



HAL
open science

étude d'éléments de base et de concepts pour un numériseur à très large bande passante et à haute résolution

Benoît Gorisse

► **To cite this version:**

Benoît Gorisse. étude d'éléments de base et de concepts pour un numériseur à très large bande passante et à haute résolution. Micro et nanotechnologies/Microélectronique. Université des Sciences et Technologie de Lille - Lille I, 2007. Français. NNT : . tel-00271255

HAL Id: tel-00271255

<https://theses.hal.science/tel-00271255>

Submitted on 8 Apr 2008

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Université des sciences et technologies de Lille

École Doctorale Science Pour l'Ingénieur

Thèse

pour obtenir le grade de

Docteur de l'Université des sciences et technologies de Lille

Spécialité : microondes et microtechnologies

Présentée et soutenue publiquement par

Benoît GORISSE

le 14 Décembre 2007

Etude d'éléments de base et de concepts pour un numériseur à très large bande passante et à haute résolution

Composition du jury :

<i>Président :</i>	Didier DECOSTER	Professeur à l'université de Lille 1
<i>Directeur :</i>	Paul-Alain ROLLAND	Professeur à l'université de Lille 1
<i>Co-directeur :</i>	Nathalie ROLLAND	Professeur à l'université de Lille 1
<i>Rapporteurs :</i>	Geneviève BAUDOIN	Professeur à l'ESIEE
	Raymond QUERE	Professeur à l'université de Limoges
<i>Examineurs :</i>	Patrick GREMILLET	Directeur technique Thales-Aéronautique
	Nicolas FEL	Ingénieur CEA DAM
	Jean GODIN	Ingénieur III-V Lab
<i>Invités :</i>	Guy JESTIN	Technicien supérieur DGA
	Florent LAPLANCHE	Ingénieur des études et techniques d'armement DGA

Remerciements

Les travaux présentés dans ce mémoire ont été effectués à l'Institut d'Electronique, de Microélectronique et de Nanotechnologie (IEMN) de l'Université des Sciences et Technologies de Lille, au sein du Département Hyperfréquences et Semiconducteurs (DHS), dans l'équipe Circuits-Systèmes Applications des Microondes (CSAM). J'exprime ma gratitude à M. A. Cappy, directeur de L'IEMN), et à M. P.-A. Rolland, responsable du groupe CSAM.

Je tiens à exprimer ma reconnaissance envers M. Paul-Alain Rolland et Mme Nathalie Rolland qui ont assuré la direction et le suivi de ma thèse. Leurs compétences scientifiques et leur grande disponibilité m'ont permis de mener ce travail dans d'excellentes conditions. Je les remercie également pour la confiance qu'ils m'ont accordée car elle a nourri ma motivation tout au long de ce travail.

J'exprime ma gratitude à l'ensemble du jury qui a bien voulu juger ce travail. Je remercie M. D. Decoster, président de ce jury, ainsi que Mme G. Baudoin et M. R. Quéré qui m'ont fait l'honneur d'évaluer et de corriger ce manuscrit. Je remercie aussi MM. N. Fel, J. Godin et P. Gremillet qui ont accepté d'examiner ce travail. Enfin, je remercie MM. F. Laplanche et G. Jestin pour l'honneur qu'ils m'ont fait d'être présents à la soutenance.

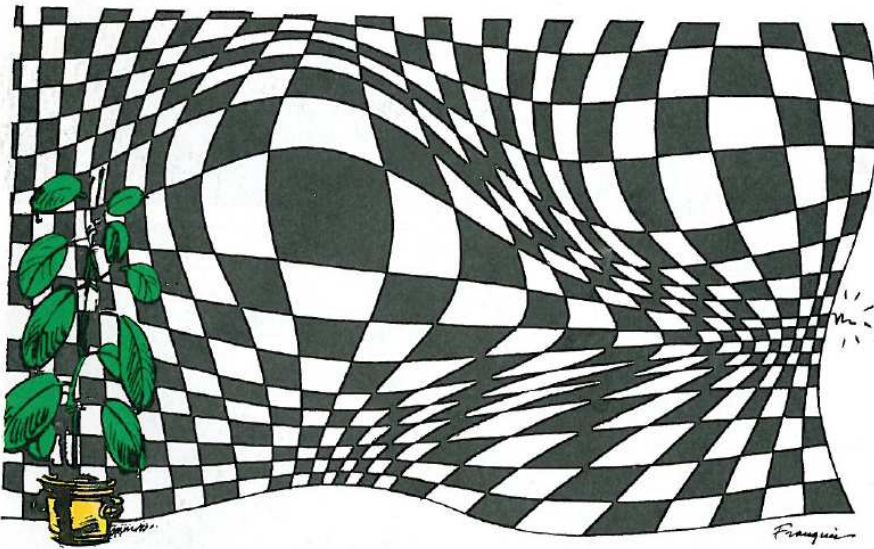
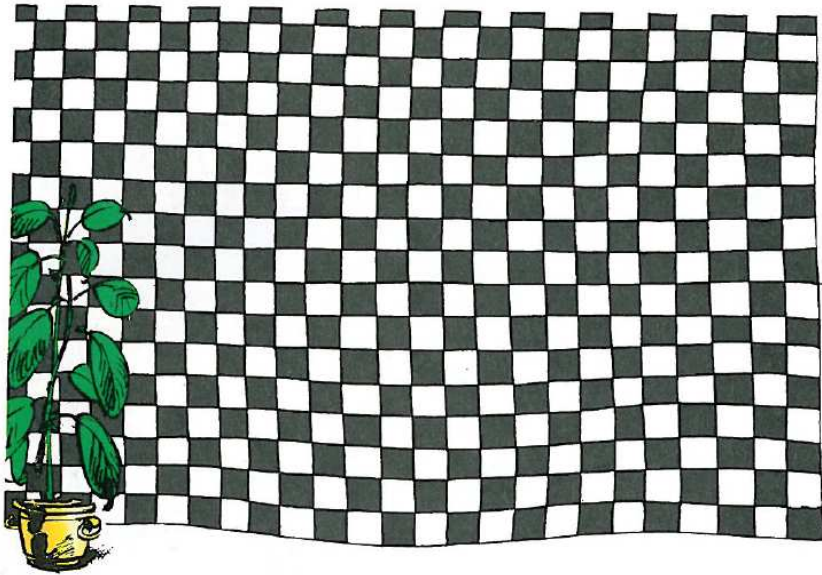
Ce travail a été soutenu par la Délégation Générale pour l'Armement (DGA). J'adresse mes remerciements aux correspondants qui se sont succédés pour superviser ce travail, MM. E. Dumont et F. Reptin. Je tiens à remercier aussi M. F. Laplanche et M. G. Jestin pour avoir suivi ce travail sur ses aspects techniques et pour les remarques constructives qu'ils m'ont apportées. Je remercie également Mme Couesnon et l'ensemble des organisateurs des Doctoriales Fréjus 2005 pour leur professionnalisme.

Je voudrais aussi remercier tous les gens que la thèse m'a donné l'occasion de rencontrer. Je pense en particulier aux différents acteurs du projet picoscope II (V. Allouche, N. Fel, B. Riondet, ...), et, sur un plan moins professionnel, aux participants des Doctoriales (le groupe H !) et du NCT.

Je remercie très chaleureusement le personnel et les étudiants du groupe CSAM pour la bonne humeur qu'ils cultivent et la sympathie qu'ils m'ont témoignée durant ces années : les permanents, Christian, Rédha, Christophe, Michel, Laurent, Seonho et Christophe et la fine équipe des thésards, Marie, Alex, Adel, Nico, Hassan, Hamza et Barbich pour les « anciens » de la salle 226 mais aussi Etienne, Huang, Nizar, Li, Romain, Chen et Ling.

Je salue aussi tous les amis qui m'ont permis de vivre des moments inoubliables durant ces trois années. Les copains du Mans bien sûr, les cousins et cousines (tout particulièrement Marie-Laure et les habitués du mercredi soir), les oncles et tantes. La thèse a aussi été pour moi l'occasion d'approfondir mes connaissances en cuisine ; je remercie chaleureusement les cobayes qui ont accepté de prendre part à ces expériences.

Enfin, je tiens à dire à mes proches qu'ils me sont très chers. Leur confiance et leur soutien m'ont été d'une grande utilité. Mes parents, mon frère et mes trois sœurs, ce travail vous est dédié.



Gaston Lagaffe, Franquin, Editions Dupuis.

Table des matières

<i>Abréviations et conventions</i>	11
<i>Introduction générale</i>	13
<hr/>	
Chapitre 1 : Systèmes d'échantillonnage très large bande et haute résolution	
<hr/>	
<i>Introduction du chapitre 1</i>	19
A - Echantillonnage	20
I - Théorie de l'échantillonnage	20
1 Formalisme mathématique	20
2 Théorème de Shannon	21
3 Echantillonnage dans les conditions de Nyquist	21
4 Sous-échantillonnage	22
5 Sur-échantillonnage	23
II - Performances des systèmes d'échantillonnage	23
1 Notion de nombre de bits effectifs	23
2 Limitations des systèmes d'échantillonnage	27
III - L'échantillonneur-bloqueur	30
1 La fonction échantillonnage-blocage	30
2 Le composant	31
3 Caractéristiques fondamentales de l'échantillonneur-bloqueur	33
4 Etat de l'art et applications	34
IV - Convertisseurs analogiques-numériques	38
1 Performances actuelles	38
2 Influence de l'état de l'art actuel des convertisseurs sur le projet	39
B - Architecture des systèmes d'échantillonnage	42
I - Entrelacement des échantillonneurs-bloqueurs	42
1 Entrelacement temporel	43
2 Entrelacement fréquentiel	45
3 Conclusions	47
II - Architectures optiques	48
1 Technique de modulation d'impulsions optiques	48
2 Technique par commutateur photoconducteur	50
3 Technique par étirement du temps	52
4 Bilan sur les architectures optiques	53
III - Architectures électroniques des oscilloscopes commerciaux	54
1 Entrelacement d'un grand nombre de voies d'échantillonnage	54
2 Echantillonnage avant entrelacement	55
3 « Entrelacement numérique de bande-passante »	56
4 Comparatif des performances	57
IV - Architectures électroniques mono-coup	57
1 Principe de base	57
2 Déclenchement par impulsion	58
3 Numériseur CEA – IEMN : Le « picoscope »	59
4 Bilan	62

C -	Filière technologique optimale	63
I -	Comparaison des technologies	63
1	Technologies envisageables	63
2	HEMT ou HBT	64
3	InP, GaAs ou SiGe	65
II -	La technologie TBH InP	67
1	La filière OMMIC DH151B	67
2	Contraintes de conception	68
3	Applications et filières dans le monde	68
Conclusion du chapitre 1		70

Chapitre 2 : Fonctions de base des systèmes d'échantillonnage

Introduction du chapitre 2		73
A -	L'inverseur	74
I -	Conception du composant	74
1	Choix de la famille logique	74
2	Paramètres du composant	76
II -	Etude du fonctionnement de l'inverseur	77
1	La paire différentielle en commutation	78
2	L'étage collecteur commun	84
3	Influence des lignes de propagation	86
III -	Optimisation du jitter	88
1	Simulation du jitter	89
2	Résultats de mesure	93
3	Optimisation de l'inverseur pour la réduction du jitter	97
B -	Echantillonneur-bloqueur	107
I -	Apport de la structure différentielle	107
II -	Conception de l'étage SEF (Switched Emitter Follower)	109
1	Puissance dissipée dans le transistor	109
2	Linéarité	111
3	Bande-passante	114
4	Taille du transistor	117
III -	Modifications de l'architecture SEF	118
IV -	Amplificateur d'entrée	124
1	La paire différentielle : le cœur de l'amplificateur	124
2	Influence des contraintes d'entrée	129
V -	Amplificateur de sortie	131
1	Paramètres de la paire différentielle	132
2	Impédance d'entrée	133
VI -	Performances de l'échantillonneur-bloqueur	135
Conclusion du chapitre 2		140

 Chapitre 3 : Architecture des systèmes d'échantillonnage

Introduction du chapitre 3	143
A - Ligne d'échantillonnage	145
B - Architecture à circuits retard	148
I - Adaptation et optimisation de l'architecture « picoSCOPE » dans un cadre répétitif	148
1 Synchronisation des différents éléments	149
2 Evolution du jitter à travers la structure de déclenchement	151
3 Influence du nombre de voies d'échantillonnage sur la structure de propagation	153
4 Nouvelle architecture proposée	157
II - Conception de cette architecture	160
1 Optimisation de la ligne de propagation pour réduire l'ondulation	160
2 Propagation des perturbations de commutation	171
3 Conception de la structure de déclenchement	173
III - Simulation des performances	180
1 Performances de la structure de propagation	180
2 Structure de propagation du signal à analyser	183
3 Résolution totale	185
4 Conclusions	187
C - Architecture à ligne de propagation d'horloge	189
I - Présentation de l'architecture	189
1 Principe de fonctionnement	189
2 Synchronisation	190
II - Conception du système	193
1 Conception de la structure de déclenchement	193
III - Simulation des performances	196
1 Simulation du jitter	196
2 Conclusions	197
D - Architecture en étoile	198
I - Présentation de l'architecture	198
1 Entrelacement des voies d'échantillonnage	198
2 Principe de fonctionnement de l'architecture en étoile	199
3 Synchronisation	200
II - Conception du système	201
1 Conception de la structure de propagation	201
2 Conception de la structure de déclenchement	203
3 Implémentation du système	207
III - Simulations des performances	208
1 Structure de propagation	208
2 Structure de déclenchement	211
3 Conclusions	213
Conclusion du chapitre 3	214
Conclusion générale	217
Références bibliographiques	221
Publications relatives à la thèse	233

Liste des annexes	236
I - Résolution et nombre de points d'échantillonnage	237
II - Disparités de l'entrelacement temporel	239
III - Simulation du jitter de l'inverseur	243
1 Variables numériques	243
2 Validation de la simulation	245
IV - Circuit de déclenchement des échantillonneurs-bloqueurs esclaves	247
Résumé	249
Abstract	250

Abréviations et conventions

• Conventions

Pour faciliter la lecture des figures, nous avons établi des conventions de couleurs pour les figures. Sauf mentionné :

- Le bleu est relatif à la partie analogique des signaux ;
- Le rouge est réservé aux signaux sous forme échantillonnée ;
- Le magenta est utilisé pour les signaux en cours d'échantillonnage ;
- Le vert concerne les signaux de déclenchement.

• Abréviations

CAN :	Convertisseur Analogique-Numérique. Dans ce document il est employé pour désigner l'étage de quantification d'un signal préalablement échantillonné
DEMUX :	Démultiplexeur
DLL :	Boucle à verrouillage de retard de phase (Delay Locked Loop)
E/B :	Echantillonneur-bloqueur
ENOB :	Nombre de bits effectifs
SEF :	Collecteur commun commuté (Switched Emitter Follower)
LSB :	Bit de poids faible (Least Significant Bit), pas minimal de la résolution verticale
SNR :	Rapport signal à bruit (Signal to Noise Ratio)
SFDR :	Dynamique de codage (Spurious Free Dynamic Range)
THD :	Taux de distorsion harmonique (Total Harmonic Distortion)
TBH :	Transistor Bipolaire à Hétérojonction (HBT Heterojunction Bipolar Transistor)
HEMT :	Transistor à haute mobilité électronique (High Electron Mobility Transistor)
CMOS :	Transistors métal oxyde semi-conducteur complémentaires (Complementary Metal Oxide Semi-conductor)
InP :	Phosphure d'indium
AsGa :	Arséniure de Galium
SiGe :	Silicium germanium
ECL :	Logique à émetteur couplé (emitter coupled logic)
CML :	Logique à mode de courant (Current Mode Logic)

• Notation des fonctions et variables

f_e :	Fréquence d'échantillonnage (du système complet lorsqu'il y a entrelacement)
T_e :	Période associée à la fréquence d'échantillonnage, autrement appelé pas d'échantillonnage

$E(S)$: Moyenne arithmétique de l'ensemble de valeurs S

$\sigma(S)$: Ecart type de l'ensemble S défini par :

$$\sigma(S) = \sqrt{\frac{1}{n} \cdot \sum_{k=1}^n (s_k - E(S))^2} \quad \text{avec } S = \{s_1; s_2; \dots; s_n\}$$

$ENOB_x$: Nombre de bits effectifs en ne considérant que l'influence de X

$M(x(t))$: Moyenne du signal temporel $x(t)$

Log_2 : Fonction logarithme en base 2

τ : Désigne un élément introduisant un retard

Introduction générale

La numérisation de plus en plus rapide de signaux à très large bande-passante permet aujourd'hui d'envisager de nombreuses applications pour les systèmes de télécommunication, les mesures expérimentales ou les systèmes radar. Les signaux issus des capteurs peuvent être analysés directement, en évitant la conversion en fréquences intermédiaires. Ceci permet de réduire la complexité des systèmes, d'en augmenter la reconfigurabilité et souvent, d'en améliorer les performances.

En réception, le principe de cette technique repose sur l'analyse numérique temporelle des signaux. Il faut alors interfacer les capteurs analogiques (antenne ou autre) aux composants numériques qui réalisent le traitement de l'information. C'est le rôle du numériseur qui génère en sortie un signal temporel numérique représentatif du signal analogique d'entrée.

Si certaines applications peuvent se contenter d'une faible résolution, d'autres au contraire nécessitent une grande précision sur la forme temporelle des signaux. C'est le cas par exemple des applications expérimentales pour la simulation nucléaire, en France le projet Mégajoule développé par CEA DAM. C'est aussi le cas des applications radar et guerre électronique pour lesquelles il est indispensable de détecter des signaux de fréquences proches mais d'amplitudes très éloignées. Ces dernières applications présentent en plus la particularité de traiter l'information en continu, c'est-à-dire que l'échantillonnage du signal d'entrée et son traitement numérique doivent être réalisés avec un taux de répétition très élevé.

Cette thèse s'inscrit dans le cadre des applications radar pour lesquelles il n'existe pas actuellement de systèmes de numérisation présentant à la fois une grande résolution, une large bande-passante et un taux de répétition élevé. Les signaux analysés sont arbitraires, c'est-à-dire qu'on ne dispose d'aucune information sur leur forme avant la numérisation (par exemple ils ne présentent aucune périodicité), mis à part la limite de bande-passante. Nos recherches se sont articulées autour de deux axes principaux : l'étude des éléments de base des systèmes d'échantillonnage et la définition de nouvelles architectures de systèmes à haute résolution et large bande-passante.

En termes de performances, le composant idéal pour les applications visées présenterait une résolution de 10 bits effectifs et une bande-passante de 20 GHz. Pour que le signal numérique soit représentatif du signal analogique sur une bande-passante de 20 GHz, une fréquence d'échantillonnage d'au moins 40 GEch/s est nécessaire (condition de Nyquist dans le cas d'un signal arbitraire).

Comme une telle résolution n'est actuellement pas envisageable sur une aussi large bande-passante, nous avons limité ces contraintes pour établir notre cahier des charges. Nous cherchons en premier lieu à développer un système qui présente une très bonne résolution jusqu'à 10 GHz. Pour cela, nous visons une résolution proche de 10 bits effectifs à 8 GHz. Cet objectif de tendre vers 10 bits effectifs s'adapte parfaitement à la démarche de conception d'un système d'échantillonnage. En effet, si la quantification du signal est réalisée sur 10 bits, il faut que le système d'échantillonnage présente une résolution presque aussi élevée mais une résolution supérieure n'apporterait pas d'information supplémentaire. De plus, comme différents paramètres limitent la résolution du système

d'échantillonnage, il est plus facile de tendre vers un objectif plutôt que d'imposer une valeur pour chaque paramètre.

L'autre enjeu de cette étude est de réaliser un système à large bande-passante. Pour un échantillonnage à 40 GEch/s, la bande-passante maximale est de 20 GHz. En effet, au-delà de cette fréquence, il n'est plus possible de retrouver la forme du signal analogique à partir des valeurs numériques (théorème de Shannon). De plus, une augmentation de la bande-passante entraîne généralement une réduction de la résolution. Nous cherchons donc à développer un système qui présente la bande-passante la plus élevée possible tout en restant inférieure à 20 GHz.

Pour prendre la mesure de ces valeurs, rappelons que l'échantillonnage d'un signal de 20 GHz de bande-passante (à 40 GEch/s) sur 10 bits génère un volume de données de 50 Go chaque seconde.

Deux grands principes s'opposent actuellement pour la réalisation de numériseurs hautes performances : les techniques optoélectroniques et les techniques entièrement électroniques. Ces deux principes présentent chacun des avantages et des inconvénients. On observe généralement que les systèmes optoélectroniques permettent d'atteindre des performances très élevées sur l'un des paramètres du système, par exemple la fréquence d'échantillonnage. Par opposition, les systèmes électroniques atteignent un meilleur équilibre des performances.

Dans le cadre de cette thèse, nous nous sommes concentrés sur l'étude des systèmes d'échantillonnage électroniques. Nous cherchons en effet un compromis idéal entre la bande-passante, la résolution et la fréquence d'échantillonnage. Les systèmes électroniques s'interfacent aussi plus facilement avec d'autres systèmes. Enfin, le développement des technologies de fabrication favorise l'évolution des solutions électroniques.

Le premier chapitre propose une analyse du contexte scientifique de la thèse. Nous détaillerons dans un premier temps la théorie de l'échantillonnage, ses différentes applications, ses limitations fondamentales et le composant électronique qui lui est associé : l'échantillonneur-bloqueur. Nous présenterons ensuite les différentes architectures de systèmes proposées dans la littérature pour l'échantillonnage large bande et haute résolution : les architectures optoélectroniques classiques, les solutions électroniques utilisées dans les oscilloscopes commerciaux et les solutions d'échantillonnage mono-coup. A la suite de cette étude, nous avons décidé de nous concentrer plus particulièrement sur les solutions mono-coup en les adaptant à un fonctionnement répétitif. Enfin, nous justifierons le choix de la technologie TBH sur InP pour la réalisation de notre système.

Le second chapitre est consacré à l'étude des deux éléments de base des systèmes d'échantillonnage : l'échantillonneur-bloqueur et l'inverseur. Nous optimiserons d'abord les performances de l'inverseur, élément de base de la structure de déclenchement et qui doit présenter un très faible jitter. Nous proposerons ensuite la conception d'un échantillonneur-bloqueur en technologie TBH sur InP qui répond au mieux à nos contraintes de bande-passante et résolution.

A partir de ces résultats et des choix réalisés au chapitre 1, nous avons développé trois architectures originales de systèmes d'échantillonnage large bande et haute résolution qui seront

présentées dans le troisième chapitre. Pour chacune de ces architectures nous détaillerons le principe de fonctionnement, nous concevrons un système basé sur ce principe et nous simulerons ses performances.

Chapitre 1

Systemes d'échantillonnage très large bande et haute résolution

Introduction du chapitre 1

Un signal analogique est assimilable à une fonction continue du temps à valeurs réelles. Par opposition, un signal numérique est constitué d'une suite de nombres appartenant à un ensemble fini de valeurs. Pour convertir un signal analogique en signal numérique deux étapes de discrétisation sont alors nécessaires : une discrétisation temporelle et une discrétisation de l'amplitude. La discrétisation temporelle est appelée échantillonnage et permet de passer d'une fonction continue du temps à une suite de valeurs appartenant à un ensemble continu. La discrétisation de l'amplitude correspond à la quantification et permet de passer de cet intervalle continu à un ensemble fini de nombres. Ces deux étapes sont représentées Figure 1.

Les deux étapes étant indépendantes, en théorie rien n'empêche d'effectuer la quantification avant l'échantillonnage. En pratique cependant il est souvent plus commode d'échantillonner le signal avant de le quantifier.

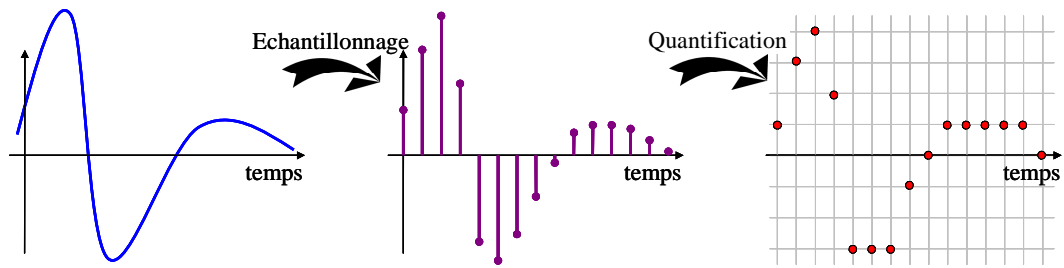


Figure 1 : Étapes de la conversion analogique-numérique

Ces deux opérations sont associées à deux grandeurs qui définissent les performances d'un système de conversion analogique-numérique. Le pas temporel entre chaque échantillon est appelé période d'échantillonnage (noté T_e) et son inverse fréquence d'échantillonnage (notée f_e). Le nombre de pas de quantification est appelé résolution, qui correspond souvent à une puissance de deux et on peut donc exprimer par cette puissance le nombre de bits du convertisseur.

Ce chapitre est composé de trois parties. Dans un premier temps nous étudierons l'échantillonnage, en reprenant d'abord ses aspects théoriques avant de présenter le composant qui permet de réaliser concrètement cette opération. La seconde partie sera consacrée aux architectures de systèmes d'échantillonnage associant plusieurs voies d'échantillonnage pour atteindre les excellentes performances visées. Enfin dans la troisième partie nous discuterons la technologie quasi-optimale, dans le cadre de nos connaissances actuelles, qui permet d'obtenir les meilleures performances. Nous la comparerons d'abord aux autres technologies puis nous présenterons ses contraintes de réalisation et de conception.

A - Echantillonnage

Nous nous intéresserons dans cette partie à l'échantillonnage du signal. Nous présenterons d'abord la théorie de l'échantillonnage et les différentes applications qui en découlent, puis nous détaillerons les erreurs associées à cette opération et leurs répercussions sur la qualité du signal échantillonné. Nous étudierons ensuite l'échantillonneur-bloqueur, composant qui permet de réaliser concrètement la fonction d'échantillonnage et les performances que l'on peut en attendre pour se concentrer enfin sur l'étape suivante : la quantification des échantillons et ses répercussions sur l'échantillonneur.

I - Théorie de l'échantillonnage

1 Formalisme mathématique

L'échantillonnage correspond mathématiquement au produit du signal d'entrée par un peigne de Dirac :

$$x_e(t) = \sum_{-\infty}^{+\infty} x(t) \cdot \delta(t - n \cdot T_e) \quad n \in \mathbb{Z} \quad (1)$$

Avec x_e : signal échantillonné, x : signal d'entrée et $\delta(t)$: distribution de Dirac en t

Si on s'intéresse maintenant au spectre fréquentiel du signal échantillonné, on a :

$$X_e(f) = X(f) * \left(\frac{1}{T_e} \cdot \sum_{-\infty}^{+\infty} \delta(f - n \cdot f_e) \right) \quad n \in \mathbb{Z} \quad (2)$$

Avec X_e : spectre fréquentiel du signal échantillonné, X : spectre fréquentiel du signal et où

* désigne le produit de convolution

Ce qui nous amène au résultat :

$$X_e(f) = \frac{1}{T_e} \cdot \sum_{-\infty}^{+\infty} X(f - n \cdot f_e) \quad n \in \mathbb{Z} \quad (3)$$

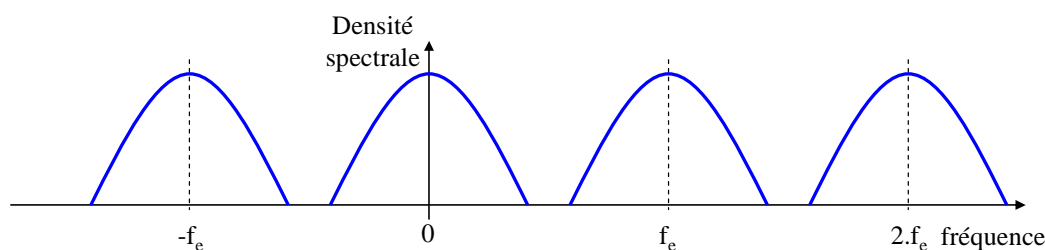


Figure 2 : Duplication du spectre bande de base par échantillonnage

Dans le domaine fréquentiel, l'échantillonnage correspond donc à une périodisation du spectre du signal échantillonné (Figure 2) : le spectre fréquentiel du signal d'entrée est répété tous les

$n \cdot f_e, n \in \mathbb{Z}$. Cette répétition du spectre du signal peut être vue comme un avantage ou un inconvénient selon les applications.

2 Théorème de Shannon

« Toute fonction du temps est complètement définie par ses échantillons si la fréquence d'échantillonnage est supérieure au double de la fréquence maximale du spectre du signal. »

Ce théorème, dit de Shannon, établit une relation entre la fréquence d'échantillonnage et la fréquence maximale du signal : en respectant le critère de Nyquist, c'est-à-dire si la fréquence d'échantillonnage est au moins le double de la fréquence maximale du signal, alors on peut retrouver le signal à partir de ses échantillons. L'origine de ce théorème est assez polémique ([1]). Il a été démontré par Shannon en 1949 ([2]), et on désigne couramment par « critère de Nyquist » la condition de ce théorème (que la fréquence d'échantillonnage soit au moins du double de la fréquence maximale du signal) en rapport à ses travaux publiés en 1927.

Lors de la conception d'un système d'échantillonnage, c'est la réciproque de ce théorème qui nous intéresse car on connaît la bande-passante et on cherche à déterminer la fréquence d'échantillonnage minimale nécessaire. Le théorème de Shannon cependant n'est pas réciproque et il est possible, dans certains cas, de retrouver le signal à partir de ses échantillons sans respecter le critère de Nyquist. Nous différencions ainsi les systèmes selon leurs applications.

3 Echantillonnage dans les conditions de Nyquist

Lorsque la condition de Nyquist est respectée, on peut retrouver le signal d'entrée à partir de la valeur de ses échantillons. Il n'y a alors aucune condition sur le signal d'entrée autre que la limitation de sa fréquence maximale à la moitié de la fréquence d'échantillonnage. En pratique cette condition est impossible à respecter car, d'une part, le signal physique est échantillonné sur un intervalle de temps fini et, d'autre part, les filtres utilisés ne sont pas parfaits. Il va donc y avoir un phénomène de recouvrement spectral (ou repliement de spectre, illustré Figure 3), c'est-à-dire que le spectre du signal échantillonné va être perturbé dans la bande de fréquence qui nous intéresse par la répétition de ce spectre à $n \cdot f_e$; $n \in \mathbb{Z}$. La reconstitution parfaite du signal d'entrée est alors impossible. Ceci illustre l'importance du filtre anti-repliement : placé avant le système d'échantillonnage il permet d'atténuer les hautes-fréquences indésirables pour les rendre négligeables.

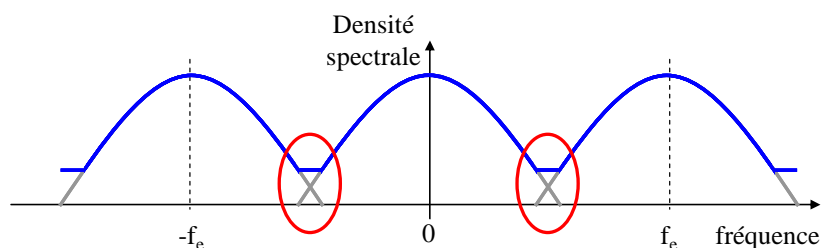


Figure 3 : Recouvrement spectral

4 Sous-échantillonnage

Pour ces systèmes la fréquence d'échantillonnage est inférieure au double de la fréquence maximale du signal. Il est alors possible de retrouver le signal à partir de ses échantillons dans deux cas : soit le signal est périodique, soit le signal a une bande-passante limitée.

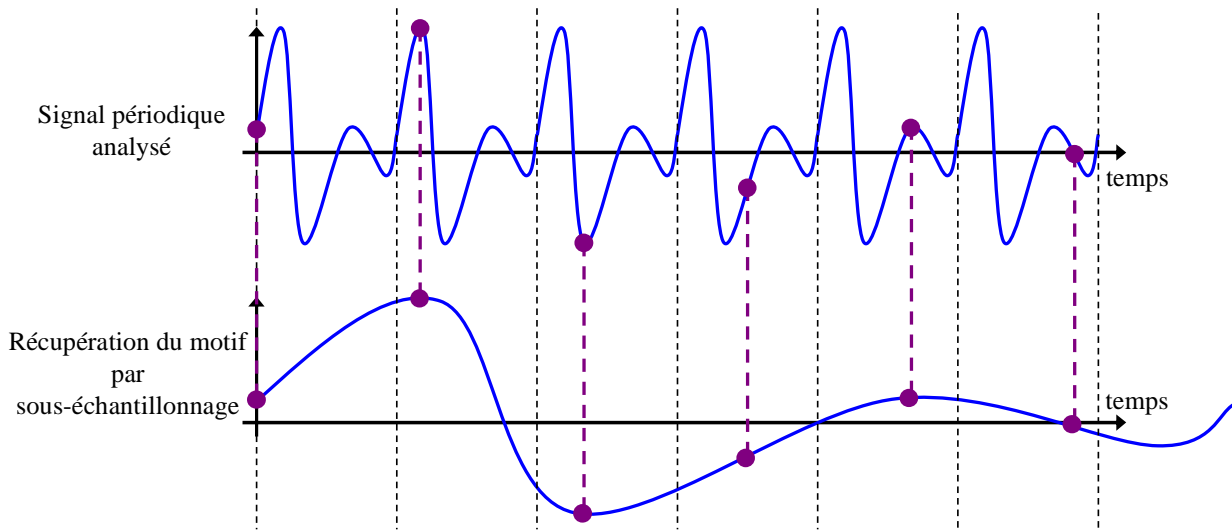


Figure 4 : Sous échantillonnage d'un signal répétitif

Lorsque le signal est périodique, on prélève un petit nombre d'échantillons (le plus simple étant souvent de n'en prendre qu'un) à chaque répétition du signal en faisant varier le retard de l'échantillonneur par rapport au déclenchement (Figure 4). Après un nombre suffisant de cycles, on connaît le motif caractéristique du signal et on peut ainsi retrouver la forme temporelle du signal. Ce principe est couramment utilisé pour la mesure de signaux très large bande issus de systèmes que l'on peut déclencher plusieurs fois ([3], [4]).

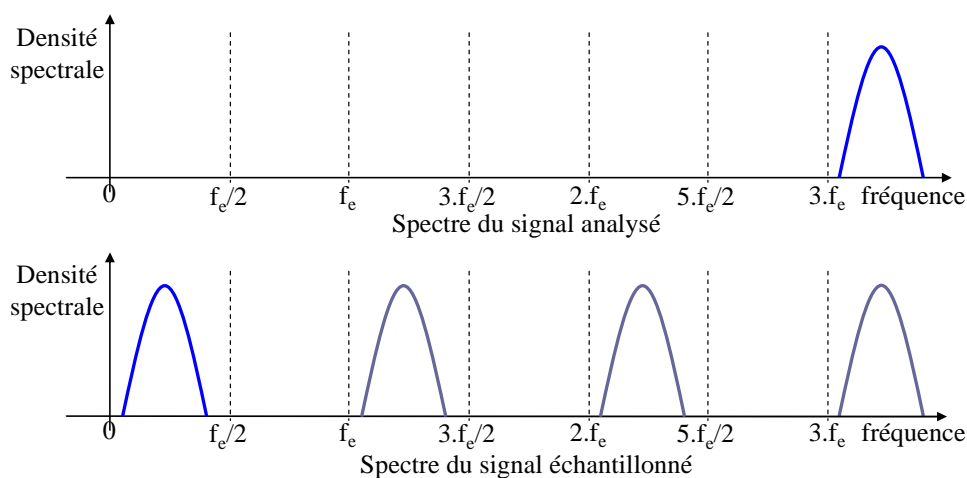


Figure 5 : Transposition en bande de base par échantillonnage

Lorsque le signal a une bande-passante limitée et si cette bande-passante ne contient aucune fréquence de la forme $n \cdot f_e / 2$, $n \in \mathbb{Z}$, alors l'échantillonneur se comporte comme un élément de conversion basse fréquence (Figure 5) : le principe du repliement de spectre permet de ramener le signal haute fréquence à un signal basse fréquence qui respecte alors les conditions de Nyquist. Ce principe est actuellement envisagé pour des applications de conversion directe, sans passer par un système de conversion basse fréquence car il permet d'éviter un étage de conversion fréquentielle (voir applications paragraphe A - III - 4.3).

D'autres applications du sous-échantillonnage ont été proposées. Combinant signal répétitif et conversion basse fréquence, un instrument de mesure est en cours de développement pour permettre la mesure des composantes harmoniques générées par des amplificateurs de puissance dans la gamme de fréquence de la téléphonie mobile.

5 Sur-échantillonnage

La technique du sur-échantillonnage a été développée pour faire face aux limitations des systèmes de quantification. Le sur-échantillonnage d'un signal n'apporte pas d'information supplémentaire par rapport à un échantillonnage dans les conditions de Nyquist mais il permet, par traitement du signal, de filtrer la partie haute fréquence du bruit de quantification. En utilisant des codeurs de même précision cadencés plus rapidement, on peut obtenir des résolutions meilleures qu'en utilisant un système de conversion dans les conditions de Nyquist.

Les convertisseurs $\Sigma\Delta$ reprennent cette technique à laquelle on ajoute une boucle de contre-réaction qui permet de sortir le bruit de quantification de la bande-passante utile ([5], [6]). On améliore ainsi la résolution du convertisseur à deux niveaux : d'une part la contre-réaction lors de la numérisation permet de repousser le bruit de quantification vers les fréquences non-utiles de la bande et d'autre part le sur-échantillonnage permet de filtrer numériquement ces bandes de fréquence et donc de supprimer le bruit de quantification.

Ces convertisseurs trouvent de nombreuses applications dans le cadre de la conversion de signaux basse ou moyenne fréquence qui nécessitent une grande résolution. Pour les signaux audio par exemple, le marché est presque entièrement dominé par ce type de convertisseurs. Ils sont aussi l'objet de recherches ([7]) pour des applications radio-logicielles en téléphonie mobile pour lesquelles on convertit directement les signaux issus des antennes à l'aide de codeurs 1 bit sur-échantillonnés.

II - Performances des systèmes d'échantillonnage

1 Notion de nombre de bits effectifs

1.1 Définition

Pour comparer les systèmes de conversion analogique-numérique un paramètre est universellement utilisé : le nombre de bits effectifs, aussi appelé nombre de bits réels ou nombre effectif de bits et représenté par l'acronyme ENOB (en anglais Effective Number Of Bits). Il permet à la fois de comparer les systèmes entre eux mais aussi d'identifier l'erreur apportée par chaque étage.

Il est défini par la formule suivante [8] :

$$ENOB = \log_2 \left(\sqrt{\frac{P_{Signal}}{P_{Erreur} \cdot 1,5}} \right) \quad (4)$$

Formule mieux connue sous la forme :

$$\left(\frac{P_{Signal}}{P_{Erreur}} \right)_{dB} = 6,02 \cdot ENOB + 1,76 \quad (5)$$

Avec P_{Signal} et P_{Erreur} : **puissance du signal utile et puissance de l'erreur du signal**

Cette formulation du nombre de bits effectifs est la plus couramment utilisée mais d'autres formulations permettent de prendre en compte différentes limitations. La définition que nous avons retenue implique par exemple que le signal d'entrée utilise entièrement l'échelle de quantification ce qui est assez gênant pour tester l'influence des non-linéarités (la saturation intervenant sur la quantification et non sur les éléments précédents qu'on cherche à caractériser). Certains modifient donc la formule pour y intégrer l'amplitude du signal d'entrée. Après plusieurs mesures à différents niveaux de puissance d'entrée, ils sont alors en mesure de distinguer l'influence du bruit de celle des non-linéarités. Cette solution a été retenue par exemple par le CEA DAM pour la caractérisation d'oscilloscopes commerciaux. Cependant, dans notre cas, il ne s'agit pas de caractériser un système de conversion complet mais le plus souvent des éléments isolés, par exemple un échantillonneur-bloqueur ; nous ne sommes donc pas perturbés par la quantification et il est plus intéressant de conserver la formulation la plus simple et la plus générale.

1.2 Calcul du rapport puissance du signal sur puissance de l'erreur d'un échantillonneur idéal

Le nombre de bits effectifs correspond intuitivement au nombre de bits qu'aurait un convertisseur idéal conduisant au même rapport puissance du signal sur puissance de l'erreur. Bien que cette relation contienne une petite erreur pour les faibles résolutions (décrite en annexe), elle constitue la base de calcul à l'origine de la formule (4) qui définit le nombre de bits effectifs. Ce calcul est décrit ci-dessous en insistant sur les deux hypothèses qui ont permis d'aboutir à la formulation analytique du résultat. Comme il s'agit d'établir un rapport de puissances signal à bruit le calcul se fait en trois étapes : nous évaluons dans un premier temps la puissance du signal, puis celle de l'erreur pour enfin faire le rapport des deux.

On constate tout d'abord que le rapport de puissance est équivalent au rapport des tensions efficaces au carré, c'est-à-dire à la moyenne du carré des tensions :

$$\frac{P_{Signal}}{P_{Erreur}} = \frac{M(U_{Signal}^2)}{M(U_{Erreur}^2)} \quad (6)$$

Avec U_{Signal} : **tension du signal**, U_{Erreur} : **tension de l'erreur**

Ce sont ces tensions efficaces que l'on se propose de définir.

- **Expression de la tension efficace du signal**

Pour pouvoir exprimer la puissance du signal, il nous faut connaître sa forme. Ceci nous conduit à une première hypothèse :

Hypothèse 1 : le signal analysé est sinusoïdal.

Le calcul du nombre de bits effectifs est donc limité au cas sinusoïdal. Un certain nombre de limitations de l'échantillonneur-bloqueur ne seront donc pas prises en compte par ce paramètre, en particulier les variations fréquentielles du temps de groupe et les variations fréquentielles de l'amplitude.

Le signal étant sinusoïdal, sa tension efficace est donnée par la relation :

$$M(U_{Signal}^2) = \left(\frac{1}{\sqrt{2}} \cdot U_{max} \right)^2 \quad (7)$$

Avec U_{max} : tension maximale du signal sinusoïdal

L'erreur sera moins importante si le signal utilise toute la dynamique du convertisseur. On a donc :

$$U_{max} = \frac{1}{2} \cdot 2^N \cdot LSB \quad (8)$$

Ce qui nous conduit au résultat suivant :

$$M(U_{Signal}^2) = \frac{1}{8} \cdot 2^{2 \cdot N} \cdot LSB^2 \quad (9)$$

- **Expression de la tension efficace de l'erreur**

L'objectif est d'exprimer la tension efficace de l'erreur de quantification effectuée lors de la conversion parfaite d'un signal sinusoïdal.

Nous choisissons ici une quantification linéaire centrée, c'est-à-dire que la valeur analogique de l'échantillon est représentée par la valeur numérique la plus proche (Figure 6). C'est l'équivalent d'un arrondissement décimal classique.

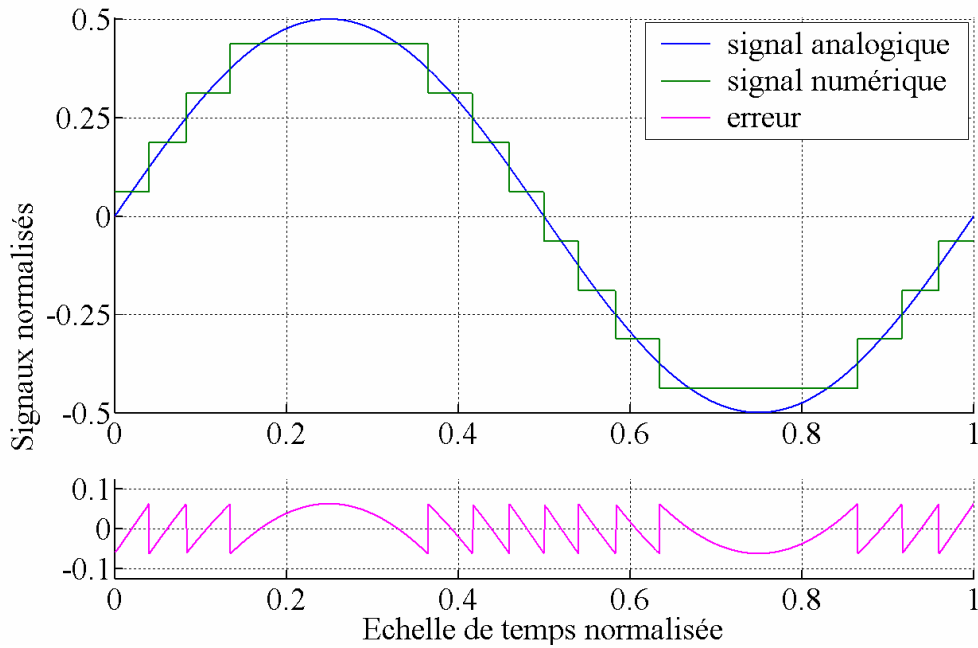


Figure 6 : quantification linéaire centrée d'un signal sinusoïdal par un convertisseur 3 bits

Considérons dans un premier temps que toutes les valeurs sont équiprobables. Les valeurs du signal d'entrée comprises dans l'intervalle $[-1/2 \cdot LSB ; +1/2 \cdot LSB]$ autour de la valeur numérique la plus proche vont donc avoir la même représentation numérique. Ceci nous permet d'exprimer facilement l'erreur moyenne :

$$M(U_{\text{Erreur}}^2) = \frac{1}{LSB} \cdot \int_{-LSB/2}^{+LSB/2} x^2 \cdot dx \quad (10)$$

Ce qui nous conduit au résultat :

$$M(U_{\text{Erreur}}^2) = \frac{LSB^2}{12} \quad (11)$$

Comme nous l'avons vu, le signal analysé n'est pas aléatoire mais sinusoïdal. Dans la définition du nombre de bits effectifs nous effectuons donc une deuxième hypothèse :

Hypothèse 2 : L'erreur de quantification est uniformément distribuée.

Cette hypothèse présente des limitations majeures dont les conséquences seront décrites en annexe (annexe I) :

- Le signal d'entrée étant sinusoïdal, la distribution de l'erreur de quantification n'est pas uniforme ;
- Les mesures étant réalisées sur un nombre de points finis, la distribution de l'erreur de quantification n'est pas linéaire mais discrète.

Pour finir le calcul, en remplaçant $M(U_{\text{Erreur}}^2)$ et $M(U_{\text{Signal}}^2)$ dans (6) par les valeurs obtenues en (9) et (11), nous retrouvons bien la définition du nombre de bits effectifs (4). C'est-à-dire qu'en admettant les deux hypothèses de calcul précédentes le nombre de bits effectifs correspond au

nombre de bits d'un convertisseur parfait. La première hypothèse ne nous contraint qu'à une restriction du champ d'application de la formule mais la deuxième hypothèse est à l'origine du décalage entre nombre de bits et nombre de bits effectifs d'un convertisseur parfait.

En conclusion, le nombre de bits effectifs est un paramètre qui permet de caractériser la quantité d'information conservée par un signal après qu'il a été échantillonné et/ou quantifié. Sa valeur dépend de la fréquence du signal d'entrée (hypothèse 1) et un certain nombre de limitations qui peuvent conduire à une déformation importante du signal, notamment dans le cas de signaux impulsionnels, ne sont pas prises en compte. Enfin, même si la valeur n'est pas tout à fait exacte (hypothèse 2), le nombre de bits effectifs correspond à la résolution d'un convertisseur parfait ne présentant qu'une erreur de quantification.

2 Limitations des systèmes d'échantillonnage

Trois limitations sont associées à la résolution des systèmes d'échantillonnage : le bruit, le jitter et les non-linéarités. L'influence de ces trois paramètres sur le nombre de bits effectifs est décrite de façon individuelle puis collective.

2.1 Influence du bruit

Le niveau de bruit des systèmes est défini par le rapport signal à bruit (SNR, en anglais Signal to Noise Ratio). Ce paramètre associe la puissance utile du signal à la puissance de l'erreur ce qui nous permet d'utiliser directement la définition du nombre de bits effectifs (4) :

$$ENOB_{Bruit} = \log_2 \left(\sqrt{\frac{SNR}{1,5}} \right) \quad (12)$$

Ce qui est équivalent à la formule :

$$SNR_{dB} = 6,02 \cdot ENOB_{Bruit} + 1,76 \quad (13)$$

2.2 Influence des non-linéarités

Pour les non-linéarités le paramètre qui relie le signal utile à l'erreur est le taux de distorsion harmonique (THD, en anglais Total Harmonic Distortion). Le taux de distorsion harmonique est souvent exprimé en décibel et il représente alors la somme des puissances des composantes harmoniques par rapport à la puissance de la composante fondamentale du signal ([8]). Ici encore l'utilisation de la formule (4) qui définit le nombre de bits effectifs est immédiate :

$$ENOB_{Linéarité} = \log_2 \left(\sqrt{\frac{THD}{1,5}} \right) \quad (14)$$

Ou encore :

$$THD_{dB} = 6,02 \cdot ENOB_{Linéarité} + 1,76 \quad (15)$$

2.3 Jitter

• Définition

Chaque déclenchement du système d'échantillonnage est entaché d'une erreur temporelle qui dégrade ses performances. Cette erreur peut être décomposée en deux parties : une partie statique dont on étudiera l'influence sur les performances des systèmes entrelacés et une partie dynamique appelée jitter. Le jitter est caractérisé par une valeur moyenne nulle (pas d'erreur statique) et obéit à une distribution aléatoire dont la forme dépend du système. Dans le calcul de l'influence du jitter détaillé ci-dessous le paramètre utile est l'écart type de la fonction de répartition, paramètre qui est donc retenu pour caractériser les systèmes – par la suite on utilisera le terme jitter pour désigner l'écart type de la fonction de répartition du jitter. Pour plus de simplicité on considère généralement que la fonction de répartition est gaussienne.

• Influence du jitter

Cette fois il n'existe pas de paramètre reliant directement le signal utile et l'erreur. Il nous faut donc évaluer la tension efficace du signal erreur associé à un jitter donné. Comme les résultats publiés dans la littérature sont assez diverses, nous justifions la formule retenue en détaillant les différentes étapes de la démonstration ([9], [10], [11], [12]).

Par définition l'erreur est la différence entre le signal avec et sans perturbations. Dans notre cas, la perturbation intervient sur l'instant d'échantillonnage :

$$U_{\text{Erreur}}(n) = x(n \cdot T_e + \Delta_t(n)) - x(n \cdot T_e) \quad n \in \mathbb{Z} \quad (16)$$

Avec $\Delta_t(n)$: **erreur temporelle du déclenchement à l'instant n**

Le signal d'entrée $x(t)$ étant sinusoïdal, on peut écrire (on vérifie facilement que la phase n'a pas d'influence) :

$$U_{\text{Erreur}}(n) = A \cdot \sin(2 \cdot \pi \cdot f_{\text{signal}} \cdot (n \cdot T_e + \Delta_t(n))) - A \cdot \sin(2 \cdot \pi \cdot f_{\text{signal}} \cdot n \cdot T_e) \quad n \in \mathbb{Z} \quad (17)$$

f_{signal} : **fréquence du signal** et A : **amplitude du signal**

Comme $\Delta_t(n)$ est très petit devant la période du signal, on peut utiliser le développement limité à l'ordre 1 de la fonction sinus à chaque instant $n \cdot T_e$, ce qui nous donne :

$$U_{\text{Erreur}}(n) = A \cdot 2 \cdot \pi \cdot f_{\text{signal}} \cdot \Delta_t(n) \cdot \cos(2 \cdot \pi \cdot f_{\text{signal}} \cdot n \cdot T_e) \quad n \in \mathbb{Z} \quad (18)$$

Δ_t étant une variable aléatoire d'écart type J_{rms} et en considérant que les échantillons sont uniformément répartis :

$$M(U_{\text{Erreur}}^2) = \frac{A^2 \cdot (2 \cdot \pi \cdot f_{\text{signal}} \cdot J_{\text{RMS}})^2}{2} \quad (19)$$

Nous pouvons ainsi exprimer le rapport de puissance :

$$\frac{M(U_{\text{Signal}}^2)}{M(U_{\text{Erreur}}^2)} = \frac{1}{(2 \cdot \pi \cdot f_{\text{Signal}} \cdot J_{\text{RMS}})^2} \quad (20)$$

Pour aboutir en utilisant la définition du nombre de bits effectifs (4) au résultat :

$$ENOB_{Jitter} = \log_2 \left(\frac{1}{2 \cdot \pi \cdot \sqrt{1,5} \cdot f_{Signal} \cdot J_{RMS}} \right) \quad (21)$$

Avec pour rappel f_{Signal} : fréquence du signal d'entrée et J_{RMS} : écart type du jitter

2.4 Cumul des limitations

Connaissant l'influence de chaque limitation, nous pouvons en déduire le nombre de bits effectifs du système. Pour cela on détermine la puissance de l'erreur totale en additionnant les puissances des erreurs des différentes contributions. Ceci nous conduit à une formulation assez complexe en termes de nombres de bits effectifs :

$$ENOB_{Total} = \log_2 \left(\sqrt{\frac{1}{\frac{1}{(2^{ENOB_{Bruit}})^2} + \frac{1}{(2^{ENOB_{Linéarité}})^2} + \frac{1}{(2^{ENOB_{Jitter}})^2}}}} \right) \quad (22)$$

La Figure 7 a été construite pour que l'influence de chaque limitation prise indépendamment des autres conduise à une résolution de 10 bits effectifs à 8 GHz. Le rapport signal-à-bruit est donc de 62 dB, le taux de distorsion harmonique est aussi de 62 dB à 8 GHz et le jitter de 16 fs.

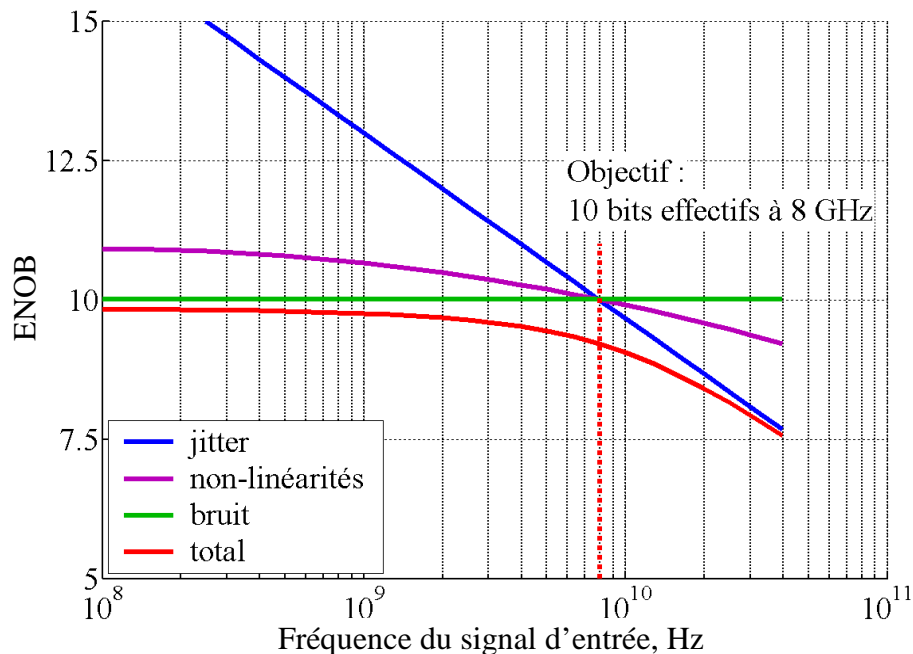


Figure 7 : Limitations des systèmes d'échantillonnage

Nous constatons bien que le nombre de bits effectifs total est plus faible et pour une fréquence d'entrée de 8 GHz, la résolution est alors de 9,2 bits effectifs. On remarque aussi que

l'influence du bruit ne dépend pas de la fréquence du signal d'entrée contrairement à l'influence du jitter qui réduit la résolution quand la fréquence du signal d'entrée augmente. De manière générale, les systèmes d'échantillonnage sont limités en basse fréquence par le bruit et en haute fréquence par le jitter. La forme de l'influence des non-linéarités a été choisie de manière arbitraire, d'après des résultats de simulation. Comme nous le montrerons plus loin, elle dépend du système étudié.

III - L'échantillonneur-bloqueur

1 La fonction échantillonnage-blocage

Dans les systèmes réels, la quantification de l'échantillon n'est pas immédiate et nécessite un délai pendant lequel la valeur de l'échantillon doit être stable sur l'entrée du système. On associe donc à l'échantillonneur une deuxième fonction dont le rôle est de maintenir sur sa sortie la valeur de l'échantillon. Ceci constitue un échantillonneur-bloqueur qui est physiquement réalisé en associant un étage de commutation à une capacité de maintien. Bien qu'ils n'interviennent pas sur le principe de fonctionnement, il faut aussi mentionner les deux amplificateurs tampons de l'entrée et de la sortie car ils vont jouer un rôle important sur les performances.

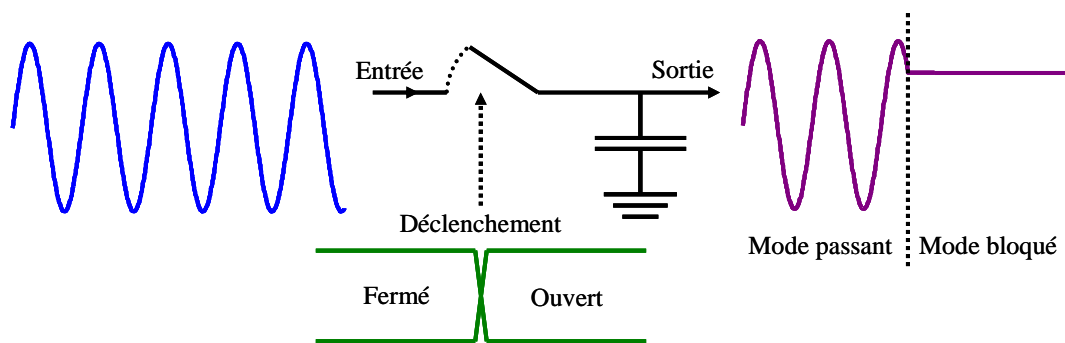


Figure 8: Principe de l'échantillonneur-bloqueur

Le fonctionnement d'un échantillonneur-bloqueur idéal est représenté Figure 8 : dans un premier temps l'interrupteur est fermé (mode passant) et la capacité de maintien suit la valeur du signal d'entrée ; l'interrupteur est ensuite ouvert (mode bloqué) ce qui isole la capacité de maintien du signal d'entrée et permet de conserver la valeur stockée lors de l'ouverture de l'interrupteur. Ces deux opérations sont ensuite répétées et à chaque ouverture de l'interrupteur on obtient un échantillon du signal d'entrée. On constate alors à la sortie de cet élément qu'on observe la moitié du temps la valeur de l'échantillon et l'autre moitié du temps le signal d'entrée. Afin d'optimiser la vitesse de conversion du système on a souvent recours à une architecture maître-esclave (Figure 9), c'est-à-dire que deux échantillonneurs-bloqueurs sont cascades et déclenchés en opposition de phase. Suite à la capture de l'échantillon le premier étage est en mode bloqué et le deuxième est en mode suiveur. La sortie de ce deuxième étage vient alors se fixer sur la valeur de l'échantillon. Lorsque le premier étage repasse en mode suiveur, le deuxième étage est en mode bloqué et conserve encore à sa sortie la valeur de l'échantillon. Cette solution permet de conserver l'échantillon sur la sortie pendant toute la durée d'une période d'échantillonnage et d'isoler complètement le signal de sortie du signal d'entrée.

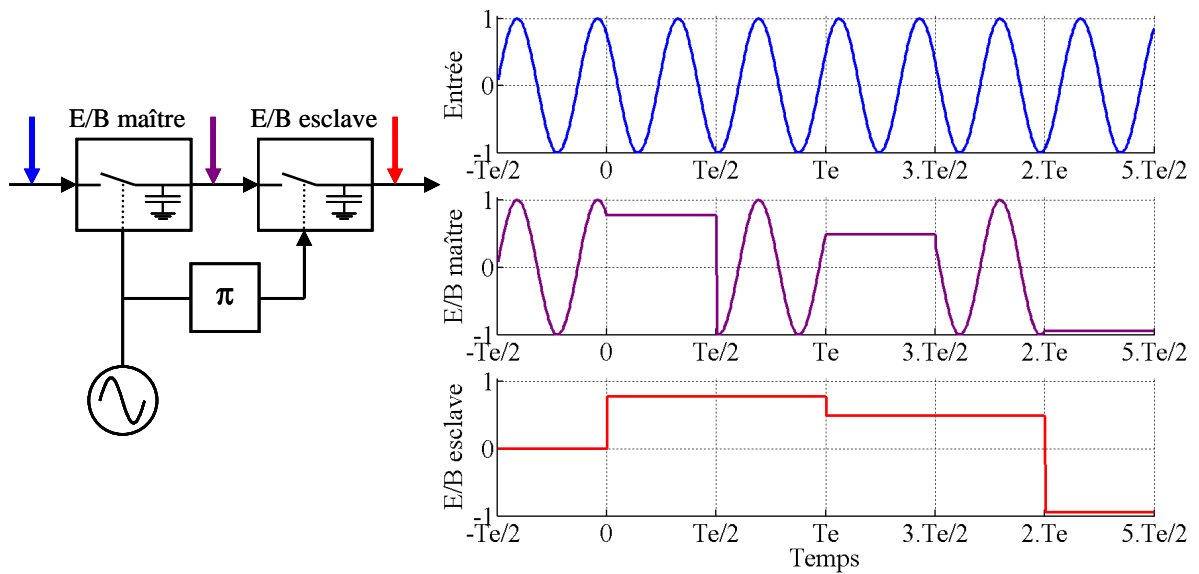


Figure 9: Architecture maître-esclave

2 Le composant

Le fonctionnement théorique de l'échantillonneur-bloqueur impose des tensions discontinues aux bornes des capacités et un fonctionnement en tout-ou-rien du commutateur. Ceci n'est bien sûr pas possible physiquement et le composant réel va donc être limité dans ses performances. Les principaux paramètres à prendre en compte sont représentés Figure 10 et sont ensuite détaillés [13], [11].

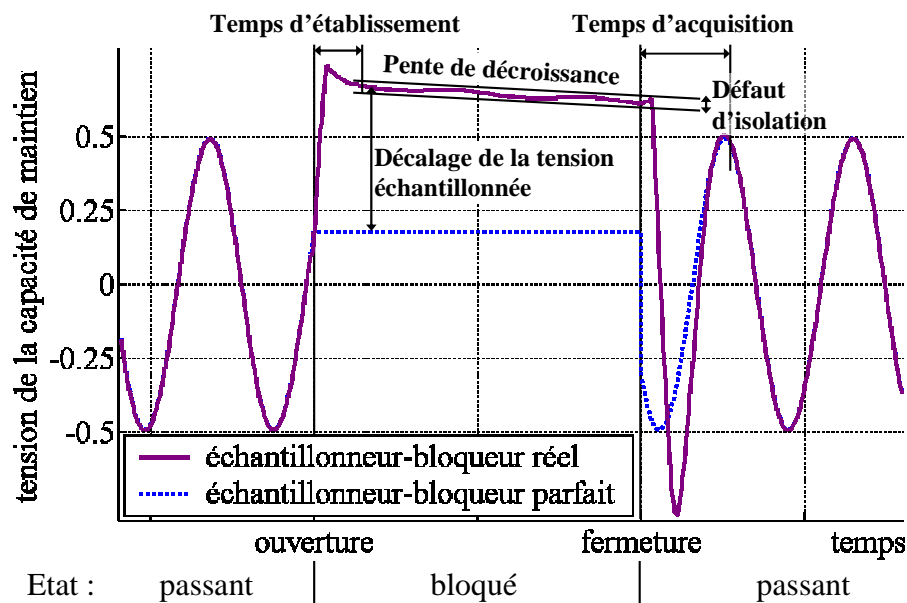


Figure 10 : Limitations de l'échantillonneur-bloqueur réel

- **Temps d'acquisition (acquisition time)**

Lors de la fermeture de l'interrupteur, la valeur de tension aux bornes de la capacité peut être très différente de celle du signal d'entrée. On crée alors un appel de courant limité par les étages d'amplification qui précèdent. Le temps d'acquisition est le temps nécessaire pour que la capacité de maintien de l'E/B suive le signal d'entrée. Cela correspond aussi au temps de réponse du système à une commande en échelon.

- **Décalage de la tension échantillonnée (pedestal error)**

Lors du passage du mode passant au mode bloqué, les éléments (transistors ou diodes) qui réalisent la commutation subissent un changement rapide de polarisation. Certaines capacités parasites se trouvent alors isolées des sources d'alimentation et évacuent leurs charges dans la capacité de maintien. Ce phénomène, connu sous le nom d'injection de charges, crée un décalage de la valeur stockée sur la capacité de maintien. Cette limitation est facilement atténuée, par l'utilisation d'une architecture différentielle par exemple, mais n'est jamais complètement supprimée du fait des dispersions technologiques.

- **Temps d'établissement (settling time)**

Le temps d'établissement est la durée s'écoulant entre la commande de blocage de l'échantillonneur et la stabilisation de la tension de la capacité de maintien. Pendant le changement de polarisation des diodes ou transistors on observe un flottement du signal sur la capacité qui se stabilise à la fin du phénomène d'injection de charges.

- **Défaut d'isolation en mode bloqué (feedthrough rejection)**

Le commutateur n'assurant pas une isolation parfaite, en mode bloqué une fraction du signal d'entrée charge la capacité de maintien. Cette erreur provient principalement des capacités parasites qui constituent un pont diviseur de tension avec la capacité de maintien. Comme pour les autres erreurs dues aux capacités parasites, une solution pour réduire cette erreur est d'augmenter la capacité de maintien.

- **Pente de décroissance (courant de fuite)**

La lecture de la valeur stockée sur la capacité de maintien nécessite un faible courant de polarisation de l'étage de sortie qui s'ajoute aux courants de fuites qui déchargent petit à petit la capacité de maintien. En fonction du système, la décroissance de la tension de capacité peut avoir différentes formes (exponentielle, linéaire...) et on caractérise généralement ce paramètre par la pente de la décroissance (en anglais, droop rate). Cette pente est d'autant plus faible que la capacité de maintien est élevée et une structure différentielle permet souvent de compenser cet effet, au moins au début du mode bloqué.

3 Caractéristiques fondamentales de l'échantillonneur-bloqueur

Trois paramètres définissent les performances d'un échantillonneur-bloqueur : la fréquence d'échantillonnage, la bande-passante et la résolution qui, souvent, dépend à la fois de la fréquence du signal d'entrée et de la fréquence d'échantillonnage. D'autres paramètres vont jouer un rôle primordial lors de la conception des architectures, comme par exemple l'excursion maximale du signal d'entrée, mais ne caractérisent pas spécifiquement les performances des échantillonneurs-bloqueurs.

- **Fréquence d'échantillonnage**

La fréquence d'échantillonnage maximale est déterminée par la vitesse de commutation des éléments. Lorsqu'on choisit des transistors rapides, cette fréquence peut facilement être très élevée, jusqu'à quelques dizaines de gigahertz. Cependant, pour conserver une résolution correcte, il faut que la somme du temps d'acquisition et du temps d'établissement soit inférieure à la période d'échantillonnage. L'échantillonneur-bloqueur étant inséré dans un système, il est commode de conserver un rapport cyclique d'un demi et il faut que l'échantillon soit conservé en sortie suffisamment longtemps pour que sa valeur soit correctement lue par l'étage suivant. Tous ces éléments réduisent de façon drastique la fréquence d'échantillonnage maximale, et un compromis est à établir entre fréquence d'échantillonnage et résolution.

Bien qu'elle ne constitue pas un élément limitatif pour nos applications, les échantillonneurs-bloqueurs ont aussi une fréquence d'échantillonnage minimale en dessous de laquelle les courants de fuite déchargent la capacité de maintien et conduisent à une valeur erronée de l'échantillon présenté sur la sortie.

- **Bande-passante**

La bande passante est principalement limitée par l'impédance de sortie de l'ensemble { amplificateur d'entrée ; interrupteur } et par la capacité de maintien qui forment un filtre RC. Pour augmenter la bande passante, il faut alors diminuer cette impédance de sortie et diminuer la capacité de maintien, ce qui entraîne une augmentation des phénomènes liés aux capacités parasites et aux courants de fuites et donc une diminution de la résolution. Il y a là encore un compromis à trouver entre résolution et bande-passante. D'autres limitations de la bande passante interviennent au niveau de l'étage tampon d'entrée mais sont nettement moins importantes.

- **Résolution**

La résolution de l'échantillonneur-bloqueur est limitée par tous les phénomènes qui ont été décrits précédemment pour les systèmes d'échantillonnage et pour les non-idéalités du composant : jitter, non-linéarité, bruit, courants de fuites, isolation en mode bloqué, injection de charges, commutations des diodes ou transistors... Le nombre de bits effectifs permet alors de caractériser ce paramètre et dépend de la fréquence du signal d'entrée, de sa puissance, de la fréquence d'échantillonnage et de la qualité du signal de déclenchement.

4 Etat de l'art et applications

4.1 Composants commerciaux

Le Tableau 1 propose une comparaison des meilleurs échantillonneurs-bloqueurs actuellement sur le marché. Nous pouvons constater tout d'abord que des fréquences de quelques giga-échantillons par seconde sont annoncées mais que les caractéristiques sont données en général à 1 GEch/s. De même les bandes-passantes des composants Teledyne et Inphi, annoncées en petits signaux au-delà de 15 GHz sont largement réduites pour des excursions d'entrée plus élevées. Enfin, le dernier point relevé est l'évolution du taux de distorsion harmonique : sa décroissance en fonction de la fréquence d'entrée est très rapide et il y a une grande disparité en fonction du composant.

Référence	Hittite - HMC660LC4B [14]	Teledyne - RTH050 [15]	Teledyne - RTH060 [16]	Inphi - 1821TH [17]
Fréquence d'échantillonnage maximale	3 GEch/s	1 GEch/s	4 GEch/s	2 GEch/s
Bande passante	4,5 GHz (1 V _{pp})	15 GHz (petits signaux) 7 GHz (0,5 V _{pp})	16 GHz (0,25 V _{pp})	18 GHz (petits signaux) 12 GHz (1 V _{pp})
Excursion	1 V	1,5 V	1,5 V	1 V
Bruit	8,9 nV/√Hz	10 nV/√Hz	-	22,3 nV/√Hz
Jitter	84 fs	100 fs	100 fs	50 fs
THD à 1 GHz, 0,5 V _{pp} , 1 GEch/s	66 dB	53 dB	-	55 dB
THD à 4 GHz, 0,5 V _{pp} , 1 GEch/s	58 dB	36 dB	-	43 dB (interpolé)
THD à 10 GHz, 0,5 V _{pp} , 1 GEch/s	-	25 dB	-	30 dB
Technologie	SiGe BiCMOS	GaAs HBT	GaAs HBT	InP HBT

Tableau 1 : Comparaison des échantillonneurs-bloqueurs commerciaux hautes performances

Les stratégies des constructeurs sont donc assez différentes : Teledyne et Inphi visent les hautes fréquences, même au prix d'une diminution des performances alors que Hittite favorise la résolution et limite donc la bande-passante.

4.2 Résultats publiés

Le nombre important de publications présentant des échantillonneurs-bloqueur nous a conduit à nous limiter aux composants ayant une fréquence d'échantillonnage et une bande-passante supérieures à 1 GHz. On observe une grande diversité dans le choix des paramètres mesurés et dans les conditions de mesures (en puissance et fréquence du signal d'entrée). Les performances en termes de linéarité sont présentées dans le Tableau 2, en précisant pour chaque composant la fréquence à laquelle la mesure a été effectuée. On constate là encore une augmentation importante des non-linéarités lorsque la fréquence d'entrée augmente.

Réf.	Fréquence d'échantillonnage maximale	Bande-passante	Linéarité (THD sauf spécifié)	Technologie, particularité
[18]	2 GEch/s	2 GHz	50,7 dB @ 0,5 GHz	Si Bipolaire
[19]	6 GEch/s	2,5 GHz	48 dB @ 2,5 GHz	HEMT non différentiel
[20]	10 GEch/s	2,5 GHz	41 dB @ 1 GHz	SiGe BiCMOS 0,25 μm
[21]	5 GEch/s	3 GHz	45 dB @ 2,5 GHz	HEMT
[22]	2 GEch/s	3,5 GHz	SFDR : 40 dB	AsGa HBT non différentiel
[23]	12 GEch/s	5,5 GHz	49,5 dB @ 3 GHz	SiGe BiCMOS 0,25 μm
[24]	1 GEch/s	6 GHz	42,2 dB @ 5 GHz	AsGa HBT
[25]	18 GEch/s	7 GHz	32,3 dB @ 2 GHz	SiGe BiCMOS 0,18 μm
[26]	4 GEch/s	10 GHz	SFDR : 30 dB @ 10 GHz	SiGe BiCMOS 0,5 μm non différentiel
[27]	2,5 GEch/s	12,6 GHz	SFDR : 50 dB	InP SHBT
[28]	12 GEch/s	14 GHz	31,3 dB @ 6 GHz 23,3 dB @ 12 GHz	InP DHBT
[29]	10 GEch/s	16 GHz	Simulé 30 dB @ 10 GHz	InP DHBT
[30]	40 GEch/s	43 GHz	27 dB @ 19 GHz	SiGe BiCMOS 0,18 μm

Tableau 2 : Etat de l'art des échantillonneurs-bloqueurs publiés ayant une fréquence d'échantillonnage et une bande-passante supérieures à 1 GHz

4.3 Applications

L'échantillonneur-bloqueur est utilisé pour échantillonner des signaux analogiques, généralement en vue de les quantifier et d'effectuer un traitement numérique de l'information. Les applications envisageables sont donc multiples et nous ne présenterons que les plus courantes, celles qui présentent actuellement un enjeu de recherche.

• **Télécommunications par fibres optiques**

Les fibres optiques sont utilisées pour transmettre des données numériques sur de longues distances et permettent d'atteindre des débits de plus en plus élevés. Pour des taux de transfert supérieurs à 10 Gbits/s, il est nécessaire de compenser les effets perturbateurs de la propagation dans la fibre, et parmi les techniques envisageables la correction numérique présente le plus d'avantages. Il est cependant nécessaire de convertir le signal analogique issu de la photodiode en signal numérique et pour cela de disposer, entre-autres, d'échantillonneurs-bloqueurs présentant des fréquences d'échantillonnages et des bandes-passantes au moins égales au débit de données. Ces échantillonneurs-bloqueurs sont aussi caractérisés par des résolutions plutôt faibles (la priorité étant donnée à la fréquence d'échantillonnage) et sont associés en entrée à un amplificateur de gain élevé. C'est donc logiquement l'application visée par les trois composants les plus rapides du Tableau 2 : [28], [29] et [30].

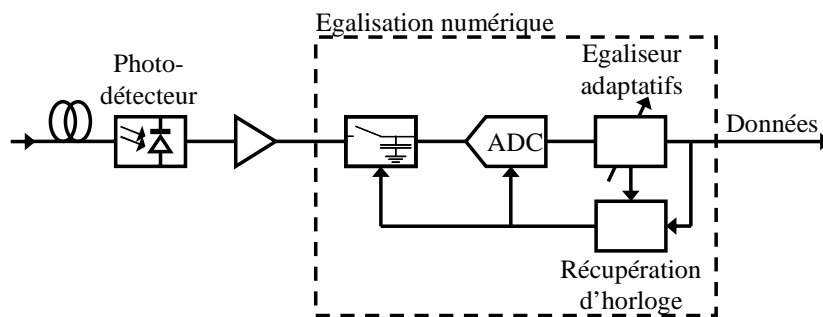


Figure 11 : Principe de l'égalisation numérique d'un signal optique

• **Radio logicielle**

L'évolution des systèmes numériques permet aujourd'hui une révolution dans la conception des systèmes de télécommunications sans fil et satellitaires : la radio logicielle. Dans le principe, il s'agit de créer numériquement les signaux en fréquences intermédiaires pour n'avoir qu'une seule transposition de fréquence à effectuer. Cette technique permet une très grande reconfigurabilité du système qui peut ainsi servir à moduler ou démoduler la majorité des standards dans plusieurs bandes de fréquences.

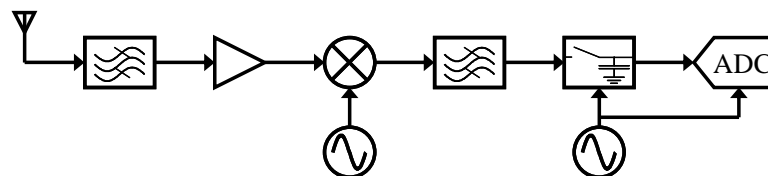


Figure 12 : Principe de la radio-logicielle

Ce principe est utilisé en émission et en réception où il nécessite une conversion analogique-numérique et donc un premier étage d'échantillonnage. L'échantillonneur-bloqueur utilisé présente alors une bande-passante et une fréquence d'échantillonnage assez élevées, souvent autour de

quelques gigahertz. Les performances en bruit et linéarité étant cruciales, la résolution nécessaire sera assez élevée. Par rapport aux références relevées dans le Tableau 2, beaucoup ont été développées pour cette application, notamment [20], [23], [25] et [26].

- **Transposition basse fréquence par échantillonnage**

Les larges bandes-passantes des échantillonneurs actuels permettent d'envisager la conversion directe des signaux issus de l'antenne : l'échantillonneur-bloqueur est utilisé à la fois pour échantillonner le signal et pour le convertir en basse fréquence (voir sous-échantillonnage, paragraphe A - I - 4) [14]. Cette technique est utilisée pour diverses applications, notamment pour les systèmes radar et guerre-électronique car elle permet de simplifier l'architecture du récepteur (Figure 13) : suppression des mélangeurs, réduction du nombre de filtres et d'oscillateurs. Les échantillonneurs-bloqueurs utilisés doivent présenter une très grande bande-passante pour une fréquence d'échantillonnage plus faible, de l'ordre de 1 ou 2 GEch/s, compatible avec des convertisseurs haute résolution. La linéarité joue un rôle prépondérant car les applications nécessitent de différencier des signaux de fréquences proches. Cette application étant assez récente, une seule publication du Tableau 2 s'y réfère : [27].

Cette technique est actuellement à l'étude dans le cadre d'un projet REI (projet de Recherche Exploratoire et Innovation, « Echantillonneur-bloqueur large-bande », n° 06.34.048) financé par la DGA pour des applications guerre-électronique et rassemble Thales, III-V Lab, le XLIM et l'IEMN.

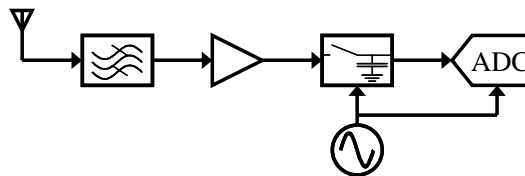


Figure 13 : Principe de la conversion directe

- **Instrumentation**

L'échantillonneur-bloqueur est bien évidemment un composant très utile dans le domaine de l'instrumentation. Il est en effet utilisé pour toutes les mesures temporelles, c'est-à-dire principalement dans les oscilloscopes, qu'ils soient à temps réel ou à sous-échantillonnage. Les techniques de sous-échantillonnage ont déjà été décrites dans le paragraphe A - I - 4 et les techniques d'échantillonnage temps réel retenues par les concepteurs d'oscilloscopes seront discutées dans la partie B - III - . Généralement les échantillonneurs-bloqueurs utilisés sont intégrés directement au système et leurs caractéristiques sont souvent confidentielles. Dans le Tableau 2, seul le premier composant [18] a été conçu pour l'instrumentation.

IV - Convertisseurs analogiques-numériques

Après avoir étudié l'échantillonnage du signal, on s'intéresse plus particulièrement dans cette partie à la quantification des échantillons. Cette étape fait en effet partie intégrante du système global et va influencer les performances visées pour l'échantillonnage.

Pour notre application il est nécessaire de disposer de quantifieurs à haute résolution, au moins 10 bits, et qui présentent une fréquence d'échantillonnage élevée. Il est en effet prioritaire de disposer d'un composant atteignant une grande résolution car les performances du système d'échantillonnage sont entièrement dépendantes de ce paramètre. En revanche la fréquence d'échantillonnage est une contrainte secondaire car elle peut être compensée par le nombre de voies d'échantillonnage. Mais l'augmentation du nombre de voies d'échantillonnage implique généralement une augmentation de la complexité du système et donc une réduction de sa résolution. On cherche donc un convertisseur qui présente une fréquence d'échantillonnage élevée.

Il est bien sûr envisageable de développer un composant dédié mais la réalisation d'un codeur à résolution élevée nécessite une très grande stabilité de la technologie de fabrication et donc généralement une technologie industrielle. La conception d'un tel composant demande aussi une grande rigueur et la validation d'un certain nombre d'étapes intermédiaires, sans enjeux de recherche majeurs, et qui ne se justifient souvent que dans un cadre commercial. Comparées aux convertisseurs commerciaux, les publications académiques concernent donc souvent des codeurs de moindre résolution mais très rapides (par exemple [31], [29]) ou de fréquence d'échantillonnage plus faible mais utilisant des architectures originales (par exemple [32], [33], [34]). Il a alors été choisi dans le cadre du projet et de la thèse de ne pas développer de codeur propre mais d'utiliser ceux disponibles commercialement.

1 Performances actuelles

Les convertisseurs analogiques-numériques commerciaux sont prévus pour réaliser entièrement la conversion d'un signal analogique en signal numérique. Ils intègrent donc à la fois un échantillonneur-bloqueur et un quantifieur. Pour notre application nous n'avons besoin que de la partie quantification du composant. Dans ces conditions l'échantillonneur-bloqueur intégré devient une source de limitations du système car ses performances sont en effet moins bonnes que celles des éléments développés dans le cadre du projet. Ceci nous conduit à une réduction de la dynamique, et surtout à un problème de compatibilité avec le reste du système, du fait de la faible bande-passante du convertisseur comparée à sa fréquence d'échantillonnage : comme nous présentons à l'entrée du composant un signal déjà échantillonné, la bande-passante du signal est proche de celle d'un signal carré et présente donc des composantes harmoniques jusqu'à des fréquences élevées.

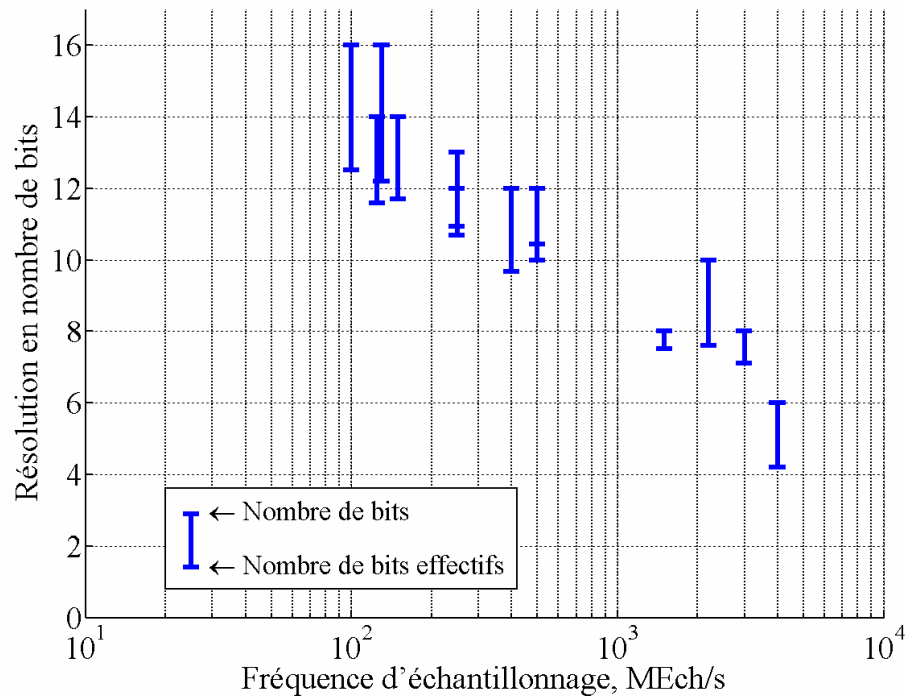


Figure 14 : Etat de l'art de convertisseurs analogique-numériques commerciaux, résolution en fonction de la fréquence d'échantillonnage maximale [35]-[36]

Comme pour l'échantillonneur-bloqueur, nous utilisons le nombre de bits effectifs pour caractériser les performances du convertisseur. Cependant les données constructeur disponibles sont établies pour des signaux d'entrée sinusoïdaux. La résolution réelle du convertisseur dans notre application sera donc certainement plus élevée mais ne peut pas excéder le nombre de bits du convertisseur. La Figure 14 présente différents codeurs commerciaux, chacun étant représenté par un segment vertical d'abscisse la fréquence d'échantillonnage du composant, ayant pour minimum le nombre de bits effectifs du composant et pour maximum son nombre de bits. Cette figure présente plusieurs paliers résolution / fréquence d'échantillonnage. Pour assurer au moins 10 bits effectifs, la résolution du convertisseur doit être supérieure à 12 bits, ce qui limite la fréquence d'échantillonnage à 500 MEch/s au mieux (cf. Figure 14). Pour atteindre des fréquences d'échantillonnage plus élevées, de l'ordre de 2 GEch/s, il faut relâcher la contrainte en termes de résolution et utiliser plutôt des codeurs sur 8 à 10 bits.

2 Influence de l'état de l'art actuel des convertisseurs sur le projet

2.1 Fréquence d'échantillonnage

La Figure 14 illustre une limitation importante pour notre sujet de thèse : notre objectif est d'atteindre 10 bits effectifs en temps continu, ce qui nécessite d'utiliser des codeurs 12 bits dont la fréquence d'échantillonnage est au mieux de 500 MEch/s. Pour atteindre une fréquence d'échantillonnage du système de 40 GEch/s (cahier des charges) il faut donc associer

80 convertisseurs, ce qui n'est pas raisonnable, autant pour la puissance consommée que pour l'encombrement et les accès. Le temps continu n'est donc pas envisageable actuellement avec des résolutions aussi élevées et on utilisera plutôt des codeurs moins précis et plus rapides. Il est à noter quand même qu'au début de la thèse le meilleur convertisseur 12 bits avait une fréquence d'échantillonnage de 210 MEch/s. En moins de trois ans et pour la même résolution, les fréquences d'échantillonnage ont été multipliées par plus d'un facteur deux, ce qui nous laisse espérer atteindre prochainement des fréquences d'échantillonnage supérieures au milliard d'échantillons par seconde. Le Tableau 3 reprend les performances de différents convertisseurs envisageables dans le cadre de notre projet.

Constructeur, référence	Nombre de bits	Fréquence d'échantillonnage	Bande passante	ENOB
Maxim, MAX1215 [37]	12	250 MEch/s	0,7 GHz	10,7 @ 100 Mhz
Analog Devices, AD12401 [35]	12	400 MEch/s	0,48 GHz	9,7 @ 175 MHz
Texas Instruments, ADS5463 [38]	12	500 MEch/s	2 GHz	10,45 @ 230 MHz
E2V Atmel, AT84AS001 [39]	12	500 MEch/s	1,5 GHz	10 @ 250 Mhz
E2V Atmel, AT84AS008 [40]	10	2,2 GEch/s	3,3 GHz	7,6 @ 1,1 GHz
Maxim, MAX108 [41]	8	1,5 GEch/s	2,2 GHz	7,5 @ 750 MHz
National Semiconductor, ADC083000 [42]	8	3 GEch/s	3 GHz	7,1 @ 500 MHz

Tableau 3: Principales caractéristiques des convertisseurs analogiques-numériques commerciaux

2.2 Bande-passante

Un autre paramètre important des convertisseurs analogique-numérique est leur bande-passante (voir Tableau 3). La sortie de l'échantillonneur-bloqueur est un train d'échantillons, signal qui contient des composantes harmoniques à haute fréquence. Il faut que la bande-passante du convertisseur soit suffisante pour que la valeur de l'échantillon prélevé soit lue correctement.

Pour caractériser la bande-passante du convertisseur, la fréquence de coupure à - 3 dB n'est pas le paramètre le plus représentatif et on devrait utiliser le temps d'établissement, temps au-delà duquel l'erreur sur la valeur de l'échantillon est négligeable.

Comme les références ne mentionnent pas le temps d'établissement, nous cherchons à exprimer la bande-passante nécessaire en termes de fréquence de coupure à - 3 dB. Pour évaluer approximativement cette relation, nous considérons les simplifications suivantes : le signal de sortie de l'échantillonneur-bloqueur présente des transitions parfaites (équivalent à une bande-passante infinie) et le convertisseur analogique-numérique est équivalent à un filtre du premier ordre. Nous nous

plaçons dans le pire des cas, quand la différence de tension entre deux échantillons est égale à l'amplitude maximale (normalisée à 1). La forme des signaux modélisés est représentée Figure 15.

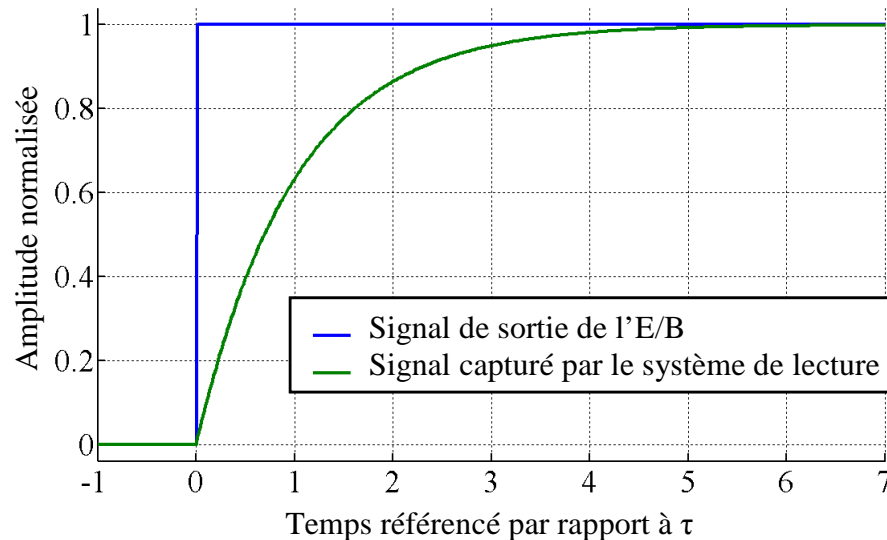


Figure 15 : Signaux modélisés pour le calcul de la bande-passante à - 3 dB

Pour atteindre une résolution de 10 bits effectifs, il faut que l'erreur maximale en amplitude soit inférieure à $4 \cdot 10^{-4}$. On a donc l'inéquation suivante :

$$\exp\left(-\frac{T_e}{\tau}\right) < 4 \cdot 10^{-4} \quad (23)$$

Avec T_e : période d'échantillonnage et $\tau = \frac{1}{2 \cdot \pi \cdot f_{BP}}$: paramètre associé à la fréquence de coupure à - 3 dB f_{BP} du système de lecture

Qui nous conduit à la relation suivante :

$$f_{BP} > 1,25 \cdot f_e \quad (24)$$

Cette relation nous indique une contrainte élémentaire du convertisseur analogique-numérique : il faut que sa bande-passante à - 3 dB soit au moins de 1,25 fois la fréquence de travail. Notons cependant que ce calcul a été fait sous certaines hypothèses assez optimistes. En effet l'échantillonneur-bloqueur présente une bande-passante de sortie finie. D'autres erreurs pourraient aussi intervenir, par exemple des désadaptations d'impédances entre l'échantillonneur-bloqueur et le convertisseur analogique-numérique. Dans le système final, il faudra donc que la fréquence de coupure des convertisseurs soit largement supérieure à 1,25 fois la fréquence de conversion.

En conclusion, le composant idéal pour notre application présenterait une résolution de 12 bits et une fréquence d'échantillonnage de 2 GEch/s. Un tel composant n'est pas disponible actuellement mais pourrait l'être dans un avenir proche. Parmi les composants disponibles actuellement, nous privilégions plutôt l'AT84AS008 ([40]) qui présente une fréquence d'échantillonnage de 2,2 GEch/s et qui code sur 10 bits.

B - Architecture des systèmes d'échantillonnage

Nous avons vu dans la partie précédente que la conversion analogique-numérique d'un signal se fait en plusieurs étapes et nécessite le regroupement de plusieurs fonctions en un même système. Pour atteindre une résolution de l'ordre de 10 bits effectifs, la fréquence de travail de l'échantillonneur-bloqueur et du convertisseur ne peut excéder quelques gigahertz, rendant nécessaire la combinaison de plusieurs voies d'échantillonnage. L'échantillonnage haute résolution de signaux large-bande passe donc par la conception d'un système complexe que l'on se propose de détailler dans cette partie. Dans un premier temps les techniques pour assembler plusieurs voies d'échantillonnage sont présentées dans leur aspect théorique. Nous détaillons ensuite les architectures qui ont été proposées en commençant par les architectures optoélectroniques. Ces systèmes, bien qu'ayant peu d'applications concrètes, constituent la principale alternative aux architectures tout-électroniques et présentent souvent des performances hors du commun. Leur originalité et leur grande diversité peut aussi être source d'inspiration pour les systèmes d'échantillonnage électronique. Les oscilloscopes numériques temps réel proposés actuellement sur le marché présentent des fréquences d'échantillonnages jusqu'à 40 ou 60 GEch/s. Les techniques retenues par les concepteurs pour atteindre ces fréquences sont détaillées dans une troisième sous-partie ainsi que les résolutions obtenues. Enfin des architectures assez marginales mais présentant de très bonnes performances sont décrites dans une quatrième sous-partie. Ces architectures sont dites mono-coup, c'est-à-dire que la durée d'enregistrement du signal est très courte, de l'ordre de quelques dizaines de points d'échantillonnage.

I - Entrelacement des échantillonneurs-bloqueurs

L'objectif principal de l'entrelacement est de réduire la fréquence de travail des échantillonneurs-bloqueurs. L'équation est simple : en associant n échantillonneurs-bloqueurs, la fréquence d'échantillonnage du système global est divisée par n sur chaque voie d'échantillonnage :

$$f_e = n \cdot f_{EB} \quad (25)$$

Avec f_e : fréquence d'échantillonnage du système global, n : nombre de voies et

f_{EB} : fréquence d'échantillonnage de chaque échantillonneur-bloqueur.

Cette diminution de la fréquence d'échantillonnage se répercute sur toute la chaîne, et notamment sur les convertisseurs analogiques-numériques. Les valeurs numériques des échantillons sortent donc en parallèle vers le système de traitement numérique. En fonction de sa fréquence de travail, les données peuvent alors être multiplexées ou démultiplexées avant d'être stockées.

Au niveau de l'échantillonneur-bloqueur, la diminution de la fréquence d'échantillonnage permet d'améliorer les autres paramètres et principalement la résolution. Dès lors cette technique sera souvent utilisée pour la réalisation de systèmes d'échantillonnage à haute résolution et haute fréquence d'échantillonnage. Deux principes peuvent alors être envisagés : l'entrelacement temporel et l'entrelacement fréquentiel.

1 Entrelacement temporel

1.1 Principe

Dans cette technique le signal d'entrée est répété sur chaque voie d'échantillonnage et les échantillonneurs-bloqueurs sont déclenchés tour à tour de façon cyclique (Figure 16). C'est d'ailleurs ce déphasage des signaux de déclenchements qui est à l'origine du nom d'entrelacement temporel. Par rapport aux performances des échantillonneurs-bloqueurs, seule la fréquence d'échantillonnage est modifiée, et les contraintes de bande-passante, jitter, bruit et non-linéarité sont inchangées.

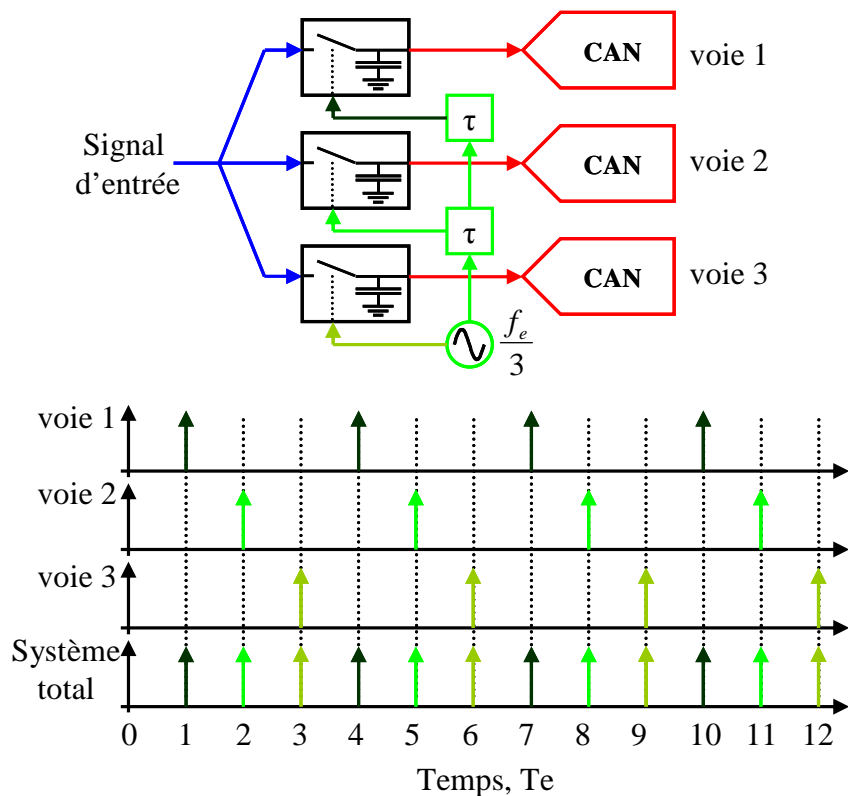


Figure 16 : Schéma de principe de l'entrelacement temporel – exemple d'une architecture trois voies

Cette technique est très ancienne ([43]) et elle a été retenue par les concepteurs d'oscilloscopes numériques temps réel depuis plus de vingt ans ([44]). Les applications actuelles pour les oscilloscopes sont décrites dans le paragraphe B - III - .

1.2 Limitations et calibrage

La réduction de la fréquence de travail des échantillonneurs-bloqueurs ne se fait pas sans contrepartie et un certain nombre de limitations apparaissent. L'augmentation de la complexité du système va en effet entraîner une augmentation de la consommation et une réduction de la résolution, ce qui est contradictoire avec l'intérêt de cette technique : d'un côté on améliore la résolution de

l'échantillonneur-bloqueur en réduisant sa fréquence d'échantillonnage mais de l'autre on augmente la complexité du système et donc nécessairement on réduit ses performances. Il y a donc à ce niveau un premier compromis à trouver entre le nombre d'échantillonneurs-bloqueurs que l'on va entrelacer et l'amélioration de leurs performances qui en résulte. Il est à prévoir aussi que les performances du système complet seront moins bonnes que les performances individuelles de chaque échantillonneur-bloqueur. Mais la principale limitation de la résolution vient des disparités entre les voies d'échantillonnage. Ces disparités créent un signal erreur qui vient ajouter du bruit sur le signal utile. Les erreurs entre les voies ont quatre origines ([45], [46]) :

- Décalage du niveau continu ;
- Erreur statique de déphasage du déclenchement ;
- Erreur de gain ;
- Déphasage.

Ces deux dernières erreurs présentent en plus la difficulté d'être dépendantes de la fréquence du signal d'entrée.

Ces erreurs conduisent rapidement à une diminution importante de la résolution. Cependant nous disposons d'un atout majeur : ces erreurs sont répétitives et peuvent donc être caractérisées et compensées. La correction peut se faire à deux niveaux : au niveau physique par le calibrage du système et au niveau logiciel par traitement numérique des données. Le calibrage du système permet de corriger grossièrement les erreurs et d'éviter ainsi de perdre de l'information (par exemple par saturation ou utilisation trop courte de l'échelle de quantification) et le traitement numérique permet une correction plus fine mais requiert du temps de calcul au moment de la mesure ([47]).

Le Tableau 4 présente le nombre de bits effectifs en fonction du type de disparités ainsi que l'application potentielle à notre projet, c'est-à-dire l'erreur maximale autorisée en admettant que toutes les autres erreurs sont nulles pour atteindre 10 bits effectifs à 8 GHz de fréquence d'entrée. On peut remarquer que les erreurs maximales autorisées sont excessivement faibles, ce qui se traduit en pratique par la nécessité d'avoir recours à un calibrage très fin du système d'échantillonnage et d'intégrer au système une correction numérique des données. Le détail de ces calculs est présenté en annexe (annexe II).

Disparité	Nombre de bits effectifs brut (avant traitement numérique)	Pour 10 bits effectifs à 8 GHz et 1 V _{pp} de dynamique
Niveau continu	$\log_2 \left(\frac{V_{pp}}{2 \cdot \sqrt{3} \cdot \sigma(V_{DC})} \right)$	$\sigma(V_{DC}) < 0,28 \text{ mV}$
Déphasage du déclenchement et temps de groupe statique	$-\log_2 \left(2 \cdot \pi \cdot \sqrt{1,5} \cdot f_{Signal} \cdot \sigma(\Delta t) \right)$	$\sigma(\Delta t) < 16 \text{ fs}$
Gain statique	$\log_2 \left(\frac{E(G)}{\sqrt{1,5} \cdot \sigma(G)} \right)$	$\frac{\sigma(G)}{E(G)} < 0,08 \%$
Gain en fonction de la fréquence	$\log_2 \left(\frac{E(G(f_{Signal}))}{\sqrt{1,5} \cdot \sigma(G(f_{Signal}))} \right)$	$\frac{\sigma(G)}{E(G)} < 0,08 \%$
Phase en fonction de la fréquence	$-\log_2 \left(\sqrt{1,5} \cdot \sigma(\Delta \phi(f_{Signal})) \right)$	$\sigma(\Delta \phi) < 0,046^\circ$

Tableau 4 : Influence des différentes disparités liées à l'entrelacement temporel

Avec V_{DC} : ensemble des n niveaux continus

V_{pp} : excursion maximale du signal d'entrée

Δt : ensemble des n erreurs temporelles statiques

G : ensemble des n gains statiques

$G(f_{Signal})$: ensemble des n gains en fonction de la fréquence du signal d'entrée

$\Delta \phi(f_{Signal})$: ensemble des n erreurs de phase en fonction de la fréquence du signal d'entrée

et pour rappel, f_{Signal} : fréquence du signal d'entrée

2 Entrelacement fréquentiel

L'entrelacement fréquentiel constitue une alternative récente à l'entrelacement temporel ([48], [49]). Dans le principe, la bande-passante du signal analysé est partitionné en n sous-bandes converties séparément. Par transformation de Fourier directe de ces sous-bandes, recombinaison du spectre fréquentiel du signal et transformée de Fourier inverse, on retrouve théoriquement le signal d'entrée dans le domaine temporel. Plusieurs techniques ont été proposées pour réaliser la partition en sous-bandes, certaines incluant même une transformation de Fourier analogique avant l'échantillonnage et la conversion ([50]). La Figure 17 reprend le principe de cette technique dans sa forme la plus intuitive.

Si chaque voie d'échantillonnage prélève k échantillons, par transformée de Fourier discrète on obtient k points de fréquence par voie. On a alors $n \cdot k$ points de fréquence pour le système total et par transformée de Fourier discrète inverse, $n \cdot k$ échantillons temporels. On a donc bien une fréquence d'échantillonnage équivalente f_e égale à $n \cdot f_{EB}$.

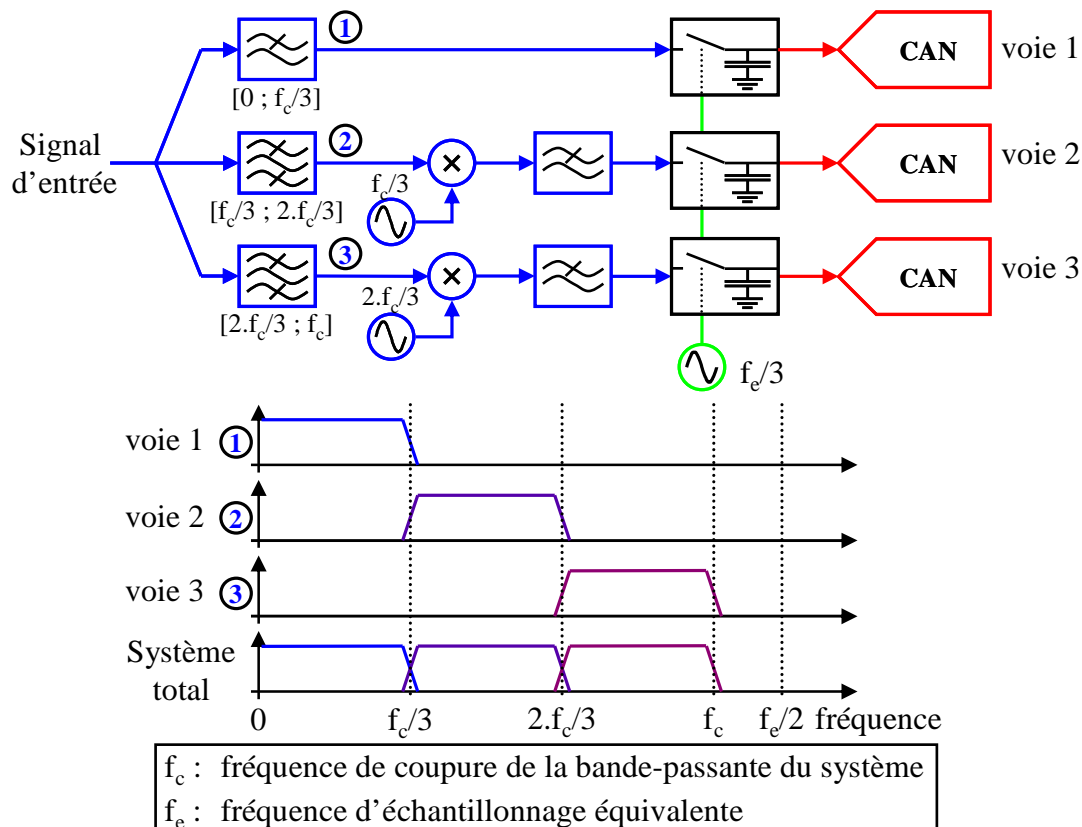


Figure 17 : Schéma de principe de l'entrelacement fréquentiel – exemple d'une architecture trois voies

On peut observer que cette solution est très lourde, aussi bien du point de vue matériel que du point de vue logiciel. Au niveau matériel en effet, $2n-1$ filtres, $n-1$ mélangeurs et n oscillateurs locaux sont nécessaires et, comme pour l'entrelacement temporel, il faut aussi recopier le signal sur les différentes voies. Au niveau logiciel, n transformées de Fourier, une transformée de Fourier inverse et toutes les compensations des effets analogiques non-désirés doivent être calculées. Du point de vue des performances, le grand nombre d'étages intermédiaires va nécessairement conduire à des niveaux élevés de bruit et de non-linéarités. A noter tout de même que le bruit est particulièrement filtré par le filtrage des sous-bandes.

Un des avantages principaux de cette technique concerne le jitter. Le jitter conduit en effet à une plus grande dégradation de la résolution quand la fréquence du signal d'entrée est plus élevée. Dans le cas de l'entrelacement fréquentiel, les fréquences élevées sont transposées en basse fréquence avant l'échantillonnage réduisant ainsi l'influence du jitter. Pour une résolution donnée, on peut donc se permettre d'avoir un jitter n fois plus élevé que pour un échantillonnage classique. En revanche,

cet avantage majeur est terni par la transposition de fréquence : le bruit de phase des oscillateurs locaux et des mélangeurs vient limiter la résolution du système de la même manière que le jitter (les équations sont celles du Tableau 4). Comme on sait qu'un faible bruit de phase est d'autant plus difficile à obtenir que les fréquences sont élevées, les transpositions fréquentielles vont fortement limiter les performances des techniques d'entrelacement fréquentiel. L'influence du jitter sera donc plus faible en utilisant une technique d'entrelacement fréquentiel plutôt qu'une technique d'entrelacement temporel, mais une nouvelle limitation apparaît : le bruit de phase des oscillateurs locaux. Si on considère le couple bruit de phase et jitter, l'amélioration apportée par les architectures à entrelacement fréquentiel par rapport aux architectures à entrelacement temporel sera sans doute assez faible.

Par rapport aux caractéristiques de l'échantillonneur-bloqueur, comme dans le cas de l'entrelacement temporel, la fréquence d'échantillonnage est divisée par n et la résolution est inchangée. La principale différence vient de la bande-passante des échantillonneurs-bloqueurs : alors que pour l'entrelacement temporel la bande-passante des échantillonneurs-bloqueurs doit être celle du système complet, pour l'entrelacement fréquentiel la bande-passante du système est n fois supérieure à celle des échantillonneurs-bloqueurs. Lorsqu'on entrelace fréquemment n systèmes d'échantillonnage, on réduit donc les contraintes à la fois sur la fréquence d'échantillonnage et sur la bande-passante.

Deux autres points importants sont à étudier avant la réalisation d'une architecture à entrelacement fréquentiel. En effet, la partition de la bande passante utile ne peut pas être effectuée de façon nette : il y aura nécessairement un recouvrement des fréquences analysées au niveau des changements de sous-bandes. Cette difficulté est compensée par traitement numérique des données mais nécessite cependant un élargissement de la bande-passante des sous-bandes lors de l'échantillonnage. Au final la fréquence d'échantillonnage équivalente du système ne sera pas rigoureusement n fois plus grande que celle de chaque voie mais légèrement plus faible et les bandes-passantes de chaque sous-bande seront plus larges que f_c/n . Le deuxième point à étudier concerne la dynamique du système. On sait en effet qu'un signal carré d'amplitude crête-à-crête de 1 V a une composante fondamentale d'amplitude $4/\pi\text{ V}$, donc supérieure à 1 V_{pp} . D'autres formes de signaux conduisent aussi à un dépassement de l'excursion initiale lors de leur décomposition fréquentielle. Il faudra donc utiliser des mélangeurs, des échantillonneurs et des quantifieurs qui disposent d'une dynamique plus élevée que celle du signal temporel pour éviter de perdre de l'information par saturation.

3 Conclusions

Deux techniques sont envisageables pour répartir les contraintes sur plusieurs voies d'échantillonnage : l'entrelacement temporel et l'entrelacement fréquentiel. Si la deuxième solution permet de réduire d'avantage les contraintes sur l'échantillonneur-bloqueur, elle alourdit le système dans sa partie analogique ce qui pose deux problèmes importants : la conception et la réalisation de fonctions analogiques complexes et la déformation du signal accompagnée d'une perte d'information avant l'échantillonnage. Dans l'objectif d'atteindre des résolutions élevées, nous cherchons à échantillonner le signal au plus près de la source et pour cela nous envisageons un système à entrelacement temporel. Notons aussi que l'entrelacement fréquentiel reste très limité en nombre de

voies et les réalisations actuelles utilisent un échantillonneur entrelacé temporellement pour numériser les sous-bandes. La réalisation d'un système d'échantillonnage hautes performances à entrelacement temporel est donc tout à fait justifiée. Nous avons aussi mis en évidence l'importance du calibrage du système et du traitement numérique des données en montrant qu'il était impossible de s'en passer si l'on veut atteindre des résolutions élevées.

II - Architectures optiques

L'intégration de composants optiques dans les systèmes d'échantillonnage permet depuis longtemps d'outrepasser les limitations physiques des systèmes tout-électroniques ([51], [52]). Beaucoup de systèmes d'échantillonnage optoélectroniques ont été inventés depuis les années 1970 mais assez peu ont été jusqu'à la phase de réalisation et caractérisation, et finalement très peu trouvent une application concrète dans un système de mesure. Leur grande diversité et leurs performances hors du commun les rendent cependant très intéressants à étudier et constituent des sources d'idées pour l'amélioration des performances et la conception de nouvelles architectures électroniques.

Nous nous limitons dans le cadre de cette thèse aux architectures d'échantillonnage dans les conditions de Nyquist (contrainte du cahier des charges), néanmoins des performances tout aussi remarquables ont été obtenues sur des systèmes en sous-échantillonnage. La référence [52] par exemple propose une approche exhaustive des différentes techniques optoélectroniques de conversion analogique-numérique. Pour notre application trois grandes familles d'architectures optoélectroniques ont retenues notre attention et sont détaillées ci-dessous.

1 Technique de modulation d'impulsions optiques

Cette technique est basée sur la modulation électrique d'impulsions optiques issues d'un laser à verrouillage de mode. Ce laser permet de générer des impulsions très brèves à intervalle de temps régulier et précis. Il a donc un double avantage pour la réduction du jitter des systèmes d'échantillonnage : il présente naturellement un jitter très faible et ses impulsions très courtes permettent d'être beaucoup moins sensible au bruit des composants du système.

1.1 Principe

Le schéma de cette architecture a été proposé par Siegman en 1970 [53] et réside dans la modulation des impulsions issues du laser à verrouillage de mode par le signal à analyser (Figure 18). Des photodétecteurs permettent ensuite de convertir le train d'impulsions modulées en signal électrique qui est alors quantifié par un convertisseur analogique-numérique « classique ».

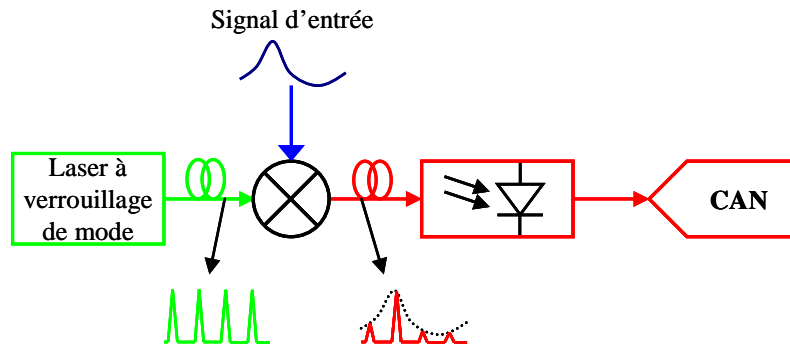


Figure 18 : Schéma de principe de la technique par modulation d'impulsions laser

1.2 Entrelacement temporel

Afin de relâcher les contraintes fréquentielles sur le photodétecteur et le convertisseur, un entrelacement temporel peut être réalisé en répartissant les impulsions modulées sur plusieurs voies. L'impulsion modulée est répétée sur les différentes voies et un dispositif de commutation permet de sélectionner tour à tour chacune des voies (Figure 19).

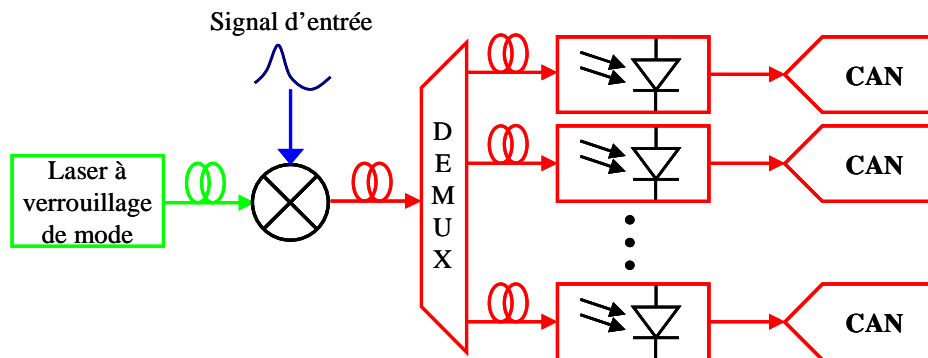


Figure 19 : Entrelacement temporel appliqué à la technique par modulation d'impulsions laser

Cet entrelacement est réalisé soit par des commutateurs optiques pilotés électriquement (ex. [51] [54]), soit par multiplexage en longueur d'onde (en anglais WDM, Wavelength-Division Multiplexing) (ex. [55], [56], [57]) : des impulsions de longueurs d'onde différentes sont générées périodiquement et le dispositif de commutation n'est simplement constitué que de filtres optiques. L'entrelacement temporel est alors réalisé par filtrage de longueurs d'onde optiques.

1.3 Performances

Les publications présentent des performances assez diverses, avec par exemple plus de deux décades d'écart sur la fréquence d'échantillonnage (environ de 1 à 100 GEch/s) et des résolutions de quelques bits effectifs jusqu'à 8 bits ou plus. Les applications visées sont clairement la numérisation en temps continu de signaux large bande et haute résolution, c'est-à-dire les mêmes applications que celles que nous visons.

Nous n'avons trouvé aucune référence de système entièrement fonctionnel et la caractérisation des systèmes réalisés n'est souvent que partielle. Le Tableau 5 reprend les meilleures performances publiées à ce jour.

Référence	Fréquence d'échantillonnage	Bande-passante	Résolution	Principe
[51]	500 MEch/s	250 MHz	8 bits effectifs	14 voies par Commutateurs optiques
[55]	10 GEch/s	-	5 bits effectifs	WDM 4 voies
[57]	10 GEch/s	18 GHz	6 à 7 bits effectifs	WDM 8 voies
[56]	12 GEch/s	6 GHz	5 bits effectifs	WDM 3 voies
[54]	100 GEch/s	20 GHz	4 bits effectifs	8 voies par Commutateurs optiques

Tableau 5 : Etat de l'art des systèmes par modulation d'impulsions optiques

1.4 Codeur optique

En 1975 Taylor adapte la technique pour quantifier directement les impulsions modulées [58] : en choisissant judicieusement les paramètres d'un modulateur électro-optique il est possible d'obtenir en sortie un signal optique équivalent au n ème bit de la valeur numérisée de l'échantillon. Un photodétecteur et un comparateur électrique permettent ensuite d'obtenir la valeur du bit. En parallélisant trois, puis quatre modulateurs adaptés, des résolutions de trois et quatre bits ont été obtenues [58], [59].

Cette solution est, bien-sûr, limitée à de faibles résolutions et aucune technique de correction des erreurs de codage ne peut-être appliquée. Les systèmes réalisés sur ce principe présentent donc des erreurs de codage importantes qui réduisent très fortement leur résolution effective.

De nombreuses autres techniques permettent de quantifier directement les signaux optiques mais les résolutions obtenues sont souvent très faibles et leur mise en œuvre reste complexe. Nous avons donc choisi de ne pas les présenter et de nous limiter aux techniques optoélectroniques.

2 Technique par commutateur photoconducteur

2.1 Principe de fonctionnement

Cette technique a été proposée par Ryohei Urata en 2001 [60] et repose sur l'utilisation des impulsions optiques issues d'un laser à verrouillage de mode pour déclencher la fermeture et

l'ouverture d'un commutateur photoconducteur MSM (Métal Semiconducteur Métal). Initialement à l'état ouvert, ce commutateur passe à l'état fermé lorsqu'il est éclairé par une impulsion laser. Associé à une capacité de maintien, il permet de réaliser un échantillonneur-bloqueur commandé optiquement : pendant la durée de l'impulsion lumineuse, le commutateur est éclairé et la capacité de maintien se charge sur le signal d'entrée ; à la fin de l'impulsion lumineuse le commutateur s'ouvre et la capacité de maintien est alors isolée de l'entrée. Un convertisseur analogique-numérique permet ensuite de convertir les échantillons (Figure 20).

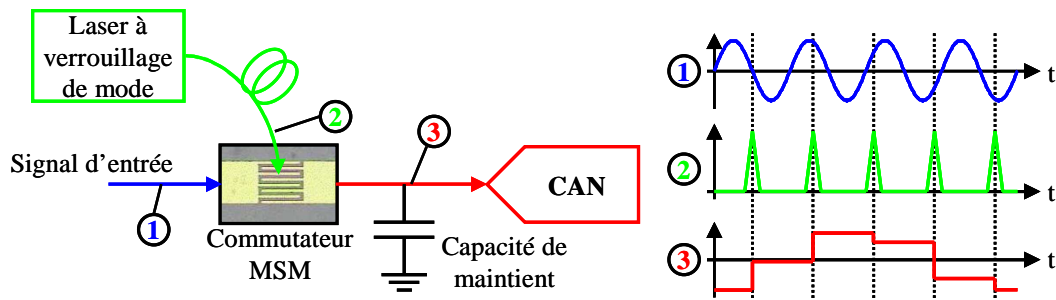


Figure 20 : Principe de l'échantillonnage par commutateur photoconducteur

2.2 Performances

Un des principaux avantages de cette solution est de profiter des performances temporelles du laser à verrouillage de mode sans convertir optiquement le signal à analyser. Cette architecture permet donc d'atteindre un très faible jitter tout en conservant un bon rapport signal-à-bruit. La principale limitation vient de la capacité parasite du commutateur photoconducteur : pour réduire la résistance série du commutateur à l'état passant, il faut augmenter la largeur du commutateur ce qui augmente la capacité parasite à l'état bloqué. Typiquement, cette capacité parasite est de 10 fF alors que la capacité de maintien n'est que de 30 fF. On crée ainsi un pont diviseur capacitif qui limite l'isolation du commutateur au mieux à 12 dB. Pour améliorer cette très faible isolation, une structure différentielle est utilisée dont une seule des deux voies est commutée. Le mode commun correspond alors à la partie du signal qui traverse le commutateur et sera supprimé par l'architecture différentielle alors que le mode différentiel correspond à l'échantillon prélevé et sera conservé.

Reprenant une solution développée pour les architectures électroniques (et qui sera largement détaillée dans la suite de la thèse), l'entrelacement temporel de n échantillonneurs-bloqueurs est réalisé en les plaçant le long d'une ligne de propagation adaptée 50Ω [60]. L'impulsion issue du laser est alors divisée en n impulsions synchrones, ensuite déphasées les unes des autres pour commander les n voies d'échantillonnage. Ces impulsions sont transmises aux commutateurs photoconducteurs par fibres optiques ce qui permet à la fois de conserver un jitter très faible et de séparer totalement la partie signal de la partie déclenchement, la première étant électrique et la seconde optique. En revanche il est à déplorer qu'aucune étude de la ligne de transmission n'ait été réalisée et, dans la pratique, les publications proposées se limitent à l'entrelacement de deux voies.

Encore une fois, seuls des résultats préliminaires sont disponibles. La publication [61] fait état d'un système à deux voies d'échantillonnage qui présente une bande-passante supérieure à

40 GHz et une résolution de 3,5 bits effectifs. Les codeurs 4 bits utilisés constituent la principale limitation de la résolution qui pourrait être - d'après la publication - d'environ 5 bits après échantillonnage. En revanche, dans les conditions du test, la fréquence d'échantillonnage n'est que de 160 MEch/s (80 MEch/s sur chaque voie).

3 Technique par étirement du temps

Cette technique présente actuellement les fréquences d'échantillonnage les plus élevées, plus de dix fois supérieures à toutes les autres techniques. Elle est basée sur la dispersion fréquentielle des fibres optiques et permet de « ralentir » le signal à analyser.

3.1 Principe

Le principe de cette technique est représenté Figure 21 : une impulsion lumineuse est étalée fréquentiellement (selon la longueur d'onde) en passant dans une première fibre optique dispersive de longueur L_1 . Cette porteuse est ensuite modulée par le signal à analyser et de nouveau étalée dans une seconde fibre optique, de longueur L_2 . Dans cette seconde fibre la dispersion fréquentielle est équivalente à un étirement du temps qui est d'autant plus marqué que la fibre est longue. Une photodiode convertit alors le signal optique en signal électrique, numérisé ensuite par un convertisseur rapide « classique ». La longueur L_1 détermine la fenêtre d'analyse et le rapport $(L_2 + L_1) / L_1$ correspond au rapport d'étalement temporel. Notons que les longueurs de fibres utilisées sont de l'ordre de quelques kilomètres.

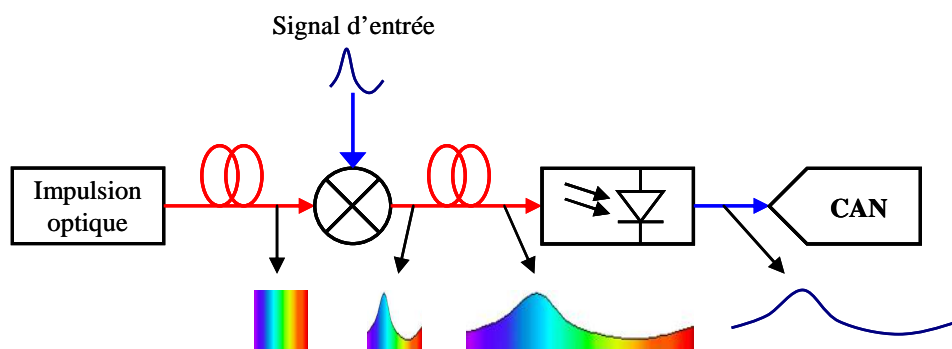


Figure 21 : Principe de l'étirement temporel

3.2 Performances actuelles

Après la description de cette technique par Bhushman en 1998 [62], plusieurs résultats ont été publiés, établissant à chaque fois de nouveaux records de fréquence d'échantillonnage : 150 GEch/s en 1998 [63], 480 GEch/s en 2004 [64], 1 TEch/s en 2005 [65] et très récemment en 2006 une fréquence d'échantillonnage de 10 TEch/s a été publiée [66].

Malgré une bande-passante intrinsèque annoncée à 200 GHz, l'élément limitant est le modulateur optique qui présente actuellement une bande-passante de l'ordre de 50 GHz. Une autre limitation vient des interférences induites dans la fibre et qui créent des trous dans la bande de

fréquences [67], d'autant plus rapprochés en fréquence que la fibre est longue. Des solutions palliatives ont été proposées qui permettent de réduire ce phénomène. Au final on constate une grande différence entre la fréquence d'échantillonnage et la bande-passante, ce qui conduit à un sur-échantillonnage du signal.

La résolution de ces systèmes est assez faible : au mieux 4 bits effectifs pour des fréquences d'entrée inférieures à 10 GHz. Sont en cause principalement la modulation et démodulation optique, mais aussi l'atténuation de la fibre optique : il est nécessaire d'utiliser des fibres très longues et très dispersives qui présentent alors de fortes atténuations. Pour compenser ce phénomène, des amplificateurs sont insérés mais la dégradation du rapport signal à bruit n'est pas compensée.

Cette technique présente aussi une limitation temporelle importante : les fenêtres d'analyse sont assez courtes. L'échantillonneur 1 TEch/s présente par exemple une fenêtre d'analyse de 1,1 ns. Plus classiquement des fenêtres de quelques nanosecondes sont atteintes pour des fréquences d'échantillonnage plus basses. Pour augmenter ces fenêtres d'analyse et atteindre le temps continu, il a été proposé de mettre en parallèle plusieurs systèmes déclenchés tour à tour ([68]). Pour ne rien perdre du signal d'entrée, le nombre de systèmes parallèles doit être au moins égal au rapport de réduction, et la solution souvent retenue regroupe quatre systèmes parallèles pour un rapport d'étalement temporel de quatre aussi. Pour répartir les différents segments temporels, on retrouve les techniques d'entrelacement proposées auparavant : soit de manière active par commutations optiques, soit de manière passive par filtrage de longueur d'onde. On retrouve ici les différents problèmes d'entrelacement déjà étudiés, et en particulier celui de raccorder les segments numérisés : au lieu d'être juxtaposés, des décalages temporels apparaissent et les segments issus des différentes voies d'échantillonnage se chevauchent ou sont disjoints.

3.3 Perspectives de cette technique

La technique de l'étalement temporel semble être encore une solution un peu jeune pour être totalement performante. Sa bande-passante limitée à 50 GHz, ses faibles résolutions et son fonctionnement mono-coup viennent contrebalancer les performances annoncées en termes de fréquence d'échantillonnage et devront être améliorés avant que cette solution ne trouve réellement d'application. Cependant par rapport à la réduction du jitter cette technique est très intéressante : plutôt que d'améliorer les performances des commutations et de s'imposer un jitter très faible, le signal à analyser est étiré dans le temps, ce qui permet de relâcher proportionnellement les contraintes en jitter. Elle pourrait donc à l'avenir tenir une place importante parmi les solutions d'échantillonnage très rapide.

4 Bilan sur les architectures optiques

Des limitations architecturales fondamentales empêchent les systèmes d'échantillonnage optique d'atteindre de très hautes performances, notamment en rapport signal-à-bruit et en linéarité, et constituent un frein important à leur utilisation. Les architectures électroniques ont aussi un autre atout sur les architectures optiques : l'évolution rapide des technologies de fabrication qui permet une amélioration des performances fréquentielles et une diminution des puissances consommées. Les architectures optoélectroniques présentent cependant un net avantage sur les architectures électroniques en ce qui concerne la réduction du jitter. Deux techniques de réduction du jitter sont en

effet couramment utilisées : d'une part la technique d'étirement temporel qui permet de réduire les fréquences de travail et de relâcher les contraintes temporelles de l'échantillonneur et d'autre part l'utilisation d'oscillateurs à très faible jitter basés sur un laser à verrouillage de mode.

III - Architectures électroniques des oscilloscopes commerciaux

Pour améliorer les performances des systèmes d'échantillonnage tout-électronique, la solution la plus couramment utilisée est l'entrelacement temporel des échantillonneurs-bloqueurs. Mais les hautes fréquences atteintes actuellement imposent des adaptations de cette technique. Nous détaillons dans cette partie les trois grandes stratégies retenues par les concepteurs d'oscilloscopes commerciaux pour contourner les limitations actuelles de l'entrelacement temporel.

1 Entrelacement d'un grand nombre de voies d'échantillonnage

1.1 Principe de fonctionnement

Cette stratégie repose sur l'association d'un grand nombre d'échantillonneurs-bloqueurs à basse fréquence d'échantillonnage ([69]). Ceci permet l'utilisation de technologies faible coût et faible consommation.

Dans cette optique un système d'échantillonnage composé de 80 voies d'échantillonnage et conversion cadencées à 250 MEch/s a été réalisé et atteint donc une fréquence totale de 20 GEch/s. Pour réaliser un échantillonnage à 40 GEch/s ([70]) un second niveau d'entrelacement est utilisé en associant deux de ces modules. L'amplificateur d'entrée permet de piloter la grande capacité d'entrée formées par les 80 échantillonneurs-bloqueurs tout en présentant une impédance d'entrée résistive adaptée 50 Ω . Il est réalisé dans une technologie TBH SiGe pour bénéficier à la fois de fréquences f_t/f_{max} élevées et permettre de fournir la puissance nécessaire. Une technologie CMOS 0,18 μm faible coût et faible consommation permet de réaliser tout le reste du composant, c'est-à-dire l'échantillonnage, la conversion numérique, le multiplexage et le stockage des données sous forme numérique. La puissance totale consommée par ce composant est de 10 W : 1 W pour l'amplificateur d'entrée et 9 W pour la partie CMOS.

1.2 Structure de déclenchement

Une des principales difficultés de cette architecture est de générer les 80 horloges qui permettent le déclenchement des échantillonneurs-bloqueurs. Plusieurs « astuces » sont alors utilisées à différents niveaux [71]. Un oscillateur de référence, cadencé à 1 GHz est d'abord utilisé pour piloter une DLL (boucle à verrouillage de retard de phase, en anglais Delay Locked Loop) qui fournit en sortie 10 signaux différentiels dont les phases sont réparties sur une demi-période. L'asservissement de la boucle assure la stabilité des déphasages et l'utilisation de signaux différentiels permet de générer 20 horloges non-différentielles uniformément déphasées sur toute la période. Ces signaux sont ensuite répartis dans la structure et, au niveau local, chacune des 20 horloges passe dans un diviseur de fréquence par quatre à quatre sorties qui génère alors quatre horloges à 250 MHz, déphasée les unes par rapport aux autres d'un quart de période. Sur chaque voie une capacité variable permet d'ajuster le

retard de la dernière porte logique et un calibrage de l'appareil est réalisé pour réduire les erreurs statiques.

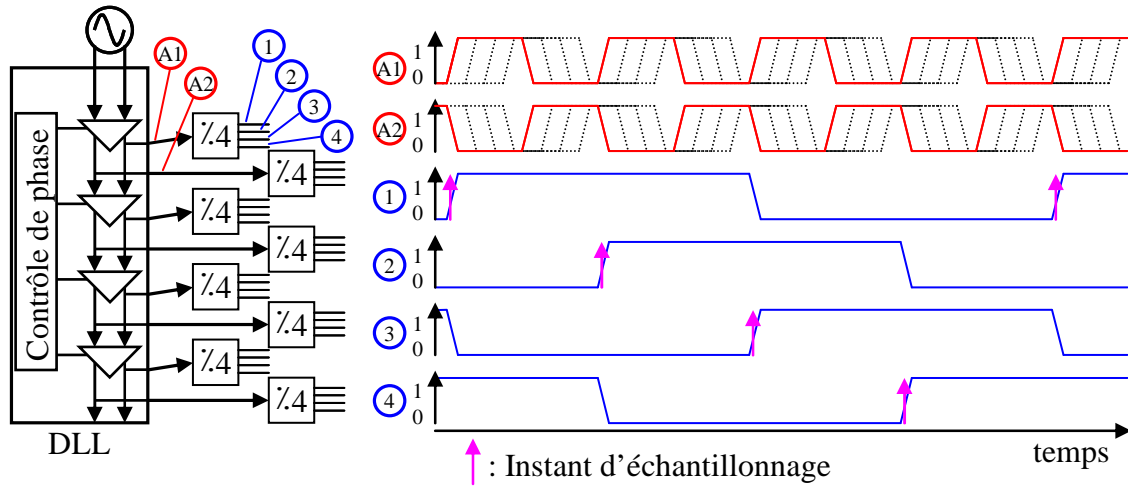


Figure 22 : structure de déclenchement

La Figure 22 présente la structure de déclenchement et le chronogramme des différents signaux pour 32 échantillonneurs-bloqueurs entrelacés. Pour la structure à 80 voies, le principe est le même mais la DLL doit alors fournir 10 sorties différentielles.

Une deuxième difficulté importante de cette architecture est le calibrage : plus le nombre de voies entrelacées est grand et plus le nombre de paramètres à calibrer sera élevé. Différentes étapes de calibrage ont été développées par le constructeur ([71]) pour compenser :

- les erreurs temporelles statiques ;
- Les gains et offsets des échantillonneurs-bloqueurs ;
- Les erreurs associées au pas de quantification.

2 Echantillonnage avant entrelacement

Dans cette technique, un seul composant permet d'atteindre une cadence de 40 GEch/s ([72]). Pour cela plusieurs convertisseurs analogiques-numériques sont entrelacés mais l'entrée n'est pilotée que par un seul échantillonneur-bloqueur qui doit donc supporter une fréquence de travail de 40 GEch/s (Figure 23). Cette solution permet de concentrer sur un seul élément les contraintes de jitter (et donc théoriquement d'en améliorer les performances), mais impose à l'architecture des fréquences d'horloges très élevées et la propagation de signaux échantillonnés présentant des composantes harmoniques hautes fréquences. Une technologie BiCMOS SiGe 0,18 μm a été utilisée pour cette réalisation.

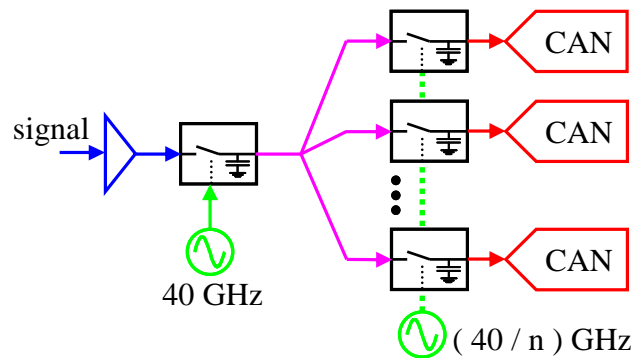


Figure 23 : Entrelacement temporel après un premier étage d'échantillonnage

Peu d'informations sont disponibles dans la littérature sur cette architecture mais nous pouvons entrevoir deux difficultés majeures à la réalisation d'un tel système. La première contrainte est en effet de concevoir un échantillonneur-bloqueur d'entrée cadencé à 40 GEch/s qui atteint de bonnes résolutions. La deuxième difficulté et sans doute la plus délicate est de distribuer le signal échantillonné par le composant maître aux échantillonneurs-bloqueurs esclaves entrelacés. Il est à priori nécessaire de disposer d'une structure de propagation adaptée en impédance sur une bande de fréquence très large pour permettre la propagation sans déformation des composantes harmoniques.

3 « Entrelacement numérique de bande-passante »

Pour étendre les performances de systèmes d'échantillonnage à entrelacement temporel cadencés à 20 GEch/s, cette technique adaptée de l'entrelacement fréquentiel propose de combiner trois de ces systèmes pour atteindre une fréquence d'échantillonnage équivalente à 60 GEch/s (Figure 24). La bande-passante du signal est d'abord divisée en trois sous-bandes par filtrage du signal, chaque sous-bande est ensuite échantillonnée et convertie numériquement à 20 GEch/s, et enfin un traitement numérique des données permet de reconstruire le signal ([73]). Cette technique est utilisée dans l'oscilloscope qui présente actuellement les meilleures performances en bande-passante (18 GHz) et en fréquence d'échantillonnage (équivalent 60 GEch/s) mais plusieurs limitations importantes réduisent la résolution.

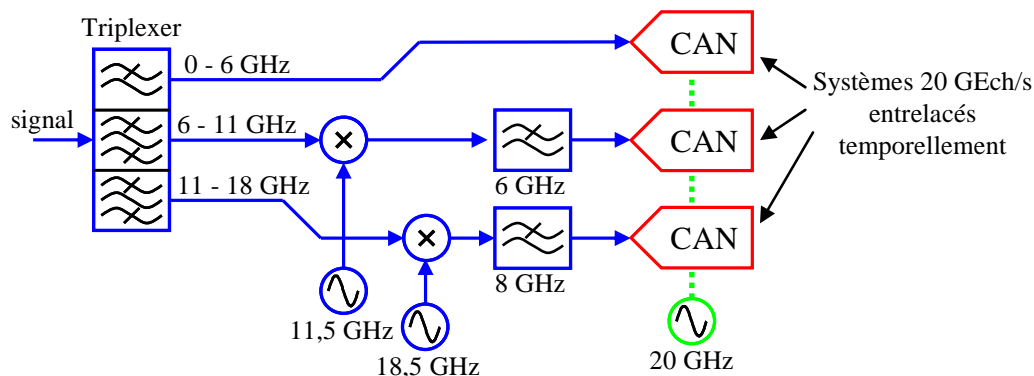


Figure 24 : Système d'entrelacement fréquentiel développé par Lecroy pour l'oscilloscope temps réel 18 GHz

Les limitations sont celles qui ont été détaillées dans le paragraphe concernant l'entrelacement fréquentiel (B - I - 2) : dans cette solution deux conversions basse fréquence sont nécessaires et on perd ici un des principaux avantages de l'échantillonnage large bande. Cette complexité a pour double effet de dégrader le rapport signal-à-bruit et d'augmenter les non-linéarités. En revanche comme l'échantillonnage temporel se fait à plus basse fréquence, les contraintes sur le jitter sont relâchées : en divisant en trois la bande-passante, on multiplie par trois le jitter maximum autorisé mais on introduit aussi d'autres erreurs comme le bruit de phase des oscillateurs et mélangeurs.

Une deuxième limitation importante de cette solution est le traitement numérique des données nécessaire à la reconstruction du signal d'entrée. De l'avis des concepteurs [73], le développement des capacités de calcul numériques a permis l'émergence de cette technique et justifie l'intégration de processeurs Pentium dans les oscilloscopes.

4 Comparatif des performances

On constate que les oscilloscopes développés actuellement présentent des fréquences d'échantillonnage adaptées à nos besoins mais des résolutions bien en dessous de nos attentes : pour les meilleurs oscilloscopes sur le marché, la résolution à 10 GHz n'est en effet que de l'ordre de 5 bits effectifs ([70], [74], [75]). Dans le détail, le jitter annoncé est 20 fois trop élevé pour nos contraintes et le rapport signal-à-bruit est 22 dB en dessous de nos objectifs.

Cette étude montre cependant la nécessité de développer de nouvelles architectures. Nous atteignons en effet les limites des architectures standards utilisées jusqu'alors et les améliorations de ces architectures proposées par les concepteurs d'oscilloscopes ne permettent pas d'atteindre les résolutions visées.

IV - Architectures électroniques mono-coup

1 Principe de base

La mesure expérimentale d'impulsions très brèves s'est principalement développée pour les applications nucléaires dans lesquelles on étudie le comportement d'un échantillon de matière soumis à une très forte énergie. Ces expériences présentent la particularité de ne pas pouvoir être répétées et les signaux issus des capteurs sont impulsionnels, fugitifs et bien-sûr non répétitifs. Cette application très particulière nécessite donc des systèmes très performants à haute fréquence d'échantillonnage, haute résolution et large bande-passante mais la faible durée de l'impulsion autorise des fenêtres d'analyse très courtes, souvent de l'ordre de quelques nanosecondes. On a donc recourt à des architectures mono-coup qui capturent le signal dès son arrivée en déclenchant une série d'échantillonneurs-bloqueurs ne conservant chacun qu'un seul échantillon. Lorsque la capture est finie, on vient lire les valeurs de ces échantillons pour les convertir numériquement. Un autre point commun de ces architectures est qu'elles sont basées sur une ligne de propagation du signal le long de laquelle sont régulièrement répartis des échantillonneurs-bloqueurs (Figure 25). Le signal est ainsi propagé dans toute la structure du système et peut être vu par un grand nombre d'échantillonneurs-bloqueurs.

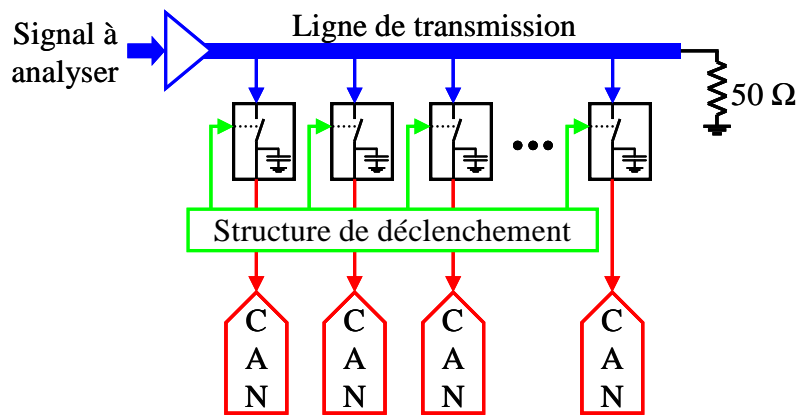


Figure 25 : Architecture mono-coup basée sur une ligne de propagation du signal

2 Déclenchement par impulsion

Pour cette technique un déclenchement impulsionnel des échantillonneurs-bloqueurs est réalisé : sous l'effet de l'impulsion, le commutateur devient passant et retourne très rapidement à l'état bloqué. Il y a alors transfert d'une partie des charges de la ligne de transmission vers la capacité de maintien et la lecture de la valeur stockée nous donne la tension présente sur la ligne au moment du déclenchement.

Cette technique est très ancienne puisqu'on retrouve des brevets déposés dans les années 60 qui utilisaient déjà ce principe ([76], [77]), mais elle a été reprise et améliorée dans les années 90 par McEwan qui déposa trois brevets ([78], [79], [80]). Nous décrivons ci-dessous le système qui a alors été développé et réalisé ([81]).

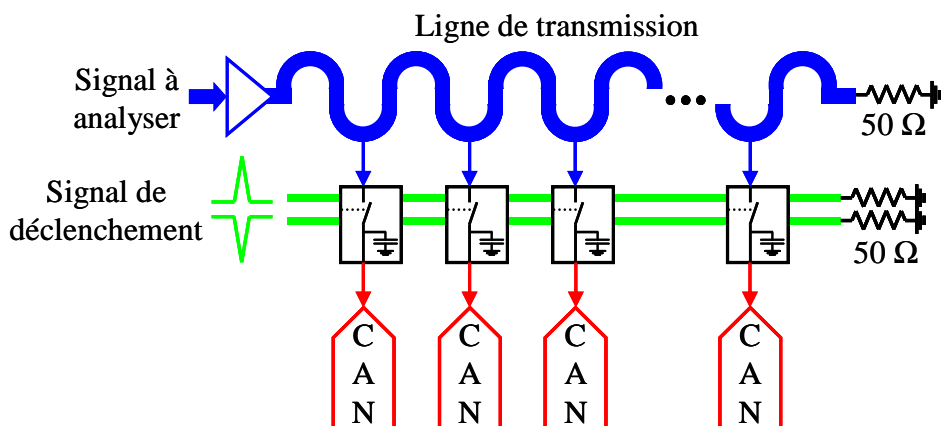


Figure 26 : Architecture mono-coup déclenchée par impulsion

Pour simplifier le système, tous les échantillonneurs-bloqueurs sont déclenchés par la même impulsion différentielle propagée sur une ligne parallèle à celle du signal. Les contraintes sur cette ligne de déclenchement imposent qu'elle soit la plus courte possible pour réduire les effets des pertes. On va donc propager l'impulsion sur une ligne droite pour avoir un déclenchement quasi simultané de

toutes les voies d'échantillonnage et on ajoutera des boucles sur la ligne de transmission du signal afin de créer un retard entre les échantillons prélevés (Figure 26).

La synchronisation de ce système est représentée Figure 27. On vérifie bien que le déclenchement des voies est quasi-simultané et on remarque aussi que les échantillons sont prélevés dans un ordre inversé : au moment du déclenchement de la dernière voie, l'impulsion n'a pas encore eu le temps d'arriver alors que l'échantillon de la voie 1 est pris après le passage de l'impulsion.

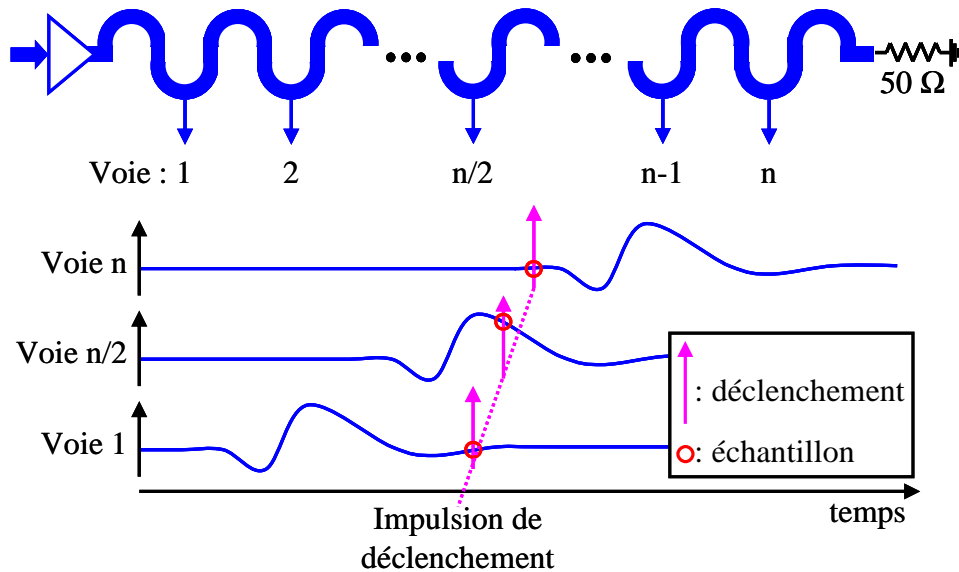


Figure 27 : synchronisation de l'architecture mono-coup déclenchée par impulsion

Malgré les différentes publications nous n'avons pas pu extraire clairement les performances réelles du système ; il semblerait qu'une fréquence de 33 GEch/s ait été atteinte pour 16 voies d'échantillonnages mais rien ne nous renseigne sur la bande-passante et la résolution du système réalisé.

3 Numériseur CEA – IEMN : Le « picoscope »

3.1 Principe

Dans le cadre d'une collaboration entre le CEA et l'IEMN une nouvelle architecture d'échantillonneur mono-coup a été développée et a donné lieu à deux brevets français en 1998 et 2001 (respectivement [82], [83]), étendus Etats-Unis et Japon en 2004 ([84], [85]). La principale originalité de ce système concerne le déclenchement spatial non-simultané des échantillonneurs-bloqueurs répartis le long de la ligne de propagation. La propagation du front de déclenchement se fait parallèlement à la propagation du signal mais contrairement à l'architecture précédente, c'est le signal de déclenchement qui est retardé et non le signal analysé. Le signal d'entrée est donc propagé sur une ligne droite garantissant de faibles pertes et le signal de déclenchement est propagé parallèlement sur des tronçons de lignes entre lesquels on ajoute, au niveau de chaque voie d'échantillonnage, une porte logique qui retarde le signal et le remet en forme (Figure 28).

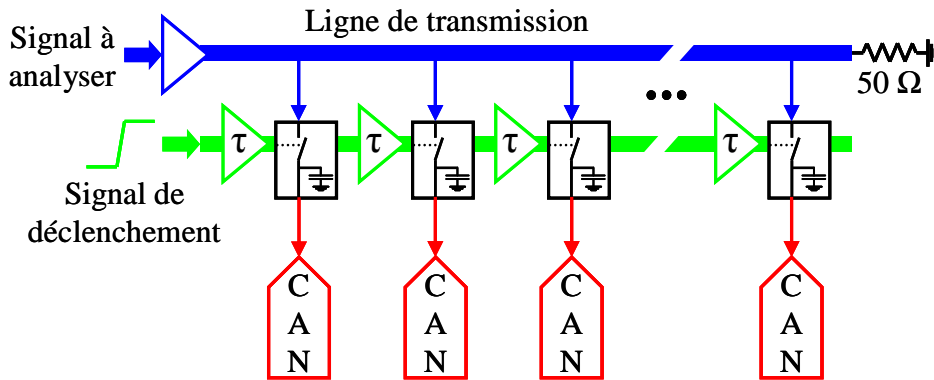


Figure 28 : Principe de l'architecture « picoscope »

Pour le déclenchement des échantillonneurs-bloqueurs on peut remarquer que les deux lignes de transmission du signal à analyser et du signal de déclenchement sont parallèles et de même longueur. On a donc une compensation des temps de propagation et, sans circuit retard, l'échantillon prélevé serait le même sur chaque voie d'échantillonnage. Le retard introduit par la porte logique de remise en forme du signal de déclenchement détermine donc la fréquence d'échantillonnage. Avec cette architecture les échantillons sont prélevés dans l'ordre des voies : le premier échantillon sort de la voie une et le dernier de la dernière voie (Figure 29).

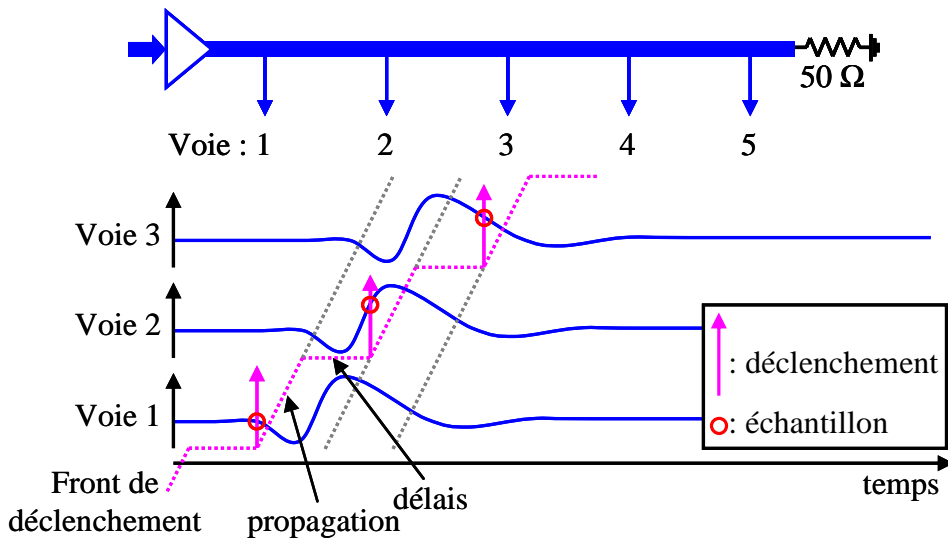


Figure 29 : Déclenchement du « picoscope »

3.2 Premières réalisations et évolutions

Associant le CEA LETI, l'IEMN et l'INSNEC, un premier démonstrateur 24 voies a été réalisé en 2004 ([86], [87], [88]), et malgré l'utilisation d'une technologie HEMT sur GaAs qui n'est pas idéale pour ce type d'applications, des performances au niveau de l'état de l'art ont été obtenues (Tableau 6). Suite à ces excellents résultats un partenariat associant le CEA DAM, l'IEMN et

Greenfield Technology a été décidé pour réaliser un démonstrateur 200 voies à fréquences plus élevées et dont les objectifs sont décrits Tableau 6. Le projet est actuellement en cours et le système doit être assemblé prochainement ([13]).

Une des difficultés majeures de cette technique est d'assurer une bonne qualité de transmission du signal sur la ligne. La ligne de transmission utilisée pour propager le signal à analyser est en effet relativement longue (25 cm pour le prototype 200 voies), et présente donc des pertes importantes. Mais la limitation principale vient de l'entrée des échantillonneurs-bloqueurs disposés le long de la ligne car elle est capacitive et introduit des désadaptations d'impédance sur la ligne de transmission. On a donc un phénomène d'ondulation le long de la ligne et des pertes relativement importantes à haute fréquence. Une première technique pour réduire ce phénomène est de diminuer la largeur de la ligne de transmission au niveau des échantillonneurs-bloqueurs pour créer un effet selfique qui compense les capacités d'entrée, mais cette solution ne peut être que partielle en raison de la large bande-passante du signal. Il est donc nécessaire de placer régulièrement des amplificateurs régénératifs qui ont un gain faible en basse fréquence et plus élevé en fin de bande-passante. Pour les deux prototypes « picoscopes » il a été choisi de placer un amplificateur régénératif tous les 12 voies d'échantillonnage, ce qui représente 17 insertions sur la ligne de propagation du signal pour le prototype 200 voies et fait de l'amplificateur régénératif une fonction complexe à concevoir.

	« Picoscope 1 » résultats	« Picoscope 2 » objectifs
Bande-passante	8 GHz	20 GHz
Fréquence d'échantillonnage	20 GEch/s	40 GEch/s
Nombre de points (fenêtre d'analyse)	24 (1,2 ns)	200 (5 ns)
Amplitude d'entrée	1 V	1 V
SNR	60 dB	60 dB
Résolution	6 bits effectifs	7 bits effectifs
Jitter	< 500 fs	< 100 fs
Technologie	HEMT GaAs	TBH InP

Tableau 6 : Résultats et objectifs des deux projets « picoscope »

4 Bilan

Nous choisissons dans le cadre de cette thèse, de nous intéresser prioritairement aux architectures développées dans un cadre mono-coup car ce type d'architectures présente en effet de nombreux avantages sur les solutions concurrentes :

- Atteindre des fréquences d'échantillonnage très élevées ;
- Numériser des signaux de forte amplitude (réduction du bruit) ;
- Présenter de faibles non-linéarités ;
- Prendre en compte les temps de propagation des signaux ;
- Réduire le jitter ;
- Numériser des signaux large-bande.

Deux limitations importantes sont cependant à noter : les problèmes associés à la transmission du signal sur la ligne de propagation et bien sûr le fonctionnement mono-coup.

C - Filière technologique optimale

Dans cette partie les technologies de fabrications et leurs performances sont comparées dans le cadre de la réalisation d'un système d'échantillonnage large-bande et haute résolution. Les spécificités de la filière technologique retenue sont ensuite détaillées.

I - Comparaison des technologies

1 Technologies envisageables

Pour caractériser les performances fréquentielles des filières technologiques, deux paramètres sont couramment utilisés : la fréquence maximale d'oscillation F_{\max} et la fréquence de transition F_t . La fréquence maximale d'oscillation F_{\max} correspond à la fréquence de coupure du gain en puissance, c'est-à-dire la fréquence pour laquelle le gain en puissance est unitaire. La fréquence de transition F_t est la fréquence pour laquelle le gain en courant est unitaire. Ces deux paramètres sont complémentaires et des valeurs élevées sont un facteur d'amélioration des performances des circuits réalisés.

Dans notre cas, le paramètre principal à améliorer est le jitter et il sera d'autant plus faible que les temps de montée et descente seront courts. La commutation rapide des transistors génère alors des appels de courant au niveau des transistors, qui seront d'autant plus brefs que la fréquence F_t sera élevée. Parallèlement, les commutations génèrent des composantes harmoniques à haute fréquence et il faut donc aussi que les composants présentent une large bande-passante, donc une fréquence F_{\max} élevée. On va donc choisir des technologies qui présentent à la fois des fréquences F_{\max} et F_t élevées, typiquement au-delà de 100 GHz.

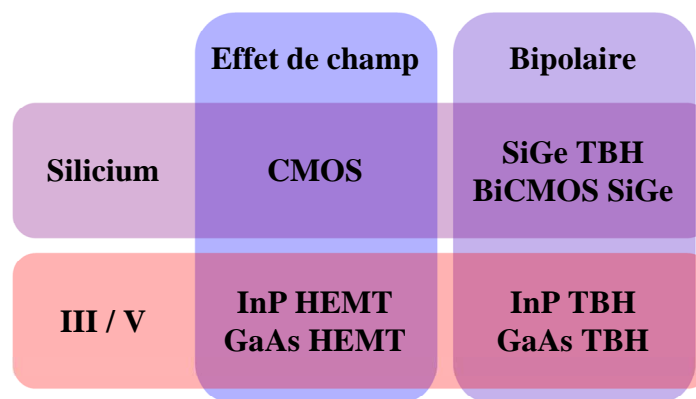


Figure 30 : Classification des technologies à F_t et F_{\max} élevées envisageables pour notre projet

Ces technologies sont classées Figure 30. On retrouve les distinctions classiques entre transistors à effet de champ et transistors bipolaires et entre substrat de silicium et substrat en matériaux III / V. Dans le but d'atteindre des performances élevées, les transistors intègrent des variations de matériaux en plus des variations de dopages ce qui permet de réaliser pour les structures verticales des TBH (Transistor Bipolaire à Hétérojonction ou HBT en anglais) et pour les structures

horizontales des HEMT (transistor à haute mobilité électronique, en anglais High Electron Mobility Transistor).

2 HEMT ou HBT

2.1 Influence sur l'échantillonneur-bloqueur

Le choix de la technologie est particulièrement influencé par la partie échantillonnage du système. Un transistor à effet de champ agit naturellement comme un commutateur : le passage du signal entre la source et le drain est conditionné par la tension appliquée sur la grille. Pour être plus précis, c'est la tension grille-source qui détermine l'état de fonctionnement du transistor. Au moment de l'échantillonnage on vient bloquer le transistor en jouant sur la tension de la grille, on est donc fortement dépendant du niveau du signal d'entrée. Différentes techniques ont été proposées pour contourner ce problème, soit en modifiant la tension de grille en fonction du niveau du signal d'entrée, soit en utilisant une architecture à drain commun commuté ([21]), mais les performances sont généralement moins bonnes que celles des topologies concurrentes.

Pour les systèmes hautes performances, deux techniques sont couramment utilisées et sont illustrées Figure 31 : la première est basée sur la commutation d'un pont de diodes schottky et la deuxième sur la commutation d'un transistor bipolaire monté en émetteur suiveur (SEF, en anglais Switched Emitter Follower). Dans les deux cas une variation brusque du courant de polarisation obtenue le plus souvent par basculement d'une paire différentielle permet d'ouvrir ou de bloquer les jonctions (de diode ou base-émetteur pour le transistor), et ainsi d'obtenir les modes passant et bloqué d'un commutateur.

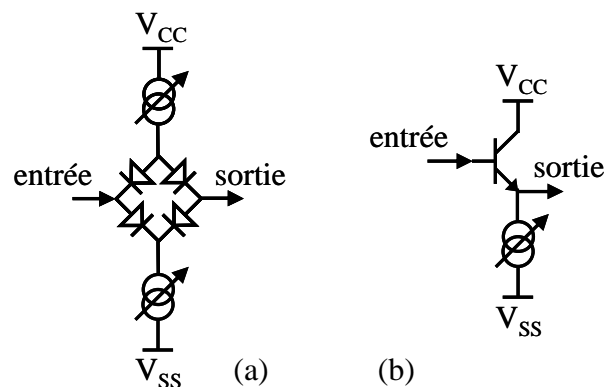


Figure 31 : architectures de commutateurs utilisés dans les échantillonneurs-bloqueurs (a) à pont de diodes schottky et (b) à transistor bipolaire (SEF)

En termes de performances, la commutation des diodes est certainement plus rapide que la commutation d'un transistor mais les fortes non-linéarités associées à cette technique nécessitent des compensations analogiques et en réduisent les performances. De plus cette solution s'adapte mal à un fonctionnement différentiel qui est souvent recherché pour compenser les effets parasites de commutation. Enfin, elle nécessite la réalisation de diodes Schottky qui ne sont pas toujours disponibles dans les filières technologiques actuelles. L'utilisation d'un pont de diodes commuté est

nécessaire aux technologies ne disposant pas de transistors bipolaires, c'est-à-dire les technologies HEMT, mais peu courante sur les technologies TBH pour lesquelles la technique de commutation de transistors est généralement retenue. Pour des applications particulières moins exigeantes en résolution, par exemple pour atteindre de très grandes bandes-passantes, le pont de diodes est souvent employé.

Si l'on reprend l'état de l'art des échantillonneurs-bloqueurs établi au paragraphe A - III - 4.2, parmi les treize références retenues, deux seulement ont été réalisées en technologie HEMT et dix en technologie TBH, la dernière utilisant des transistors bipolaires silicium. Concernant la technique de commutation, quatre utilisent un pont de diodes, huit utilisent la commutation de transistors et une seule commute directement des transistors HEMT. On vérifie ainsi que la commutation est presque toujours réalisée par des composants bipolaires et que les technologies TBH sont les plus couramment retenues.

2.2 Influence du reste du système

Dans notre cas, l'objectif est de réaliser un système complet qui intègre bien sûr les échantillonneurs-bloqueurs mais aussi d'autres fonctions analogiques et numériques. Pour la partie analogique les différences entre HEMT et HBT sont minimales, avec sans doute un petit avantage pour les HEMT en raison de leurs faibles niveaux de bruit. En revanche pour la partie numérique, c'est-à-dire dans notre cas la partie qui génère les signaux de déclenchement, l'avantage va aux transistors bipolaires qui présentent une plus grande uniformité des tensions de seuil ([89], [90]). Ceci conduit en effet à une plus grande homogénéité des portes logiques et donc une réduction du jitter statique.

En conclusion, le choix d'une technologie TBH pour notre application s'impose, principalement pour la conception des échantillonneurs-bloqueurs mais aussi pour la structure de déclenchement. On pourra ainsi réaliser des commutations rapides et précises, avec peu de dispersion technologique ce qui réduira les erreurs induites par le jitter. Trois technologies bipolaires ont atteint le stade de production industrielle et peuvent donc être envisagées : les TBH GaAs, les TBH InP et les TBH SiGe.

3 InP, GaAs ou SiGe

Dans [91], Zolper propose une étude des performances des technologies bipolaires en fonction du substrat. Les filières technologiques sont représentées en fonction de leur tension de claquage et de leur fréquence de transition F_T (Figure 32). On voit ainsi que les filières sur GaAs présentent des fréquences plus faibles que les deux autres. Si on regarde en détail les performances de cette technologie, on s'aperçoit que plusieurs paramètres tels que la tension base-émetteur ou la conductivité thermique sont plus mauvais que pour les deux autres technologies [92]. De manière générale les différents paramètres caractéristiques de cette technologie sont moins bons que ceux des TBH InP. En choisissant une filière GaAs HBT, on s'impose donc les contraintes associées à l'utilisation de technologies III / V sans toutefois atteindre les excellentes performances des TBH InP.

On remarque aussi sur la Figure 32 que pour une fréquence de transition donnée, les tensions de claquage sont beaucoup plus élevées pour les filières sur InP que pour les filières SiGe. Une tension de claquage plus élevée joue un double rôle sur l'amélioration des performances : d'une part elle

permet d'augmenter l'excursion du signal et ainsi de réduire l'influence du bruit et d'autre part elle allège les contraintes de conception et permet d'utiliser des architectures qui améliorent la résolution.

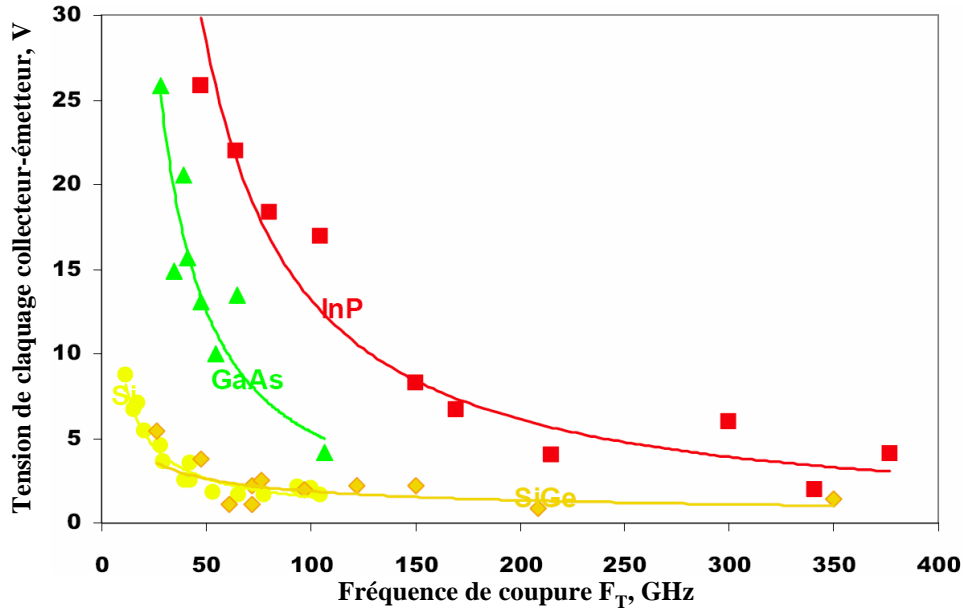


Figure 32 : Tension de claquage en fonction de la fréquence de coupure pour différentes filières technologiques TBH

En 2004 un comparatif des technologies est présenté ([90]) et confirme les potentialités des filières TBH sur InP pour les applications mixtes analogiques-numériques (Figure 33).

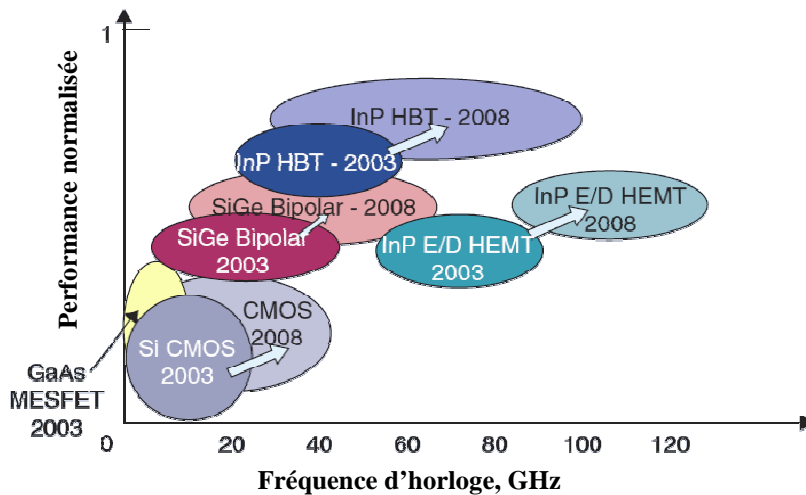


Figure 33 : Pour les applications mixtes analogiques-numériques et numériques haute fréquence, performance normalisée en fonction de la fréquence d'horloge pour différentes filières technologiques

En termes de performances, la technologie TBH sur InP est donc la mieux adaptée à la réalisation d'échantillonneurs-bloqueurs. Pour la réalisation d'un système complet, un autre avantage comparé aux technologies silicium est la qualité des lignes de transmission qui présentent en effet beaucoup moins de pertes sur InP. Les filières TBH InP présentent cependant plusieurs limitations qui peuvent justifier le choix d'une technologie TBH SiGe pour certaines applications. La consommation de ces filières est en effet très élevée et peut être un facteur limitant pour les solutions embarquées. Cette forte consommation pose aussi le problème de la dissipation thermique qu'il est nécessaire de prendre en compte dans l'assemblage du système final. Enfin, cette technologie est encore en cours de développement et les modèles de simulation sont donc moins précis que ceux des filières TBH SiGe.

Dans le cadre de notre projet, les faibles volumes de production envisagés et surtout les excellentes performances visées nous ont poussés au choix d'une filière TBH InP.

II - La technologie TBH InP

1 La filière OMMIC DH15IB

Pour la conception et la simulation du système, nous avons retenu une technologie TBH InP. En France cette technologie est proposée par OMMIC, sur la filière DH15IB initialement développée par III / V Lab. Les principaux paramètres de cette filière technologique sont reportés Tableau 7 ([93]).

Largeur d'émetteur	1,5 μm
F_t	180 GHz
F_{max}	220 GHz
Tension de claquage	> 7 V
Gain statique (β)	45

Tableau 7 : Paramètres caractéristiques de la filière OMMIC TBH InP DH15IB

Cette filière permet de réaliser des TBDH (Transistor Bipolaire à Double Hétérojonction), c'est-à-dire que le transistor est réalisé avec deux changements de matériaux, entre la base et le collecteur et entre la base et l'émetteur. L'émetteur et le collecteur sont en effet réalisés en phosphure d'indium (InP) et la base en GaInAs. Par opposition, d'autres filières de TBH sur InP sont basées sur la réalisation de TBSH (Transistor Bipolaire à Simple Hétérojonction) pour lesquels la base est réalisée dans le même matériau que le collecteur ([92], [94], [95]).

2 Contraintes de conception

Une des principales contraintes de conception des technologies TBH est l'évolution des fréquences F_t et F_{max} en fonction du courant de polarisation. La Figure 34 présente les variations de ces deux paramètres en fonction du courant de collecteur pour un transistor typique de la fonderie de $10 \times 2 \mu\text{m}^2$ de surface d'émetteur ([95]). Pour atteindre la fréquence de transition maximale, une tension collecteur-émetteur de 1,6 V et un courant collecteur de 30 mA sont nécessaires. Sans les composants de polarisation on a donc déjà une consommation de l'ordre de 50 mW pour un seul transistor. Pour cette filière, la densité de courant qui conduit au meilleur F_t est donnée à $2,2 \text{ mA}/\mu\text{m}^2$. Par comparaison, les filières TBH SiGe sont autour de $1,2 \text{ mA}/\mu\text{m}^2$ [96]. De manière générale la consommation des technologies TBH est donc très importante, et particulièrement pour les TBH InP car, en plus d'une densité de courant plus élevée, les niveaux de tension d'alimentation sont aussi plus élevés (de l'ordre de 7 à 8 V entre les alimentations positives et négatives). Ces consommations importantes peuvent être un facteur limitant dans le cadre de systèmes embarqués mais posent surtout le problème de la dissipation thermique. Les substrats III / V sont en effet connus pour avoir une mauvaise conduction thermique et l'absence de vias traversant le substrat conduit aussi à accroître ce problème. Des solutions telles que les « bumps » thermiques sont à l'étude.

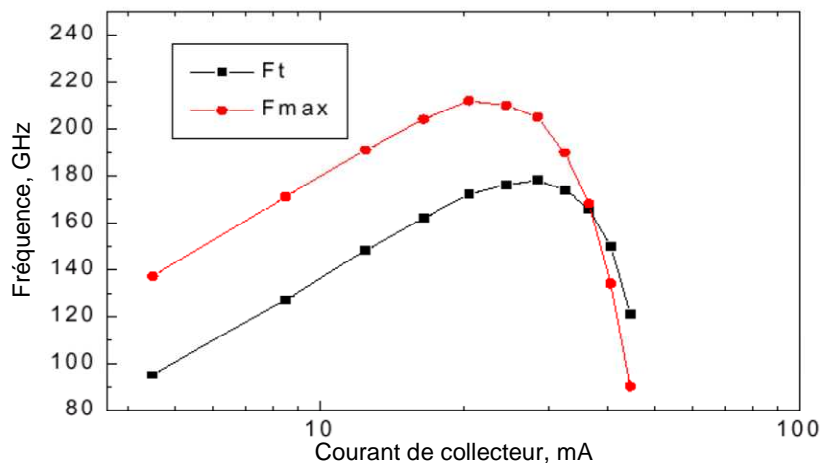


Figure 34 : F_{max} et F_t d'un transistor de la filière DH15IB de $10 \times 2 \mu\text{m}^2$ de surface d'émetteur

Une autre contrainte de conception est le faible nombre de transistors disponibles. Comme habituellement sur les technologies bipolaires, seuls des transistors npn sont disponibles en raison de la faible mobilité des trous par rapport à celle des électrons. Par rapport à la taille des transistors, au stade de développement actuel seuls huit modèles sont disponibles et les surfaces d'émetteur vont de $3 \times 2 \mu\text{m}^2$ à $20 \times 3 \mu\text{m}^2$.

3 Applications et filières dans le monde

La technologie TBH InP a d'abord été développée pour des applications de télécommunications très haut débit sur fibre optique, typiquement 40 ou 80 Gbits/s [92]. Ces applications nécessitent de recevoir et traiter le signal à des fréquences très élevées et de le

démultiplexer ensuite pour le rendre compatible avec des technologies CMOS faible consommation. La technologie TBH InP se trouve donc tout à fait adaptée à ces applications puisqu'elle permet de réaliser des portes logiques à très haute vitesse, avec une bonne qualité de commutation (temps de montée, bruit de phase) et présente en plus l'intérêt d'être compatible avec les applications optoélectroniques ([97], [98]).

D'autres applications ont ensuite été envisagées pour les systèmes de conversion analogiques-numériques. Pour la réalisation d'échantillonneurs-bloqueurs, la technologie TBH InP permet une excellente qualité de commutation et les convertisseurs analogiques-numériques bénéficient de la forte densité d'intégration et de la bonne uniformité des tensions de seuil ([99], [92]).

Les applications de cette technologie étant peu nombreuses et surtout très ciblées, peu de fondeurs dans le monde disposent d'une filière de production industrielle. Nous n'avons en effet recensé que quatre fondeurs proposant des fonderies commerciales : deux aux Etats-Unis (Global Communication Semiconductors et Vitesse Semiconductor Corp), un au Japon (Eudyna) et un en France (OMMIC).

Dans le cas d'OMMIC cette fonderie est encore au stade préliminaire et tous les modèles de simulation habituels ne sont pas encore disponibles. Nous ne disposons en effet que d'un modèle grand-signal, initialement développé pour les applications numériques et qui n'est pas validé pour les applications analogiques. Les modèles de bruit et les informations sur les dispersions technologiques ne sont pas encore accessibles.

Les modèles analogiques de cette technologie sont en cours d'étude dans le cadre du projet REI financé par la DGA qui a pour but de réaliser un échantillonneur-bloqueur en technologie TBH InP (projet de Recherche Exploratoire et Innovation, « Echantillonneur-bloqueur large-bande », n° 06.34.048).

Conclusion du chapitre 1

Dans la première partie de ce chapitre nous avons étudié l'échantillonnage. Pour comprendre la nécessité d'atteindre des fréquences d'échantillonnage toujours plus élevées, nous l'avons replacé dans son contexte mathématique en l'illustrant par des exemples de réalisations concrètes. Nous avons ensuite vu que l'amélioration de la résolution passait par la réduction de trois limitations fondamentales : le bruit, les non-linéarités et le jitter. Le bruit intervient sur toute la bande-passante indépendamment de la fréquence du signal d'entrée. Il constitue la principale limitation à basse fréquence. Quand la fréquence du signal augmente les erreurs temporelles dégradent de plus en plus la résolution jusqu'à devenir plus importantes que le bruit. A haute fréquence c'est donc le jitter qui est prédominant. Les erreurs de non-linéarité interviennent sur toute la bande et augmentent avec la fréquence du signal d'entrée. A haute fréquence ces erreurs sont masquées par le jitter et à basse fréquence par le bruit. Leur influence est donc plus marquée en milieu de bande. L'échantillonneur-bloqueur, composant qui permet de réaliser concrètement l'échantillonnage, a ensuite été décrit avec ses principaux défauts et ses trois caractéristiques fondamentales : la fréquence d'échantillonnage, la bande-passante et la résolution. Enfin, nous avons justifié le choix d'utiliser un convertisseur analogique-numérique commercial pour réaliser la quantification en présentant les performances actuelles et les composants que l'on peut envisager d'utiliser dans le cadre de notre projet.

La deuxième partie de ce chapitre a été consacrée aux systèmes d'échantillonnage et aux architectures envisageables. Les techniques d'entrelacement ont été décrites ainsi que les problèmes de calibrage associés. Les différentes topologies ont ensuite été étudiées. Les architectures optoélectroniques apportent deux solutions au problème du jitter : le laser à verrouillage de mode et l'étirement temporel. Les nombreuses contraintes de réalisation et effets parasites nous ont cependant poussés à rejeter ce type d'architectures. De même nous ne conservons pas les architectures développées pour les oscilloscopes commerciaux du fait des faibles résolutions atteintes, principalement limitées par le jitter. Nous choisissons en effet de baser nos travaux sur l'étude des architectures mono-coup initialement développées pour la capture de signaux impulsifs fugitifs. Ces architectures présentent de bonnes potentialités pour l'échantillonnage haute résolution et n'ont été qu'assez peu étudiées pour des applications à temps continu.

Dans une troisième sous-partie nous avons comparé les filières technologiques envisageables dans le cadre des systèmes d'échantillonnage large bande haute résolution. la technologie TBH sur InP permet d'atteindre les meilleures performances. Dans le cadre de la thèse nous avons retenu la fonderie commerciale OMMIC DH15IB. Cette filière est encore en cours de développement et n'offre donc pas toutes les possibilités de simulation habituelles. Une autre technologie pourrait être envisagée pour un fonctionnement dans les mêmes gammes de fréquences mais avec des performances dégradées en termes de résolution : le TBH SiGe.

Chapitre 2

Fonctions de base des systèmes d'échantillonnage

Introduction du chapitre 2

Le deuxième chapitre de cette thèse est consacré à l'étude des différentes fonctions de base qui constituent le système d'échantillonnage. Dans le premier chapitre, nous avons en effet choisi de baser nos travaux sur l'étude des architectures des systèmes d'échantillonnage mono-coup. Ces architectures reposent sur deux circuits élémentaires : l'inverseur et l'échantillonneur-bloqueur. Nous présentons l'un après l'autre ces circuits en détaillant les enjeux liés à leur conception et en proposant une architecture optimale et des règles de conception pour une réalisation en TBH sur InP.

L'inverseur sera l'objet de la première partie. Il constitue en effet la brique de base de la structure de déclenchement et peut être utilisé pour créer un retard ou pour redresser les fronts du signal de déclenchement. Le principal paramètre à optimiser sur ce composant est le jitter que nous étudierons en détail par des simulations validées par des mesures.

Nous étudierons ensuite l'échantillonneur-bloqueur. Il est au cœur du système car il associe le signal analogique à analyser et le signal numérique de déclenchement pour fournir en sortie un train d'échantillons. Les contraintes de conception associées sont nombreuses et particulièrement celles qui agissent sur la linéarité. Les non-linéarités constituent en effet la principale limitation de la résolution des échantillonneurs-bloqueurs. Nous proposerons et détaillerons la conception d'un échantillonneur-bloqueur qui atteint en simulation une bande-passante de 15 GHz et une très bonne linéarité jusqu'à 10 GHz, permettant une résolution supérieure à 9 bits effectifs.

Ces deux éléments influent donc sur les deux limites fondamentales des systèmes d'échantillonnage : les non-linéarités pour l'échantillonneur-bloqueur et le jitter pour l'inverseur. A partir de cette étude, nous disposerons des fonctions de base qui nous permettront de comparer et d'optimiser les architectures de systèmes d'échantillonnage que nous proposerons dans le troisième chapitre.

A - L'inverseur

L'inverseur est l'élément de base du circuit de déclenchement. Deux rôles peuvent lui être assignés : remettre en forme le front de déclenchement et créer un retard d'une valeur déterminée. Selon sa place dans la structure de déclenchement, nous différencierons deux cas : soit l'inverseur n'est utilisé que pour remettre en forme le signal et le retard créé n'entre pas en ligne de compte pour la conception, soit l'inverseur est utilisé principalement pour générer un retard et la forme du front n'a alors pas d'influence sur le jitter.

Lors de la conception de l'inverseur, le paramètre principal est le jitter et tous les choix de conception seront opérés pour réduire ce paramètre. Il est en effet essentiel de réduire le jitter du système pour obtenir une bonne résolution sur l'échantillonnage des fréquences élevées (cf. chapitre 1). D'autres paramètres comme la consommation sont alors relégués au second plan.

Dans une première sous-partie nous développerons la conception du composant, c'est-à-dire le choix de la famille logique retenue et les principaux paramètres associés. Nous étudierons ensuite plus finement le fonctionnement de cet inverseur, et particulièrement la commutation de la paire différentielle. Cette seconde sous-partie sera aussi l'occasion de replacer l'inverseur dans son environnement et d'en étudier l'influence. Enfin la troisième sous-partie sera consacrée à l'optimisation du jitter de l'inverseur qui constitue l'objectif final de cette étude.

I - Conception du composant

1 Choix de la famille logique

La remise en forme du signal a pour but d'obtenir des fronts de commutation les plus raides possibles. En effet, la valeur du jitter dépend du niveau du bruit et de la dérivée du signal au passage à zéro. L'objectif prioritaire n'est donc pas d'obtenir des temps de montée/descente très courts mais plutôt d'avoir la dérivée du signal la plus élevée possible au moment du passage à zéro. Bien sûr des valeurs élevées de la dérivée du signal au passage à zéro conduiront à des temps de montée/descente très courts mais le temps de commutation dépend aussi de l'excursion et de la forme du signal contrairement au jitter. On va donc prioritairement choisir la logique des circuits retard en fonction de la vitesse de commutation.

On remarque aussi, au niveau de l'échantillonneur-bloqueur, que le signal de déclenchement sert à piloter un ensemble de paires différentielles. Il faut donc que les signaux soient différentiels en sortie de la structure de déclenchement et qu'ils présentent des niveaux compatibles avec la commutation de ces paires-différentielles.

Ces contraintes nous conduisent au choix d'une logique bipolaire basée sur la commutation d'une paire différentielle pour obtenir en sortie un signal différentiel extrêmement rapide. Deux familles logiques sont basées sur ce principe : la logique ECL (Emitter-Coupled Logic) et la logique CML (Current Mode Logic) ([100], [101] - p66). La logique CML est très proche de la logique ECL, mais ne comporte pas d'étage collecteur commun en sortie. La mise en série des portes logiques CML est à traiter au cas par cas et son utilisation est restreinte à un nombre très limité d'étages cascades. La

logique CML peut être vue comme une logique ECL à laquelle on a enlevé la contrainte de retrouver en sortie les mêmes niveaux logiques qu'en entrée.

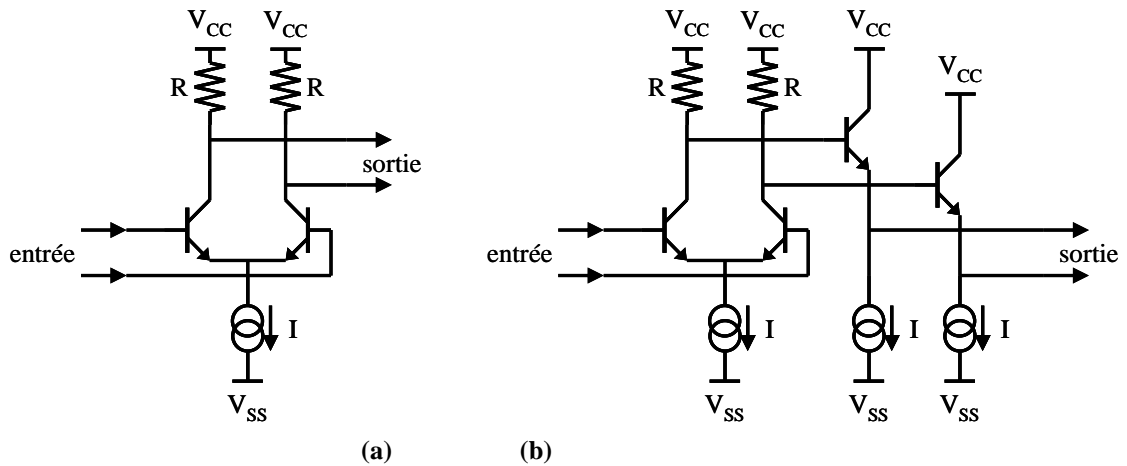


Figure 35 : Schéma d'un inverseur en logique (a) CML et (b) ECL

L'inconvénient majeur de ces deux familles logiques est la puissance consommée. En effet les transistors sont polarisés par un courant permanent pour éviter le régime de saturation. Comme on désire des commutations rapides, on va de plus chercher à atteindre une fréquence F_t maximale en polarisant les transistors au courant optimal, donc élevé. Enfin les tensions d'alimentation de ces portes logiques doivent être suffisamment élevées (de l'ordre de quelques volts) pour alimenter et polariser la chaîne constituée des résistances de collecteur, des transistors de la paire différentielle et de la source de courant. Au final, les portes logiques ainsi créées présentent des tensions d'alimentation élevées et un courant de polarisation important et permanent. La puissance consommée par ces composants sera donc excessivement élevée. Selon l'utilisation qu'on envisage, les portes inverseuses que nous avons conçues consomment de 50 mW à 1W. Par comparaison, dans des conditions similaires une porte inverseuse en technologie CMOS consomme autour de 50 nW, soit plus de six ordres de grandeur en dessous. Cependant, notre but n'est pas de réaliser des fonctions logiques mais de réduire les temps de commutation pour améliorer les performances du système d'échantillonnage. De plus le nombre de portes logiques utilisées dans le système est assez faible. La consommation élevée des portes logiques se justifie donc par l'utilisation très particulière de notre application.

Dans le cadre de notre projet, nous cascadons plusieurs étages de portes logiques et il est nécessaire de retrouver les mêmes niveaux de signal d'un bloc à l'autre. On devrait donc choisir la famille logique ECL. Cependant différentes contraintes vont nous amener à optimiser la conception de chaque porte une par une, ce qui nous place plutôt dans une démarche de conception de logique CML. De plus, pour notre application, nous ne réalisons que des portes inverseuses pour lesquelles les différences entre les deux familles logiques sont minimales. Notre application se situe donc à la frontière entre ces deux familles logiques.

2 Paramètres du composant

Le système de déclenchement n'agit que sur le déclenchement des échantillonneurs-bloqueurs. Ses seules contraintes sont donc temporelles : déclencher les échantillonneurs-bloqueurs au bon moment et présenter le plus faible jitter possible au niveau de ces composants. Pour la conception de l'inverseur, on retrouve donc ces deux contraintes : d'une part générer avec précision des retards, et d'autre part présenter le jitter le plus faible possible.

Cependant un autre paramètre est représentatif des performances de l'inverseur : la pente du signal au moment du déclenchement. Généralement le temps de montée est défini de 10 à 90 %, mais dans notre cas le temps de montée de 20 à 80 % est plus représentatif car le signal est quasiment linéaire entre ces deux valeurs. Plus ce temps de montée sera court et meilleures seront les performances de l'échantillonneur-bloqueur. Une analyse rapide nous permet en effet de dire qu'en réduisant le temps de montée on améliore le jitter. En divisant par deux le temps de montée, on double la bande-passante du signal et donc aussi celle du bruit. On a alors deux fois plus de puissance de bruit ce qui conduit à une augmentation de la tension efficace du bruit d'un facteur $\sqrt{2}$. Or, parallèlement, la dérivée du signal au passage à zéro a été doublée, divisant ainsi par deux l'influence du bruit en tension sur le jitter. En première approximation on réduit donc le jitter d'un facteur $\sqrt{2}$.

L'amélioration du temps de montée joue aussi un rôle positif sur les performances de l'échantillonneur-bloqueur. Il rend notamment l'échantillonnage moins sensible à l'influence de la tension du signal d'entrée et donc améliore la linéarité.

Avant de débiter l'étude, précisons la définition du jitter. Il caractérise l'erreur temporelle de l'instant d'échantillonnage mais, selon la référence choisie pour comparer cette erreur, trois définitions du jitter ont été proposées dans la littérature : le jitter absolu, le jitter de période et le jitter cycle-à-cycle ([102], [103], [104]). Le jitter absolu (absolute jitter) correspond à l'erreur du déclenchement par rapport à un oscillateur parfait (Figure 36). Si on regarde l'ensemble des instants de déclenchement sur un intervalle de temps donné, leur erreur moyenne par rapport à ceux de l'oscillateur parfait doit être nulle et leur écart type minimal. Ces deux critères nous permettent de définir les caractéristiques de l'oscillateur parfait : sa fréquence et sa phase. Le jitter absolu correspond ensuite à l'écart type de cette erreur :

$$jitter_{absolu} = \sigma_i(\Delta_{t_i}) \quad (26)$$

Avec Δ_{t_i} erreur absolue sur l'instant de déclenchement i

Le jitter de période (period jitter ou cycle jitter) se définit comparativement à la durée de la période du signal : sur un intervalle de temps donné il correspond à l'écart type de l'ensemble des périodes :

$$jitter_{période} = \sigma_i(T_i) \quad (27)$$

Avec T_i différence temporelle entre le déclenchement $i+1$ et le déclenchement i

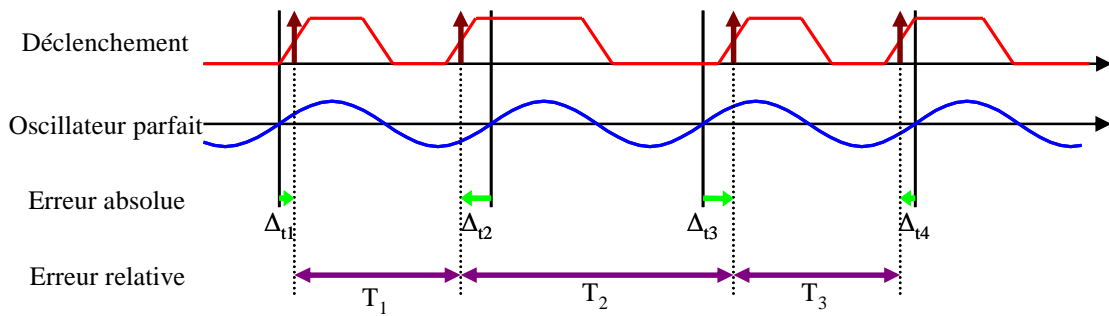


Figure 36 : Erreurs temporelles du signal de déclenchement

Enfin le jitter cycle-à-cycle (cycle-to-cycle jitter) compare la durée de la période par rapport à la période précédente. Toujours en considérant un intervalle de temps, l'ensemble des instants de déclenchement définit un ensemble de périodes, lui-même déterminant un ensemble d'erreurs temporelles de chaque période par rapport à la précédente. Le jitter cycle-à-cycle correspond à l'écart type de cette différence de période :

$$jitter_{cycle-à-cycle} = \sigma_i(T_{i+1} - T_i) \quad (28)$$

Dans le cadre de l'échantillonnage, la définition la plus représentative des performances est celle du jitter absolu, c'est-à-dire que l'on va chercher la meilleure précision possible sur les instants d'échantillonnage et non sur le pas temporel de ces instants d'échantillonnage. Concrètement si l'on a prélevé un échantillon en avance par exemple, le pas d'échantillonnage du déclenchement suivant doit être rallongé pour retrouver un instant d'échantillonnage correct.

Les deux autres définitions sont généralement retenues pour des applications télécommunications, par exemple lorsqu'on cherche à retrouver l'horloge d'un train de données numériques.

II - Etude du fonctionnement de l'inverseur

Dans cette partie nous analyserons le fonctionnement des différents éléments qui composent l'inverseur. Nous détaillerons d'abord le fonctionnement de la paire différentielle, élément qui réalise la commutation de la porte logique. Nous étudierons ensuite l'étage collecteur commun et la sortance de l'inverseur. Enfin, nous expliquerons l'influence des lignes de propagation sur le signal de déclenchement.

Les résultats présentés dans cette partie ont tous été obtenus en utilisant l'inverseur ECL représenté Figure 37. Nous avons utilisé le modèle de transistor TBH InP développé pour une surface d'émetteur de $10 \times 2 \mu\text{m}^2$ (T10) car cette taille de transistor se situe au milieu de la gamme des transistors envisageables pour le système.

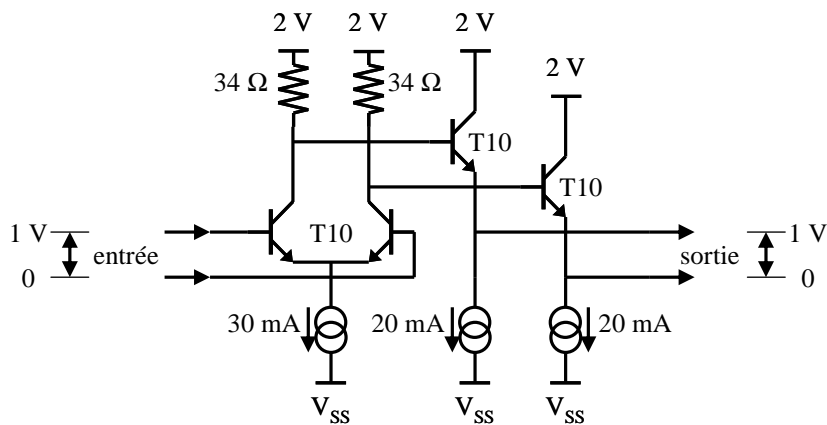


Figure 37 : Schéma de l'inverseur ECL utilisé pour la modélisation

1 La paire différentielle en commutation

La paire différentielle constitue l'élément fondamental de l'inverseur car elle réalise la commutation. Dans l'objectif d'optimiser la conception de l'inverseur, nous cherchons dans cette partie à décrire son comportement par un modèle simple. L'idée à terme est d'identifier les paramètres qui agissent sur le retard et le jitter afin d'obtenir des performances idéales.

1.1 Modes de fonctionnement

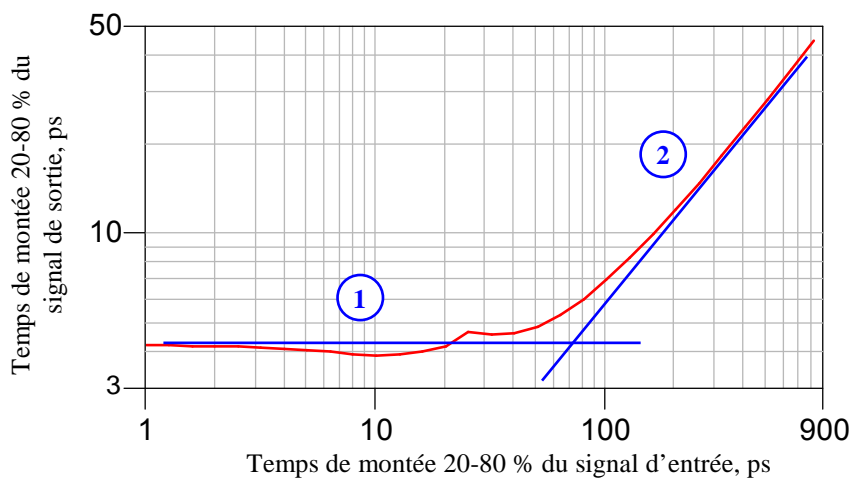


Figure 38 : Temps de montée de la sortie d'un inverseur en fonction du temps de montée de l'entrée

Le fonctionnement de la paire différentielle s'effectue selon deux modes en fonction du temps de commutation du signal d'entrée (Figure 38). Lorsque ce signal évolue lentement, la sortie suit l'entrée avec un facteur d'amplification (zone ② sur la Figure 38), mais lorsque le signal d'entrée devient trop rapide, le signal de sortie atteint une vitesse de commutation maximale indépendante de la

vitesse d'entrée (zone ① sur la Figure 38). La transition entre ces deux zones se situe à un temps de commutation de l'entrée d'environ 70 ps.

Pour nos applications, nous cherchons à obtenir en sortie le temps de montée/descente le plus court possible. On se place alors dans la première zone de fonctionnement, c'est-à-dire dans la zone où le signal d'entrée est suffisamment rapide pour que la sortie atteigne la vitesse maximale de commutation.

Les modèles d'inverseurs développés dans la littérature ([105], [106]) permettent une bonne estimation de la dérivée du signal de sortie mais présentent une erreur importante pour l'évaluation du retard entrée-sortie (presque deux fois plus rapide que les résultats de simulations basées sur les modèles de transistors). Une analyse plus fine nous a permis de compléter ces modèles en ajoutant l'effet de la capacité parasite C_{bc} des transistors de la paire différentielle.

1.2 Modélisation de la commutation

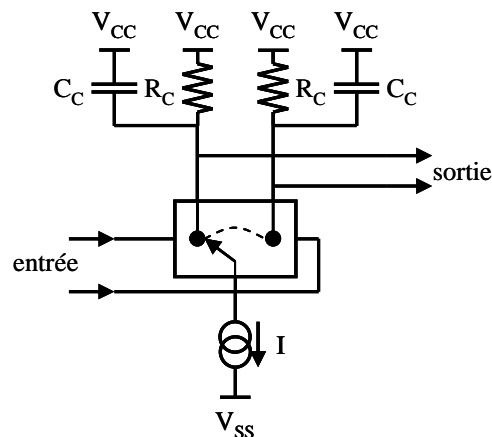


Figure 39 : Modèle de l'inverseur développé dans la littérature

Le modèle développé dans la littérature est présenté Figure 39 ([105], [106]). Ce modèle utilise deux approximations :

- Commutation parfaite et immédiate de la paire différentielle quand l'entrée passe à zéro ;
- Pas d'influence des étages collecteurs communs sur la forme du signal.

Dans ce modèle le courant de polarisation de la paire différentielle passe brusquement d'une branche à l'autre lorsque le signal d'entrée passe à zéro. La branche polarisée se charge de façon exponentielle dans le dipôle RC et la branche non polarisée se décharge de la même façon induisant une évolution temporelle exponentielle du signal de sortie.

Le dipôle RC des branches de la paire différentielle est composé de la résistance placée sur le collecteur et de deux capacités parasites : la capacité C_{bc} du transistor de l'étage collecteur commun et la capacité C_{bc} du transistor de la paire différentielle.

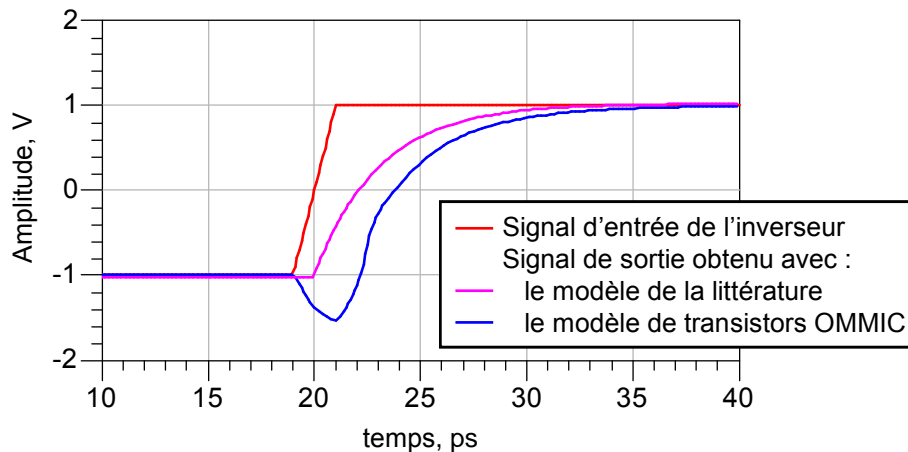


Figure 40 : Comparaison du modèle de la littérature et du modèle de transistors

La Figure 40 représente la simulation basée sur les modèles de transistors de l'inverseur comparée au modèle décrit ci-dessus. On retrouve bien la forme exponentielle du signal de sortie (et donc une valeur de dérivée proche de la simulation), mais le retard de la porte logique est très mal estimé. On repère aussi que l'écart différentiel du signal de sortie commence par augmenter avant de suivre une évolution exponentielle. Ceci n'est possible que par le passage d'une partie du signal d'entrée vers la sortie. On a vu que la capacité collecteur de la paire différentielle (notée C_C) était composée de la capacité base-collecteur (notée C_{BC}) du transistor de l'étage collecteur commun et de la capacité base-collecteur du transistor de la paire différentielle. Cette deuxième capacité relie directement l'entrée à la sortie créant ainsi, en première approximation, un pont diviseur de tension capacitif qui décale la tension de sortie de la moitié de l'excursion. Nous sommes donc amenés à changer le modèle de l'inverseur pour intégrer cet effet et le nouveau modèle est représenté Figure 41.

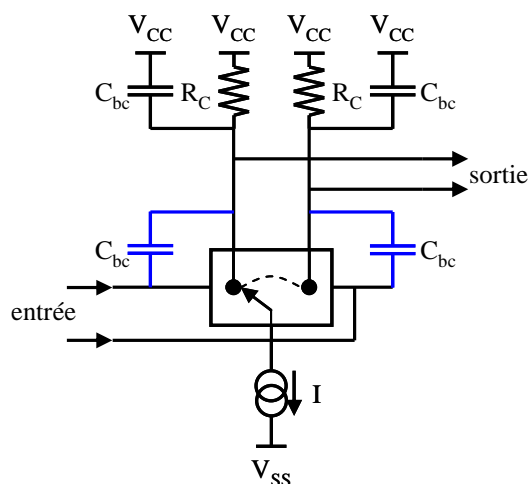


Figure 41 : Modèle de l'inverseur en intégrant l'effet des capacités parasites base-collecteur des transistors de la paire différentielle

On peut alors observer Figure 42 que le signal de sortie est très proche du nouveau modèle, sauf au moment de la commutation de la paire différentielle. Pour être plus fin dans la description de la forme du signal, il faudrait analyser précisément les mécanismes impliqués dans cette commutation. Notre modèle très simplifié considère en effet que la commutation est parfaite et immédiate, ce qui est bien sûr idéalisé. Une autre erreur du modèle est de ne pas considérer les éléments cascades derrière l'inverseur alors qu'ils modifient la vitesse de commutation et le retard, notamment en influençant la capacité collecteur pilotée par la paire différentielle.

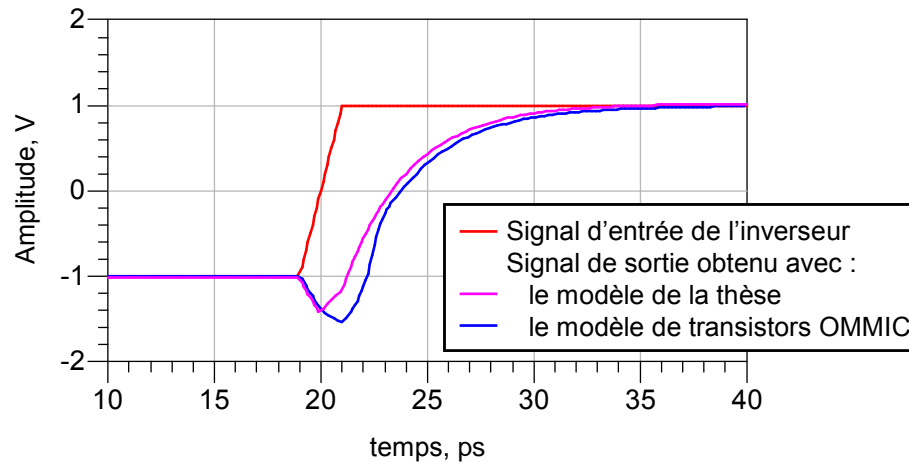


Figure 42 : Comparaison du modèle développé dans la thèse et de la simulation

Au-delà de la description des phénomènes physiques mis en jeu, ce modèle nous permet surtout d'exprimer analytiquement les paramètres de l'inverseur, c'est-à-dire le retard et la pente du signal au passage à zéro :

$$T_D = R_C \cdot C_C \cdot \ln(3) \quad (29)$$

$$S'(T_D) = \frac{i_{ee}}{C_C} \quad (30)$$

Avec T_D : retard entre l'entrée et la sortie, $S'(T_D)$: pente du signal de sortie au passage à zéro, R_C : résistance placée sur le collecteur, C_C : capacité vue au niveau du collecteur et i_{ee} : courant qui traverse la paire différentielle.

Le retard de l'inverseur est donc uniquement déterminé par la résistance collecteur et la capacité collecteur de la paire différentielle. La résistance détermine l'excursion du signal et sa valeur est donc fixée en fonction du courant de polarisation. Pour modifier le retard de l'inverseur nous ne pouvons donc jouer que sur la capacité présentée sur les branches de la paire différentielle. Si on regarde l'expression de la dérivée du signal au passage à zéro on remarque qu'une augmentation de cette capacité entraîne une réduction proportionnelle de la vitesse de commutation. Pour obtenir le meilleur inverseur possible il faut donc diminuer au maximum cette capacité.

Dans la zone envisagée pour nos applications, ce modèle présente une erreur inférieure à 10% pour la pente du signal et inférieure à 15% pour le retard de l'inverseur.

1.3 Influence de la paire différentielle sur le signal d'entrée

Dans le modèle développé précédemment, le signal d'entrée était fourni par une source de tension n'imposant aucune contrainte sur le courant. Comme la paire différentielle présente une impédance d'entrée qui dépend de la tension d'entrée, la forme du signal de déclenchement dépendra dans la pratique de l'impédance de sortie des éléments précédents. Les résultats de cette sous-partie sont obtenus à partir de simulations utilisant les modèles de transistors, c'est-à-dire que l'inverseur simulé est celui décrit Figure 37.

Si on alimente la paire différentielle en courant plutôt qu'en tension, on distingue plus nettement les trois zones de fonctionnement (Figure 43). Dans un premier temps on observe une augmentation linéaire de la tension d'entrée caractéristique de la charge d'une capacité. Dans une deuxième zone, la tension d'entrée évolue nettement plus lentement alors que la tension de sortie passe d'un état à l'autre. Une fois la sortie commutée, la tension d'entrée reprend une croissance plus rapide. L'impédance d'entrée est donc principalement capacitive avec une capacité qui augmente au moment du passage à zéro. Ceci est dû à la fois au changement de polarisation des transistors et à un effet Miller sur la capacité base-collecteur des transistors de la paire différentielle.

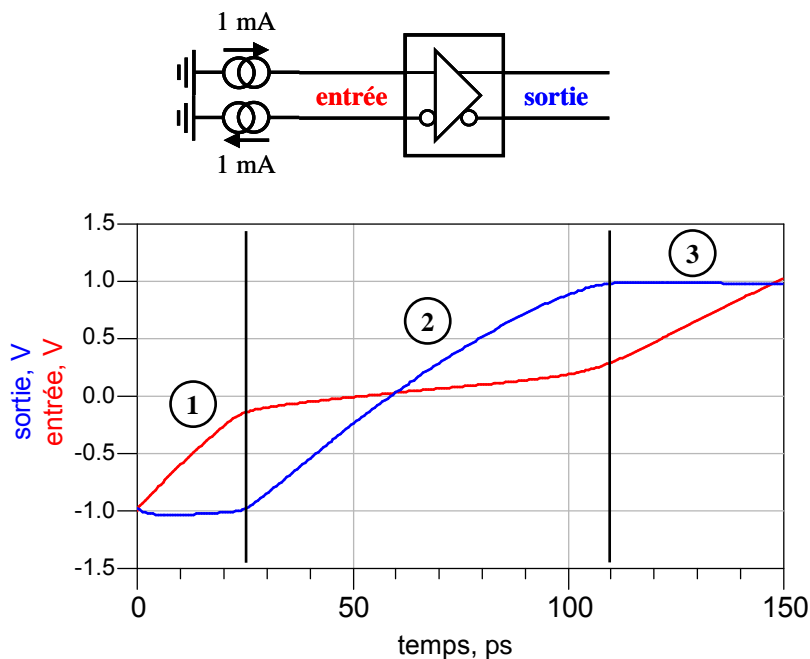


Figure 43 : tension d'entrée et de sortie pour un inverseur alimenté en courant

Cette capacité plus élevée au passage à zéro peut avoir un effet désastreux sur le jitter : si l'alimentation qui génère le signal de déclenchement a une impédance de sortie élevée, la dérivée du signal au passage à zéro va être fortement réduite car il faudra fournir le courant nécessaire à la charge de la capacité d'entrée de la paire différentielle. Le même effet se produit lorsqu'on place la paire différentielle au bout d'une ligne de propagation : les charges qui transitent sur la ligne sont en nombre insuffisant pour charger correctement la capacité d'entrée de la paire différentielle. On a alors d'une

part une déformation du signal de déclenchement et d'autre part une réflexion parasite du front de déclenchement.

La Figure 44 représente l'évolution de la tension de mode commun du signal d'entrée de la paire différentielle quand elle est alimentée en courant. Avant la commutation, la tension moyenne est stabilisée à 0,5 V mais au cours de la commutation elle descend jusqu'à 0,2V. A la fin de la commutation on retrouve bien une tension moyenne proche de 0,5 V. Cette évolution du mode commun est caractéristique d'une dissymétrie de l'impédance d'entrée : les deux voies différentielles ne présentent pas les mêmes impédances. On crée ainsi un déséquilibre sur le signal de commande et l'impédance de sortie du composant qui pilote la paire différentielle aura une grande influence sur la forme du signal.

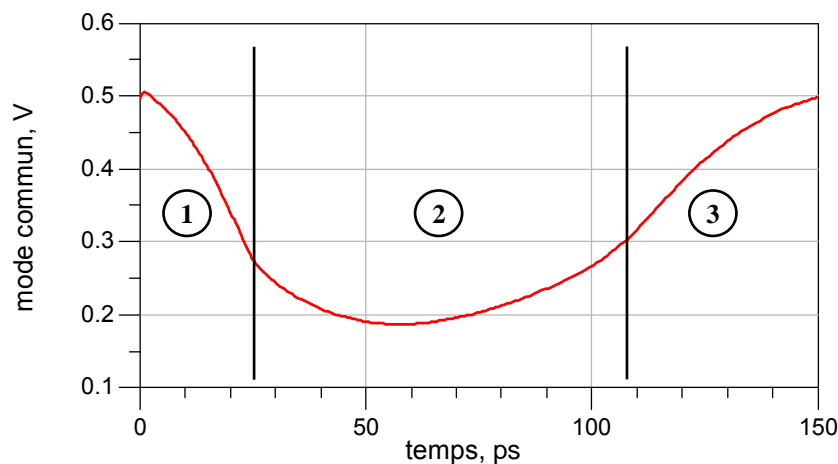


Figure 44 : Evolution de la tension de mode commun de l'entrée de la paire différentielle au cours de la commutation

La Figure 45 représente le signal de sortie de l'inverseur lorsque celui-ci pilote ou non un autre inverseur. On note que le signal de sortie de l'inverseur subit un retard plus important lorsqu'il est cascadié et on retrouve la cassure de la pente du signal décrite ci-dessus juste après le passage à zéro. Cette cassure est d'autant plus marquée que les transistors de l'inverseur cascadié ont un grand développement et que l'impédance de sortie du premier inverseur est faible. Pour se rapprocher du cas idéal il faut donc utiliser des transistors de surface importante pour le premier inverseur et de surface faible pour le second.

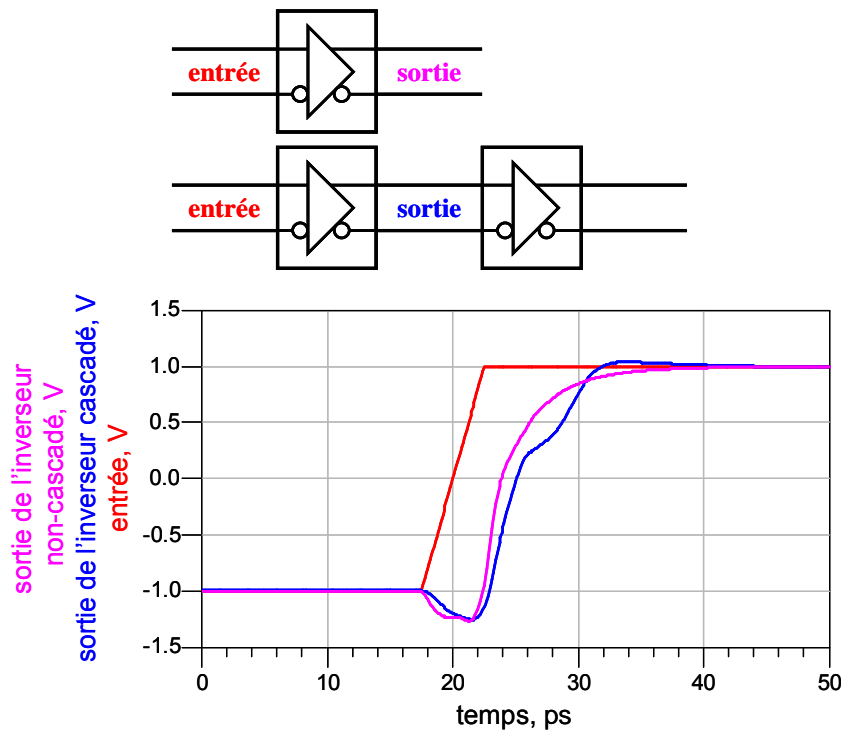


Figure 45 : Forme du signal de sortie lorsque l'inverseur pilote ou non un autre inverseur

D'après ces résultats, la paire différentielle va avoir un impact négatif sur les circuits la précédant. Son impédance d'entrée est capacitive et, de plus, cette capacité augmente au moment du passage à zéro et présente une forte dissymétrie. La réduction de la pente au passage à zéro va aussi entraîner une augmentation du jitter sur la sortie et la dissymétrie des impédances aura une influence sur le jitter statique et sur la propagation des signaux. Ce second paramètre sera pris en compte dans le chapitre 3 lors de l'étude des structures de déclenchement des systèmes d'échantillonnage.

2 L'étage collecteur commun

Le rôle de l'étage collecteur commun est double : d'une part il permet de baisser la tension pour retrouver en sortie les niveaux d'entrée et, d'autre part, il fournit le courant nécessaire au pilotage des circuits placés en sortie. Il isole ainsi la paire-différentielle de la sortie.

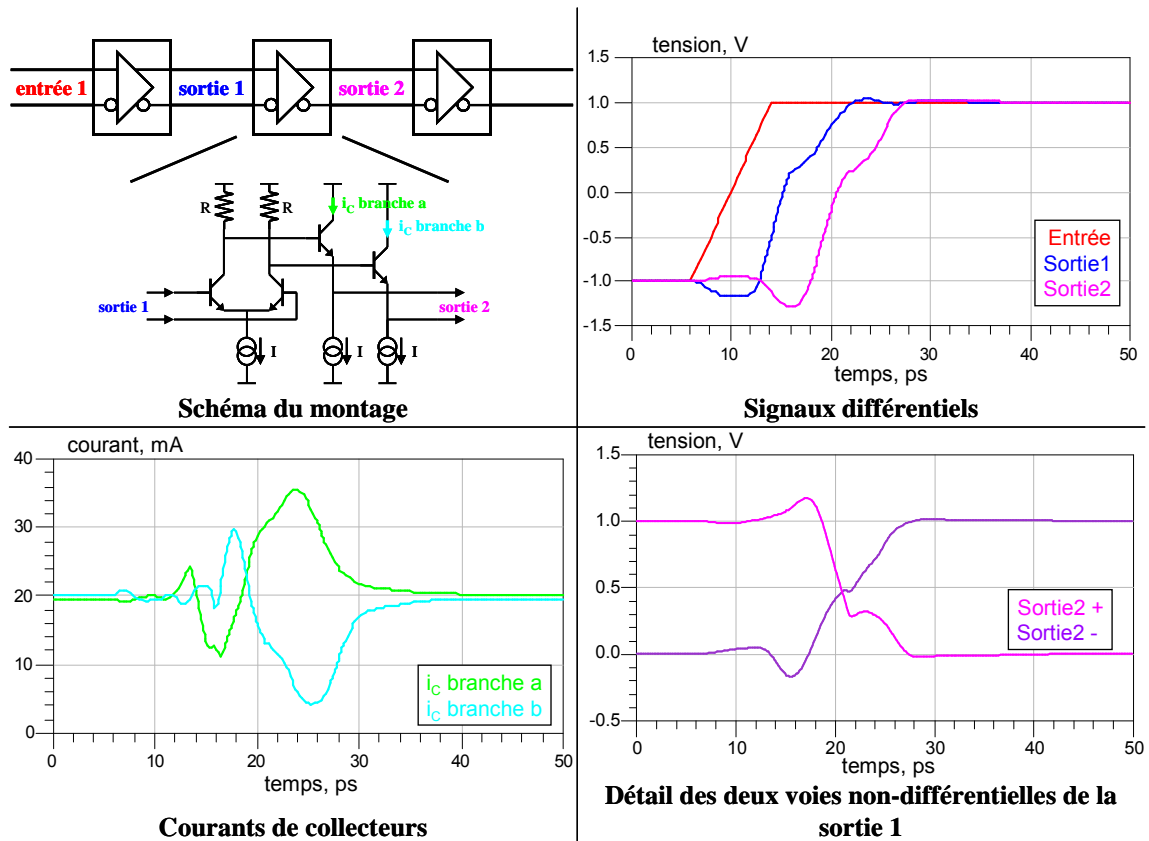


Figure 46 : Schéma et forme des signaux d'un inverseur situé dans une chaîne d'inverseurs

La Figure 46 représente les différents signaux d'un inverseur situé dans une chaîne d'inverseurs. On observe en entrée et en sortie des signaux différentiels présentant un temps de montée d'environ 8 ps et relativement peu perturbés par le changement d'impédance d'entrée de la paire différentielle pilotée. Si on regarde les courants collecteurs des étages collecteurs communs, on observe une évolution symétrique des deux voies autour du point de repos : la voie *a* fournit du courant qui s'ajoute au courant de polarisation, alors que pour la voie *b* le courant est tiré par la source de courant induisant une baisse du courant dans le transistor de sortie. On peut aussi observer au début de la commutation une évolution inversée des courants (la voie *a* subit une baisse de courant et la voie *b* un pic de courant) qui correspond à la baisse de tension observée sur le signal différentiel de sortie et due au passage d'une partie du signal d'entrée directement sur la sortie par les capacités base-collecteur de la paire différentielle. Enfin, pour les signaux de sortie de chacune des deux voies différentielles on peut observer que le temps de montée est proche du temps de descente mais que les deux courbes ne sont pas symétriques : la descente est en effet beaucoup plus influencée par la variation d'impédance de la paire différentielle et le signal effectue un rebond (une bosse) au deux tiers de la descente.

Lorsqu'un inverseur pilote plusieurs autres inverseurs, on observe (Figure 47) un net ralentissement de la vitesse de commutation. En observant les courants collecteurs des collecteurs communs, on s'aperçoit en effet qu'une des deux branches se trouve en régime saturé pour une valeur de courant proche de zéro alors que l'autre branche subit un pic de courant dépassant les 40 mA et qui

conduit dans la pratique à la détérioration du transistor (valeur au-delà du courant maximal supporté par le transistor).

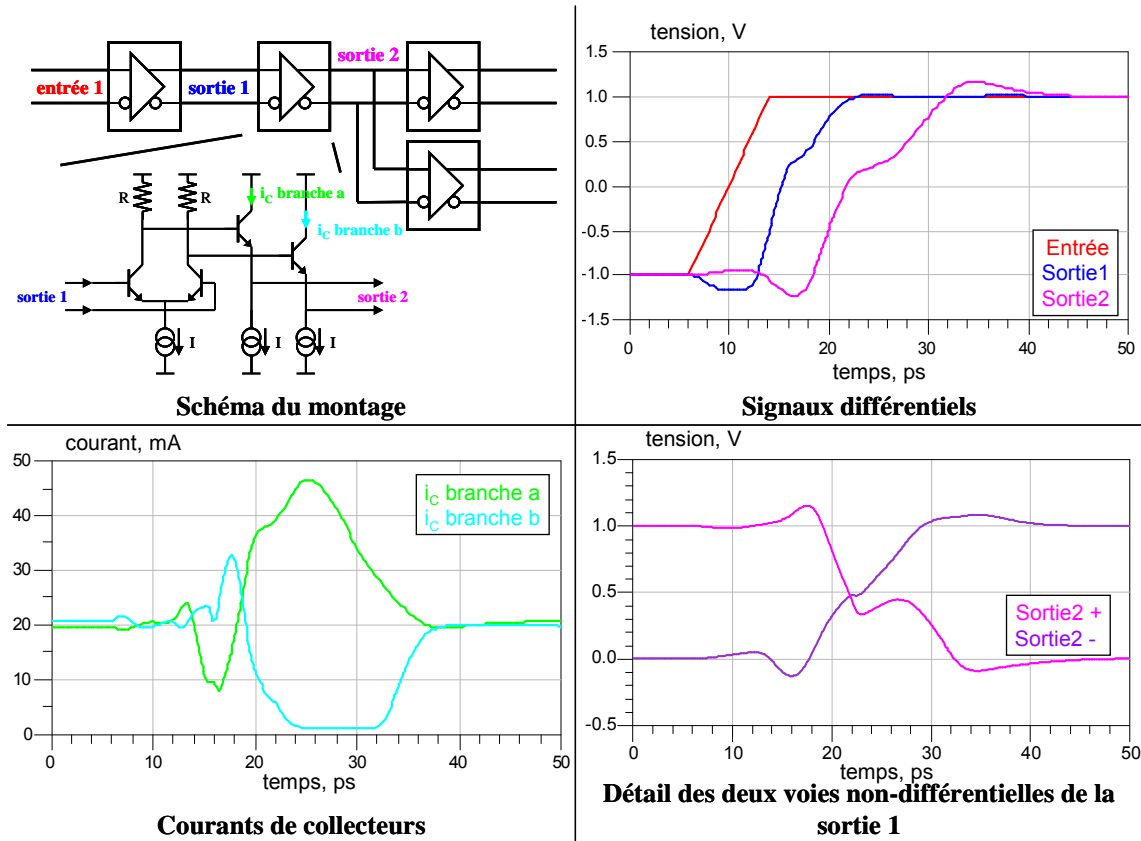


Figure 47 : Schéma et forme des signaux d'un inverseur pilotant deux inverseurs

On peut aussi observer que les deux voies différentielles sont fortement déséquilibrées, provoquant une variation importante du niveau de mode commun qui peut être préjudiciable au bon fonctionnement du système de déclenchement.

La sortance de l'inverseur est donc extrêmement réduite : on ne peut en effet piloter qu'un seul inverseur de la même taille. Pour pouvoir en piloter plusieurs une première solution est de cascader des inverseurs « plus petits », qui utilisent des transistors de surface d'émetteur plus faible. En réduisant les surfaces d'émetteurs des transistors des paires différentielles on réduit en effet proportionnellement les capacités parasites. Un inverseur donné peut donc piloter un inverseur de taille identique ou deux inverseurs deux fois plus petits. Une autre technique envisageable est de mettre en parallèle plusieurs étages collecteurs communs pilotés par une unique paire différentielle. On supprime ainsi le problème décrit ci-dessus avec les transistors de l'étage collecteur commun, mais on ralentit fortement la paire différentielle et on allonge les temps de commutation.

3 Influence des lignes de propagation

Dans leur utilisation finale les portes logiques font partie intégrante du système de déclenchement qui a pour vocation de distribuer le signal à différents endroits du système. Les signaux

de déclenchement sont donc transportés sur des lignes de propagation dont l'influence sur le fonctionnement de la porte logique doit être prise en compte. Sans adaptation de l'impédance les commutations très brèves des signaux viennent se réfléchir de part et d'autre des tronçons de ligne de propagation et ces multiples réflexions compromettent le bon fonctionnement de la structure de déclenchement.

Si on regarde en effet l'influence de la ligne de propagation sur la forme des signaux de déclenchement, on constate des réflexions multiples qui s'étalent sur des durées importantes. La Figure 48 a été obtenue avec des valeurs typiques : des lignes de propagation adaptées 50Ω d'une longueur de 2 mm. On constate qu'après 200 ps, le signal d'entrée de la seconde porte logique présente toujours une ondulation de l'ordre de 300 mV autour de sa valeur de repos. Lorsqu'on réalise la même simulation avec des inverseurs basés sur des transistors plus gros, par exemple de $20 \times 2 \mu\text{m}^2$, on peut même observer une inversion de la sortie de la deuxième porte logique provoquée par des réflexions trop importantes. Même lorsqu'elles ne créent pas d'erreur ces réflexions parasites ne sont pas acceptables car elles perturbent l'instant de basculement du front suivant : pour un fonctionnement correct, il faut que le niveau de sortie soit complètement stabilisé au bout d'environ 100 ps (pour permettre une fréquence de fonctionnement jusqu'à 5 GHz).

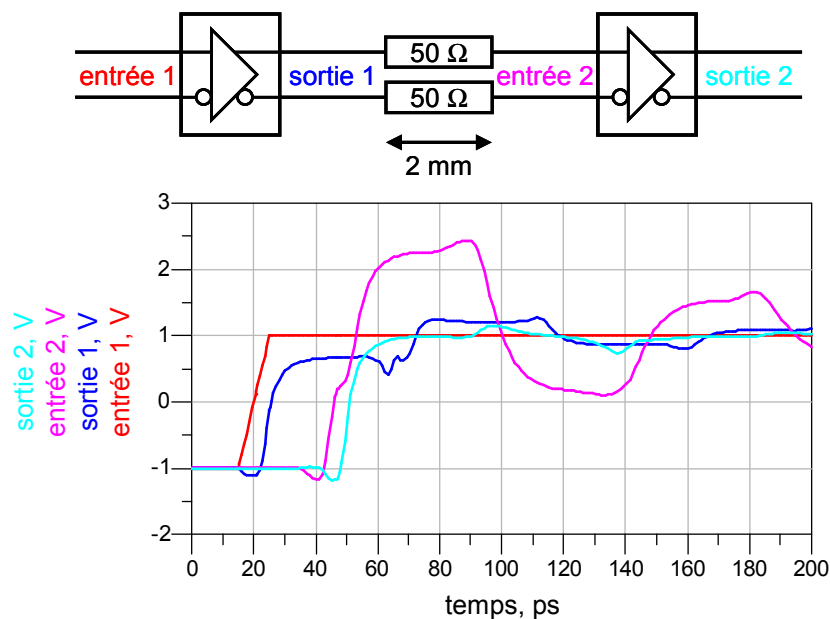


Figure 48 : Influence de la ligne de propagation sur la forme des signaux de la porte non-inverseuse

La longueur des lignes joue un rôle important sur l'atténuation de ces ondulations : plus la ligne de propagation est longue et plus la durée d'un aller-retour sera élevée. Comme le signal réfléchi n'est atténué que lorsqu'il atteint un élément résistif en bout de ligne, une première solution pour diminuer ces ondulations est de réduire la longueur de la ligne de transmission. Dans un intervalle de temps donné, le signal parasite aura alors effectué plus d'aller-retour sur la ligne et ainsi aura subi un plus grand nombre d'atténuations. Cependant, la longueur des lignes de propagation dépend surtout de l'architecture du système et ne peut souvent pas être modifiée. Pour les exemples présentés dans cette

partie, nous avons choisi une longueur de ligne de 2 mm car elle correspond à la distance qui sépare deux voies d'échantillonnage consécutives pour le second prototype « picoscope » ([13]).

Comme nous ne pouvons pas jouer sur la longueur des lignes de propagation, il est nécessaire d'adapter l'impédance d'entrée des portes logiques sur l'impédance des lignes de propagation. Comme les portes logiques présentent une impédance élevée, il est facile d'améliorer l'adaptation en plaçant par exemple une résistance en parallèle. On constate alors (Figure 49) que les réflexions parasites sont fortement atténuées.

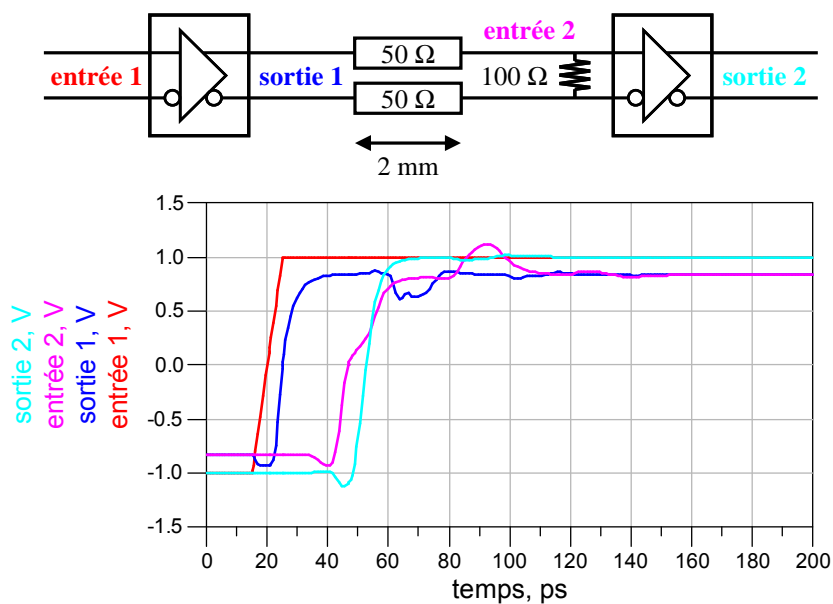


Figure 49 : Forme des signaux de la porte non-inverseuse avec une ligne de propagation adaptée en impédance

Cependant, le prix à payer en termes d'augmentation du jitter est relativement élevé : on ajoute en effet des résistances qui génèrent du bruit, et surtout on réduit énormément la valeur de la dérivée du signal au passage à zéro. En simulation la dérivée passe de 300 V/ns sans les lignes de propagation et sans la résistance d'adaptation à seulement 128 V/ns avec une ligne adaptée, soit une réduction de plus d'un facteur deux.

Lors de la conception du système de déclenchement, il est donc nécessaire d'adapter les impédances des lignes de propagation et d'effectuer une optimisation entre ondulation et temps de montée.

III - Optimisation du jitter

L'objectif de cette partie est d'optimiser l'inverseur en termes de jitter en vue de réaliser une structure de déclenchement optimale. La simulation du jitter sera d'abord abordée pour préciser la modélisation des sources du jitter et les paramètres qui permettront de comparer les inverseurs. Dans une seconde sous-partie nous validerons ce principe de simulation par des résultats expérimentaux,

puis nous comparerons les différentes configurations d'inverseurs et nous optimiserons les paramètres de conception.

1 Simulation du jitter

Dans un premier temps nous cherchons à établir une méthode de simulation du jitter. Pour cela nous identifierons d'abord les origines du jitter pour en établir une modélisation correcte, nous déterminerons ensuite les paramètres qui permettent d'évaluer les performances d'un inverseur ou d'un groupe d'inverseurs et nous présenterons enfin le principe de la simulation retenue.

1.1 Lien entre bruit et jitter

Dans la structure de déclenchement, le jitter a pour origine le bruit des différents éléments. Cette erreur en tension se change en erreur temporelle au moment où le signal de déclenchement passe par zéro. En première approximation (développement limité à l'ordre 1) la pente du signal au passage à zéro permet de faire le lien entre erreur en tension et jitter :

$$J_{RMS} = \frac{\sigma_V}{S'(T_D)} \quad (31)$$

Avec J_{RMS} : écart type du jitter, σ_V : tension efficace de bruit et $S'(T_D)$: pente du signal au moment du déclenchement

La Figure 50 représente graphiquement l'influence du bruit sur le jitter décrit par l'équation 31 : pour chaque inverseur, lorsque le signal de déclenchement passe par zéro, l'instant d'échantillonnage est entaché d'une erreur temporelle due au niveau de bruit.

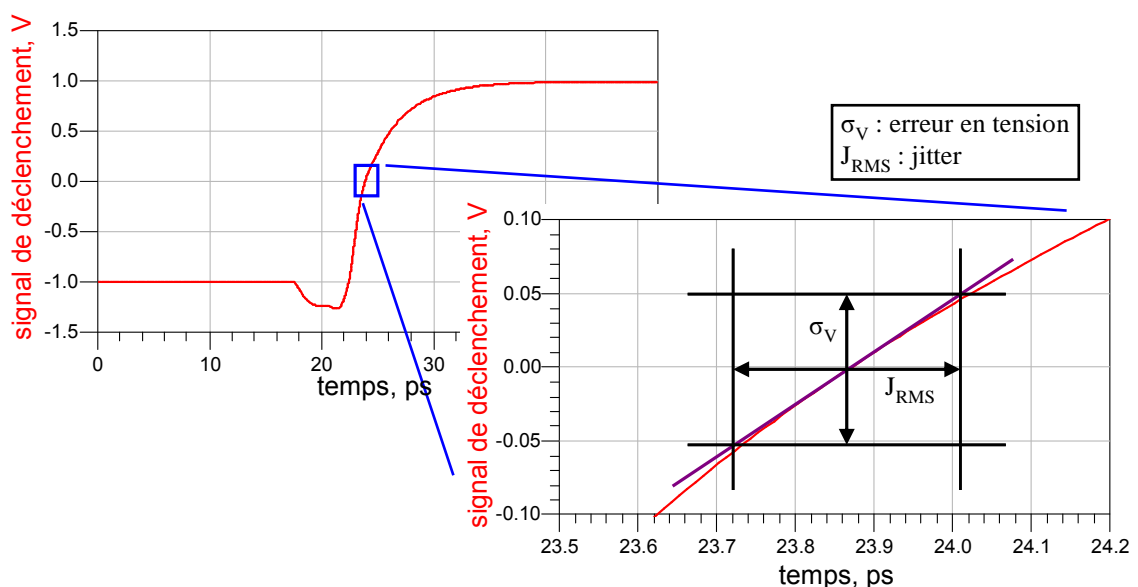


Figure 50 : Influence du bruit sur l'erreur temporelle du déclenchement (jitter)

La simulation du jitter nécessite donc deux étapes : une première étape de simulation grand signal qui permet de déterminer la pente des signaux de déclenchement pour chaque passage par zéro, c'est-à-dire à chaque fois qu'il y a une décision temporelle sur un instant de déclenchement, et une deuxième étape de simulation du bruit des composants.

1.2 Modélisation des sources de bruit

Dans les systèmes électroniques le bruit a de nombreuses origines. Nous ne cherchons pas dans cette étude à caractériser finement l'influence de chaque source de bruit mais plutôt à établir un modèle de simulation simple qui nous permette d'obtenir un ordre de grandeur du jitter de la structure de déclenchement et surtout qui permette de comparer et d'optimiser les structures de déclenchement.

Nous nous limitons donc à l'étude des trois sources de bruit suivantes : le bruit thermique, le bruit de grenaille et le bruit de Flicker.

- **Bruit thermique**

Le bruit thermique est provoqué par les collisions de porteurs de charges sur les atomes du réseau cristallin. Il intervient sur les éléments résistifs et c'est un bruit blanc, c'est-à-dire que sa densité spectrale de puissance est uniforme. Cette densité de puissance est exprimée par la relation :

$$S_v = 4 \cdot k \cdot T \cdot R \quad (32)$$

Avec S_v : densité spectrale de puissance exprimée en tension et ayant pour unité $V^2 \cdot Hz^{-1}$,

$k = 1,38 \cdot 10^{-23} \text{ m}^2 \cdot Kg \cdot s^{-2} \cdot K^{-1}$: constante de Boltzmann,

T : température et R : résistance de l'élément considéré

- **Bruit de grenaille**

Le bruit de grenaille (en anglais shot noise) est un bruit blanc qui apparaît lorsqu'un courant franchit une barrière de potentiel. Les quanta d'énergie traversent cette barrière de potentiel en suivant une loi de poisson dont la densité spectrale de puissance est donnée par la relation :

$$S_i = 2 \cdot q \cdot i \quad (33)$$

Avec S_i : densité spectrale de puissance en courant (unité $A^2 \cdot Hz^{-1}$),

$q = 1,6 \cdot 10^{-19} \text{ C}$: charge élémentaire de l'électron

et i : courant qui traverse la barrière de potentiel

- **Bruit de Flicker**

Ce bruit est aussi appelé bruit de scintillation ou bruit en $1/f$. Comme cette dernière dénomination l'indique, il est caractérisé par une densité de puissance en $1/f$. Il intervient donc sur les basses fréquences mais peut être transposé à haute fréquence, par exemple lorsqu'on réalise un oscillateur ou tout dispositif non-linéaire. Il est caractérisé par la fréquence f_α , fréquence de coupure

entre le bruit en $1/f$ et le bruit blanc, c'est-à-dire que le bruit blanc sera plus important que le bruit en $1/f$ au-delà de la fréquence f_α du transistor.

Les transistors TBH que nous utilisons présentent des fréquences f_α de l'ordre de quelques kilohertz. Dans notre cas, le bruit en $1/f$ n'interviendra sur le jitter que si on considère des intervalles de temps assez longs, supérieurs à quelques microsecondes.

In fine nous utilisons pour notre simulation un modèle de bruit très simple constitué :

- Du bruit thermique des résistances ;
- Du bruit thermique de la résistance d'accès de la base du transistor ;
- Du bruit de grenaille de la jonction collecteur-émetteur des transistors.

1.3 Evolution du jitter

Nous considérons pour notre application, que seul le bruit blanc est à l'origine du jitter. Nous obtenons alors une évolution du jitter en racine carrée du nombre d'inverseurs, c'est-à-dire que lorsqu'on cascade n inverseurs identiques, le jitter observé sur le dernier élément est \sqrt{n} fois plus élevé que le jitter d'un inverseur seul. Cette évolution peut se rapprocher de celle décrite dans la partie commutation de la paire différentielle (A - II - 1.2) : lorsqu'on allonge le retard de l'inverseur on réduit la vitesse de commutation, ce qui conduit à augmenter le jitter en racine carrée du retard de l'inverseur. Pour créer un retard à partir d'inverseurs on a donc la même augmentation du jitter si on cascade plusieurs inverseurs ou si on allonge le retard d'un inverseur. Les deux cas ne sont cependant pas équivalents pour le système. En effet, plus on cascade d'inverseurs, plus la consommation du système sera élevée. Dans l'autre cas, si on réduit la vitesse de commutation, on perturbe nettement les étages suivants, notamment l'échantillonneur-bloqueur.

On constate donc qu'il existe un lien entre le jitter et le retard de l'inverseur : le jitter sera plus important pour un inverseur présentant un retard important. Si on utilise l'inverseur simplement pour remettre en forme le signal de déclenchement, le retard introduit par cet élément ne présente pas d'intérêt et ne sera donc pas pris en compte pour établir les performances de l'inverseur. En revanche lorsqu'on utilise l'inverseur pour créer un déphasage, son retard doit être pris en compte dans l'évaluation de ses performances : de deux inverseurs qui présentent le même jitter, le plus performant est en effet celui qui présente le retard le plus long. Or on a vu dans le paragraphe précédent que le jitter évolue en racine carrée du retard créé, indépendamment du fait que l'on crée un retard en cascasant plusieurs inverseurs ou en « ralentissant » un unique inverseur. Pour comparer les performances de ces inverseurs, on utilisera donc un nouveau paramètre : le jitter divisé par la racine carrée du retard ([105]).

L'optimisation du jitter de l'inverseur se fait donc sur deux paramètres distincts selon son utilisation. Lorsqu'on désire réaliser un retard d'une valeur donnée on utilisera le jitter divisé par la racine carrée du retard et lorsqu'on ne désire qu'une remise en forme du signal de déclenchement on utilisera directement le jitter.

1.4 Principe de la simulation retenue

Dans l'objectif de déterminer le jitter d'un élément ou d'un groupe d'éléments par la simulation, nous réalisons des simulations temporelles pour lesquelles le bruit est généré de façon aléatoire (simulation Monte-Carlo). Chaque simulation nous donne alors une valeur de l'instant de déclenchement et l'écart type de l'ensemble de ces simulations nous donne le jitter.

Pour ces simulations, nous utilisons le modèle de transistors proposé par OMMIC auquel on ajoute le bruit tel qu'il a été défini précédemment. On regroupe donc à la fois la simulation grand signal et la simulation du bruit.

Pour réaliser une simulation correcte du jitter d'un inverseur, nous avons choisi de cascader trois inverseurs. Un seul étage contient des sources de bruit, le deuxième, mais il est encadré par des inverseurs non bruyant, à la fois pour simuler la mise en forme des signaux et pour prendre en compte l'influence du bruit propagé dans la chaîne d'inverseurs. Le premier étage sert donc d'interface entre le signal de déclenchement généré par les sources de tension et l'inverseur testé. Le dernier étage permet de présenter une impédance correcte et de convertir le bruit blanc du signal en erreur de déclenchement sans avoir à effectuer d'approximation. Le schéma électrique de la simulation est présenté Figure 51.

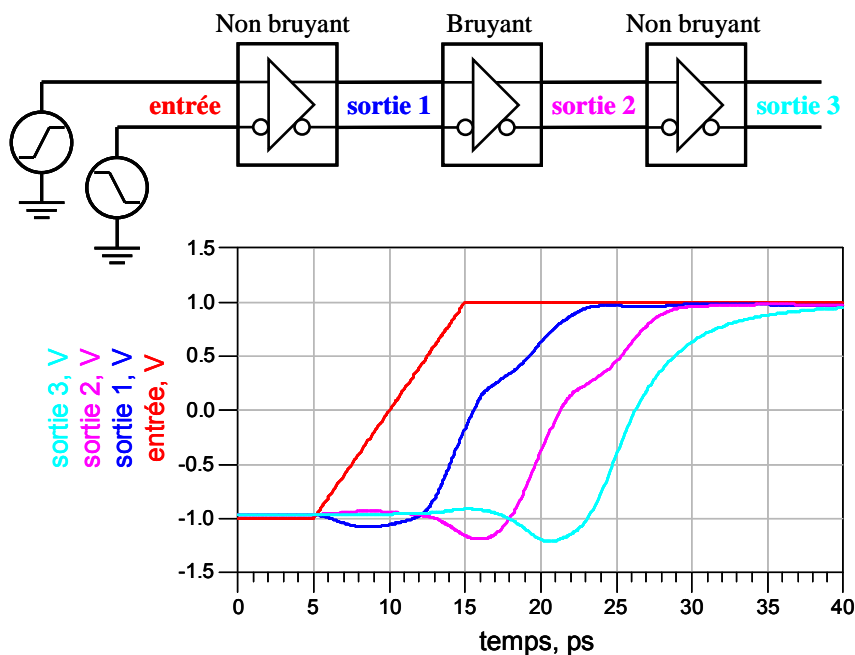


Figure 51 : Schéma électrique de la simulation et représentation temporelle des signaux différentiels

Différentes « astuces » de simulation sont ensuite utilisées. Pour déterminer précisément le point de passage du signal à zéro, nous utilisons les fonctions d'interpolation du logiciel. Pour limiter le volume des données (à quelques centaines de méga-octets par simulation) nous n'enregistrons qu'un faible intervalle temporel autour du passage à zéro.

Pour déterminer le jitter, nous réalisons à chaque fois quatre mille simulations ce qui est un minimum pour avoir des valeurs de jitter représentatives mais qui nécessite déjà plusieurs heures de simulation pour un simple inverseur. Le choix des différents paramètres de simulation sont justifiés en annexe (annexe III).

2 Résultats de mesure

Afin de valider notre modèle de simulation, nous réalisons des mesures sur des inverseurs réalisés dans le cadre du projet « picoscope 2 ». Après avoir présenté le circuit mesuré et le banc de mesure, nous discuterons les résultats obtenus.

2.1 Circuit mesuré

Le circuit mesuré a été réalisé dans le cadre du projet picoscope 2 ([13]) en technologie TBH sur InP. Dans ce projet, il sert à retarder le signal de déclenchement d'environ 60 ps tout en conservant des fronts de déclenchement très raides. Il est composé de trois inverseurs dont les paramètres sont optimisés pour assurer à la fois le retard et la remise en forme des signaux. L'entrée et la sortie sont différentielles.

La photo du composant est présentée Figure 52. Pour des contraintes liées à son utilisation, ce MMIC (circuit intégré monolithique hyperfréquence, en anglais Monolithic Microwave Integrated Circuit) intègre trois blocs identiques de trois inverseurs, mais un seul sera utilisé pour nos mesures.

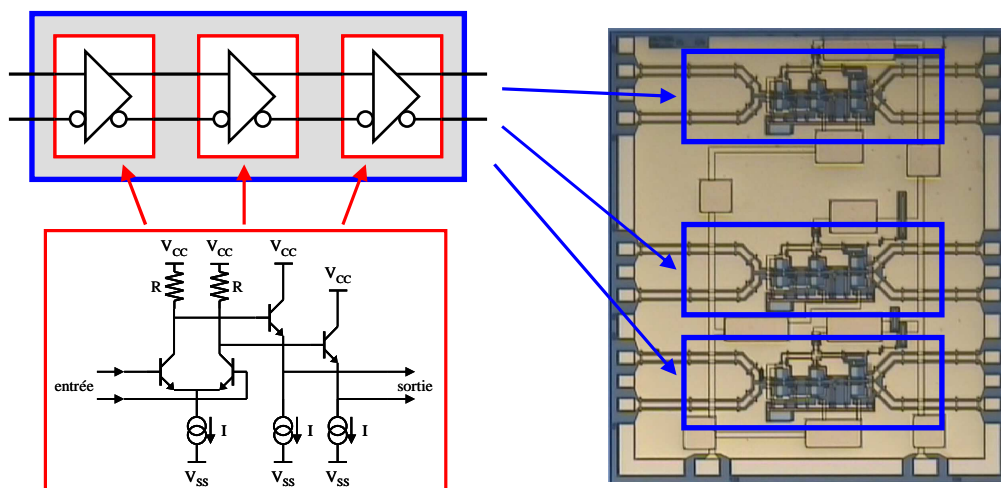


Figure 52: Photo et schéma électrique du circuit mesuré

2.2 Banc de mesure

L'objectif de notre mesure est de déterminer le jitter d'une porte inverseuse réalisée en technologie TBH sur InP, c'est-à-dire déterminer un jitter de quelques dizaines de femtosecondes. Cette mesure n'est bien sûr pas réalisable directement, les appareils de mesure traditionnels tels que les oscilloscopes ne permettant « que » des mesures de jitter de l'ordre de la picoseconde.

Nous avons donc cherché à amplifier le jitter pour qu'il arrive dans une plage mesurable. Pour ça nous avons réalisé un oscillateur en anneau en rebouclant les trois inverseurs du MMIC par des fils d'or. Chaque période du signal correspond donc à six commutations d'inverseur et si l'on regarde n périodes après avoir déclenché l'acquisition du signal sur l'oscilloscope le signal est passé $6 \cdot n$ fois dans un inverseur. L'instant de déclenchement de l'oscilloscope sert alors de référence et l'évolution en racine carrée du jitter nous permet de décrire le jitter d'un inverseur à partir du jitter mesuré n périodes après le déclenchement :

$$J_{RMS} = \frac{\sigma_{t \ n \text{ périodes}}}{\sqrt{6 \cdot n}} \quad (34)$$

Avec J_{RMS} : jitter de l'inverseur,

$\sigma_{t \ n \text{ périodes}}$: jitter mesuré n périodes après le déclenchement

Le banc de mesure est représenté Figure 53 ([105], [106], [107], [108]). Nous utilisons pour cette mesure un oscilloscope Agilent DSO 81204a, qui présente un plancher pour la mesure du jitter à 1,8 ps (N-cycle jitter, [70]).

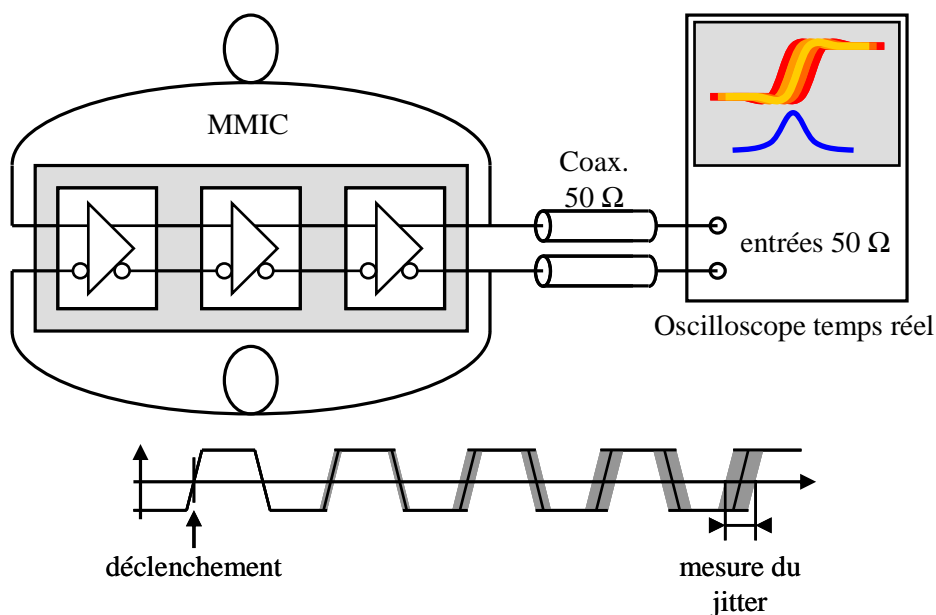


Figure 53 : Banc de mesure du jitter de l'inverseur

2.3 Résultats expérimentaux

Afin de vérifier le principe de la simulation, différents points de mesure ont été relevés en fonction du courant de polarisation de la paire différentielle et du nombre de périodes d'oscillation.

Dans un premier temps, nous nous intéressons au retard de l'inverseur. Le Tableau 8 reprend les valeurs de période d'oscillation mesurées pour les trois points de polarisation considérés. Comme nous estimons à 30 ps le temps de propagation du signal dans les fils d'or ([13]), nous obtenons une valeur estimée du retard introduit par le bloc des trois inverseurs. On constate alors que ce retard

dépend peu du courant de polarisation : il est en effet réduit de moins de 15 % lorsque l'on multiplie le courant de polarisation par six.

Courant de polarisation, mA	11	44	66
Période d'oscillation, ps	195,6	180,7	177,8
Retard estimé du bloc de trois inverseurs, ps	67,8	60,4	58,9

Tableau 8: période de l'oscillateur en anneau et retard estimé du groupe d'inverseurs en fonction du courant de polarisation

Courant de polarisation : 11 mA			
Nombre de périodes	625	1 250	2 500
Jitter mesuré	6 ps	9,2 ps	13,4 ps
Jitter équivalent des trois inverseurs	170 fs	184 fs	190 fs
Courant de polarisation : 44 mA			
Nombre de périodes	1 250	2 500	5 000
Jitter mesuré	3,2 ps	4,6 ps	6,8 ps
Jitter équivalent des trois inverseurs	64 fs	65,1 fs	68 fs
Courant de polarisation : 66 mA			
Nombre de périodes	2 500	5 000	10 000
Jitter mesuré	3,4 ps	5,2 ps	8 ps
Jitter équivalent des trois inverseurs	48,1 fs	52 fs	56,6 fs

Tableau 9 : résultats expérimentaux du jitter en fonction du courant de polarisation et du nombre de périodes considérées

Le Tableau 9 présente les résultats de mesure obtenus. On peut constater une très nette influence du courant de polarisation sur le jitter : plus le courant de polarisation est élevé et plus le jitter est faible.

On observe aussi une légère dépendance du jitter équivalent au nombre de périodes considérées. Pour les trois points de polarisation, le jitter équivalent du bloc d'inverseurs augmente lorsque le nombre de périodes augmente mais cette évolution ne suit pas de règle précise : lorsqu'on multiplie par quatre le nombre de périodes, le jitter augmente de 6 % pour une polarisation à 44 mA et de 15 % pour une polarisation à 66 mA. Ces fluctuations nous poussent à penser qu'il s'agit plutôt d'une imprécision de la mesure que de la mise en évidence d'un phénomène physique. Les valeurs de jitter relevées sont en effet proches du plancher de mesure de l'oscilloscope et nous ne connaissons pas la précision de ces mesures.

2.4 Comparaison à la simulation et analyse critique

Les résultats obtenus en simulation pour le jitter du groupe des trois inverseurs sont présentés Tableau 10. Les valeurs obtenues sont supérieures à celles mesurées d'environ 20 %, c'est pourquoi nous représentons Figure 54 les valeurs mesurées, les valeurs simulées et les valeurs simulées multipliées par un facteur correctif de 0,81. Ce facteur de multiplication permet en effet d'obtenir une très bonne concordance des résultats simulés et mesurés.

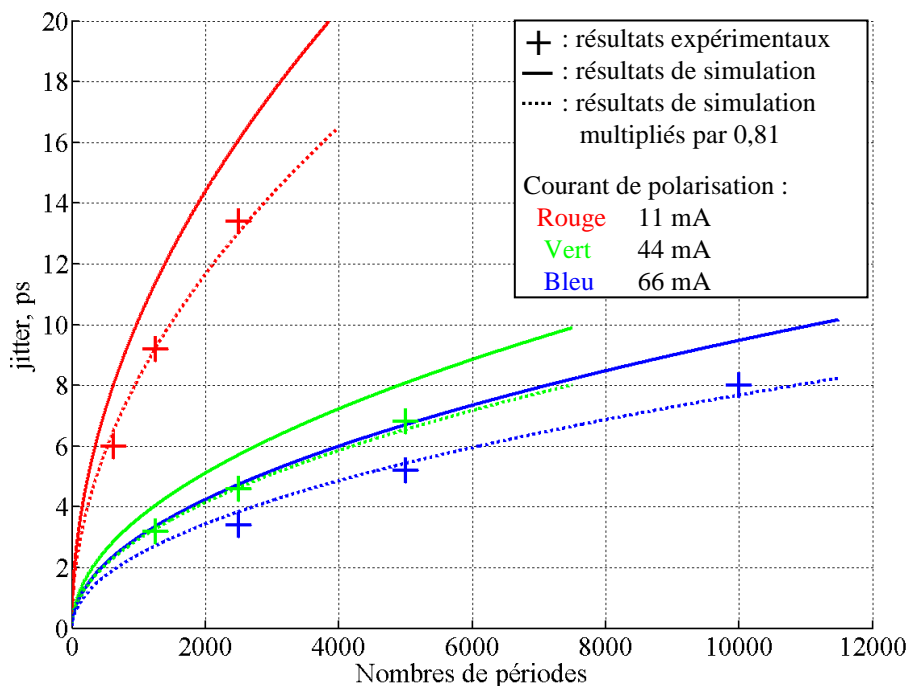


Figure 54 : Résultats expérimentaux comparés aux résultats de simulation du jitter d'un groupe de trois inverseurs montés en oscillateur en anneau

Courant de polarisation, mA	11	44	66
Jitter des trois inverseurs	235 fs	81 fs	71 fs

Tableau 10 : Valeurs simulées du jitter de l'ensemble des trois inverseurs

Lorsqu'on applique un facteur correctif, on constate que l'évolution en fonction du courant est très bien décrite par la simulation. Plusieurs hypothèses peuvent être avancées pour expliquer ce décalage. Concernant la simulation, le modèle de bruit retenu est extrêmement simple et peut être à l'origine de l'erreur par rapport aux mesures. Les modèles de simulation des transistors peuvent aussi être remis en cause. Du point de vue de la mesure, l'imprécision de la mesure sur l'oscilloscope a déjà été évoquée et d'autres erreurs peuvent être induites par l'utilisation de l'oscilloscope, par exemple le filtrage de bande passante d'entrée qui filtre le spectre du signal dès la troisième composante harmonique.

Ces résultats présentent finalement une erreur assez faible et décrivent très bien l'évolution du jitter en fonction des différents paramètres. Ceci nous permet de valider la simulation du jitter telle que nous l'avons décrite, à la fois pour établir un ordre de grandeur du jitter et pour comparer et optimiser l'architecture de l'inverseur ou d'une suite d'inverseurs.

3 Optimisation de l'inverseur pour la réduction du jitter

L'objectif de cette partie est d'étudier l'influence de différents paramètres de conception de l'inverseur sur le jitter. Cette étude a pour but de déterminer les règles de conception pour la réalisation de la structure de déclenchement et non pas d'aboutir à l'inverseur le plus performant. Dans le système final en effet, seul le jitter au niveau du déclenchement des échantillonneurs-bloqueurs détermine les performances du système d'échantillonnage que nous réalisons, et cette structure de déclenchement intègre une multitude d'inverseurs qui ne jouent pas tous le même rôle. L'optimisation du jitter de la structure de déclenchement doit donc tenir compte de l'enchaînement des inverseurs.

L'inverseur a principalement deux fonctions dans la structure de déclenchement : soit de créer un retard d'une valeur donnée, soit de remettre en forme le front de déclenchement. Nous avons vu précédemment que ces deux cas nous conduisent à utiliser des paramètres différents pour caractériser les performances de l'inverseur : lorsqu'on ne cherche qu'une remise en forme du signal, le paramètre retenu est simplement le jitter, mais lorsqu'on cherche à créer un retard on utilise le jitter divisé par la racine carrée du retard de l'inverseur. Ces deux paramètres ont systématiquement été étudiés et seront présentés pour chaque simulation.

Dans un premier temps nous étudierons l'influence de l'architecture, et notamment des sources de courant, puis, ayant retenu une architecture particulière, nous optimiserons ses paramètres de conception pour une taille de transistors fixée à $10 \times 2 \mu\text{m}^2$. Cette étude sera ensuite généralisée à cinq tailles différentes de transistors afin de valider les résultats obtenus sur le premier inverseur,

c'est-à-dire que l'optimisation des paramètres un par un permet bien d'atteindre un jitter minimal. Cette généralisation nous permettra aussi d'étudier l'influence de la taille des transistors sur le jitter.

3.1 Architecture optimale

Dans un premier temps, nous étudions l'influence de l'architecture sur le jitter de l'inverseur. Différentes topologies ont été simulées en fixant les paramètres de conception : courant de polarisation, taille des transistors, tensions d'alimentation et excursion de tension du signal. Les valeurs retenues sont présentées dans le Tableau 11 et seront optimisées après le choix de l'architecture.

Courant de polarisation de la paire différentielle	30 mA
Courant de polarisation des collecteurs communs	20 mA
Taille des transistors	T10 : 10 x 2 μm^2
Tension continue	Entrée et sortie centrées à 0,5 V
Excursion de tension des signaux	2 V_{PP} différentiel (1 V_{PP} sur chaque voie)

Tableau 11 : Valeur des paramètres fixés pour la comparaison des architectures

Les différentes architectures étudiées sont présentées Figure 55 et les résultats obtenus Tableau 12.

L'architecture (b) est quasiment identique à l'architecture (a) mais on ajoute sur l'étage collecteur commun un transistor monté en diode. Ce transistor permet d'avoir une plus grande différence de tension sur l'étage de sortie ($2.V_{be}$) qui se répercute sur la tension continue collecteur-émetteur des transistors de la paire différentielle. On constate alors que le jitter est légèrement supérieur avec les diodes que sans et inversement, quand on divise le jitter par la racine du retard, l'architecture à diodes présente un léger avantage. N'apportant pas d'amélioration capitale, nous avons choisi de ne pas conserver cette modification qui accroît la puissance consommée de plus de 20 %.

Sur l'architecture (c), les résistances de polarisation sont remplacées par des transistors polarisés en source de courant. On observe alors une dégradation importante du jitter. Cette dégradation est atténuée lorsqu'on dégénère ces transistors par des résistances (architecture (d), les valeurs de résistance étant choisies pour une différence de potentiel de 1 V), mais le jitter reste plus important que celui de l'architecture (a).

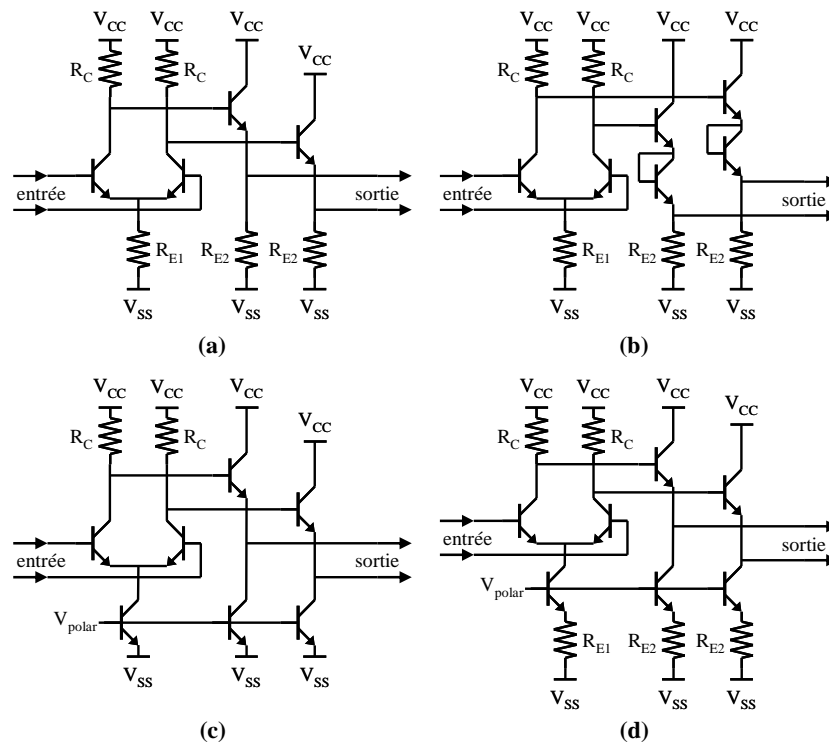


Figure 55 : Architectures d'inverseurs étudiées

Architecture	Temps de propagation	Pente du signal au passage à zéro	Jitter	Jitter divisé par la racine du retard
(a)	5,73 ps	251 MV/s	4,05 fs	$1,69 \cdot 10^{-9} \cdot \sqrt{s}$
(b)	6,62 ps	225 MV/s	4,31 fs	$1,67 \cdot 10^{-9} \cdot \sqrt{s}$
(c)	6,70 ps	181 MV/s	6,55 fs	$2,53 \cdot 10^{-9} \cdot \sqrt{s}$
(d)	6,37 ps	200 MV/s	5,37 fs	$2,13 \cdot 10^{-9} \cdot \sqrt{s}$

Tableau 12: Résultats de la simulation du jitter pour les différentes architectures d'inverseurs

Nous choisissons donc de conserver l'architecture (a), c'est-à-dire l'architecture la plus simple qui contient le moins de transistors et qui présente la consommation la plus faible.

3.2 Optimisation des paramètres

Dans cette partie, nous étudions l'influence des différents paramètres qui avaient été fixés précédemment : le courant de polarisation, l'excursion de tension du signal, la tension de polarisation et le gain de la paire différentielle. La méthode retenue consiste à faire varier séparément chaque

paramètre afin de déterminer la valeur optimale pour chacun. Nous vérifierons ensuite que l'inverseur optimal est créé en choisissant le cas optimal pour chaque paramètre.

- **Optimisation du courant de polarisation**

On a déjà vu dans la partie expérimentale que le courant de polarisation avait une grande influence sur le jitter. Dans cette optimisation, nous choisissons arbitrairement de fixer le courant de l'étage collecteur commun aux deux tiers de celui de la paire différentielle. Nous considérons ensuite les deux cas suivants : soit la variation de courant s'effectue sans changer la résistance R_C , ce qui induit une variation de l'excursion du signal, soit au contraire on fixe l'amplitude de la tension du signal en faisant varier la valeur de R_C .

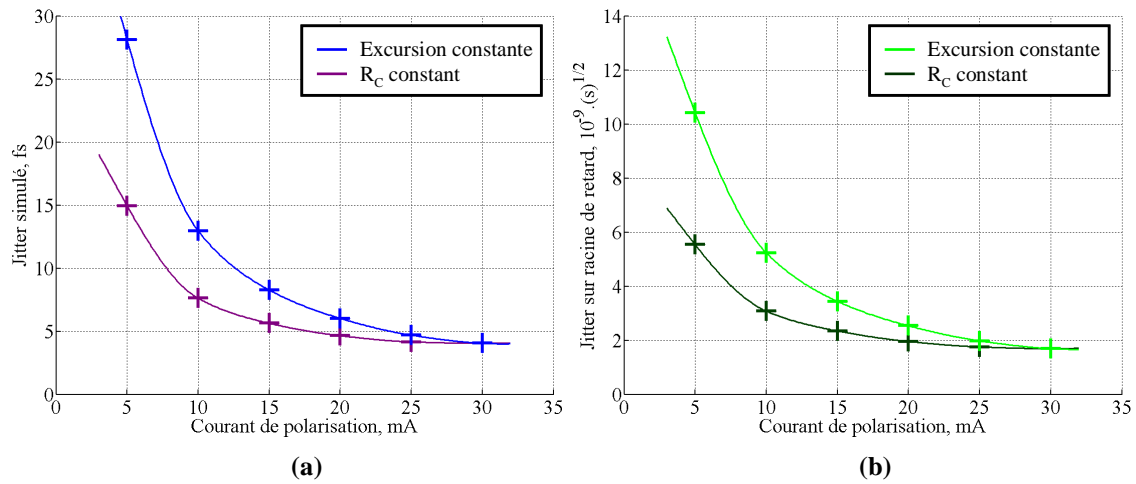


Figure 56 : (a) jitter de l'inverseur et (b) jitter divisé par la racine du retard, en fonction du courant de polarisation

La Figure 56 représente les résultats de simulations obtenus en faisant varier le courant de polarisation de la paire différentielle (et proportionnellement celui du collecteur commun) pour les deux utilisations envisagées, c'est-à-dire dans le cas (a) où l'inverseur sert à la remise en forme du signal et dans le cas (b) où il sert à créer un retard. On constate alors que le jitter diminue quand on augmente le courant de polarisation. Pour des courants faibles, cette amélioration est très rapide alors que pour des courants plus élevés, l'évolution est plus lente. On privilégiera donc une polarisation à courant élevé (dans notre cas, 30 mA correspond au maximum supportable par les transistors). On observe aussi que lorsqu'on garde une excursion constante en adaptant la valeur de la résistance R_C , la réduction du courant de polarisation entraîne une augmentation plus marquée du jitter. On peut donc s'attendre à ce que le jitter dépende des résistances collecteur de la paire différentielle.

- **Optimisation de l'excursion de tension de sortie**

On choisit dans cette simulation de fixer le courant de polarisation et de faire varier la résistance R_C , et donc l'excursion du signal. Les résultats obtenus sont présentés Figure 57. On

constate alors que les courbes présentent un minimum atteint dans une zone quasi-plate entre 0,7 et 1,6 V_{pp} . Lorsqu'on réduit l'excursion en dessous de cette zone, le jitter s'accroît très rapidement alors qu'au dessus de cette zone, l'augmentation de l'excursion entraîne une augmentation assez lente du jitter. On choisira préférentiellement pour nos applications de se placer dans l'intervalle d'excursion qui conduit au minimum de jitter, entre 0,8 et 1,4 V_{pp} .

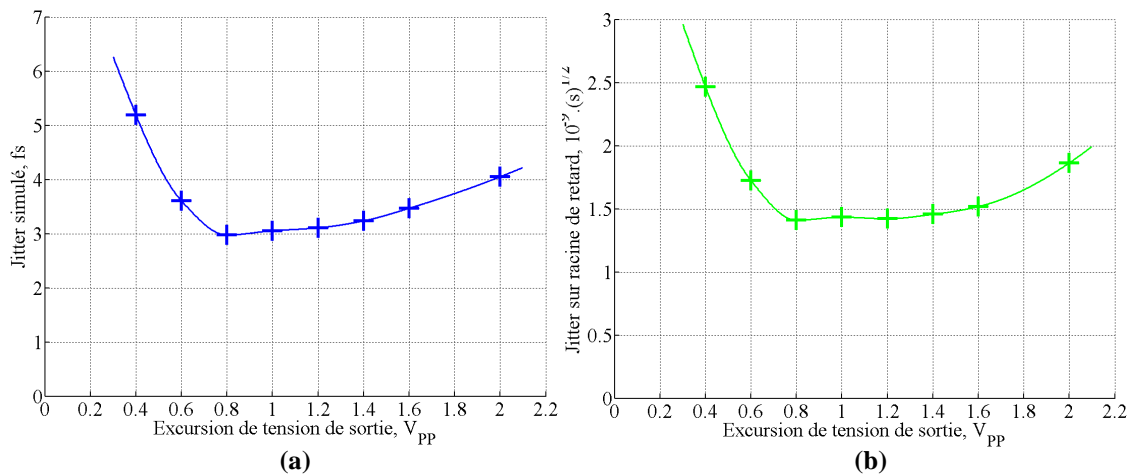


Figure 57 : (a) jitter de l'inverseur et (b) jitter divisé par la racine du retard, en fonction de l'excursion du signal

- **Optimisation de la tension d'alimentation négative**

Les sources de courant étant réalisées par de simples résistances, lorsqu'on change la tension d'alimentation négative il faut aussi modifier la valeur des résistances de polarisation pour conserver un courant constant.

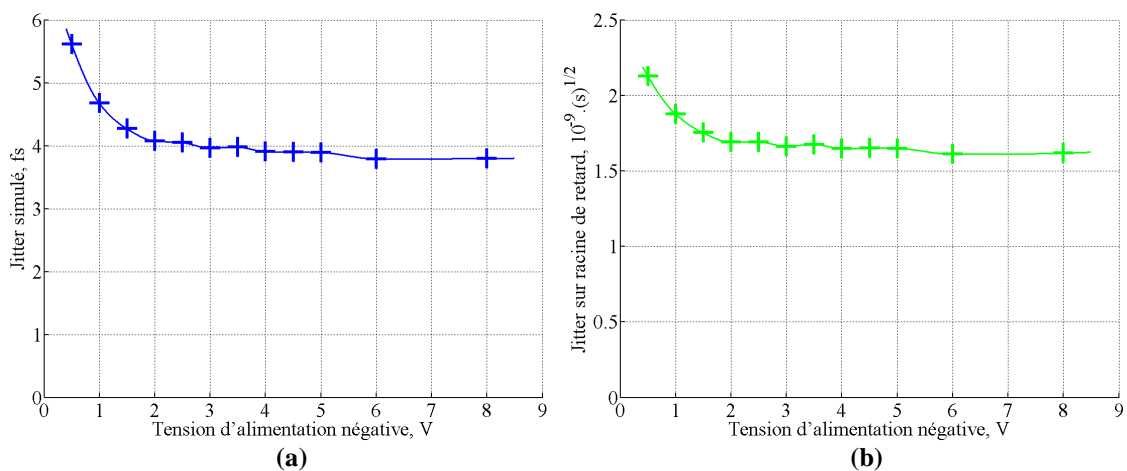


Figure 58 : (a) jitter de l'inverseur et (b) jitter divisé par la racine du retard, en fonction de la tension d'alimentation négative

Les résultats obtenus en simulation pour le jitter sont présentés Figure 58. Pour des tensions d'alimentation faibles, inférieures à 2 V, on observe un jitter important qui évolue rapidement. Pour des tensions supérieures à 2 V, l'évolution devient très lente marquant une rupture avec la première partie de la courbe. Parallèlement, plus on augmente la tension d'alimentation et plus la surface des résistances de polarisation et la puissance consommée augmentent. On va donc choisir une tension d'alimentation négative de 2 V, qui permet d'atteindre un niveau de jitter faible tout en limitant la consommation. La tension du signal d'entrée étant centrée sur 0,5 V, on veillera à conserver une différence de potentiel de 2,5 V entre le niveau continu de l'entrée et la tension d'alimentation.

• **Influence du gain en tension de la paire différentielle**

On teste dans ces simulations l'influence du gain en tension basse fréquence de la paire différentielle. Sans résistance de dégénérescence, la paire différentielle présente un gain d'environ 16 dB. Pour réduire ce gain, on dégenère la paire différentielle, c'est-à-dire qu'on place des résistances en série dans l'accès émetteur des transistors. Les résultats de simulation sont présentés Figure 59. On observe globalement sur la courbe que le jitter augmente quand le gain augmente. Pour un gain unitaire, le jitter ne suit plus cette relation mais on est en dehors des conditions normales de simulation : le signal n'étant plus amplifié, il n'est pas remis en forme et les fronts de transition sont « portés » par le front de déclenchement. Le composant ainsi créé ne différencie pas les deux états logiques et ainsi n'agit plus comme une porte logique.

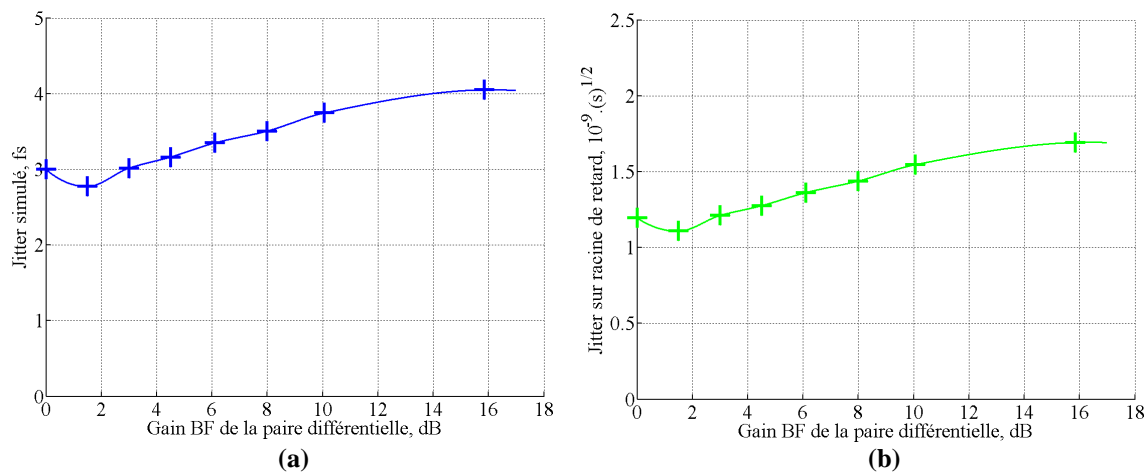


Figure 59 : (a) jitter de l'inverseur et (b) jitter divisé par la racine du retard, en fonction du gain BF de la paire différentielle

L'origine de la relation entre gain et jitter est expliquée dans [105] et [109] : lors de la commutation, la paire différentielle se comporte comme un amplificateur et le bruit de l'entrée est amplifié sur la sortie (mais limité en bande-passante). Plus le facteur d'amplification est important et plus le bruit en sortie sera élevé.

Il paraît donc intéressant pour le jitter de réduire le gain de la paire différentielle, mais la réduction du gain se fait au détriment de la remise en forme du signal. Lorsqu'on utilise l'inverseur

pour remettre en forme un signal présentant des fronts de transition lents, il est plus intéressant de garder un gain élevé alors que lorsqu'on utilise l'inverseur pour créer un retard, le gain peut être réduit entraînant une diminution du jitter. Pour la suite de l'étude, on se fixe un gain minimal en tension de deux, soit 6 dB.

- **Bilan**

L'étude des paramètres de conception nous a permis d'identifier les optimisations possibles de l'inverseur. On retiendra d'abord qu'un courant de polarisation élevé permet de réduire le jitter. On choisira donc préférentiellement de polariser les transistors par le courant le plus élevé possible. Nous avons ensuite établi que l'excursion en tension du signal de sortie présente une zone optimale (dans notre cas entre 0,7 et 1,6 V_{PP} différentiel) dans laquelle le jitter est minimal. Il conviendra bien sûr de se placer dans cette zone de fonctionnement. Par rapport à la tension d'alimentation négative, après une première zone dans laquelle le jitter est assez élevé, la tension d'alimentation négative n'intervient quasiment plus sur le jitter et on choisira alors la plus faible de ces valeurs pour réduire la puissance consommée. Notons que la tension d'alimentation positive ne peut pas être optimisée puisqu'elle détermine la tension continue du signal de sortie (qu'on a choisie identique à celle du signal d'entrée). Enfin, le gain de la paire différentielle doit être ajusté en fonction de l'utilisation de l'inverseur car il y a compromis entre réduction du jitter (en réduisant le gain) et amélioration de la remise en forme du signal (en augmentant le gain).

3.3 Généralisation

Cette étape présente trois objectifs majeurs. Le premier est de vérifier que l'optimisation des paramètres pris individuellement conduit bien à l'optimisation de l'inverseur total. Dans la même optique, cette généralisation nous permet de valider la méthode qui a été retenue pour optimiser le jitter, méthode qui pourra être réutilisée pour optimiser la structure de déclenchement. Enfin cette étude nous permet d'évaluer l'influence de la taille des transistors sur le jitter de l'inverseur.

L'optimisation décrite précédemment a en effet été appliquée aux inverseurs utilisant différentes tailles de transistors. Conformément aux conclusions de la partie précédente, le courant de polarisation a toujours été fixé au maximum supportable par les transistors. De même, le gain a été fixé à 6 dB, valeur qui permet une remise en forme correcte du signal tout en minimisant le jitter. Il nous reste donc à étudier l'influence de l'excursion du signal et de la tension d'alimentation négative.

- **Optimisation de l'excursion du signal de sortie pour différentes tailles de transistors**

Les résultats obtenus pour la simulation du jitter en fonction de la taille des transistors et de l'excursion du signal sont présentés Figure 60. Comme nous l'attendions, les courbes obtenues présentent une zone optimale dans laquelle le jitter est minimal. On peut constater que cette zone dépend très peu de la taille des transistors et l'excursion optimale est autour de 1,2 V_{PP} pour chaque courbe. Pour la conception de la structure de déclenchement, on choisira donc cette valeur comme référence et il sera possible d'assembler dans cette structure des inverseurs de tailles de transistors différentes car les niveaux des signaux seront compatibles.

On remarque aussi Figure 60 que la taille des transistors a une grande influence sur le jitter : on passe en effet pour l'inverseur utilisant les plus gros transistors d'un jitter d'environ 2 fs à un jitter supérieur à 7 fs avec les plus petits transistors. L'évolution n'est cependant pas linéaire et la différence entre les inverseurs utilisant des T15 ou des T20 (transistors présentant des surfaces d'émetteur respectivement de $15 \times 2 \mu\text{m}^2$ et $20 \times 2 \mu\text{m}^2$) est minime. L'utilisation de gros transistors sera privilégiée pour réduire le jitter de la structure de déclenchement.

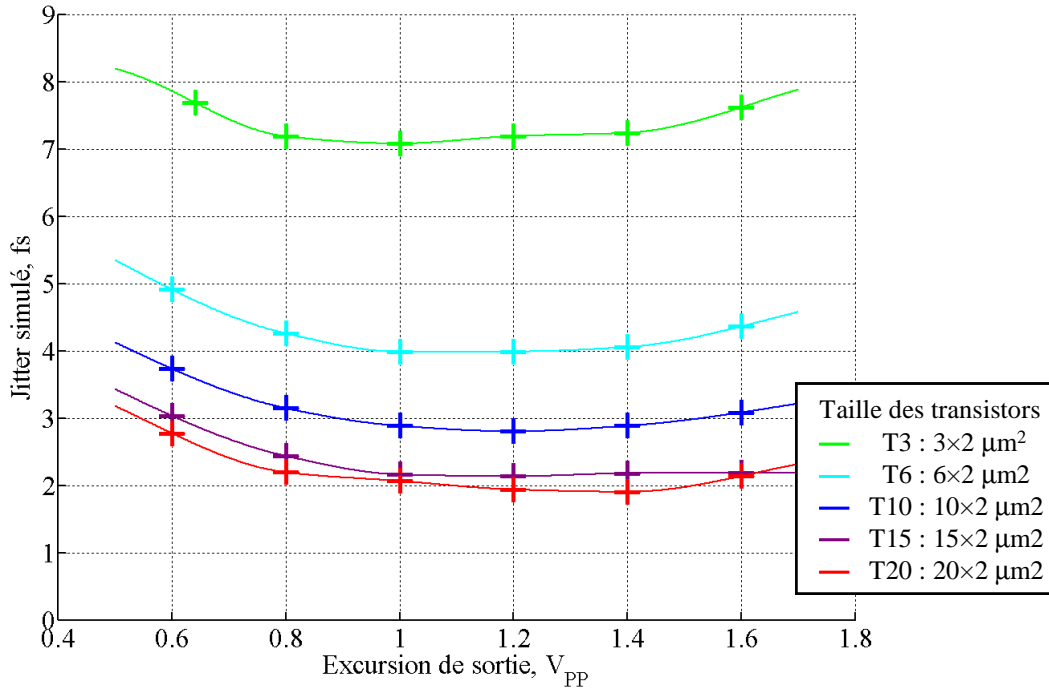


Figure 60 : Jitter en fonction de l'excursion du signal et de la taille des transistors utilisés

Les résultats en jitter divisé par la racine du retard présentent peu de différences avec ceux du jitter et ne sont donc pas représentés. Nous pouvons cependant noter que dans ce cas l'excursion optimale se situe plutôt autour de $1,4 V_{PP}$.

• Optimisation de la tension négative

Pour évaluer l'influence de la tension d'alimentation négative, nous nous sommes placés dans les conditions précédemment établies : un courant de polarisation maximal, un gain de la paire différentielle de 6 dB et une excursion du signal de $1,2 V_{PP}$. Nous avons ensuite simulé le jitter de l'inverseur pour chaque taille de transistor en décalant la tension d'alimentation négative de plus ou moins 1 V autour de la valeur de $-2,5 \text{ V}$ que l'on s'était fixée préalablement. Les résultats sont présentés Tableau 13. Les différences entre les valeurs obtenues sont minimes et très proches des taux d'erreurs associés à la simulation Monte-Carlo. Cependant on constate dans les cinq cas que la différence de jitter est plus faible entre $-2,5 \text{ V}$ et $-3,5 \text{ V}$ qu'entre $-1,5 \text{ V}$ et $-2,5 \text{ V}$. En choisissant une tension de polarisation de $-2,5 \text{ V}$, on est donc bien à la frontière entre les deux zones identifiées : la première où l'évolution est rapide et la seconde où l'évolution est lente.

Taille du transistor :		T3 $3 \times 2 \mu\text{m}^2$	T6 $6 \times 2 \mu\text{m}^2$	T10 $10 \times 2 \mu\text{m}^2$	T15 $15 \times 2 \mu\text{m}^2$	T20 $20 \times 2 \mu\text{m}^2$
Jitter pour des tensions d'alimentation de :	-1,5 V	7,458 fs	4,177 fs	3,002 fs	2,272 fs	2,073 fs
	-2,5 V Différence à -1,5 V	7,189 fs - 0,269 fs	3,986 fs - 0,191 fs	2,801 fs - 0,201 fs	2,133 fs - 0,139 fs	1,936 fs - 0,137 fs
	-3,5 V Différence à -2,5 V	7,004 fs - 0,185 fs	3,923 fs - 0,063 fs	2,804 fs + 0,003 fs	2,003 fs - 0,130 fs	1,852 fs - 0,084 fs

Tableau 13: jitter en fonction de la tension d'alimentation négative et de la taille des transistors de l'inverseur

• Bilan

On constate donc par cette étude que l'optimisation des paramètres un par un nous conduit à optimiser les performances de l'inverseur en termes de jitter : en modifiant le gain de la paire différentielle, l'inverseur composé de transistors T10 ($10 \times 2 \mu\text{m}^2$ de surface d'émetteur) conserve les mêmes valeurs optimales en excursion de tension du signal de sortie et en tension d'alimentation négative. De même, la valeur optimale de ces deux paramètres est indépendante de la taille des transistors de l'inverseur.

Le deuxième constat répond au deuxième objectif que nous nous étions fixé : les résultats obtenus pour l'optimisation de l'inverseur en T10 nous permettent de réaliser similairement l'optimisation des inverseurs utilisant d'autres tailles de transistors.

Enfin, l'influence de la taille du transistor sur le jitter a pu être testée et on constate que plus la surface des transistors utilisés est importante et plus le jitter est faible. Cette conclusion est cependant à nuancer par le fait que la différence entre les inverseurs utilisant des T15 ou des T20 est minime : plus on augmente la taille des transistors et plus l'amélioration du jitter est faible.

3.4 Règles de conception de l'inverseur

L'étude que nous avons réalisée nous permet d'établir les règles de conception suivantes pour l'amélioration du jitter de l'inverseur :

- L'architecture présentant les meilleures performances est l'architecture utilisant des résistances comme sources de courant et sans diode sur l'étage collecteur commun ;
- Le courant de polarisation de la paire différentielle doit être le plus élevé possible. Cependant entre 75 % et 100 % du courant maximal l'amélioration du jitter n'est que d'environ 5 % ;
- La tension d'alimentation négative doit être inférieure de 2,5 V à la tension moyenne du signal d'entrée ;

- Le gain de la paire différentielle doit être réduit le plus possible mais dépend aussi des contraintes de remise en forme nécessaire ;
- L'excursion de tension optimale est d'environ $1,2 V_{PP}$, une variation de $\pm 0,2 V$ autour de cette valeur n'ayant pas d'influence sur le jitter ;
- On utilisera préférentiellement des inverseurs utilisant des transistors à grande surface d'émetteur sachant que l'amélioration des performances s'amenuise lorsqu'on atteint les plus grandes tailles disponibles.

B - Echantillonneur-bloqueur

L'échantillonneur-bloqueur est au cœur du système. Il assure en effet l'interface entre le signal analogique d'entrée et le signal numérique de déclenchement pour obtenir en sortie un signal échantillonné. La conception d'un échantillonneur-bloqueur requiert donc de tenir compte à la fois de contraintes analogiques et de contraintes numériques. Globalement l'échantillonneur-bloqueur concentre un grand nombre de contraintes de conception et joue un rôle primordial dans les performances du système telles que la linéarité, le bruit et la résolution.

Le choix de la technologie TBH sur InP a été détaillé dans le premier chapitre et est principalement lié à des contraintes de conception de l'échantillonneur-bloqueur. Le choix de la technologie implique aussi celui de la structure SEF (Switched Emitter Follower) pour réaliser le commutateur.

L'échantillonneur bloqueur est composé de trois parties : un amplificateur d'entrée, un commutateur associé à une capacité de maintien et un amplificateur de sortie. Nous développons dans cette partie les principaux choix de conception de ces différents éléments.

I - Apport de la structure différentielle

Comme on a pu le voir dans l'étude bibliographique du chapitre 1, la majorité des échantillonneurs-bloqueurs réalisés en filière bipolaire sont différentiels, car cette structure conduit à une nette amélioration des performances. En effet, au niveau de la forme d'onde des signaux, l'architecture différentielle permet de réduire fortement l'excès de tension induit par la commutation des transistors et aussi de réduire la décroissance du signal échantillonné induite par les courants de fuite.

La Figure 61 représente, pour un échantillonneur-bloqueur différentiel, le signal différentiel au niveau des capacités de maintien et le signal sur une seule des deux capacités. Pour pouvoir comparer les deux courbes, le signal non-différentiel a été multiplié par deux et son niveau de tension continue supprimé. On observe alors que le signal différentiel est quasi parfait, contrairement au signal non-différentiel. Dans la pratique, l'amplificateur de sortie ne permet pas une réjection totale du mode commun et les disparités entre les deux voies d'échantillonnage conduisent à de légères déformations du signal, mais ces erreurs restent largement plus faibles que sur l'architecture non-différentielle.

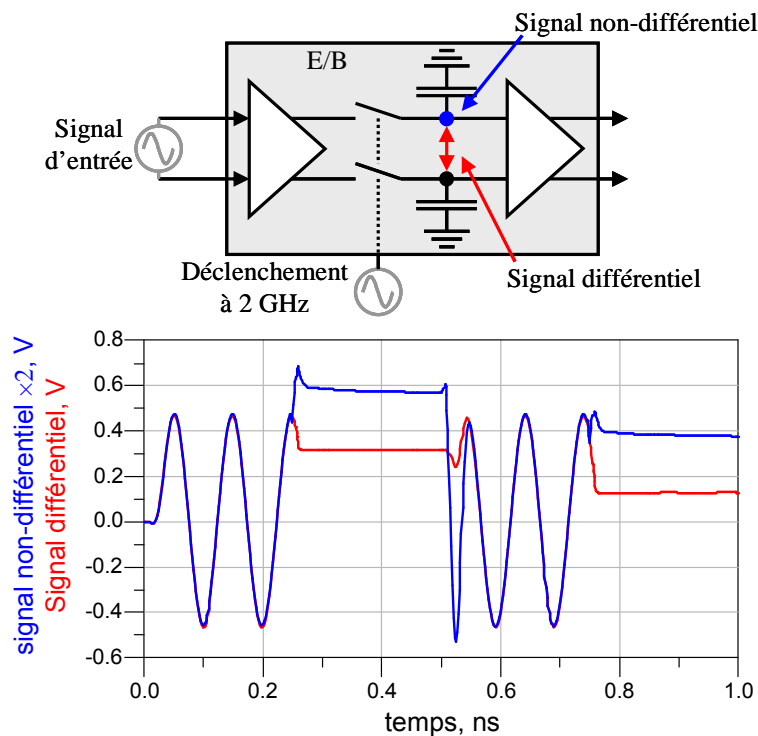


Figure 61: Signal différentiel au niveau des capacités de maintien pour une architecture différentielle et signal sur la capacité de maintien d'une architecture non-différentielle (compensé en amplitude et en niveau de tension continu)

Si l'on regarde l'effet de la structure différentielle sur les non-linéarités, là encore l'amélioration des performances est spectaculaire : une structure différentielle permet en effet de supprimer, ou au moins d'atténuer très fortement, les composantes harmoniques paires du signal. On améliore ainsi le taux de distorsion harmonique. Sur une structure non-différentielle, la deuxième composante harmonique est souvent celle qui présente la puissance la plus élevée, alors que sur une structure différentielle, cette seconde composante harmonique est quasi inexistante et c'est la troisième composante harmonique qui présente alors la puissance la plus élevée. Si on considère par exemple l'échantillonneur-bloqueur que nous avons conçu, la structure différentielle permet de gagner 17 dB sur le SFDR (dynamique de codage, en anglais Spurious-Free Dynamic Range, rapport de puissance entre la composante fondamentale et la composante harmonique de plus forte puissance), ce qui représente une amélioration de la résolution de presque trois bits effectifs.

La suppression des harmoniques paires ainsi que la correction d'erreurs apportées par la structure différentielle se traduisent par une amélioration de la résolution de plusieurs bits effectifs. Dès lors, le choix d'une architecture d'échantillonneur-bloqueur différentielle s'impose, même au prix d'une augmentation de la puissance consommée et de la surface de semi-conducteur utilisée.

II - Conception de l'étage SEF (Switched Emitter Follower)

L'étage SEF présente l'avantage d'être extrêmement simple (Figure 62). On constate en effet qu'il n'y a que quatre variables de conception à optimiser : la taille du transistor de commutation, la valeur de la capacité de maintien, le courant de polarisation et la résistance d'entrée R_C .

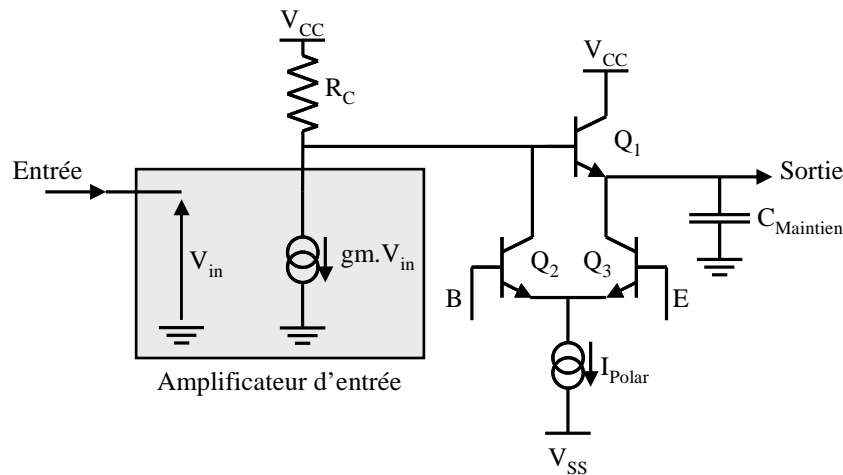


Figure 62 : Schéma de principe de l'étage SEF

Néanmoins, ces quatre variables de conception interviennent sur plusieurs paramètres sensibles de l'échantillonneur-bloqueur et vont avoir un effet important sur les performances, principalement sur la bande-passante, la linéarité, le bruit et la qualité de l'échantillonnage. La conception de l'étage SEF nécessite un compromis entre les différents paramètres.

Dans cette partie nous présentons la démarche que nous avons adoptée pour optimiser cette architecture. En partant de la puissance maximale que peut dissiper le transistor Q_1 , nous introduirons un par un les différents paramètres à optimiser en fonction de leur importance.

1 Puissance dissipée dans le transistor

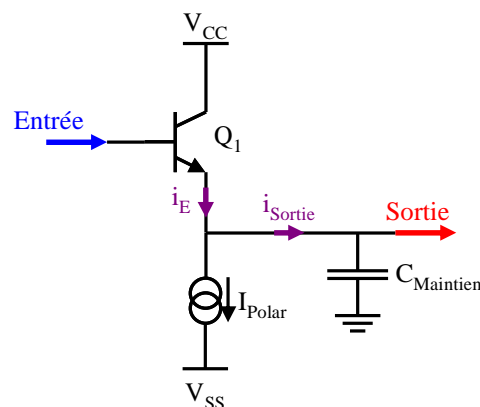


Figure 63 : Schéma simplifié de l'étage SEF en mode passant

Le fonctionnement de l'étage SEF est celui d'un collecteur commun, et donc celui d'un amplificateur de classe A : le courant de sortie est égal au courant du transistor moins le courant de polarisation (Figure 63). Lorsque le courant du transistor est inférieur au courant de polarisation on a en sortie un courant négatif et inversement, pour obtenir un courant positif en sortie, il faut que le courant du transistor soit supérieur au courant de polarisation :

$$i_{Sortie} = i_E - i_{Polar} \quad (35)$$

On obtient alors un pic de courant dans le transistor lorsque le courant de sortie atteint son maximum. Dans notre cas le transistor est chargé par une capacité. Le courant de sortie est donc sensible aux variations d'amplitude :

$$i_{Sortie} = C_{Maintien} \cdot \frac{dV_{Sortie}}{dt} \quad (36)$$

Une augmentation de la tension de sortie entraîne alors un pic de courant et donc un courant élevé dans le transistor qui fournit à la fois le courant de sortie et le courant de polarisation :

$$i_{E\ Max} = i_{Polar} + C_{Maintien} \cdot \left(\frac{dV_{Sortie}}{dt} \right)_{Max} \quad (37)$$

Le maximum de courant dans le transistor sera donc atteint lorsque la tension de sortie passe brusquement de son minimum à son maximum.

Pour obtenir la puissance dissipée par le transistor, il faut connaître sa tension collecteur-émetteur. Le collecteur du transistor étant connecté à l'alimentation et l'émetteur à la capacité, l'équation de la tension collecteur-émetteur est extrêmement simple :

$$V_{CE} = V_{CC} - V_{Sortie} \quad (38)$$

On constate alors qu'une tension de sortie faible entraîne une tension collecteur-émetteur du transistor élevée. Pour se placer dans les pires conditions en termes de puissance dissipée, il faut à la fois avoir une tension collecteur-émetteur élevée, c'est-à-dire une tension de sortie faible, et un courant élevé, c'est-à-dire une brusque augmentation de la tension. Ces deux conditions sont réunies simultanément lorsque l'échantillonneur-bloqueur a stocké la plus faible valeur possible et qu'il est rouvert sur la tension la plus élevée (Figure 64). Dans notre cas, l'excursion maximale autorisée est de 0,5 Vpp (soit 1 Vpp en différentiel) et le courant qui en résulte est principalement déterminé par la valeur de la capacité de maintien et l'ensemble des éléments de filtrage qui limitent le pic de courant.

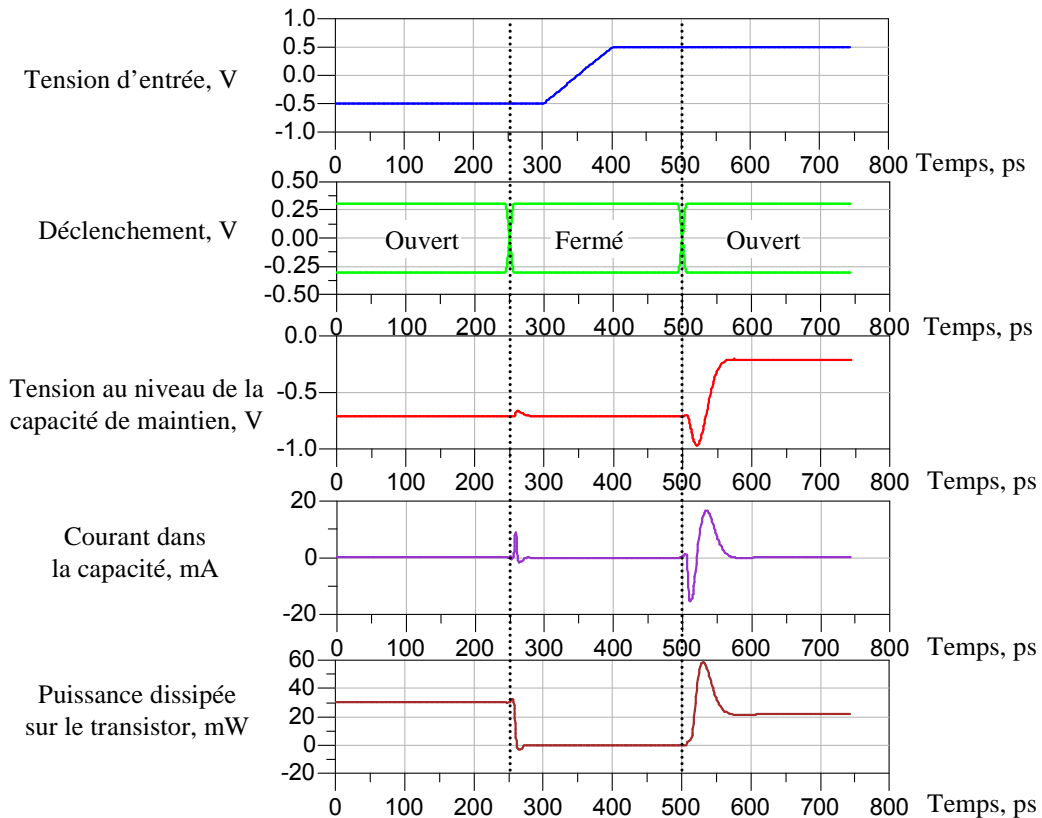


Figure 64 : Evolution des tensions et courants dans les conditions entraînant le pic maximal de puissance dissipée dans le transistor

On a ainsi identifié une contrainte absolue de la conception de l'échantillonneur-bloqueur : limiter la puissance dissipée dans le transistor pour ne pas altérer son comportement. Cette contrainte passe par la limitation du courant de polarisation, de la capacité de maintien et de la variation d'amplitude sur cette capacité.

2 Linéarité

On cherche dans ce paragraphe à déterminer les origines des non-linéarités pour en réduire les effets. Dans cette étude, la commutation n'intervient pas et on se contente d'étudier l'étage en mode passant, c'est-à-dire que l'on considère le schéma de la Figure 63.

2.1 Origine des non-linéarités

Pour montrer l'origine des non-linéarités, la Figure 65 représente la forme temporelle du signal au niveau de la capacité de maintien dans des conditions extrêmes, c'est-à-dire pour une amplitude d'entrée de 2 Vpp à une fréquence de 20 GHz. On observe alors une erreur importante au niveau de la partie décroissante de la sinusoïde : le signal sur la capacité décroît suivant une pente constante mais trop faible pour suivre le signal d'entrée. Ce phénomène est caractéristique d'une limitation en courant de l'étage d'amplification qui conduit à la charge de la capacité de maintien à courant constant : limitation due à la vitesse de balayage (slew rate).

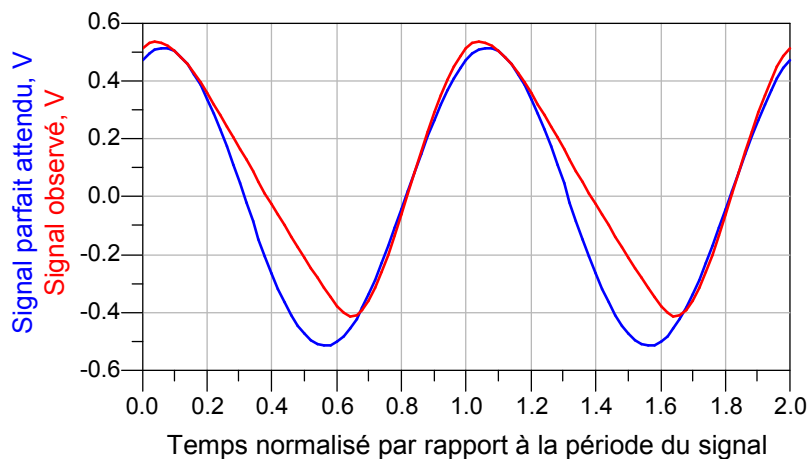


Figure 65 : Forme temporelle du signal de charge de la capacité de maintien de l'étage SEF

Si on regarde en effet le courant de charge de la capacité de maintien (Figure 66), on remarque que le courant nécessaire oscille de - 50 mA à + 50 mA. Le courant positif est fourni par le transistor Q1 qui subit alors un pic de courant, alors que le courant négatif est absorbé par la source de courant, et est donc limité dans notre cas à - 30 mA. Lorsque l'appel de courant est plus important, la sortie présente une limitation de courant (il y a saturation) ce qui justifie la décroissance uniforme de la tension et l'erreur observée.

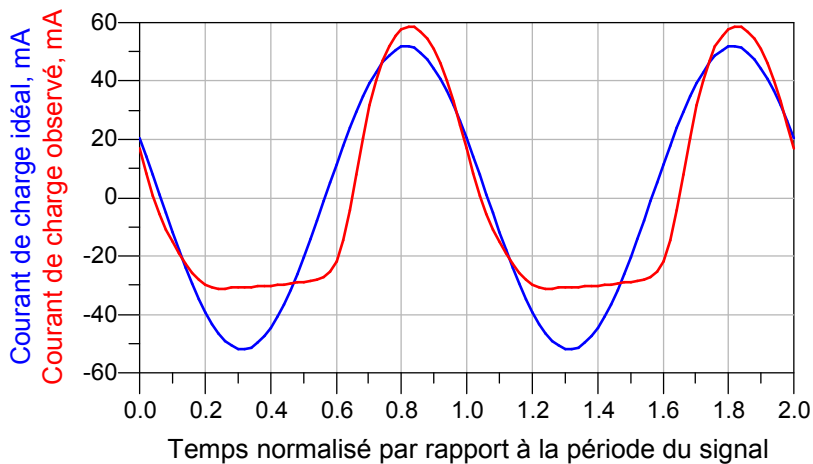


Figure 66 : Courant de charge de la capacité de maintien

Ce phénomène conduit à une erreur importante sur les premières composantes harmoniques. La composante harmonique deux est compensée par l'utilisation d'une structure différentielle mais la composante harmonique trois n'est pas compensée et constitue donc la principale source d'erreur de linéarité.

2.2 Interaction entre linéarité, courant de polarisation et capacité de maintien

Ayant identifié l'origine des non-linéarités de l'étage SEF, nous pouvons identifier les paramètres sur lesquels il faudra intervenir pour les réduire. Le minimum de linéarité sera atteint lorsque la pente du signal sera la plus élevée, c'est-à-dire lorsque la fréquence et l'amplitude du signal d'entrée seront les plus élevées. Pour réduire ces non-linéarités, il faut augmenter le courant de polarisation et réduire la capacité de maintien.

La Figure 67 représente l'évolution des non-linéarités en fonction du courant de polarisation et de la valeur de la capacité de maintien. Ce réseau de courbes a été obtenu pour une amplitude du signal d'entrée de 0,5 Vpp, c'est-à-dire l'amplitude maximale exigée par le cahier des charges (1 Vpp en différentiel) à une fréquence de 8 GHz, fréquence de référence. Nous avons choisi de représenter les non-linéarités par le rapport de puissance de la troisième composante harmonique sur la puissance de la composante fondamentale, ce qui est équivalent au SFDR de l'architecture différentielle. Comme la puissance des composantes harmoniques diminue rapidement, le SFDR est quasi équivalent au taux de distorsion harmonique (THD, rapport de puissance entre la composante fondamentale et l'ensemble des composantes harmoniques).

Cette figure nous permet de vérifier que les non-linéarités augmentent lorsqu'on accroît la valeur de la capacité de maintien ou lorsqu'on réduit le courant de polarisation. On constate cependant que pour de forts courants l'évolution des non-linéarités est inversée. Ceci a certainement pour origine d'autres phénomènes non-linéaires du transistor car cet effet est de plus en plus marqué lorsqu'on réduit la tension collecteur-émetteur.

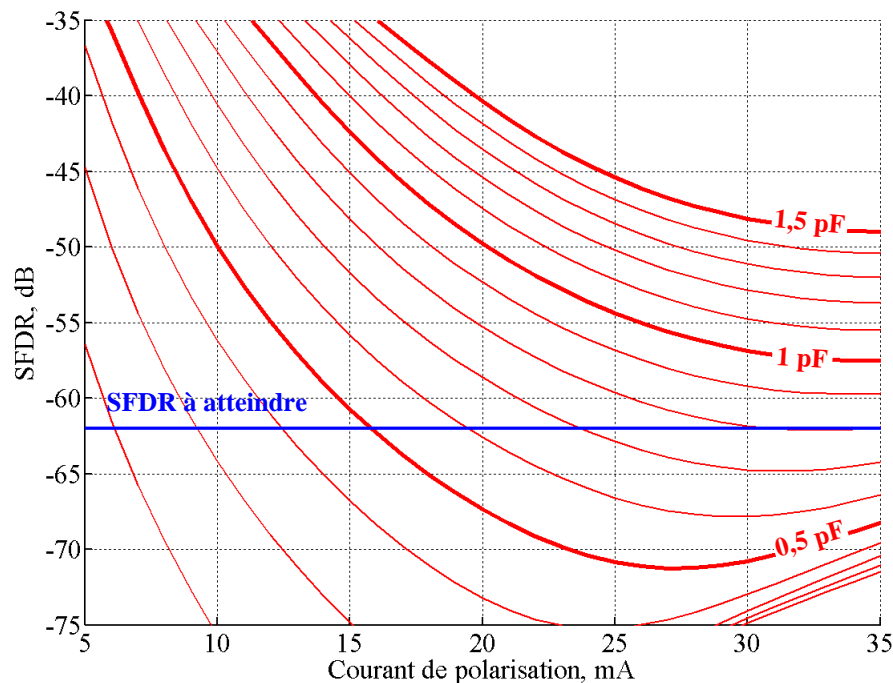


Figure 67 : SFDR en fonction du courant de polarisation du transistor pour différentes valeurs de la capacité de maintien (par pas de 0,1 pF), pour un signal d'entrée de 0,5 Vpp à 8 GHz

Cette figure nous permet de mettre en évidence l'interaction entre linéarité, courant de polarisation du transistor et valeur de la capacité de maintien. Ainsi une augmentation de la valeur de la capacité de maintien induit une dégradation de la linéarité alors qu'une augmentation du courant de polarisation permet – généralement – une amélioration de la linéarité.

3 Bande-passante

3.1 Bande-passante et puissance maximale dissipée

La bande-passante dépend en premier lieu de la capacité de maintien. En effet, si on réduit la vitesse de variation de la tension au moment de la charge de la capacité de maintien sans changer la valeur de cette capacité, on diminue le pic de courant et donc la puissance maximale dissipée dans le transistor. Un moyen simple de réduire cette vitesse de variation est de diminuer la bande-passante de l'étage SEF : plus la bande-passante sera faible et plus la charge de la capacité de maintien sera lente. Il convient ici de préciser que la forme du filtrage joue aussi un rôle important sur la charge de la capacité de maintien et donc sur le courant qui la traverse.

L'équation (37) est rappelée ci-dessous :

$$i_{E\ Max} = i_{Polar} + C_{Maintien} \cdot \left(\frac{dV_{Sortie}}{dt} \right)_{Max} \quad (37)$$

D'après cette équation, pour un même courant de polarisation, une augmentation de la vitesse de commutation doit être compensée par une réduction de la capacité de maintien pour limiter la puissance maximale dissipée par le transistor. De la même façon, une augmentation de la capacité de maintien doit être accompagnée d'une réduction de la bande-passante.

Un second lien entre courant de polarisation et bande-passante s'exerce par l'intermédiaire de la résistance R_C (Figure 62). Lorsque l'échantillonneur-bloqueur fonctionne en mode bloqué, le courant qui servait à la polarisation du transistor traverse alors la résistance R_C , provoquant ainsi une chute de tension sur la base du transistor qui se retrouve polarisé en inverse et donc en mode bloqué. Pour assurer un fonctionnement correct, la chute de tension doit être d'environ 1,2 V. La loi d'Ohm associe alors la valeur de la résistance R_C au courant de polarisation. Or l'étage SEF présente une impédance d'entrée capacitive qui, associée à la résistance R_C , crée un filtre passe-bas. Une réduction du courant de polarisation entraîne donc une augmentation de la résistance R_C et donc une réduction de la bande-passante.

Dans le premier cas décrit, la réduction de la bande-passante permet de limiter la variation d'amplitude sur la capacité de maintien et ainsi réduit le pic de courant associé à la charge de la capacité. Dans le second cas, la réduction de la bande-passante permet de réduire le courant de polarisation. Les deux liens identifiés nous conduisent donc à la même conclusion : pour réduire la puissance maximale dissipée sur le transistor, il faut réduire la bande-passante, ou, autrement dit, une augmentation de la bande-passante implique une augmentation de la puissance dissipée par le transistor.

3.2 Bande-passante et linéarité

Si l'on s'en tient à l'architecture proposée Figure 62, on ne peut pas décorrélérer l'amélioration de la bande-passante et celle de la linéarité. En effet, tous les paramètres de conception sont définis à partir du courant de polarisation : la résistance d'entrée est fixée directement à partir du courant de polarisation pour avoir une chute de tension en mode bloqué de 1,2 V et la valeur de la capacité est fixée par la puissance maximale que peut dissiper le transistor.

On peut alors déterminer les performances en bande-passante et linéarité en fonction du courant de polarisation. Ces résultats sont présentés Figure 68, la linéarité étant représentée par le rapport de puissance de la troisième composante harmonique sur la composante fondamentale pour une tension crête-à-crête du signal d'entrée de 0,5 Vpp à 8 GHz. Le calcul de la linéarité n'a été effectué que dans les cas où la bande-passante est supérieure à 8 GHz, ce qui est le cas à partir d'un courant de polarisation de 12 mA.

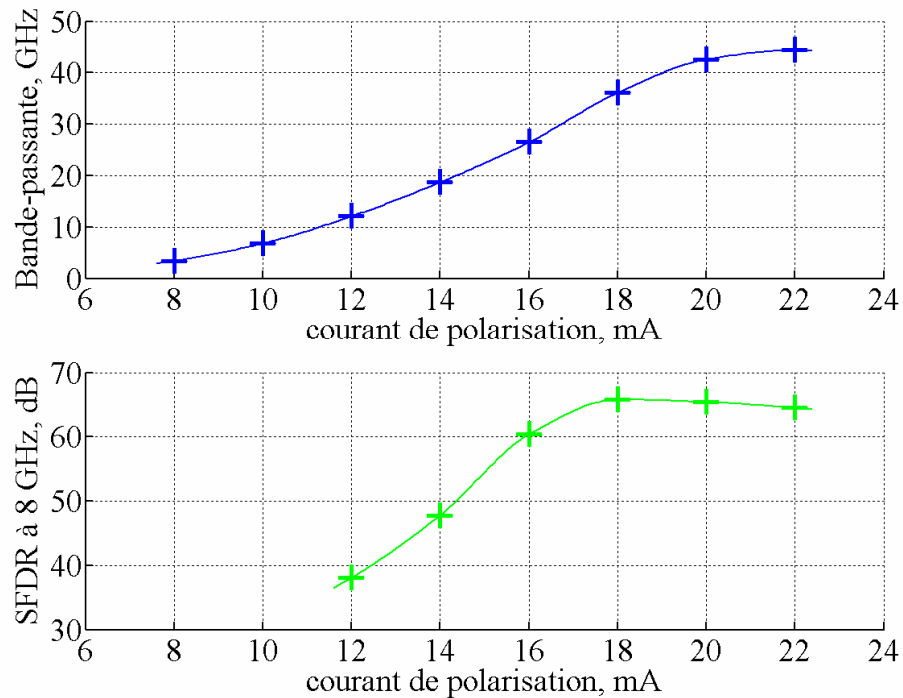


Figure 68 : SFDR et bande-passante de l'architecture SEF en fonction du courant de polarisation

On constate alors que pour obtenir un SFDR suffisant, il faut un courant de polarisation d'au moins 16,25 mA. Dans ces conditions, la capacité de maintien est réduite à 0,39 pF alors que la bande-passante est de 27,8 GHz, donc bien au dessus de nos objectifs.

Si l'on parvient à dissocier le lien entre bande-passante et linéarité, il sera possible de réduire la bande-passante pour augmenter la valeur de la capacité de maintien tout en conservant une bonne linéarité. Cet objectif est atteint en ajoutant un filtre au niveau de la capacité de maintien. Dans notre

étude nous avons placé une simple résistance R_{BP} en série sur l'émetteur du transistor (Figure 69) ; associée à la capacité de maintien elle joue le rôle de filtre passe-bas et permet ainsi d'intervenir sur la bande-passante. Avec la résistance R_{BP} , il devient donc possible d'augmenter la capacité de maintien en conservant la même linéarité mais en réduisant la bande-passante.

Cette résistance présente aussi un autre avantage : lorsque le courant qui traverse le transistor est élevé, la tension aux bornes de la résistance augmente, réduisant ainsi la tension collecteur-émetteur du transistor. Elle permet donc de réduire la puissance dissipée par le transistor.

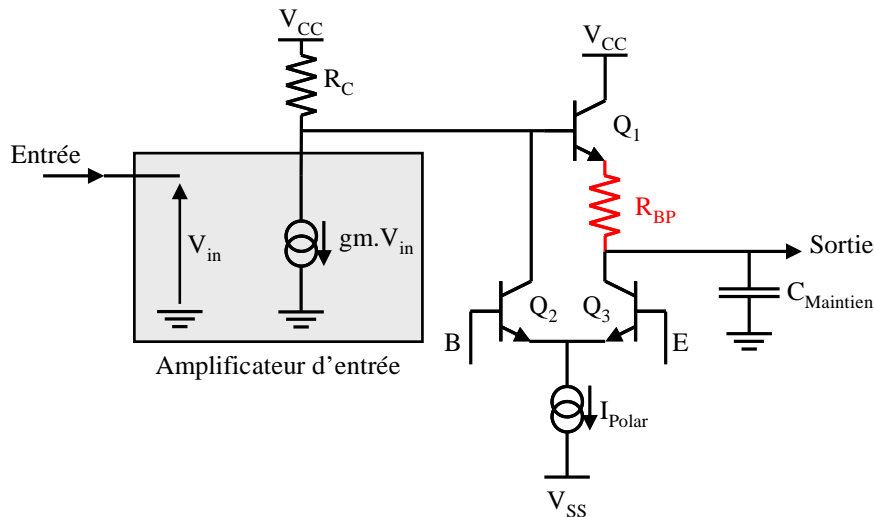


Figure 69 : Nouveau schéma de l'étage SEF en intégrant une résistance R_{BP} pour limiter la bande-passante

3.3 Conclusion

Les paramètres de bande-passante, linéarité et capacité de maintien sont tous trois améliorés lorsqu'on augmente le courant de polarisation. Cependant l'augmentation du courant de polarisation se heurte à une contrainte incontournable : la puissance maximale que peut dissiper le transistor. Nous avons ensuite établi les trois relations suivantes :

- L'augmentation de la linéarité impose une réduction de la capacité de maintien ;
- L'augmentation de la bande-passante impose aussi une réduction de la capacité de maintien ;
- L'augmentation de la bande-passante impose une réduction de la linéarité ;

On constate alors que l'amélioration de chaque paramètre s'oppose à celles des deux autres.

La conception d'un échantillonneur-bloqueur basé sur un étage SEF nécessite donc de trouver le compromis optimal entre bande-passante, linéarité et valeur de la capacité de maintien. Si l'on s'en tient à l'architecture de la Figure 69, l'augmentation de la capacité de maintien et l'amélioration de la linéarité peuvent être synthétisées en un seul paramètre : le nombre de bits effectifs. On crée ainsi une relation entre bande-passante et nombre de bits effectifs et la conception se limite au choix du compromis souhaité. Cependant différentes améliorations de cette architecture

peuvent être apportées en favorisant un des trois paramètres sans trop influencer sur les deux autres. Ces modifications de l'architecture feront l'objet de la partie suivante.

Notons aussi que certains facteurs ne font pas partie des contraintes clairement identifiées mais peuvent influencer les choix. Pour le même nombre de bits effectifs à 8 GHz, on préférera peut être avoir une bande-passante plus faible et conserver une bonne résolution plutôt qu'une large bande-passante et une résolution qui se dégrade très rapidement.

4 Taille du transistor

Pour tester l'influence de la taille du transistor, nous avons conçu un échantillonneur-bloqueur atteignant nos spécifications à partir de transistors de surface d'émetteur de $10 \times 2 \mu\text{m}^2$. Les performances ont été simulées en termes de bande-passante, SFDR à 8GHz et puissance maximale sur le transistor. Nous avons ensuite changé la taille des transistors en modifiant les variables de conception proportionnellement à la variation de surface d'émetteur (la résistance R_C a été divisée proportionnellement alors que la capacité de maintien et le courant de polarisation ont été multipliés proportionnellement) à l'exception de la résistance R_{BP} qui a été ajustée pour garder une bande-passante constante. Pour les cinq tailles de transistors testés (de $3 \times 2 \mu\text{m}^2$ à $20 \times 2 \mu\text{m}^2$), la variation du SFDR à 8 GHz est quasi nulle (Figure 70) et la puissance maximale sur le transistor évolue proportionnellement à la surface d'émetteur. La taille du transistor n'influence donc que très peu les performances de l'étage SEF.

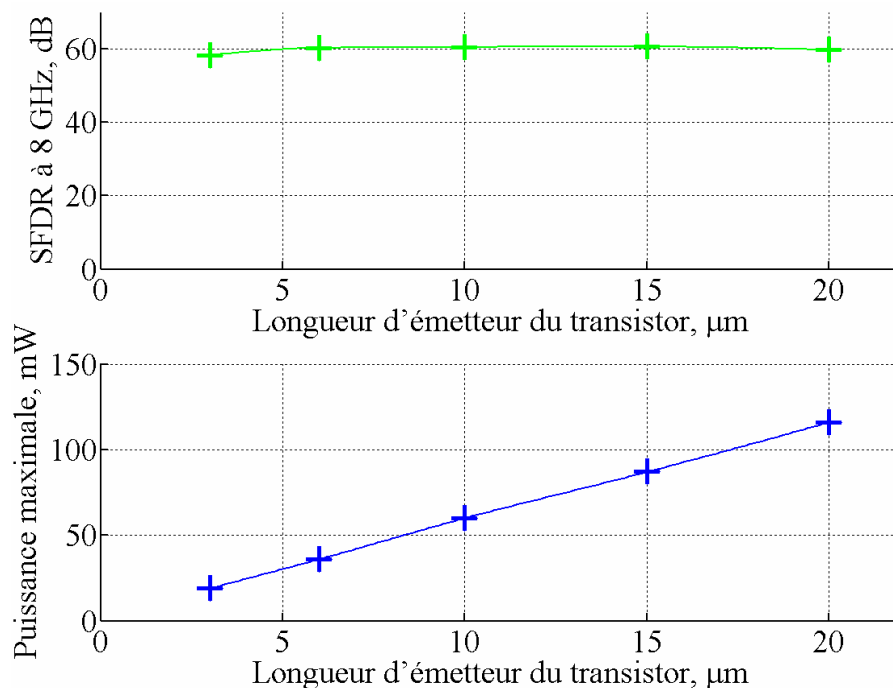


Figure 70 : SFDR et puissance maximale dissipée par le transistor de l'étage SEF en fonction de la longueur d'émetteur du transistor (largeur fixe de $2 \mu\text{m}$)

Toutefois la taille du transistor joue un rôle important sur la conception des différents éléments de l'échantillonneur-bloqueur. En effet, si l'on diminue sa taille, on réduit la capacité de

maintien ce qui rend plus difficile la conception de l'amplificateur de sortie car son impédance d'entrée doit être augmentée. Si l'on augmente trop la taille du transistor, c'est l'amplificateur d'entrée qui devient le facteur limitant car il n'est plus en mesure de piloter la faible impédance d'entrée de l'étage SEF. En augmentant la taille du transistor, on augmente aussi la taille des transistors de la paire différentielle et il faut alors augmenter la taille de l'inverseur qui la pilote.

On a donc intérêt à choisir un transistor de taille moyenne, qui permet à la fois de conserver des courants de polarisation raisonnables (donc une puissance consommée plus faible) et de disposer de transistors plus petits pour l'étage de sortie. Le choix de taille de transistor étant relativement limité (au niveau de développement actuel de la filière), nous utilisons un transistor de surface d'émetteur de $10 \times 2 \mu\text{m}^2$.

III - Modifications de l'architecture SEF

Nous avons cherché précédemment à obtenir la plus grande valeur possible de capacité de maintien. Cet objectif s'explique en effet par deux raisons principales qui apparaissent en mode bloqué : la pente de décroissance et le défaut d'isolation. Ces deux phénomènes seront détaillés dans cette partie. Pour compenser la trop faible valeur de capacité de maintien que l'on obtient lors de l'optimisation vis-à-vis de ces deux effets parasites, de nombreuses modifications de l'architecture SEF ont été proposées dans la littérature. Nous discuterons certaines de ces améliorations et de nouvelles seront proposées.

1.1 Défaut d'isolation

- **Ondulation maximale acceptable**

L'ondulation en mode bloqué est équivalente à un signal parasite qui modifie la valeur de l'échantillon. Elle intervient donc au même titre que le bruit sur la dégradation de la résolution et nous pouvons reprendre les équations que nous avons développées dans le premier chapitre.

Pour être tout à fait précis l'ondulation, contrairement au bruit ou au jitter, n'intervient que sur le mode bloqué. Il est donc possible de filtrer cette erreur. Par exemple si le signal d'entrée a une fréquence de 10 GHz, l'ondulation autour de la valeur échantillonnée aura aussi une fréquence de 10 GHz et un filtre passe-bas de fréquence de coupure plus basse permettra d'atténuer fortement cette valeur. Cependant, pour nos applications nous visons des fréquences d'échantillonnage rapides, de l'ordre de 2 à 4 GEch/s. Il nous est donc impossible de filtrer l'échantillon pour en réduire l'ondulation.

L'équation de la puissance de l'erreur (cf chapitre 1) nous permet d'écrire :

$$M(U_{\text{Erreur}}^2) = \frac{LSB^2}{12} = \frac{A_{\text{Ondulation}}^2}{2} \quad (39)$$

$$A_{\text{Ondulation}} = \frac{LSB}{\sqrt{6}} \quad (40)$$

**Avec $A_{\text{Ondulation}}$: amplitude maximale de l'ondulation
(soit la moitié de l'ondulation crête-à-crête)**

D'après cette formule et pour atteindre 10 bits effectifs, l'ondulation crête-à-crête doit donc être limitée à 0,4 mV sur chaque voie d'échantillonnage, ce qui représente une isolation de 62 dB.

• Origine du défaut d'isolation

Le défaut d'isolation en mode bloqué a pour principale origine la capacité parasite base-émetteur du transistor qui commute dans l'étage SEF (Figure 71).

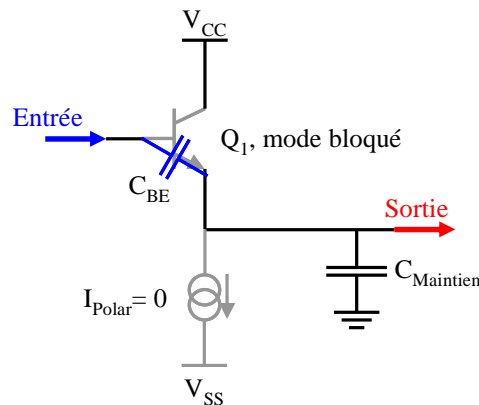


Figure 71 : Pont diviseur capacitif équivalent au SEF en mode bloqué

En première approximation cette capacité parasite crée, avec la capacité de maintien, un pont diviseur capacitif de fonction de transfert ([110]) :

$$\frac{V_{\text{Sortie}}}{V_{\text{Entrée}}} = \frac{C_{BE}}{C_{BE} + C_{\text{Maintien}}} \quad (41)$$

Avec $V_{\text{Entrée}}$ et V_{Sortie} : tensions d'entrée et de sortie, C_{BE} : Capacité base-émetteur du transistor commuté de l'étage SEF et C_{Maintien} : capacité de maintien

Cette formule nous permet surtout d'obtenir des tendances : pour améliorer l'isolation il faut augmenter la valeur de la capacité de maintien et diminuer la taille du transistor qui commute. En simulant l'architecture développée précédemment on obtient une isolation d'environ 30 dB qui varie peu en fonction de la fréquence (Figure 72). On constate alors que l'isolation obtenue est bien trop faible vis-à-vis de nos objectifs, malgré la contrainte que l'on s'était fixée de choisir la capacité de

maintien la plus élevée possible. Il faut donc modifier l'architecture pour respecter le cahier des charges fixé.

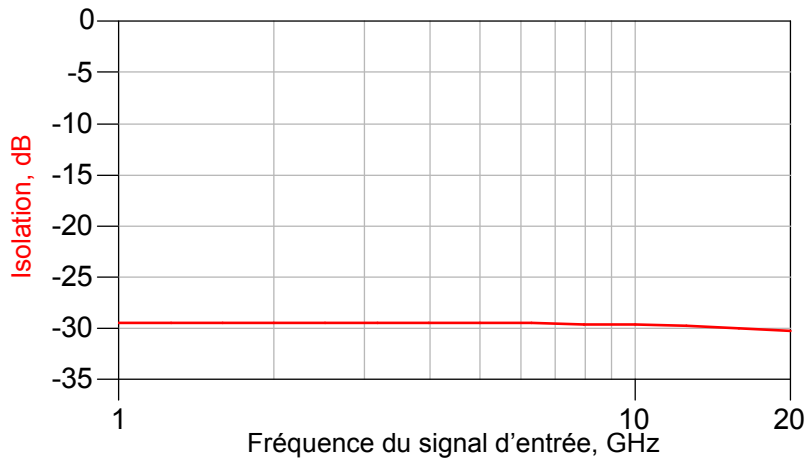


Figure 72 : Isolation en mode bloqué de l'étage SEF en fonction de la fréquence du signal

1.2 Compensation de la capacité base-émetteur

• Principe et réalisation

Comme on utilise une structure différentielle, le principe de cette compensation repose sur l'ajout d'une capacité C_{ff} de même valeur que la capacité parasite C_{BE} entre la capacité de maintien et la voie opposée (Figure 73).

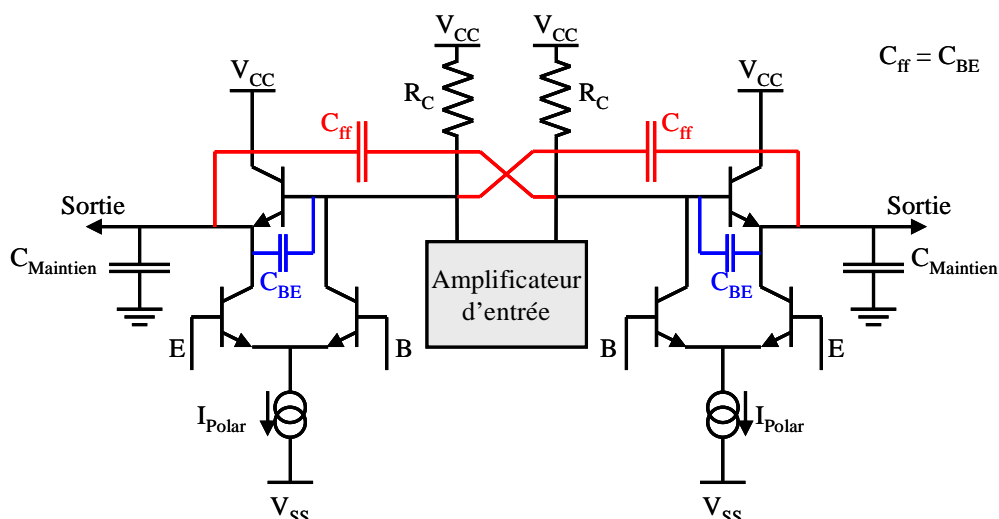


Figure 73 : Compensation des capacités parasites C_{BE} sur l'architecture différentielle

Pour réaliser cette capacité avec une bonne précision, le montage de la Figure 74 est souvent retenu. Les quatre transistors sont connectés en diodes, tête-bêche deux à deux pour assurer le mode

bloqué dans toutes les conditions de polarisation. Sur chacune des deux branches parallèles on obtient alors une capacité équivalente de $2.C_{BE}$, soit au total une capacité équivalente C_{BE} .

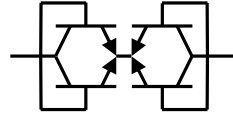


Figure 74 : Réalisation concrète de la capacité C_{ff}

En termes de bande-passante cette solution est assez désastreuse : elle s'accompagne en effet en mode passant d'un effet Miller équivalent au triplement de la capacité base-émetteur du transistor de l'étage SEF.

• Résultats de simulation

Comme la capacité base-émetteur des transistors dépend de la tension de polarisation, le niveau d'isolation dépend de la tension continue base-émetteur du transistor en mode bloqué. En mode bloqué cette tension dépend de la chute de tension de l'entrée (fixée par le courant de polarisation et la résistance R_C) et du niveau de l'échantillon prélevé. Or le niveau de l'échantillon n'est pas fixe, et on peut avoir une variation de $\pm 0,25$ V autour de sa valeur moyenne. On va donc chercher à optimiser l'isolation sur toute l'excursion de tension du signal, donc sur un intervalle de 0,5 V.

On observe Figure 75 que l'isolation atteint une valeur optimale pour une tension base-émetteur de 0,01 V, mais en prenant une tension base-émetteur continue moyenne de 0,07 V, on assure une isolation optimale de 49 dB sur toute l'excursion du signal.

Une tension moyenne base-émetteur en mode bloquée de 0,07 V est obtenue pour une chute de la tension d'entrée de 1,2 V.

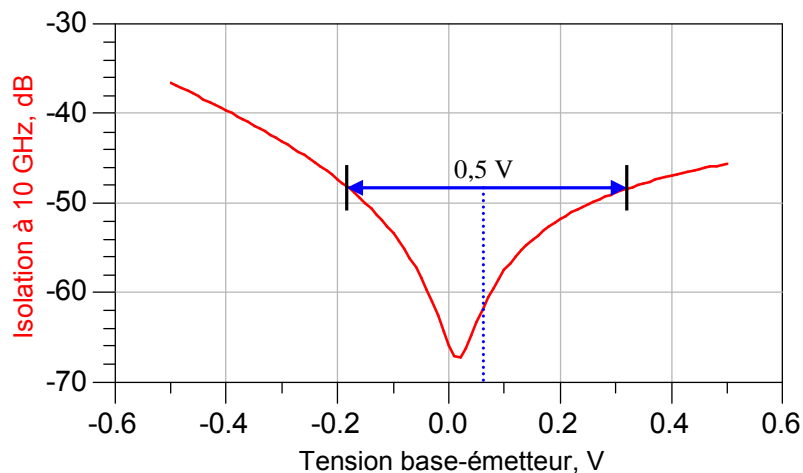


Figure 75: Isolation du SEF en mode bloqué à 10 GHz en fonction de la tension base-émetteur du transistor

Cette technique nous permet donc de gagner presque 20 dB d'isolation, en revanche nous n'atteignons toujours pas notre objectif de 62 dB d'isolation sur toute la bande-passante.

Lorsqu'on change la taille des transistors qui constituent la capacité C_{ff} , on remarque Tableau 14 que la tension continue optimale et l'isolation évoluent. Il est ainsi possible d'améliorer la linéarité au prix d'une augmentation de la chute de tension nécessaire, ou, réciproquement, de réduire la chute de tension nécessaire au prix d'une réduction de la linéarité. La chute de tension étant préalablement fixée à 1,2 V, si l'on modifie sa valeur on intervient aussi sur l'équilibre bande-passante, linéarité, capacité de maintien.

Composition de la capacité C_{ff}	2 T15 et 2 T10	1 T15 et 3 T10	4 T10	3 T10 et 1 T6	2 T10 et 2 T6
Tension continue moyenne	- 0,24 V	- 0,12 V	0,07 V	0,32 V	0,78 V
Chute de tension nécessaire	0,83 V	1,01 V	1,2 V	1,45 V	1,91 V
Isolation minimale à 10 GHz	- 43,7 dB	- 45,8 dB	- 48,3 dB	- 50,80 dB	- 57,0 dB

Tableau 14 : Tension continue et isolation minimale en fonction des transistors qui composent la capacité C_{ff}

Nous disposons donc d'une variable d'ajustement pour améliorer l'isolation de l'échantillonneur-bloqueur en mode bloqué : en fonction de la tension base-émetteur continue moyenne, il est possible d'optimiser l'isolation en jouant sur la taille des transistors de la capacité de compensation. Le choix retenu pour notre conception sera réalisé dans la partie suivante, en fonction de la chute de tension de base.

1.3 Réduction du signal d'entrée

- **Principe de la technique**

Une autre possibilité pour améliorer l'isolation est d'atténuer la puissance du signal sur l'entrée du transistor. C'est le cas lorsqu'on place en entrée un transistor monté en diode et polarisé par une source de tension (Figure 76). En mode passant la diode est bloquée et se comporte comme une capacité de faible valeur, mais en mode bloqué la chute de tension d'entrée rend la diode passante et le signal se retrouve alors écrasé autour de la tension continue imposée par la diode.

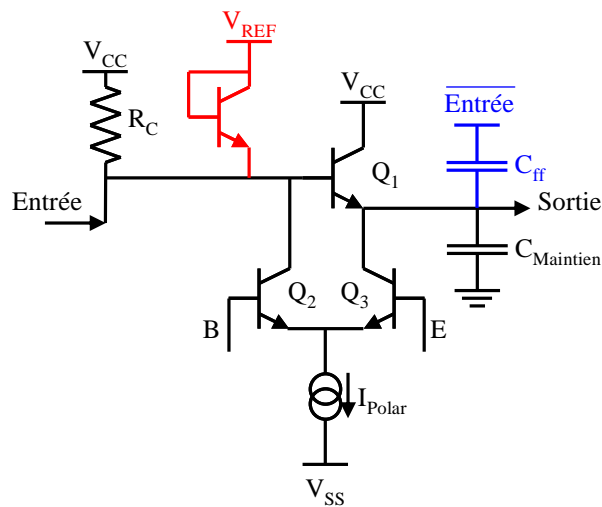


Figure 76 : Schéma de l'échantillonneur-bloqueur avec les circuits d'amélioration de l'isolation

Cette solution présente cependant deux inconvénients majeurs. Premièrement, la diode ajoutée sur l'entrée se comporte comme une capacité parasite en mode passant, c'est-à-dire qu'une fois encore on réduit la bande-passante. Deuxièmement le courant de polarisation de cette diode est dévié de la résistance R_C , ce qui réduit la tension de chute du mode bloqué.

- **Conception optimale**

En utilisant un transistor T10 comme diode et en lui accordant une polarisation en mode bloqué de 10 mA, on atténue de plus de 16 dB la puissance du signal d'entrée. Sans changer le courant de polarisation ni la valeur de la résistance R_C , la chute de tension d'entrée n'est plus que de 0,85 V. En reprenant les valeurs du Tableau 14, on est très proche des conditions de la première colonne et on choisit alors une capacité C_{ff} composée de deux transistors T10 et deux T15.

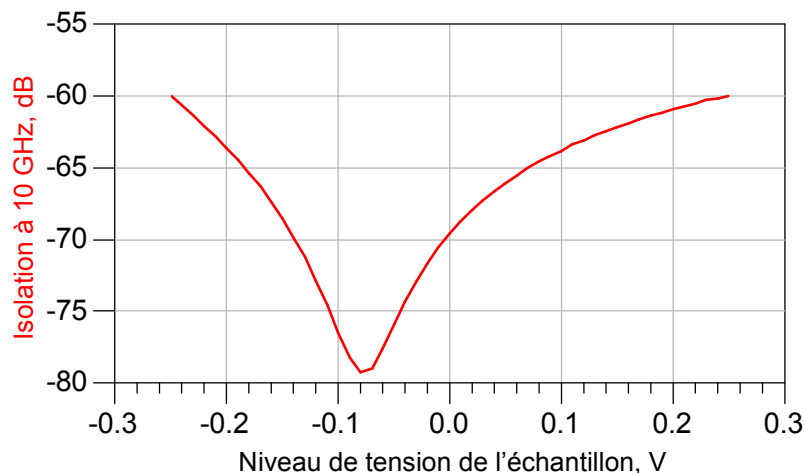


Figure 77 : Isolation à 10 GHz en mode bloqué en fonction du niveau de l'échantillon stocké

Les résultats obtenus sont présentés Figure 77, et on remarque que l'isolation minimale est alors de 60 dB. Cette double modification de la capacité C_{ff} et de la diode d'entrée nous a donc permis de gagner 12 dB d'isolation en mode bloqué.

1.4 Pente de décroissance

La pente de décroissance est créée par les courants de fuite qui déchargent la capacité de maintien. En l'absence d'amplificateur de sortie, la pente de décroissance sur la capacité de maintien est extrêmement faible car les courants de fuite de l'étage SEF sont très faibles. Deux paramètres sont donc à prendre en compte pour le calcul de la pente de décroissance : la valeur de la capacité de maintien et le courant d'entrée de l'amplificateur de sortie. Ce deuxième paramètre étant primordial pour la conception de l'amplificateur de sortie, la pente de décroissance sera étudiée dans la partie amplificateur de sortie.

IV - Amplificateur d'entrée

L'amplificateur d'entrée joue un double rôle dans le système d'échantillonnage : il doit en effet présenter en sortie des caractéristiques compatibles avec l'étage SEF et s'adapter aux contraintes du système en amont pour le perturber le moins possible, notamment lors des commutations. En sortie on cherche en effet un signal présentant une grande linéarité, une bande-passante élevée et une impédance de sortie adaptée à l'étage SEF. L'entrée en revanche présentera soit une haute impédance, soit une impédance adaptée 50 Ω selon l'architecture du système d'échantillonnage. Le gain en tension sera unitaire et l'amplificateur présentera un faible niveau de bruit. L'amplificateur doit aussi présenter une bonne isolation pour que les commutations de l'étage SEF ne perturbent pas les autres voies d'échantillonnage. L'isolation nécessaire dépend de l'architecture globale du système d'échantillonnage. Enfin, comme tout élément de l'échantillonneur-bloqueur, l'amplificateur d'entrée doit avoir une structure différentielle.

Dans cette partie nous étudierons l'influence de ces différentes contraintes et en premier lieu la linéarité. La paire différentielle sur laquelle est basé cet amplificateur présentant de faibles valeurs de linéarité, des techniques de linéarisation seront décrites avant d'aborder les autres contraintes.

1 La paire différentielle : le cœur de l'amplificateur

La contrainte de réaliser un amplificateur différentiel, large-bande et de gain unitaire nous pousse au choix d'une architecture basée sur une paire différentielle. De plus, les topologies associées s'adaptent tout à fait à l'étage SEF car elles présentent en sortie une résistance connectée à la tension d'alimentation positive. Cette résistance R_C fait alors le lien entre l'étage amplificateur d'entrée et l'étage SEF et participe au fonctionnement des deux étages. Sa valeur étant fixée par les performances de l'étage SEF, on adaptera la conception de l'amplificateur d'entrée à cette valeur.

Nous proposons dans un premier temps d'étudier l'amplificateur constitué d'une simple paire différentielle représenté Figure 78.

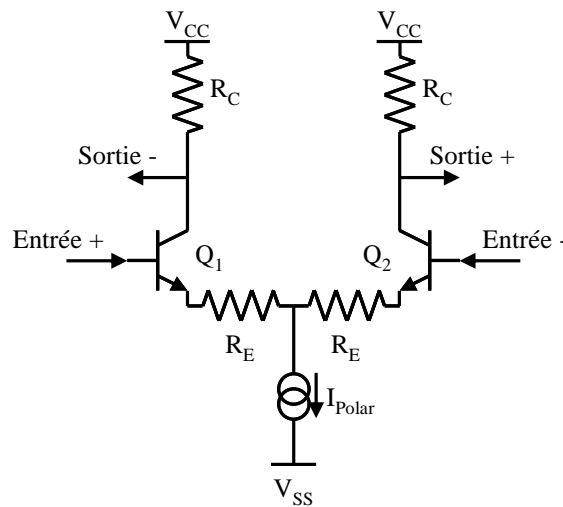


Figure 78 : Amplificateur constitué d'une simple paire différentielle

1.1 Conception de l'amplificateur basé sur une paire différentielle

Ayant fixé la valeur de la résistance R_C lors de la conception de l'étage SEF, l'excursion du signal de sortie nous permet de déterminer le courant de polarisation. En effet, lorsque la paire différentielle est complètement déséquilibrée, l'une des deux branches a un courant de polarisation nul et la tension de sortie est donc la tension d'alimentation positive alors que l'autre voie reçoit la quasi-totalité du courant de polarisation. Ainsi le courant de polarisation est associé à l'excursion de sortie par la relation suivante :

$$i_{Polar} = i_{Base} + \frac{V_{Excursion}}{2 \cdot R_C} \quad (42)$$

Avec i_{Polar} : courant de polarisation de la paire différentielle, i_{Base} : courant de polarisation de la base du transistor qui conduit et $V_{Excursion}$: excursion différentielle de sortie.

Le courant de polarisation ayant été fixé, le dernier paramètre de conception à déterminer est la résistance R_E de dégénérescence de la paire différentielle. Sa valeur est fixée pour obtenir en sortie un gain petit signal unitaire en basse fréquence. Sa valeur est légèrement plus faible que celle de la résistance R_C car elle se trouve en série avec la résistance d'accès de l'émetteur du transistor et que le courant de collecteur est légèrement plus faible que le courant d'émetteur pour polariser la base du transistor.

La tension d'alimentation positive est fixée pour atteindre les performances idéales des transistors, c'est-à-dire obtenir une tension de polarisation collecteur-émetteur de 1,6 V pour optimiser la fréquence de coupure F_T .

Enfin, la taille minimale des transistors est déterminée par la puissance à dissiper. Dans notre cas la puissance moyenne est de 24 mW et la puissance crête d'environ 40,5 mW. D'autre part, on cherche à réduire les capacités parasites des transistors pour améliorer la bande-passante. On va donc choisir les plus petits transistors qui permettent de dissiper la puissance. Dans notre cas, des transistors T10 de surface d'émetteur de $10 \times 2 \mu\text{m}^2$.

1.2 Linéarité de la paire différentielle

- **Linéarité statique**

La paire différentielle présente un inconvénient majeur : sa faible linéarité. Lorsqu'elle n'est pas dégénérée, une formule approchée du gain de la paire différentielle est donnée par la relation :

$$V_{Sortie} = i_{Polar} \cdot R_C \cdot \tanh\left(\frac{-V_{Entrée}}{2 \cdot V_t}\right) \quad (43)$$

Avec $V_{Entrée}$ et V_{Sortie} : tensions d'entrée et de sortie, \tanh : fonction tangente hyperbolique,

$$V_t = \frac{k \cdot T}{q}, \quad k : \text{constante de Boltzmann}, \quad T : \text{température et } q : \text{charge de l'électron}$$

Lorsque la paire différentielle est dégénérée, il est plus facile d'exprimer la tension d'entrée en fonction de la tension de sortie :

$$V_{Entrée} = 2 \cdot V_t \cdot \operatorname{argtanh}\left(\frac{-V_{Sortie}}{i_{Polar} \cdot R_C}\right) - \frac{R_E + r_e}{R_C} \cdot V_{Sortie} \quad (44)$$

Avec $\operatorname{argtanh}$: fonction inverse de la tangente hyperbolique et r_e : résistance d'accès de l'émetteur du transistor

Cette formule associe un premier terme non linéaire exprimé par la fonction inverse de la tangente hyperbolique et un second terme linéaire. La paire différentielle est donc statiquement non-linéaire. Seul le courant de polarisation peut être modifié pour améliorer la linéarité. En effet, le second terme de l'équation détermine le gain de la paire différentielle, V_t est une constante et R_C a été fixée par l'étage SEF. Pour réduire l'influence du premier terme, la seule possibilité est donc d'augmenter le courant de polarisation.

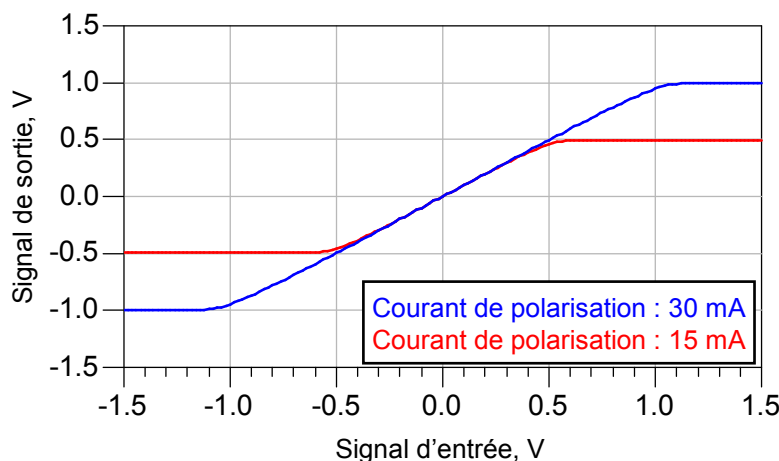


Figure 79 : Tension de sortie de la paire différentielle en fonction de la tension d'entrée pour des courants de polarisation de 15 et 30 mA

Pour répondre au cahier des charges, on souhaite obtenir une très bonne linéarité sur une tension d'excursion de $1 V_{PP}$. Il faut donc éloigner les zones de saturation de la paire différentielle en augmentant le courant de polarisation (Figure 79).

L'augmentation du courant de polarisation de la paire différentielle permet donc une amélioration de la linéarité de l'amplificateur mais se traduit aussi par une augmentation de l'excursion de tension du signal de sortie.

- **Linéarité dynamique**

La linéarité dynamique est donnée Figure 80 pour des courants de polarisation de 15 et 30 mA. Cette linéarité est représentée par le SFDR du signal de sortie lorsqu'on fixe l'excursion du signal d'entrée à $1 V_{PP}$. Pour un courant de 15 mA, le SFDR est alors d'environ -33 dB sur toute la bande-passante, ce qui est bien loin de notre objectif de -62 dB sur l'ensemble de l'échantillonneur-bloqueur. Lorsqu'on double le courant de polarisation, la linéarité est nettement améliorée et on atteint un SFDR de -44 dB à 8 GHz, mais cette valeur est encore insuffisante.

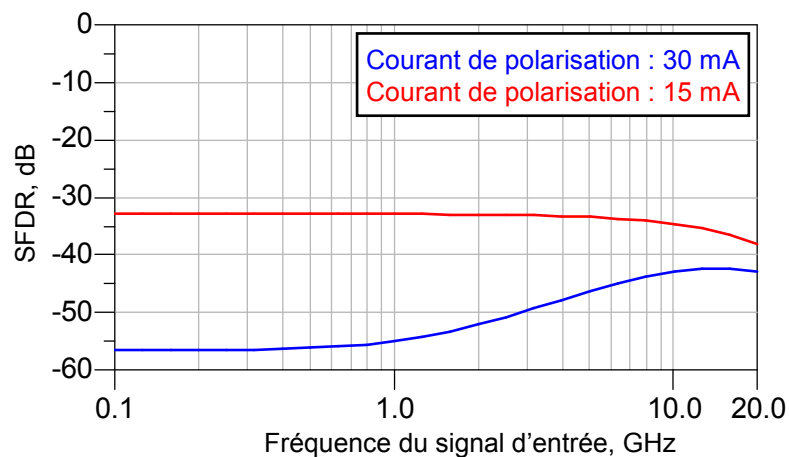


Figure 80 : SFDR de la sortie de la paire différentielle pour un signal d'entrée différentiel de $1 V_{PP}$ en fonction de la fréquence

1.3 Linéarisation de la paire différentielle

Plusieurs montages ont été proposés dans la littérature pour améliorer la linéarité de la paire différentielle ([110], [111], [112], [113]). Ces techniques sont basées soit sur la compensation de la composante non-linéaire par un effet inverse, soit sur la reproduction du phénomène non-linéaire pour l'extraire du courant de chaque branche. Suite aux résultats publiés ([110], [114], [112]) et aux simulations que nous avons-nous-mêmes effectuées, nous avons choisi d'utiliser l'architecture représentée Figure 81 et qui consiste simplement à ajouter sur chaque branche de la paire différentielle un transistor connecté en diode. Les autres montages présentent souvent une bien meilleure amélioration de la linéarité à basse fréquence mais des performances beaucoup moins bonnes dans la bande de fréquences allant de 6 à 12 GHz. L'une des causes de la différence observée vient sans doute des conditions très particulières dans lesquelles nous utilisons cet amplificateur car l'entrée capacitive

de l'étage SEF influence fortement la linéarité de l'amplificateur. Le choix d'une architecture très simple nous permet aussi d'identifier plus facilement l'influence des différents paramètres de conception et ainsi d'en optimiser les performances.

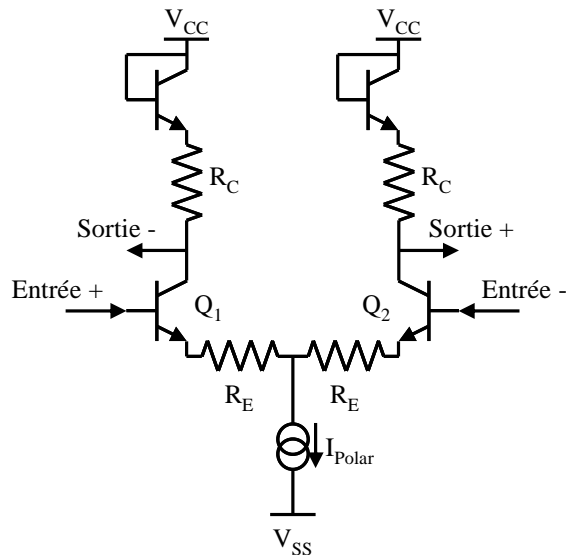


Figure 81 : Paire différentielle chargée par des transistors connectés en diodes

Les résultats de la simulation statique sont présentés Figure 82. L'erreur du signal de sortie, c'est-à-dire la différence entre sortie et entrée, est nettement plus faible avec les diodes que sans, et on constate aussi que l'excursion de sortie a été fortement augmentée sans changer le courant de polarisation.

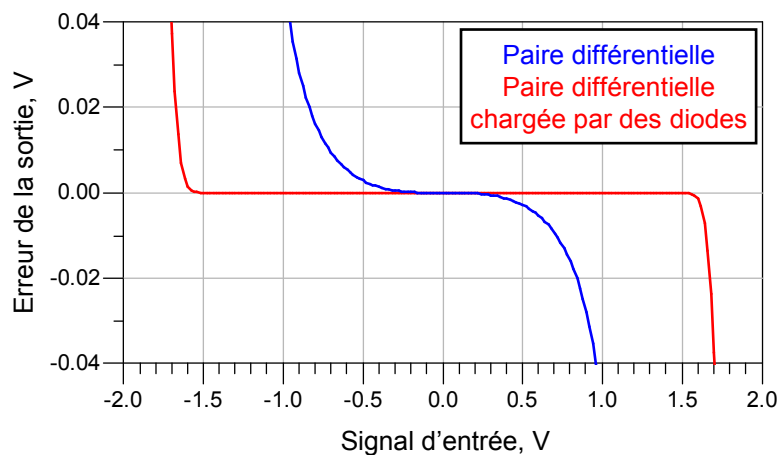


Figure 82 : Erreur statique de la paire différentielle et de la paire différentielle chargée par des diodes en fonction de la tension du signal d'entrée

Les résultats dynamiques vont aussi dans le même sens : l'ajout de diodes sur les deux branches de la paire différentielle améliore nettement la linéarité (Figure 83). Pour les basses fréquences l'amélioration est spectaculaire et on conserve une amélioration importante sur toute la bande-passante. A 8 GHz on gagne encore 6 dB sur le SFDR qui passe alors à - 60,5 dB, valeur proche de notre objectif initial.

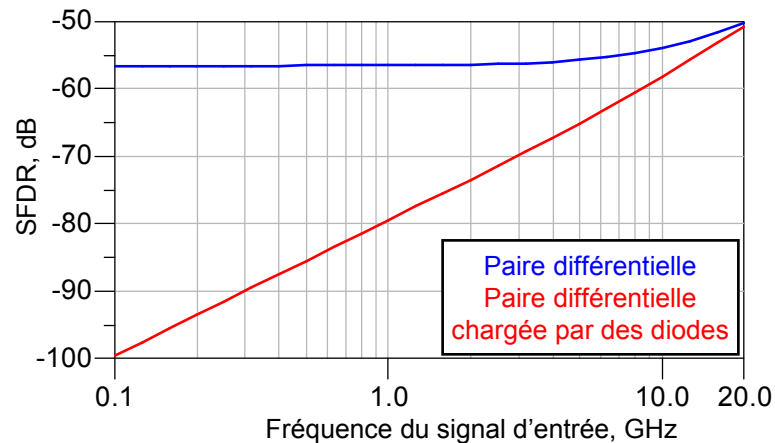


Figure 83 : SFDR de la sortie de la paire différentielle et de la paire différentielle chargée par des diodes pour un signal d'entrée de 1 VPP en fonction de la fréquence

Afin d'optimiser la linéarité, la tension collecteur-émetteur de polarisation des transistors de la paire différentielle a été portée de 1,6 V à 2,6 V, ce qui correspond alors à la limite de puissance des transistors. Cette augmentation de la tension de polarisation permet aussi de présenter sur la sortie de l'amplificateur une tension continue relevée de 0,6 V par rapport à l'entrée et ainsi de compenser partiellement le décalage de - 1,1 V imposé par l'étage SEF.

2 Influence des contraintes d'entrée

2.1 Impédance d'entrée

L'impédance d'entrée de la paire différentielle a été étudiée en détail dans la partie A - II - 1.3. Elle est principalement capacitive et évolue en fonction de la tension différentielle d'entrée. Dans notre cas la paire différentielle est dégénérée ce qui réduit fortement l'influence de la tension d'entrée, mais l'impédance reste trop faible pour notre application : une impédance différentielle équivalente à une capacité d'entrée de 54 fF est obtenue en simulation.

Certaines architectures comme le Cherry-Hooper ([115]) sont couramment utilisées dans les systèmes d'échantillonnage ([69]) entre autres car elles permettent d'améliorer significativement l'impédance d'entrée ([13]). La linéarité obtenue avec ces architectures étant souvent relativement faible, nous ne conservons pas cette solution.

Nous choisissons de placer en entrée un simple étage à collecteurs communs (Figure 84), ce qui permet de gagner plus d'un facteur trois sur la capacité d'entrée qui passe alors à 16 fF en mode

différentiel. Pour atteindre une impédance d'entrée de 50Ω (soit 100Ω en différentiel), on se contente de placer en parallèle des résistances de 50Ω .

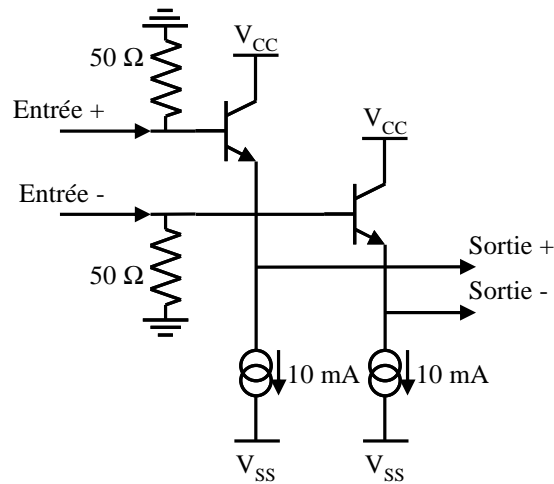


Figure 84 : Etage d'entrée de l'amplificateur d'entrée

Le taux de réflexion de cet amplificateur est représenté Figure 85 et présente une bonne adaptation compte tenu de la très large bande-passante.

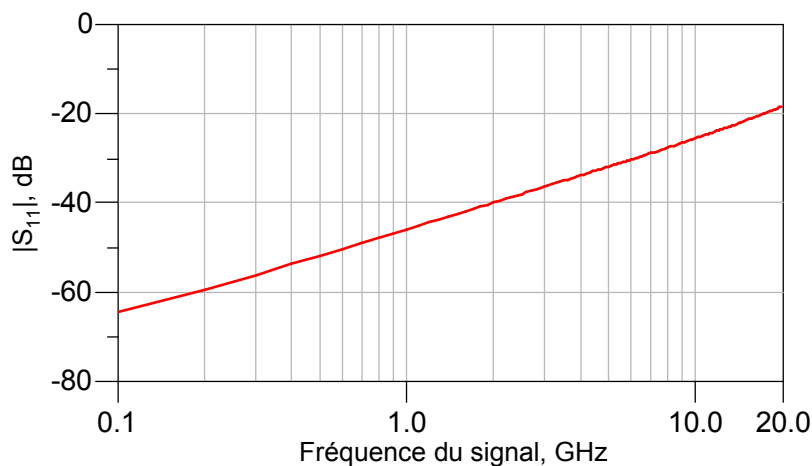


Figure 85 : Taux de réflexion $|S_{11}|$ de l'amplificateur adapté 50Ω

2.2 Isolation

L'amplificateur d'entrée doit présenter une isolation suffisante pour ne pas perturber les autres voies d'échantillonnage lors des commutations. Ces commutations ont pour principal effet de créer une variation brutale de la tension de mode commun de sortie d'environ 1 V, mais les appels de courant générés lors de la charge de la capacité de maintien se répercutent aussi sur l'entrée. On va donc se placer dans le pire des cas, c'est-à-dire lorsque l'échantillonneur-bloqueur est rouvert sur une différence de potentiel de 1 V_{pp}. L'erreur qui s'ajoute au signal d'entrée lors de l'ouverture et de la

fermeture de l'échantillonneur-bloqueur est représentée Figure 86. Bien que les niveaux soient faibles, l'erreur atteint des extremums de l'ordre de 15 mV ce qui représente environ 15 LSB pour un système de conversion analogique-numérique de 10 bits.

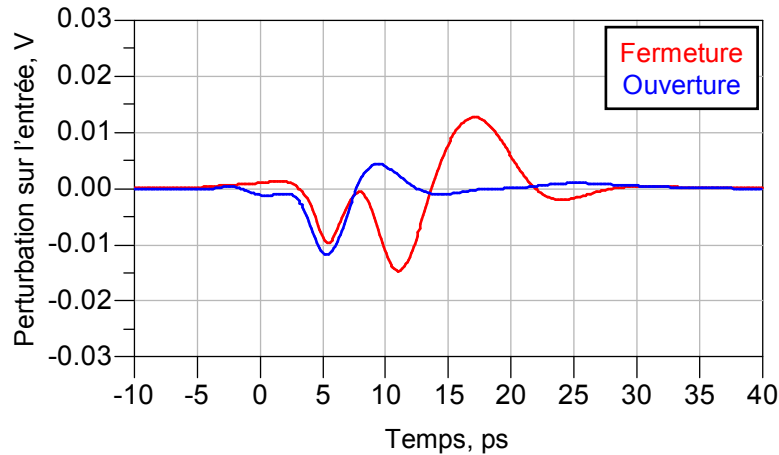


Figure 86 : Erreur sur l'entrée de l'échantillonneur-bloqueur apportée par le déclenchement de l'ouverture et de la fermeture du composant

La condition sur l'isolation étant de ne pas gêner les autres voies d'échantillonnage, deux solutions permettent d'aboutir à ce résultat : soit temporellement ces perturbations interviennent à des instants où le signal peut être dégradé sans perte d'information, soit on réduit l'influence de ces perturbations à un niveau suffisamment faible pour ne pas perdre d'information sur le signal. La première solution présente l'avantage de réduire la contrainte d'isolation que l'on impose à l'amplificateur d'entrée de l'échantillonneur-bloqueur, mais nécessite une optimisation complexe du système d'échantillonnage car la durée des perturbations est d'environ 40 ps, donc bien plus élevée que le pas d'échantillonnage de 25 ps. La deuxième solution impose, elle, un niveau d'isolation de l'amplificateur d'entrée extrêmement sévère : il faut réduire les perturbations pour que les pics d'amplitude soient inférieurs à 0,4 mV. Pour atteindre cette performance, il faut gagner 32 dB d'isolation sur l'amplificateur actuel. Ceci n'est possible qu'en ajoutant un second étage d'amplification en entrée de l'échantillonneur-bloqueur. Ce pré-étage d'isolation permet aussi de réduire la capacité d'entrée mais dégrade les performances en bande-passante et linéarité.

V - Amplificateur de sortie

Les contraintes de conception de l'amplificateur de sortie sont légèrement différentes de celles de l'amplificateur d'entrée. Si l'architecture reste différentielle, on y ajoute une nouvelle exigence : obtenir une bonne réjection du mode commun. Pour que la sortie soit peu sensible aux perturbations de commutation et à la pente de décroissance il faut en effet supprimer le mode commun pour ne conserver que le mode différentiel. Le gain de mode différentiel est toujours unitaire, ce qui permet de conserver le même niveau de signal à travers tous les éléments de l'échantillonneur-bloqueur et ainsi de réduire le niveau de bruit. Comme cela a été évoqué lors de la conception de

l'étage SEF, l'impédance d'entrée de l'amplificateur de sortie doit être très élevée pour isoler au maximum la capacité de maintien. En revanche, l'impédance de sortie doit être relativement faible, et adaptée à une ligne 50Ω . Comme le cahier des charges impose une excursion de tension de sortie de $1 V_{PP}$, on a donc des courants de sortie importants. L'échantillonneur-bloqueur est suivi soit d'un autre échantillonneur-bloqueur dans une architecture maître-esclave, soit d'un convertisseur analogique-numérique, et dans les deux cas une ligne de transmission adaptée en impédance est préférable pour éviter les réflexions parasites. La contrainte de bande-passante est légèrement différente de celle habituellement retenue pour un amplificateur purement analogique : il faut en effet que la sortie soit représentative de l'échantillon prélevé en un temps plus faible que la demi-période de travail de l'échantillonneur-bloqueur. On s'intéresse donc au temps de réponse de l'amplificateur à un échelon plutôt qu'à sa bande-passante à -3 dB . De plus, il est souhaitable de ne pas surestimer la bande-passante nécessaire, car plus la bande-passante sera large et plus la puissance de bruit sera élevée. Enfin, les contraintes de linéarité sont moins importantes que pour l'amplificateur d'entrée car l'erreur ne dépend que de la tension de l'échantillon et est donc statique. Il est alors plus facile d'améliorer la linéarité et on peut aussi envisager une correction numérique après la quantification des échantillons.

L'architecture de l'amplificateur de sortie est basée sur une paire différentielle car elle est tout à fait adaptée à la structure différentielle de notre échantillonneur-bloqueur, à la contrainte de gain unitaire et à la rejection de mode commun. Le choix des paramètres de la paire différentielle ayant été détaillé dans la partie amplificateur d'entrée, seules les principales étapes seront reprises dans une première sous-partie. La deuxième sous-partie sera consacrée à l'amélioration de l'impédance d'entrée pour obtenir une isolation suffisante de la capacité de maintien.

1 Paramètres de la paire différentielle

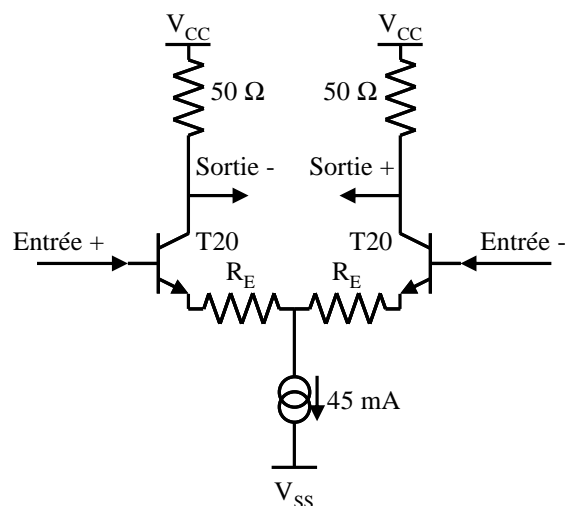


Figure 87 : Etage de sortie de l'amplificateur de sortie

Comme lors de la conception de l'amplificateur d'entrée, nous essayons de satisfaire en premier lieu la contrainte concernant l'impédance de sortie. Pour cet amplificateur on désire une impédance de sortie différentielle de 100Ω , sachant que chaque voie est chargée par une ligne de

transmission d'impédances 50Ω . Par commodité on choisit de centrer les signaux de sortie sur une tension nulle. Les résistances collecteur de chacune des branches sont alors fixées à 50Ω pour obtenir l'impédance de sortie désirée (Figure 87). L'adaptation de sortie obtenue est représentée Figure 88.

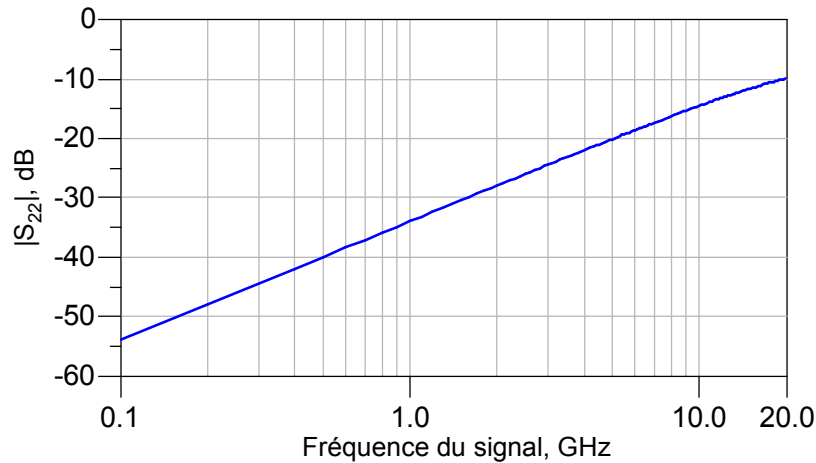


Figure 88 : Adaptation de sortie $|S_{22}|$ de l'amplificateur de sortie

Pour atteindre un SFDR proche de 60 dB pour une excursion de tension de sortie de $1 V_{pp}$, le courant de polarisation de la paire différentielle doit être d'environ 45 mA. Ce courant de polarisation très élevé nous contraint à utiliser des transistors de grande surface d'émetteur, d'autant plus que la paire différentielle a aussi pour rôle de rattraper les chutes de tension continue successives imposées par les étages collecteurs communs, et donc que la tension collecteur-émetteur est assez élevée (environ 4 V dans la conception finale).

La valeur des résistances de dégénérescence de la paire différentielle est fixée pour obtenir un gain unitaire. La tension d'alimentation positive est ajustée pour présenter en sortie une tension moyenne nulle.

2 Impédance d'entrée

Contrairement à l'amplificateur d'entrée, l'amplificateur de sortie peut présenter une impédance d'entrée capacitive. Cette capacité d'entrée se trouve alors en parallèle sur la capacité de maintien de l'étage SEF et peut donc être facilement compensée par une réduction de la capacité de maintien. En revanche le courant de polarisation de l'entrée de l'amplificateur de sortie doit être réduit au maximum : en mode bloqué ce courant est directement prélevé sur la capacité de maintien dont la faible valeur conduit à une décroissance rapide de la tension stockée. L'utilisation d'une architecture différentielle permet de compenser cette pente décroissante mais uniquement si le courant de polarisation est rigoureusement identique sur les deux voies. En pratique cette condition est difficile à respecter, d'une part car le courant de base des transistors de la paire différentielle évolue en fonction de la tension différentielle de l'entrée, et d'autre part car la moindre erreur de polarisation entre les deux branches différentielles entraîne une variation du courant d'entrée.

Au même titre que l'erreur d'ondulation, on souhaite que l'erreur imposée par les courants de fuite de l'amplificateur de sortie soit inférieure à 0,4 mV. Comme cette erreur varie au cours du temps, on se fixe un temps de maintien minimal de 500 ps qui correspond à la demi-période d'un échantillonnage à 1 GEch/s.

Les gros transistors utilisés pour la paire différentielle et le fort courant de polarisation jouent un rôle désastreux sur l'impédance d'entrée de l'amplificateur de sortie. Le courant de polarisation moyen de la base du transistor est en effet d'environ 0,5 mA, courant qui ne peut pas être prélevé directement sur la capacité de maintien qui se déchargerait trop rapidement (Tableau 15). De plus, le courant d'entrée de la paire différentielle évolue quasiment linéairement avec la tension différentielle appliquée et, lorsqu'on balaye toute la dynamique autorisée de 1 V_{pp}, ce courant varie de 0,36 mA. On observe donc une atténuation très rapide du signal différentiel de sortie.

Pour compenser cet effet on place un étage de collecteurs communs devant la paire différentielle. Un courant de polarisation de 12 mA est nécessaire pour piloter la capacité d'entrée de la paire différentielle ce qui conduit à un courant continu sur la base des transistors de 0,27 mA. On conserve donc un courant d'entrée élevé mais la variation de courant différentielle est réduite d'un facteur 34 et passe à 10,5 µA.

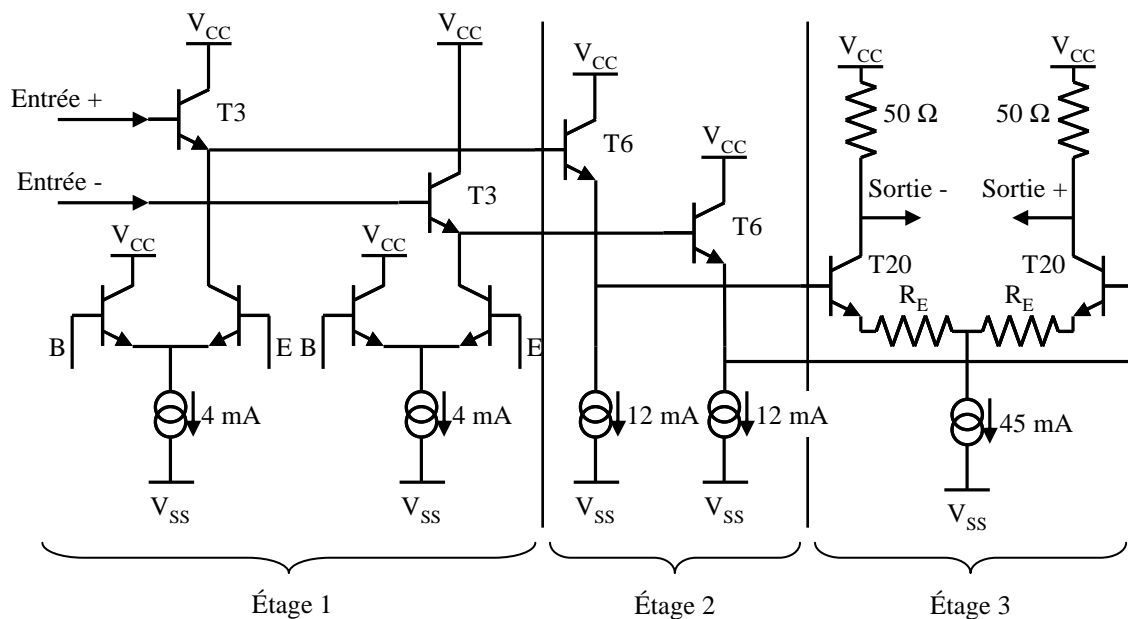


Figure 89: Schéma électrique de l'amplificateur de sortie

Pour réduire le courant d'entrée, on a recours à un étage de collecteurs communs commutés : en mode passant les transistors sont polarisés et se comportent comme un étage collecteur commun classique, mais en mode bloqué les transistors ne sont plus polarisés et se comportent comme un montage Darlington en liaison avec les transistors de l'étage suivant ([28], [116]). Cette architecture présente un très faible courant d'entrée en mode bloqué mais permet d'atteindre des fréquences d'échantillonnage élevées car les capacités parasites du transistor sont chargées pendant le mode passant. Dans notre cas le temps de stabilisation du niveau du signal après la coupure du courant de

polarisation est d'environ 50 ps, ce qui permet théoriquement un échantillonnage correct du signal jusqu'à une fréquence de 10 GHz.

Le schéma de l'amplificateur complet est représenté Figure 89. Le Tableau 15 présente les performances de l'amplificateur de sortie en fonction des différents étages pris en compte. Ce tableau récapitule sur les deux premières colonnes le courant d'entrée moyen sur chaque voie et le courant maximal différentiel. Ces valeurs sont ensuite traduites en termes de performances pour l'échantillonneur-bloqueur, en temps de maintien et en chute de tension sur chaque voie. Dans notre cas nous définissons le temps de maintien comme le temps pendant lequel l'erreur de sortie est inférieure à 0,4 mV. La chute de tension sur chaque voie est observée après un temps de maintien de 500 ps.

Amplificateur de sortie composé des étages :	Courant d'entrée moyen de chaque voie	Courant différentiel maximal	Temps de maintien	Baisse de tension de chaque voie en 500 ps
3	453 μA	360 μA	0,41 ps	453 mV
2 et 3	265 μA	10,5 μA	19,0 ps	265 mV
1 continuellement polarisé, 2 et 3	86 μA	0,38 μA	546 ps	86 mV
1 commuté, 2 et 3	5,6 μA	0,24 μA	837 ps	5,8 mV

Tableau 15 : Performances de l'amplificateur de sortie en fonction des étages considérés

Le Tableau 15 permet de valider les choix qui ont été faits : on constate en effet que l'amplificateur composé des étages 2 et 3 ne répond pas du tout à notre cahier des charges. Un étage supplémentaire est donc bien nécessaire. Lorsque l'étage 1 est continuellement polarisé, c'est-à-dire lorsque la source de courant n'est pas commutée, un temps de maintien supérieur à 500 ps est obtenu. En revanche le courant continu reste élevé et une baisse de tension de 86 mV est observée. Une simple différence de 1 % entre les deux voies différentielles nous conduirait alors à une erreur différentielle en sortie de 0,86 mV, valeur supérieure au critère que l'on s'est fixé. Pour obtenir des valeurs satisfaisantes à la fois en temps de maintien et en pente de décroissance, il est nécessaire de commuter le premier étage.

VI - Performances de l'échantillonneur-bloqueur

En rassemblant les différents éléments que nous avons précédemment développés, un échantillonneur-bloqueur a été conçu et évalué en simulation.

Le schéma électrique global est présenté Figure 90.

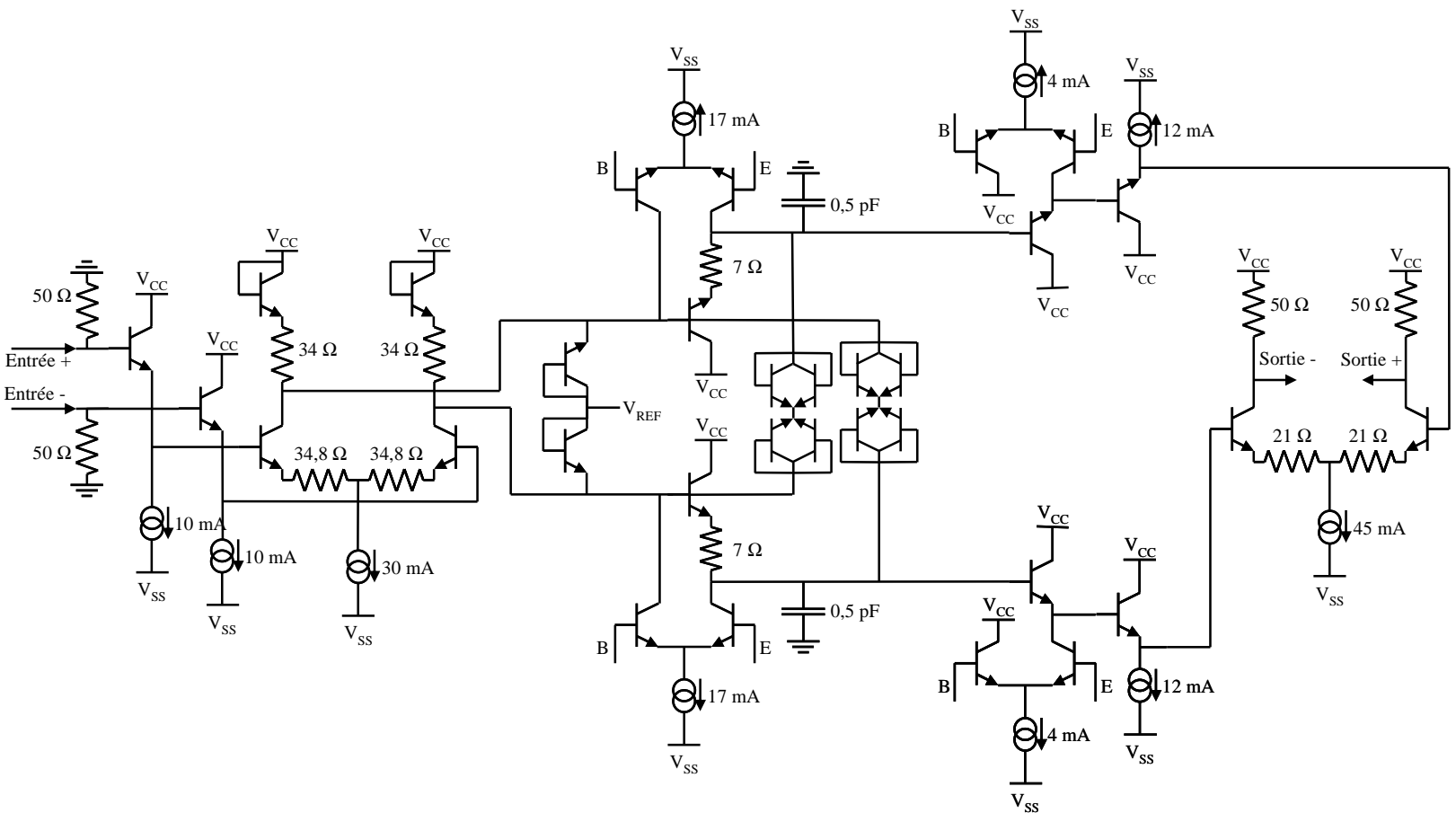


Figure 90 : Schéma électrique complet de l'échantillonneur-bloqueur conçu

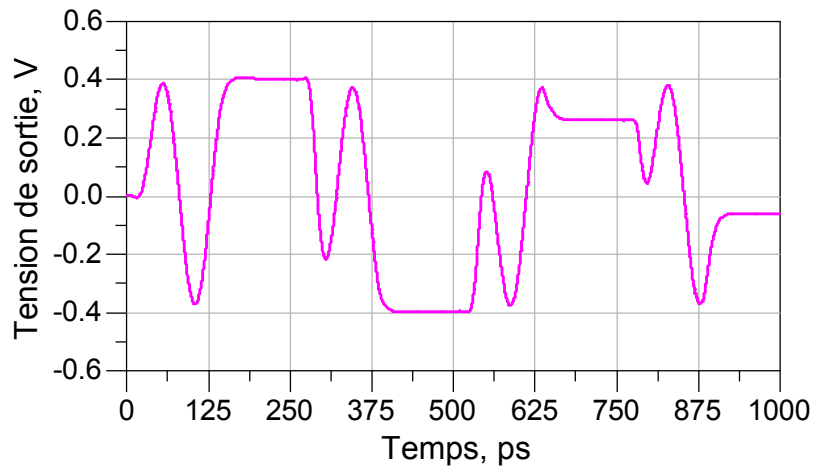


Figure 91 : Signal différentiel en sortie de l'échantillonneur-bloqueur pour un signal d'entrée de $1 V_{PP}$ à 10,35 GHz et une fréquence d'échantillonnage de 4 GEch/s

La Figure 91 représente la forme temporelle du signal de sortie de l'échantillonneur-bloqueur pour un signal d'entrée de $1 V_{PP}$ à 10,35 GHz et un échantillonnage à 4 GEch/s. On distingue bien un mode passant et mode bloqué. Pendant le mode passant, la sortie suit l'entrée avec un déphasage et une atténuation ; pendant le mode bloqué, le signal de sortie se stabilise progressivement sur la valeur de l'échantillon et est maintenu jusqu'au cycle suivant.

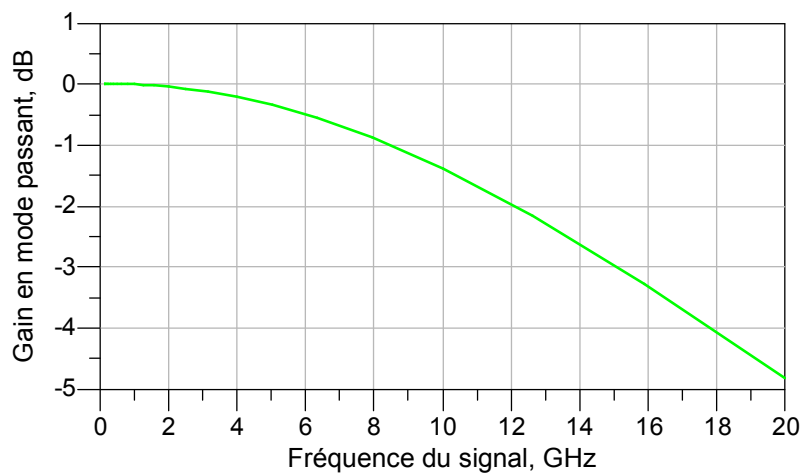


Figure 92 : Gain de l'échantillonneur-bloqueur en mode passant au niveau des capacités de maintien pour un signal d'entrée de $1 V_{PP}$ différentiel

Le gain en mode passant au niveau des capacités de maintien est représenté Figure 92. La bande-passante obtenue est de 15,1 GHz, c'est-à-dire que nous n'atteignons pas notre objectif de 20 GHz. La principale limitation vient de l'amplificateur d'entrée pour lequel nous avons choisi de favoriser la linéarité au détriment de la bande-passante. Contrairement aux échantillonneurs-bloqueurs commerciaux qui présentent une bande-passante équivalente en petits-signaux ([15], [16], [17]), la

bande-passante de notre conception ne dépend pas de la puissance du signal d'entrée et reste inchangée pour une amplitude d'entrée de 1 V_{pp}.

De plus, on remarque Figure 92 que l'atténuation de puissance pour des fréquences supérieures à la fréquence de coupure est assez lente. Ainsi, on ne perd que 4,8 dB à 20 GHz. Cette caractéristique est particulièrement intéressante lorsqu'on échantillonne des signaux de type impulsionnel qui présentent des temps de transition brefs.

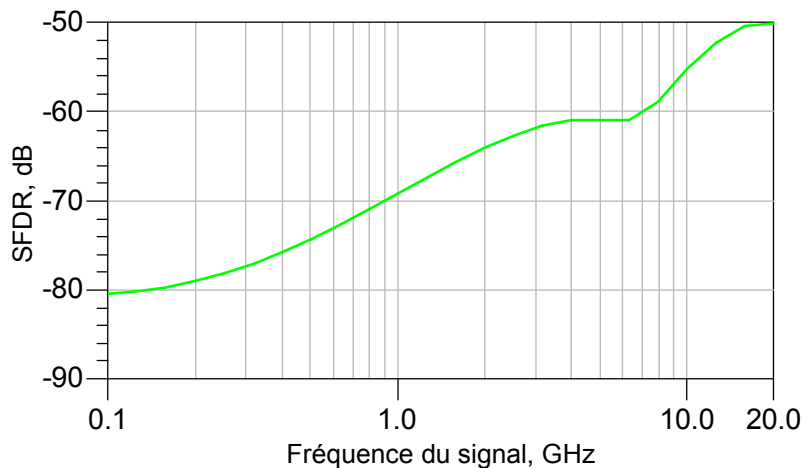


Figure 93 : SFDR au niveau des capacités de maintien pour un signal d'entrée à pleine puissance

La linéarité au niveau de la capacité de maintien est représentée Figure 93. Pour des fréquences jusqu'à 7 GHz, le SFDR est inférieur à -60 dB et il est encore de -59 dB à 8 GHz. Ces valeurs sont très proches de l'objectif (62 dB) et répondent parfaitement au caractère prioritaire de cette contrainte.

Enfin, la Figure 94 représente la limitation des influences cumulées des non-linéarités et des erreurs associées aux commutations. Cette fois le signal testé est pris en sortie de l'amplificateur de sortie, c'est-à-dire que l'on cumule l'influence de tous les éléments constituant l'échantillonneur-bloqueur. Les performances sont ici présentées pour une fréquence d'échantillonnage de 4 GEch/s. Les erreurs de bruit et de jitter ne sont pas prises en compte.

On constate alors que la résolution est excellente, supérieure à 8 bits effectifs pour des fréquences de 0 à 10 GHz. La résolution diminue ensuite, mais elle est toujours de 6,7 bits effectifs en fin de bande-passante, à 15 GHz.

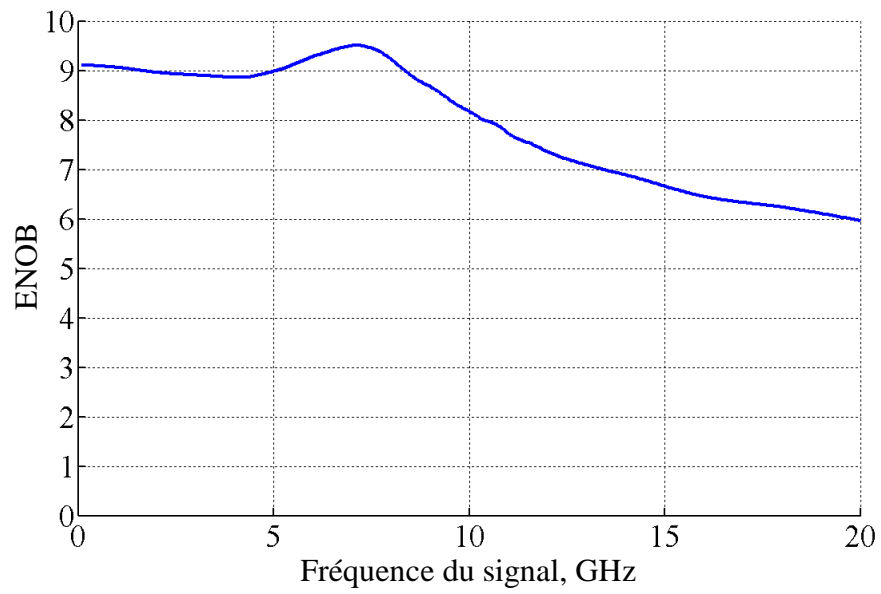


Figure 94 : Résolution de l'échantillonneur-bloqueur en fonction de la fréquence du signal d'entrée pour un échantillonnage à 4 GEch/s

Conclusion du chapitre 2

Dans ce chapitre nous avons étudié les deux fonctions de base des systèmes d'échantillonnage : l'inverseur, maillon de référence de la structure de déclenchement, et l'échantillonneur-bloqueur qui réalise le lien entre les signaux analogiques et numériques pour générer un signal échantillonné. Ces deux éléments de base sont la clé de l'amélioration des performances des systèmes d'échantillonnage. L'inverseur joue en effet un rôle direct sur la réduction du jitter et l'échantillonneur-bloqueur détermine presque exclusivement les limites de linéarité.

Ce chapitre a permis de mettre en évidence la forte interaction entre l'architecture du système complet et l'optimisation des performances de ces briques de base. Cette interaction joue dans les deux sens : l'architecture du système influence les performances des fonctions élémentaires et conjointement ces composants de base influencent aussi l'architecture du système. Nous nous sommes donc efforcés d'une part de prendre en compte les différentes utilisations possibles des composants et d'autre part de présenter les contraintes de conception dont il faudra tenir compte dans la définition de l'architecture du système d'échantillonnage.

Dans la première partie de ce chapitre, nous avons étudié et optimisé les performances de l'inverseur. La conception de l'inverseur est basée sur la famille logique ECL et les différents paramètres permettant de mesurer ses performances ont été précisés, particulièrement pour le jitter. Le fonctionnement de cet inverseur a ensuite été modélisé. Dans cette seconde sous-partie nous avons principalement étudié l'influence de l'inverseur sur la structure de déclenchement, c'est-à-dire son mode de fonctionnement et les contraintes qu'il impose sur le reste du système. Enfin la troisième sous-partie a été entièrement consacrée à l'optimisation du jitter : après avoir étudié ses origines, nous avons présenté le principe de simulation retenu. Les résultats de simulation ont été confrontés à des résultats expérimentaux pour valider la démarche d'optimisation du jitter de l'inverseur que nous avons menée ensuite. A l'issue de cette étape, nous avons identifié les règles d'optimisation du jitter de l'inverseur en fonction des contraintes de la structure de déclenchement.

La deuxième partie de ce chapitre a été consacrée à l'étude de l'échantillonneur-bloqueur. Après avoir présenté le gain en résolution apporté par une structure différentielle nous avons développé la conception de chaque étage de l'échantillonneur-bloqueur : l'étage SEF qui réalise la commutation, l'amplificateur d'entrée et l'amplificateur de sortie. Les relations entre paramètres de conception et performances de l'échantillonneur-bloqueur ont été présentées ainsi que les compromis réalisés. Enfin, la conception d'un échantillonneur-bloqueur a été proposée. Nous avons principalement visé l'amélioration de la linéarité et une résolution d'environ 9 bits effectifs a été atteinte en simulation pour un signal d'entrée de $1 V_{pp}$, pour une fréquence d'entrée jusqu'à 10 GHz.

Chapitre 3

Architecture des systèmes d'échantillonnage

Introduction du chapitre 3

L'objectif de ce chapitre est d'étudier et de proposer de nouvelles architectures d'échantillonnage adaptées à la numérisation de signaux large bande, haute résolution et à large fenêtre d'analyse.

Suite à l'étude bibliographique du chapitre 1, nous avons choisi de baser l'architecture du système d'échantillonnage sur un entrelacement temporel des voies d'échantillonnage. Les premières études et réalisations basées sur le principe du « picoscope » ont montré que cette architecture présentait plusieurs avantages pour la réalisation d'un système d'échantillonnage large bande et haute résolution ([86], [87], [88], [13]). Cependant ces résultats ont toujours été limités au cadre de l'échantillonnage mono-coup, c'est-à-dire pour une fenêtre d'analyse très courte (quelques ns). Nous avons donc choisi de nous focaliser d'abord sur l'adaptation de cette architecture à un contexte répétitif.

Dans le chapitre 2, nous avons étudié et optimisé deux éléments essentiels de ces architectures : les circuits numériques utilisés pour créer des retards et remettre en forme le signal de déclenchement, et l'échantillonneur-bloqueur, élément de base des voies d'échantillonnage. La démarche de ce troisième chapitre sera donc basé sur les résultats du chapitre 2, à la fois pour optimiser la conception des systèmes et pour en déterminer les performances.

La définition d'une architecture d'échantillonnage repose sur trois éléments fondamentaux : la structure de propagation, la structure de déclenchement et la ligne d'échantillonnage. Une ligne d'échantillonnage intègre plusieurs échantillonneurs-bloqueurs pour présenter des performances optimales en termes de bande-passante, de résolution et de temps de maintien. Chaque voie d'échantillonnage fonctionne en sous-échantillonnage, c'est-à-dire que la fréquence d'échantillonnage est inférieure au double de la bande-passante. Le système global en revanche, doit réaliser un échantillonnage dans les conditions de Nyquist (la fréquence d'échantillonnage est supérieure au double de la fréquence d'entrée maximale). Comme cela a été décrit au chapitre 1, on entrelace alors temporellement plusieurs lignes d'échantillonnage en déphasant leurs déclenchements. L'architecture du système dépend donc des performances des voies d'échantillonnage.

La structure de propagation a pour rôle de répartir le signal à analyser sur les différentes voies d'échantillonnage. Elle doit donc recopier le signal le plus fidèlement possible car toutes les erreurs introduites sur ce dernier (bruit et non-linéarité principalement) vont conduire à une réduction de la résolution. Mais elle doit aussi présenter des signaux identiques en phase et en amplitude sur chaque voie d'échantillonnage pour limiter les erreurs d'entrelacement temporel qui réduisent aussi la résolution du système.

Enfin, la structure de déclenchement génère les différents signaux qui permettent le déclenchement des voies d'échantillonnage. Elle assure donc la synchronisation des différents éléments du système en nous veillerons lors de sa conception à limiter les deux erreurs qui lui sont associées : le jitter dynamique et le jitter statique.

La première partie de ce chapitre sera consacrée à l'étude de la ligne d'échantillonnage. A partir des performances de l'échantillonneur-bloqueur développé au chapitre 2, nous proposerons une

voie d'échantillonnage adaptée aux exigences de notre cahier des charges. En fonction des performances atteintes, nous établirons alors les contraintes architecturales qui en résultent.

Nous proposerons ensuite trois nouvelles architectures de systèmes d'échantillonnage, inspirées des systèmes mono-coup, que nous avons adaptées à un fonctionnement répétitif. Chacune de ces architectures sera présentée dans une partie différente autour de trois axes : le principe de fonctionnement, la conception de la structure de propagation et de la structure de déclenchement et la simulation des performances.

A - Ligne d'échantillonnage

La structure habituelle de l'entrelacement temporel décrite dans le premier chapitre consiste à associer n échantillonneurs-bloqueurs. Chaque échantillonneur-bloqueur est ensuite suivi d'un autre échantillonneur-bloqueur dans une architecture maîtres-esclaves pour optimiser le temps pendant lequel on maintient l'échantillon en sortie. Chacune des n structures maître-esclave entrelacées alimente un codeur qui convertit numériquement les échantillons. Ce principe est schématisé dans la Figure 95.

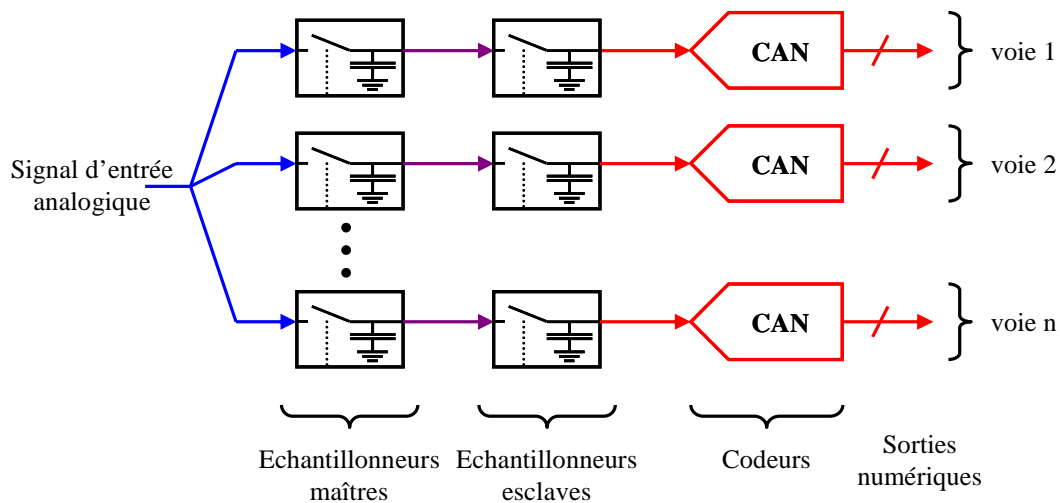


Figure 95 : Schéma de principe de l'entrelacement temporel des voies d'échantillonnage

Ayant pour objectif d'atteindre une fréquence d'échantillonnage totale de 40 GEch/s, la fréquence de travail de chaque ligne d'échantillonnage détermine le nombre de voies d'échantillonnage du système (équation (25) du premier chapitre). Nous nous intéressons donc à la fréquence optimale de chaque élément de la ligne d'échantillonnage. Dans le second chapitre nous avons étudié les performances de l'échantillonneur-bloqueur et il est apparu que son fonctionnement était optimal entre 1 et 5 GEch/s. L'étude bibliographique du premier chapitre sur les convertisseurs analogiques-numériques nous permet d'établir que la fréquence de travail maximale envisageable actuellement est, au mieux, de 2 GEch/s. C'est donc cet élément qui limite la fréquence de toute la ligne d'échantillonnage à une valeur de 2 GEch/s. Pour réaliser un système à 40 GEch/s il faut donc entrelacer 20 voies d'échantillonnage.

Outre l'augmentation du nombre de composants nécessaires, la multiplication du nombre de voies d'échantillonnage impose aussi une réduction de la résolution du système. En effet, au niveau de l'entrée des voies d'échantillonnage il est alors nécessaire de répéter le signal sur un plus grand nombre de lignes d'échantillonnage. Ceci se traduit par une augmentation du niveau de bruit et éventuellement aussi par une réduction de la linéarité, par exemple si on cascade plusieurs étages d'amplificateurs. De même, il est nécessaire de générer et de synchroniser un plus grand nombre de signaux de déclenchement. Cette augmentation de la complexité de la structure de déclenchement se traduira par une augmentation du jitter. Que l'on considère le bruit, la linéarité ou le jitter,

l'augmentation du nombre de lignes d'échantillonnage conduit donc à une dégradation de la résolution.

On constate de plus que les possibilités de l'échantillonneur-bloqueur ne sont pas pleinement utilisées car la fréquence d'échantillonnage à laquelle on le fait travailler est largement inférieure à sa fréquence d'échantillonnage maximale.

Nous proposons alors de modifier la structure maître-esclave classique pour entrelacer deux échantillonneur-bloqueurs esclaves pour un seul échantillonneur-bloqueur maître (Figure 96). Dans ces conditions l'échantillonneur-bloqueur maître est cadencé à une fréquence d'échantillonnage de 4 GEch/s, et les échantillonneurs-bloqueurs esclaves conservent une fréquence d'échantillonnage de 2 GEch/s. Les échantillons prélevés par le « maître » sont alors présentés en sortie alternativement sur l'un et l'autre des deux « esclaves ».

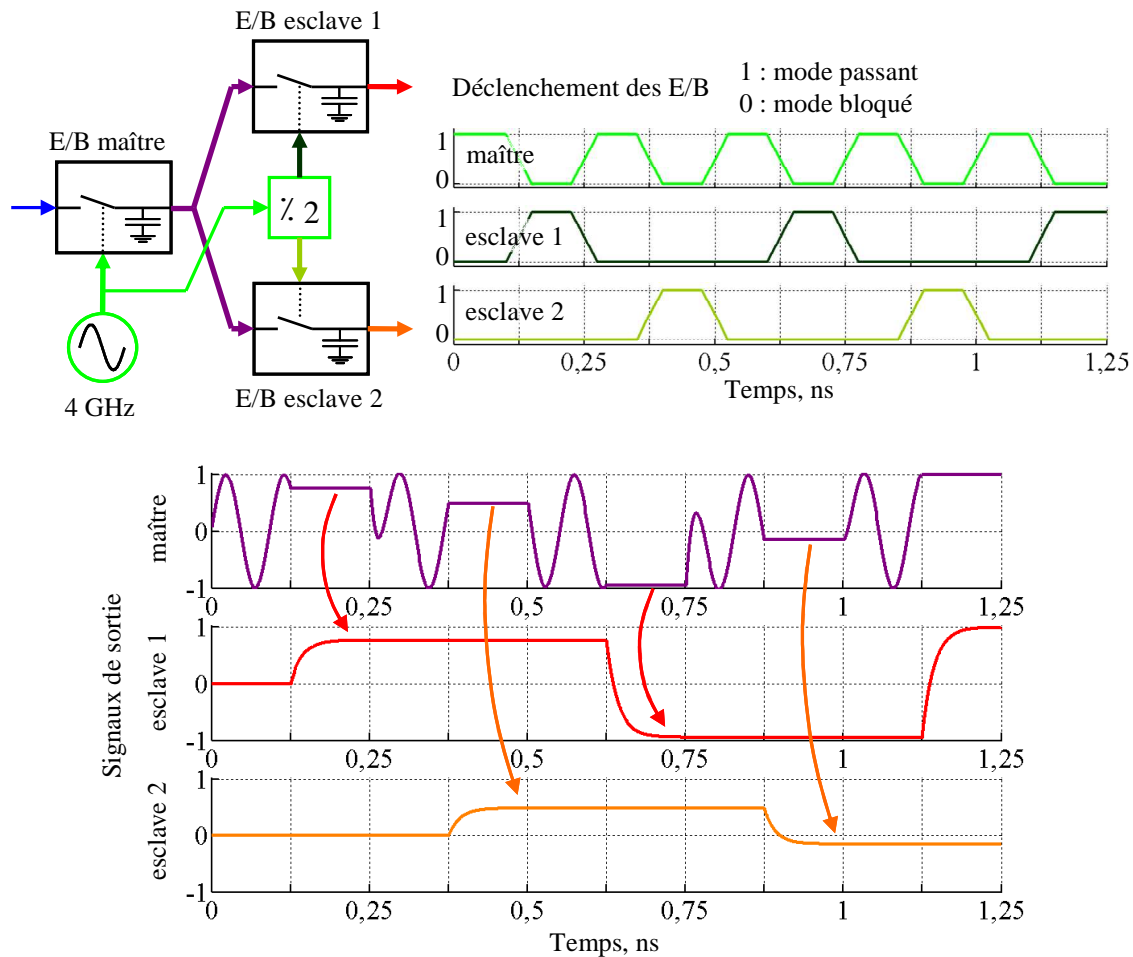


Figure 96 : Entrelacement de deux échantillonneurs-bloqueurs esclaves pour un échantillonneur-bloqueur maître

La Figure 96 présente aussi les signaux de déclenchement. L'échantillonneur-bloqueur maître est simplement piloté par une horloge numérique à 4 GHz. Les deux échantillonneurs-bloqueurs esclaves en revanche ont des signaux de déclenchement de rapport cyclique 0,25, le mode

bloqué durant trois fois plus longtemps que le mode passant. Ces signaux présentent bien une fréquence de 2 GHz et doivent être parfaitement synchronisés avec le signal de déclenchement de l'échantillonneur-bloqueur maître. Pour assurer cette synchronisation il est souhaitable de générer les signaux de déclenchement « esclaves » à partir du signal de déclenchement « maître ». De tels circuits sont tout à fait réalisables en logique ECL et un schéma est proposé en annexe (annexe IV). Il est aussi intéressant de noter que seul le jitter du signal de déclenchement du premier échantillonneur-bloqueur a une influence sur les performances du système et non pas le jitter des deux échantillonneurs-bloqueurs esclaves. Il n'est donc pas nécessaire d'optimiser le jitter des déclenchements « esclaves » ce qui nous autorise une grande marge de manœuvre dans la conception de ces circuits.

Cette nouvelle architecture maître-esclave présente plusieurs avantages pour notre application : en sortie on conserve une fréquence d'échantillonnage relativement faible et compatible avec les codeurs actuels, et en entrée on réduit le nombre de voies d'échantillonnage, permettant ainsi une amélioration de la résolution. Enfin les échantillonneurs-bloqueurs de sortie sont en mode bloqué pendant les trois quarts de la période d'échantillonnage, ce qui permet de présenter en sortie une valeur très stable de l'échantillon sur toute cette durée. On améliore ainsi de 50 % l'intervalle de temps pendant lequel le signal de sortie ne subit aucune variation par rapport à l'architecture maître-esclave classique.

Bien que la finalité ne soit pas la même, cette solution avait déjà été proposée et adoptée sur les systèmes mono-coup pour des raisons similaires [13].

B - Architecture à circuits retard

Dans l'étude bibliographique du chapitre 1, nous avons identifié l'architecture « picoscope » comme présentant des résultats particulièrement intéressants par rapport à nos objectifs. En effet, de très bons résultats en termes de jitter ont été mesurés sur le premier prototype réalisé et, globalement, le système est tout à fait adapté à l'échantillonnage haute résolution de signaux à larges bandes-passantes. Cependant cette architecture présente une limitation importante : elle est mono-coup.

Dans cette partie, nous cherchons donc à adapter de façon optimale le principe du « picoscope » (cf. chapitre 1) à un échantillonnage en temps continu. Nous étudierons donc dans un premier temps les limitations architecturales pour justifier les différents choix qui nous ont conduits à établir une nouvelle architecture de système d'échantillonnage.

Nous détaillerons dans la seconde partie la conception de la structure de propagation et de la structure de déclenchement. Enfin, la troisième partie sera consacrée à la simulation des performances du système.

I - Adaptation et optimisation de l'architecture « picoscope » dans un cadre répétitif

Dans cette partie nous cherchons à adapter le principe mono-coup « picoscope » au cas de l'échantillonnage en temps continu. La principale modification consiste donc à périodiser le signal de déclenchement. Mais ce simple changement entraîne des répercussions sur toutes les différentes parties du système. Il est alors nécessaire de réétudier le fonctionnement de chacune de ces parties et de les adapter à un fonctionnement en temps continu.

Le principe du « picoscope » a été présenté dans le premier chapitre. Il est basé sur la propagation parallèle du signal à analyser et du signal de déclenchement sur deux lignes de transmission. La ligne de propagation du signal permet de répartir le signal à analyser sur les différentes voies d'échantillonnage placées le long de cette ligne. Les temps de propagation des deux signaux se compensent et la période d'échantillonnage est alors assurée par des circuits retard que l'on insère sur la ligne de transmission du signal de déclenchement.

Dans cette partie, nous présentons d'abord un outil de visualisation de la synchronisation qui s'adapte particulièrement bien à l'architecture étudiée. La bonne synchronisation des différents éléments du système est en effet primordiale pour assurer un échantillonnage correct du signal.

Nous étudierons ensuite le jitter d'un point de vue système en développant un modèle approprié qui nous permettra d'évaluer l'influence de certains paramètres de l'architecture, par exemple le nombre de voies d'échantillonnage. Puis nous présenterons l'influence du nombre de voies d'échantillonnage sur la ligne de propagation du signal et les moyens pour réduire les effets négatifs sur la résolution du système. Enfin nous proposerons une nouvelle architecture de système d'échantillonnage basée sur le principe du « picoscope » mais optimisée pour un fonctionnement en temps continu.

- **Structure de déclenchement et synchronisation**

Comme cela a été décrit dans le premier chapitre, le principe de base de cette technique est de propager un front de déclenchement parallèlement à la propagation du signal. Les temps de propagation de ces deux signaux se compensent, ce qui permet de supprimer l'influence de la géométrie du système sur la synchronisation. La distance qui sépare deux voies d'échantillonnage n'intervient pas sur le pas d'échantillonnage. Pour déphaser les signaux de déclenchement on ajoute des retards dans la structure de propagation ; sans ces retards chaque voie d'échantillonnage prélèverait la même valeur du signal. Le retard introduit doit être égal à la période d'échantillonnage, soit dans notre cas 25 ps pour un échantillonnage à 40 GEch/s.

1 Synchronisation des différents éléments

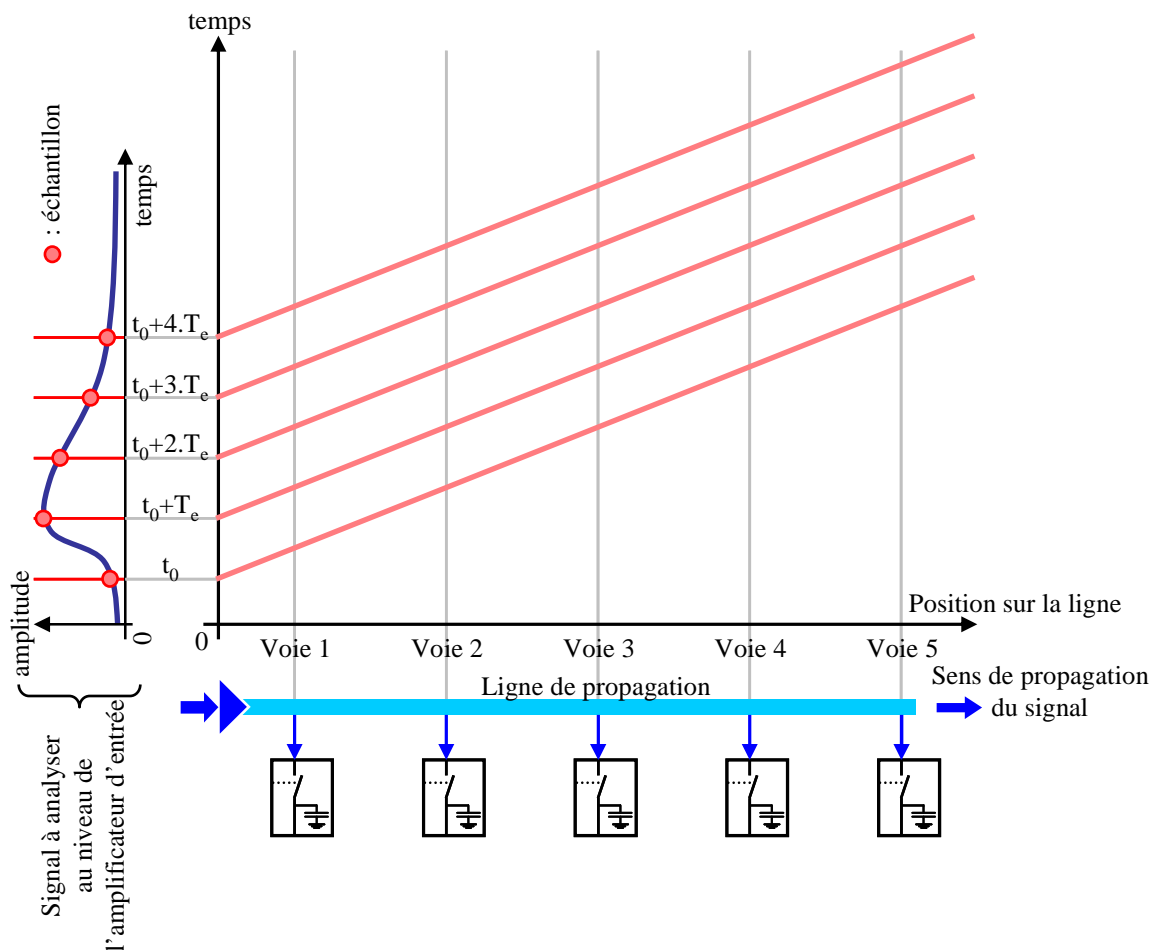


Figure 97 : Principe adapté du diagramme espace-temps

Pour représenter la synchronisation des différents éléments des architectures basées sur des lignes de propagation du signal, nous empruntons un outil classique de la relativité restreinte : le diagramme espace-temps. Ce diagramme représente en ordonnée la dimension temporelle et en abscisse l'une des trois dimensions spatiales. Il a pour principal intérêt de schématiser de façon simple

les effets d'une vitesse de propagation des signaux limitée. Dans notre cas nous choisissons comme dimension spatiale la direction des deux lignes de propagation du signal à analyser et du signal de déclenchement. Ce diagramme est donc tout à fait adapté à la représentation des événements de la structure de déclenchement de l'architecture à circuits retard car elle ne contient qu'une seule direction de propagation des signaux et elle prend en compte les temps de propagation de ces signaux.

L'évolution spatio-temporelle du signal à analyser est représentée Figure 97. Si on prend la valeur du signal à analyser à un instant t_0 , cette valeur se déplace le long de la ligne de propagation et présente un retard de plus en plus important au fur et à mesure qu'elle progresse le long de cette ligne. Sur le schéma cette valeur du signal est donc représentée par une droite oblique dont la pente dépend de la vitesse de propagation. Si on considère un découpage temporel régulier du signal (que l'on choisit égal à la fréquence d'échantillonnage pour simplifier la représentation) on obtient le faisceau de droites parallèles représentées en rose sur la Figure 97.

Ce diagramme nous permet de représenter Figure 98 la propagation du signal de déclenchement pour l'architecture à circuits retard dans le cadre d'un signal répétitif.

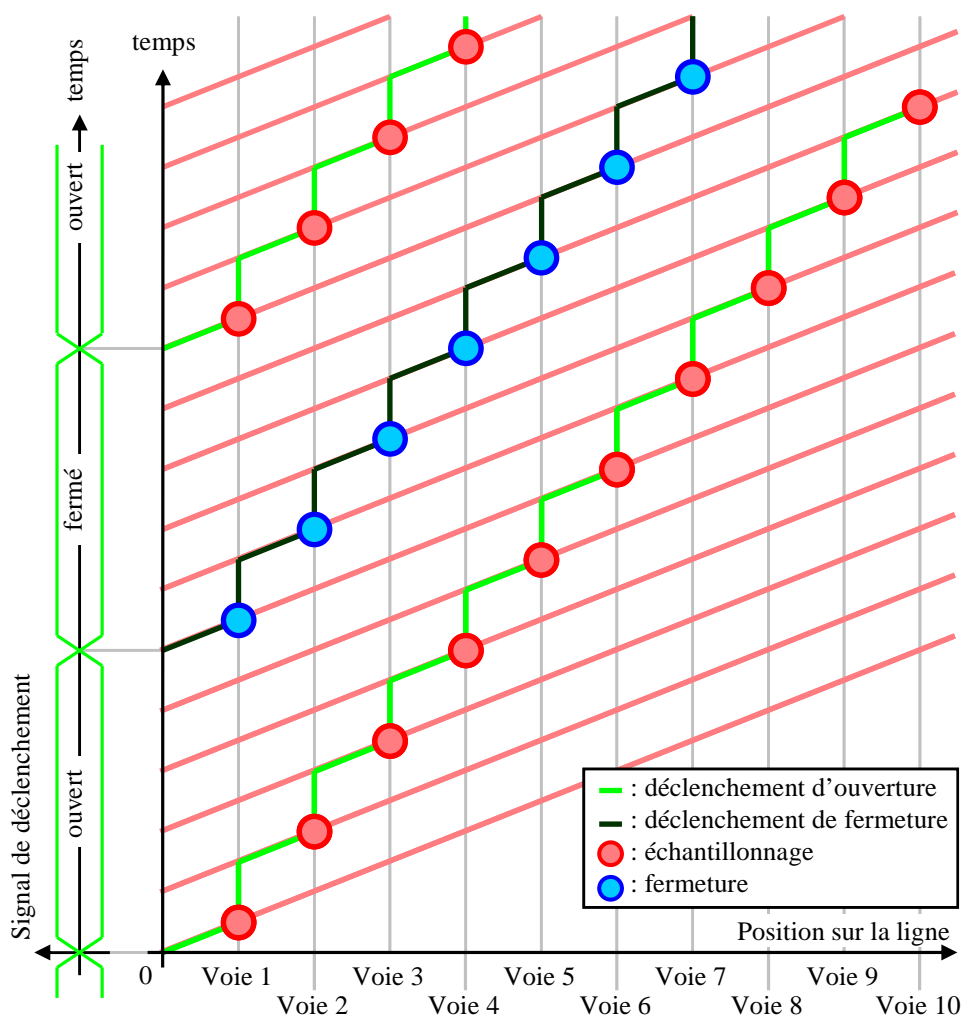


Figure 98 : Synchronisation de l'architecture à circuits retard dans un cadre répétitif

Au niveau de chaque voie d'échantillonnage, le signal de déclenchement est d'abord retardé de 25 ps, puis est propagé sur une ligne de transmission parallèle à la ligne de propagation du signal analysé. Sur la Figure 98, le signal de déclenchement entre deux voies d'échantillonnage est donc représenté par deux segments. Un premier segment vertical qui traduit un retard sans propagation du signal, et un deuxième segment oblique qui représente la propagation du signal de déclenchement jusqu'à la voie suivante.

Cette représentation est très intéressante pour étudier la synchronisation des différents éléments du système. On constate par exemple qu'un nouveau front de déclenchement de l'ouverture des échantillonneurs-bloqueurs doit être injecté dans la structure avant que le précédent n'ait atteint la dernière voie. Ainsi, il n'est pas possible de « réutiliser » le signal qui sort de la structure pour déclencher à nouveau le système. De plus, il faut considérer que dans un système répétitif il est nécessaire de refermer les échantillonneurs-bloqueurs avant de pouvoir les rouvrir. Il faut donc propager deux types de fronts de déclenchement : le premier pour commander l'ouverture des échantillonneurs-bloqueurs et le second pour commander leur fermeture. Les échantillonneurs-bloqueurs ayant été conçus pour un rapport cyclique de 0,5, la fermeture doit intervenir $T_e/2$ après l'ouverture.

Au final on constate que plusieurs fronts de déclenchement se propagent simultanément dans la structure de déclenchement mais à des positions différentes. Ceci constitue un frein important à la mise en place d'un rebouclage du signal de déclenchement. De plus, si on reboucle le signal de déclenchement on crée un oscillateur en anneau dont on a vu au chapitre 2 que les performances en termes de jitter se dégradent rapidement. La solution du rebouclage n'est donc pas envisageable et nous utiliserons un oscillateur local indépendant. Cet oscillateur doit avoir une fréquence de fonctionnement égale à la fréquence d'échantillonnage des échantillonneurs-bloqueurs, soit 4 GHz dans notre cas.

2 Evolution du jitter à travers la structure de déclenchement

Dans cette partie nous cherchons à caractériser l'évolution du jitter à un niveau système. Cette étude nous permet en effet d'établir la relation entre jitter et numéro de la ligne d'échantillonnage, puis entre jitter et nombre de voies d'échantillonnage du système. Il ne s'agit pas ici d'obtenir une valeur précise du jitter (des simulations du jitter seront présentées dans la suite du chapitre), mais plutôt de donner des éléments de comparaison pour effectuer les choix architecturaux.

La structure de déclenchement contient trois types d'éléments. A l'entrée, un circuit de remise en forme permet d'interfacer l'oscillateur local sinusoïdal au reste de la structure qui utilise des fronts de déclenchement. Le deuxième élément est un circuit retard, qui introduit un retard de 25 ps sur la ligne de propagation. Cet élément est donc inséré entre chaque voie d'échantillonnage. Enfin, un troisième circuit permet de piloter les différentes paires différentielles de l'échantillonneur-bloqueur. Le schéma des premières voies de la structure de déclenchement est représenté Figure 99.

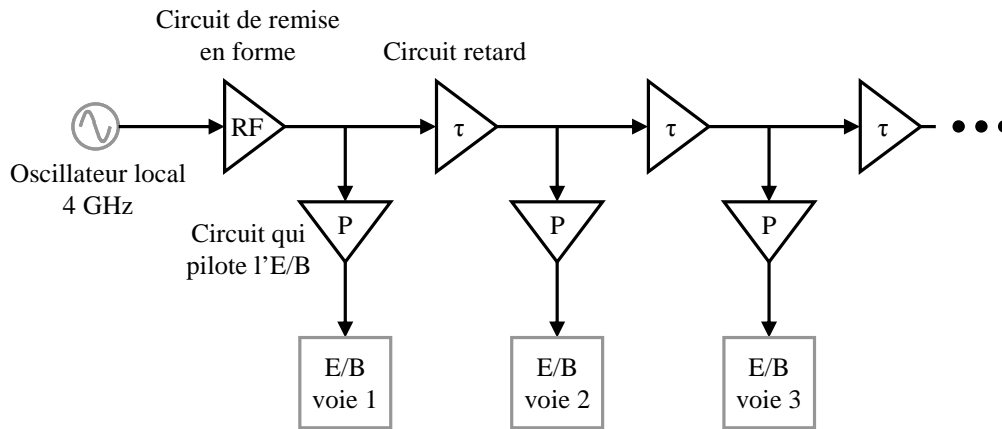


Figure 99 : Schéma de principe de la structure de déclenchement

Cette représentation nous permet d'exprimer le jitter de chaque voie d'échantillonnage de façon analytique (dans l'approximation où le jitter ne dépend pas du reste de la structure) :

$$Jitter_i = \sqrt{Jitter_{RF}^2 + (i-1) \cdot Jitter_{\tau}^2 + Jitter_p^2} \quad (45)$$

Avec $Jitter_i$: jitter de la voie i , $Jitter_{RF}$: jitter du circuit remise en forme, $Jitter_{\tau}$: jitter du circuit retard et $Jitter_p$: jitter du circuit qui pilote l'échantillonneur-bloqueur.

On constate alors que le jitter augmente avec le numéro de la voie d'échantillonnage. Plus on se situe loin de l'horloge de référence et plus le nombre d'inverseurs traversés est important. On accumule alors un jitter de plus en plus important.

Quelle que soit l'architecture étudiée, le jitter équivalent d'un système comportant plusieurs voies d'échantillonnage entrelacées est donné par la relation suivante :

$$Jitter_{Total} = \sqrt{\frac{1}{n} \cdot \sum_{i=1}^n Jitter_i^2} \quad (46)$$

Avec $Jitter_{Total}$: jitter équivalent de la structure complète

En injectant (45) dans (46), on obtient le jitter total de la structure que nous étudions :

$$Jitter_{Total} = \sqrt{Jitter_{RF}^2 + \frac{(n-1)}{2} \cdot Jitter_{\tau}^2 + Jitter_p^2} \quad (47)$$

Plus le nombre de voies d'échantillonnage est élevé et plus le jitter sera grand. Cependant, on peut noter que cette évolution sera relativement lente car le facteur qui dépend du nombre de voies est atténué à la fois par l'addition avec un facteur fixe et par une racine carrée.

Pour étudier l'évolution du jitter en fonction du nombre de voies, on fixe des valeurs de jitter arbitraires. Nous avons choisi d'attribuer la valeur 1 au jitter du circuit qui pilote l'échantillonneur-bloqueur. En effet, ce circuit n'est utilisé que pour la remise en forme du signal et non pour créer un retard sur le signal de déclenchement. Il peut donc être optimisé pour atteindre un jitter très faible. Suite aux résultats du chapitre 2, on peut raisonnablement estimer que le retard d'un inverseur optimisé en jitter est voisin de 5 ps. Le circuit qui crée un retard de 25 ps aura alors un jitter $\sqrt{5}$ fois

supérieur (cf. chapitre 2, partie A - III - 1.3). On va donc lui attribuer un jitter de 2,24. Enfin, le circuit de remise en forme de l'entrée de la structure de propagation contient plusieurs étages d'inverseurs et des signaux présentant des fronts assez lents. On lui attribue aussi un jitter de 2,24. Les valeurs retenues sont les suivantes :

$$Jitter_{RF} = 2,24$$

$$Jitter_{\tau} = 2,24$$

$$Jitter_p = 1$$

En appliquant la formule (47), il est facile d'obtenir l'évolution du jitter en fonction du nombre de voies d'échantillonnage pour le cas de l'architecture à circuits retard que nous étudions (Figure 100).

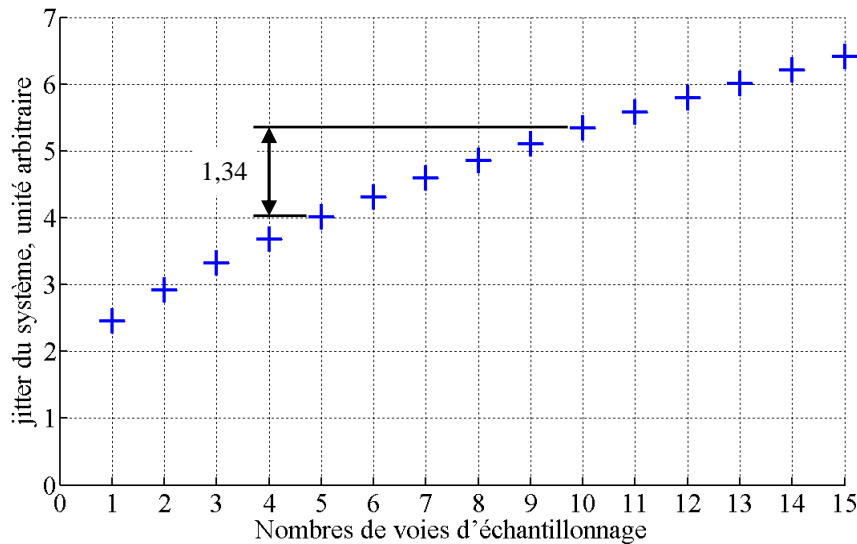


Figure 100 : Evolution du jitter en fonction du nombre de voies d'échantillonnage du système

Cette étude système du jitter de la structure de propagation nous permet d'établir le résultat suivant : Lorsqu'on passe de 10 voies d'échantillonnage à 5, le jitter est réduit d'environ 25 %. Ce résultat est en effet l'une des deux raisons principales qui nous pousseront ensuite à faire évoluer l'architecture à circuits retard vers une architecture à deux lignes de propagation de cinq voies d'échantillonnage chacune.

3 Influence du nombre de voies d'échantillonnage sur la structure de propagation

Lors de la conception des échantillonneurs-bloqueurs (chapitre 2), nous avons vu qu'ils présentaient une impédance d'entrée capacitive. Régulièrement placée le long de la ligne de propagation, cette impédance capacitive va perturber la propagation du signal. Dans cette partie, nous cherchons à décrire cet effet et à étudier les modifications envisageables pour s'en prémunir.

Dans un premier temps nous identifions les effets de l'impédance d'entrée des échantillonneurs-bloqueurs sur la propagation du signal. Nous évaluons ensuite l'influence du nombre de voies d'échantillonnage. Enfin, nous présentons la solution qui a été retenue dans le cadre des projets « oscilloscopes » non-répétitifs.

3.1 Effets de l'impédance d'entrée des échantillonneurs-bloqueurs sur la propagation du signal

Deux contraintes majeures sont à prendre en compte : le gain et la phase. Idéalement, les signaux devraient présenter un gain unitaire et plat sur toute la bande-passante du système. De même, ils devraient présenter une phase linéaire sur toute la bande-passante. Cette phase linéaire signifie que le signal peut avoir un retard (dû au temps de propagation sur la ligne) mais que le temps de groupe ne doit pas varier en fonction de la fréquence.

On considère dans un premier temps une ligne parfaite, non-différentielle et adaptée 50Ω (Figure 101). La distance entre deux voies d'échantillonnage est fixée à 1 mm, valeur typique de l'architecture. Pour augmenter au maximum l'impédance d'entrée de l'échantillonneur-bloqueur, on utilise le plus petit transistor disponible monté en collecteur commun. La capacité d'entrée de l'échantillonneur-bloqueur n'est alors composée que de la capacité base-collecteur d'un transistor T3 (émetteur de $3 \times 2 \mu\text{m}^2$). Enfin, on néglige dans notre simulation le tronçon de ligne qui permet d'éloigner les échantillonneur-bloqueurs de la ligne de propagation.

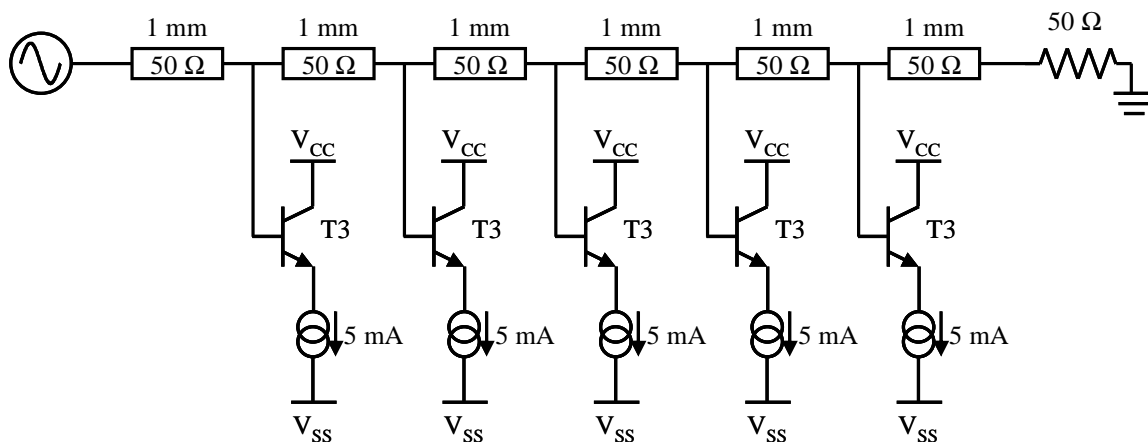


Figure 101 : Schéma de principe de la simulation du taux d'onde stationnaire

Les résultats obtenus sur le gain et l'erreur de phase sont représentés Figure 102. Pour chaque point de mesure, le gain est calculé en tension par rapport à la moitié de la tension de l'oscillateur d'entrée (pour l'adaptation d'impédance). L'erreur de phase est présentée après compensation du retard dû à la position sur la ligne. Ce retard est évalué pour les basses fréquences, où l'erreur de phase est minimale.

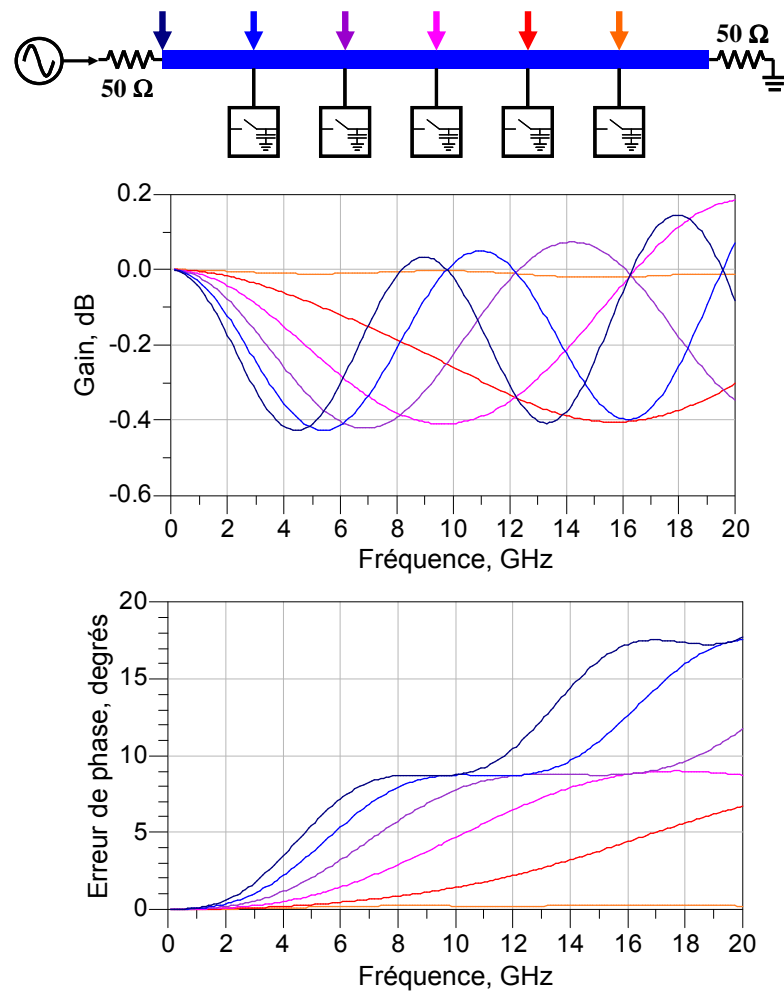


Figure 102 : Gain et erreur de phase en différents points de la ligne de propagation du signal

On constate alors que l'erreur introduite par les impédances d'entrée des échantillonneurs-bloqueurs se répercute à la fois sur le gain et sur la phase. Plus on est proche de la source, plus l'erreur de phase est importante, et plus le gain présente d'ondulations.

Dans le chapitre 1, nous avons identifié les exigences des systèmes entrelacés. Nous rappelons les valeurs attendues pour une résolution de 10 bits effectifs : l'écart type de l'erreur en phase doit être inférieur à $0,046^\circ$ et celui de l'erreur en gain doit être inférieur à 0,007 dB. On est donc très loin de ces valeurs.

3.2 Influence du nombre de voies d'échantillonnage

Le critère qui permet de comparer l'influence des paramètres est le nombre de bits effectifs. On reprend donc les formules présentées dans le chapitre 1 (dans la partie systèmes entrelacés, Tableau 5) pour traduire les erreurs de gain et de phase en nombre de bits effectifs. On obtient ainsi un nombre de bits effectifs, qui dépend de la fréquence du signal d'entrée et qui traduit l'erreur brute du système entrelacé.

Dans les mêmes conditions que précédemment, nous avons fait varier le nombre de voies d'échantillonnage. La résolution obtenue est présentée Figure 103 en fonction de la fréquence du signal d'entrée. On constate d'abord que la résolution décroît quand la fréquence du signal augmente. L'influence des impédances d'entrée capacitives des échantillonneurs-bloqueurs est naturellement plus marquée pour les fréquences élevées. On observe aussi que la résolution atteinte est largement inférieure à nos objectifs sur quasiment toute la bande-passante. Pour améliorer cette résolution, deux solutions complémentaires peuvent être envisagées : optimiser la géométrie de la ligne de propagation et compenser les erreurs après la conversion numérique par un traitement du signal approprié. Enfin, on constate que sur toute la bande-passante la résolution diminue quand on augmente le nombre de voies d'échantillonnage. Pour améliorer la résolution, il est donc préférable de limiter le nombre de voies d'échantillonnage.

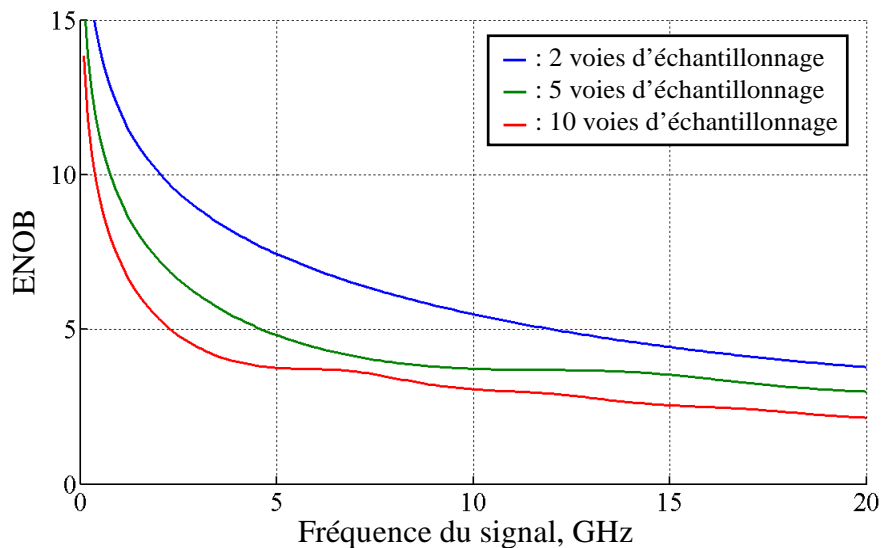


Figure 103 : Influence du nombre de voies d'échantillonnage sur la résolution du système entrelacé

3.3 Isolation par tronçons de ligne

Pour les applications « picoscope » mono-coup, un grand nombre de voies d'échantillonnage sont entrelacées sur la même ligne de propagation (100 pour l'application « picoscope 2 », [13]). Pour limiter les phénomènes d'ondulation et compenser les pertes de la ligne de propagation, la solution retenue a été d'insérer régulièrement des amplificateurs régénératifs le long de la ligne de propagation ([88], [13]). Ces amplificateurs ont un double rôle : séparer la ligne en tronçons plus courts pour limiter l'ondulation du signal et rattraper les erreurs commises pour présenter un signal correct sur le tronçon de ligne suivant. Lors de la conception du picoscope 2, il a été décidé d'insérer un amplificateur-régénératif toutes les 6 voies d'échantillonnage.

Dans notre cadre répétitif, il est possible de réutiliser ce principe et de placer un amplificateur régénératif entre les voies 5 et 6 (Figure 104). On découpe ainsi la ligne de propagation en deux tronçons de cinq voies chacun. Cette solution permet bien de réduire le phénomène d'ondulation mais plusieurs contraintes de conception sont à prendre en considération. Tout d'abord la

conception de cet amplificateur. Il doit en effet présenter un gain qui compense les pertes de la ligne de propagation et doit avoir un temps de groupe uniforme sur toute la bande-passante pour limiter les erreurs de phase. De plus, le retard introduit sur la ligne de transmission doit être compensé par un retard équivalent sur la structure de propagation pour conserver la synchronisation des deux signaux.

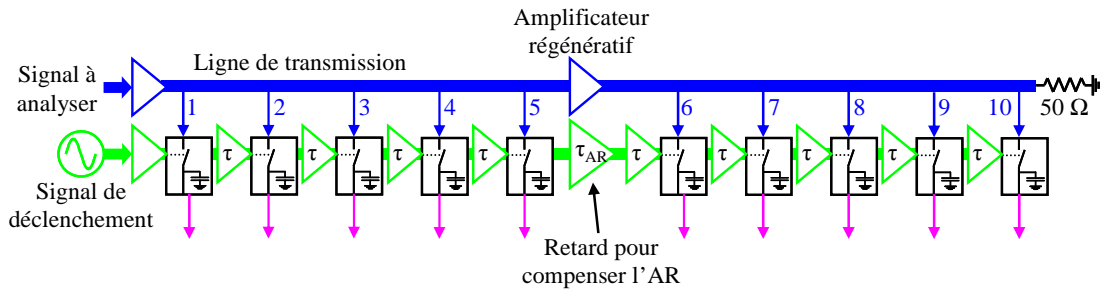


Figure 104 : Schéma de l'architecture à circuits retard répétitive en deux tronçons de 5 voies d'échantillonnage

Si elle permet de réduire l'ondulation de la ligne, l'architecture proposée Figure 104 ne permet pas d'améliorer les résultats en termes de jitter, linéarité et bruit par rapport à l'architecture sans amplificateur régénératif. Le jitter des voies 6 à 10 est en effet légèrement augmenté par l'introduction d'un nouveau circuit retard. De même, le signal distribué sur les voies 6 à 10 traverse un amplificateur supplémentaire. Le niveau de bruit et les non-linéarités sont donc plus importants pour ces cinq dernières voies.

4 Nouvelle architecture proposée

4.1 Description de la nouvelle architecture

Nous proposons Figure 105 une nouvelle architecture de système d'échantillonnage, basée sur le principe du « picoscope » et adaptée à un fonctionnement répétitif. La ligne de propagation est scindée en deux lignes de cinq voies d'échantillonnage. L'amplificateur d'entrée a la charge de recopier le signal à analyser sur les deux lignes de propagation. Les deux sous-systèmes ainsi créés sont déclenchés tour à tour en opposition de phase.

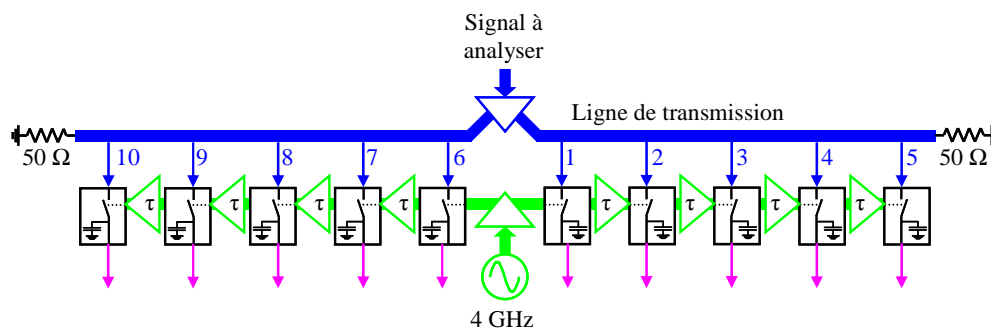


Figure 105 : Nouvelle architecture basée sur le principe « picoscope »

Cette architecture tire profit des conclusions de l'étude système que nous avons menée précédemment. En premier lieu, concernant le jitter, chaque sous-système possède sa propre structure de déclenchement à cinq voies d'échantillonnage. Les deux structures sont déclenchées de façon totalement indépendante l'une de l'autre. Ceci nous permet de réduire le jitter de cette architecture au niveau de celui d'une architecture à cinq voies d'échantillonnage.

De même, chacune des deux lignes propage le signal à analyser pour cinq voies d'échantillonnage. Par rapport à l'ondulation on se retrouve donc dans le cas d'un tronçon de ligne à cinq voies d'échantillonnage sans avoir recourt à un amplificateur régénératif. On évite ainsi la dégradation du signal apportée par cet élément.

Seule la conception de l'amplificateur d'entrée reçoit des contraintes supplémentaires car il doit présenter deux sorties différentielles.

4.2 Synchronisation de cette architecture

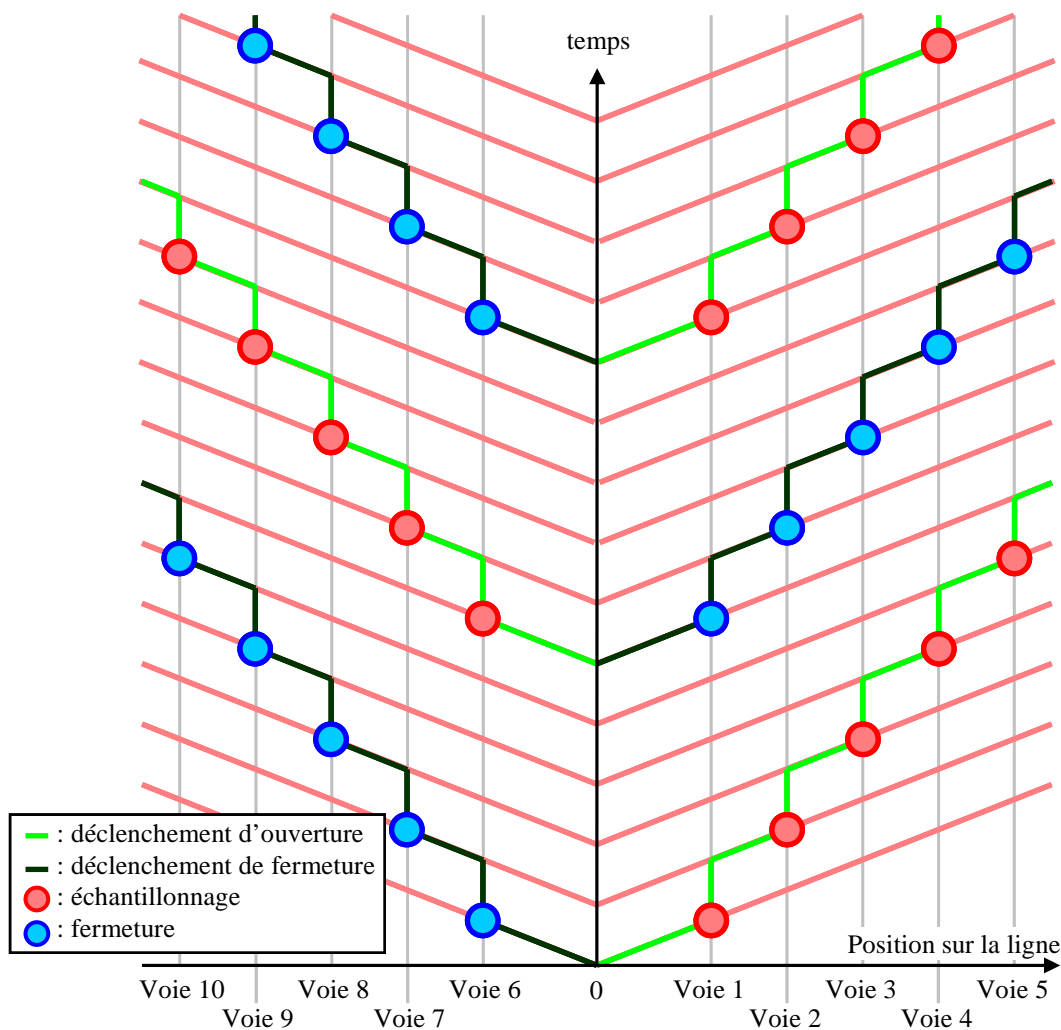


Figure 106 : Diagramme espace-temps de l'architecture à deux lignes de propagation entrelacées

Le diagramme espace-temps de cette nouvelle architecture est représenté Figure 106. Dans un premier temps, ce diagramme nous permet de vérifier que le système présente un fonctionnement correct, c'est-à-dire qu'il prélève bien tous les échantillons et qu'aucun n'est prélevé deux fois. On vérifie en effet que les échantillons 1 à 5 sont prélevés sur le premier sous-système, et les échantillons 6 à 10 sur le deuxième. Le fonctionnement étant cyclique, on revient au premier sous-système pour les échantillons 11 à 15 et ainsi de suite.

On observe aussi que les signaux de déclenchement des deux lignes sont les mêmes mais en opposition de phase. Une seule horloge différentielle permet donc de piloter les deux lignes car il suffit d'inverser les deux voies différentielles sur un sous-système par rapport à l'autre.

Enfin, on constate que l'ordre de sortie des échantillons n'est pas forcément respecté. Dans le cas représenté Figure 106, le sixième échantillon, par exemple, est prélevé par la voie 6 avant que le cinquième échantillon ne soit prélevé par la voie 5. Pour faciliter la quantification des échantillons, la solution envisagée est de fournir en sortie du système d'échantillonnage à la fois le train d'échantillon et l'horloge de synchronisation.

4.3 Choix de conception

- **Pourquoi se limiter à deux lignes de propagation ?**

Plusieurs raisons nous poussent à limiter le nombre de lignes. D'abord du point de vue de la position relative des différents éléments, l'entrelacement de deux lignes d'échantillonnage ne pose aucune difficulté supplémentaire. On peut alors facilement conserver l'alignement entre les lignes de propagation du signal à analyser et du signal de déclenchement. Si on augmente le nombre de lignes d'échantillonnage, on est amené à croiser les lignes du signal à analyser et du signal de déclenchement.

De plus, les signaux de déclenchement pour deux lignes de propagation sont issus de la même horloge différentielle dont les deux voies sont inversées. Aucun composant n'est donc nécessaire pour déphaser ces signaux. Cette simplicité présente un net avantage pour la réduction du jitter qui serait considérablement dégradé par l'introduction d'un déphaseur.

Enfin, dix voies d'échantillonnage sont suffisantes. Ce nombre se prête mal à une division par trois ou quatre et dans ce cas il serait nécessaire d'augmenter le nombre de voies d'échantillonnage ou d'avoir des lignes déséquilibrées. Ces deux situations ne sont pas souhaitables. La première en effet nous oblige à utiliser un plus grand nombre de convertisseurs analogiques-numériques (mais qui peuvent alors travailler à plus basse fréquence). La seconde situation rend plus complexe la génération des signaux de déclenchement et le calibrage.

- **Pourquoi déclencher les sous-systèmes l'un après l'autre ?**

Nous n'avons en effet proposé qu'une méthode d'entrelacement des deux lignes d'échantillonnage : le déclenchement tour à tour. Dans cette situation les échantillons sont prélevés cinq par cinq sur chaque sous-système ; sur un cycle les cinq premiers échantillons sont prélevés sur le sous-système de droite et les cinq suivants sur celui de gauche.

Conceptuellement, on peut envisager un autre type de déclenchement : prélever les échantillons un à droite puis un à gauche et ainsi de suite. Pour ce mode de fonctionnement, il faut décaler de 25 ps le déclenchement de la deuxième ligne par rapport à la première et doubler la valeur des retards de la structure de propagation (qui passe alors à 50 ps). Le premier sous-système prélève alors les échantillons impairs et le second les échantillons pairs.

Cette deuxième solution n'a pas été retenue car elle présente un inconvénient majeur pour le jitter. En effet, comme on a doublé la valeur des retards, le jitter de ces circuits est multiplié par racine carrée de deux. Ceci conduit à une augmentation importante du jitter du système, de l'ordre de 25 % si on reprend les valeurs de l'étude précédente (cf. étude du jitter partie B - I - 2).

II - Conception de cette architecture

Dans la partie précédente, nous avons défini une nouvelle architecture basée sur le principe du « picoscope » et optimisée pour un fonctionnement répétitif. Dans cette partie, nous étudions différents paramètres du système en identifiant les pistes qui permettent d'aboutir à une conception optimale.

Dans une première sous-partie, nous essayons de réduire les phénomènes d'ondulation pour réduire la perte de résolution due à l'entrelacement des échantillonneurs-bloqueurs. La seconde sous-partie est consacrée à la propagation des perturbations de commutation et des moyens de s'en prémunir. Enfin, à partir des résultats du chapitre 2, nous proposons une conception optimisée de la structure de déclenchement.

1 Optimisation de la ligne de propagation pour réduire l'ondulation

Dans cette étude, nous cherchons à optimiser les performances de la structure de propagation en termes d'ondulation. En effet, on a pu constater précédemment que la résolution atteinte lorsque la ligne de propagation alimente cinq échantillonneurs-bloqueurs est très inférieure aux exigences de notre cahier des charges.

Nous avons choisi d'effectuer cette analyse en considérant des lignes parfaites, c'est-à-dire sans perte et sans se préoccuper de la conception de la ligne de propagation. Chaque tronçon de ligne n'est donc caractérisé que par son impédance caractéristique et sa longueur.

Notre démarche comporte trois grandes étapes. Dans un premier temps nous testons l'influence des différents paramètres de conception. Puis nous proposons et optimisons la géométrie de la ligne pour améliorer sensiblement les performances. Enfin, nous vérifions que cette optimisation nous conduit bien à des résultats optimaux.

1.1 Influence des différents paramètres

La première étape de notre démarche concerne l'optimisation des différents paramètres de conception. Nous testons donc leur influence sur la résolution et nous choisissons les valeurs optimales, c'est-à-dire les valeurs qui permettent à la fois d'atteindre la meilleure résolution possible et un fonctionnement correct du système. Trois paramètres sont étudiés : la longueur et l'impédance

caractéristique du tronçon de ligne qui permet d'isoler les échantillonneurs-bloqueurs de la ligne de propagation du signal, et la longueur de ligne qui sépare deux voies d'échantillonnage consécutives. Ces paramètres sont représentés Figure 107.

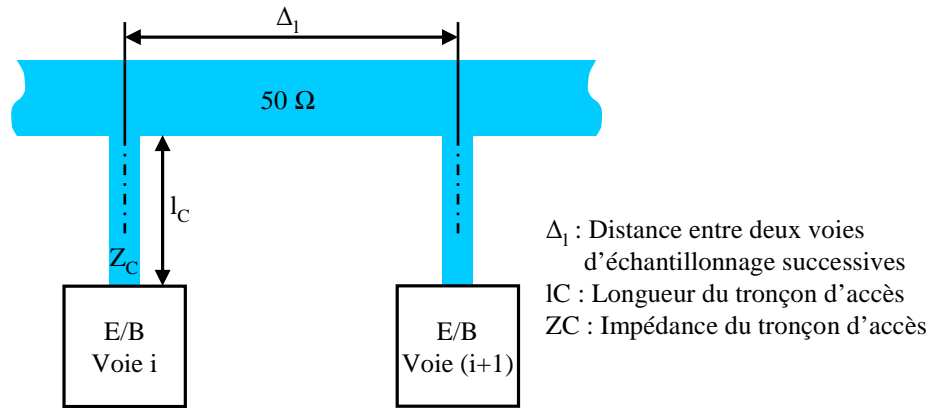


Figure 107 : Paramètres de conception de la structure de propagation

- Influence de la longueur l_C du tronçon d'accès

Nous testons dans un premier temps l'influence de la longueur l_C du tronçon de ligne qui connecte les échantillonneurs-bloqueurs. Pour cela, nous nous plaçons dans des conditions typiques : 1 mm entre chaque voie d'échantillonnage, une ligne de propagation du signal d'impédance caractéristique 50Ω et une impédance de 200Ω pour le tronçon de ligne (ce paramètre sera étudié dans le paragraphe suivant). La résolution obtenue en fonction de la fréquence du signal d'entrée est représentée Figure 108 pour différentes longueurs du tronçon de ligne. On constate que plus ce tronçon est long, plus la résolution est faible, quelle que soit la fréquence du signal d'entrée.

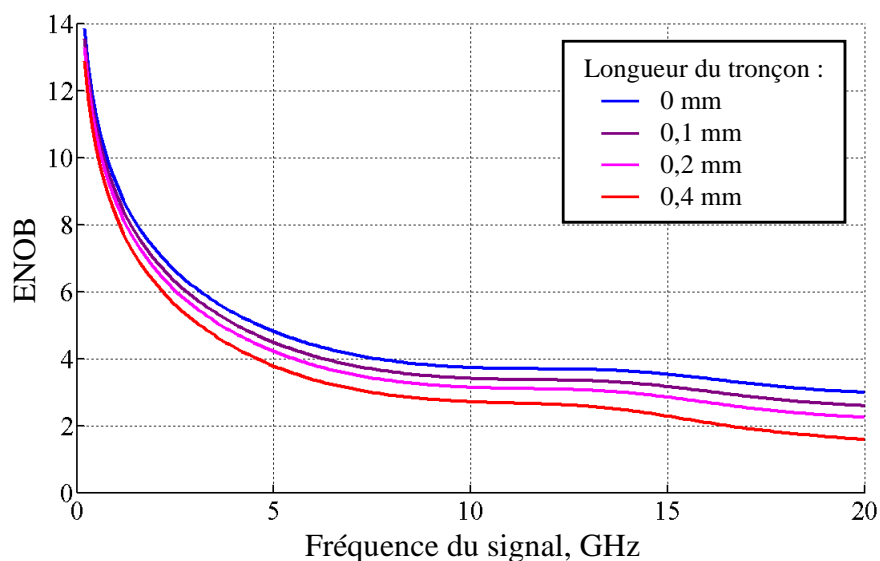


Figure 108 : Résolution du système entrelacé pour différentes longueurs du tronçon de ligne qui connecte les échantillonneurs-bloqueurs

Les meilleures résolutions sont obtenues lorsqu'on choisit la plus petite distance possible pour connecter les échantillonneurs-bloqueurs. Cette distance ne doit pas non plus être trop faible sans quoi l'échantillonneur-bloqueur perturberait la propagation du signal sur la ligne de transmission. Dans notre cas, une distance d'au moins $100\ \mu\text{m}$ est nécessaire entre la ligne de propagation et l'échantillonneur-bloqueur. C'est pourquoi nous choisissons une distance de $100\ \mu\text{m}$ pour la suite de l'optimisation.

- **Influence de l'impédance Z_C du tronçon d'accès**

Dans la deuxième étape de l'optimisation, nous testons l'influence de l'impédance caractéristique Z_C du tronçon de ligne. Sa valeur avait été fixée à $200\ \Omega$ dans la première étape. La résolution à 8 GHz en fonction de l'impédance caractéristique du tronçon de ligne est représentée Figure 109. Nous n'avons représenté que la résolution à 8 GHz car des résultats semblables sont obtenus sur toute la bande-passante.

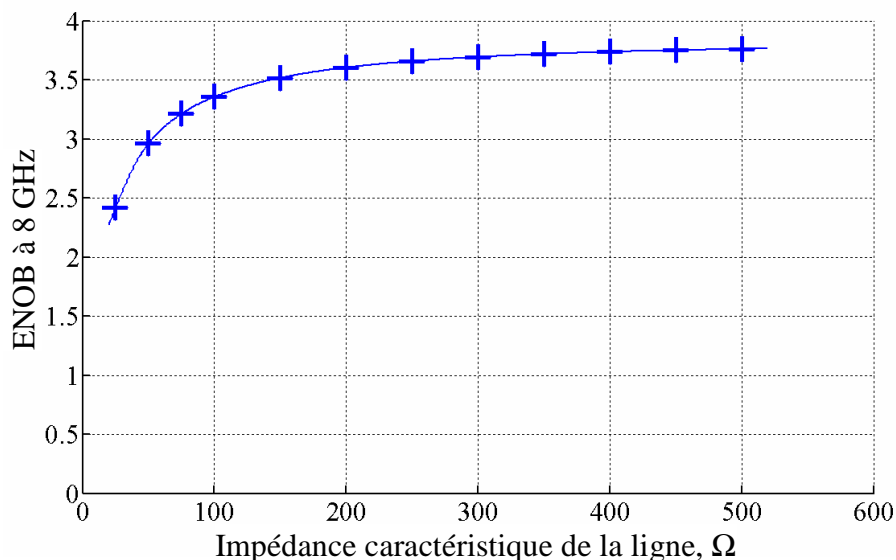


Figure 109 : Résolution à 8 GHz en fonction de l'impédance caractéristique du tronçon de ligne

On constate d'abord que la résolution augmente lorsque l'impédance caractéristique du tronçon de ligne augmente. Cette constatation est cependant à nuancer par le fait que l'amélioration est rapide pour des impédances faibles, inférieures à $100\ \Omega$, mais qu'elle devient très lente au dessus de $200\ \Omega$. On ne gagne en effet que 4 % de résolution entre $200\ \Omega$ et $500\ \Omega$. Du point de vue réalisation pratique, une ligne de très haute impédance est plus difficile à réaliser et présente plus de perte. En ligne coplanaire par exemple, il faut éloigner les plans de masse et réduire la largeur de la ligne. Si on réduit la largeur de la ligne, les pertes deviennent plus importantes (notre simulation avec des lignes parfaites ne tient pas compte de ce facteur), et si on éloigne les plans de masse, on perturbe la ligne de propagation du signal. On va donc choisir une impédance élevée mais réalisable technologiquement. Physiquement cette valeur dépasse difficilement $150\ \Omega$.

Le tronçon de ligne constitue donc une limitation de la résolution en termes d'entrelacement des voies mais est nécessaire pour assurer une isolation suffisante de la ligne de propagation. On va alors choisir la longueur la plus faible possible, dans notre cas $100\ \mu\text{m}$. De même, son impédance doit être la plus élevée possible pour isoler au mieux la ligne de propagation, mais des lignes d'impédance très élevée ne sont pas réalisables dans le cadre de notre application. On choisit alors une impédance du tronçon de ligne de $150\ \Omega$.

- **Influence de la distance Δ_l entre les voies d'échantillonnage**

Une autre variable que nous avons testée est la distance Δ_l entre les voies d'échantillonnage. Précédemment nous avons fixé cette valeur à 1 mm. Par comparaison, pour le premier prototype du «*picoscope*», cette distance était aussi d'environ 1 mm [86] et pour le second prototype, elle était d'environ 2 mm [13]. Dans cette simulation, nous adoptons les valeurs précédemment établies : le tronçon de ligne qui alimente l'échantillonneur-bloqueur à une impédance caractéristique de $150\ \Omega$ et une longueur de $100\ \mu\text{m}$. L'impédance caractéristique de la ligne de propagation est toujours de $50\ \Omega$. Nous représentons Figure 110 la résolution en fonction de la fréquence du signal d'entrée pour différentes distances entre voies.

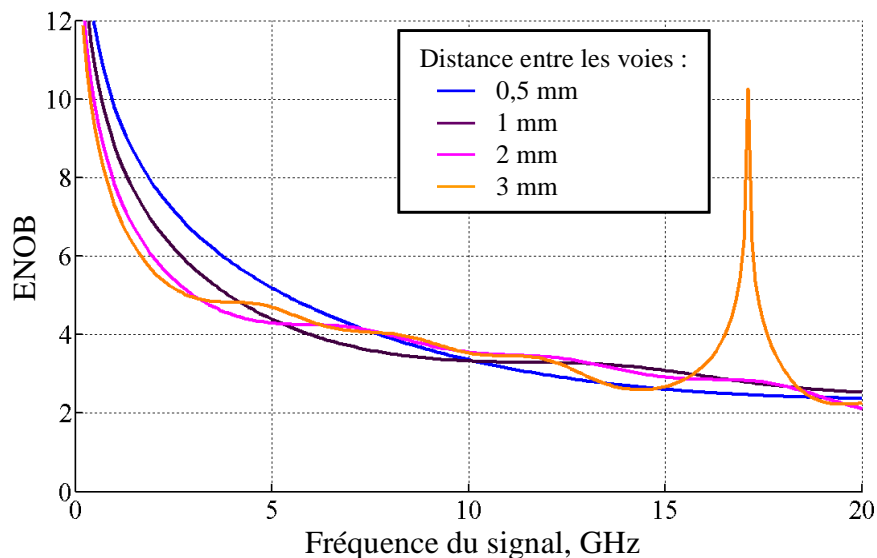


Figure 110 : Résolution en fonction de la fréquence du signal pour différentes valeurs de la distance entre deux voies d'échantillonnage

La première chose qu'on remarque est qu'il y a peu de différences entre les différentes courbes. Si on regarde plus en détail, on constate qu'à basse fréquence (en dessous de 3 GHz), la résolution est meilleure quand la distance entre les voies est faible. On constate aussi que plus la distance est élevée et plus on observe des ondulations dans l'évolution fréquentielle de la résolution. Pour une distance entre voies de 3 mm, on observe même un pic de résolution autour de 17 GHz (Figure 110, courbe jaune). Ce pic correspond à une fréquence de résonance de la ligne. A cette fréquence en effet, la longueur d'onde est de 6 mm, soit deux fois la distance qui sépare deux voies

d'échantillonnage. Au niveau de chaque désadaptation, la partie du signal qui est réfléchiée dans le sens opposé à la propagation se trouve en phase lorsqu'elle atteint les voies d'échantillonnage précédentes. Si on considère par exemple la voie 3, La majeure partie de la puissance du signal est transmise sur les voies suivantes, une petite partie de la puissance sert à alimenter l'échantillonneur-bloqueur et le reste de la puissance est réfléchi vers l'entrée du système. Lorsque ce signal réfléchi atteint la voie 2, il a parcouru deux fois la distance entre les voies 2 et 3, soit une fois la longueur d'onde. Au niveau de la voie 1, ce même signal a parcouru quatre fois la distance Δ_1 , soit deux fois la longueur d'onde. Dans les deux cas le signal réfléchi arrive en phase avec le signal transmis. Sur la Figure 111, on observe nettement à 17,1 GHz une annulation des erreurs de phase et un regroupement des valeurs de gains à environ -0,2 dB. Cette valeur négative est caractéristique de la puissance consommée par les échantillonneurs-bloqueurs. Le même phénomène d'onde stationnaire (ondes réfléchies constructives ou destructives) est aussi à l'origine des « vagues » observées sur la Figure 110.

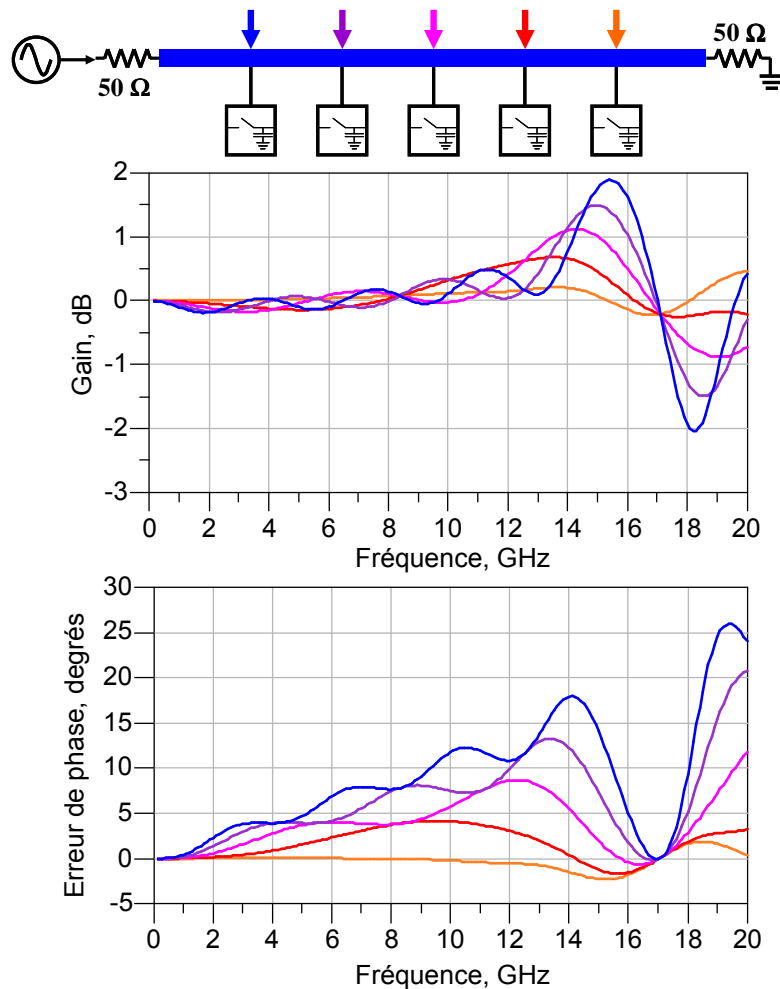


Figure 111 : Gain et erreur de phase pour une distance de 3 mm entre les voies d'échantillonnage

La distance qui sépare deux voies d'échantillonnage consécutives intervient donc sur la résolution, mais cette résolution dépend de la fréquence. En effet, on ne peut pas tirer de règle décisive

sur l'évolution de la résolution en fonction de la longueur de la ligne d'échantillonnage, et on observe que la résolution moyenne dépend peu de la distance entre ligne. La longueur de ligne sera donc déterminée par les contraintes de conception et l'espace nécessaire à la réalisation des échantillonneurs-bloqueurs. En pratique, on cherchera à réduire cette longueur pour diminuer les pertes de propagation et limiter la taille du système.

1.2 Optimisation de la ligne à cinq voies d'échantillonnage

Dans cette sous-partie nous cherchons à étudier les possibilités d'amélioration de la résolution. Comme on sait que l'ondulation sur la ligne est due à l'entrée capacitive des échantillonneurs-bloqueurs, on essaye de compenser localement cette réactance en ajoutant un effet selfique sur la ligne. Cet effet selfique est obtenu en augmentant l'impédance caractéristique de la ligne de propagation sur une courte distance autour des sorties vers les échantillonneurs-bloqueurs (Figure 112). Trois paramètres caractéristiques peuvent être modifiés pour l'optimisation : la longueur du tronçon de ligne désadaptée en impédance, l'impédance caractéristique de ce tronçon de ligne et le rapport avant/arrière, c'est-à-dire la position du tronçon de ligne désadapté par rapport à la ligne d'alimentation de l'échantillonneur-bloqueur.

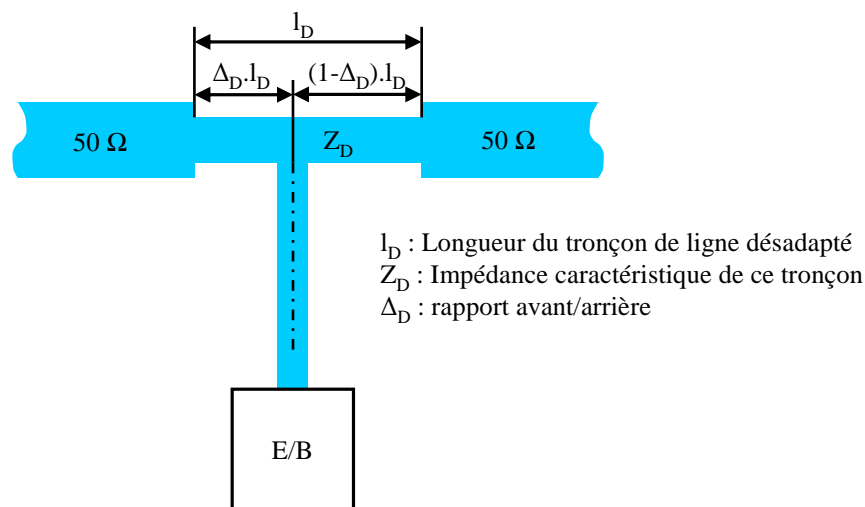


Figure 112 : Insertion d'un tronçon de ligne désadaptée pour limiter l'ondulation

Pour toute cette optimisation, nous nous plaçons dans les conditions décrites précédemment : l'impédance caractéristique de la ligne de propagation est de 50Ω , la distance entre les lignes d'échantillonnage est de 1 mm , le tronçon d'accès aux échantillonneurs-bloqueurs présente une impédance caractéristique de 150Ω pour une longueur de $100 \mu\text{m}$.

- **Mise en évidence de l'amélioration**

La première étape de cette optimisation consiste à vérifier que cette modification de la géométrie de la ligne permet d'améliorer la résolution. Pour cela, on fixe l'impédance caractéristique Z_D à 90Ω et le rapport avant/arrière Δ_D à 0 (arbitrairement). On joue ensuite sur la longueur l_D pour

trouver la valeur optimale qui conduit à la meilleure résolution. Cet optimum est atteint pour une longueur de 108 μm . La résolution optimisée et la résolution initiale sont présentées en fonction de la fréquence du signal Figure 113.

Les résultats sont sans équivoque : l'introduction d'un tronçon de ligne désadapté permet de gagner environ 4 bits effectifs sur toute la bande-passante. Cependant, le cahier des charges n'est pas respecté car la résolution est toujours inférieure à 10 bits effectifs pour toutes les fréquences au dessus de 3,5 GHz.

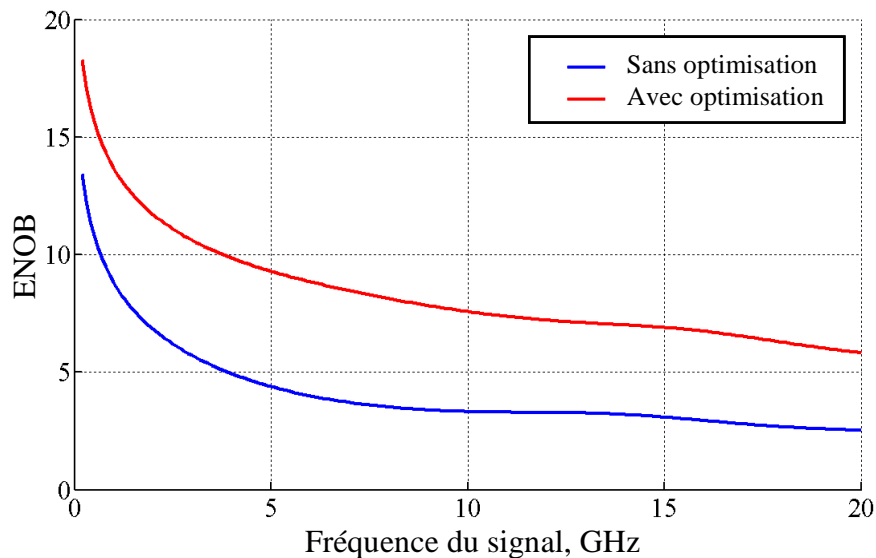


Figure 113 : Résolution avec et sans introduction du tronçon de ligne désadapté

- **Influence de l'impédance caractéristique Z_D**

Pour différentes valeurs de Z_D , on optimise la longueur du tronçon de ligne désadapté. Les résultats obtenus sont présentés Tableau 16. Seule la résolution à 8 GHz est représentée dans ce tableau, mais les mêmes observations peuvent être effectuées sur toute la bande-passante. Très logiquement, quand on augmente l'impédance caractéristique du tronçon de ligne, la longueur optimale diminue. Globalement, la résolution évolue très peu en fonction de l'impédance Z_D . On observe cependant une légère amélioration quand on augmente l'impédance caractéristique. On va donc se placer préférentiellement à des valeurs relativement élevées d'impédance caractéristique. Cependant, il faut tenir compte de deux phénomènes : d'une part, plus l'impédance caractéristique de la ligne est élevée et plus les pertes sont importantes, et d'autre part, la résolution est beaucoup plus sensible aux écarts de réalisation pour des longueurs plus faibles. Une erreur d'1 μm par exemple entraîne une perte de résolution de 0,27 bit effectif pour une impédance Z_D de 150 Ω , alors que la même erreur à 90 Ω ne conduit qu'à une perte de résolution de 0,06 bit effectif.

Impédance Z_D	70 Ω	80 Ω	90 Ω	100 Ω	110 Ω	120 Ω	130 Ω	150 Ω
Longueur l_D	200 μm	137 μm	108 μm	90 μm	77,3 μm	68,0 μm	60,9 μm	50,6 μm
ENOB @ 8 GHz	7,51	7,93	8,13	8,25	8,34	8,40	8,45	8,51

Tableau 16 : Influence de l'impédance sur la longueur optimale et la résolution

On dispose donc d'une certaine marge sur le choix de l'impédance caractéristique Z_D , et on choisira, par exemple, une valeur de 90 Ω . Nous retenons cette valeur pour la troisième étape de l'optimisation.

- **Influence du rapport avant/arrière**

Le dernier paramètre à optimiser est le rapport avant/arrière Δ_D , c'est-à-dire la position du tronçon de ligne qui alimente l'échantillonneur-bloqueur par rapport au tronçon de ligne désadapté. La Figure 114 représente la résolution optimale en fonction de la fréquence du signal d'entrée pour trois valeurs caractéristiques de Δ_D : 0, $\frac{1}{2}$ et 1. La longueur optimale a très légèrement été corrigée : pour un rapport de zéro, sa valeur était de 108 μm , elle passe à 110 μm pour un rapport de un demi, et revient à 108 μm pour un rapport de un.

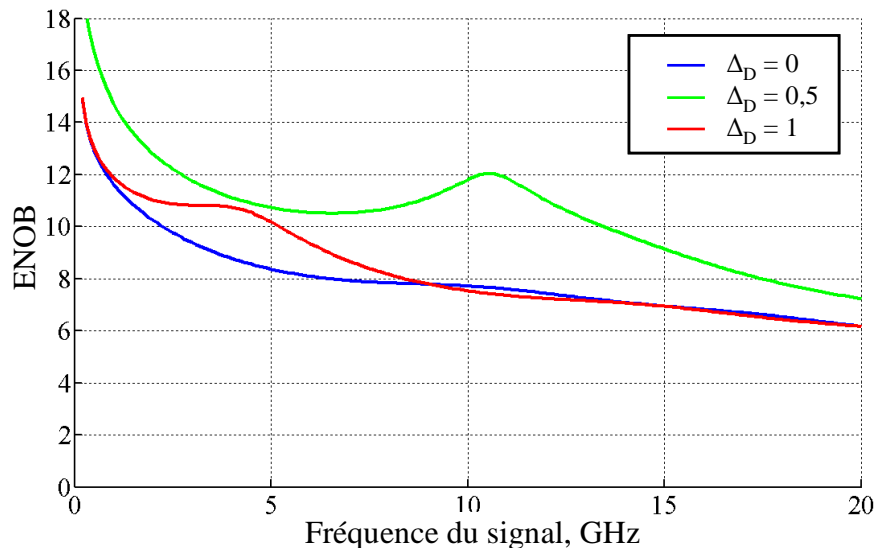


Figure 114 : Résolution en fonction de la fréquence pour différentes valeurs de Δ_D

On observe alors une très nette amélioration des résultats pour un rapport Δ_D de 0,5 : sur toute la bande-passante la résolution est améliorée de 1 à 4 bits effectifs selon la fréquence. On

remarque aussi que la résolution est supérieure à 10 bits effectifs jusqu'à une fréquence du signal d'entrée de 13,5 GHz. Cette nouvelle optimisation permet donc de répondre au cahier des charges.

On vérifie en simulation (non représenté) qu'un rapport de 0,5 conduit en effet aux meilleurs résultats. Enfin, une faible variation de la longueur optimale nous permet de déplacer le pic que nous observons à 11 GHz Figure 114 sur la bande 6 - 8 GHz au prix d'une réduction de la résolution dans la deuxième moitié de la bande-passante.

1.3 Validation de la méthode d'optimisation

La dernière étape de cette étude consiste à vérifier que nous obtenons bien une valeur optimisée de la résolution. Cette étape est nécessaire car les paramètres de conception ne sont pas indépendants. On pourrait donc observer une tendance dans certaines conditions qui ne se vérifie plus dans les conditions finales de l'optimisation (extremums locaux).

En premier lieu, nous avons testé l'influence des tronçons de ligne qui alimentent les échantillonneurs-bloqueurs. Après l'optimisation, si on modifie les valeurs de l'impédance ou de la distance on observe une réduction de la résolution. Ceci met en évidence le fait que l'optimisation réalisée dépend des valeurs que nous avons choisies. Une modification de ces valeurs nécessite donc de reprendre entièrement la démarche d'optimisation.

Nous avons ensuite étudié l'influence de la longueur de ligne Δ_1 entre les voies d'échantillonnage. Les résultats obtenus en faisant varier cette distance et sans changer les valeurs de l'optimisation sont présentés Figure 115. On constate une fois encore, que la résolution varie peu en fonction de la distance entre les voies d'échantillonnage. Deux résultats importants sont à souligner : l'optimisation des paramètres ne dépend pas de la distance entre les voies d'échantillonnage, et toutes les distances étudiées répondent au cahier des charges.

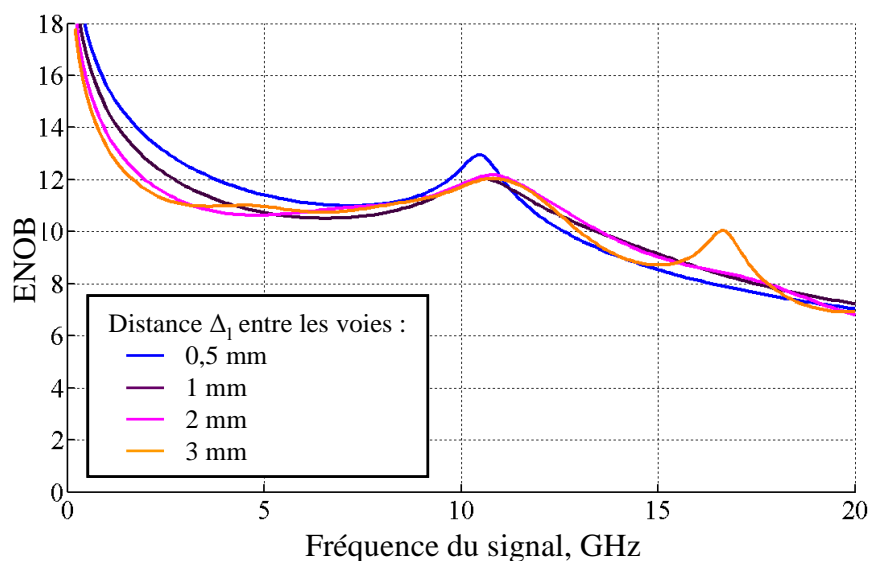


Figure 115 : Influence sur la résolution de la distance entre les voies d'échantillonnage après optimisation

Enfin, un dernier point doit être étudié : l'influence de l'impédance caractéristique du tronçon de ligne désadapté. Nous avons choisi de n'étudier que trois valeurs d'impédance : 70 Ω , 90 Ω et 110 Ω . Les résultats obtenus sont présentés Tableau 17.

Impédance Z_D	70 Ω	90 Ω	110 Ω
Longueur l_D	200 μm	110 μm	78,4 μm
ENOB @ 8 GHz	10,60	10,71	10,73

Tableau 17 : Influence de l'impédance sur la longueur optimale et la résolution après optimisation

Cette fois les résultats en termes de résolution sont encore plus proches que précédemment : on ne constate en effet qu'une différence de 0,13 bit effectif entre 70 Ω et 110 Ω . On peut donc utiliser cette marge pour la conception de la ligne de propagation : en fonction de la simplicité de réalisation, on peut réduire l'impédance caractéristique du tronçon de ligne désadapté à condition d'en augmenter la longueur. On observe donc que l'optimisation réalisée était justifiée et qu'elle permet bien d'atteindre une résolution optimale.

1.4 Conclusion de la sous-partie 2

Cette étude a montré qu'une modification très simple de la géométrie de la ligne nous permet de respecter les contraintes du cahier des charges.

La Figure 116 représente le gain et l'erreur de phase à l'entrée des échantillonneurs-bloqueurs. On constate que les courbes d'erreurs de phases sont très proches (l'échelle étant de 1,5 $^\circ$) et les courbes de gains sont quasiment confondues. L'erreur de phase est quasi nulle sur toute la bande-passante alors que le gain en tension augmente en fonction de la fréquence du signal d'entrée. On observe ainsi un gain en tension de 0,5 dB à 20 GHz, ce qui compense en partie la bande-passante limitée des amplificateurs.

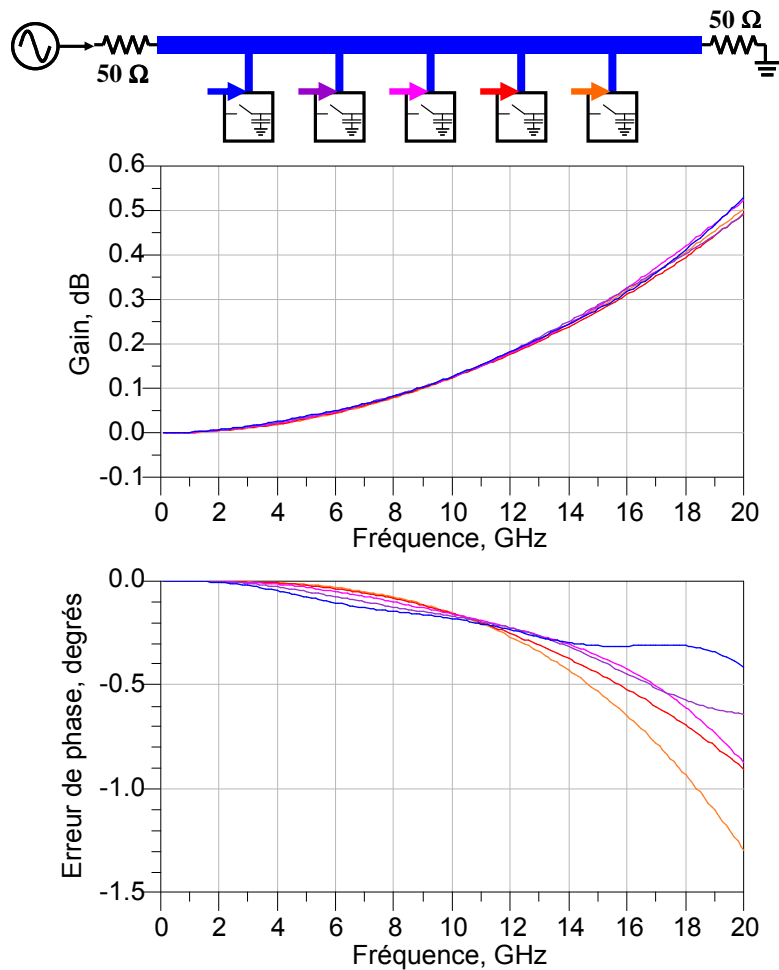


Figure 116 : Gains et erreurs de phase à l'entrée des échantillonneurs-bloqueurs

Enfin, nous pouvons observer le gain et la phase du signal en entrée et en sortie de la ligne de propagation (Figure 117). En entrée le signal contient tous les signaux réfléchis par les désadaptations d'impédance et a donc un profil qui présente une ondulation en fonction de la fréquence d'entrée. En sortie en revanche, on ne distingue aucune ondulation sur le signal. Le gain total de la structure est décroissant, ce qui caractérise une perte d'énergie entre la sortie et l'entrée. L'introduction des échantillonneurs-bloqueurs a donc bien pour effet de réduire la puissance du signal, même si la tension d'entrée des échantillonneurs-bloqueurs augmente avec la fréquence du signal (Figure 116). On constate aussi que les erreurs de gain et de phase sur les deux signaux sont très faibles. Enfin, la forme du signal de sortie nous permet d'envisager, éventuellement, une mise en série des lignes de propagation en les séparant par un amplificateur régénératif.

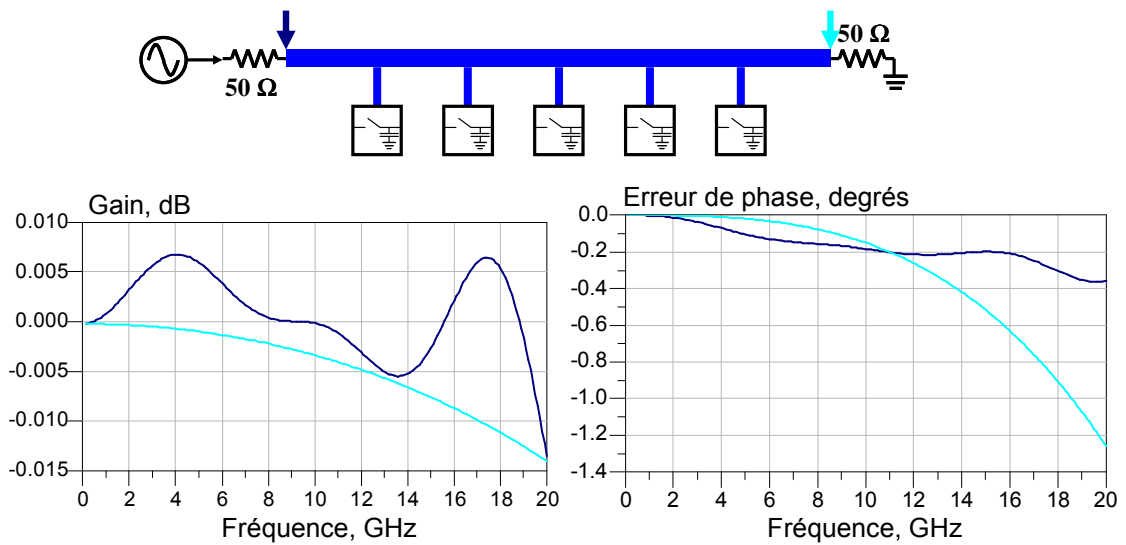


Figure 117 : Gains et erreurs de phase de l'entrée et de la sortie de la ligne de propagation

2 Propagation des perturbations de commutation

Dans le chapitre 2, on a pu identifier une source d'erreur au niveau de l'entrée de l'échantillonneur-bloqueur : les perturbations de commutations. Lorsque le composant passe d'un état à l'autre, les fortes variations de tension en sortie de l'amplificateur d'entrée génèrent des signaux parasites au niveau de l'entrée. Cette situation est particulièrement problématique dans le cas d'une architecture basée sur une ligne de propagation : le signal parasite injecté sur l'entrée va en effet se propager sur la ligne de propagation, à la fois dans le sens du signal et dans le sens opposé.

Nous rappelons la Figure 86 du chapitre 2.

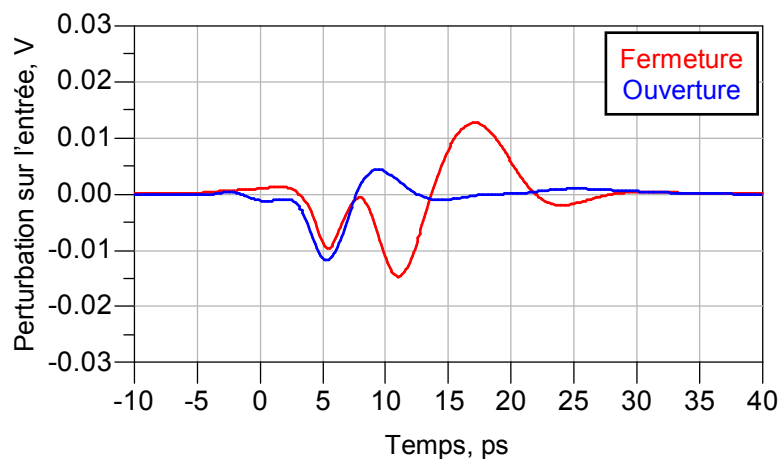


Figure 86 : Erreur sur l'entrée de l'échantillonneur-bloqueur apportée par le déclenchement de l'ouverture et de la fermeture du composant

Si on reprend les caractéristiques de ces perturbations, on remarque qu'elles débutent 5 ps avant la commutation et finissent 35 ps après. Comme il s'agit d'un problème de synchronisation, on peut utiliser le diagramme espace-temps présenté précédemment (Figure 106). Un seul tronçon de ligne est représenté car l'amplificateur d'entrée isole les lignes de propagation des deux sous-systèmes. Un exemple de propagation du signal parasite est présenté Figure 118. Dans cet exemple, nous avons choisi de représenter l'influence du signal parasite de fermeture de l'échantillonneur-bloqueur de la quatrième voie d'échantillonnage. Ce signal est généré au niveau de la voie 4 et est représenté par un segment vertical en violet sur la figure. Ce segment débute légèrement en dessous de la commutation (5 ps avant) et finit 35 ps « au dessus ». Ce signal se propage ensuite sur la ligne de propagation dans les deux sens. Cette propagation se traduit schématiquement par deux zones trapézoïdales de part et d'autre de l'évènement considéré (zones violettes en transparence). Lorsqu'on échantillonne le signal dans l'une de ces deux zones, la valeur prélevée sera entachée d'une erreur due à la commutation de la voie 4. Dans notre exemple un échantillon est inclus dans cette zone : l'échantillon de la voie 2 du front de déclenchement suivant.

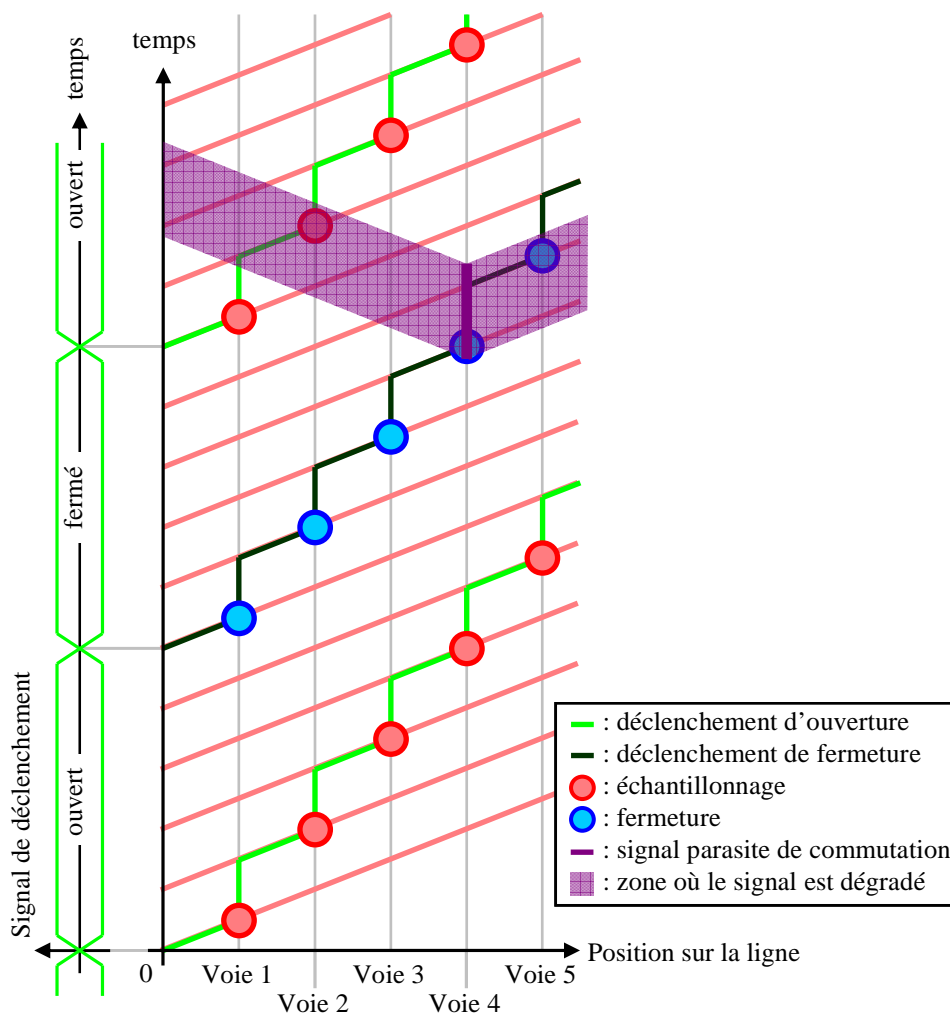


Figure 118 : Exemple de propagation d'un signal parasite de commutation

Pour obtenir les « zones interdites » de chaque commutation, on répète cette opération pour tous les évènements du diagramme. Dans notre cas tous les échantillons seraient alors inclus dans au moins une « zone interdite », c'est-à-dire que tous les échantillons prélevés seraient faux.

Notons que nous avons considéré que le signal de perturbation était entièrement « absorbé » lorsqu'il atteignait les extrémités de la ligne de propagation. Ceci est vrai si la ligne est chargée de part et d'autre par des charges adaptées.

Dans le cas de l'architecture à circuits retard, on constate graphiquement qu'aucune solution n'est possible : l'échantillonnage de la voie i entraîne systématiquement une erreur sur le signal au moment de l'échantillonnage de la voie $(i+1)$. En effet, l'erreur de commutation a une durée de 35 ps, donc plus importante que la période d'échantillonnage de 25 ps.

En choisissant cette architecture, il n'est donc pas possible de supprimer l'influence des commutations et nous devons opter pour la deuxième solution proposée dans le chapitre 2 : placer un amplificateur d'isolement devant l'échantillonneur-bloqueur pour bloquer les signaux parasites des commutations et les empêcher de se propager sur la ligne. Comme cela avait été évoqué, cette solution s'accompagne d'une perte de performances en termes de bruit et linéarité.

3 Conception de la structure de déclenchement

Dans cette partie nous cherchons à concevoir la structure de déclenchement de manière optimale. Nous nous basons donc sur les règles de conception établies dans la première moitié du chapitre 2.

Le schéma de la structure de déclenchement a été présenté Figure 99. Trois fonctions sont à concevoir : le circuit interface d'entrée, le circuit retard et le circuit de remise en forme qui alimente l'échantillonneur-bloqueur.

Un élément cependant n'a pas encore été mentionné. En effet, pour synchroniser les échantillonneurs-bloqueurs esclaves, il est nécessaire d'utiliser le signal de déclenchement des échantillonneurs-bloqueurs maîtres. Ceci est assuré par un inverseur placé en parallèle sur le circuit de remise en forme. Cet inverseur n'a pas de contrainte de faible jitter et peut donc être réalisé à partir de transistors de petite taille. Il n'intervient donc quasiment pas sur le fonctionnement du reste de la structure de propagation.

Dans cette partie, nous présentons et justifions les différentes étapes de la conception de chacun des trois circuits de la structure de propagation.

3.1 Conception du circuit de remise en forme

Le circuit de remise en forme a pour rôle de déclencher les paires différentielles de l'échantillonneur-bloqueur. Il ne sert donc qu'à la remise en forme du signal.

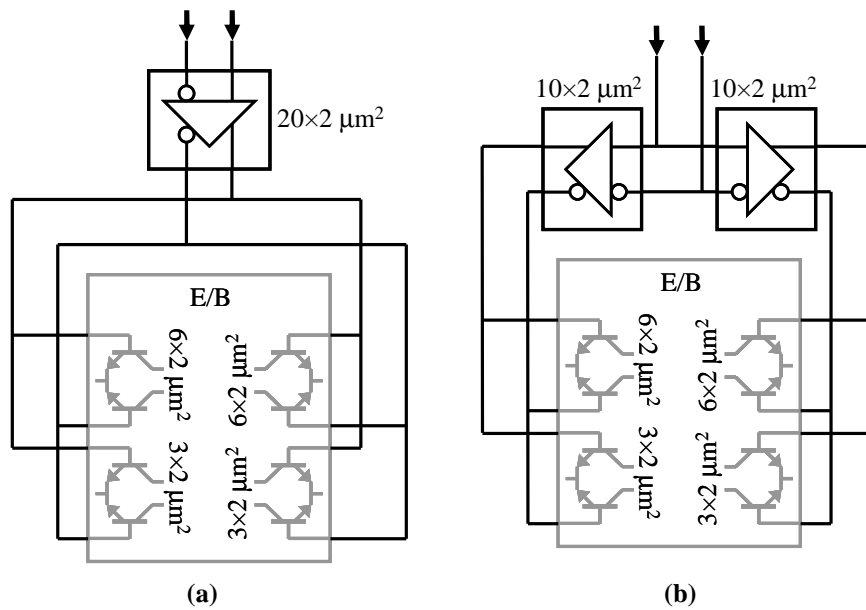


Figure 119 : Deux solutions pour piloter l'échantillonneur-bloqueur : un seul inverseur (a), ou deux (b)

Au niveau de l'échantillonneur-bloqueur, la structure de déclenchement doit commuter quatre paires différentielles : deux composées de transistors de $6 \times 2 \mu\text{m}^2$ et deux composées de transistors de $3 \times 2 \mu\text{m}^2$. Comme on cherche à réduire le jitter, au niveau des échantillonneurs-bloqueurs la commutation doit être la plus rapide possible. Il est donc nécessaire de respecter le critère de sortance établi au chapitre 2 : la somme des surfaces d'émetteurs des transistors des inverseurs pilotés doit être inférieure à la surface d'émetteur des transistors de l'inverseur qui pilote. Dans notre cas, la somme des surfaces d'émetteurs des transistors des inverseurs pilotés est de $18 \times 2 \mu\text{m}^2$. Nous avons donc deux solutions envisageables pour commander l'échantillonneur-bloqueur : ne mettre qu'un seul inverseur basé sur des transistors de $20 \times 2 \mu\text{m}^2$, ou mettre deux inverseurs basés sur des transistors de $10 \times 2 \mu\text{m}^2$. Les deux solutions sont représentées Figure 119.

Les performances de ces deux solutions sont équivalentes. D'après les résultats optimaux obtenus au chapitre 2, le jitter d'un inverseur en T20 ($20 \times 2 \mu\text{m}^2$) est d'environ 1,9 fs alors que celui d'un inverseur en T10 ($10 \times 2 \mu\text{m}^2$) de 2,8 fs. On constate cependant que dans le cas de deux inverseurs, chacun déclenche une des deux voies différentielles de l'échantillonneur-bloqueur.

On peut montrer que si les deux voies différentielles de l'échantillonneur-bloqueur sont commandées par des systèmes indépendants, le jitter équivalent est racine carrée de deux fois plus faible que le jitter de chaque voie. Ainsi, si les deux voies différentielles sont pilotées par deux signaux indépendants présentant un jitter de 1,4, la résolution du système sera équivalente à celle obtenue si on commande les deux voies différentielles par un seul signal de jitter 1. Pour obtenir le jitter équivalent de la solution à deux inverseurs présentée Figure 119, il faut donc diviser le jitter de l'inverseur en T10 par racine carrée de deux. On obtient alors un jitter équivalent de 2 fs, très proche du jitter d'un inverseur en T20.

On constate donc qu'en termes de jitter, les deux solutions proposées sont équivalentes.

Du point de vue de l'impédance d'entrée, on a aussi le même résultat. La capacité d'entrée de l'inverseur en T20 est deux fois plus grande que celle de l'inverseur en T10, mais comme dans le cas du T10 on place deux inverseurs en parallèle, l'impédance d'entrée des deux solutions est équivalente.

On peut donc choisir indifféremment l'une ou l'autre de ces deux solutions. A priori la solution à deux inverseurs présente plus de souplesse pour la disposition relative des éléments lors du dessin des masques car elle permet de réduire la longueur des lignes aux endroits critiques. Pour la conception, on privilégie donc cette solution.

3.2 Conception du circuit retard

Ce circuit a pour principale fonction de créer un retard de 25 ps. Deux contraintes majeures sont à prendre en compte lors de sa conception. La première concerne les lignes de propagation. Le circuit retard étant placé au bout d'une ligne de transmission, il est nécessaire d'adapter l'impédance d'entrée du circuit pour ne pas générer d'ondes stationnaires. La deuxième contrainte est que ce circuit doit piloter à la fois un autre circuit retard, le circuit de remise en forme qui alimente l'échantillonneur-bloqueur et le circuit de déclenchement des échantillonneurs-bloqueurs esclaves. On ne peut donc pas respecter le critère de sortance des inverseurs.

L'architecture retenue est présentée Figure 120 et les choix sont justifiés par la suite.

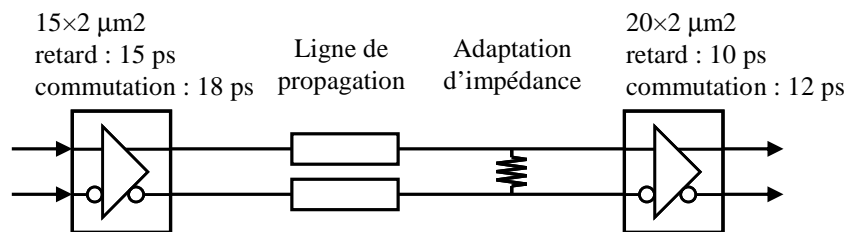


Figure 120 : Architecture optimisée du circuit retard

- **Influence de la sortance des inverseurs**

On a vu lors de l'optimisation du jitter de l'inverseur (chapitre 2) que des inverseurs basés sur de gros transistors conduisent à une amélioration du jitter. On va donc favoriser l'emploi de gros transistors dans les inverseurs qui constituent le circuit retard. On avait vu aussi qu'il y a très peu de différence entre des inverseurs basés sur des transistors de $15 \times 2 \mu\text{m}^2$ et de $20 \times 2 \mu\text{m}^2$. On s'impose donc une taille minimale de transistor de $15 \times 2 \mu\text{m}^2$ pour les inverseurs du circuit retard.

Le circuit retard doit piloter en sortie deux inverseurs en T10 (circuit remise en forme), un inverseur en T3 (déclenchement des échantillonneurs-bloqueurs esclaves) et un autre circuit retard. Pour réduire la capacité vue de la sortie du circuit retard, on va placer en entrée du circuit retard l'inverseur qui présente les plus petits transistors possibles : des transistors de $15 \times 2 \mu\text{m}^2$.

Au final, l'inverseur de sortie du circuit retard doit donc piloter des inverseurs dont la somme des surfaces d'émetteur est de $38 \times 2 \mu\text{m}^2$. Cette valeur est presque deux fois supérieure au

maximum autorisé. Pour ne pas saturer l'étage de sortie de l'inverseur, la seule alternative est de réduire la vitesse de commutation du signal de déclenchement. Le temps de commutation minimal (de 20 à 80 %) étant typiquement de 6 ps, il sera d'au moins 12 ps en sortie du circuit retard.

- **Nombre d'inverseurs cascades**

On a vu au chapitre 2, que du point de vue du jitter, il est équivalent de créer un retard en cascade des inverseurs ou en allongeant le retard d'un seul inverseur. La première solution permet de conserver des fronts de propagation très raides mais la deuxième solution permet de réduire la consommation. Le retard d'un inverseur étant d'environ 5 ps, il faut multiplier par cinq cette valeur pour réaliser le circuit retard.

Le circuit de remise en forme doit présenter à l'échantillonneur-bloqueur un signal de 6 ps de temps de commutation. Si on réduit trop le temps de commutation du signal à l'entrée, ce circuit ne peut plus assurer une remise en forme correcte du signal et ne remplira plus sa fonction. On cherche donc à avoir en entrée un temps de commutation relativement rapide. Comme on vient de voir qu'il doit être d'au moins 12 ps, on choisira cette valeur.

Ce choix constitue une contrainte importante sur nos possibilités de créer le retard. En effet, si on n'utilise qu'un seul inverseur, le temps de commutation serait d'environ 30 ps Cette valeur a été obtenue en utilisant successivement les formules (29) et (30) du chapitre 2, rappelées ici :

$$T_D = R_C \cdot C_C \cdot \ln(3) \quad (29)$$

$$S'(T_D) = \frac{i_{ee}}{C_C} \quad (30)$$

Avec T_D : retard entre l'entrée et la sortie, $S'(T_D)$: pente du signal de sortie au passage à zéro, R_C : résistance placée sur le collecteur, C_C : capacité vue au niveau du collecteur et i_{ee} : courant qui traverse la paire différentielle.

Il faut donc utiliser au moins deux inverseurs pour créer le retard de 25 ps.

Cette solution permet aussi d'utiliser des tailles de transistors différentes : sur l'inverseur d'entrée, les transistors ont une surface de $15 \times 2 \mu\text{m}^2$ et en sortie de $20 \times 2 \mu\text{m}^2$. Pour obtenir un temps de commutation de l'inverseur de sortie de 12 ps, il a fallu augmenter le retard de l'inverseur d'un facteur deux, ce qui représente 10 ps. L'inverseur d'entrée doit alors présenter un retard de 15 ps, soit trois fois le retard minimal.

- **Influence de la ligne de propagation**

La sortie du circuit retard permet d'alimenter plusieurs paires différentielles. Même en optimisant l'adaptation d'impédance, on observera à ce niveau plusieurs réflexions parasites. Si on place la ligne de propagation en entrée ou en sortie du circuit retard, ces réflexions se propageront dans la ligne et risquent de perturber le signal de commutation suivant. A 4 GEch/s, il faut que toutes les réflexions parasites soient absorbées en moins de 125 ps. Il est donc souhaitable de réduire les distances qui séparent tous les éléments connectés au nœud de sortie du circuit retard.

En revanche, entre les deux inverseurs du circuit retard aucun élément n'est ajouté et il est alors plus simple d'adapter les impédances des bouts de ligne. Un autre avantage vient du temps de commutation : comme la commutation est plus lente (18 ps au lieu de 12 ps en sortie) les composantes harmoniques du signal ont des fréquences plus faibles et subissent donc moins de réflexions sur des désadaptations capacitives.

Il est donc préférable de placer la ligne de propagation du signal de déclenchement entre les deux inverseurs qui composent le circuit retard.

• **Schéma électrique du circuit retard**

Le schéma électrique du circuit retard est représenté Figure 121. Les différents éléments évoqués précédemment y sont représentés. Pour « ralentir » les inverseurs, on place une capacité entre les deux branches de la paire différentielle. La tension d'alimentation positive est fixée à 0 V. Cette valeur permet d'adapter les impédances en bout de ligne par des résistances reliées à la masse qui participent à la polarisation de la paire différentielle. La tension d'alimentation négative est fixée à -3,8 V pour assurer un décalage de tension de 2,5 V avec le niveau continu d'entrée de la paire différentielle (-1,3 V).

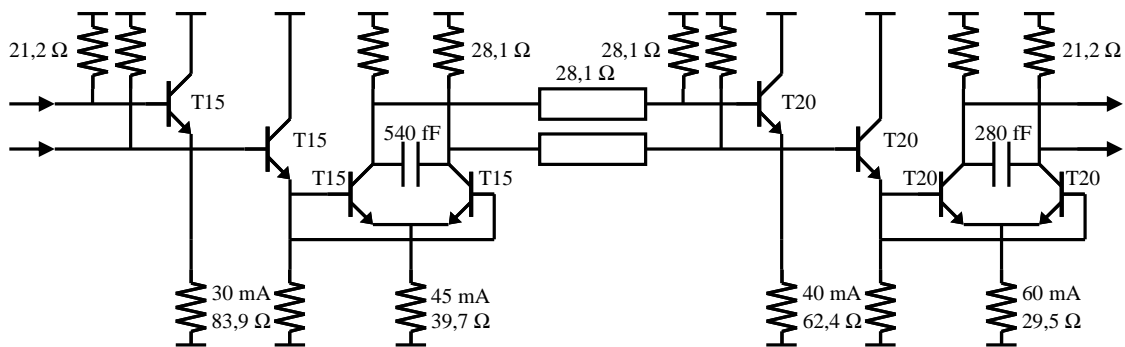


Figure 121 : Schéma électrique du circuit retard

La forme des signaux en entrée et sortie des deux inverseurs qui composent le circuit retard est représentée Figure 122. On constate bien que le temps de descente en sortie du deuxième inverseur est de 12 ps, alors qu'il est plus lent au début de la ligne de propagation (18,2 ps). Le retard total du composant est de 35,7 ps, duquel il faut enlever le temps de propagation du signal sur la ligne : 10,7 ps. Au final, le retard ajouté par ce circuit est donc bien de 25 ps.

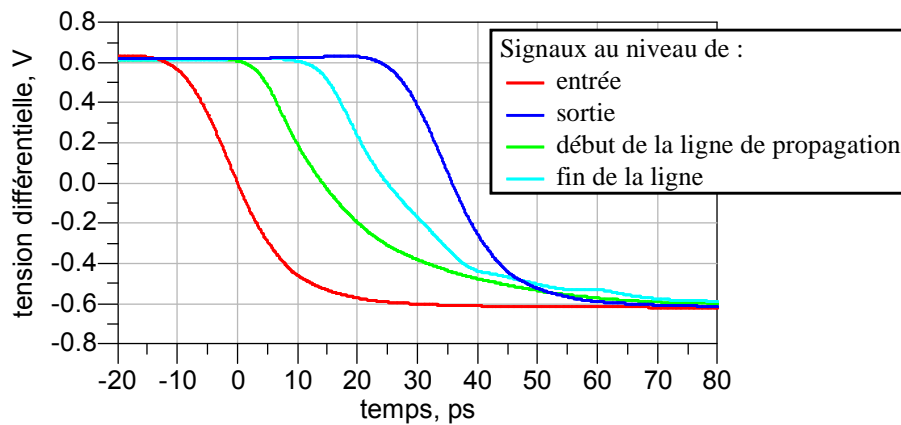


Figure 122 : Forme des signaux du circuit retard

3.3 Conception du circuit d'interface d'entrée

Ce circuit ne sert qu'à la remise en forme du signal. Il reçoit en entrée le signal d'horloge sinusoïdal et doit présenter en sortie le même signal que le circuit retard, c'est-à-dire un temps de commutation de 12 ps. L'entrée du circuit est alimentée par une source sinusoïdale à 4 GHz. On suppose que cette source est adaptée sur 50Ω et qu'elle fournit un signal différentiel de $1 V_{pp}$.

Comme la première voie d'échantillonnage est directement alimentée par le circuit d'entrée, il doit présenter en sortie les mêmes caractéristiques que le circuit retard. On va donc réutiliser l'inverseur de sortie du circuit retard pour réaliser l'étage de sortie du circuit interface.

Si on ne place que cet étage, le signal de sortie n'atteint pas le temps de commutation désiré. Il est donc nécessaire d'ajouter un autre inverseur en entrée. Pour limiter le jitter, cet inverseur sera réalisé à partir de transistors T15 ($15 \times 2 \mu m^2$) car ils permettent le meilleur compromis entre jitter et consommation.

Le schéma de principe et le schéma électrique du circuit d'interface d'entrée sont représentés Figure 123. Le schéma électrique est le même que celui du circuit retard pour l'inverseur de sortie. Pour l'inverseur d'entrée, on a enlevé la capacité entre les branches de la paire différentielle et l'entrée est adaptée 50Ω .

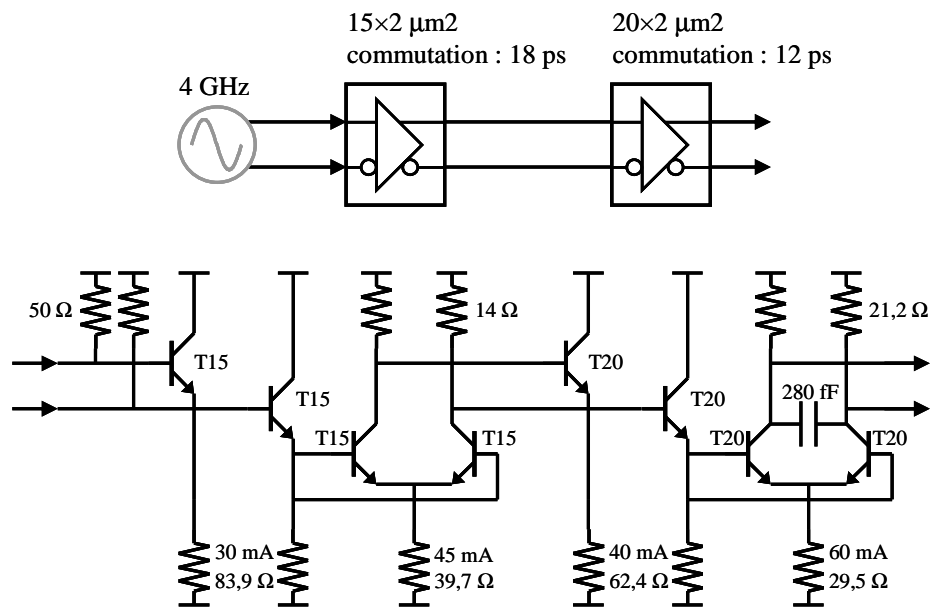


Figure 123 : Schéma de principe et schéma électrique du circuit interface d'entrée

Les signaux différentiels de ce circuit sont représentés Figure 124. On constate bien que le premier étage permet d'atteindre un temps de commutation de 18 ps et qu'en sortie ce temps de descente est réduit à 12 ps.

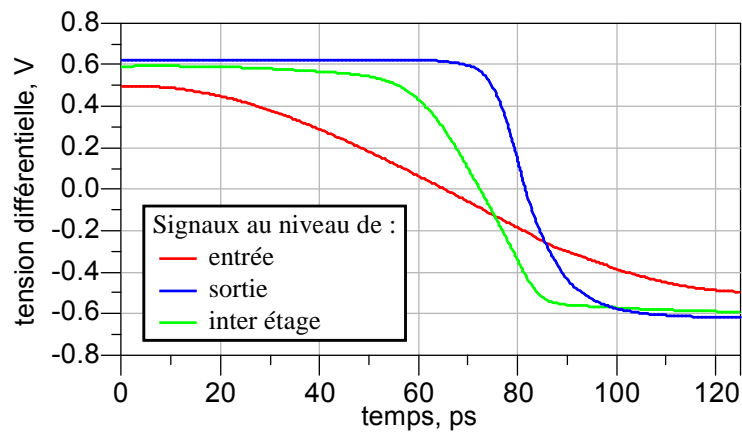


Figure 124 : Forme des signaux du circuit interface d'entrée

Lors des simulations, on a pu vérifier que ce circuit présente encore un fonctionnement correct pour un signal d'entrée de 0,5 V_{PP}. Il réalise ainsi une interface efficace entre la référence sinusoïdale et le reste de la structure de déclenchement.

III - Simulation des performances

Cette troisième et dernière partie de l'étude de l'architecture à circuits retard est dédiée à la simulation de ses performances. Elles sont évaluées autour de deux axes : la structure de déclenchement et la structure de propagation. Pour la structure de déclenchement, un seul paramètre est évalué : le jitter. En revanche, pour la structure de propagation, plusieurs aspects limitent les performances et sont étudiés.

Ces simulations présentent un double intérêt pour notre démarche : d'une part elles permettent de quantifier les performances que l'on peut espérer lors de la réalisation du système et d'autre part elles permettent de comparer les performances des différentes architectures.

1 Performances de la structure de propagation

Dans cette sous-partie nous étudions la simulation du jitter de l'architecture à circuits retard. Nous présenterons d'abord le mode opératoire utilisé puis les résultats obtenus.

1.1 Simulation

Le principe de simulation retenu est le même que celui décrit dans le chapitre 2 pour l'optimisation du jitter de l'inverseur. Sur la base d'une simulation Monte-Carlo, nous simulons temporellement les différentes sources de bruit. Le jitter est évalué par la déviation standard de l'instant où le signal de déclenchement passe par zéro. Nous pouvons ainsi simuler le jitter de la structure de propagation pour chaque voie d'échantillonnage. Le jitter de la structure de propagation est simulé voie par voie. Deux points méritent quelques précisions : la simulation du jitter de l'inverseur et le jitter d'un déclenchement différentiel.

- **Jitter de l'échantillonneur-bloqueur**

Plutôt que de simuler le jitter à l'entrée de l'échantillonneur-bloqueur, nous ajoutons un étage d'inverseur qui correspond physiquement à la paire différentielle qui commute le transistor de l'étage SEF. La taille des transistors de l'inverseur est choisie égale à celle des transistors de la paire différentielle, soit dans notre cas $6 \times 2 \mu\text{m}^2$ (Figure 125).

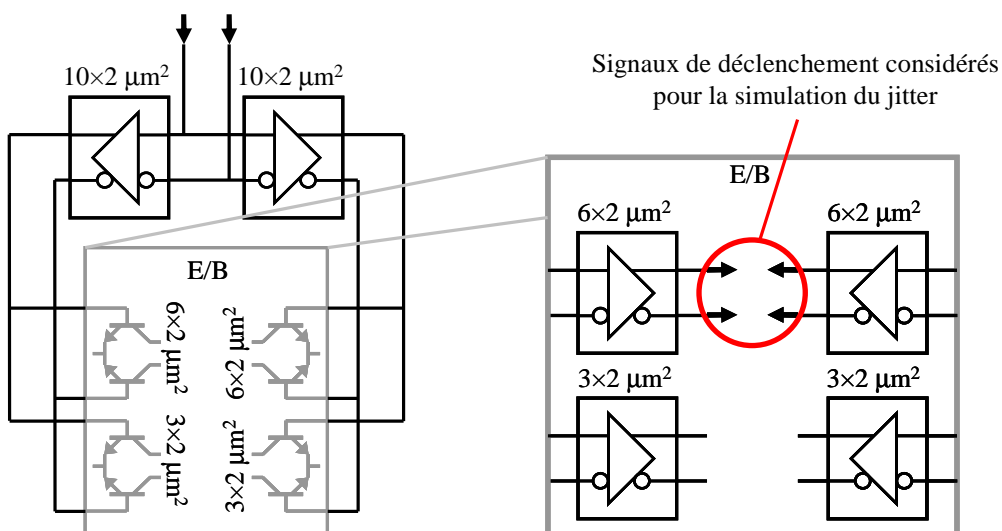


Figure 125 : Modèle de l'échantillonneur-bloqueur pour la simulation du jitter

- **Jitter d'un déclenchement différentiel**

Comme la structure de l'échantillonneur-bloqueur est différentielle, l'étage SEF est répété deux fois. On a donc deux paires différentielles qui commutent en fonction de deux signaux de déclenchement différents. Pour le calcul du jitter, on considère que l'instant d'échantillonnage réel est la moyenne des deux instants d'échantillonnage.

Pour valider cette approche, nous avons testé la résolution obtenue dans les deux cas sur Matlab (Figure 126). Dans le premier cas, le signal de chaque voie différentielle est échantillonné par un signal de déclenchement entaché de jitters différents, et dans le second cas, le signal différentiel est échantillonné par un déclenchement auquel on ajoute la moyenne des deux jitters. Nous avons ensuite testé différents signaux et nous obtenons systématiquement les mêmes résultats.

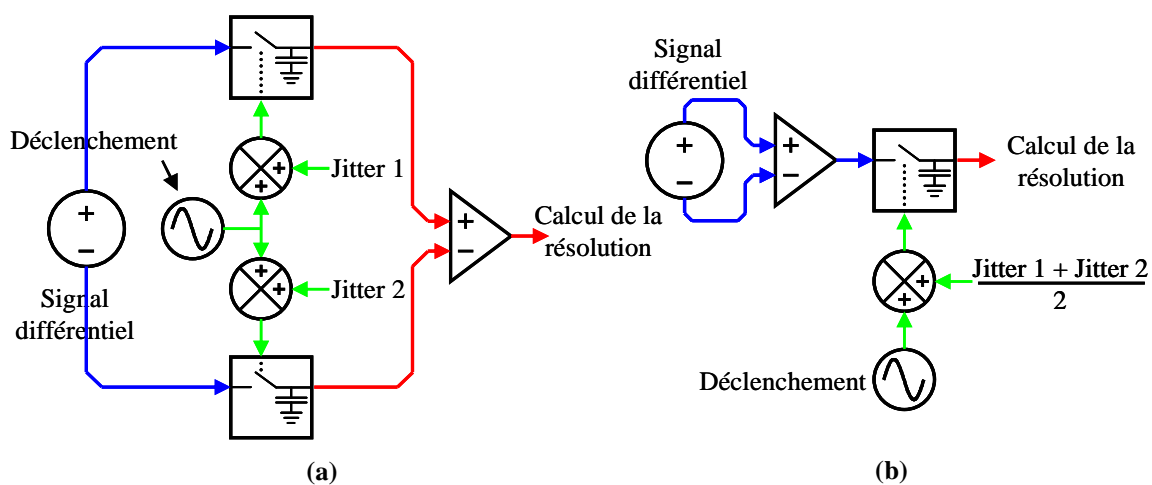


Figure 126 : Schéma des deux cas simulés, (a) échantillonnage de chaque voie différentielle et (b) échantillonnage du signal différentiel

1.2 Résultats

Les résultats de simulation sont présentés sous forme graphique Figure 127, et sous forme numérique Tableau 18.

Numéro de la voie d'échantillonnage	1	2	3	4	5	Jitter équivalent du système
Jitter simulé	11,8 fs	16,4 fs	20,3 fs	23,0 fs	25,9 fs	20,1 fs

Tableau 18 : Jitter simulé sur les différentes voies d'échantillonnage

On obtient un jitter moyen très faible, d'environ 20,1 fs. Cette valeur permet une résolution de 9,7 bits effectifs à 8 GHz, dans le cas où on dispose d'une référence sinusoïdale parfaite.

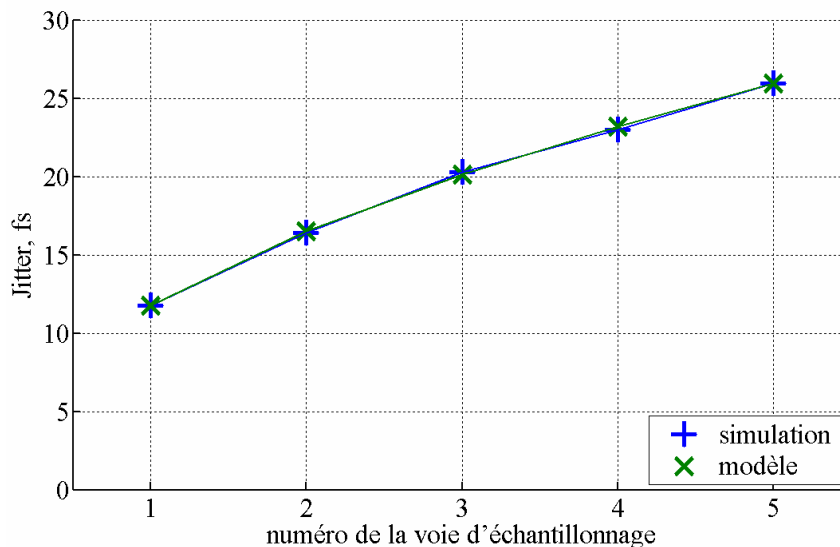


Figure 127 : Résultats de simulation du jitter (bleu) comparés au modèle utilisé dans la simulation système (vert)

On constate aussi Figure 127 que l'évolution du jitter en fonction du numéro de la voie correspond exactement à ce que nous attendions. En réajustant les valeurs du modèle décrit dans l'étude système, on constate que l'erreur est très faible et les deux courbes sont quasiment confondues. On valide ainsi l'étude système qui présente l'avantage de nécessiter beaucoup moins de ressources informatiques : le résultat est en effet quasi instantané par la simulation système alors qu'il demande environ 200 H de temps de calcul pour une seule architecture simulée par la simulation composant (Pentium III 2,8 GHz et 2 Go de mémoire). Cependant, seule cette deuxième simulation permet d'obtenir la valeur du jitter.

2 Structure de propagation du signal à analyser

Cette seconde sous-partie est consacrée à l'étude de la structure de propagation. Nous évaluerons dans un premier temps la bande-passante, puis les paramètres qui influencent la résolution : la linéarité, les perturbations de commutation et l'influence des désadaptations d'impédance le long de la ligne de propagation.

2.1 Bande-passante

Pour cette simulation, nous cascadons tous les étages d'amplificateurs, c'est-à-dire l'amplificateur d'entrée du système qui pilote la ligne de propagation, la ligne de propagation elle-même (on a vu dans la partie précédente qu'elle apportait du gain en tension pour les hautes fréquences de la bande-passante), l'amplificateur qui isole la ligne de propagation et l'échantillonneur-bloqueur. Nous testons cette bande-passante aux niveaux des capacités de maintien de l'échantillonneur-bloqueur en mode passant.

Les résultats de simulation sont présentés Figure 128. Nous obtenons une bande-passante à -3 dB de 14,3 GHz. La bande-passante est donc très proche de celle que nous avons obtenues pour l'échantillonneur-bloqueur seul (15,5 GHz), donc l'architecture du système a peu d'influence sur ce paramètre.

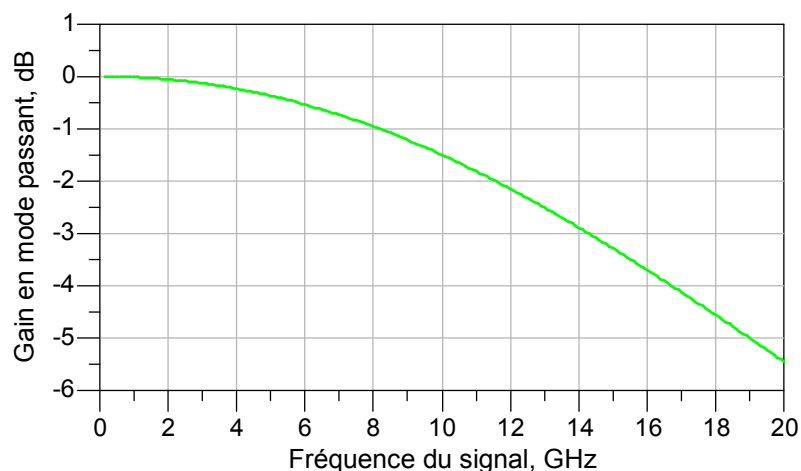


Figure 128 : Gain de l'architecture à circuits retard au niveau des capacités de maintien

2.2 Linéarité

La simulation réalisée pour tester la linéarité est très proche de celle qui nous a permis d'établir la bande-passante : nous simulons les différents étages d'amplification et de propagation et nous testons la linéarité au niveau des capacités de maintien en mode passant. Comme pour les simulations de l'échantillonneur-bloqueur (chapitre 2), nous utilisons le SFDR pour caractériser cette linéarité. Dans notre cas, il correspond au rapport de puissance de la troisième composante harmonique sur celle de la composante fondamentale et comme la puissance des composantes harmoniques diminue rapidement, il est très proche du taux de distorsion harmonique (THD).

Les résultats sont présentés Figure 129 pour un signal d'entrée d'amplitude 1 V_{pp}. Nous atteignons une valeur de 48 dB jusqu'à 10 GHz, ce qui correspond à 7,7 bits effectifs. En termes de linéarité, la structure de propagation dégrade donc sensiblement les performances et on perd presque deux bits effectifs comparativement aux performances de l'échantillonneur-bloqueur.

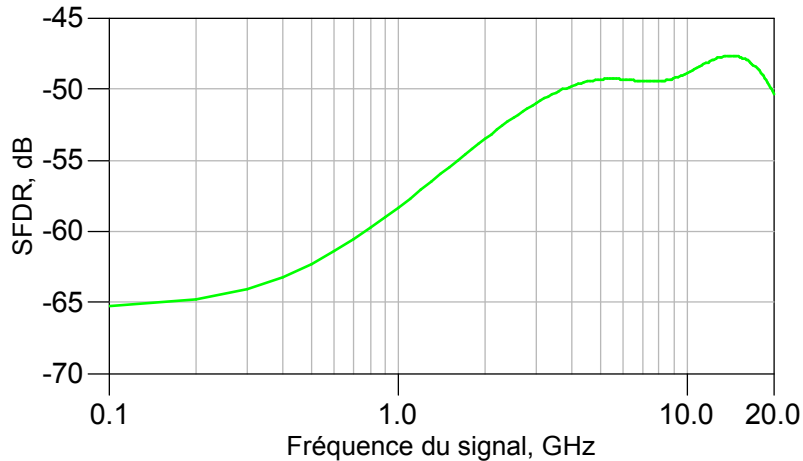


Figure 129 : SFDR de l'architecture à circuits retard au niveau des capacités de maintien

Ce résultat confirme la baisse de performance annoncée, due à l'introduction d'un amplificateur d'entrée pour isoler la ligne de propagation de l'échantillonneur-bloqueur.

2.3 Perturbations de commutation

Nous reprenons ici la simulation qui avait été réalisée lors de la conception de l'échantillonneur-bloqueur (chapitre 2). Le résultat est présenté Figure 130 et l'on constate que les erreurs de commutation présentent des extremums inférieurs à 0,8 mV. On a donc une très nette amélioration de ce paramètre lorsqu'on ajoute un deuxième amplificateur d'entrée : les extremums sans cet étage étaient en effet d'environ 15 mV, ce qui représente une amélioration d'un facteur vingt.

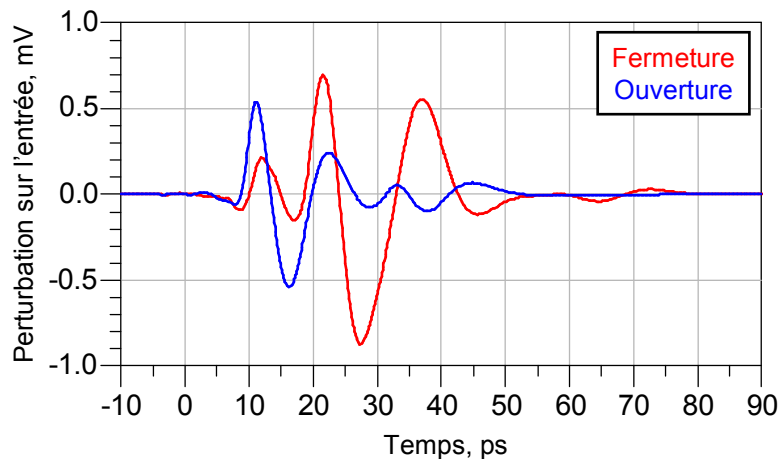


Figure 130 : Signal parasite de commutation sur l'entrée des voies d'échantillonnage

Le maximum d'erreur autorisée pour atteindre 10 bits effectifs étant de 0,4 mV, on constate que nous n'atteignons toujours pas cet objectif. En revanche les valeurs obtenues permettent une résolution de 9 bits effectifs, ce qui aura peu d'influence sur les performances de l'architecture comparativement à la linéarité.

2.4 Entrelacement temporel

Lorsque nous avons optimisé la ligne de propagation, nous n'avons considéré que l'étage d'entrée de l'amplificateur d'isolement, étage simplement constitué d'un collecteur commun. Pour conserver des performances correctes en termes de bande-passante et de linéarité, nous avons légèrement dégradé l'impédance d'entrée de l'amplificateur d'isolement.

Nous avons donc repris l'optimisation de la ligne de propagation sur le même principe que celui décrit précédemment. Les résultats obtenus sont présentés Figure 131 (pour une distance entre les voies d'échantillonnage de 1 mm). On constate que la résolution est supérieure à 8 bits effectifs pour des fréquences d'entrée jusqu'à 10 GHz. Ces résultats sont donc cohérents comparativement à la linéarité.

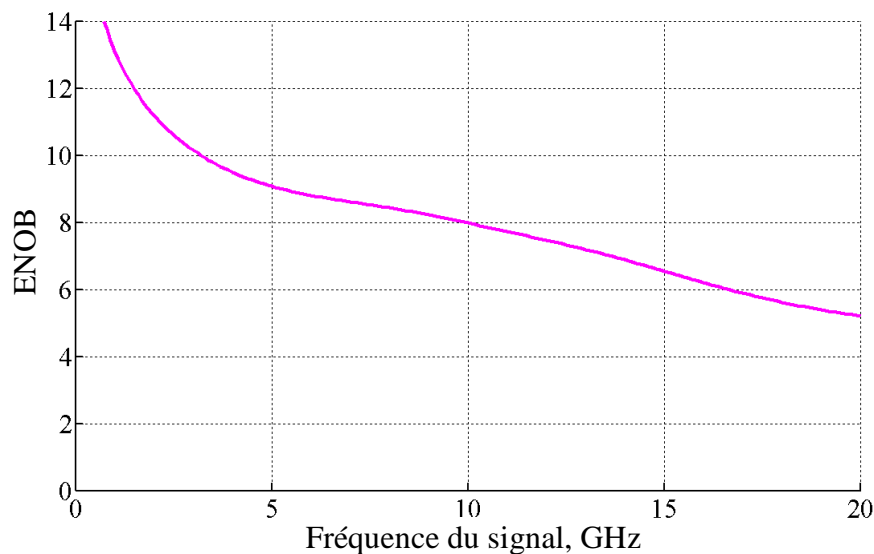


Figure 131 : Nombre de bits effectifs équivalent aux limitations de l'entrelacement temporel des voies d'échantillonnage

3 Résolution totale

Par un rapide calcul, on constate qu'il n'est pas réaliste de simuler directement l'intégralité de la structure au niveau transistors. Le système est en effet excessivement complexe (environ 3000 transistors) ce qui alourdit énormément la simulation. Cette complexité excessive pose plusieurs problèmes pour la simulation. La convergence est déjà difficile à obtenir pour des simulations de quelques dizaines de transistors. Le temps de simulation est aussi une autre contrainte. Par extrapolation des temps de simulations plus réduites, il faudrait au moins 200 jours de simulation en

continu pour obtenir des résultats tout juste représentatifs des performances du système. Enfin, les capacités mémoire des ordinateurs actuels sont bien trop faibles pour une telle simulation.

On choisit donc d'évaluer les performances de l'architecture en sommant les différentes contributions des paramètres qui limitent la résolution. Dans notre cas, nous prenons en considération l'entrelacement temporel des voies d'échantillonnage, les perturbations de commutation et les non-linéarités. Pour l'influence de la ligne de propagation, nous disposons directement de l'information en termes de nombre de bits effectifs. Pour caractériser les non-linéarités, nous utilisons le SFDR qu'on convertit en résolution par les formules du premier chapitre. Enfin, on considère que les perturbations de commutation agissent comme un bruit blanc limitant la résolution à 9 bits effectifs sur toute la bande.

Cette méthode ne prend pas en compte l'influence du bruit des composants qui n'a pas été simulée (absence de modèle de simulation). De plus, la résolution est établie en mode passant, sans échantillonnage et au niveau des capacités de maintien des échantillonneurs-bloqueurs maîtres.

Les résultats sont présentés Figure 132. On constate qu'en basse fréquence la résolution est principalement limitée par les perturbations de commutation. Entre 2 et 7 GHz, les non-linéarités sont prédominantes. Au-delà de 7 GHz, les erreurs d'entrelacement deviennent prédominantes.

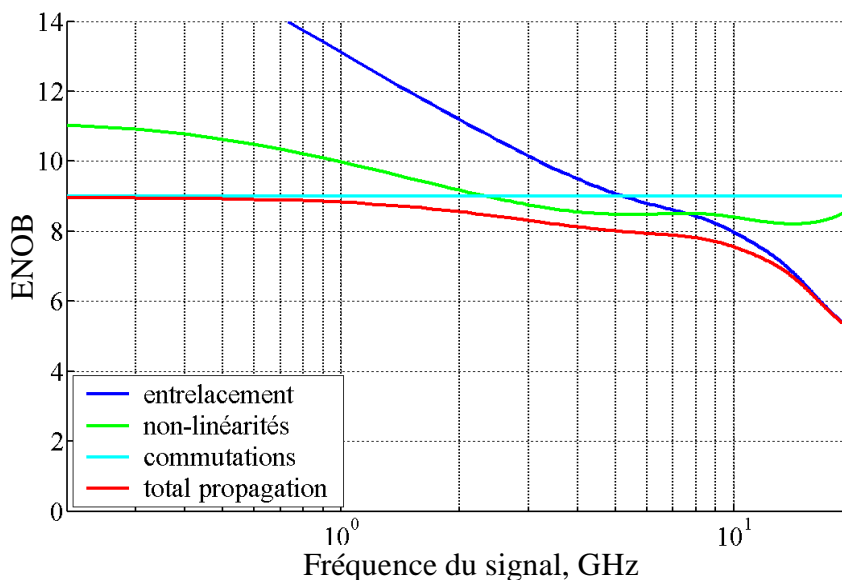


Figure 132 : Résolution de la structure de propagation et influence des différentes contributions

Ce résultat est ensuite comparé à l'influence du jitter (Figure 133). On constate alors que la résolution du système n'est quasiment limitée que par les erreurs de la structure de propagation. Le jitter ne constitue donc pas une limitation pour notre système. On peut voir aussi que la résolution est relativement élevée, au-delà de 7,5 bits effectifs jusqu'à 10 GHz.

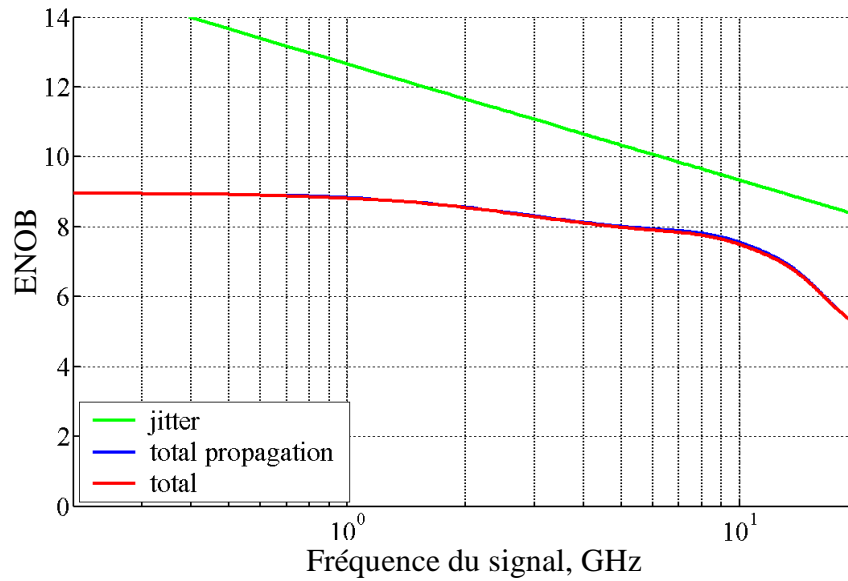


Figure 133 : Résolution du système en intégrant la structure de propagation et la structure de déclenchement

4 Conclusions

Après avoir adapté l'architecture initialement développée dans un contexte mono-coup, nous avons optimisé la conception des deux parties qui la constituent : la structure de propagation du signal à analyser et la structure de déclenchement. Nous avons ensuite réalisé différentes simulations pour évaluer les performances de la nouvelle architecture ainsi réalisée.

La structure de propagation présente un jitter très faible, d'environ 20 fs, ce qui représente l'un des résultats majeurs de cette étude. Par une conception rigoureuse de la structure de déclenchement, il est possible de réduire le jitter à des valeurs suffisamment faibles pour échantillonner un signal à 8 GHz avec une résolution de 9,7 bits effectifs. Ce résultat valide l'utilisation de circuits retard pour créer les déphasages des signaux de déclenchement.

Lors de la conception de la structure de propagation, différents compromis nous ont obligé à favoriser certains paramètres au détriment d'autres. Nous avons choisi de maintenir une bande-passante élevée, d'environ 15 GHz, et d'optimiser la résolution dans la bande de fréquences de 5 à 10 GHz. Au regard des simulations que nous avons effectuées, nous obtenons une résolution d'environ 7 bits effectifs pour des fréquences d'entrée allant jusqu'à 10 GHz. Ce résultat est nettement supérieur à ceux généralement observés dans la littérature, cependant il est bien inférieur à nos objectifs.

D'après cette étude, on constate que la résolution du système dans toute la bande-passante n'est pas limitée par le jitter mais par la structure de propagation, c'est-à-dire les non-linéarités et les différentes erreurs du signal avant l'échantillonnage.

Le jitter constitue donc le principal point fort de cette architecture. Cependant nous avons identifié deux points faibles : les imperfections de la ligne de propagation du signal qui génèrent des erreurs d'entrelacement et le buffer d'isolement placé à l'entrée de chaque voie d'échantillonnage.

Cette architecture présente un intérêt majeur pour les différentes applications envisageable : son évolutivité. La fréquence d'échantillonnage n'est en effet pas limitée par l'architecture mais par les éléments extérieurs au système d'échantillonnage, particulièrement les convertisseurs analogique-numérique.

C - Architecture à ligne de propagation d'horloge

Dans l'étude bibliographique du chapitre 1, nous avons étudié une autre architecture monocoup basée sur le retard introduit par la longueur des lignes de propagation. Dans cette partie nous reprenons ce principe que nous adaptons à un fonctionnement en temps continu.

Cette architecture est aussi basée sur une ligne de propagation du signal à analyser. La structure de propagation est donc identique à celle de l'architecture à circuits retard. En revanche, la structure de déclenchement est différente : pour cette deuxième architecture étudiée, le signal de déclenchement est aussi propagé dans la structure par une ligne de propagation.

La structure de propagation n'est alors constituée que d'une ligne de propagation et de circuits d'interface qui remettent en forme le signal sinusoïdal pour assurer le déclenchement des échantillonneurs-bloqueurs. Cependant ce circuit doit isoler suffisamment la ligne de propagation d'horloge pour que les déclenchements ne se perturbent pas mutuellement.

Dans un premier temps nous présentons l'architecture que nous avons adaptée à un fonctionnement répétitif. Nous étudierons ensuite la conception d'un système basé sur ce principe dont nous présenterons les performances simulées dans une troisième partie.

I - Présentation de l'architecture

Dans cette sous-partie, nous présentons le fonctionnement d'un système d'échantillonnage basé sur la propagation du signal d'horloge sur une ligne de transmission. Nous détaillerons particulièrement le fonctionnement de la structure de propagation et la synchronisation des différents éléments qui la composent.

1 Principe de fonctionnement

Les contraintes sur la structure de propagation de cette nouvelle architecture sont les mêmes que celles de l'architecture à circuits retard.

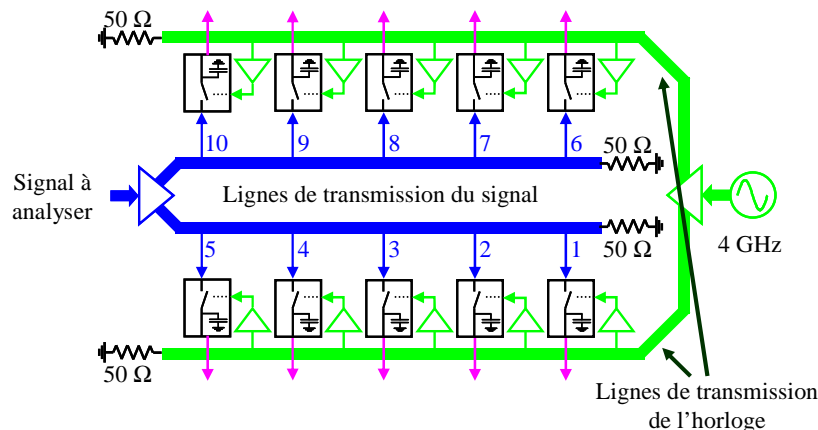


Figure 134 : Schéma de principe de l'architecture à ligne de propagation d'horloge

Le schéma de l'architecture à ligne de propagation d'horloge est représenté Figure 134. Comme pour l'architecture basée sur des circuits retard, on retrouve deux lignes de propagation du signal qui alimentent chacune cinq voies d'échantillonnage.

La structure de déclenchement en revanche est complètement différente : le signal d'horloge sinusoïdal est propagé sur deux lignes de propagation dans le sens opposé au déplacement du signal à analyser. Au niveau de chaque voie d'échantillonnage, un circuit de remise en forme permet de redresser les fronts et assure le déclenchement des échantillonneurs-bloqueurs. On diminue ainsi le nombre d'étages cascades dans la structure de déclenchement ce qui devrait théoriquement améliorer le jitter.

2 Synchronisation

Dans cette sous-partie nous étudions la synchronisation des différents éléments du système. Nous reprendrons le diagramme espace-temps comme outil de visualisation et nous l'adapterons à cette nouvelle architecture. Nous développerons ensuite ce qui crée la période d'échantillonnage. Puis nous étudierons la propagation des perturbations de commutation et la possibilité de s'en affranchir. Enfin, nous justifierons le choix que nous avons fait de propager le signal à analyser et le signal de déclenchement dans des sens opposés, contrairement au système mono-coup breveté.

2.1 Diagramme espace-temps

Comme pour la première architecture, on visualise la synchronisation des différents éléments du système à l'aide du diagramme espace-temps (Figure 135). Les deux signaux se propagent à contresens, ce qui se traduit graphiquement par des droites de pentes opposées.

On constate alors que le premier échantillon est prélevé par la voie d'échantillonnage la plus éloignée de l'amplificateur d'entrée. La numérotation des voies d'échantillonnage Figure 134 correspond donc à l'ordre dans lequel sont prélevés les échantillons. On remarque aussi que les cinq échantillons sont prélevés en un temps beaucoup plus court que pour l'architecture précédente. Ainsi, le signal de déclenchement de l'échantillonnage « sort » de la structure avant que le signal de fermeture des échantillonneurs-bloqueurs n'y soit introduit.

Un seul sous-système a été représenté sur la Figure 135, car l'autre sous-système est déclenché parallèlement par le signal opposé. Pour obtenir le diagramme de l'autre sous-système, il suffit donc d'inverser les signaux de déclenchement d'ouverture et de fermeture. On vérifie ainsi que tous les échantillons sont prélevés une et une seule fois.

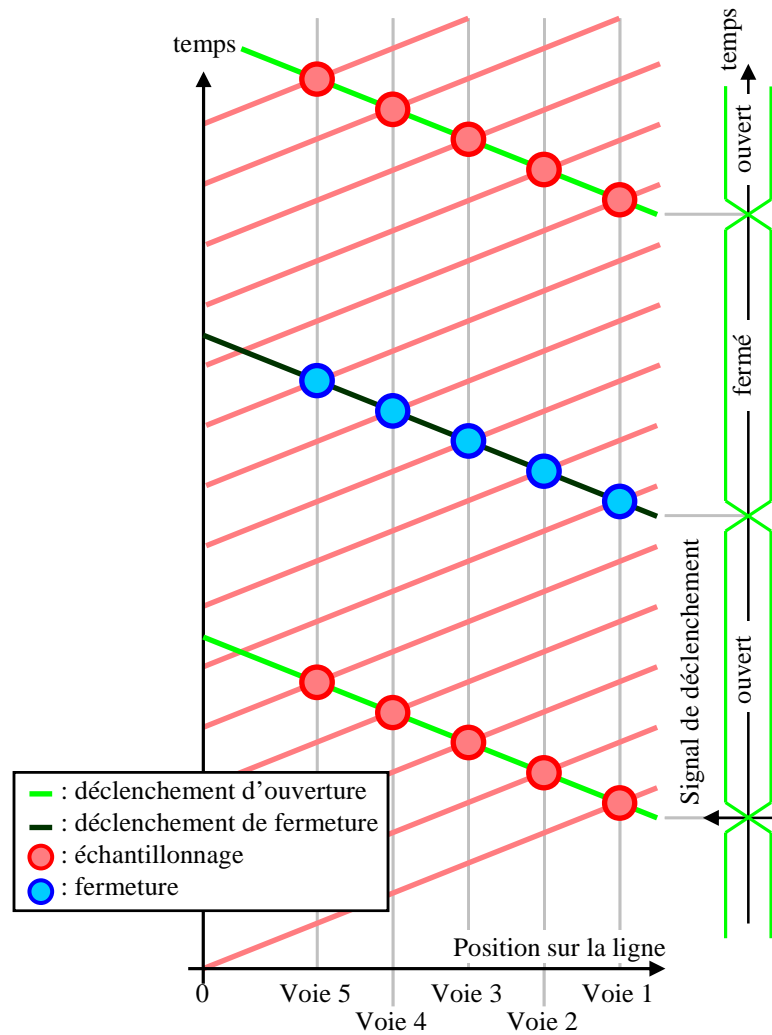


Figure 135 : Diagramme espace-temps de la demi-architecture à ligne de propagation d'horloge

2.2 Période d'échantillonnage

Dans cette partie, on cherche à établir les paramètres qui interviennent sur la période d'échantillonnage. Le diagramme espace-temps de la Figure 135 nous est encore d'une grande utilité : on peut en effet voir que la période d'échantillonnage est uniquement influencée par la distance qui sépare les voies d'échantillonnage. Plus précisément, la période d'échantillonnage est créée par la somme de deux temps de propagation : le temps de propagation du signal à analyser et le temps de propagation du signal de déclenchement entre deux voies consécutives. La vitesse de propagation du signal sur une ligne étant considérée comme constante, on peut écrire :

$$T_e = \frac{(\Delta x_{Signal} + \Delta x_{Déclenchement})}{v_p} \quad (48)$$

Avec v_p : vitesse de propagation du signal sur la ligne de transmission,

Δx_{Signal} : distance parcourue par le signal entre deux voies d'échantillonnage et

$\Delta x_{Déclenchement}$: distance parcourue par le signal de déclenchement entre deux voies.

On constate par cette équation que la géométrie du système influence directement ses performances : la fréquence d'échantillonnage est en effet proportionnelle à la distance parcourue par les signaux.

On ne dispose plus que d'un paramètre d'ajustement : le rapport entre les distances parcourues par les deux signaux. Ces temps de trajets peuvent être différenciés en ajoutant par exemple des lacets sur la ligne de propagation du signal. On réduit ainsi la distance entre les voies sans changer la fréquence d'échantillonnage. Cependant, dans notre cas la vitesse de propagation du signal sur la ligne est d'environ $1,03 \cdot 10^8$ m/s (elle dépend des paramètres de la ligne), ce qui correspond à une distance de 2,6 mm pour une période d'échantillonnage de 25 ps. En utilisant des lignes de propagation rectilignes, il faut donc une distance de 1,3 mm entre deux voies d'échantillonnage, valeur qui semble raisonnable pour la conception du système. Dans la suite de cette étude, on considèrera que les deux signaux parcourent la même distance de 1,3 mm.

2.3 Propagation des perturbations

Comme pour la première architecture étudiée, on espère s'affranchir des perturbations de commutation. On observe cependant Figure 136 que la fermeture de la voie 5 perturbe l'échantillon de la voie 1 du déclenchement suivant. Cette erreur ne dépend pas des paramètres géométriques du système et ne peut donc pas être supprimée.

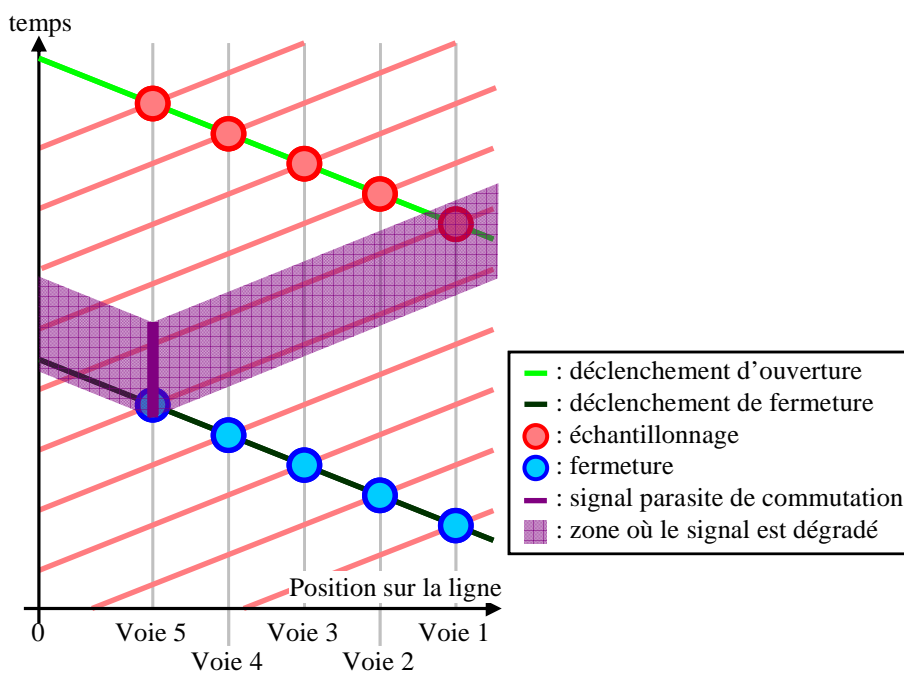


Figure 136 : Propagation des perturbations de commutation

Il n'est donc pas possible de supprimer l'effet des perturbations de commutation. On est alors obligé d'ajouter un étage d'amplification supplémentaire sur chaque voie d'échantillonnage pour isoler la ligne de propagation.

- **Propagation des signaux à contresens**

Comparativement au système mono-coup, nous avons choisi de propager le signal de déclenchement dans le sens opposé au déplacement du signal à analyser. D'une part, cette modification permet de réduire les dimensions du système : les temps de propagation des signaux s'ajoutent au lieu de se compenser. D'autre part, elle permet d'éviter de réaliser une ligne de propagation en lacets, réalisation problématique pour une ligne différentielle.

II - Conception du système

Cette partie conception est uniquement dédiée à la structure de déclenchement de l'architecture à ligne de propagation d'horloge. La structure de propagation du signal est en effet exactement la même que celle de l'architecture à circuits retard.

1 Conception de la structure de déclenchement

La structure de déclenchement est composée de quatre éléments (Figure 137). En entrée un amplificateur de gain unitaire permet d'interfacer l'oscillateur local à 4 GHz et la ligne de propagation adaptée 50 Ω . Le signal d'horloge est ensuite propagé dans la structure par une ligne de transmission chargée en sortie par une résistance de 50 Ω . Le long de cette ligne, des circuits de remise en forme permettent de changer le signal sinusoïdal propagé sur la ligne en signal numérique qui présente des fronts de propagation très raides. Enfin, le circuit qui pilote l'échantillonneur-bloqueur est chargé de répartir le signal de déclenchement sur les différentes paires différentielles de l'échantillonneur-bloqueur.

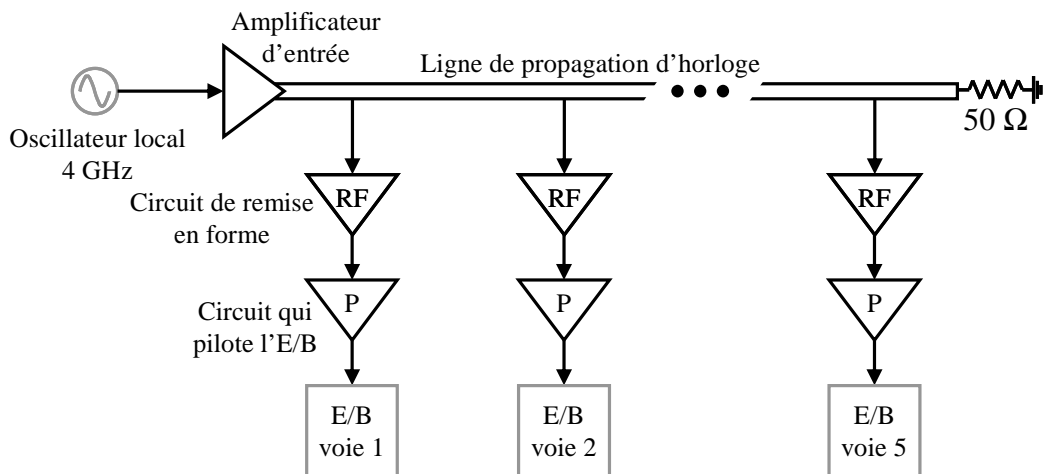


Figure 137 : Schéma de la structure de déclenchement

Deux de ces circuits ont déjà été conçus : l'amplificateur d'entrée est le même que celui de la structure de propagation et le circuit qui pilote l'échantillonneur-bloqueur est le même que celui de l'architecture à circuit retard.

Dans cette sous-partie nous étudierons donc la conception des deux autres éléments: le circuit de remise en forme et la structure de propagation.

1.1 Conception du circuit de remise en forme

Pour concevoir le circuit de remise en forme, nous étudions d'abord les contraintes de sortie. Le circuit qui pilote l'échantillonneur-bloqueur est constitué de deux inverseurs basés sur des transistors de $6 \times 2 \mu\text{m}^2$ et un inverseur utilisant des transistors de $3 \times 2 \mu\text{m}^2$. Il faut donc en sortie du circuit de remise en forme des transistors de $20 \times 2 \mu\text{m}^2$. Cet étage de sortie doit présenter un gain très élevé pour obtenir la meilleure remise en forme du signal possible.

Si on ne place qu'un seul inverseur dans ce circuit, on rencontre deux problèmes. En sortie, le temps de commutation de 20 à 80 % n'est que de 17 ps. Cette valeur ne permet pas le déclenchement optimal des échantillonneurs-bloqueurs (pour l'architecture à circuit retard, le temps de commutation à l'entrée du circuit qui pilote l'échantillonneur-bloqueur est de 12 ps). Le second problème se situe sur l'entrée de l'inverseur et a été décrit dans le chapitre 2 : l'impédance d'entrée de l'inverseur évolue rapidement autour du passage à zéro, ce qui provoque une dégradation du signal au moment du déclenchement. Cette perturbation intervient au moment le moins opportun et se traduit par une augmentation du jitter. Dans notre cas, ce signal de déclenchement est propagé sur ligne de transmission, ce qui augmente encore le phénomène : l'erreur provoquée par chaque voie s'accumule.

Il est donc nécessaire d'ajouter un étage d'entrée qui présente un gain faible pour réduire les effets de la commutation sur l'entrée, mais un gain suffisant pour diminuer le temps de commutation de la sortie du circuit. Cet étage est réalisé par un inverseur composé de transistors de $15 \times 2 \mu\text{m}^2$ et présente un gain basse-fréquence de 6 dB. L'utilisation d'un inverseur à faible gain et à gros transistors permet en effet de minimiser le jitter. Nous obtenons alors en sortie un temps de montée de 10 ps, compatible avec le circuit qui pilote l'échantillonneur-bloqueur.

Le schéma électrique de ce circuit est représenté Figure 138. Il est très proche du circuit de remise en forme de l'architecture à circuits retard, mais les rôles des inverseurs sont intervertis : le premier permet d'isoler la ligne de propagation et le second permet de redresser les fronts de déclenchement.

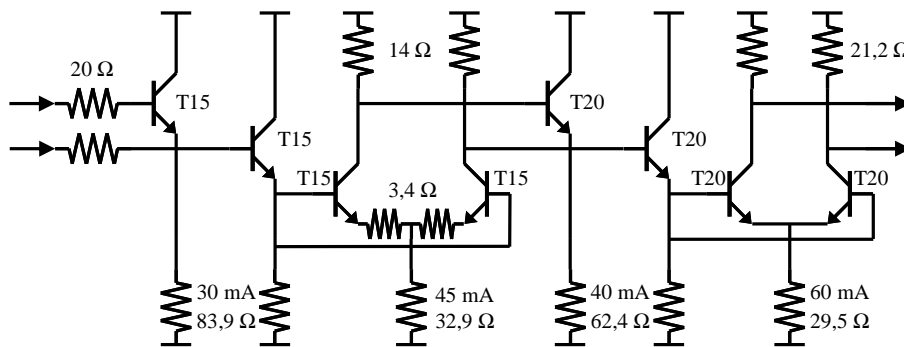


Figure 138 : Schéma électrique du circuit remise en forme

1.2 Conception de la ligne de propagation d'horloge

Cette conception est très proche de celle réalisée pour la structure de propagation du signal. La principale différence vient de la bande-passante : dans le cas traité précédemment, il fallait que la propagation soit optimisée sur une large bande-passante alors que dans notre cas, l'optimisation n'est réalisée que pour une seule fréquence, à 4 GHz.

• Taux d'onde stationnaire

Les circuits de remise en forme présentent une impédance d'entrée capacitive qui accroît le taux d'onde stationnaire de la ligne de propagation. Ce taux d'onde stationnaire modifie l'amplitude des ondulations mais surtout introduit des erreurs de phase responsables du jitter statique du système. Pour compenser cet effet capacitif, on crée un effet selfique sur la ligne de propagation en augmentant localement son impédance. La méthode d'optimisation est la même que précédemment : on cherche à réduire la différence d'amplitude et l'erreur de phase entre les différentes voies.

On observe Figure 139 que la forme temporelle du signal de déclenchement n'est pas trop altérée lors de la propagation le long de la ligne. L'amplitude du signal varie peu et on n'observe aucune perturbation lorsque le signal passe par zéro.

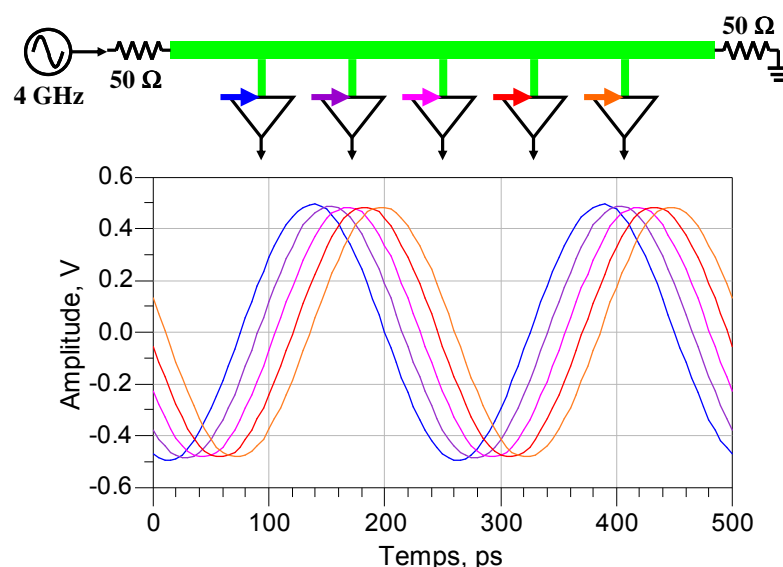


Figure 139 : Forme temporelle du signal d'horloge à l'entrée de chaque voie d'échantillonnage

• Déphasage entre les voies

Dans la partie synchronisation, nous avons vu que la période d'échantillonnage est assurée par la longueur des lignes. Les désadaptations d'impédance créées par les circuits de remise en forme modifient le taux d'onde stationnaire et modifient les déphasages des signaux. Nous représentons Tableau 19 le retard entre les différentes voies d'échantillonnage.

Entre les voies	1 et 2	2 et 3	3 et 4	4 et 5
Valeur du retard simulé	15,11 ps	15,11 ps	15,06 ps	14,71 ps

Tableau 19 : retard simulé entre les déclenchements des voies d'échantillonnage

On observe alors deux effets du taux d'onde stationnaire : d'une part le retard entre les voies d'échantillonnage est plus important que prévu (la moitié de la période d'échantillonnage, soit 12,5 ps) et d'autre part ce retard n'est pas constant.

Pour retrouver une période d'échantillonnage de 25 ps, il est donc nécessaire de réduire la distance entre les lignes d'échantillonnage. La propagation du signal sera alors légèrement plus lente sur la ligne de propagation de l'horloge que sur la ligne de propagation du signal.

Les différences de retard entre les voies d'échantillonnage peuvent être corrigées soit en faisant varier la distance entre les voies d'échantillonnage, soit en apportant une correction dans les circuits de remise en forme.

III - Simulation des performances

Une fois encore, nous ne nous intéresserons qu'à la structure de déclenchement puisque les performances de la structure de propagation ont déjà été simulées pour l'architecture à circuits retard.

1 Simulation du jitter

Les résultats de simulation sont présentés sous forme graphique Figure 140, et sous forme numérique Tableau 20.

Numéro de la voie d'échantillonnage	1	2	3	4	5	Total
Jitter simulé	17,0 fs	28,0 fs	24,8 fs	24,1 fs	20,9 fs	23,3 fs

Tableau 20 : Jitter simulé sur les différentes voies d'échantillonnage

On obtient un jitter moyen très faible, d'environ 23,3 fs. Cette valeur permet une résolution de 9,4 bits effectifs à 8 GHz, dans le cas où on dispose d'une référence sinusoïdale parfaite.

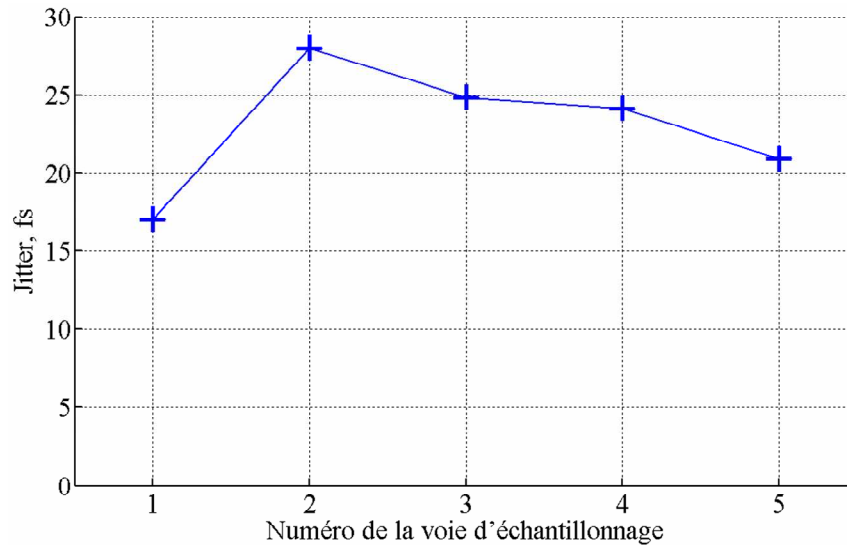


Figure 140 : Résultats de simulation du jitter

On constate Figure 140 que le jitter de l'architecture à ligne de propagation d'horloge décroît avec le numéro de la voie, sauf pour la première voie qui présente la plus faible valeur. Le jitter est donc plus élevé au centre de la ligne que sur ses extrémités. Ceci a pour principale cause le taux d'onde stationnaire de la ligne de propagation du signal de déclenchement.

On constate aussi que contrairement à ce que nous attendions, le jitter est un peu plus élevé que pour l'architecture à circuits retard. Il ne suffit donc pas de simplifier la structure de propagation pour réduire le jitter ; il faut aussi que les circuits soient placés dans des conditions où ils seront moins sensibles au bruit.

2 Conclusions

On constate que les performances de cette architecture sont très proches de celles de l'architecture à circuits retard. Cette seconde architecture étudiée présente donc une bonne alternative à la première solution. Cependant, deux aspects négatifs limitent le champ d'application de cette architecture. En premier lieu le jitter statique : on a vu que le taux d'onde stationnaire de la ligne de propagation se traduit par une modification des retards entre les voies d'échantillonnage. La phase du signal de déclenchement n'est donc pas linéaire le long de la ligne de transmission ce qui crée une erreur statique sur les instants de déclenchement des différentes voies d'échantillonnage. Cette erreur peut être corrigée soit en modifiant la géométrie du système (pas spatial qui sépare les voies d'échantillonnage non constant) soit en ajustant le retard des circuits de remise en forme du signal.

Une deuxième limitation de cette architecture a été identifiée : la période d'échantillonnage dépend de la géométrie du système. Contrairement à l'architecture à circuits retard, les distances qui séparent les éléments du système interviennent directement sur la période d'échantillonnage. Pour diminuer celle-ci, il est donc nécessaire de miniaturiser les circuits. Le dessin des masques des MMIC doit aussi tenir compte impérativement de ces dimensions ce qui constitue une contrainte supplémentaire.

D - Architecture en étoile

Nous avons constaté précédemment que les architectures basées sur une ligne de propagation du signal présentaient une limitation importante : la structure de propagation du signal à analyser limite la résolution du signal à 7 bits effectifs. En revanche leur point fort réside dans la structure de déclenchement qui permet de réduire le jitter à des valeurs très faibles, de l'ordre de 20 fs.

Nous avons donc développé une nouvelle architecture présentant une structure de déclenchement basée sur les mêmes principes que les deux architectures précédemment étudiées, mais en modifiant la structure de propagation du signal pour en améliorer la résolution.

Dans un premier temps nous présenterons le principe de cette nouvelle architecture. Nous étudierons ensuite la conception des différents éléments qui la composent. Enfin, nous évaluerons par des simulations les performances et la résolution de cette architecture.

I - Présentation de l'architecture

Avant de détailler le principe de fonctionnement de cette architecture, nous proposons une autre façon d'entrelacer les voies d'échantillonnage que celle qui a été retenue pour les architectures à ligne de propagation. Enfin, nous étudierons la synchronisation des différents éléments.

1 Entrelacement des voies d'échantillonnage

Lorsqu'on étudie la synchronisation des dix voies d'échantillonnage entrelacées, on constate que les signaux de déclenchement vont par paires : le déclenchement de la voie $i+5$ est l'opposé de celui de la voie i , $i \in \{1; 2; 3; 4; 5\}$. Dans notre cas, il suffit d'inverser les deux voies différentielles du signal de déclenchement pour retrouver le signal opposé. Cette propriété a été utilisée pour séparer en deux sous-systèmes distincts les architectures basées sur une ligne de propagation.

Une autre approche, qui sera utilisée pour l'architecture en étoile, est de regrouper les voies d'échantillonnage deux par deux et de les déclencher par le même signal que l'on inverse localement, au niveau des échantillonneurs-bloqueurs. Ceci permet de réduire à cinq le nombre de signaux de déclenchement à générer. Parallèlement, le regroupement des lignes d'échantillonnage deux-à-deux nécessite de répartir le signal à analyser en cinq endroits distincts de l'architecture.

Ce nouvel étage d'entrelacement concerne exclusivement les échantillonneurs-bloqueurs maîtres et vient s'ajouter à celui qui a été décrit au début de ce chapitre pour les échantillonneurs-bloqueurs esclaves. La Figure 141 représente la synchronisation de tous ces échantillonneurs-bloqueurs. Chaque voie d'échantillonnage est alors composée de six échantillonneurs-bloqueurs. Deux « maîtres » sont déclenchés en opposition de phase à 4 GEch/s et pilotent chacun deux « esclaves » cadencés à 2 GEch/s. Globalement, on prélève donc un échantillon tous les 125 ps, ce qui correspond à une fréquence de 8 GEch/s.

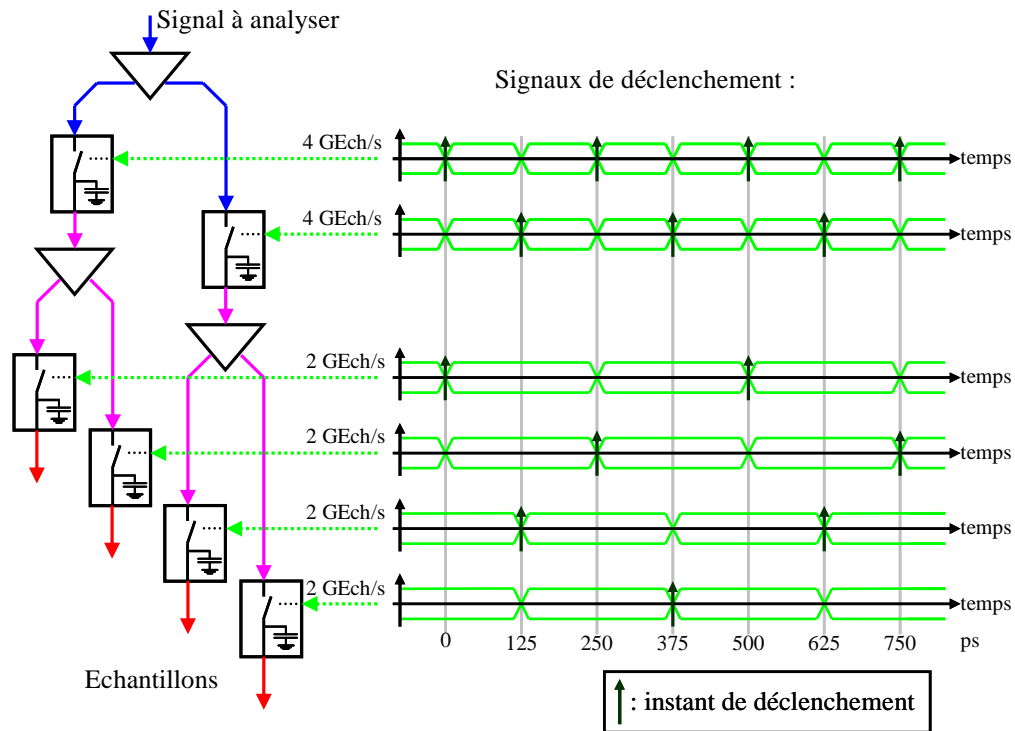


Figure 141 : Entrelacement des échantillonneurs-bloqueurs

- Pourquoi ne pas l'avoir fait sur les architectures à ligne de propagation ?

Deux raisons principales nous ont poussés à ne pas adopter cette solution pour les architectures basées sur une ligne de propagation. La première est relative à l'amplificateur d'isolation au début des voies d'échantillonnage : comme la partie capacitive de l'impédance d'entrée doit être très faible, cet amplificateur constitue une limitation importante des performances du système. Si on lui ajoute une nouvelle contrainte, répartir le signal à analyser sur deux voies d'échantillonnages distinctes, ses performances seront encore dégradées.

La deuxième raison est un problème d'encombrement : si on double les voies d'échantillonnage, la place occupée par les différents éléments sera nettement plus importante, ce qui nécessite d'allonger la ligne de propagation. Les lignes présentent alors plus de pertes et les dimensions totales du système restent quasi-inchangées (seuls les circuits retard ne sont pas dédoublés).

2 Principe de fonctionnement de l'architecture en étoile

Le principe de l'architecture en étoile est représenté Figure 142. La structure de propagation est constituée d'un amplificateur d'entrée qui répartit le signal sur les cinq blocs du système. Pour minimiser les déphasages entre les signaux, il est important que les lignes qui alimentent ces différents blocs aient exactement la même longueur. Pour respecter au mieux cette contrainte, on place les cinq blocs sur un arc de cercle autour de l'amplificateur d'entrée.

Pour la structure de déclenchement, on retrouve une architecture proche de celles qui ont été décrites pour les architectures basées sur une ligne de propagation : les signaux de déclenchement sont créés les uns à partir des autres et se propagent dans la structure. Dans notre cas, cette structure de déclenchement est constituée de deux éléments principaux : des inverseurs pour assurer la remise en forme du signal tout au long de sa propagation et des tronçons de ligne de propagation pour alimenter les étages suivants.

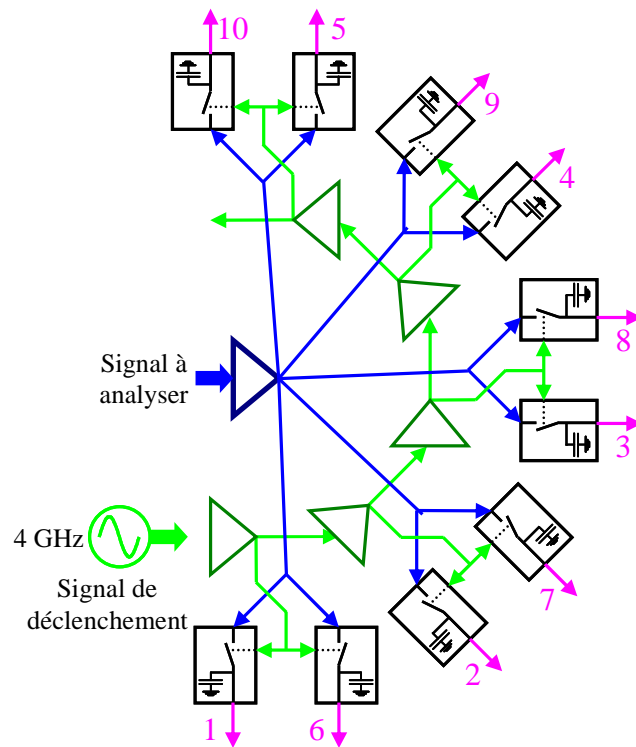


Figure 142 : Schéma de principe de l'architecture en étoile

3 Synchronisation

Dans cette architecture, la synchronisation des différents éléments est nettement plus simple que pour les architectures étudiées précédemment car le signal à analyser est synchrone sur toutes les voies d'échantillonnage.

Pour déclencher les voies d'échantillonnage, il suffit donc de créer cinq signaux décalés temporellement les uns par rapport aux autres d'une période d'échantillonnage, soit 25 ps. Ce déphasage est assuré à la fois par la longueur de ligne qui sépare les différents blocs et par le retard du circuit de remise en forme. Les échantillons sont prélevés dans l'ordre des numéros de la Figure 142.

II - Conception du système

Cette partie est dédiée à la conception d'un système basé sur l'architecture en étoile. Nous présenterons d'abord la conception de la structure de propagation puis de la structure de déclenchement. Enfin, nous proposerons un schéma d'implantation du système.

1 Conception de la structure de propagation

La structure de propagation est constituée de deux éléments : l'amplificateur d'entrée chargé de répartir le signal à analyser sur les cinq blocs du système et des tronçons de ligne de propagation pour relier l'amplificateur d'entrée aux différents blocs (Figure 143).

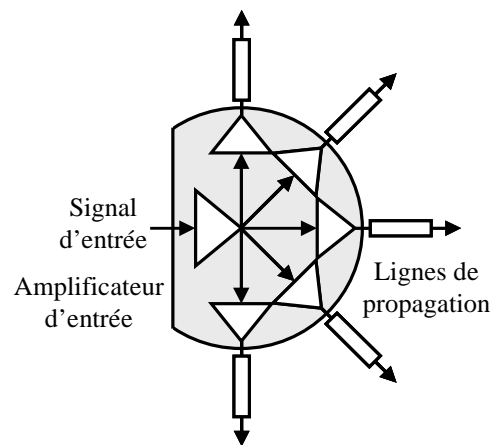


Figure 143 : Schéma de principe de la structure de propagation

1.1 Amplificateur d'entrée

L'amplificateur d'entrée est l'élément le plus complexe de la structure de propagation. Il lui faut en effet alimenter cinq lignes de propagation, présenter en entrée une impédance adaptée (dans notre cas nous avons choisi 50Ω) et présenter une très bonne résolution en bruit et linéarité. Il est constitué d'un étage d'entrée qui pilote cinq étages de sortie.

- **Etage de sortie**

Les cinq étages de sortie ont pour rôle principal de piloter les lignes de propagation tout en présentant une impédance de sortie adaptée. L'excursion du signal étant de $1 V_{pp}$, les courants mis en jeu sont relativement importants. De plus on cherche à obtenir une bonne linéarité, ce qui impose aussi des courants de polarisations élevés. Ces différentes contraintes ont été évoquées lors de la conception de l'amplificateur de sortie de l'échantillonner-bloqueur, au chapitre 2.

La sortie est alors assurée par une paire différentielle utilisant de gros transistors, dans notre cas la surface d'émetteur est de $20 \times 2 \mu m^2$. Le courant de polarisation de cette paire différentielle est lui aussi très élevé : 60 mA, ce qui permet à la fois d'adapter l'impédance et d'obtenir une bonne

linéarité. Pour améliorer la bande-passante de cette paire différentielle, nous avons placé des capacités en parallèle sur les résistances d'émetteur.

Cette paire différentielle présente une faible impédance d'entrée qui évolue en fonction du niveau du signal d'entrée. On place donc un double étage de collecteurs communs pour la piloter. Enfin, pour assurer la stabilité de cet étage de collecteurs communs, on insère une résistance en série sur l'entrée.

Le schéma électrique de l'étage de sortie est représenté Figure 144. Comme nous avons cinq blocs différents à alimenter dans le système, cet étage sera répété cinq fois dans l'amplificateur d'entrée.

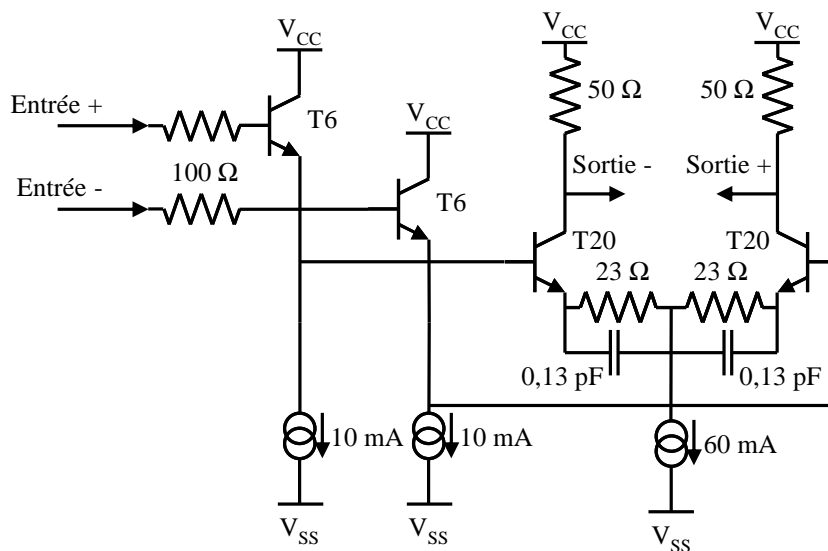


Figure 144 : Schéma électrique de l'étage de sortie de l'amplificateur d'entrée

- **Etage d'entrée**

Les cinq étages de sortie sont placés en parallèle. Ils présentent donc une très faible impédance d'entrée de type capacitive. Comme la source du signal à analyser présente une impédance de 50 Ω, il est nécessaire d'interposer un étage d'entrée pour ne pas dégrader la bande-passante du système.

Nous avons choisi de réaliser cet étage à l'aide d'un double étage de collecteur commun. Le schéma électrique de cet étage est représenté Figure 145.

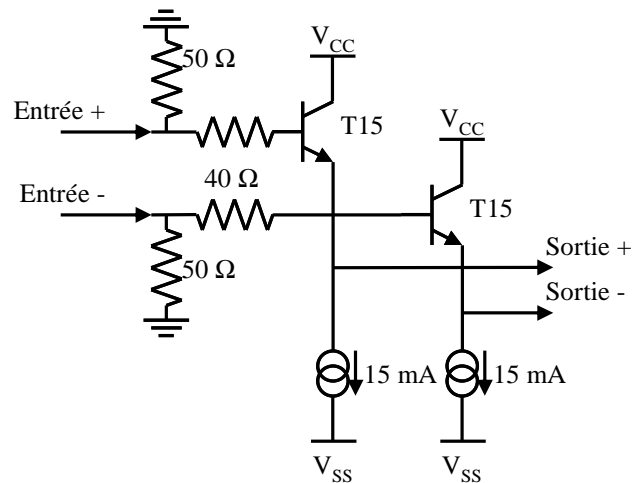


Figure 145 : Schéma électrique de l'étage d'entrée de l'amplificateur d'entrée

1.2 Lignes de propagation

Par rapport aux dimensions du système (qui seront détaillées dans les parties suivantes), les lignes de propagation ont une longueur d'environ 3 mm. Il faut que les impédances présentées en entrée et en sortie soit proches de l'impédance caractéristique de la ligne pour limiter le taux d'onde stationnaire et les réflexions parasites. Chaque ligne alimente deux échantillonneurs-bloqueurs qui présentent une entrée à haute impédance. Pour adapter l'impédance en bout de ligne, on insère donc des résistances. En début de ligne, l'adaptation d'impédance est assurée par l'amplificateur d'entrée.

2 Conception de la structure de déclenchement

La structure de déclenchement de l'architecture en étoile est composée de plusieurs éléments (Figure 156). En entrée, un circuit interface assure la mise en forme du signal sinusoïdal pour qu'il présente des fronts de déclenchement très raides. Ce signal est ensuite propagé sur une ligne vers le second des cinq sous-systèmes. Sur chacun de ces sous-systèmes on retrouve donc la même structure : circuit de remise en forme du signal et ligne de transmission pour assurer la propagation du déclenchement vers le sous-système suivant.

Au niveau des sous-systèmes, le signal de déclenchement doit assurer la commutation des échantillonneurs-bloqueurs. On retrouve donc un tronçon de ligne de transmission pour atteindre le circuit qui interface les deux voies d'échantillonnage, puis des circuits qui pilotent le déclenchement des échantillonneurs-bloqueurs.

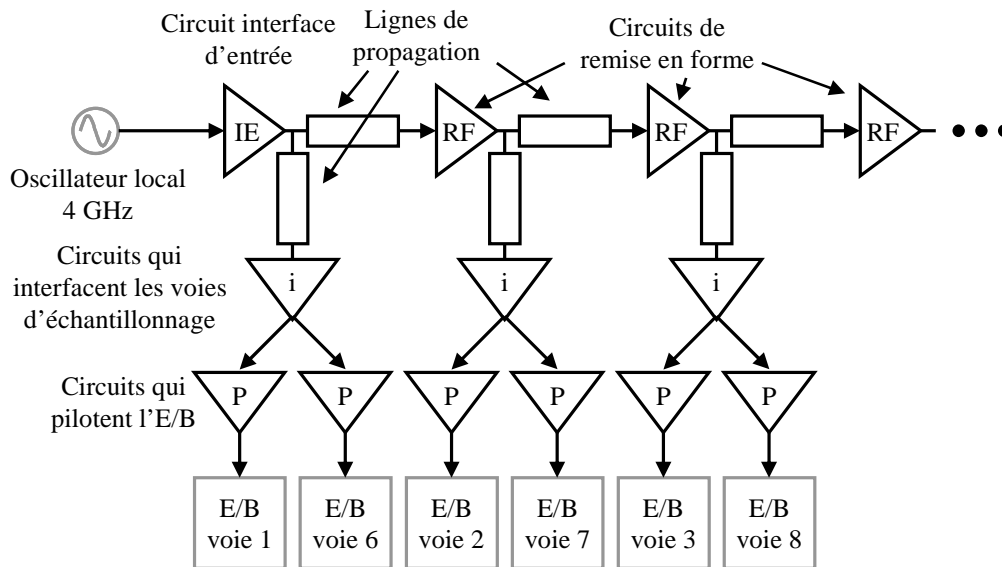


Figure 146 : Schéma de principe de la structure de déclenchement

Dans cette sous-partie, nous étudions la conception de ces différents éléments. Le circuit qui pilote l'échantillonneur-bloqueur a déjà été étudié pour les deux autres architectures proposées et ne sera donc pas réétudié dans cette partie.

2.1 Circuit de remise en forme

Ce circuit assure la remise en forme du signal à l'entrée de chaque sous-système. Il doit donc avoir un gain élevé pour présenter des temps de commutation très courts en sortie. Il a aussi pour rôle de piloter deux lignes de transmission : l'une vers le sous-système suivant et l'autre vers les deux circuits qui pilotent les échantillonneurs-bloqueurs.

Comme la période d'échantillonnage est déterminée à la fois par la longueur de la ligne de propagation et le retard introduit par le circuit de remise en forme, plus ce retard sera long et plus la ligne de propagation sera courte. Pour 40 GEch/s, la période d'échantillonnage n'est que de 25 ps et on a vu qu'un simple inverseur présentait un retard d'environ 4 à 5 ps. Une ligne de 20 ps de temps de groupe a une longueur d'environ 2 mm. Cette distance est relativement faible comparativement à la surface occupée par deux voies d'échantillonnage complètes. On va donc chercher à minimiser le retard introduit par ce circuit et pour cela on se limite à un seul étage d'inverseur.

Pour réduire le jitter et piloter efficacement les deux lignes de propagation, on choisit d'utiliser des transistors à grande surface d'émetteur, donc de $20 \times 2 \mu\text{m}^2$.

Comme on l'a déjà vu précédemment, il est impératif que les réflexions parasites induites par les commutations des composants aient totalement disparues à l'instant du front de déclenchement suivant. Pour une fréquence de 4 GHz, ce temps n'est alors que de 125 ps, la moitié de la période. Il est donc nécessaire d'assurer une très bonne adaptation d'impédance sur l'entrée du circuit de remise en forme (et parallèlement sur le circuit qui pilote l'échantillonneur-bloqueur).

Pour assurer cette adaptation, nous avons choisi de placer à la fois des résistances parallèles et des résistances séries sur l'entrée du circuit de remise en forme. Ce montage présente alors une très bonne adaptation d'impédance mais présente un inconvénient majeur : la tension différentielle est alors divisée par deux. Cette situation ralentit la commutation de la paire différentielle qui doit alors compenser par un gain plus élevé et accroît le jitter car la paire différentielle est alors plus sensible au bruit.

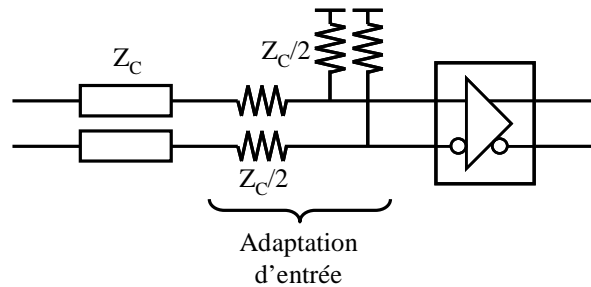


Figure 147 : Adaptation d'impédance en entrée du circuit de remise en forme

Pour conserver une commutation rapide de la paire différentielle, on choisit d'augmenter l'excursion du signal à $1,6 V_{pp}$ différentiel. En reprenant les valeurs de l'optimisation du jitter que nous avons effectuée au chapitre 2, on constate que l'augmentation du jitter de l'inverseur basé sur des transistors de $10 \times 2 \mu m^2$ n'est que d'environ 15 %, c'est-à-dire que l'on reste dans la zone où le jitter est quasi-constant.

Enfin, toujours pour améliorer l'impédance d'entrée, on réduit la taille des transistors de l'étage de collecteurs communs. Au lieu d'utiliser des transistors de $20 \times 2 \mu m^2$ comme nous l'avons toujours fait précédemment, on utilise des transistors de $15 \times 2 \mu m^2$. Cette réduction est rendue possible par la réduction de l'excursion du signal d'entrée qui réduit proportionnellement la dérivée de la tension du signal et donc le courant consommé lors de la charge de l'impédance d'entrée capacitive de la paire différentielle.

La Figure 148 représente le schéma électrique du circuit de remise en forme tel que nous l'avons décrit précédemment.

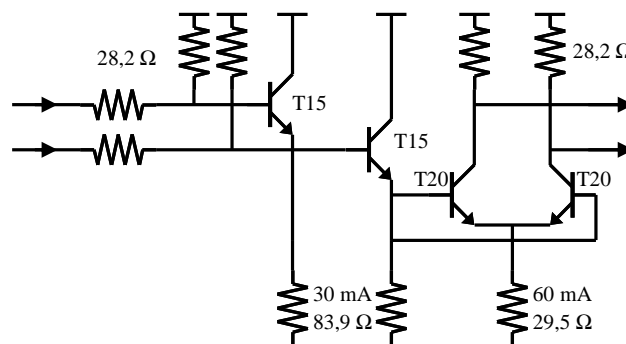


Figure 148 : Schéma électrique du circuit de remise en forme du signal

La Figure 149 représente le paramètre S_{11} du circuit de remise en forme pour une adaptation d'impédance d'entrée réalisée soit par des résistances parallèles, soit des résistances séries et parallèles (solution proposée précédemment). On constate alors une amélioration de 12 dB lorsqu'on utilise des diviseurs de tension résistifs. Cette amélioration justifie donc largement les pertes de performances associées à cette technique.

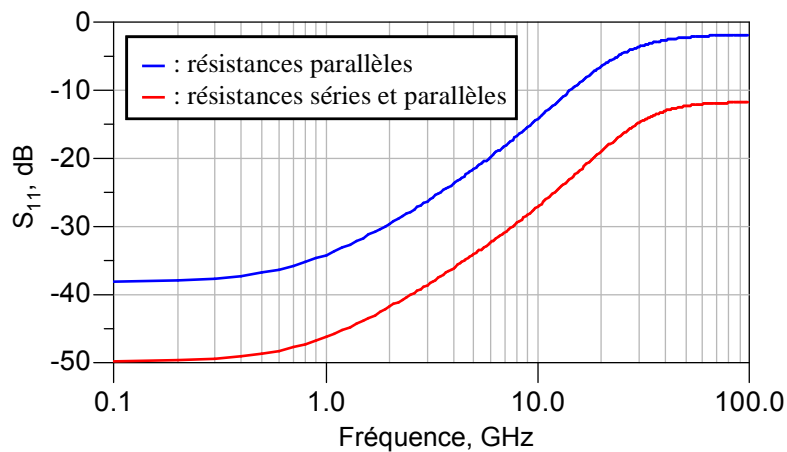


Figure 149 : Adaptation d'impédance du circuit de remise en forme pour des résistances parallèles et des résistances séries et parallèles

2.2 Circuit d'interface entre les deux voies d'échantillonnage

Dans cette nouvelle architecture, nous avons apporté une modification majeure : le signal de déclenchement commande simultanément deux voies d'échantillonnage. Il y a donc deux circuits de commande de l'échantillonneur-bloqueur en parallèle et l'impédance présentée en entrée est alors trop faible pour être directement présentée en bout de ligne de transmission. Il faut insérer un nouvel étage d'inverseur qui interface les deux circuits qui pilotent les échantillonneurs-bloqueurs à la ligne de propagation.

Pour ce nouvel étage, les contraintes d'adaptation d'impédance en entrée sont les mêmes que pour le circuit de remise en forme et on utilisera donc la même technique.

Même en utilisant les plus gros transistors possibles pour réaliser la paire différentielle, on constate que la surface cumulée des différents inverseurs à piloter est nettement plus importante. En effet, cette surface est de $20 \times 2 \mu\text{m}^2$ pour chaque circuit qui pilote un échantillonneur-bloqueur, soit un total de $40 \times 2 \mu\text{m}^2$. Ceci aura pour effet de diviser par deux la vitesse de commutation du signal au niveau de la paire différentielle. Cependant les circuits qui pilotent les échantillonneurs-bloqueurs ont été conçus pour un temps de commutation de 12 ps, soit deux fois plus lent que le temps de commutation minimal. Cette contrainte ne limite donc pas les performances du système, à condition que l'on utilise le gain maximal de la paire différentielle, c'est-à-dire sans résistances de dégénérescence.

Le schéma électrique de ce circuit est représenté Figure 150. Ce circuit est très proche du circuit de remise en forme à la différence près que l'excursion de sortie n'est que de $1,2 V_{pp}$.

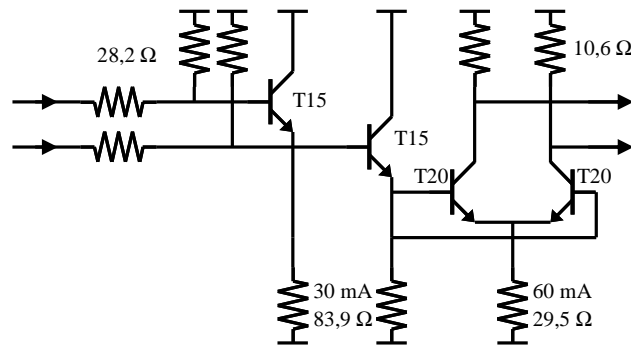


Figure 150 : Schéma électrique du circuit interface des deux voies d'échantillonnage

2.3 Circuit d'interface d'entrée

Le circuit interface d'entrée a pour rôle de générer un signal carré à partir du signal sinusoïdal présenté en entrée.

Pour réduire les disparités entre les cinq signaux de déclenchement, nous réutilisons l'étage de sortie du circuit de remise en forme comme étage de sortie du circuit interface d'entrée. Cependant, cet étage ne pilote qu'une seule ligne et il faut donc réduire la valeur des résistances de collecteur pour conserver une excursion de $1,8 V_{pp}$.

Pour réaliser le circuit d'interface d'entrée, un seul étage d'inverseur ne suffit pas et on ajoute donc un étage composé de transistors de $15 \times 2 \mu m^2$. Le schéma électrique de ce circuit est représenté Figure 151.

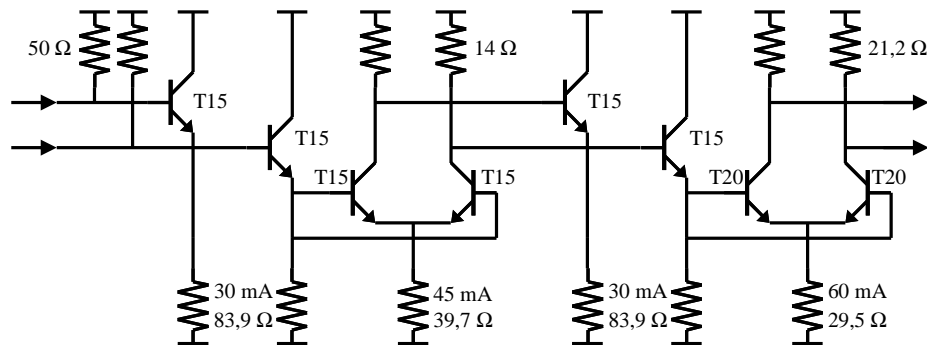


Figure 151 : Schéma électrique du circuit interface d'entrée

3 Implémentation du système

Lors de la conception du second « picoscope » mono-coup, il a été choisi de regrouper sur une même puce deux voies d'échantillonnage correspondant à un bon compromis entre le nombre de MMIC et le rendement de fabrication. Ce regroupement est tout à fait adapté à notre architecture pour laquelle chaque sous-bloc est composé de deux voies d'échantillonnage.

Pour éviter de placer des composants à 45° les uns par rapport aux autres, nous proposons de placer les cinq MMIC sur les côtés d'un carré deux par deux (Figure 152). Le circuit amplificateur

d'entrée est alors placé au centre et le circuit d'interface d'entrée du signal de déclenchement devant le premier des cinq sous-systèmes. Les cinq MMIC sont alors de deux types selon qu'ils alimentent un autre MMIC sur la même ligne ou un MMIC placé à 90° . Nous pouvons vérifier que tous les sous systèmes sont bien équidistants de l'amplificateur d'entrée.

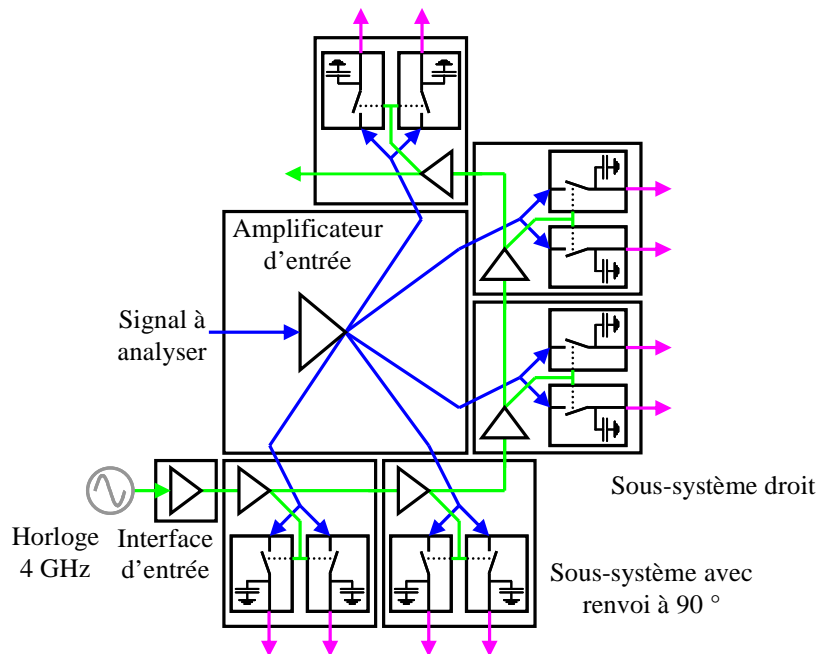


Figure 152 : Proposition d'implémentation du système

III - Simulations des performances

En reprenant la même démarche que pour les deux architectures précédentes, après avoir étudié la conception du système basé sur l'architecture en étoile, nous simulons ses performances. Dans une première sous-partie nous évaluons la résolution de la structure de propagation et dans une seconde sous-partie nous présenterons les performances de la structure de déclenchement, principalement concernant le jitter.

1 Structure de propagation

Dans cette partie nous cherchons à évaluer les performances de l'architecture en étoile. Dans cet objectif nous réalisons les mêmes simulations que celles qui ont été effectuées pour les deux autres architectures.

1.1 Bande-passante

Le gain du système en fonction de la fréquence du signal est représenté Figure 153. Une bande-passante à -3 dB de 15,6 GHz a été simulée. On constate de plus que le gain est quasiment plat jusqu'à 10 GHz.

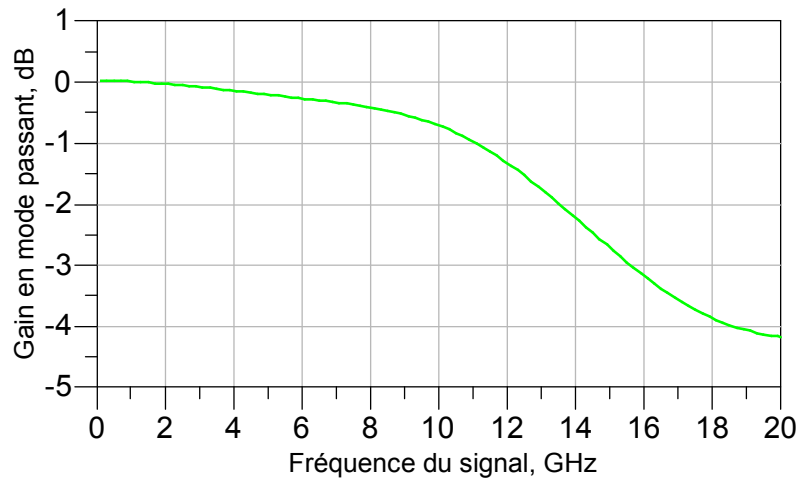


Figure 153 : Gain du système au niveau des capacités de maintien d'un échantillonneur-bloqueur

1.2 Linéarité

La linéarité a été simulée au niveau des capacités de maintien de l'échantillonneur-bloqueur, et nous représentons Figure 154 le SFDR. Nous pouvons constater que cette architecture permet d'atteindre une très bonne linéarité équivalente à 8,4 bits effectifs à 8 GHz. La résolution reste supérieure à 8 bits effectifs jusqu'à 11 GHz.

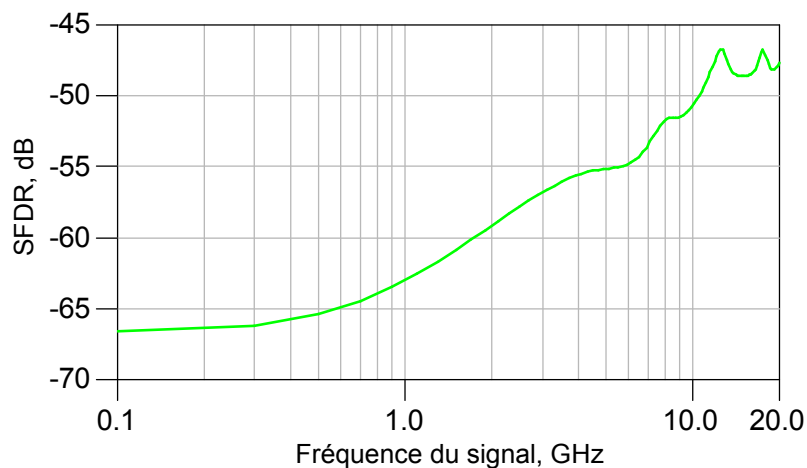


Figure 154 : SFDR du système au niveau des capacités de maintien d'un échantillonneur-bloqueur

1.3 Propagation des perturbations

Une des limitations fondamentales des deux architectures étudiées précédemment était la propagation des perturbations de commutation le long de la ligne de transmission. Pour cette architecture aussi, les perturbations des voies d'échantillonnage se propagent dans les tronçons de

ligne de propagation qui les relie à l'amplificateur d'entrée. Cependant les différents tronçons de ligne sont isolés les uns des autres par l'amplificateur d'entrée et les perturbations d'une voie ne se répercutent pas sur les autres voies d'échantillonnage.

Il suffit donc de vérifier sur une voie d'échantillonnage, que les perturbations de commutation ne perturbent pas l'échantillon suivant prélevé par cette voie d'échantillonnage. La Figure 155 représente les erreurs de commutations au niveau de l'entrée d'un échantillonneur-bloqueur. On constate alors que le niveau de ces perturbations est relativement élevé, environ 15 mV. Mais au bout de 125 ps le niveau de ces perturbations est nettement atténué et l'amplitude crête n'est alors que de 0,6 mV. Cette valeur permet une résolution de 9,5 bits effectifs, et n'influence donc quasiment pas les performances comparativement aux autres limitations telles que la linéarité.

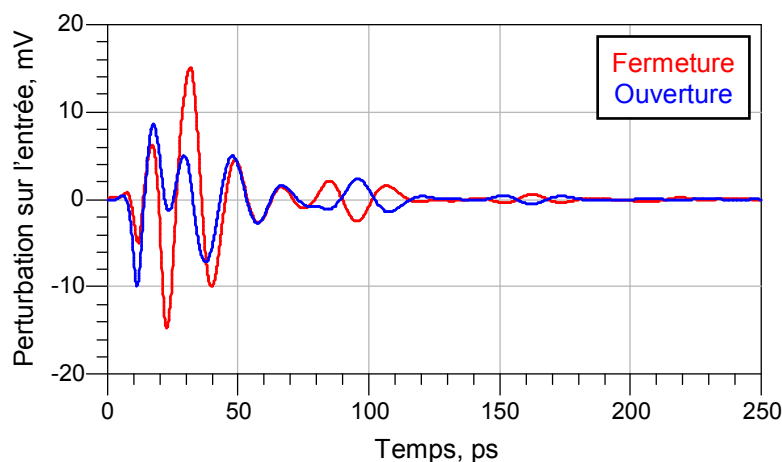


Figure 155 : Perturbations de commutation au niveau de l'entrée de l'échantillonneur-bloqueur

Pour cette architecture, il n'est donc pas nécessaire d'ajouter un amplificateur pour isoler l'entrée des voies d'échantillonnage.

1.4 Entrelacement des voies d'échantillonnage

Dans cette architecture toutes les voies d'échantillonnage sont alimentées de la même façon. Il n'y a donc pas d'erreurs d'entrelacement dues à l'architecture et les seules erreurs viendront des disparités entre les composants. Cette disparité n'a pas pu être évaluée au stade actuel du développement de la technologie.

1.5 Performances globales

Pour évaluer les performances globales de la structure de propagation, nous devons tenir compte de deux phénomènes : les perturbations de commutation et les non-linéarités. Comme nous l'avons vu, les erreurs de bruit et de disparité des composants n'ont pas pu être évaluées.

La Figure 156 représente la limitation de la résolution imposée par les non-linéarités et les perturbations de commutation. Pour les perturbations de commutation, nous avons considéré qu'elles

agissaient comme un bruit blanc, sur toute la bande-passante, limitant la résolution à un niveau de 9,5 bits effectifs. Jusqu'à 5 GHz, cette limitation est prédominante sur les performances globales de la structure de propagation et au-delà, les non-linéarités deviennent prédominantes. Cette architecture permet d'atteindre une résolution supérieure à 8,5 bits effectifs de zéro à 10 GHz.

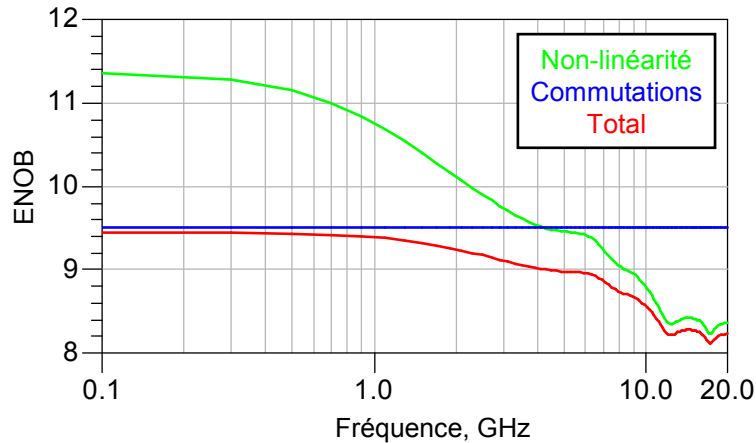


Figure 156 : Résolution de la structure de propagation de l'architecture en étoile

2 Structure de déclenchement

Deux paramètres ont été simulés : le jitter et les échos de commutations qui créent un jitter statique. La simulation du jitter a déjà été détaillée pour les autres architectures et seuls les résultats seront présentés.

2.1 Jitter

Les résultats de la simulation sont présentés sous forme graphique Figure 157, et sous forme numérique Tableau 21.

Numéro de la voie d'échantillonnage	1	2	3	4	5	Total
Jitter simulé	12,0 fs	14,0 fs	15,0 fs	15,5 fs	16,0 fs	14,5 fs

Tableau 21 : Jitter simulé sur les différentes voies d'échantillonnage

On obtient un jitter moyen extrêmement faible, d'environ 14,5 fs. Cette valeur permet une résolution supérieure à 10 bits effectifs à 8 GHz, toujours dans le cas où la référence sinusoïdale est parfaite.

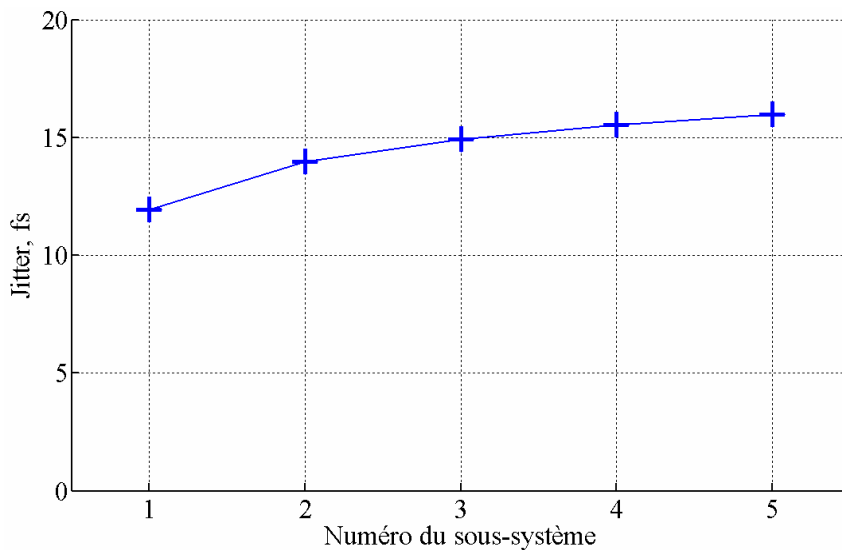


Figure 157 : Simulation du jitter de l'architecture en étoile

On constate Figure 157 que le jitter suit la même évolution que celui de l'architecture à circuits retard : sa valeur augmente avec le numéro de la voie d'échantillonnage. Cependant le circuit de remise en forme a un retard nettement plus court ce qui se traduit par une réduction du jitter. On constate en effet que ces deux architectures présentent le même jitter sur la première voie d'échantillonnage mais l'augmentation du jitter est beaucoup plus lente pour l'architecture en étoile que pour l'architecture basée sur des circuits retard.

2.2 Jitter statique

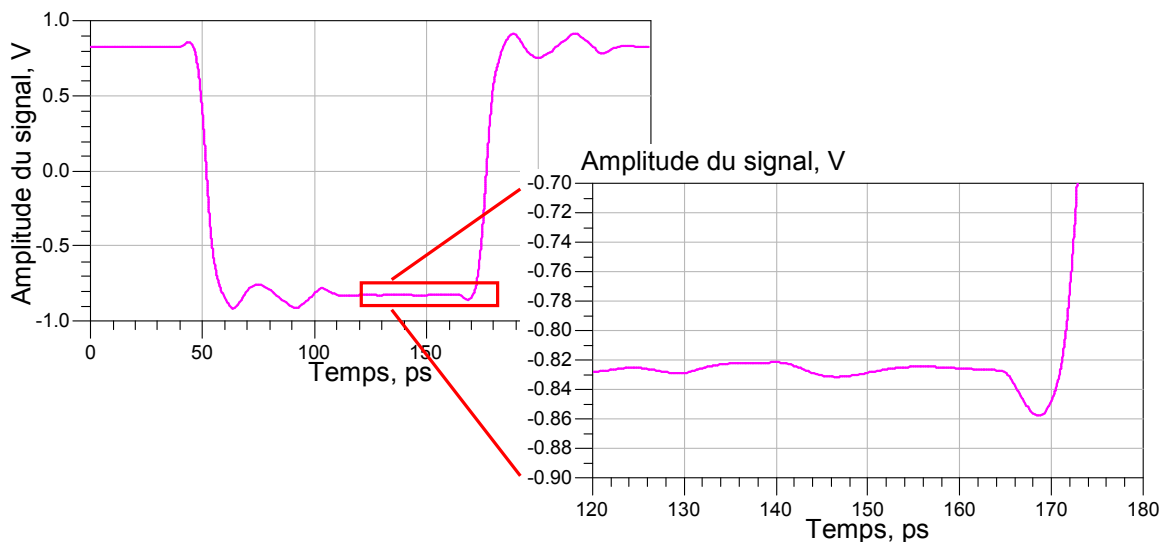


Figure 158 : Niveau différentiel du signal de déclenchement à l'entrée du circuit de remise en forme

Lors de la conception de la structure de déclenchement, nous avons particulièrement soigné l'adaptation d'impédance en sortie de ligne de propagation. On constate bien Figure 158 que les perturbations de commutations sont largement atténuées au moment du front de déclenchement suivant. L'ondulation n'est alors que d'environ 2 mV_{PP} différentiel.

Pour évaluer l'erreur ainsi générée sur l'instant d'échantillonnage, on compare deux simulations, l'une avec une fréquence d'échantillonnage très faible et l'autre avec un signal de déclenchement à 4 GHz. Pour la première simulation, aucune réflexion parasite ne vient perturber l'instant d'échantillonnage, ce qui nous sert de référence. On obtient alors une différence temporelle sur l'instant d'échantillonnage de 1,2 fs. Cette très faible différence nous indique donc que le jitter statique engendré par les désadaptations d'impédance ne perturbera pas les performances du système.

3 Conclusions

Nous avons reporté sur la même figure (Figure 159) les performances simulées de la structure de propagation et de la structure de déclenchement. On constate que la structure de déclenchement n'influence quasiment pas la résolution totale du système. Ce système est donc principalement limité par les non-linéarités et non par le jitter.

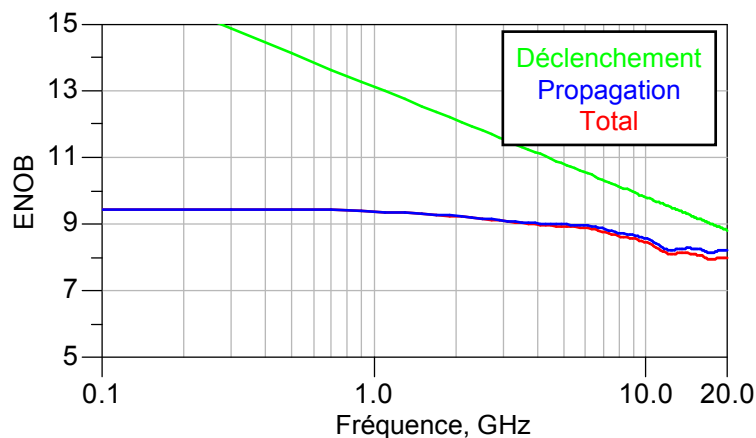


Figure 159 : Influence de la structure de déclenchement et de la structure de propagation sur la résolution du système en étoile

La résolution est particulièrement élevée, supérieure à 8 bits effectifs sur l'intégralité des 15 GHz de la bande-passante. Nous avons pu constater cependant que la conception du système présentait quelques points sensibles comme l'amplificateur d'entrée pour la structure de propagation ou l'adaptation d'impédance pour la structure de déclenchement. De plus, la période d'échantillonnage repose sur la longueur des lignes de propagation et donc sur la géométrie du système. L'augmentation de la fréquence d'échantillonnage passe donc nécessairement par la miniaturisation des composants du système.

Conclusion du chapitre 3

Dans ce chapitre, nous avons proposé trois nouvelles architectures de système d'échantillonnage. Trois systèmes ont été conçus à partir de ces architectures, et leurs performances simulées. Le Tableau 22 récapitule leurs principales caractéristiques.

Architecture :	à circuits retard	à ligne de propagation d'horloge	en étoile
Fréquence d'échantillonnage	40 GEch/s	40 GEch/s	40 GEch/s
Bande-passante	14,3 GHz	14,3 GHz	15,6 GHz
Jitter	20,1 fs	23,3 fs	14,5 fs
SFDR @ 8 GHz	49 dB	49 dB	52 dB
Résolution au niveau des capacités de maintien @ 8 GHz	7,8 bits effectifs	7,8 bits effectifs	8,7 bits effectifs

Tableau 22 : Performances des trois architectures de système d'échantillonnage étudiées

Comme les deux architectures basées sur une ligne de propagation du signal (l'architecture à circuits retard et l'architecture à ligne de propagation d'horloge) ont la même structure de propagation, leurs performances sont identiques, excepté le jitter qui dépend surtout de la structure de déclenchement. On constate alors que l'architecture à ligne de propagation d'horloge présente le jitter le plus élevé mais que sa valeur reste cependant très faible, permettant une résolution de 9,4 bits effectifs à 8 GHz.

Si on se réfère aux performances du Tableau 22, l'architecture à ligne de propagation d'horloge représente une alternative intéressante à l'architecture à circuits retard. Cependant, deux limitations fondamentales ont été identifiées dans ce chapitre : le jitter statique de la structure de déclenchement qui exige une correction spécifique à chaque voie d'échantillonnage, et la relation entre la géométrie du système et la fréquence d'échantillonnage qui ajoute une contrainte au dessin des masques des circuits.

Seule l'architecture à circuits retard présente des performances indépendantes de la géométrie du système. Elle est donc la plus évolutive et il est facile d'augmenter la fréquence d'échantillonnage qui ne dépend que de la valeur du retard que l'on introduit dans la structure de déclenchement. Lors de la conception de l'architecture en étoile, nous avons vu que le plus petit retard réalisable à partir d'un inverseur est d'environ 5 ps. La limite théorique actuelle de la fréquence

d'échantillonnage de l'architecture à circuits retard est donc de 200 GEch/s. Cependant, pour atteindre cette fréquence il faudrait augmenter le nombre de voies d'échantillonnage, ce qui réduirait la résolution du système.

En termes de performances, l'architecture en étoile présente les meilleurs résultats avec une résolution supérieure à celle des deux autres architectures de presque 1 bit effectif et une bande-passante plus large. C'est donc l'architecture qui répond le mieux à notre cahier des charges.

Conclusion générale

Dans ce travail, nous nous sommes intéressés aux systèmes d'échantillonnage haute résolution à large bande-passante. Visant les applications radar, des objectifs très ambitieux ont été définis : une bande-passante supérieure à 15 GHz, une fréquence d'échantillonnage de 40 GEch/s et une résolution de 10 bits effectifs à 8 GHz.

Dans le premier chapitre, nous avons d'abord établi les contraintes et limitations des systèmes d'échantillonnage. Un grand nombre de paramètres entrent en jeu pour déterminer les performances d'un système d'échantillonnage. Trois limitations jouent un rôle primordial sur la résolution de ces systèmes : le bruit, les non-linéarités et le jitter. Pour atteindre une résolution de 10 bits effectifs, le rapport signal à bruit doit être supérieur à 62 dB, indépendamment de la fréquence d'entrée. Les deux autres paramètres dépendent de la fréquence du signal et sont définis à 8 GHz, conformément au cahier des charges que l'on s'est fixé. Le rapport de puissance de la composante fondamentale sur la somme des puissances des composantes harmoniques (THD) doit être supérieur à 62 dB à 8 GHz. Enfin, l'écart type du jitter du système doit être inférieur à 16 fs. D'autres paramètres limitent aussi la résolution, tels que les erreurs d'entrelacement temporel en gain et phase. L'évaluation de la résolution par le nombre de bits effectifs prend en compte un grand nombre de ces paramètres et permet de comparer l'influence des différentes parties du système. Le nombre de bits effectifs est cependant limité au cas d'un signal d'entrée sinusoïdal, c'est-à-dire qu'il ne tient pas compte des erreurs de gain et de phase des signaux entre eux. Ceci peut être un facteur limitant lorsqu'on cherche à déterminer, par exemple, des temps de montée : les différences de temps de groupe et d'amplitude des composantes harmoniques du signal ne sont pas évaluées dans le calcul du nombre de bits effectifs.

Nous avons ensuite présenté les différentes architectures de systèmes, basées sur des techniques optoélectroniques et électroniques. Suite à cette étude, nous avons retenu les architectures de type mono-coup car elles combinent une large bande-passante et une grande résolution. Cependant, leur principe est limité à un cadre mono-coup et nous avons dû l'étendre à un fonctionnement répétitif.

Enfin, dans une troisième partie, nous avons comparé les différentes technologies envisageables, et nous avons choisi de baser notre étude sur le TBH InP. Les résultats obtenus par la suite, principalement concernant le jitter et la linéarité, ont conforté ce choix. Cette filière technologique est actuellement celle qui permet d'atteindre les meilleures performances pour la réalisation d'un système d'échantillonnage à haute résolution et à large bande-passante. Cette technologie récente présente aussi un autre attrait : elle devrait rapidement évoluer. Cette évolution permettra une amélioration des performances des systèmes réalisés et réduira la puissance consommée. Une réduction de la largeur des émetteurs des transistors d'un facteur deux est déjà en phase pré-industrielle.

Dans le second chapitre, nous avons optimisé deux fonctions de base des systèmes d'échantillonnage : l'inverseur et l'échantillonneur-bloqueur. L'inverseur est le composant fondamental de la structure de déclenchement ; nous avons donc optimisé sa conception pour limiter le jitter. Cette démarche nous a permis de réduire le jitter d'un élément à une valeur très faible, d'environ 2 fs. Suite à cette optimisation, nous avons pu concevoir des structures de déclenchement qui génèrent

cinq signaux de déclenchement déphasés à partir d'un signal sinusoïdal. Ces structures présentent un très faible jitter, de l'ordre de 20 fs, et permettent l'échantillonnage d'un signal à 8 GHz avec une résolution de 9,7 bits effectifs.

Nous avons ensuite étudié la conception de l'échantillonneur-bloqueur, élément au cœur du système car il réalise l'échantillonnage. Il joue un rôle important sur les performances du système, et limite la résolution et la bande-passante. La conception d'un échantillonneur-bloqueur repose en effet sur un certain nombre de compromis, qui associent principalement la linéarité et la bande-passante. D'autres paramètres entrent aussi en jeu, comme le temps de maintien et la fréquence d'échantillonnage. Dans ce manuscrit, nous avons détaillé la conception d'un échantillonneur-bloqueur qui atteint un compromis idéal entre linéarité et bande-passante ; ce composant présente en effet une résolution de 9 bits effectifs à 8 GHz et une bande-passante à -3 dB supérieure à 15 GHz.

Le troisième chapitre est consacré à l'étude des architectures de systèmes d'échantillonnage. En partant des résultats des deux chapitres précédents, nous avons proposé trois nouvelles architectures basées sur les solutions mono-coup. Des performances au-delà de l'état de l'art ont été obtenues en simulation ; ces trois architectures présentent en effet une bande-passante de l'ordre de 15 GHz, et une résolution de presque 9 bits effectifs à 8 GHz pour l'architecture en étoile.

Des trois architectures présentées, deux sont particulièrement intéressantes pour la réalisation d'un système d'échantillonnage large bande à haute résolution. L'architecture en étoile présente actuellement les meilleures performances. D'après les résultats de simulation, cette architecture permet d'atteindre une fréquence d'échantillonnage de 40 GEch/s, une bande-passante supérieure à 15 GHz et une résolution d'au moins 8 bits effectifs sur toute la bande-passante. De telles performances sont bien au-delà de celles des systèmes d'échantillonnage actuels à 40 GEch/s, tels que ceux présentés au chapitre 1. L'architecture à circuits retard présente une résolution plus faible que l'architecture en étoile mais sa structure est particulièrement évolutive. La fréquence d'échantillonnage maximale théorique est en effet de 200 GEch/s et la résolution du système est principalement limitée par les performances de la technologie actuelle, particulièrement la taille minimale des transistors qui influence la valeur des capacités parasites. La réduction de la taille minimale des transistors permettra donc d'améliorer la résolution des systèmes basés sur cette architecture.

Plus généralement, l'étude des structures de déclenchement traite de la question de la synchronisation et des temps de propagation des signaux à travers les structures. Les trois architectures d'échantillonneurs que nous avons proposées intègrent dans leur principe le temps de propagation des signaux, selon deux techniques distinctes, soit en annulant leurs effets, soit en en tirant profit pour créer des déphasages. Dans la première architecture proposée, à circuits retard, les signaux se propagent parallèlement, ce qui permet de compenser les temps de transmission. La synchronisation des différents éléments dépend alors de la distance qui les sépare du début de la ligne de propagation. Dans la deuxième architecture, à ligne de propagation d'horloge, les temps de propagation sont sommés pour créer la période d'échantillonnage. Enfin, la troisième architecture, en étoile, intègre les deux techniques : les temps de propagation des signaux à échantillonner sont compensés en utilisant les mêmes longueurs de ligne, et les signaux de déclenchement sont déphasés en partie par la longueur des lignes de propagation.

Le résultat essentiel de ce travail est que nous avons proposé de nouvelles architectures d'échantillonneurs, dont les performances simulées (sur la base de résultats expérimentaux encore partiels) sont très au-delà de l'état de l'art actuel. Nous avons de plus démontré leur faisabilité et ainsi ouvert de nouvelles perspectives pour la réalisation de systèmes d'échantillonnage large bande et haute résolution. La fabrication d'un échantillonneur-bloqueur qui présente des performances comparables à celles dont nous avons besoin devrait être effective d'ici fin 2008 dans le cadre d'un projet REI financé par la DGA (projet de Recherche Exploratoire et Innovation, « Echantillonneur-bloqueur large-bande », n° 06.34.048). Cette réalisation constitue une étape fondamentale vers la fabrication d'un système complet car l'échantillonneur-bloqueur est l'élément central qui détermine les performances d'un numériseur.

Une autre perspective de cette thèse est l'utilisation de la filière TBH InP pour la réalisation de circuits à haute performance. Nous avons abordé deux champs d'applications importants : l'échantillonnage large bande ou/et haute résolution, et la génération de signaux numériques à très faible jitter. Pour ces deux applications la technologie TBH sur InP présente actuellement les meilleures opportunités, et de nombreuses applications sont envisageables, par exemple dans le domaine des télécommunications sur fibre optique.

Enfin, nous avons abordé dans cette thèse les problèmes de synchronisation, en proposant des solutions spatio-temporelles qui intègrent la dimension spatiale à la dimension temporelle. La synchronisation des différents éléments n'est plus globale, mais dépend de leur position dans le système. L'augmentation des fréquences de fonctionnement des circuits mixtes analogiques-numériques nous impose en effet de prendre en compte le temps de propagation des signaux à travers le système. Cette observation est particulièrement marquée dans notre cas car le système a une taille importante, mais elle reste vraie dans un grand nombre d'applications : une ligne de 3 mm de long impose un déphasage de plus d'une période pour un signal à 40 Gb/s. Nous avons proposé dans ce travail d'intégrer ces contraintes dès la conception du système et d'en tenir compte dans la définition du principe de fonctionnement.

Références bibliographiques

- [1] “Nyquist–Shannon sampling theorem”, from wikipedia. internet: http://en.wikipedia.org/wiki/Nyquist%E2%80%93Shannon_sampling_theorem
- [2] H. Nyquist, “Certain topics in telegraph transmission theory,” *Trans. AIEE*, vol. 47, pp. 617-644, Apr. 1928. Reprint as classic paper in: *Proc. IEEE*, Vol. 90, No. 2, Feb. 2002
- [3] Agilent, “Infiniium DCA-J Agilent 86100C Wide-Bandwidth Oscilloscope Mainframe and Modules”. Datasheet, 2007. internet: <http://www.agilent.com/>
- [4] Tektronix, “Digital Serial Analyzer Sampling Oscilloscope DSA8200”. Datasheet, 2007. internet: <http://www.tek.com/>
- [5] James M. Bryant, “How a Σ - Δ ADC Works”. Analog Devices Documents, 2006. internet: <http://www.analog.com/en/>
- [6] “Demystifying Sigma-Delta ADCs”. Maxim Application Note 1870, jan. 2003. internet: <http://www.maxim-ic.com/an1870>
- [7] Zhongming Shi, “Sigma-delta ADC and DAC for digital wireless communication,” *IEEE Radio Frequency Integrated Circuits (RFIC) Symposium*, pp: 57-62, June 1999.
- [8] “IEEE Standard for Terminology and Test Methods for Analog-to-Digital Converters”. Dec. 2000. ISBN: 0-7381-2725-6
- [9] N. Da Dalt, M. Harteneck, C. Sandner, A. Wiesbauer, “On the jitter requirements of the sampling clock for analog-to-digital converters,” *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications*, vol. 49, no. 9, pp: 1354-1360, Sep. 2002.
- [10] M. Shinagawa, Y. Akazawa, T. Wakimoto, “Jitter analysis of high-speed sampling systems,” *IEEE Journal of Solid-State Circuits*, vol. 25, no. 1, pp: 220-224, Feb. 1990.
- [11] Yunchu Li, “Design of high speed folding and interpolating analog-to-digital converter” Ph.D. dissertation, University of Texas, United-States, Mai 2003.

- [12] B. L. Shoop, 'Photonic Analog-to-Digital Conversion'. Springer-Verlag Optical Sciences, 2001. ISBN : 3-540-41344-8
- [13] Hassan El Aabbaoui, « Contribution à l'étude et à la réalisation d'un numériseur ultra large bande à haute résolution en filière TBH InP ». Thèse de l'université des sciences et technologies de Lille 1, Institut d'Electronique de Microélectronique et de Nanotechnologie, Mars 2007.
- [14] Hittite, HMC660LC4B. Datasheet. internet: <http://www.hittite.com/>
- [15] Teledyne, RTH50. Datasheet. internet: <http://www.teledyne.com/>
- [16] Teledyne, RTH60. Datasheet. internet: <http://www.teledyne.com/>
- [17] Inphi, 1821TH. Datasheet, Jan. 2007. internet: <http://www.inphi-corp.com/>
- [18] B. Prégardier, U. Langmann, W. J. Hillery "A 1.2-GS/s 8-b Silicon Bipolar Track&Hold IC," IEEE Journal of Solid-State Circuits, vol. 31, no. 9, pp. 1336-1339, Sept. 1996.
- [19] E. Bushehri, A. Thiede, V. Staroselsky, V. Timochenkov, H. Lienhart, V. Bratov, T. Jakobus, "Dual bridge 6 Gsample/s track and hold circuit in AlGaAs/GaAs/AlGaAs HEMT technology," Electronics Letters, vol. 34, no. 10, pp. 934-936, May 1998.
- [20] Y. Borokhovych, H. Gustat, B. Tillack, B. Heinemann, Y. Lu, W.-M. Lance Kuo, X. Li, R. Krithivasan, J. D. Cressler, "A Low-Power, 10Gs/s Track-and-Hold Amplifier in SiGe BiCMOS Technology," IEEE 31st European Solid-State Circuits Conference, 2005, ESSCIRC 2005, pp. 263-266, Sept. 2005.
- [21] Z. Lao, A. Thiede, H. Lienhart, M. Schlechtweg, W. Bronner, J. Hornung, A. Hülsmann, T. Jakobus "5 GSample/s Track-Hold and 3 GSample/s Quasi-Sample-Hold ICs," IEEE 45th Solid-State Circuits Conference, pp. 328-329, Feb. 1998.
- [22] K. Poulton, J.S. Kang, J.J. Corcoran, K.-C. Wang, P.M. Asbeck, M.-C.F. Chang, G. Sullivan, "A 2Gs/s HBT sample and hold," IEEE 10th Annual Gallium Arsenide Integrated Circuit (GaAs IC) Symposium, pp. 199-202, Nov. 1988.

- [23] Yuan Lu, Wei-Min Lance Kuo, Xiangtao Li, R. Krithivasan, J.D. Cressler, Y. Borokhovych, H. Gustat, B. Tillack, B. Heinemann, "An 8-bit 12 GSAMPLE/sec SiGe Track-and-Hold Amplifier," IEEE Bipolar/BiCMOS Circuits and Technology Meeting, pp. 148-151, Oct. 2005.
- [24] J.P.A. van der Wagt, M. Teshome, "An 8-GHz Bandwidth 1-GS/s GaAs HBT Dual Track-and-Hold," IEEE Symposium on VLSI Circuits, pp. 215-216, June 2001.
- [25] X. Li, W.L. Kuo, Y. Lu, R. Krithivasan, J.D. Cressler, A.J. Joseph, "A 5-bit, 18 GS/sec SiGe HBT Track-and-Hold Amplifier," IEEE Compound Semiconductor Integrated Circuit (CSIC) Symposium, pp. 105-108, Oct. 2005.
- [26] J.C. Jensen, L.E. Larson, "A Broadband 10-GHz Track-and-Hold in Si/SiGe HBT Technology," IEEE Journal of Solid-State Circuits, vol. 36, no. 3, pp.325-330, March 2001.
- [27] S.L. Morton, A.E. Cosand, D.A. Hitko, C. Baringer, L. Luh, C.-M. Lin, J.F. Jensen, C.-M. Li, D. Crampton, "Ku-band subsampling track-and-hold amplifier with 8 ENOB resolution," Electronics Letters, vol. 42, no. 8, pp. 459-460, April 2006.
- [28] Jaesik Lee A. Leven, J.S. Weiner, Y. Baeyens, Yang Yang, Wei-Jer Sung, J. Frackoviak, R.F. Kopf, Young-Kai Chen, "A 6-b 12-GSAMPLER/s Track-and-Hold Amplifier in InP DHBT Technology," IEEE Journal of Solid-State Circuits, vol. 38, no. 9, pp. 1533-1539, Sept. 2003.
- [29] Jaesik Lee, P. Roux, Ut-Va Koc, T. Link, Y. Baeyens, Young-Kai Chen, "A 5-b 10-GSAMPLE/s A/D Converter for 10-Gb/s Optical Receivers," IEEE Journal of Solid-State Circuits, vol. 39, no. 10, pp.1671-1679, Oct. 2004.
- [30] S. Shahramian, A.C. Carusone, S.P. Voinigescu, "Design Methodology for a 40-GSAMPLER/s Track and Hold Amplifier in 0.18- μ m SiGe BiCMOS Technology," IEEE Journal of Solid-State Circuits, vol. 41, no. 10, pp.2233-2240, Oct. 2006.
- [31] J.C. Jensen, L.E. Larson, "A 16-GHz Ultra-High-Speed Si-SiGe HBT Comparator," IEEE Journal of Solid-State Circuits, vol. 38, no. 9, pp. 1584-1589, Sept. 2003.
- [32] C. Schiller, P. Byrne, "A 4-GHz 8-b ADC system," IEEE Journal of Solid-State Circuits, vol. 26, no. 12, pp.1781-1789, Dec. 1991.

- [33] P.C.S. Scholtens, M. Vertregt, "A 6-b 1.6-Gsample/s Flash ADC in 0.18- μ m CMOS Using Averaging Termination," *IEEE Journal of Solid-State Circuits*, vol. 37, no. 12, pp. 1599-1609, Dec. 2002.
- [34] A. Stojcevski, H.P. Le, J. Singh, A. Zayegh, "Flash ADC architecture," *IEEE Journal of Solid-State Circuits*, vol. 21, no. 6, pp. 997-1002, Dec 1986.
- [35] Analog Devices, AD12401. Datasheet, 2006. internet: <http://www.analog.com/>
- [36] Teledyne Scientific Company, RAD004. Preliminary Datasheet, . internet: <http://www.teledyne-si.com/>
- [37] Maxim, MAX1215N. Datasheet, Avr. 2006. internet: <http://www.maxim-ic.com/>
- [38] Texas Instrument, ADS5463. Datasheet, Nov. 2006. internet: <http://www.ti.com/>
- [39] e2v, AT84AS001. Datasheet, 2006. internet: <http://www.e2v.com/>
- [40] e2v, AT84AS008. Datasheet, 2006. internet: <http://www.e2v.com>
- [41] Maxim, MAX108. Datasheet, Jan. 2001. internet: <http://www.maxim-ic.com/>
- [42] National Semiconductor, ADC083000. Datasheet, May 2007. internet: <http://www.national.com/>
- [43] W.C. Black, D.A. Hodges, "Time interleaved converter arrays," *IEEE Journal of Solid-State Circuits*, vol. 15, no. 6, pp.1022-1029, Dec. 1980.
- [44] K. Poulton, J.J. Corcoran, T. Hornak, "A 1-GHz 6-bit ADC System," *IEEE Journal of Solid-State Circuits*, vol. 22, no. 6, pp. 962-970, Dec. 1987.
- [45] J. Elbornsson, F. Gustafsson, J.-E. Eklund, "Blind Equalization of Time Errors in a Time-Interleaved ADC System," *IEEE Transactions on Signal Processing*, vol. 53, no. 4, pp. 1413-1424, Apr. 2005.
- [46] M.K. Rudberg, "Calibration of Mismatch Errors in Time Interleaved ADCs," *IEEE 8th International Conference on Electronics, Circuits and Systems (ICECS)*, vol. 2, pp. 845-848, Sept. 2001.
- [47] E. Balestrieri, P. Daponte, S. Rapuano, "A State of the Art on ADC Error Compensation Methods," *IEEE Transactions on Instrumentation and Measurement*, vol. 54, no. 4, pp. 1388-1394, Aug. 2005.

- [48] G. Ding, C. Dehollain, M. Declercq, K. Azadet, "Frequency-interleaving technique for high-speed A/D conversion," IEEE International Symposium on Circuits and Systems (ISCAS), vol. 1, pp. 857-860, May 2003.
- [49] Pupalaiakis et al., "High Bandwidth Oscilloscope", US patent 7 219 037, May 2007.
- [50] K. Azadet, "Method and apparatus for converting between analog and digital domains using frequency interleaving", US patent 0132870, Jul. 2003.
- [51] P.W. Juodawlkis, J.C. Twichell, G.E. Betts, J.J. Hargreaves, R.D. Younger, J.L. Wasserman, F.J. O'Donnell, K.G. Ray, R.C. Williamson, "Optically Sampled Analog-to-Digital Converters," IEEE Transactions on Microwave Theory and Techniques, vol. 49, no. 10, part 2, pp. 1840-1853, Oct. 2001.
- [52] G.C. Valley, "Photonic analog-to-digital converters," Optics Express, vol. 15, no. 5, pp. 1955-1982, March 2007.
- [53] A. Siegman, D. Kuizenga, "Proposed method for measuring picosecond pulsewidths and pulse shapes in CW mode-locked lasers," IEEE Journal of Quantum Electronics, vol. 6, no. 4, pp. 212-215, Apr. 1970.
- [54] T.R. Clark, M.L. Dennis, "Toward a 100-GSample/s Photonic A-D Converter," IEEE Photonics Technology Letters, vol. 13, no. 3, pp. 236-238, March 2001.
- [55] M. P. Fok, K. L. Lee, C. Shu, "4×2.5 GHz Repetitive Photonic Sampler for High-Speed Analog-to-Digital Signal Conversion," International Topical Meeting on Microwave Photonics, pp. 313-316, Nov. 2002.
- [56] F. Coppinger, AS. Bhushan, B. Jalali, "12 Gsample/s wavelength division sampling analogue-to-digital converter," Electronics Letters, vol. 36, no. 4, pp. 316-318, Feb. 2000.
- [57] T. R. Clark, J. U. Kang, R. D. Esman, "Performance of a Time- and Wavelength-Interleaved Photonic Sampler for Analog-Digital Conversion," IEEE Photonics Technology Letters, vol. 11, no. 9, pp.1168-1170, Sept. 1999.
- [58] H.F. Taylor, "An electrooptic analog-to-digital converter," Proceedings of the IEEE, vol. 63, no. 10, pp.1524-1525, Oct. 1975.

- [59] H.F. Taylor, "An Optical Analog-to-Digital Converter-Design and Analysis," *IEEE Journal of Quantum Electronics*, vol. 15, no. 4, pp. 210-216, Apr. 1979.
- [60] R. Urata, R. Takahashi, V.A. Sabnis, D.A.B. Miller, J.S. Harris, "Ultrafast Differential Sample and Hold Using Low-Temperature-Grown GaAs MSM for Photonic A/D Conversion," *IEEE Photonics Technology Letters*, vol. 13, no. 7, pp. 717-719, July 2001.
- [61] L.Y. Nathawad, R. Urata, B.A. Wooley, D.A.B. Miller, "A 40-GHz-Bandwidth, 4-Bit, Time-Interleaved A/D Converter Using Photoconductive Sampling," *IEEE Journal of Solid-State Circuits*, vol. 38, no. 12, pp. 2021-2030, Dec. 2003.
- [62] A.S. Bhushan, F. Coppinger, B. Jalali, "Time-stretched analogue-to-digital conversion," *Electronics Letters*, vol 34, no. 9, pp. 839-841, Apr. 1998.
- [63] A.S. Bhushan, F. Coppinger, B. Jalali, S. Wang H.F. Fetterman, "150 Gsample/s wavelength division sampler with time-stretched output," *Electronics Letters*, vol. 34, no. 5, pp. 474-475, March 1998.
- [64] Y. Han, O. Boyraz, B. Jalali "480 GSample/s Time Stretch Transient Digitizer," *IEEE Proc. of the Lightwave Technologies in Instrumentation and Measurement Conference*, pp. 49-53, Oct. 2004.
- [65] Yan Han, B. Jalali, "One Tera-Sample/sec Real-Time Transient Digitizer," *IEEE Instrumentation and Measurement Technology Conference (IMTC)*, vol. 1, pp. 507-509, May 2005.
- [66] J. Chou, O. Boyraz, B. Jalali, "Femto-second real-time single-shot digitizer," *Meeting of the American Physical Society*, March 2006.
- [67] Y. Han, B. Jalali, "Photonic Time-Stretched Analog-to-Digital Converter: Fundamental Concepts and Practical Considerations," *IEEE Journal of Lightwave Technology*, vol 21, no. 12, pp. 2085-3103, Dec. 2003.
- [68] B. Asuri, Yan Han, B. Jalali, "Time-Stretched ADC Arrays," *IEEE Transactions on Circuits and Systems*, vol. 49, no. 7, pp. 521-524, July 2002.

- [69] K. Poulton, R. Neff, B. Setterberg, B. Wuppermann, T. Kopley, R. Jewett, J. Pernillo, C. Tan, A. Montijo, "A 20GS/s 8b ADC with a 1MB Memory in 0.18 μ m CMOS," IEEE International Solid-State Circuits Conference (ISSCC), vol.1, 2003.
- [70] Agilent, "Infiniium 80000 Series Oscilloscopes". Datasheet, Sept. 2004. internet: <http://www.agilent.com>
- [71] R. Neff, "GigaSample/second CMOS Current-Mode Parallel-Pipeline ADCs," Agilent laboratories, Oct. 2004.
- [72] Marv LaVoie, "Design and Development of Digital and Analog Oscilloscopes and Transient Digitizers," Pico-Sec Timing Hardware Workshop, High Energy Physics the University of Chicago, Nov. 2005. internet: <http://hep.uchicago.edu/>
- [73] P.J. Pupalaikis, "Digital Bandwidth Interleaving," Lecroy Technical Brief, March 2005. internet: <http://www.lecroy.com>
- [74] Tektronix, "Digital Storage Oscilloscope TDS6000b Series". Datasheet, 2004. internet: <http://www.tek.com/>
- [75] Lecroy, "SDA18000". Datasheet, 2006. internet: <http://www.lecroy.com>
- [76] R.B. Patten et al., "Appartus for samplinf electric waves," US Patent 3 278 846, Oct. 1966.
- [77] Q.A. Kerns et al., "analysis of non repetitive pulse waveforms by selection and storage of pulse increments," US Patent 3 484 689, Dec. 1969.
- [78] McEwan, "Transient Digitizer with Displacement Current Samplers," US Patent 5 519 342, May 1996.
- [79] T. E. McEwan, "High speed sampler and demultiplexer," US Patent 5 479 120, Dec. 1995.
- [80] T. E. McEwan, "High speed transient sampler," US Patent 5 471 162, Nov. 1995.
- [81] T.E. McEwan, J.D. Kilkenny, G. Dallum, "World's Fastest Solid-State Digitizer," Energy and Technology Review, April 1994. internet: <http://www.llnl.gov/str/>
- [82] A. Ghis, P. Ouvrier-Buffet, N. Rolland, A. Benlarbi-Delai « - », Brevet n° 98 07087, 1998.

- [83] A. Ghis, P. Ouvrier-Bufferet, N. Rolland, A. Benlarbi-Delai « Dispositif d'échantillonnage de signal électrique haute fréquence », Brevet n° 01063665, avril 2001.
- [84] A. Ghis et al., "Electrical Sampler for Non Simultaneous Sampling," U.S. Patent 6 680 606 B1, Jan. 2004.
- [85] A. Ghis et al., "Sampling Device for a High Frequency Electrical Signal," U.S. Patent 6 954 087 B2, Oct. 2005.
- [86] N. Rolland, A. Benlarbi, P.-A. Rolland, A. Ghis, P. Ouvrier-Bufferet, « Oscilloscope monocoup 8ghz Principe et réalisation », 13èmes Journées Nationales Microondes, Lille, Mai 2003.
- [87] A. Ghis, P. Ouvrier-Bufferet, N. Rolland, A. Benlarbi-Delai, P.A. Rolland, D. Glay, D. Jaeger, "Solid-state 8GHz Transient Signal Digitizer Characterization," IEEE MTT-S International Microwave Symposium, vol. 3, pp. 1673-1676, June 2002.
- [88] A. Ghis, B. Riondet, N. Rolland, A. Benlarbi-Delai, P.-A. Polland, D. Glay, P. Ouvrier-Bufferet, "8GHz Transient Signal Digitizer theory and realisation," IEEE MTT-S International Microwave and Optoelectronics Conference (IMOC) vol. 1, pp. 281-284, Aug. 2001.
- [89] J.S. Yuan, SiGe GaAs and InP Heterojunction Bipolar Transistor. Wiley Interscience, 1999. ISBN : 0-471-19746-7
- [90] H.S. Bennett, R. Brederlow, J. Costa, M. Huang, A.A. Immorlica, J.-E. Mueller, M. Racanelli, C.E. Weitzel, Bin Zhao, "RF and AMS," IEEE Circuits and Devices Magazine, vol. 20, no. 6, pp. 38-51, Nov.-Dec. 2004.
- [91] J.C. Zolper, "Challenges and Opportunities for InP HBT Mixed Signal Circuit Technology," IEEE International Conference on Indium Phosphide and Related Materials, pp.8-11, May 2003.
- [92] G. Raghavan, M. Sokolich, W.E. Stanchina, "Indium phosphide ICs unleash the highfrequency spectrum," IEEE Spectrum, vol. 37, no. 10, pp. 47-52, Oct. 2000.
- [93] Site web OMMIC. internet: http://www.ommic.com/FS/FS techno_main.htm

- [94] G. Raghavan, R. Johnson, J. Yen, R. Coccioli, “High Frequency IC Design and Test webinar Part1 (Design),” Inphi website, June 2003. internet: <http://www.inphi-corp.com>
- [95] S. Blayac, M. Riet, J. L. Benchimol, F. Alexandre, P. Berdaguer, M. Kahn, A. Pinquier, E. Dutisseuil, J. Moulu, A. Kasbari, A. Konczykowska, J Godin, “MSI InP/InGaAs DHBT technology: beyond 40 Gbit/s circuits,” IEEE 14th Indium Phosphide and Related Materials (IPRM) Conference, pp. 51-54, May 2002.
- [96] S. Voinigescu, T. Dickson, R. Beerkens, P. Westergaard, I. Khalid, “A Comparison of Si CMOS, SiGe BiCMOS and InP HBT Technologies for High-Speed and Millimeter-Wave ICs,” IEEE Meeting on Silicon Monolithic Integrated Circuits in RF Systems, pp. 111-114, Sept. 2004.
- [97] N.R. Das, M.J. Deen, “On the Performance Analysis and Design of an Integrated Front-End PIN/HBT Photoreceiver,” IEEE Journal of Quantum Electronics, vol. 40, no. 1, pp. 78-91, Jan. 2004.
- [98] M. Sokolich, “High Speed, Low Power, Optoelectronic InP-based HBT Integrated Circuits,” IEEE Custom Integrated Circuits Conference, pp. 483-490, May 2002.
- [99] J. C. Zolper, “Challenges and opportunities for InP HBT mixed signal circuit technology,” DARPA website, 2004. internet: <http://www.darpa.mil/mto/>
- [100] B. Jalali, S.J. Pearton, ‘InP HBT’s: Growth, Processing, and Applications’. Artech House, 1995. ISBN : 0-89006-724-4
- [101] Mathilde Sié, « Synthétiseurs de fréquence monolithiques micro-ondes à 10 et 20 GHz en technologies BiCMOS SiGe 0,25 et 0,35 μm ». Thèse de l’université Paul Sabatier de Toulouse, Laboratoire d’Analyse et d’Architecture des Systèmes, Juillet 2004.
- [102] F. Herzel, B. Razavi, “A Study of Oscillator Jitter Due to Supply and Substrate Noise,” IEEE Transactions on Circuits and Systems, Vol. 46, No. 1, pp. 56-62, Jan. 1999.
- [103] Q. Dou; J.A. Abraham, “Jitter Decomposition in Ring Oscillators,” IEEE Conference on Design Automation, pp. 285-290, Jan. 2006.

- [104] C.W. Zhang, X.Y. Wang, L. Forbes, "Simulation technique for noise and timing jitter in electronic oscillators," *IEE Proc. Circuits Devices Syst.*, Vol. 151, No. 2, pp. 184-189, April 2004.
- [105] J. A. McNeill, "Jitter in Ring Oscillators," *IEEE Journal of Solid-State Circuits*, Vol. 32, No. 6, pp. 870-879, June 1997.
- [106] John Arthur McNeill, "Jitter in Ring Oscillators" Ph.D. dissertation, University of Boston, United-States, 1994.
- [107] A. Hajimiri, S. Limotyrakis, T. H. Lee "Jitter and Phase Noise in Ring Oscillators," *IEEE Journal of Solid-State Circuits*, Vol. 34, No. 6, pp. 790-804, June 1999.
- [108] I. Zamek, S. Zamek, "Crystal oscillators jitter measurements and its estimation of phase noise," *IEEE International Frequency Control Symposium and PDA*, pp. 547-555, May 2003.
- [109] Todd Charles Weigandt, "Low-Phase-Noise, Low-Timing-Jitter Design Techniques for Delay Cell Based VCOs and Frequency Synthesizers" Ph.D. dissertation, University of California, Berkeley, United-States, Spring 1998.
- [110] Vasilis Papanikolaou, "A comparator and track and hold for use in a 1 GS/s, 10 bit analog to digital converter". Ph.D. dissertation, University of Toronto, Canada, 1999.
- [111] D. Seo, A. Weil, M. Feng "A Very Wide-Band 14Bit, 1GS/s Track-and-Hold Amplifier," *IEEE International Symposium on Circuits and Systems*, pp. 549-552, May 2000.
- [112] G. Caiulo, C. Fiocchi, U. Gatti, F. Maloberti, "On the Design of High-speed High-Resolution Track and Holds," *IEEE Symposium on International Circuits and Systems (ISCAS)*, vol. 1, pp. 73-76, May 1996.
- [113] T. Baumheinrich, B. Prégardier, U. Langmann, "A 1-GSample/s 10-b Full Nyquist Silicon Bipolar Track&Hold IC," *IEEE Journal of Solid-State Circuits*, Vol. 32, No. 12, pp. 1951-1997, Dec. 1997.
- [114] Jonathan C. Jensen, "Ultra-High Speed Data Converter Building Blocks in Si/SiGe HBT". Ph.D. dissertation, University of California, San Diego, United-States, 2005.

- [115] E. M. Cherry, D. E. Hooper, “the design of wideband transistor feedback amplifiers,” IEEE Proc., Vol. 110, pp. 375-389, Feb. 1963.
- [116] R. van de Plassche, ‘Integrated Analog-to-Digital and Digital-to-analog Converters’. Kluwer Academic Publishers, 1994. ISBN : 0-7923-9436-4
- [117] K.C. Gupta, ‘Microstrip Lines and Slotlines, Second Edition’. Arthec House Publishers, 1996. ISBN : 0-89006-766-X
- [118] Christophe Viallon, « Optimisation de structures différentielles en technologie SiGe pour applications en bande millimétrique. Application à la conception d'un mélangeur doublement équilibré en bande K ». Thèse de l’université Paul Sabatier de Toulouse, Laboratoire d’Analyse et d’Architecture des Systèmes, Décembre 2003.

Publications relatives à la thèse

- **Colloques internationaux à comité de lecture :**

- 1- H. El Aabbaoui, B. Gorisse, A. Benlarbi-Delai, N. Rolland, V. Allouche, N. Fel, B. Riondet, P. Leclerc, P.-A. Rolland, "InP DHBT based MMICs for [DC-20 GHz] Signal Sampling," IEEE European Microwave Integrated Circuits Conference, pp. 87-90, Sept. 2006.
- 2- K. Haddadi, H. El Aabbaoui, B. Gorisse, D. Glay, N. Rolland, "A Fully InP Monolithic Integrated Millimeter-Wave Reflectometer," IEEE European Microwave Conference, pp. 703-706, Sept. 2006.
- 3- H. El Aabbaoui, B. Gorisse, N. Rolland, A. Benlarbi-Delai, J.-F. Lampin, P.-A. Rolland, V. Allouche, N. Fel, B. Riondet, P. Leclerc, "20 GHz bandwidth digitizer for single shot analysis," IEEE International Symposium on Circuits and Systems, May 2006.
- 4- H. El Aabbaoui, B. Gorisse, N. Rolland, A. Benlarbi-Delai, V. Allouche, N. Fel, P. Leclerc, B. Riondet, P.-A. Rolland, "Design of a [DC-20 GHz] Buffered Track and Hold Circuit in InP DHBT Technology," European Microwave Week, oct. 2007.
- 5- B. Gorisse, H. El Aabbaoui, N. Rolland, P.-A. Rolland, "Jitter Analysis of Electrical Samplers Based on a Propagation Line," European Microwave Week, oct. 2007.

- **Colloques nationaux à comité de lecture :**

- 6- B. Gorisse, H. El Aabbaoui, N. Rolland, P.-A. Rolland, « Nouvelles architectures d'échantillonneurs entrelacés pour des systèmes à haute résolution et à large bande passante », Journées Nationales Microondes, Toulouse, Mai 2007.
- 7- H. El Aabbaoui, B. Gorisse, N. Rolland, A. Benlarbi-Delaï, N. Fel, V. Allouche, P. Leclerc, B. Riondet, P.-A. Rolland, « Echantillonneur-bloqueur ultra large bande [DC-20 GHz] en technologie DHBT sur InP », Journées Nationales Microondes, Toulouse, Mai 2007.

• **Colloques nationaux sans comité de lecture :**

- 8- B. Gorisse, H. El Aabbaoui, N. Rolland, A. Benlarbi-Delaï, J.-F. Lampin, P.-A. Rolland, V. Allouche, N. Fel, B. Riondet, P. Leclerc, « Echantillonneurs spatio-temporels à déclenchement non simultané pour l'analyse de signaux hyperfréquences non répétitifs », Colloque Solutions d'échantillonnage rapide de signaux hyperfréquences, CNES, 22 Mai 2006.

Annexes

Liste des annexes

- I - Résolution et nombre de points d'échantillonnage**
- II - Disparités de l'entrelacement temporel**
- III - Simulation du jitter de l'inverseur**
- IV - Circuit de déclenchement des échantillonneurs-bloqueurs esclaves**

I - Résolution et nombre de points d'échantillonnage

Cette annexe détaille certains problèmes associés à la définition du nombre de bits effectifs. Les résultats présentés ci-dessous ont été obtenus par des simulations Matlab et permettent d'identifier les contraintes liées à la simulation numérique du nombre de bits effectifs.

- **Nombre de bits effectifs et convertisseur idéal**

La distribution de l'erreur de quantification d'un signal sinusoïdal n'étant pas uniforme, cela engendre une erreur sur le calcul de l'erreur de quantification. Bien que l'on considère souvent le nombre de bits comme étant le nombre de bits d'un convertisseur idéal, il y a bien une différence entre ces deux valeurs qui est d'autant plus marquée que la résolution est faible. On a donc calculé numériquement le nombre de bits effectifs d'un convertisseur idéal et les résultats obtenus sont présentés dans le Tableau 23. L'erreur décroît rapidement, et à partir de 6 bits elle est inférieure à 0,05 bits effectifs. Autour de 10 bits, on pourra donc considérer que le nombre de bits effectifs est égal au nombre de bits d'un convertisseur idéal.

Nombre de bits	1	2	3	4	5	6	7	8	9	10
Nombre de bits effectifs	0,78	1,83	2,88	3,91	4,94	5,95	6,97	7,98	8,98	9,99
Erreur	0,22	0,17	0,12	0,088	0,063	0,045	0,032	0,023	0,016	0,012

Tableau 23 : Nombre de bits effectifs et erreur en fonction du nombre de bits d'un convertisseur idéal

- **Nombre de points d'échantillonnage**

Pour que la distribution de l'erreur de quantification soit exacte, il faut un nombre de points d'échantillonnage infini. Ceci est bien sûr irréaliste et dans la pratique on se contentera d'un nombre de points fini, nombre que l'on cherche ici à déterminer.

Constatons dans un premier temps que cette contrainte est la même que celle qui impose au rapport de la fréquence du signal d'entrée sur la fréquence d'échantillonnage d'être irrationnel. En effet, cette contrainte d'irrationalité a été établie pour que chaque échantillon présente une erreur de quantification différente de toutes les autres. Lorsque ce rapport est rationnel on a un nombre d'erreurs de quantification fini qui se répètent de façon périodique. On a donc bien la même contrainte que sur l'intervalle d'échantillonnage et la même question : combien de points de quantification différents sont nécessaires pour que la perturbation des résultats soit négligeable ? En termes mathématiques, le nombre de points minimum d'échantillonnage correspond au dénominateur minimum de la fraction irréductible du rapport de la fréquence d'entrée sur la fréquence d'échantillonnage.

Le numérateur de la fraction irréductible du rapport de fréquences n'intervenant pas sur l'erreur de quantification, on l'a arbitrairement fixé à 1 pour le calcul. Nous calculons ensuite l'erreur de quantification en fonction du dénominateur de la fraction. Nous vérifions ainsi numériquement la convergence de cette suite et sa dépendance au nombre de bits du convertisseur. Nous pouvons ensuite établir le nombre de points nécessaires à la mesure en fonction du nombre de bits du convertisseur et de la précision souhaitée. Les résultats sont présentés Figure 160. Pour une résolution de 10 bits par exemple, l'erreur sur l'erreur de quantification sera inférieure à 5 % au-delà de 3 216 points. C'est à dire qu'en prenant au moins 3 217 points d'échantillonnage et en s'assurant que le rapport fréquence d'entrée sur fréquence d'échantillonnage est de la forme $\frac{n}{3217}$ avec n et 3 217 premiers entre eux (la fraction est irréductible) l'erreur engendrée par la distribution discrète des erreurs d'échantillonnage sera inférieure à 5 % de l'erreur de quantification idéale d'un signal sinusoïdal. Pour un nombre de points d'échantillonnage supérieur strictement à 6 432, cette même erreur sera inférieure à 1 %.

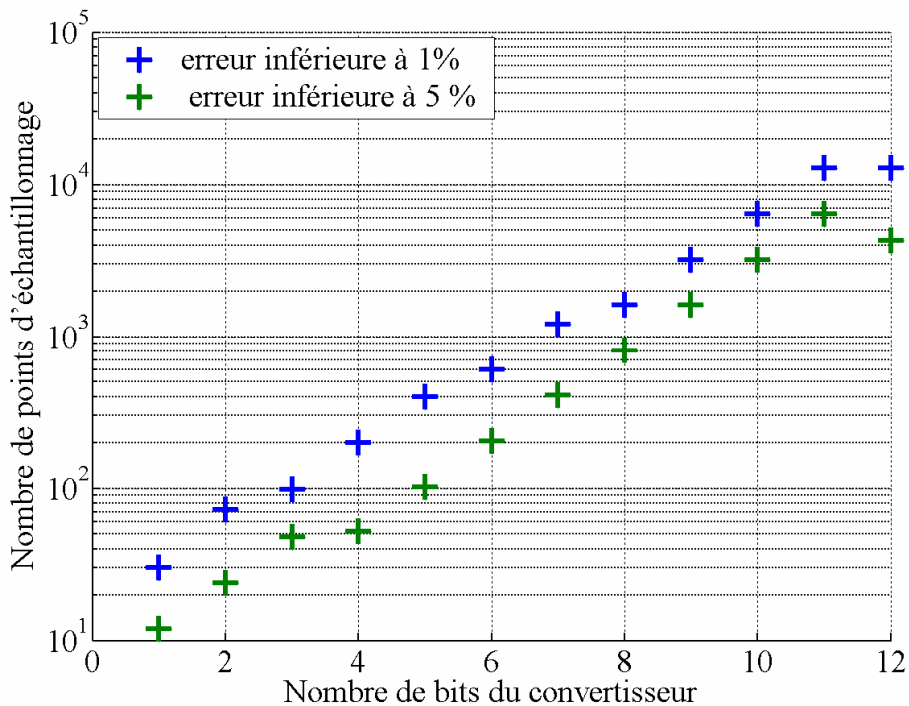


Figure 160 : Nombre de points d'échantillonnage nécessaires pour réduire l'erreur à 1 % ou 5 % en fonction du nombre de bits du convertisseur

II - Disparités de l'entrelacement temporel

Cette annexe a pour but de détailler l'origine et les effets des différentes disparités entre les voies d'échantillonnage d'un système entrelacé temporellement.

Disparité	Nombre de bits effectifs brut (avant traitement numérique)	Pour 10 bits effectifs à 8 GHz et 1 V _{pp} de dynamique
Niveau continu	$\log_2 \left(\frac{V_{pp}}{2 \cdot \sqrt{3} \cdot \sigma(V_{DC})} \right)$	$\sigma(V_{DC}) < 0,28 \text{ mV}$
Déphasage du déclenchement et temps de groupe statique	$-\log_2 \left(2 \cdot \pi \cdot \sqrt{1,5} \cdot f_{Signal} \cdot \sigma(\Delta t) \right)$	$\sigma(\Delta t) < 16 \text{ fs}$
Gain statique	$\log_2 \left(\frac{E(G)}{\sqrt{1,5} \cdot \sigma(G)} \right)$	$\frac{\sigma(G)}{E(G)} < 0,08 \%$
Gain en fonction de la fréquence	$\log_2 \left(\frac{E(G(f_{Signal}))}{\sqrt{1,5} \cdot \sigma(G(f_{Signal}))} \right)$	$\frac{\sigma(G)}{E(G)} < 0,08 \%$
Phase en fonction de la fréquence	$-\log_2 \left(\sqrt{1,5} \cdot \sigma(\Delta \phi(f_{Signal})) \right)$	$\sigma(\Delta \phi) < 0,046^\circ$

Tableau 24 : Influence des différentes disparités liées à l'entrelacement temporel

- **Décalage de niveau continu**

Chaque voie d'échantillonnage possède sa propre référence de niveau continu, ce qui se traduit par un décalage des valeurs numériques. Cette erreur se caractérise dans le domaine temporel par l'addition d'un signal périodique de période n/f_e et donc naturellement dans le domaine fréquentiel par l'apparition de raies parasites aux fréquences $i \cdot f_e / n$, $i \in \{0; 1; \dots; n\}$.

On remarque donc que les caractéristiques du signal d'entrée n'interviennent pas sur l'erreur. Le décalage moyen en tension des différentes voies pour atteindre une résolution donnée doit simplement être inférieur à l'erreur de quantification, c'est-à-dire inférieur à $LSB / (2 \cdot \sqrt{3})$.

Dans le détail la démarche est toujours de déterminer un rapport signal à bruit pour le rapprocher ensuite du nombre de bits effectifs.

Pour cela on détermine d'abord la tension efficace de l'erreur :

$$U_{eff \cdot DC} = \sigma(V_{DC})$$

Avec V_{DC} : ensemble des niveaux continus

La tension efficace du signal est donnée par :

$$U_{eff \cdot Signal} = \frac{A}{\sqrt{2}}$$

Avec A : amplitude du signal donc $A = \frac{V_{PP}}{2}$, V_{PP} désignant la dynamique d'entrée du système.

Soit un rapport signal à bruit donné par :

$$SNRV_{DC} = \frac{U_{eff \cdot Signal}}{U_{eff \cdot DC}} = \frac{V_{PP}}{2 \cdot \sqrt{2} \cdot \sigma(V_{DC})}$$

Qu'il est alors facile de changer en nombre de bits effectifs :

$$ENOB_{DC} = \log_2 \left(\frac{SNRV}{\sqrt{1.5}} \right) = \log_2 \left(\frac{V_{PP}}{2 \cdot \sqrt{3} \cdot \sigma(V_{DC})} \right)$$

Cette erreur peut se corriger assez facilement dans le système en jouant sur les tensions de référence ou lors du traitement numérique par une simple addition sur les valeurs mesurées.

• Erreur statique de déphasage du déclenchement

Cette erreur est occasionnée par les imprécisions statiques des déphaseurs qui génèrent les déclenchements des différentes voies. Sans correction cette erreur intervient au même titre que le jitter (on parle d'ailleurs de jitter statique), c'est-à-dire qu'il faut la réduire à quelques femtosecondes pour atteindre 10 bits effectifs à 8 GHz de fréquence d'entrée. Comme le jitter, elle dépend de la fréquence : plus le signal d'entrée évolue rapidement et plus l'erreur temporelle sur l'instant de déclenchement conduira à un décalage important de la valeur de l'échantillon.

Dans le domaine fréquentiel cette erreur se caractérise par des raies parasites de part et d'autre des fréquences $i \cdot f_e / n$, $i \in \{0; 1; \dots; n\}$ (plus exactement aux fréquences $i \cdot f_e / n \pm f_{signal}$, $i \in \{0; 1; \dots; n\}$ et ramenées dans la fenêtre $[0; f_e]$ par repliement de spectre). On peut vérifier que la puissance des raies parasites est d'autant plus élevée que la fréquence du signal d'entrée est grande.

Cette erreur ayant les mêmes effets que le jitter, l'équation est la même et a déjà été détaillée dans le chapitre 1 :

$$ENOB_{jitter \text{ statique}} = -\log_2 \left(2 \cdot \pi \cdot \sqrt{1.5} \cdot f_{Signal} \cdot \sigma(\Delta t) \right)$$

Pour limiter cette erreur on ajuste le délai de chaque signal de déclenchement (par exemple en pilotant des capacités variables) mais cette solution ne permet pas d'atteindre une précision de l'ordre de la femtoseconde. Il est donc nécessaire de compenser aussi par traitement numérique.

- **Erreur de gain**

Cette erreur a pour origine les différences de gain que voit le signal en fonction de la voie d'échantillonnage. Bien qu'elles aient le même effet et les mêmes équations, on peut distinguer deux contributions qui seront plus ou moins faciles à compenser. Une partie de l'erreur est en effet issue des erreurs de gain en continu, c'est-à-dire principalement des erreurs de gain des amplificateurs, mais aussi des différences de pertes sur les lignes de propagation et les résistances de polarisation. La deuxième partie de cette erreur dépend de la fréquence du signal d'entrée et correspond à des fréquences de résonance différentes selon les voies d'échantillonnage et induites par les lignes et les éléments réactifs des amplificateurs.

Les erreurs de gain se caractérisent fréquemment par l'apparition de raies parasites aux mêmes fréquences que pour le jitter statique, c'est-à-dire de part et d'autre des fréquences $i \cdot f_e / n$, $i \in \{0; 1; \dots; n\}$. Cependant, contrairement aux erreurs de jitter statique, la puissance des raies parasites n'a pas la même dépendance fréquentielle par rapport au signal d'entrée. Pour une voie :

$$U_{\text{eff} \cdot \text{gain}} = \frac{\Delta G}{\sqrt{2}}$$

$$U_{\text{eff} \cdot \text{Signal}} = \frac{G}{\sqrt{2}}$$

$$\text{Donc } SNRV_{\text{gain}} = \frac{G}{\Delta G}$$

Pour plusieurs voies :

$$SNRV_{\text{gain}} = \frac{E(G)}{\sigma(G)} \quad \text{avec } G : \text{ensemble des gains}$$

Soit :

$$ENOB_{\text{gain}} = \log_2 \left(\frac{E(G)}{\sqrt{1,5} \cdot \sigma(G)} \right)$$

Les erreurs de gain ne seront pas aussi facile à corriger selon qu'elles dépendent ou non de la fréquence du signal d'entrée. Pour les erreurs de gain en niveau continu, il est possible d'ajuster les paramètres analogiques du système si cette correction a été prévue lors de la conception des amplificateurs. La correction est cependant relativement simple sur le signal numérique puisqu'il s'agit d'une multiplication qui ne dépend que de la voie d'échantillonnage. En revanche, lorsque cette erreur dépend de la fréquence du signal d'entrée, sa correction est beaucoup plus délicate et s'associe à l'erreur de phase décrite ci-après.

- **Erreur de phase**

Comme pour l'erreur de gain, l'erreur de phase peut être séparée en erreur de niveau continu et erreur fréquentielle. Elle a pour origine les différences de longueurs de lignes de propagation et les erreurs associées aux amplificateurs, comme par exemple sur les valeurs de capacités. Sa caractérisation fréquentielle est identique à celle de l'erreur statique de déclenchement. Pour une voie :

$$U_{eff-Phase} = \sin\left(\frac{\Delta\varphi}{2}\right) \cdot A \cdot \sqrt{2}$$

Contrairement à l'erreur de gain, l'erreur de phase n'est pas linéaire.

$$U_{eff-Signal} = \frac{A}{\sqrt{2}}$$

$$\text{Donc } SNRV_{phase} = \frac{1}{2 \cdot \sin\left(\frac{\Delta\varphi}{2}\right)}$$

Pour plusieurs voies

$$SNRV_{Phase} = \frac{1}{2 \cdot rms\left(\sin\left(\frac{\Delta\varphi - E(\varphi)}{2}\right)\right)}$$

$$\text{Avec } rms(S) = \sqrt{\frac{1}{n} \cdot \left(\sum_{i=1}^n s_i^2\right)}$$

Il est ici nécessaire de décomposer la formule de l'écart type à cause des non-linéarités de l'erreur de phase. Soit :

$$ENOB_{Phase} = \log_2 \left(\frac{1}{\sqrt{1,5} \cdot 2 \cdot rms\left(\sin\left(\frac{\Delta\varphi - E(\varphi)}{2}\right)\right)} \right)$$

Ceci constitue la formule exacte du nombre de bits effectifs associés à une erreur de phase entre les différentes voies d'échantillonnage d'un système entrelacé. Pour nos applications, les erreurs de phase sont relativement faibles et représentent donc des angles très faibles. Il est alors possible de linéariser la fonction sinus en la remplaçant par son développement limité de rang 1. La formule précédente devient alors :

$$ENOB_{Phase} = \log_2 \left(\frac{1}{\sqrt{1,5} \cdot \sigma(\Delta\varphi)} \right)$$

En constatant que : $\sigma(\Delta\varphi) = 2 \cdot \pi \cdot f_{Signal} \cdot \sigma(\Delta t)$, c'est-à-dire en remplaçant l'erreur de phase par une erreur temporelle, on retrouve exactement la formule du jitter.

Comme pour l'erreur temporelle sur les instants de déclenchement, la partie continue de l'erreur de phase peut être atténuée sur le système physique en jouant sur les délais des signaux de déclenchement. La partie de l'erreur dépendante de la fréquence du signal d'entrée est cependant plus délicate à compenser. Au niveau physique en effet, lorsqu'on joue sur la pente du gain des amplificateurs, on modifie inexorablement la phase du signal et réciproquement. Ce qu'on gagne sur un point on le perd donc sur l'autre. Ces erreurs nécessitent donc un traitement numérique des données qui tient compte de la fréquence du signal d'entrée.

III - Simulation du jitter de l'inverseur

Dans cette annexe l'objectif est d'établir les paramètres de la simulation du jitter. Nous rappelons qu'il s'agit d'une simulation Monte-Carlo dont le but est de déterminer le jitter d'un inverseur en simulant ses sources de bruit.

Plusieurs paramètres doivent être ajustés et présentent une difficulté majeure : ils ne sont pas indépendants. On ne peut pas déterminer chaque paramètre tour à tour car la valeur des autres paramètres influence les résultats de la simulation. La solution retenue est alors de se placer dans des conditions pour lesquelles on observe de bons résultats, d'étudier ensuite l'évolution du jitter en faisant varier les paramètres un par un, et enfin de vérifier à posteriori que les paramètres fixés arbitrairement au début permettaient de réaliser cette optimisation.

Tous les résultats présentés ont été obtenus avec l'inverseur ECL utilisant des transistors de $10 \times 2 \mu\text{m}^2$ présenté au début du chapitre 2 de la thèse.

1 Variables numériques

Deux variables numériques doivent être déterminées : le pas temporel de la simulation et le nombre de points de mesure.

La difficulté majeure consiste à isoler ces deux erreurs : pour pouvoir fixer les paramètres de la simulation, il faut quantifier l'erreur apportée par chacune des contributions. Après plusieurs essais il apparaît qu'un pas d'échantillonnage de 10 fs et 1 000 points de simulation Monte-Carlo donnent des résultats corrects pour la simulation. Nous retenons donc ces valeurs comme point de départ.

- **Nombre de points de simulation**

Nous cherchons dans un premier temps à fixer le nombre de points de simulation. Pour cela on se place à un niveau volontairement plus faible que celui qui a été identifié, par exemple 100 points de simulation, et on réalise plusieurs fois la simulation (100 fois dans notre cas). Chaque simulation détermine une valeur du jitter et nous nous intéressons à l'ensemble de ces jitters. Le jitter étant une erreur issue d'un bruit blanc, sa fonction de répartition suit une loi normale dont il est possible de déterminer la moyenne et l'écart type. La moyenne nous donne une valeur très précise du jitter de l'inverseur (car elle est réalisée à partir de 10 000 points de simulation) et l'écart type nous renseigne sur la précision de chaque simulation. Les résultats obtenus sont présentés Figure 161.

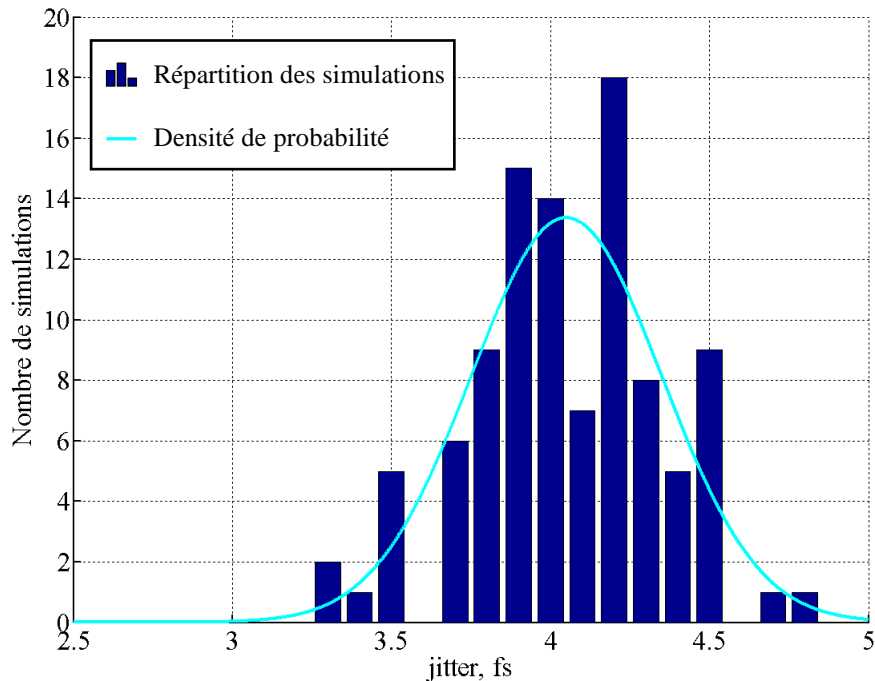


Figure 161 : Diagramme de la répartition des valeurs du jitter obtenues sur 100 simulations (représenté par pas de 0,1 fs) et densité de probabilité associée

Dans le cas de la loi normale centrée réduite, 95 % des valeurs sont comprises dans l'intervalle $[-2 ; 2]$. Si l'on désire que cet intervalle soit réduit à $[-0,1 ; 0,1]$, il faut donc une loi normale d'écart type 0,05.

Sur notre ensemble de 100 simulations, l'écart type est de 0,30. Pour réduire cet écart type à 0,05, il suffit alors de multiplier le nombre de points de simulation par $(0,3 / 0,05)^2$, soit 36. 3 600 points de simulation sont donc nécessaires pour la précision que l'on s'est fixée, c'est-à-dire pour que 95 % des simulations présentent une erreur inférieure à 2,5 %. On peut de même calculer l'erreur moyenne qui est dans notre cas de 0,034 fs, soit environ 1 %.

- **Pas temporel de la simulation**

Les erreurs de pas temporel se caractérisent assez facilement : lorsqu'on décale le front de déclenchement d'une fraction du pas d'échantillonnage on observe une variation de la valeur du jitter. On va donc utiliser cette caractéristique pour déterminer le pas de simulation maximal. Les résultats de simulation sont présentés Figure 162.

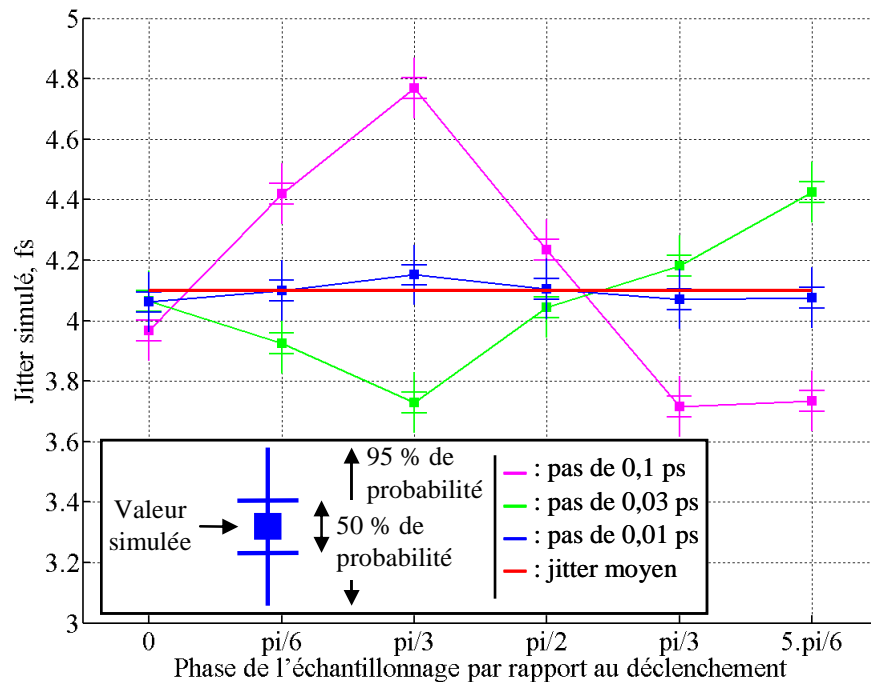


Figure 162 : Evolution des valeurs simulées du jitter en fonction de la phase de l'échantillonnage temporel par rapport au déclenchement pour différentes valeurs de pas d'échantillonnage

On constate que, pour un pas d'échantillonnage de 0,1 ps ou 0,03 ps, la valeur du jitter simulé dépend fortement de la phase. Même en tenant compte des imprécisions de simulation, les résultats sont bien au-delà des limites acceptables. En revanche, pour un pas d'échantillonnage de 0,01 ps, toutes les valeurs simulées sont dans la marge des 95 % de probabilité. On en déduit donc que le pas d'échantillonnage maximal que l'on peut autoriser pour la simulation est de 0,01 ps.

- **Bilan**

Nous avons donc identifié les valeurs des deux variables numériques de la simulation : un pas temporel maximal de 0,01 ps et 4 000 tours de simulation sont nécessaires pour atteindre une précision correcte. La simulation du jitter d'un inverseur comme celui présenté nécessite alors quatre heures de calcul pour un ordinateur classique (Pentium 4 à 2,8 GHz et 1 Go de RAM).

2 Validation de la simulation

Ayant déterminé les paramètres numériques de la simulation, nous pouvons valider le schéma électrique retenu.

On réalise trois simulations pour lesquelles on double tour à tour chaque étage. Les simulations ont donc au total quatre étages d'inverseurs. Les résultats sont présentés Tableau 25.

Simulation	Jitter
2 étages d'entrée	4,119 fs
2 étages bruyants	5,722 fs soit 4,046 fs par étage
2 étages de sortie	3,991 fs

Tableau 25 : Résultats de simulation à quatre étages d'inverseurs

On constate alors que les résultats sont très proches de ceux attendus (jitter d'environ 4,07 fs) et qu'ils sont contenus dans la marge d'erreur définie précédemment. On valide ainsi que l'association de trois étages d'inverseurs pour la simulation du jitter est suffisante. La forme rectiligne du premier front de déclenchement est aussi validée.

Enfin, une dernière simulation est réalisée avec trois étages mais en calculant le jitter à la sortie du deuxième étage. On obtient alors une valeur du jitter de 3,460 fs, donc bien en dessous des valeurs obtenues en sortie du troisième étage et qui caractérise l'influence du bruit du deuxième étage sur le jitter du troisième étage (les sources de bruit agissent sur le jitter de l'étage où elles sont introduites mais aussi sur le jitter de l'étage suivant et même légèrement sur le jitter de l'étage précédent).

On a ainsi montré, d'une part qu'il est nécessaire de réaliser la simulation avec au moins trois étages d'inverseurs, et d'autre part que ces trois étages sont suffisant pour la simulation.

IV - Circuit de déclenchement des échantillonneurs-bloqueurs esclaves

Dans cette annexe, nous proposons Figure 163 le schéma électrique d'un circuit qui génère les signaux de déclenchement des deux échantillonneurs-bloqueurs esclaves entrelacés à partir du signal de déclenchement de l'échantillonneur-bloqueur maître.

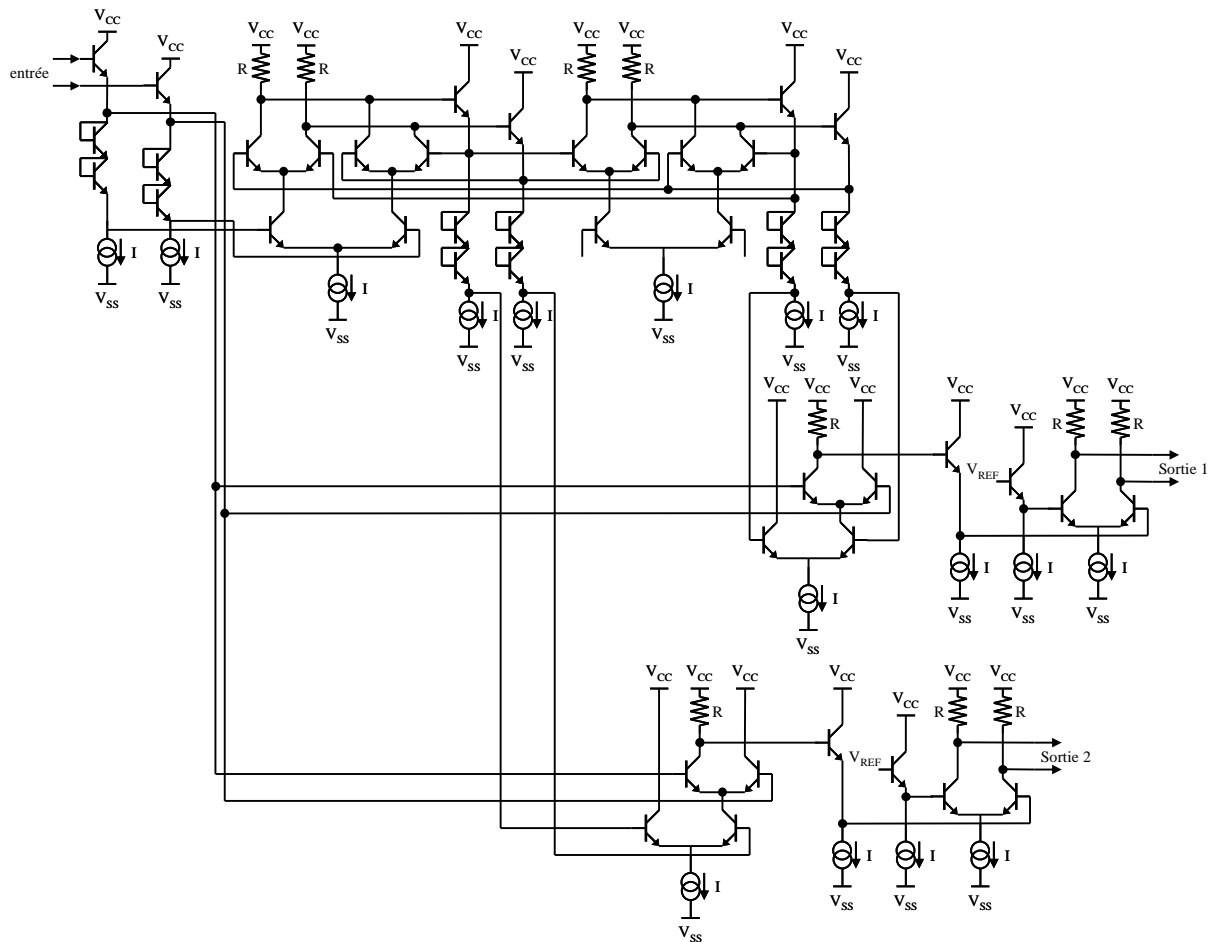


Figure 163 : Schéma électrique du circuit proposé

La forme des signaux d'entrée et de sortie de ce circuit est représentée Figure 164. Les deux signaux de sortie présentent bien les caractéristiques recherchées : une période deux fois plus longue que celle du signal d'entrée, un rapport cyclique de 0,25 et ces deux signaux sont en opposition de phase.

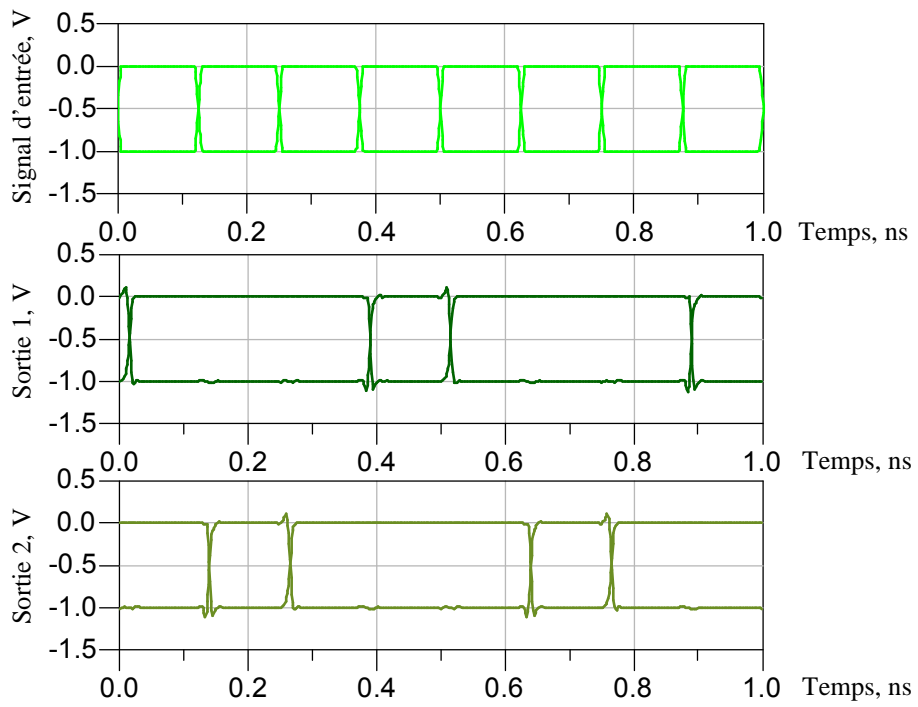


Figure 164 : Forme des signaux en entrée et en sortie

Résumé

La numérisation de plus en plus rapide de signaux à très large bande-passante permet aujourd'hui d'envisager de nombreuses applications pour les systèmes de télécommunication, les mesures expérimentales ou les systèmes radar. Les signaux issus des capteurs peuvent être analysés directement, en évitant la conversion en fréquences intermédiaires. Dans ce travail, nous nous intéressons plus particulièrement au système d'échantillonnage pour des applications radar, qui nécessitent une amélioration significative de la résolution des systèmes existants. L'objectif que nous visons inclut les spécifications suivantes : une fréquence d'échantillonnage de 40 GEch/s, une bande-passante supérieure à 15 GHz et une résolution de 10 bits effectifs à 8 GHz. Partant des excellents résultats obtenus sur les architectures mono-coup à entrelacement temporel, nous avons choisi d'adapter leur principe à un fonctionnement répétitif. Nous avons aussi choisi de baser cette étude sur la technologie TBH sur InP car elle présente les meilleures potentialités pour notre application. Deux éléments de base de ces systèmes ont fait l'objet d'une optimisation particulière pour améliorer la résolution du système : l'inverseur pour minimiser le jitter et l'échantillonneur-bloqueur, principalement pour améliorer la linéarité. Partant de ces résultats, trois architectures innovantes ont été proposées. Pour chacune nous avons conçu un système dont nous avons simulé les performances.

Mots clés : Conversion analogique-numérique, faible jitter, système d'échantillonnage, TBH InP, haute résolution, large bande-passante

Abstract

Study of basic elements and concepts for digitizers with very wide bandwidth and high resolution.

Nowadays, high bandwidth signals can be sampled at even higher sampling frequencies. Signals from telecommunication systems, experimental sensors or radar systems can be directly digitized, without analog IF conversion. This work is about the design of a sampling system for radar applications, which need a significant increase of actual systems resolution. The main objectives we target are a sampling frequency of 40 GS/s, a bandwidth of 15 GHz and 10 effective bits at 8 GHz. As very promising results have been obtained with single-shot sampling architectures, this study is based on this principle which has been adapted to large sampling windows. We have chosen an InP HBT technology because it has the best potentialities for our application. Within these systems, two basic elements have been optimized to increase the resolution: the inverter in order to reduce the jitter, and the track-and-hold, to increase the linearity. Taking the results into account, three innovative sampling architectures have been proposed. For each one of them, a system was designed and its performances were simulated.

Keywords: analog-to-digital conversion, low jitter, sampling system, HBT, high resolution, large bandwidth

Etude d'éléments de base et de concepts pour un numériseur à très large bande passante et à haute résolution

La numérisation de plus en plus rapide de signaux à très large bande-passante permet aujourd'hui d'envisager de nombreuses applications pour les systèmes de télécommunication, les mesures expérimentales ou les systèmes radar. Les signaux issus des capteurs peuvent être analysés directement, en évitant la conversion en fréquences intermédiaires. Dans ce travail, nous nous intéressons plus particulièrement au système d'échantillonnage pour des applications radar, qui nécessitent une amélioration significative de la résolution des systèmes existants. L'objectif que nous visons inclut les spécifications suivantes : une fréquence d'échantillonnage de 40 GEch/s, une bande-passante supérieure à 15 GHz et une résolution de 10 bits effectifs à 8 GHz. Partant des excellents résultats obtenus sur les architectures mono-coup à entrelacement temporel, nous avons choisi d'adapter leur principe à un fonctionnement répétitif. Nous avons aussi choisi de baser cette étude sur la technologie TBH sur InP car elle présente les meilleures potentialités pour notre application. Deux éléments de base de ces systèmes ont fait l'objet d'une optimisation particulière pour améliorer la résolution du système : l'inverseur pour minimiser le jitter et l'échantillonneur-bloqueur, principalement pour améliorer la linéarité. Partant de ces résultats, trois architectures innovantes ont été proposées. Pour chacune nous avons conçu un système dont nous avons simulé les performances.

Mots clés : Conversion analogique-numérique, faible jitter, système d'échantillonnage, TBH InP, haute résolution, large bande-passante