



HAL
open science

**Etude d'une nouvelle filière de composants sur
technologie nitrure de gallium. Conception et réalisation
d'amplificateurs distribués de puissance large bande à
cellules cascodes en montage flip-chip et technologie
MMIC.**

Audrey Martin

► **To cite this version:**

Audrey Martin. Etude d'une nouvelle filière de composants sur technologie nitrure de gallium. Conception et réalisation d'amplificateurs distribués de puissance large bande à cellules cascodes en montage flip-chip et technologie MMIC.. Sciences de l'ingénieur [physics]. Université de Limoges, 2007. Français. NNT: . tel-00271472

HAL Id: tel-00271472

<https://theses.hal.science/tel-00271472>

Submitted on 9 Apr 2008

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

UNIVERSITÉ DE LIMOGES

ÉCOLE DOCTORALE Sciences – Technologie - Santé

FACULTÉ des Sciences et Techniques

Année : 2007

Thèse N° : 71-2007

Thèse

pour obtenir le grade de

DOCTEUR DE L'UNIVERSITÉ DE LIMOGES

Discipline : Électronique des Hautes Fréquences et Optoélectronique

Spécialité : Télécommunications

Présentée et soutenue par

Audrey PHILIPPON - MARTIN

Le 6 décembre 2007

**ÉTUDE D'UNE NOUVELLE FILIÈRE DE COMPOSANTS SUR
TECHNOLOGIE NITRURE DE GALLIUM.
CONCEPTION ET RÉALISATION D'AMPLIFICATEURS
DISTRIBUÉS DE PUISSANCE LARGE BANDE À CELLULES
CASCODES EN MONTAGE FLIP-CHIP ET TECHNOLOGIE MMIC.**

Thèse dirigée par Pr. Michel CAMPOVECCHIO

JURY :

B. JARRY

E. BERGEAULT

J.L. GAUTIER

M. CAMPOVECCHIO

D. FLORIOT

S. PIOTROWICZ

R. QUÉRÉ

T. REVEYRAND

Professeur - Université de Limoges

Professeur – E.N.S.T

Professeur – E.N.S.E.A

Professeur - Université de Limoges

Ingénieur – U.M.S

Ingénieur - Alcatel Thalès III-V Lab

Professeur - Université de Limoges

Ingénieur CNRS - XLIM

Président

Rapporteur

Rapporteur

Examineur

Examineur

Examineur

Examineur

Invité

*« Qui est le maître ?
Celui qui ne le sait pas.
Qui est le compagnon ?
Celui qui ne le dit pas.
Qui est l'apprenti ?
Tout le monde. »*

-Villard de Honnecourt- Compagnon du Moyen Age.

*A la mémoire de mon grand-père,
A mes parents,
A Renaud,
A tous ceux qui me sont très chers.*

REMERCIEMENTS

Cette thèse a été préparée entre 2004 & 2007 au laboratoire XLIM, Unité Mixte de Recherche n°6172 du CNRS (*Centre National de la Recherche Scientifique*) au sein du département C2S2 (*Composants Circuits Signaux et Systèmes Hautes Fréquences*) sur le site de la Faculté des Sciences et Techniques de Limoges.

Je remercie dans ce contexte Messieurs P.-Y GULLON, A. BARTHÉLEMY et D. CROS de m'avoir accueillie successivement dans ce laboratoire de recherche.

De nombreuses personnes ont participé, plus ou moins directement à la réussite de cette thèse : je tiens à vous les présenter en espérant n'oublier personne.

Pourquoi une thèse en électronique ? En effectuant un retour quelques années en arrière, je m'aperçois que trois personnes ont contribué directement au fait que je me sois lancée sur une thèse en électronique : tout d'abord, au cours de ma dernière année de DEUG, à Limoges, j'ai été fascinée par la manière avec laquelle Jean-Michel NEBUS conduisait son cours d'électronique : malgré des horaires parfois matinaux, il réussissait toujours à rendre le cours vivant et ce grâce à un enthousiasme hors du commun. Ensuite, durant mon DEA, j'ai eu la chance de suivre le cours de Raymond QUÉRÉ. Là encore, j'ai senti que plus que nous transmettre des connaissances, l'orateur nous faisait partager sa passion. Enfin Michel CAMPOVECCHIO a dirigé mon stage de DEA et donc, en quelque sorte, guidé mes premiers pas dans la recherche. Ce stage a certainement servi de déclic au départ de cette aventure ; il y est donc pour beaucoup. Ces trois personnes sont en majeure partie à l'origine de cette thèse et je leurs en suis donc très reconnaissante.

Ainsi, je remercie tout particulièrement Monsieur le Professeur R. QUÉRÉ de m'avoir accueillie dans son équipe.

Monsieur M. CAMPOVECCHIO, Professeur à L'université de Limoges m'a proposé un sujet de thèse ouvert et passionnant. Tout au long de ce travail, ses encouragements, ses conseils précieux et sa curiosité scientifique ont toujours réussi à stimuler ma motivation. Qu'il accepte tous mes remerciements et ma reconnaissance.

J'exprime mes remerciements à Monsieur B. JARRY, Professeur à l'Université de Limoges, de m'avoir fait l'honneur de présider ce jury de thèse.

Je tiens également à exprimer mes sincères remerciements à Monsieur E. BERGEAULT, Professeur à l'ENST et Monsieur J.-L. GAUTIER, Professeur à l'ENSEA qui ont accepté la responsabilité de juger ce travail en qualité de rapporteurs.

Je témoigne toute ma reconnaissance à Monsieur D. FLORIOT, directeur du laboratoire commun MITIC (XLIM – ALCATEL THALÈS III-V Lab), Monsieur S. PIOTROWICZ, ingénieur à ALCATEL THALÈS III-V Lab ainsi que T. REVEYRAND, ingénieur CNRS au laboratoire XLIM, (j'y reviendrai), pour avoir accepté d'examiner ce mémoire et de participer à ce jury ainsi que Monsieur J. F. VILLEMAZET, ingénieur à THALÈS ALENIA SPACE, comme invité de dernière minute.

Je tiens également à faire part de toute ma gratitude à Marie-Claude pour sa gentillesse, sa disponibilité et son professionnalisme. Que serait l'équipe sans elle ?

J'adresse également mes plus sincères remerciements à Messieurs D. BARATAUD et G. NEVEUX pour leurs conseils ainsi que J.-C. NALLATAMBY, M. PRIGENT, P. BOUYASSE, J. ANDRIEU, M. LALANDE pour leurs conseils, aides et soutien aussi bien pour la thèse que pour mes enseignements en tant que monitrice au sein de l'IUT GEII de Brive ainsi que tous les permanents de l'équipe.

Mes pensées vont aussi à Danièle ROUSSET qui a toujours été présente pour le monitorat, le poste d'ATER et pour toutes nos discussions « potin ».

Merci également à tous les membres de l'IUT Mesures Physiques et en particulier à Fred et Pascal pour leurs encouragements et leur soutien.

Maintenant passons à la fine équipe...

Mon petit François, que te dire. Merci pour ton soutien, pour avoir partagé un bureau avec moi et avoir supporté mes angoisses et mes paniques tout autant que le froid et la pluie, pour tous les bons moments mais aussi pour avoir été là quand j'en avais besoin. Ça y est nous y sommes arrivés (ou presque..), une nouvelle vie va s'offrir à nous et j'espère que tu feras toujours partie de la mienne et moi de la tienne.

Laëti, ma petite poulette. Je n'oublierai pas nos soirées d'avant thèse au Buck. Nos fou rires enfermées dans une voiture. Notre périple vers la grande bleue sous un soleil de plomb. Je te souhaite bon courage pour la suite et retrouve vite ta moitié.

Miss Claire, ma petite pâte d'alu. Merci de partager nos instants de commérages comme on n'en fait plus et bon courage pour la suite...

Une grosse pensée à mes deux autres collègues de bureau Zhooooour et Abderrazak. Ce n'est plus « Lahchouma » pour longtemps !

Un grand merci à tous les autres thésards que ce soit dans le bureau du bâtiment de physique (vous vous reconnaîtrez les loulous !) ou dans les autres bureaux. Bon courage pour la thèse..

À vous les Amcadiens : Tony, Chris, Kitou, Manu, Steph mon ancien collègue de bureau. Merci pour votre soutien professionnel et personnel.

Je remercie bien sûr mon aide de camp de la première heure, Sandra, pour son aide et ses conseils si précieux en début de thèse. Heureuse de t'avoir revue à Venise : « Nella speranza di rivederti presto »...

À toi Tibo, le lunatique au grand cœur, mais comme dit un proverbe napolitain « ce qui est né carré ne peut mourir rond » (je te taquine !). Merci pour tes conseils, pour nos discussions professionnelles ou celles qui l'étaient beaucoup moins d'ailleurs dans la salle fumeur en plein air.

On parle de fumeur ? Merci Seb pour tes histoires abracadabrantes de maison brûlée, de transistor, de voiture volée, de transistor, de Cato de 10kg, de transistor, d'escalier, de piscine, de traverses de chemin de fer et j'en passe...et aussi pour les multiples petits « kawas ».

Merci Olivier, avec un « O » comme OSS117, pour m'avoir accueillie sur Marcoussis, d'avoir réussi à me faire toucher une manette de jeu vidéo (ce sera la dernière...) et pour tous les va-et-vient vers une gare que ce soit celle de Massy ou celle de Brive..

Pour finir, je ne peux oublier de remercier mes amis :

Claire « Paturette de Lapouge », merci pour ta gentillesse, ton soutien, ton humour. Tu réponds toujours présente et je sais que ce sera toujours le cas dans 10 ans. Je ne doute pas que nous retournerons « siroter » de la Smirnoff chez « Brien » !

Doudou et Marie, tout ce chemin parcouru... Les verres en terrasse, les vacances à Bayonne, Lacanau ou ailleurs, les discussions où l'on refaisait le monde, les virées nocturnes... et parfois même les verres à Bayonne en refaisant le monde.

À toi, François, chimiste & apprenti chanteur au grand cœur. Tu hésites, je le sais... que te dire de plus que de choisir le travail que tu aimes et tu n'auras pas à travailler un seul jour de ta vie... Les frissons restent en moi quand tu chantes : « E Lucevan le Stelle » de Tosca de Puccini.

Mes amis de la Fac : Jer, Cédric, JP, Vi, Bobby, Vince, Dam's, Flo, le bistro de la fac pour le nombre affolant d'heures de « coinche » sous l'œil avisé de Domi et Arlette et tant d'autres...

Mais aussi : Vince (et ses copeaux de bois), Guillaume (et ses histoires de ...), Pete, Annie & Bob pour leur gentillesse et leur soutien, Blandine & Steph, Katel & Géraud et mes trois petits bouts : Lise, Tim et Maneck.

Je ne peux oublier de remercier mes parents. Il n'y a pas de mots pour remercier ceux sans qui (c'est sûr !) je ne serais pas là. Merci pour tout et surtout pour votre amour.

Enfin, mon cher Renaud, merci pour ton soutien sans limite, ta patience, pour tout ce que l'on partage et pour tout ce qui est difficile de dire ici et maintenant... Merci pour ta relecture naïve du manuscrit et parce que même si tu n'as pas tout compris, tu es très fière de moi.

Une grosse pensée à Pompon, Titi, Yoyo et tous les félins de mon cœur...

Merci à toutes et à tous et bonne lecture à ceux qui auront le courage d'aller plus loin...

TABLE DES MATIÈRES

Introduction générale..... 1

**CHAPITRE 1 : LE NITRURE DE GALLIUM – LE
HEMT GAN : MATÉRIAU ET COMPOSANT
PRIVILÉGIÉS POUR LES APPLICATIONS DE
PUISSANCE HYPERFRÉQUENCES**..... 3

Introduction..... 5

I - Le GaN : un matériau à fort potentiel pour les applications de puissance..... 6

I.1. Les semi-conducteurs grand- gap 6

I.1.1. Historique 6

I.1.2. Principales propriétés physiques mises en œuvre dans les performances des transistors de puissance 9

I.1.3. Différentes figures de mérite 16

I.2. La structure cristalline et les substrats de croissance du GaN 18

I.2.1. Structure cristalline 18

I.2.2. Substrat de croissance du GaN 19

I.3. Champ de polarisation spontanée et piézoélectrique 21

I.3.1. La polarisation spontanée 22

I.3.2. La polarisation piézoélectrique 23

I.3.3. La polarisation résultante 24

I.3.4. Effet des champs sur la concentration du gaz bidimensionnel d'électrons 24

II - Le transistor HEMT GaN : composant de puissance grand gap 27

II.1. Historique 27

II.2. Principe de fonctionnement 27

II.2.1. Effet fondamental 27

II.2.2. Principe de l'hétérojonction 28

II.2.3. Structure physique 30

II.3. Quelques effets limitatifs dans les transistors HEMTs GaN	32
II.3.1. Les effets thermiques.....	32
II.3.2. Les différents phénomènes de pièges	33
II.4. Points primordiaux pour l'amplification de puissance	37
II.4.1. Augmentation de la tension de claquage	37
II.4.2. Augmentation de la densité de porteurs et de la vitesse de saturation	40
II.5. Etat de l'art des transistors HEMTs en technologie GaN.....	41
III - Etat de l'art des amplificateurs de puissance large bande en technologie GaN	42
<i>Conclusion</i>	43
<i>Bibliographie</i>	44

CHAPITRE 2 : ANALYSE ET MODÉLISATION DE COMPOSANTS PASSIFS ET DE TRANSISTORS HEMTs SUR NITRURE DE GALLIUM POUR LA CAO HYPERFRÉQUENCE 53

<i>Introduction</i>	55
I - Étude et modélisation de composants passifs GaN	56
I.1. Contexte.....	56
I.2. Définition des éléments passifs à modéliser.....	57
I.3. Procédé technologique des composants passifs GaN.....	58
I.4. Simulation électromagnétique des éléments passifs.....	60
I.4.1. La méthode des moments	61
I.4.2. Simulations électromagnétiques des composants passifs.....	61
I.5. Modélisation électrique	64
I.5.1. Schémas équivalents utilisés.....	64
I.5.2. Optimisation des modèles électriques équivalents paramétrés.....	72
I.5.3. Comparaison des paramètres [S] résultant des mesures et des modèles électriques équivalents	73
II - Étude et modélisation des transistors HEMTs utilisés lors de nos conceptions. 80	80
II.1. Contexte.....	80
II.2. Caractérisation des composants.....	80
II.2.1. Principe du banc de mesure I[V] et paramètres [S] impulsionnel :.....	80
II.2.2. Principe des mesures en température	82
II.2.3. Mise en évidence des phénomènes thermiques du transistor HEMT GaN 8x75µm AEC1148	82
II.2.4. Mise en évidence des phénomènes de pièges :.....	84
II.3. Principe de modélisation linéaire, non-linéaire et thermique des transistors.....	86
II.3.1. Principe de modélisation petit signal.....	87
II.3.2. Principe de modélisation non linéaire	89
II.3.3. Principe de modélisation thermique	94
II.3.4. Synthèse.....	104
II.4. Topologies des modèles de transistors utilisés lors de nos conceptions et comparaison aux mesures	105

II.4.1. Le transistor HEMT 8x50 μ m	105
II.4.2. Le transistor HEMT 8x75 μ m	109
<i>Conclusion</i>	115
<i>Bibliographie</i>	116

CHAPITRE 3 : ANALYSE ET CONCEPTION D'AMPLIFICATEURS DE PUISSANCE DISTRIBUÉS À CELLULES CASCODES PHEMT GAN SUR LA BANDE 4-18GHZ..... 1 19

Introduction..... 121

I - Étude des amplificateurs de puissance large bande et méthode de conception

d'amplificateurs distribués utilisant des transistors en montage cascode..... 123

I.1. Différentes architectures d'amplificateurs de puissance large bande..... 123

I.1.1. Les amplificateurs à adaptation résistive 124

I.1.2. Les amplificateurs à contre réaction 125

I.1.3. Les amplificateurs équilibrés 126

I.1.4. Les amplificateurs distribués [3.5], [3.6], [3.7] 126

I.2. Principe de fonctionnement et étude de l'amplificateur distribué en bas niveau 128

I.2.1. Principe de fonctionnement 128

I.2.2. Critère de conception d'un amplificateur distribué 130

I.3. Configurations particulières de topologie distribuée 137

I.3.1. Capacité additionnelle en parallèle sur le drain : 138

I.3.2. Capacité additionnelle en série sur la grille : 139

I.4. Analyse du montage cascode 140

I.4.1. Description..... 140

I.4.2. Principe de fonctionnement 141

I.5. Principe de fonctionnement de l'amplificateur distribué à cellules cascodes 146

I.5.1. Etude des lignes de grille et de drain 146

I.5.2. Impédances caractéristiques 147

I.5.3. Constantes de propagation : 149

I.6. Méthodologie de conception fort signal des amplificateurs distribués 150

II - Amplificateur de puissance distribué à cellules cascodes en montage flip-chip153

II.1. Cellule cascode de test à base de transistors 8x50 μ m..... 153

II.1.1. Analyse de la cellule cascode [3.21] 153

II.1.2. Résultats de simulations 156

II.1.3. Résultats de mesures 157

II.2. Topologie étudiée et spécifications 1

II.2.1. Architecture sur GaN et sur AlN	159
II.2.2. La technologie	160
II.3. Résultats de mesures de l'amplificateur distribué en montage flip-chip SANA1	162
III - Conception et réalisation de l'amplificateur distribué à cellules cascodes MMIC	165
III.1. L'architecture	165
III.2. Les spécifications et la technologie.....	166
III.2.1. Spécifications	166
III.2.2. Technologie	166
III.3. Optimisation de la cellule cascode	167
III.4. L'amplificateur distribué à base de cellules cascodes MMIC.....	170
III.4.1. Les contraintes technologiques	171
III.4.2. Profil des capacités additionnelles sur la grille	173
III.4.3. Motifs de test	173
III.4.4. Performances simulées de l'amplificateur	174
III.4.5. Validation de la topologie finale	181
III.4.6. Réalisation du circuit.....	192
Conclusion	193
Bibliographie	195
Conclusion générale	198
Liste des publications et communications associées	203

INTRODUCTION GÉNÉRALE

Une nouvelle génération d'amplificateurs de puissance est actuellement en phase d'étude et d'évaluation grâce à l'avènement des matériaux grand gap tels que le GaN dans les technologies de transistors PHEMT. L'utilisation de matériaux à grande largeur de bande interdite constitue un axe prometteur pour le développement des systèmes de télécommunications et de transports ainsi que pour le domaine des radars mettant en jeu des niveaux de puissance élevés dans le domaine des hyperfréquences.

En particulier, ces technologies permettent de réaliser des transistors présentant des tensions de claquage très élevées avec des vitesses de saturation et des mobilités élevées qui constituent un avantage majeur pour la génération de puissance.

Emblématique, le GaN est l'un des tout premiers thèmes de recherche financé par la nouvelle Agence Européenne de Défense (AED). Le programme européen Korrigan fédère 28 laboratoires et industriels de 7 pays pour faire émerger une filière indépendante sur la technologie PHEMT GaN en Europe. Korrigan vise ainsi à susciter à l'horizon 2009 une ou plusieurs filières de production de composants MMIC GaN de puissance [1.2], [1.3].

Au sein de ce contrat, les études incombant au laboratoire XLIM concernent la caractérisation et la modélisation non-linéaire de composants ainsi que la mise en place d'une bibliothèque de composants passifs. En outre, il nous a semblé primordial, dans un cadre non contractuel, d'évaluer les potentialités de cette nouvelle filière en développement au travers de la conception d'un amplificateur de puissance large bande en technologie MMIC avec pour objectif final une puissance de sortie de 5W sur la bande 6-18GHz.

Ce manuscrit se décline en trois parties :

Le premier chapitre propose une présentation et un commentaire général sur les principaux paramètres physiques et électroniques qui témoignent des réelles potentialités des transistors de technologie GaN. L'apport des technologies grand gap est par le fait mis en évidence. En outre, nous étudierons les différents substrats d'accueil présentement utilisés pour la croissance du nitrure de gallium. Dans ce même chapitre, nous rappellerons le principe de l'hétérojonction et la structure physique d'un HEMT et nous mettrons en évidence les différents phénomènes observés aux niveaux thermiques ou de pièges. Un état de l'art des différents

transistors HEMTs en technologie GaN publiés ainsi qu'un état de l'art des amplificateurs large bande de puissance dont l'étude figurera en fin de manuscrit sera proposé pour finaliser ce chapitre.

Le deuxième chapitre concerne l'étude de composants passifs ou actifs liés au contrat Korrigan et à notre travail. Nous présenterons dans un premier temps les étapes de fabrication, de simulation et de modélisation des composants passifs qui ont été réalisés pour le substrat SiC dans le cas des deux technologies planaires (coplanaire et microruban). Les modèles électriques des composants passifs ont été implémentés dans un guide de conception sous le logiciel ADS. En deuxième partie de ce chapitre, nous présenterons les modèles des transistors employés au sein des amplificateurs réalisés par la suite en exposant les principes de mesure et de modélisation associée.

Le troisième et dernier chapitre de ce mémoire porte sur la conception de deux amplificateurs de puissance large bande en topologie distribuée à base de cellules cascades. Nous analyserons dans un premier temps, la théorie concernant l'amplification distribuée de puissance ainsi que celle liée au montage cascade. Nous exposerons, pour finir, le travail de conception sur un premier amplificateur distribué à cellules cascades dans la bande 4-18GHz basé sur une topologie de transistors à 8 doigts de 50 μ m en technologie flip-chip avec report sur substrat d'AlN ainsi que celle d'un amplificateur distribué à cellules cascades dans la même bande basée sur des transistors à 8 doigts de 75 μ m en technologie MMIC. Ce dernier représente une innovation et un défi technologique du point de vue intégration.

CHAPITRE 1 : LE NITRURE DE GALLIUM – LE
HEMT GAN : MATÉRIAU ET COMPOSANT
PRIVILÉGIÉS POUR LES APPLICATIONS DE
PUISSANCE HYPERFRÉQUENCES

INTRODUCTION

Les matériaux nitrures permettent de repousser les limites des matériaux semi-conducteurs usuels pour un grand nombre d'applications, aussi bien dans les domaines de la microélectronique que celui de l'optoélectronique et de l'électronique en milieu hostile. Le fort potentiel de cette filière a stimulé un effort extraordinaire dans le monde de la recherche. Ces matériaux ont ainsi connu un intérêt croissant depuis les années 1990 afin de mettre à profit leurs caractéristiques.

Il est vrai qu'une grande majorité de composants électroniques sont réalisés à base de silicium ; le carbure de silicium a longtemps semblé être le candidat idéal malgré sa faible mobilité de porteurs et ses problèmes de pièges. Cependant, les applications dans le domaine civil ou militaire nécessitent l'utilisation de puissances de plus en plus importantes à des fréquences élevées. C'est alors que le nitrure de gallium a focalisé l'attention des recherches au niveau composant. Ce matériau présente de très bonnes propriétés électroniques pour la puissance aux hautes fréquences. Les transistors HEMTs résultants sont des composants hyperfréquences performants pour des systèmes d'émission réception et pour le traitement des signaux hyperfréquences (amplificateurs, mélangeurs et oscillateurs). Dans le domaine civil, l'une des applications majeures concerne le domaine des télécommunications et en particulier pour l'amplification des signaux en émission/réception dans les stations de base.

Dans ce premier chapitre, une présentation des caractéristiques physiques et électriques du nitrure de gallium au travers des propriétés des autres semi-conducteurs sera réalisée afin de mettre en exergue l'adéquation de ce matériau pour les applications de puissance micro-onde. Enfin, les effets limitatifs dans le HEMT GaN seront abordés tels que les effets thermiques et de pièges, puis les points clefs tels que l'augmentation de la tension de claquage ou de la densité de porteurs seront évoqués, suivi d'un état de l'art concernant les transistors HEMT ainsi qu'un état de l'art des amplificateurs de puissance large bande pour la technologie nitrure de gallium.

I- LE GAN : UN MATÉRIAU À FORT POTENTIEL POUR LES APPLICATIONS DE PUISSANCE

I.1. Les semi-conducteurs grand-gap

[1.1], [1.5], [1.6], [1.8], [1.9], [1.11], [1.30]

I.1.1. Historique

Les matériaux semi-conducteurs sont progressivement apparus avec la radio électricité. D'abord la galène, puis l'oxyde de cuivre, le sélénium et enfin le germanium. Ces matériaux étaient poly-cristallins et étaient utilisés pour réaliser des détecteurs et des redresseurs. Les propriétés curieuses, et même versatiles de ces matériaux ont interpellé les chercheurs. Les effets semi-conducteurs ne sont apparus qu'avec la mise au point de techniques de purification extrême. Il faut en effet obtenir une pureté de 10^{-12} pour pouvoir réaliser un transistor. Les premiers matériaux semi-conducteurs modernes (silicium dopé de type N et P) ont été réalisés par *S. Ohl, J.H. Scaff* et *H.C. Theurer* aux Bell's Laboratories au début de l'année 1940 sous la direction de *W.H. Brattain*. Des jonctions PN furent ensuite réalisées et la technique de fabrication des monocristaux par tirage fut mise au point vers 1947. La théorie des semi-conducteurs s'était développée à partir des travaux théoriques de *Brillouin*.

Les semi-conducteurs sont caractérisés par leur bande interdite ou gap, qui sépare les derniers états occupés de la bande de valence et les états libres suivants dans la bande de conduction. Les électrons dans la bande de conduction et les trous dans la bande valence ont une énergie qui dépend de leur vecteur d'onde. On repère ainsi le maximum de la bande de valence et le minimum de la bande de conduction. Lorsque le minimum de la bande de conduction possède le même vecteur d'onde que le maximum de la bande de valence, le gap est dit direct et il est dit indirect dans le cas contraire.

Le monde des semi-conducteurs est dominé, en terme de marché, par le silicium. Ce dernier a un gap indirect de 1.11eV. Le germanium, moins utilisé, a également un gap indirect de 0.66eV. Ces matériaux, étant utilisés depuis longtemps, ont défini une valeur de référence pour le gap de l'ordre de 1eV. On distingue alors les semi-conducteurs petit gap qui ont une bande interdite très inférieure à 1eV et les semi-conducteurs grand gap qui ont une bande interdite très supérieure

(Figure 1-1), [1.58]. Par exemple, le carbure de silicium SiC est un matériau grand gap, de valeur variant suivant les polytypes autour de 3.3eV : il est de gap indirect. Le diamant, réseau cubique de carbone, est un dernier exemple de semi-conducteur à base d'atomes de la colonne IV du tableau périodique des éléments. Il est de gap indirect de valeur 5.5eV. D'autres semi-conducteurs existent ou ont été réalisés à partir des éléments des colonnes III et V ou encore II et IV. Les semi-conducteurs III-V sont presque tous à gap direct et sont les champions des dispositifs optoélectroniques et électroniques hautes fréquences. L'arséniure de gallium AsGa est le représentant le plus connu, de gap 1.41eV. L'InP en est un autre, de gap 1.35eV. Leur grande force réside dans le nombre très grand d'alliages possibles entre Ga, As, Al, In et P. Cependant, le gap reste toujours inférieur à 2eV environ et ainsi on ne peut pas les considérer comme des matériaux grand gap.

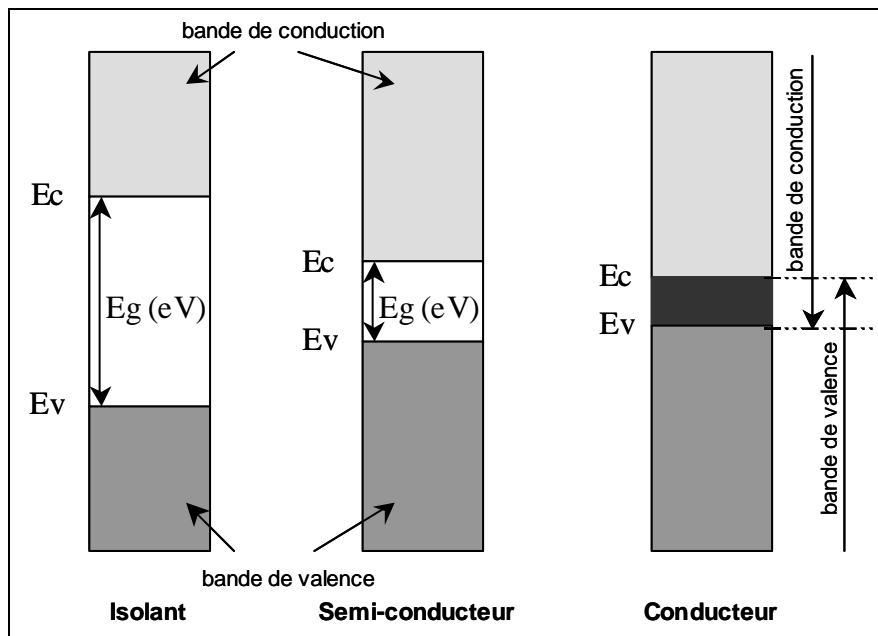


Figure 1-1 : Diagrammes de bandes d'énergie des différents types d'éléments.

Cette famille de semi-conducteurs III-V s'est agrandie par la venue d'un nouveau matériau, le nitrure de gallium GaN. Également direct, le gap du GaN atteint 3.43eV à 300K. C'est donc un matériau grand gap, qui complète la gamme spectrale de la famille III-V, qui concurrence les composés II-VI à grand gap direct dans le domaine optoélectronique et qui concurrence les composés à grand gap indirect comme le SiC et le diamant pour l'électronique haute température et forte puissance. Un atout supplémentaire et non des moindres du GaN, est la possibilité de réaliser des alliages InGaN et AlGaN (L'addition d'aluminium permet d'augmenter le gap pour atteindre 6.2eV dans AlN).

Le nitrure de gallium n'est en fait pas si nouveau que cela. Dès les années 1970, le potentiel du GaN pour le bleu n'avait pas échappé aux chercheurs, notamment *J. Pankove* à RCA et l'équipe de *R. Dingle* aux Bell Laboratories. Une diode électroluminescente bleue avait même été fabriquée. Dans les années 1980, seul un effort très réduit fut poursuivi au Japon par *L. Akasaki*. Cet effort a débouché au début des années 1990 sur une technique de croissance qui permit d'obtenir des couches de qualité raisonnable. Ces efforts universitaires furent vite relayés par un chercheur industriel de la société Nichia (Japon). Le dopage fut amélioré et des diodes électroluminescentes (DEL) fabriquées. Les performances augmentèrent très vite face à la faible concurrence des autres semi-conducteurs. Cet événement eut un tel retentissement mondial que de très nombreux laboratoires dans le monde entier se mirent à travailler très activement sur ce sujet qui est devenu le sujet de recherche en semi-conducteur le plus actif des années 1990. La motivation est d'abord la réalisation de sources optiques dans le bleu (DEL et laser). Mais les applications du GaN ne s'arrêtent pas aux seules sources bleues : l'électronique de puissance et la détection ultraviolet intéressent des sociétés comme Hughes, Northrop-Grumman, Honeywell, Thomson-CSF devenu Thalès et tant d'autres... Ces matériaux grand gap se révèlent désormais comme des matériaux quasi-idéaux pour la réalisation de transistors de puissance haute fréquence.

La Figure 1-2 ci-contre présente la liste non exhaustive des applications envisagées [1.4].

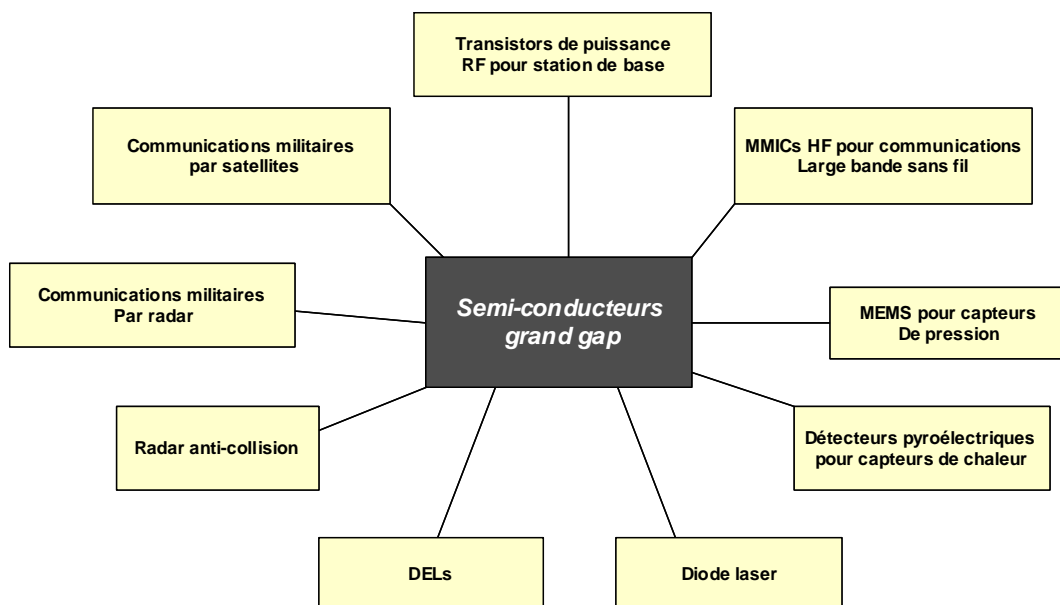


Figure 1-2 : Exemples d'applications des semi-conducteurs grand gap.

I.1.2.Principales propriétés physiques mises en œuvre dans les performances des transistors de puissance

Une présentation des principales caractéristiques des matériaux permet de mettre en avant leurs potentialités pour la génération de puissance micro-onde. Les différents paramètres physiques des semi-conducteurs sont présentés dans le Tableau 1-1, [1.1], [1.10], [1.57].

Matériaux	Gap Eg (eV)	Champ critique Ec (MV/cm)	Permittivité ϵ_r	Mobilité des électrons μ_n (cm ² .V ⁻¹ .s ⁻¹)	Mobilité des trous μ_p (cm ² .V ⁻¹ .s ⁻¹)	Vitesse de saturation des électrons Vsat (10 ⁷ cm.s ⁻¹)	Conductivité thermique K (W.K ⁻¹ .cm ⁻¹)
Ge	0.66	0.1	16	3900	1900	0.5	0.6
Si	1.12	0.3	11.8	1400	600	1	1.5
GaAs	1.43	0.4	12.8	8500	400	2	0.5
3C-SiC	2.2	1.5	9.7	900	40	2	4.5
6H-SiC	2.9	2.2	9.7	400	90	2	4.5
4H-SiC	3.26	2.5	10	750	115	2	4.5
GaN	3.36	3.3	9	750	320	2.5	1.3
C	5.47	10	5.5	2200	1600	2.7	20

Tableau 1-1 : Résumé des propriétés électriques de différents semi-conducteurs.

La Figure 1-3 reprend quelques unes de ces propriétés sous forme graphique, permettant une comparaison plus aisée. On observe en effet que le carbure de silicium présente une conductivité thermique 10 fois supérieure à celle de l'arséniure de gallium, ou encore que le champ critique du nitride de gallium est environ 10 fois supérieur à celui du silicium.

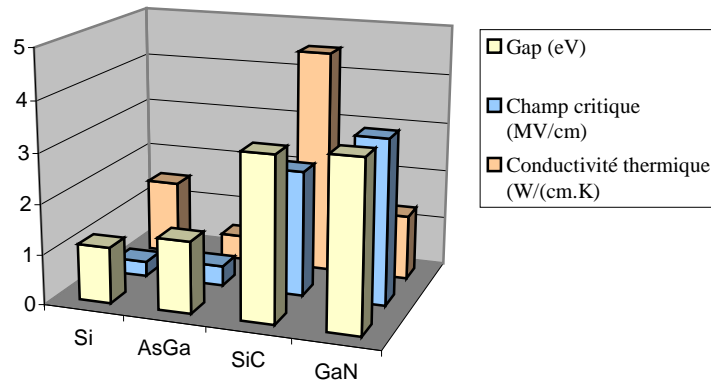


Figure 1-3 : Comparaison de quelques propriétés physiques de semi-conducteurs.

1.1.2.1. Bande interdite (gap)

[1.7], [1.5]

L'intervalle situé entre le niveau inférieur de la bande de conduction et le niveau supérieur de la bande de valence d'un matériau se nomme bande interdite E_g . L'énergie de bande interdite est une mesure de la quantité d'énergie nécessaire à un électron pour passer de la bande de valence à la bande de conduction sous l'impulsion d'une excitation thermique par exemple. Cette quantité est un facteur de la capacité du matériau à supporter une forte température, elle définit la température maximale de fonctionnement du transistor. En effet, la largeur de bande interdite fixe la limite en température au-dessous de laquelle le dispositif peut fonctionner sans détérioration, ainsi que l'aptitude du semi-conducteur à résister aux radiations.

La variation théorique du gap en fonction de la température est représentée sur la Figure 1-4. On peut constater que la largeur de la bande interdite décroît avec la température suivant l'équation indiquée sur le graphique et les paramètres donnés dans le Tableau 1-2.

Matériau x	$E_g(0)$ (eV)	α ($\times 10^{-4}$) (eV.K ⁻¹)	B (K)
GaN	3.47	7.7	600
4H-SiC	3.265	6.5	1300
6H-SiC	3.023	6.5	1200
3C-SiC	2.39	6	1200
GaAs	1.519	5.405	204
Si	1.17	4.73	636

Tableau 1-2 : Paramètres de variation de la bande interdite en fonction de la température.

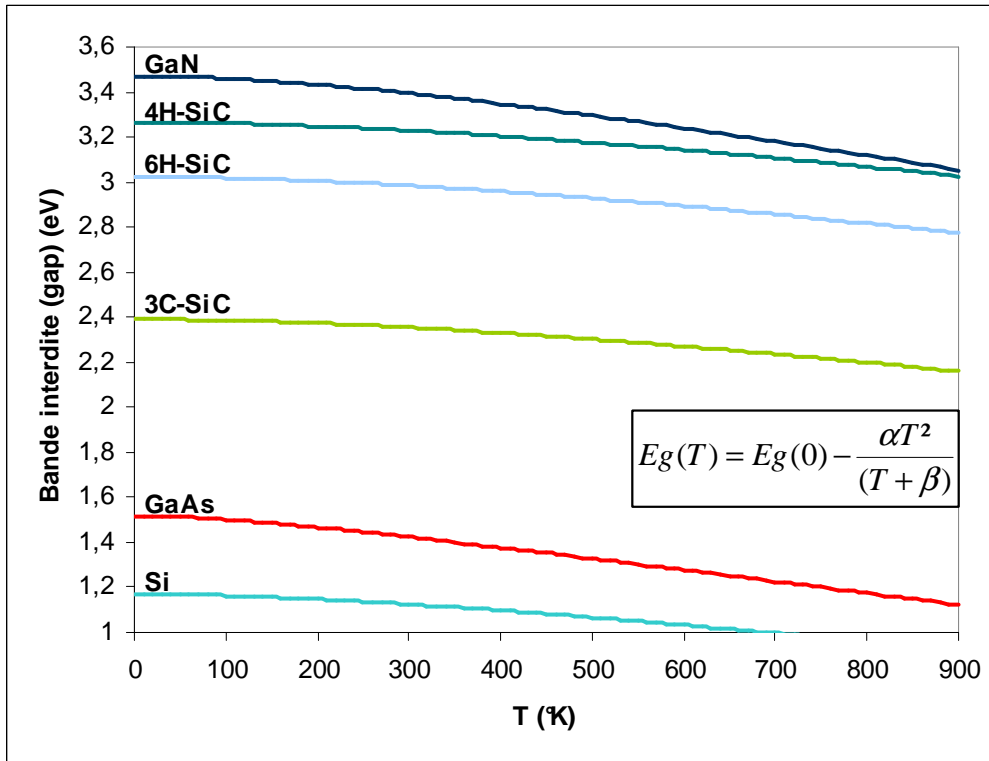


Figure 1-4 : Bande interdite en fonction de la température pour différents semi-conducteurs.

1.1.2.2. Champ de claquage

Le champ critique ou de claquage E_c est un paramètre primordial à prendre en considération pour les performances en puissance d'un transistor. La tension maximale de fonctionnement du composant découle de ce paramètre. Plus le champ critique est élevé et plus la réalisation de transistors de petites dimensions avec des dopages plus importants sera possible. Par conséquent, le composant présentera une transconductance supérieure, un gain plus fort en puissance, des fréquences f_t et f_{max} plus élevées et un meilleur rendement dû aux résistances d'accès plus faibles. Les matériaux grand gap ont un champ de claquage très important en comparaison au silicium ou à l'arséniure de gallium comme on peut le voir sur la Figure 1-5. Nous pouvons constater qu'il y a un rapport de 8 entre le champ de claquage du GaAs et celui du nitrure de gallium et un rapport de plus de 20 entre le champ de claquage du GaAs et celui du diamant. La valeur de ce champ de claquage est directement liée à la largeur de bande interdite par la fonction :

$$E_c \propto E_g^{\frac{3}{2}} \quad \text{Eq 1-1}$$

ce qui traduit que plus le gap d'énergie est important, plus le champ de claquage est élevé (Figure 1-5) mais aussi que le champ de claquage diminue lorsque la température augmente.

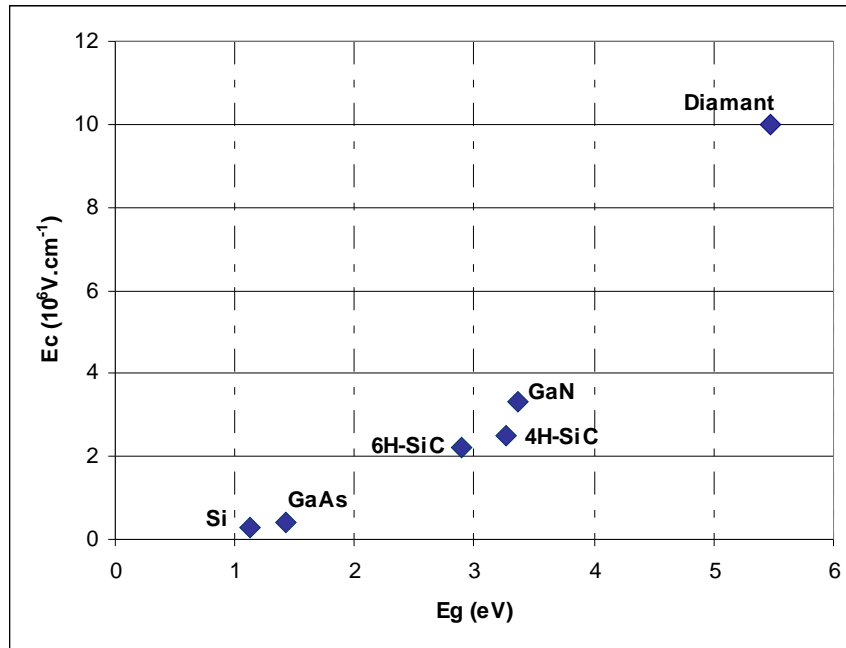


Figure 1-5 : Champ de claquage en fonction de la largeur de la bande interdite pour différents matériaux semi-conducteurs.

Le fait d'avoir un gap important et donc un champ de claquage très élevé permet aux transistors grand gap de supporter des tensions de polarisation importantes, ce qui est très intéressant pour les applications de puissance mais aussi pour les qualités d'adaptation d'impédance des transistors de grande taille.

1.1.2.3. Densité de porteurs intrinsèques

[1.7], [1.12]

Un semi-conducteur est dit pur ou intrinsèque lorsqu'il est sans défaut que ce soit chimique ou structural. À la température de 0K, la bande de conduction est vide et la bande de valence saturée : il n'y a pas de porteur de charge. Lorsque la température augmente et qu'un électron passe de la bande de valence à la bande de conduction, un trou apparaît dans la bande de valence. Il y a ainsi la même quantité d'électron que de trous. Leur concentration est alors nommée densité de porteurs intrinsèques notée n_i (cm⁻³) dont l'expression est :

$$n_i = \sqrt{N_c N_v} \exp\left(-\frac{E_g}{2kT}\right) \quad \text{Eq 1-2}$$

où N_c et N_v représentent les densités effectives d'états dans les bandes de conduction et de valence respectivement données par les expressions ci-dessous et k , la constante de Boltzmann ($1,38.10^{-23}$ J/K soit $8,6174.10^{-5}$ eV/K) :

$$N_c(T) = 2 \left(\frac{2m_e^* kT}{\hbar^2} \right)^{3/2} = \left(\frac{T}{300} \right)^{3/2} N_c(T = 300) \quad \text{Eq 1-3}$$

$$N_v(T) = 2 \left(\frac{2m_h^* kT}{\hbar^2} \right)^{3/2} = \left(\frac{T}{300} \right)^{3/2} N_v(T = 300) \quad \text{Eq 1-4}$$

où m_e^* et m_h^* sont égaux à $0.76 m_0$ et $1.20 m_0$, avec m_0 la masse de l'électron libre.

Ainsi comme l'a montré la Figure 1-4, la bande interdite $E_g(T)$ varie lentement en fonction de la température de telle sorte que la densité de porteurs intrinsèques est donc majoritairement une fonction exponentielle de la température. Par conséquent, la densité de porteurs intrinsèques est donc un paramètre important à prendre en compte pour des applications à hautes températures (Figure 1-6). Pour des valeurs de température importantes, plus la valeur de densités de porteurs est faible et plus le courant de fuite correspondant le sera également.

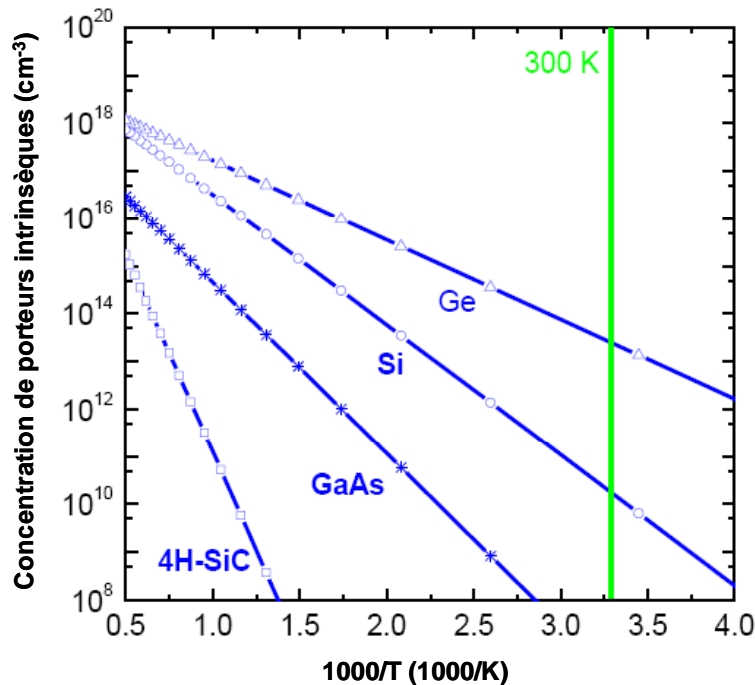


Figure 1-6 : Concentration intrinsèque des porteurs pour différents semi-conducteurs en fonction de la température ([1.12]).

1.1.2.4. Mobilité des porteurs

Lorsqu'on applique un champ important, on entraîne les porteurs de charges libres : électrons et trous. La mobilité est liée à ce libre parcours sans choc dans le semi-conducteur ainsi toute modification du réseau cristallin entraîne une modification de cette mobilité. En effet l'ajout d'atomes dopants et/ou l'élévation de température créent des perturbations dans le cristal et affectent la mobilité.

Lorsque le champ électrique devient important, la loi de variation de la mobilité par rapport au champ électrique varie d'un matériau à l'autre en fonction de la nature de la structure de bandes du semi-conducteur. Elle se traduit par une variation non linéaire de la vitesse de dérive des porteurs :

$$\vec{V} = \mu(E) \cdot \vec{E} \text{ avec } V \text{ la vitesse de dérive, } \mu \text{ la mobilité et } E \text{ le champ électrique .}$$

Seuls les éléments de la colonne III-V présentent un pic de survitesse alors que pour les autres éléments, la vitesse de dérive des porteurs est continûment croissante jusqu'à la saturation. La vitesse des porteurs dans le GaN est très supérieure par exemple à celle du GaAs pour des forts champs électriques : le pic de survitesse se produit pour un champ électrique de 200kV/cm pour le GaN contre 5kV/cm pour le GaAs. Cela signifie que la vitesse des porteurs dans le GaN est très supérieure à celle du GaAs pour de forts champs électriques.

La mobilité des électrons influence la valeur de la tension de coude qui représente la tension de passage entre la zone ohmique et la zone saturée des caractéristiques I-V des transistors. Une faible mobilité des porteurs entraîne une augmentation de la résistance parasite soit une augmentation des pertes et donc une diminution du gain. Ces effets seront d'autant plus présents pour des fonctions électroniques à hautes fréquences et/ou à de fortes températures. La vitesse de saturation des matériaux à grand gap est obtenue pour des champs électriques beaucoup plus grands (>10 fois) que pour les matériaux Si ou AsGa. On peut ainsi polariser un transistor grand gap à de fortes tensions et dans ces conditions, celui-ci délivrera un fort courant.

1.1.2.5. Conductivité thermique

La conductivité thermique K exprime la quantité d'énergie sous forme de chaleur (en terme de flux donc de puissance exprimée en Watt) que peut transmettre une épaisseur de matériau

(solide ou fluide au repos) soumis à une différence de température. Elle représente donc la quantité de chaleur transférée par unité de surface et par unité de temps sous un gradient de température.

La chaleur non dissipée provoque une élévation de la température du composant qui peut donc entraîner une baisse de la mobilité des électrons se traduisant par une diminution des performances électriques aux hautes fréquences. C'est pourquoi, pour des applications de puissance, une forte conductivité thermique est préférable [1.5]. La loi de Wiedemann-Franz est la relation entre la conductivité électrique et la conductivité thermique :

$K = LT.\sigma$ où L est le nombre de Lorentz ($2,45.10^{-8} \text{ W}.\Omega/\text{K}^2$), T la température en K, σ la conductivité électrique en S/m et K la conductivité thermique en $\text{W}.\text{m}^{-1}\text{K}^{-1}$.

Cette relation traduit le fait qu'un matériau possédant une conductivité électrique importante possède également une conductivité thermique élevée. La conductivité thermique d'un matériau traduit donc sa capacité à dissiper la chaleur, or la résistance thermique (notée R_{th}) est inversement proportionnelle à la conductivité thermique et directement liée à la puissance dissipée :

$R_{th} \propto K$ et $R_{th} = \frac{\Delta T}{P_{diss}}$ où ΔT est l'élévation de la température en K et P_{diss} , la puissance dissipée en W.

Ainsi, la conductivité thermique du carbure de silicium et surtout celle du diamant sont largement supérieures à celles des autres matériaux comme on peut le voir dans le Tableau 1-1. Ces matériaux représentent donc les meilleurs matériaux pour évacuer la chaleur et sont donc à privilégier pour les applications de puissance. Bien que plus faible, la conductivité thermique du GaN est supérieure à celle du GaAs et son association avec un substrat d'accueil SiC permet d'améliorer ses performances thermiques.

1.1.2.6. Synthèse

Les potentialités de génération de puissance aux hautes fréquences d'un transistor seront directement liées aux possibilités d'obtenir simultanément une forte densité de courant et une forte excursion en tension. La Figure 1-7 ci-dessous résume la corrélation entre les propriétés des matériaux et les performances des composants réalisés à partir de ces matériaux.

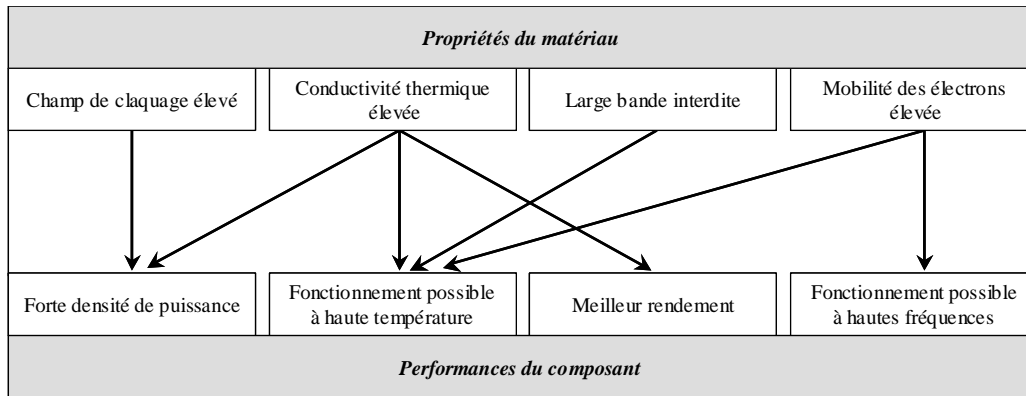


Figure 1-7 : Influence des propriétés des matériaux sur les performances en puissance aux fréquences micro-ondes des composants.

I.1.3. Différentes figures de mérite

[1.12], [1.13], [1.14], [1.15], [1.16], [1.17], [1.18]

Le choix du composant RF en fonction de l'utilisation et des performances envisagées demeure crucial pour les applications micro-ondes de puissance. C'est dans ce but que diverses figures de mérite ont été élaborées. Les trois figures de mérite prédominantes sont les figures de mérites de Johnson (*Johnson's Figure of Merit*), de Baliga (*Baliga's Figure of Merit*) et de Keyes (*Keyes's Figure of Merit*).

I.1.3.1. Facteur de mérite de Johnson

Le facteur de mérite de Johnson *JFM* prend en compte le champ électrique critique E_c ainsi que la vitesse de saturation des porteurs v_{sat} .

$$JFM = \left(\frac{E_c \cdot v_{sat}}{2\pi} \right) \quad Eq 1-5$$

Il traduit le potentiel du matériau semi-conducteur pour des applications hautes fréquences et forte puissance.

I.1.3.2. Facteur de mérite de Baliga

Le facteur de mérite de Baliga *BFM* prend en compte la permittivité électrique du matériau ϵ_r , le champ de claquage E_c et la mobilité μ_n .

$$BFM = \epsilon_r \cdot \mu_n \cdot (E_c)^3 \quad Eq 1-6$$

Il apporte une appréciation en terme de tenue en tension.

1.1.3.3. Facteur de mérite de Keyes

Quant au facteur de mérite de Keyes KFM , il fait intervenir la conductivité thermique du matériau K , la permittivité électrique ϵ_r et la vitesse de saturation des porteurs v_{sat} , c est la vitesse de la lumière dans le vide.

$$KFM = K \cdot \left(\frac{c \cdot v_{sat}}{4\pi \cdot \epsilon_r} \right)^{\frac{1}{2}} \quad \text{Eq 1-7}$$

Ce facteur traduit les performances thermiques et fréquentielles du matériau.

Dans la littérature, ces figures de mérite sont généralement normalisées par rapport au silicium. Elles sont alors nommées $JFMratio$, $BFMratio$ et $KFMratio$.

Le Tableau 1-3 suivant présente les valeurs de ces facteurs de mérite normalisés, calculés à partir des valeurs du Tableau 1-1.

Matériaux	$JFMratio$	$BFMratio$	$KFMratio$
Si	1	1	1
AsGa	2.6	15.6	0.45
4H-SiC	16.6	263	4.6
GaN	27.5	544	1.6
Diamant	90	27e3	32.1

Tableau 1-3 : Figures de mérite des différentes technologies grand gap utilisées dans les applications hyperfréquences de puissance normalisées par rapport au silicium.

Comme on peut le voir le $JFMratio$ du GaN est 27 fois plus grand que le $JFMratio$ du silicium et 10 fois plus grand que celui de l'AsGa. Dans le domaine des hyperfréquences (>5GHz), les transistors HEMTs (à haute mobilité électronique) à base d'hétérostructure AlGaN/GaN permettent d'atteindre des fréquences plus élevées que les MESFETs à base de SiC.

En outre, force est de constater que le diamant possède des performances électriques très attractives qui en font potentiellement le semi-conducteur idéal. Il demeure cependant non exploité pour la fabrication de composants électroniques du fait de ses difficultés actuelles d'élaboration.

Néanmoins, si certains freins technologiques tels que la croissance ou le dopage arrivent à être surmontés, il serait voué à un avenir très prometteur.

I.2. La structure cristalline et les substrats de croissance du GaN

Le GaN est considéré comme le matériau dont les caractéristiques sont les plus prometteuses pour les applications de puissance en hyperfréquence. Ces caractéristiques intéressantes sont dues :

- d'une part, à sa grande bande d'énergie interdite (gap) lui conférant un champ de claquage élevé ainsi qu'une bonne stabilité thermique et chimique.
- d'autre part, à sa bonne conductivité thermique, sa haute température de fusion ainsi que l'importante vitesse de saturation des électrons.

L'ensemble de ces caractéristiques en fait un candidat de choix pour les applications de puissance hyperfréquence.

I.2.1. Structure cristalline

Le nitrure de gallium cristallise sous deux formes différentes : le polytype hexagonale (structure wurtzite : h-GaN) et le polytype cubique (structure zinc-blende : c-GaN) qui peut être également obtenu en utilisant des conditions de croissance adaptées. La majeure partie des études réalisées sur cette famille de semi-conducteurs a été menée sur la phase hexagonale pour ses propriétés physiques avantageuses et pour sa relative facilité de croissance vis-à-vis des autres structures.

La structure Wurtzite possède une cellule élémentaire de forme hexagonale définie par ses paramètres de maille a et c , [1.6]. Cette cellule élémentaire est constituée de 6 atomes de chaque groupe, comme représenté sur la Figure 1-8 (a) et consiste en l'empilement de deux sous réseaux hexagonaux interpénétrés et distants de $5/8$ de c . La Figure 1-8 (b) montre les directions cristallographiques représentant la maille hexagonale.

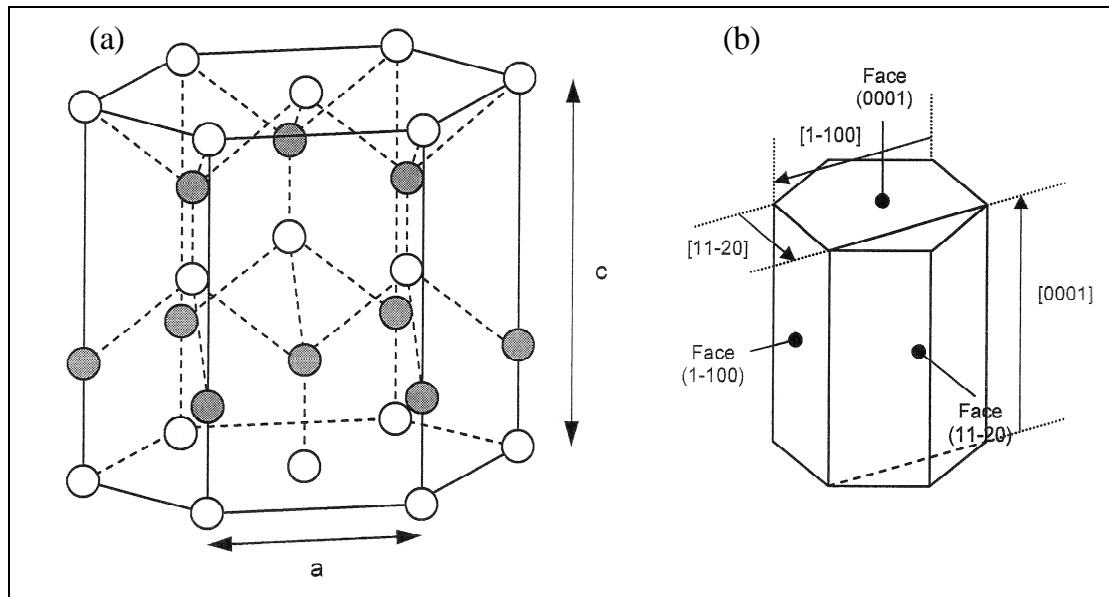


Figure 1-8 : Arrangement des atomes (a) et principales directions cristallographiques (b) d'une structure Wurtzite.

La croissance du GaN étant effectuée suivant l'axe c , le paramètre a est donc le paramètre de maille à ajuster pour effectuer l'accord entre le GaN et son substrat. Les paramètres de maille a et c du GaN valent respectivement 3.189 et 5.186 Å à 300K [1.42].

I.2.2. Substrat de croissance du GaN

[1.4], [1.6], [1.31], [1.32], [1.33]

De manière idéale, le substrat et les couches basses du composant sont réalisés dans le même matériau. Étant donné qu'une interface entre deux matériaux présentant des mailles différentes provoque des discontinuités de la structure cristallographique, la croissance massive du GaN permet a contrario une continuité de la structure réduisant la complexité et le nombre d'étapes du process. Ainsi, les performances attendues sur de tels substrats massifs seraient bien au-delà de celles obtenues jusqu'alors sur d'autres matériaux.

Un point critique reste néanmoins présent : les applications de puissance induisent des températures de fonctionnement assez élevées ; or la conductivité thermique du nitrure de gallium reste quelque peu limitée ($1.3 \text{ W.cm}^{-1}.\text{K}^{-1}$). Cependant, une attention particulière au management thermique (par montage flip-chip par exemple) permet d'envisager un fonctionnement à des niveaux de puissance élevés sans dégrader le composant.

Bon nombre de compagnies intègrent un projet concernant le nitrure de gallium dans leur programme de recherche et développement. Seul un nombre limité de ces programmes a atteint une maturité de process suffisante pour la commercialisation. La fabrication de substrat en nitrure de gallium nécessite de très hautes températures (1700°C) sous des pressions partielles d'azote de l'ordre de 20 kbar. Les techniques d'obtention de ce substrat sont assez difficiles à mettre en œuvre et se basent sur la HPNSG (*High Pressure Nitrogen Solution Growth*), la cristallogenèse par flux de sodium ou encore la croissance du GaN sur substrat de substitution par HVPE (*Hydride Vapor Phase Epitaxy*) puis séparation de ce dernier.

De plus, les wafers disponibles aujourd'hui restent relativement chers [1.34]. Les prix pourront être réduits avec le développement de la technique de fabrication ainsi que l'augmentation des volumes de production. Cependant des applications bien établies utiliseront d'autres substrats de croissance pendant encore quelques années. Les substrats les plus courants sont le saphir Al_2O_3 , le carbure de silicium SiC et le silicium Si mais différents substrats sont à l'étude (GaAs, AlN, ZnO, ...) ainsi que des techniques de report comme la technologie Smartcut [1.87].

1.2.2.1. Le substrat saphir

Le saphir, de composition Al_2O_3 est le plus ancien substrat utilisé pour la croissance du GaN. En effet, ce substrat transparent sur l'ensemble du spectre visible a bénéficié de l'élan de l'industrie optoélectronique à partir des années 90.

Le substrat saphir a bénéficié d'un développement intense qui lui octroie une bonne qualité cristalline et une forte robustesse mécanique et chimique. Il possède cependant plusieurs inconvénients : un désaccord de maille d'environ 16% et un fort désaccord de coefficient de dilatation thermique suivant l'axe a avec le GaN. Ces critères peuvent entraîner une importante densité de dislocations de l'ordre de 10^7 à 10^8 cm^{-2} provoquant une baisse de la fréquence de transition f_t . De plus, sa faible conductivité thermique ($0.5 \text{ W.cm}^{-1}.\text{K}^{-1}$) est un facteur limitatif pour les applications à fortes puissances, le substrat jouant le rôle d'isolant thermique. On notera que sa découpe et son polissage sont difficiles, augmentant la difficulté de sa mise en œuvre.

1.2.2.2. Le substrat SiC

Le carbure de silicium est disponible sous plusieurs polytypes. Les plus communément utilisés sont ceux de formes 4H-SiC et 6H-SiC étant donné leur symétrie hexagonale. Ces substrats

sont favorisés par leur bonne conductivité thermique dont la valeur est de $4.9\text{W}\cdot\text{cm}^{-1}\cdot\text{K}^{-1}$ ainsi que leur bon accord de maille avec le GaN (96.5% d'accord). En outre, ces substrats peuvent être de différents types : n, p et SI (semi-isolant) permettant leur utilisation pour les applications micro-ondes. En revanche, les inconvénients de ces substrats sont leur coût encore élevé et le procédé de croissance du nitrure de gallium qui reste délicat.

1.2.2.3. Le substrat Si

Le silicium à maille cubique est lui aussi utilisé comme substrat de croissance pour le GaN avec pour orientation cristalline (111) présentant l'avantage d'une symétrie de surface hexagonale. Il offre les avantages du coût (procédé de fabrication mature), de sa disponibilité et de son intégration aisée. Cependant les points faibles de ce substrat sont un fort désaccord de maille (-16.9%) et de coefficient d'expansion thermique (54%) avec le GaN. De plus, la température maximale d'utilisation de ce substrat pour les applications hyperfréquences est limitée par son faible gap puisque au-delà de 200°C ses pertes augmentent de manière drastique. En effet, à partir de cette température, une quantité importante de porteurs intrinsèques est générée enlevant le caractère semi-isolant de ce matériau et augmentant les pertes en hyperfréquences.

À titre informatif voici quelques tailles de substrats commercialisés : pour le silicium : 12", pour le saphir : 4", pour le carbure de silicium 4" et pour le nitrure de gallium 3". On peut énumérer de plus quelques substrats alternatifs qui ont été envisagés afin d'effectuer la croissance du GaN tels que l'AlN, le GaAs mais aussi ZnO, MgO, LiGaO₂...

I.3. Champ de polarisation spontanée et piézoélectrique

[1.6], [1.19], [1.20]

Une des particularités des nitrures d'éléments III est la présence dans les hétérostructures GaN/AlGaN d'une forte polarisation interne. Cette polarisation va bien sûr modifier les propriétés électriques de l'hétérostructure : possibilité de création d'un gaz 2D aux interfaces GaN/AlGaN [1.21]. Les deux prochains paragraphes sont consacrés à la présentation de l'origine des deux types de polarisation dans les nitrures.

La piézoélectricité représente l'aptitude de certains matériaux à produire une charge électrique dipolaire proportionnelle à la contrainte mécanique (traction ou compression) qui les déforme.

Certaines classes cristallines piézoélectriques telles que le GaN, l'AlN, l'InN mais aussi le titanate de plomb ou le baryum présentent une polarisation électrique spontanée (ou moment dipolaire permanent) en l'absence de champ extérieur : elles sont dites polaires.

I.3.1. La polarisation spontanée

Les composés cristallins non-centrosymétriques présentent deux séquences de couche atomique dans les deux directions parallèles opposées à certains axes cristallographiques et par conséquent deux polarités peuvent être observées le long de ces axes.

Pour des composés binaires Ga-N de type Wurtzite, la séquence des couches d'atomes des constituants Ga et N est inversée le long des directions $[0001]$ et $[000\bar{1}]$. Le vecteur polarisation spontanée est orienté de l'atome d'azote vers l'atome de gallium. Les structures (a) et (b) de la Figure 1-9 présentent une polarisation spontanée de signe opposé.

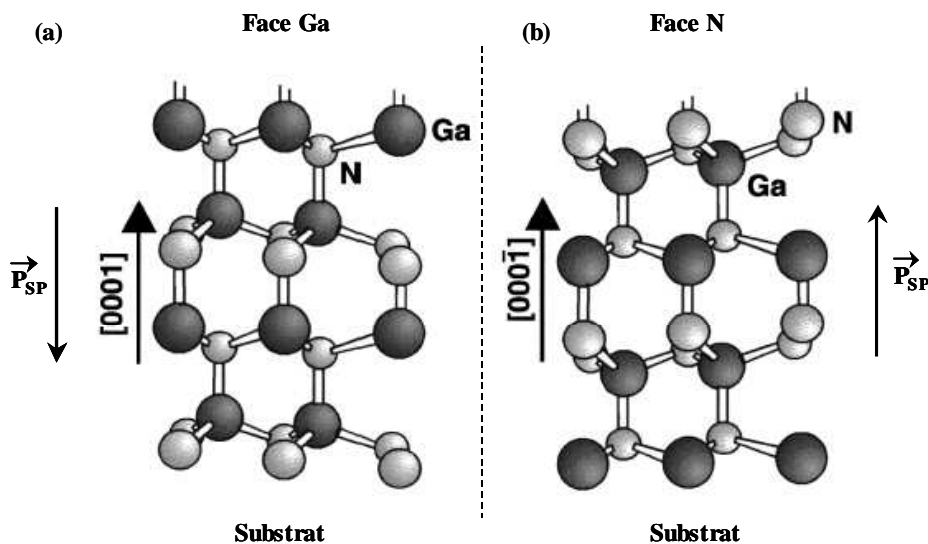


Figure 1-9 : Représentation des séquences de couches d'atomes traduisant deux polarités différentes.

Même en l'absence de toute contrainte dans une couche de nitrure wurtzite, celle-ci peut donc présenter une polarisation macroscopique non nulle. La structure wurtzite est la structure de plus haute symétrie permettant ce phénomène. Cette polarisation spontanée s'explique par une non-superposition des barycentres de charges positives avec celui des charges négatives.

Ce décalage entre les deux barycentres des charges a deux origines :

La première est la non idéalité de la structure de wurtzite, plus précisément l'irrégularité des tétraèdres formant le cristal. Les distances entre les atomes à fort caractère ionique varient suivant l'axe de croissance, chaque tétraèdre possèdera donc un dipôle élémentaire. Ces dipôles élémentaires s'ajoutent pour donner dans la structure une polarisation spontanée macroscopique dirigée suivant l'axe de croissance du matériau. Cette première contribution est prédominante par rapport à la seconde.

La seconde est une raison de rupture de symétrie dans le cristal à partir du troisième voisin. Effectivement le cristal n'est plus centro-symétrique à partir du troisième voisin ce qui engendre la création d'un dipôle électrique suivant la direction [0001] dans la phase hexagonale.

Ainsi ce matériau est par définition naturellement polarisé sans l'apport extérieur d'un champ électrique : c'est la polarisation spontanée.

I.3.2. La polarisation piézoélectrique

La polarisation piézoélectrique trouve essentiellement son origine dans la symétrie du cristal. L'effet piézoélectrique peut se définir comme l'apparition d'une polarisation électrique dans une couche semi-conductrice lorsque celle-ci est soumise à une contrainte σ qui modifie la maille du cristal en brisant sa symétrie. Comme nous l'avons déjà mentionné les nitrures peuvent cristalliser suivant deux phases cristallines. Ces deux phases : zinc-blende (cubique) et wurtzite (hexagonale) sont non centro-symétriques. Ceci induit l'existence en leur sein de l'effet piézoélectrique. L'apparition du champ électrique peut être représentée par un modèle ionique simple faisant intervenir le déplacement, sous l'effet de la contrainte, des barycentres des charges positives et négatives à l'intérieur des tétraèdres formant la maille cristalline. Il apparaît alors à l'intérieur de chaque tétraèdre de la maille un dipôle élémentaire orienté selon la direction de la contrainte comme on peut le voir sur la Figure 1-10.

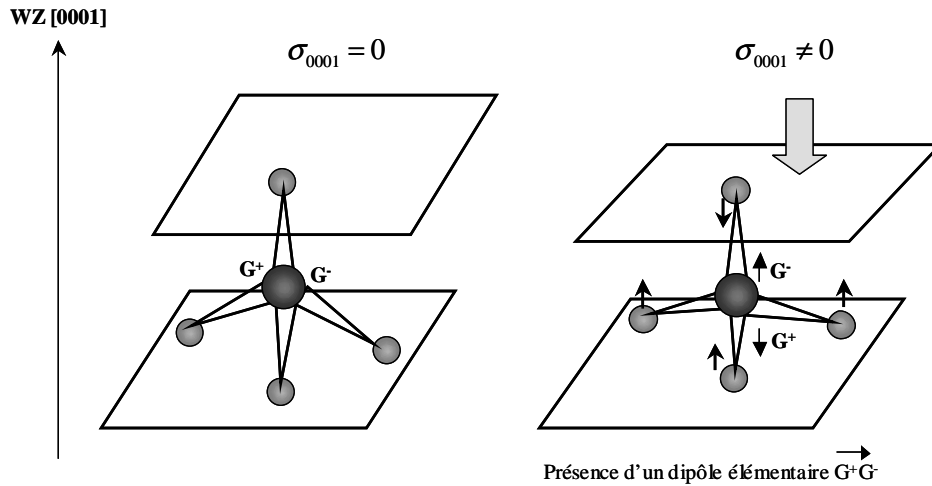


Figure 1-10 : Mise en évidence de l'effet de la contrainte σ dans la phase wurtzite suivant la direction (0001).

Une contrainte suivant la direction de croissance (0001) dans la phase hexagonale va donner naissance à une polarisation d'origine piézoélectrique suivant cette direction car le déplacement relatif des barycentres des charges positives et négatives est non nul. La valeur de la polarisation d'origine piézoélectrique peut être quantifiée à partir de la valeur de la contrainte présente dans la couche.

I.3.3. La polarisation résultante

Les polarisations, spontanée et piézoélectrique, pour les matériaux GaN et AlN sont environ dix fois plus importantes que dans les matériaux III-V conventionnels GaAs, InP. La contribution de la polarisation spontanée est comparable à celle de la polarisation piézoélectrique dans les nitrures et ne doit donc pas être négligée [1.20]. La polarisation totale dans la couche de nitrure en phase hexagonale sera alors la résultante de la somme des deux types de polarisations : piézoélectrique et spontanée, elle s'écrit donc :

$$\vec{P} = \vec{P}_{sp} + \vec{P}_{pz} \quad \text{Eq 1-8}$$

I.3.4. Effet des champs sur la concentration du gaz bidimensionnel d'électrons

La polarisation spontanée peut générer des champs électriques de 3MV/cm dans les matériaux de type III-V et la contrainte de la couche supérieure des hétérostructures AlGaIn/GaN ou InGaIn/GaN peut générer un champ piézoélectrique additionnel d'environ 2MV/cm. Ces très fortes

polarisations engendrent des champs électriques permettant la formation d'un gaz bidimensionnel d'électrons avec des densités de porteurs très élevées.

L'hétérostructure $\text{Al}_x\text{Ga}_{1-x}\text{N}/\text{GaN}$ face Ga est représentée sur la Figure 1-11. Nous avons supposé le GaN totalement relaxé et l'AlGaN contraint en tension. Les charges fixes positives et négatives de l'AlGaN sont représentées ainsi que pour le GaN même si pour ce dernier elles sont en densité moins importantes que dans l'AlGaN car elles ne sont pas contraintes (pas de composante piézoélectrique).

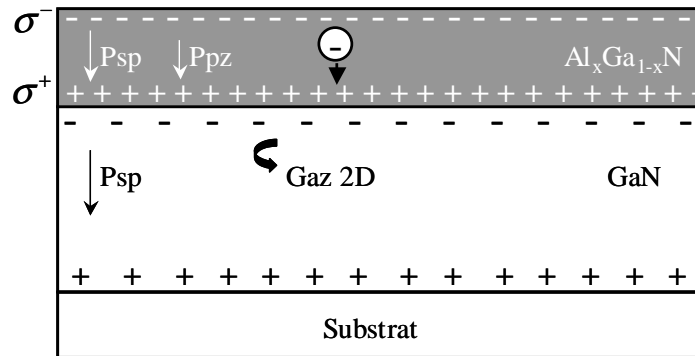


Figure 1-11 : Structure AlGaN/GaN face Ga où AlGaN est contrainte en tension.

La densité de charges aux interfaces s'écrit comme la différence entre la somme des champs de polarisation dans la couche d'AlGaN et celle du GaN où x est le taux d'aluminium :

$$|\sigma| = \left| P_{sp_{AlGaN}}(x) + P_{pz_{AlGaN}}(x) - P_{sp_{GaN}} \right| \quad Eq 1-9$$

La Figure 1-12 représente l'évolution théorique en C/m² de la densité de charges σ (C/m²) développées à l'interface ainsi que des polarisations spontanée P_{sp} et piézoélectrique P_{pz} de l'AlGaN en fonction du taux d'aluminium x.

On peut constater que la densité de charges σ augmente fortement lorsque le pourcentage d'aluminium est plus important. Lorsque le pourcentage d'aluminium est plus fort, les polarisations spontanée et piézoélectrique de l'AlGaN sont donc plus importantes.

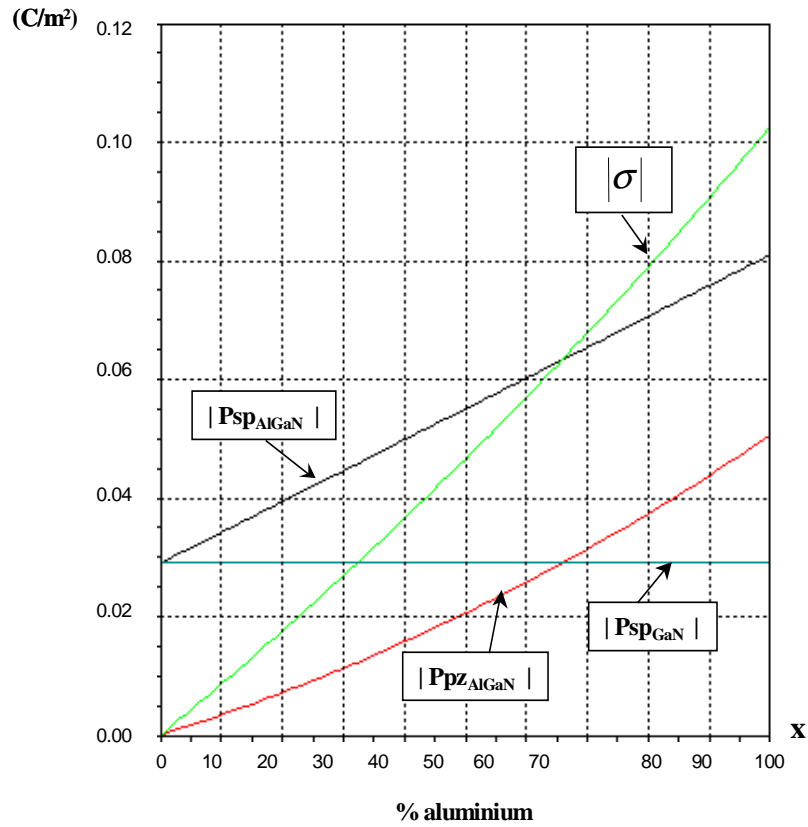


Figure 1-12 : Évolutions des polarisations spontanée P_{sp} et piézoélectrique P_{pz} et de la densité de charges σ en fonction du taux d'aluminium x pour une couche GaN/AlGaN face Ga.

Ces résultats restent toutefois théoriques car au-delà de $x=50\%$ la qualité cristalline se dégrade et une relaxation partielle de la couche d'AlGaN apparaît. En outre, des travaux ultérieurs ont montré qu'au-delà de $x=0.38$, le paramètre de maille a du GaN décroît sensiblement et entraîne une contrainte du GaN en compression [1.43].

II - LE TRANSISTOR HEMT GAN : COMPOSANT DE PUISSANCE GRAND GAP

II.1. Historique

L'invention de l'effet transistor se situe dans un contexte qui trouve ces racines dans les débuts de la téléphonie. Depuis 1936, les Bell's Laboratories cherchaient à remplacer les commutateurs électromécaniques des centraux téléphoniques par des dispositifs statiques plus fiables. D'autre part, la seconde guerre mondiale a provoqué un développement rapide des semi-conducteurs (germanium) pour réaliser les diodes de détection des RADAR. L'effet transistor fut donc découvert en 1947 par *J. Bardeen*, *W.H. Brattain* et *W. Shockley* qui ont reçu le prix Nobel de physique en 1956. Les premiers transistors en silicium furent fabriqués en 1954 et dès février 1954, les premiers ordinateurs complètement « transistorisés » virent le jour.

Concernant les premiers transistors HEMT (*High Electron Mobility Transistor*), ils sont apparus en 1980 (Thomson-CSF [1.35] & Fujitsu [1.36]). Le HEMT constitue une évolution majeure du MESFET (Fet à jonction métal-semi-conducteur) et a pris le pas sur ce dernier depuis les années 1990. Les premiers HEMTs GaN sur substrat saphir, silicium et carbure de silicium sont apparus au milieu des années 90 [1.37]. Cependant il faut attendre la fin des années 90 pour trouver des résultats très intéressants en terme de puissance et de fréquence [1.38].

II.2. Principe de fonctionnement

II.2.1. Effet fondamental

[1.40], [1.41]

Le transistor HEMT parfois nommé TEGFET (*Two-dimensional Electron Gas Field Effect Transistor*) est à l'origine un composant faible bruit et de faible consommation d'énergie. Désormais, il constitue un élément essentiel pour les applications d'amplification et de puissance aux hautes fréquences.

De même que pour le FET, l'effet fondamental réside dans le fait qu'une tension variable appliquée sur l'accès de grille du composant permet de faire varier le courant circulant entre les deux autres électrodes de drain et de source (source de courant contrôlée en tension).

Par contre, le principe de fonctionnement des transistors à effet de champ à hétérojonction repose sur le principe de création et de contrôle d'un gaz d'électrons dans un matériau faiblement dopé où les électrons peuvent se déplacer plus rapidement (mobilité d'électrons élevée). Cette couche appelée gaz d'électrons à deux dimensions (origine du nom TEGFET) est la conséquence des polarisations, spontanée et piézoélectrique, vues précédemment. L'effet fondamental est donc lié au phénomène de variation de la densité de porteurs de ce gaz bidimensionnel d'électrons sous l'influence de la tension appliquée à l'accès de grille du composant. Le principe du MESFET est antagoniste à celui du HEMT car pour le MESFET la tension appliquée sur la grille contrôle la largeur de conduction entre le drain et la source.

II.2.2. Principe de l'hétérojonction

Afin de mieux appréhender son fonctionnement, nous allons présenter brièvement les structures de bande des matériaux mis en jeu dans un HEMT AlGa_N/Ga_N [1.39] qui représente la technologie étudiée au cours de ces travaux de thèse.

L'hétérojonction formée par la juxtaposition de deux matériaux dont les largeurs de bande interdite sont différentes entraîne la formation d'une discontinuité de la bande de conduction à l'interface (ΔE_c). L'AlGa_N présente un large gap de 3.82eV et le Ga_N un gap un peu plus faible de 3.4eV. La Figure 1-13 présente les niveaux d'énergie mis en jeu dans chacun des matériaux de l'hétérojonction avant contact.

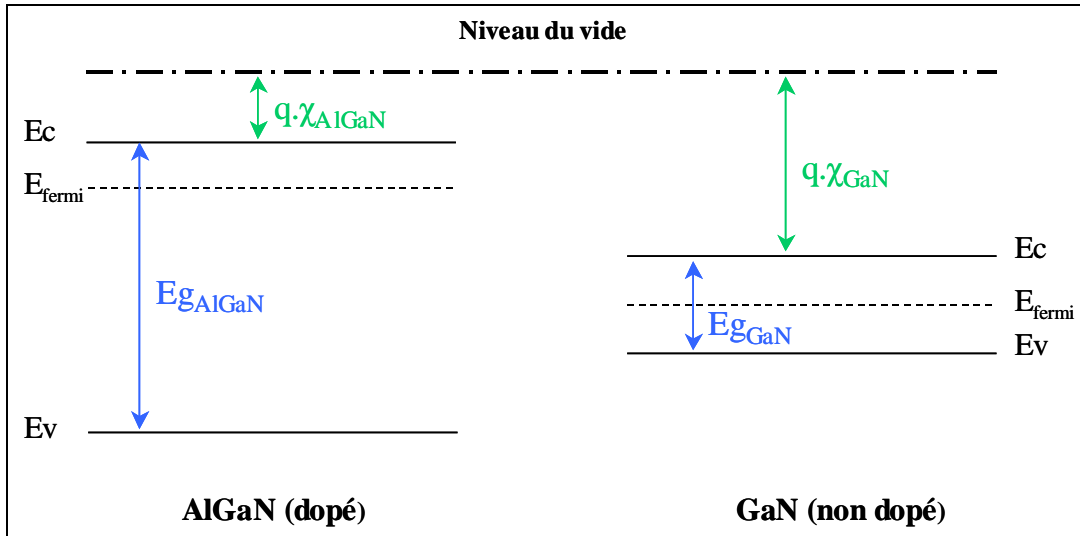


Figure 1-13 : Niveaux d'énergie des matériaux mis en jeu dans l'hétérojonction.

Du fait des règles d'Anderson, les niveaux de Fermi des deux matériaux s'alignent lors de la jonction. Le niveau du vide ne pouvant pas subir de discontinuités, il en résulte une discontinuité de la structure de bande d'énergie à l'interface. La Figure 1-14 montre les niveaux d'énergie à l'hétérojonction pour une tension appliquée nulle.

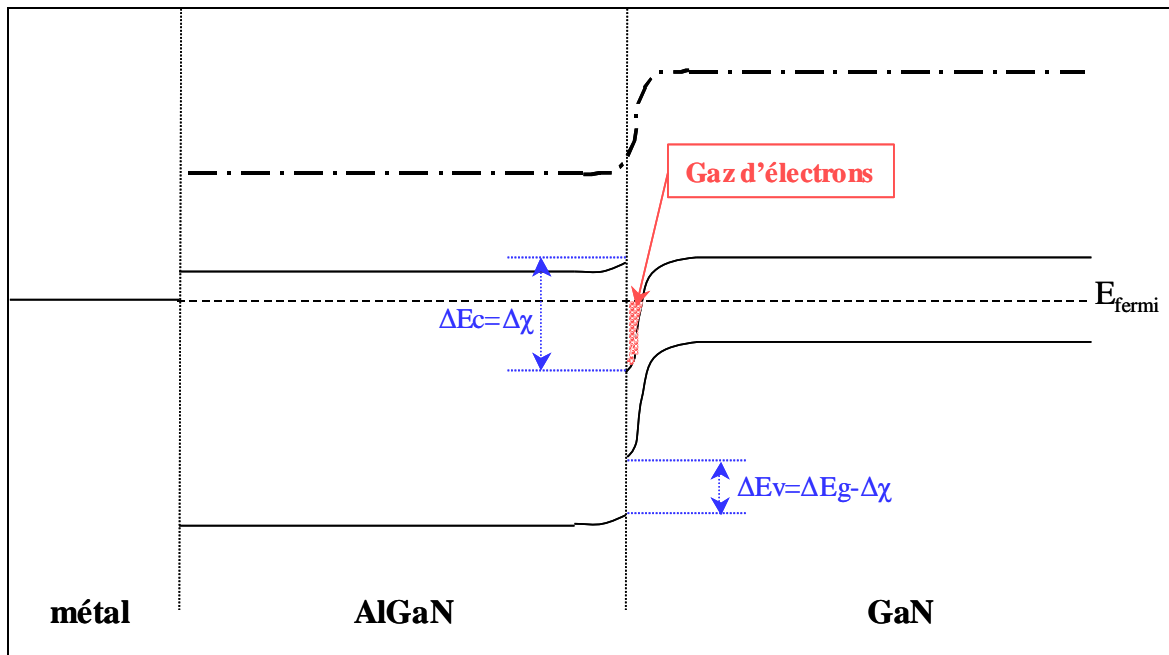


Figure 1-14 : Niveaux d'énergie des matériaux à l'hétérojonction pour une tension appliquée nulle.

Un puits quantique se forme alors à l'interface dans le matériau de plus faible largeur de bande interdite (GaN). Ce puits est situé dans la partie supérieure du matériau à plus faible gap non dopé car, au-dessus, le matériau présentant la plus grande largeur de bande interdite joue le rôle de barrière. C'est à l'intérieur de ce puits que se regroupent les charges libres entraînant le phénomène

de conduction à l'origine de la formation d'un gaz d'électrons à deux dimensions que l'on peut nommer canal. La densité de porteurs dans le canal dépendra du niveau de Fermi dans la bande interdite du matériau (niveau de dopage), de la différence de largeur de cette bande entre les deux matériaux (ΔE_g) et du dopage considéré. Pour exemple, la Figure 1-15 présente les niveaux de Fermi mis en jeu à l'hétérojonction lorsqu'on applique une tension sur la grille du composant. On peut constater effectivement une modulation de ce gaz d'électrons et donc de la concentration de porteurs dans le canal. Ainsi une tension appliquée sur la grille d'un HEMT permet de contrôler le courant qui circule entre drain et source.

Une saturation du courant s'observe en raison de la vitesse de saturation des électrons pour de fortes valeurs de tension entre drain et source. Par conséquent, la mobilité étant plus élevée dans un gaz que dans un matériau dopé, le HEMT est plus rapide que le MESFET ce qui permet des applications à de plus hautes fréquences.

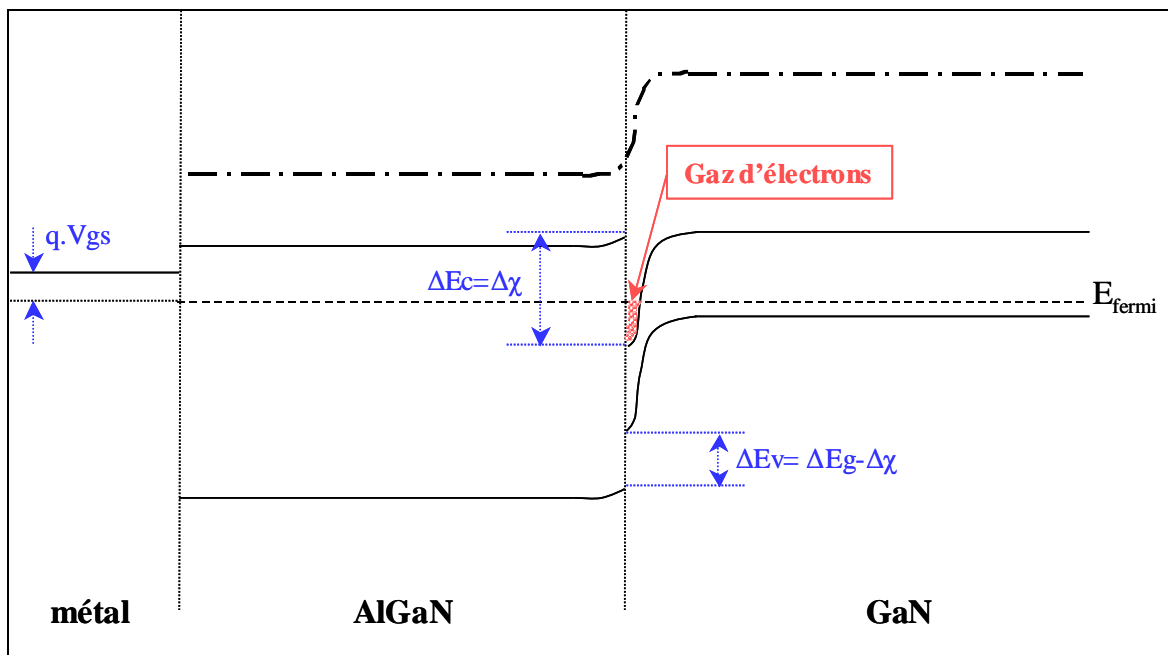


Figure 1-15 : Niveaux d'énergie des matériaux à l'hétérojonction pour une tension appliquée non nulle.

II.2.3. Structure physique

[1.4], [1.39]

Trois matériaux constituent essentiellement la structure d'un HEMT : le substrat, un matériau à large bande interdite et un matériau à plus faible bande interdite. Comme nous l'avons indiqué dans le paragraphe précédent, c'est la jonction de ces deux derniers matériaux qui conduit à

la formation d'un gaz d'électrons à l'interface, dont la densité est modulée par la tension appliquée à la grille du composant.

La Figure 1-16 présente le squelette de la structure d'un HEMT.

- le substrat : comme détaillé précédemment le substrat peut être en saphir, silicium, carbure de silicium sur lequel peut s'effectuer la croissance d'une couche de nitrure de gallium (Chapitre 1 – I.2.2).

- la couche de nucléation : c'est une couche mince de GaN qui sert à débiter la croissance de la structure. Le but de cette couche est d'absorber une partie de la contrainte liée au désaccord de maille entre le substrat et le GaN et de limiter la propagation de ces dislocations dans le reste de la structure.

- la couche tampon : nommée « buffer » est constituée du matériau de plus faible largeur de bande interdite soit, dans notre cas, le GaN (3.4eV). C'est au sein de ce matériau que va se former le gaz bidimensionnel d'électrons.

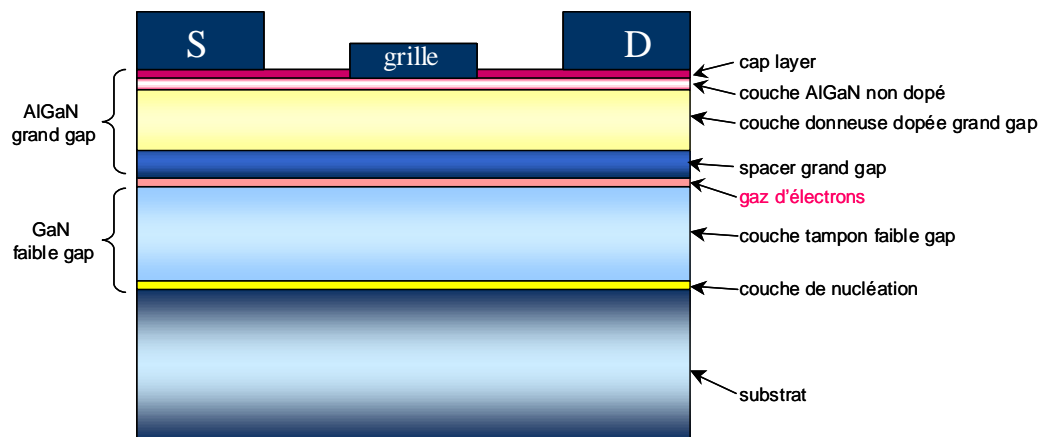


Figure 1-16 : Structure physique d'un HEMT.

- l'espaceur : nommé aussi « spacer », cette couche est réalisée à partir du matériau de plus large gap soit l'AlGaIn (3.82eV). Cette couche non dopée intentionnellement possède une épaisseur de quelques nanomètres et permet de réduire l'interaction électrons-donneurs entre le gaz d'électrons et la couche dopée. En effet, la proximité de ces particules entraînerait une interaction électrostatique connue sous le nom de Coulomb Scattering. Un compromis subsiste : plus cette couche est épaisse, plus la mobilité des électrons dans le canal augmente, a contrario : plus le spacer

est fin et plus la densité de charges disponibles dans le canal augmente induisant une plus faible résistance de source, une transconductance et une densité de courant plus grandes.

- la couche donneuse : elle représente une épaisseur de quelques nanomètres de matériau grand gap AlGa_N dopé. La concentration d'aluminium peut varier de 20% à 30% environ. Une zone déplétée se forme dans cette couche au niveau de la jonction Schottky de grille ainsi qu'aux abords de l'hétérojonction.

- une couche AlGa_N non intentionnellement dopée : le but de cette couche est de permettre de réaliser un contact Schottky, ou redresseur de bonne qualité. Il est très difficile de réaliser un contact redresseur correct sur une couche fortement dopée puisque la courbure de bande de conduction favorise le passage du courant par effet tunnel.

- le cap layer : cette couche est une couche superficielle permettant de produire de bons contacts ohmiques de drain et de source. Cette fine couche de nitrure de gallium permet également de réduire les résistances d'accès et d'empêcher l'oxydation de la couche d'AlGa_N. Afin d'obtenir une bonne jonction Schottky de grille, un recess complet de cette épaisseur doit être réalisé sous le contact de grille.

Il est important de noter que des structures non dopées sont également étudiées présentant une mobilité supérieure et une densité plus faible dues aux phénomènes de polarisations spontanée et piézoélectrique.

II.3. Quelques effets limitatifs dans les transistors HEMTs GaN

II.3.1. Les effets thermiques

[1.6], [1.45]

L'état thermique d'un composant résulte de la température ambiante et de l'auto-échauffement du transistor. Cet auto-échauffement se traduit par une puissance dissipée dépendant de la classe de fonctionnement du transistor et des performances RF de celui-ci vis-à-vis du signal injecté. L'augmentation de la température interne du composant entraîne une diminution de la mobilité des porteurs. Il en résulte une chute du courant de drain entraînant une diminution de la transductance de sortie. En clair, une forte élévation de température altère de façon importante les performances des transistors.

Les nitrures étant généralement dédiés à des applications de fortes puissances, il est nécessaire de gérer la thermique. L'utilisation du substrat SiC permet une meilleure dissipation de la chaleur due à une conductivité thermique importante en comparaison par exemple au saphir. Le report flip-chip peut s'avérer être une solution même si cette méthode représente un coût supplémentaire lors de la fabrication du composant.

II.3.2. Les différents phénomènes de pièges

II.3.2.1. Notion de pièges

L'existence d'impuretés ou de défauts dans le réseau cristallin et sur la surface entraîne des phénomènes de pièges [1.44], [1.46], [1.47]. Le nitrure de gallium reste encore mal contrôlé du point de vue de ces défauts. Ces phénomènes de pièges provoquent une altération des performances des transistors micro-ondes.

Les impuretés génèrent des états énergétiques qui peuvent être occupés par des porteurs dans la bande interdite du matériau semi-conducteur. Ces porteurs sont alors retenus pendant un temps t dans ces niveaux d'énergie et ne peuvent pas participer à la conduction d'où le nom de pièges. Les constantes de temps (capture et émission) correspondent à des phénomènes basses fréquences. Pour le cas des transistors HEMTs, c'est la densité de porteurs qui est affectée par les pièges alors que pour les MESFETs c'est une modulation du canal. Si l'on considère ce phénomène du point de vue des bandes d'énergie, on obtient alors la description présente sur la Figure 1-17 dans le cas où l'on considère que la densité de pièges donneurs est supérieure à celle de pièges accepteurs.

Afin d'illustrer les effets de pièges, la tension V_{ds} est pulsée positivement Figure 1-17 (2) puis retourne à son état initial Figure 1-17 (3). L'application de cette tension engendre un champ électrique et ainsi les pièges situés dans le buffer peuvent capturer des charges qui ne participent plus directement au courant I_{ds} (phase 2 sur la Figure 1-17). Quand le champ électrique n'est plus appliqué, les pièges réémettent leurs charges (phase 3 sur la Figure 1-17). La constante de temps de capture des pièges a une durée de l'ordre de la nanoseconde alors que celle d'émission des pièges a une durée environ mille fois supérieure à la capture soit de l'ordre de la micro voir milliseconde. La dissymétrie temporelle entre ces deux phénomènes implique les défaillances électriques observables en mesure.

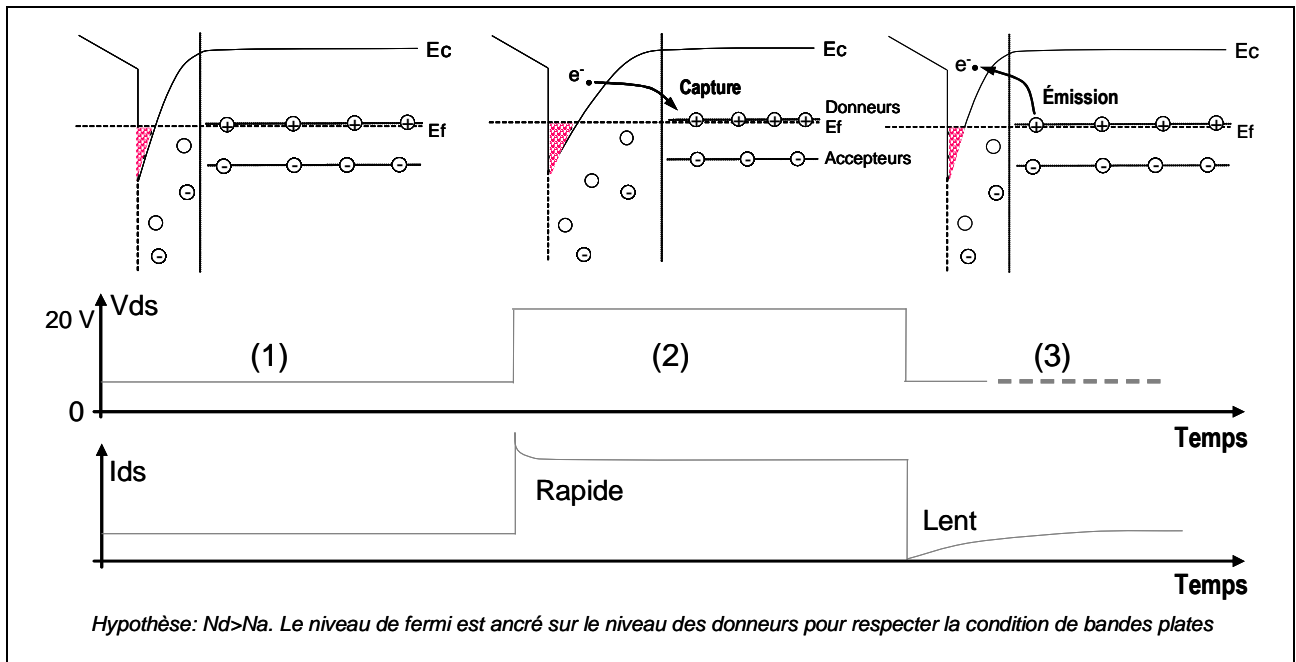


Figure 1-17 : Influence d'un changement de la polarisation de drain sur les bandes d'énergies en présence de pièges de buffer. Observation des phénomènes de capture et d'émission.

On distingue deux phénomènes prépondérants observés sur le courant de sortie du composant : le drain lag et le gate lag.

La méthode de mesure en régime pulsé permet de mettre en évidence les phénomènes de pièges tout en séparant ceux-ci des effets thermiques. En effet, le point de polarisation de repos fixe l'état thermique et l'état des pièges pour toute la mesure des caractéristiques I [V]. Ainsi lorsqu'on mesure des caractéristiques I [V] à différents points de repos en conservant une puissance dissipée nulle la dispersion entre les mesures reflète directement des effets de pièges.

II.3.2.2. Le phénomène de gate-lag

R.Vetury [1.42] montre que pour des niveaux de courant de drain importants lorsque la grille est ON (courant de drain $\gg 0A$), des transitions ON/OFF et OFF/ON abruptes de la tension de grille provoquent des overshoots sur le courant et sur la tension de sortie. L'état OFF de la tension de grille correspond à $|V_{gs}| \geq |V_p|$. Par contre, si le niveau du courant est suffisamment faible quand la tension de grille est ON, le courant de drain monte lentement jusqu'à atteindre son état établi lorsque la tension de grille passe de façon abrupte de l'état OFF à l'état ON. C'est ce phénomène transitoire du courant de drain que l'on nomme « gate-lag ».

Afin d'illustrer ce phénomène, on compare sur la Figure 1-18 les caractéristiques $I[V]$ mesurées d'un transistor HEMT $8 \times 75 \mu\text{m}$ (réalisé en 2006 par le laboratoire TIGER) dont la modélisation sera traitée dans le chapitre 2. Les caractéristiques comparées ont été mesurées à puissance dissipée nulle pour des polarisations de $V_{ds0}=0\text{V}$ et $V_{gs0}=-8\text{V}$ (tension de pincement) dans un premier temps puis $V_{gs0}=0\text{V}$ dans un second temps. Nous pouvons observer ici une différence d'amplitude des courbes. Un critère d'évaluation de l'influence des pièges proposé dans [1.5] consiste à quantifier la perte d'excursion en tension et courant du cycle de charge idéal. Ici, nous relevons une différence de courant de $\Delta I \approx 90\text{mA}$ et une différence de $\Delta V \approx 2\text{V}$. On peut donc constater une différence assez importante au niveau de l'amplitude du courant de sortie. En terme de puissance, cette baisse du courant de sortie va réduire la puissance de sortie du transistor.

La différence sur le courant de drain est attribuée majoritairement aux pièges de surface [1.49]. Les électrons sont alors piégés à la surface de la couche AlGaN. Ils sont par la suite ionisés quand la tension de grille passe en dessous de la tension de « pinch off » [1.51]. Les électrons capturés lorsque la grille est polarisée OFF ne participent pas au courant de conduction dans le canal quand la grille passe à l'état ON. La constante de temps d'émission des pièges est plus grande que la durée des pulses. Ainsi le courant de sortie est plus faible lorsque la tension de polarisation de repos est polarisée OFF, que dans le cas d'une polarisation de repos polarisée ON.

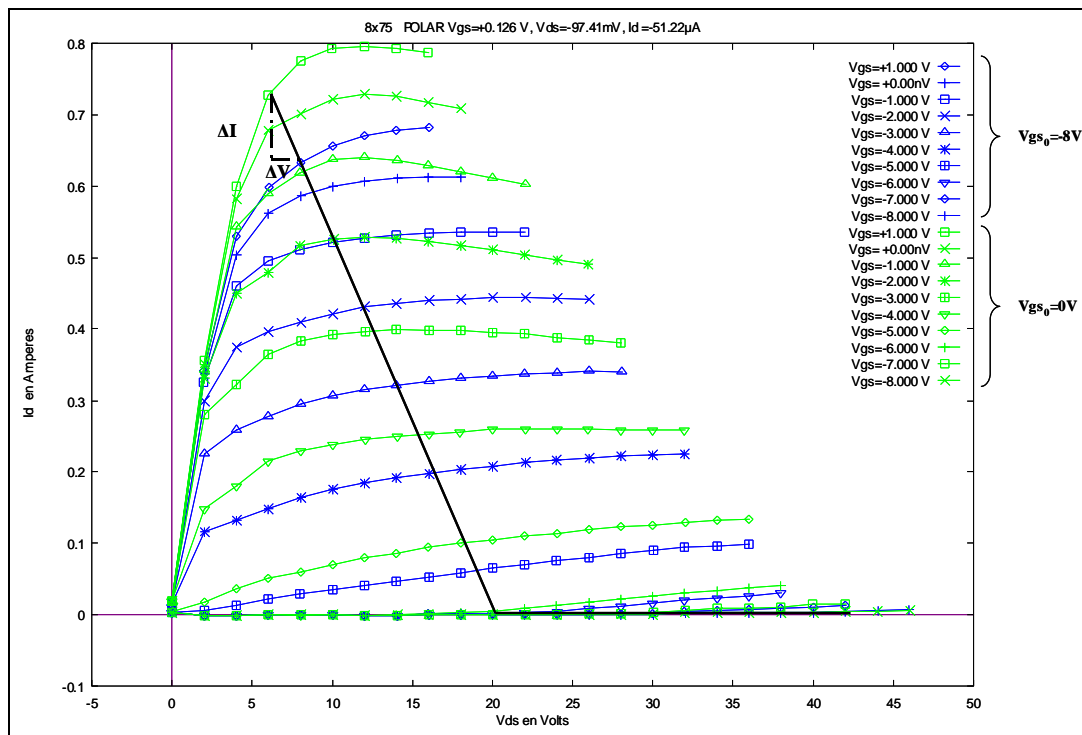


Figure 1-18 : Influence de la tension de grille sur un transistor HEMT AlGaN/GaN $8 \times 75 \mu\text{m}$ avec une puissance dissipée nulle.

Remarque : une des façons pour réduire ces effets de gate-lag consiste à rajouter un film (SiO, SiO₂, Si₃N₄) au dessus de la couche d'AlGaN [1.49], [1.50] nommée passivation. Cependant l'ajout de cette couche entraîne une diminution des fréquences de transition due à l'augmentation des capacités grille-source et grille-drain [1.54], [1.55].

II.3.2.3. Le phénomène de drain-lag

[1.52], [1.53]

Le drain-lag décrit le phénomène transitoire du courant de drain lorsque la tension de drain est pulsée de l'état OFF ($V_{ds}=0V$) à l'état ON ($V_{ds}>0V$) pour une tension de grille constante [1.48]. On peut alors observer une décroissance du courant I_d durant cette impulsion si cette dernière est suffisamment longue. Lorsque la tension de drain passe de l'état OFF à l'état ON, c'est-à-dire pour une variation positive de V_{ds} , les électrons sont accélérés par le champ électrique engendré par V_{ds} . Ils sont alors capturés par des pièges de niveaux d'énergie profonds localisés dans le buffer et/ou le substrat, à condition que la durée des impulsions soit plus grande que la constante de temps de capture et plus petite que la constante de temps d'émission. Ces électrons capturés par les pièges ne participent pas au courant dans le canal. Le résultat direct est la diminution du courant de drain jusqu'à ce qu'il atteigne son état permanent au fur et à mesure que les pièges se remplissent.

Cette expérience a été réalisée sur le même transistor $8 \times 75 \mu m$ que précédemment. Les caractéristiques ont été mesurées au pincement ($V_{gs_0}=-8V$) avec des états bas et hauts de $V_{ds_0}=0V$ et $V_{ds_0}=20V$ pour une durée de pulse de 400ns (Figure 1-19). On peut noter l'influence du drain-lag au niveau de la tension de coude ainsi qu'une sensible baisse du courant même si les effets sur ce transistor ne sont pas prépondérants. La dispersion en courant pour ce composant est donc majoritairement due au phénomène de gate-lag. L'effet du drain-lag reste principalement manifeste à bas courant au niveau de la tension de coude. Pour d'autres transistors, les variations de la tension de coude ainsi que la baisse du courant de sortie par effet drain-lag sont beaucoup plus importantes ce qui par voie de conséquence se traduit par une baisse significative de la puissance de sortie.

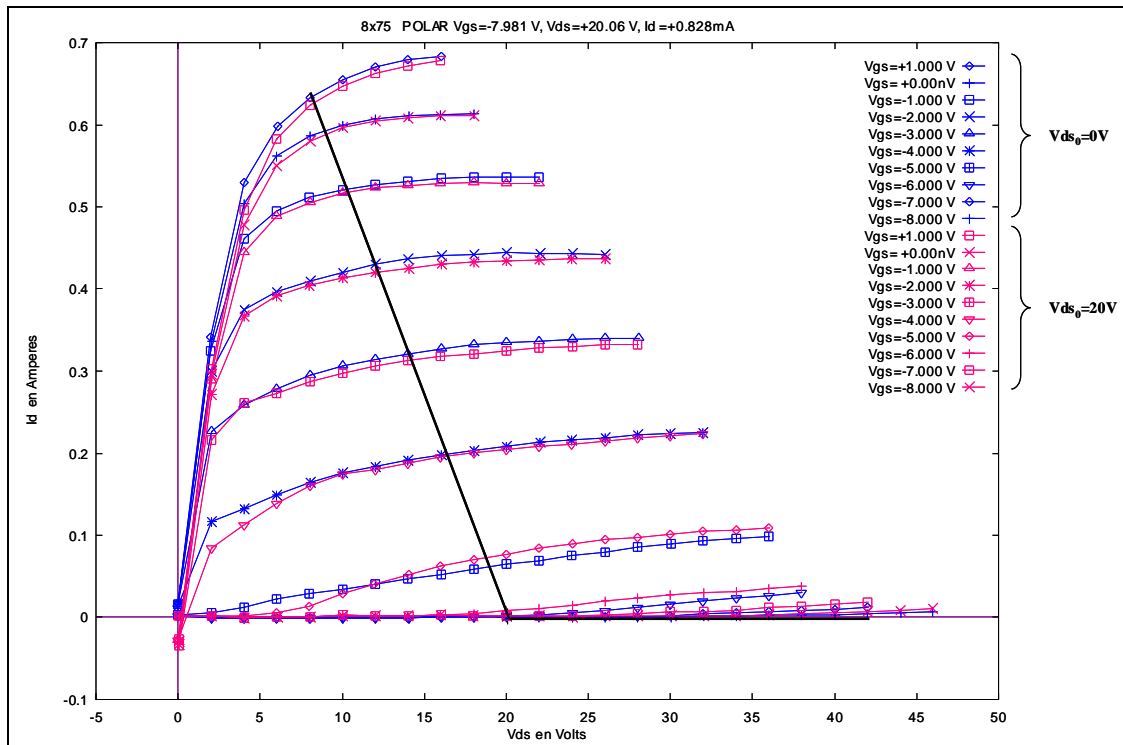


Figure 1-19 : Influence de la tension de drain sur un transistor HEMT AlGaN/GaN 8x75 μ m, avec une puissance dissipée nulle.

II.4. Points primordiaux pour l'amplification de puissance

II.4.1. Augmentation de la tension de claquage

[1.22], [1.24], [1.26], [1.27], [1.29]

La tension de claquage peut être augmentée par modification du profil du champ électrique dans le transistor et notamment de la valeur du pic du champ électrique pour ne pas atteindre le champ électrique critique. Une solution intéressante réside en l'ajout d'une métallisation de grille appelée « field plate » ou encore « overlapping » située au-dessus de la couche de passivation du composant comme on peut le voir sur la Figure 1-20.

Ces nouvelles structures field plate permettent d'atteindre des densités de puissance exceptionnelles qui constituent un saut technologique [1.27].

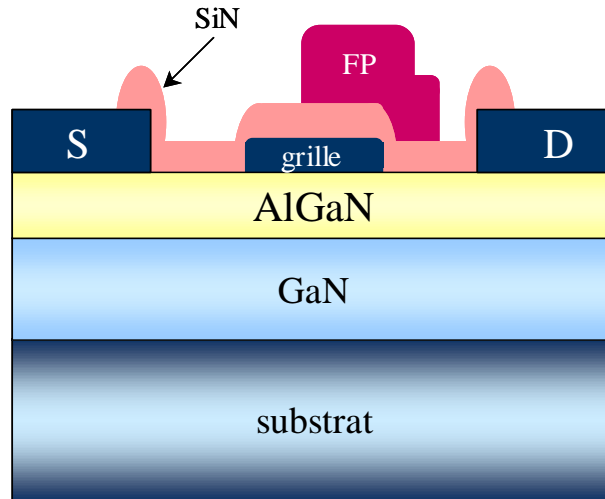


Figure 1-20 : Structure d'un transistor HEMT GaN avec field-plate (FP).

Les premières études effectuées sur cette technologie field plate ont débuté dans les années 90. En 1992, C. L. Chen propose un transistor MESFET GaAs avec technologie field plate ayant une tension de claquage grille-drain de 42V [1.78].

L'addition de cette métallisation au-dessus de la couche de passivation permet une modification du profil de la distribution du champ électrique du bord de la grille côté drain ainsi qu'une réduction du pic du champ électrique critique, augmentant par conséquent la tension d'avalanche. La Figure 1-21 extraite des travaux de Zhang *et al.* [1.59] illustre cet effet : pour $L_{gd}=13\mu\text{m}$ (distance grille-drain) avec $L_g=0.5\mu\text{m}$, ils obtiennent une tension d'avalanche de 570V avec field plate contre 450V sans field plate.

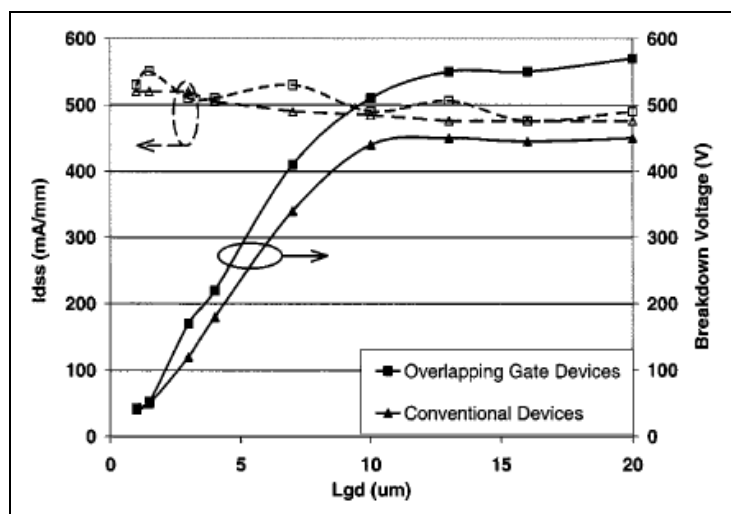


Figure 1-21 : Courant maximum de sortie et tension d'avalanche drain source obtenus pour un transistor HEMT GaN conventionnel et pour un transistor avec field plate en fonction de la distance grille-drain.

Dans le but d'accroître encore la tension d'avalanche, *H. Xing* a présenté un transistor HEMT GaN à double field plate possédant une tension d'avalanche de 900V [1.25].

Les meilleures densités de puissance actuelles, à savoir une densité de puissance supérieure à 30W/mm sur des transistors HEMTs GaN sur SiC avec un seul field plate ont été obtenues en laboratoire par *Y. F. Wu et al.* en 2004 [1.23]. Un des deux résultats obtenus en mesure grand signal CW pour une tension de polarisation continue de drain égale à 120V est représenté ci-dessous sur la Figure 1-22. Comme on peut le voir, une densité de puissance de 32.2W/mm, une PAE de 54.8% ainsi qu'un gain en puissance de 14dB ont été obtenus à 4GHz pour une longueur de field plate de 1.1 μ m.

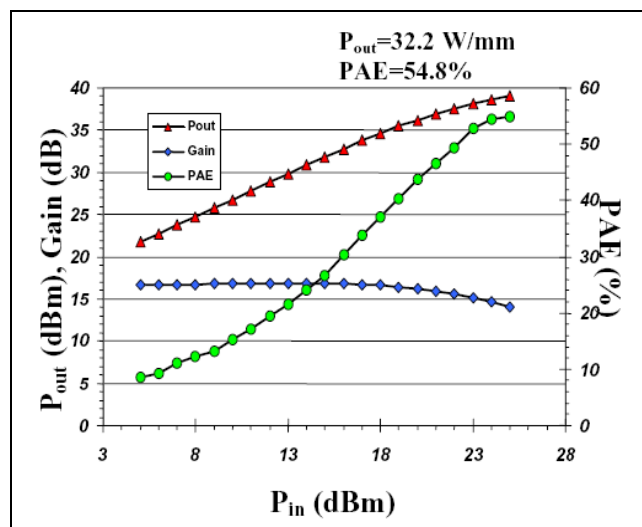


Figure 1-22 : Performances en puissance d'un transistor HEMTs AlGaIn/GaN en technologie field plate : densité de puissance de 32.2W/mm, 55% de PAE @ $V_{ds} = 120V$.

D'autre part, une densité de puissance de plus de 40W/mm en technologie double field plate a été publiée plus récemment en 2006 par *Wu et al* [1.28] du laboratoire CREE (Figure 1-23).

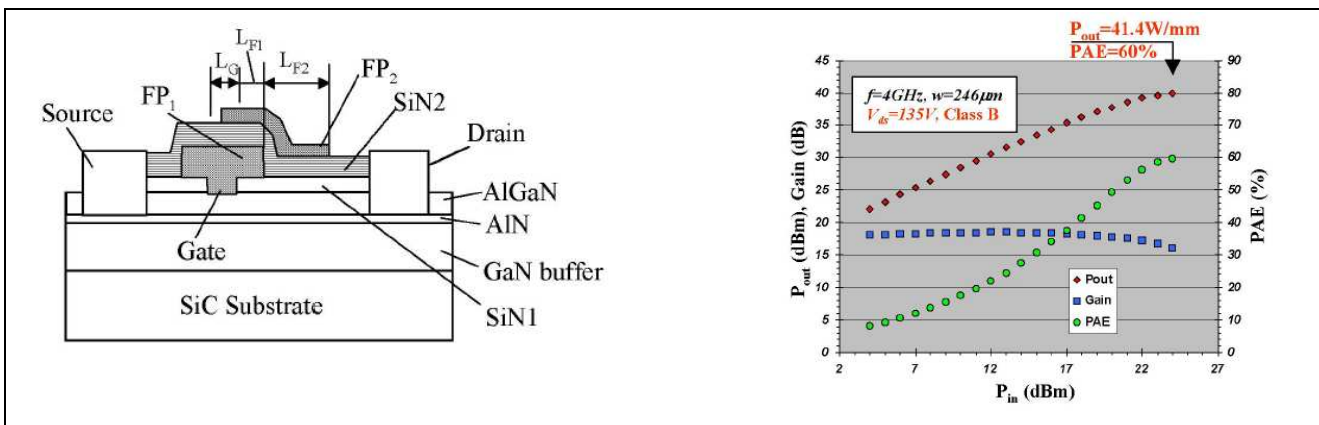


Figure 1-23 : Vue en coupe (à gauche) d'un transistor en technologie double field plate Performances en puissance (à droite) : 41.4W/mm @4GHz associé à 60% de PAE et 16dB de gain.

Cependant, les résultats restent nuancés car la présence de field plate augmente la capacité grille-drain et réduit quelque peu les performances en fréquence de ces transistors. L'optimisation de la longueur du field plate est donc nécessaire en fonction de l'application envisagée.

Afin d'atténuer l'effet nuisible de l'augmentation de C_{gd} , Wu *et al.* ([1.86]) ont réalisé une technologie field plate avec connexion de source comme le montre la Figure 1-24. La valeur de C_{gd} se trouve alors réduite et cela conduit à une forte majoration du gain à 4GHz.

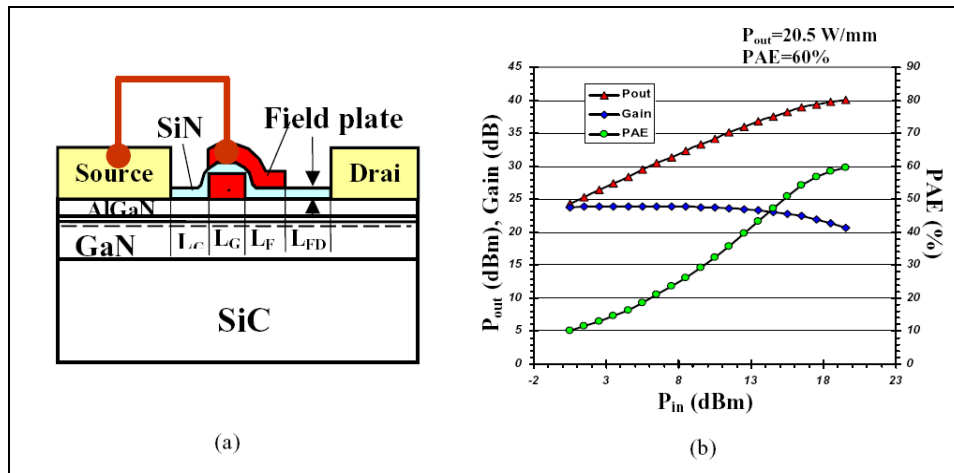


Figure 1-24 : Transistors HEMTs AlGaN/GaN en technologie field plate avec connexion de source : (a) vue en coupe, (b) densité de puissance de 20.5W/mm avec 60% de PAE associée @4GHz et un gain linéaire de 24dB.

Chaque année, de nouveaux travaux technologiques sont publiés relatant des résultats toujours plus performants sur les composants GaN.

II.4.2. Augmentation de la densité de porteurs et de la vitesse de saturation

L'augmentation de la fraction molaire en aluminium au sein de l'hétérojonction AlGaN/GaN a pour conséquence d'augmenter la largeur de bande interdite du composé AlGaN : le champ électrique de claquage devient par conséquent plus élevé. Il en résulte que la discontinuité des bandes de conduction devient plus importante ce qui conduit au confinement des électrons : les densités de porteurs et la mobilité sont de ce fait plus fortes. De surcroît, en augmentant la hauteur de barrière Schottky avec la teneur en Al, cela supprime les courants de fuites thermoélectroniques de grille.

Les dispositifs AlGaN/GaN présentant les plus fortes performances en puissance ont été réalisés à partir de films épitaxiés dont les teneurs en aluminium sont de l'ordre de 25% et 50% [1.56].

II.5. État de l'art des transistors HEMTs en technologie GaN

La technologie sur nitrure de gallium est en constant développement. Beaucoup de résultats sont publiés chaque année avec des réalisations de transistors de plus en plus performants. Le Tableau 1-4 recense l'état de l'art des transistors (et amplificateurs) HEMTs sur nitrure de gallium portés à ce jour à notre connaissance.

Laboratoire	Substrat	Fréquence	Densité de puissance/ Puissance de sortie	PAE	tension de drain	Commentaire	Date de publication	Réf
CREE	SiC	4GHz 8GHz	32,2W/mm 30,6W/mm	54,8% 49,6%	120V 120V	Passivation + Field Plate	mars-2004	[1.23]
BAE systems/CREE	GaN	10GHz	9,4W/mm	40%	50V	Passivation + Field Plate	sept-2004	[1.60]
National Central University Taiwan	Saphir	2,4GHz	4W/mm	38%	30V	-	janv-2005	[1.61]
UCSB	Si	4GHz	3,3W/mm	54%	25V	Passivation	mai-2005	[1.62]
HRL Lab Malibu/BSS/USD	SiC	30GHz	5,7W/mm	45%	20V	-	juin-2005	[1.63]
Nitronex corporation	Si	2,14GHz	2,1W/mm	65%	28V	-	juin-2005	[1.64]
RF Micro Devices	SiC	2,14GHz	22,7W/mm	54%	80V	Passivation + Field Plate	juin-2005	[1.65]
Mitsubishi Electric Corporation	SiC	bande C	2,79W/mm	25%	40V	Passivation	juin-2005	[1.66]
UCSB	-	40GHz	10,5W/mm	34%	30V	Passivation	nov-2005	[1.67]
Hong Kong University	Saphir	4GHz	3,26W/mm	55,60%	8V	-	dec 2005	[1.68]
Tiger/Picogiga	Si	18GHz	5,1W/mm	20%	35V	Passivation	janv-2006	[1.69]
University of Illinois Emcore Corporation	SiC	18GHz	9,1W/mm	23,70%	55V	Passivation + Field Plate	juin-2006	[1.70]
Freescale SC	SiC	2,14GHz	5,9W/mm	55%	48V	Passivation	juin-2006	[1.71]
RF Micro Devices	SiC	2,14GHz	4,1W/mm 7W/mm	44,7% 47,9%	28V 48V	Passivation	juin-2006	[1.72]
CREE	SiC	4GHz	41,4W/mm	60%	135V	Double Field Plate	juin-2006	[1.28]
UCSB	SiC	4GHz	6,4W/mm 8,8W/mm	-	35V 55V	Passivation + Field Plate	sept-2006	[1.73]
NEC	SiC	2,14GHz	750W	-	50V	Pulsé + Field Plate	nov-2006	[1.74]
CREE	SiC	3,45GHz	41,4W/mm	66%	55V	Double Field Plate	déc-2006	[1.79]
Eudyna	SiC	2,9GHz	800W 912W	57% 56,4%	65V 70V	Pulsé	mai-2007	[1.76]
TriQuint SC	SiC	10GHz 35GHz	5,6W/mm 4,5W/mm	67% 51%	30V 20V	-	juin-2007	[1.75]
Mitsubishi Electric Corporation	-	bande C	220W	38%	60V	-	juin-2007	[1.77]
Toshiba	-	bande X (8,5-9,6)GHz	50W	-	24V	Applications radar et médicales	annonce commerciale juin-2007	

Tableau 1-4 : État de l'art des transistors et amplificateurs HEMT en nitrure de gallium.

Cette prolifération de publications traduit un début de maturité de fabrication de ces semi-conducteurs GaN et l'engouement des différents laboratoires internationaux pour cette technologie.

Les principaux transistors HEMTs commercialisés sont produits par Eudyna, Nitronex, CREE et RFMD. Mais des HEMTs sont en développement au sein de NEC, Toshiba, Mitsubishi, Matsushita, Oki, Freescale, TriQuint, Fraunhofer IAF et bien d'autres...

III - ÉTAT DE L'ART DES AMPLIFICATEURS DE PUISSANCE LARGE BANDE EN TECHNOLOGIE GAN

La technologie sur GaN est donc en plein développement. Le nombre des publications concernant la conception d'amplificateurs de puissance très large bande sur cette technologie reste néanmoins limité. Le Tableau 1-5 présente l'état de l'art des amplificateurs de puissance très large bande à base de transistors HEMTs GaN à notre connaissance à ce jour.

Bande de fréquence	Puissance de sortie	Raj	Gain linéaire	Tension de drain	Périphérie de grille	Topologie	substrat	Laboratoire	Date de publication	Réf
6 - 10 GHz	14,1 W	25%	4,5 dB	25 V	4 mm	single stage - Flipchip on AIN	SiC	UCSB	juin-2000	[1,80]
3 - 10 GHz	4,5 - 8,5 W	5-20%	7 dB	24 V	4 mm	4 way binary Wilkinson Combiner	Saphir	UCSB	déc-2000	[1,81]
DC - 8GHz	3 - 6 W (3 - 8GHz)	31% (peak)	13 dB	25 V	1 mm	Flipchip on AIN 3 distributed cascode cells	SiC	Cornell Univ. / Purdue Univ.	déc-2001	[1,82]
4 - 8,5 GHz	0,7 W	42%	10 dB	15 V	1,5 mm	push pull + Balun	SiC	Cornell Univ. / Purdue Univ.	nov-2003	[1,83]
4 - 18 GHz	3,2 W (4,4 peak)	15%	10 dB	35 V	2 mm	2 NDPA + lange combiner (CPW)	SiC	BAE SE & IS	juin-2007	[1,84]
2 - 15 GHz	5,5 W (6,9 peak)	25%	10 dB	20 V	2 mm	NDPA (5cells)	SiC	Air Force Research Lab / Northrop GP	juin-2007	[1,85]

Tableau 1-5 : État de l'art des amplificateurs de puissance large bande à base de HEMTs GaN.

L'étude de deux amplificateurs distribués large bande GaN en technologie flip-chip et MMIC sera proposée dans le chapitre 3 de ce manuscrit.

CONCLUSION

Au cours de ce chapitre, nous avons présenté les différents critères technologiques concernant les matériaux semi-conducteurs et les potentialités du nitrure de gallium. Ces potentialités démontrent l'intérêt de ce matériau pour des applications de puissance haute fréquence. De fait, il présente tous les critères nécessaires à la réalisation de transistor de puissance très large bande. La technologie progresse à grand pas et devient de plus en plus mature en s'accompagnant de l'intégration MMIC avec le développement des composants passifs sur GaN. Ces derniers seront présentés plus particulièrement au cours du chapitre suivant.

Le GaN laisse donc entrevoir l'obtention de densités de puissance nettement supérieures à celles de l'arséniure de gallium. Avec une densité de puissance publiée supérieure à 40W/mm à 4GHz pour un transistor HEMT AlGaIn/GaN ayant une structure avec double field plate, il s'avance donc comme le matériau le plus prometteur.

Le fonctionnement spécifique du transistor HEMT au travers de sa structure physique et du principe d'hétérojonction a été illustré pour la technologie AlGaIn/GaN. Enfin, avant de présenter nos études d'amplificateurs distribués dans le chapitre 3, nous avons dressé deux états de l'art, le premier portant sur les transistors HEMTs, le second sur les amplificateurs de puissance large bande en technologie nitrure de gallium.

BIBLIOGRAPHIE

[1.1] H. BOUSBIA

« Analyse et développement de la caractérisation en puissance, rendement et linéarité de transistors de puissance en mode impulsif »

Thèse de doctorat n°77-2006 soutenue le 18 décembre 2006, Université de Limoges

[1.2] G. GAUTHIER, Y. MANCUSO, F. MURGADELLA

« Korrigan - A comprehensive initiative for GaN HEMT Technology in Europe »

13th GAAS Symposium, Paris 2005, pp. 361-364

[1.3] AIR & COSMOS

« La prochaine révolution dans les radars »

Dossier n° 2074, 20 avril 2007

[1.4] S. DE MEYER

« Étude d'une filière de composants HEMTs sur technologie nitrure de gallium. Conception d'une architecture flip-chip d'amplificateur distribué de puissance à très large bande »

Thèse de doctorat n° 26-2005 soutenue le 12 septembre 2005, université de Limoges

[1.5] C. CHARBONNAUD

« Caractérisation et modélisation électrothermique non linéaire de transistors à effets de champ GaN pour l'amplification de puissance micro-onde »

Thèse de doctorat n°55-2005 soutenue le 20 octobre 2005, Université de Limoges

[1.6] M. WERQUIN

« Études théoriques et expérimentales de transistors HEMTs de la filière nitrure de gallium pour les applications de puissance hyperfréquences »

Thèse de doctorat soutenue le 14 décembre 2005, Université de Lille

[1.7] S.M. SZE

« Semiconductor Devices – Physics and Technology »

1985, ISBN 0-471-87424-8

[1.8] J.Y. DUBOZ

« Matériaux semi-conducteurs à grand gap III-V à base de GaN »

Techniques de l'Ingénieur, traité d'Électronique, 1999 dossier E1995, <http://www.techniques-ingenieur.fr>

[1.9] J. CAMASSEL, S. CONTRERAS, J.L. ROBERT

« Matériaux semi-conducteurs à grand gap : SiC »

Techniques de l'Ingénieur, traité d'Électronique, 1999 dossier E1995, <http://www.techniques-ingenieur.fr>

[1.10] H. VANG

« Optimisation des étapes technologiques pour la fabrication de composants de puissance en carbure de silicium »

Thèse de doctorat n° 2006-ISAL-00126 soutenue le 18 décembre 2006, Institut national des sciences appliquées de Lyon

[1.11] <http://www.ioffe.rssi.ru/SVA/NSM/Semicond/>

Site consulté en juillet 2007

[1.12] **S.K. LEE**

« Processing and characterization of Silicon Carbide (6H- and 4H-SiC) contacts for high power and high temperature device applications »

PhD Dissertation, KTH Royal Institute of Technology, Stockholm 2002

[1.13] **H. XING**

« Growth fabrication and characterization of gallium nitride based bipolar transistors »

Dissertation of PhD in Electrical and Computer Engineering, University of California, Santa-Barbara, Juin 2003

[1.14] **W.L. PRIBBLE, J.W. PALMOURS, S.T. SHEPPARD, R.P. SMITH, S.T. ALLEN, et al.**

« Application of SiC MESFETs and GaN HEMTs in power amplifier design »

IEEE MTTs International Microwave Symposium Digest, 2002, vol. 3, pp. 1819-1822

[1.15] **B.J. BALIGA**

« Power semi-conductor device figure of merit for high frequency applications »

IEEE Electron Device Letters, vol. 10, no. 10, October 1989

[1.16] **R. KEYES**

« Figure of merit for semiconductors for high-speed switches »

Proceedings of IEEE, vol. 60, pp. 225-232, 1972

[1.17] **B.J. BALIGA**

« Semiconductors for high-voltage, vertical channel field effect transistors »

Journal of applied physics, vol. 53, no. 3, pp. 1759-1764, 1982

[1.18] **U.K. MISHRA, P. PARIKH, Y.F. WU**

« AlGaIn/GaN HEMTs an overview of device operation and applications »

Proceedings of IEEE, vol. 90, pp. 1022-1031, 2002

[1.19] **S. FANGET**

« Matériaux et hétérostructures à base de nitrides d'éléments III en phase cubique et hexagonale pour l'optoélectronique »

Thèse de doctorat n° 02ISAL, soutenue le 19 Décembre 2002, Institut National des Sciences Appliquées de Lyon

[1.20] **F. BERNARDINI, V. FIORENTINI, D. VENDERBILT**

« Spontaneous Polarization and Piezoelectric Constants of III-V Nitrides »

Phys Rev.B, vol. 56, no. 16, pp. 10024-10027, 1997

[1.21] **E.T. YU, G.J. SULLIVAN, P.M. ASBECK, C.D. WANG, D. QIAO, S.S. LAU**

« Measurement of piezoelectrically induced charge in GaN/AlGaIn heterostructure field effect transistors »

Appl. Phys. Lett, vol. 71, no. 19, pp. 2794-2796, 1997

[1.22] **A. CHINI, D. BUTTARI, R. COFFIE, L. SHEN, S. HEIKMAN et al.**

« Power and linearity characteristics of field-plated recessed-gate AlGaIn-GaN HEMTs »

IEEE Electron Device Letters, vol. 25, no. 5, pp. 229-231, May 2004

- [1.23] **Y.F. WU, A. SAXLER, M. MOORE, P. SMITH, S. SHEPPARD, P.M. CHAVARKAR, T. WISLEDER, U.K. MISHRA, P. PARIKH**
« 30W/mm GaN HEMTs by field plate optimization »
IEEE Electron Device Lett, vol. 25, pp. 117-119, Mars 2004
- [1.24] **A. CHINI, D. BUTTARI, R. COFFIE, S. HEIKMAN, S. KELLER, U.K. MISHRA**
« 12W/mm power density AlGaIn/GaN HEMTs on sapphire substrate »
Electronics Letters, vol. 40, no. 1, January 2004
- [1.25] **H. XING, Y. DORA, A. CHINI, S. HEIKMAN, S. KELLER et al.**
« High breakdown voltage AlGaIn-GaN HEMTs achieved by multiple field plates »
IEEE Electron Device Letters, vol. 25, no. 4, April 2004
- [1.26] **A. WAKEJIMA, K. OTA, K. MATSUNAGA, M. KUZUHARA**
« A GaAs based field modulating plate HFET with improved WCDMA peak output power characteristics »
IEEE Trans. Electron. Dev., vol. 50, pp. 1983-1987, Septembre 2003
- [1.27] **Y.F. WU et al**
« Field-plated GaN HEMTs and amplifiers »
CSIC Symposium, Palm Springs, CA, 2005
- [1.28] **Y.F. WU, M. MOORE, A. SAXLER, T. WISLEDER, P. PARIKH**
« 40W/mm Double Field plated GaN HEMTs »
Device Research Conference 64th, pp. 151-152, June 2006
- [1.29] **Y. ANDO, A. WAKEJIMA, Y. OKAMOTO et al.**
« Novel AlGaIn/GaN Dual-Field-Plate FET with high gain, increased linearity and stability »
Electron Devices Meeting IEDM Technical Digest, pp. 576-579, 5-7 Décembre 2005
- [1.30] **H. MATHIEU**
« Physique des semi-conducteurs et des composants électroniques »
5ème Edition, Dunod, Paris, ISBN 2-10-0486330, 2004
- [1.31] **L F. EASTMAN, U.K. MISHRA**
« the toughest transistor yet »
IEEE Spectrum, pp. 28-33, Mai 2002
- [1.32] **S. DE MEYER**
« Wideband power performance evaluation of AlGaIn/GaN HEMTs »
RF & Hyper 2005, Power Amplifier Workshop, Paris, 22-24 mars 2005
- [1.33] **<http://www.cree.com>**
Site consulté en juillet 2007
- [1.34] **R. STEVENSON**
« GaN substrates offer high performance at a price »
Compound Semiconductor Magazine, Juillet 2004

[1.35] D. DELAGEBEAUEUF, P. DELESCLUSE, P. ETIENNE, M. LAVIRON, J. CHAPLART, NGUYEN T. LINH

« Two dimensional electron gas MESFET structure »

Electronics Letters, vol. 16, no. 17, Août 1980

[1.36] T. MIMURA, S. HIYAMIZU, T. FUJII, K. NANBU

« A new field-effect transistor with selectively doped GaAs/n-Al_xGa_{1-x}As heterojunctions »

Japanese Journal of Applied Physics, vol. 19, no. 5, pp. L225-L227, Mai 1980

[1.37] Y.F. WU, B.P. KELLER, S. KELLER, D. KAPOLNEK, S.P. DENBAARS, U.K. MISHRA

« Measured microwave power performance of AlGa_N/Ga_N MODFET »

IEEE Electron Device Lett., vol. 17, pp. 455-457, 1996

[1.38] S.T. SHEPPARD, K. DOVERSPIKE, W.L. PRIBBLE et al.

« High power microwave AlGa_N/Ga_N HEMTs on semi-insulating silicon carbide substrates »

IEEE Electron Device Lett., vol. 20, pp. 161-163, April 1999

[1.39] R. QUERE

« Cours de physique des composants »

Master THFO, Université de Limoges

[1.40] F. BANSE, P. CHEVALIER, F. DESSENNE et al.

« Transistor à effet de champ à hétérojonctions sur matériaux III-V »

<http://www.polytech-lille.fr> site consulté en juin 2007

[1.41] F. ALI, A. GUPTA

« HEMTs and HBTs : device, fabrication and circuits »

Ed. Artech house, ISBN 0-89006-401-6, pp. 11-76

[1.42] R. VETURY

« Polarization Induced 2DEG in AlGa_N/Ga_N HEMTs : on the origin, DC and transient characterization »

Thèse de doctorat, Université de Santa Barbara, décembre 2000

[1.43] O. AMBACHER et al.

« Two dimensional electron gases induced by spontaneous and piezoelectric polarization charges in N- and Ga-face AlGa_N/Ga_N heterostructures »

Journal of Applied Physics, vol. 85, no 6, pp. 3222-3233, Mars 1999

[1.44] G. MENEGHESSO, et al.

« Surface-Related Drain Current Dispersion Effects in AlGa_N-Ga_N HEMTs »

IEEE Transaction on Electron Devices, vol. 51, no. 10, pp. 1554-1561, Octobre 2004

[1.45] R. AUBRY, J.C. JACQUET, B. DESSERTENNE, E. CHARTIER, D. ADAM, Y. CORDIER, F. SEMOND, J. MASSIES, M.A. DIFORTE-POISSON, A. ROMANN, S.L. DELAGE

« Thermal characterization of AlGa_N/Ga_N HEMTs grown on silicon and sapphire substrates based on pulsed I-V measurements »

Eur. Phys. J. AP 22, 77-82, 2003

[1.46] S.C. BINARI, P.B. KLEIN, T.E. KAZIOR

« Trapping effects in Ga_N and Si_C microwave FETs »

Invited Paper, Proceedings of the IEEE, vol. 90, no. 6, June 2002

[1.47] I. DAUMILLER, D. THERON, C. GAQUIERE, A. VESCAN et al.

« Current instabilities in GaN-based devices »

IEEE Electron Device Lett., vol. 22, pp. 62-64, Février 2001

[1.48] D. SIRIEX

« Modélisation non linéaire des MESFETs sur carbure de silicium pour l'amplification de puissance micro-ondes »

Thèse de doctorat soutenue en Janvier 2000, Université de Limoges

[1.49] W. LU, V. KUMAR, R. SCHWINDT, E. PINER, I. ADESIDA

« A comparative study of surface passivation on AlGaIn/GaN HEMTs »

Solid-State Electronics, vol.46, pp. 1441-1444, 2002

[1.50] W.S. TAN, P.A. HOUSTON, P.J. PARBROOK, G. HILL, R.J. AIREY

« Comparison of different surface passivation dielectrics in AlGaIn/GaN hétérostructure field-effect transistors »

J. Phys. D:Appl. Phys., vol.35, pp. 595-598, 2002

[1.51] K. HORIO et al.

« Two Dimensional Analysis of Substrate-Trap Effect on Turn-On characteristics in GaAs MESFETs »

IEEE Trans. On Electron. Devices, vol. 47, no. 3, pp. 617-624, March 2000

[1.52] C. CHARBONNIAUD, S. DE MEYER, R. QUERE, J.P. TEYSSIER

« Electrothermal and trapping effects characterisation »

GAAS 2006, 6-7 Octobre 2003, Munich

[1.53] S. DE MEYER, C. CHARBONNIAUD, R. QUERE, M. CAMPOVECCHIO, R. LOSSY, J. WURFL

« Mechanism of power density degradation due to trapping effects in AlGaIn/GaN HEMTs »

IEEE MTTs Digest, pp. 455-458, 2003

[1.54] B.M. GREEN, K.K. CHU, E.M. CHUMBES et al.

« The effect of surface passivation on the microwave characteristics of undoped AlGaIn/GaN HEMTs »

IEEE Electron Device Letters, vol.21, no 6, June 2000

[1.55] D. DUCATTEAU, M. WERQUIN, C. GAQUIÈRE, et al

« Influence of passivation on high power AlGaIn/GaN HEMT devices at 10GHz »

12th GAAS Symposium, Amsterdam, 2004

[1.56] U.K. MISHRA, Y. WU, B.P. KELLER, S. KELLER et al.

« GaN microwave electronics »

IEEE Transactions on Microwave theory and Techniques, vol. 46, no. 6, pp. 756-761, June 1998

[1.57] O. AMBACHER

« Growth and applications of group III nitrides »

Journal of Physics D (Applied Physics), vol. 31, pp. 2653-2710, 1998

[1.58] N. GHALICHECHIAN

« Silicon carbide overview of physical properties and thin film deposition »

ENEE793, Solid State Electronics Fall 2002

[1.59] N.Q. ZHANG, S. KELLER, G. PARISH, S. HEIKMAN, S.P. DENBAARS, U.K. MISHRA.

« High breakdown GaN HEMT with overlapping gate structure »

IEEE Electron Device Letters, vol. 21, no. 9, September 2000

[1.60] K.K. CHU, P.C. CHAO, M.T. PIZELLA, R. ACTIS, D.E. MEHARRY et al.

« 9.4W/mm power density AlGa_N-Ga_N HEMTs on free-standing Ga_N substrates »

IEEE Electron Device Letters, vol. 25, no. 9, September 2004

[1.61] W.K. WANG, P.C. LIN, C.H. LIN, C.K. LIN, Y-J. CHAN

« Performance enhancement by using the n⁺-Ga_N cap layer and gate recess technology on the AlGa_N-Ga_N HEMT Fabrication »

IEEE Electron Device Letters, vol. 26, no. 1, January 2005

[1.62] H. YU, L. MCCARTHY, S. RAJAN, S. KELLER, S. DENBAARS, J. SPECK, U. MISHRA

« Ion implanted AlGa_N-Ga_N HEMTs with nonalloyed ohmic contacts »

IEEE Electron Device Letters, vol. 26, no. 5, May 2005

[1.63] J.S. MOON, S. WU, D. WONG, I. MILOSAVLJEVIC, A. CONWAY, P. HASHIMOTO et al.

« Gate-Recessed AlGa_N-Ga_N HEMTs for high performance millimeter wave applications »

IEEE Electron Device Letters, vol. 26, no. 6, June 2005

[1.64] W. NAGY, S. SINGHAL, R. BORGES, J.W. JOHNSON, J.D. BROWN et al.

« 150 W Ga_N-on-Si RF power transistor »

Microwave Symposium Digest, IEEE MTTs International, pp. 487-490, 12-17 June 2005

[1.65] R. VETURY, Y. WEI, D.S. GREEN, S.R. GIBB, T.W. MERCIER, K. LEVERICH, P.M. GARBER, M.J. POULTON, J.B. SHEALY

« High power, high efficiency, AlGa_N/Ga_N HEMT technology for wireless base station applications »

Microwave Symposium Digest, IEEE MTTs International, pp. 483-486, 12-17 June 2005

[1.66] Y. KAMO, T. KUNII, H. TAKEUCHI, Y. YAMAMOTO, M. TOTSUKA, T. SHIGA, H. MINAMI et al.

« A C-band AlGa_N/Ga_N HEMT with Cat-CVD Si_N passivation developed for an over 100 W operation »

Microwave Symposium Digest, IEEE MTTs International, pp. 495-498, 12-17 June 2005

[1.67] T. PALACIOS, A. CHAKRABORTY, S. RAJAN, C. POBLENZ, S. KELLER, S.P. DENBAARS, J.S. SPECK, U.K. MISHRA

« High-power AlGa_N/Ga_N HEMTs for Ka-band applications »

IEEE Electron Device Letters, vol. 26, no. 11, November 2005

[1.68] Z.H. FENG, S.J. CAI, K.J. CHEN, K.M. LAU

« Enhanced performance of AlGa_N-Ga_N HEMTs grown on grooved sapphire substrates »

IEEE Electron Device Letters, vol. 26, no. 12, December 2005

[1.69] D. DUCATTEAU, A. MINKO, V. HOËL, E. MORVAN, E. DELOS, B. GRIMBERT, et al.

« Output power density of 5.1W/mm at 18 GHz with an AlGa_N/Ga_N HEMT on Si substrate »

IEEE Electron Device Letters, vol. 27, no. &, January 2006

- [1.70] **V. KUMAR, G CHEN, S. GUO, I. ADESIDA**
« Field-plated 0.25- μm gate-length AlGaIn/GaN HEMTs with varying field-plate length »
IEEE Transactions on Electron Devices, vol. 53, no. -, June 2006
- [1.71] **B.M. GREEN, H. HENRY, J. SELBEE, R. LAWRENCE, K. MOORE, J. ABDU, M. MILLER**
« A GaN HFET device technology on 3rdSiC substrates for wireless infrastructure applications »
Microwave Symposium Digest, IEEE MTTs International, pp. 706-709, 11-16 June 2006
- [1.72] **R. VETURY, J.B. SHEALY, D.S. GREEN, J. MCKENNA, J.D. BROWN, S.R. GIBB, et al.**
« Performance and RF Reliability of GaN-on-SiC HEMTs using dual-gate architectures »
Microwave Symposium Digest, IEEE MTTs International, pp. 714-717, 11-16 June 2006
- [1.73] **Y. DORA, A. CHAKRABORTY, L. MCCARTHY, S. KELLER, S.P. DENBAARS, U.K. MISHRA**
« High breakdown voltage achieved on AlGaIn/GaN HEMTs with integrated slant field plates »
IEEE Electron Device Letters, vol. 27, no. 9, September 2006
- [1.74] **A. WAKEJIMA, T. NAKAYAMA, K. OTA, Y. OKAMOTO, Y. ANDO, N. KURODA, et al.**
« Pulsed 0.75kW output single-ended GaN-FET amplifier for L/S band applications »
Electronics Letters, vol. 42, no. 23, 9th November 2006
- [1.75] **M.Y. KAO, C. LEE, R. HAJJI, P. SAUNIER, H.Q. TSEUNG**
« AlGaIn/GaN HEMTs with PAE of 53% at 35 GHz for HPA and multi-function MMIC applications »
Microwave Symposium Digest, IEEE MTTs International, pp. 627-629, 3-8 June 2007
- [1.76] **E. MITANI, M. AOJIMA, A. MAEKAWA, S. SANO**
« An 800-W AlGaIn/GaN HEMT for S-band high power application »
CS MANTECH Conference, Austin, Texas, USA, May 14-17, 2007
- [1.77] **K. YAMANAKA, K. MORI, K. IYOMASA, H. OHTSUKA, H. NOTO, M. NAKAYAMA, Y. KAMO, Y. ISOTA**
« C-band GaN HEMT power amplifier with 220W output power »
Microwave Symposium, IEEE MTTs International, pp. 1251-1254, 3-8 June 2007
- [1.78] **C.L. CHEN, L.J. MAHONEY, M.J. MANFRA, et al.**
« High-breakdown-voltage MESFET with a low-temperature grown GaAs passivation layer and overlapping gate structure »
IEEE Electron Device Letters, vol. 13, pp. 335-337, 1992
- [1.79] **Y.-F. WU, S.M. WOOD, R.P. SMITH, S. SHEPPARD, S.T. ALLEN, P. PARIKH, J. MILLIGAN**
« An internally-matched GaN HEMT Amplifier with 550-watt peak power at 35 GHz »
Electron Devices Meeting, IEDM'06 International, pp. 1-3, December 2006
- [1.80] **Y.F. WU, D. WAPOLNEK, J. IBBETSON, P. PARIKH, B.P. KELLER, U.K. MISHRA**
« 14-W GaN-based Microwave power amplifiers »
Microwave Symposium Digest, IEEE MTTs International, vol. 2, pp. 963-965, 2000
- [1.81] **J.J. XU, S. KELLER, G. PARISH, S. HEIKMAN, U.K. MISHRA, R.A. YORK**
« A 3-10 GHz GaN-based flip-chip integrated broad-band power amplifier »
IEEE Transactions on microwave theory and techniques, vol. 48, no. 12, December 2000
- [1.82] **B.M. GREEN, V. TILAK, S. LEE, H. KIM, J.A. SMART et al.**

« High-power broad-band AlGaIn/GaN HEMT MMICs on SiC substrates »
IEEE Transactions on Microwave Theory and Techniques, vol. 49, no. 12, December 2001

[1.83] J.W. LEE, L.F. EASTMAN, K.J. WEBB
« A gallium nitride push-pull microwave power amplifier »
IEEE Transactions on Microwave Theory and Techniques, vol. 51, no. 11, November 2003

[1.84] D.E. MEHARRY, R.J. LENDER, K. CHU, L.L. GUNTER, K.E. BEECH
« Multi-watt wideband MMICs in GaN and GaAs »
Microwave Symposium, IEEE MTTs International, pp. 631-634, 3-8 June 2007

[1.85] J. GASSMANN, P. WATSON, L. KEHIAS, G. HENRY
« Wideband, high efficiency GaN power amplifiers utilizing a non-uniform distributed topology »
Microwave Symposium, IEEE MTTs International, pp. 615-618, 3-8 June 2007

[1.86] U.K. MISHRA
« Status of AlGaIn/GaN HEMT technology – A UCSB perspective »
13th GAAS Symposium, Paris 2005, pp. 21-28

[1.87] G. CELLER, M. WOLF
« Strained Silicon on Insulator »
http://.soitec.com/en/pdf/StrainedSOI_WP.pdf

CHAPITRE 2 : ANALYSE ET MODÉLISATION DE
COMPOSANTS PASSIFS ET DE TRANSISTORS
HEMTs SUR NITRURE DE GALLIUM POUR LA
CAO HYPERFRÉQUENCE

INTRODUCTION

Les circuits intégrés micro-ondes monolithiques, appelés circuits MMIC (*Monolithic Microwave Integrated Circuits*), sont des composants intervenant au cœur d'un nombre important d'applications civiles et militaires, comme nous l'avons évoqué précédemment. Ainsi, les principaux enjeux pour ces circuits MMIC sont de fait leurs performances mais aussi, leurs temps de développement et leurs coûts de production.

Dans ce contexte, la technologie MMIC requiert le développement de composants passifs intégrés à hautes performances tels que les capacités à forte tension, les résistances, les inductances, les ponts à air et les via-holes. De ce fait, le choix du type de substrat (Si ou SiC) et de la structure de transmission (coplanaire ou microruban) sont critiques en raison de leur impact sur les performances des composants actifs et sur le coût du procédé. Nous allons donc détailler dans ce chapitre le principe de fabrication ainsi que celui de modélisation des éléments passifs dédiés aux concepteurs de circuits intégrés en technologie GaN. Nous présenterons la topologie des modèles électriques utilisés ainsi que les méthodes d'optimisation que ce soit au niveau électrique ou électromagnétique puis l'implémentation de la bibliothèque sous le logiciel de CAO ADS d'Agilent Technologies.

Dans une seconde partie, nous présenterons les modèles non-linéaires de transistors impliqués dans nos conceptions. Le premier est un transistor HEMT de développement de grille $8 \times 50 \mu\text{m}$ sur technologie SiC du process TIGER. Le second est un transistor HEMT de développement $8 \times 75 \mu\text{m}$ sur substrat SiC également de chez TIGER. Nous présenterons les principes majeurs de modélisation non-linéaire électrothermique d'un composant appliqués au transistor $8 \times 75 \mu\text{m}$.

I - ÉTUDE ET MODÉLISATION DE COMPOSANTS PASSIFS GAN

Dans cette partie, le but de nos travaux était de réaliser des modèles de composants passifs GaN dans le cadre du programme Korrigan de développement d'une nouvelle filière MMIC HEMT GaN. Dans cet objectif, nous avons analysé le comportement des composants technologiques via des simulations électromagnétiques puis après leur réalisation, nous avons synthétisé et optimisé des modèles électriques équivalents afin de représenter le plus fidèlement possible les mesures qui ont été réalisées au sein d'Alcatel Thalès III-V Lab. Cette étude a été conduite pour différentes tailles et paramètres technologiques des différents composants passifs MMIC.

La modélisation paramétrée de composants passifs constitue une étape cruciale pour tout travail de conception d'amplificateurs avec les performances et les hauts niveaux d'intégration que cela implique. De nombreuses recherches ont été réalisées sur ce thème depuis une vingtaine d'années avec la montée des RFICs qui ont donné lieu à de nombreuses publications : [2.1] à [2.6].

I.1. Contexte

Les masques des différents composants ont été conçus à Alcatel Thalès III-V Lab afin de réaliser une librairie de composants passifs aussi complète que possible en technologie GaN pour deux substrats différents : silicium (Si) et carbure de silicium (SiC) et pour deux types de lignes de transmission : coplanaire et microruban. Les modèles électriques ont été extraits à partir des mesures de paramètres S jusqu'à 40GHz et implémentés dans un guide de conception sous le logiciel ADS.

Dans ce chapitre, nous nous intéresserons plus particulièrement aux résultats obtenus pour le substrat en carbure de silicium (SiC) car il représente le substrat retenu pour la conception de l'amplificateur de puissance présenté et étudié dans le chapitre 3.

I.2. Définition des éléments passifs à modéliser

Plusieurs composants passifs ont été implantés sur le masque dont la liste exhaustive des tailles est donnée ci-dessous :

- capacités MIM (carrées) : 0.5, 1, 2, 5 et 10pF
- inductances spirales de 0.25 à 12nH (valeurs de 0.25, 0.7, 1, 2, 3, 4.5, 12nH variant en fonction de la largeur de piste W)
- résistances NiCr de 150 et 300Ω
- capacités parallèles de 1pF
- via-hole (un port)
- via-hole (deux ports)
- lignes de diverses longueurs de 246μm à 1935μm pour les deux types de transmission
- éléments de test

Ci-dessous, la Figure 2-1 représente la répartition des éléments passifs sur le masque WOODS tandis que la Figure 2-2 montre le layout du réticule WOODS microruban. Un réticule similaire a été réalisé pour la technologie coplanaire.

Capa shunt	Capa shunt	Capa série	Self série	Self série	Self série	Self série	Résistance
Via hole	Capa shunt	Capa série	Self série	Self série	Self série	Self série	Résistance
Charge 50 Ω	Charge 50 Ω	Capa série	Self série	Self série	Self série	Self série	Résistance
Court circuit	Court circuit	Capa série	Self série	Self série	Self série	Self série	Résistance
Court circuit	Court circuit	Capa série	Self série	Self série	Capa shunt	Self série	Résistance
Lignes : microstrip et coplanaire							
Capa BF	Via-hole de test (20μm à 200μm)			Motifs d'alignements			

Figure 2-1 : Répartition des éléments passifs sur le masque WOODS.

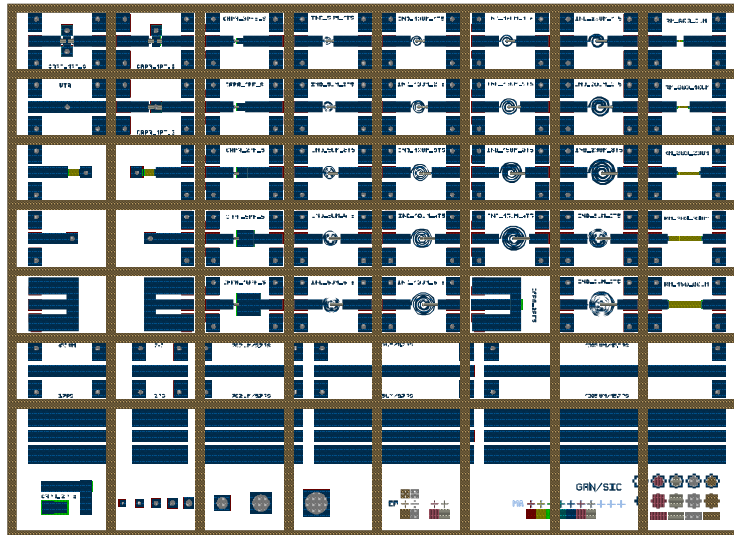


Figure 2-2 : Layout représentant le réticule WOODS microruban.

I.3. Procédé technologique des composants passifs GaN

Le procédé technologique des composants passifs a été élaboré au laboratoire Alcatel Thalès III-V Lab (ATL). La Figure 2-3 montre la vue en coupe du procédé GaN MMIC. L'empilement AlGaN/GaN est épitaxié par MOCVD (*Metal Organic Vapor Deposition*) ou par MBE (*Molecular Beam Epitaxy*) sur un substrat 2 pouces en Si haute résistivité ou 4H-SiC semi-insolant. Les détails du process complet sont décrits ci-dessous :

Dans un premier temps, une fine couche structurée Ti/Pt/Au/Ti (niveau N1, typiquement 50mΩ/sq) est obtenue par évaporation et lift-off pour l'électrode inférieure des capacités MIM. Le niveau N1 est déposé sur une couche de SiO₂/Si₃N₄ obtenue par PECVD (*Plasma Enhanced Chemical Vapor Deposition*) qui est utilisée pour la passivation des transistors. Par la suite, une couche de 50 nm de NiCr (50%-50%), déposée par pulvérisation magnétron RF, est utilisée pour réaliser par technique lift-off les résistances (TFRs) avec une résistance carrée typique de 30Ω/sq. Le diélectrique des capacités MIM est réalisé par une couche de nitrure de silicium (Si₃N₄) d'épaisseur 2500Å obtenue par PECVD et permettant d'obtenir une densité de capacité mesurée de 250pF/mm² pour des valeurs de capacité allant de 0.5 à 10pF. Ensuite, une couche épaisse Ti/Pt/Au (niveau EP, 15mΩ/sq) d'épaisseur 2μm est obtenue par évaporation et lift-off pour l'électrode supérieure des capacités MIM, pour les interconnexions et pour les lignes de transmission. Enfin, des ponts à air sont réalisés avec une épaisseur typique de 5μm (Au) pour les interconnexions et les accès des capacités et des inductances. La Figure 2-4 présente une photographie après réalisation

d'une capacité MIM, d'une inductance spirale ainsi que d'une résistance pour un masque coplanaire.

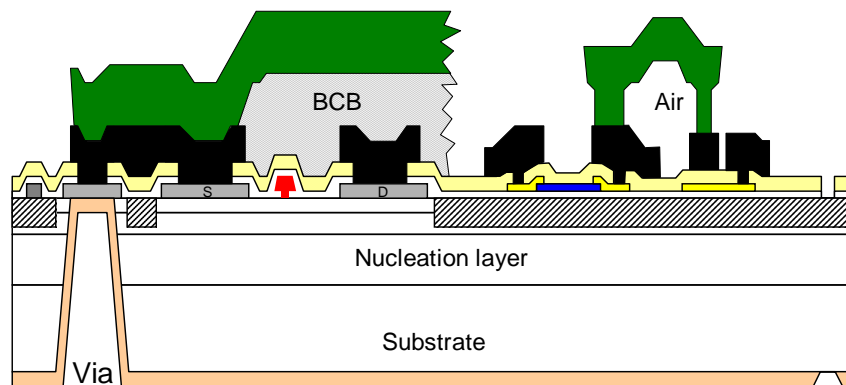


Figure 2-3 : Vue en coupe de la technologie GaN.



Figure 2-4 : Photographie de composants coplanaires (capacité MIM / inductance / résistance).

Pour la technique microruban, les procédés supplémentaires de métallisation face arrière et de gravure des via-holes sont nécessaires. La plaquette est alors collée sur un support 3 pouces afin d'être aminci par technique CMP (*Chemical Mechanical Polishing*) jusqu'à une épaisseur de 100 μ m, puis un masque de nickel d'épaisseur 5 μ m est déposé afin de protéger la face arrière pendant la gravure ICP/RIE (*Inductively Coupled Plasma / Reactive Ion Etching*) des via-holes à travers le buffer et la couche épitaxiée. Les via-holes (Figure 2-5) sont recouverts d'une couche d'accroche suivie d'une électrodéposition d'or afin d'obtenir une épaisseur totale de métallisation de 5 μ m.

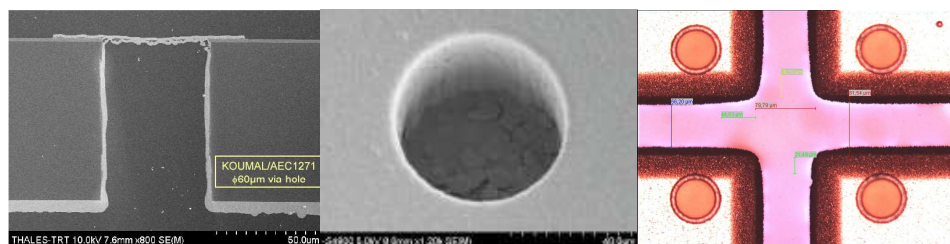


Figure 2-5 : Via-holes sur substrat SiC vue MEB et vue après remplissage.

En raison de leur caractéristique de forte tension d'avalanche qui permet l'obtention de très fortes densités de puissance sous de fortes impédances de charge, les HEMTs AlGaIn/GaN requièrent la disponibilité de capacités à forte tension de claquage pour la polarisation. Ainsi, les tensions de claquage et les courants de fuite des capacités MIM réalisées ont été caractérisés électriquement à l'aide d'un traceur et d'un analyseur au sein d'ATL. La caractérisation des plus fortes valeurs réalisées de capacités (10pF, 0.04mm²) a démontré des courants de fuite mesurés inférieurs à 2nA à 100V (Figure 2-6) et une tension de claquage supérieure à 200V.

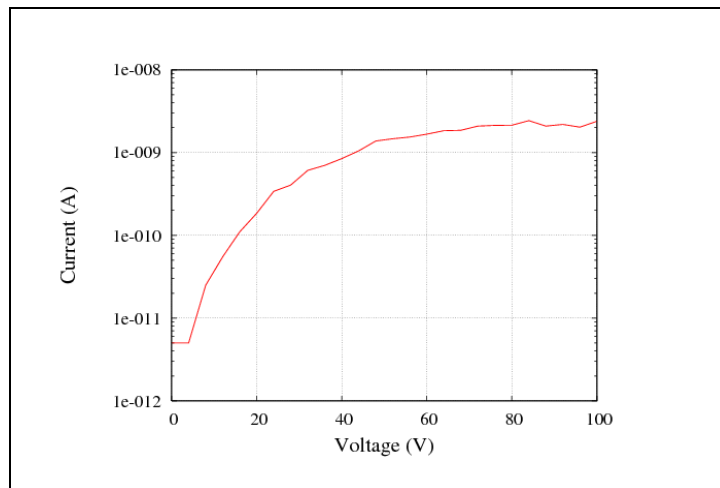


Figure 2-6 : Courant de fuite d'une capacité de 10 pF en fonction de la tension à ses bornes.

I.4. Simulation électromagnétique des éléments passifs

Les dimensions des systèmes sont du même ordre de grandeur que la longueur d'onde des fréquences d'utilisation de telle sorte que des modes de résonances électromagnétiques sont susceptibles d'être excités dans les modules et d'engendrer des dysfonctionnements du système complet. Ainsi, pour s'assurer qu'il n'existe pas de modes parasites dans la bande de fréquences d'utilisation, mais également pour optimiser les transferts de puissance au niveau de l'interconnexion entre deux circuits, il est nécessaire de réaliser une étude électromagnétique complète des dispositifs.

L'utilisation de logiciels d'électromagnétisme basés sur la résolution des équations de Maxwell peut permettre de faciliter la conception et également de limiter le temps nécessaire pour développer un système hyperfréquence. Les méthodes numériques d'analyse électromagnétique sont maintenant un outil incontournable pour obtenir une caractérisation précise et rigoureuse des phénomènes électromagnétiques engendrés au sein des modules. Ces logiciels ont beaucoup évolué au cours des dernières années et il faut également noter que sans l'amélioration considérable des

moyens informatiques durant la dernière décennie, l'usage de ces méthodes numériques très gourmandes en temps de calcul et en espace mémoire, serait inconcevable.

Plusieurs méthodes d'analyse numérique permettant d'étudier les structures micro-ondes passives ont été développées, chaque méthode présentant ses avantages et ses inconvénients. Parmi les méthodes les plus répandues, on trouve la méthode des différences finies dans le domaine temporel (FDTD : *Finite Difference Time Domain*), la méthode des moments et la méthode des éléments finis (FEM : *Finite Element Method*). Au cours de ces travaux de thèse, nous avons été amenés à utiliser le logiciel Momentum basé sur la méthode des moments qui est brièvement présentée ci-dessous.

I.4.1. La méthode des moments

Cette méthode s'applique aux systèmes planaires ou quasi-planaires [2.7], elle est alors considérée comme une méthode $2D^{1/2}$. La méthode des moments est basée sur la résolution numérique des équations de Maxwell sur un modèle électromagnétique de la structure étudiée. Seuls les conducteurs métalliques présents sur les différentes couches sont discrétisés par des éléments rectangulaires. Ensuite, l'analyse prend en considération la hauteur des différents diélectriques mais ceux-ci doivent obligatoirement être homogènes dans les deux autres directions.

L'analyse s'appuie sur le calcul de la distribution de courant évaluée sur chaque section par annulation des champs électriques tangentiels. Elle permet d'obtenir les paramètres [S] du dispositif par la méthode de Galerkin qui consiste à résoudre les équations intégrales dérivées des équations de Maxwell.

Les logiciels commerciaux basés sur cette méthode, tels que « Momentum » ou « Ansoft Designer », sont donc particulièrement bien adaptés à l'étude des circuits planaires. Ils effectuent l'analyse de structures multicouches composées de diélectriques isotropes avec ou sans pertes et de conducteurs qui peuvent être soit considérés comme parfaits ou avec des pertes. Notons que les dispositifs étudiés peuvent également être blindés.

I.4.2. Simulations électromagnétiques des composants passifs

Afin d'optimiser le dessin et de prédire le comportement des composants passifs intégrés, des simulations électromagnétiques ont été réalisées à l'aide du logiciel Momentum. Des études comparatives ont été effectuées avec ATL sur les logiciels Ansoft Designer ainsi que HFSS (3D).

La Figure 2-7 présente la comparaison des paramètres S issus de simulations électromagnétiques pour les deux modes de transmission coplanaire et microruban pour une inductance spirale ($S=5\mu\text{m}$, $W=5\mu\text{m}$, $N=3T5$) où S donne l'espacement entre spires, W la largeur de pistes et N le nombre de tours. On peut noter une très faible différence entre les deux types d'inductances jusqu'à 30GHz.

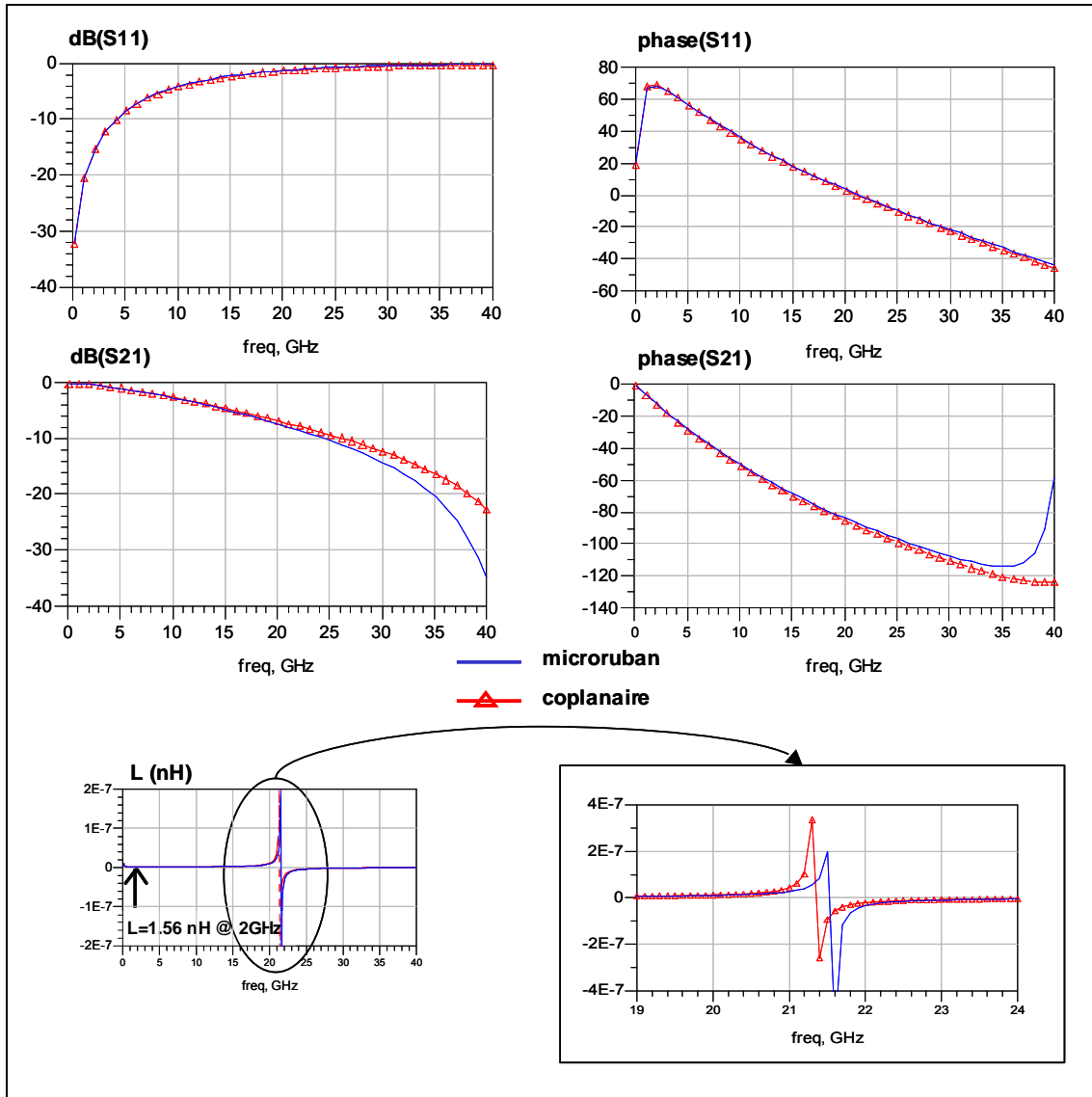


Figure 2-7 : Comparaison de simulations électromagnétiques des paramètres S pour une inductance ($N=3T5$, $W=5\mu\text{m}$) en technologie coplanaire et microruban et de l'inductance équivalente L sur la bande de fréquences 0.5-40GHz.

La Figure 2-8 quant à elle, présente une comparaison des paramètres S entre une simulation électromagnétique et les mesures pour une capacité MIM carrée de 1pF. Les différences sont assez notables au-delà de 10GHz après la résonance. Il est important de noter que ces simulations électromagnétiques nous ont permis d'initialiser dans un premier temps les topologies et les paramètres des modèles électriques dans l'attente des mesures sur plaques. Des simulations

électromagnétiques complémentaires ont également été réalisées pour les deux types de substrats (Si et SiC) démontrant de faibles différences sur les performances électriques des composants passifs. Lors de cette phase de conception et de simulation du masque des éléments passifs, la simulation 2.5D s'est avérée environ 10 fois plus rapide que la simulation 3D avec une assez bonne précision associée.

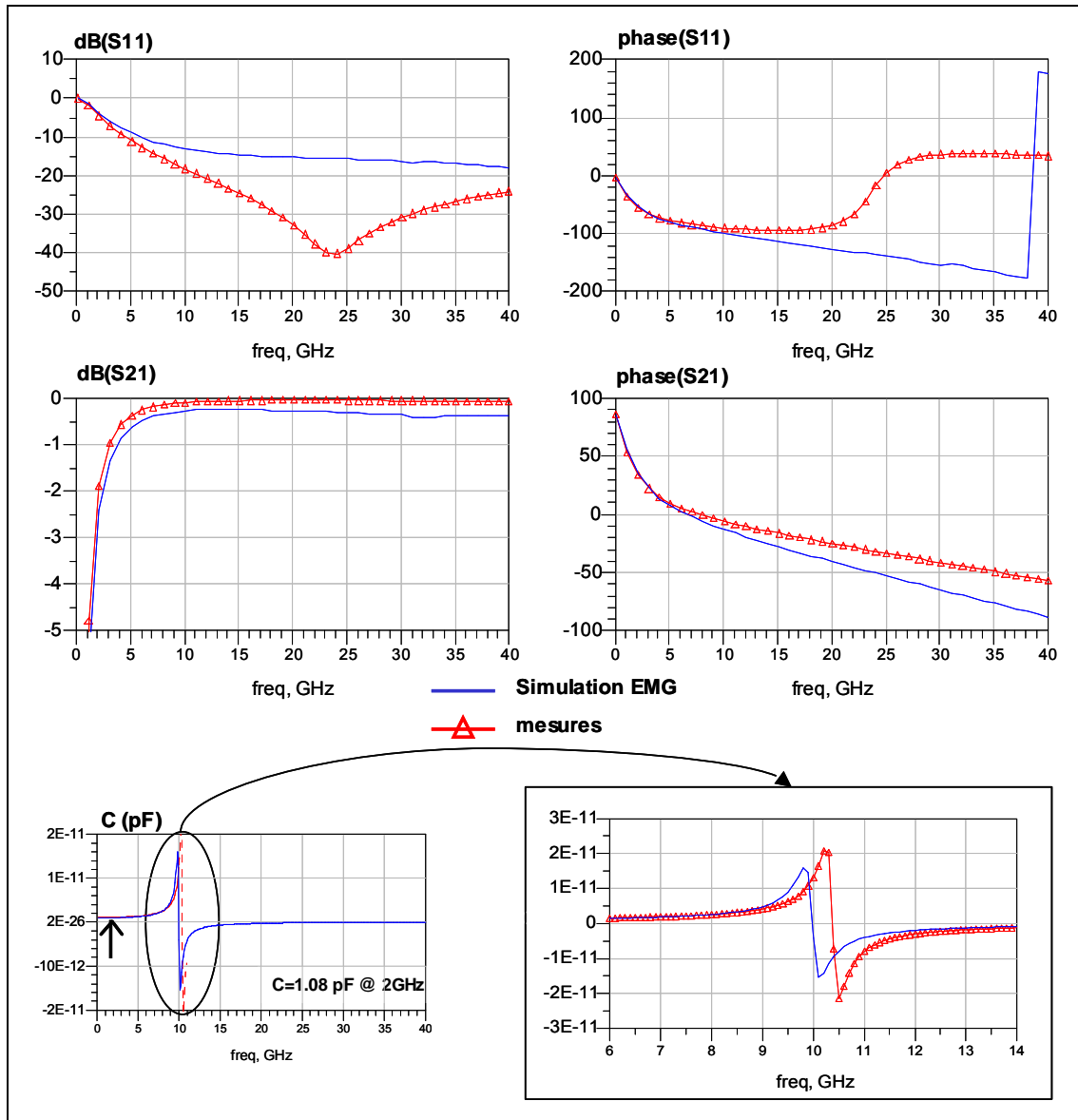


Figure 2-8 : Comparaison des paramètres S mesurés et simulés électromagnétiquement pour une capacité de 1pF et de la capacité équivalente C sur la bande de fréquences 0.5-40GHz.

I.5. Modélisation électrique

I.5.1. Schémas équivalents utilisés

Les modèles électriques équivalents des éléments passifs GaN sont présentés dans les paragraphes ci-dessous avec leur schéma d'implantation comportant les dimensions caractéristiques ainsi que leurs principales propriétés. À titre illustratif, une comparaison des paramètres [S] issus des mesures et du modèle pour chaque type de composant sera représentée après chaque description de modèles afin d'illustrer ces derniers. Le paragraphe I-5-3 présentera pour sa part des comparaisons de paramètres [S] des composants.

I.5.1.1. Inductance spirale :

Le layout d'une inductance spirale ainsi que les dimensions caractéristiques de celle-ci sont données sur la Figure 2-9 ci-dessous :

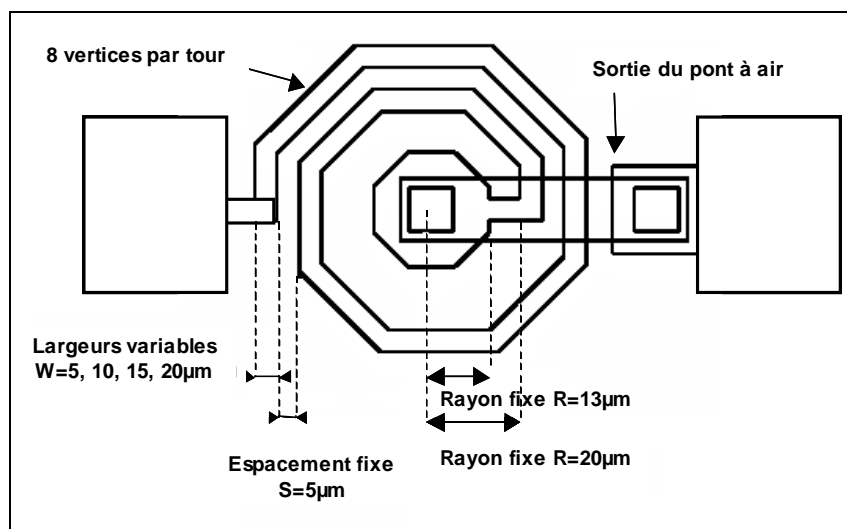


Figure 2-9 : Schéma d'une inductance spirale comportant ses dimensions caractéristiques.

Les principales propriétés de ce composant sont les suivantes :

- l'inductance est composée de 8 sommets par tour où N représente le nombre de tour.
- l'accès de sortie interne à la self inductance est réalisé par un pont à air.

Les équations des éléments du modèle (Figure 2-10) sont des fonctions de W , S , N , DR et DL où DR et DL permettent de faire varier respectivement les paramètres technologiques de résistivité et d'inductance. Le courant DC maximum est de $11\text{mA}/\mu\text{m}$.

Les unités des éléments internes au modèle sont : L et Lb qui sont exprimés en nH ; W, S, long (longueur totale de la spirale) et length (longueur du pont de sortie) qui sont donnés en μm ; la valeur des composants parasites (C_i , C_o , C_p , C_b) en fF ; R_s en Ohms, et F en GHz. Ainsi, (Lb et C_b) modélisent l'effet du pont à air, R_s modélise les pertes métalliques de l'inductance ($RC=10\text{m}\Omega/\square$), L modélise l'inductance spirale et (C_p , C_i , C_o) modélisent les effets de couplage.

Le circuit électrique équivalent est donné sur la Figure 2-10 ci dessous :

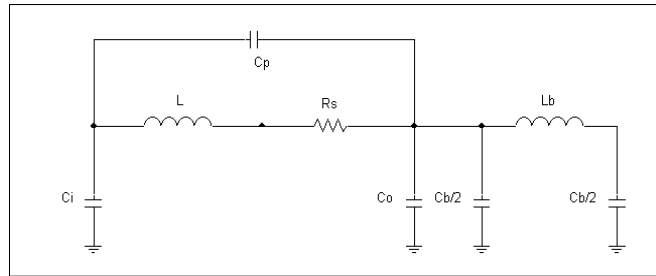


Figure 2-10 : Circuit électrique équivalent d'une inductance spirale.

Les paramètres d'entrée externe du modèle électrique sont le nombre de tours (N) ainsi que la largeur de piste (W) et les paramètres DL et DR permettant de prendre en compte les variations statistiques du process sur la résistivité et l'inductance équivalente : DL et DR sont initialisés à un par défaut.

La figure ci-dessous présente une comparaison modèle/mesure des paramètres S_{11} et S_{21} pour une inductance microruban sur SiC (N=2T5, W=10 μm , 0.65nH).

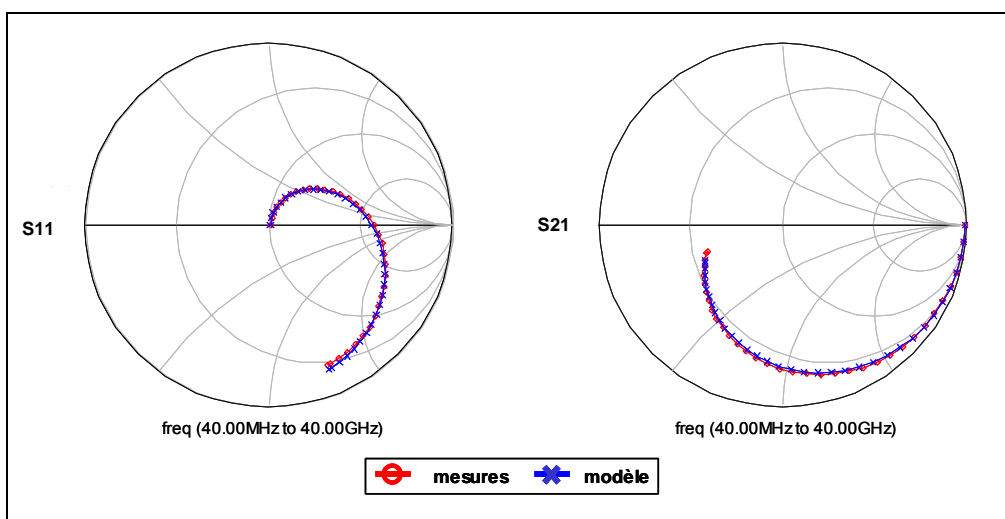


Figure 2-11 : Comparaison mesures/modèles des paramètres S pour une inductance microruban sur substrat SiC.

1.5.1.2. Via-Hole :

Deux modèles de via-holes ont été extraits : un premier ne comportant qu'un port d'accès et un second comportant deux ports d'accès. Les schémas électriques sont représentés sur la Figure 2-12 ci-dessous :

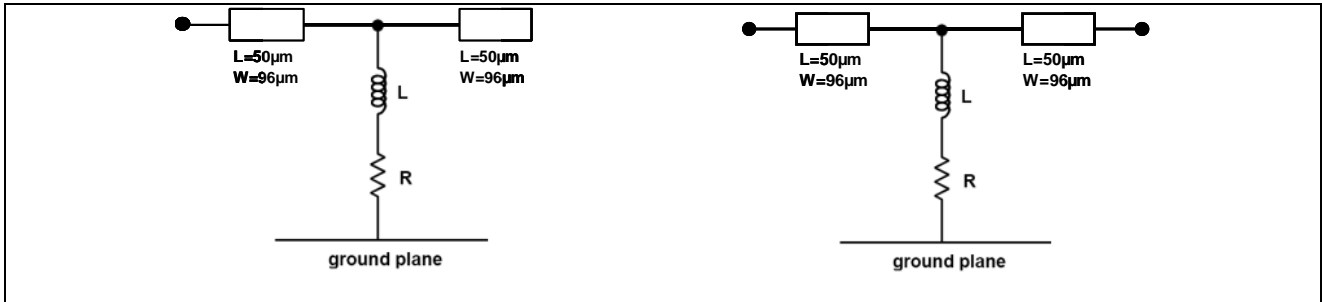


Figure 2-12 : Circuit électrique équivalent d'un via-hole un port (gauche) et deux ports (droite).

Le modèle électrique équivalent consiste en la mise en série d'une résistance avec une inductance à la masse. Des modèles de lignes ont été rajoutés sur la face supérieure des via-holes afin de traduire l'effet de la métallisation supérieure.

Afin d'illustrer le modèle, la Figure 2-13 représente la comparaison modèle/mesure du paramètre S_{11} pour un via-hole un port jusqu'à 40GHz.

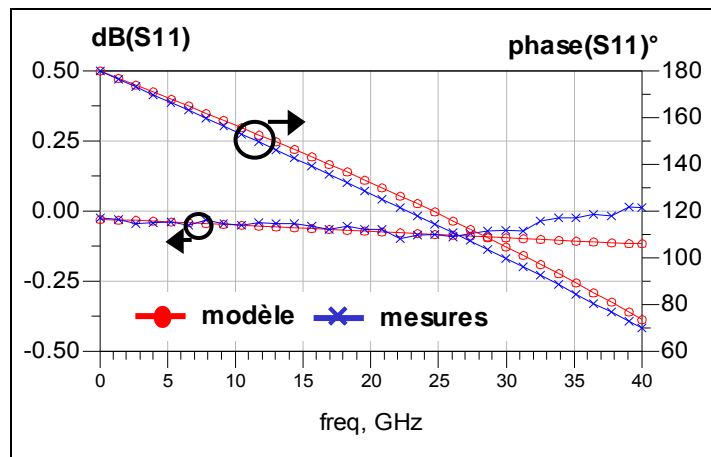


Figure 2-13 : Comparaison mesures/modèle sur le paramètre S_{11} pour un via-hole un port.

1.5.1.3. Capacité MIM série

Les paramètres géométriques d'une capacité MIM sont donnés via la Figure 2-14 ci-contre :

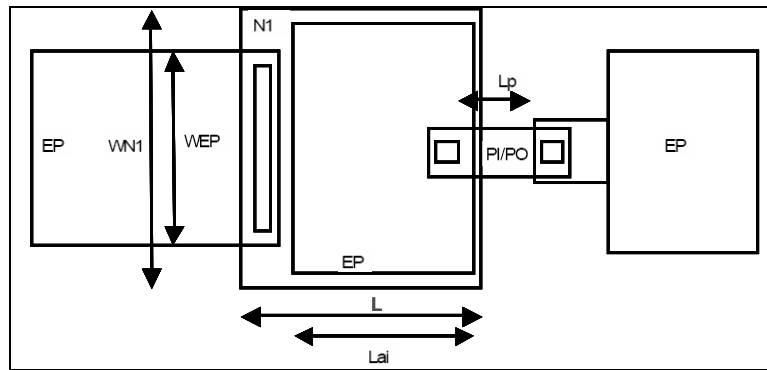


Figure 2-14 : Schéma d'une capacité MIM avec ses dimensions caractéristiques.

avec :

- les dimensions de l'électrode supérieure : L , WEP
- les dimensions de l'électrode inférieure : Lai , $WN1$
- la longueur du pont à air : Lp

Les équations qui correspondent aux éléments du modèle (Figure 2-15) sont des fonctions de L , W , Lai , $WN1$ et Lp .

Le circuit électrique équivalent des capacités MIM comporte 3 sous circuits différents :

- Le circuit d'entrée (Li , Ci) est décrit par une structure en π qui prend en compte l'effet distribué le long de l'électrode. Cet effet dépend des dimensions de l'électrode.
- La capacité effective est décrite par la mise en série d'une capacité $Ceff$ et d'une résistance Rs .
- Le circuit de sortie correspond au circuit équivalent d'un pont à air (Lo , Ro , Co).

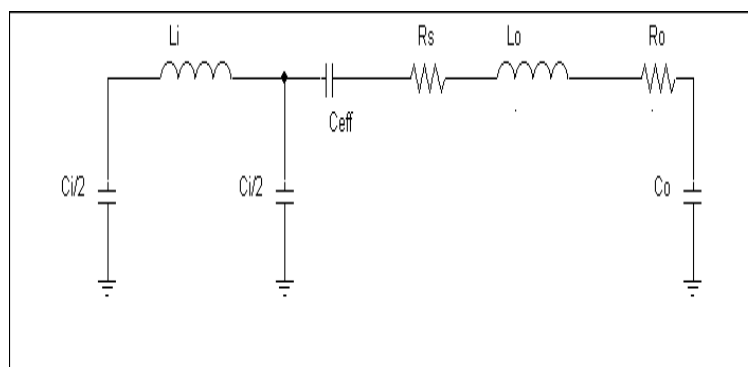


Figure 2-15 : Circuit électrique équivalent d'une capacité MIM.

Les paramètres d'entrée externe du modèle sont la longueur de l'électrode supérieure (L), la largeur de l'électrode (W) ainsi que le paramètre DC permettant d'agir sur la densité de capacité

($DC=250\pm 30\text{pF}/\text{mm}^2$). Un second modèle identique au précédent a été implémenté pour un autre jeu de paramètres de conception : la valeur de la capacité (C) ainsi que le paramètre DC permettant de faire varier la densité de capacité. La tension V_{DCmax} est inférieure à 50V et la tension de claquage minimale est supérieure à 150V.

La Figure 2-16 représente une comparaison des paramètres [S] entre modèle et mesures jusqu'à 40GHz pour une capacité MIM microruban sur substrat SiC ($W=45\mu\text{m}$, 0.5pF).

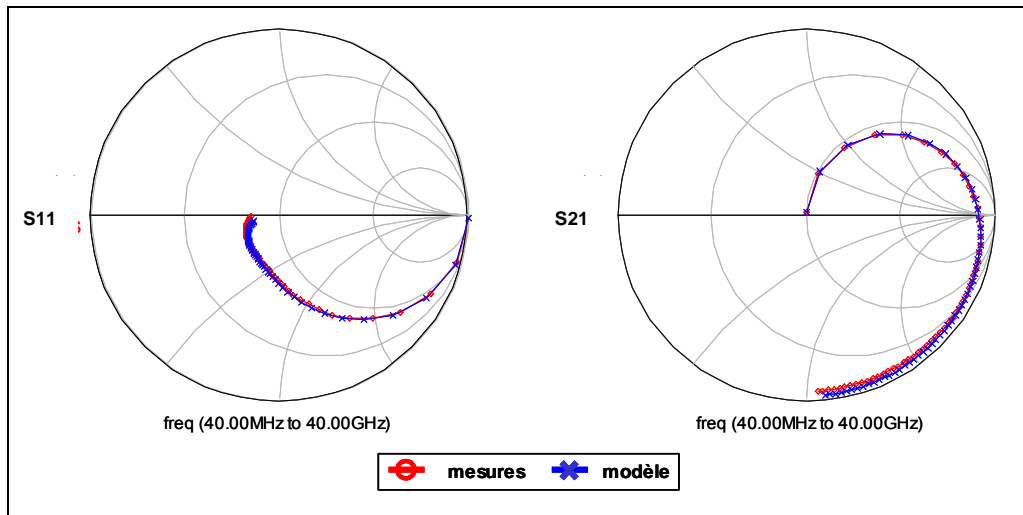


Figure 2-16 : Comparaison mesures/modèles des paramètres S pour une capacité MIM microruban sur substrat SiC.

1.5.1.4. Capacité parallèle :

Des capacités parallèles dites « shunt » ont été implantées sur le masque WOODS selon deux topologies différentes (Figure 2-17) :

- Capacité « shunt » 1pF comportant 1 via-hole latéral.
- Capacité « shunt » 1pF comportant 2 via-holes latéraux.

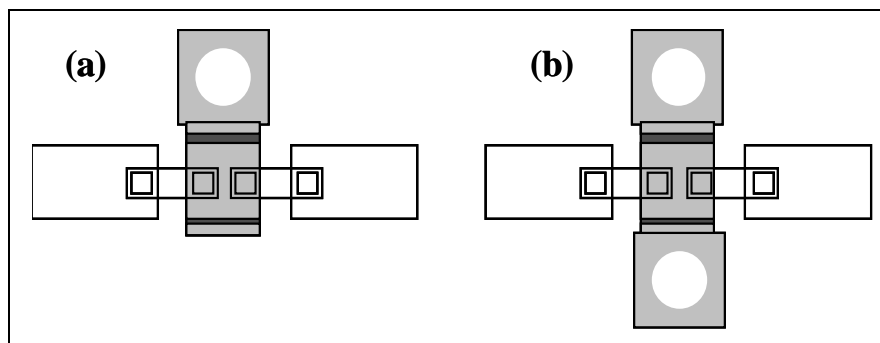


Figure 2-17 : Schéma des capacités shunt 1pF : (a) 1 via-hole latéral, (b) 2 via-holes latéraux.

Les circuits équivalents de ces capacités parallèles sont représentés sur la Figure 2-18. Ils tiennent compte de sous circuits différents :

- le circuit équivalent des deux ponts à air qui se connectent sur l'électrode du dessus (C_o , R_o , L_o).
- la capacité effective est représentée par la mise en série d'une capacité C et d'une résistance R_s .
- les structures en π symétriques qui prennent en compte l'effet distribué le long de l'électrode inférieure.
- les modèles de via-holes 1 port présentés précédemment.

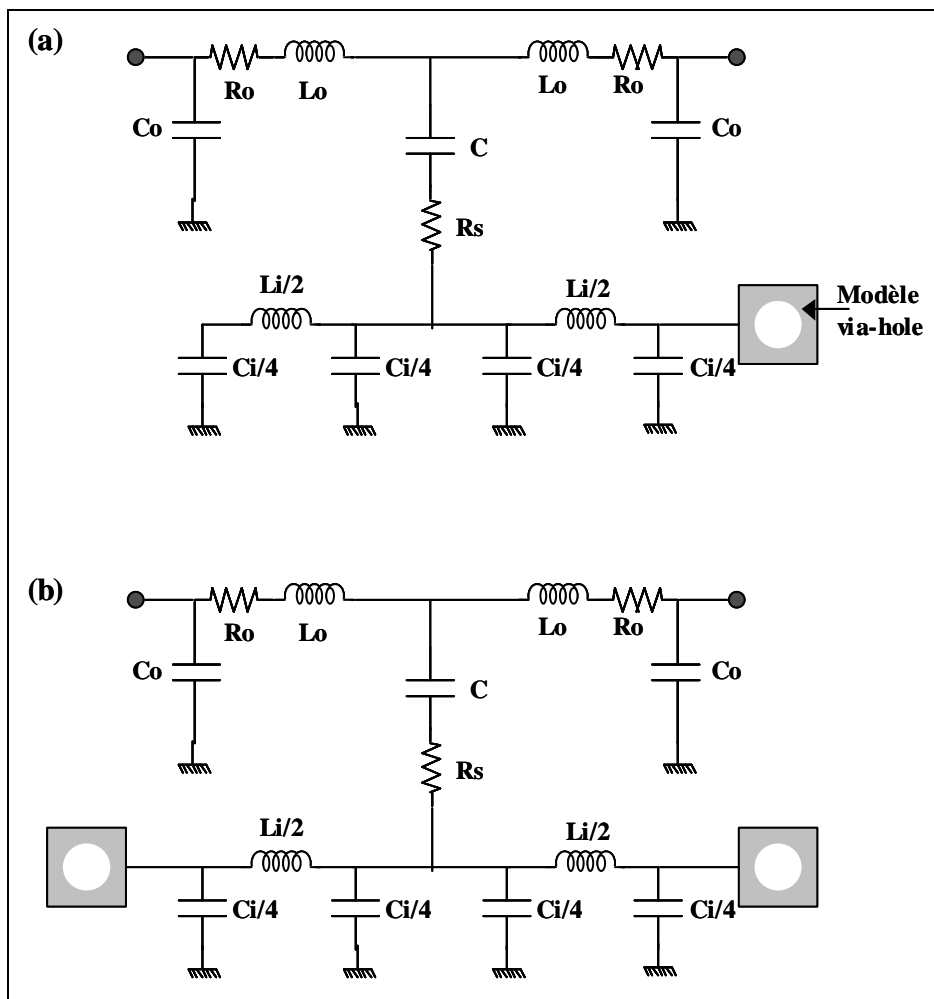


Figure 2-18 : Circuits équivalents des capacités parallèles de 1pF : (a) 1 port latéral, (b) 2 ports latéraux.

La comparaison mesures/modèle des paramètres [S] pour la topologie de capacité shunt à un via-hole latéral est représentée jusqu'à 40GHz sur la Figure 2-19 ci-dessous :

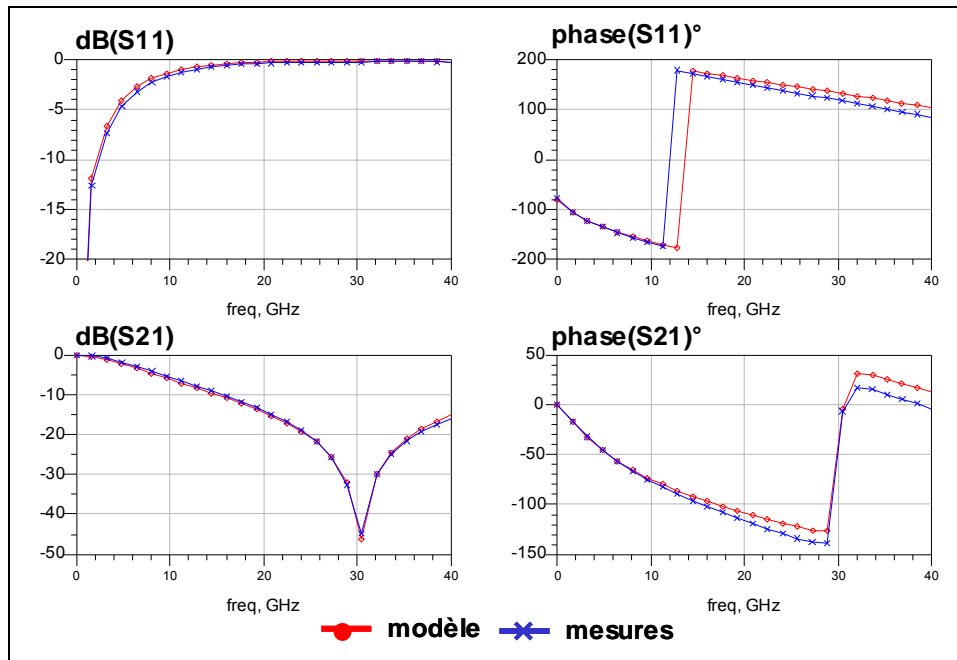


Figure 2-19 : Comparaison mesures/modèle des paramètres S d'une capacité parallèle 1pF comportant un via-hole latéral.

1.5.1.5. Résistance métallique

Les paramètres géométriques d'une résistance métallique sont donnés sur la Figure 2-20 ci-dessous :

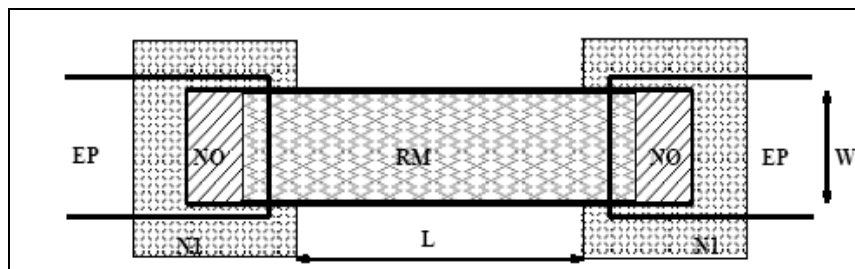


Figure 2-20 : Schéma d'une résistance avec ces dimensions caractéristiques.

avec :

- la longueur L de la couche résistive
- la largeur W de la couche résistive

Le circuit équivalent d'une résistance film mince NiCr est représenté sur la Figure 2-21 ci-contre :

Les éléments (L, Ci) permettent de prendre en compte l'effet de propagation pour les résistances à fort ratio L/W. La valeur de la résistance carrée à 300K est de $30 \pm 4 \Omega/\square$. Le courant DC maximum par unité de largeur est inférieur à $0.45 \text{ mA}/\mu\text{m}$.

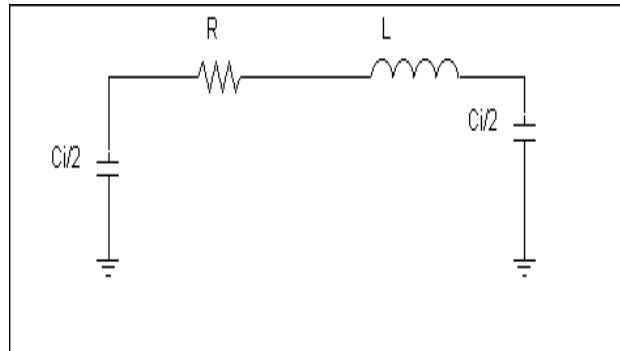


Figure 2-21 : Circuit électrique équivalent d'une résistance.

Les paramètres d'entrée sont la longueur et la largeur du matériau résistif ainsi que le paramètre DR permettant de faire varier la résistance carrée (la valeur est initialisée à un par défaut). Comme précédemment, un autre modèle identique a été implémenté utilisant comme paramètres d'entrée la valeur de la résistance, la largeur du matériau résistif ainsi que le paramètre DR.

Une comparaison des paramètres [S] issus des mesures et du modèle d'une résistance métallique de 300Ω , de largeur $20 \mu\text{m}$ en technologie microruban sur substrat SiC est donnée sur la Figure 2-22 ci-dessous :

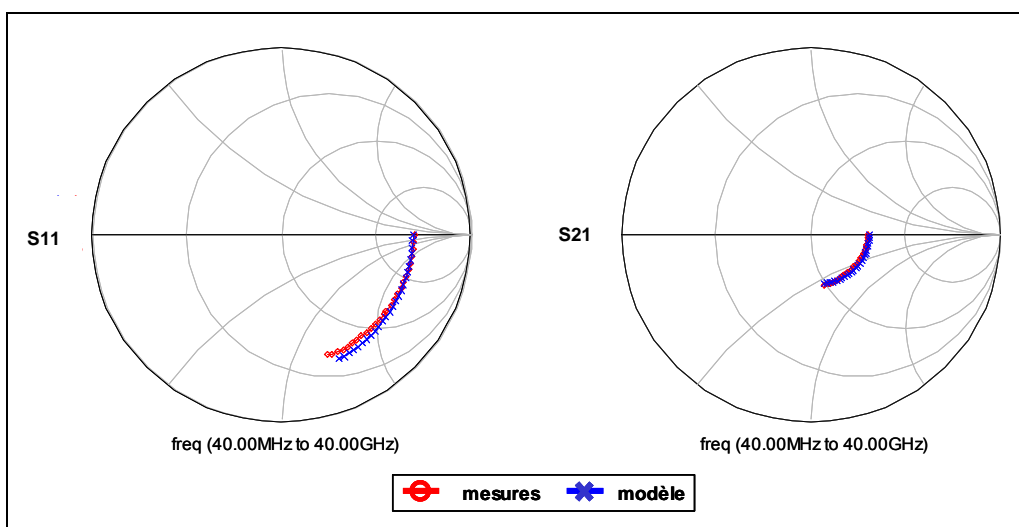


Figure 2-22 : Comparaison mesures/modèle des paramètres [S] pour une résistance métallique de 300Ω , $W=20 \mu\text{m}$.

1.5.1.6. Lignes

Différentes lignes en technologie microruban et coplanaire ont été réalisées sur les deux substrats Si et SiC. Les caractéristiques des lignes modélisées sont les suivantes :

L'épaisseur du substrat H est de 380µm (coplanaire) et aminci à 100µm pour la technologie microruban (Figure 2-23). La constante diélectrique relative ϵ_r est de 10.05, la conductivité de $3,7 \cdot 10^7$, l'épaisseur du conducteur de 1.8µm, la tangente diélectrique $\tan\delta=0.005$ et la rugosité de la surface conductrice de 0.2µm. Les différentes longueurs de ligne réalisées répondent aux dimensions données ci-dessous (Tableau 2-1) pour une largeur fixe de 96µm correspondant à une impédance de 50Ω :

L (µm)	246	456	762	1195	1935
W(µm)	96	96	96	96	96

Tableau 2-1 : Dimensions des différentes lignes du masque WOODS.

Le courant DC maximum est de 11mA/µm et la résistance métallique de la ligne pour T=1.8µm est de 15±2mΩ/□.

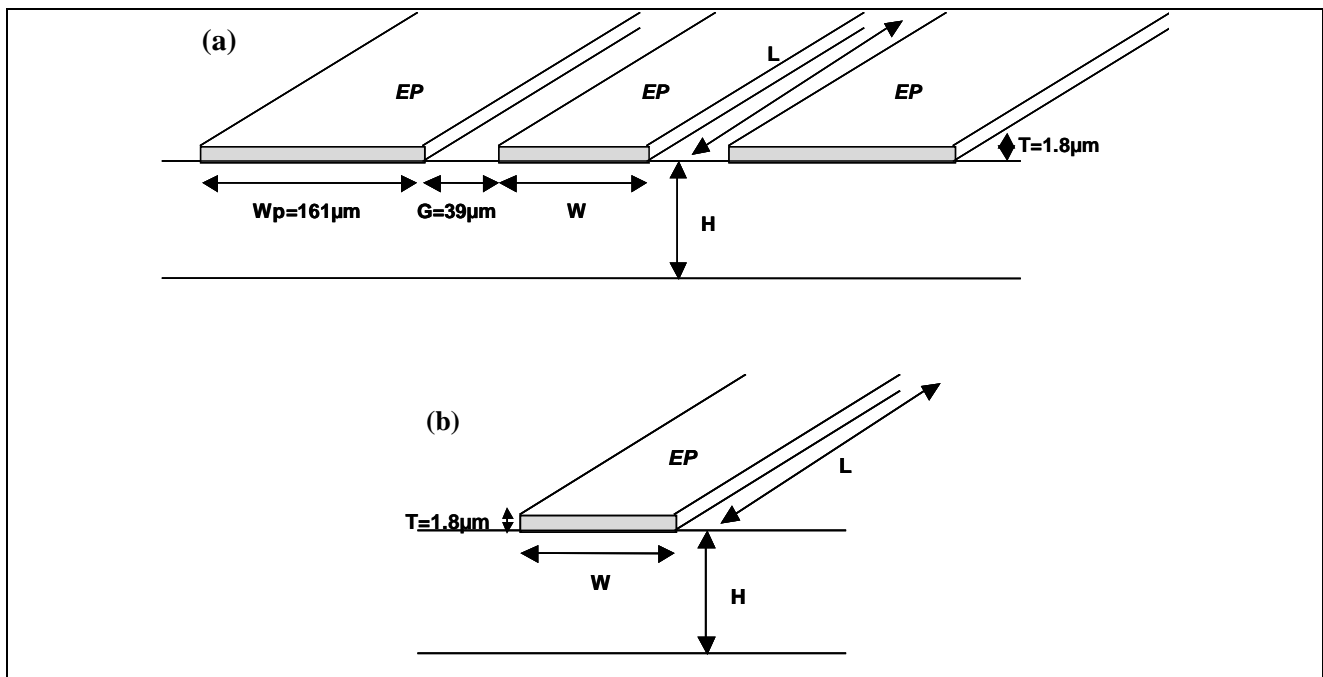


Figure 2-23 : Schéma représentant les lignes coplanaires (a) et microruban (b) avec les principales dimensions.

1.5.2. Optimisation des modèles électriques équivalents paramétrés

Des mesures automatiques de paramètres S des plaques WOODS ont donc été réalisées dans la bande 40MHz-65GHz par Alcatel-Thalès III-V Lab. Un très bon rendement (97%) a pu être

constaté sur les 4 plaques mesurées. Deux plaques ont été réalisées en silicium et deux autres en carbure de silicium. Pour le carbure de silicium, les deux substrats proviennent de CREE pour deux épitaxies différentes : l'une de Picogiga (L0653) et l'autre de III-V Lab (AEC 1268). À partir de cette base de mesures, les modèles électriques paramétrés de chaque composant passif ont été optimisés afin de développer la première version sous ADS de la bibliothèque des éléments passifs microruban et coplanaire pour la CAO des circuits MMICs GaN sur substrat SiC (et Si).

Les coefficients de « scaling » des équations paramétrées de chaque modèle ont été optimisés afin de reproduire la mesure des plaques intégrant les 19 motifs de self (0.2 à 12nH), les 5 motifs de capacité (0.5 à 10pF) ainsi que les 5 motifs de résistance (150 et 300 Ω) par réticule. Les modèles résultant des mesures d'une plaque ont été vérifiés et comparés avec les mesures effectuées sur la seconde plaque.

L'opération de deembedding n'ayant pas été effectuée lors des mesures des paramètres S sous pointes, la difficulté était de modéliser correctement les lignes et les constantes inhérentes au substrat tout en gardant une cohérence afin de pouvoir retrancher l'effet de celles-ci sur les mesures des composants. Les lignes d'accès ont donc été décrites par le modèle électrique microruban ou coplanaire d'ADS avec le substrat associé et les plots d'accès des pointes de mesures par une longueur de ligne supplémentaire et une capacité reliée à la masse d'une valeur de 15fF (on considère la pointe posée au milieu du plot).

I.5.3. Comparaison des paramètres [S] résultant des mesures et des modèles électriques équivalents

Dans ce paragraphe, des comparaisons de paramètres S entre les mesures et les modèles correspondants sont représentées. Les diagrammes de Smith (Figure 2-24) présentent une comparaison des paramètres S_{11} et S_{21} pour une inductance coplanaire sur SiC ($N=3.5$, $W=5\mu\text{m}$, 1.2nH) (a) ainsi que pour une capacité MIM microruban sur substrat SiC ($W=63\mu\text{m}$, 1pF) (b).

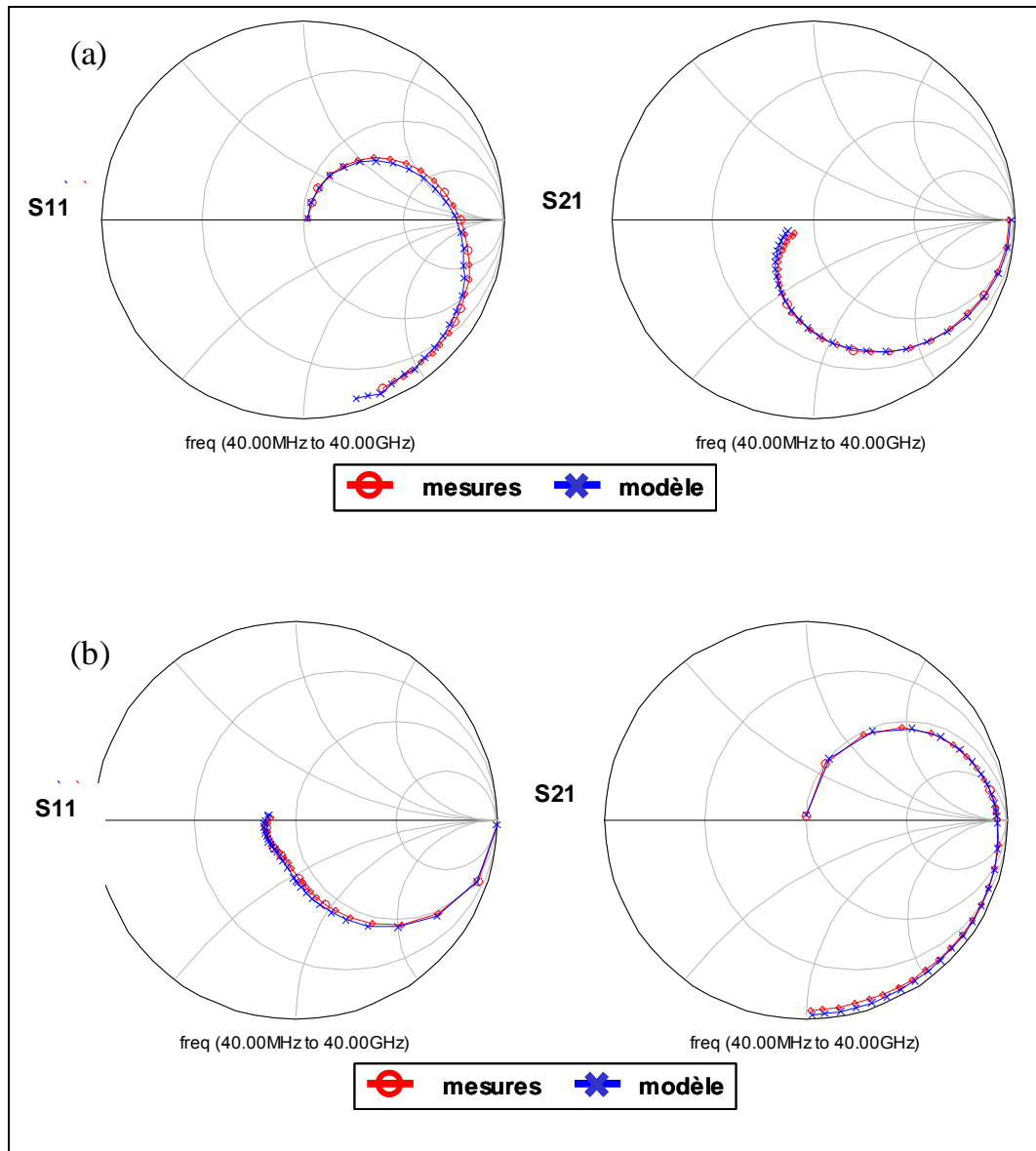


Figure 2-24 : Comparaison mesures/modèles des paramètres S pour une inductance coplanaire (a) et pour une capacité MIM microruban (b) sur substrat SiC.

Une très bonne concordance « modèle/mesure » a pu être obtenue pour chaque élément passif (capacité/résistance/self) jusqu'à 40GHz à l'exception des deux plus fortes valeurs d'inductance (4.5nH et 12 nH) ayant un nombre de tours élevé ($N=6T5$ et $N=9T5$) comme le montre la Figure 2-25, la validité étant jusqu'à 25GHz pour l'inductance avec $N=6T5$ et jusqu'à 15GHz pour celle avec $N=9T5$.

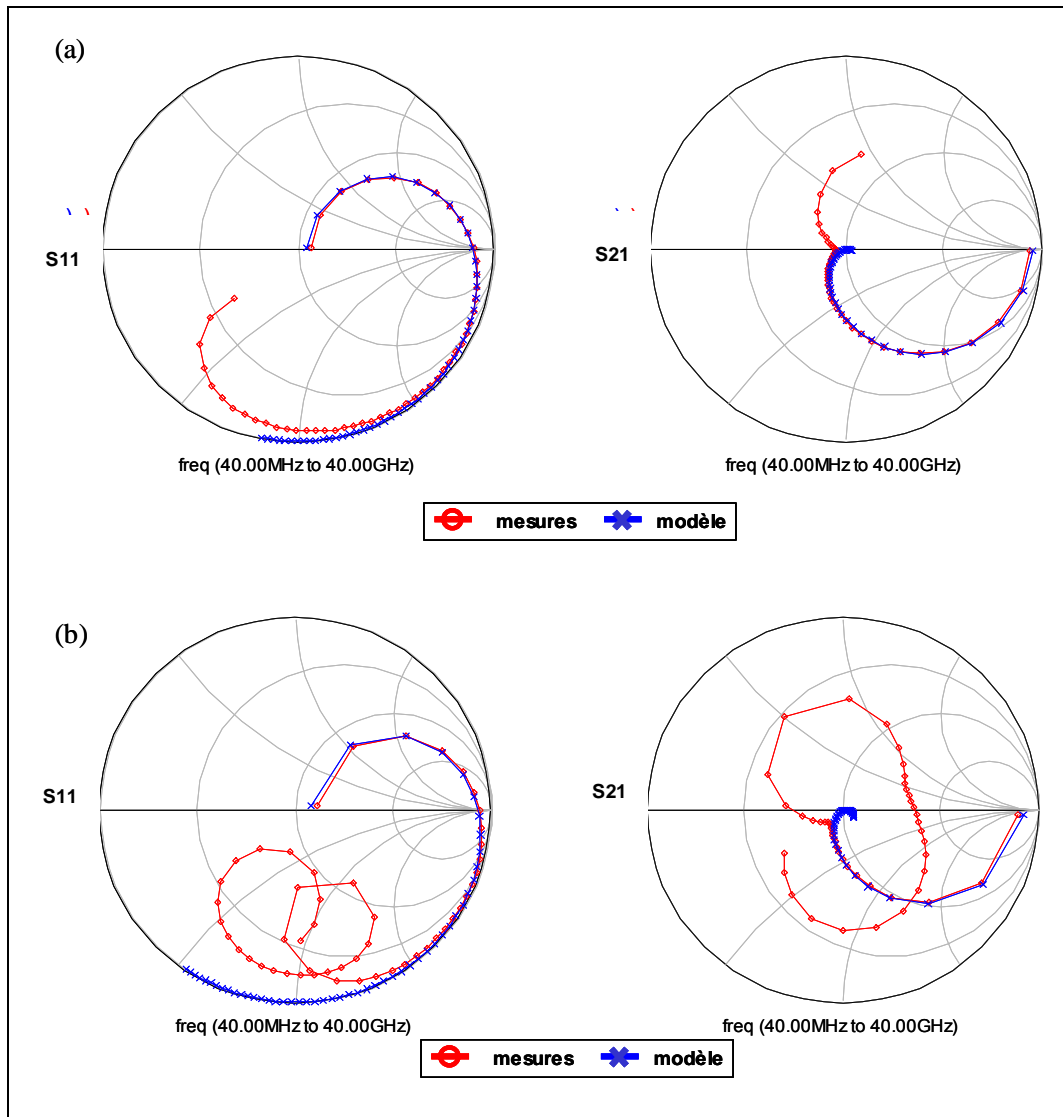


Figure 2-25 : Comparaison mesures/modèle des paramètres S pour une inductance microstrip $W=5\mu\text{m}$ sur substrat SiC (a) $N=6T5$ (b) $N=9T5$.

Les figures ci-dessous représentent la comparaison mesure/modèle pour un via-hole un port et pour un via-hole deux ports (Figure 2-26). Une bonne concordance entre les résultats issus de simulations et les mesures valide le modèle électrique proposé jusqu'à 40GHz.

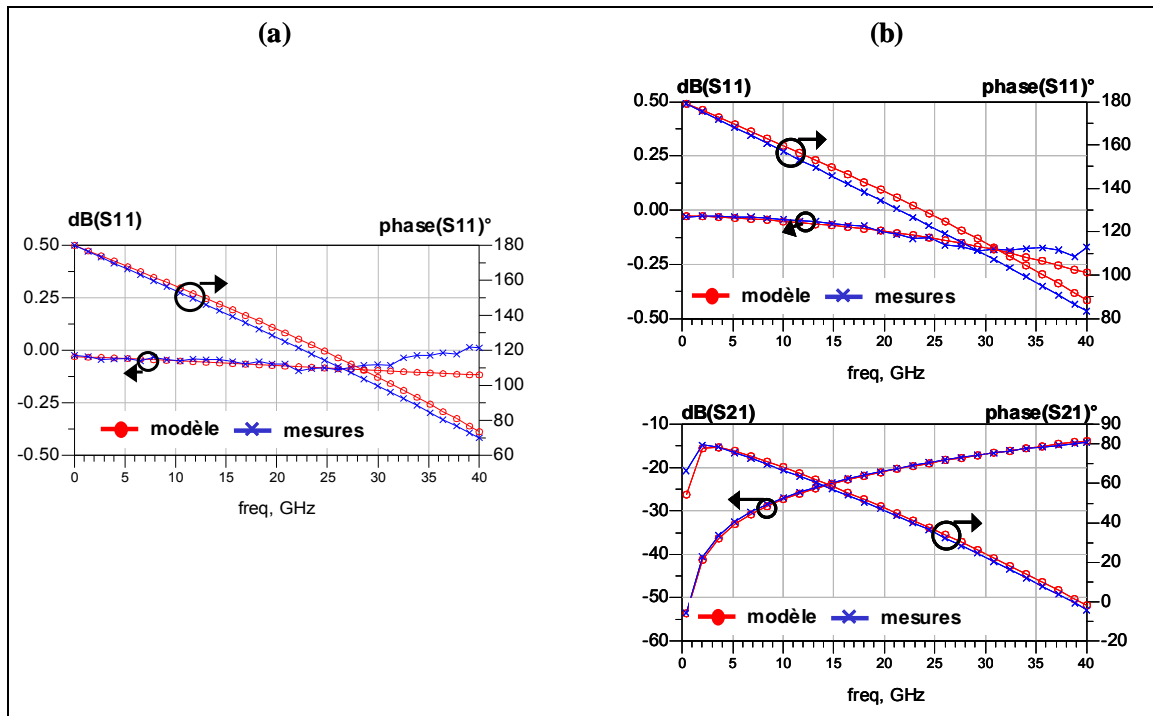


Figure 2-26 : Comparaison mesures/modèle des paramètres S pour un via-hole un port (a) et deux ports (b).

La Figure 2-27 montre la comparaison mesure/modèle pour les deux topologies de capacités shunt (1via-hole latéral (a) et 2 via-holes latéraux (b)). On peut constater une bonne adéquation entre les mesures et les modèles électriques proposés sur la bande 0.4-40 GHz.

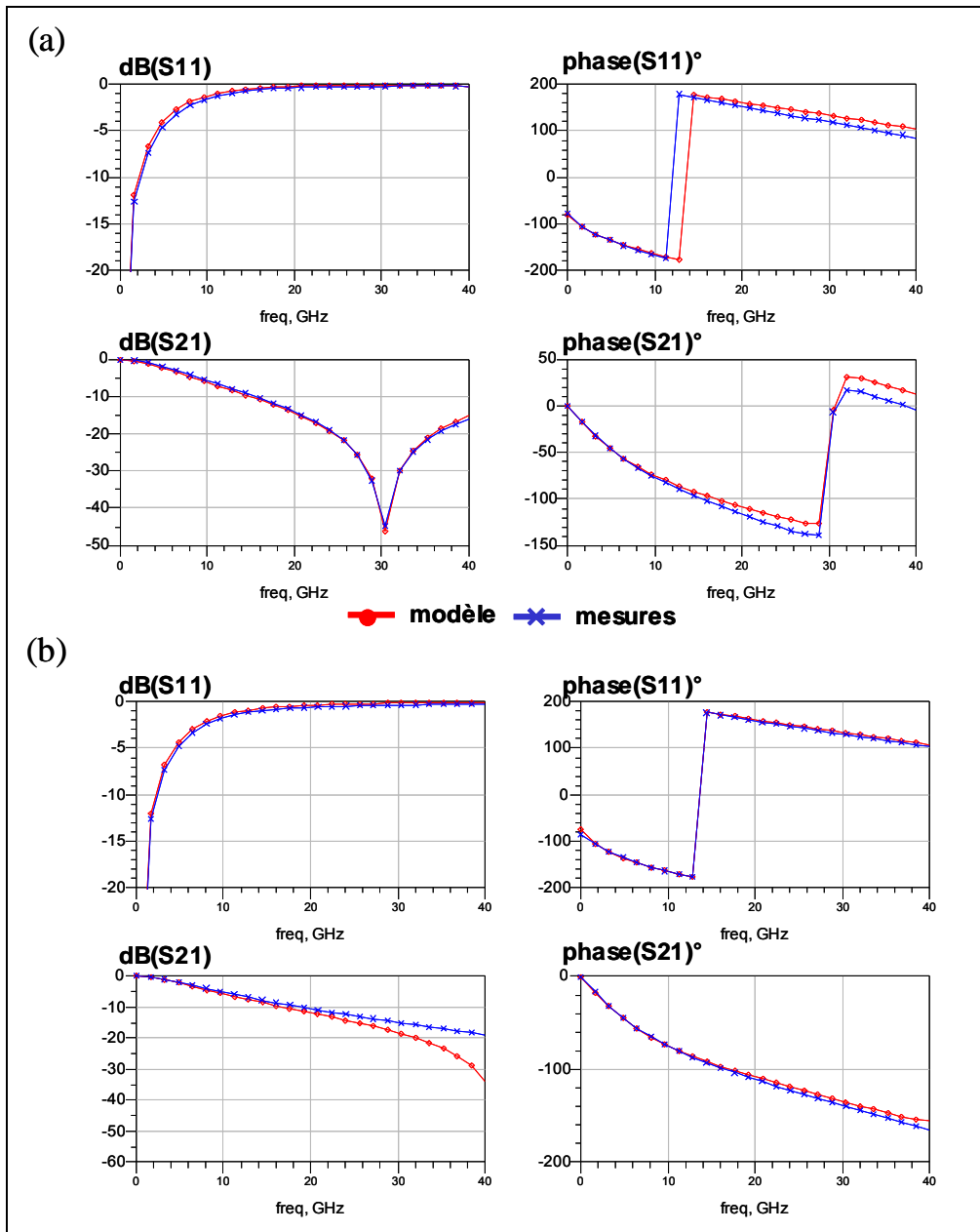


Figure 2-27 : Comparaison mesures/modèle des paramètres S d'une capacité parallèle 1pF pour un via-hole latéral (a) et deux via-holes latéraux (b).

Cette première version validée du « design guide » est destinée à la CAO des premiers MMIC GaN de puissance du programme Korrigan dont la fréquence maximale est inférieure à 18GHz.

Comme nous l'avons précisé précédemment, deux types de substrat ont été réalisés et analysés lors de cette étude. Le carbure de silicium (SiC) est assez onéreux mais sa conductivité thermique ($490\text{W}\cdot\text{m}^{-1}\cdot\text{K}^{-1}$ @300K) est 4 fois supérieure à celle du silicium ($130\text{W}\cdot\text{m}^{-1}\cdot\text{K}^{-1}$ @300K). Cette propriété de substrat à forte conductivité thermique est essentielle à l'amélioration du bilan thermique des HEMTs AlGaIn/GaN dans les applications de très forte puissance auxquelles

ils sont destinés. Néanmoins, pour la modélisation électrique des éléments passifs, les mesures de paramètres [S] ne présentent pas de différences significatives entre les deux substrats pour l'ensemble des composants jusqu'à 30GHz. La Figure 2-28 illustre l'influence du substrat (Si ou SiC) sur la mesure de paramètres [S] d'une inductance spirale ($N=3.5$, $W=5\mu\text{m}$) et d'une capacité MIM ($W=45\mu\text{m}$, $C=0.5\text{pF}$) pour une même technologie planaire (coplanaire).

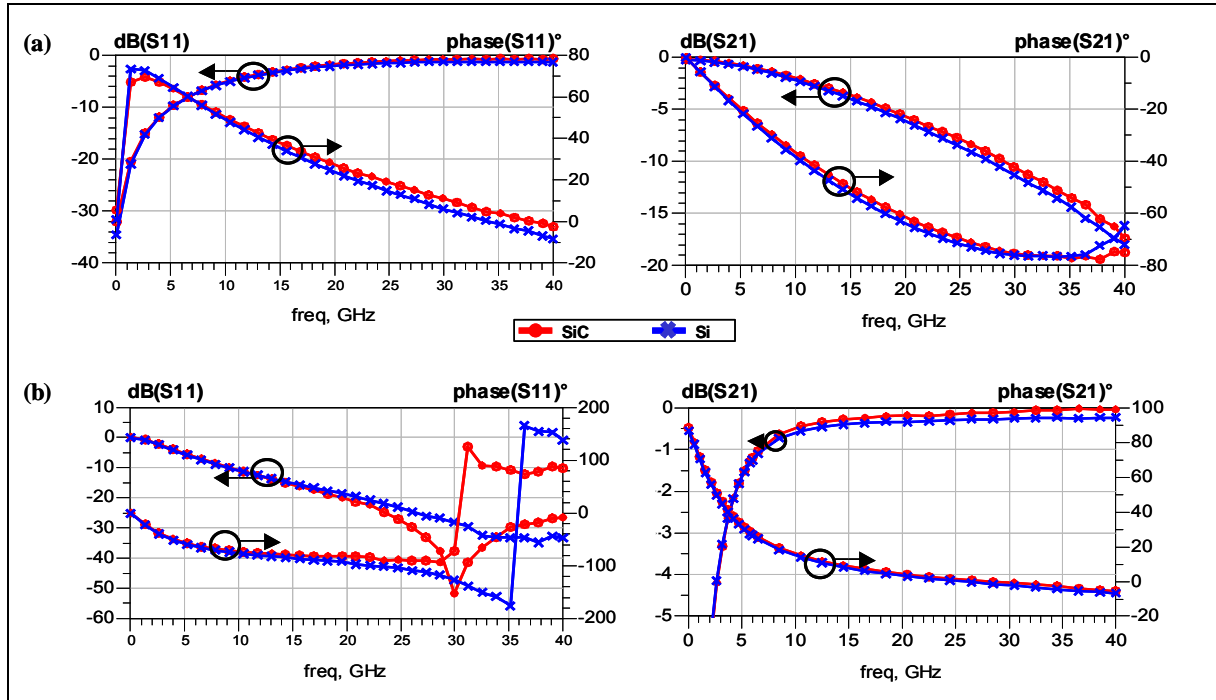


Figure 2-28 : Influence du type de substrat (SiC ou Si) sur les paramètres S mesurés d'une inductance coplanaire (a) et d'une capacité coplanaire (b).

Comme annoncé au préalable, les deux technologies planaires (coplanaire et microruban) ont été développées au cours cette étude. Pour la technologie microruban, les procédés supplémentaires de métallisation face arrière et de gravure des via-holes sont nécessaires ; deux bibliothèques spécifiques de modèles passifs ont donc été développées pour les deux technologies coplanaires et microruban qui permettront de concevoir les circuits MMICs de puissance pour les deux technologies. La Figure 2-29 montrent les différences observées selon la technologie planaire retenue sur les paramètres [S] d'une inductance spirale ($L=1.2\text{nH}$) et d'une capacité MIM ($C=0.5\text{pF}$) pour un même substrat (SiC).

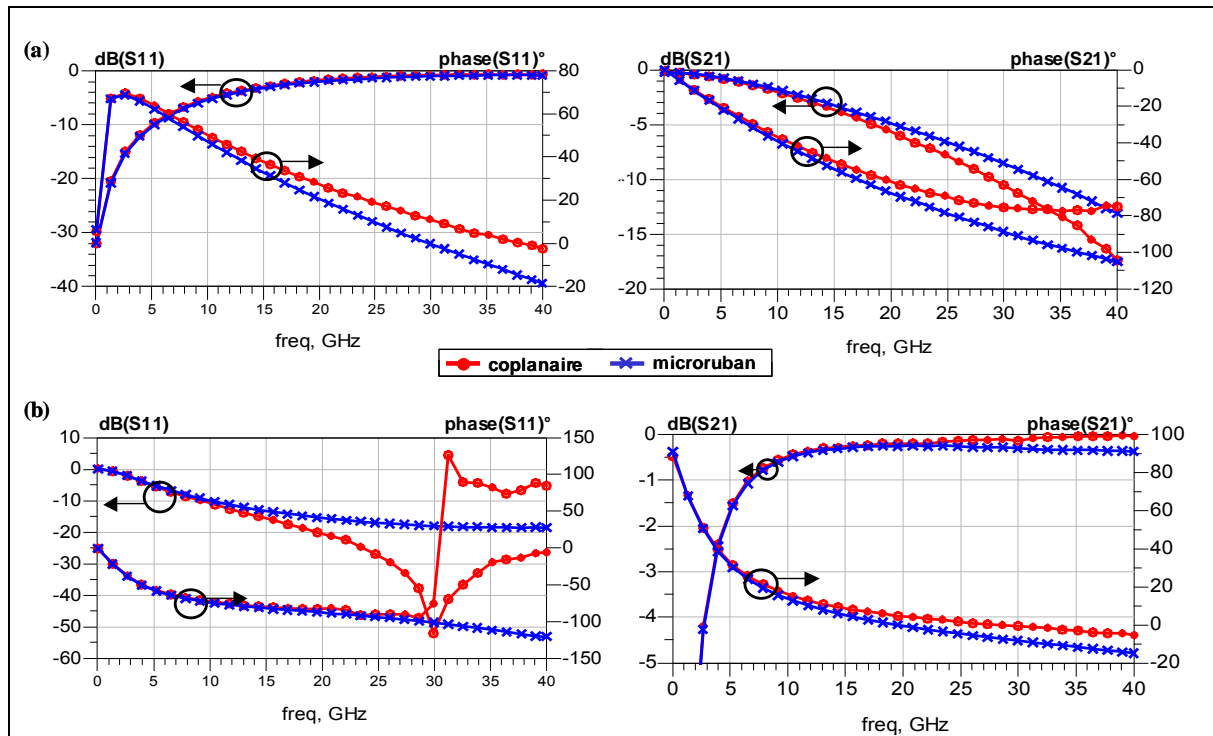


Figure 2-29 : Comparaison des technologies microruban et coplanaire sur substrat SiC des paramètres S mesurés pour une inductance (a) et une capacité MIM (b).

Sur la Figure 2-29, on observe que le paramètre S_{21} de l'inductance spirale démontre une meilleure transmission au-delà de 25GHz pour la structure microruban en comparaison à la version coplanaire. Pour la capacité MIM, la résonance apparaît plus bas en fréquence à 30 GHz en comparaison à la version microruban comme le démontre le paramètre S_{11} .

En conclusion, une filière technologique d'éléments passifs dédiée au développement de la filière MMIC HEMT AlGaIn/GaN a été caractérisée et modélisée pour deux types de substrats (Si et SiC) et deux technologies planaires (coplanaires et microruban). Le guide final de conception a été implémenté dans le logiciel ADS et intègre les modèles électriques paramétrés des inductances spirales, des capacités MIM, des résistances, des ponts à air et des via-holes. Les composants passifs développés constituent aujourd'hui avec les modèles actifs, la base CAO pour la conception des amplificateurs MMIC de puissance par les partenaires du projet européen Korrigan.

II - ÉTUDE ET MODÉLISATION DES TRANSISTORS HEMTs UTILISÉS LORS DE NOS CONCEPTIONS

II.1. Contexte

Les travaux de thèse présentés au cours de ce paragraphe s'inscrivent dans le cadre du projet européen KORRIGAN visant à étudier la filière de composants HEMTs AlGaIn/GaN sur technologie de nitrure de gallium et son application à l'amplification de puissance haute fréquence. Le laboratoire XLIM était chargé de la caractérisation et de la modélisation de différents composants actifs. Par ce fait, un panel de transistors de différentes tailles et topologies sur différents substrats provenant de divers fournisseurs et fondeurs pour la réalisation des composants a été à notre disposition.

En fait, nous présenterons plus particulièrement les résultats obtenus pour le substrat SiC. Les fournisseurs pour le substrat SiC sont Norstel et Cree, les épitaxies étant réalisées par TIGER, QinetiQ et Picogiga pour les composants TIGER. En ce qui concerne la réalisation des composants, plusieurs partenaires sont impliqués : TIGER, SELEX, QinetiQ et Chalmers.

II.2. Caractérisation des composants

Les mesures des transistors ont été réalisées au sein d'XLIM par Olivier JARDEL sur le site de Brive pour les mesures I-V et [S] et par Thibault REVEYRAND sur le site de Limoges pour les mesures load-pull. La caractérisation I-V et paramètres [S] pulsés sous pointes s'effectue sur un banc de mesures développé en interne il y a une quinzaine d'années et qui a donné lieu à de nombreuses thèses et publications [2.7], [2.8], [2.9], [2.10], [2.11], [2.12], [2.13], [2.14]. La bande de fréquence couverte pour les mesures peut s'étendre jusqu'à 40 GHz.

II.2.1. Principe du banc de mesure I[V] et paramètres [S] impulsionnel :

Nous allons présenter brièvement la méthode de mesure des paramètres [S] pulsés. Le principe de fonctionnement du banc consiste à venir superposer sur l'état établi des impulsions, une onde RF de faible signal. À chaque point de mesure des caractéristiques I [V] correspond une mesure de paramètre [S] comme explicité sur la Figure 2-30. Typiquement, pour une impulsion I [V] de 400ns, l'impulsion RF d'une durée de 250ns est centrée dans l'impulsion DC de manière à

ne pas être située dans la zone des « overshoots ». Ces mesures permettent ainsi d’acquérir les paramètres en petit signal autour d’un point de polarisation instantanée (V_{gs_i} , V_{ds_i}) dans l’intégralité de la zone d’utilisation du transistor et ceci pour un état thermique et de piège fixé par le point de repos (V_{gs_0} , V_{ds_0}).

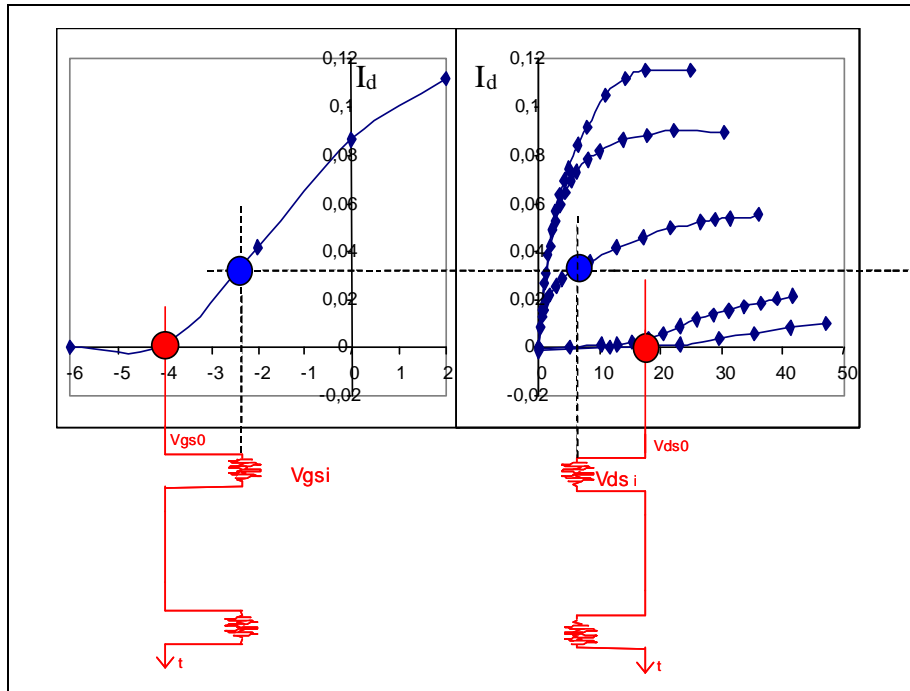


Figure 2-30 : Principe de mesures $I [V]$ et paramètres S en régime impulsionnel.

Pour résumer, afin de satisfaire les critères de mesures énoncés précédemment, la durée et la récurrence des impulsions doivent remplir les spécifications suivantes :

- La durée de l’impulsion doit être suffisamment brève pour que la température n’ait pas le temps de changer quelle que soit la puissance de l’impulsion,
- La durée de l’impulsion doit être suffisamment grande pour garantir un état établi et assurer ainsi une mesure précise et simultanée des tensions et des courants,
- Le temps hors impulsion doit être très grand devant la durée des impulsions pour que l’état thermique soit très majoritairement piloté par le point de polarisation de repos (rapport cyclique toujours inférieur à 10%).

La répartition des points de mesure dans une courbe est basée sur le principe de la dichotomie récursive. L’avantage de cette méthode réside dans la disposition pertinente des points de mesure nécessaires pour la description d’une courbe, ainsi qu’un temps de mesures optimisé.

La Figure 2-31 représente le réseau I [V] de sortie mesuré en impulsion pour le transistor HEMT 8x75 μ m qui sera étudié dans un prochain paragraphe et servira de base à nos conceptions. Ce réseau a été relevé pour un point de polarisation $V_{gs0} = -4.4V$ et $V_{ds0} = 23V$, c'est-à-dire pour un fonctionnement en classe AB (250mA/mm).

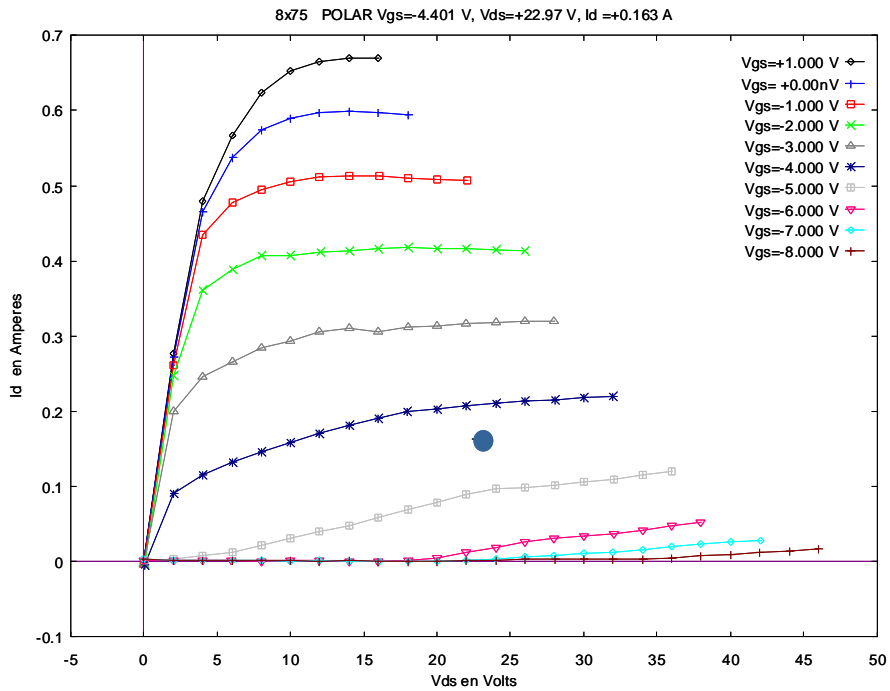


Figure 2-31 : Réseau I [V] de sortie pour $V_{gs0} = -4.4V$ et $V_{ds0} = 23V$.

II.2.2.Principe des mesures en température

Afin de connaître la température exacte de fonctionnement du transistor, une polarisation dite « froide » (transistor pincé ou tension de drain nulle) ne générant pas de puissance dissipée est utilisée. Ainsi la température de jonction du transistor est uniquement contrôlée par le chuck thermique de la table sous pointe. Les mesures étant effectuées en impulsions, une caractérisation I [V] et paramètres [S] quasi-isotherme est réalisée. Il est ainsi possible de mesurer l'évolution des réseaux I [V] et des paramètres [S] pour différentes températures de jonction qui correspondent à la température du chuck thermique.

II.2.3.Mise en évidence des phénomènes thermiques du transistor HEMT GaN 8x75 μ m AEC1148

L'évolution des réseaux I [V] en fonction de la température est présentée dans ce paragraphe. Le transistor HEMTs 8x75 μ m utilisé lors de la conception a été caractérisé en

impulsions pour 7 températures de chuck différentes : 0°C, 25°C, 50°C, 75°C, 100°C, 125°C, 150°C et cela pour plusieurs points de repos :

- Trois points de repos, correspondant à des points de polarisation dits froids, ($V_{ds0}=0V$; $V_{gs0}=0V$), ($V_{ds0}=0V$; $V_{gs0}=-7V=V_p$), ($V_{ds0}=20V$; $V_{gs0}=-7V$) ont été choisis dans le but d'observer les phénomènes de pièges.
- Un point de repos ($V_{ds0}=23V$; $V_{gs0}=-4.4V$), correspondant à la polarisation nominale de l'amplificateur. Il permet d'obtenir un réseau $I [V]$ intégrant, pour ce point de polarisation, l'ensemble des phénomènes de pièges.

La Figure 2-32 présente la comparaison des mesures du réseau $I_{ds}=f(V_{ds})$ à la polarisation de repos ($V_{ds0}=0V$; $V_{gs0}=0V$) pour 4 températures de 0°C à 150°C.

La Figure 2-33 montre la comparaison des mesures du réseaux $I_{ds}=f(V_{gs})$ à V_{ds} constant (12V) et à la polarisation de repos ($V_{ds0}=0V$, $V_{gs0}=0V$) pour 4 températures de 0°C à 150°C.

Le transistor a été aussi mesuré en continu afin d'observer le phénomène d'auto-échauffement (Figure 2-34).

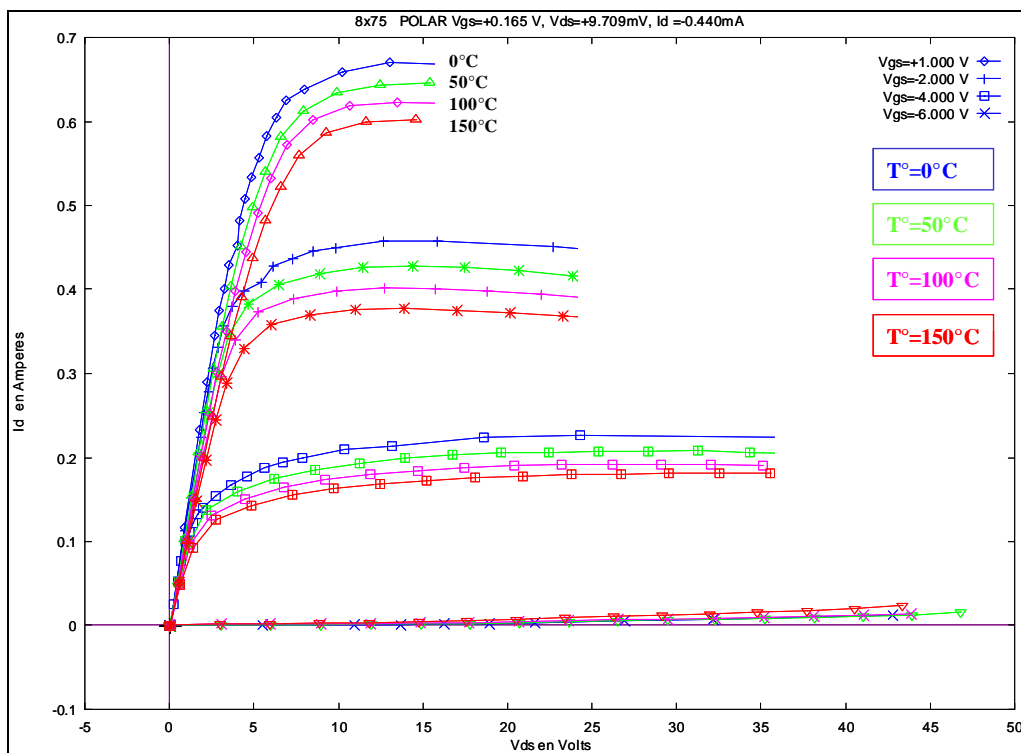


Figure 2-32 : Comparaison de réseaux $I [V]$ pour des températures de 0°C à 150 °C au point de repos ($V_{ds0}=0V$, $V_{gs0}=0V$).

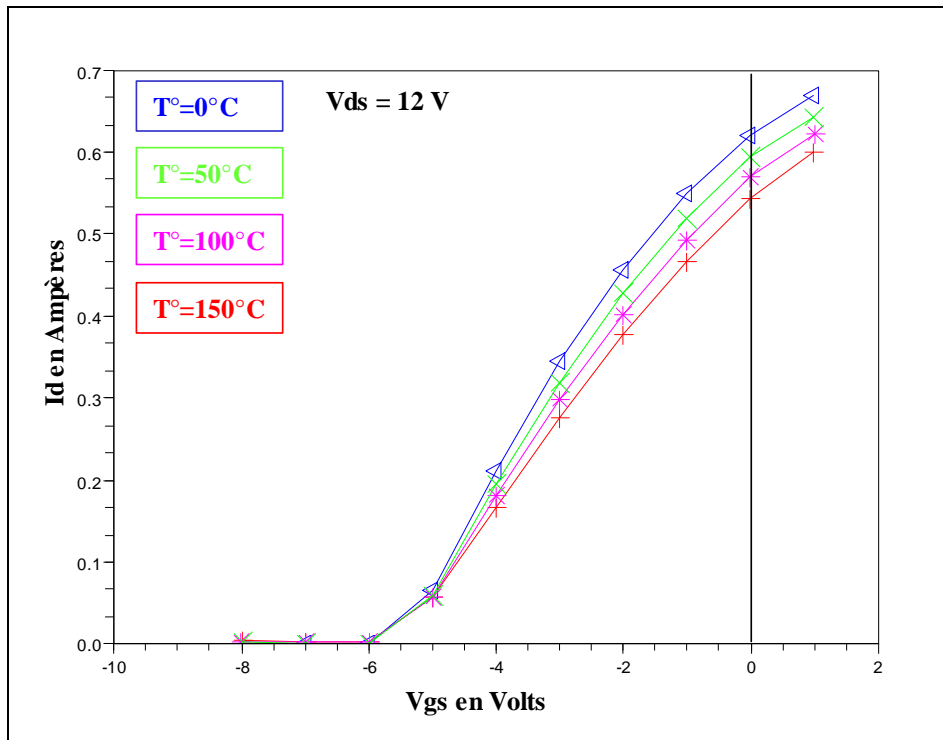


Figure 2-33 : Comparaison $I_{ds}=f(V_{gs})$ pour $V_{ds}=12\text{V}$ pour différentes températures.

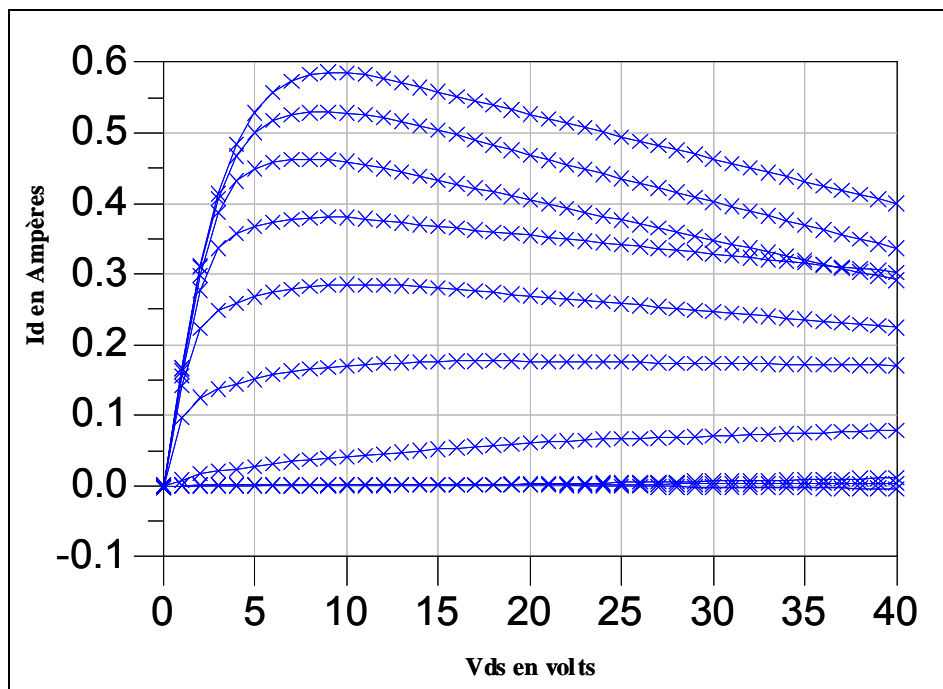


Figure 2-34 : Réseau $I [V]$ mesuré en continu.

II.2.4. Mise en évidence des phénomènes de pièges :

La méthode de mesure en régime pulsé permet de mettre en évidence les phénomènes de pièges. En effet, c'est le point de polarisation de repos qui fixe l'état thermique et l'état des pièges

pour toute la mesure des caractéristiques I [V]. En conséquence, si l'on mesure des caractéristiques I [V] à différents points de repos en conservant une puissance dissipée nulle pour éviter l'échauffement du composant, la dispersion entre les mesures reflètera les effets de pièges.

II.2.4.1. Mise en évidence des « pièges de grille » :

Le principe de cette mesure consiste à faire varier la polarisation V_{gs0} en maintenant la valeur $V_{ds0}=0V$ c'est-à-dire à puissance dissipée identiquement nulle. Deux réseaux mesurés en impulsion ayant pour polarisation froide ($V_{gs0}=-7V, V_{ds0}=0V$) et ($V_{gs0}=0V, V_{ds0}=0V$) sont représentés en Figure 2-35.

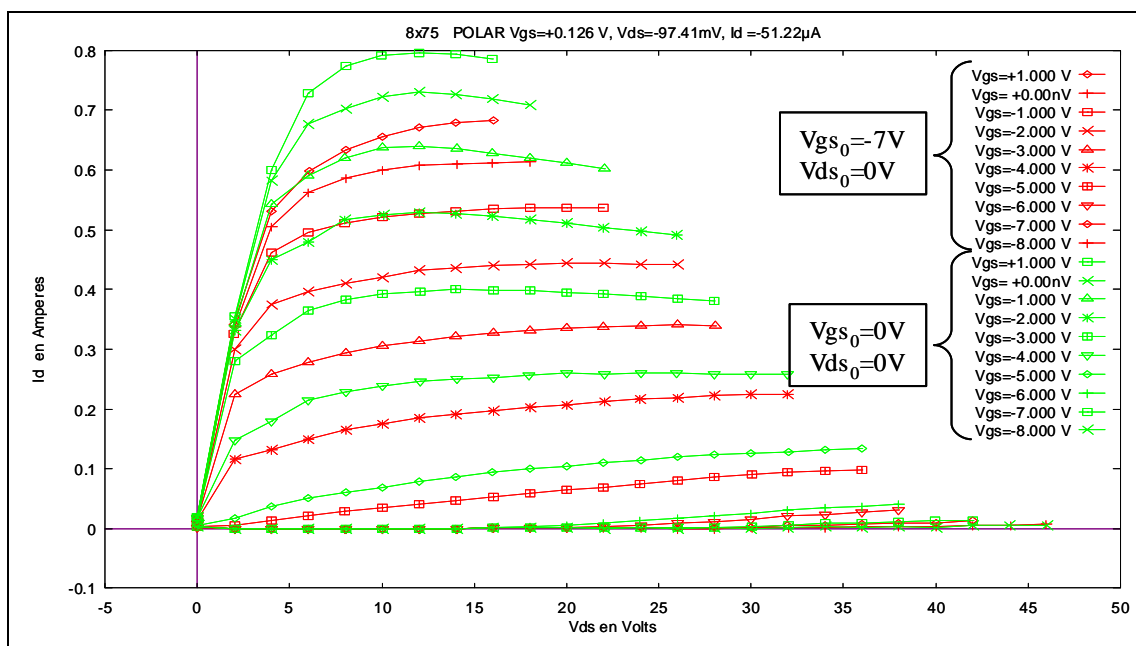


Figure 2-35 : Mise en évidence des effets de pièges de grille.

L'état thermique du composant étant le même pour ces deux points de polarisation, les différences observées sur les courbes sont imputables aux effets de pièges associés à la tension de polarisation de grille (gate lag). Pour des tensions de grille élevées, on peut observer, entre ces deux états de pièges, une baisse du courant de drain. Le fonctionnement en puissance dépend du réseau I [V] correspondant à l'état de piège lié au point de polarisation. Un changement de la tension de polarisation de grille ne correspond donc plus à un classique changement de classe de fonctionnement mais également à un changement de réseau I [V]. Ce phénomène de pièges pouvant influencer fortement sur le fonctionnement d'un amplificateur, un modèle de pièges a été développé par Olivier JARDEL [2.27].

II.2.4.2. Mise en évidence des « pièges de drain » :

L'opération réciproque consiste à faire varier le point de polarisation drain-source en maintenant la valeur $V_{gs0}=V_p$. Les polarisations utilisées sont ($V_{gs0}=-8V$, $V_{ds0}=0V$) et ($V_{gs0}=-8V$, $V_{ds0}=20V$).

La Figure 2-36 montre une légère différence entre les deux réseaux qui est due aux effets de pièges associés à la tension de polarisation de drain (drain lag). On peut noter qu'il est peu important pour ce composant.

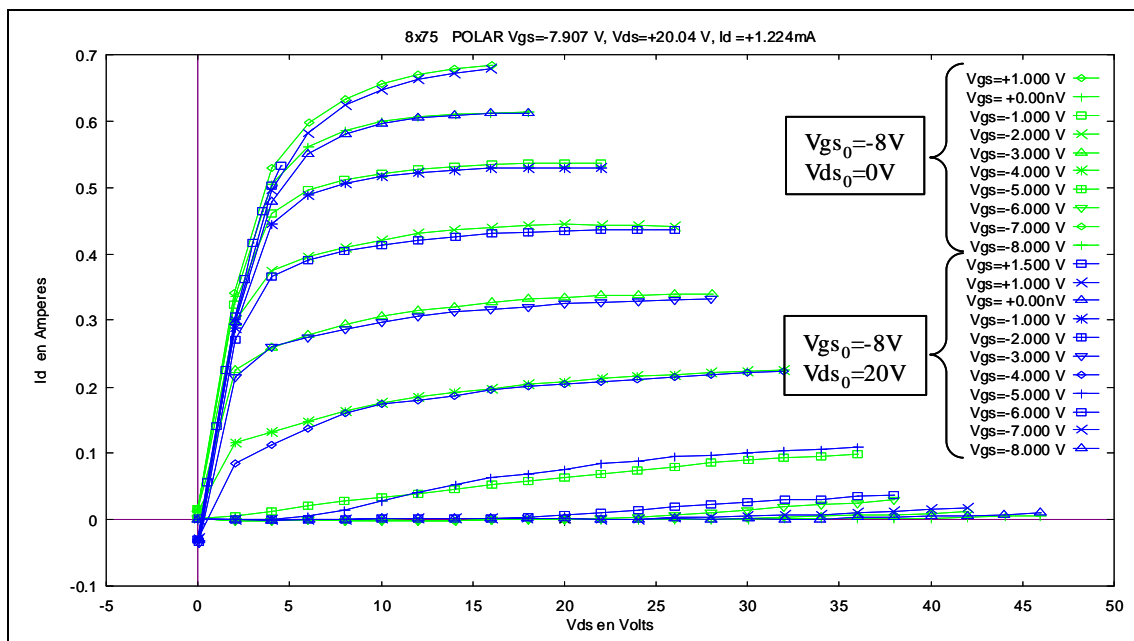


Figure 2-36 : Mise en évidence des effets de pièges de drain.

Pour conclure, la présence des effets parasites de pièges de surfaces (gate lag) dans le transistor $8 \times 75 \mu\text{m}$ a pu être constaté mais ils restent modérés en comparaison de transistors de même type qui ont déjà pu être mesurés. Cela a toutefois pour conséquence la diminution significative des performances en terme de courant de sortie et donc de puissance de sortie pour le composant. Le drain lag quant à lui reste faible ce qui indique une faible densité de pièges de buffer.

II.3. Principe de modélisation linéaire, non-linéaire et thermique des transistors

Plusieurs approches de modélisation des transistors à effet de champ sont relatées dans la littérature : la modélisation physique, la modélisation numérique (dite « boîte noire ») ainsi que la

modélisation électrique. La première résultant de simulations physiques reste inexploitable en conception CAO en raison du coût de simulation et de sa fiabilité. Le modèle « boîte noire » quant à lui limite les informations disponibles pour le concepteur étant donné que celui-ci n'a pas accès au composant lui-même ce qui limite ces actions d'intervention. Le dernier modèle est le plus pertinent pour la conception CAO : il représente un coût de simulation faible et une implémentation aisée entièrement adaptés aux logiciels CAO.

II.3.1. Principe de modélisation petit signal

[2.14], [2.16], [2.17], [2.18]

Actuellement, le modèle le plus utilisé est le modèle équivalent en éléments localisés. Le schéma équivalent petit signal est composé de deux parties : une partie intrinsèque et une partie extrinsèque correspondant aux éléments parasites dus aux accès du transistor (Figure 2-37).

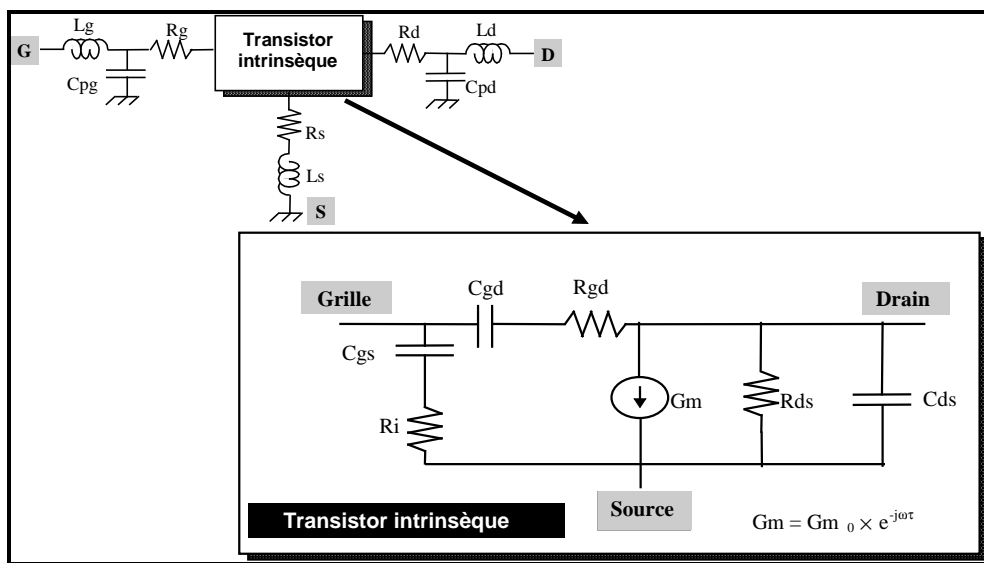


Figure 2-37 : Topologie du schéma équivalent petit signal du transistor.

Un algorithme de calcul développé en interne dit d'extraction directe est couplé avec une procédure d'optimisation. Cette procédure de calcul permet d'optimiser les valeurs des éléments extrinsèques jusqu'à ce que l'ensemble des paramètres intrinsèques (obtenus par extraction directe) soit indépendant de la fréquence [2.23]. L'algorithme mis en place pour la recherche des éléments extrinsèques consiste donc à minimiser l'écart entre les éléments mesurés et les éléments du modèle pour chaque point de fréquence mesuré, tout en recherchant à obtenir des paramètres intrinsèques constants en fonction de la fréquence.

Le principe de la méthode d'extraction directe consiste à extraire la matrice admittance intrinsèque $[Y]^{int}$ à partir des paramètres $[S]$ mesurés (extraction directe). Ensuite, à partir de la matrice admittance intrinsèque on extrait par calcul analytique l'ensemble des paramètres intrinsèques du modèle. La matrice $[Y]^{int}$ est obtenue par transformations successives de la matrice $[S]^{mes}$ (Figure 2-38).

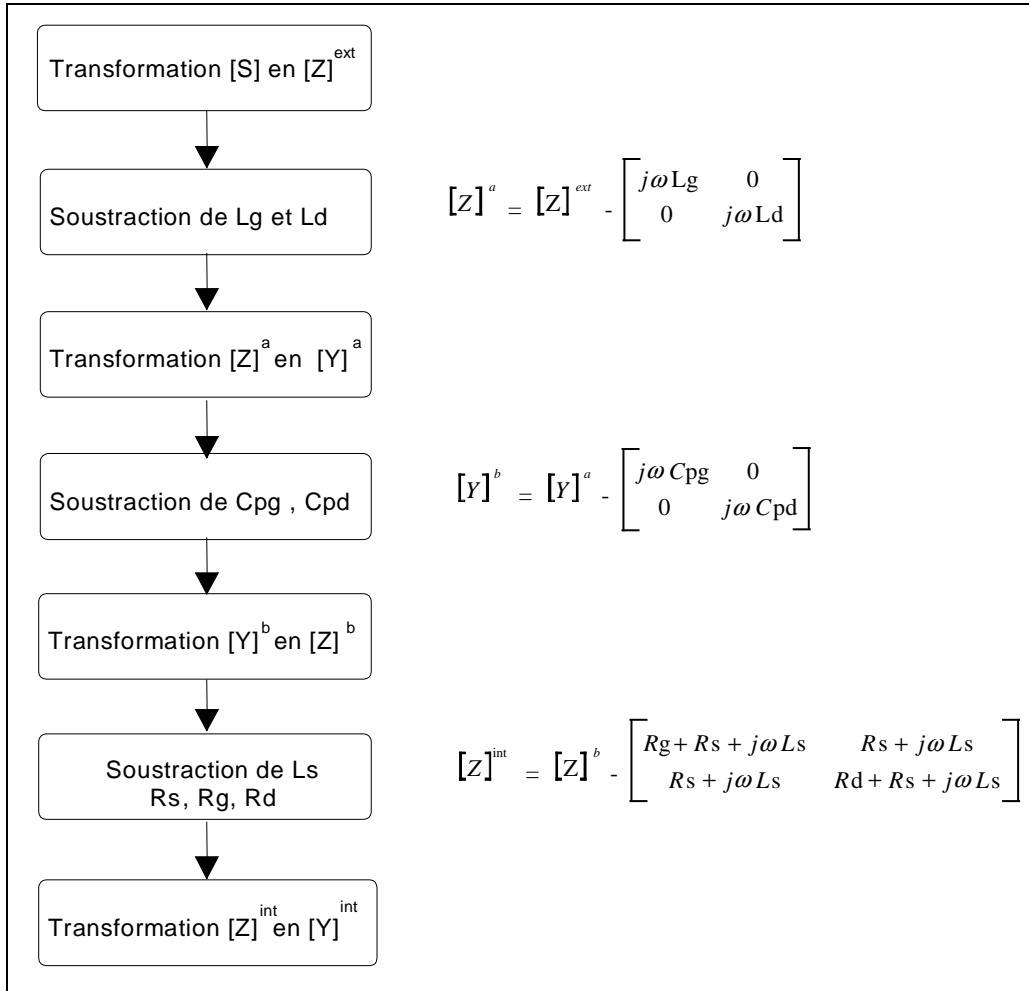


Figure 2-38 : Détermination de la matrice admittance intrinsèque du quadripôle.

Cette méthode d'extraction directe permet de déterminer instantanément la valeur des différents éléments intrinsèques du modèle dont les relations relatives aux paramètres $[Y]$ du modèle intrinsèque sont résumées ci-dessous :

$$C_{gd} = \frac{-\text{Im}\{Y_{12}\}}{\omega} \left[1 + \left(\frac{\text{Re}\{Y_{12}\} + G_{gd}}{\text{Im}\{Y_{12}\}} \right)^2 \right] \quad \text{Eq 2-1}$$

$$R_{gd} = \frac{-(\text{Re}\{Y_{12}\} + G_{gd})}{C_{gd}^2 \omega^2} \left[1 + \left(\frac{\text{Re}\{Y_{12}\} + G_{gd}}{\text{Im}\{Y_{12}\}} \right)^2 \right] \quad \text{Eq 2-2}$$

$$C_{gs} = \frac{(\text{Im}\{Y_{11}\} + \text{Im}\{Y_{12}\})}{\omega} \left[1 + \left(\frac{\text{Re}\{Y_{11}\} + \text{Re}\{Y_{12}\} - G_{gs}}{\text{Im}\{Y_{11}\} + \text{Im}\{Y_{12}\}} \right)^2 \right] \quad \text{Eq 2-3}$$

$$G_d = \text{Re}\{Y_{12}\} + \text{Re}\{Y_{22}\} \quad \text{Eq 2-4}$$

$$C_{ds} = \frac{1}{\omega} (\text{Im}\{Y_{12}\} + \text{Im}\{Y_{22}\}) \quad \text{Eq 2-5}$$

$$R_i = \frac{(\text{Re}\{Y_{11}\} + \text{Re}\{Y_{12}\} - G_{gs})}{C_{gs}^2 \omega^2} \left[1 + \left(\frac{\text{Re}\{Y_{11}\} + \text{Re}\{Y_{12}\} - G_{gs}}{\text{Im}\{Y_{11}\} + \text{Im}\{Y_{12}\}} \right)^2 \right] \quad \text{Eq 2-6}$$

$$G_m = \|(Y_{21} - Y_{12}) \cdot (1 + j \cdot R_i \cdot C_{gs} \cdot \omega)\| \quad \text{Eq 2-7}$$

$$\tau = - \frac{1}{\omega} \cdot \arg\{(Y_{21} - Y_{12}) \cdot (1 + j \cdot R_i \cdot C_{gs} \cdot \omega)\} \quad \text{Eq 2-8}$$

II.3.2. Principe de modélisation non linéaire

[2.7], [2.8], [2.9], [2.12], [2.14], [2.19]

Le principe de la modélisation convective par équations phénoménologiques est présenté dans cette partie. La modélisation des transistors par équations analytiques revient à reproduire le comportement électrique du composant. Dans ce cadre, un second logiciel d'ajustage des mesures convectives a été développé en interne. Le principe revient à calculer la réponse du modèle non-linéaire auquel sont appliquées les tensions de commandes extrinsèques lors de la caractérisation puis à comparer la réponse du modèle avec la mesure.

La topologie du modèle I [V] qui a été utilisée pour les modèles présentés est la suivante (Figure 2-39) :

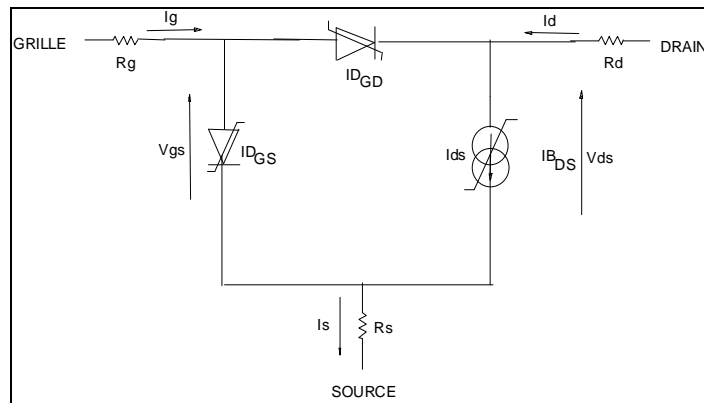


Figure 2-39 : Modèle non-linéaire convectif de transistor HEMTs.

En outre, il est important de préciser que ce logiciel permet de s'affranchir de problèmes de minima locaux néfastes à la recherche de solution optimale. La méthode dite de recuit simulé permet, sous certaines contraintes, d'accepter des solutions intermédiaires pour lesquelles la valeur de la fonction objectif peut être supérieure à celle obtenue précédemment alors que les méthodes classiques d'optimisation ne retiennent seulement que les solutions permettant de diminuer la valeur de la fonction objectif.

Comme vu précédemment, les paramètres résistifs (R_g , R_d , R_s) sont extraits des mesures hyperfréquences. Cependant, il est possible d'extraire ces trois résistances des mesures convectives. Par exemple, grâce au réseau I [V], la somme $R_{on}=R_{canal}+R_d+R_s$ est accessible.

Pour conclure, force est de constater que les modélisations de la partie convective et de la partie hyperfréquence sont étroitement liées et que les phases de modélisation linéaire et non linéaire doivent être réalisées de telle sorte à conserver la cohérence entre les mesures statiques et les mesures hyperfréquences.

II.3.2.1. Modélisation de la source de courant :

L'effet fondamental du transistor à effet de champ est décrit par une source de courant non linéaire commandée par les tensions V_{gs} et V_{ds} . Le modèle de base utilisé lors de la modélisation des composants liés à cette étude est celui de *Tajima* [2.20] dont le modèle de la source de courant non-linéaire décrit assez précisément les caractéristiques de sortie du transistor de la zone de pincement jusqu'à la limite de la zone de conduction de grille pour les valeurs positives de V_{ds} . À ce modèle est ajouté un terme multiplicatif « *Correct_GmGd* » qui prend en compte la décroissance de la conductance G_m et permet de régler l'amplitude de la résistance de sortie ($R_{ds}=1/G_d$) grâce au paramètre V_{gm} .

$$I_d = I_{d_{Tajima}} \times \text{Correct_GmGd} \quad \text{Eq 2-9}$$

avec :

$$\text{Correct_GmGd} = 1 + \beta_{gm} \times (V_{ds} + V_{dm}) \times (1 + \tanh(\alpha_{gm} \times (V_{gs} - V_{gm})))$$

$$I_{d_{Tajima}} = \frac{I_{DSS}}{1 - \frac{1}{m}(1 - e^{-m})} \left[V_{GSN} - \frac{1}{m}(1 - e^{-mV_{GSN}}) \right] \times \left[1 - e^{-V_{DSN}(1 - aV_{DSN} - bV_{DSN}^2)} \right]$$

$$V_{GSN} = 1 + \frac{V_{GS}(t - \tau) - V\phi}{V_P}$$

$$V_{DSN} = \frac{V_{DS}}{V_{DSP} \left(1 + w \frac{V_{GS}(t - \tau)}{V_P} \right)}$$

$$V_P = V_{P0} + pV_{DSP} + V\phi$$

II.3.2.2. Modélisation des diodes d'entrées

Les diodes d'entrées représentent des générateurs de courant non-linéaires permettant de modéliser le courant positif de grille mesuré pour les fortes valeurs positives de la tension V_{GS} et des valeurs de V_{DS} faibles. Les expressions utilisées pour modéliser ce courant sont les suivantes (modèle de Shockley) :

$$I_{GD} = I_{sgd} \cdot e^{\frac{q \cdot N_{sgs}}{kT} \cdot V_{gd}}$$

$$I_{GS} = I_{sgs} \cdot e^{\frac{q \cdot N_{sgd}}{kT} \cdot V_{gs}}$$

Eq 2-10

II.3.2.3. Modélisation convective du transistor HEMT

Les Figures 2-40 et 2-41 présentent les résultats obtenus pour le transistor HEMT 8x75 μm pour le point de polarisation de repos $V_{GS0} = -4.4\text{V}$, $V_{DS0} = 23\text{V}$ prenant en compte la décroissance de la transconductance G_m et la conduction de grille.

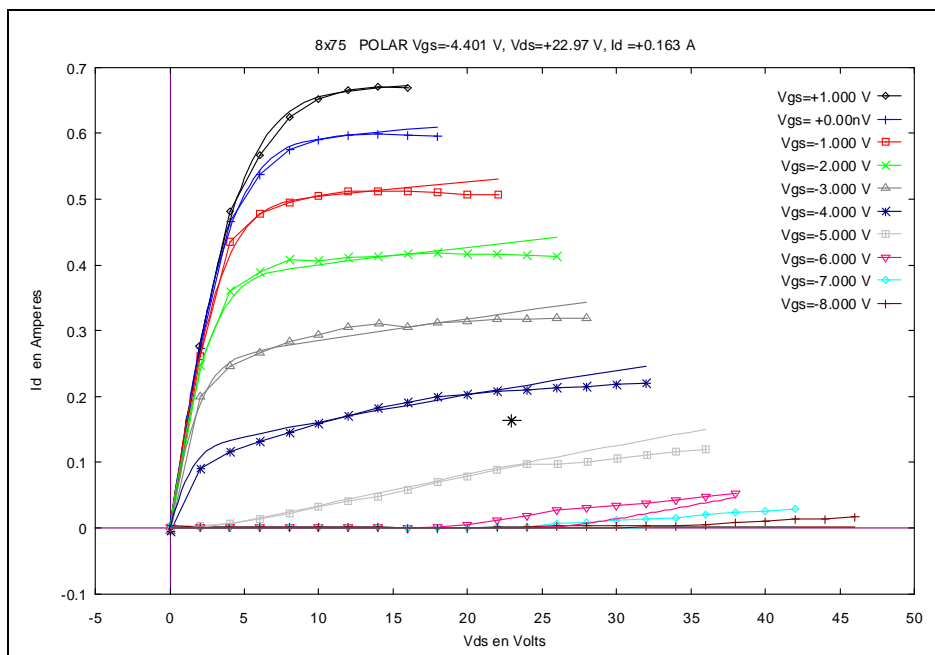


Figure 2-40 : Comparaison mesures/modèle du réseau de sortie $I_d = f(V_{ds})$ au point de polarisation $V_{GS0} = -4.4\text{V}$, $V_{DS0} = 23\text{V}$.

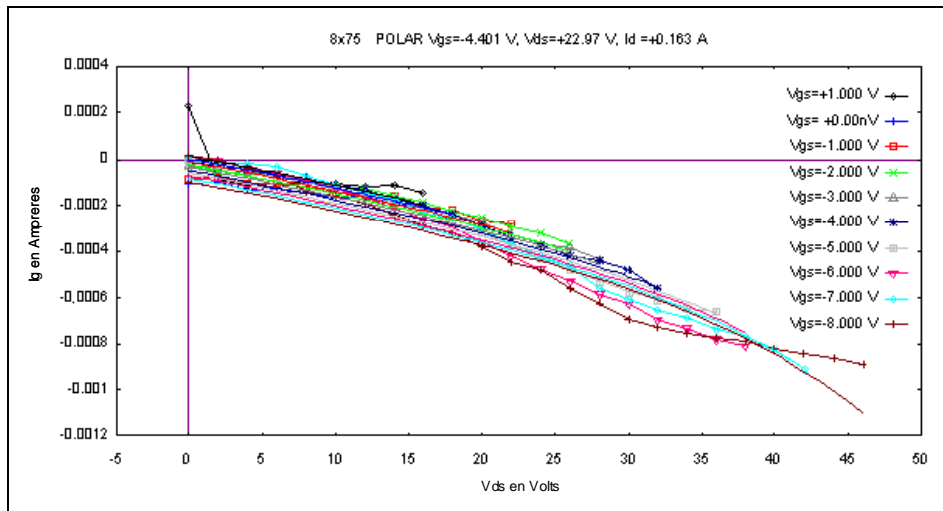


Figure 2-41 : Comparaison mesures/modèle du réseau d'entrée $I_g=f(V_{ds})$ pour une polarisation de repos $V_{gs0}=-4.4V$, $V_{ds0}=23V$.

Nous présentons dans le tableau suivant l'ensemble des valeurs des paramètres convectifs qui nous ont servi pour la modélisation I [V] du réseau d'entrée et de sortie (Tableau 2-2).

Tajima modifié							
Idss	A	B	M	P	W	Vpo	
0.8894	0.001	0	43	0.0448	0.8	5.23	
Vphi	Vdsp	α_{gm}	Vgm	β_{gm}	Vgd	τ	
0.1	2.5	0.139	26.4	0.9075	150	$1.55 \cdot 10^{-12}$	
Diode Grille - Source				Diode Grille - Drain			
Isgs	1e-18	Nsgs	2.132	Isgd	2.5e-20	Nsgd	2.053

Tableau 2-2 : Valeurs des paramètres convectifs du modèle non-linéaire du transistor HEMT 8x75µm.

II.3.2.4. Modélisation des capacités non-linéaires Cgs et Cgd

Afin de réaliser l'extraction des capacités non-linéaires Cgs et Cgd, un cycle de charge idéal pour une polarisation en classe AB est tracé dans le réseau I [V] pour un fonctionnement en puissance du transistor. Pour l'exemple présenté ci-dessous d'un HEMT 8x75µm, la polarisation de repos du transistor est de $V_{gs0}=-4.4V$, $V_{ds0}=23V$. Pour la modélisation des capacités non linéaires, l'extraction des capacités Cgs et Cgd est faite le long du cycle de charge représenté sur la Figure 2-42.

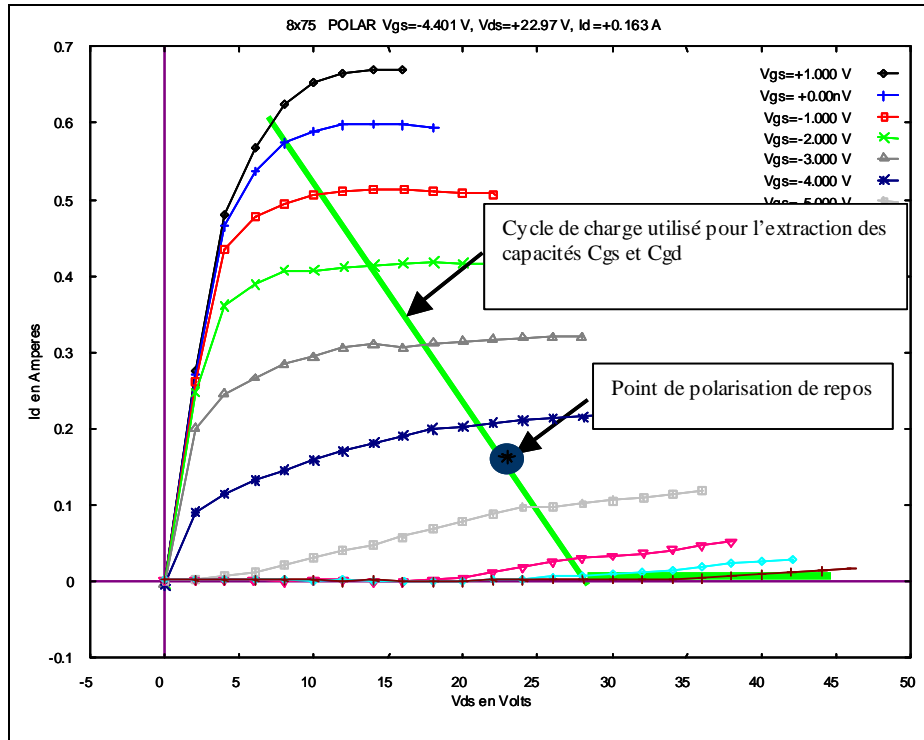


Figure 2-42 : Cycle de charge choisi dans le réseau I [V] pour représenter un fonctionnement en puissance.

Du fait de l'extraction multi-polarisation, les capacités ne dépendent que des deux tensions de commande V_{gs} et V_{gd} . Afin de représenter la variation de la capacité non-linéaire C_{gs} (respectivement C_{gd}), une équation en tangente hyperbolique est utilisée suivant la tension de commande V_{gs} (respectivement V_{gd}) [2.21].

L'équation qui décrit la variation de la capacité C_{gs} en fonction de la tension V_{gs} est la suivante :

$$C_{gs} = C_{gs_0} + \frac{C_{gs_1} - C_{gs_0}}{2} [1 + \tanh(a \cdot (V_{gs} + V_m))] - \frac{C_{gs_2}}{2} [1 + \tanh(b \cdot (V_{gs} + V_p))] \quad \text{Eq 2-11}$$

Avec : C_{gs_0} , C_{gs_1} , C_{gs_2} , a , b , V_m , V_p représentant les différents paramètres à optimiser.

De même, l'équation décrivant la variation de la capacité C_{gd} en fonction de la tension V_{gd} est la suivante :

$$C_{gd} = C_{gd} + \frac{C_{gd_1} - C_{gd_0}}{2} [1 + \tanh(c \cdot (V_{gd} + V_n))] - \frac{C_{gd_2}}{2} [1 + \tanh(d \cdot (V_{gd} + V_q))] \quad \text{Eq 2-12}$$

Avec similairement : C_{gd_0} , C_{gd_1} , C_{gd_2} , c , d , V_n , V_q représentant les différents paramètres à optimiser.

Une comparaison entre la mesure et le modèle non-linéaire des capacités C_{gs} et C_{gd} est représentée sur la Figure 2-43. Nous pouvons constater une bonne concordance entre la mesure et le modèle.

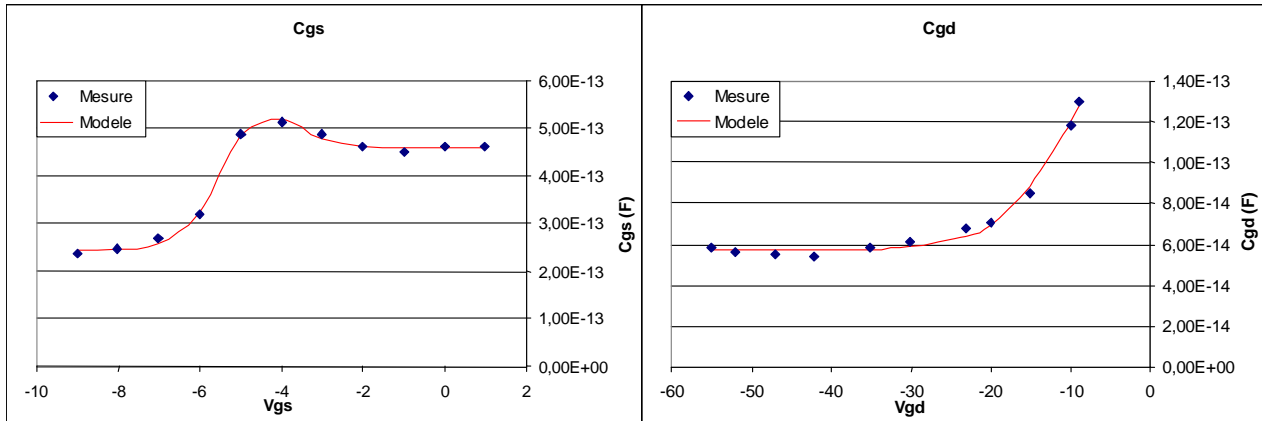


Figure 2-43 : Comparaison mesures/modèle des capacités C_{gs} et C_{gd} en fonction de V_{gs} et V_{gd} extraites le long du cycle de charge du HEMT $8 \times 75 \mu\text{m}$ AEC1148.

Le Tableau 2-3 présente l'ensemble des valeurs des paramètres relatifs à la modélisation des capacités non-linéaires C_{gs} et C_{gd} :

<i>Capacité non linéaire C_{gs}</i>		<i>Capacité non linéaire C_{gd}</i>	
CO (F)	2,028E-13	CO' (F)	4,5E-15
C1 (F)	6,63E-13	C1' (F)	8,33E-13
a	1,4352	a'	0,1728
V_m (V)	6,3	V_m' (V)	5,929
C2 (F)	6,384E-14	C2' (F)	-1,44E-13
b	2,3	b'	0,0046
V_p (V)	3,2	V_p' (V)	21,83

Tableau 2-3 : Paramètres des capacités non-linéaires C_{gs} et C_{gd} .

II.3.3. Principe de modélisation thermique

L'état thermique d'un composant résulte de la température ambiante et de l'auto-échauffement du transistor. Cet auto-échauffement se traduit par une puissance dissipée dépendant de la classe de fonctionnement du transistor et des performances de celui-ci vis-à-vis du signal injecté.

On peut alors observer au niveau des performances électriques :

- Une diminution du courant de sortie : le courant dans un transistor à effet de champ étant fonction de la mobilité et cette dernière diminuant lorsque la température augmente cela entraîne une diminution du courant.
- Une diminution de la transconductance $gm = \left(\frac{\partial I_{ds}}{\partial V_{gs}} \right)_{V_{ds}}$

Au niveau des performances fréquentielles :

- Une diminution de la fréquence de transition
- Une diminution de la fréquence maximale d'oscillation

II.3.3.1. Définition de la résistance thermique :

La résistance thermique représente électriquement l'échauffement du canal en fonction de la puissance dissipée. Elle s'exprime le plus souvent en °C/W. Elle est principalement due au phénomène de conduction thermique dans les matériaux constitutifs du composant, ce phénomène étant lié à l'activité atomique ou moléculaire au sein d'un gaz, un liquide ou un solide (notre cas). Le transfert d'énergie s'effectue des particules les plus énergétiques d'une substance aux particules les moins énergétiques. La conduction dans le cas d'un solide est attribuée à un transfert d'énergie sous la forme de vibrations du réseau cristallin.

Énoncé de la loi de Fourier : dans le cas simple d'un milieu homogène et isotrope, le vecteur densité de flux de chaleur défini par unité de surface est directement proportionnel au gradient de la température locale :

$\vec{f} = -K_{(T)} \vec{grad}_{(T)}$ où $\vec{grad}_{(T)}$ représente le gradient de température dans la direction normale à la surface unitaire, K représente la conductivité thermique du matériau (unité $W.K^{-1}.m^{-1}$), qui est fonction de la température.

Dans de nombreux cas, la définition de la chaleur dans un matériau bi ou tridimensionnel peut être simplifiée à un système à une dimension. Le transfert de chaleur est assimilé au flux à travers une surface définie. La chaleur se propage uniquement par conduction suivant la direction x perpendiculaire à la surface S. Lorsque on se place en régime stationnaire, le transfert de chaleur unidimensionnel suit de même la loi de Fourier :

$$F(x) = -K_{(T)} \cdot \frac{dT(x)}{dx} \quad \text{Eq 2-13}$$

où : F(x) représente la densité de flux thermique (W.m^{-2}) et T(x) est la température à l'abscisse x.

La puissance dissipée correspond donc au produit de la densité de flux thermique par la surface, soit :

$$P = -K_{(T)} \cdot \frac{dT}{dx} \cdot S \quad \text{Eq 2-14}$$

On peut donc déduire : $dT = \int_0^e -\frac{P}{K_{(T)} \cdot S} \cdot dx = \int_e^0 \frac{P}{K_{(T)} \cdot S} \cdot dx$ qui après intégration sur l'épaisseur du matériau (e) nous donne accès à la puissance dissipée en fonction de la résistance thermique, soit :

$$\Delta T = \frac{P}{K_{(T)} \cdot S} \cdot e \Rightarrow P = \frac{\Delta T}{R_{th(T)}} \quad \text{Eq 2-15}$$

Par conséquent, cette équation de la chaleur « simplifiée » donne accès à la température du composant grâce à des mesures électriques qui seront présentées par la suite. Cette résistance thermique est de façon générale une grandeur non-linéaire en fonction de la température.

II.3.3.2. Méthode du courant de drain :

Étant donné que la mobilité et par conséquent la vitesse de saturation des porteurs diminue lorsque la température augmente, le courant dans le canal chute.

Deux jeux de mesures dans des conditions de polarisations différentes avec deux températures de socles différentes sont réalisés. La première mesure est effectuée en mode DC continu avec une température de chuck de 20°C et la seconde en impulsions avec une température de chuck égale à 100°C. Pour les mesures en impulsions, des durées d'impulsions brèves (400ns) sont choisies et une récurrence importante de manière à garantir une température du composant la plus proche possible de celle imposée par le chuck thermique. De surcroît, il faut considérer la partie du réseau I [V] où la puissance dissipée dans l'impulsion est encore assez faible, de manière à limiter encore les risques d'auto-échauffement.

La superposition des deux réseaux ainsi obtenus présente un point d'intersection entre la courbe en mode continu et la courbe en mode pulsé, ce qui désigne l'endroit du réseau pour lequel la température est identique (Figure 2-44).

Au point d'intersection pour la courbe mesurée en mode continu : (1)

$$\Delta T = T_{j_continu} - T_{chuck_continu} = R_{th} P_{diss} \Rightarrow T_{j_continu} = T_{chuck_continu} + R_{th} P_{diss} \quad Eq\ 2-16$$

où $P_{diss}=3.23W$, $T_{chuck_continu}=20^{\circ}C$ et $T_{j_continu}$ est la température de jonction du transistor en mode continu.

Au point d'intersection pour la courbe mesurée en mode pulsé : (2)

$$\Delta T = T_{j_pulsé} - T_{chuck_continu} = R_{th} P_{diss} \Rightarrow T_{j_pulsé} - T_{chuck_continu} = 0^{\circ}C \Rightarrow T_{j_pulsé} = 100^{\circ}C \quad Eq\ 2-17$$

car les mesures sont quasi-isothermes.

Comme la température de jonction au point d'intersection est identique sur les deux courbes, cela implique (1) = (2), d'où :

$$R_{th} = \frac{T_{j_pulsé} - T_{chuck_continu}}{P_{diss}} = 24.7^{\circ}C / W \quad Eq\ 2-18$$

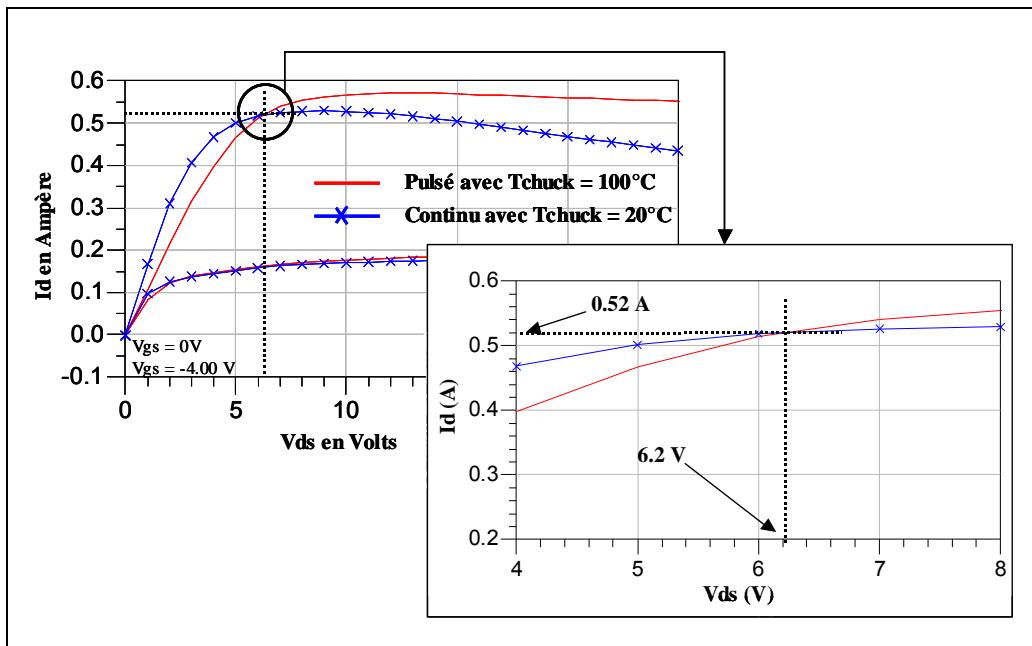


Figure 2-44 : Détermination de la résistance thermique grâce à la mesure du courant de drain.

Notons qu'une seconde méthode d'extraction de la résistance par la méthode des courants de grille basée sur une autre technique existe mais devient très incertaine si le transistor présente des pièges [2.17]. La méthode est basée dans ce cas sur la variation de la tension de seuil de la jonction schottky avec la température.

La résistance thermique mesurée reste inférieure à la résistance thermique réelle du composant car il est considéré qu'il n'y a pas d'auto-échauffement dans le pulse alors que même pour des impulsions très brèves il y a présence d'auto-échauffement.

II.3.3.3. Mesure électrique des constantes de temps thermiques :

Les mesures de la résistance thermique sont obtenues pour le régime établi, mais en aucun cas cette résistance thermique ne rend compte de l'évolution non-linéaire de la température au cours du temps (constantes de temps). Pour mesurer les constantes de temps thermiques, le principe est basé sur la décroissance du courant de sortie du transistor lorsque celui-ci est polarisé avec des impulsions suffisamment longues. Le but est donc de quantifier l'auto-échauffement du transistor en fonction du temps.

Le phénomène exploité est le suivant : si les impulsions sont suffisamment longues, la puissance dissipée dans le pulse devient importante et ainsi la température dans ce pulse augmente ce qui entraîne une diminution de la mobilité des porteurs et par conséquent une décroissance du courant de drain.

Dans une première étape, il convient d'éliminer toute variation de la tension de drain dans le pulse car la tension varie suivant la droite de charge imposée par la résistance d'entrée 50Ω . Pour cela le générateur d'impulsion est transformé en générateur de tension pulsée en court-circuitant l'entrée du générateur par une résistance de 5Ω . Cette opération limite l'excursion de tension à environ $10V$ mais rend celle-ci quasi-constante dans le pulse. Ainsi, seul le courant décroît pendant le pulse ce qui représente pleinement l'évolution de la température (Figure 2-45).

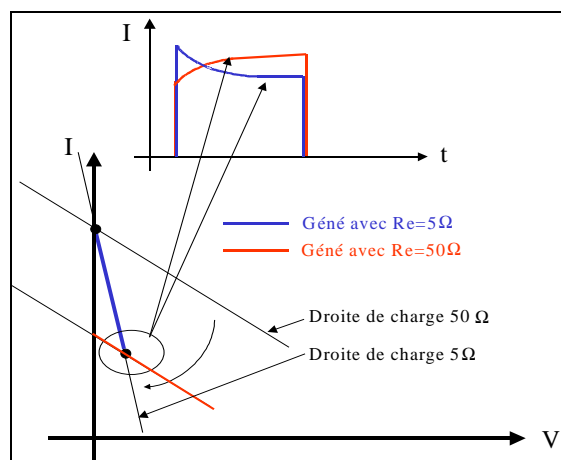


Figure 2-45 : Évolution du courant de sortie pour un pulse long (auto-échauffement) en fonction de l'impédance d'entrée du générateur.

La température de socle est fixée à 22°C, et le transistor est polarisé de la façon suivante :

- $V_{gs_0}=V_{gs_i}=-4V$, par une alimentation DC continue,
- $V_{ds_0}=0V$, $V_{ds_i}=6.3V$ avec une durée et une période d'impulsions respectivement de 1ms et 100ms.

La durée de l'impulsion est limitée à 1ms car au-delà de cette valeur, la chute de courant dans le pulse n'est plus significative étant donné que l'état établi est atteint.

Sur la Figure 2-46, la décroissance du courant de drain dans le pulse est représentée pour une tension de pulse quasi-constante ($\Delta V=0.13V$).

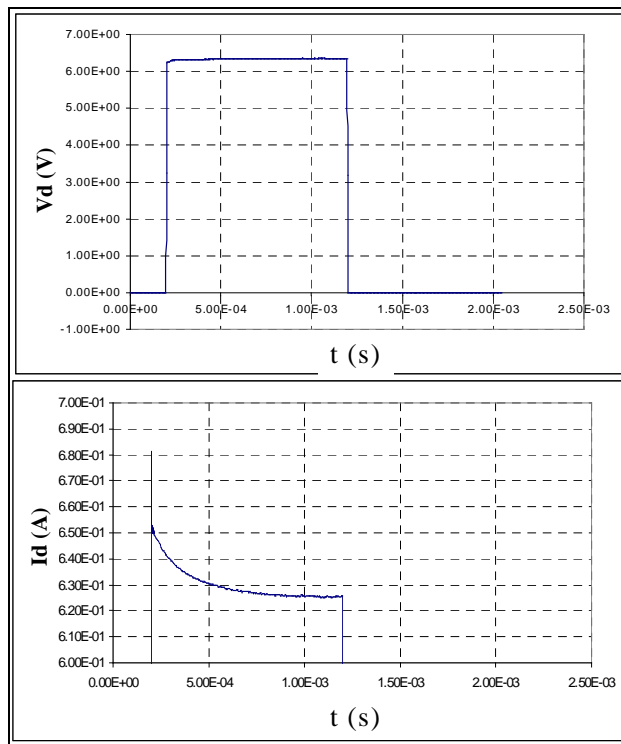


Figure 2-46 : Évolution du courant dans un pulse de 1ms.

La courbe représentant la décroissance du courant dans le pulse en échelle logarithmique permet d'observer plusieurs constantes de temps. Ces constantes de temps correspondent au temps de propagation du flux de chaleur à travers les différents matériaux rencontrés constituant le transistor.

Une possibilité pour représenter l'allure du courant dans le pulse est d'utiliser une fonction en exponentielle négative de la forme :

$$i(t) = I_0 - \sum_{i=1}^n I_i \cdot \left(1 - \exp\left(\frac{-t}{\tau_i}\right) \right) \quad \text{Eq 2-19}$$

où i correspond au nombre de constantes de temps nécessaires à la modélisation de $i(t)$, I_0 correspond à la valeur du courant au début du pulse et I_i correspond à la valeur de la décroissance du courant pendant le temps τ_i .

Le temps τ_i correspond au temps que met le courant I_i pour atteindre son régime établi ($t_i > \tau_i$).

L'évolution du courant dans le pulse et donc de la température est représentée à l'aide de cellules RC. Les constantes de temps sont alors égales à $\tau_i = R_{thi} \cdot C_{thi}$ où C_{thi} est la capacité thermique d'une cellule.

Les valeurs des résistances thermiques sont extraites en respectant deux conditions :

- $R_{th_globale} = \sum_{i=1}^n R_{thi}$ où $R_{th_globale}$ est la valeur de la résistance thermique obtenue lors des mesures en régime établi soit 24.7°C/W .

- $R_{thi} \propto I_i$

Ainsi, connaissant τ_i et R_{thi} , il est possible de déduire les valeurs des capacités thermiques C_{thi} .

II.3.3.4. Représentation de $T^\circ\text{C} = f(\text{temps}, P_{dissipée})$ par une grandeur électrique :

Une seconde méthode permettant d'obtenir le circuit thermique est basée sur la modélisation de l'évolution de la température du point chaud du canal par des simulations à éléments finis 3D (ANSYS). La Figure 2-47 ci-dessous montre l'évolution de l'auto-échauffement simulé pour une puissance dissipée de 7W/mm . Nous pouvons constater que la température évolue de façon exponentielle en fonction du temps pour une puissance dissipée donnée.

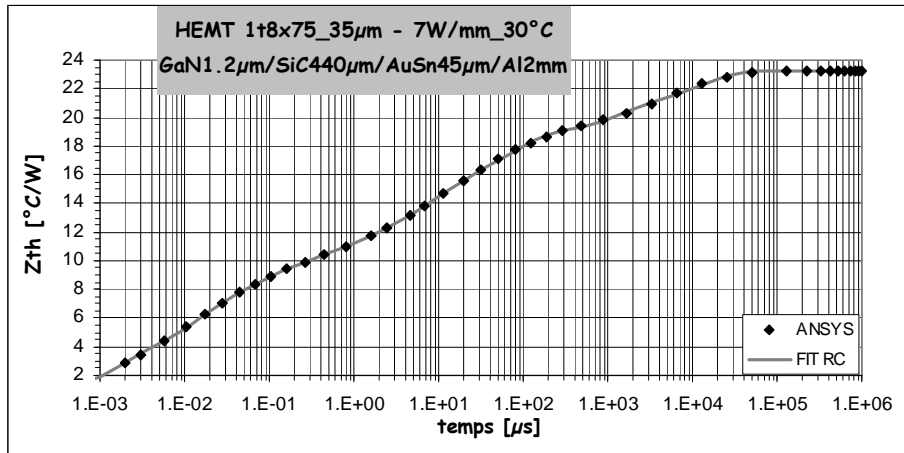


Figure 2-47 : Évolution de la température du composant pour une température ambiante de 30°C et puissance dissipée de 7W/mm en fonction du temps (Simulation ANSYS).

La variable température devant être implémentée dans un simulateur électrique tel qu'ADS, on la représentera comme une tension. De ce fait, il convient de trouver un circuit équivalent ayant une tension à ses bornes similaire au comportement de la température en fonction du temps. Par conséquent une solution pratique dans un simulateur CAO consiste à faire cette représentation à l'aide de cellules RC parallèles comme indiqué précédemment. Les constantes de temps sont alors égales à : $\tau_i = R_{thi} \cdot C_{thi}$ où C_{thi} est la capacité thermique d'une cellule.

L'exemple suivant (Figure 2-48) présente un des circuits à 8 cellules RC parallèles dans le cas du HEMT GaN 8x75μm. La tension T°C aux bornes des 8 cellules RC parallèles aura le même comportement que l'échauffement après un choix judicieux de R et C. Un générateur de tension correspondant à la température ambiante (ou de chuck) est ajouté à ce circuit.

Le courant d'entrée du circuit RC représente la variable « puissance dissipée » (le développement du transistor étant de 600μm). Ainsi la tension T°C aux bornes du circuit sera proportionnelle à la puissance dissipée.

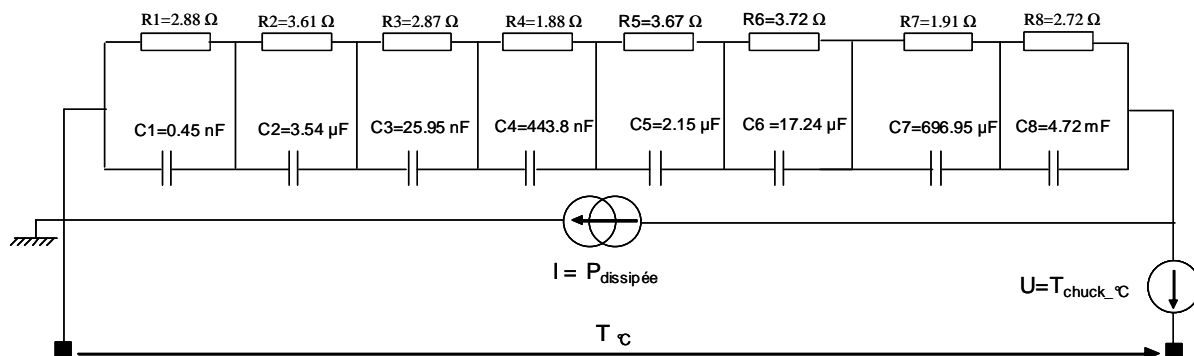


Figure 2-48 : Circuit thermique modélisant la température du composant en fonction de la puissance dissipée à 8 cellules RC.

II.3.3.5. Lois de variation des paramètres dépendant de la température :

Des mesures en impulsions à différentes températures de chuck effectuées sur différents composants ont permis de constater que les paramètres de la source de courant I_{dss} et P [II.3.2.1] varient avec la température ainsi que les paramètres des diodes grille-source et grille-drain respectivement (I_{s_gs} , N_{gs}) et (I_{s_gd} , N_{gd}) ainsi que les résistances R_s et R_d . Ces variations peuvent être ajustées à l'aide d'équations linéaires ou exponentielles suivant le cas comme le montre la Figure 2-49.

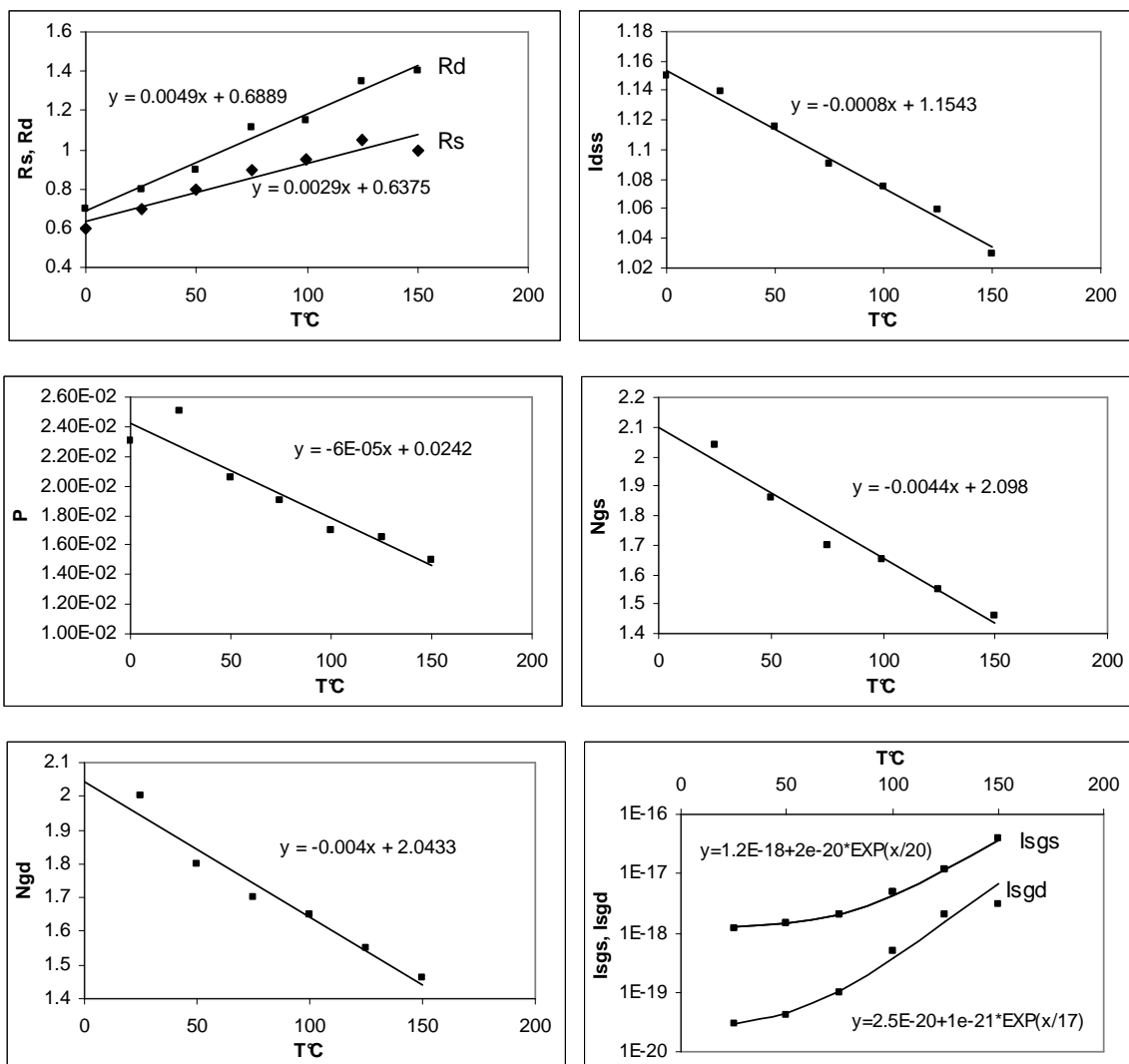


Figure 2-49 : Évolution des paramètres des sources de courants en fonction de la température ambiante du HEMT 8x75µm.

On peut constater que la plupart des paramètres ont une variation linéaire en fonction de la température mis à part pour les courants de saturation des diodes D_{gd} et D_{gs} .

$$R_s = R_{s_0} + \text{Alpha_} R_s.T$$

$$R_d = R_{d_0} + \text{Alpha_} R_d.T$$

$$I_{dss} = I_{dss_0} + I_{dss}.T$$

$$P = P_0 + P.T$$

$$N_{gs} = N_{gs_0} + N_{gst}.T$$

$$N_{gd} = N_{gd_0} + N_{gdt}.T$$

$$I_{sgs} = I_{sgs_0} + I_{sgst}.e^{(T/T_{sgs})}$$

$$I_{sgd} = I_{sgd_0} + I_{sgdt}.e^{(T/T_{sgd})}$$

Les valeurs correspondantes aux différents paramètres sont données sur chaque courbe de la Figure 2-49.

II.3.4. Synthèse

La Figure 2-50 suivante présente la synthèse des différentes phases de modélisation afin d'obtenir un modèle électrothermique grand signal. Les différents paramètres extraits puis corrigés figurent à chaque étape de modélisation.

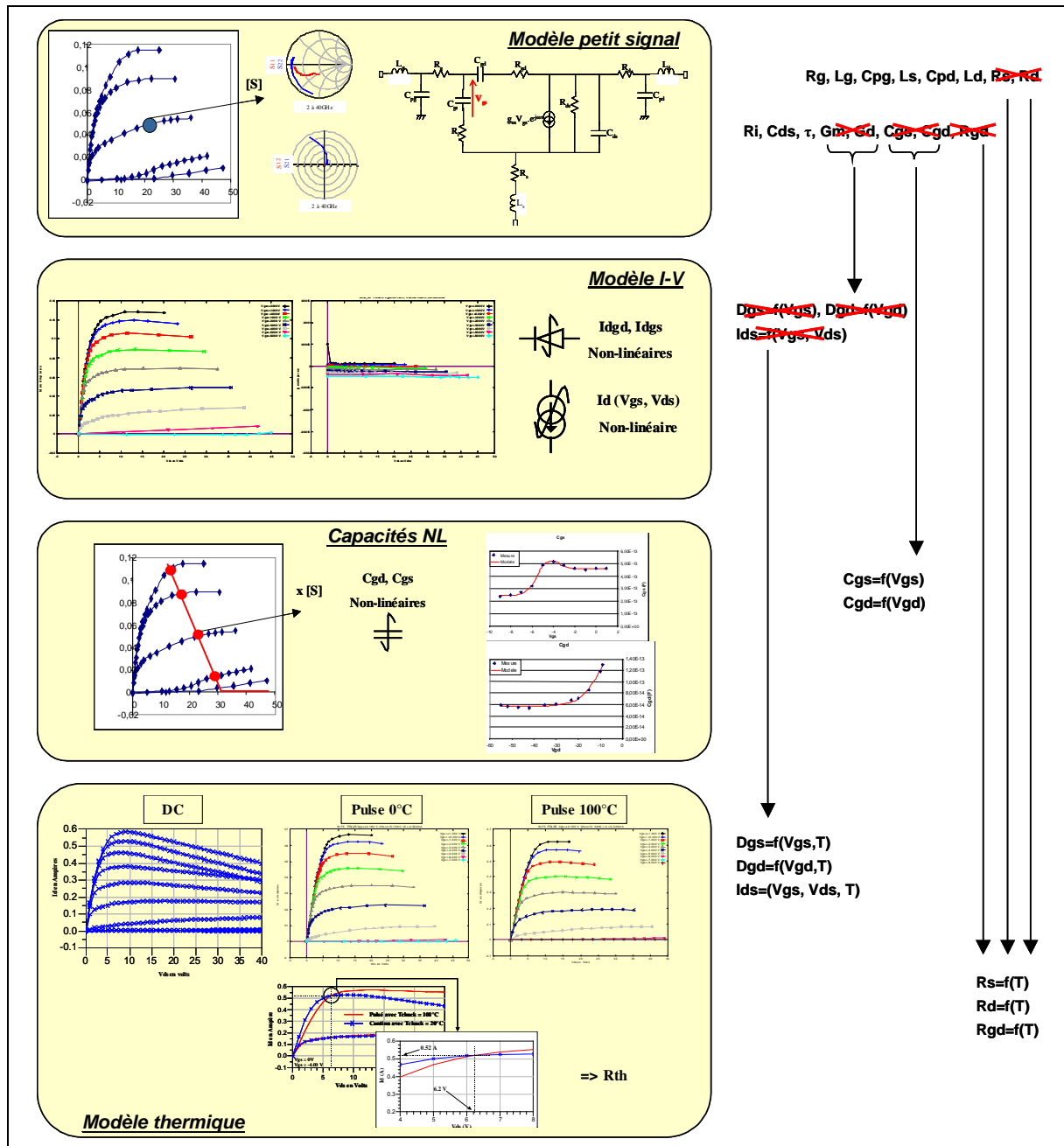


Figure 2-50 : Différentes phases de modélisation permettant d'obtenir un modèle électrothermique grand signal.

II.4. Topologies des modèles de transistors utilisés lors de nos conceptions et comparaison aux mesures

Au cours de ces travaux de thèse, deux versions d'amplificateurs distribués à cellules cascades à transistors HEMT GaN sur SiC ont été conçues. Une première structure étudiée en début de thèse en technologie flip-chip avec plusieurs versions résultantes et une seconde structure en fin de thèse en technologie MMIC. La première structure analysée prenait en compte des transistors de développement de grille $400\mu\text{m}$ ($8 \times 50\mu\text{m}$) pour une première version et de développement $600\mu\text{m}$ ($8 \times 75\mu\text{m}$) pour une seconde version. Pour la conception en technologie MMIC, les composants utilisés avaient un développement de $600\mu\text{m}$ ($8 \times 75\mu\text{m}$) et résultaient d'une nouvelle technologie. Nous allons donc présenter les mesures et modèles effectués au sein du laboratoire XLIM pour le transistor $8 \times 50\mu\text{m}$ de la première structure et pour le transistor $8 \times 75\mu\text{m}$ de la seconde. Ce second modèle a été préalablement développé dans l'approche de modélisation des derniers paragraphes.

II.4.1. Le transistor HEMT $8 \times 50\mu\text{m}$

Le transistor HEMT GaN a été réalisé sur un substrat SiC semi-isolant par le laboratoire TIGER lors du contrat DGA marché n° 01.34.050 en 2003. La Figure 2-51 montre la photographie de ce transistor de développement de grille $400\mu\text{m}$, présentant 8 doigts de $50\mu\text{m}$.



Figure 2-51 : photographie d'un transistor de développement de grille $8 \times 50\mu\text{m}$ sur technologie SiC du process TIGER.

Des mesures pulsées de caractéristiques I [V] ainsi que des mesures pulsées de paramètres S de ce composant ont été réalisées sur le site de Brive, permettant de dériver les modèles linéaire et non-linéaire du transistor. Les résultats de ces mesures sont donnés sur la Figure 2-52. Les caractéristiques $I_d(V_{ds})$ et $I_g(V_{ds})$ sont donnés pour un point de polarisation de repos de $V_{gs0} = -7\text{V}$, $V_{ds0} = 22.6\text{V}$, $I_{ds0} = 110\text{mA}$. Nous pouvons noter que la tension d'avalanche n'a pas été mesurée, et par conséquent non modélisée. Pour nos applications, les transistors seront polarisés aux alentours

de 20 volts, or les mesures ont été effectuées jusqu'à une tension de drain bien supérieure. L'avalanche ne représente donc aucun risque pour nos applications.

Nous pouvons observer un courant de drain maximal de 580mA, ce qui équivaut à une densité de courant de 1.45A/mm. Il est également possible de noter qu'un courant de fuite de grille augmentant avec V_{gs} et V_{ds} atteint jusqu'à 0.15mA. Nous pouvons relever d'autre part un effet kink, entraînant l'impossibilité de pincement du canal et dégradant les performances en puissance et en rendement.

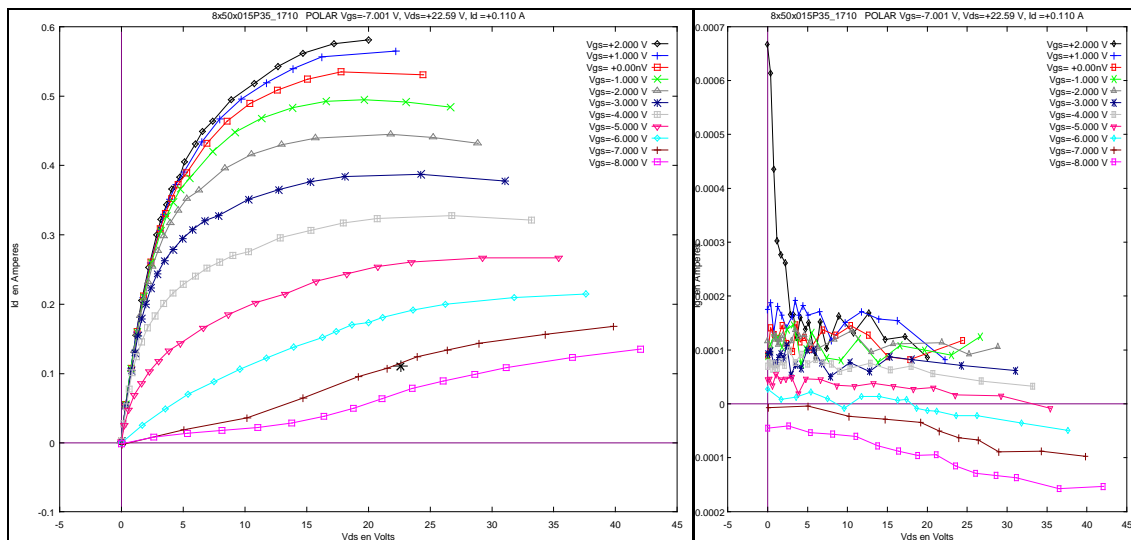


Figure 2-52 : Caractéristiques $I_d(V_{ds})$ et $I_g(V_{ds})$ mesurées du transistor de développement $8 \times 50 \mu\text{m}$.

II.4.1.1. Modèle linéaire

Le modèle linéaire de ce composant a été extrait par la méthode mixte exposée précédemment (Chapitre 2 – II.3.1) à l'aide des logiciels développés en interne. Il a été défini pour un point de polarisation de repos de $V_{gs0} = -7\text{V}$, $V_{ds0} = 22.2\text{V}$, $I_{ds0} = 118\text{mA}$. Les valeurs des éléments intrinsèques et extrinsèques de ce modèle petit signal sont données dans le Tableau 2-4.

La Figure 2-53 présente la validation du modèle petit signal au travers de la comparaison des paramètres S mesurés et obtenus par simulation du modèle dans la bande [2-40GHz].

<i>Éléments extrinsèques</i>							
Rg (Ω)	Lg (pH)	Cpg (fF)	Rd (Ω)	Ld (pH)	Cpd (fF)	Rs (Ω)	Ls (pH)
1,2	70,1	83,2	1,2	77,3	96,3	0,4	9,8
<i>Éléments intrinsèques</i>							
Cgs (fF)	Ri (Ω)	Cgd (fF)	Rgd (Ω)	gm (mS)	gd (mS)	τ (ps)	Cds (fF)
224.0	1.0	49.9	6.0	88.7	7.8	1.57	36.0

Tableau 2-4 : Éléments du modèle petit signal du transistor $8 \times 50 \mu\text{m}$ pour un point de polarisation de repos de $V_{gs_0} = -7\text{V}$, $V_{ds_0} = 22.2\text{V}$, $I_{ds_0} = 118\text{mA}$.

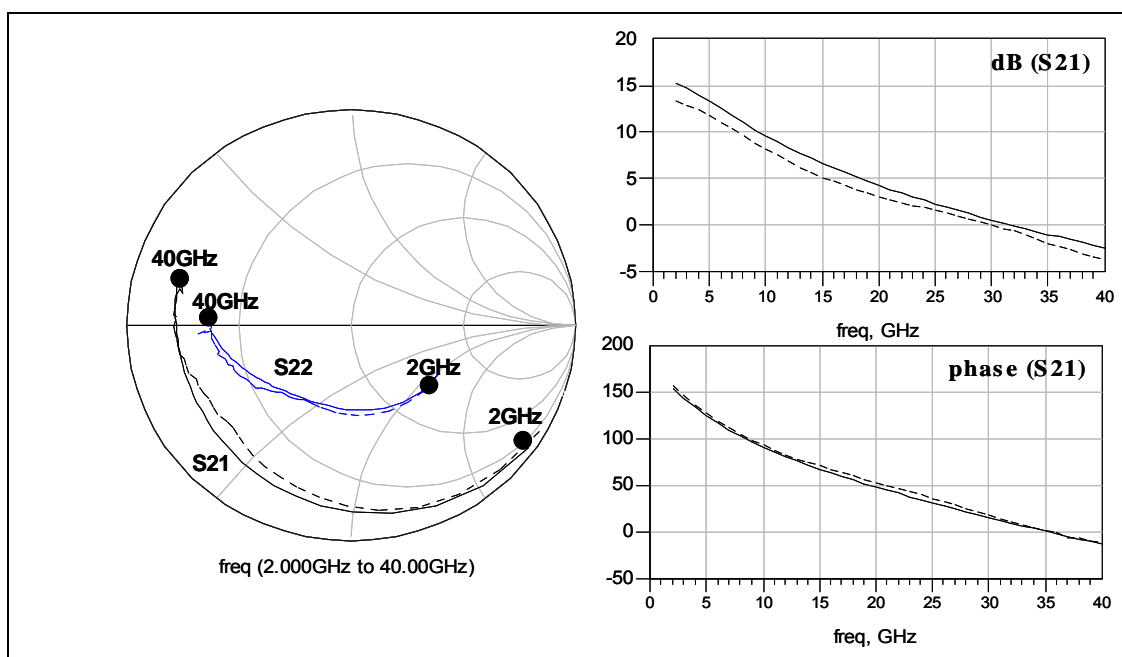


Figure 2-53 : Comparaison des paramètres S mesurés (pointillés) et simulés (ligne continue) du transistor $8 \times 50 \mu\text{m}$ sur la bande 2-40GHz.

II.4.1.2. Modèles non-linéaires

Le modèle non linéaire de ce composant a été implémenté par des équations phénoménologiques. À partir du modèle petit signal multipolarisation, il a été possible d'observer les évolutions des différents éléments intrinsèques du modèle en fonction des tensions de polarisation appliquées. Nous avons ainsi pu déterminer que les capacités C_{gs} et C_{ds} ainsi que la source de courant commandée I_{ds} présentaient une forte non-linéarité vis-à-vis de la polarisation appliquée qu'il était nécessaire de modéliser.

La Figure 2-54 présente la comparaison des réseaux $I_d(V_{ds})$ mesuré et simulé obtenus pour un point de polarisation de repos de $V_{gs_0} = -7\text{V}$, $V_{ds_0} = 22.2\text{V}$, $I_{ds_0} = 118\text{mA}$. Nous pouvons observer qu'en raison de la présence d'un effet kink, le modèle de Tajima montre des difficultés à

se superposer au réseau mesuré. Il faut en effet accepter un compromis entre la modélisation du réseau pour les tensions de polarisation de grille faibles et la modélisation de l'ensemble du réseau. La Figure 2-55 montre la bonne corrélation mesures/modèle des paramètres S considérés pour un point de polarisation de repos de $V_{gs0}=-7V$, $V_{ds0}=22.2V$ et $I_{ds0}=118mA$.

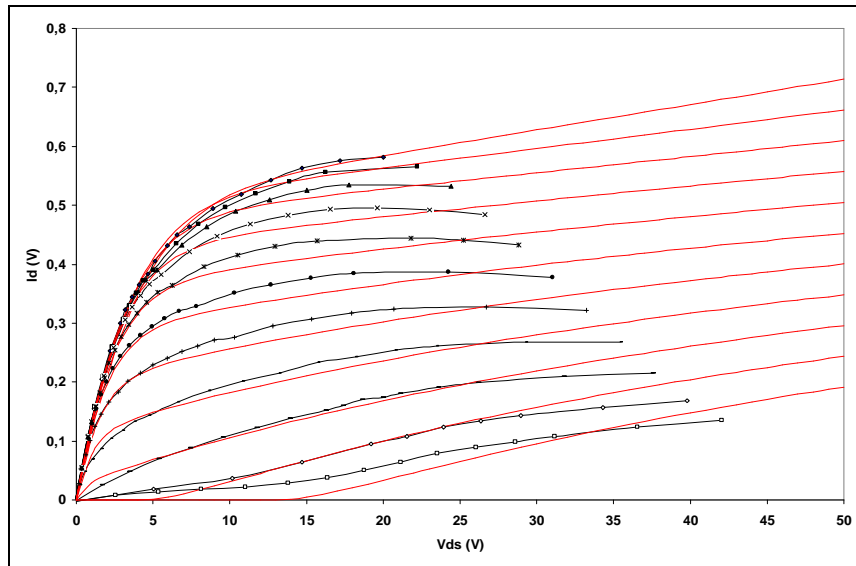


Figure 2-54 : Comparaison des réseaux $I_d(V_{ds})$ mesuré (avec tics) et simulé à partir du modèle dérivé par équations phénoménologiques (sans tics) pour V_{gs} allant de $-8V$ à $+2V$.

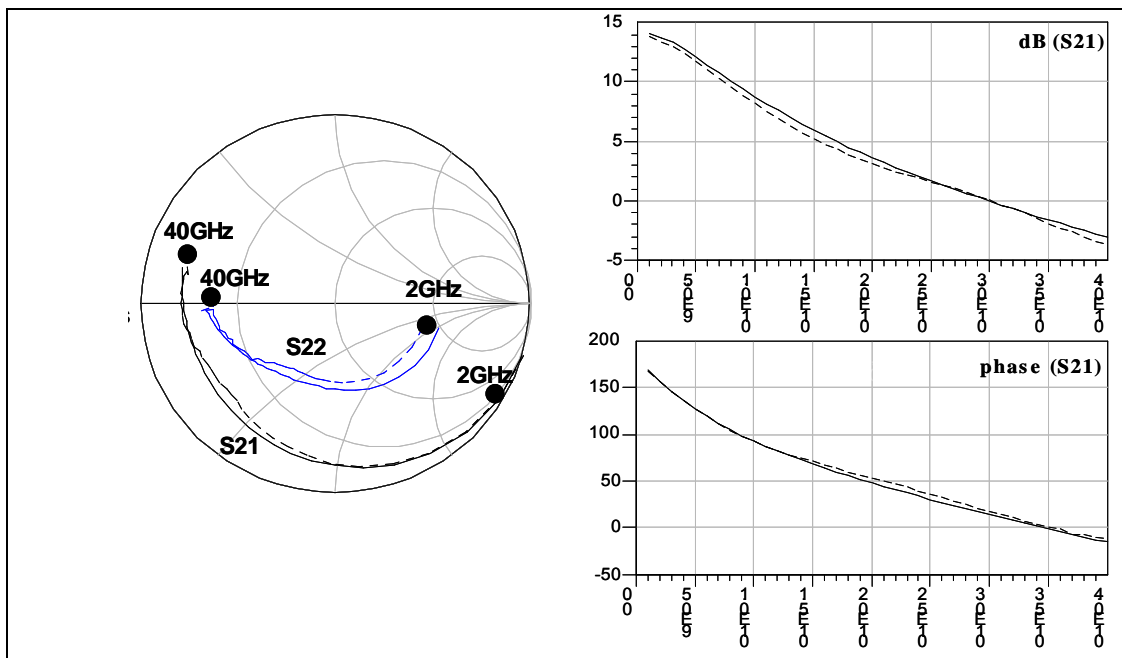


Figure 2-55 : Comparaison des paramètres S mesurés (pointillés) et simulés à partir du modèle (ligne continue) sur la bande 1-40 GHz.

II.4.2. Le transistor HEMT 8x75 μ m

Le transistor HEMT AlGaIn/GaN 8x75 μ m AEC 1148 a été réalisé sur un substrat SiC par le laboratoire TIGER dans le cadre du projet Korrigan en 2006. La Figure 2-56 montre la photographie de ce transistor de développement de grille 600 μ m, présentant 8 doigts de 75 μ m.

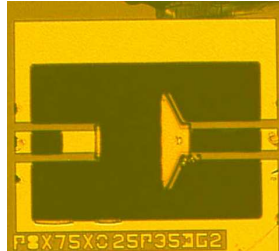


Figure 2-56 : Photographie du transistor de développement 8x75 μ m sur technologie SiC.

II.4.2.1. Modèle linéaire

Les paramètres du modèle sont extraits pour un point de polarisation ce qui correspond à $V_{gs_i} = -4$, $V_{ds_i} = 23$ V, $I_{d_i} = 200$ mA. À ce point de repos instantané est associé un fichier de mesure contenant les paramètres [S] de 2 à 40GHz par pas de 1GHz.

À partir de ce fichier de paramètres [S], la méthode d'extraction des paramètres décrite dans le paragraphe II.3.1 de ce chapitre est appliquée au transistor 8x75 μ m. Les valeurs des paramètres extrinsèques et intrinsèques sont regroupées dans le Tableau 2-5 ci-contre. Cependant il faut noter que les paramètres extrinsèques sont indépendants de la polarisation alors que les paramètres intrinsèques sont fonction du point de polarisation. Par conséquent, les paramètres extrinsèques trouvés lors de l'extraction du modèle linéaire sont les mêmes que pour le modèle non linéaire que nous réaliserons par la suite.

<i>Éléments extrinsèques</i>							
Rg (Ω)	Lg (pH)	Cpg (fF)	Rd (Ω)	Ld (pH)	Cpd (fF)	Rs (Ω)	Ls (pH)
0,967	41,77	28	0,87	68,8	27,7	0,613	1,758
<i>Éléments intrinsèques</i>							
Cgs (pF)	Ri (Ω)	Cgd (fF)	Rgd (Ω)	gm (mS)	gd (mS)	τ (ps)	Cds (fF)
0,59	0,57	68,5	15,2	128,6	6,45	1,83	164

Tableau 2-5 : Éléments du modèle petit signal du transistor 8x75 μ m pour un point de polarisation de repos de $V_{gs_0} = -4$ V, $V_{ds_0} = 23$ V.

Les résultats de simulations de paramètres [S] obtenus pour ce modèle linéaire au point de polarisation instantané précédent sont comparés aux paramètres [S] issus directement de la mesure (Figure 2-57). On observe un très bon accord dans la bande 2-40GHz avec une différence plus importante sur le gain maximum au-delà de 20GHz.

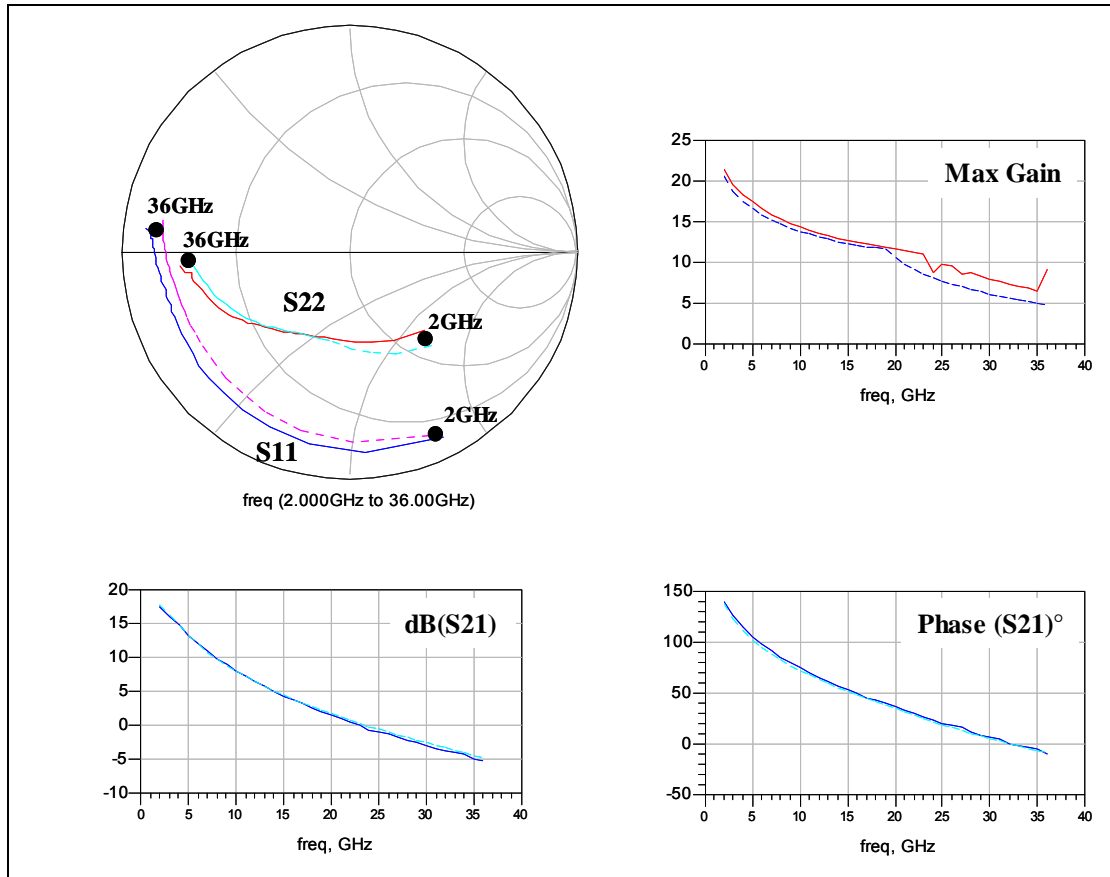


Figure 2-57 : Comparaison des paramètres S mesurés (pointillés) et simulés (ligne continue) du transistor $8 \times 75 \mu\text{m}$ sur la bande 2-36GHz.

II.4.2.2. Modèle non-linéaire

La Figure 2-58 représente le modèle non linéaire intégrant les non-linéarités des capacités C_{gs} et C_{gd} extraites des mesures RF en impulsions, les diodes d'entrées modélisant le courant de grille ainsi que l'effet fondamental du transistor $I_d = f_{NL}(V_{gs}, V_{ds})$ et la partie thermique [2.27] :

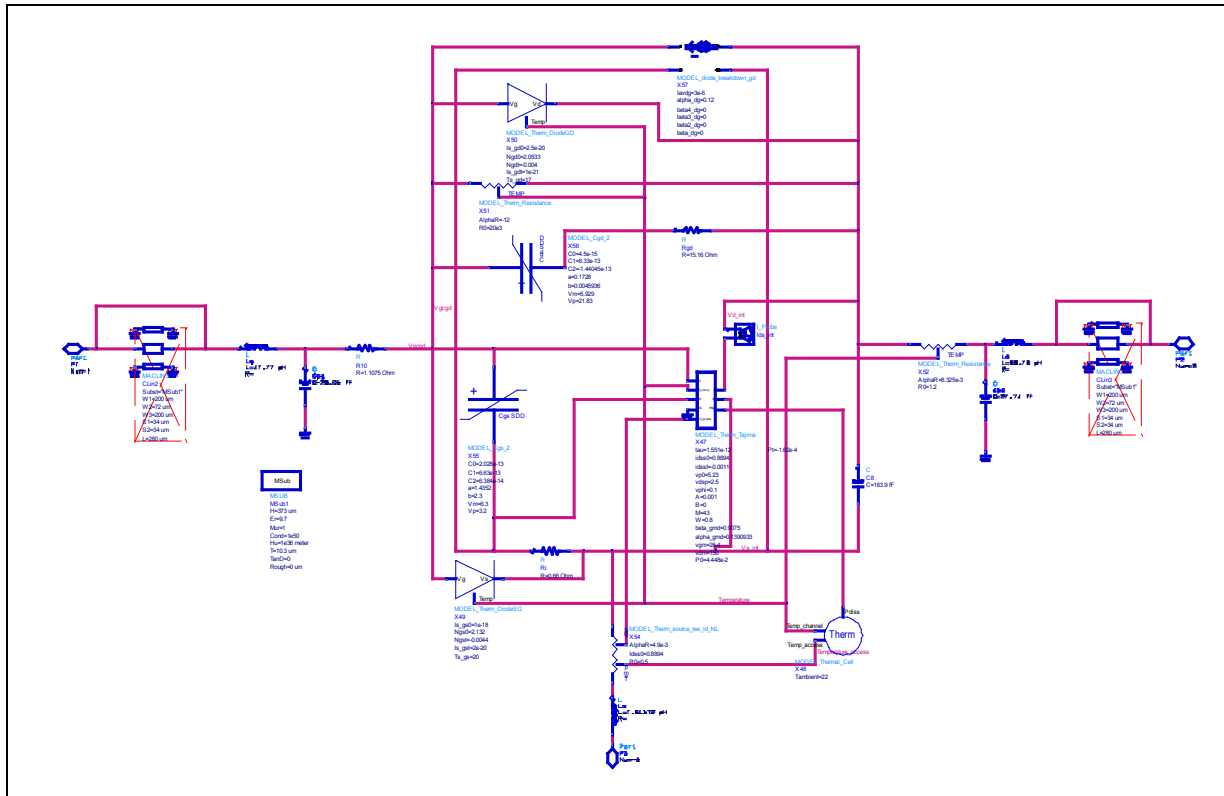


Figure 2-58 : Modèle électrique non linéaire relatif au transistor HEMT 8x75 μ m.

Des simulations du modèle non-linéaire par équations phénoménologiques en grand signal ont été réalisées. Le principe du « load-pull » [2.24], [2.25], [2.26] est appliqué afin de déterminer l'impédance de charge optimale en gain, en puissance de sortie et en rendement en puissance ajoutée à la fréquence f_0 . Pour cela le transistor est polarisé en classe AB ($V_{gs0}=-4V$, $V_{ds0}=25V$) et l'impédance de charge à la fréquence fondamentale ($f_0=10GHz$) varie de manière à ce qu'elle balaie l'abaque de Smith autour de l'optimum pour une puissance d'entrée proche de 1dB de compression.

À la fin de la caractérisation, on détermine les contours de gain maximum, de puissance de sortie et de puissance ajoutée constants (Figure 2-59). Par conséquent, à la suite de cette analyse, il est aisé de déterminer l'impédance de charge optimale en termes de gain maximum, de puissance de sortie et de rendement en puissance ajoutée en prenant garde toutefois que cette valeur optimale de l'impédance de charge se situe dans une région de l'abaque de Smith où le fonctionnement du système reste stable. Pour finir, cette opération est réitérée jusqu'à ce que la valeur de la puissance d'entrée corresponde exactement au dB de compression. De manière générale, 2 à 3 itérations sont suffisantes pour accéder à l'impédance de charge optimale.

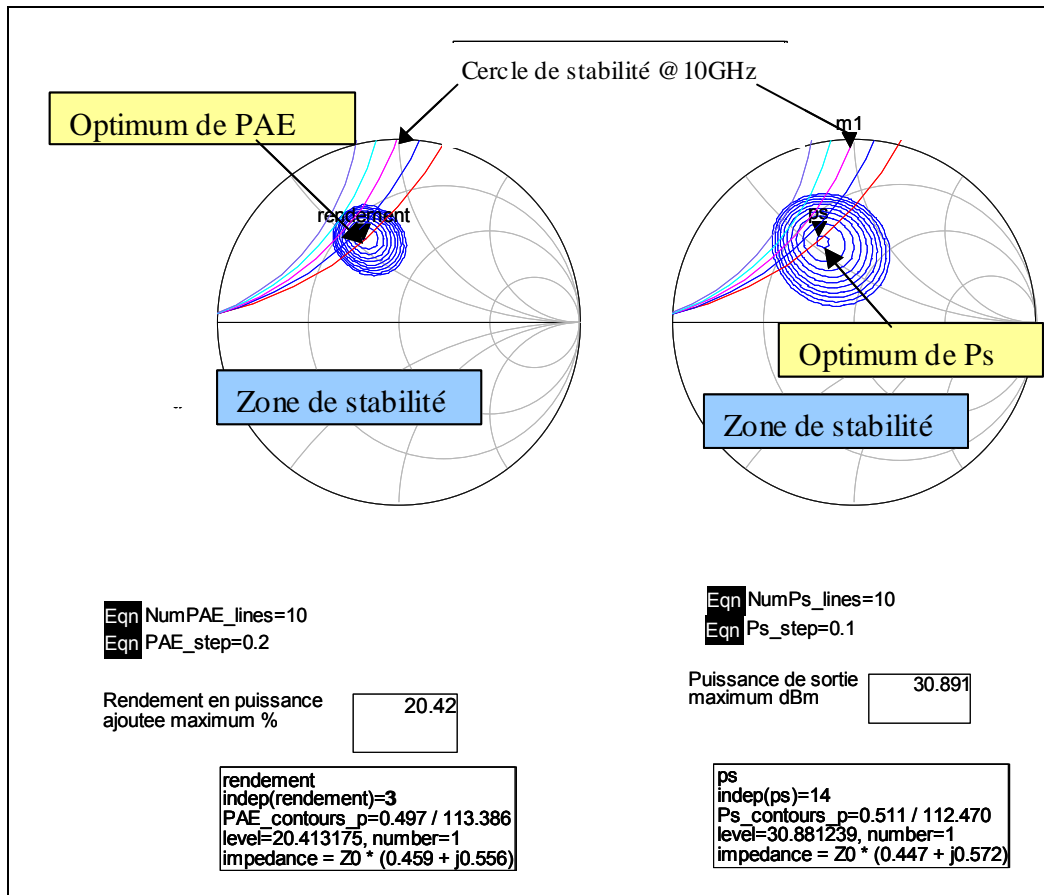


Figure 2-59 : Représentation de l'impédance de charge pour le maximum de puissance de sortie et le maximum de rendement en puissance ajoutée associé au cercle de stabilité à la fréquence de 10 GHz avec une polarisation en classe AB ($V_{gs0}=-4V$, $V_{ds0}=25V$) pour une puissance d'entrée correspondant @1dB de compression.

La valeur de l'impédance de charge au fondamental ($f_0=10GHz$) pour une puissance de sortie maximum au dB de compression avec une polarisation en classe AB ($V_{gs0}=-4V$, $V_{ds0}=25V$) est la suivante :

$$Z_L(f_0) = 22.35 + j 28.6 \quad \text{Eq 2-20}$$

Les impédances de fermeture pour les autres fréquences harmoniques sont de la forme :

$$Z_L(nf_0) = 50 + j 0 \quad \text{Eq 2-21}$$

Les résultats de comparaison mesures/simulation sont présentés sur la Figure 2-60 suivante. Les mesures load-pull en CW avec boucle active ont été réalisées pour la même impédance de charge.

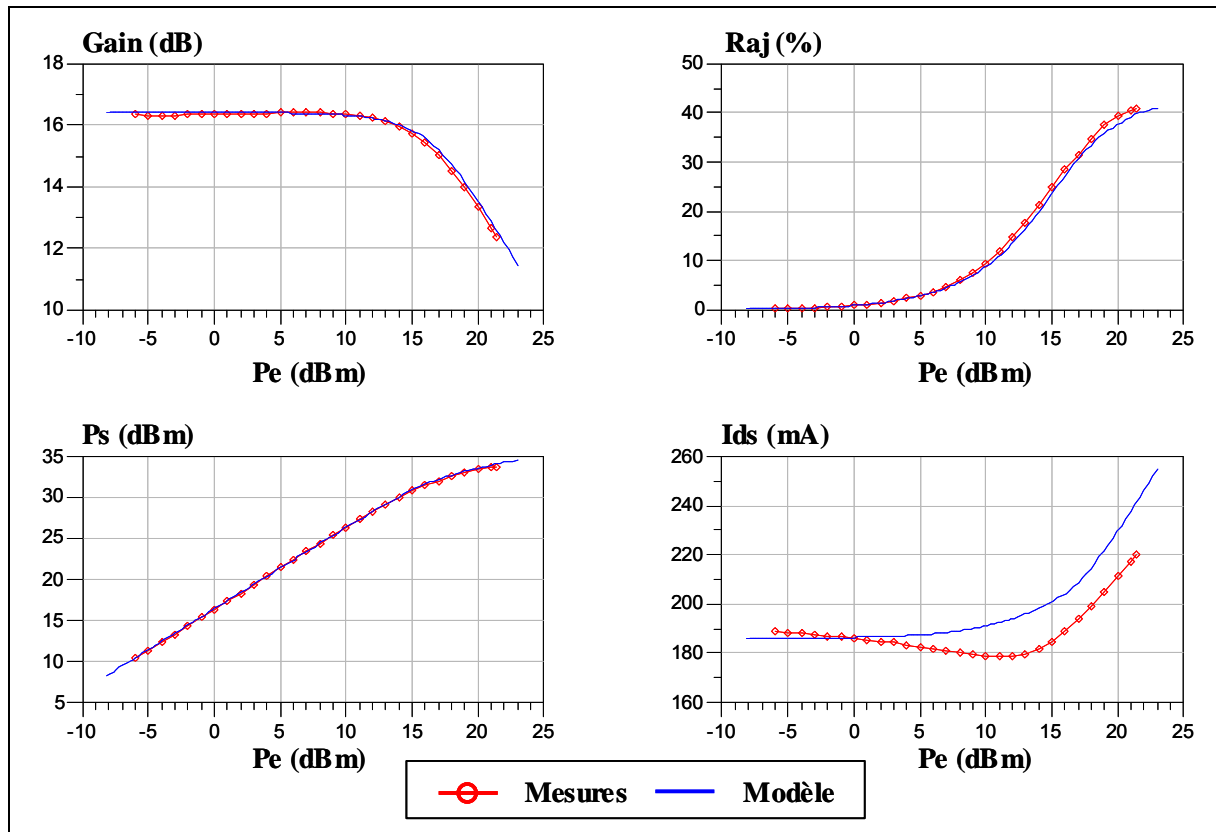


Figure 2-60 : Comparaison mesures/modèle du gain, du rendement en puissance ajoutée, de la puissance de sortie et du courant de sortie en fonction de la puissance d'entrée du transistor $8 \times 75 \mu\text{m}$ @10GHz polarisé en classe AB ($V_{gs0} = -4\text{V}$, $V_{ds0} = 25\text{V}$) sur l'impédance optimale.

Une bonne corrélation entre les mesures et les résultats du modèle simulé a été obtenue au niveau du gain, de la puissance de sortie et du rendement en puissance ajoutée. Une différence inférieure à 10% peut être observée au niveau du courant moyen de sortie pour les fortes puissances d'entrée [2.27].

Pour une puissance entrante dans le transistor égale à 17dBm (correspondant au dB de compression), la Figure 2-61 présente le cycle de charge intrinsèque du transistor superposé au réseau de sortie I [V] intrinsèque. On visualise ainsi que cette charge correspond à un fonctionnement optimal en puissance.

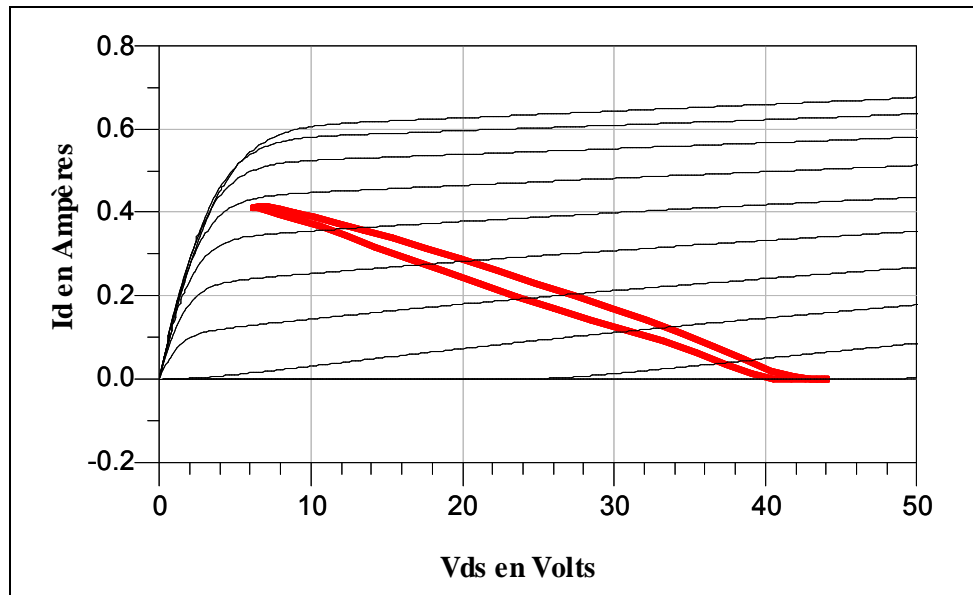


Figure 2-61 : cycle de charge intrinsèque du transistor $8 \times 75 \mu\text{m}$ @ 10GHz polarisé en classe AB ($V_{gs0} = -4\text{V}$, $V_{ds0} = 25\text{V}$) @ $P_e = 17\text{dBm}$ (1dB de compression).

CONCLUSION

Une filière technologique d'éléments passifs dédiée au développement de la filière MMIC HEMT AlGaIn/GaN a été caractérisée et modélisée pour deux types de substrat (Si et SiC) et deux technologies planaires (coplanaire et microruban). Le guide final de conception a été implémenté dans le logiciel ADS et intègre les modèles électriques paramétrés des inductances spirales, capacités MIM, des résistances, des ponts à air et des via-holes. Les composants passifs développés constituent aujourd'hui avec les modèles actifs, la base CAO pour la conception des amplificateurs MMIC de puissance dans le cadre du projet européen Korrigan.

Au travers des caractérisations menées sur les composants dédiés à nos conceptions de circuits, nous avons décrit la phase de modélisation électrique linéaire et non linéaire ainsi que la modélisation au niveau thermique pour les composants de la fonderie TIGER. Ces mêmes composants sont utilisés pour les conceptions décrites au cours du chapitre 3. Les phénomènes thermiques ont donc été mis en évidence pour le transistor HEMT 8x75 μ m par la caractérisation de ce composant à plusieurs températures ce qui a permis d'établir un modèle électrothermique non-linéaire.

BIBLIOGRAPHIE

- [2.1]. **Y. KOUTSOYANNOPOULOS, Y. PAPANANOS, C. ALEMANNI, S. BANTAS**
« A Generic CAD Model for Arbitrarily Shaped and Multi-Layer integrated Inductors on Silicon Substrates »
Proc. ESSCIRC 97, Southampton UK, septembre 1997, pp 320-323
- [2.2]. **E. PETTENPAUL, ET AL.**
« CAD Models of Lumped Elements on GaAs up to 18GHz »
IEEE Trans on MTT, vol. 36, pp 294-304, Février 1988
- [2.3]. **R. H. JANSEN, L. WIEMER, ET AL.**
« Theoretical and experimental broadband characterization of multiturn square spiral inductors in sandwich type GaAs MMIC »
15th European Microwave Conference, pp. 946-952, October 1985
- [2.4]. **D. MELENDY, P. FRANCIS, ET AL.**
« Wide-Band Compact Modeling of Spiral Inductors in RFICs »
IEEE MTT-S IMS Digest, pp. 717-720, Juin 2002
- [2.5]. **J. GIL, H. SHIN**
« A Simple Wide-Band On Chip Inductor Model for Silicon-Based RFICs »
IEEE Trans on MTT, vol. 51, no. 9, Septembre 2003
- [2.6]. **C. P. YUE, S. S. WONG**
« Physical Modeling of Spiral Inductors on Silicon »
IEEE Transactions of Electron Devices, vol. 47, no. 3, pp. 560-568, Mars 2000
- [2.7]. **C. SABOUREAU**
« Analyses électromagnétiques et méthodologies de conception associées, dédiées à l'optimisation de composants et modules millimétriques »
Thèse de Doctorat, Université de Limoges, Septembre 2004
- [2.8]. **J. P. TEYSSIER, R. QUERE, J. OBREGON**
« Accurate Non-linear Characterization of Microwave Semi-Conductor Devices Using Pulse Measurement Technique »
IEEE MTT Workshop, pp. 208-212, Ratingen (Germany), 1991
- [2.9]. **J. P. TEYSSIER**
« Caractérisation en impulsions des transistors micro-onde : Application à la modélisation non-linéaire pour la CAO des circuits »
Thèse de Doctorat, université de Limoges, Janvier 1994
- [2.10]. **J. P. TEYSSIER, J. P. VIAUD, R. QUERE**
« A new Nonlinear I(V) model FET devices including Breakdown Effects »
IEEE Microwave and Guided Wave Letters, vol. 4, no. 4, pp. 104-106, Avril 1994

[2.11]. Z. OUARCH, M. PEREZ, J. P. TEYSSIER, PH. BOUYSSÉ

« Band de caractérisation sous pointes de composants actifs en régime impulsionnel dans la bande 1-40GHz »

JNM, Saint Malo, pp. 510-511, Mai 1997

[2.12]. J. P. TEYSSIER, PH. BOUYSSÉ, Z. OUARCH, T. PEYRETAILLADE, R. QUERE

« 40 GHz/150 ns Versatile Pulsed Measurement System for Microwave Transistor Isothermal Characterization »

IEEE MTT, Décembre 1998

[2.13]. Z. OUARCH

« Caractérisation et modélisation des effets de pièges et thermiques des transistors à effet de champ sur AsGa : Application à la simulation de la dynamique lente des circuits non-linéaires micro-ondes »

Thèse de Doctorat, Université de Limoges, Janvier 1999

[2.14]. D. SIRIEX

« Modélisation non-linéaire des MESFETs sur carbure de silicium pour l'amplification de puissance micro-ondes »

Thèse de Doctorat, Université de Limoges, Janvier 2000

[2.15]. S. AUGAUDY

« Caractérisation et modélisation des transistors micro-ondes, Application à l'étude de la linéarité des amplificateurs à fort rendement »

Thèse de Doctorat, Université de Limoges, Mars 2002

[2.16]. J. J. RAOUX

« Modélisation non-linéaire des composants électroniques : du modèle analytique au modèle tabulaire paramétré »

Thèse de Doctorat, Université de Limoges, Mars 1995

[2.17]. C. CHARBONNIAUD

« Caractérisation et modélisation électrothermique non-linéaire de transistors à effet de champ GaN pour l'amplification de puissance micro-ondes »

Thèse de Doctorat, Université de Limoges, Octobre 2005

[2.18]. J. P. VIAUD

« Modélisation non-linéaire de transistors micro-ondes. Application à la conception d'amplificateurs de puissance en technologie MMIC »

Thèse de Doctorat, Université de Limoges, Mars 1996

[2.19]. G. DAMBRINE, A. CAPPY, F. HELIODORE, E. PLAYEZ

« A new method for determining the FET small-signal equivalent circuit »

IEEE Transactions on MTT, vol. 36, no. 7, pp. 1151-1159, Juillet 1988

[2.20]. W. R. CURTICE

« GaAs MESFET modeling and non linear CAD »

IEEE Transactions on MTT, vol. 36, no. 2, pp. 220-230, Février 1988

[2.21]. Y. TAJIMA, P. D. MILLER

« Design of Broad Band Power GaAs FET Amplifiers »

IEEE Transactions on MTT, vol. 32, no. 3, 1984

[2.22]. S. FORESTIER, T. GASSELING, PH. BOUYASSE, ET AL.

« A new non-linear capacitance model of millimeter wave power PHEMT for accurate AM/AM-AM/PM simulations »

Microwave and Wireless Components Letters, vol. 14, pp. 43-45, 2004

[2.23]. J. PORTILLA, M. CAMPOVECCHIO, R. QUERE, J. OBREGON

« A new coherent extraction method of FETs and HEMTs models for MMIC applications »

GaAs Symposium, Torino, Avril 1994

[2.24]. A. FERRERO, U. PISANI

« An improved calibration technique for on wafer large signal transistor characterization »

IEEE Transactions on Instrumentation and Measurement, vol. 42, no. 2, pp. 360-364, Avril 1993

[2.25]. D. BARATAUD

« Étude et conception de systèmes de caractérisation fonctionnelle dans le domaine temporel de transistors de puissance radiofréquences et micro-ondes »

Thèse de Doctorat, Université de Limoges, Octobre 1998

[2.26]. T. GASSELING

« Caractérisation non-linéaire avancée de transistors de puissance pour la validation de leur modèle CAO »

Thèse de Doctorat, Université de Limoges, Novembre 2003

[2.27]. O. JARDEL, F. DE GROOTE, C. CHARBONNIAUD, T. REVEYRAND, J.P. TEYSSIER, R. QUÉRE, D. FLORIOT

« A Drain-Lag Model for AlGaIn/GaN Power HEMTs »

Microwave Symposium Digest, IEEE MTTs International, pp. 601-604, 3-8 June 2007

CHAPITRE 3 : ANALYSE ET CONCEPTION
D'AMPLIFICATEURS DE PUISSANCE DISTRIBUÉS
À CELLULES CASCODES PHEMT GAN SUR LA
BANDE 4-18GHZ

INTRODUCTION

Un des aboutissements du projet européen Korrigan réside en la réalisation de démonstrateurs tels que des HPA (*High Power Amplifier*) en bande S, en bande X et en large bande (2-6GHz, 6-18GHz) mais aussi des LNA (*Low Noise Amplifier*) en bande X et large bande, ainsi que des SPDT (*Single Pole Double Throw switches*) en bande X et large bande. Afin d'évaluer les potentialités de cette technologie en terme de puissance large bande, nous avons décidé, en marge de ce contrat, de concevoir un amplificateur de puissance distribué dans la bande 4-18GHz. La topologie que nous avons retenue est une topologie distribuée à base de cellules cascades. Cette topologie a été adoptée pour faire suite aux premiers travaux de conception qui ont été effectués en début de thèse sur la technologie flip-chip.

Ce troisième chapitre va ainsi se scinder en trois parties :

Dans un premier temps, nous décrivons les différentes structures adaptées à l'amplification de puissance large bande telles que les architectures résistive et à contre-réaction. Puis les principes théoriques sur le fonctionnement de l'amplificateur distribué ainsi que sur le fonctionnement du montage cascade seront développés.

Par la suite, nous présenterons les étapes de conception d'un amplificateur de puissance distribué à cellules cascades en montage flip-chip fonctionnant sur la bande 4-18GHz dont les composants de base sont des transistors HEMTs GaN du premier contrat européen initié par la DGA. Ce circuit est un montage flip-chip d'une puce de nitrure de gallium sur un substrat de report en nitrure d'aluminium. Ce circuit présentait un challenge technologique au moment de l'étude car il proposait un premier pas vers le circuit intégré puisque des capacités MIM et des résistances actives étaient intégrées sur le circuit de GaN tandis que le découplage, l'adaptation et les lignes de connexion étaient intégrées sur la puce d'AlN de report flip-chip. Des mesures de la cellule cascade de test sont exposées au sein de cette partie.

En dernier lieu, le développement de la technologie MMIC en nitrure de gallium nous a permis de concevoir un amplificateur distribué à base de cellules cascades composé de transistors HEMTs GaN de développement $8 \times 75 \mu\text{m}$. Ce circuit représente également un challenge technologique du fait de l'intégration totale des éléments passifs sur la puce de GaN. L'optimisation en puissance repose sur l'adoption d'un profil d'impédances caractéristiques sur les lignes

artificielles de grille et de drain dont les paramètres peuvent être déterminés en fonction du conjugué de l'admittance optimale en puissance des cellules actives. Les cellules actives cascodes sont adaptées en puissance par examen des cycles de charge. De plus, nous avons adapté un profil de capacités en série sur la grille. Les simulations en puissance permettent d'obtenir des résultats assez prometteurs.

Au moment de la rédaction de ce manuscrit, l'amplificateur conçu est en cours de réalisation.

I- ÉTUDE DES AMPLIFICATEURS DE PUISSANCE LARGE BANDE ET MÉTHODE DE CONCEPTION D'AMPLIFICATEURS DISTRIBUÉS UTILISANT DES TRANSISTORS EN MONTAGE CASCODE

I.1. Différentes architectures d'amplificateurs de puissance large bande

La conception d'un amplificateur de puissance large bande nécessite l'utilisation de topologies spécifiques permettant la compensation des variations en fonction de la fréquence des performances de l'élément actif tout en l'adaptant sur toute sa bande de fonctionnement. Dans ce paragraphe, les différentes structures large bande existantes sont présentées et développées autour du transistor à effet de champ (TEC).

Les amplificateurs de puissance dits « large bande » fonctionnent sur une bande de fréquence supérieure à une octave ($f_{\max} > 2.f_{\min}$). Cet objectif implique l'utilisation de topologies spécifiques permettant d'obtenir un gain plat et maximum sur toute la largeur de bande ainsi qu'une adaptation entrée/sortie performante.

En effet, la décroissance naturelle du gain d'un transistor est de 6dB par octave. Une solution efficace pour obtenir un gain plat consiste à absorber l'excès de puissance aux basses fréquences en implantant des circuits dissipatifs sans pour autant perturber le fonctionnement aux hautes fréquences. En outre, l'obtention d'une adaptation entrée/sortie performante sur toute la bande reste un point crucial : la difficulté provient de la variation de la valeur des impédances d'entrée et de sortie présentées par le transistor (supérieures à 50Ω aux basses fréquences et inférieures à 50Ω aux hautes fréquences).

Nous présentons dans les paragraphes suivants quatre topologies principales d'amplificateurs de puissance large bande permettant de remplir ces conditions.

I.1.1. Les amplificateurs à adaptation résistive

Pour l'amplificateur à adaptation résistive, le principe consiste à placer une résistance parallèle entre la grille et la source sur l'entrée, et entre le drain et la source sur la sortie. La plupart de ces amplificateurs sont pré-adaptés à l'aide de filtres d'accord d'entrée et de sortie afin de rendre les impédances d'entrée et de sortie purement résistives (Figure 3-1). Ces impédances ont donc une dépendance en fréquence très faible ce qui facilite l'obtention d'une bande de fréquence importante.

Les deux résistances entrée-sortie (R_s , R_e) sont découplées aux fréquences microondes par une self inductance (X_s , X_e) de telle sorte que l'impédance à adapter aux hautes fréquences reste l'impédance d'entrée du transistor et que le gain disponible du transistor soit conservé.

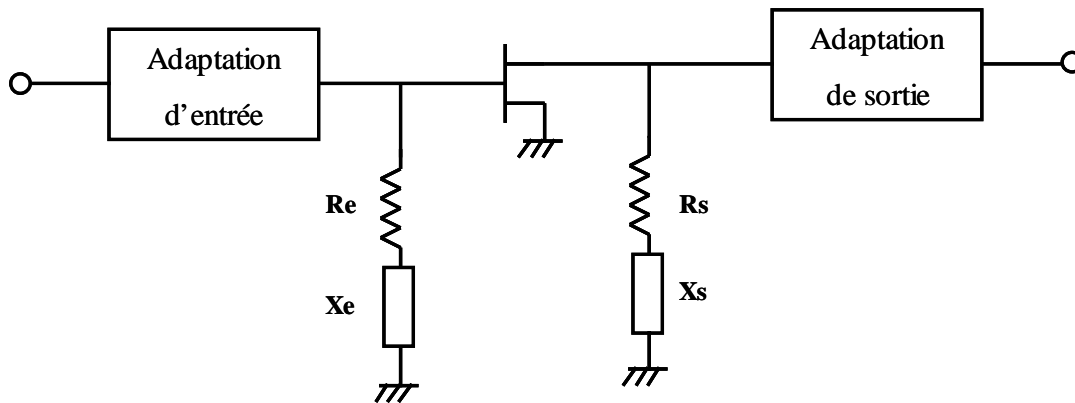


Figure 3-1 : Amplificateur à adaptation résistive.

Ce type d'amplificateur nécessite l'utilisation de transistors affichant une forte transconductance g_m . Il est alors possible d'augmenter le gain par la mise en cascade de plusieurs étages résistifs afin d'augmenter le gain total de l'amplificateur. Cependant le nombre de cellules élémentaires mises en cascade reste limité car la stabilité de l'ensemble est sensible au nombre de mise en cascade.

L'amplificateur résistif [3.1] est une solution très efficace et très utilisée pour adapter en puissance sur des bandes passantes moyennes à larges.

Malheureusement, cette topologie d'amplificateur ne permet pas d'obtenir des gains très plats (ondulation pouvant atteindre au moins 2dB) et pose des problèmes de stabilité. En revanche, il reste intéressant pour des largeurs de bande plus réduites tout en offrant de bonnes performances en puissance et une conception relativement simple.

I.1.2. Les amplificateurs à contre réaction

Une autre alternative consiste à mettre un circuit de contre réaction entre la grille et le drain du transistor de manière à obtenir un gain plat et une puissance de sortie maximale tout en ayant une bonne adaptation entrée/sortie (Figure 3-2).

Le circuit de contre réaction peut se composer de résistances associées en série à des éléments capacitifs et inductifs afin de limiter les effets néfastes sur les hautes fréquences en découplant les polarisations.

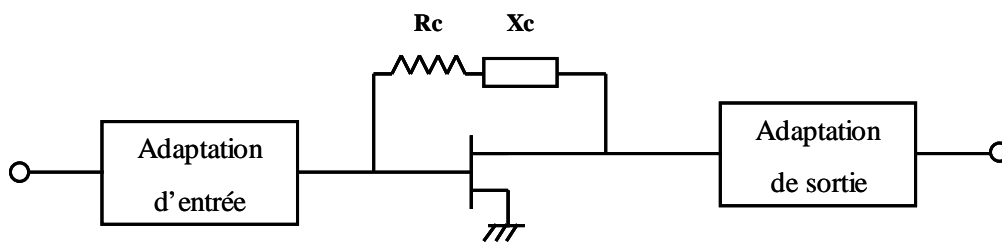


Figure 3-2 : Amplificateur à contre réaction.

La résistance parallèle R_c de contre réaction placée entre la grille et le drain permet donc l'adaptation basse fréquence. Aux hautes fréquences, la résistance de contre-réaction est découplée. Les circuits d'adaptation sont optimisés dans la bande de fréquence. Cette topologie nécessite aussi des transistors à forte transconductance g_m et conduit à une certaine complexité de réalisation des circuits d'adaptation. Parallèlement, ce type d'amplificateur permet d'obtenir des gains très plats.

En cascade plusieurs étages, il est possible d'augmenter le gain sur la bande. Cette mise en cascade permet d'obtenir un gain plus élevé et plus plat sur une largeur de bande plus importante de façon très significative.

Pour exemple, un amplificateur à contre réaction à 2 étages [3.2] a été réalisé en 2005 dans la bande de fréquence 10MHz – 2.4GHz avec un gain linéaire de $23\text{dB} \pm 1\text{dB}$ et une puissance de sortie @1dB de compression de 37dBm.

Par conséquent, ce type d'amplificateur permet d'obtenir des largeurs de bande pouvant atteindre 2 octaves tout en offrant de très bonnes performances en puissance.

I.1.3. Les amplificateurs équilibrés

Les adaptations entrée/sortie des transistors aux fréquences microondes restreignent les performances en puissance à de faibles largeurs de bande. Une possibilité consiste à mettre les transistors en parallèle en configuration équilibrée (Figure 3-3). Des coupleurs d'entrée et de sortie présentant un déphasage de 90° (lange, ...) permettent d'obtenir d'excellentes adaptations sur des largeurs de bande plus importantes. Cependant la taille des coupleurs aux basses fréquences représente une limitation.

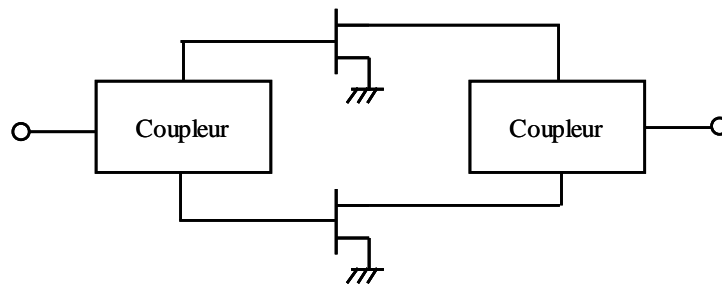


Figure 3-3 : Schéma d'une structure équilibrée.

Cette topologie d'amplificateur permet d'obtenir d'excellentes adaptations et une combinaison des puissances pour des bandes de fréquences plus importantes mais cela reste relativement faible comparé aux spécifications de notre travail [3.3].

I.1.4. Les amplificateurs distribués [3.5], [3.6], [3.7]

L'amplificateur distribué a été créé puis développé dès 1948 à partir des tubes pentodes. Dans un amplificateur conventionnel, la mise en parallèle des transistors permet d'accroître le gain par addition des transconductances, mais l'augmentation correspondante des capacités d'entrée et de sortie limite la fréquence maximum. Lorsqu'on accroît le gain, la bande passante diminue car le produit gain-bande passante reste sensiblement constant.

Pour l'amplificateur distribué (Figure 3-4), l'originalité de son principe réside dans le fait que l'on profite de l'addition des transconductances en compensant l'effet des capacités sur la fréquence de coupure haute par la réalisation de lignes artificielles de transmission LC en entrée et en sortie puisque les lignes de transmission sont des éléments large bande [3.8]. Cependant, l'utilisation des lignes met en évidence des contraintes spécifiques sur l'égalité des vitesses de phase pour assurer une bonne recombinaison directive en puissance vers la sortie.

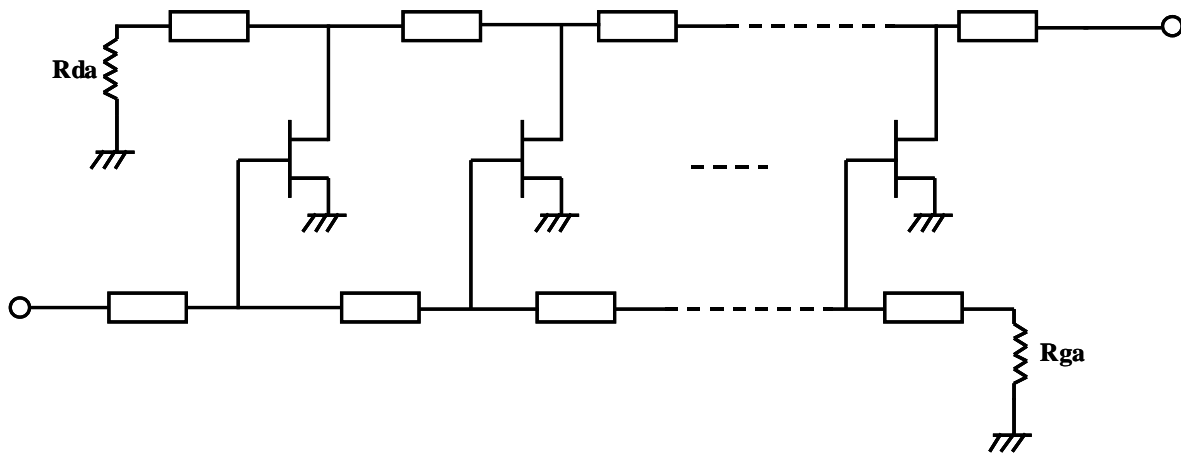


Figure 3-4 : Amplificateur distribué.

Les transistors sont donc disposés en parallèle et reliés par des inductances réalisant ainsi un système de deux lignes équivalentes couplées par la transconductance de chaque transistor et fermées à leurs extrémités par des charges adaptées sur leurs impédances caractéristiques. Ainsi, l'excès de puissance aux basses fréquences est absorbé par ces charges, permettant d'obtenir un gain plat sur la bande et de bonnes adaptations.

Les signaux hyperfréquences appliqués à l'entrée de l'amplificateur traversent donc la ligne d'entrée jusqu'à son extrémité. Au cours de ce trajet, une partie des signaux d'entrée est prélevée à différentes phases par chaque transistor distribué le long de la ligne, amplifiée par les transconductances et transférée sur la ligne de sortie. La fraction restante du signal incident est absorbée par la charge R_{ga} supposée égale à l'impédance caractéristique de la ligne d'entrée.

Notons que les cellules distribuées peuvent être composées soit de transistors seuls soit de circuits plus ou moins complexes tels que les cellules cascades. Néanmoins, il faut tout de même faire un compromis car si le gain augmente avec le nombre de cellules distribuées, les pertes induites par les résistances entrée/sortie des transistors sur les lignes artificielles augmentent aussi de telle sorte que la bande passante diminue.

Des études comparatives sur les performances en largeur de bande des quatre structures présentées [3.9], [3.10], [3.11] montrent que la structure distribuée présente le plus grand nombre d'avantages pour des largeurs de bande importantes. Elle permet d'obtenir des gains extrêmement plats et d'excellentes adaptations sur des largeurs de bande de fréquences supérieures à la décade. Le gain de cette structure d'amplificateur étant cependant limité, la mise en cascade de plusieurs étages s'avère alors nécessaire pour l'obtention d'un fort gain.

Nous allons nous intéresser plus particulièrement et plus amplement au principe de fonctionnement de l'amplificateur distribué de puissance dans les paragraphes suivants.

I.2. Principe de fonctionnement et étude de l'amplificateur distribué en bas niveau

Ce chapitre présente le principe de fonctionnement d'un amplificateur distribué en régime linéaire et des contraintes de conception associées [3.12], [3.14], [3.17]. Pour ce développement, une configuration dite « simple » est adoptée pour laquelle les cellules distribuées sont des transistors à effet de champ source commune dont le modèle unilatéral intrinsèque est représenté sur la Figure 3-5 ci dessous.

Cette étude présente les critères initiaux permettant au concepteur de choisir la topologie la plus adéquate pour valider son cahier des charges (taille des composants à considérer, nombre de transistor à utiliser).

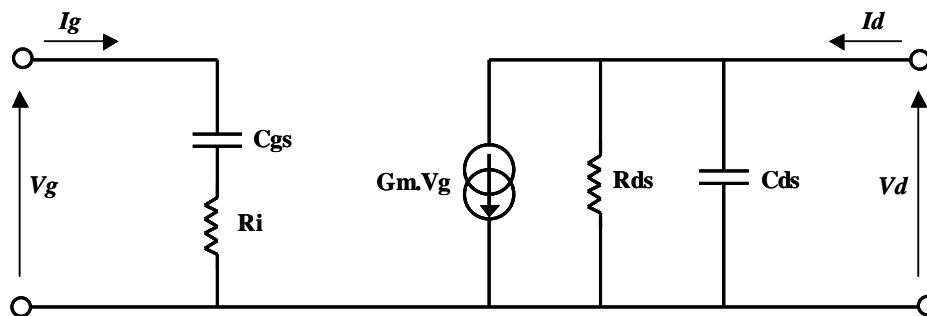


Figure 3-5 : Schéma équivalent unilatéral du transistor HEMT.

I.2.1.Principe de fonctionnement

Le principe de fonctionnement d'un amplificateur distribué réside en l'association de la capacité d'entrée et de sortie d'un transistor avec une inductance afin de réaliser des lignes artificielles de transmission à l'entrée et à la sortie de l'amplificateur. L'avantage de cette topologie est donc d'utiliser les éléments capacitifs parasites réduisant la fréquence de coupure de l'amplificateur pour transmettre le signal entre les transistors tout en bénéficiant de l'addition des transconductances des différents transistors. De cette façon, les capacités ne constituent plus un obstacle au fonctionnement large bande de l'amplificateur mais deviennent des éléments de transmission du signal.

Les inductances, L_{ga} pour la ligne d'entrée, L_{da} pour la ligne de sortie relient les transistors placés en parallèle dans la structure. Ces deux lignes sont terminées à leurs extrémités par des résistances de charge R_{ga} et R_{da} , théoriquement égales aux impédances caractéristiques de ces lignes artificielles LC intégrant les capacités C_{gs} et C_{ds} des transistors (Figure 3-6).

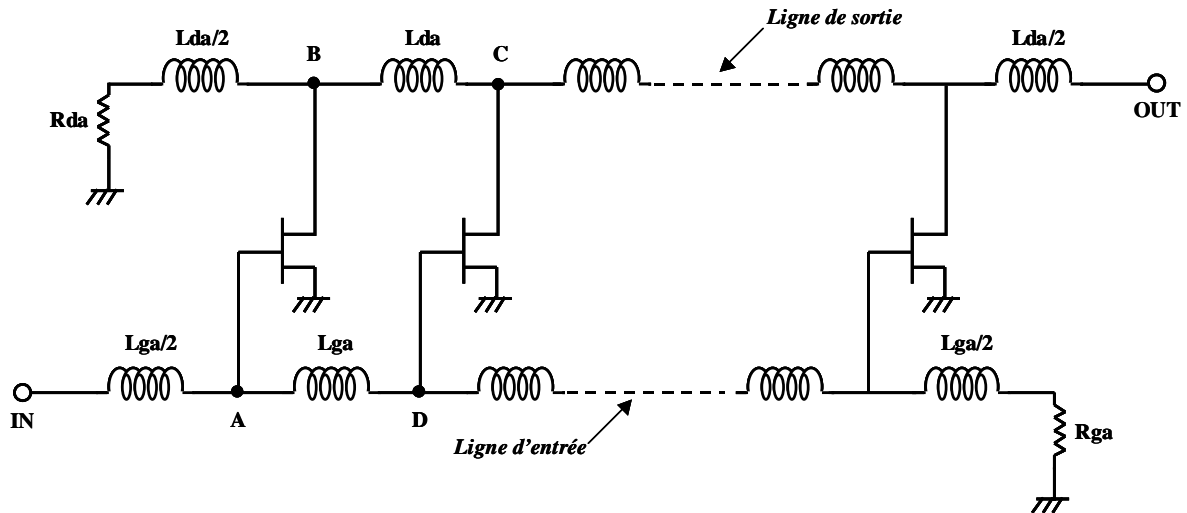


Figure 3-6 : Amplificateur distribué en configuration dite « simple ».

Appliqué à l'entrée de l'amplificateur distribué, le signal traverse la ligne d'entrée. Une portion de ce signal est prélevée à différentes phases par les transistors, puis elle est amplifiée par leur transconductance g_m et transférée sur la ligne de sortie. La fraction restante du signal qui n'a été prélevée par aucun transistor est absorbée au bout de la ligne de grille par la charge adaptée R_{ga} .

Pour que les signaux amplifiés par chaque transistor s'ajoutent dans le sens de la sortie, il est nécessaire d'imposer l'égalité des vitesses de phase entre les chemins ABC et ADC pour chaque cellule ; en d'autres termes, le signal prélevé en A par le 1^{er} transistor et le signal prélevé en D par le 2nd transistor doivent se recombiner en phase au point C pour produire l'amplification de puissance attendue vers la sortie. En revanche, si cette condition n'est pas respectée, une partie du signal se propage en sens inverse et se dissipe dans la résistance R_{da} .

L'analyse de l'amplificateur distribué revient à synthétiser deux lignes artificielles de transmission d'entrée et de sortie couplées aux éléments intrinsèques des transistors à effet de champ. Comme le présente la Figure 3-7 nous avons :

- une ligne de grille constituée des inductances L_{ga} combinées aux éléments intrinsèques d'entrée du transistor (capacité C_{gs} en série avec la résistance R_i)

- une ligne de drain constituée des inductances L_{da} combinées aux éléments intrinsèques de sortie du transistor (capacité C_{ds} en parallèle avec la résistance R_{ds})

La source de courant g_m permet quant à elle d'assurer le couplage actif entre ces deux lignes artificielles.

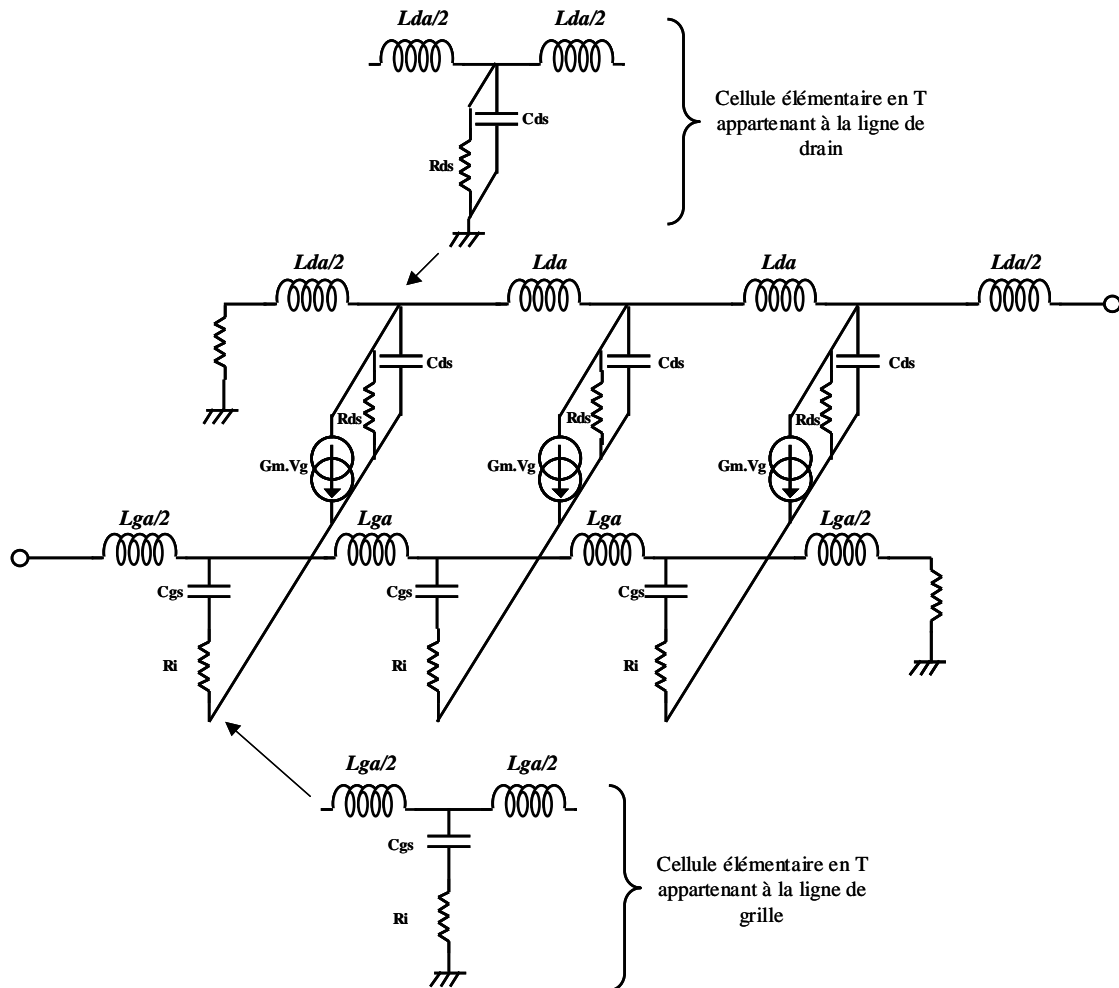


Figure 3-7 : Mise en évidence des lignes de transmission de grille et de drain.

I.2.2. Critère de conception d'un amplificateur distribué

I.2.2.1. Fréquence de coupure

Dans le cas d'un amplificateur distribué simple, la propagation d'entrée et de sortie est caractéristique d'un filtre passe-bas LC. Si l'on considère que la cellule élémentaire appartient à une ligne infinie sans réflexion, c'est-à-dire adaptée à son impédance caractéristique, on peut déterminer la fréquence de coupure f_c de la ligne de grille et de drain avec $\omega \cdot R_i \cdot C_{gs} \ll 1$:

$$f_{cg} = \frac{1}{\pi\sqrt{Lga.Cgs}} \quad \text{et} \quad f_{cd} = \frac{1}{\pi\sqrt{Lda.Cds}} \quad \text{Eq 3-1}$$

Des expressions précédentes, on peut conclure à l'influence déterminante de la valeur de f_{cg} (C_{gs} supérieure à C_{ds}) sur la bande passante et les performances d'un amplificateur distribué. En effet, plus la valeur de cette capacité est grande et plus la bande passante de la ligne de grille, et donc de l'amplificateur complet est réduite. Cette relation met en évidence un critère de choix du composant actif, puisque la capacité C_{gs} et la transconductance sont proportionnelles aux dimensions de la grille d'où le choix d'un transistor unitaire dont la taille est fonction du gain et de la bande recherchée.

1.2.2.2. Impédances caractéristiques des lignes de grille et de drain

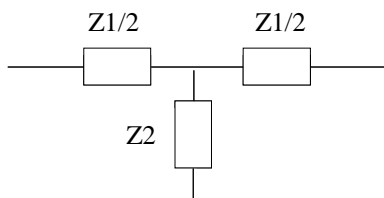
Une ligne est dite adaptée si elle est fermée sur son impédance caractéristique. Ainsi il ne se produit pas d'onde stationnaire puisque l'énergie qui se propage le long de la ligne n'est pas réfléchi et donc intégralement absorbée par la charge. La ligne est alors dite adaptée.

L'impédance caractéristique Z_c d'une ligne peut-être déterminée par la relation suivante :

$$Z_c = \sqrt{Z_{co}.Z_{cc}} \quad \text{Eq 3-2}$$

où Z_{co} et Z_{cc} représentent l'impédance d'entrée du circuit chargé respectivement par un circuit ouvert et un court-circuit.

À partir de la représentation de la cellule élémentaire en T (Figure 3-8), nous donnerons les impédances caractéristiques de la ligne de grille Z_{cg} et de la ligne de drain Z_{cd} issues des cellules équivalentes en T des lignes de grille et de drain (Figure 3-9) :



$$Z_{c_T} = \sqrt{Z_1.Z_2} \cdot \sqrt{1 + \frac{Z_1}{4.Z_2}}$$

Eq 3-3

Figure 3-8 : Cellule élémentaire en T.

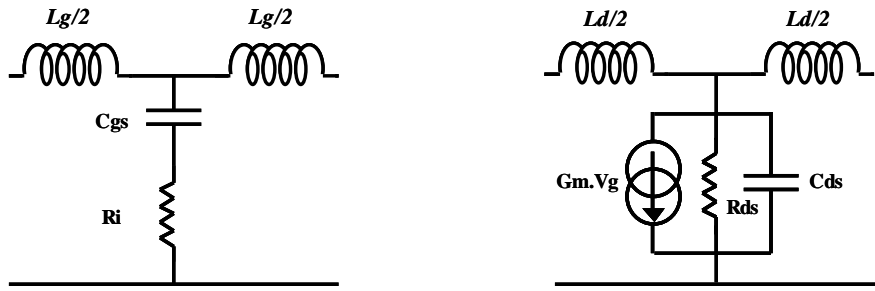


Figure 3-9 : Cellules élémentaires en T des lignes de grille et de drain.

Par analogie entre le schéma d'une cellule élémentaire de structure en T d'une ligne de transmission et les circuits de la Figure 3-9, nous pouvons en déduire les impédances Z_1 et Z_2 des lignes de grille et de drain :

- Pour la ligne de grille : $Z_{1g} = j.\omega.Lga$ Eq 3-4

$$Z_{2g} = Ri + \frac{1}{j.\omega.Cgs}$$
 Eq 3-5

- Pour la ligne de drain : $Z_{1d} = j.\omega.Lda$ Eq 3-6

$$Z_{2d} = \frac{Rds}{1 + j.\omega.Rds.Cds}$$
 Eq 3-7

Par conséquent, à partir des quatre expressions données ci-dessus, il est possible de déduire les expressions des impédances caractéristiques des lignes de grille et de drain de l'amplificateur distribué selon la configuration en T considérée :

$$Z_{cg_T} = \sqrt{\frac{Lga}{Cgs}} \sqrt{1 - \frac{Lga.Cgs.\omega^2}{4} + j.Ri.Cgs.\omega}$$
 Eq 3-8

$$Z_{cd_T} = \sqrt{\frac{Lda}{Cds}} \sqrt{1 - \frac{Lda.Cds.\omega^2}{4} - \frac{1}{1 + j.Rds.Cds.\omega}}$$
 Eq 3-9

Au regard des expressions ci-dessus, force est de constater que les impédances caractéristiques des lignes équivalentes ne sont pas constantes et dépendent de la fréquence du signal. Ainsi, les charges réelles Rga et Rda aux extrémités de chaque ligne ne peuvent pas adapter sur toute la largeur de bande de fréquence. Les pertes induites par les réflexions sur ces charges seront alors critiques aux hautes fréquences pour l'amplification de puissance.

1.2.2.3. Constantes de propagation

Le signal subit un déphasage β et une atténuation α au cours de sa propagation le long de la ligne. La constante de propagation complexe est donnée par :

$$\theta = \alpha + j\beta \quad \text{Eq 3-10}$$

La définition des matrices chaînes d'une ligne notée C_l et d'une cellule élémentaire de structure en T notée C_T permet de déterminer la constante de propagation associée aux lignes de grille et de drain de l'amplificateur distribué :

$$C_l = \begin{bmatrix} ch\theta & Z_c.sh\theta \\ \frac{sh\theta}{Z_c} & ch\theta \end{bmatrix} \quad \text{Eq 3-11}$$

$$C_T = \begin{bmatrix} 1 + \frac{Z_1}{2Z_2} & Z_1 \left(1 + \frac{Z_1}{4Z_2} \right) \\ \frac{1}{Z_2} & 1 + \frac{Z_1}{2Z_2} \end{bmatrix} \quad \text{Eq 3-12}$$

À partir de ces deux matrices, nous pouvons déduire :

$$ch\theta = 1 + \frac{Z_1}{2Z_2} \quad \text{Eq 3-13}$$

Dans le cas d'une ligne à faibles pertes, c'est-à-dire où α est faible, nous pouvons admettre les approximations suivantes : $ch\alpha \approx 1$ et $sh\alpha \approx \alpha$

Ainsi, l'équation Eq 3-10 permet d'obtenir d'après l'approximation proposée ci-dessus :

$$\begin{aligned} ch\theta &= ch(\alpha + j\beta) = ch\alpha.ch(j\beta) + sh\alpha.sh(j\beta) \\ ch\theta &\approx \cos\beta + j.\alpha.\sin\beta \end{aligned} \quad \text{Eq 3-14}$$

Ainsi, par analogie entre les équations Eq 3-13 et Eq 3-14, on obtient :

$$\cos\beta = \text{Re} \left(1 + \frac{Z_1}{2Z_2} \right) \quad \text{Eq 3-15}$$

$$\alpha \sin\beta = \text{Im} \left(1 + \frac{Z_1}{2Z_2} \right) \quad \text{Eq 3-16}$$

En remplaçant par les impédances Z_1 et Z_2 des lignes de grille et de drain déterminées précédemment (Eq 3-4, 3-5, 3-6, 3-7), il est possible de déduire le déphasage et l'atténuation des lignes de grille et de drain :

$$\alpha_g = \frac{\omega.Ri.Cgs\sqrt{Lga.Cgs.\omega^2}}{\sqrt{4+(2.Ri.Cgs.\omega)^2 - Lga.Cgs.\omega^2}} \quad Eq\ 3-17$$

$$\beta_g = \arccos\left[1 - \frac{Lga.Cgs.\omega^2}{2[1+(Ri.Cgs.\omega)^2]}\right] \quad Eq\ 3-18$$

$$\alpha_d = \sqrt{\frac{Lda}{Cds}} \cdot \frac{1}{Rds\sqrt{4-Lda.Cds.\omega^2}} \quad Eq\ 3-19$$

$$\beta_d = \arccos\left[1 - \frac{Lda.Cds.\omega^2}{2}\right] \quad Eq\ 3-20$$

De ces expressions, il a été démontré [3.5] que :

- Dans le cas d'une configuration dite « simple », l'égalité des vitesses de phase se heurte à des contraintes technologiques sur la réalisation d'inductances de forte valeur car l'inductance Lda doit être élevée étant donné la forte valeur de Cgs comparée à celle de Cds.
- L'atténuation sur la ligne de grille fixe la fréquence de coupure réelle ce qui limite le nombre de cellules donc le nombre de transistors inclus dans l'amplificateur.

1.2.2.4. Gain en puissance

Si on suppose que les deux lignes sont adaptées en entrée et en sortie sur leurs impédances caractéristiques, et que la condition d'égalité des vitesses de phase est respectée entre chaque cellule des deux lignes de grille et de drain, le gain en puissance s'exprime [3.5] :

$$Gp = \frac{Ps}{Pe} = \frac{gm^2}{4} \sqrt{\frac{Lga}{Cgs}} \sqrt{\frac{Lda}{Cds}} \frac{e^{-n(\alpha d + \alpha g)}}{(1+(Ri.Cgs.\omega)^2) \cdot \left(1 - \frac{Lga.Cgs.\omega^2}{4}\right)} \frac{sh^2\left[\frac{n}{2}(\alpha d - \alpha g)\right]}{sh^2\left[\frac{1}{2}(\alpha d - \alpha g)\right]} \quad Eq\ 3-21$$

Nous pouvons remarquer dans cette expression que le gain en puissance dépend du nombre n d'étages et des pertes (αg , αd) le long des lignes de propagation, elles-mêmes fonction de la

fréquence. Le gain est proportionnel au carré de la transconductance g_m des transistors à effet de champ.

1.2.2.5. Nombre optimal de transistor

Le gain de l'amplificateur distribué présente un optimum en fonction du nombre n de transistors. Cet optimum dépend de la fréquence et des pertes des lignes. À partir de l'expression analytique du gain en puissance, une recherche des valeurs de n qui annulent la dérivée de G_p , donne comme solution le nombre optimal de transistors n_{opt} . Les pertes dépendant de la fréquence, le nombre optimal n_{opt} dépend de la fréquence et sera choisi en fonction de la fréquence maximale de la bande passante recherchée :

$$n_{opt} = \frac{\text{Ln}(\alpha_d) - \text{Ln}(\alpha_g)}{\alpha_d - \alpha_g} \quad \text{Eq 3-22}$$

En effet, en présence d'atténuation sur les lignes, le gain d'un amplificateur distribué ne peut pas croître indéfiniment en ajoutant des éléments actifs. Cette propriété des amplificateurs distribués s'explique de la façon suivante :

- un nombre important d'étages augmente les pertes de la ligne de grille ainsi constituée. De ce fait, lorsque le signal se propage sur la ligne, la tension de grille des derniers transistors sur la ligne de grille devient négligeable. Leur apport en courant est alors également négligeable ce qui provoque une saturation du gain.
- les pertes de drain vont ensuite atténuer ce courant au cours de la propagation entre le transistor et le port de sortie.

Ainsi non seulement les éléments actifs supplémentaires diminuent l'amplitude du signal excitant le dernier transistor mais augmentent l'atténuation de la ligne entière de drain. En conséquence, le gain de l'amplificateur commence à décroître dès que le nombre optimum d'éléments est dépassé, pour une fréquence donnée.

1.2.2.6. Sensibilité de l'amplificateur aux éléments du transistor

➤ Sensibilité de l'amplificateur aux éléments intrinsèques du transistor :

- C_{gs} détermine directement la fréquence de coupure de l'amplificateur distribué. Une valeur trop importante de la capacité d'entrée limite la largeur de bande et le gain.
- R_i contribue à l'atténuation de grille. Une forte valeur de la résistance d'entrée est associée à une fréquence de coupure plus basse et à un nombre plus limité de transistors utiles (n_{opt}).
- g_m fixe le niveau de gain proportionnel au carré de la transconductance.
- R_{ds} influence l'atténuation de drain et son effet reste sensible sur toute la bande de fonctionnement. Une trop faible valeur de R_{ds} diminue le gain.
- C_{ds} détermine la fréquence de coupure sur le drain qui reste beaucoup moins sensible que celle de la ligne de grille car C_{gs} est supérieure à C_{ds} .
- C_{gd} provoque une réduction très importante de la fréquence de coupure associée à une forte ondulation qui augmente jusqu'à la coupure. Cet effet est dû à la contre-réaction directe qu'elle constitue entre les lignes de grille et de drain perturbant ainsi la propagation du signal et la stabilité de l'amplificateur.

Ainsi, la connaissance des sensibilités propres à chaque élément du modèle électrique permet d'effectuer un choix entre plusieurs composants selon les objectifs spécifiés sur le niveau de gain et de la bande de fonctionnement de l'amplificateur distribué.

➤ Sensibilité de l'amplificateur aux éléments extrinsèques du transistor :

- les inductances de grille et de drain (L_g et L_d) diminuent la valeur de la fréquence de coupure de l'amplificateur en accentuant le désaccord entre les vitesses de phase.
- la résistance de source (R_s) diminue le gain en accentuant les atténuations. On peut noter cependant qu'elle entraîne une ondulation du gain en haute fréquence.
- l'inductance de source (L_s) provoque une diminution de la bande passante à cause de la contre-réaction qu'elle induit entre les lignes de grille et de drain.

La connaissance des effets des éléments extrinsèques sur les performances d'un amplificateur distribué permet à un concepteur de compléter les critères de choix du composant actif le plus apte à valider ses spécifications.

I.3. Configurations particulières de topologie distribuée

Les performances linéaires d'un amplificateur distribué reposent essentiellement sur l'égalité des vitesses de phase et l'adaptation des impédances caractéristiques des deux lignes de grille et de drain sur toute la bande de fréquence. Néanmoins certains des éléments du transistor influent fortement sur ces caractéristiques. En effet, si l'on note V_{p_g} et V_{p_d} les vitesses de phase des lignes de grille et de drain, ainsi que Z_{c_g} et Z_{c_d} leurs impédances caractéristiques, nous pouvons écrire de manière simplifiée :

$$V_{p_g} = \frac{1}{\sqrt{Lga.Cgs}} \quad V_{p_d} = \frac{1}{\sqrt{Lda.Cds}} \quad Eq\ 3-23$$

$$Z_{c_g} = \sqrt{\frac{Lga}{Cgs}} \quad Z_{c_d} = \sqrt{\frac{Lda}{Cds}} \quad Eq\ 3-24$$

Dans le cas où les vitesses de phase des lignes de grille et de drain sont égales, nous pouvons dire que :

$$Lga.Cgs = Lda.Cds \quad Eq\ 3-25$$

Ainsi :

$$Z_{c_d} = \frac{Cgs}{Cds} . Z_{c_g} \quad Eq\ 3-26$$

Le schéma équivalent petit signal d'un transistor à effet de champ présente une capacité d'entrée C_{gs} beaucoup plus grande que la capacité de sortie C_{ds} . Dans une configuration simple d'amplificateur distribué, ce constat est perturbateur puisqu'il traduit la nécessité d'une forte valeur de L_d afin de respecter l'égalité des vitesses de phase ainsi qu'une impédance caractéristique élevée de la ligne de drain, difficile à adapter en large bande. Nous pouvons observer également une fréquence de coupure faible de la ligne de grille, limitative pour l'amplificateur complet ainsi que de fortes pertes imposées par cette ligne.

Afin de pallier ces limitations, des configurations particulières ont été envisagées [3.5], [3.8], [3.15], [3.16]. Nous présentons ci-dessous deux topologies visant à réduire, voire à annuler, la différence de valeurs des capacités d'entrée et de sortie des lignes artificielles de grille et de drain.

I.3.1. Capacité additionnelle en parallèle sur le drain :

Cette topologie comporte une capacité C_{ad} en parallèle sur le drain de chaque transistor (Figure 3-10). Le but est d'augmenter la capacité de sortie du transistor (C_{ds} en parallèle avec C_{ad}) afin de se rapprocher de la valeur de la capacité C_{gs} et de faciliter l'obtention de l'égalité des vitesses de phases avec des inductances L_{da} plus faibles et théoriquement égales aux inductances L_{ga} dans le cas où :

$$C_{ad} = C_{gs} - C_{ds} \quad \text{Eq 3-27}$$

De plus, l'augmentation de la capacité équivalente de sortie entraîne une diminution de l'impédance caractéristique de la ligne de drain. Ceci a pour effet une réduction du gain de l'amplificateur pouvant être compensée par un nombre plus important de composants actifs.

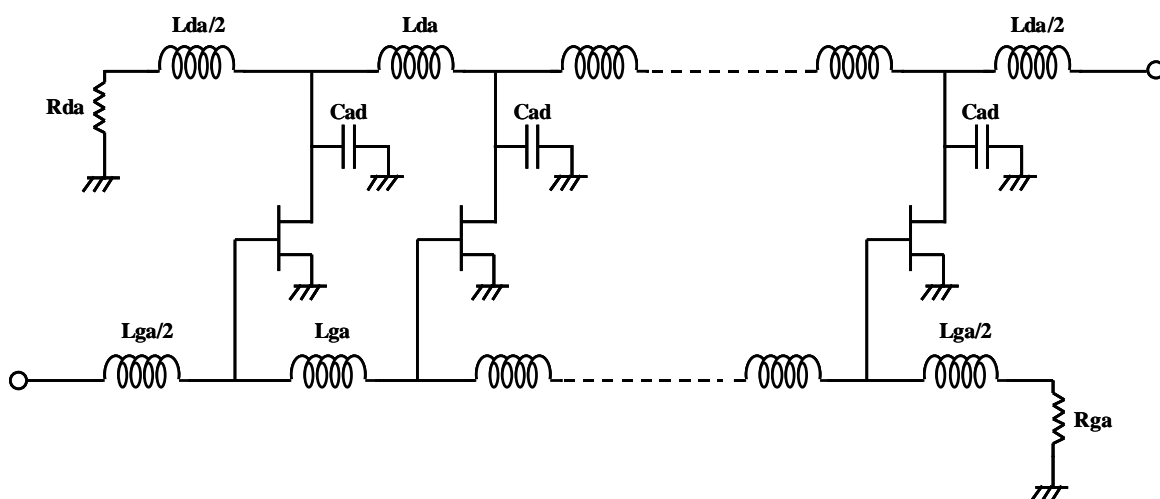


Figure 3-10 : Structure d'amplificateur distribué avec capacité parallèle sur le drain.

Malheureusement, la mise en œuvre de cette structure pose souvent des problèmes de réalisation des capacités de faible valeur ($C_{ad} < 0.2\text{pF}$) et ne permet pas de résoudre les limites en fréquence de la ligne de grille dues à la forte valeur de la capacité d'entrée.

I.3.2. Capacité additionnelle en série sur la grille :

Dans cette configuration, une capacité C_{ag} est ajoutée en série sur la grille des composants actifs (Figure 3-11). Cette capacité est alors en série avec la capacité d'entrée C_{gs} des transistors, induisant une diminution de la capacité équivalente d'entrée. Afin d'obtenir l'égalité des capacités équivalentes entrée/sortie, on imposera que la capacité C_{ag} vérifie l'équation suivante :

$$C_{ag} = \frac{C_{gs} \cdot C_{ds}}{C_{gs} - C_{ds}} \quad \text{Eq 3-28}$$

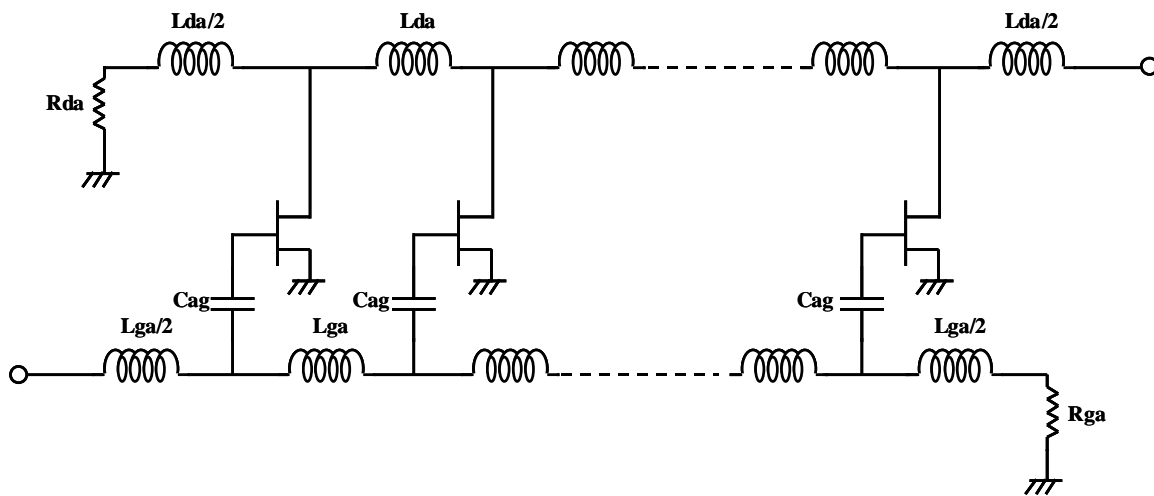


Figure 3-11 : Structure d'amplificateur distribué avec capacité série sur la grille.

Tout comme précédemment, cette structure facilite l'obtention de l'égalité des vitesses de phase. De surcroît, elle limite fortement les pertes de grille et de drain provoquant ainsi l'augmentation de la bande passante de l'amplificateur et du nombre optimal de transistors. Cependant une chute du gain est due au pont diviseur capacitif entre les capacités C_{ag} et C_{gs} , celle-ci pouvant être compensée comme dans l'autre structure par l'augmentation du nombre de transistors.

Cette configuration présente une amélioration très significative des caractéristiques large bande de l'amplificateur distribué. Nous verrons dans les paragraphes suivants que les caractéristiques de cette nouvelle configuration sont essentielles à la conception d'un amplificateur distribué de puissance.

Nous pouvons noter d'autre part que la mise en parallèle d'une résistance R_{ag} de forte valeur sur la capacité C_{ag} sera nécessaire afin d'assurer le passage de la polarisation de grille. Le concepteur devra alors s'assurer que la fréquence de coupure du filtre, fixée par la cellule constituée

par la résistance R_{ag} en parallèle avec la capacité C_{ag} , l'ensemble en série avec la capacité C_{gs} , soit bien inférieure à la fréquence minimale de la bande passante de l'amplificateur.

I.4. Analyse du montage cascode

[3.7], [3.13]

I.4.1. Description

Le montage cascode est réalisé par la mise en cascade de deux transistors dans des conditions particulières : source commune en cascade avec grille commune (Figure 3-12). La source de courant du deuxième transistor se retrouve ainsi excitée par la tension de sortie V_{ds_1} du premier transistor [3.19].

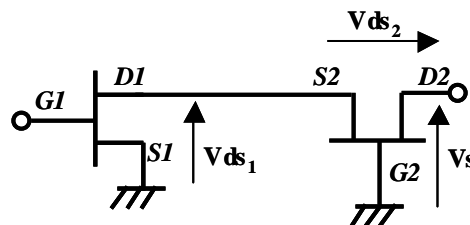


Figure 3-12 : Schéma du montage cascode.

Ce montage permet de remédier à l'inconvénient que présentent les TECs à longueurs de grille courtes destinés à la bande millimétrique puisque le TEC en grille commune présente une impédance de sortie plus grande. On bénéficie ainsi de faibles valeurs de R_i , C_{gs} et de la conductance de sortie G_{ds} .

En se référant au schéma équivalent petit signal du montage cascode (schéma équivalent unilatéral simplifié de deux transistors identiques connectés en cascode) (Figure 3-13), la résistance de sortie de l'élément cascode est :

$$R_{out} = (\mu + 2)R_{ds_2} \quad \text{avec} \quad \mu = g_m.R_{ds_2} \quad \text{Eq 3-29}$$

Ainsi la résistance de sortie est augmentée par un facteur de $(\mu+2)$ et cet effet persiste même en haute fréquence. Ceci représente l'un des critères de choix de la cellule cascode comme cellule active de l'amplificateur distribué.

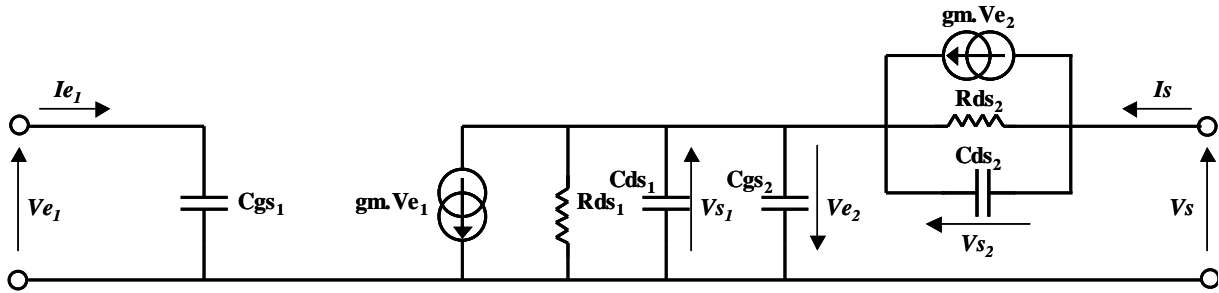


Figure 3-13 : Schéma équivalent simplifié d'une cellule cascode.

Les principaux avantages du montage cascode sont les suivants :

- amélioration de l'isolation entrée-sortie (réduction de l'effet de contre-réaction dû à Cgd représentée Figure 3-14)
- augmentation du gain
- augmentation de l'impédance de sortie

I.4.2. Principe de fonctionnement

I.4.2.1. Régime linéaire

Pour illustrer le principe, une comparaison des caractéristiques linéaires d'un transistor en source commune et d'un montage cascode est représentée sur la Figure 3-15 pour une bande de fréquence allant jusqu'à 50 GHz. Le schéma utilisé lors de ces simulations prend en compte la rétroaction induite par les éléments Cgd et Rgd (Figure 3-14). Les valeurs prises en compte sont celles du modèle linéaire du transistor de développement de grille 8x75µm présenté dans le chapitre 2. Le Tableau 3-1 rappelle les différentes valeurs des éléments du modèle en question.

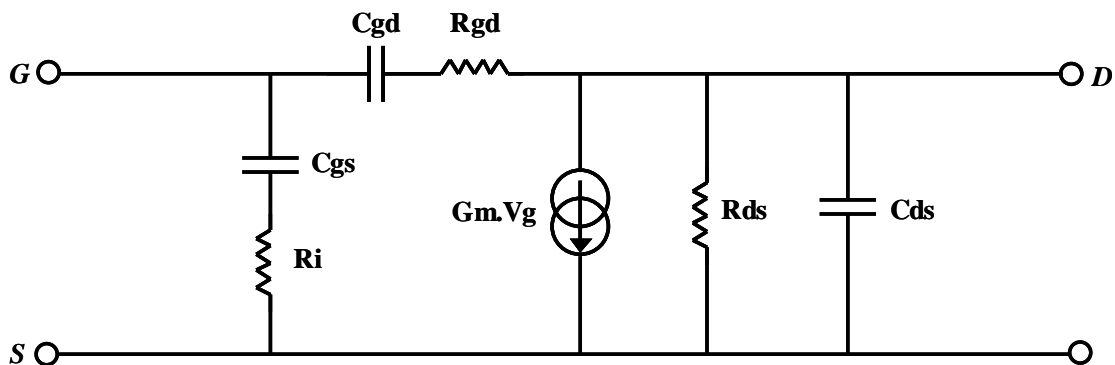


Figure 3-14 : Schéma du transistor intrinsèque.

Éléments intrinsèques							
Cgs (fF)	Ri (Ω)	Cgd (fF)	Rgd (Ω)	gm (mS)	gd (mS)	τ (ps)	Cds (fF)
0,59	0,57	68,5	15,2	128,6	6,45	1,83	164

Tableau 3-1 : Éléments intrinsèques du modèle petit signal du transistor PHEMT GaN 8x75μm pour un point de polarisation de repos de $V_{gs0}=-4V$, $V_{ds0}=23V$.

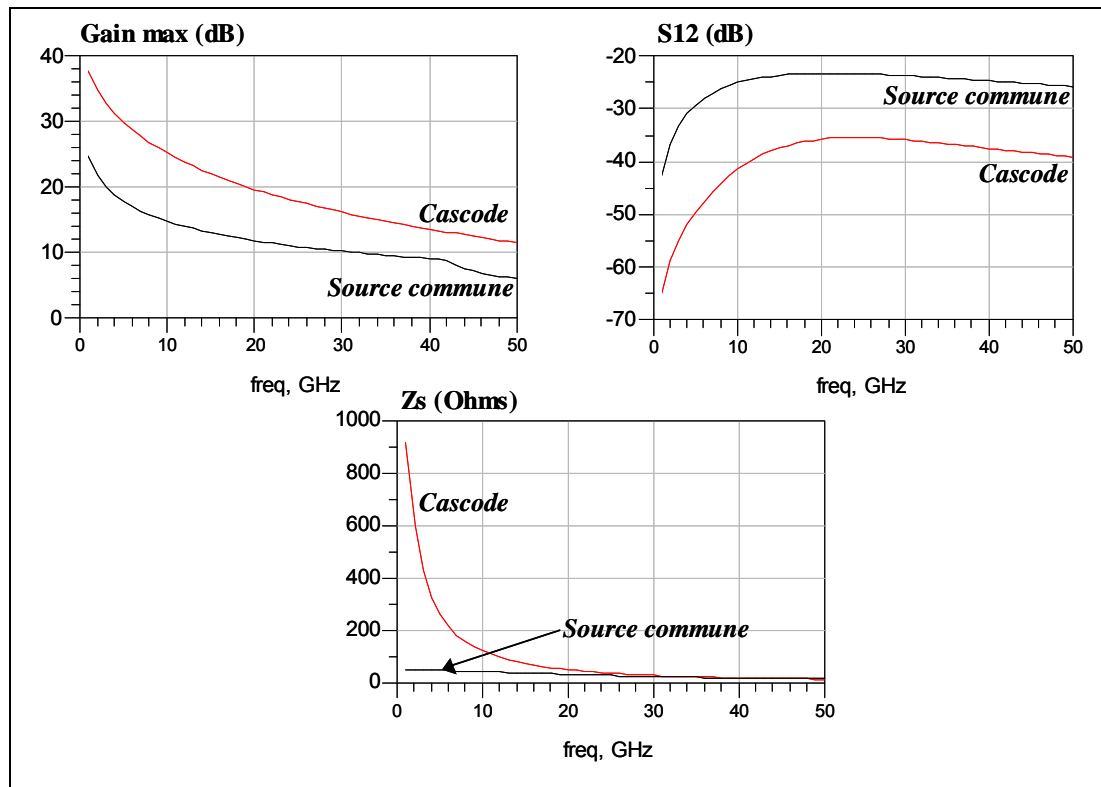


Figure 3-15 : Comparaison des caractéristiques linéaires d'un transistor en source commune et d'un montage cascode.

Les résultats présentés sur la Figure 3-15 illustre bien les atouts du montage cascode dans le cadre de l'amplification distribuée. Par le fait, le montage cascode présente un gain plus élevé, une meilleure isolation entrée-sortie ainsi qu'une plus forte impédance de sortie comparé au transistor seul connecté en source commune.

1.4.2.2. Régime non linéaire (Puissance) [3.6], [3.18]

La configuration simple du montage cascode ne permet toutefois pas un fonctionnement optimal en puissance. Pour être optimisée en puissance, la cellule doit intégrer une capacité ajoutée C_{a1} en série sur la grille du deuxième transistor (Figure 3-16-b). En effet, dans la configuration simple de la cellule cascode (Figure 3-16-a : sans C_{a1}), la tension V_{ds1} issue du premier transistor sera directement appliquée en négatif comme tension de commande V_{gs2} du deuxième TEC comme

l'illustre la Figure 3-17. Ainsi en régime non linéaire, étant donné la très forte valeur optimale de V_{ds1} par rapport à la valeur optimale de V_{gs2} , le deuxième transistor d'une configuration simple serait saturé bien avant le premier transistor.

De ce fait, il est indispensable de synthétiser un pont diviseur de tension de telle sorte que l'on prélève aux bornes de la capacités C_{gs} du deuxième transistor une tension V_{gs2} égale à la tension optimale V_{gs1} et dans un rapport indépendant de la fréquence déterminée par la valeur optimale de V_{ds1} .

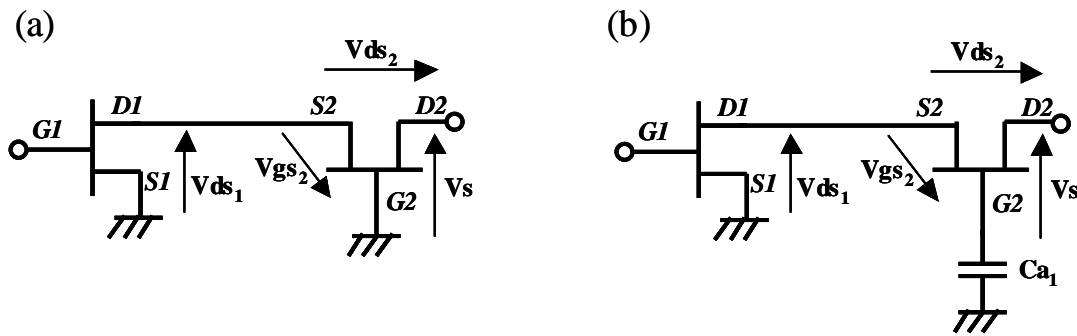


Figure 3-16 : Principe de la capacité Ca_1 .

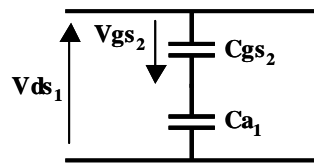


Figure 3-17 : Pont diviseur de tension réalisé par Ca_1 .

On intègre alors la capacité Ca_1 qui réalise le diviseur de tension optimal pour prélever la tension V_{gs2} , indépendante de la fréquence, aux bornes de C_{gs} du deuxième TEC :

$$V_{gs2} = -\left(\frac{Ca_1}{Ca_1 + C_{gs}}\right).V_{ds1} \quad \text{Eq 3-30}$$

On obtient donc la valeur optimale de la capacité Ca_1 pour imposer le fonctionnement optimal en puissance du montage cascade.

$$Ca_1 = -\frac{C_{gs}.V_{gs2}}{V_{gs2} + V_{ds1}} \quad \text{Eq 3-31}$$

De plus, l'addition d'une self de liaison entre les deux TECs en plus de la capacité Ca_1 contribue à une meilleure isolation du composant cascade (Figure 3-18).

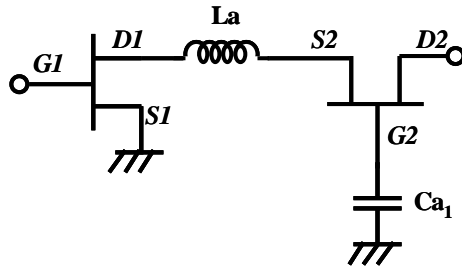


Figure 3-18 : Montage cascode avec self La de liaison entre les deux TECs.

Dans le but de simplifier l'étude analytique de l'amplificateur distribué utilisant des montages cascodes, nous ne tiendrons compte que de la capacité Ca₁ pour l'approche analytique.

Néanmoins, l'addition d'une capacité Ca₂ entre le drain et la source du deuxième transistor comme schématisé Figure 3-19 permet de simplifier le schéma équivalent en sortie du cascode pour montrer que l'on somme les puissances de sortie. Ainsi, cela permet d'égaliser les impédances de sortie des deux transistors en considérant que Ca₂ réponde à l'égalité suivante :

$$Ca_2 = \frac{C_{gs}.Ca_1}{C_{gs} + Ca_1} \tag{Eq 3-32}$$

On notera que cette capacité Ca₂ ne peut généralement pas être intégrée en raison de sa faible valeur mais elle permet toutefois de mieux comprendre l'intérêt du montage cascode en simplifiant l'étude analytique.

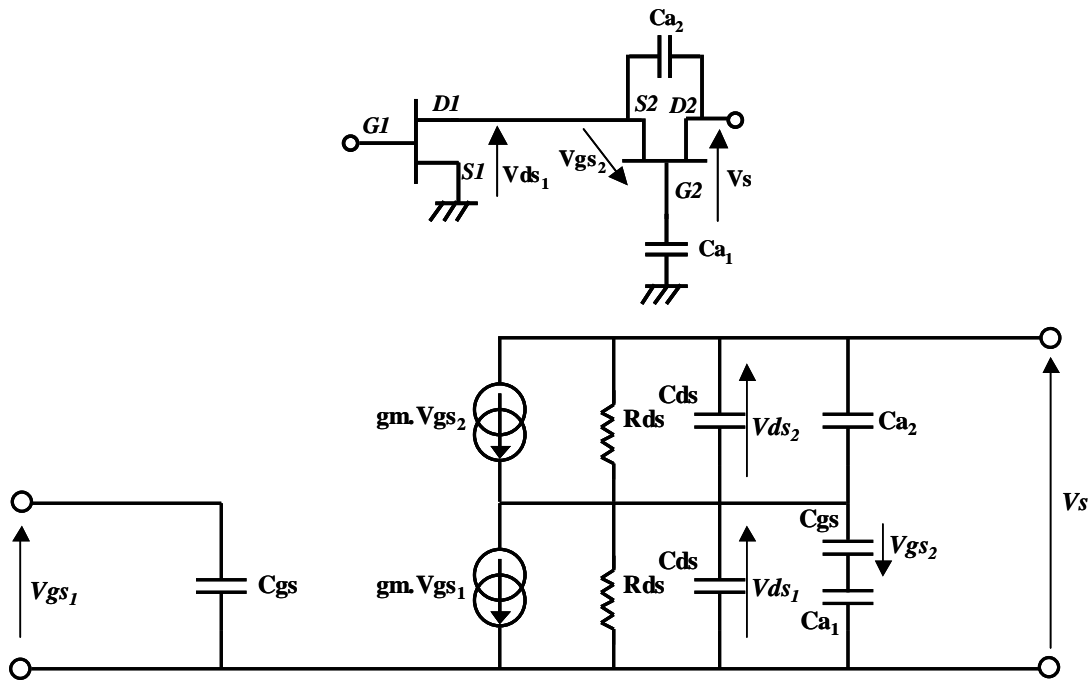


Figure 3-19 : Cellule cascode incluant les capacités Ca₁ et Ca₂.

Le schéma obtenu est alors équivalent au schéma équivalent simplifié du montage cascode avec la capacité Ca_2 entre le drain et la source du 2^{ème} TEC (Figure 3-20) :

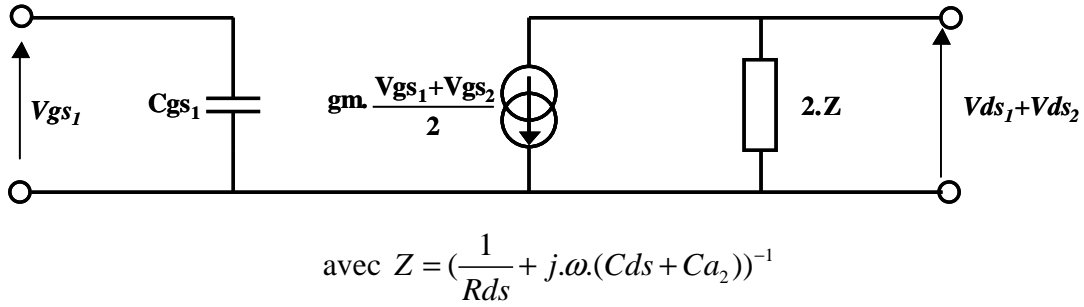


Figure 3-20 : Schéma simplifié d'une cellule cascode incluant les capacités Ca_1 et Ca_2 .

Le schéma équivalent du montage cascode optimisé en puissance possède alors une conductance de sortie deux fois plus importante que celle du montage source commune. Il en résulte que sous des conditions de charge optimum la tension de sortie du montage cascode étant doublée par rapport à celle du montage source commune, la puissance de sortie du montage cascode Ps_{cas} est le double de celle du montage source commune Ps_{tr_sc} .

Effectivement :

$$Ps_{cas} = \frac{1}{2} \operatorname{Re}[(V_{ds_1} + V_{ds_2}) \cdot (gm \cdot \left(\frac{V_{gs_1} + V_{gs_2}}{2} \right) + \frac{V_{ds_1} + V_{ds_2}}{2Z})] \quad Eq\ 3-33$$

avec : $V_{gs_1} = V_{gs_2}$ et $V_{ds_1} = V_{ds_2}$

d'où :

$$Ps_{cas} = \frac{1}{2} \operatorname{Re}[2 \cdot V_{ds} \cdot (gm \cdot V_{gs} + \frac{2 \cdot V_{ds}}{2Z})] = 2 \cdot \frac{1}{2} \cdot \operatorname{Re}[V_{ds} \cdot (gm \cdot V_{gs} + \frac{V_{ds}}{Z})] = 2 \cdot Ps_{tr_sc} \quad Eq\ 3-34$$

Pendant dans la réalité, il est impossible d'effectuer de telles simplifications sur le schéma équivalent du montage cascode. La détermination des valeurs des capacités ajoutées ne pouvant plus s'obtenir à partir de calculs simples, il est alors nécessaire d'avoir recours à des processus d'optimisations numériques autour des valeurs initiales de Ca_1 déduites des expressions précédentes au travers de la valeur de C_{gs} et des valeurs $V_{gs_{1opt}}$ et $V_{ds_{1opt}}$ déduites des caractéristiques statiques.

La procédure d'optimisation est alors basée sur l'optimisation des cycles de charge des deux transistors de la cellule cascode. En effet, comme nous l'avons indiqué précédemment, l'optimisation en puissance passe par le fonctionnement identique des deux composants et par conséquent par l'obtention de cycles de charge identiques. Pour cela, il est important également de déterminer l'impédance de charge optimale du montage cascode considéré.

I.5. Principe de fonctionnement de l'amplificateur distribué à cellules cascodes

[3.6]

Une présentation de l'analyse linéaire des performances de l'amplificateur distribué utilisant des montages cascodes de deux transistors à effet de champ comme éléments actifs (Figure 3-21) est réalisée dans cette partie en retraçant brièvement les différentes étapes puisque le principe de fonctionnement de base a été développé dans le paragraphe précédent.

Comme précédemment, un modèle simple unilatéral (Figure 3-5) de l'élément cascode sera utilisé comme schéma simplifié afin de déterminer les relations analytiques qualitatives permettant de mieux appréhender le principe de fonctionnement et les règles conceptuelles de ce dispositif.

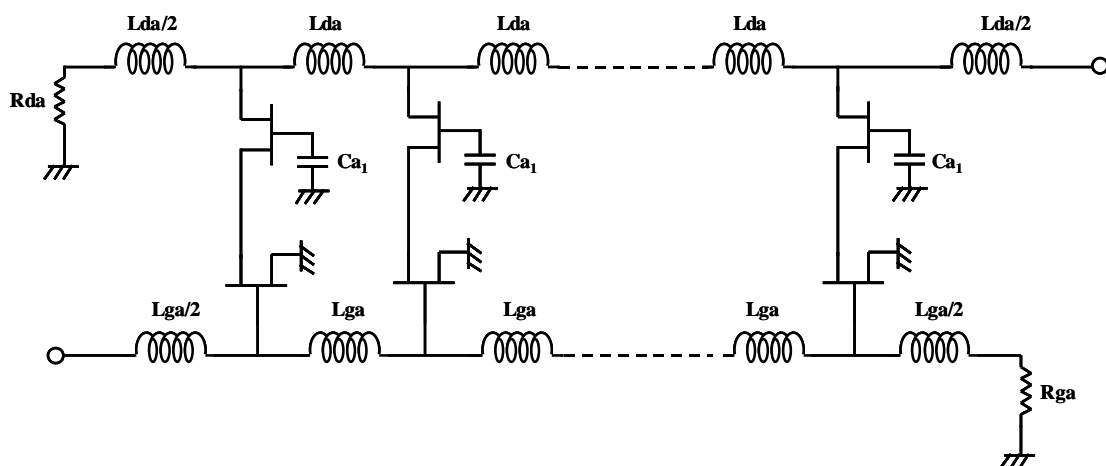


Figure 3-21 : Schéma d'un amplificateur distribué à cellules cascodes.

I.5.1. Étude des lignes de grille et de drain

Tout comme l'amplificateur distribué classique, l'étude analytique de l'amplificateur distribué à cellules cascodes se résume à l'étude des deux lignes de grille et de drain couplées par les éléments intrinsèques des transistors à effet de champ montés en cascode.

La Figure 3-22 représente ces deux lignes :

- une ligne de grille réalisée par les inductances L_{ga} et la capacité d'entrée C_{gs} en série avec la résistance du canal R_i . Ainsi, la ligne de grille de l'amplificateur distribué cascode sera la même que celle de l'amplificateur distribué classique.

- une ligne de drain constituée des inductances L_{da} couplées aux éléments intrinsèques de sortie des deux transistors montés en cascade.

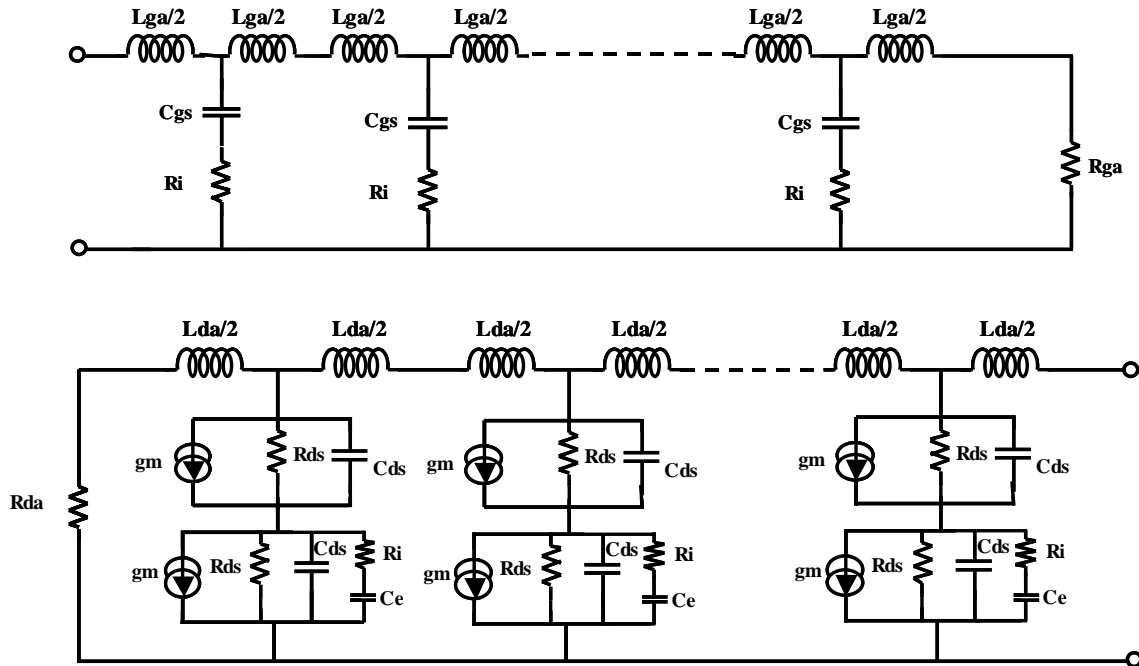


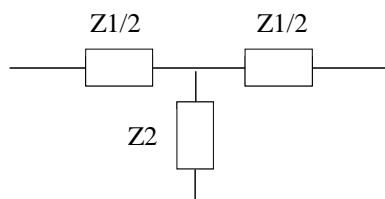
Figure 3-22 : Lignes de transmission de grille et de drain de l'amplificateur distribué à montage cascade.

Dans la mesure où la ligne est adaptée à son impédance caractéristique, la fréquence de coupure de la ligne de grille sera la même que pour le cas de l'amplificateur distribué classique :

$$f_c = \frac{1}{\pi \sqrt{L_{ga} \cdot C_{gs}}} \quad \text{Eq 3-35}$$

I.5.2. Impédances caractéristiques

Une comparaison entre les cellules élémentaires en T équivalentes d'une ligne et celles des lignes de grille et de drain est réalisée afin de déterminer les caractéristiques des deux lignes de transmission (Figure 3-24). Nous rappelons ci-dessous (Figure 3-23) les caractéristiques de la section équivalente en T d'une ligne adaptée ainsi que les cellules élémentaires des lignes de grille et de drain :



$$Z_{c_T} = \sqrt{Z_1 \cdot Z_2} \cdot \sqrt{1 + \frac{Z_1}{4 \cdot Z_2}}$$

Eq 3-36

Figure 3-23 : Cellule élémentaire en T.

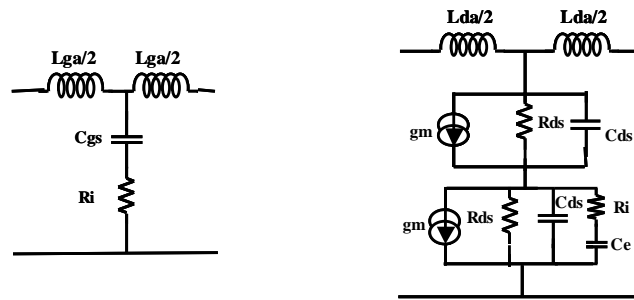


Figure 3-24 : Cellules élémentaires des lignes de grille et de drain.

	Grille	Drain
Z_1	$j\omega Lga$	$j\omega Lda$
Z_2	$Ri + \frac{1}{j\omega Cgs}$	$Zs = \frac{1}{Y_{22}}$

Tableau 3-2 : Tableau de correspondance.

Afin de simplifier le calcul, le quadripôle peut être défini par sa matrice [Y] qui nous donne accès au Y_{22} . Ainsi à partir de ces expressions, on pourra déterminer Z_1 et Z_2 dans le Tableau 3-2 de correspondance et calculer les impédances de la section équivalente en T des lignes de grille et de drain supposées adaptées.

Dans le but donc de simplifier le calcul et le schéma équivalent électrique faible signal d'un montage cascode, nous l'avons transformé en un quadripôle défini par sa matrice [Y] (Figure 3-25), ainsi :

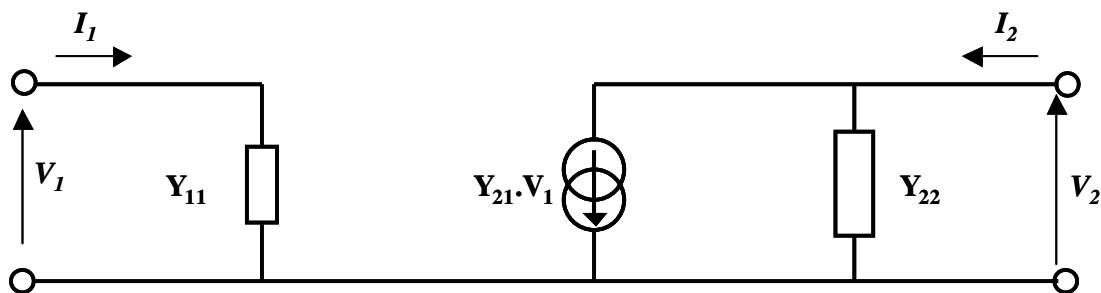


Figure 3-25 : Montage cascode représenté par sa matrice [Y].

Avec :

$$\left\{ \begin{array}{l} Y_{11} = \frac{1}{Z_{e1}}, \quad Z_{e1} = Ri + \frac{1}{j\omega Cgs} \\ Y_{12} = 0 \\ Y_{21} = G_M = gm \cdot \frac{Z_o(Z_o'Z_{e1}gm + Z_{e2})}{(Z_o + Z_{La}) \cdot (Z_o' + Z_{e2} + gmZ_o'Z_{e1}) + Z_o'Z_{e2}} \\ Y_{22} = \frac{Z_o + Z_{e2} + Z_{La}}{(Z_o + Z_{La}) \cdot (Z_o' + Z_{e2} + gmZ_o'Z_{e1}) + Z_o'Z_{e2}} \end{array} \right.$$

et :

$$\left\{ \begin{array}{l} Z_{e2} = Ri + \frac{1}{j\omega Ce} \\ Y_o = \frac{1}{Z_o} = \frac{1}{Rds} + j\omega Cds \\ Y_o' = \frac{1}{Z_o'} = \frac{1}{Rds} + j\omega(Cds + Ca_2) \\ Z_{La} = +j\omega La \end{array} \right.$$

Notre cas étant le cas adapté avec :

$$\begin{aligned} Ce &= \frac{Ca_1 Cgs}{Ca_1 + Cgs}, \quad Ca_2 = 0, \quad La = 0 \\ \Rightarrow Y_o &= Y_o' \end{aligned} \quad \text{Eq 3-37}$$

Les résultats présentés par la suite concernent le cas adapté avec Ca_1 .

I.5.3. Constantes de propagation :

De même que dans le cas de l'amplificateur distribué classique, une comparaison entre les matrices chaînes d'une ligne et d'une cellule équivalente en T nous donne accès à :

$$\beta = \text{Arc cos} \left\{ \text{Re} \left[1 + \frac{Z_1}{2Z_2} \right] \right\} \quad \text{et} \quad \alpha = \frac{\text{Im} \left[1 + \frac{Z_1}{2Z_2} \right]}{\sin \beta} \quad \text{Eq 3-38}$$

où les impédances Z_1 et Z_2 sont données dans le Tableau 3-2 de correspondance.

Pour résumer, l'intégration du montage cascode optimum dans un amplificateur distribué ne conduit à aucune modification des caractéristiques de la ligne de grille tandis que l'analyse et l'optimisation de la ligne de drain sont équivalentes à celles du montage source commune en considérant seulement que l'impédance de sortie est doublée ($2.Rds, Cds/2$).

L'étude que nous venons d'effectuer sur deux types d'amplificateurs distribués, en régime petit signal, nous a permis de mettre en évidence les caractéristiques théoriques et le fonctionnement de l'amplificateur distribué avec des TECs en montage source commune et celui avec des TECs en montage cascode. L'avantage principal du montage cascode est de permettre de doubler la puissance de sortie et d'améliorer l'isolation Grille-Drain sans dégrader les performances large bande imposées par la fréquence de coupure de la ligne de grille. Cependant son optimisation est plus délicate car le montage cascode conduit à une plus grande difficulté d'intégration de l'amplificateur et surtout à des problèmes de stabilité intrinsèque de la cellule cascode.

I.6. Méthodologie de conception fort signal des amplificateurs distribués

[3.4], [3.6], [3.9], [3.20]

La conception d'un amplificateur de puissance diffère totalement de la conception d'un amplificateur bas niveau. En particulier, elle nécessite l'étude des conditions optimales de fonctionnement en régime fort signal de chacun des composants actifs utilisés au sein de l'amplificateur.

Dans le cas d'une application faible puissance, l'adaptation entrée-sortie et le gain constituent les principaux objectifs qui peuvent être analysés et optimisés à partir d'un modèle linéaire du TEC. L'adaptation fort signal quant à elle recherche les impédances optimales correspondant à un objectif donné (niveau de puissance, rendement, linéarité...).

En ce qui concerne l'optimisation en puissance d'un amplificateur distribué, elle nécessite l'égalisation des tensions de commande de grille de chaque transistor et la synthèse de l'impédance optimale de charge de chaque composant sur le drain, tout en respectant les contraintes d'égalité des vitesses de phase entre chaque cellule.

L'égalisation des tensions de commande sur la grille des transistors est obtenue par l'optimisation de la capacité C_{ag} , insérée sur la grille de chaque composant. Un profil particulier des valeurs de capacité C_{ag} permet l'égalisation des tensions de commande V_{gs} de chaque transistor.

Concernant la ligne de drain, il est nécessaire de présenter à la cellule cascode son impédance de charge optimale pour un fonctionnement en puissance. Cette impédance peut être déterminée par simulation et/ou caractérisation et se matérialise par une conductance G_{opt} en

parallèle avec une réactance B_{opt} (le conjugué de B_{opt} représente une capacité C_{opt} quasi indépendante de la fréquence). Ces deux paramètres (G_{opt} , C_{opt}) restent quasi-constants dans la bande de travail. Ainsi, l'état fort signal du composant actif au niveau de puissance P_{max} peut être représenté par un générateur équivalent d'admittance interne (G_{opt} , C_{opt}) et de courant I_{max} .

La Figure 3-26 présente la topologie optimale d'un amplificateur distribué de puissance avec charge de drain G_D dont les formules sont présentées dans le Tableau 3-3. Le Tableau 3-3 présente d'autre part une estimation des valeurs de G_{opt} et C_{opt} pour une initialisation de la topologie distribuée optimale (structure simple et cascode) dans les deux premiers encadrés ainsi que les valeurs des impédances caractéristiques optimales de chaque cellule dans les deux derniers.

Lors de la conception MMIC, nous avons mis en œuvre un profil sur la grille par une variation des capacités C_{ag} en série sur les grilles de chaque cellule active pour égaliser les tensions de commande et un profil sur le drain par variation des longueurs de lignes inter cellules pour présenter l'admittance optimale de charge à chaque cellule. Pour ce qui est de la topologie C_{ag} , elle permet l'égalisation des tensions de commande V_{gs} de chaque transistor (compensation artificielle de l'atténuation de grille par le pont capacitif réalisé) mais néanmoins diminue le gain (diminution de la tension prélevée aux bornes de la capacité C_{gs} et donc du courant de drain fourni) qui peut alors être compensé par l'augmentation de n_{opt} . Ce profil reste essentiel à l'amplification de puissance distribuée.

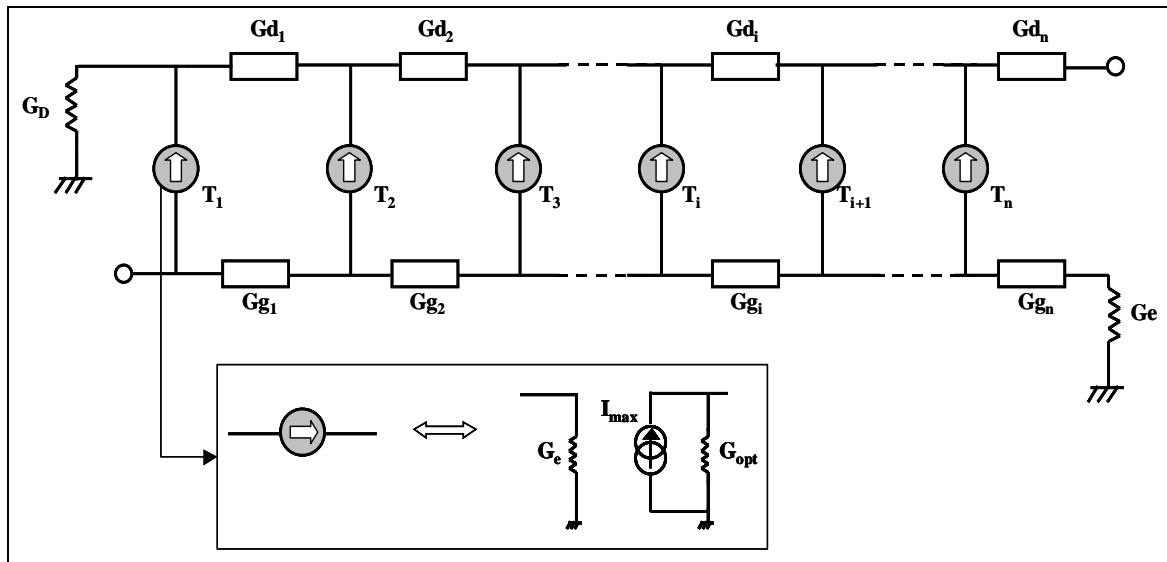


Figure 3-26 : Topologie optimale d'un amplificateur distribué de puissance avec $G_D \neq 0$.

<u>Expression de l'impédance de charge optimale (G_{opt}, C_{opt}) d'un transistor</u>	
$G_0 = \frac{Id_{ss}}{2(Vds_0 - Vds_{min})}$	$G_e \approx R i.Cgs^2 .\omega^2$
$G_{opt} \approx \frac{G_0}{1 - 2(Ls + Ld)(Cds + Cgd)\omega^2}$	$C_{opt} \approx Cds + Cgd$
$P_{max} = \frac{I_{max}^2}{8G_{opt}}$	
<u>Expression de l'impédance de charge optimale ($G_{opt_{cascode}}$, $C_{opt_{cascode}}$) pour un montage cascode adapté optimisé en puissance</u>	
$Ca_1 \approx \frac{Cgs}{\left(\frac{Vds_1}{Vgs_2} - 1\right)}$	$G_{opt_{cascode}} \approx \frac{G_{opt}}{2}$
$C_{opt_{cascode}} \approx \frac{C_{opt}}{2}$	
<u>Ligne de drain optimale chargée par G_D</u>	<u>Ligne de grille optimale chargée par G_e</u>
$G_{d1} = G_{opt}$	$G_{gi} = (n + 1 - i)G_e \quad \forall i$
$G_{di} = G_{opt} \left(\frac{G_{opt}}{G_{opt} + G_D} + (i - 1) \right) \text{ pour } i=2 \rightarrow n$	

Tableau 3-3 : Profils de l'impédance de charge optimale du transistor et du montage cascode ainsi que des lignes de grille et de drain.

Dans les paragraphes suivants nous verrons comment ces principes ont pu être mis en application suivant les topologies qui ont été adoptées ainsi que les difficultés inhérentes à ces types de circuit pour la nouvelle technologie GaN.

Dans la première partie qui va suivre (*Chapitre 3, II*), une présentation des travaux réalisés en début de thèse sur une conception en technologie flip-chip ainsi que des résultats associés seront décrits. En ce qui concerne la deuxième partie (*Chapitre 3, III*), elle présentera la conception réalisée en fin de travaux de thèse en technologie MMIC dans le cadre du programme Korrigan.

II - AMPLIFICATEUR DE PUISSANCE DISTRIBUÉ À CELLULES CASCODES EN MONTAGE FLIP-CHIP

II.1. Cellule cascode de test à base de transistors 8x50µm

Nous allons présenter dans un premier temps la cellule cascode relative à l'amplificateur distribué en technologie flip-chip.

II.1.1. Analyse de la cellule cascode [3.21]

Un motif d'une cellule cascode optimale a été dessiné sur GaN pour être reporté sur un design AlN spécifique afin d'être testé séparément du montage distribué total (II.2). La cellule cascode réalisée sur le substrat de GaN doit donc être montée en flip-chip sur un circuit d'AlN comme présenté sur la Figure 3-27. Ce circuit comprend deux accès entrée/sortie RF qui permettront également la polarisation DC. Un troisième accès est nécessaire pour la polarisation de grille du transistor monté en grille commune. Le découplage RF/DC de cette ligne est assuré par une capacité de 100pF.

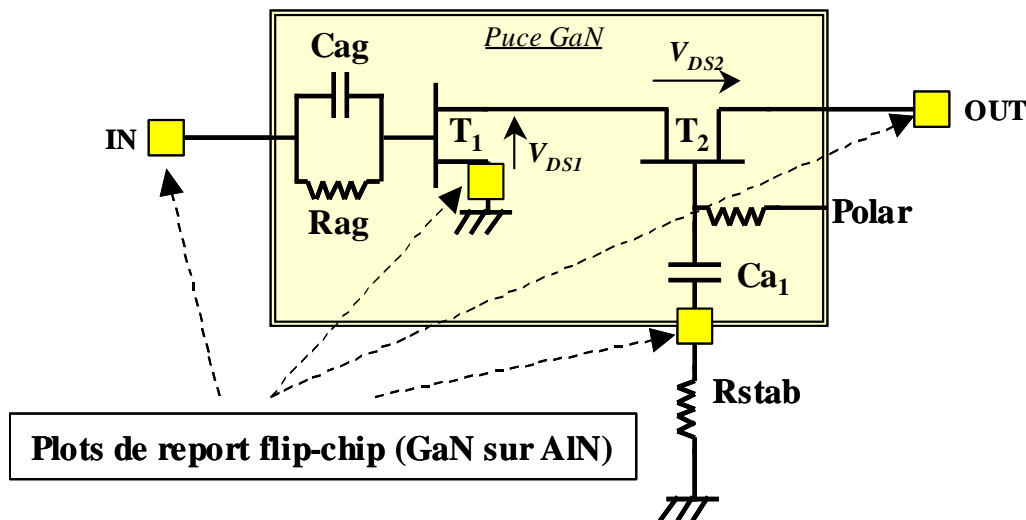


Figure 3-27 : Schéma de la cellule cascode optimisée en puissance (puce GaN en flip-chip sur AlN).

Lors des simulations en régime linéaire, une attention particulière a été portée à l'étude de la stabilité car le montage cascode est connu pour être sensible aux oscillations. L'analyse du facteur de Rollet K ainsi qu'une étude supplémentaire de stabilité par le NDF (*Normalized*

Determinant Function) a été mis en œuvre. Par mesure de sécurité, nous avons inclus une résistance de stabilité R_{stab} d'une valeur de 15Ω en série sur la capacité C_{a1} . Les simulations de ce circuit de test ont montré une stabilité inconditionnelle à travers l'évolution du facteur de Rollet ($K > 1$ et $\Delta > 0$) ainsi que par rapport à la simulation du NDF comme le montre la Figure 3-28.

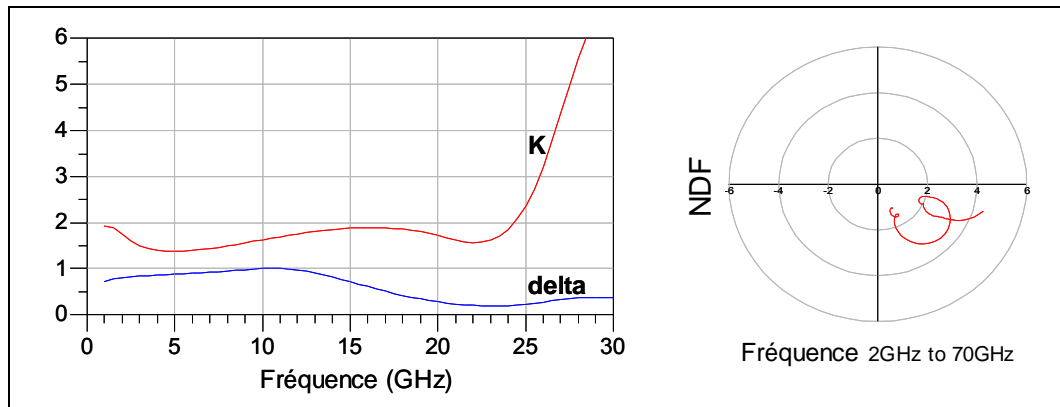


Figure 3-28 : Facteur de Rollet (à droite) et NDF (à gauche) de la cellule cascode.

Il faut noter que la cellule cascode a été optimisée en puissance par l'addition d'une capacité C_{a1} de 0.16pF dans le but d'être intégrée au sein d'un amplificateur distribué large bande 6-18GHz à 4 cellules cascodes. La faible valeur de C_{a1} a été obtenue par la mise en série de deux capacités de 0.32pF afin de diminuer la sensibilité. De plus, pour une meilleure transmission entre le premier transistor et le second, le plot de drain du premier transistor est connecté symétriquement à la métallisation de source du second. Pour atteindre la fréquence maximum de 18GHz de l'amplificateur distribué, il était primordial d'adopter une configuration avec capacité additionnelle en série sur la grille afin de respecter les conditions d'adaptation d'entrée et de fréquence de coupure de la ligne de grille. C'est pourquoi une capacité C_{ag} de 0.26pF a été intégrée sur l'entrée de la cellule cascode. Une résistance R_{ag} de 500Ω a été rajoutée en parallèle sur C_{ag} afin d'assurer la polarisation de grille du premier transistor et une résistance R_{a1} de 1000Ω pour la polarisation de grille du transistor en grille commune.

La Figure 3-29 suivante présente une photographie de la puce GaN intégrant la cellule cascode ainsi que les éléments capacitifs et résistifs.

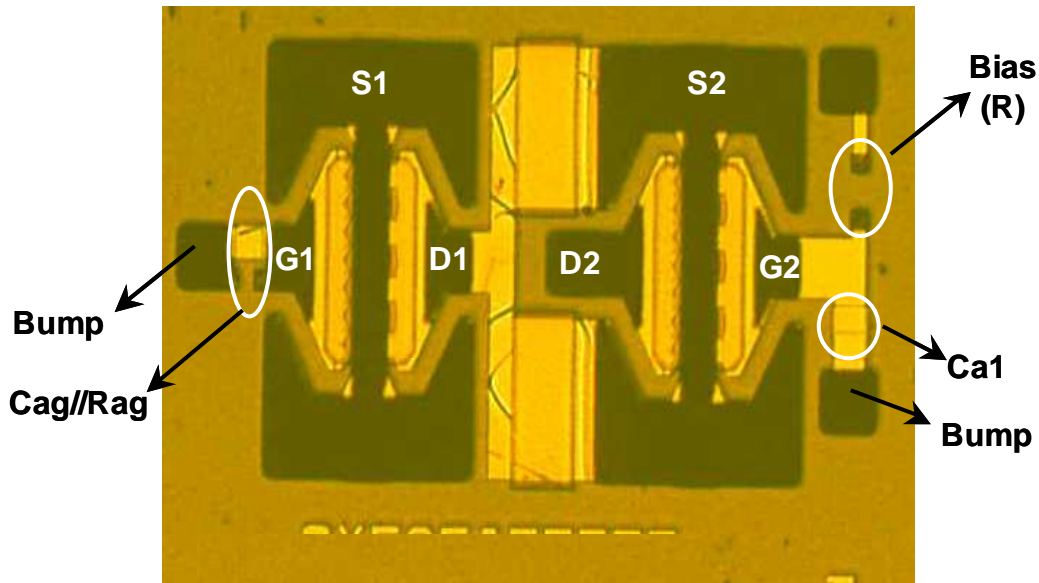


Figure 3-29 : Photographie de la cellule cascode sur GaN.

Séparément, une puce spécifique en nitrure d'aluminium (Figure 3-30) a été conçue afin de pouvoir tester la cellule cascode. La puce d'AlN intègre la résistance de stabilité R_{stab} ainsi que le plot de polarisation du second transistor ($V_{polar_{G2}}$). La polarisation de grille du premier transistor ainsi que celle de drain du second sont effectuées par les pointes. Il est à noter que la valeur de la polarisation de drain de la cellule cascode est le double de celle d'un transistor seul. Le circuit d'AlN intègre l'ensemble des via-holes permettant le retour à la masse des transistors ainsi que des éléments d'adaptation, les lignes d'entrée/sortie ainsi que les plots de report. Les dimensions de la puce d'AlN sont inférieures à $(2.5 \times 1.7) \text{mm}^2$.

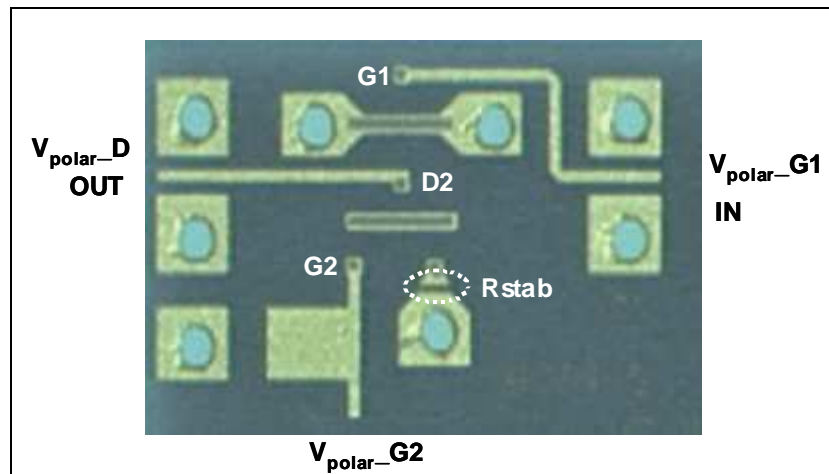


Figure 3-30 : Photographie de la puce d'AlN permettant le report flip-chip de la puce de GaN.

La photographie de la Figure 3-31 présente le report flip-chip de la cellule cascode de test sur le substrat d'AlN afin d'effectuer les mesures.

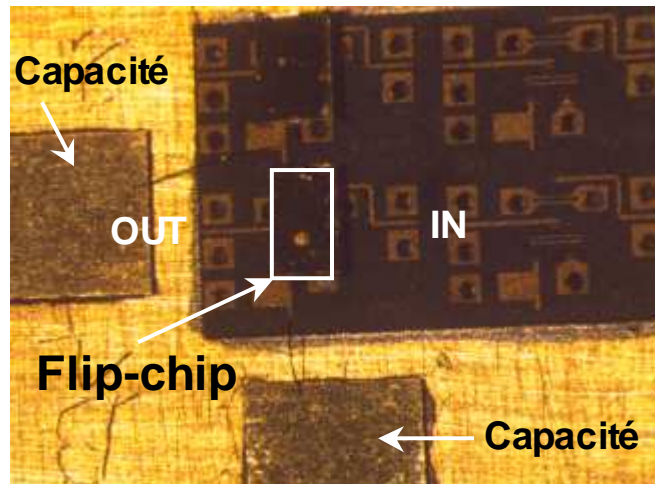


Figure 3-31 : Photographie de deux cellules cascodes en report flip-chip sur le report d'AIN.

II.1.2. Résultats de simulations

La conception de la cellule cascode a été réalisée à l'aide du logiciel ADS d'Agilent Technologies. La Figure 3-32 présente une comparaison du gain maximum dans la bande 4-18GHz entre la cellule cascode intégrant les éléments C_{ag} et R_{ag} requis pour l'architecture distribuée et un transistor seul. La cellule cascode présente un gain plus important sur la bande de fréquence en question.

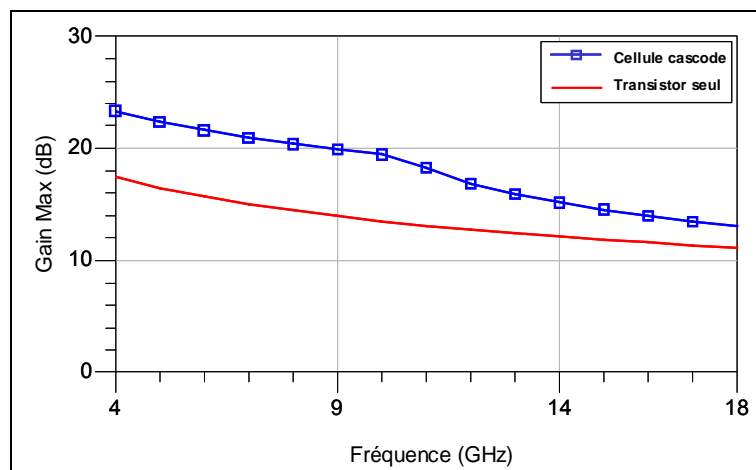


Figure 3-32 : Comparaison du gain maximum sur la bande 4-18GHz entre la cellule cascode et le transistor seul avec topologie (R_{ag} , C_{ag}) en entrée.

Sur la Figure 3-33, la comparaison dans des conditions identiques de la puissance de sortie en fonction de la puissance d'entrée pour la cellule cascode et le transistor seul à 10GHz montre encore que la topologie cascode délivre une puissance de sortie plus importante.

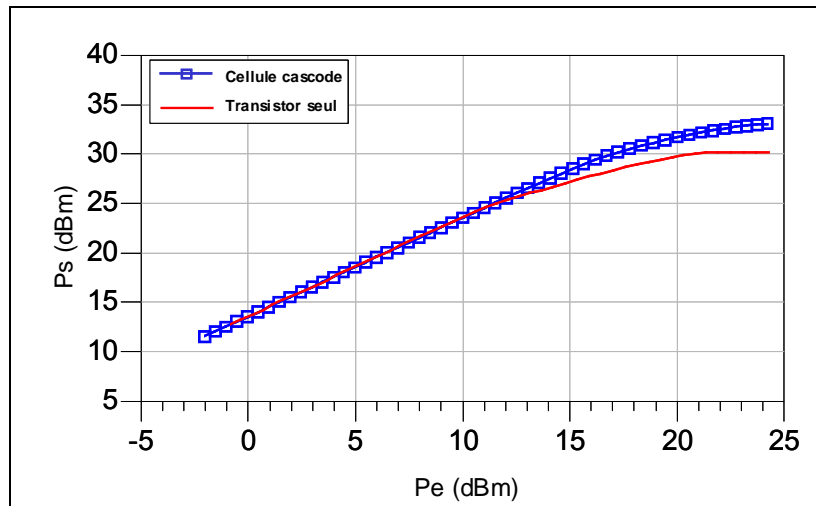


Figure 3-33 : Comparaison de la puissance de sortie en fonction de la puissance d'entrée pour une cellule cascode et un transistor seul avec topologie ($C_{ag} // R_{ag}$) en entrée.

II.1.3. Résultats de mesures

II.1.3.1. Mesures des paramètres S

Afin de vérifier la précision de la conception de la cellule cascode, des mesures sous points de paramètres S ont été réalisées sur la bande 0.5-20GHz par Alcatel Thalès III-V Lab pour différents points de polarisation. La comparaison des paramètres S simulés et mesurés de la Figure 3-34 démontre un bon accord et par conséquent une bonne précision du modèle. Il est intéressant de remarquer que le gain est plat sur le début de la bande ce qui n'est pas le cas pour un transistor seul.

D'autre part, il a pu être constaté lors des mesures que le courant I_{ds} avait une très faible sensibilité à la tension de polarisation $V_{polar_{G2}}$, l'essentiel de I_{ds} (# 95%) étant commandé par $V_{polar_{G1}}$. Ceci est une caractéristique des montages cascades pour lesquels $V_{polar_{G1}}$ commande le courant, V_{polar_D} fixe la somme des tensions de drain et $V_{polar_{G2}}$ fixe la différence entre les polarisations de drain de chacun des transistors pour une tension totale constante.

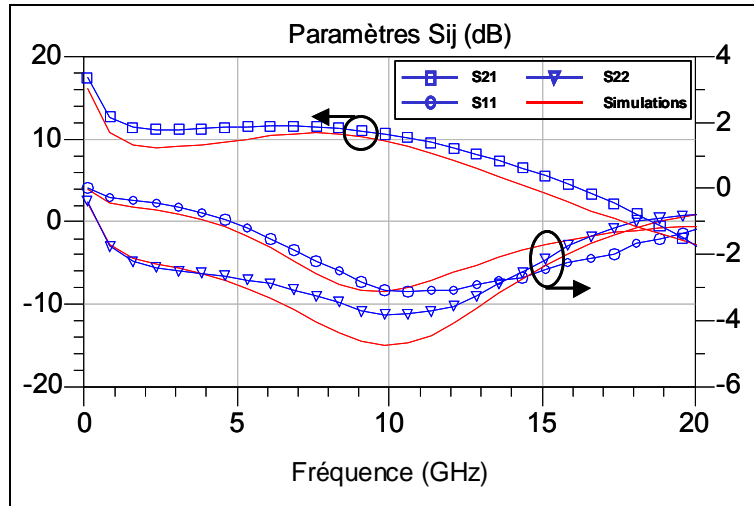


Figure 3-34 : Comparaison des paramètres S mesurés et simulés de la cellule cascode @ $V_{polar_D}=30V$, $V_{polar_{G1}}=-6V$ et $V_{polar_{G2}}=9V$.

II.1.3.2. Mesures grand signal

Des mesures de type « load-pull » pulsées de la cellule cascode ont été réalisées au sein du laboratoire XLIM dans le but de vérifier et comparer l'état de puissance optimale issu des simulations non linéaires avec les mesures en puissance. Lors des caractérisations « load-pull », les pulses avaient une largeur de $10\mu s$ pour un rapport cyclique de 10%. Le signal RF ainsi que la polarisation étaient pulsés.

La Figure 3-35 présente la comparaison entre les simulations en puissance et les mesures load-pull à une fréquence de 10.24GHz. La variation de chaque charge a été réalisée afin d'obtenir celle permettant d'obtenir le maximum de puissance de sortie à cette fréquence. L'impédance de charge optimum conduisant à un maximum de puissance de sortie a pour valeur $20+j.12$ pour une polarisation de $V_{polar_D}=30V$, $V_{polar_{G1}}=-6V$, $V_{polar_{G2}}=9V$.

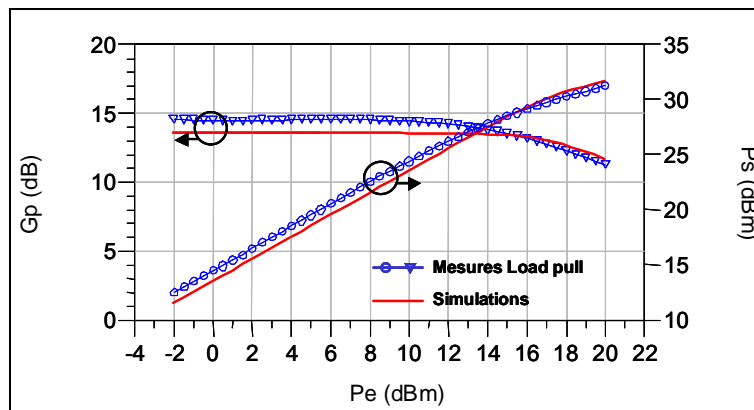


Figure 3-35 : Comparaison des mesures et simulations en puissance de la cellule cascode sur l'impédance de charge ($20+j.12$) @ 10.24GHz.

Une très bonne concordance entre mesures et simulations a été obtenue même si un écart de 1dB a été observé sur le gain petit signal. La cellule cascode intégrant la capacité additionnelle sur la grille du premier transistor dédiée à être insérée au sein de l'architecture distribuée présente une puissance de sortie de 1.3W.

II.2. Topologie étudiée et spécifications

[3.22], [3.23], [3.24], [3.25]

Deux amplificateurs de puissance large bande (4-18GHz) ont été conçus en technologie flip-chip dans le cadre d'un projet du laboratoire commun MITIC (XLIM – Alcatel-Thalès III-V Lab) sur une technologie PHEMT AlGaN/GaN de TIGER. Il s'agit de structures distribuées à cellules cascodes en technologie GaN sur SiC. Le premier amplificateur est basé sur des composants de développement de grille 8x50 μ m (SANA) et le second sur des composants de développement 8x75 μ m (YADE). Seul le circuit à base de 8x50 μ m sera développé dans cette partie. En outre, comme nous l'avons présenté dans le paragraphe précédent, des motifs de test de la cellule cascode seule ont été conçus simultanément afin d'analyser les performances de cette cellule adaptée.

II.2.1. Architecture sur GaN et sur AlN

Une représentation schématique globale de l'amplificateur composé de quatre cellules actives est présentée sur la Figure 3-36.

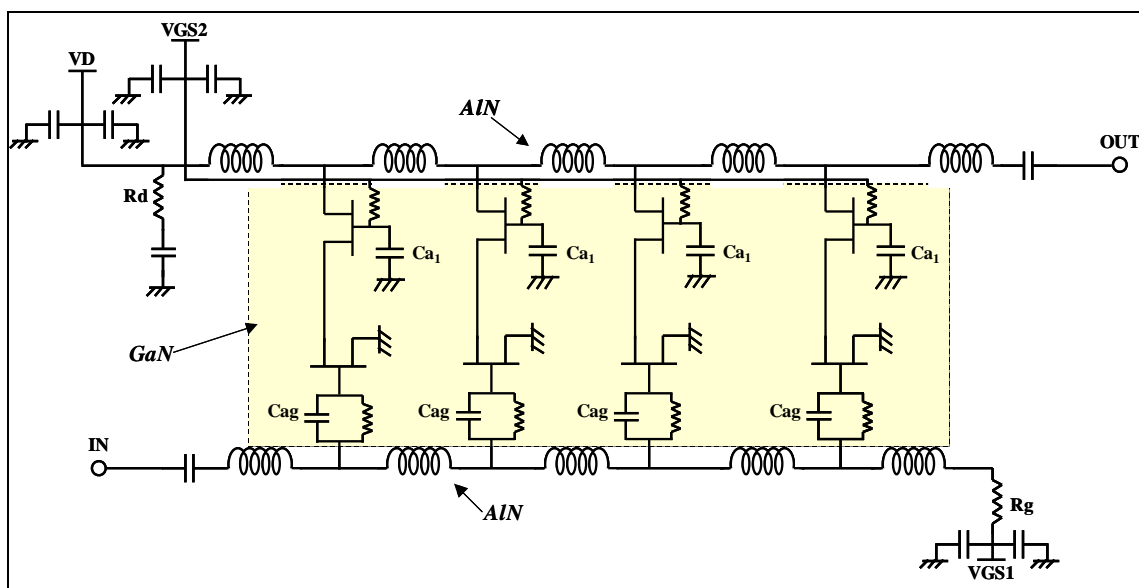


Figure 3-36 : Schéma global de l'amplificateur.

La partie encadrée représente la partie active réalisée sur substrat GaN et le reste du circuit est conçu sur le substrat de report en AlN. Nous avons adopté une topologie à capacité additionnelle sur la grille ainsi que des montages cascodes optimisés en puissance comme cellules actives grâce à la capacité sur la grille du transistor en grille commune.

Les lignes d'accès de grille et de drain sont chargées par les impédances R_g et R_d . Les accès d'entrée et de sortie sont quant à eux des accès purement RF. Les tensions de polarisations DC sont portées par ailleurs. Le découplage DC/RF se fait par le biais de capacités de découplage introduites sur la puce d'AlN.

Nous pouvons noter la présence de résistances de fortes valeurs en parallèle des capacités C_{ag} permettant la polarisation DC.

II.2.2. La technologie

La partie active de l'amplificateur est réalisée sur un substrat de carbure de silicium d'épaisseur $370\mu\text{m}$ sur lequel la croissance d'une couche de nitrure de gallium de $3\mu\text{m}$ est effectuée. Les plaques ont été processées par le laboratoire TIGER d'après le masque SANGHA.

Lorsque cette conception a été menée, la maîtrise des procédés passifs sur GaN n'était pas arrivée à maturation mais toutefois, il a été tenté lors de cette réalisation d'intégrer sur la puce GaN certains éléments passifs tels que les lignes de connexion, des résistances actives et des capacités MIM (*Metal-Insulator-Metal*) dont les caractéristiques sont mentionnées par la suite. En revanche, à cette période du travail, la technologie considérée ne permettait pas de réaliser des trous métallisés pour le retour à la masse ainsi que des ponts à air permettant le « croisement » des lignes de transmission. C'est pour l'ensemble de ces raisons que la technologie flip-chip avait été retenue avec la partie active conçue sur le substrat de GaN sur SiC et les lignes passives sur AlN.

Les caractéristiques des éléments passifs intégrés sur le GaN sont les suivantes :

-capacités MIM : densité surfacique $250\text{pF}/\text{mm}^2$

-résistances actives : densité surfacique $500\Omega/\square$

-lignes de transmission : densité de courant linéique $12\text{mA}/\mu\text{m}$, largeur minimum des lignes $10\mu\text{m}$.

Le circuit sur AlN a été réalisé par la société Reinhardt avec un substrat de 254 μm d'épaisseur. La technologie utilisée sur ce substrat permet la réalisation de résistances TaN ($50\Omega/\square$), cependant, elle n'offre pas la possibilité d'obtenir des capacités intégrées. Les capacités utilisées sont donc des composants MIM CMS (*Composant Monté en Surface*) du laboratoire Dielectric Laboratories.

Le circuit complet comprend donc le montage flip-chip de la puce conçue sur GaN incluant les quatre montages cascode, les capacités Cag et leurs résistances de polarisation ainsi que les capacités Ca₁ et leurs résistances de polarisation reportée sur le design d'AlN comportant les lignes de transmission et les résistances TaN d'adaptation. Le report est réalisé par l'intermédiaire de plots électriques ou mécaniques présents sur les deux puces en vis-à-vis. Nous pouvons noter la sensibilité de cette opération étant donné la grande dimension de la puce GaN reportée en flip-chip et par conséquent du nombre assez important de plots de report qui est de 21. Les dimensions de l'amplificateur complet (puce AlN) sont de (8800x6000) μm^2 .

Remarque : La technologie Flip-Chip consiste à reporter un circuit électronique sur son substrat d'interconnexion. Les plots de report appelés « bumps » sont soit des billes soit un empilement de lamelles réalisés en matériau fusible (In, SnPb, SnAu, Au, ...). Ils permettent, lorsque la température de fusion correspond à celle du matériau fusible choisi, de connecter les deux circuits entre eux. Plusieurs techniques existent telles que la thermo-compression de plots, l'ACF (*Anisotropic Conductive Films*), l'HPRT (*Hydrogen Plasma Reflow Technique*) ...

La figure ci-dessous représente une vue au MEB (Microscope Électronique à Balayage) d'un bump avec la technologie à empilement de lamelles employée pour notre circuit.

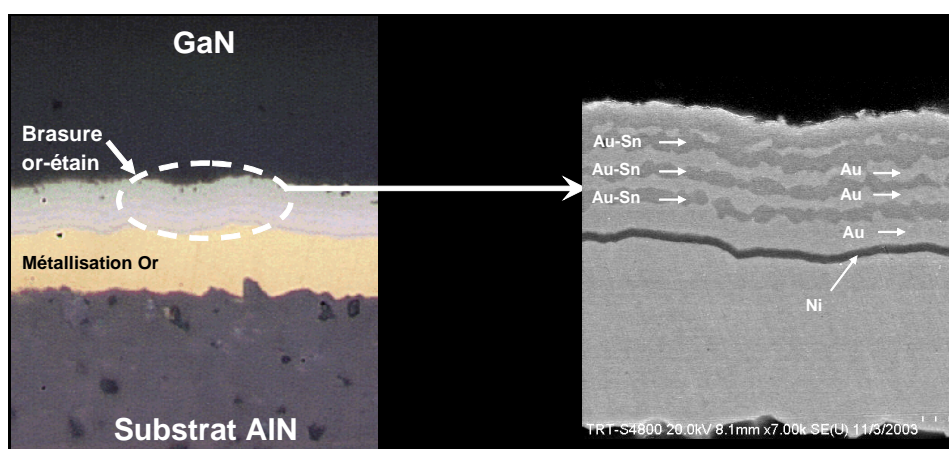


Figure 3-37 : Vue au MEB de la brasure or-étain d'un plot de report Flip-Chip.

II.3. Résultats de mesures de l'amplificateur distribué en montage flip-chip SANA1

Comme nous l'avons déjà évoqué, plusieurs versions ont été réalisées. En ce qui concerne l'amplificateur distribué à base de transistors de développement $8 \times 50 \mu\text{m}$ les simulations affichaient des performances en puissance très fortes mais révélaient une stabilité conditionnelle de l'amplificateur sans ajout de résistance de stabilité. Lors des mesures, quatre circuits ont été montés, trois d'entre eux ont eu des problèmes de brasure. Le quatrième a pu être mesuré mais ce pour une valeur de V_D n'excédant pas 10V. Un problème de stabilité est apparu lors des mesures : une oscillation a été constatée à la fréquence de 24.2GHz. Un second run a donc été lancé intégrant une résistance de stabilité sur chaque cellule cascode. La résistance de stabilité permet de s'affranchir de beaucoup de risques d'instabilité au détriment des performances. À ce jour, la seconde version est en cours de réalisation. Ce circuit est normalement attendu pour la fin de l'année 2007.

La Figure 3-38 représente la simulation des paramètres [S] ainsi que du facteur de Rollet de l'amplificateur sans et avec résistance de stabilité intégrée sur la grille du second transistor de la cellule cascode. La version avec résistance de stabilité (15Ω) permet d'améliorer les marges de stabilité comme on peut le voir nettement au niveau du facteur K par contre on peut constater une diminution de la bande passante au niveau du paramètre S_{21} .

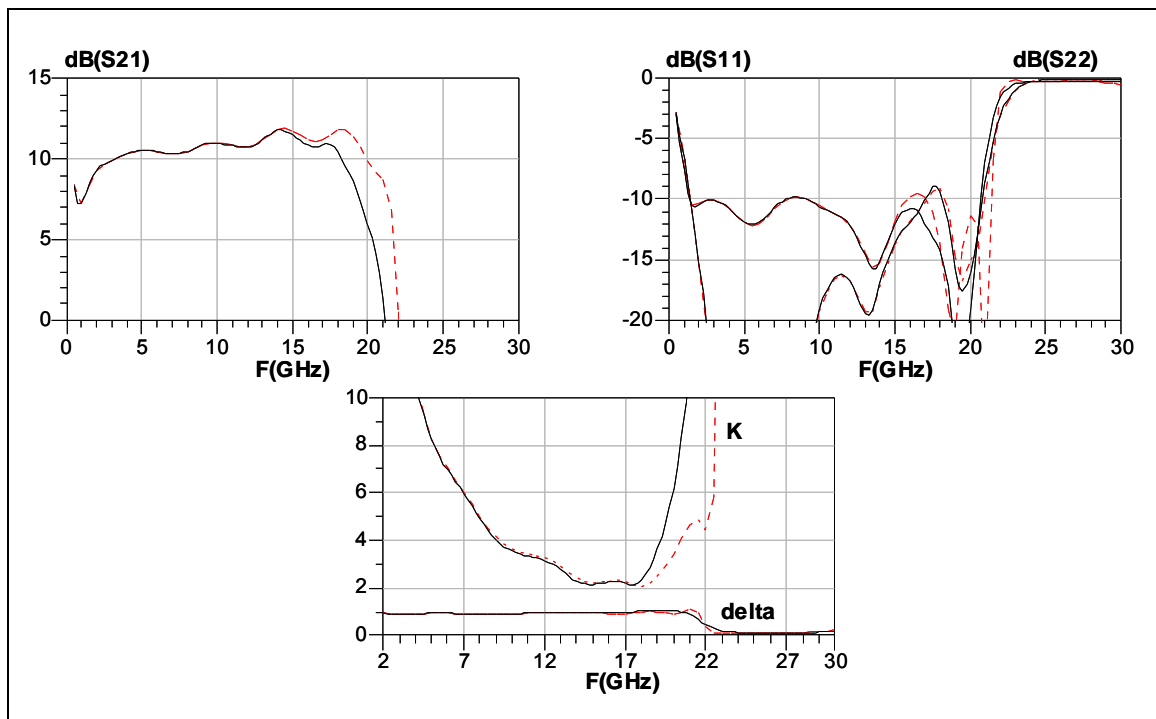


Figure 3-38 : Comparaison des paramètres [S] simulés avec (ligne continue) et sans résistance de stabilité (pointillés) sur la bande 0-30GHz.

La Figure 3-39 présente la puissance de sortie simulée à 1 et 2dB de compression ainsi que les paramètres S en réflexion entrée-sortie en fonction de la fréquence.

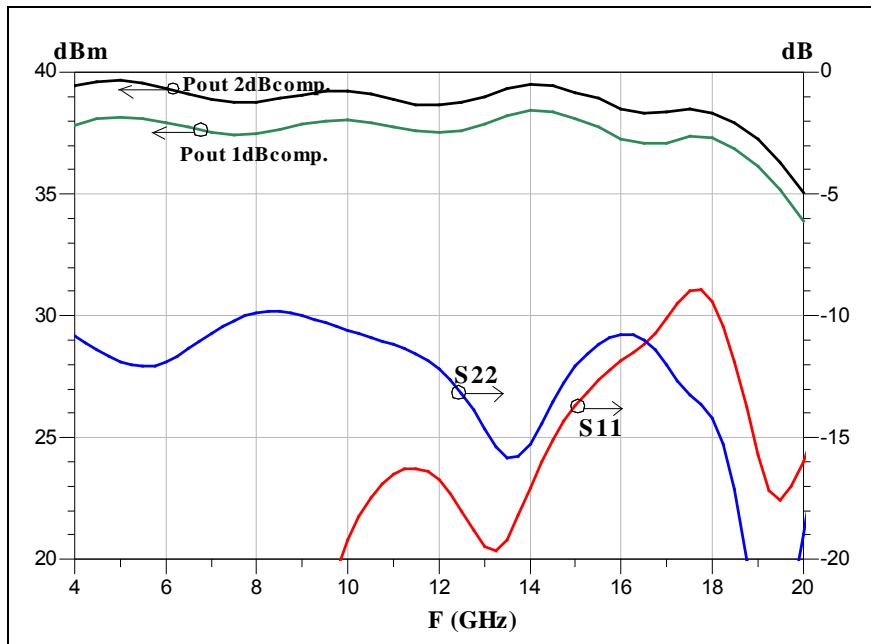


Figure 3-39 : Puissance de sortie à 1dB et 2dB de compression et paramètres S en réflexion entrée-sortie simulés en fonction de la fréquence.

La Figure 3-40 recense les résultats en puissance simulés obtenus en milieu de bande à la fréquence de 12GHz. Nous pouvons relever un gain linéaire de 9.4dB, une puissance de sortie de 37.4 dBm et un rendement en puissance ajoutée de 14.5%.

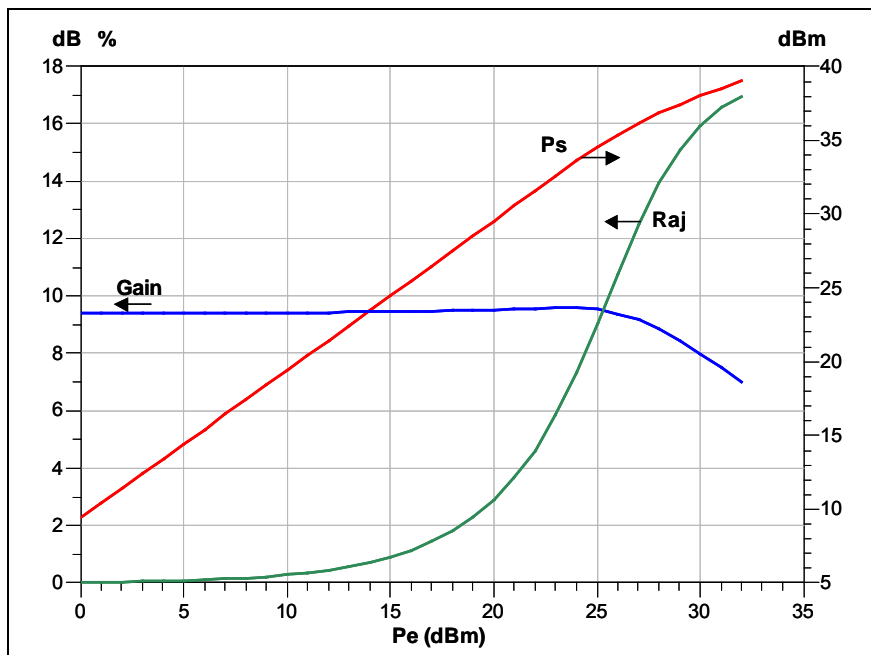


Figure 3-40 : Gain en puissance, puissance de sortie et rendement en puissance ajoutée simulés en fonction de la puissance d'entrée à la fréquence de 12GHz.

Afin d'illustrer le fonctionnement en puissance des transistors, la Figure 3-41 présente les cycles de charge aux fréquences de 4GHz et 18GHz à P_{1dB} . Le fonctionnement de certains transistors n'est pas optimal principalement en haut de bande. Certains transistors dissipent de la puissance et certains sont quasi passifs, ces derniers servant en réalité à l'adaptation des autres composants.

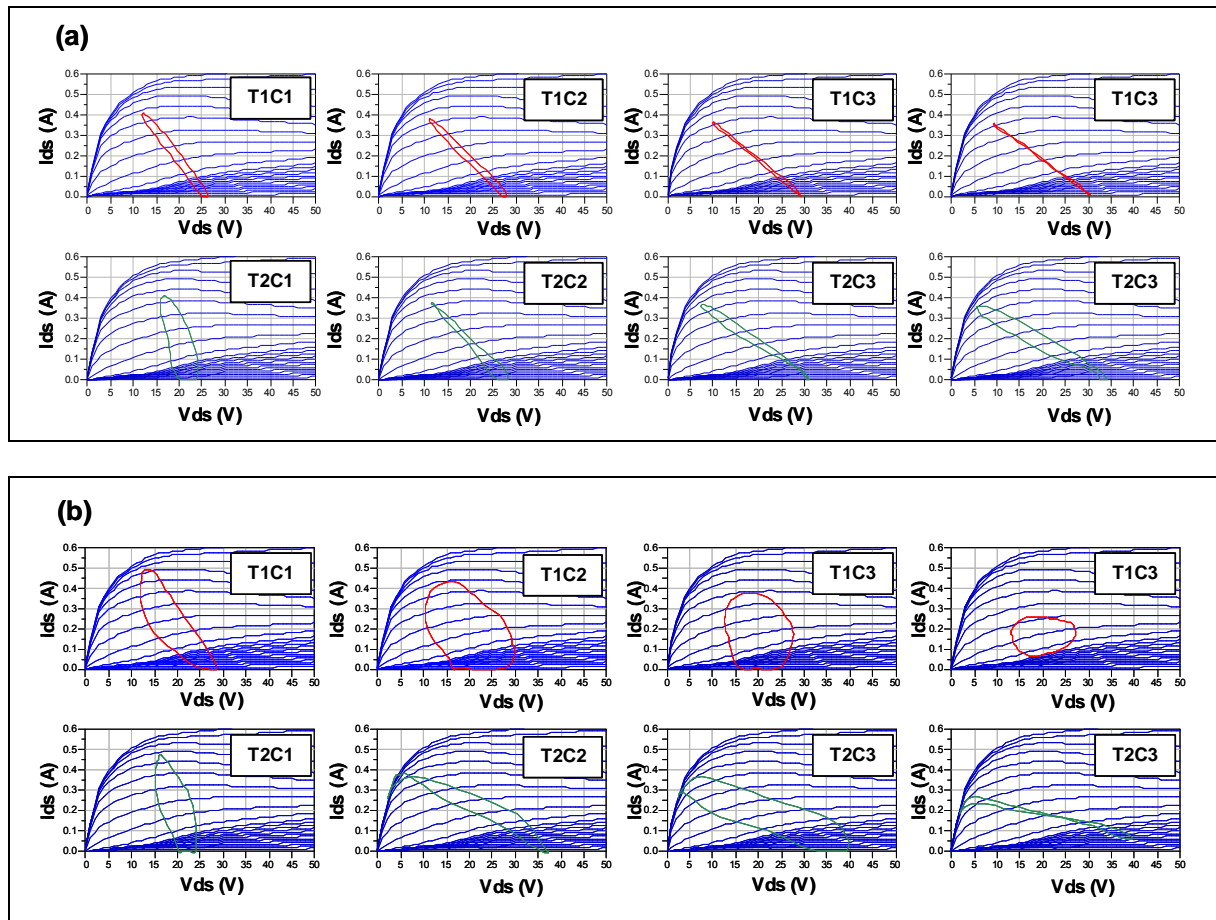


Figure 3-41 : Cycles de charge des 8 transistors à P_{1dB} aux fréquences de 4GHz (a) et 18GHz (b).

Les résultats de mesures devraient être disponibles fin 2007. Le report flip-chip sera effectué par le laboratoire TIGER puis les circuits seront montés en jig de test afin d'être mesurés. Les mesures seront réalisées en mode pulsé, aussi bien pour les accès DC que RF.

Nous allons par la suite nous intéresser à la conception d'un circuit de même topologie (structure distribuée à cellules cascodes) mais cette fois-ci en technologie MMIC.

III - CONCEPTION ET RÉALISATION DE L'AMPLIFICATEUR DISTRIBUÉ À CELLULES CASCODES MMIC

[3.26], [3.27]

Un amplificateur supplémentaire a été conçu au cours de ces travaux de thèse dans le cadre de la technologie MMIC PHEMT GaN développée dans le programme européen Korrigan avec le laboratoire commun MITIC (XLIM – ATL III-V Lab). Il s'agit d'une structure distribuée à quatre cellules cascodes MMIC en technologie GaN sur SiC. Les composants ont un développement de grille de $8 \times 75 \mu\text{m}$ dont le modèle a été développé au cours du chapitre 2. L'architecture, les spécifications ainsi que les contraintes technologiques sont énoncées dans les paragraphes suivants.

III.1. L'architecture

La Figure 3-42 présente le schéma global de l'amplificateur réalisé adoptant une topologie à capacité additionnelle sur la grille et intégrant les montages cascodes optimisés en puissance comme cellules actives unitaires.

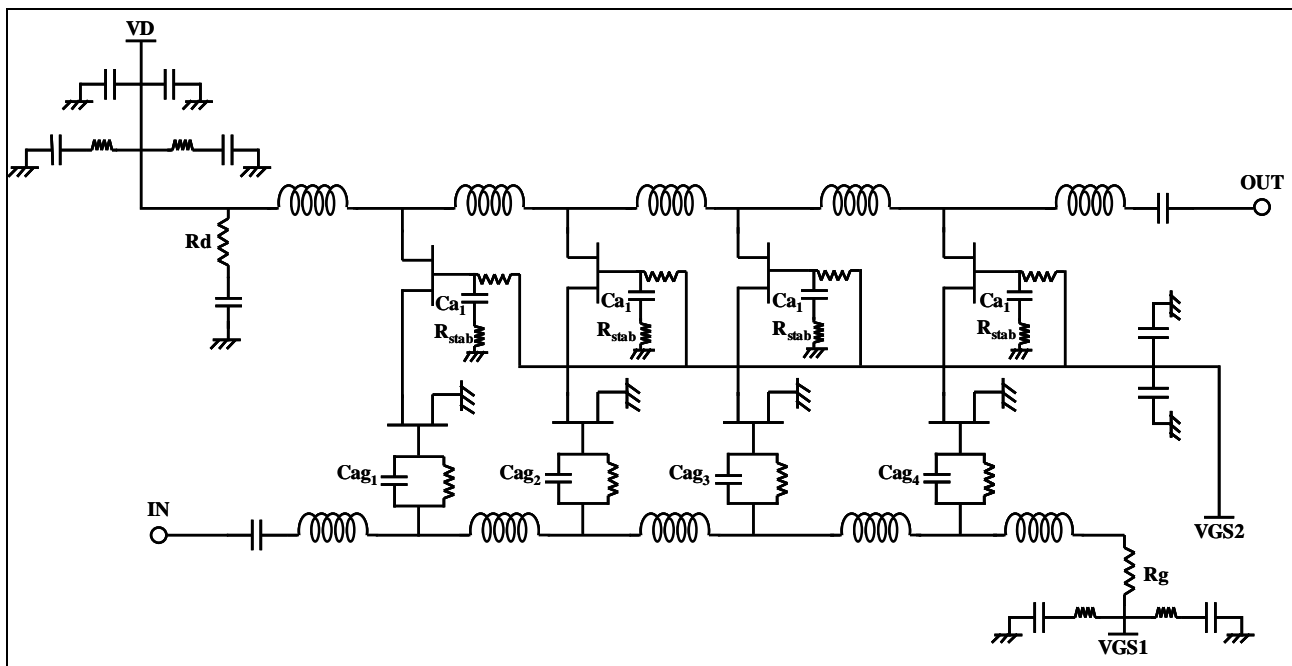


Figure 3-42 : Schéma global de l'amplificateur MMIC.

Il s'agit donc d'un amplificateur distribué composé de quatre cellules cascodes. Les lignes de grille et de drain sont chargées par des impédances R_g et R_d . Les accès d'entrée et sortie sont des accès purement RF. Les tensions de polarisations DC sont apportées par ailleurs. Le découplage DC/RF se fait par le biais de capacités de découplage et de résistances introduites sur la puce.

Chaque cellule cascode présente une capacité sur la grille du transistor en grille commune optimisée pour un fonctionnement optimal en puissance ainsi qu'une résistance de stabilité R_{stab} , le tout, mis en parallèle avec une résistance de forte valeur permettant la polarisation DC. Une capacité est insérée sur la grille du transistor en source commune, optimisant le fonctionnement de l'amplificateur distribué, avec en parallèle une forte résistance pour assurer la polarisation DC.

III.2. Les spécifications et la technologie

III.2.1. Spécifications

L'objectif de cette conception est d'évaluer les potentialités du nitrure de gallium en termes d'amplification de puissance large bande en technologie MMIC. Ce projet n'étant pas contractuel, aucune performance n'était imposée si ce n'est que nous cherchions à obtenir les meilleurs résultats possibles. Afin d'orienter tout de même notre conception, nous avons pris en compte les spécifications de l'amplificateur large bande considéré précédemment en technologie flip-chip. La bande de fréquence s'étend de 6 à 18GHz pour une puissance de sortie recherchée à 1dB de compression de 37dBm avec une ondulation de ± 1 dB et un gain linéaire de 10dB. Il est à noter que nous étions limités quant à la taille de la puce par les dimensions suivantes : (4.5 x 4.5) mm² incluant les lignes de découpe (taille effective du circuit (4.3x4.3) mm²).

Ce projet est ambitieux car la topologie retenue présente un certain nombre de défis technologiques concernant l'insertion des passifs en technologie microruban ainsi que des 8 transistors sur le même substrat GaN. De plus, cela fixe des objectifs supérieurs à l'état de l'art actuel des amplificateurs de puissance pour cette largeur de bande ainsi que pour les dimensions fixées de la puce.

III.2.2. Technologie

La conception réalisée au cours de ces travaux de thèse est basée sur des transistors HEMTs en technologie GaN sur SiC présentés dans le chapitre 2, de développement de grille de

8x75 μm . Le substrat de carbure de silicium a une épaisseur de 100 μm sur lequel la croissance d'une couche de nitrure de gallium de 3 μm est effectuée.

Comme nous l'avons détaillé dans le chapitre 2, cette technologie offre la possibilité de réaliser les transistors mais également intègre les éléments passifs tels que les lignes de transmission, les résistances, les capacités MIM, les via-holes pour le retour à la masse ainsi que les ponts à air.

Nous résumons ci-dessous les caractéristiques principales des éléments passifs que nous avons intégré sur la puce GaN :

- capacités MIM : densité surfacique 250pF/mm²
- résistances actives : densité surfacique 500 Ω/\square
- résistances métalliques NiCr : résistance carrée : $30 \pm 4 \Omega/\square$
- lignes de transmission : densité de courant linéique 11mA/ μm , largeur minimum des lignes 5 μm .
- via-holes : trous métallisés de diamètre 60 μm

III.3. Optimisation de la cellule cascade

Nous avons cherché dans un premier temps à optimiser le montage cascade afin d'obtenir un fonctionnement optimal en puissance. Comme nous l'avons précisé plusieurs fois auparavant, une capacité additionnelle sur la grille du 2nd transistor permet un fonctionnement identique des deux composants et ainsi une optimisation de la puissance de sortie de la cellule cascade. D'après l'équation *Eq 3-31* donnant l'expression de la valeur théorique optimale de cette capacité C_{a1} , nous obtenons une valeur de 270fF dans le cas de notre composant 8x75 μm . Notons que cette valeur n'est qu'une valeur d'initialisation d'un processus d'optimisation. De surcroît, une résistance de 10 Ω a été ajoutée en série de la capacité C_{a1} afin d'assurer la stabilité de la cellule cascade.

La topologie du transistor ne nous permet pas d'introduire une capacité additionnelle C_{a2} entre la source et le drain du second composant. Par conséquent, l'optimisation en puissance du montage cascade est uniquement basée sur l'optimisation de la capacité C_{a1} .

Les dimensions de la ligne inter-transistors ont été fixées afin de respecter les règles de dessin et afin de permettre l'insertion, entre les deux bras de connexion à la source du 2nd transistor,

des éléments C_{a1} , R_{stab} et du via-hole comme on peut le voir sur le layout représenté en Figure 3-43.

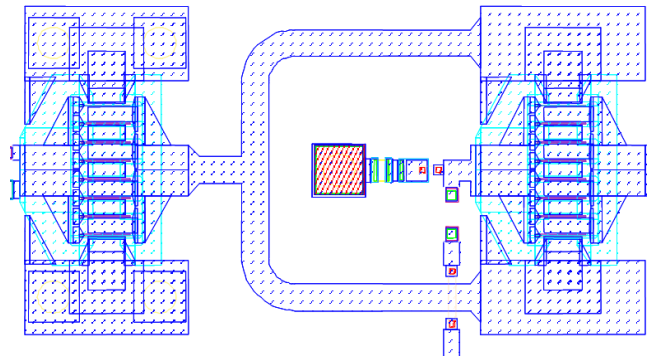


Figure 3-43 : Layout d'une cellule cascode.

L'optimisation sur les cycles de charge des deux transistors a permis de déterminer la valeur optimale de la capacité C_{a1} à 400fF. Les simulations ont été réalisées en adaptant le montage cascode sur son impédance de charge optimale déterminée par simulation load pull (RC parallèle : $R=120\text{ohms}$ et $C=0.23\text{pF}$). La Figure 3-44 présente les cycles de charge des transistors pour les fréquences de 6, 12 et 18GHz. Une bonne équivalence des contributions des transistors a été obtenue en bas de bande. En revanche, le désaccord augmente avec la fréquence.

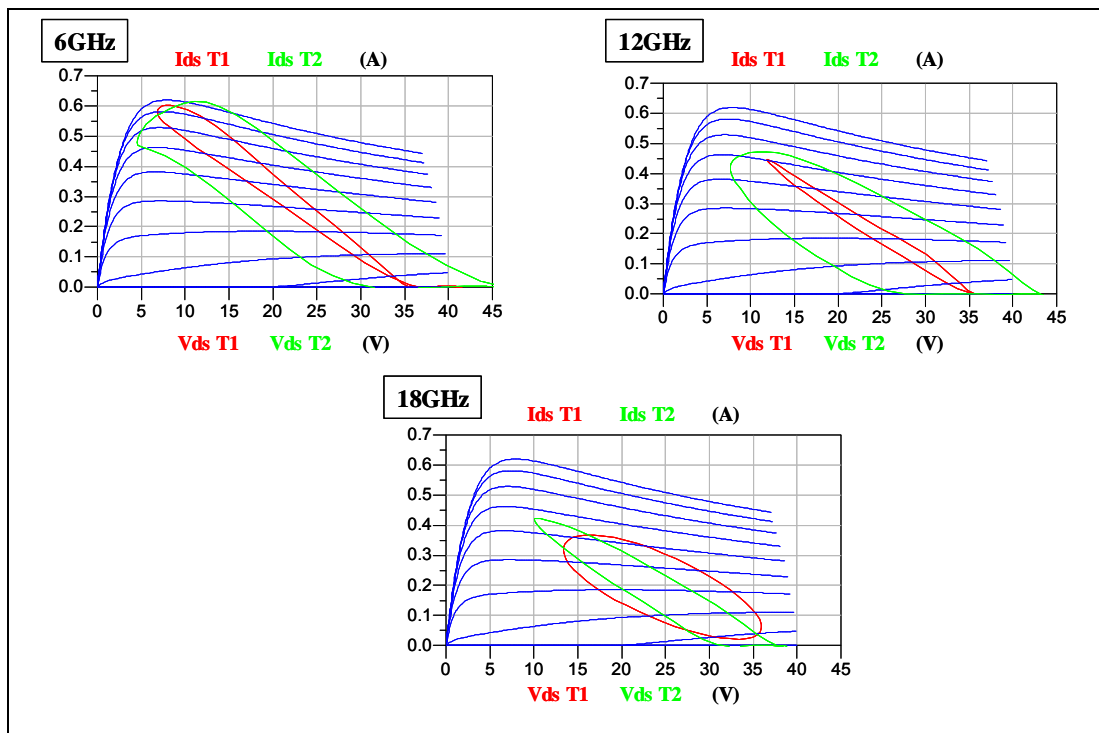


Figure 3-44 : Cycles de charge des deux transistors du montage cascode pour les fréquences de 6, 12 et 18GHz.

La Figure 3-45 présente les performances en puissance en fonction de la puissance d'entrée pour une fréquence de 12GHz de la cellule cascode optimisée, incluant la capacité Ca_1 , la résistance de stabilité ainsi qu'une résistance de 1000Ω sur la ligne de polarisation de grille du 2nd transistor.

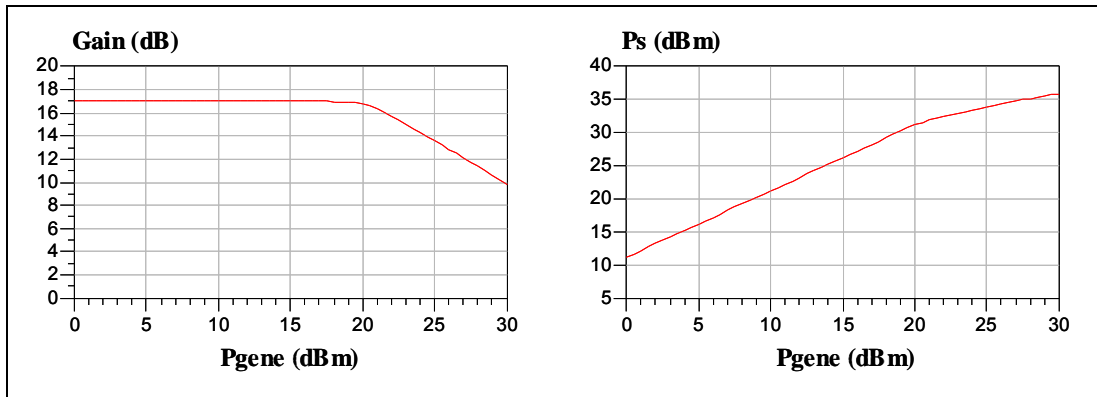


Figure 3-45 : Performances en puissance de la cellule cascode pour $f=12\text{GHz}$.

Nous pouvons observer un gain bas niveau de 17dB ainsi qu'une puissance de sortie à 1dB de compression de 32.2dBm.

L'influence de la valeur de la capacité Ca_1 sur les performances en puissance de la cellule cascode est représentée sur la Figure 3-46. Ces figures présentent la comparaison du gain et de la puissance de sortie en fonction de la puissance d'entrée pour les valeurs de capacité de 225fF, 306fF et 400fF à la fréquence de 12GHz. Nous pouvons ici constater que la capacité Ca_1 a une influence importante sur les performances en puissance de la cellule cascode.

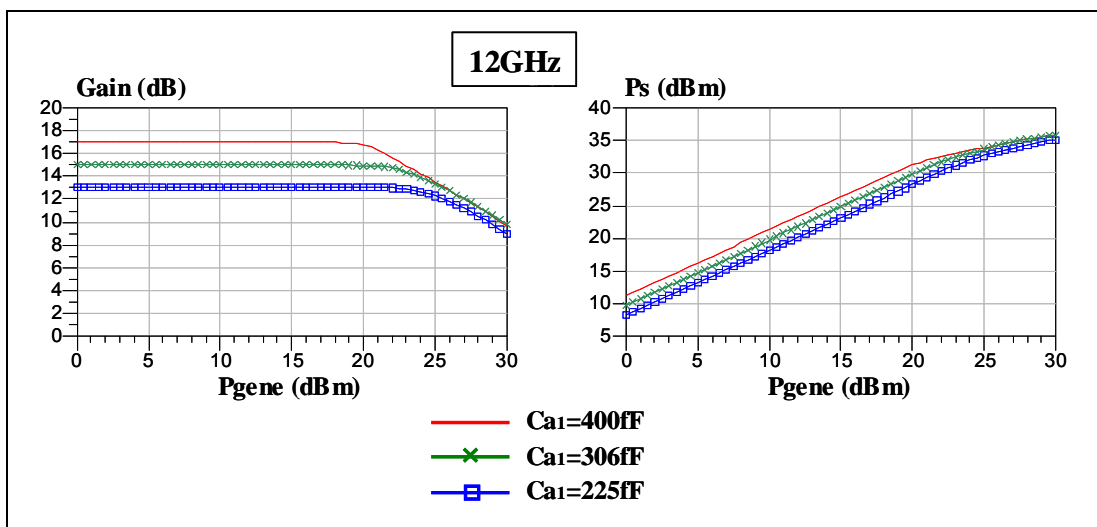


Figure 3-46 : Influence de la capacité Ca_1 à 12GHz.

III.4. L'amplificateur distribué à base de cellules cascodes MMIC

Le dessin complet de l'amplificateur est représenté sur la Figure 3-47. Il est important de noter que l'aspect « layout » de l'amplificateur fait la transition entre la phase de CAO et la réalité physique du circuit. La vérification des règles de dessin, l'optimisation de la surface occupée par le circuit ainsi que la prise en compte d'éventuels couplages dans le circuit ont demandé beaucoup d'adaptations et de limitations qui restent indispensables à la réussite de toute conception.

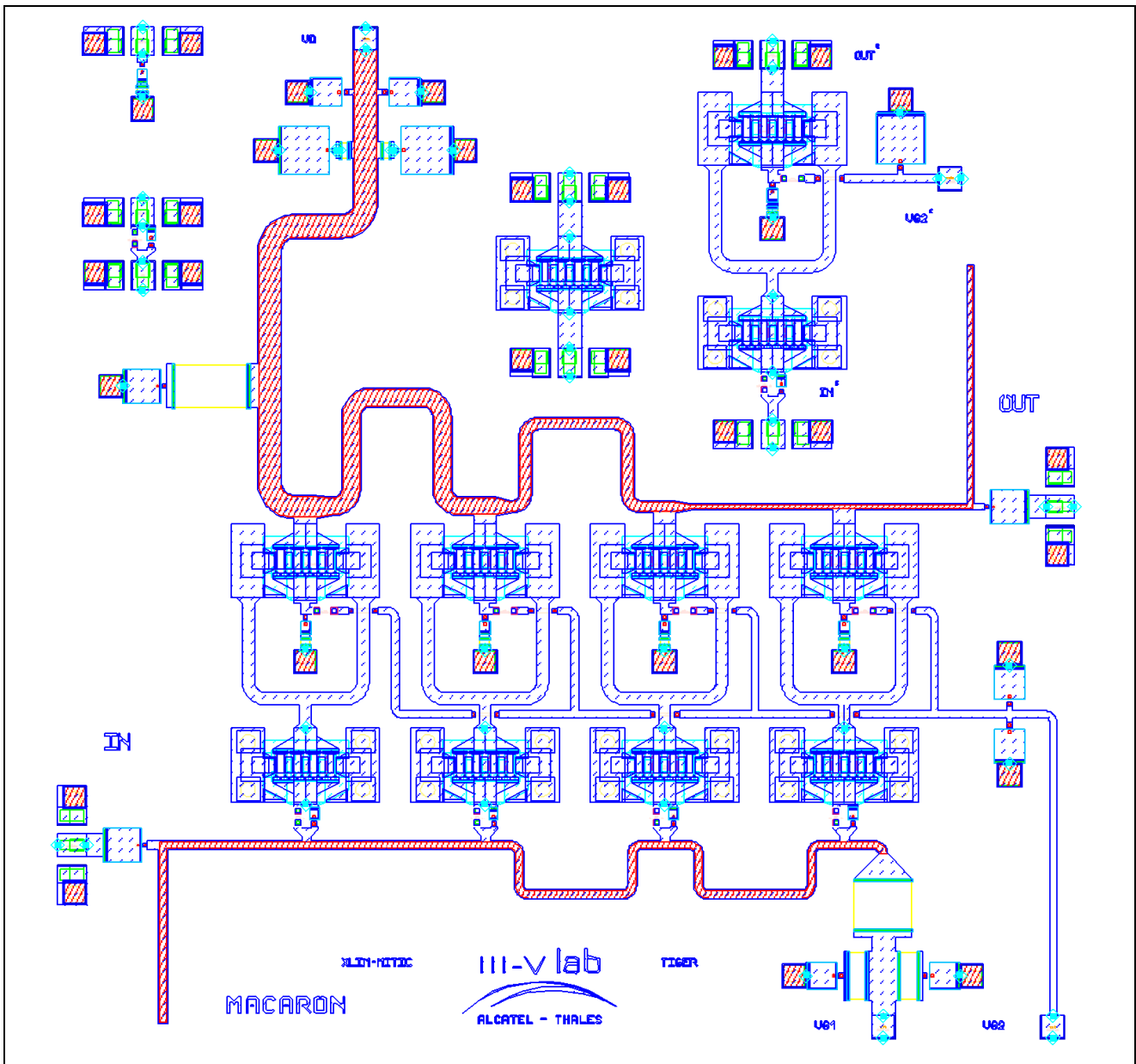


Figure 3-47 : Layout de l'amplificateur distribué à cellules cascodes en technologie MMIC.

Dans les paragraphes suivants, nous allons nous intéresser aux contraintes technologiques inhérentes à la conception de l'amplificateur distribué et aux résultats de simulation.

III.4.1. Les contraintes technologiques

III.4.1.1. Contraintes DC sur la ligne de drain

Une contrainte DC soumet la ligne de drain à une largeur minimale W_{min} (I_{DC}). Une ligne microstrip de largeur W ne peut supporter plus de $11\text{mA}/\mu\text{m}$ de courant DC. Les contraintes de largeur sur les lignes de drain sont exprimées en fonction du courant DC de polarisation qui est amené au travers de la ligne de sortie.

La première ligne de largeur W_0 reliant la polarisation de drain par la charge R_d au drain de la 1^{ère} cellule cascode doit supporter la somme des courants de polarisation $I_{DC,k}$ des N transistors pour le niveau maximum de consommation du circuit. Il est donc nécessaire que :

$$W_0 \geq \frac{\sum_{k=1}^N I_{DC,k}}{0.011} \quad \text{avec } N=4 \quad \text{Eq 3-39}$$

Les tronçons de ligne de drain suivants de largeur W_i reliant la cellule i à la cellule $(i+1)$ sont soumis à la contrainte :

$$W_i \geq \frac{\sum_{k=i+1}^N I_{DC,k}}{0.011} \quad \text{avec } i=1 \text{ à } N-1 \text{ avec } N=4 \quad \text{Eq 3-40}$$

La plus forte contrainte est donc associée à la ligne W_0 . Il a donc été nécessaire d'imposer ces contraintes dans l'optimisation de l'amplificateur distribué. Le niveau de ces contraintes est illustré dans le cas de notre réalisation par les valeurs du Tableau 3-4 suivant :

i	$\sum_{k=i+1}^N I_{DC,k}$ (mA)	$W_{i \min}$ (μm)
0	1057	96
1	793	72
2	529	48
3	264	24

Tableau 3-4 : Contraintes DC sur la ligne de drain.

Remarque : Par prévention, une couche supplémentaire nommée PI ainsi qu'une seconde nommée PO ont été rajoutées sur la métallisation du niveau N1 en respectant les règles de dessin

dès que la topologie le permettait afin d'assurer une marge d'erreur concernant la valeur limite du courant. Le rajout de ces épaisseurs permet à la ligne de supporter un courant plus important.

III.4.1.2. Contraintes RF sur les charges de grille et de drain

Lors de la conception d'un amplificateur distribué de puissance, une contrainte spécifique est liée à la dissipation de puissance RF dans les charges d'adaptation de grille R_g et de drain R_d . En effet, en limite basse de la bande de fréquence (4GHz), les cellules cascodes présentent un gain important et prélèvent une puissance d'entrée négligeable. Par conséquent, la puissance d'entrée du générateur est quasiment intégralement dissipée dans la charge de grille R_g . À l'inverse, en haute fréquence (18 GHz), le gain des transistors est plus faible et la puissance d'entrée qu'ils prélèvent est plus importante. Ainsi, la puissance dissipée dans la charge de grille diminue par rapport à sa valeur en basse fréquence. La contrainte sur la dissipation de puissance RF dans les charges d'adaptation est donc fixée par le comportement en puissance au début de la bande de fréquence.

Les résistances métalliques de résistance carrée R_c ($30\Omega/\square$) ne peuvent supporter une puissance RF supérieure à ($23.10^{-6}W/\mu m^2$). Ainsi si P_{R_g} est la puissance maximale dissipée dans la charge de grille en basse fréquence, la largeur W_{R_g} de cette résistance R_g de longueur L_{R_g} est contrainte par :

$$R_g = \frac{L_{R_g}}{W_{R_g}} \cdot R_c \text{ et } W_{R_g} (\mu m) \geq \sqrt{\frac{R_c \cdot P_{R_g}}{23.10^{-6} \cdot R_g}} \quad \text{Eq 3-41}$$

Cette contrainte s'applique de même à la charge R_d de drain :

$$R_d = \frac{L_{R_d}}{W_{R_d}} \cdot R_c \text{ et } W_{R_d} (\mu m) \geq \sqrt{\frac{R_c \cdot P_{R_d}}{23.10^{-6} \cdot R_d}} \quad \text{Eq 3-42}$$

Le niveau de ces contraintes est illustré dans le cas de notre réalisation par les valeurs du Tableau 3-5 suivant :

R_g (Ω)	P_{R_g} (mW) max	W_{R_g} (μm) min	L_{R_g} (μm)	R_d (Ω)	P_{R_d} (W) max	W_{R_d} (μm) min	L_{R_d} (μm)
25	912	240	200	50	1.15	180	300

Tableau 3-5 : Contraintes RF sur les charges de grille et de drain.

III.4.2. Profil des capacités additionnelles sur la grille

L'architecture intègre un profil à capacités C_{ag_i} en série sur les grilles de chaque transistor en source commune. Afin de permettre la polarisation de grille à travers la ligne d'entrée, chaque capacité C_{ag_i} est shuntée par une résistance R_{ag} . La valeur de R_{ag} a été ajustée pour que la coupure du réseau RC équivalent soit inférieure à la fréquence minimale f_{min} soit $R=500\Omega$.

Il faut insister sur le fait que la valeur des capacités C_{ag_i} doit augmenter avec l'ordre i du transistor. Ce profil permet ainsi de compenser les pertes de la ligne de grille et de maintenir le module de la tension de commande V_{gs_i} des transistors aussi constant que possible. Les valeurs des capacités sont données dans le Tableau 3-6 suivant :

C_{ag_1} (pF)	C_{ag_2} (pF)	C_{ag_3} (pF)	C_{ag_4} (pF)
0.3	0.265	0.297	0.325

Tableau 3-6 : Valeur des capacités additionnelles sur la grille.

III.4.3. Motifs de test

Un motif de test de la cellule cascode seule a été conçu afin de mesurer les performances de cette cellule. Ce circuit comprend deux accès entrée-sortie RF qui permettront également la polarisation DC. Un troisième accès est nécessaire à la polarisation de grille du transistor monté en grille commune. Le découplage RF/DC de cette ligne est assuré par une capacité de 10pF.

Des motifs de test supplémentaires d'éléments passifs tels que le réseau R_{ag}/C_{ag} d'entrée et la mise en série de C_{a_1} avec R_{stab} ont été ajoutés ainsi que le motif d'un seul transistor de développement $8 \times 75 \mu\text{m}$.

Ces motifs (Figure 3-48) permettront de réaliser des comparaisons de résultats de mesures et de simulation. Lors des simulations en régime linéaire, une attention particulière a été portée sur l'étude de stabilité car le montage cascode est connu pour être très sensible aux oscillations. Pour ce faire, les analyses du facteur de Rollet ainsi que du NDF traduisent une stabilité inconditionnelle de la cellule cascode.

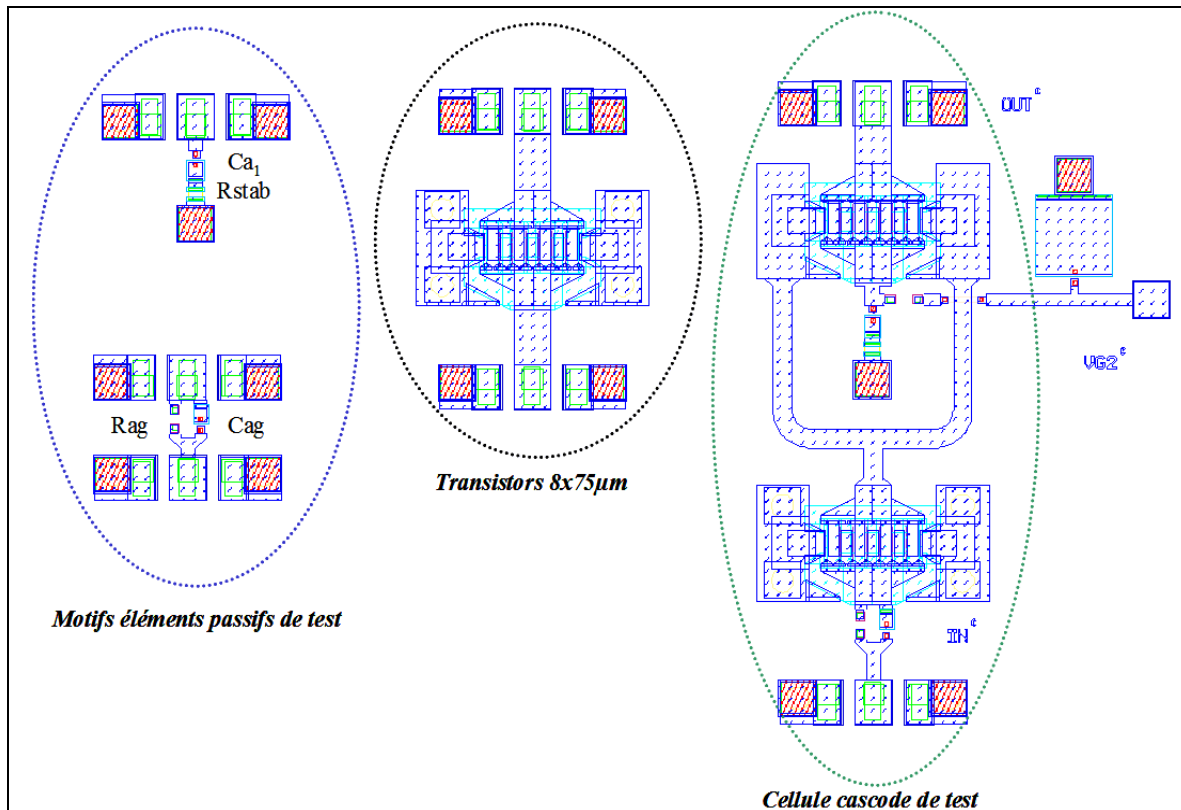


Figure 3-48 : Motifs de test intégrés sur la puce de l'amplificateur distribué.

III.4.4. Performances simulées de l'amplificateur

Nous allons dans cette partie nous intéresser aux performances simulées de l'amplificateur distribué et dans un tout premier temps aux résultats de simulations en régime linéaire.

III.4.4.1. Simulations en régime linéaire

La Figure 3-49 expose les paramètres S obtenus par l'analyse petit signal de l'amplificateur composé des modèles linéaires de transistors. Nous pouvons relever un gain moyen de $8\text{dB} \pm 0.3\text{dB}$ sur la bande de fréquence 4-18GHz. Les paramètres S en réflexion entrée et sortie sont pour le S_{11} inférieur à -10dB et pour le S_{22} inférieur à -7dB traduisant une bonne adaptation du circuit. Notons qu'il n'est pas prévu de selfs de choke à l'extérieur de la puce dont les valeurs seraient trop fortes pour être intégrées sur la puce. Ainsi le découplage de la ligne de drain a été totalement intégré par des réseaux RC capacitifs dont l'influence sur le S_{22} n'a pas pu être totalement compensée vers la fréquence minimale car le comportement à f_{max} était privilégié.

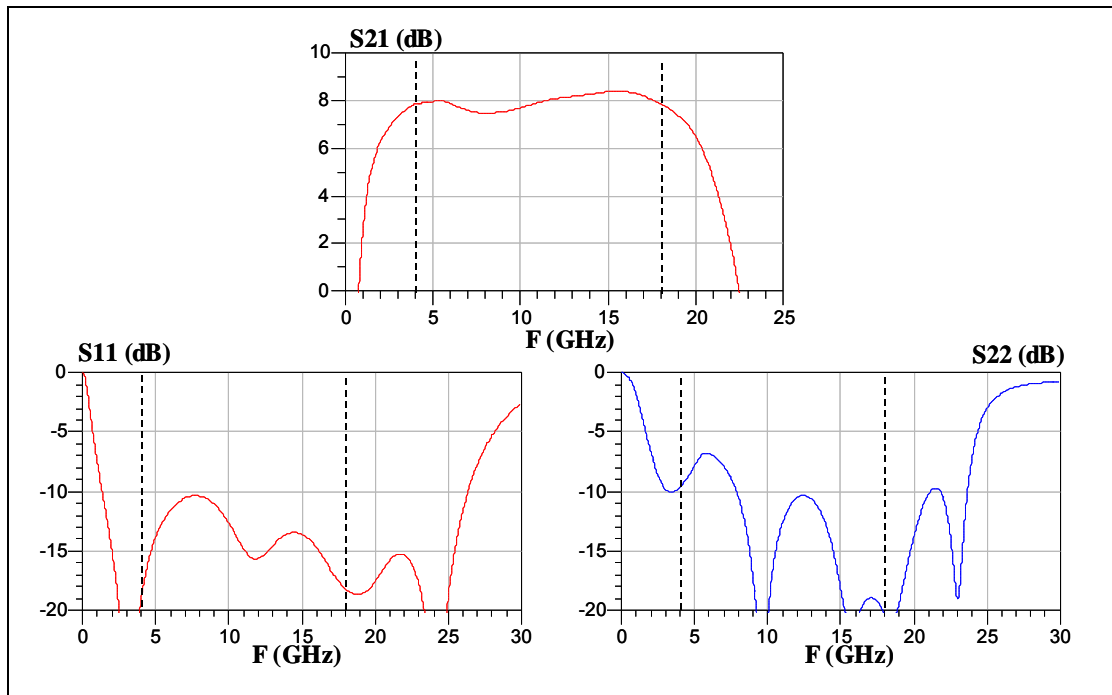


Figure 3-49 : Paramètres S obtenus par analyse petit signal de l'amplificateur distribué (avec modèles linéaires).

D'autre part, nous avons simulé les paramètres S de l'amplificateur comportant les modèles de transistors non-linéaires. Sur la Figure 3-50 sont représentés les résultats obtenus sur la même bande de fréquence que précédemment. Nous avons obtenu un gain moyen de $7\text{dB} \pm 0.3\text{dB}$, S_{11} inférieur à -10.5dB et S_{22} inférieur à -4dB .

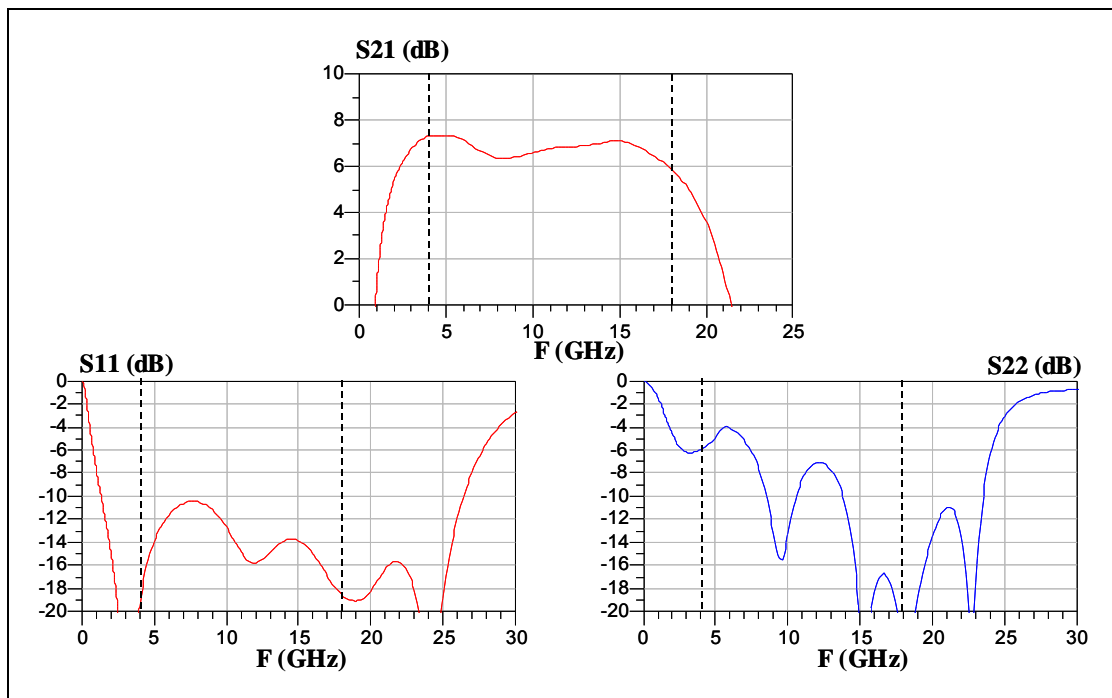


Figure 3-50 : Paramètres S obtenus par analyse petit signal de l'amplificateur distribué (avec modèles non-linéaires).

Une fois le layout de ce circuit optimisé, une étude électromagnétique des parties passives a été réalisée afin de vérifier l'éventuelle présence de couplage entre lignes de transmission. Cette étude a été menée en deux temps :

- une première simulation a été réalisée en simulant les lignes de grille et de drain sous le logiciel Momentum, les résultats sont représentés sur la Figure 3-51 (a).
- une seconde simulation a été réalisée en simulant les lignes de grille et de drain ainsi que les lignes inter-transistors avec le passage à proximité de la ligne de polarisation de grille du second transistor sous le logiciel Ansoft Designer. Les résultats sont représentés sur la Figure 3-51 (b).

Nous avons pu ainsi vérifier qu'aucun couplage parasite n'apparaissait au sein de la structure. Les performances de l'amplificateur obtenues à partir des simulations électromagnétiques des passifs étaient sensiblement équivalentes de celles obtenues par simulations circuit.

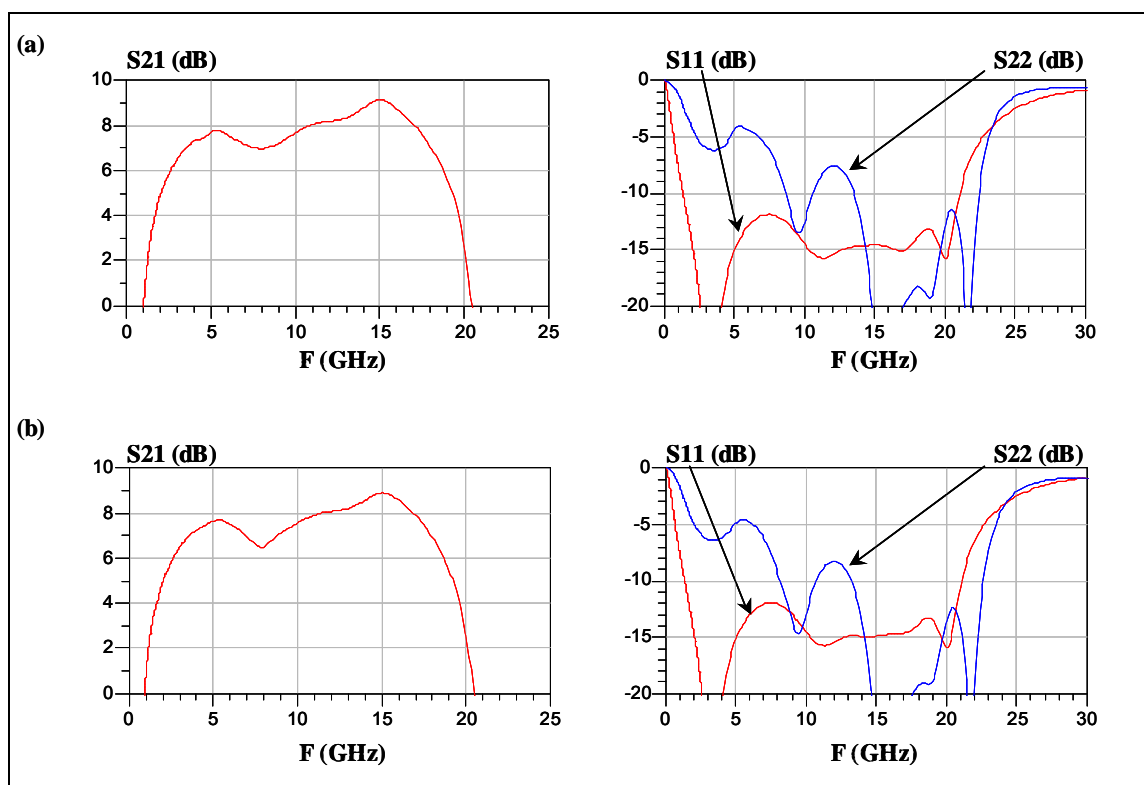


Figure 3-51 : Paramètres S obtenus par analyse petit signal de l'amplificateur distribué simulé par analyses électromagnétiques (avec modèles non-linéaires) : (a) Momentum, (b) Ansoft Designer.

III.4.4.2. Simulation en régime fort signal (P_s , P_e , Gain, Cycles, P_{diss})

Des simulations en régime fort signal ont été effectuées à partir du modèle thermique non-linéaire des composants actifs. Le point de polarisation considéré au cours de ces analyses est de -4 volts sur la grille et 50 volts sur le drain ($2 \times 25V$), ce qui correspond à un courant égal à $186mA$, équivalent approximativement à $I_{dss}/3$ (classe AB légère). Les simulations ont été réalisées pour une puissance d'entrée variant de 0 à 33.5dBm sur une bande de fréquence allant de 1 à 20GHz.

La Figure 3-52 présente la puissance de sortie à 1 et 2dB de compression ainsi que les paramètres S en réflexion entrée/sortie en fonction de la fréquence. Nous pouvons observer une adaptation correcte du circuit puisque ces derniers restent inférieurs à $-7dB$ sur la bande 4-18GHz.

La puissance de sortie à 1dB de compression montre une valeur moyenne de 37.3dBm sur la bande 4-18GHz, oscillant entre un minimum de 34.7dBm et un maximum de 38.5dBm. La puissance de sortie à 2dB de compression a une valeur moyenne de 38dBm dans la bande 4-18GHz.

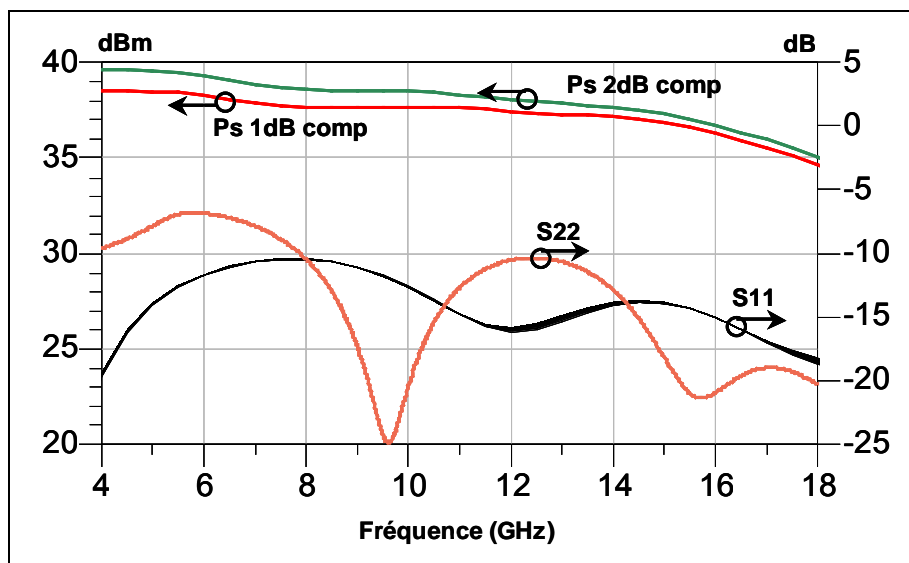


Figure 3-52 : Puissance de sortie à 1dB et 2dB de compression et paramètres S en réflexion entrée-sortie en fonction de la fréquence.

La Figure 3-53 présente la puissance de sortie en fonction de la puissance d'entrée aux points de fréquence 4GHz, 12GHz et 18GHz.

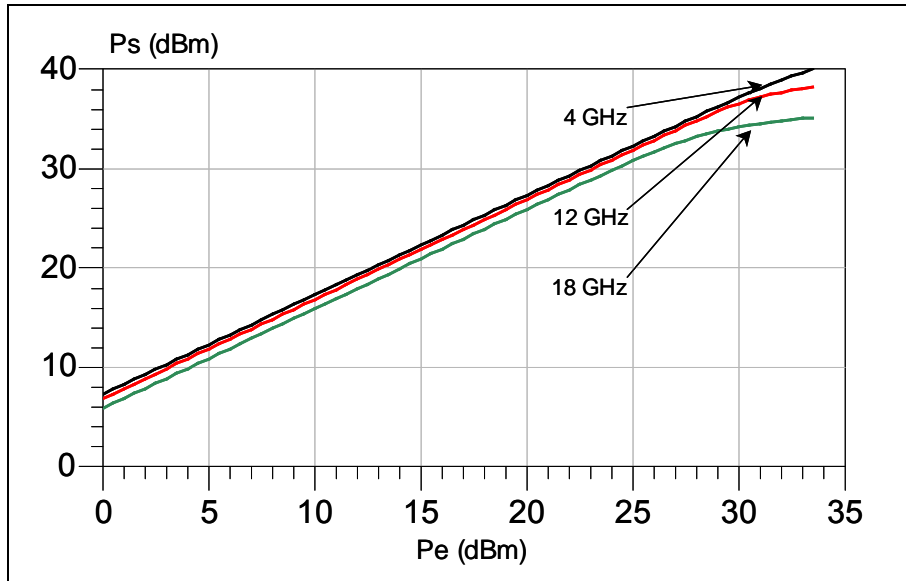


Figure 3-53 : Puissance de sortie en fonction de la puissance d'entrée à 4GHz, 12GHz, 18GHz.

La Figure 3-54 synthétise les résultats en puissance obtenus pour une fréquence de 12GHz. Nous pouvons relever un gain linéaire de 7dB, une puissance de sortie au dB de compression de 37.5dBm.

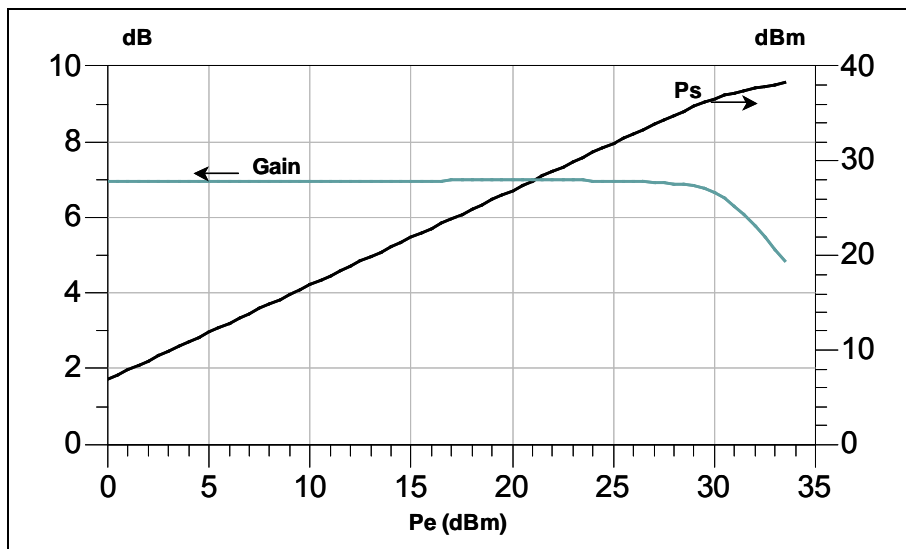


Figure 3-54 : Gain en puissance et puissance de sortie en fonction de la puissance d'entrée à une fréquence de 12 GHz.

Afin de déterminer le fonctionnement en puissance des transistors, nous présentons les cycles de charge de ces derniers sur les caractéristiques statiques. La Figure 3-55 montre ces cycles pour des fréquences de 4, 12 et 18GHz à une puissance de sortie au dB de compression. Nous pouvons noter que les transistors ne fonctionnent pas tous à leur optimum par rapport à la pente et au déphasage du cycle de charge optimal et ce surtout en haut de bande où ils servent en réalité à

l'adaptation des autres composants. Ce constat a déjà été mis en évidence par les concepteurs d'amplificateurs distribués non uniformes qui intègrent un premier transistor de taille différente [3.12].

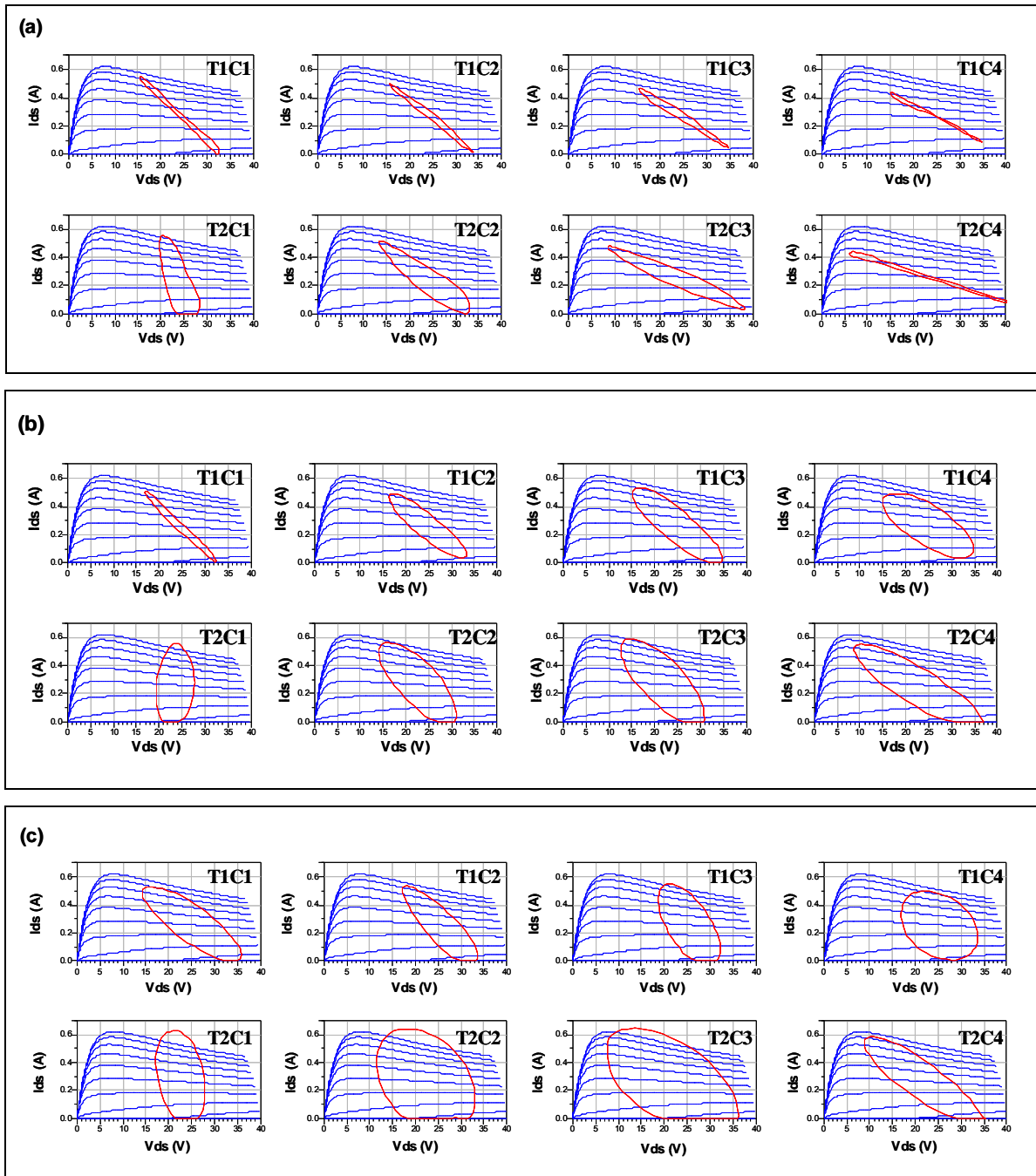


Figure 3-55 : Cycles de charge des 8 transistors pour une puissance de sortie au dB de compression aux fréquences 4GHz (a), 12GHz (b) et 18GHz (c).

Le Tableau 3-7 présente un récapitulatif des résultats en puissance obtenus :

Paramètres	Résultats simulés
- Bande de fréquence	4-18 GHz
- Puissance de sortie	5.3W (moyenne sur 4-18GHz) max : 7W, min : 3W
- Rendement	8% (moyenne sur 4-18GHz) max : 11%, min : 5%
- Gain	8dB
- Polarisation	25V
- Stabilité	K>1, NDF, STAN
- Réflexion en entrée	<-10dB
- Réflexion en sortie	<-7dB
- Taille de la puce	20.25mm ² (4.5x4.5)

Tableau 3-7 : Synthèse des performances simulées.

Le circuit complet pourra être mesuré soit sous pointes, soit monté en jig de test et connectorisé. Concernant le mode utilisé pour la mesure, le circuit devra être mesuré en pulsé pour des raisons d'échauffement thermique. En effet, les mesures thermiques sous pointes du transistor 8x75µm ont permis de déterminer sa résistance thermique estimée à 24.7°C/W (cf chapitre 2). Si l'on considère une température de jonction maximale de 200°C et une température de socle de 35°C, on obtient une puissance dissipée maximale de 6.7W pour chaque transistor.

Or, nous avons simulé les puissances dissipées par chacun des huit transistors de 1 à 20GHz pour une puissance d'entrée correspondant au dB de compression (Figure 3-56). Nous pouvons observer un maximum de 6.9W à 13.5GHz pour une puissance d'entrée de 31.5dBm concernant le transistor grille commune de la 1^{ère} cellule cascode. Par conséquent, l'amplificateur devra être mesuré en mode pulsé afin de pallier au phénomène d'auto-échauffement.

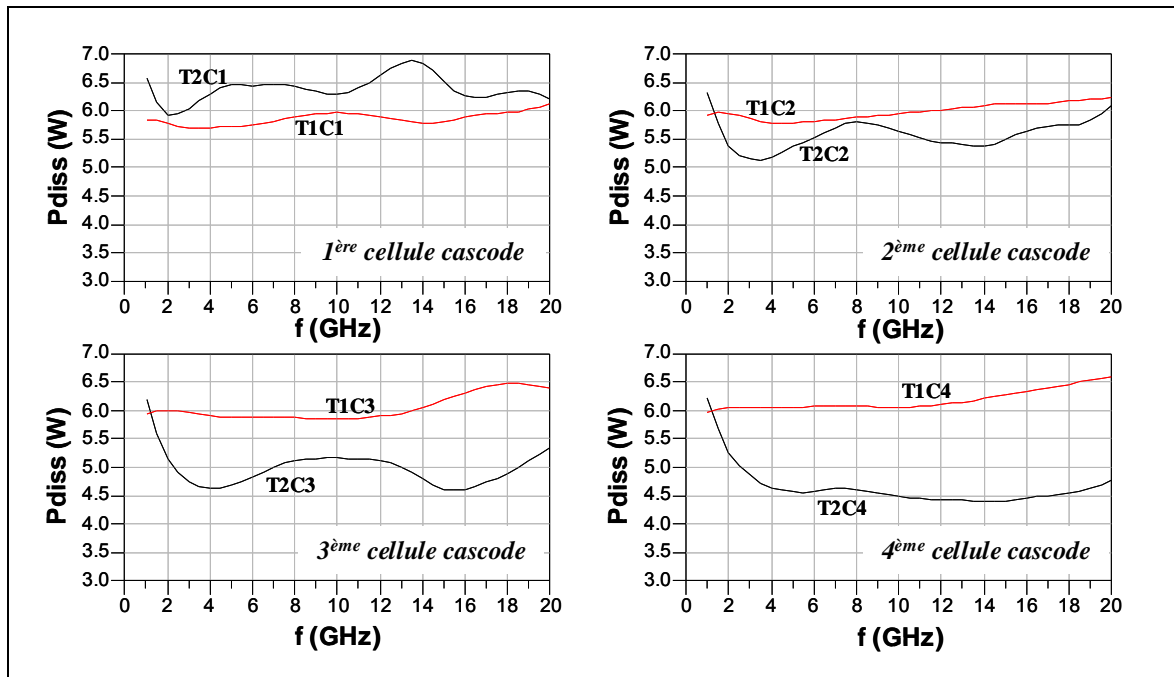


Figure 3-56 : Puissance dissipée par chaque transistor en fonction de la fréquence pour une puissance d'entrée de 31.5dBm.

Les performances simulées ainsi que les détails de conception de l'amplificateur distribué MMIC à cellules cascodes ont été exposés dans ce paragraphe. Nous allons voir par la suite les critères qui participent à la validation de la topologie.

III.4.5. Validation de la topologie finale

La validation de la topologie finale de l'amplificateur constitue l'étape suivante du travail avant d'envoyer le circuit pour la phase de réalisation physique « run ». Une vérification de la stabilité intrinsèque du dispositif ainsi que de la sensibilité vis-à-vis des dispersions technologiques des éléments passifs, du substrat et des éléments du modèle du transistor a été réalisée.

III.4.5.1. Analyse de la stabilité linéaire et intrinsèque de l'amplificateur distribué

Une attention particulière a été apportée à l'analyse de stabilité du circuit. En effet, comme nous l'avons mentionné, le montage cascode est connu pour être sensible aux oscillations. En conséquence, une première analyse de stabilité a été réalisée à partir des simulations des paramètres S de l'amplificateur : il s'agit du facteur de Rollet.

Les conditions de stabilité d'un circuit au regard du facteur de Rollet sont énoncées ci-contre :

Si l'on considère un quadripôle et que l'on pose :

$$K = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + |S_{12}S_{21} - S_{11}S_{22}|^2}{2|S_{12}S_{21}|} \quad \text{et} \quad \text{Eq 3-43}$$

$$\text{delta} = 1 + |S_{11}|^2 - |S_{22}|^2 + |S_{11}S_{22} - S_{12}S_{21}|^2$$

alors le quadripôle est inconditionnellement stable si pour toutes les fréquences de la bande d'utilisation on vérifie que :

$$K > 1 \quad \text{et} \quad \text{delta} > 0$$

La Figure 3-57 présente les résultats de cette analyse de stabilité linéaire. Cette simulation a été réalisée sur une bande de fréquence allant de 1 à 30GHz. Nous pouvons conclure à une stabilité inconditionnelle du circuit puisque le facteur K reste supérieur à l'unité et le facteur « delta » est positif sur toute la bande d'analyse.

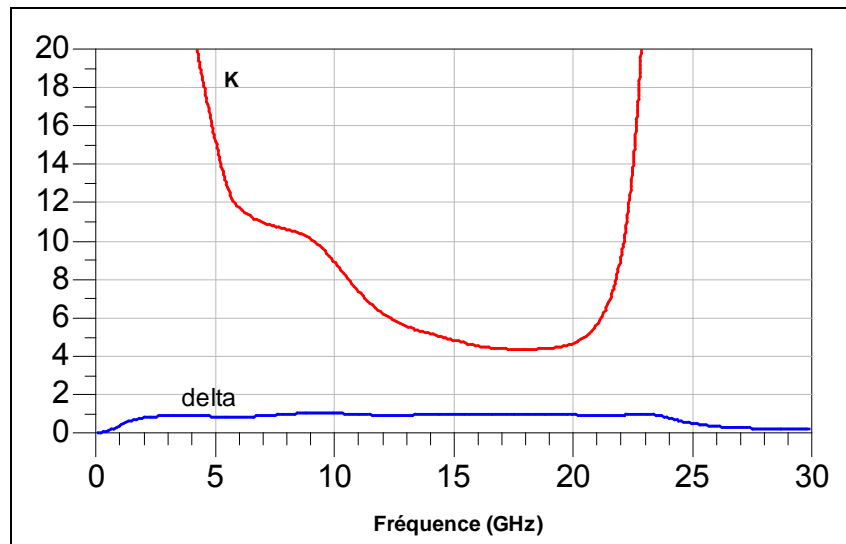


Figure 3-57 : K et delta résultant de l'analyse de stabilité linéaire en paramètre S de l'amplificateur.

L'étude de la stabilité intrinsèque de notre dispositif a été réalisée afin de compléter l'analyse dans son domaine de fonctionnement linéaire. Elle est basée sur la représentation de la fonction normalisée du déterminant (NDF) [3.28].

Le principe de l'analyse par le NDF linéaire d'un circuit intégrant N transistors correspond à la simulation linéaire de N fonctions de transfert en boucle ouverte, appelées « Return Ratios RR_i ». Ces fonctions de transfert en boucle ouverte peuvent être simulées par la modification du schéma équivalent linéaire d'un transistor qui devient un modèle 4 ports (Figure 3-58) [3.29].

L'accès 3 prélève la tension de retour V_{gs} par une source idéale de tension contrôlée en tension tandis que la tension V_{ext} de l'accès 4 contrôle la source de courant du transistor. On montre alors que le NDF d'un circuit à N transistor T_k peut être calculé par :

$$NDF = \prod_{k=1}^N (1 + RR_k) \quad \text{avec} \quad RR_k = -\frac{V_{gs}}{V_{ext}} = -\frac{S_{34}}{2} \quad \text{Eq 3-44}$$

Le dispositif étudié sera stable si le tracé du NDF n'encercle pas dans le sens rétrograde et n'inclut pas le point critique (0,0) sur un diagramme polaire.

Trois configurations de ce modèle à 4 accès sont alors nécessaires au calcul du NDF. Ces configurations « On », « Off » et « Under Test » sont définies ci-dessous :

- Le transistor T_k est « On » si ses accès 3 et 4 sont court-circuités.
- Le transistor T_k est « Off » si ses accès 3 et 4 sont chargés sur 50Ω .
- Le transistor T_k est « Under Test » si ses accès 3 et 4 correspondent aux ports i et j tels que $RR_k = -S_{ij}/2$.

Par conséquent, lors de la simulation du retour de niveau RR_k , le transistor T_k est « Under Test » tandis que tous les transistors T_i déjà testés ($i=1 \rightarrow k-1$) sont « Off » et tous les transistors T_i non encore testés ($i=k+1 \rightarrow N$) sont « On ».

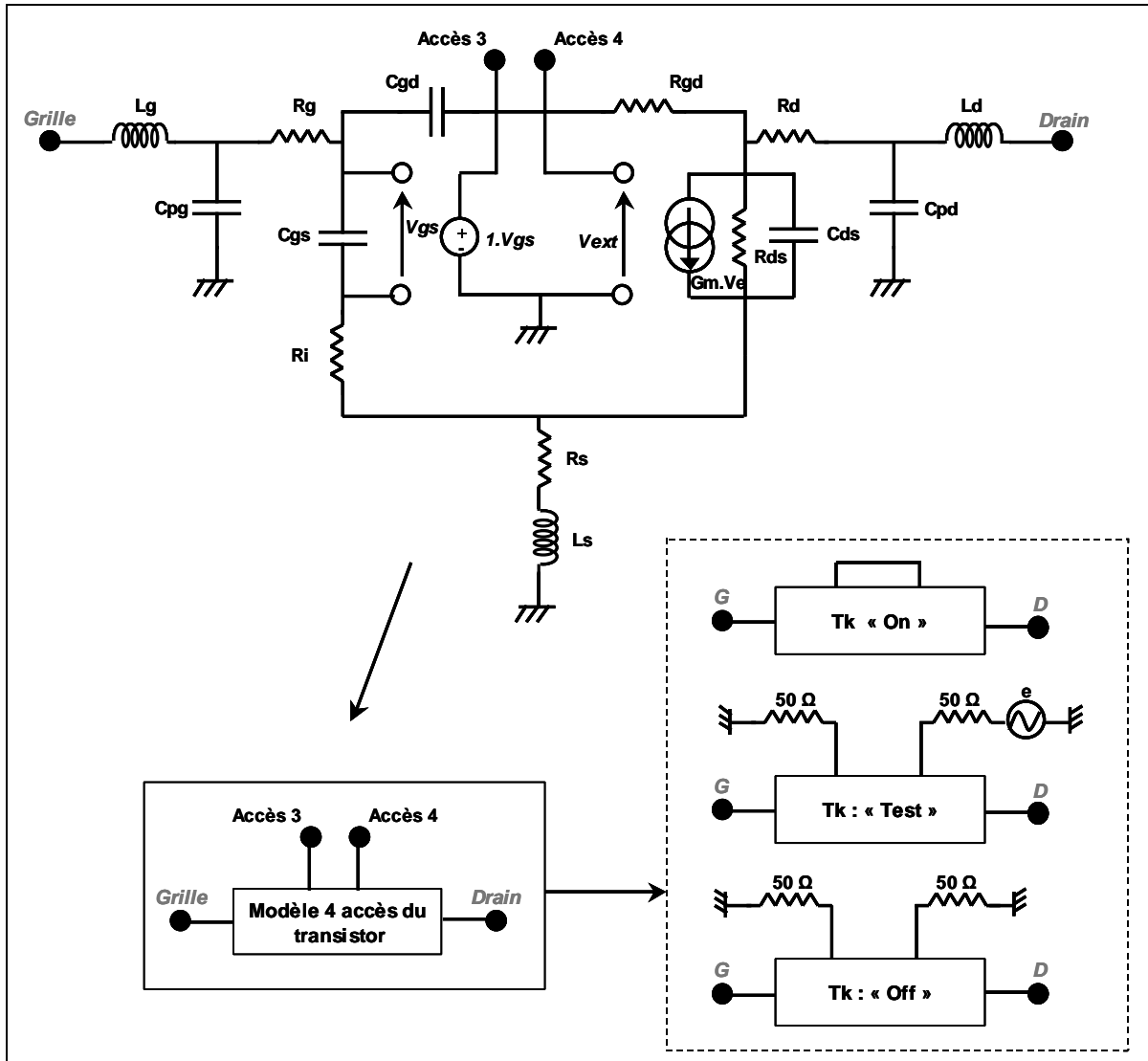


Figure 3-58 : Modèle 4 accès d'un transistor avec les 3 configurations nécessaires au calcul du NDF.

Afin de permettre l'analyse et l'optimisation simultanée des résultats nominaux d'un circuit et de sa fonction NDF, il a été développé dans notre laboratoire une méthode d'implémentation CAO. Cette méthode permet ainsi à un concepteur d'effectuer l'analyse de stabilité comme un contrôle et une optimisation de son dispositif en cours de conception et non pas comme une vérification finale qui peut conduire à des coûts de conception très supérieurs [3.30]. Cette analyse a donc été réalisée sur la bande 0.1-80GHz. Elle a permis de révéler une stabilité inconditionnelle de l'ensemble à ces fréquences. La Figure 3-59 montre le NDF de chacun des huit transistors de l'amplificateur. Le NDF global nécessite d'être étudié de façon approfondie pour conclure sur la stabilité du système. En revanche, nous observons nettement que le NDF de chaque transistor n'entoure pas le point critique, démontrant ainsi que le NDF global, résultant de leur multiplication, n'entoure pas ce point également.

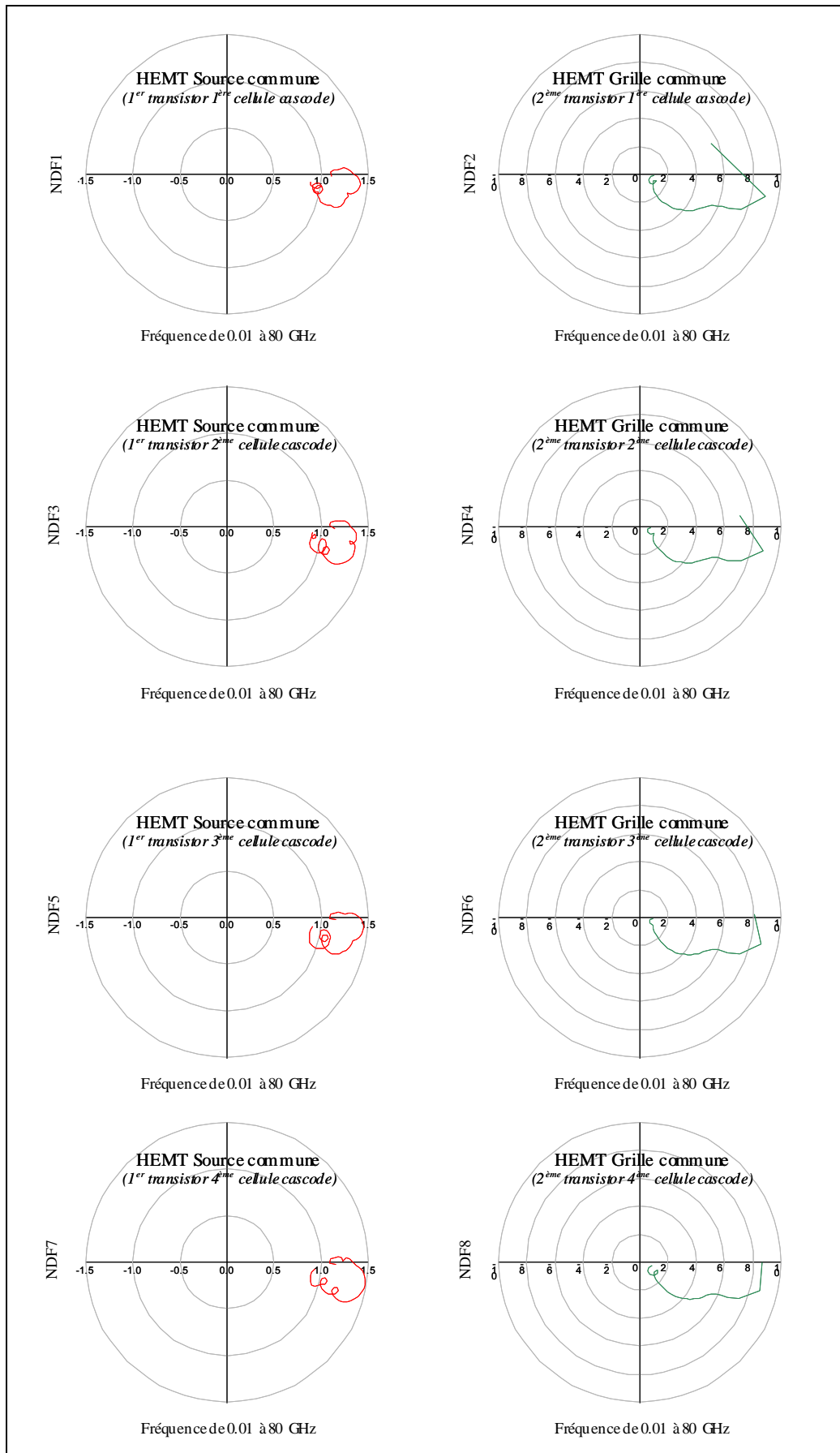


Figure 3-59 : Observation du NDF linéaire des 8 transistors composant l'amplificateur distribué.

III.4.5.2. Analyse de la stabilité non linéaire par l'utilisation du logiciel STAN[3.31], [3.32]

Le logiciel STAN a été développé au sein de l'Université basque de Bilbao en étroite collaboration avec le CNES (*Centre National d'Études Spatiales*). Lors d'une conception, la détection d'oscillations sur un amplificateur de puissance ou bien sur des circuits autonomes est cruciale pour les concepteurs. La simulation dans le domaine temporel est souvent impossible ou incorrecte. Les circuits non-linéaires MMIC sont sensibles aux oscillations. Par conséquent, la stabilité de la solution en équilibre harmonique à l'équilibre doit être contrôlée grâce à cette technique non-linéaire. Les techniques de stabilisation doivent être basées sur la connaissance de la nature même du mécanisme d'oscillation : ignorer le mode d'oscillation revient à insérer un réseau de stabilisation non optimal. Ainsi, la technique d'analyse doit aider le concepteur à déterminer le mode d'oscillation afin d'engager la stratégie de stabilisation appropriée. L'objectif de STAN est donc de proposer une analyse de la stabilité aussi rigoureuse qu'efficace aux concepteurs de circuits MMIC. Les résultats de l'analyse doivent être fiables.

➤ Principe d'analyse de la stabilité non linéaire :

Le principe est basé sur l'identification des pôles et zéros du système associé à la linéarisation de la solution à l'état d'équilibre de la simulation grand signal. Le schéma de principe est présenté ci-contre sur la Figure 3-60 :

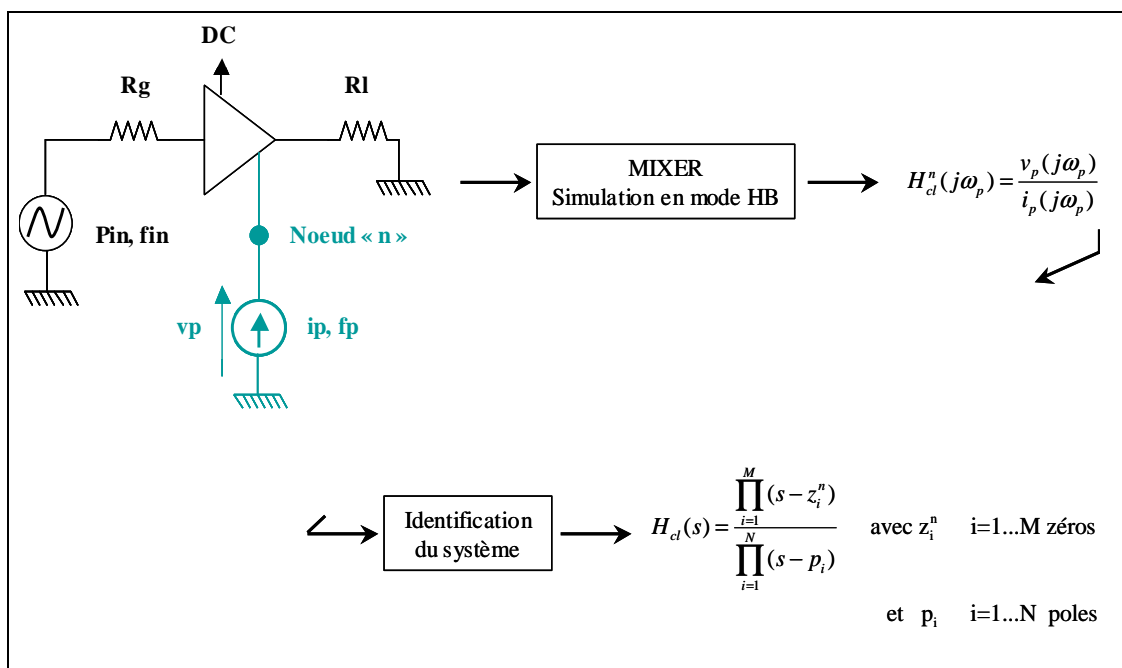


Figure 3-60 : Schéma de principe sur l'identification des pôles et zéros du système.

Le schéma de la Figure 3-61 présente le template sous ADS permettant d'obtenir les fichiers de points du module et de la phase de l'impédance vue au niveau de la sonde perturbatrice qui seront à analyser à l'aide de STAN sous Scilab. La méthode consiste donc à injecter une faible perturbation à une fréquence donnée en un nœud du circuit, et à mesurer en ce même point la réponse fréquentielle en boucle fermée du circuit à cette perturbation. Ceci peut être réalisé en injectant un courant sinusoïdal RF faible signal i_n à un nœud n du circuit (Figure 3-60), et en calculant la réponse en tension v_n obtenue à ce nœud, à la fréquence de perturbation du courant i_n . La réponse fréquentielle en boucle fermée $H_{cl}^n(j\omega)$ associée à ce nœud est déterminée simplement en balayant la fréquence du générateur de courant i_n et en calculant l'impédance du circuit $Z_n(j\omega)=v_n(j\omega)/i_n(j\omega)$.

Cette réponse fréquentielle est par la suite analysée en utilisant des méthodes d'identification du système, qui vont fournir directement les zéros et les pôles de la fonction de transfert en boucle fermée du système.

La stabilité du système est garantie si aucuns pôles à partie réelle positive ne sont obtenus lors du processus d'identification.

L'analyse s'effectue par une simulation HB en mode « mixer » (avec la détermination des matrices de conversion), dans laquelle le générateur de courant joue le rôle du signal RF, et l'excitation d'entrée représente l'oscillateur local (OL) (Figure 3-61). Lors d'une simulation de ce type, le simulateur fait tout d'abord une analyse en équilibrage harmonique à ω_{ol} et à ses harmoniques, puis une analyse linéaire de toutes les bandes latérales LSB et USB à $(n*\omega_{ol}\pm\omega_{RF})$ autour des $n*\omega_{ol}$. Cela permet donc de connaître la réponse du circuit en boucle fermée à une perturbation, par une linéarisation de la réponse large signal obtenue en régime établi.

Du fait du type de simulation utilisée, les informations sur les dynamiques locales affectant la stabilité du circuit se retrouvent de manière périodique dans la réponse fréquentielle, ce qui permet de limiter la bande de fréquence d'analyse. De plus, cette simulation de type mixer permet de s'assurer que la perturbation apportée au circuit, ne vient pas modifier l'état établi de celui-ci, puisque l'état établi est calculé préalablement sans prendre en compte le générateur auxiliaire.

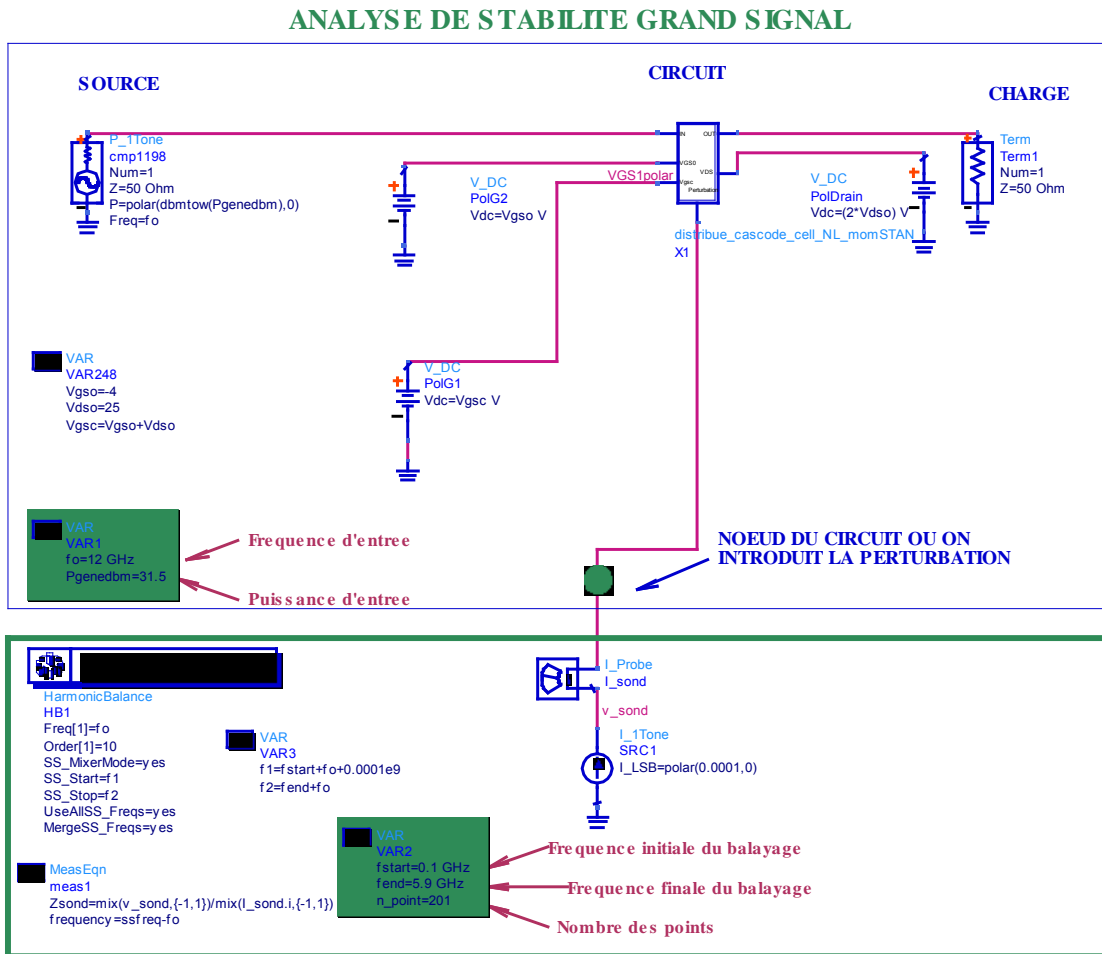


Figure 3-61 : Exemple du template d'ADS.

L'identification de la réponse fréquentielle nécessite de sortir de l'environnement CAO et est réalisée à l'aide de l'outil STAN [3.33]. Cet outil est implémenté sous Scilab. Scilab est une plate-forme de développements scientifiques open-source. Il représente le pendant gratuit de Matlab. Voici sur le schéma suivant (Figure 3-62) les étapes et informations à renseigner pour l'utilisation de STAN sous scilab :

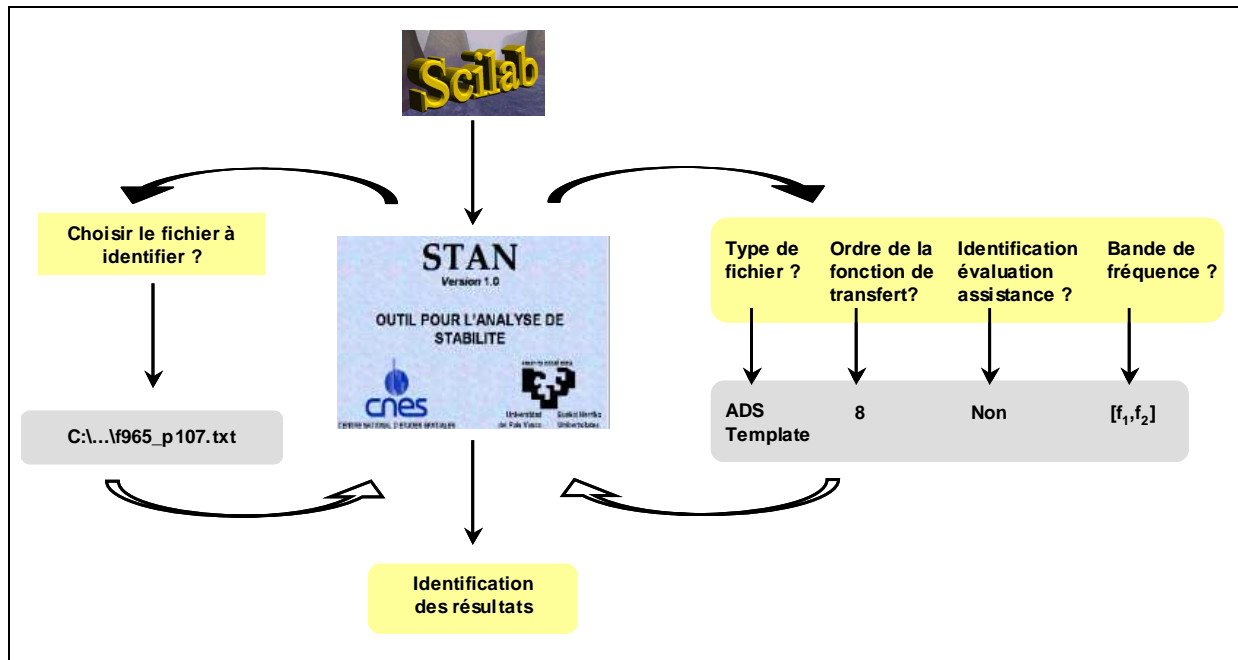


Figure 3-62 : Implantation de STAN sous Scilab.

➤ Étude de la stabilité non-linéaire de l'amplificateur :

Sur le principe énoncé précédemment une analyse de stabilité non linéaire a été effectuée sur l'amplificateur distribué à cellules cascades. Dans un premier temps, l'analyse a été effectuée avec une fréquence d'entrée de 12GHz pour une puissance d'entrée de 31.5dBm. La fréquence de balayage s'étend du DC à $f < f_0/2$ soit 5.9GHz. Une étude similaire a été effectuée pour une fréquence d'entrée de 4GHz (fréquence de balayage du DC à $f < f_0/2$ soit 1.9GHz) afin d'analyser plus finement les effets aux plus basses fréquences.

La perturbation a été introduite à différents nœuds du circuit afin de cibler tout départ éventuel d'oscillations (pour les 4 cellules cascades).

- 1^{er} cas : perturbation introduite à l'entrée du 1^{er} transistor de la cellule cascode (nœud entre la capacité C_{ag} en parallèle avec R_{ag} et la grille du 1^{er} transistor).
- 2^{ème} cas : perturbation introduite en sortie du 2nd transistor de la cellule cascode (nœud au niveau de la grille du 2nd transistor avant la capacité C_{a1}).
- 3^{ème} cas : perturbation introduite en sortie de la cellule cascode sur le drain du 2nd transistor.

Afin de pouvoir déceler la moindre instabilité, nous avons découpé la bande de fréquence de balayage 0.1-6GHz en bandes plus fines en prenant soin de juxtaposer celles-ci afin d'examiner les bornes des intervalles. L'exemple présenté ci-dessous (Figure 3-63) montre bien que sur la plage 0.5-2GHz il n'y a pas de pôle complexe conjugué à partie réelle positive. L'erreur sur la phase est inférieure à $(10^{-3})^\circ$ ce qui traduit une bonne concordance entre les points issus de simulation ADS et la courbe identifiée.

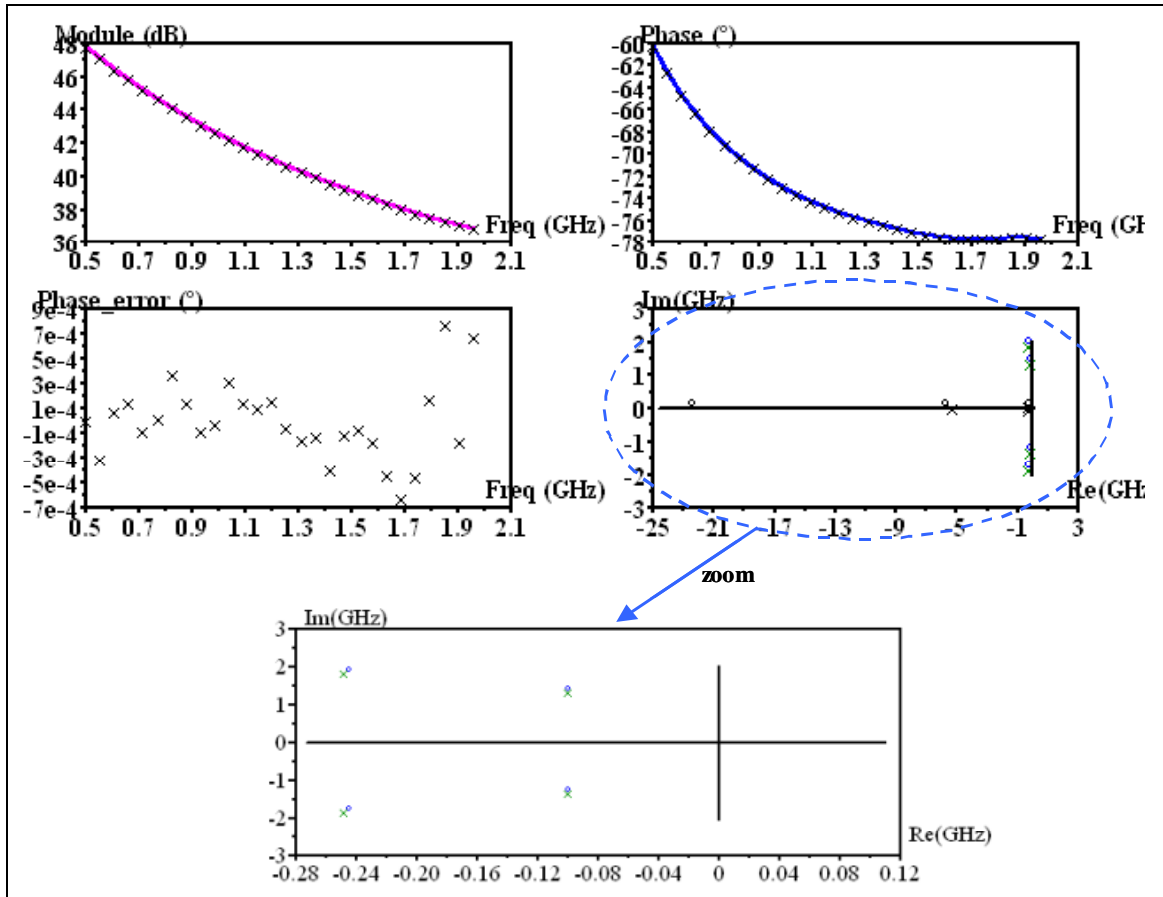


Figure 3-63 : Représentation de l'erreur sur la phase ainsi que des pôles et des zéros de la fonction de transfert en boucle fermée du système.

Des études similaires ont été effectuées pour les autres cas ne révélant aucun départ d'oscillation.

III.4.5.3. Analyse de la sensibilité aux dispersions technologiques

L'analyse de sensibilité qui accompagne obligatoirement toute conception en technologie MMIC vise à prévoir et minimiser la variation des performances d'un circuit soumis aux dispersions des éléments qui le constituent. Ces dispersions sont liées au processus technologique

de fabrication. L'analyse statistique de Monte Carlo permet d'étudier la sensibilité du dispositif vis-à-vis des dispersions technologiques de ses éléments passifs ainsi que du substrat utilisé.

Dans notre cas, l'étude a consisté à observer l'évolution des paramètres S de l'amplificateur en utilisant les modèles linéaires des transistors. Les éléments statistiques de l'analyse de Monte Carlo et leur plage de variation associée sont fixées à :

- $\pm 5\%$ pour l'épaisseur du substrat qui a pour valeur nominale $100\mu\text{m}$.
- $\pm 12\%$ pour la valeur des capacités MIM.
- $\pm 12\%$ pour la valeur des résistances.
- $\pm 5\%$ sur les valeurs de g_m et C_{gs} des éléments du modèle intrinsèque des transistors.

La Figure 3-64 montre l'évolution des paramètres S de l'amplificateur distribué. L'analyse de Monte Carlo portant sur 200 itérations montre un gain de 8dB avec une variation de $\pm 1\text{dB}$ et des coefficients de réflexion entrée/sortie inférieurs à -7dB pour le S_{22} et -10dB pour le S_{11} . En ce qui concerne le facteur de Rollet, on conserve bien une stabilité inconditionnelle de l'amplificateur.

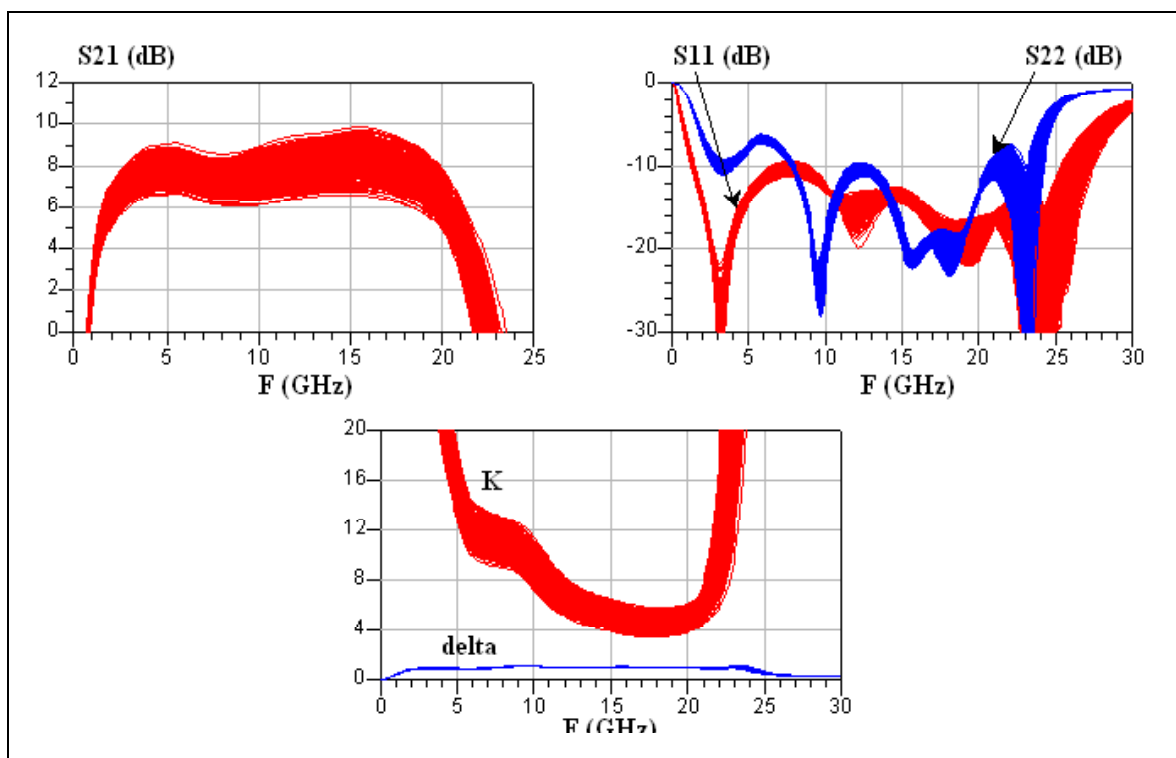


Figure 3-64 : Analyse de sensibilité sur les paramètres S.

III.4.6. Réalisation du circuit

L'amplificateur distribué MMIC à cellules cascodes à base de transistors PHEMT GaN de développement $8 \times 75 \mu\text{m}$ ainsi que les motifs de test ont été lancés en phase de réalisation. La réalisation des circuits est assurée par le laboratoire TIGER. Au moment où ce manuscrit est édité (octobre 2007), les plaques sont toujours en process, la date de sortie est fixée pour janvier 2008.

CONCLUSION

Ce dernier chapitre nous a permis de présenter les différentes topologies principalement employées pour l'amplification de puissance large bande et notamment le principe de fonctionnement d'un amplificateur distribué utilisant des montages cascades comme cellules actives.

Nous avons par la suite développé les étapes de conception de deux amplificateurs distribués à cellules cascades pour des applications de puissance large bande (6-18 GHz) adoptant la technologie PHEMT GaN (TIGER) étudiée et modélisée dans le chapitre précédent. Le premier circuit est basé sur la technologie flip-chip avec un substrat de report en AlN. Le second est entièrement intégré sur substrat GaN ce qui lui confère tout son caractère innovant.

Pour ces deux circuits, le principe d'optimisation en puissance des architectures distribuées reposant sur l'adoption d'un profil d'impédances caractéristiques sur les lignes artificielles de grille et de drain a été utilisé. Les paramètres ont pu être déterminés en fonction du conjugué de l'admittance optimale en puissance des cellules actives. Une première différence entre les deux circuits fut que pour le second en technologie MMIC, la réalisation d'un profil de capacités en série sur la grille a pu être réalisé. Pour le premier circuit cela aurait représenté au moment de la conception, un risque technologique sur la fiabilité de la réalisation. Cependant pour les deux circuits, les contraintes d'adaptation en puissance par l'examen des cycles de charge de chaque cellule cascode dans la bande de fréquence ont été réalisées révélant une bonne adaptation en puissance.

De part le fait que les cellules cascades soient très sensibles aux oscillations, nous avons porté une forte attention à la stabilité des amplificateurs en insérant une résistance au sein de la cellule cascode.

Pour le premier circuit en flip-chip, des cellules cascades de test intégrant la capacité additionnelle sur la grille de premier transistor et une résistance de stabilité sur la grille du second ont été réalisées et mesurées révélant de bonnes concordances entre mesures et simulations et présentant une puissance de sortie de 1.3W. L'amplificateur complet avec report sur puce d'AlN est en fin de réalisation au sein du laboratoire Alcatel Thalès III-V Lab et devrait être disponible pour

la fin de l'année 2007. Le report flip-chip est effectué par le laboratoire TIGER afin de mesurer par la suite le circuit qui sera monté en jig de test.

En ce qui concerne la version MMIC, les simulations de l'amplificateur présentent une bonne adaptation en entrée et en sortie ainsi qu'une stabilité inconditionnelle. Nous avons obtenu également une puissance de sortie moyenne de 5.3W au dB de compression sur la bande de fréquence 4-18GHz pour une polarisation de (-4V ;50V). La puissance de sortie simulée à 2dB de compression a pour valeur moyenne 38dBm sur cette même bande. La taille du circuit était fixée à 20.25mm² ainsi que l'utilisation de transistor de développement 600µm.

Les premiers résultats de mesures devraient être disponibles en janvier 2008. Les mesures seront effectuées en mode pulsé que ce soit pour les accès DC ou RF.

Ces résultats révèlent les fortes potentialités accordées aux composants HEMT GaN. En effet, même si les risques technologiques mis en œuvre dans ces réalisations ne permettent pas d'assurer la fiabilité des circuits, au regard des résultats de simulation, ils mettent clairement en évidence l'avènement prochain de fortes performances en puissance sur de grandes largeurs de bande de fréquence pour la technologie MMIC GaN afin de repousser l'état de l'art actuel.

BIBLIOGRAPHIE

- [3.1] **Y.YUN, M. NISHIJIMA, M. KATSUNO, M. ISHIDA, K. MINAGAWA, T. NOBUSADA, T. TANAKA**
« A fully integrated broad-band amplifier MMIC employing a novel chip-size package »
IEEE Transactions on MTT, vol. 50, no. 12, Décembre 2002, pp 2930-2937
- [3.2] **A. SAYED, G. BOECK**
« Two-stage ultrawide-band 5W power amplifier using SiC MESFET »
IEEE Transactions on MTT, vol. 53, no. 7, Juillet 2005, pp. 2441-2449
- [3.3] **L. WU, U. BASARAN, L. DETTMANN, M. BERROTH, T. BITZER, A. PASCHT**
« A broadband high efficiency class-AB LDMOS balanced power amplifier »
35th European Microwave Conference, Paris 2005, pp. 1079-1082
- [3.4] **M. CAMPOVECCHIO**
« Méthodes et outils d'aide à la conception des dispositifs actifs haute fréquence »
HDR présentée le 19 Décembre 2000, Université de Limoges
- [3.5] **M. CAMPOVECCHIO**
« Méthodes de conception d'amplificateurs de puissance microondes large bande à transistors à effet de champ. Application aux amplificateurs distribués en technologie MMIC »
Thèse de doctorat n° 6-93 soutenue le 29 janvier 1993, Université de Limoges
- [3.6] **R.HILAL**
« Méthode de conception des amplificateurs distribués de puissance à TECs en montage source commune et cascode dans le domaine des fréquences millimétriques »
Thèse de doctorat n° 9-96 soutenue le 19 mars 1996, Université de Limoges
- [3.7] **S. DE MEYER**
« Etude d'une nouvelle filière de composants HEMTs sur technologie nitrure de gallium. Conception d'une architecture flip-chip d'amplificateurs distribué de puissance large bande »
Thèse de doctorat n° 26-2005 soutenue le 12 septembre 2005, université de Limoges
- [3.8] **J.B. BEYER, S.N. PRASAD, R.C. BECKER, J.E. NORDMAN, G.K. HOHENWARTER**
« MESFET distributed amplifier design guidelines »
IEEE Transactions on MTT, vol. 32, no. 3, Mars 1984, pp. 268-275
- [3.9] **K.B. NICLAS**
« Reflective match, lossy match, feedback and distributed amplifiers, a comparison of multioctave performances characteristics »
IEEE MTTs International Microwave Symposium Digest, 1984, pp. 215-217
- [3.10] **S. NAM, S. MIYA, M. OZAKI, I.D. ROBERTSON**
« A comparison of topologies for single-ended millimetre-wave monolithic amplifier design »
IEEE MTTs International Microwave Symposium Digest, Baltimore, Juin 1998

[3.11] G. FERRELL et al.

« A high efficiency 10 Watt HBT power amplifier assembly using combining techniques »
IEEE MTTs Digest, 1995, pp. 581-584

[3.12] C. DUPERRIER

« Développement d'un logiciel d'assistance à la conception des circuits non linéaires microondes. Application à l'amplification distribuée non uniforme de puissance à très large bande en technologie MMIC »
Thèse de doctorat n° 67-2001 soutenue le 20 décembre 2001, Université de Limoges

[3.13] J.P. FRAYSSE, J.P. VIAUD, M. CAMPOVECCHIO, P. AUXEMERY, R. QUÉRÉ

« A 2W high efficiency 2-8GHz cascode HBT MMIC power distributed amplifier »
IEEE MTTs Digest, vol. 1, juin 2000, pp. 529-532

[3.14] C. DUPERRIER, M. CAMPOVECCHIO, L. ROUSSEL, R. QUÉRÉ

« New design method of non-uniform distributed power amplifiers. Application to a single stage 1W PHEMT MMIC »
IEEE Transactions on MTT, vol. 49, Décembre 2001, pp. 2494-2500

[3.15] Y. AYASLI, S. MILLER, R. MOZZI, L. HANES

« Capacitively coupled traveling wave power amplifier »
IEEE Transactions on MTT, vol. 32, Décembre 1984, pp. 1704-1709

[3.16] Y. AYASLI

« Decade bandwidth amplification at microwave frequency »
Microwave journal, Avril 1974, pp. 70-78

[3.17] J. BRADFORD COLE, A. PLATZKER

« Design technique for high power, high efficiency, broadband distributed amplifiers »
IEEE MTTs Digest, vol. 3, juin 1989, pp. 941-944

[3.18] J.P. FRAYSSE

« Modélisation non linéaire des transistors bipolaires hétérojonction : Application à la conception optimum d'amplificateurs distribués de puissance à montage cascode »
Thèse de doctorat n° 58-1999 soutenue le 17 décembre 1999, Université de Limoges

[3.19] Collectifs d'auteurs sous la direction de Martine Villegas

« Radiocommunications numériques / 2. Conception de circuits intégrés RF et micro-ondes »
Edition Dunod, ISBN 210005581X, Novembre 2001

[3.20] J.L.B. WALKER

« Some observations on the design and performance of distributed amplifiers »
IEEE Transactions on MTT, vol. 40, no. 1, Janvier 1992, pp. 164-168

[3.21] A. MARTIN, T. REVEYRAND, M. CAMPOVECCHIO, R. AUBRY, S. PIOTROWICZ, D. FLORIOT, R. QUÉRÉ

« Design of GaN-based balanced cascode cells for wideband distributed power amplifier »
37th European Microwave Conference, Munich 2007

[3.22] J.J. XU, S. KELLER, G. PARISH, S. HEIKMAN, U. MISHRA, R.A. YORK

« A 3-10 GHz GaN-based flip-chip integrated broadband power amplifier »
IEEE Transactions on MTT, vol. 48, Décembre 2000, pp. 2573-2577

[3.23] J. XU

« AlGaIn/GaN high electron mobility transistors based flip-chip integrated broadband power amplifiers »

Ph. D. dissertation, University of California, Santa Barbara, Décembre 2000

[3.24] S. DE MEYER

« Wideband power performance evaluation of AlGaIn/GaN HEMTs »

RF&Hyper 2005, Power Amplifier Workshop, Paris, 22-24 mars 2005

[3.25] S. DE MEYER, A. PHILIPPON, M. CAMPOVECCHIO, C. CHARBONNIAUD, S. PIOTROVICZ, D. FLORIOT, R. QUÉRÉ

« Modeling of a 4-18GHz 6W flip-chip integrated power amplifier based on GaN HEMTs technology »

13th GaAs Symposium, Paris 2005, pp.

[3.26] B.M.GREEN et al.

« High power broadband AlGaIn/GaN HEMT MMICs on SiC substrates »

IEEE Transactions on MTT, vol. 49, no. 12, Décembre 2001, pp. 2486-2493

[3.27] M. CAMPOVECCHIO, B. LE BRAS, R. HILAL, M. LAJUGIE, J. OBREGON

« Large signal design method of distributed power amplifiers applied to a 2-18GHz GaAs chip exhibiting high power density performances »

International Journal of Microwave and Millimeter-Wave Computer-Aided Engineering, vol. 6, no. 4, 1996, pp. 259-269

[3.28] A. SUAREZ, J. MORALES, R. QUERE

« Synchronization analysis of autonomous microwave circuits using new global stability analysis tools »

IEEE Transactions on MTT, vol. 46, no. 5, Mai 1998, pp. 494-504

[3.29] S. MONS

« Nouvelles méthodes d'analyse de stabilité intégrées à la CAO des circuits monolithiques microondes non linéaires »

Thèse de doctorat n° 8-99 soutenue en janvier 1999, Université de Limoges

[3.30] M. CAMPOVECCHIO, J.C. NALLATAMBY, S. MONS et al.

« Stability analysis of millimeter wave circuits. Application to DC-40GHz PHEMT amplifier and Ku-band HBT power amplifier »

30th European Microwave Conference, vol. 2, Paris, Octobre 2000, pp. 294-297

[3.31] A. ANAKABE, J.M. COLLANTES, J. PORTILLA, J. JUGO, S. MONS, A. MALLET, L. LAPIERRE

« Analysis of odd-mode parametric oscillations in HBT multi-stage power amplifiers »

11th GaAs, Octobre 2003, Munich

[3.32] J. JUGO, J. PORTILLA, A. ANAKABE, A. SUAREZ, J.M. COLLANTES

« Closed-loop stability analysis of microwave amplifiers »

Electronics Letters, vol. 37, no. 4, Février 2001, pp. 226-228

[3.33] A. ANAKABE, J.M. COLLANTES, A. MALLET et al.

« STAN : An efficient tool for non linear stability analysis »

RF&Hyper, Invited paper, Avril 2004

CONCLUSION GÉNÉRALE

L'emploi de matériaux grand gap et tout particulièrement celui du nitrure de gallium semble être une solution viable et intéressante aux demandes croissantes en puissance haute fréquence ainsi qu'en linéarité et performances thermiques liés aux besoins télécom.

Une partie de ces travaux de thèse s'inscrivant dans le cadre du projet Korrigan était centrée sur l'étude d'une nouvelle filière de composants passifs et actifs en nitrure de gallium et conduit à l'évaluation des potentialités de ces composants en termes de puissance.

Dans un premier chapitre, nous avons étudié les différents paramètres électriques et physiques du nitrure de gallium démontrant ses atouts pour les applications de puissance haute fréquence et large bande. Cette technologie fortement prometteuse nécessite toutefois encore beaucoup de développements améliorant sa maturité afin de limiter les dispersions liées au processus technologique de fabrication. Au sein de ce même chapitre, nous avons étudié le principe de fonctionnement du transistor HEMT et détaillé sa structure physique.

Le second chapitre concerne les analyses des éléments passifs et actifs liés à nos conceptions. Une bibliothèque de composants a été développée pour les modèles de capacités MIM, de résistances, d'inductances spirales ainsi que de via-holes et de pont à air. Ce travail de modélisation constitue la brique de départ de tout circuit intégré. Nous avons également analysé en particulier un modèle non linéaire électrothermique de transistor HEMT GaN de développement $8 \times 75 \mu\text{m}$ adapté à la CAO des circuits. L'élévation de température due à l'auto-échauffement dans des conditions normales de fonctionnement provoque des répercussions sur le courant de sortie et donc sur la puissance de sortie mais aussi sur les performances en fréquence. Ainsi le modèle thermique inclut des cellules RC afin de prendre en compte ces effets.

Le dernier chapitre de ce manuscrit se concentre sur la conception d'amplificateurs distribués de puissance sur la bande 4-18GHz. Le principe de fonctionnement ainsi que la méthode de conception ont été étudiés pour l'amplificateur distribué simple ainsi que pour le montage cascode. Puis nous avons détaillé les structures et étapes de conception de deux amplificateurs distribués utilisant quatre cellules cascades, l'un en technologie flip-chip et l'autre en technologie MMIC. L'architecture retenue pour le premier repose sur un circuit actif réalisé sur GaN constitué des huit transistors et de leur environnement direct reporté en flip-chip sur un substrat de report AlN

constitué des circuits passifs d'accès RF et DC. Le report flip-chip de la puce de GaN reste délicat étant donné les dimensions importantes de celle-ci ainsi que du nombre de bumps. Les résultats de simulation de ce circuit avancent un gain de 10dB ainsi qu'une puissance de sortie moyenne de 37.6dBm sur la bande 4-18GHz pour une puissance d'entrée au dB de compression. Les mesures de la cellule cascade de test associée à cet amplificateur révèlent une bonne concordance avec les simulations. Les mesures de l'amplificateur complet sont attendues pour fin 2007.

Le second amplificateur MMIC possède la même architecture en terme de cellules cascades mais cette fois-ci entièrement intégré sur GaN. La topologie a dû être réagencée afin d'optimiser le circuit en fonction des dimensions de la puce. Ce circuit présente un gain de 7dB une puissance de sortie moyenne de 5.3W pour une puissance d'entrée au dB de compression égale à 31.5dBm sur la bande 4-18GHz. Une analyse de la dispersion des composants ainsi que de la stabilité de l'amplificateur a été réalisée.

Ces circuits sont en cours de réalisation et les premiers résultats de mesure sont espérés pour le début de l'année 2008.

En perspective, il serait intéressant d'étendre cette analyse par la conception d'un amplificateur distribué non uniforme c'est-à-dire comportant des transistors de développements différents au sein des cellules cascades ce qui permettrait un accroissement probable des performances du circuit.

LISTE DES PUBLICATIONS ET COMMUNICATIONS ASSOCIÉES

S. DE MEYER, A. PHILIPPON, M. CAMPOVECCHIO, D. FLORIOT, R. QUERE

"Wideband power performance evaluation of AlGaIn/GaN HEMTs"

Workshop – RF & Hyper, Paris, mars 2004

A. PHILIPPON, S. DE MEYER, M. CAMPOVECCHIO, D. FLORIOT, S. PIOTROVICZ, R. QUERE

"Amplificateur distribué de puissance en technologie HEMT GaN"

14^{ème} JNM, Nantes, mai 2005, papier n°5D1

S. DE MEYER, A. PHILIPPON, M. CAMPOVECCHIO, C. CHARBONNIAUD, S. PIOTROVICZ, D. FLORIOT, R. QUERE

"Modelling of a 4-18GHz 6W flip-chip integrated power amplifier based on GaN HEMTs technology"

36th GaAs Symposium, Paris, 3-4 octobre 2005, pp 657-660

A. PHILIPPON, M. CAMPOVECCHIO, J.C. NALLATAMBY, P. BUTTERWORTH, R. QUERE

"Design Method and New Architecture of Sub-harmonic Balanced Cold FET Mixer for MVDS Applications"

INMMIC, 2006 International Workshop on IEEE, Aveiro (Portugal), 30-31 janvier 2006, pp 90-93

A. MARTIN, M. RICHARD, T. DEAN, D. LANCEREAU, S. DELAGE, M. CAMPOVECCHIO, A. DEGARDIN, R. QUERE

"Fabrication and modelling of passive components for GaN based MMICs"

31st WOCSDICE, Venise, 20-23 mai 2007, pp 113-116

M. RICHARD, A. MARTIN, T. DEAN, D. LANCEREAU, S. DELAGE, M. CAMPOVECCHIO, A. DEGARDIN, R. QUERE

"Réalisation et modélisation de composants passifs en Nitrure de Gallium (GaN) pour les circuits MMICs"

15^{ème} JNM, Toulouse, 21-25 mai 2007

A. MARTIN, T. REVEYRAND, M. CAMPOVECCHIO, R. AUBRY, S. PIOTROVICZ, D. FLORIOT, R. QUERE

"Design of GaN-based Balanced Cascode Cells for Wide-band Distributed Power Amplifier"

37th EuMC, Munich, 8-12 octobre 2007

Revue soumise :

A. MARTIN, T. REVEYRAND, M. CAMPOVECCHIO, R. AUBRY, S. PIOTROVICZ, D. FLORIOT, R. QUERE

"Design method of balanced AlGaIn/GaN HEMT cascode cells for wideband distributed power amplifiers"

Proceedings of the European Microwave Association

RÉSUMÉ

Ces travaux de recherche se rapportent à l'étude de transistors HEMTs en Nitrure de Gallium pour l'amplification de puissance micro-onde. Une étude des caractéristiques des matériaux grand gap et plus particulièrement du GaN est réalisée afin de mettre en exergue l'adéquation de leurs propriétés pour des applications de puissance hyperfréquence telle que l'amplification large bande. Dans ce contexte, des résultats de caractérisations et modélisations électriques de composants passifs et actifs sont présentés. Les composants passifs dédiés aux conceptions de circuits MMIC sont décrits et différentes méthodes d'optimisation que ce soit au niveau électrique ou électromagnétique sont explicitées. Les modèles non linéaires de transistors impliqués dans nos conceptions sont de même détaillés.

Le fruit de ces travaux concerne la conception d'amplificateurs distribués de puissance large bande à base de cellules cascode de HEMTs GaN, l'un étant reportés en flip-chip sur un substrat d'AlN, le second en technologie MMIC. La version MMIC permet d'atteindre 6.3W sur la bande 4-18GHz à 2dB de compression. Ces résultats révèlent les fortes potentialités attendues des composants HEMTs GaN.

Mots Clés : GaN, HEMT, modélisation de composants passifs et actifs, cellule cascode , amplificateur distribué, flip-chip, MMIC, large bande.



SUMMARY

The aim of this study is to assess the potentialities of HEMTs AlGaN/GaN transistors for RF power applications. The properties of wide band-gap materials and especially the GaN material are analysed in order to highlight their capabilities for applications to wideband power amplifiers. Modeling of passive components is explained and the design guide library on SiC substrate is implemented. Characterization results as well as linear and nonlinear simulations are presented on devices and circuits.

The results of this work give concrete expression to the design of wideband power amplifiers showing a distributed architecture of cascode cells using GaN HEMTs, the first one flip-chip mounted onto an AlN substrate and the second one in MMIC technology. One MMIC version allows to obtain 6.3W over a 4 to 18GHz bandwidth at 2dB compression input power. These results bring to light famous potentialities assigned to HEMTs GaN components.