



**HAL**  
open science

# Contribution à la réalisation d'un prototype d'analyseur différentiel digital

Enrique Melrose

► **To cite this version:**

Enrique Melrose. Contribution à la réalisation d'un prototype d'analyseur différentiel digital. Modélisation et simulation. Université Joseph-Fourier - Grenoble I, 1966. Français. NNT: . tel-00280213

**HAL Id: tel-00280213**

**<https://theses.hal.science/tel-00280213>**

Submitted on 16 May 2008

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

# THÈSE

*présentée*

A LA FACULTÉ DES SCIENCES DE L'UNIVERSITÉ DE GRENOBLE

*pour obtenir*

LE TITRE DE DOCTEUR D'UNIVERSITÉ

PAR

**E. MELROSE**

*Ingénieur I.C.E.E. (Mexico) et I.A.G.*



Contribution à la réalisation d'un prototype  
d'analyseur différentiel digital

*Thèse soutenue le      Février 1966 devant la Commission d'Examen*

MM. M. FALLOT,

J. KUNTZMANN

R. PAUTHENET

R. PERRET

*Président*

} *Examineurs*



T H E S E

présentée

à la Faculté des Sciences de l'Université de GRENOBLE

pour obtenir

le titre de Docteur d'Université

par

E.MELROSE

Ingénieur I.C.E.E. (Mexico) et I.A.G.

CONTRIBUTION A LA REALISATION D'UN PROTOTYPE

D'ANALYSEUR DIFFERENTIEL DIGITAL

Thèse soutenue le            Février 1966 devant la Commission d'Examen

MM.M.FALLOT, Président

J.KUNTZMANN    )  
R.PAETHENET    ) Examineurs  
R.PERRET        )



Le présent travail a été effectué au Laboratoire d'Automatique de l'Université de GRENOBLE, dans le cadre d'une convention de recherche entre la Direction des Recherches et Moyens d'Essais (D.R.M.E.) et ce Laboratoire.

J'adresse à Monsieur le Professeur FALLOT, Directeur-Adjoint de l'Institut Polytechnique, mes plus vifs remerciements pour l'honneur qu'il m'a fait en acceptant de présider le Jury de cette Thèse.

J'exprime à Monsieur le Professeur PERRET, Directeur du Laboratoire d'Automatique, toute ma reconnaissance pour son enseignement et ses conseils précieux. Je lui adresse mes remerciements pour l'aide qu'il m'a fournie en dirigeant cette recherche.

J'adresse également à Monsieur le Professeur KUNTZMANN, ainsi qu'à Monsieur le Professeur PAUTHENET, l'expression de ma plus vive reconnaissance pour l'intérêt qu'ils ont bien voulu porter à ce travail et pour avoir bien voulu accepter de participer au Jury de cette Thèse.

Je tiens à remercier chaleureusement Messieurs FARDEAU et PAYAN, Chercheurs au Laboratoire d'Automatique, qui ont coopéré étroitement à cette étude ainsi que le personnel du Laboratoire qui m'a apporté son aide.

Je remercie aussi tout particulièrement l'U.N.E.S.C.O. qui m'a permis de réaliser ce travail dans les meilleures conditions.



L I S T E    d e s    P R O F E S S E U R S

---

Doyens honoraires

M. FORTRAT P.  
M. MORET L.

Doyen

M. WEIL L.

Professeurs titulaires

MM. NEEL L.	Magnétisme et physique du solide
DORIER A.	Zoologie
HEILMANN R.	Chimie organique
KRAVTCHEKNO J.	Mécanique rationnelle
CHABAUTY C.	Calcul différentiel et intégral
PARDE M.	Potamologie
BENOIT J.	Radioélectricité
CHENE M.	Chimie papetière
BESSON J.	Electrochimie
WEIL L.	Thermodynamique
FELICI N.	Electrostatique
KUNTZMANN J.	Mathématiques Appliquées
BARBIER R.	Géologie appliquée
SANTON L.	Mécanique des fluides
OZENDA P.	Botanique
FALLOT M.	Physique industrielle
GALVANI O.	Mathématiques
MOUSSA A.	Chimie nucléaire
TRAYNARD P.	Chimie
SOUTIF M.	Physique
CRAYA A.	Hydrodynamique
REULOS R.	Théorie des champs
AYANT Y.	Physique approfondie
GALISSOT F.	Mathématiques Appliquées
M <sup>le</sup> LUTZ E.	Mathématiques
MM. BLAMBERT M.	Mathématiques
BOUCHEZ R.	Physique nucléaire
LLIBOUTRY L.	Géophysique
MICHEL R.	Géologie et minéralogie
BONNIER E.	Electrochimie
DESSAUX	Physique animale
PILLET E.	Electrochimie
DEBELMAS J.	Géologie
GERBER R.	Mathématique
PAUTHENET R.	Electrotechnique
VAUQUOIS B.	Mathématiques Appliquées
SILBER R.	Mécanique des Fluides
MOUSSIEGT J.	Electronique
BARBIER J.C.	Physique
KPSZUL J.L.	Mathématiques
BUYLE-BODIN M.	Electronique



## Professeurs sans chaire

M. LACASE A.	Thermodynamique
Mme KOFLER L.	Botanique
MM. DREYFUS	Thermodynamique
VAILLANT F.	Zoologie et hydrobiologie
GIRAUD P.	Géologie
GIDON P.	Géologie et minéralogie
ARNAUD P.	Chimie
PERRET R.	Servomécanismes
Mmes LUMER L.	Mathématiques
BARBIER M. J.	Electrochimie
SOUTIF J.	Physique
MM. BRISSONNEAU P.	Physique
COHEN J.	Electrochimie
DEFASSEL R.	Mécanique
GASTINEL N.	Mathématiques Appliquées

## Professeurs associés

MM. LUMER	Mathématique
HIGUCHI	Biosynthèse de la cellulose
WAGNER	Botanique

## Maîtres de Conférences

MM. ROBERT A.	Chimie papetière
ANGLES D'AURIAC	Mécanique des Fluides
BIAREZ J.P.	Mécanique Physique
COUMES A.	Electronique
DODU J.	Mécanique des Fluides
DUCROS P.L.	Minéralogie et cristallographie
CLENAT P.	Chimie
HACQUES G.	Calcul numérique
LANCIA R.	Physique automatique
PEBAY-PEROULA	Physique
KAHANE	Physique générale
DOLIQUE	Electronique
Mme KAHANE J.	Physique
MM. DEGRANGE C.	Zoologie
GAGNAIRE D.	Chimie papetière
RASSAT A.	Chimie systématique
KLEIN J.	Mathématiques
POULOUJADOFF M.	Electrotechnique
DEPOMMIER P.	Physique nucléaire
DEPORTES C.	Chimie
BARRA J.	Mathématiques appliquées
Mme BOUCHE L.	Mathématiques
MM. PERRIAUX J.	Géologie
SARROT-Reynaud	Géologie
CAUQUIS G.	Chimie générale
LABRE A.	Botanique
BONNET G.	Physique générale
BARNOUD F.	Biosynthèse de la cellulose
Mme BONNIER M. J.	Chimie
MM. CAUBET	Mathématiques appliquées
BERTRANDIAS	Mathématiques appliquées

## TABLE DE MATIERES

-\*-

### Chapitre 1 - INTRODUCTION

- 1.1 - Intégration par rapport au temps
- 1.2 - Notion d'Incrément
- 1.3 - Intégrateur - Additionneur
- 1.4 - Multiplieur
- 1.5 - Comparateur
- 1.6 - Organisation d'un Analyseur Différentiel Digital
- 1.7 - A.D.D. du type simultané
- 1.8 - A.D.D. du type successif

### Chapitre 2 - ORGANISATION D'UN A.D.D. DU TYPE SUCCESSIF

- 2.1 - Utilisation d'un tambour magnétique
- 2.2 - Tambour magnétique en mémoire dynamique
- 2.3 - Capacité de la machine
- 2.4 - Programme
- 2.5 - Mémoire des incréments
- 2.5 - Organes d'entrée et de sortie

...

### Chapitre 3 - ECRITURE ET LECTURE SUR LE TAMBOUR MAGNETIQUE

- 3.1 - Ecriture et lecture sur un tambour magnétique
- 3.2 - Procédé d'écriture
- 3.3 - Procédé de lecture
- 3.4 - Circuit d'écriture
- 3.5 - Système de lecture

### Chapitre 4 - BLOC DE SYNCHRONISATION

- 4.1 - Nombre de registres et longueur des mots
- 4.2 - Retard du tambour
- 4.3 - Détermination du nombre de digits de la piste d'horloge
- 4.4 - Détermination du nombre et longueur des registres
- 4.5 - Lignes à retard
- 4.6 - Problème de réécriture de la piste d'horloge
- 4.7 - Nouvelle piste d'horloge
- 4.8 - Tableau de synchronisation
- 4.9 - Réalisation "logique" du Bloc de Synchronisation

### Chapitre 5 - BLOC DE COMMANDE ET D'INTRODUCTION

- 5.1 - Bloc de commande
- 5.2 - Calcul - Arrêt calcul
- 5.3 - Attente

- 5.4 - Commande secondaires
- 5.5. - Bloc d'introduction
- 5.6 - Affichage
- 5.7 - Rentrée
- 5.8 - Visualisation
- 5.9 - Introduction automatique
- 5.10 - Pupitre de commande

## Chapitre 6 - ENTREES ET SORTIES DE L'A.D.D.

- 6.1 - Entrée du programme et des données
- 6.2 - Entrée incrémentielle
- 6.3 - Sorties A.D.D.

## Chapitre 7 - REALISATION PRATIQUE - TECHNOLOGIQUE

- 7.1 - Généralités
- 7.2 - Convention logique
- 7.3 - Eléments logiques de base (Ni NAND - St. REG) (OU)
- 7.4 - Eléments non logiques
  - Amplificateur d'écriture sur le tambour
  - Amplificateur de lecture
  - Circuit monostable.
- 7.5 - Câblage
- 7.6 - Dossier de câblage
- 7.7 - Alimentation
- 7.8 - Refroidissement

Chapitre 8 - APPLICATION DE L'A.D.D.

8.1 - Domaines d'application immédiate

8.2 - Exemples d'application

Contrôle numérique des machines-outils

Optimalisation d'une colonne à distiller

Navigation par inertie.

8.3 - Exemple d'utilisation de l'A.D.D. . prototype

Chapitre 9 - FICHE TECHNIQUE DE L'A.D.D. DU LABORATOIRE  
D'AUTOMATIQUE I.P.G.

Chapitre 10- CONCLUSION

-----

Chapitre 1INTRODUCTION

L'Analyseur Différentiel Digital appartient à ce type de calculateurs appelés "hybrides" car, tout en ayant la configuration des calculateurs "analogiques", il traite les informations d'une façon discrète telle que les calculateurs "digitaux".

C'est ainsi que cette machine a, comme éléments de base, divers opérateurs correspondant à des fonctions bien déterminées, c'est-à-dire des Intégrateurs, Multiplieurs, Additionneurs, etc .. (organisation de machine analogique) mais elle utilise une représentation digitale des grandeurs.

Si l'on considère une fonction  $f$ , cette fonction est représentée par la suite des valeurs

$$f(t_0), \quad f(t_0 + h), \quad \dots \quad f(t_0 + ih)$$

qu'elle prend lorsque la variable indépendante  $t$  prend les valeurs  $t_0, t_0 + h, \dots, t_0 + ih$ .

Ces valeurs  $f(t_0), \dots, f(t_0 + ih)$  sont représentées sous forme digitale.

### 1.1 - Intégration par rapport au temps

L'intégrale de  $y = f(t)$  de  $t = 0$  à  $t = T$  qu'on écrit

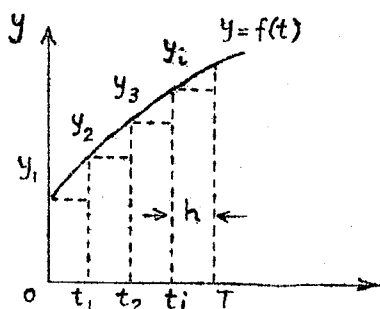


Fig 1-1

$\int_0^T f(t)dt$  est égale à l'aire comprise

entre la courbe  $y = f(t)$  et l'axe des  $(t)$ , bornée par  $t = 0$  et  $t = T$

(fig 1-1).

...

Si l'on considère cette aire divisée en (n) rectangles de longueur (h) telle que  $h = \frac{T-0}{n}$ , la somme des aires de tous ces rectangles sera égale à  $A = \sum_{i=1}^n hy_i$

$$\text{Ainsi } \int_0^T f(t) dt = \lim_{\substack{h \rightarrow 0 \\ n \rightarrow \infty}} \sum_{i=1}^n hy_i$$

Si (h) est suffisamment petit, on peut accepter cette approximation de l'intégrale et écrire :

$$z(t) = \int_{t_0}^t f(t) dt = h \sum_{i=0}^{n-1} y_i = (z)_n \quad (\text{I})$$

pour une fonction  $y = f(t)$  définie par la suite de valeurs :

$$\begin{aligned} y_0 &= f(t_0) \\ y_1 &= f(t_0 + h) \\ y_i &= f(t_0 + ih) \end{aligned}$$

qui peuvent être représentées sous forme digitale codée.

En admettant que l'équation (I) est valable, on peut donc trouver la prochaine valeur de l'intégrale  $z_{n+1}$  et créer alors une formule de récurrence :

$$(z)_{n+1} = (z)_n + hy_n \quad (\text{II})$$

Cette dernière formule est la base même du fonctionnement de l'intégrateur digital.

Si on suppose que chaque valeur de (y) arrive sous une forme codée, binaire par exemple, la valeur de (h) peut se faire la plus petite possible, égale à une puissance entière de 2 ( $h = 2^{-P}$ ).

Ceci nous permet de déduire le produit ( $hy_n$ ) de ( $y_n$ ) par une simple convention de virgule.

(y) est placé dans un registre Y, et les valeurs de l'intégrale sont gardées dans un autre registre Z. Ce dernier contient donc, à chaque pas, les valeurs  $z_0, z_1, z_i$  par l'addition successive des  $(hy_i)$  au contenu du pas antérieur.

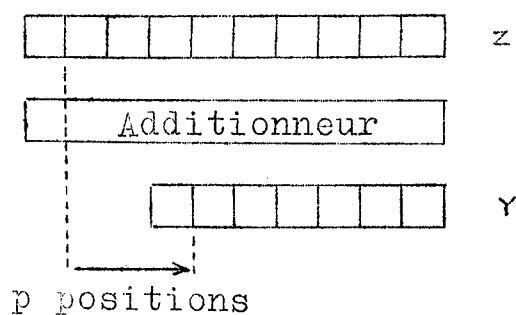


Fig 1-2

## 1.2 - Notion d'Incrément

Le registre Z doit avoir une capacité plus grande que celle du Y et, de plus, il faut que les valeurs  $(z)_n$  produites par un intégrateur puissent être utilisées par un autre opérateur d'intégration.

Si l'on reporte le contenu du registre Z d'un intégrateur dans un registre Y d'un deuxième intégrateur, leur capacité étant différente, ce transfert sera incomplet et on sera obligé d'abandonner les poids faibles du contenu de Z.

Une solution consiste à considérer le registre Z comme étant formé de deux parties R et P de même capacité et celle-ci étant la même que celle du registre Y.

Le contenu du registre Y est additionné au registre R, qui représente la partie des poids faibles de Z. Les débordements



de R sont transmis vers la partie P des poids forts de Z.

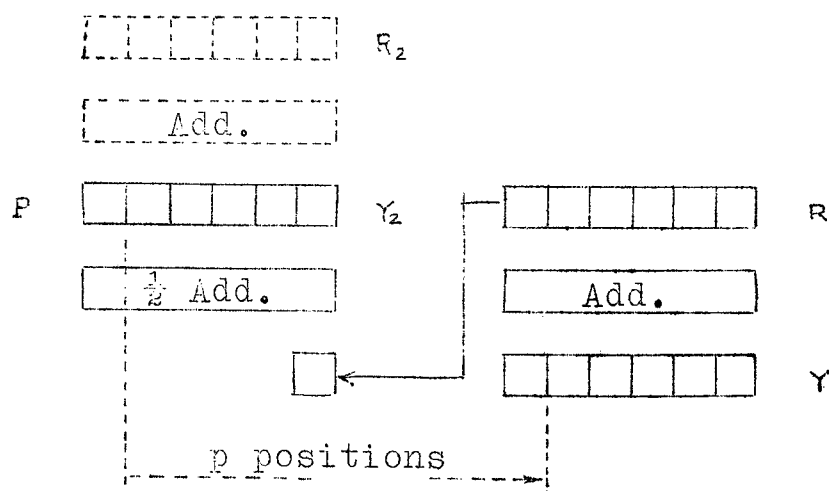


Fig 1-3

Avec cette structure, le registre P n'est autre que le registre Y d'un autre intégrateur.

La liaison entre opérateurs ne s'effectue pas par la transmission des nombres, mais par la transmission des débordements d'un registre.

C'est ainsi que le principe des Analyseurs Différentiels Digitaux est de transmettre, à chaque pas de calcul, les variations des variables et non les variables elles-mêmes.

Ces débordements sont nommés Incréments et, puisqu'ils peuvent prendre trois valeurs  $+2^{-P}$ ,  $0$ ,  $-2^{-P}$ , ils sont appelés "Incréments ternaires".

A partir donc des valeurs initiales, les variables sont définies à chaque pas par leurs variations ou incréments pouvant prendre la valeur  $+1$ ,  $0$  ou bien  $-1$ .

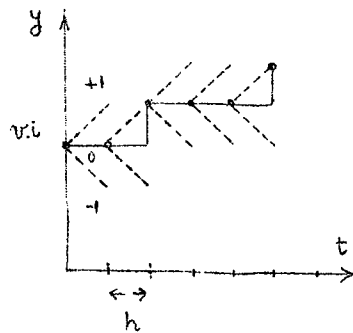


Fig 1-4

L'intégration, par rapport à une variable autre que le temps, est facile à envisager à partir de cette même transmission d'incrément.

En effet, si l'on désire calculer une intégrale par rapport à une variable quelconque dont on connaît les variations sous la forme d'incrément, on peut appliquer la même formule des rectangles

$$(z)_{n+1} = (z)_n + y_n [x_{n+1} - x_n]$$

qu'on peut remplacer par  $z'_{n+1} = z_n + y_n \{Ix_n\}$

où  $\{Ix_n\}$  représente l'incrément de la variable  $x$  dans le pas  $n$ .

Remarque :

Le poids de ces incréments doit être égal à la différence ( $p$ ) des positions binaires entre la virgule du registre  $Z$  et celle de  $Y$ . Les incréments  $Ix$  doivent donc respecter la grandeur de précision du calcul.

L'intégration se réalise donc, avec l'addition de  $Y$  à  $R$  si  $Ix=+1$   
la soustraction de  $Y$  à  $R$  si  $Ix=-1$   
et le contenu de  $R$  restera fixe si  $Ix=0$

### 1.3 - Intégrateur

L'opérateur intégrateur est donc constitué par un registre R, un additionneur/soustracteur commandé par  $I_x$ , un registre Y et un demi-additionneur qui accumule les débordements  $I_y$  dans le registre Y.

Addition : La variation du registre Y doit être égale à la somme des variations (représentées par leurs incréments) provenant d'autres intégrateurs.

Ceci oblige à placer à l'entrée de l'intégrateur un additionneur qui n'est autre qu'un compteur-décompteur.

Le schéma de l'Intégrateur complet est le suivant :

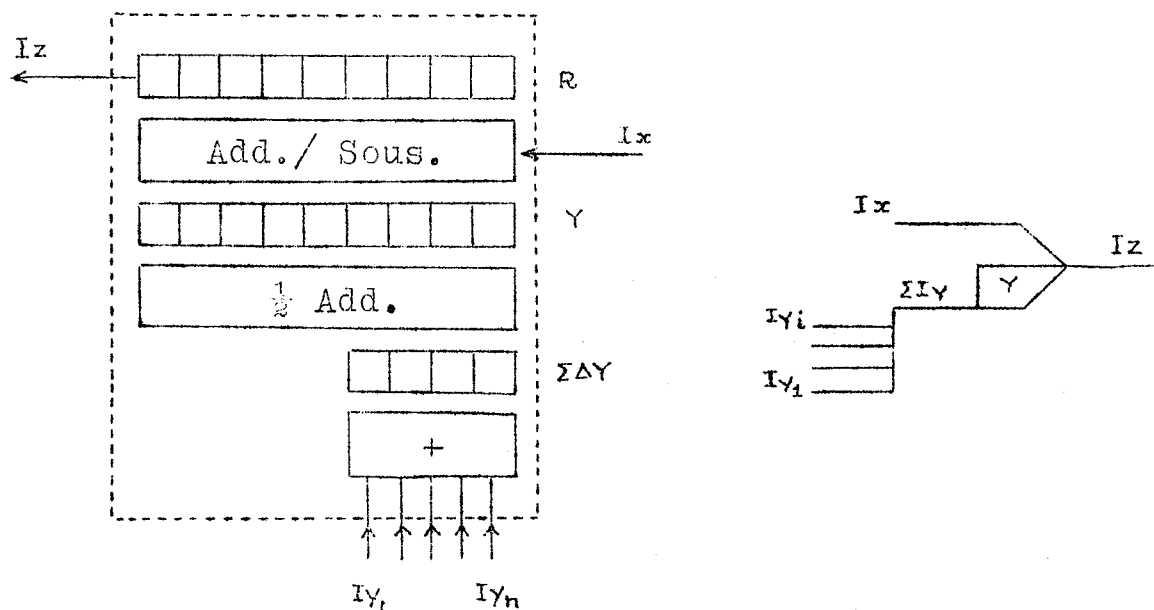


Fig 1-5

#### 1.4 - Multiplieur

Basé sur le même principe de fonctionnement, le multiplieur comporte un registre K (où l'on place la valeur de la constante à multiplier), un additionneur/soustracteur commandé par une entrée incrémentielle  $I_u$ , et un deuxième registre  $K_u$ . Les débordements de ce dernier nous donnent les incréments  $I_{ku}$ , c'est-à-dire les variations du produit  $K_u$  à partir des incréments ou variations de  $(u)$ .

Le schéma est alors :

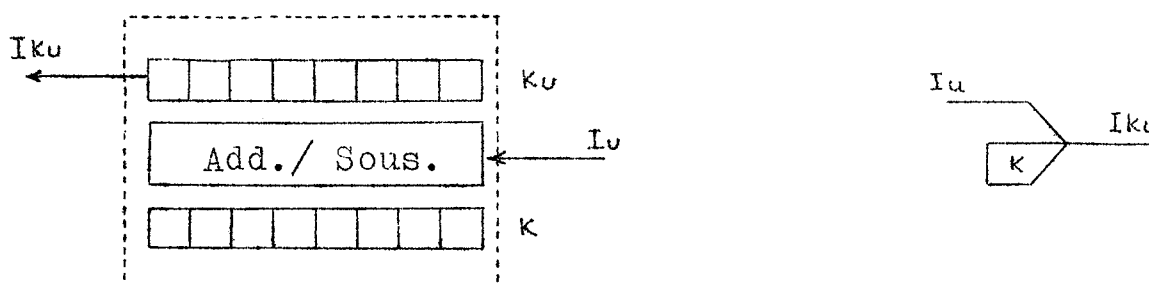


Fig 1-6

#### 1.5 - Comparateur

Cet opérateur n'utilise qu'un seul registre Y. Il réalise une opération logique : la comparaison de Y à 0.

Il comprend, une entrée  $\Delta I_y$  comme l'intégrateur, une entrée  $I_x$  pour le fonctionnement en comparateur et une sortie  $I_c$  qui émet des incréments selon la matrice logique suivante :

$I_x$	-1	0	+1
$Y > 0$	-1	0	+1
$Y = 0$	0	0	0
$Y < 0$	+1	0	-1
	$I_c$		

Tableau 1-1

Cet opérateur spécial permet donc de traiter des problèmes non linéaires; sa représentation est la suivante :

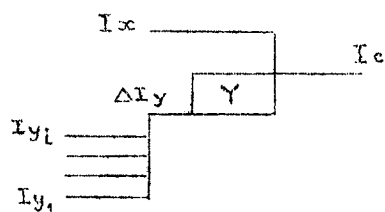


Fig 1-7

### 1.6 - Organisation d'un Analyseur Différentiel Digital

La présence des opérateurs qui réalisent des fonctions déterminées peut permettre d'organiser un A.D.D. tel qu'une machine analogique, comme un calculateur du type "simultané".

Les opérateurs reliés entre eux, fonctionnent simultanément pour la résolution d'un problème. Les différentes liaisons entre les dits opérateurs sont déterminées par les équations du problème.

Dans un A.D.D. avec une organisation pareille, cela représente un certain nombre d'opérateurs, chacun ayant ses registres et ses circuits arithmétiques nécessaires à son fonctionnement. Les liaisons entre opérateurs peuvent se réaliser simplement par câblage extérieur.

D'autre part, le traitement digital des variables nous permet d'envisager une autre organisation, à l'exemple des calculateurs arithmétiques.

Les calculateurs arithmétiques ne comportent, généralement, qu'un seul bloc arithmétique ou bloc de calcul. Ce bloc unique est affecté successivement à diverses opérations. Par contre, ils comportent une mémoire permettant de ranger toutes les informations devant servir, plus tard, dans le calcul, et un programme indiquant les opérations à effectuer et les grandeurs sur lesquelles elles doivent être effectuées.

Si l'on considère comme un seul bloc de calcul l'ensemble "Intégrateur-Comparateur-Multiplicateur", l'A.D.D. peut facilement s'organiser en calculateur "successif". D'ailleurs, l'organisation "série" des opérateurs tend vers un fonctionnement de ce type.

#### 1.7 - A.D.D. du Type Simultané

Ces calculateurs présentent l'avantage de pouvoir fonctionner à des vitesses assez élevées ; ils sont donc destinés à faire de la simulation de phénomènes très rapides.

Mais, par contre, la capacité de la machine étant définie par le nombre d'opérateurs, ils exigent une quantité importante de matériel avec des fréquences de fonctionnement élevées.

#### 1.8 - A.D.D. du Type Successif

Ce type utilise évidemment beaucoup moins de matériel que le type précédent et, malgré la nécessité d'une mémoire spéciale, il est généralement moins onéreux.

Par contre, sa vitesse est nettement inférieure à celle des A.D.D. simultanés.

Néanmoins, c'est ce dernier type de calculateur qui a été choisi comme le plus avantageux à réaliser, à cause de la simplicité de sa structure et en fonction de certain matériel existant.

La réalisation d'un nouveau prototype dans le Laboratoire d'Automatique de l'Institut Polytechnique de GRENOBLE fait l'objet de la présente étude.

-----

Chapitre 2ORGANISATION D'UN ANALYSEUR DIFFERENTIEL DIGITAL DE TYPE SUCCESSIF

Ce type de calculateur comprend (n) opérateurs traités successivement par un seul bloc arithmétique. Les calculs relatifs au pas (i) sont effectués pour tous les opérateurs  $O_1, O_2, O_3 \dots$  les uns après les autres.

Une fois tous les calculs faits pour chaque opérateur, on passe au pas suivant (i + 1) et l'on traite de nouveau tous les opérateurs.

Les liaisons entre les opérateurs sont établies par un programme et les résultats des calculs faits au pas (i) doivent pouvoir être gardés en mémoire en vue de leur utilisation au pas suivant.

Il y a donc, avec ce principe d'organisation, trois parties fondamentales, à savoir :

- a) Le programme, placé sur une mémoire spéciale.
- b) Le bloc arithmétique ou bloc de calcul.
- c) La mémoire des incréments.

Le programme garde les adresses d'extraction et de rangement des incréments, ainsi que les ordres de fonctionnement du bloc de calcul (formule d'intégration, fonctionnement en comparateur, etc ...).



Le schéma de principe d'un A.D.D. de type successif est le suivant :

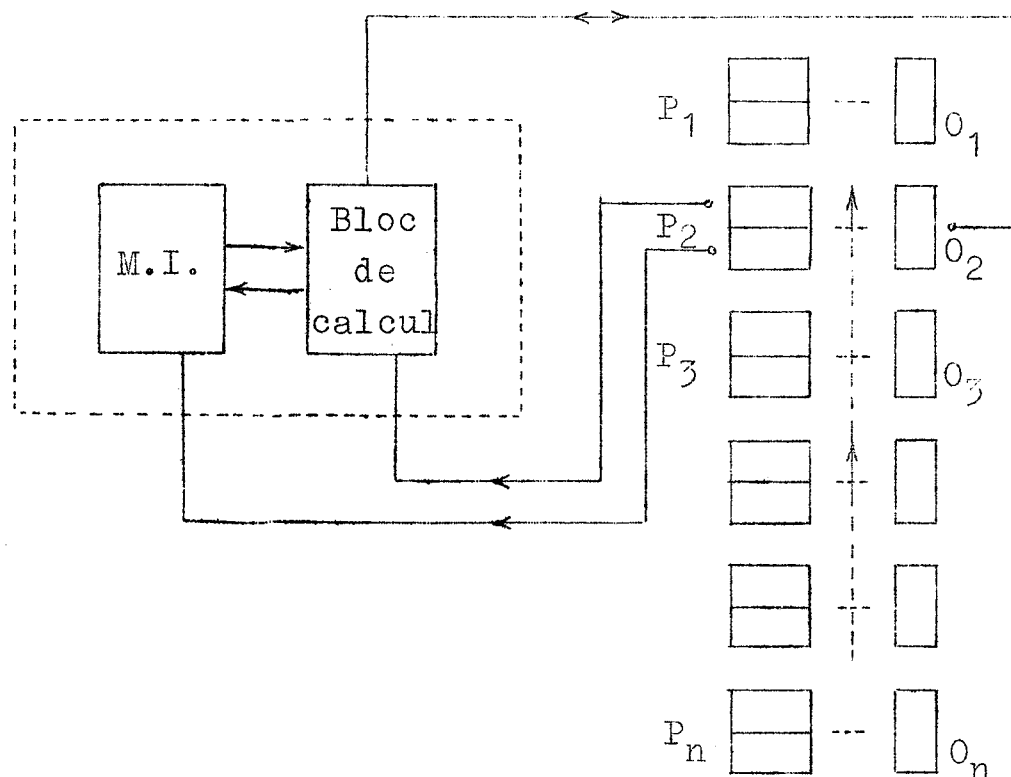


Fig 2-1

### 2.1 - Utilisation d'un Tambour Magnétique - Registres

D'après la structure générale série des opérateurs, on peut utiliser un tambour magnétique pour réaliser les registres. Ainsi, dans le cas d'un intégrateur, on peut réserver une piste aux registres R et une autre piste aux registres Y.

Les registres ( $R_N$ ) et ( $Y_N$ ) d'un opérateur ( $N$ ) sont lus simultanément sous forme série par les têtes de lecture, puis traités par le bloc-arithmétique, modifiés et réinscrits sur le tambour.

Ceci nécessite donc l'emploi de deux têtes par piste, une tête de lecture et une tête d'écriture.

Il y a donc deux choix dans le fonctionnement du tambour : donner une place fixe sur le tambour à chaque registre, ou bien utiliser le tambour en ligne à retard.

On a adopté la deuxième solution pour des raisons d'économie et de simplicité de réalisation.

## 2.2 - Tambour Magnétique en Mémoire Dynamique

Les registres sont lus sous forme série, modifiés par le bloc de calcul et réécrits sur le tambour en un endroit différent de celui où ils ont été lus.

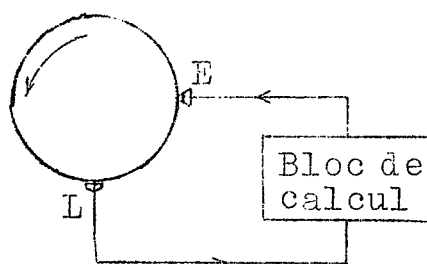


Fig 2-2

Ainsi, le seul repérage des registres est réalisé dans le temps à l'aide d'une piste d'horloge.

Il est donc nécessaire d'effectuer un comptage des impulsions enregistrées dans cette piste, pour repérer la position des registres.

### 2.3 - Capacité de la machine

Le temps de passage de l'un des registres sous la tête de lecture est appelé cycle mineur.

L'intervalle de temps compris entre deux passages successifs d'un même registre sous une tête de lecture est appelé, en conséquence, cycle majeur.

D'après le schéma du tambour en ligne à retard, un cycle majeur a une durée égale à la somme du temps que met le registre à passer de la tête d'écriture à celle de lecture (retard du tambour) et du temps de son passage à travers le bloc de calcul (retard extérieur).

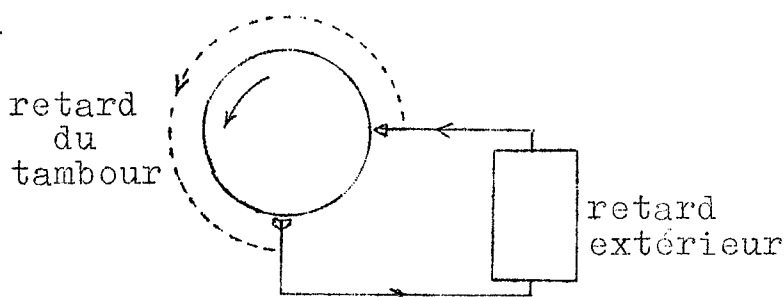


Fig 2-3

Pour qu'un véritable repérage des registres puisse être réalisé, un cycle majeur doit comporter un nombre entier de cycles mineurs.

La capacité de la machine est déterminée par le nombre entier de registres contenus dans un cycle majeur.

## 2.4 - Programme

Le programme est inscrit dans le tambour magnétique sur des pistes bouclées, celles-ci possédant une capacité égale aux pistes des opérateurs.

On a ainsi les adresses d'extraction et de rangement des incréments et les ordres de fonctionnement du bloc de calcul en phase (dans le temps) avec les opérateurs correspondants.

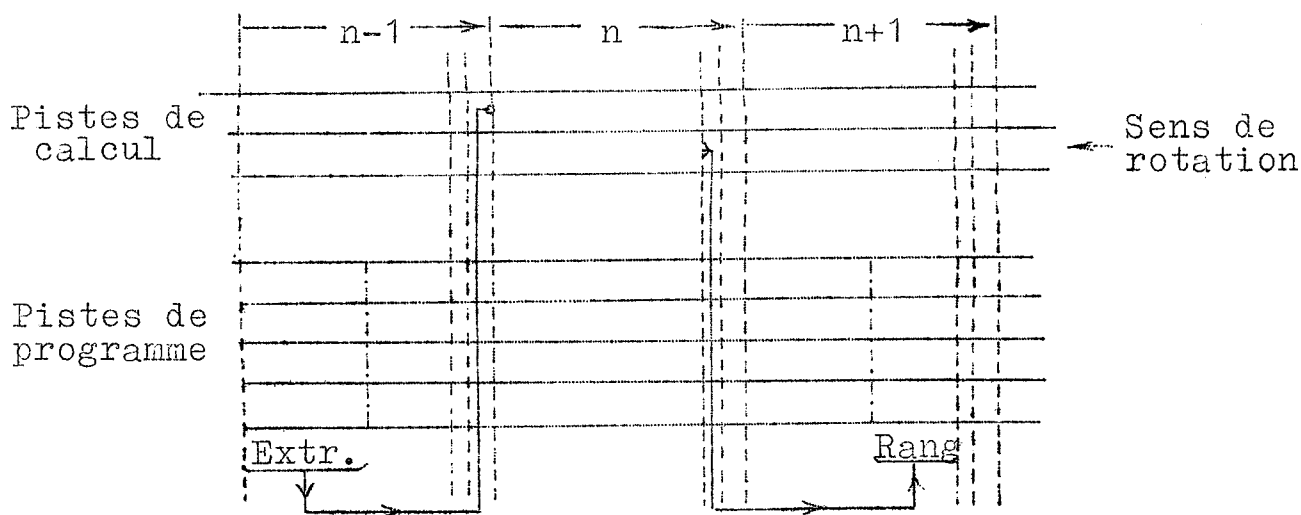


Fig 2-4

Dans le cas d'un intégrateur (n), les adresses d'extraction des incréments d'entrée ( $I_y$ ,  $I_x$ ) se trouvent au registre (n-1). Ces adresses décodées permettent, à la mémoire des incréments, de fournir les incréments voulus quand l'intégrateur (n) commence à lire les poids faibles de ses registres de calcul.

L'émission des incréments  $I_z$  est produite à la fin du cycle (n). Ces incréments, gardés en mémoire temporaire pendant un demi-cycle mineur, seront finalement rangés dans la Mémoire des Incréments dans l'adresse de rangement décodée sur le cycle (n + 1).

## 2.5 - Mémoire des Incréments

Cette mémoire doit garder la valeur des incréments issus du bloc de calcul pour chaque opérateur, en vue de leur utilisation dans un autre opérateur.

Elle fait, pour ainsi dire, la liaison entre les opérateurs.

Cette mémoire doit être ternaire, d'accès rapide et doit être capable de garder son information sans réécriture, pendant un pas de calcul.

## 2.6 - Organes d'entrée et de sortie

Plusieurs types d'organes d'entrée et de sortie peuvent être adaptés à l'Analyseur Différentiel Digital. Par exemple, un lecteur de bande, avec convertisseur décimal-binaire, peut être utilisé pour les entrées des valeurs initiales, celles des constantes ou bien celles du programme.

Une entrée incrémentielle avec un convertisseur analogique-incréments peut permettre d'utiliser l'Analyseur en générateur de fonctions de transfert.

Pour les sorties, la transformation inverse incrément-analogique, peut permettre d'observer les résultats directement sur l'écran d'oscilloscope, ou bien, en utilisant des moteurs "pas à pas" commandés par les incréments de sortie, on peut équiper la machine d'un traceur de courbes.

Chapitre 3ECRITURE ET LECTURE SUR LE TAMBOUR MAGNETIQUE

La structure des opérateurs permet l'utilisation d'un tambour magnétique pour réaliser les registres. Ces registres sont lus sur le tambour sous forme série, modifiés par le bloc de calcul et ensuite ils sont réinscrits sur le tambour.

La machine prototype est dotée d'un tambour magnétique S.E.A. avec les caractéristiques suivantes :

- 17 têtes réparties sur 4 barreaux à 90° les uns des autres.
- 8 pistes à deux têtes.
- 1 piste de référence ou horloge à une seule tête.

Vitesse de rotation .....	2.975 tours/minute
Densité maxima des impulsions ....	4 /m.m.
Limite de fréquence .....	75 KHz
Alimentation triphasée .....	220 V. 50 HZ

3.1 - Ecriture et lecture sur tambour magnétique

L'effet de mémoire, utilisé dans le cas du tambour magnétique, est directement lié au cycle d'hystérésis du matériau magnétique dont il est revêtu.

Considérons donc le cycle d'hystérésis d'un matériau magnétique, sans tenir compte des alimentations de polarisation.

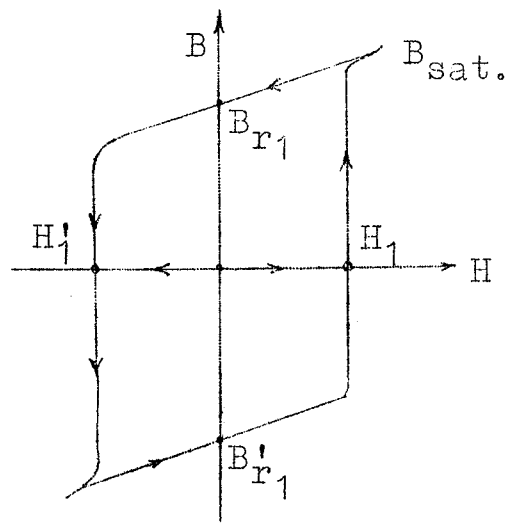


Fig 3-1

Une intensité de champ magnétique  $H_1$ , bien déterminée, ramène l'induction jusqu'à la saturation. Quand cette intensité de champ disparaît, le matériau reste dans un état  $B_{r1}$  d'induction rémanente. Seule une intensité de champ  $H_1'$  inverse pourra, tout en passant par une valeur de saturation opposée, produire un état  $B_{r1}'$  d'induction rémanente de polarité inverse.

On peut donc associer une valeur d'induction rémanente pour chaque valeur d'intensité de champ, en considérant que la même valeur d'intensité de champ en sens inverse aura une même valeur associée d'induction rémanente, mais de polarité contraire.

Ainsi, il est possible de tracer la courbe de "B rémanente" en fonction de l'intensité du champ H appliquée.

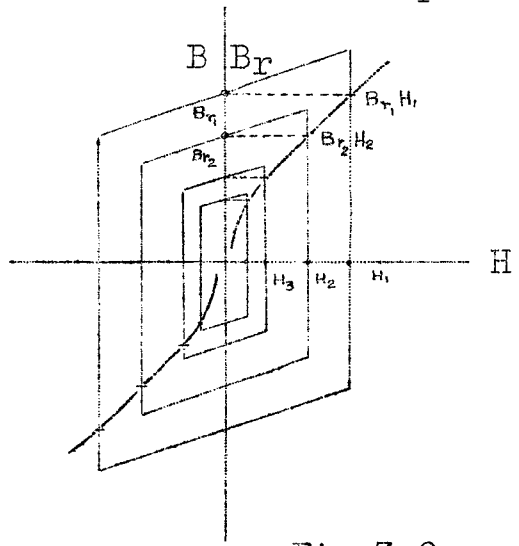
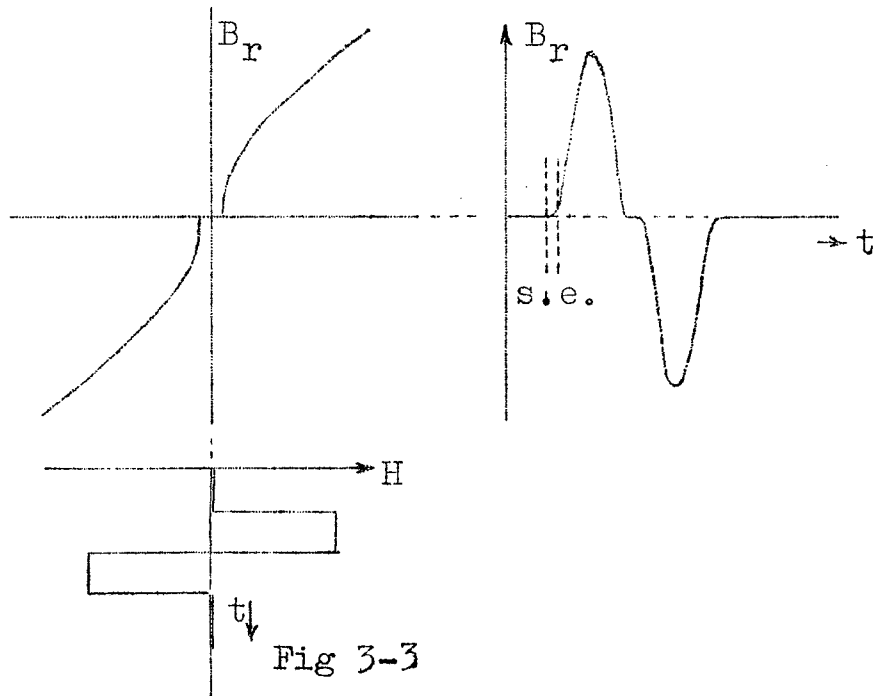


Fig 3-2

...

Cette courbe est limitée d'une part par la saturation du matériau, où quel que soit l'accroissement de  $H$  l'induction rémanente reste à la même valeur, et d'autre part par le minimum du champ qui peut produire un basculement de l'induction.



Ainsi, les variations de l'intensité de champ produisent, dans le matériau magnétique, une configuration d'induction rémanente semblable.

La limite inférieure de la courbe  $B_r H$ , assez mal définie, est appelée seuil d'écriture et dans la pratique elle est mesurée en unités de temps, considérée donc comme un retard.

La tête d'écriture est chargée de produire ces variations d'intensité de champ sur le revêtement magnétique du tambour.

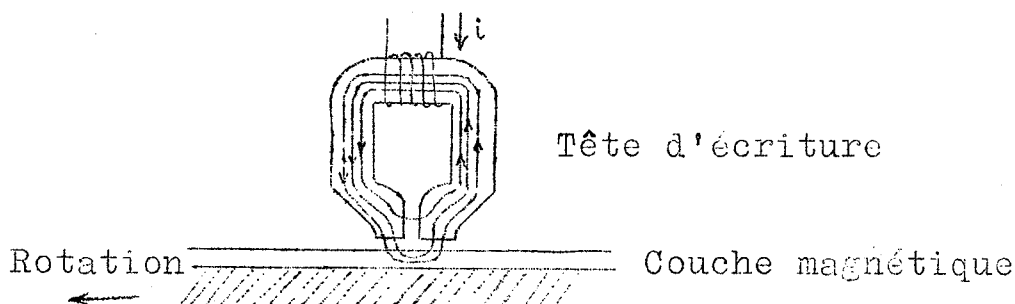


Fig 3-4



Puisque  $H$  est directement proportionnel au courant  $i$  qui circule dans l'enroulement, il suffit de faire varier celui-ci rationnellement pour garder, dans la forme d'induction rémanente, l'information désirée.

Dans la tête de lecture, le phénomène inverse se produit et l'on a, aux bornes de l'enroulement de lecture, une tension proportionnelle à la dérivée du courant d'écriture.

### 3.2 - Procédé d'écriture

De nombreux systèmes d'écriture ont été développés pour garder en mémoire des informations codées. On a adopté, pour la machine prototype, la méthode appelée "modulation de phase", employée spécialement dans les mémoires série.

Un "un" est écrit par un courant positif durant la première demi-période d'horloge et par un courant négatif durant la seconde. La configuration inverse écrit un "zéro".

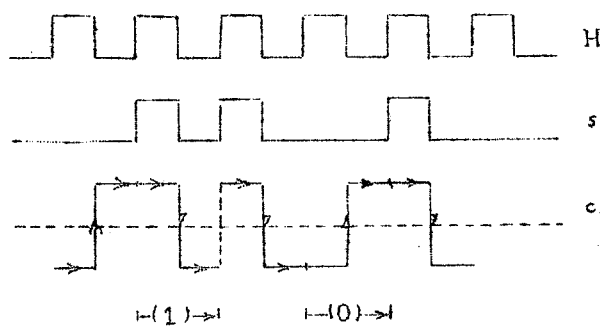


Fig 3-5

L'avantage essentiel de ce système est qu'il permet l'emploi des couplages à courant alternatif dans les amplificateurs, puisque la composante continue est nulle.

Le courant d'écriture a une fréquence maximale pour une suite de "uns" (ou bien pour une suite de "zéros" où le courant est seulement déphasé de  $T/2$ ) et une fréquence minimale pour une suite alternée de "zéros" et de "uns".

### 3.3 - Procédé de lecture

En l'absence de la référence des phases, un signal de lecture ne contient plus aucune information. Le signal de lecture d'une suite de "zéros" ou de "uns" est, approximativement, une sinusoïde de période  $T$ .; une suite alternée de "zéros" et de "uns" est, en conséquence, une sinusoïde de période  $2T$ .

Une configuration quelconque produit une suite d'arches de sinusoïdes de périodes  $T$  et  $2T$  raccordées entre elles par les sommets.

La référence de phase est alors donnée par une impulsion de test, réglable sur toute la seconde demi-période d'horloge. Le signal utile de lecture est l'intersection logique de cette impulsion de test et le signal de sortie de l'amplificateur de lecture.

L'impulsion de test doit être assez courte par rapport à la période  $T$  de l'horloge et, en plus, réglable sur la deuxième demi-période de même horloge, de façon à compenser les variations possibles de longueur entre les têtes.

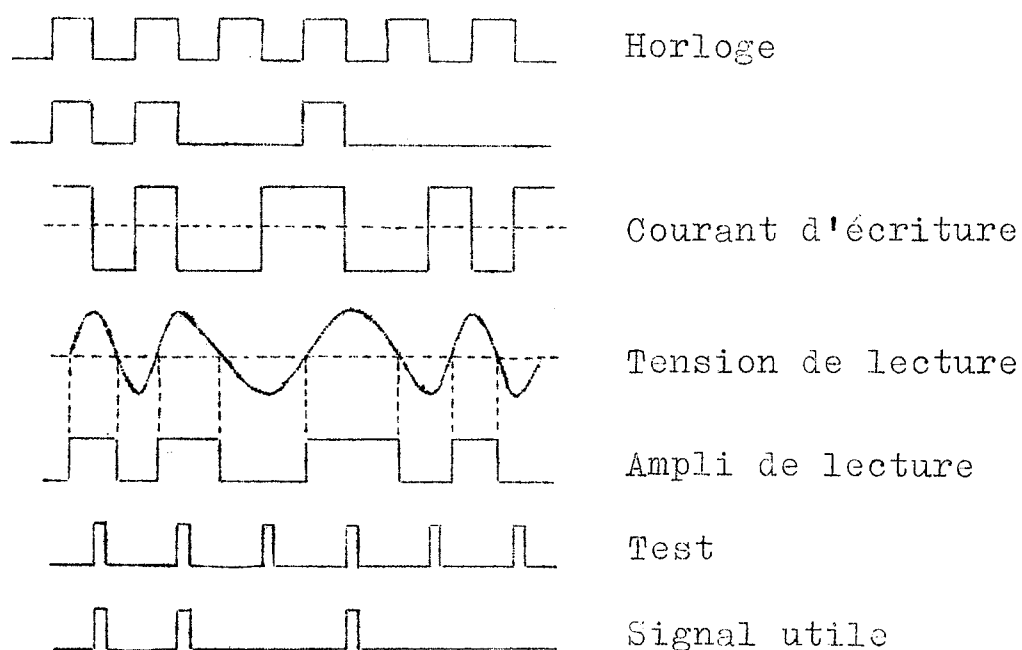


Fig 3-6

### 3.4 - Circuit d'écriture

Avec la possibilité d'un dernier couplage dans la tête d'écriture, pour transformer les signaux de tension en signaux de courant, on peut se permettre d'envisager un signal d'écriture fait avec des éléments purement logiques.

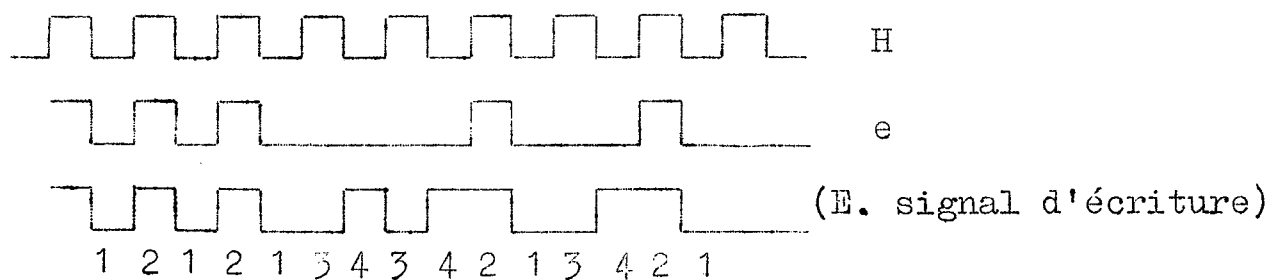


Fig 3-7

Ainsi, en partant du signal (e) synchrone avec l'horloge H, on doit arriver au signal d'écriture E. On remarque déjà en (e) toutes les possibilités de changement : zéro vers un, un vers zéro, suite de uns et suite de zéros.

On considère, pour des raisons de simplicité, que le système n'a pas de retards et est donc parfaitement synchrone. Les tableaux de séquence et ceux de codage des variables internes sont alors élaborés de la façon suivante :

He	00	01	11	10	E
①		2	3		0
1		②			1
4			③		0
④		2	3		1

		He			
$y_1$	$y_2$	00	01	11	10
00		00	$\phi$	01	11
01		00	$\phi$	01	$\phi$
11		10	$\phi$	$\phi$	11
10		10	$\phi$	01	11

		He			
$y_1$	$y_2$	00	01	11	10
00		0	$\phi$	1	0
01		0	$\phi$	1	$\phi$
11		1	$\phi$	$\phi$	0
10		1	$\phi$	1	0

$$Y_1 = H\bar{e} + y_1\bar{e}$$

$$Y_2 = H$$

$$E = e + y_1\bar{H}$$

Le système est donc très simple :

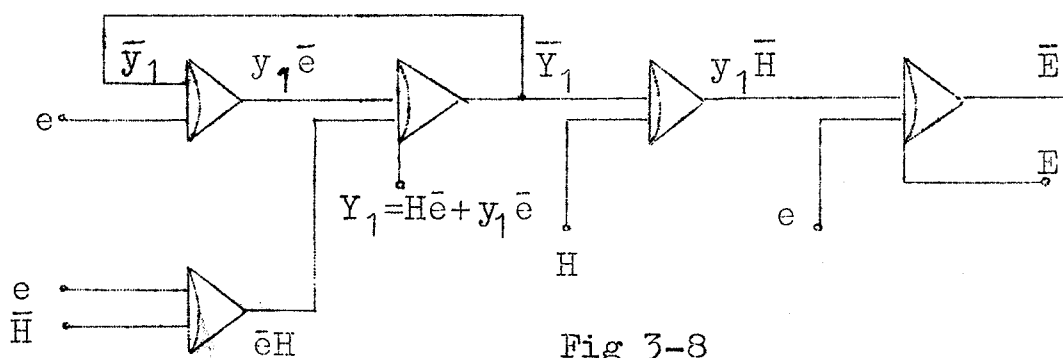


Fig 3-8

Pour simplifier le circuit, on peut prendre un troisième terme dans la sortie.

$$E = e + y_1 \bar{H} + y_1 e = e + y_1 (e + \bar{H}) = e + y_1 (\bar{eH}).$$

Le circuit définitif est donc :

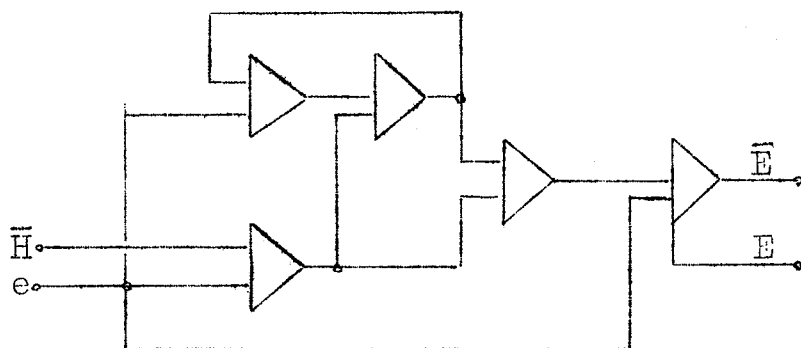


Fig 3-9

Pour attaquer directement la tête d'écriture, il faut maintenant une source de courant qui suit le signal d'écriture réalisé.

L'impédance de la tête est environ  $100\ \Omega$  à 70 KHz. Le courant d'écriture ne doit pas dépasser 80 mA (valeur efficace) sur chaque demi-enroulement. Ce courant maximal se trouve dans le cas de l'écriture d'une suite alternée de zéros et uns (fréquence la plus basse) où l'impédance atteint sa valeur minimale.

Le circuit adopté a la configuration suivante :

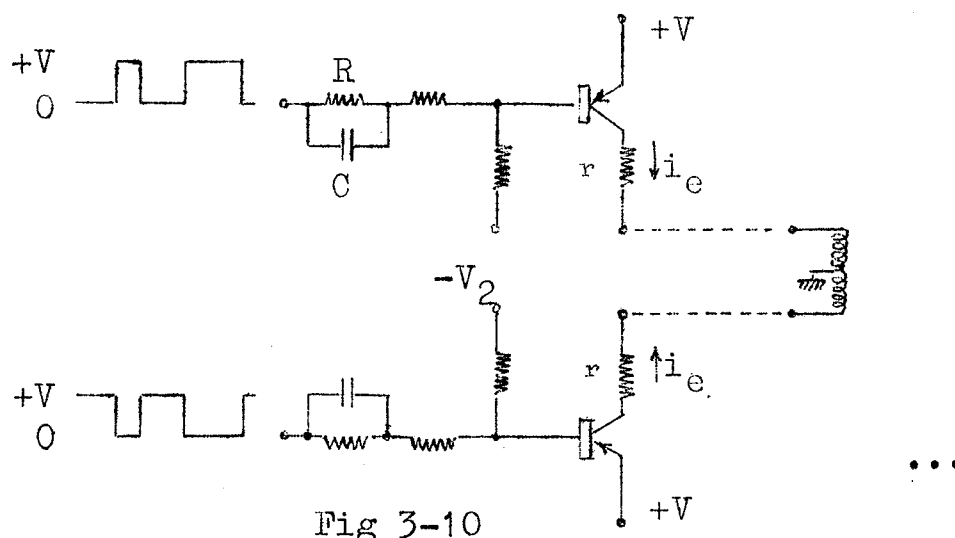


Fig 3-10

La résistance ( $r$ ) limite le courant à travers la tête et le circuit RC d'entrée permet une réponse plus rapide, donc des fronts de courant d'écriture plus raides.

Cet étage permet ainsi la transformation des signaux de tension en impulsion de courant pour produire l'écriture sur le tambour magnétique.

La réalisation pratique ainsi que les références technologiques font partie du chapitre 7 avec l'ensemble de réalisation de la machine prototype.

### 3.5 - Système de lecture

Le système de lecture peut être représenté de la façon suivante :

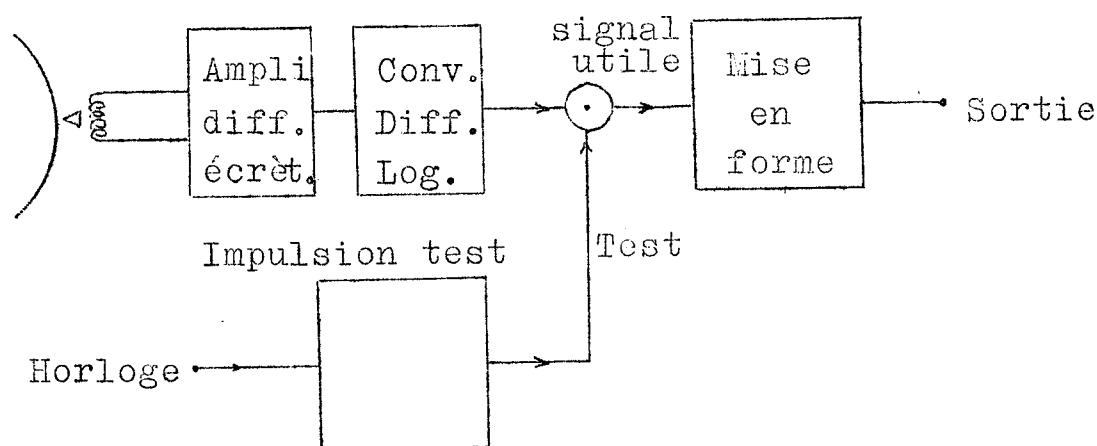


Fig 3-11

La tension de lecture prise aux bornes de la tête est amplifiée par un circuit différentiel. Ce circuit possède, à l'entrée, un transformateur pour adapter les impédances et deux étages avec écretages successifs.

Un étage convertisseur différentiel-logique permet d'attaquer directement l'élément "Ni" qui réalise l'intersection entre le signal de lecture et le signal de test de phase.

Un dernier circuit de mise en forme cadre et élargit ces signaux utiles de lecture, de façon à pouvoir les intégrer aux signaux logiques des différents blocs de la machine.

Le circuit de mise en forme et celui du test de phase sont constitués par deux monostables liés par un étage d'inversion. Il permet de réaliser des retards purs de durée réglable.

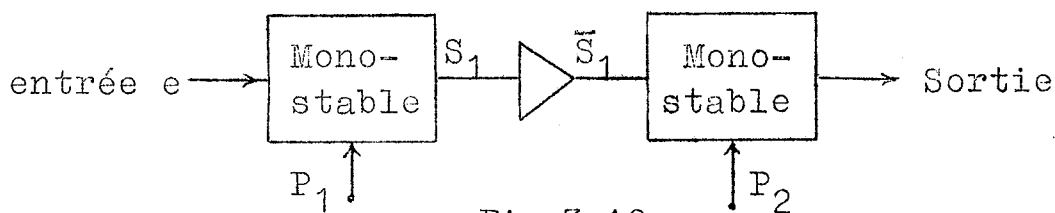


Fig 3-12

Le circuit monostable est pratiquement le même dans tous les cas.

Le réglage sur  $P_1$ , premier monostable, agit sur le retard de déclenchement par rapport à l'entrée ( $e$ ). Le deuxième monostable, déclenché par la sortie complémentaire du premier, permet de régler la durée de l'impulsion retardée.

N.B : Ce circuit monostable est déclenché toujours par le front de montée.

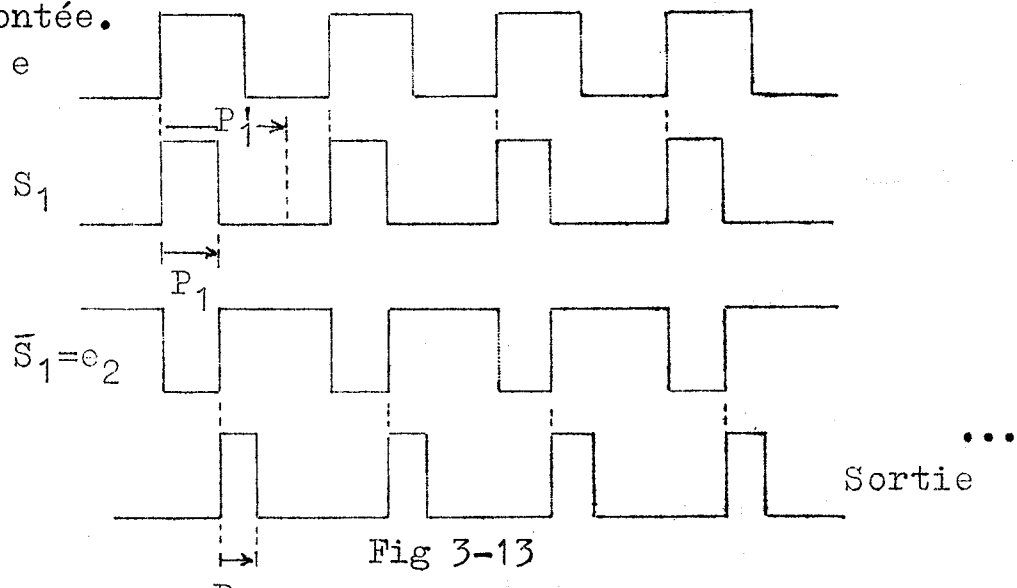


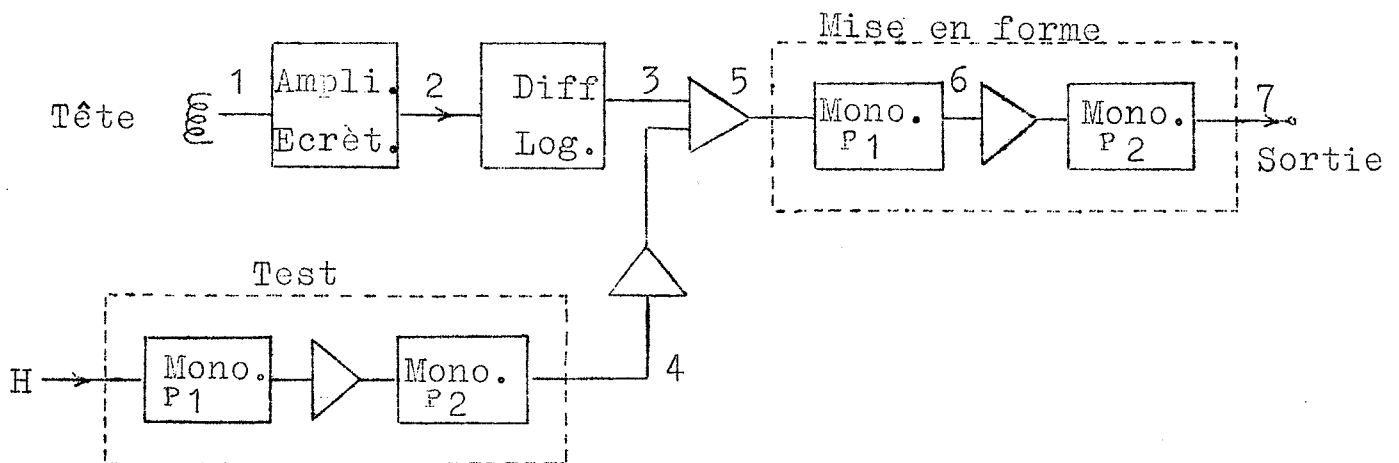
Fig 3-13

( $P_1$  plage de réglage maximale du premier monostable)

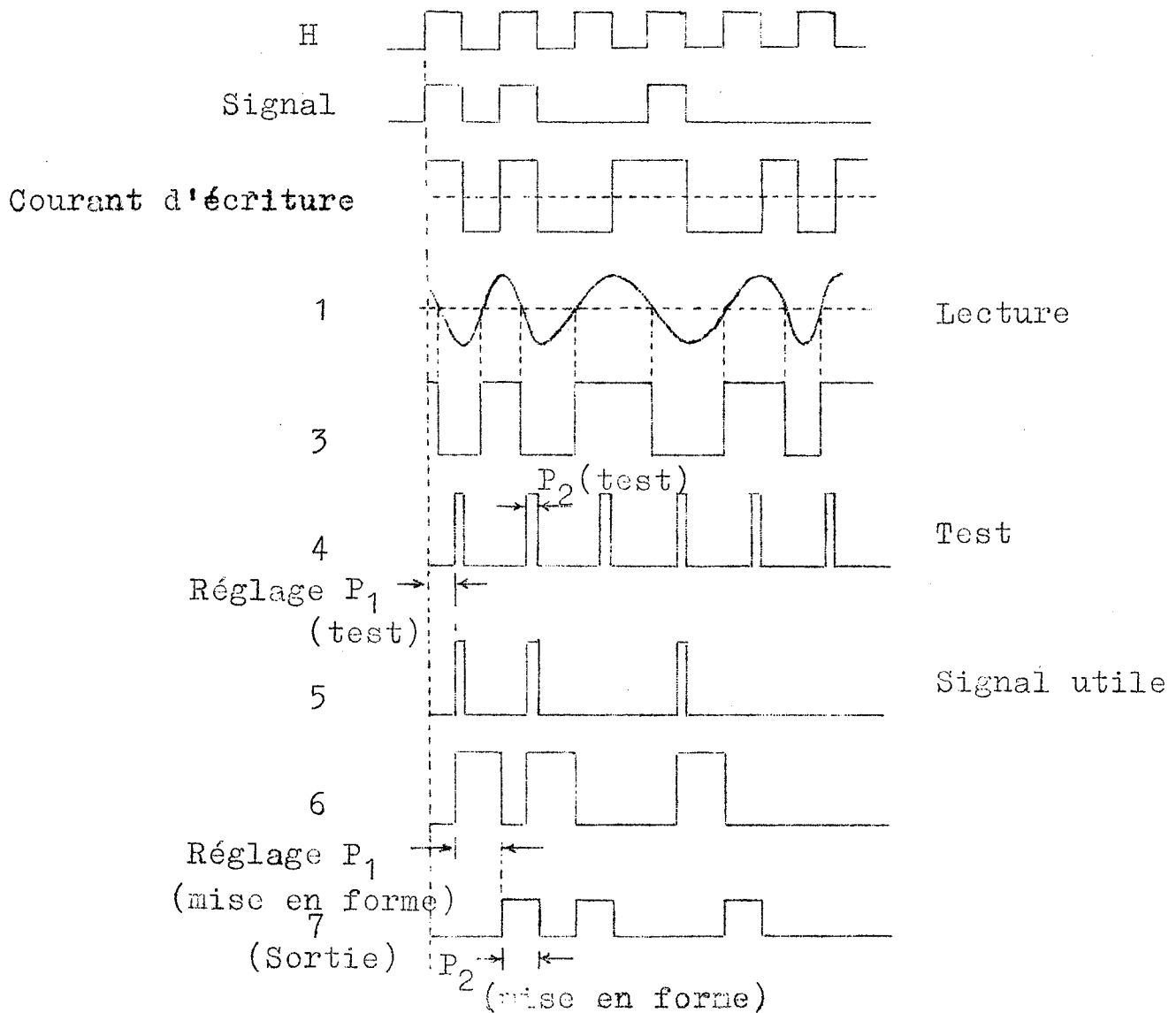
Pour l'impulsion de test  $P_2$  est réglé pour une largeur de l'ordre de  $2\mu s$  ; (e) l'entrée du système est l'horloge provenant de la piste de référence.  $P_1$  permet de régler le déplacement des impulsions par rapport au front de montée de l'horloge.

Pour la mise en forme (e) est le signal utile de lecture (issu de l'intersection du test avec l'amplificateur de lecture),  $P_2$  est réglé pour avoir des impulsions de même largeur que l'horloge (de l'ordre de  $7\mu s$ ) et  $P_1$  permet de compenser les retards dus aux différences de distance entre les têtes.

Le système complet ainsi qu'un exemple détaillé sont représentés plus bas, pour montrer plus clairement le procédé utilisé.







A la sortie, on a donc les mêmes signaux logiques cadrés par rapport à l'horloge. Le système est suffisamment souple pour absorber les variations de longueur entre têtes qui, comme on le verra plus tard, sont assez importantes.

Chapitre 4BLOC DE SYNCHRONISATION4.1 - Nombre de registres et longueur des mots

En raison de l'emploi du tambour "en ligne à retard", il est nécessaire d'effectuer un comptage des impulsions enregistrées sur la piste d'horloge (timing) pour repérer dans le temps la position des registres.

L'intervalle de temps compris entre deux passages successifs d'un même registre sous une tête de lecture (c'est ce qu'on a appelé un cycle majeur) doit comporter un nombre entier de registres.

Cet intervalle est la somme du temps que met le registre pour passer de la tête d'écriture à celle de lecture (retard du tambour) et du temps de son passage à travers le bloc de calcul (retard extérieur).

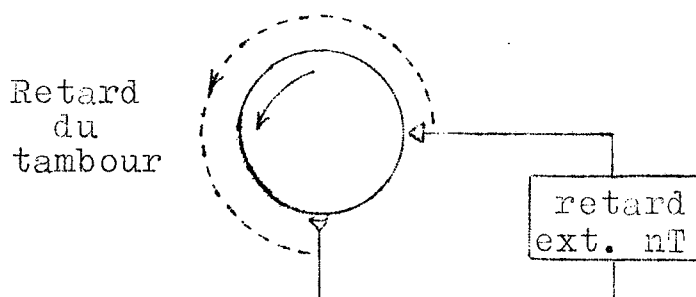


Fig 4-1

Donc, pour déterminer la longueur et le nombre des registres, il faut connaître le retard donné par le bloc de calcul. Ce retard, à l'origine de l'étude, était de 13 périodes élémentaires. (Technologie symmags S.E.A. Réf. 1 )

Ceci avait permis de déterminer le nombre d'impulsions de la piste temps. Les K registres défilent dans la ligne à retard bouclée qui comprend les 3/4 de la piste du tambour plus le retard du bloc de calcul.

Chaque registre avait été défini d'une longueur égale à 26 digits.

$$\text{On avait donc : } 26 K = \frac{3}{4} N + n$$

où (N) est égal au nombre d'impulsions dans un tour de tambour et (n) est le retard extérieur égal à 13 temps élémentaires (13 digits).

$$3 N = (2 K - 1) 4 \cdot 13 = (2 K - 1) 52$$

(N) et (K) doivent être entiers, d'où (2 K - 1) multiple de 3.

2K-1	69	72	75	78	81	84	87	90	93
2K	70		76		82		88		94
K	35		38		41		44		47
3N = (2K-1)52	3588		3950		4212		4524		4836
N	1196		1300		1404		1508		1612
Fréq. (KHz)	59,3		64,5		69,4		74,8		79,9

La densité maximale d'information sur le tambour (4 impulsions par m.m.) impose  $N \leq 1500$  ce qui donne une fréquence de 74,6 KHz. De plus, la technologie antérieure avait été prévue pour fonctionner à 70 KHz, donc on avait adopté la solution :

$$N = 1404$$

$$K = 41 \text{ Nombre de registres.}$$

$$26 \text{ digits, longueur des registres.}$$

Mais, le remplacement de la technologie symmag par la technologie à transistors (Réf. Thèse M. PAYAN) entraînait alors une modification du retard du bloc arithmétique.

Le nouvel opérateur composé (Intégrateur-Comparateur) à transistors ne donnait théoriquement aucun retard. Pratiquement, cet opérateur se comporte, au point de vue de retard, comme 20 éléments logiques "Ni" en cascade.

Chacun de ces éléments donne un retard moyen de 0,2 à 0,3  $\mu$ s donc le retard total est de 5  $\mu$ s environ.

Ce retard, inférieur à une demi période de l'horloge (7  $\mu$ s), permet de recentrer les registres par un retard d'un temps élémentaire.

Deux solutions peuvent alors être présentées :

- soit changer le nombre et la longueur des registres.
- soit réinscrire la piste d'horloge.

Pour la première solution, il était nécessaire de connaître exactement le retard apporté par le tambour entre la tête d'écriture et la tête de lecture (approximativement 3/4 de piste) sur chacune des 8 pistes.

Dans la deuxième solution, il fallait connaître le rapport entre la distance tête d'écriture - tête de lecture et un tour de tambour ; c'est-à-dire connaître à la fois le retard écriture-lecture et le nombre de digits réellement inscrits sur la piste d'horloge.

4.2 - Retard du tambour

Nous avons écrit et lu un mot à 26 digits en permanence. La visualisation simultanée à l'oscilloscope de l'écriture et de la lecture permet de mesurer le retard apporté par le tambour.

Ce retard est égal à :  $k.26 + \tau$

Les têtes de lecture et d'écriture sont fixes sur le tambour.

Pour chacune des 8 pistes, on a obtenu les retards ( $\tau$ ) suivants :

Piste 1	$\tau = 12,2$ périodes
2	$\tau = 12,3$
3	$\tau = 12,1$
4	$\tau = 12,3$
5	$\tau = 12,45$
6	$\tau = 12,3$
7	$\tau = 12,4$
8	$\tau = 12,0$

Détermination de (k) - Théoriquement, la piste d'horloge comportait 1404 digits. Le retard écriture-lecture devrait donc être de :

$$\frac{1404 \times 3}{4} = 1053 \text{ digits}$$

$$1053 = 1040 + 13 = 40 \times 26 + 13$$

Nous avons mesuré  $k.26 + 12$  (à 12,5)

Donc, nous pouvons raisonnablement admettre  $k = 40$

Ceci, nous allons le voir, va être vérifié.

### 4.3 - Détermination du nombre de digits de la piste d'horloge

1ère Méthode : Nous avons, tout d'abord, essayé de déterminer ce nombre, grâce uniquement aux retards écriture-lecture obtenus en invertissant les têtes.

Ainsi :

$$\text{Retard A} = k.26 + \tau_1 = k.26 + \alpha + \text{seuil écriture.}$$

$$\text{Retard B} = l.26 + \tau_2 = l.26 + \beta + \text{seuil écriture.}$$

- La somme  $\alpha + \beta$  doit forcément être un nombre entier.
- Le seuil d'écriture sur tambour magnétique est normalement de l'ordre de quelques  $\mu\text{s}$ .

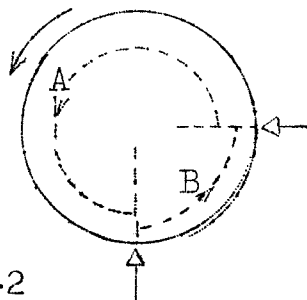


Fig 4-2

Mesures en Piste 6 :  $\tau_1 = 12.3$  périodes =  $\alpha + \text{seuil écriture}$   
 $\tau_2 = 13.0$  périodes =  $\beta + \text{seuil écriture}$ .

- $\alpha + \beta = \text{nombre entier} = \tau_1 + \tau_2 - 2(\text{seuil-écr.})$
- D'après  $\tau_1$  et  $\tau_2$  ;  $0,3$  périodes +  $n$  périodes =  $2(\text{seuil.écr.})$

En conséquence seuil écriture =  $(0,15 \text{ périodes} + 0,5 n)$   
 =  $(2,1 \mu\text{s} + (7 \mu\text{s}) n)$

D'accord avec la deuxième condition énoncée (b), on peut établir que la valeur du seuil est de l'ordre de 2 à 3  $\mu$ s, c'est-à-dire 0,15 périodes

$$\alpha = 12,15$$

$$\beta = 12,85$$

Le vrai retard A est alors :

$$A = k \cdot 26 + 12,15 \text{ périodes} = 1052,15 \text{ périodes avec } k = 40$$

et ainsi le vrai retard B est :

$$B = l \cdot 26 + 12,85 \text{ périodes} = 350,85 \text{ périodes avec } l = 13.$$

$$A + B = 1403 \text{ périodes.}$$

Il y a donc 1403 digits inscrits sur la piste d'horloge.

### Remarques

1)  $3B = 1052,55 \neq A = 1052,15$

2) On aurait pu prendre aussi :  $k = 37$  ou  $k = 43$

mais ceci donne un nombre  $l = 12$   $l = 14$

de digits trop différent de celui théoriquement inscrit.

### Mesures en Piste 8 :

$$\zeta_1 = 12,0$$

$$\zeta_2 = 13,3$$

Le seuil prend aussi une valeur de 0,15 périodes. On trouve alors les valeurs :

$$\alpha = 11,85 \quad A = 1051,85$$

$$\beta = 13,15 \quad B = 351,15$$

$$A \neq 3B$$

$$\underline{A + B = 1403 \text{ périodes}}$$

2ème Méthode : Ayant la possibilité d'employer des mots de longueur variable, on a effectué l'écriture en permanence de mots à 26, 24 et 23 digits.

Pour les mots à 26 digits, on a trouvé, à la lecture, un nombre P de mots complets plus 25 digits dans le raccordement. Pour les mots à 24, un nombre N de mots entiers plus 11 digits. Finalement, pour les mots à 23 digits, on a trouvé qu'un nombre M de mots complets.

On a donc :

$$M.23 = N.24 + 11 = P.26 + 25 = n$$

a) -  $(M-N)23 = N + 11$       Condition  $(M-N) > 0$

b) -  $(N-P)24 = 2P + 14$       Condition  $(N-P) > 0$

*Mod  
2/76*

De (a) on obtient  $N = 12 + (r) 23$  où r et s nombres entiers

et de (b)  $N = 6 + (s) 13$

Donc :  $N = 58 + t (23.13)$        $t = 0, 1, 2, 3$  etc ...

Pour  $t = 1$  on a  $N = 357$  or un nombre trop éloigné de celui de la capacité maximale.

Alors  $t = 0$        $N = 58$

D'où le nombre de digits inscrits sur la piste de "timing" ou horloge est finalement :

$$\underline{n = 58.24 + 11 = 1392 + 11 = 1403}$$



Or, on avait voulu inscrire 1404 digits. Il a semblé préférable de ne pas réinscrire une nouvelle piste d'horloge dont on ne serait pas très sûr.

Aussi a-t-on adopté la première solution, celle de changer la longueur et le nombre des registres.

#### 4.4 - Détermination du nombre et de la longueur des registres

Le retard écriture-lecture varie suivant les pistes de  $1040 + 12$  périodes à  $1040 + 12,45$  périodes. Le système d'écriture adopté introduit un retard supplémentaire de 0,5 périodes.

Le retard entre le nombre écrit et le nombre lu varie donc de  $1040 + 12,5$  à  $1040 + 12,95$  périodes.

D'autre part, pour le contrôle d'imparité des pistes, il est nécessaire d'avoir des nombres sans aléas (ce contrôle d'imparité est obtenu par des bascules logiques comptant les impulsions des mots). *des types*

Or, l'addition de deux nombres en retard par rapport à l'horloge, et en retard l'un par rapport à l'autre, donne un nombre avec aléas.

Il est donc nécessaire de mettre un retard élémentaire avant et après le bloc de calcul pour le cadrage convenable des mots par rapport à l'horloge.

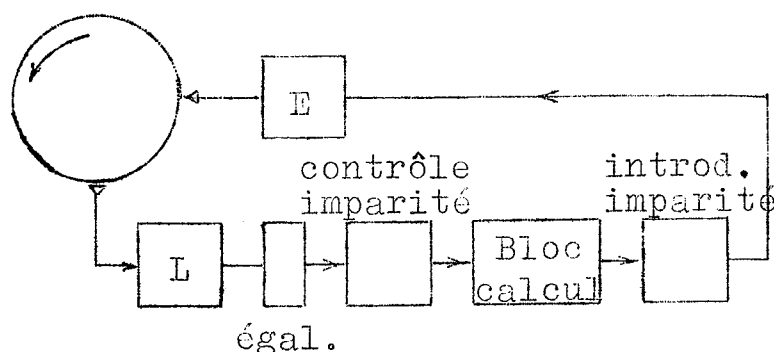


Fig 4-3

...

En résumé, le retard extérieur de la boucle est égal à 3 temps élémentaires, deux pour le cadrage des mots et le troisième à l'intérieur du bloc de calcul.

L'égalisation des retards des pistes se fait au niveau de la lecture où des retards purs sont réglés de façon à ramener tous les retards écriture-lecture à  $1040 + 13$  périodes.

Le cycle complet comprend donc :

$$1040 + 13 + 3 = 1056 \text{ périodes} = 1 \text{ cycle majeur.}$$

$$1056 = 44 \times 24$$

- D'où :
- Nombre de registres : 44 , capacité suffisante.
  - Longueur des registres 24 digits, précision suffisante (22 positions binaires).

#### 4.5 - Lignes à retard

Les pistes qui contiennent les registres de calcul sont bouclées à travers le bloc de calcul, déterminant ainsi la durée d'un cycle majeur.

Par contre, les pistes de programme doivent suivre également un retard extérieur équivalent. Donc, elles doivent être bouclées par des lignes à retard.

Ces lignes à retard sont constituées par des éléments logiques appelés "stations de registre à décalage". Chaque "station de registre" permet le décalage d'un temps élémentaire du nombre mis à l'entrée.

Ce type de circuit, fortement industrialisé, peut, après une légère transformation, être employé comme bascule logique binaire.

Pour ces raisons, on l'a adopté pour réaliser les cadrages et décalages des nombres dans l'organisation logique du calculateur.

Dans le cas présent (les lignes à retard) il suffit que la sortie d'un élément attaque un élément identique. A la fin de la ligne, l'intersection logique de la sortie du dernier élément avec l'horloge, nous donne le nombre décalé.

L'étude et les tableaux d'états se trouvent dans le Chapitre 7, Section 7-3, Eléments logiques de base.

#### 4.6 - Problème de réécriture de la piste d'horloge

Malgré l'organisation logique de haute sécurité, les essais de bouclage n'ont pas été satisfaisants. Les pistes perdaient l'information à la moindre fluctuation de la tension d'alimentation, ce qui nous a amenés à regarder de près l'écriture et la lecture sur le tambour.

On avait remarqué le mauvais enregistrement de la piste d'horloge, qui contenait bien 1403 digits, mais espacés irrégulièrement tout au long de la piste.

Ce phénomène, déjà remarqué dans des études antérieures (Réf. 2 Thèse M. VILLIER - Page 58) a été dû aux variations de la vitesse de rotation du tambour au moment de l'enregistrement.

L'écriture d'une suite de "uns" par exemple, réalisée à partir de l'horloge, suivra donc les irrégularités de ce dernier.

Ces irrégularités, appartenant à une écriture faite au temps  $(t)$  ne seront lues qu'au temps  $(t + \frac{3}{4} T)$ . Or, le test de lecture qui suit aussi l'horloge ne se trouve pas en phase correcte mais décalé d'un côté ou de l'autre.

En conséquence, par rapport aux impulsions de test, c'est la sortie de lecture qui présente continuellement des irrégularités ; et même des impulsions de très courte durée (1  $\mu$ s , 0,5  $\mu$ s) ne sont pas suffisantes pour assurer une lecture correcte.

La figure suivante montre une partie de la lecture par rapport au test de phase.

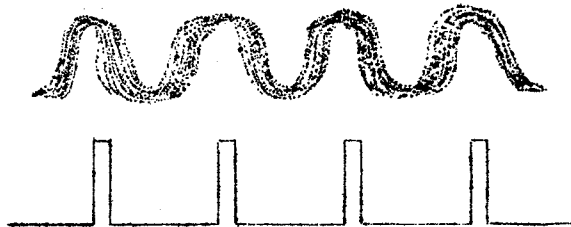


Fig 4-4

Ce problème, qui semble être encore plus aigu dans le cas de nombres avec suites alternées de "zéros" et "uns" (la relation de phases devenant alors plus délicate à définir) nous a amenés à réinscrire une nouvelle piste d'horloge, mais tout en conservant le même nombre de digits inscrits.

Le principe de départ était assez simple.

Le rapport entre l'écriture, et plus exactement entre le courant d'écriture et la tension de lecture, peut, à la rigueur, être assimilé à une dérivée première.

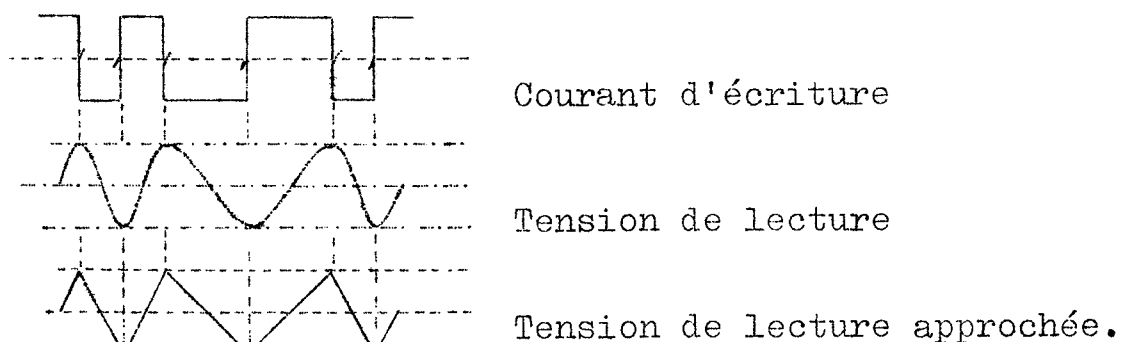


Fig 4-5

Supposons maintenant qu'on puisse écrire une suite de "uns" avec les irrégularités de la piste d'horloge. On utilise, comme organe de lecture, simplement l'amplificateur avec écrétage puisqu'il n'est pas question d'identification de phase.

Le schéma suivant montre ce qu'est alors la lecture approchée, ainsi que la sortie de l'amplificateur d'écrétage.

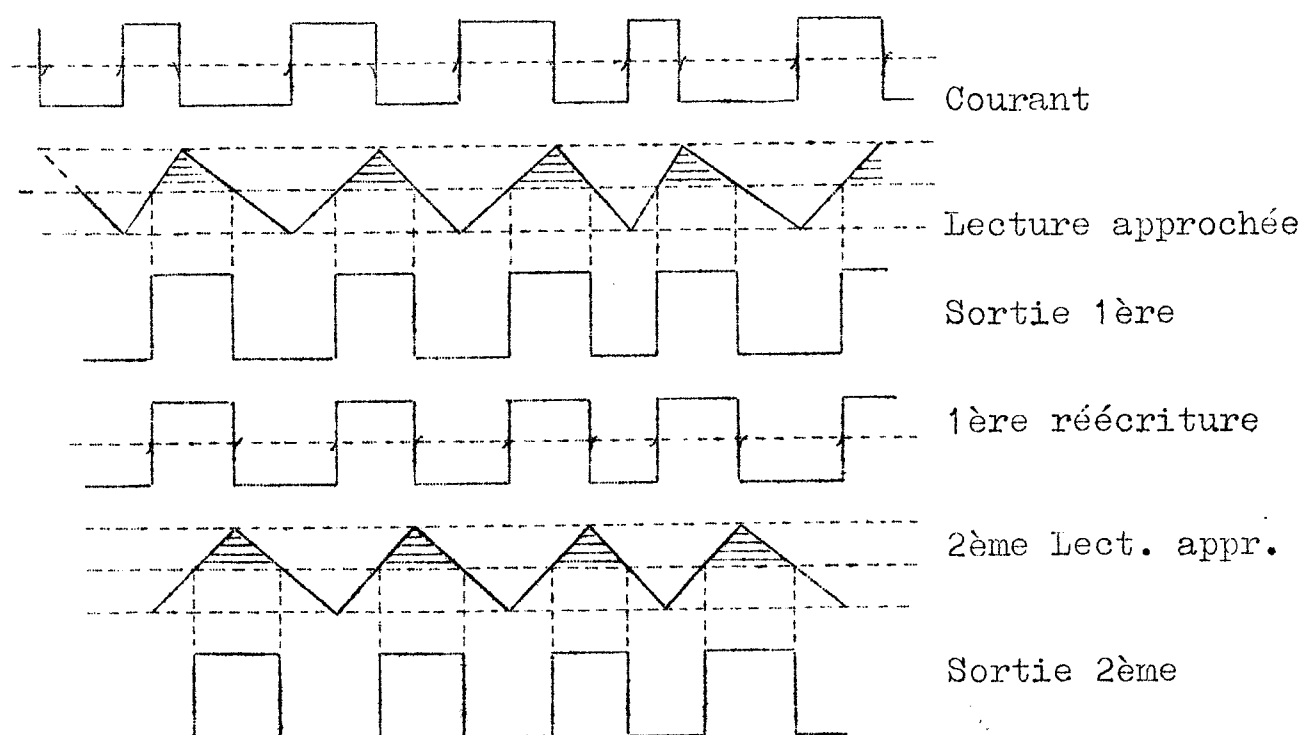


Fig 4-6

...

On voit nettement dans la sortie de l'amplificateur d'écrétage la tendance de la lecture à égaliser les périodes ; la réécriture successive d'une telle sortie peut nous permettre, au bout de quelques passages, d'avoir une suite de "uns" assez régulière.

Pour réaliser cette opération, on a choisi la piste 8 qui, d'après nos mesures antérieures (sec. 4-3), comportait un retard entre ses têtes égal à un nombre exact de digits (1052)

Pour réaliser la réécriture successive, on a bouclé cette piste 8 directement, sans aucun retard extérieur, mais munie d'un circuit permettant l'introduction de la suite irrégulière de "uns".

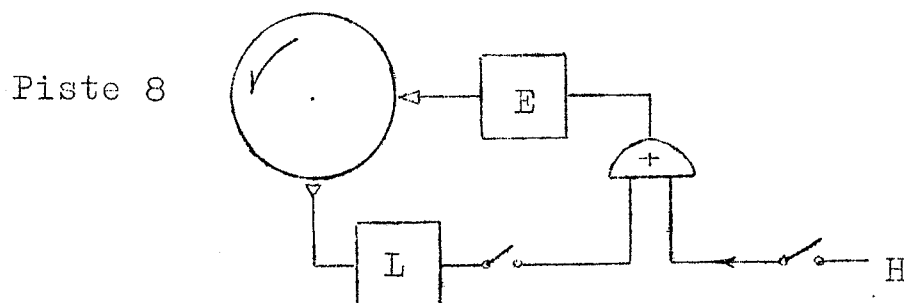


Fig 4-7

Ce procédé nous a donné, au bout de quelques secondes de bouclage parfait, une piste bouclée qui gardait 1052 digits régulièrement espacés.

La réinscription de la piste d'horloge, à partir de cette "suite régulière", a été immédiate, utilisant momentanément, pour atteindre ce but, l'unique tête de lecture comme une tête d'écriture.

4.7 - Nouvelle Piste d'horloge

On avait trouvé antérieurement, en tenant compte du phénomène du seuil de l'écriture, que  $A \neq 3B$  où (A) est le retard vrai écriture-lecture et (B) le retard du reste du tambour.

Sur la piste 8, on avait donc physiquement  $A = 1051,85$  périodes et 0,15 périodes comme retard de seuil (en admettant que les amplificateurs d'écriture et lecture n'aient pas de retard).

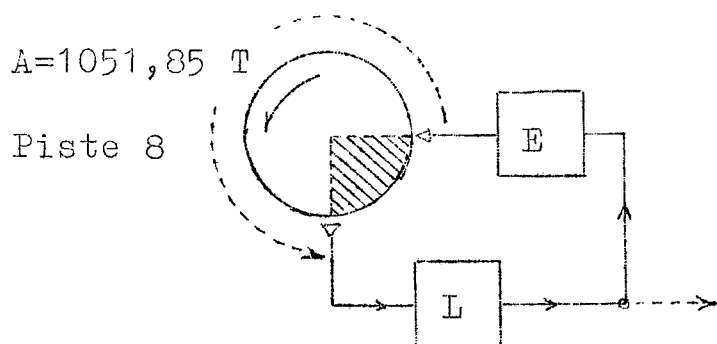


Fig 4-8

La nouvelle piste d'horloge comporte alors  
 $T = A + B$  périodes.

D'après la section 4.3 ,  $A \neq 3B$      $A = 2,9954 B$

$$T = A + \frac{A}{2,9954} = (1,33384) A$$

$$A = 1051,85$$

$$T = (1,33384) (1051,85) = 1402,9996 \dots \text{périodes.}$$

La nouvelle piste d'horloge comporte donc bien 1403 digits régulièrement espacés et raccordés au plus précis possible.

Le changement a été notable car, maintenant, la plage de réglage de l'impulsion de test est beaucoup plus vaste et, en général, la lecture est indépendante des variations de rotation du tambour.

#### 4.8 - Tableau de Synchronisation

Le bloc de synchronisation contrôle le repérage des registres dans le temps et commande les différentes portes de transfert.

Ces portes de transfert permettent la liaison entre :

le bloc calcul et le tambour,

entre le bloc de calcul et la mémoire des incréments,

et entre la mémoire des incréments et le tambour.

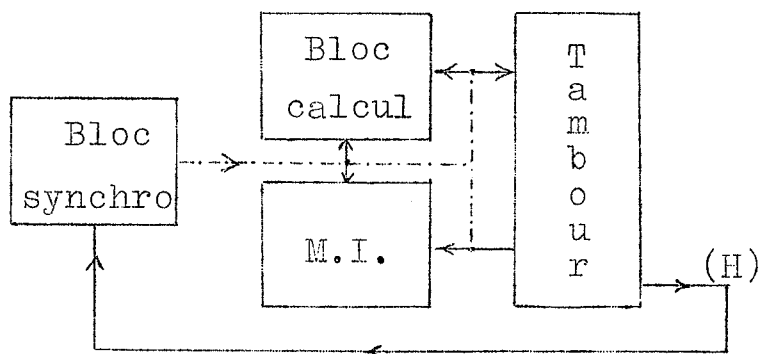


Fig 4-9

Toutes les fonctions de ces éléments ont été rassemblées sur le Tableau de Synchronisation.

Ce tableau représente le passage sous la tête de lecture de l'un des 44 registres, plus le dernier.



Pour une meilleure compréhension du tableau, on peut représenter le schéma de fonctionnement (dans le temps) d'un intégrateur par la figure suivante :

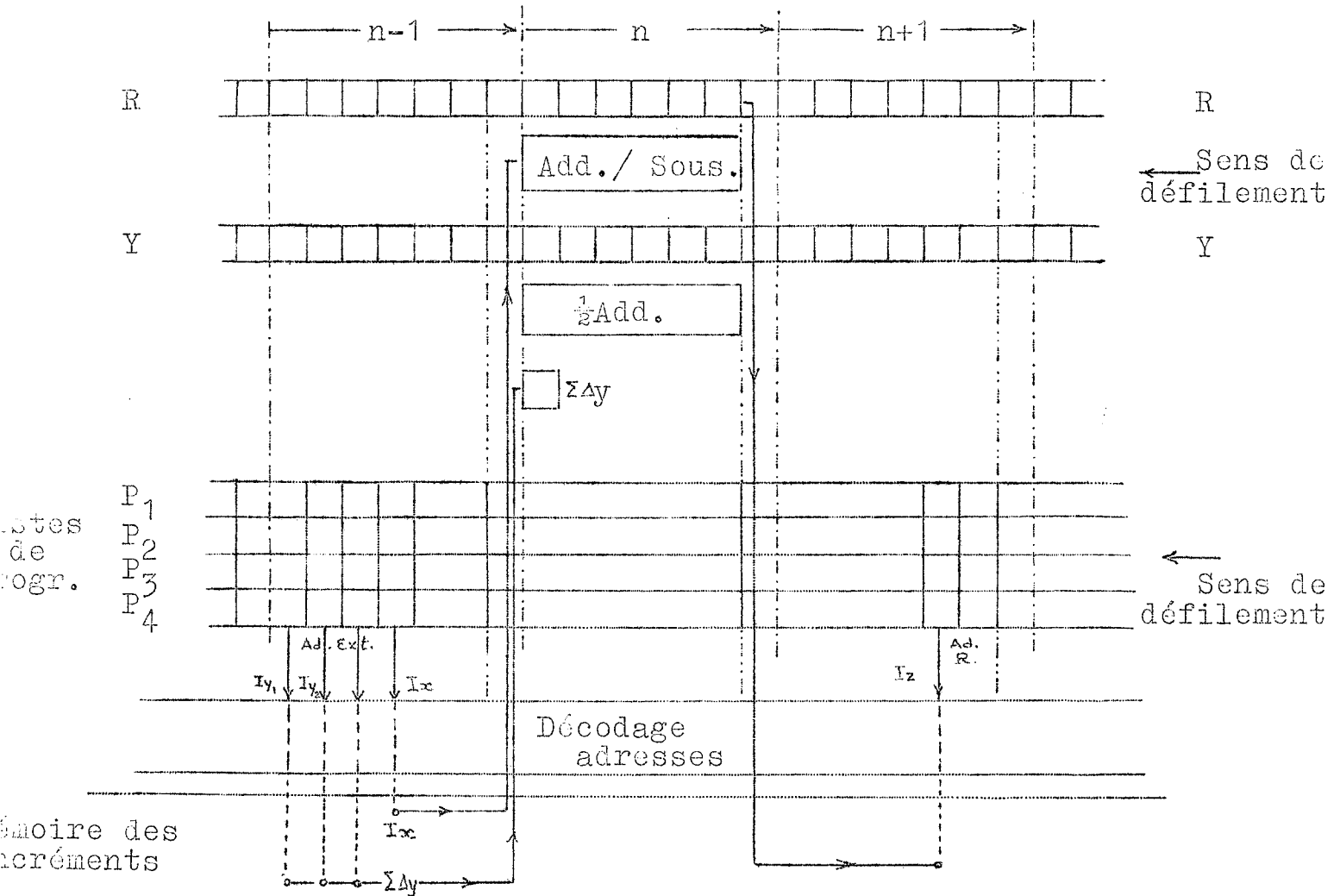


Fig 4-10

Remarques :

- a) Il suffit de placer dans l'adresse d'extraction sur le registre ( $n-1$ ) la même adresse que celle de rangement (placée en ( $n+1$ )) pour obtenir le bouclage d'un intégrateur

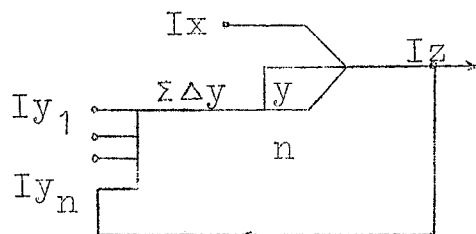
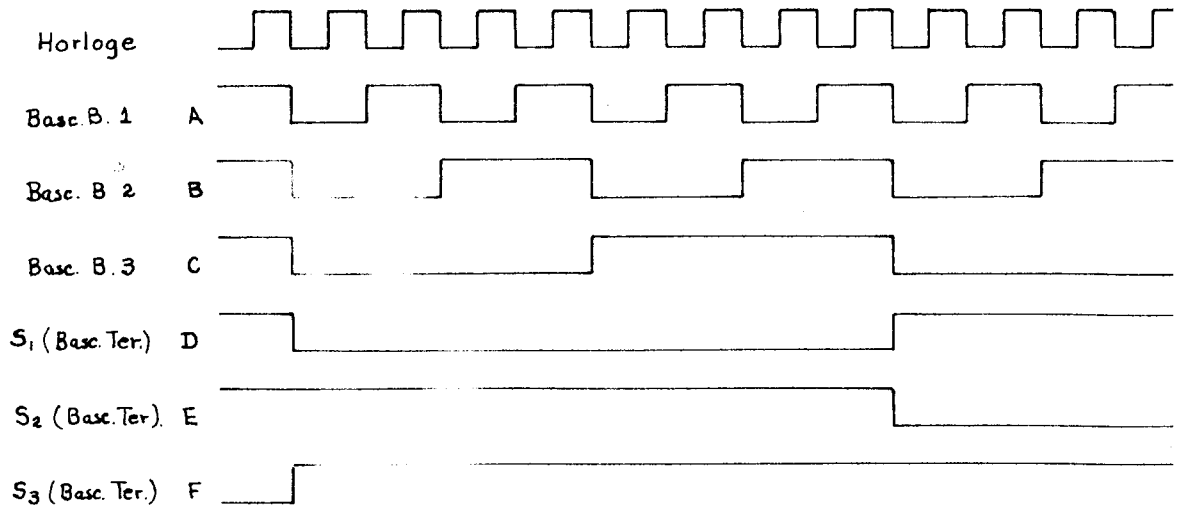


Fig 4-11

...

d. 23 0 1 2 3 4 5 6 7 8 9 10 11

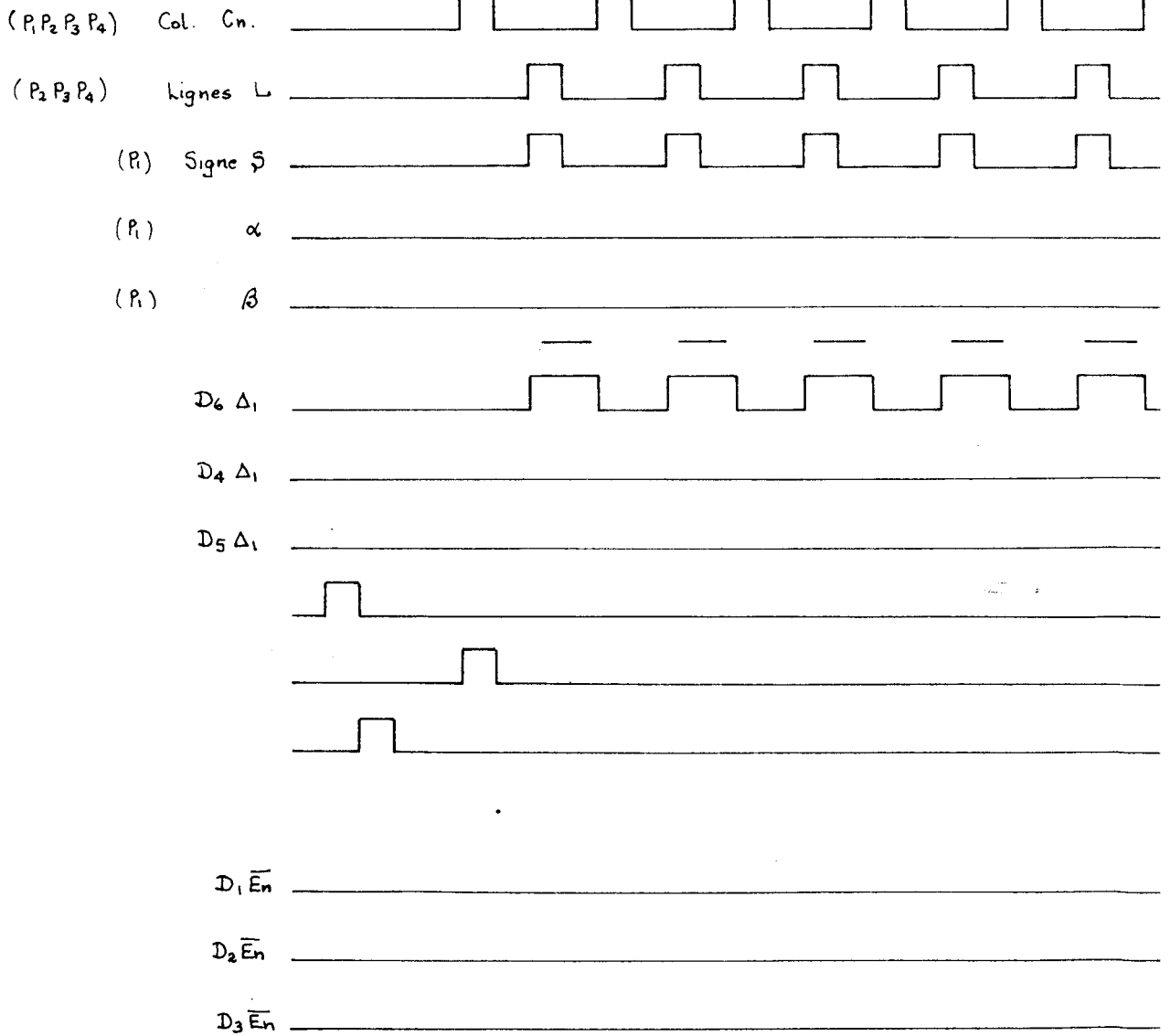


$\Delta_2 = \bar{\Delta}_1$

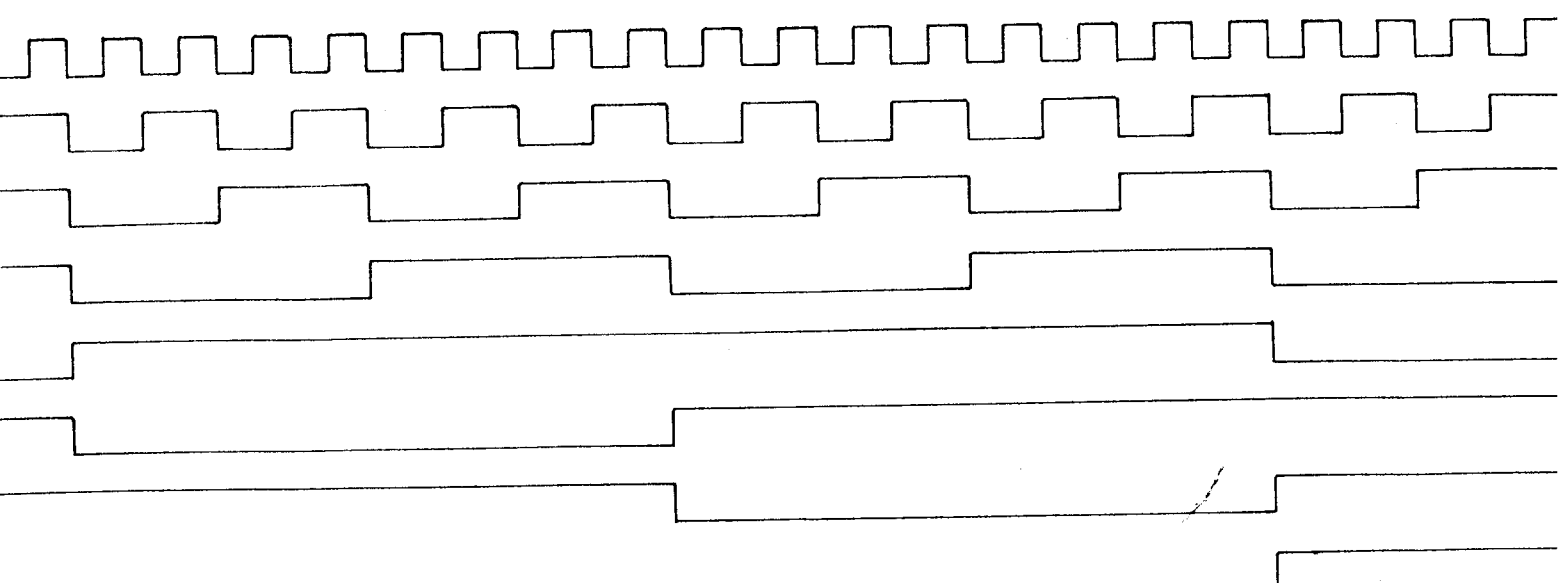
Pistes de Programme P<sub>1</sub>  
P<sub>2</sub>  
P<sub>3</sub>  
P<sub>4</sub>

$\Delta I_y (n+1)$										
1	5	1	5	1	5	1	5	1	5	1
2	5	2	5	2	5	2	5	2	5	2
3	6	3	6	3	6	3	6	3	6	3
4	7	4	7	4	7	4	7	4	7	4

Adresses d'extraction pour Reg. (n+1)





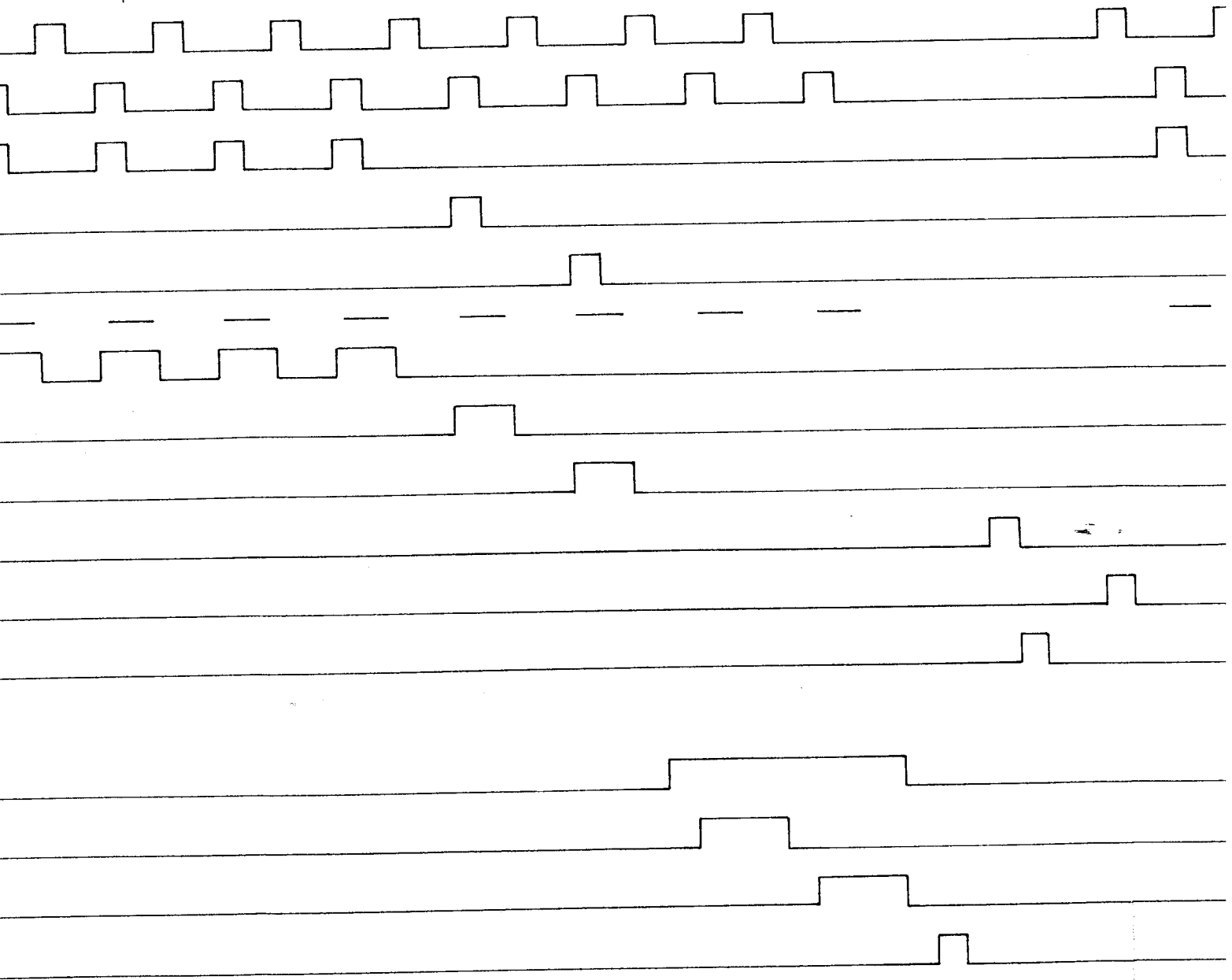


Iy (n+1)						Ix (n+1)		Iv (n+1)		Iz (n-1)		IRv (n-1)	
1	5	1	5	1	5	1	$\alpha$	1	$\beta$	1		1	
2	5	2	5	2	5	2	5	2	5	2	5	2	5
3	6	3	6	3	6	3	6	3	6	3	6	3	6
4	7	4	7	4	7	4	7	4	7	4	7	4	7

Incré		
1		
2	5	
3	6	
4	7	

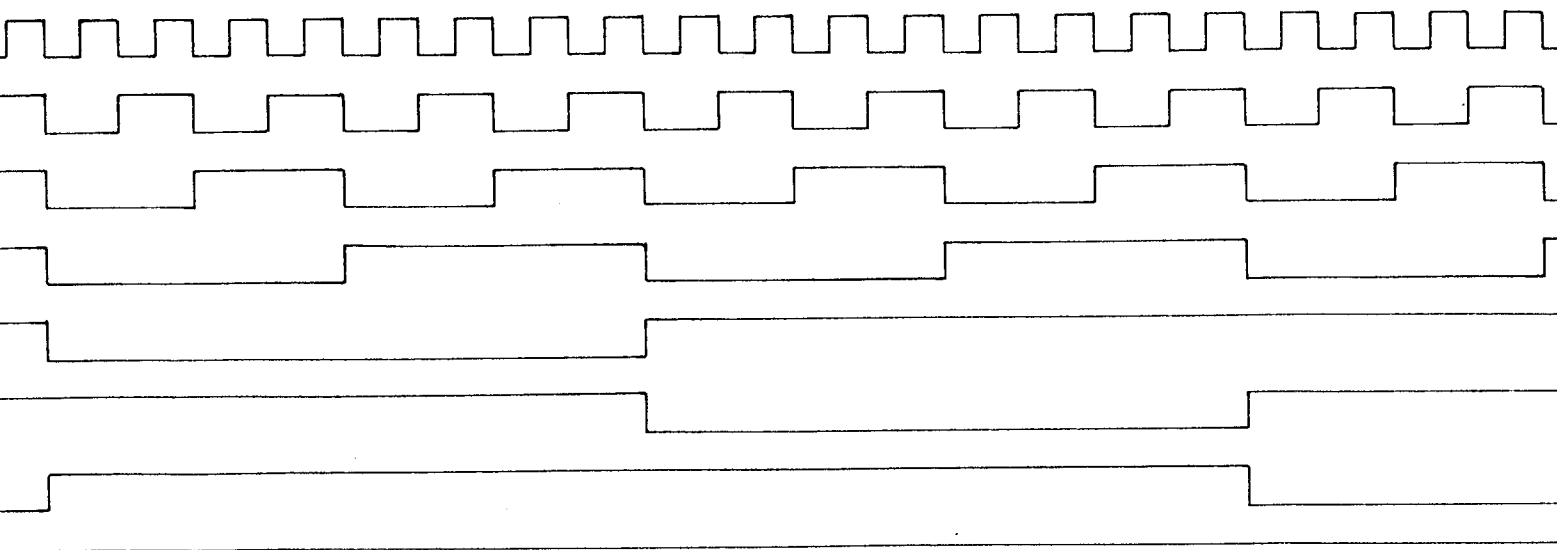
extraction pour Reg. (n+1)

Ad. de rangement



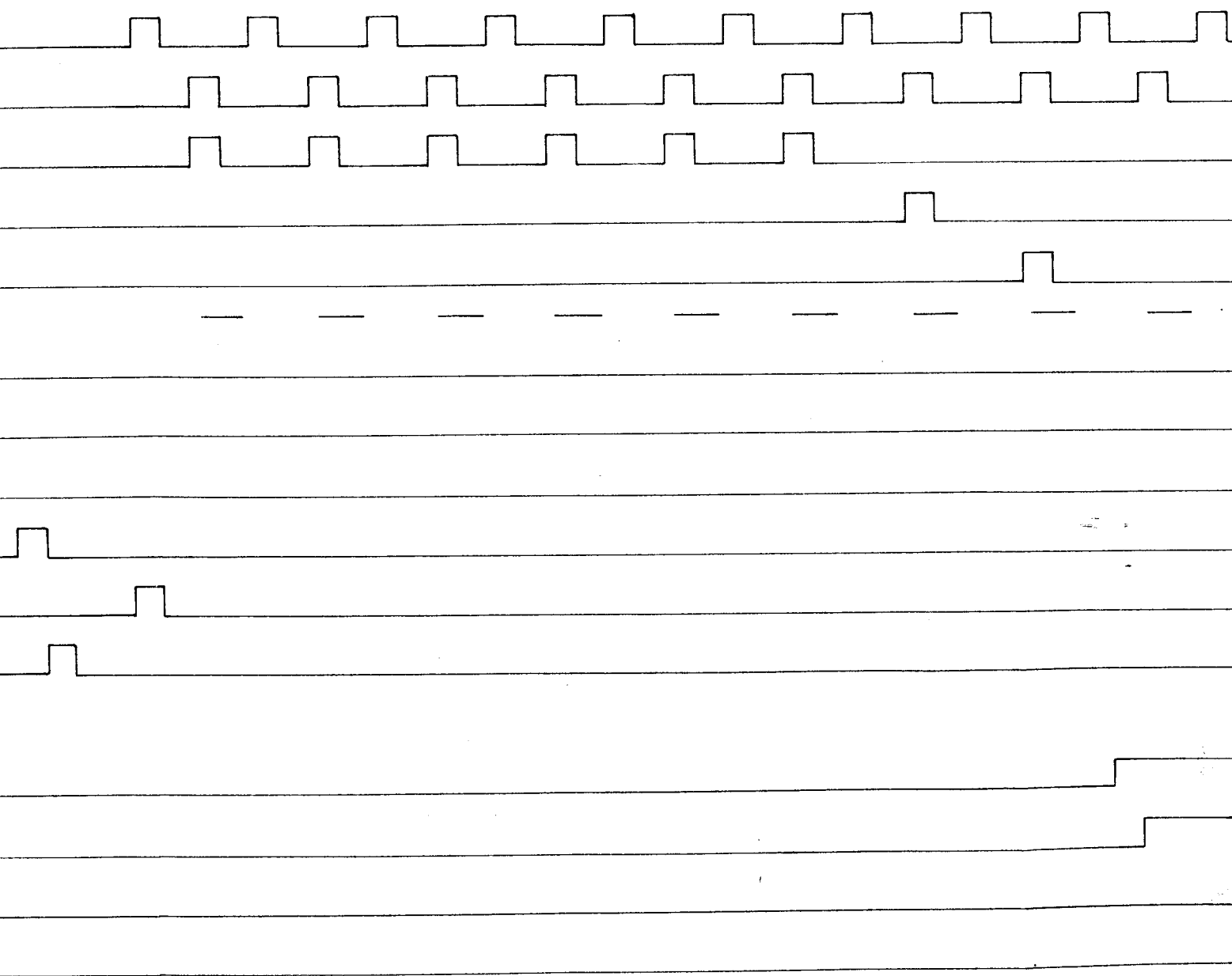


23 0 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 17 18 19

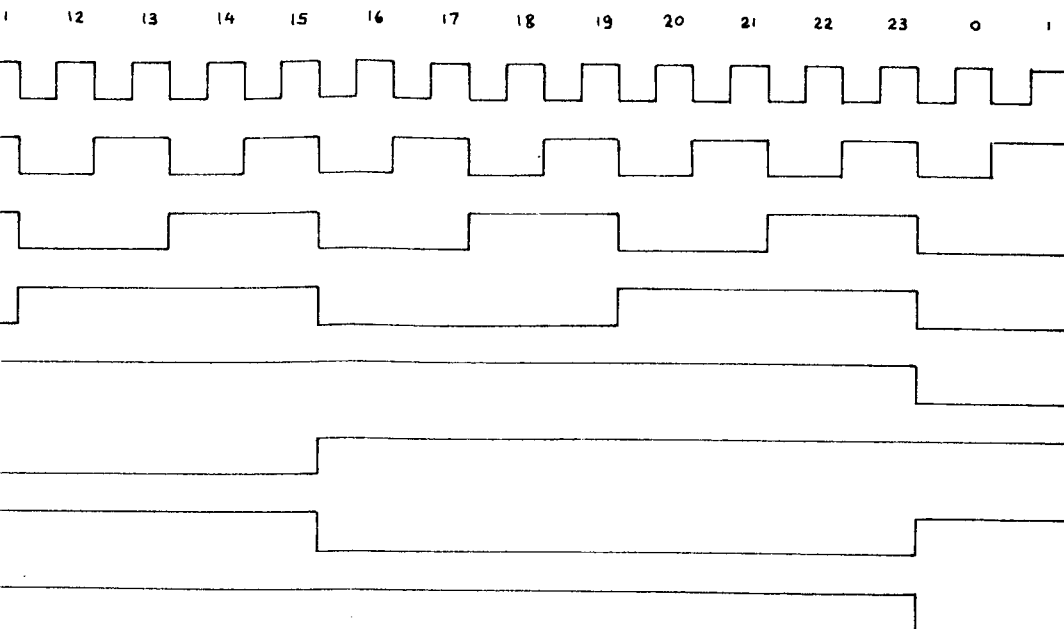


Incréments de sortie

Incréments de sortie								Iz (n-1)		Iku (n)
1		1		1		1		1		1
2	5	2	5	2	5	2	5	2	5	2
3	6	3	6	3	6	3	6	3	6	3
4	7	4	7	4	7	4	7	4	7	4

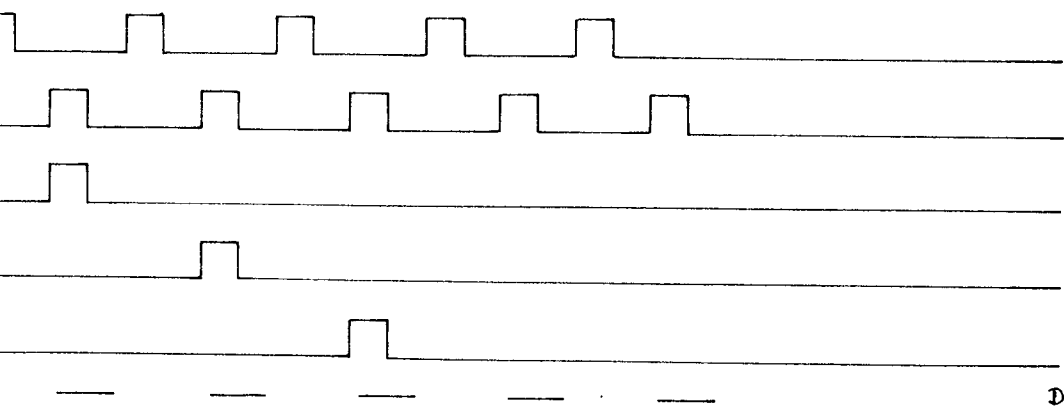




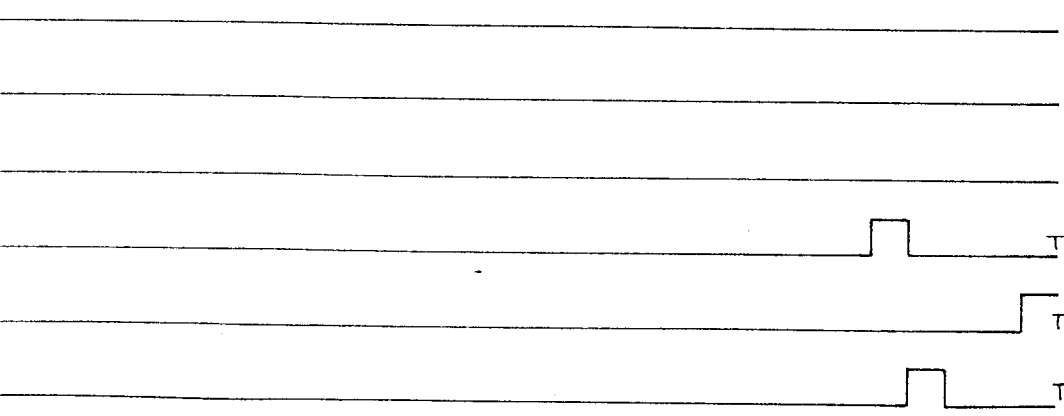


$I_z(n-1)$		$I_{kv}(n-1)$	
1		1	
2	5	2	5
3	6	3	6
4	7	4	7

(Reg. 44)



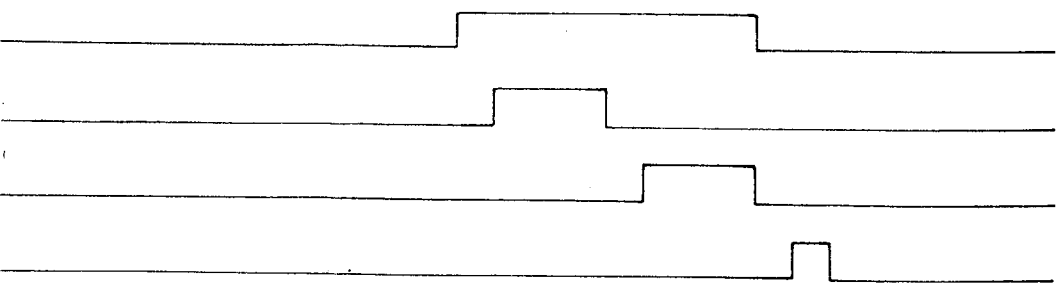
Declenchement selection. Memoire des Incr.



Transfert des  $\Sigma \Delta y$  (Entrée Integr-Comp.)

Transfert de  $I_x$  (Entrée Integr-Comp.)

Transfert de  $\alpha$  (Formule) et  $\beta$  (Integr-Comp)



Entrées Memoire des Incr.

Entrée Incréments  $I_z$

Entrée Incréments  $I_{kv}$

RAZ. Bascules de sortie Integr-Multip.

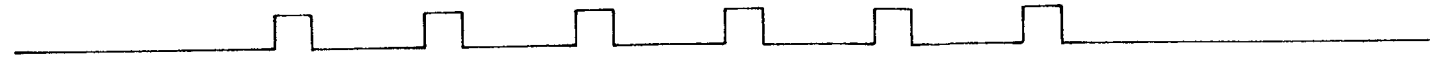




Lignes L



Signe S



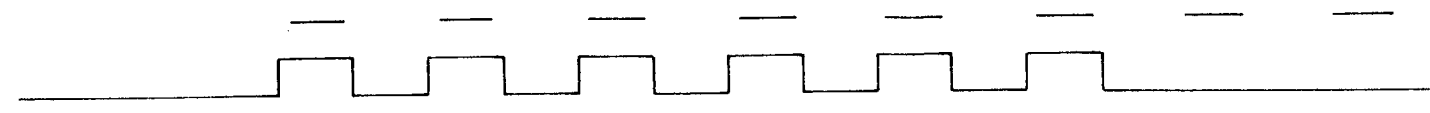
$\alpha$



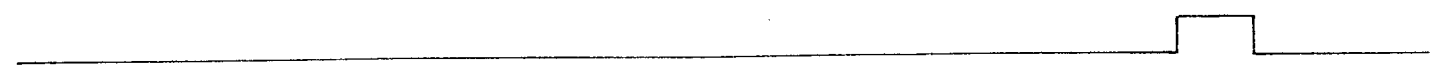
$\beta$



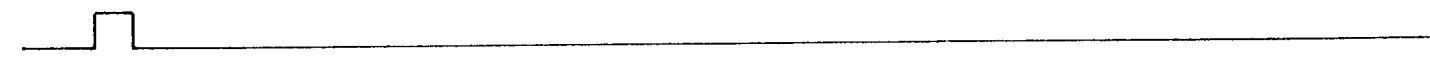
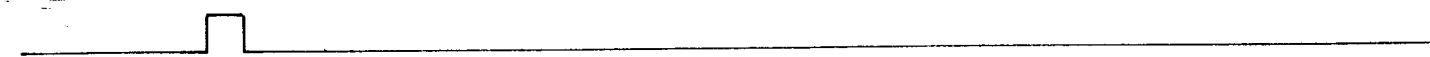
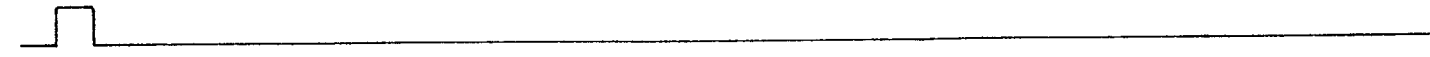
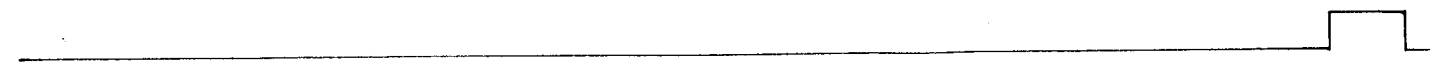
D<sub>6</sub> Δ<sub>1</sub>



D<sub>4</sub> Δ<sub>1</sub>



D<sub>5</sub> Δ<sub>1</sub>



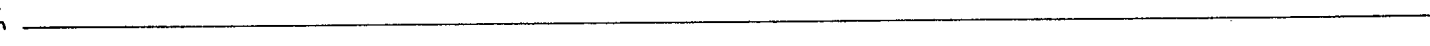
D<sub>1</sub>  $\bar{E}_n$



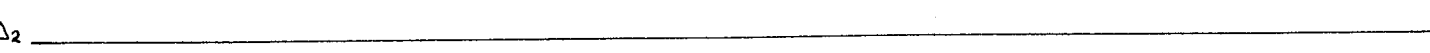
D<sub>2</sub>  $\bar{E}_n$



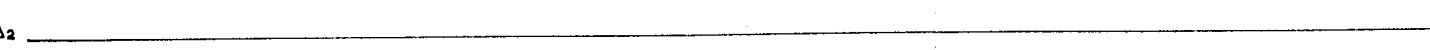
D<sub>3</sub>  $\bar{E}_n$



D<sub>7</sub> Δ<sub>2</sub>



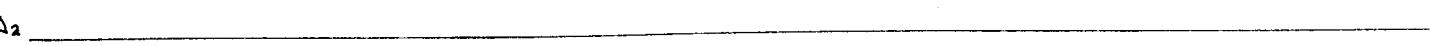
D<sub>8</sub> Δ<sub>2</sub>



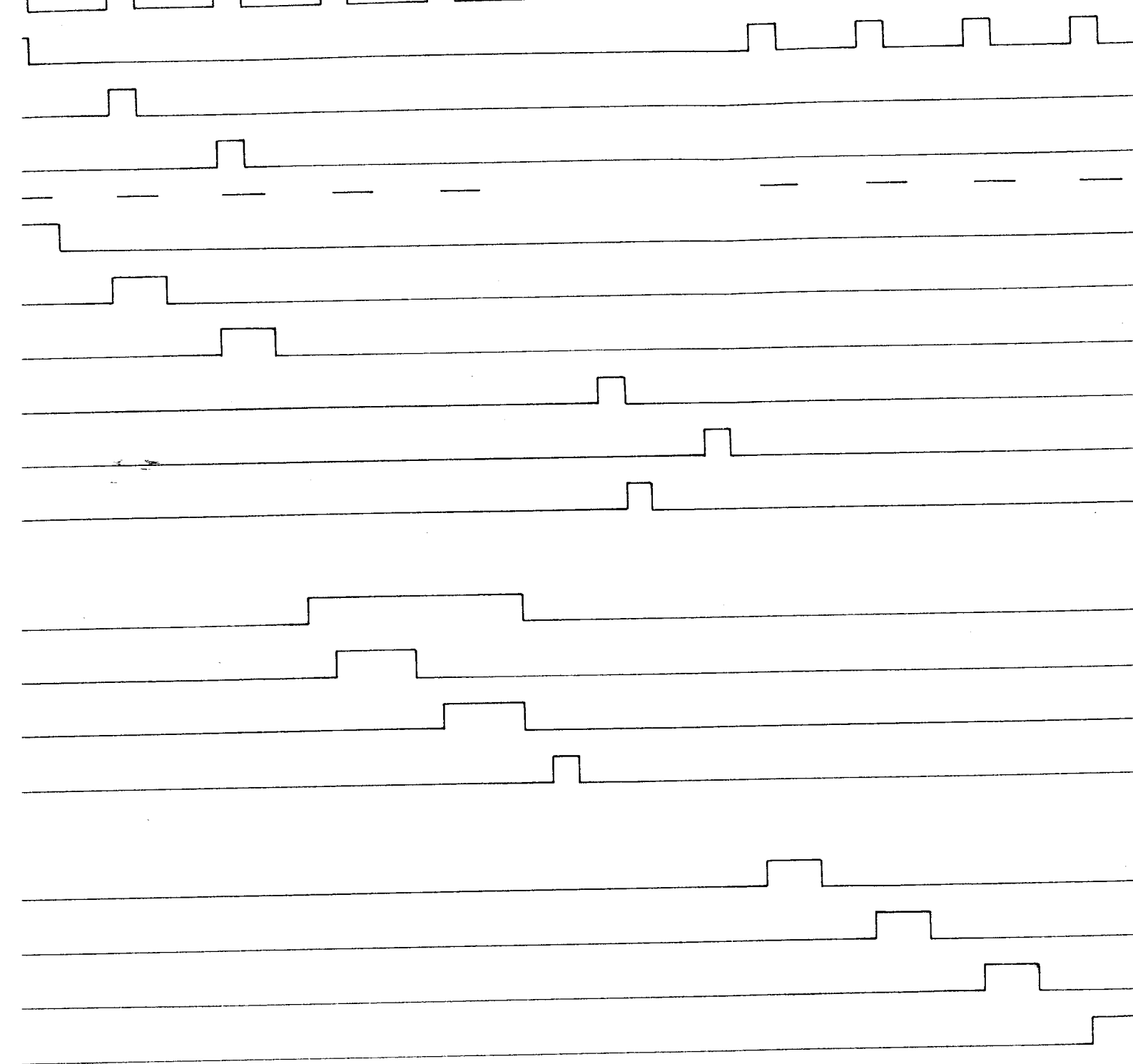
D<sub>9</sub> Δ<sub>2</sub>



D<sub>10</sub> Δ<sub>2</sub>









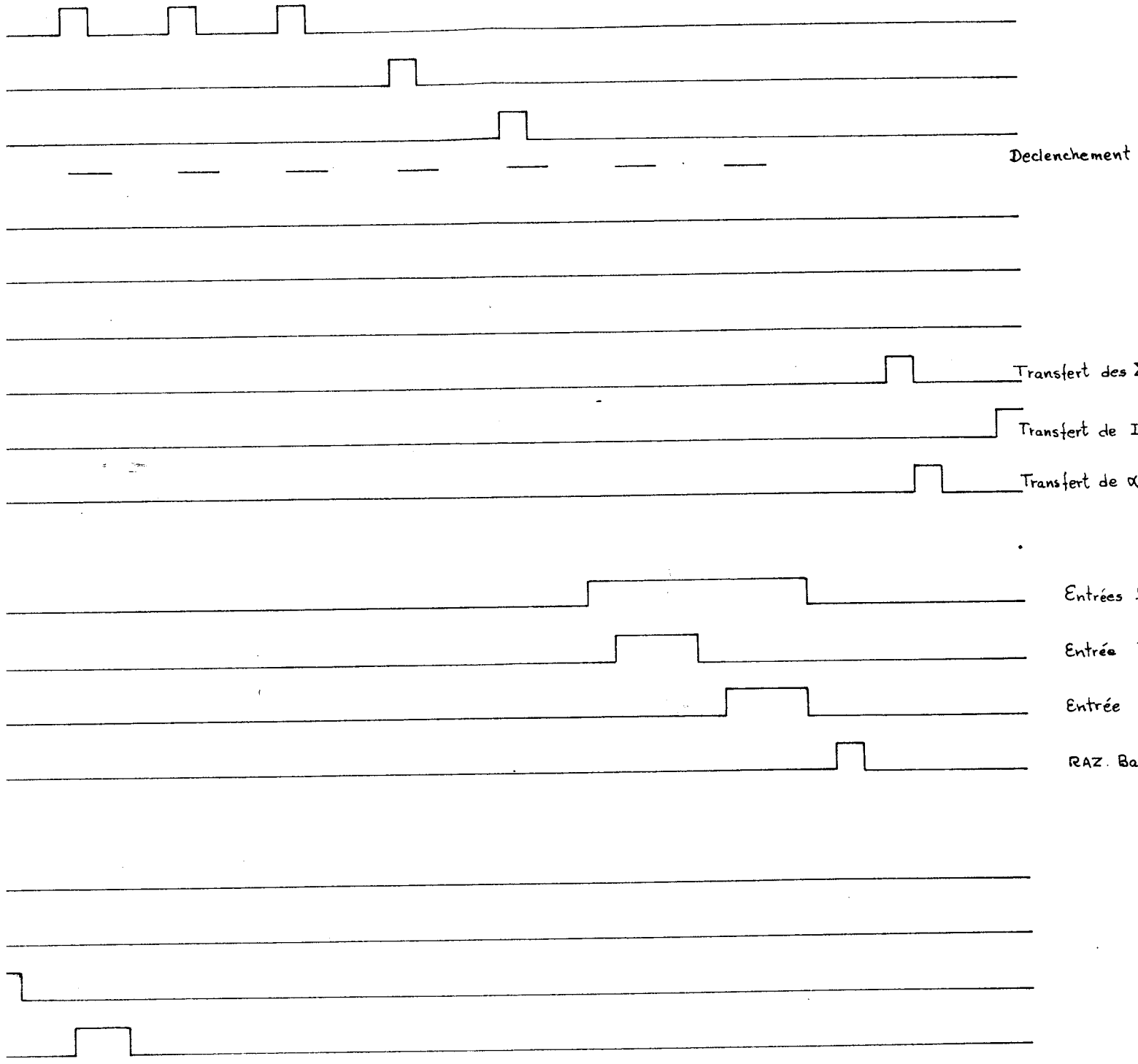
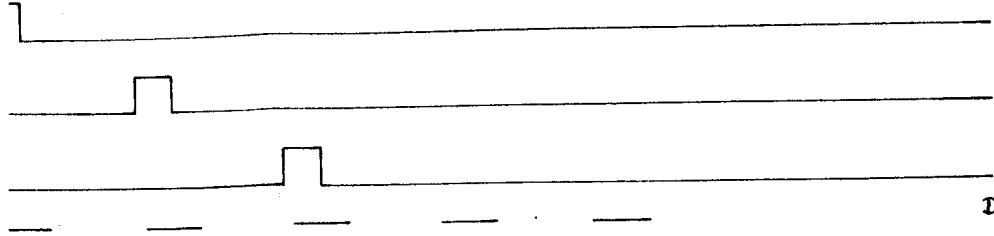
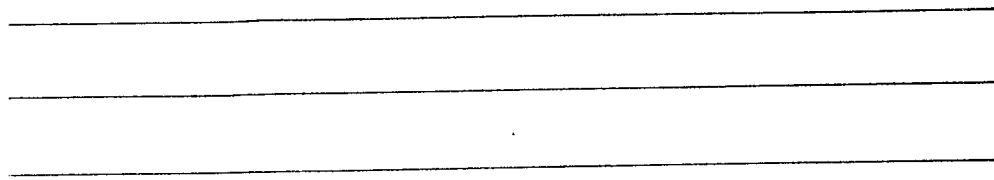


TABLEAU DE SYNCHRONIS





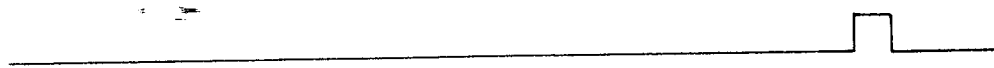
Declenchement selection. Memoire des Incr.



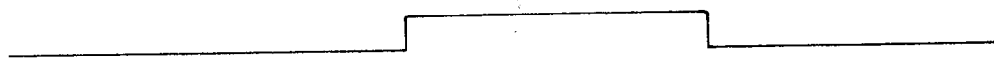
Transfert des  $\Sigma \Delta y$  (Entrée Integr-Comp.)



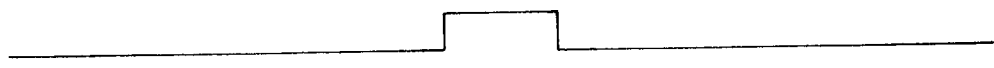
Transfert de  $I_x$  (Entrée Integr-Comp.)



Transfert de  $\alpha$  (Formule) et  $\beta$  (Integr-Comp)



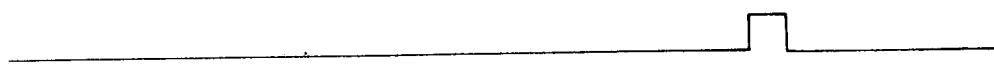
Entrées Memoire des Incr.



Entrée Incréments  $I_z$



Entrée Incréments  $I_{zu}$



RAZ. Bascules de sortie Integr-Multip.

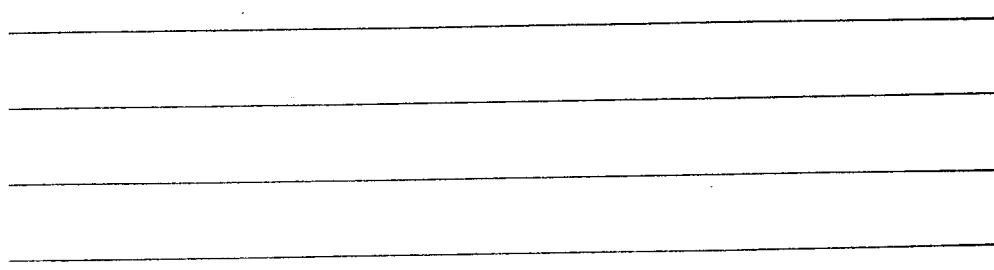


TABLEAU DE SYNCHRONISATION  
A.D.D.



- b) Le changement du signe de l'incrément  $I_y$  est indiqué sur le programme, à côté de l'adresse d'extraction.
- c) Pour les incréments de sortie, on a choisi le dernier registre (44) sur lequel 4 adresses d'extraction permettront de repérer la valeur de 4 incréments mis en mémoire à chaque pas de calcul.

Pour son étude, on peut diviser le tableau de synchronisation en deux parties.

La première partie est le repérage des registres et le décodage de chacun des 24 digits qui composent le mot.

La deuxième partie est la commande proprement dite de la mémoire des incréments.

### Première Partie

Partie supérieure du tableau qui représente le comptage des impulsions enregistrées dans la piste d'horloge. Puisque chaque registre est composé de 24 digits, le comptage est réalisé à l'aide de 3 bascules binaires et d'une bascule ternaire.

Ceci évite l'emploi du circuit de remise à zéro qui risque, habituellement, de produire des aléas.

On a donc la possibilité de décodage de tous les digits du mot à partir des 6 sorties des bascules binaires et des trois sorties provenant de la bascule ternaire.

La sortie F de la bascule ternaire attaque le comptage des registres réalisé par 7 bascules binaires. Ce comptage est fait dans le code décimal-codé-binaire, cela fait donc 7 positions (4 pour les unités et 3 pour les dizaines) pour les 44 registres.

Le décodage continu du registre 44 (dernier) donne le signal  $\Delta_2$  qui, comme on le verra plus tard commande les portes d'émission des incréments de sortie.

### Deuxième Partie

C'est donc la commande de la mémoire des incréments. Les pistes de programme, où les adresses d'extraction et de rangement des incréments sont inscrites, défilent devant leurs têtes de lecture.

La capacité maximale de cette mémoire doit être de 44 positions pour les Iz, et autant pour Iku ; donc, on a placé 128 positions accessibles moyennant une matrice de décodage. Cette matrice comporte ainsi 16 "colonnes" et 8 "lignes" qui peuvent être représentées par 4 et 3 positions binaires respectivement.

C'est ainsi qu'une adresse d'extraction ou de rangement est codée sur 7 positions binaires avec une position binaire qualificative du signe d'extraction.

Le fait d'avoir 4 pistes de programme simplifie cette codification car, tout en lisant les 4 pistes en même temps, une adresse comporte deux temps élémentaires d'horloge.

P1	1	S	
P2	2	5	
P3	3	6	
P4	4	7	
	Col.	Lig.	

← sens de défilement

...

Fig 4-12

Le programme complet est représenté par la figure suivante :

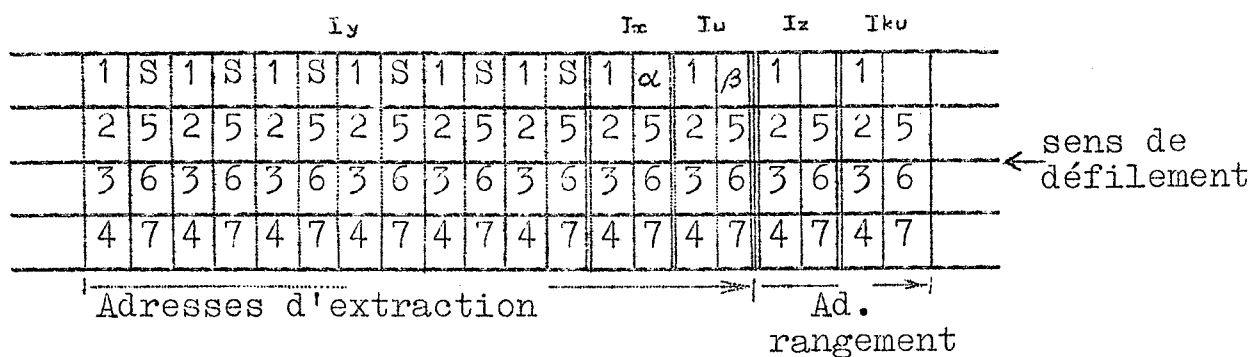


Fig 4-13

Il comporte :

- les adresses d'extraction de :

- 6 incréments I<sub>y</sub> extraits avec possibilité de changement de signe.
- 1 incrément I<sub>x</sub> (variable indépendante)
- 1 incrément I<sub>u</sub> d'entrée du multiplieur.

- et les adresses de rangement de :

- 1 incrément I<sub>z</sub> ou I<sub>c</sub> issu du Intégrateur-Comparateur.
- 1 incrément I<sub>ku</sub> issu du multiplieur.

et, en plus, deux positions dans la première piste ( $\alpha$  et  $\beta$ ), deux lettres de fonction.

$$\alpha \begin{cases} \alpha = 0 & \text{fonctionnement en Intégrateur} \\ \alpha = 1 & \text{fonctionnement en Comparateur} \end{cases}$$

$$\beta \begin{cases} \beta = 0 & \text{intégrateur formule I} \\ \beta = 1 & \text{intégrateur formule II.} \end{cases}$$

Pour décoder ces adresses, il faut une commande d'aiguillage de la lecture des pistes vers la matrice respective de décodage. Ainsi, "colonnes"  $C_n$ , "lignes"  $L_n$ , "signe"  $S$ ,  $\alpha$  et  $\beta$  représentés sur le tableau sont des signaux qui contrôlent la suite de décodage du programme dans la mémoire.

$D_1$   $D_2$   $D_3$  sont les signaux de commande des entrées de la mémoire.

$D_1$  évite la réécriture des incréments mis en mémoire, d'où l'effacement préalable avant une nouvelle écriture.

$D_2$  et  $D_3$  sont les portes d'entrée des incréments pour leur inscription dans la mémoire.

En  $D_2$  sont inscrits les incréments venant de l'Intégrateur-Comparateur et en  $D_3$  ceux qui proviennent du Multiplieur.

Puisque le système de lecture des incréments gardés en mémoire est unique (Réf. 4 Thèse M. PAYAN), son information doit être aussi aiguillée vers les différentes voies, selon la nature et l'origine de ces incréments.

Ainsi,  $D_6$  permet le passage de la lecture des six incréments  $Iy_i$  vers le compteur-décompteur qui réalisera la somme algébrique des  $Iy_i$  ( $\Sigma \Delta y$ )

De même  $D_4$  et  $D_5$  contrôlent le passage des incréments  $Ix$  et  $Iu$  vers leurs mémoires temporaires respectives où ils seront conservés jusqu'à leur transfert vers le bloc de calcul.  $D_{11}$   $D_{12}$  et  $D_{13}$  contrôlent ce transfert.

$D_7$   $D_8$   $D_9$  et  $D_{10}$  ouvrent les portes aux incréments de sortie, pendant le passage du dernier registre.

...

#### 4.9 - Réalisation "logique" du bloc de synchronisation

##### 4.9.1 - Comptage des impulsions d'horloge (schémas 4-1, 4-3)

Ce comptage est réalisé à l'aide de 3 bascules binaires et d'une bascule ternaire. Les études et tableaux d'états correspondants sont dans la section 7-3

##### 4.9.2 - Décodage des 24 impulsions du mot (schémas 4-2, 4-3)

Le décodage a été conçu initialement à diodes, mais la charge excessive sur les "Ni" des bascules de comptage rendait le système inadmissible.

La solution adoptée a été une matrice de décodage à éléments NAND, dans laquelle la charge maximale est devenue égale à 4 éléments.

Ces éléments NAND réalisent la fonction  $\bar{a} + \bar{b}$ , a et b étant les entrées.

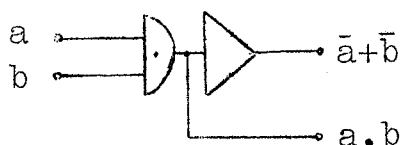
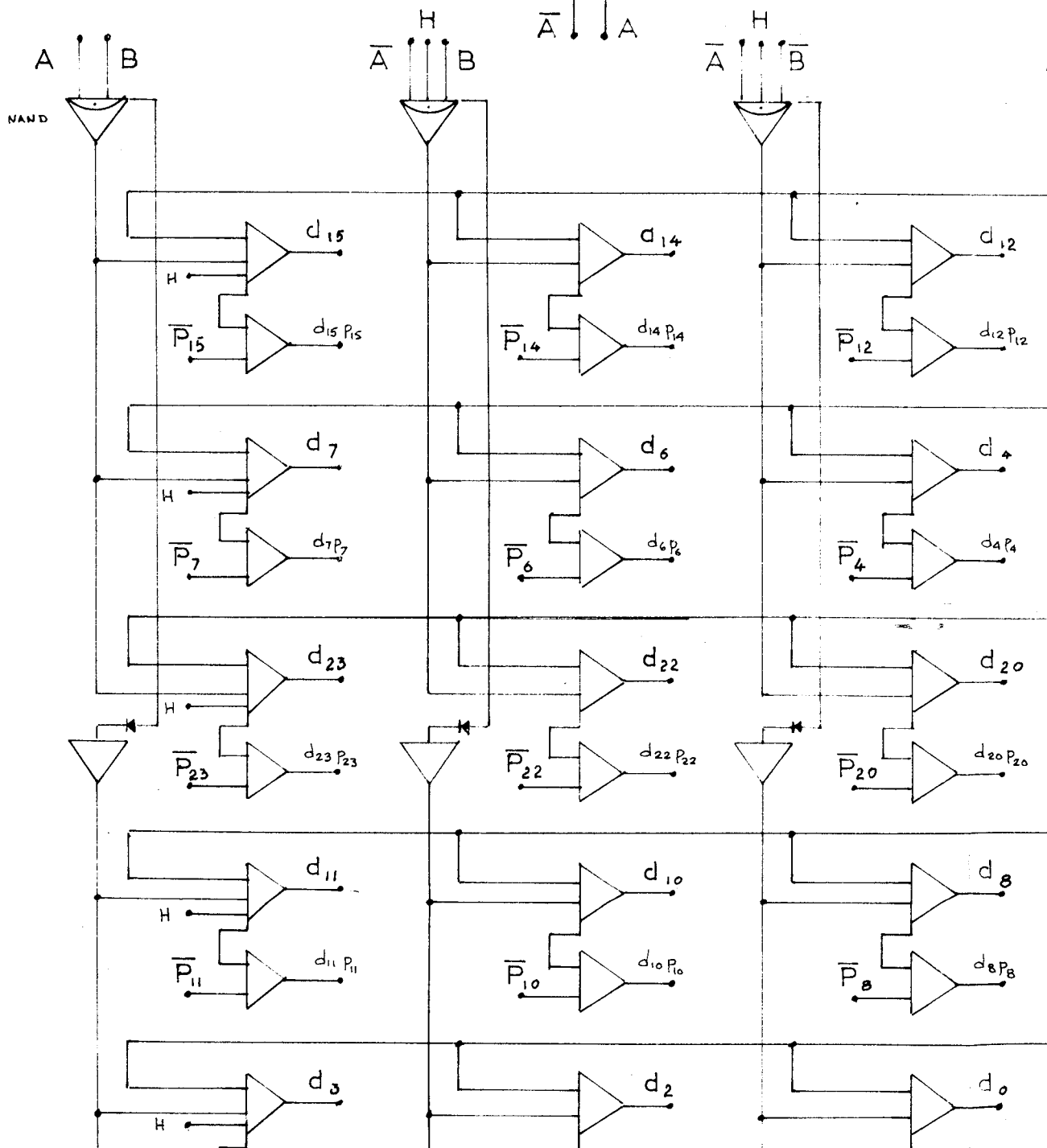
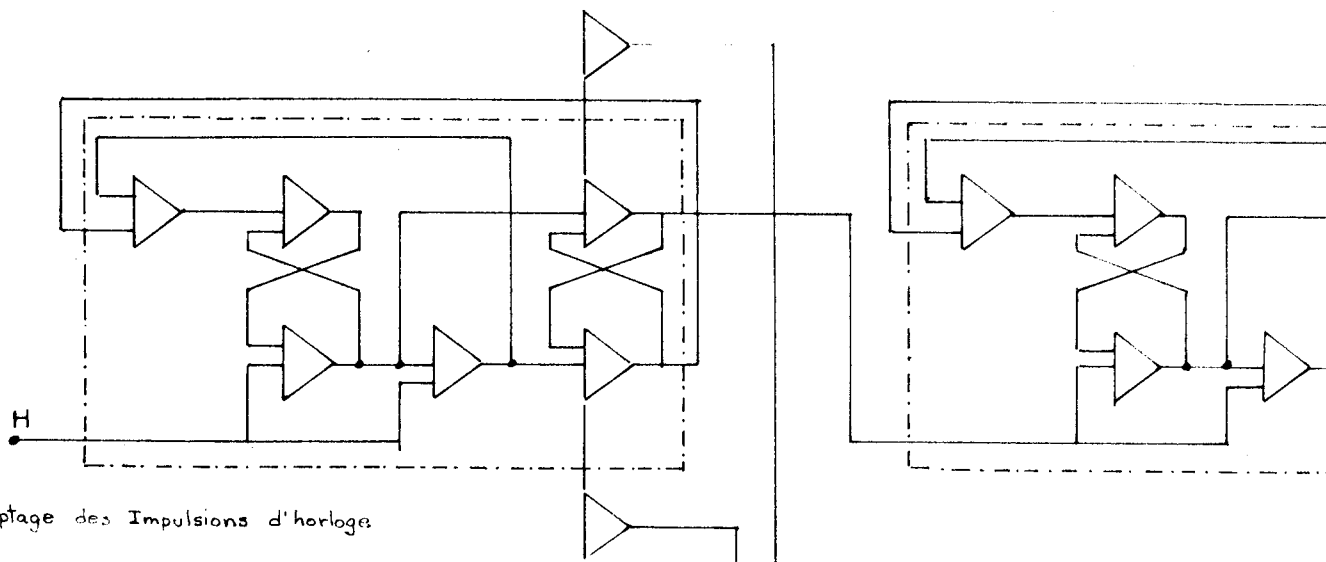
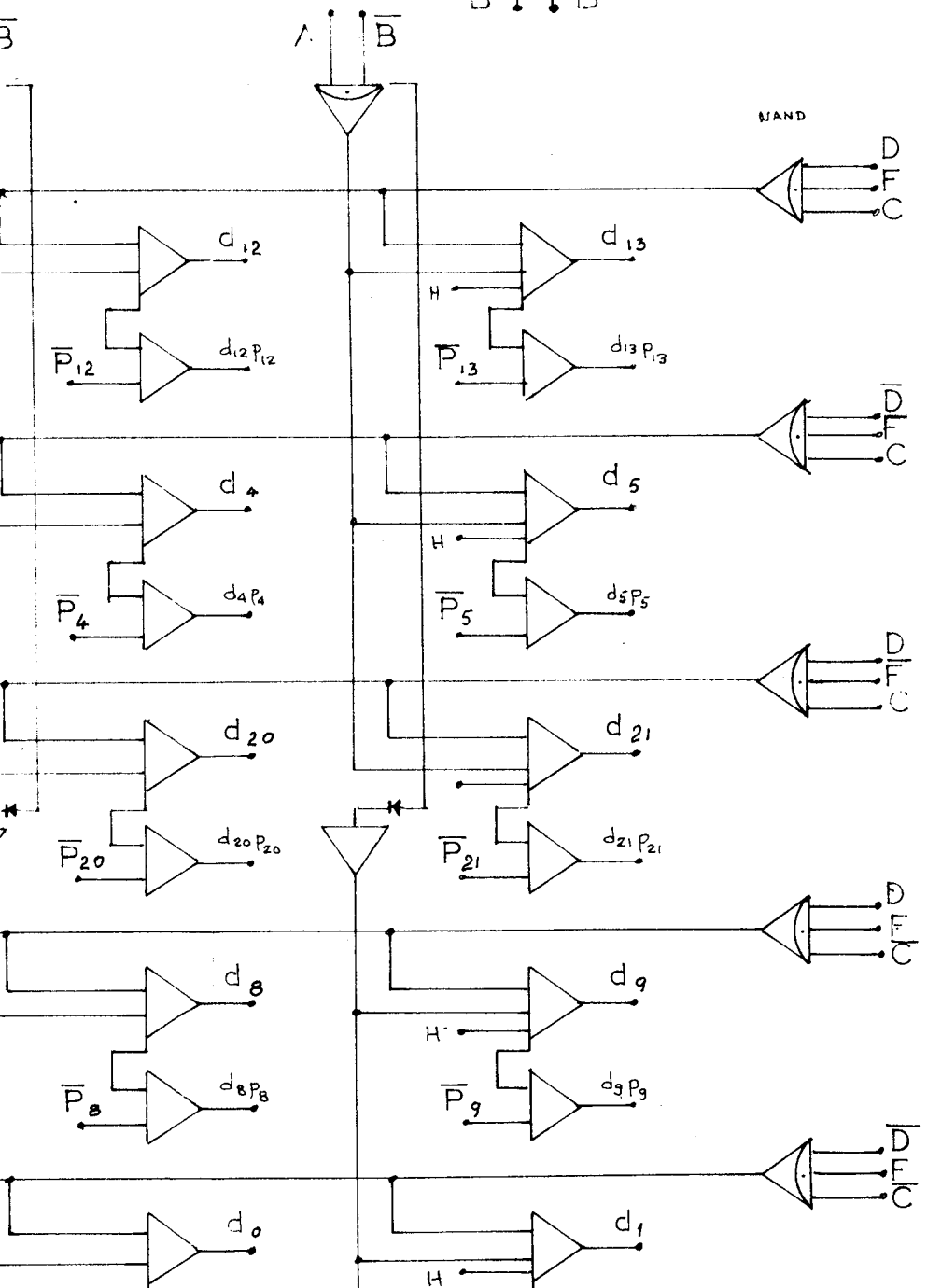
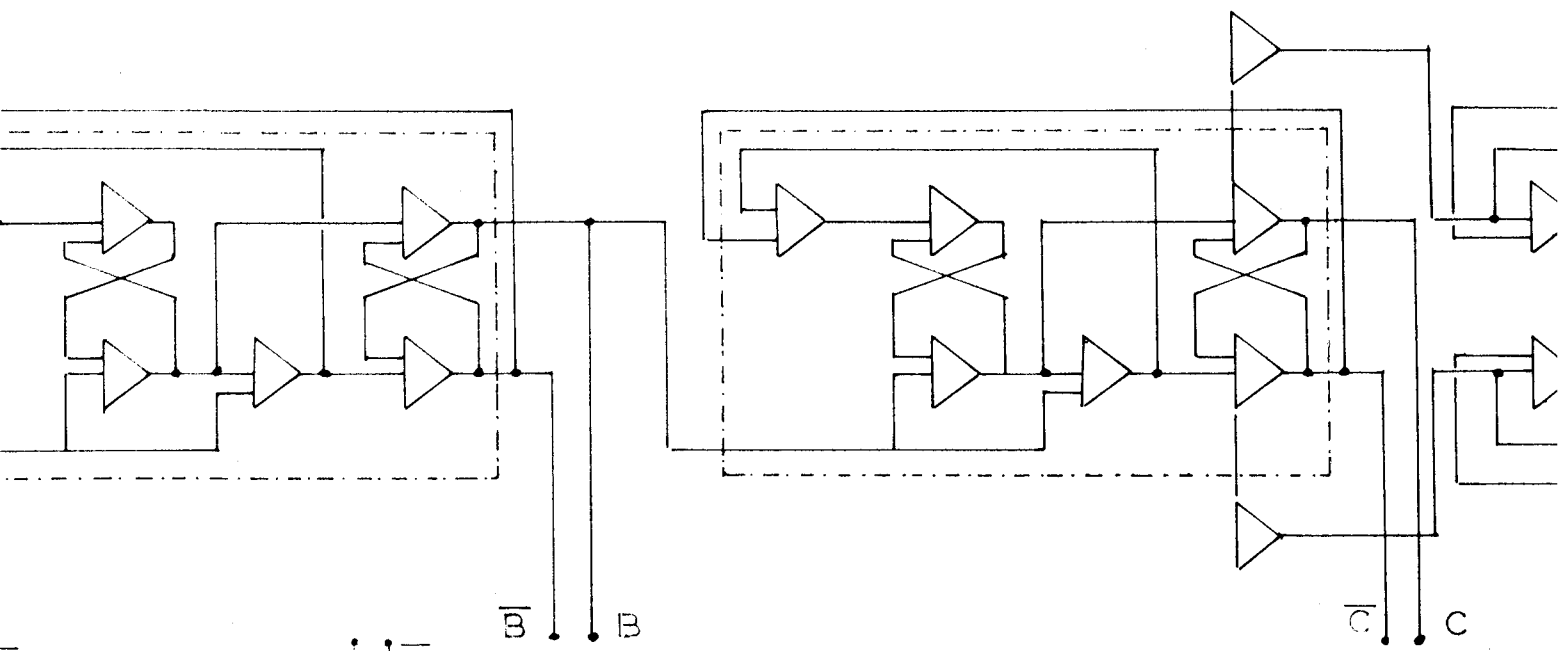


Fig 4-14

Ainsi, le deuxième digit du mot ( $d_1$ ) est décodé à partir des positions  $\bar{A}BCD\bar{F}$  des bascules de comptage.



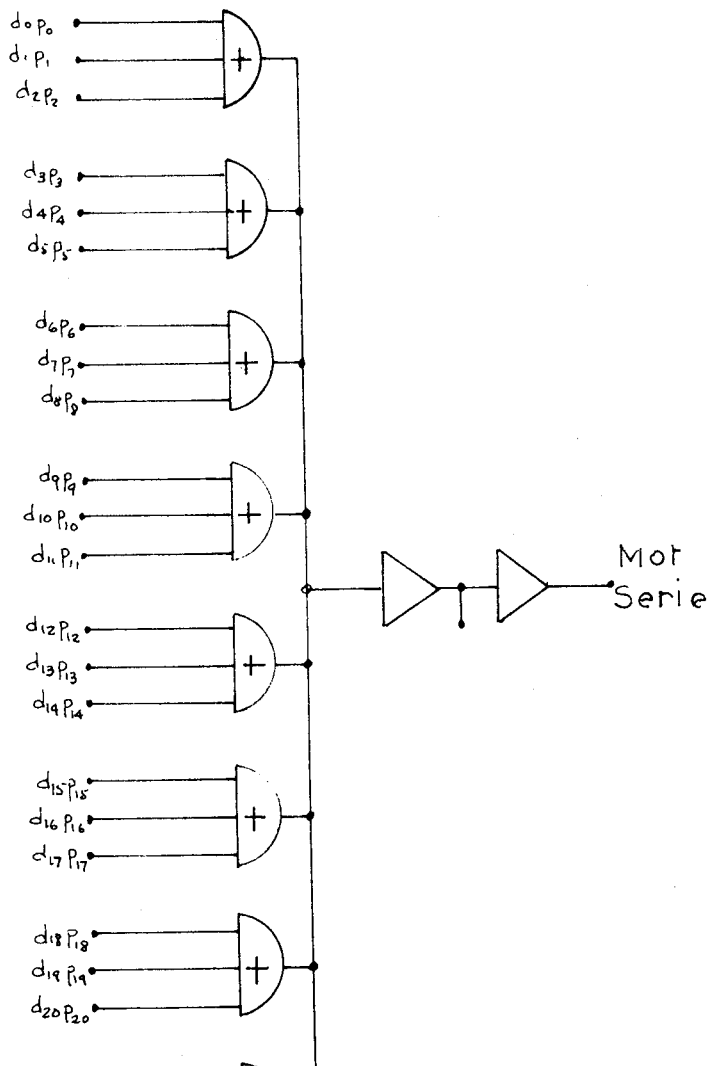
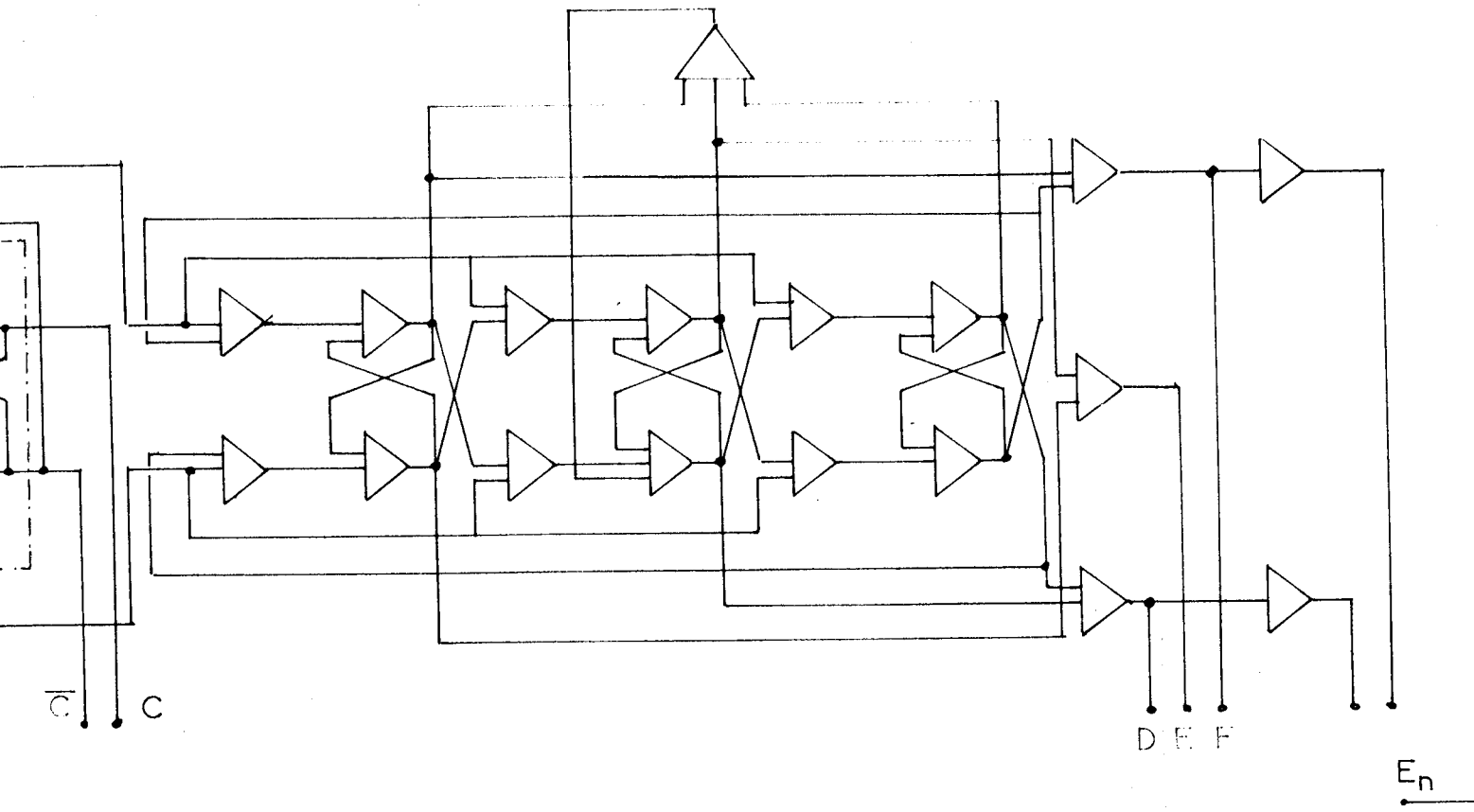




- $d_0 p_0$
- $d_1 p_1$
- $d_2 p_2$
- $d_3 p_3$
- $d_4 p_4$
- $d_5 p_5$
- $d_6 p_6$
- $d_7 p_7$
- $d_8 p_8$
- $d_9 p_9$
- $d_{10} p_{10}$
- $d_{11} p_{11}$
- $d_{12} p_{12}$
- $d_{13} p_{13}$
- $d_{14} p_{14}$
- $d_{15} p_{15}$
- $d_{16} p_{16}$
- $d_{17} p_{17}$
- $d_{18} p_{18}$
- $d_{19} p_{19}$
- $d_{20} p_{20}$
- $d_{21} p_{21}$

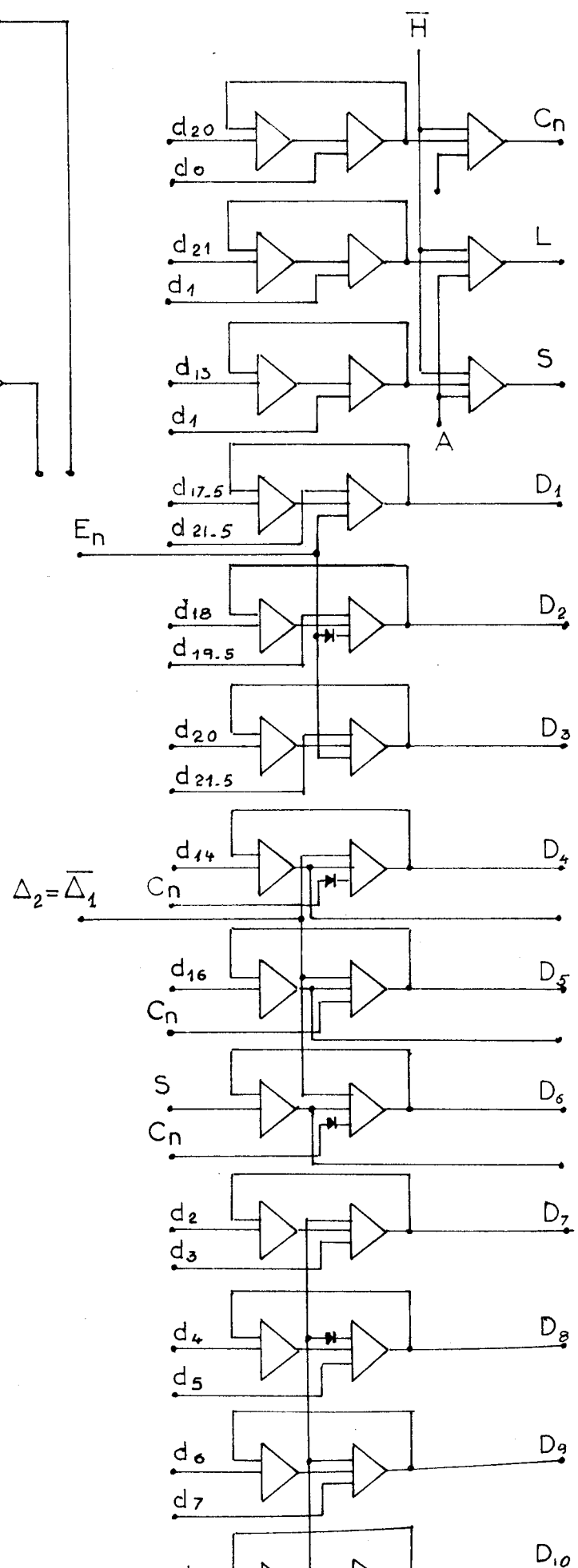
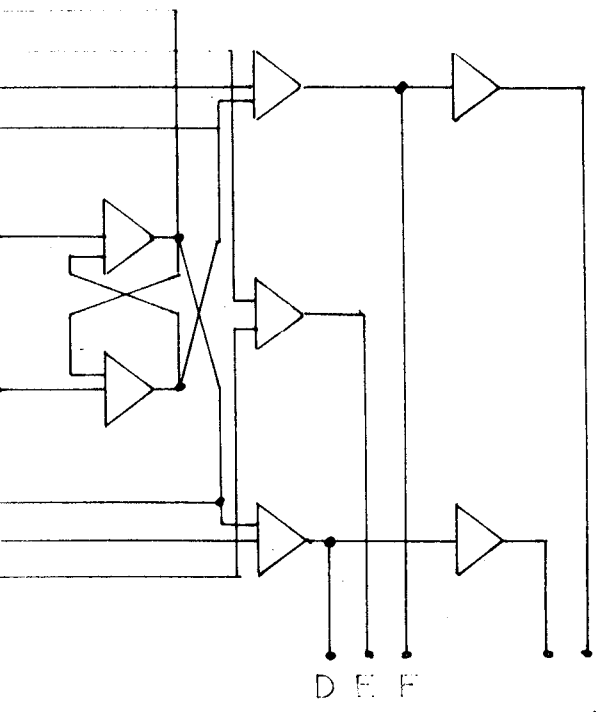




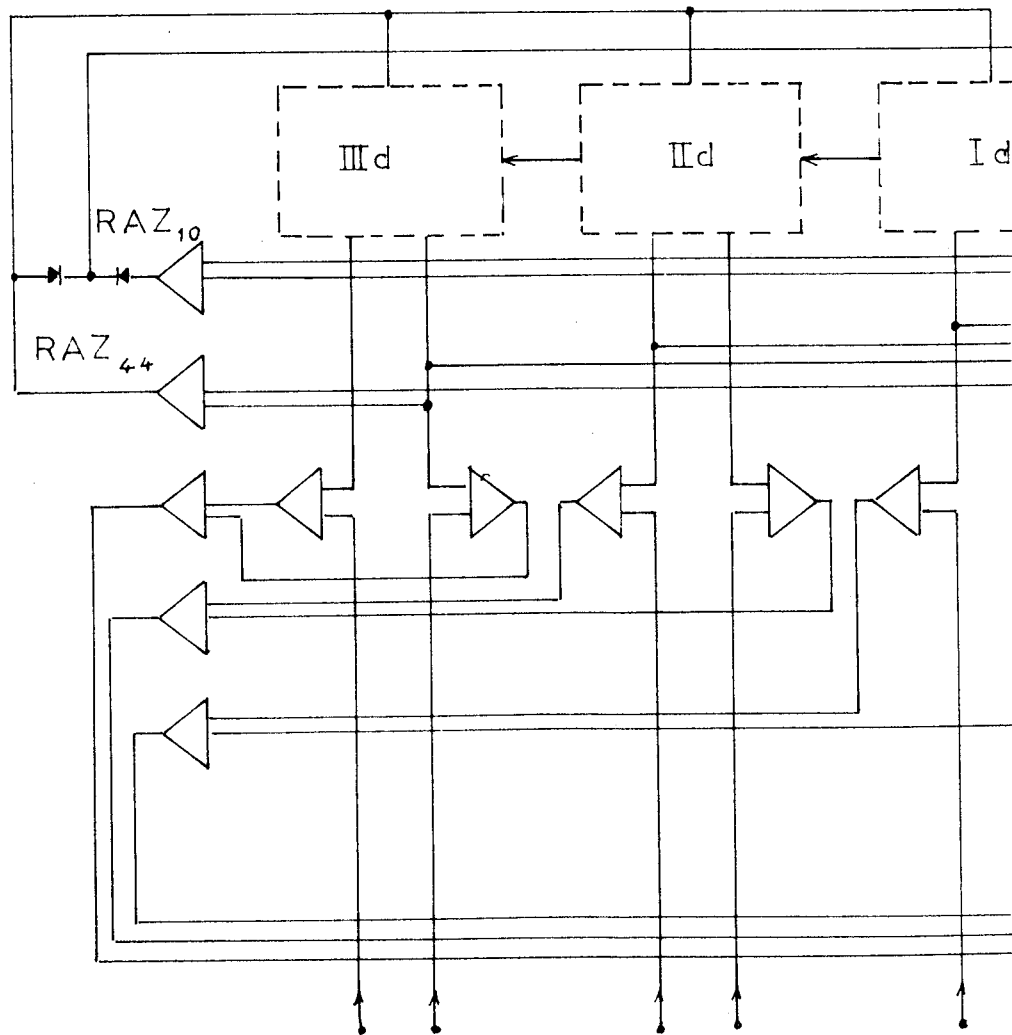
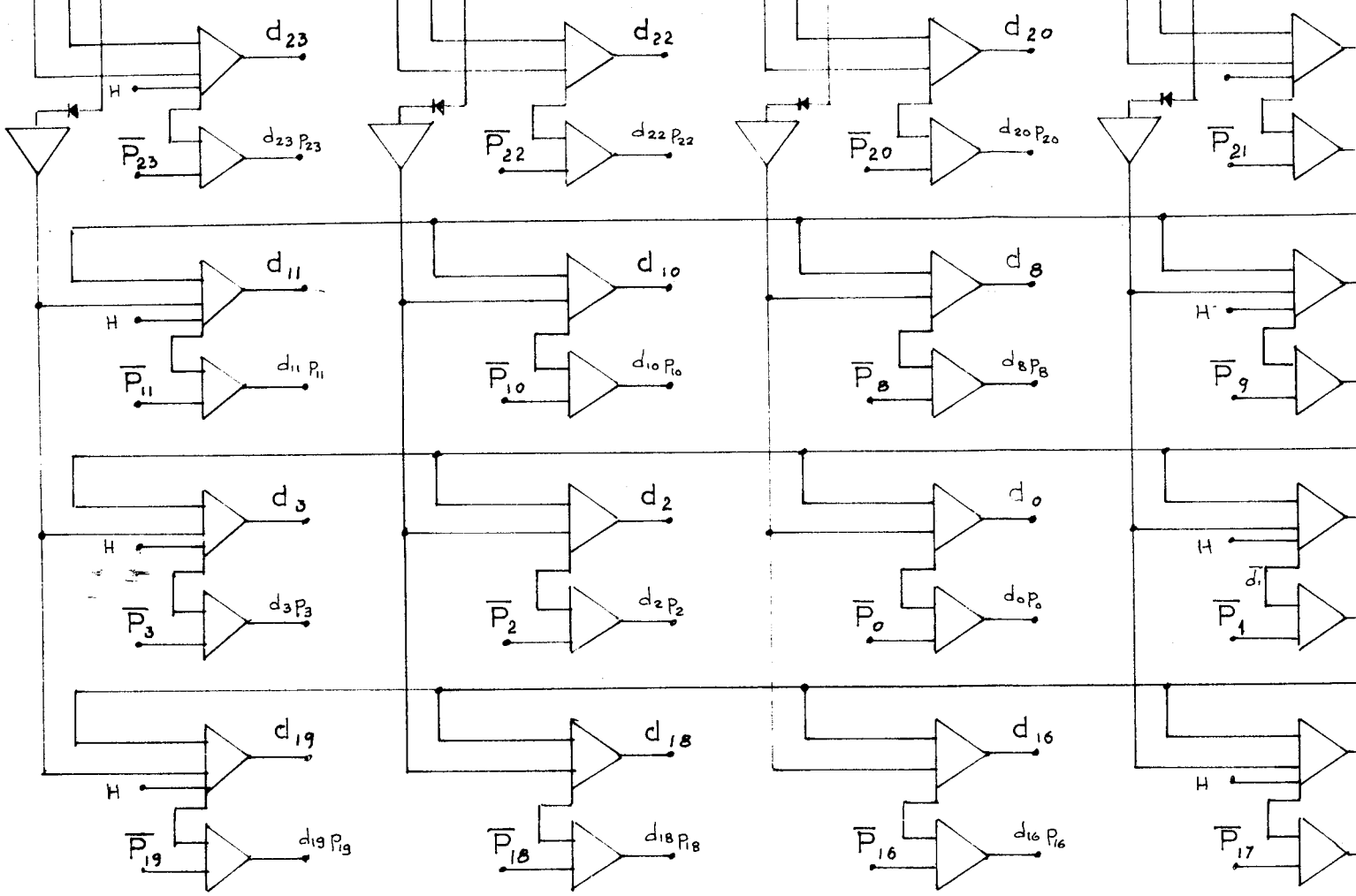


$$\Delta_2 = \overline{\Delta_1}$$











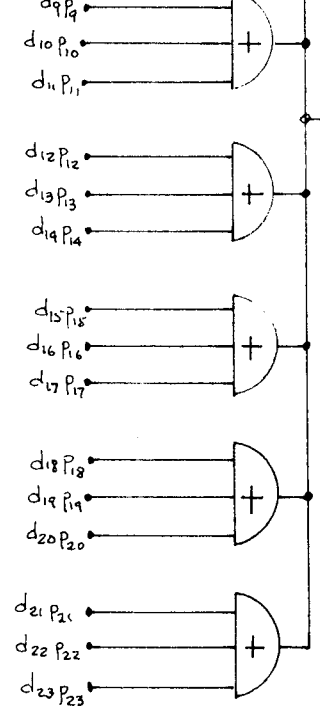
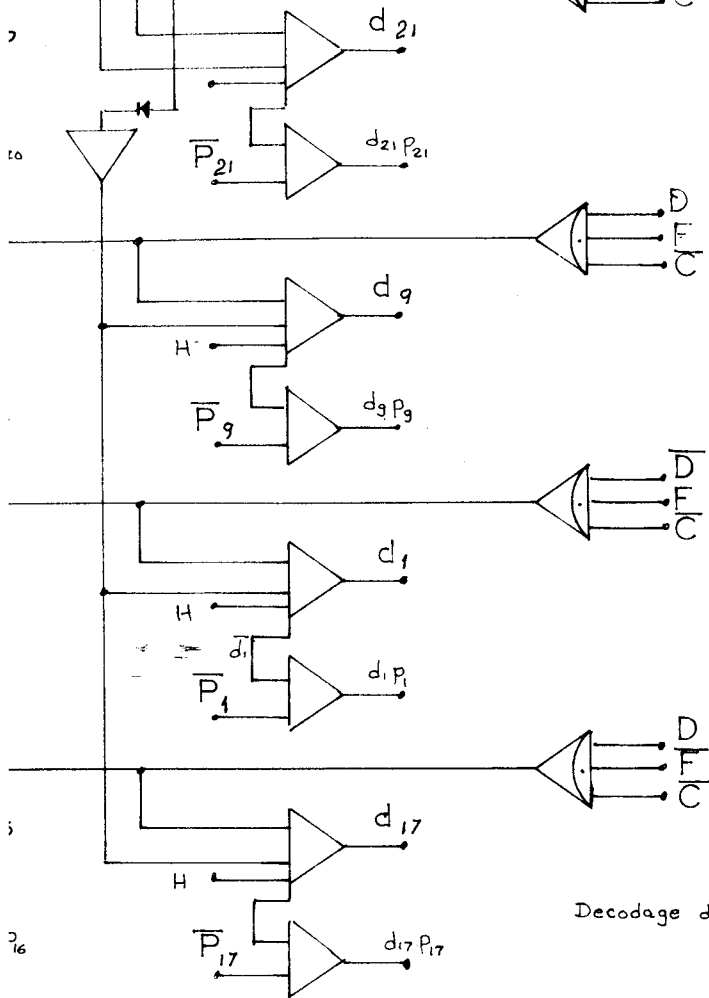
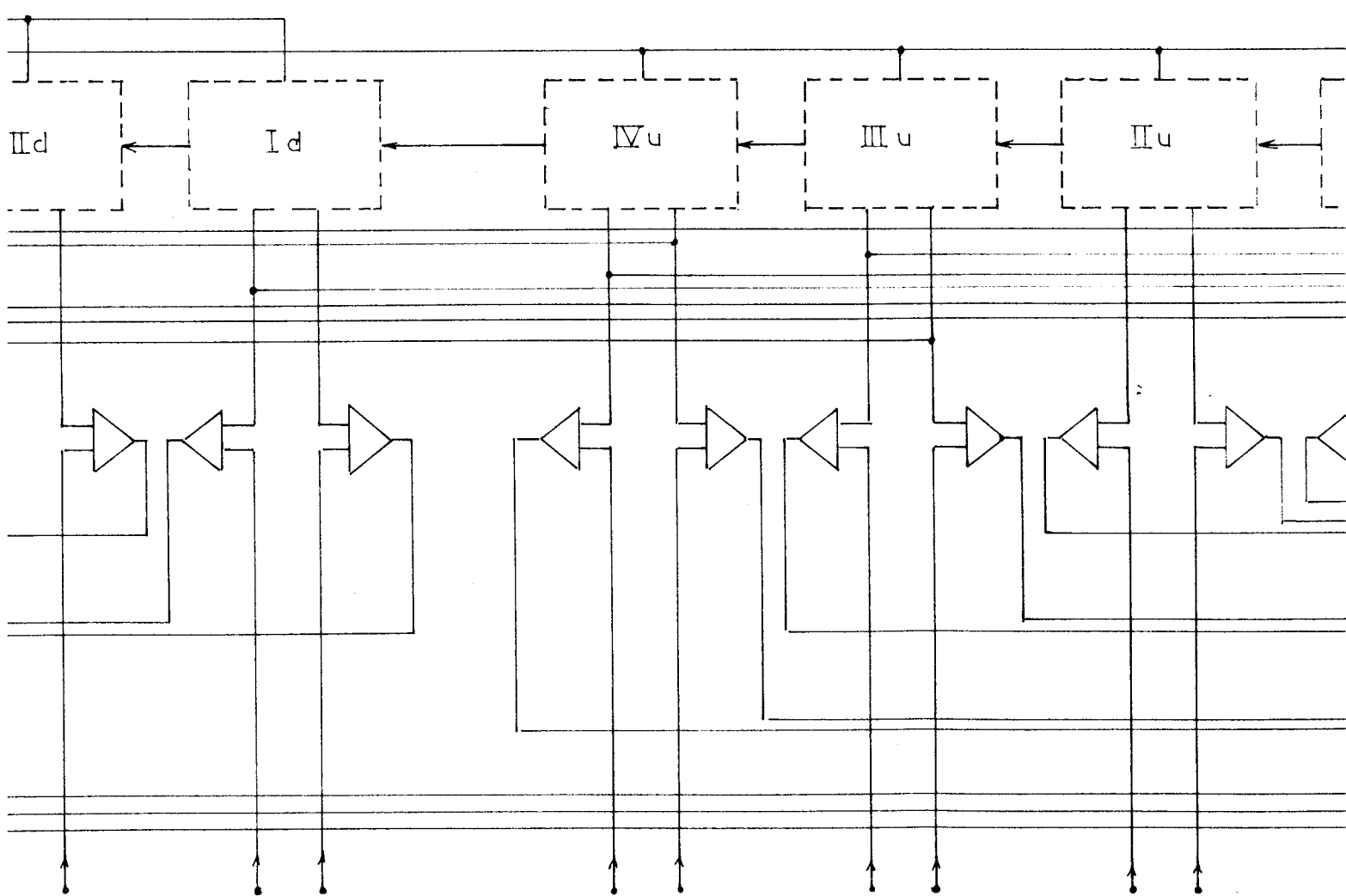


Schéma 4-2

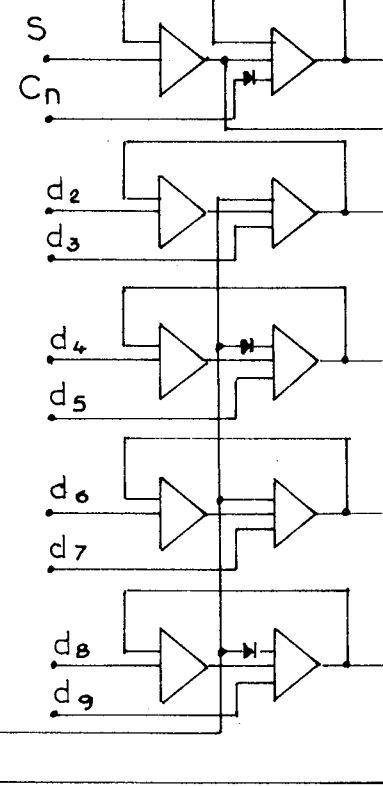
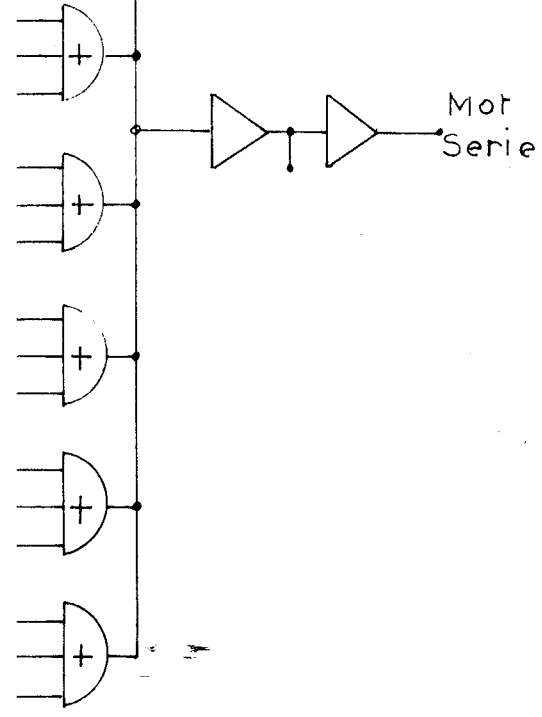
Decodage des 24 impulsions du mot.



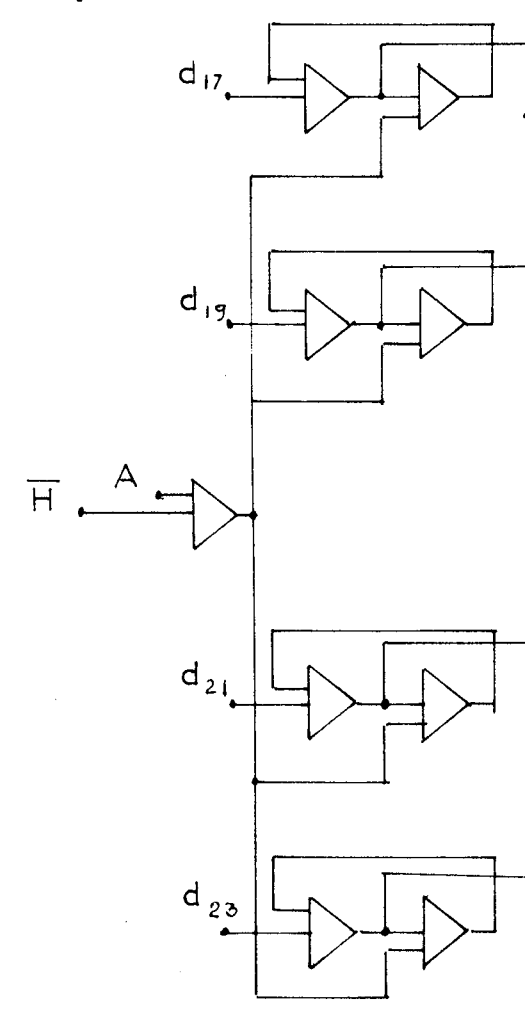
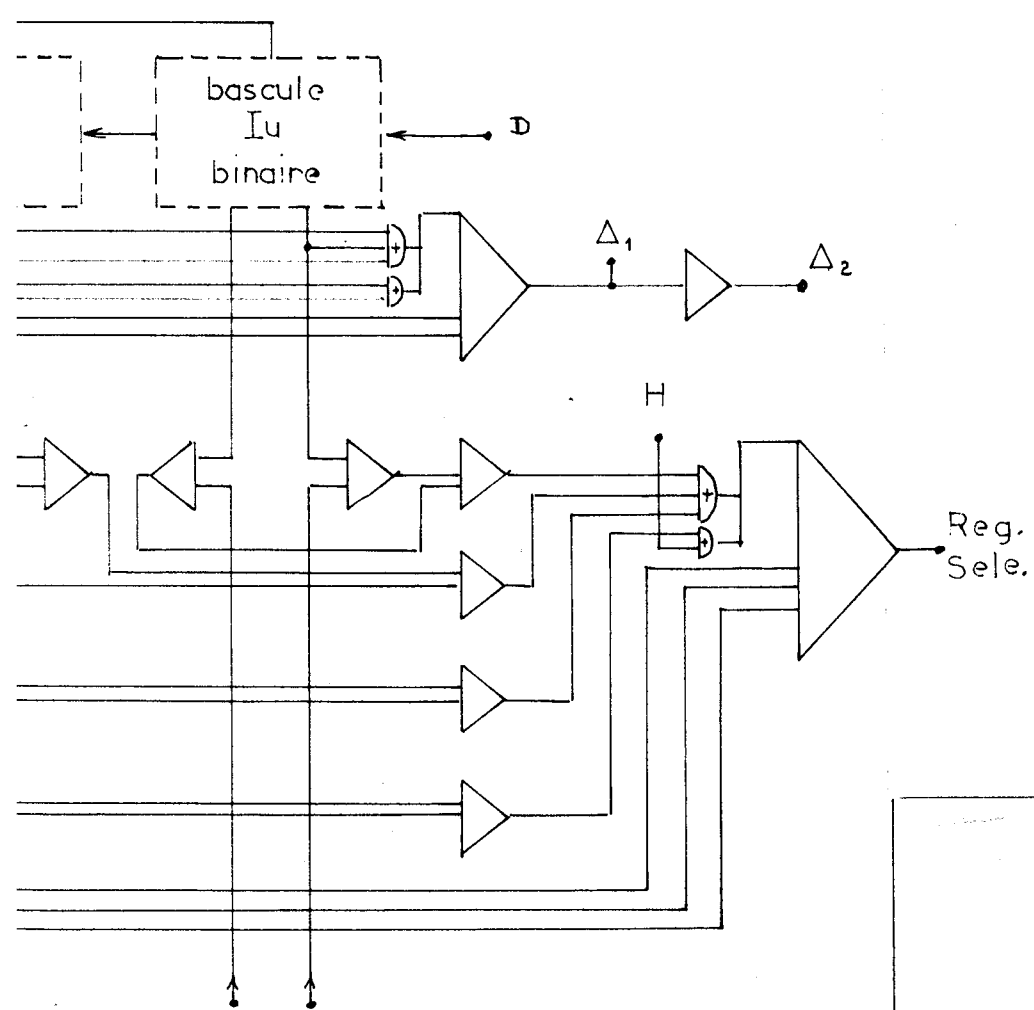
BASCULES R.S. DE PRESELECTION DES REGISTRES







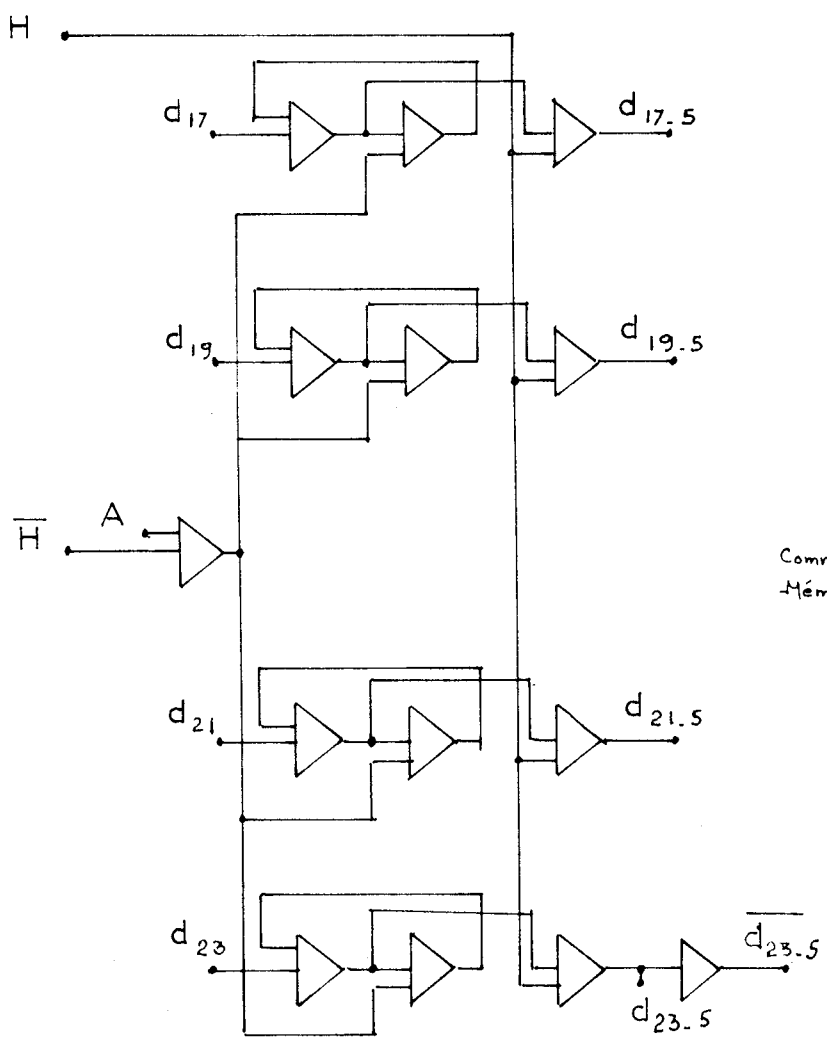
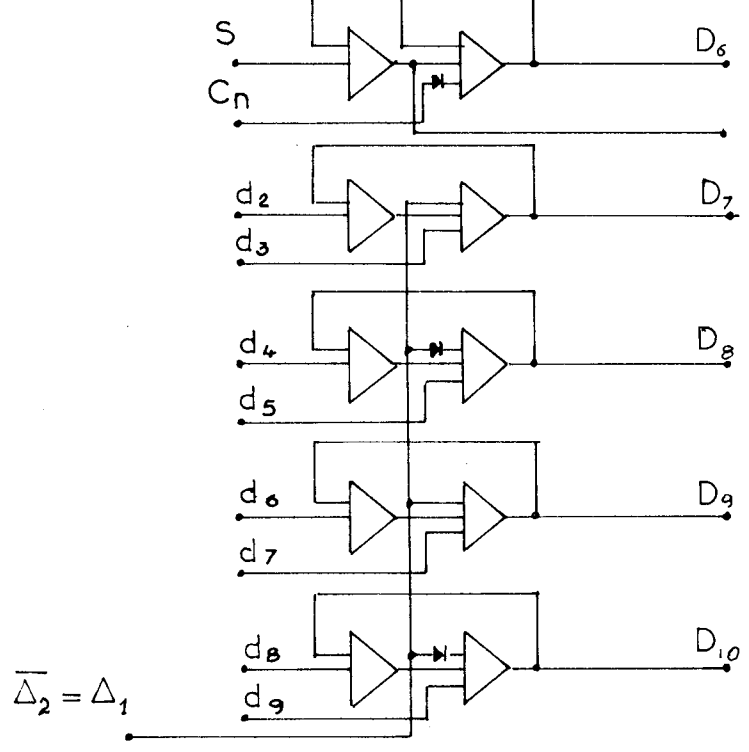
Mot série.



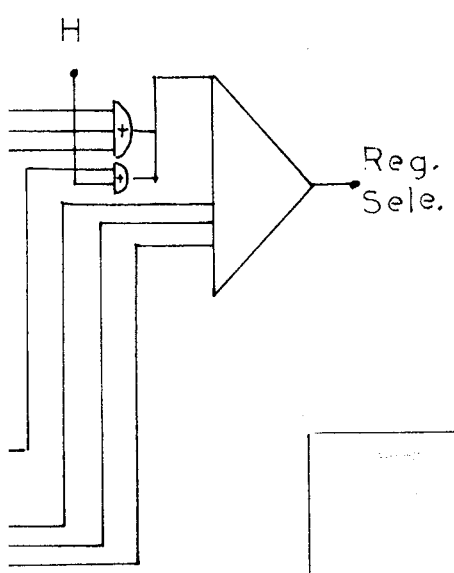
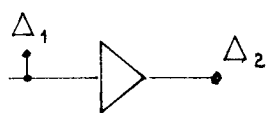
Présélection des Registres.

BLOC DE SYNCHRONI  
 Schema Logique.





Commande de la Mémoire d'Incréments.

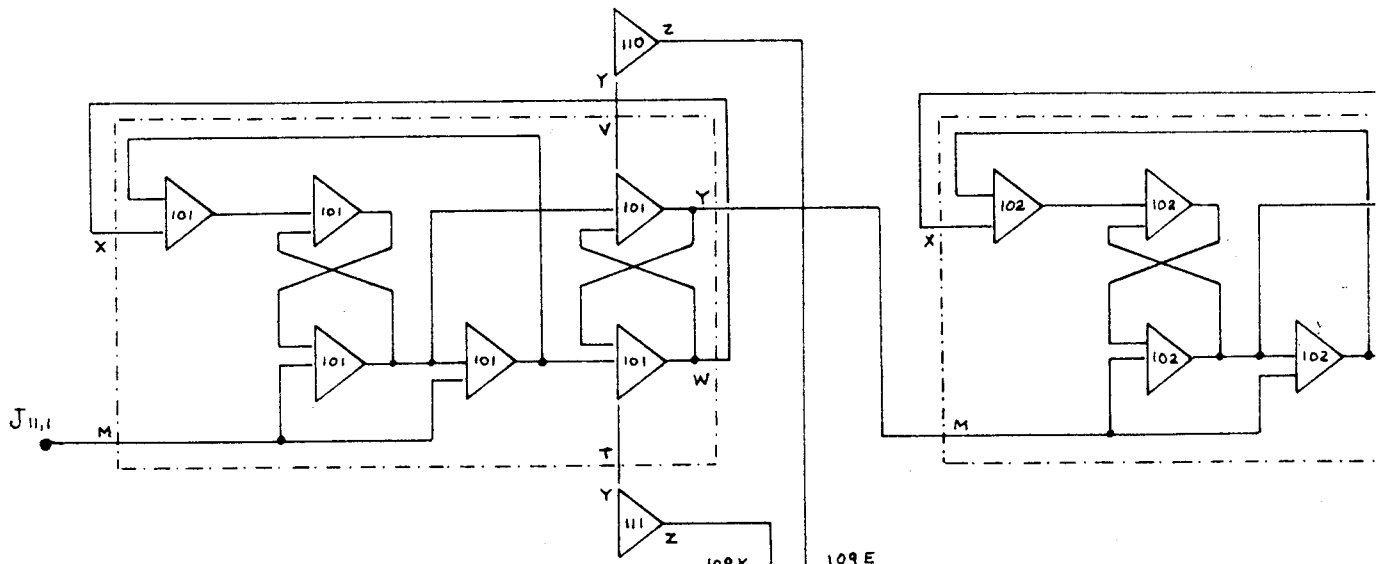


ction des Registres.

BLOC DE SYNCHRONISATION \_ DDA \_

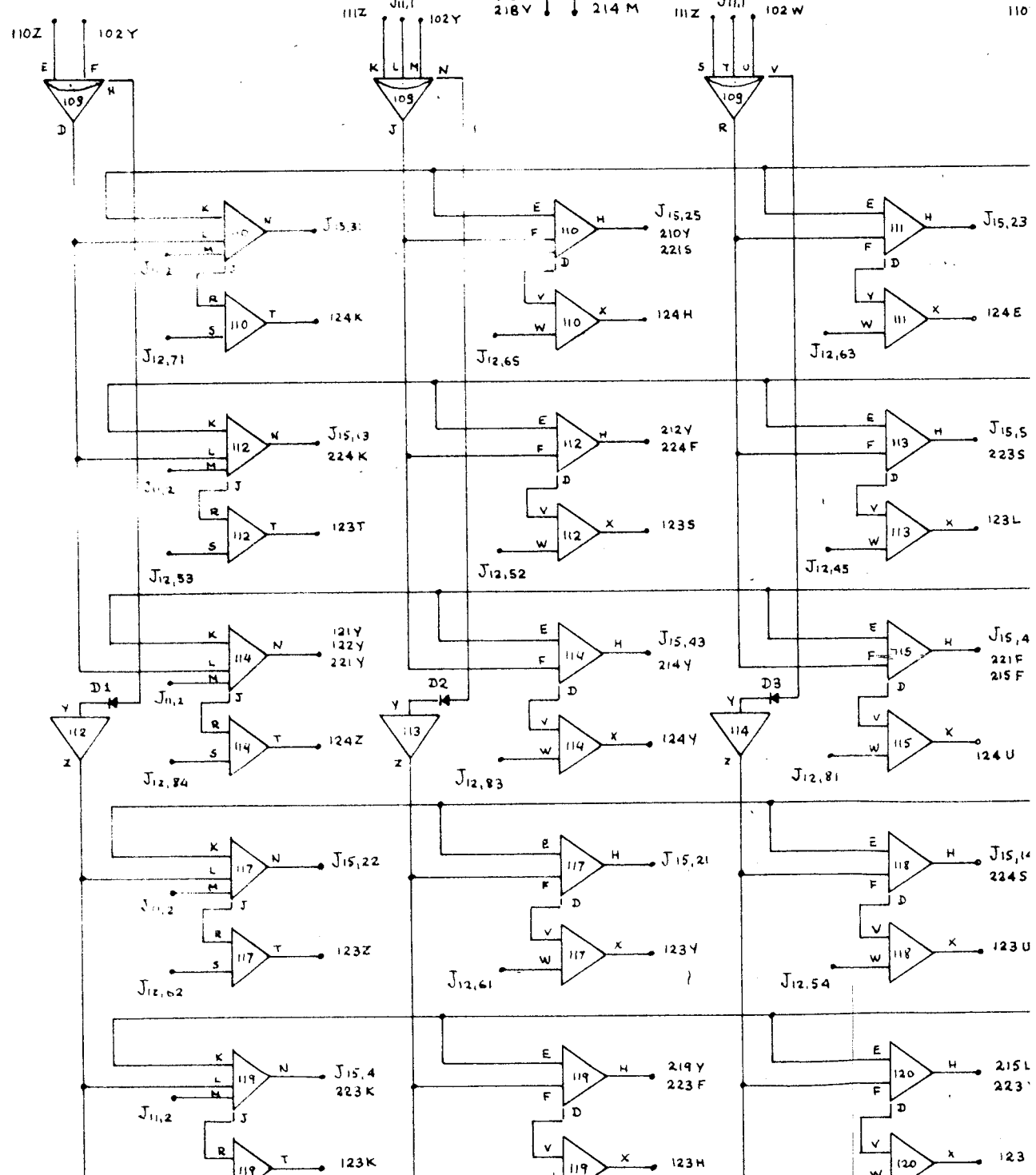
Schema Logique.





109K  
109S  
212M  
218V

109E  
109X  
213M  
214M

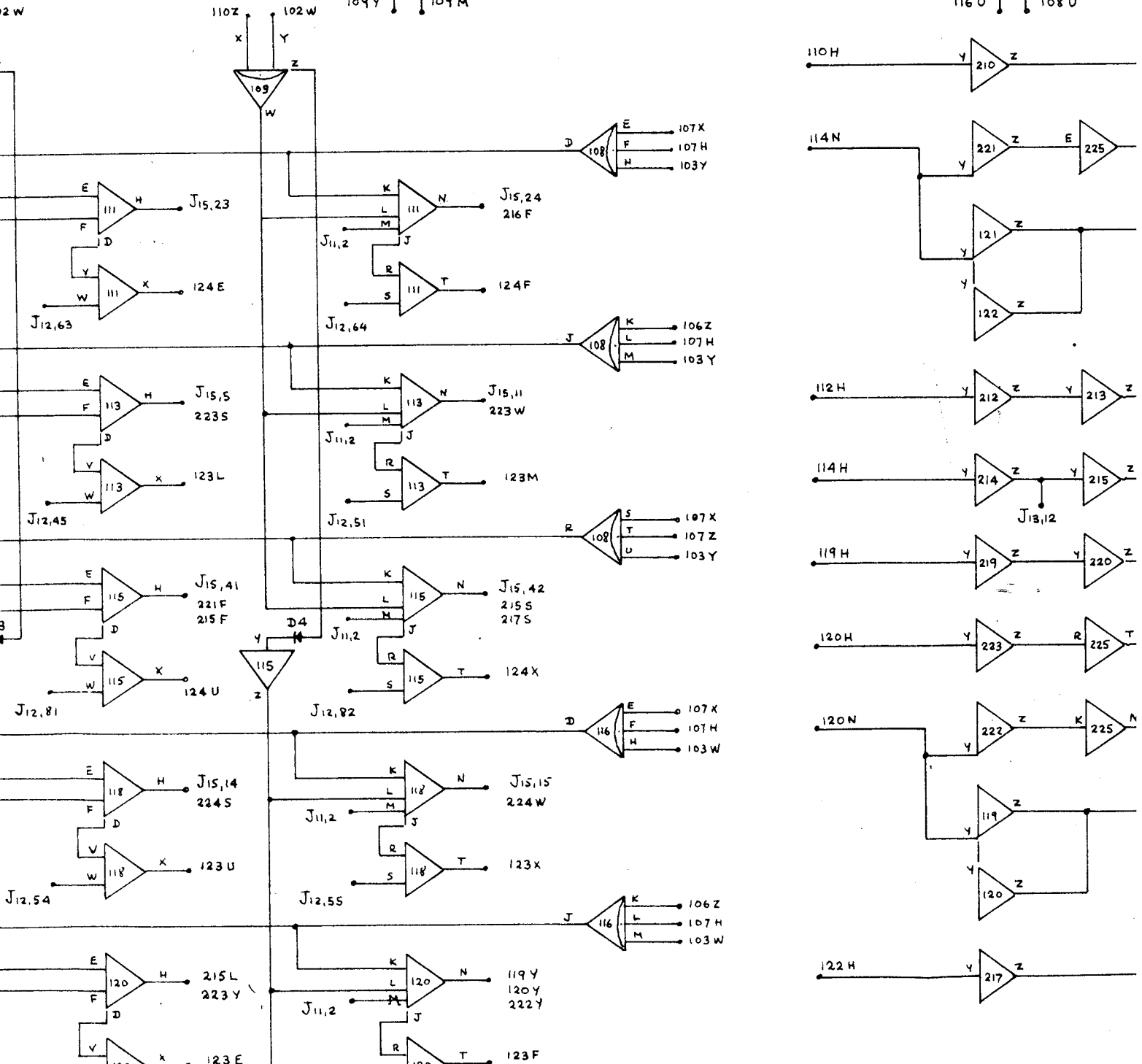
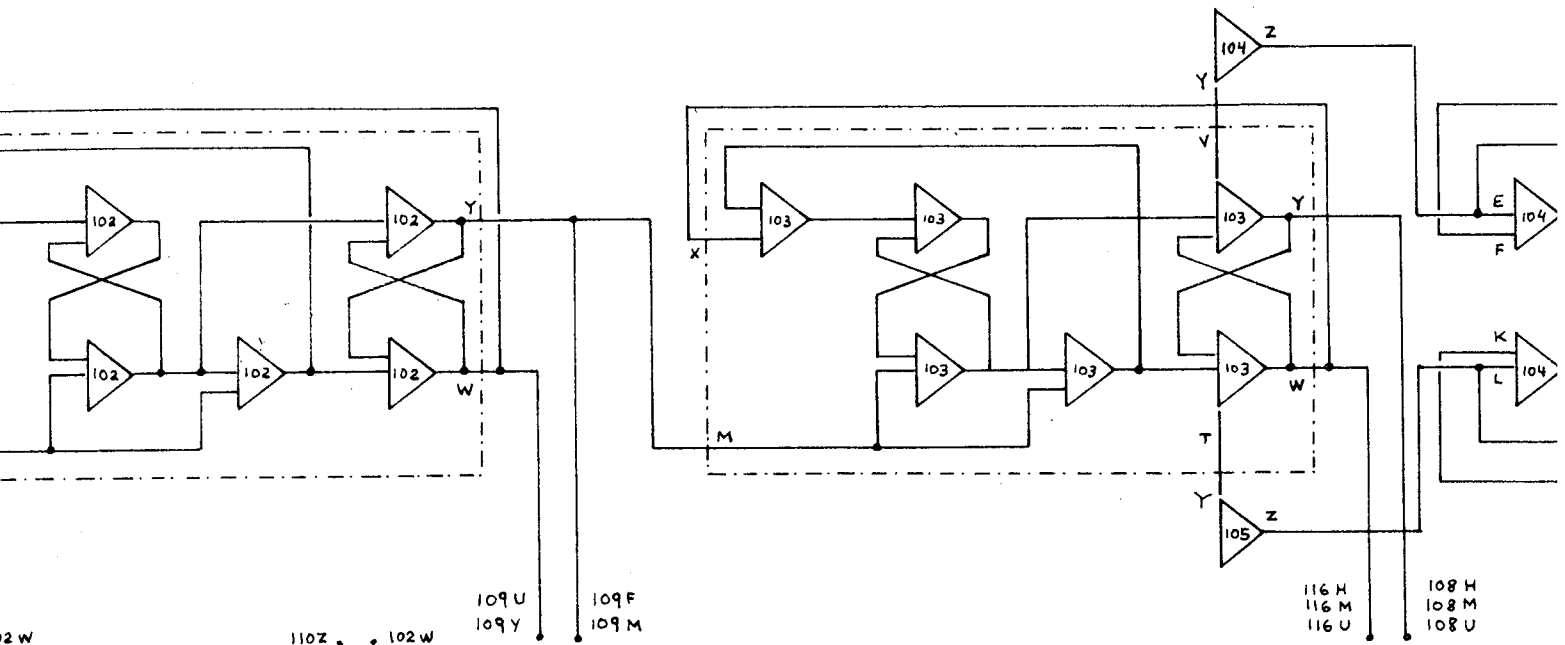


110

224S

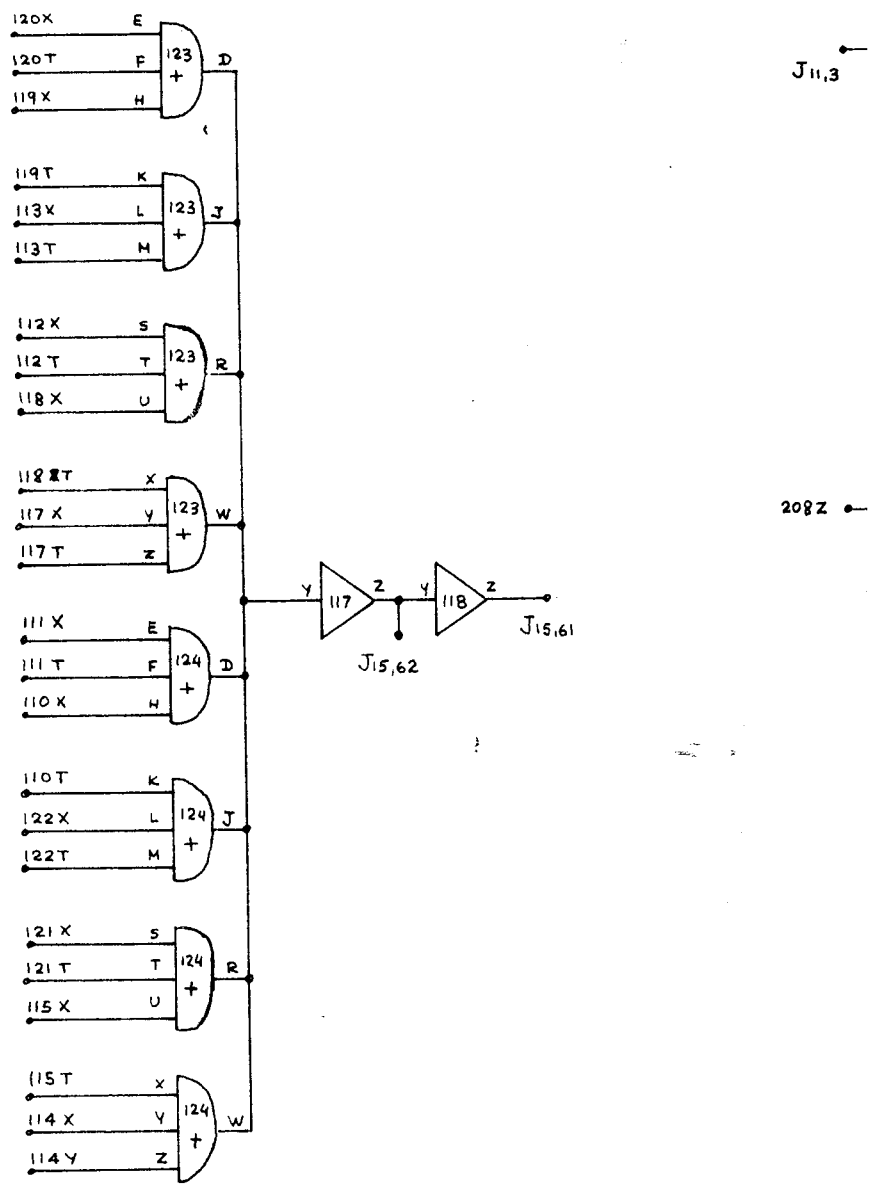
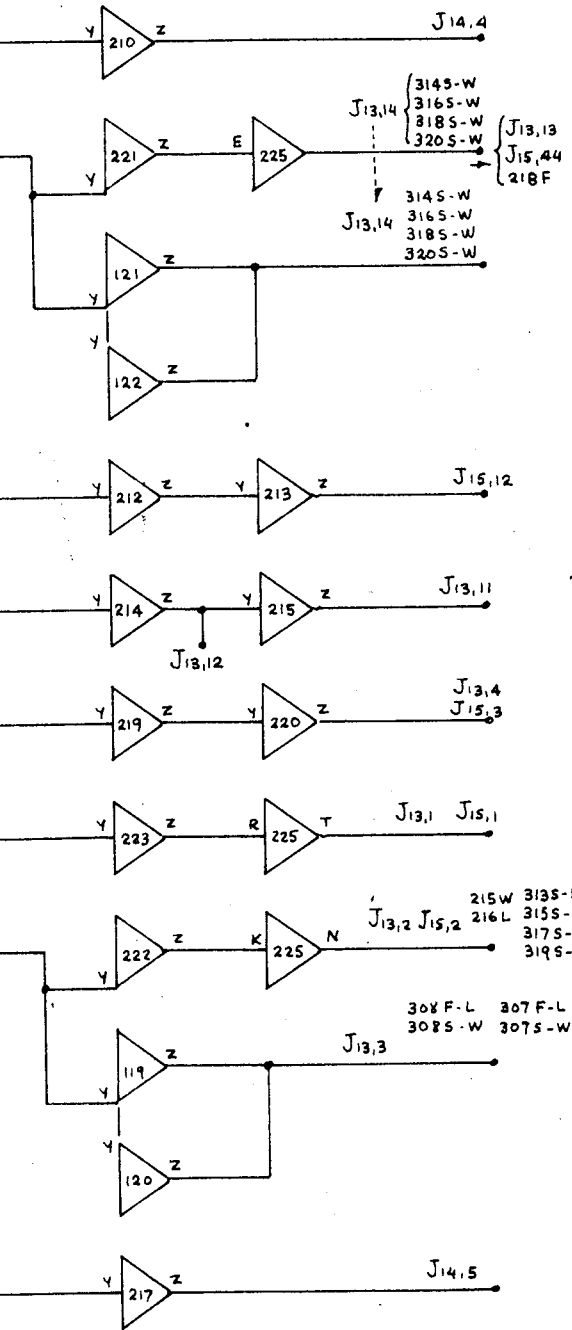
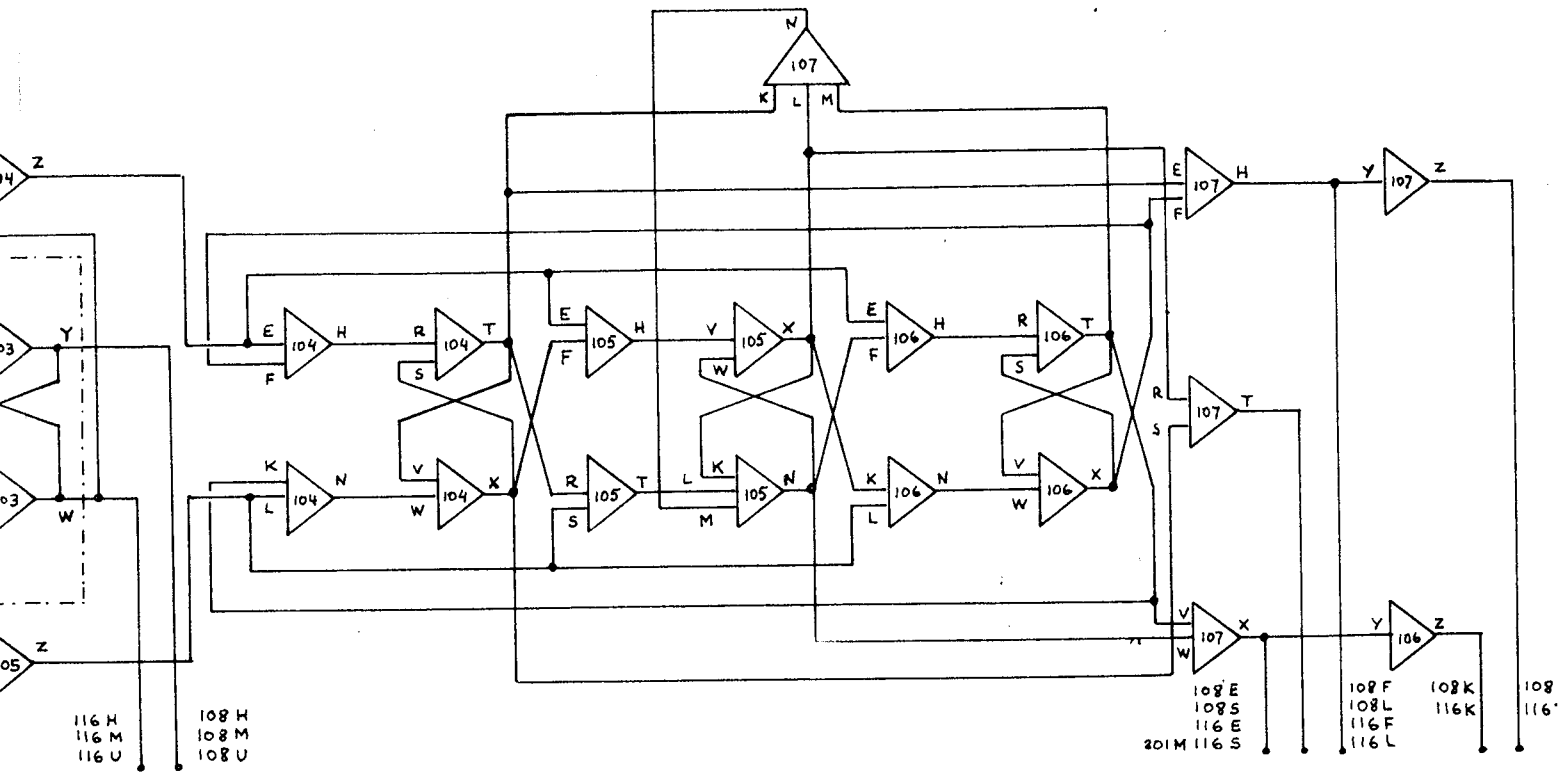
223



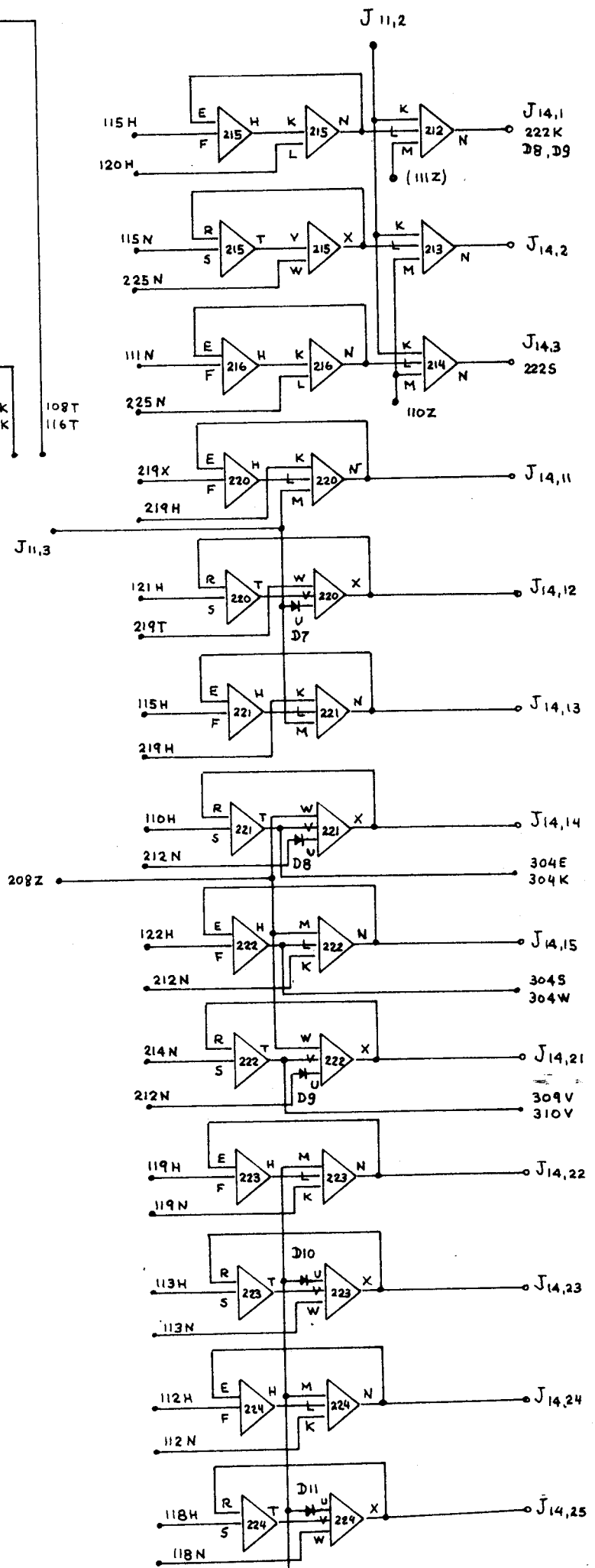
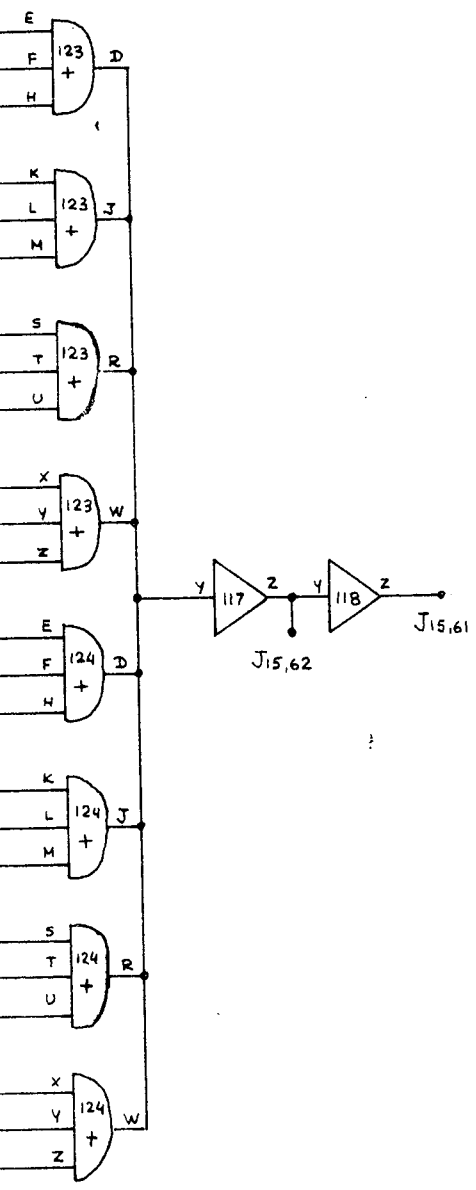
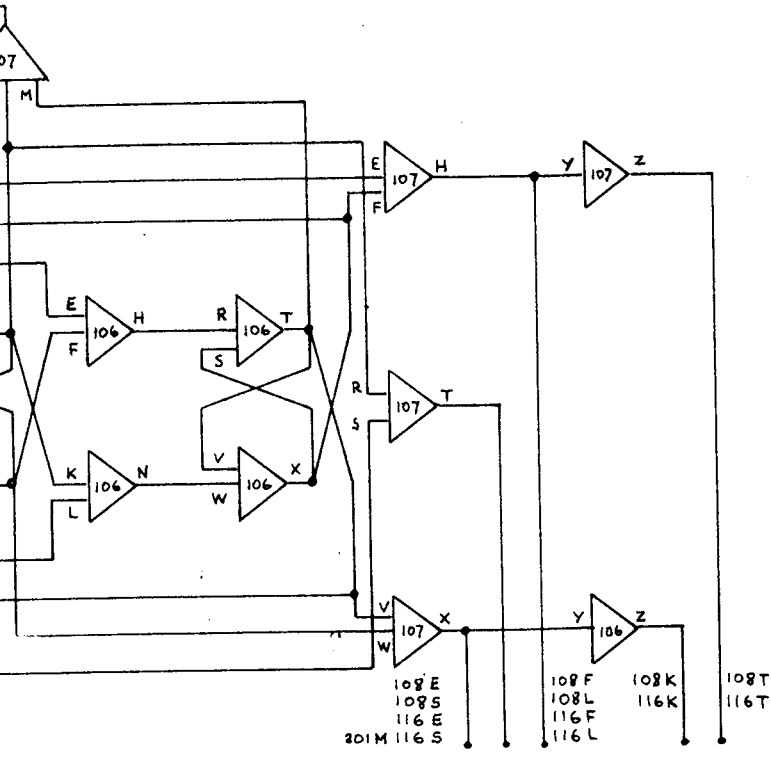




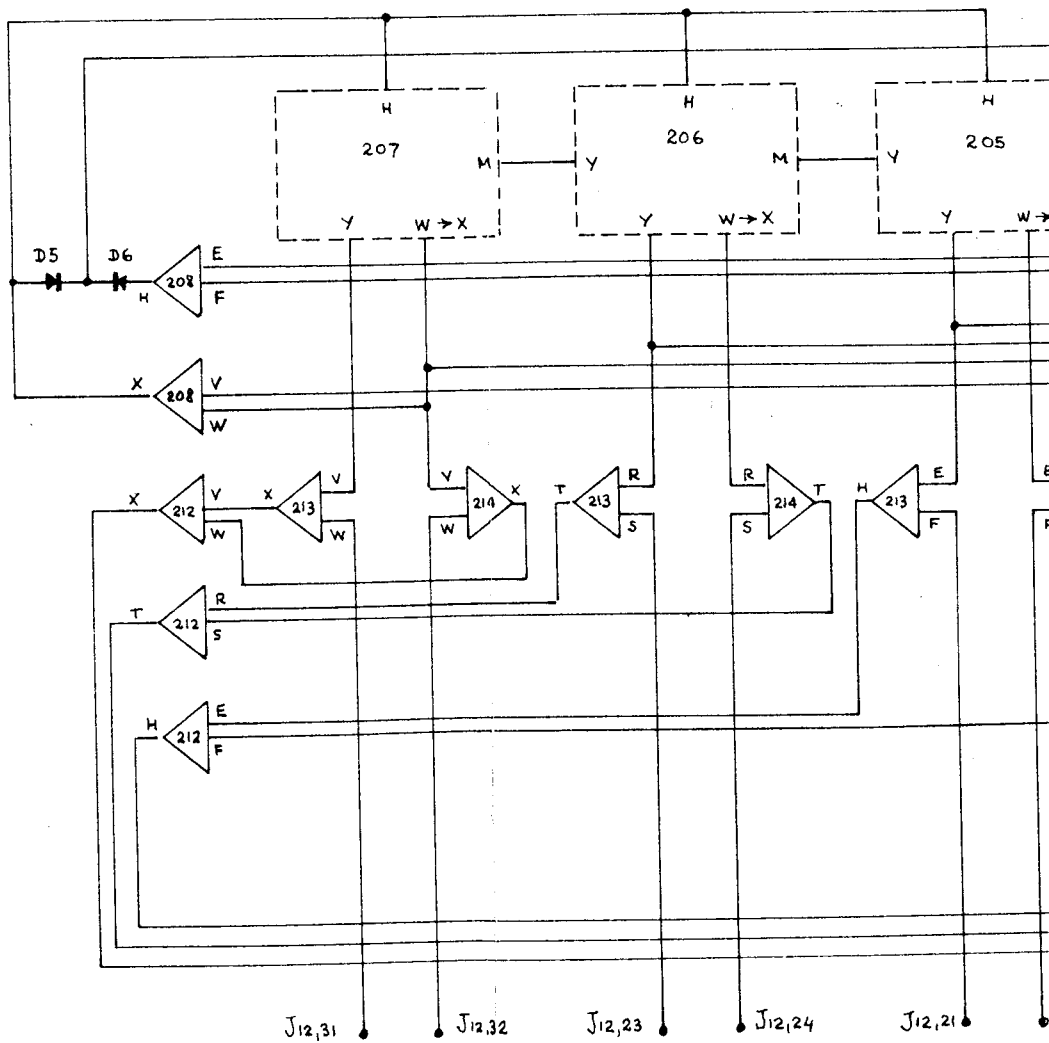
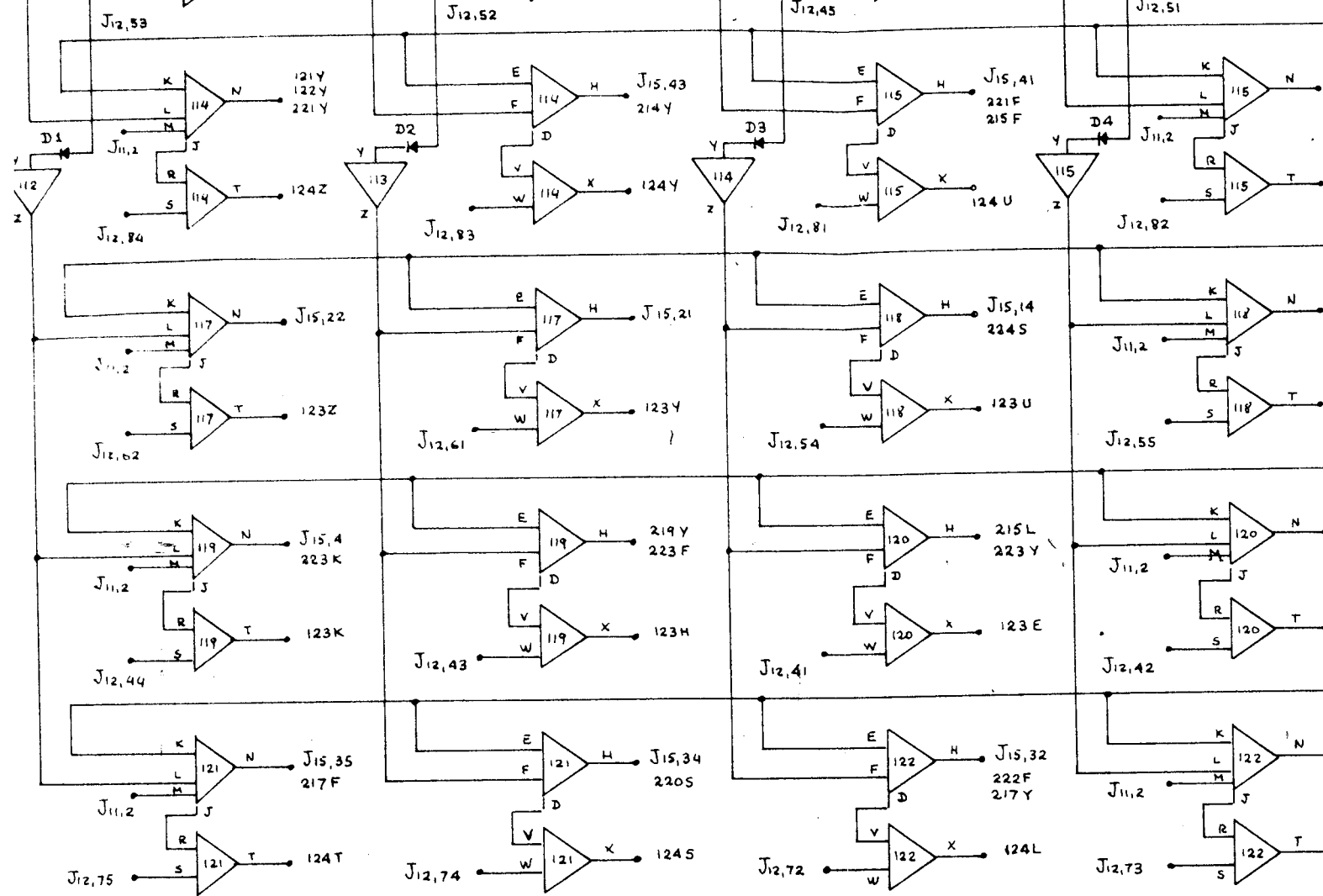




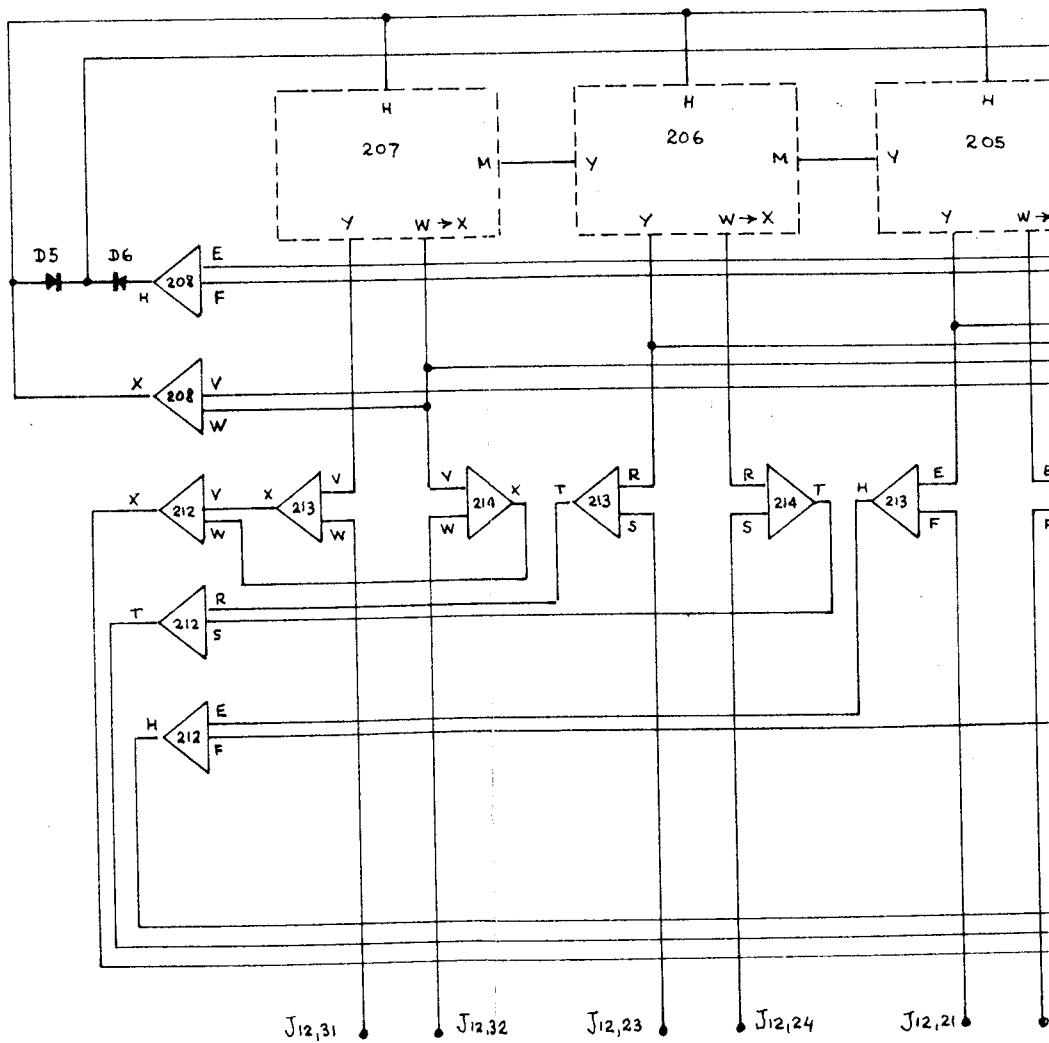
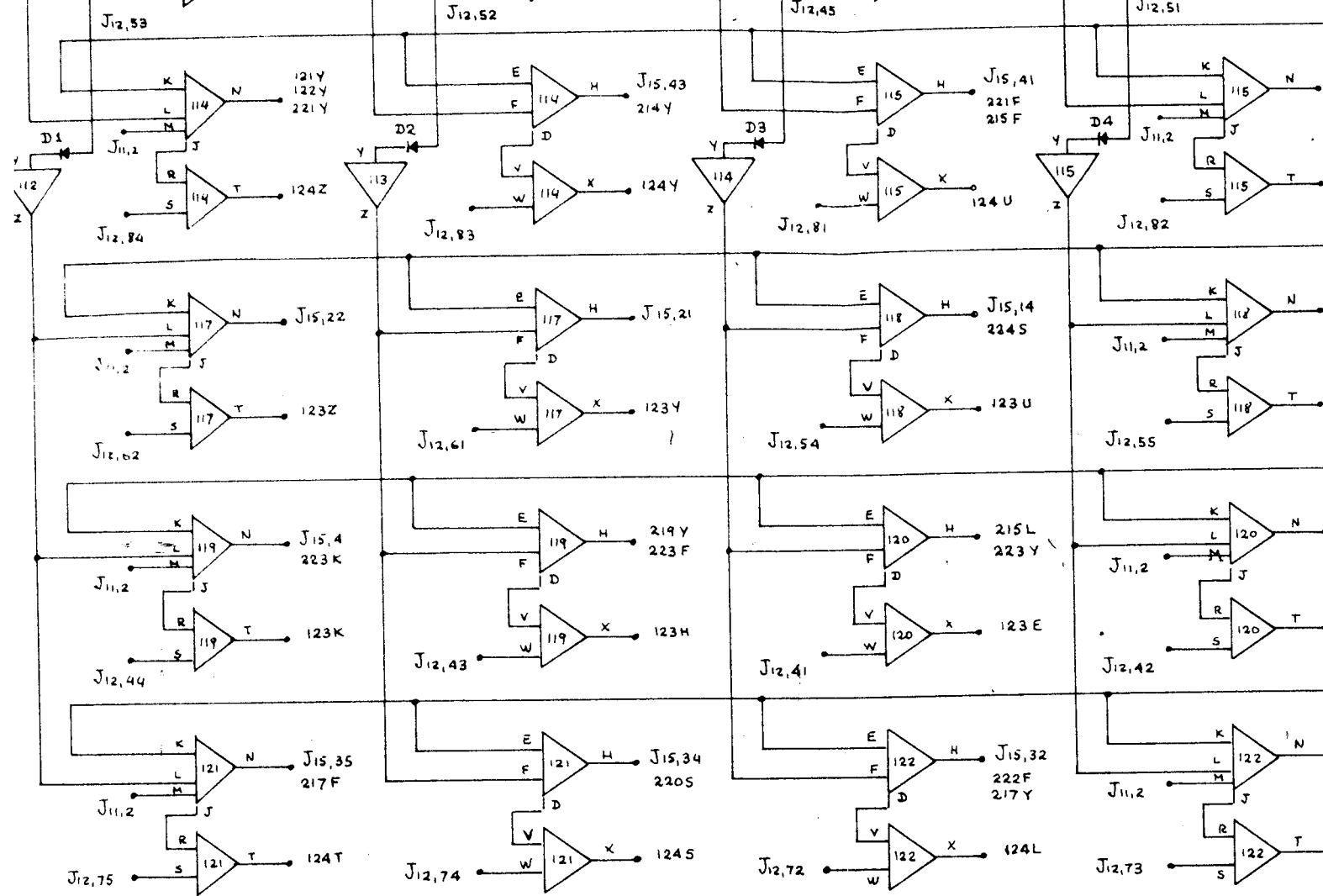








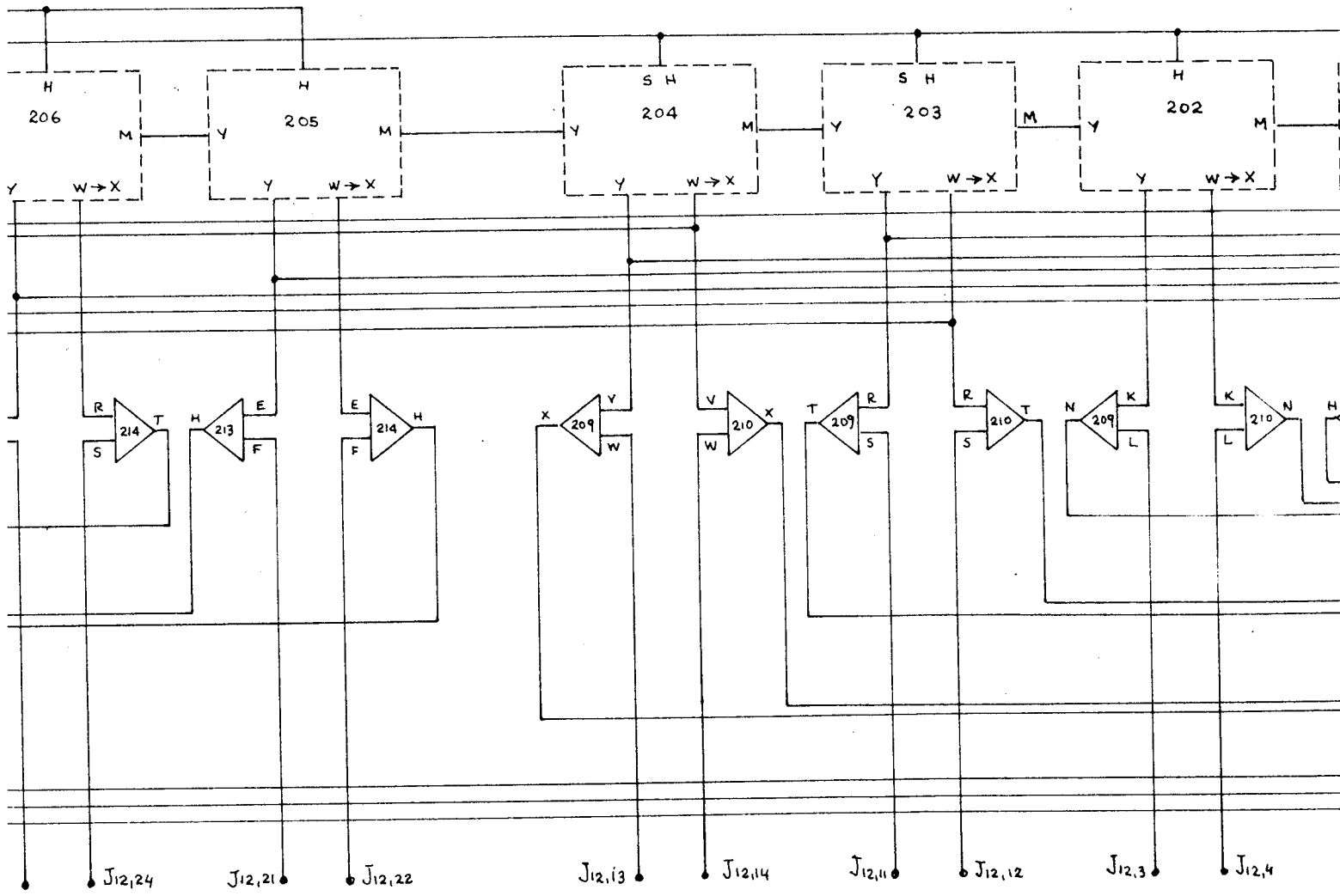
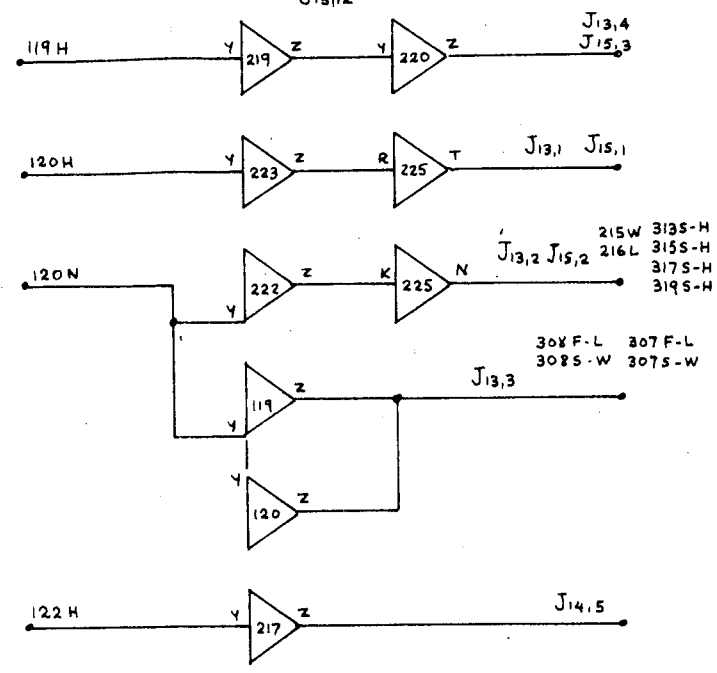
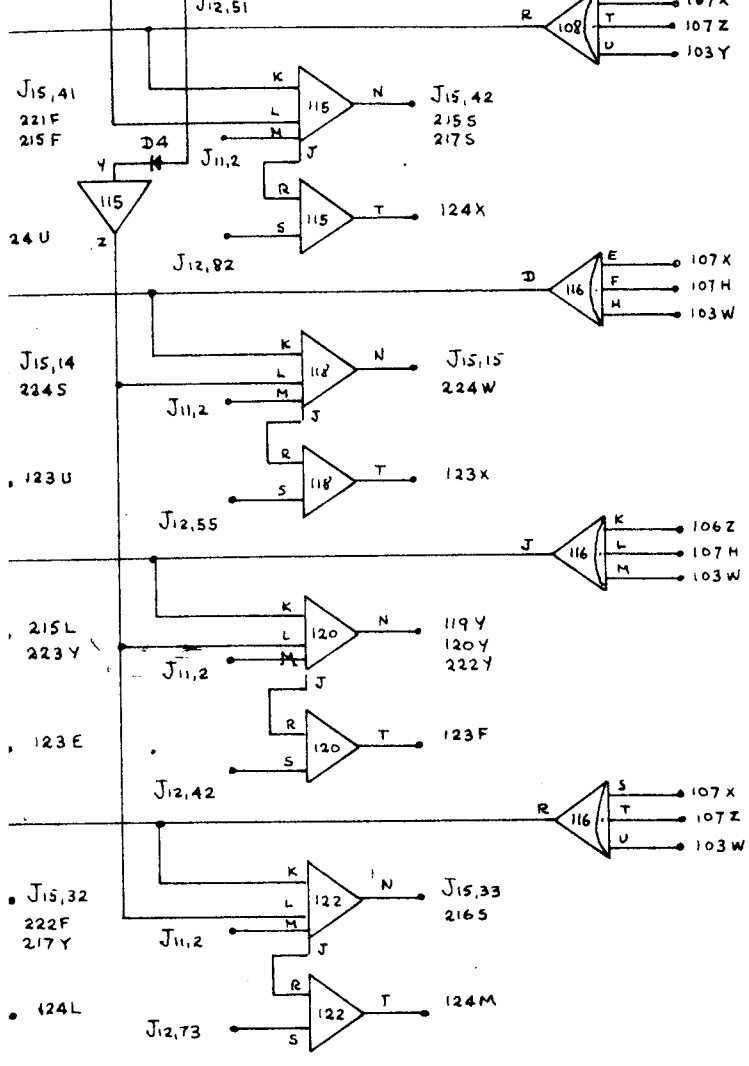




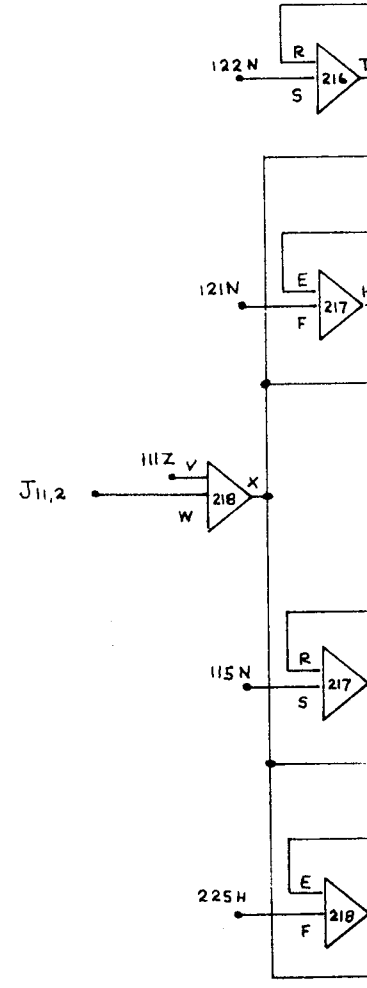
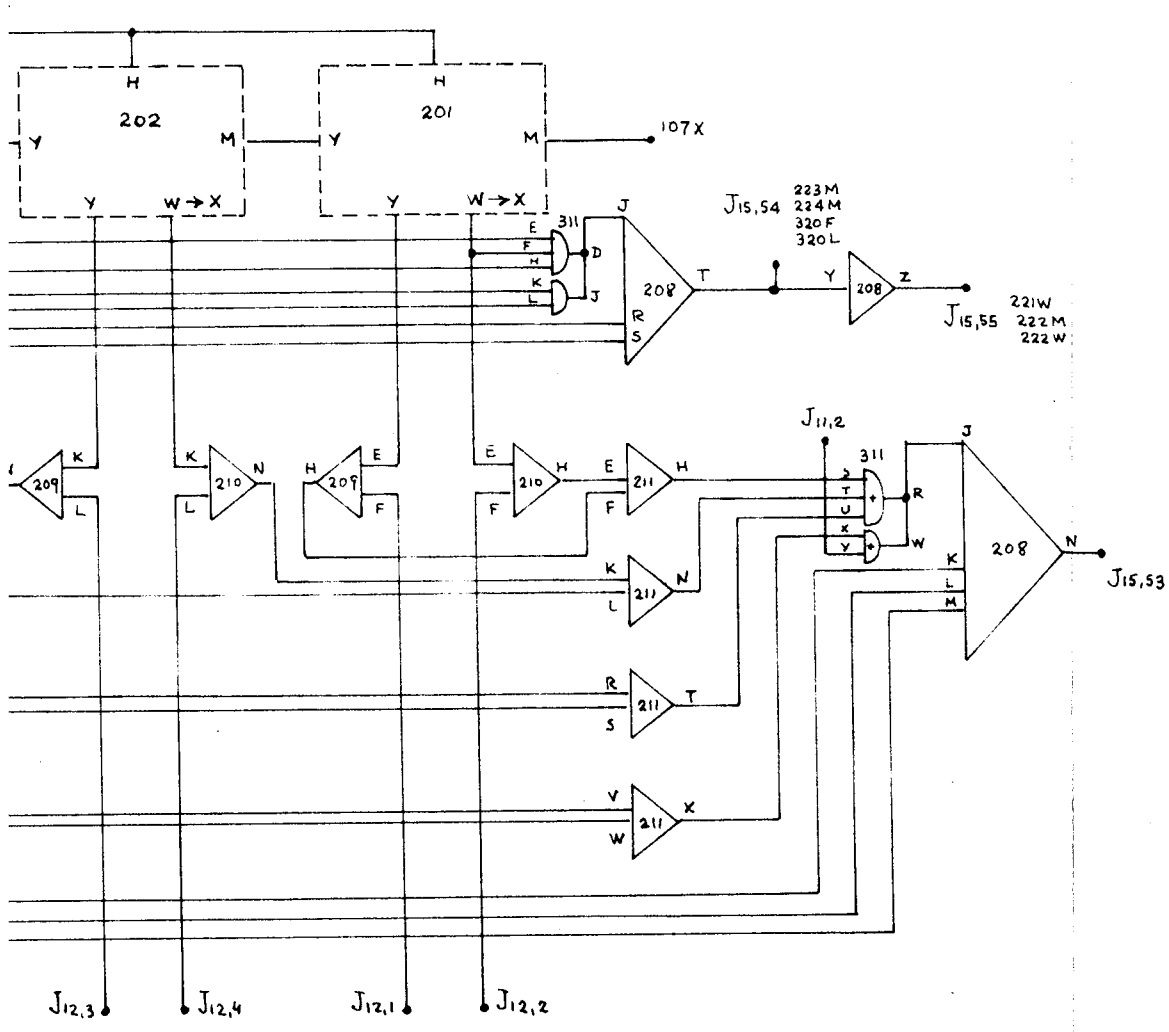
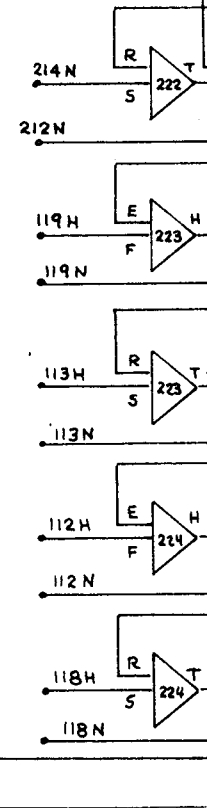
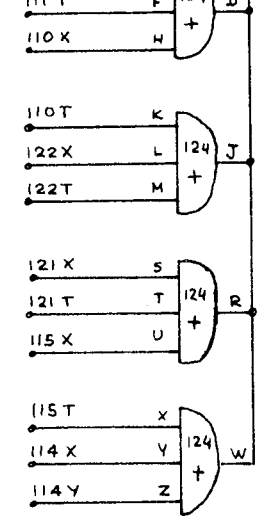
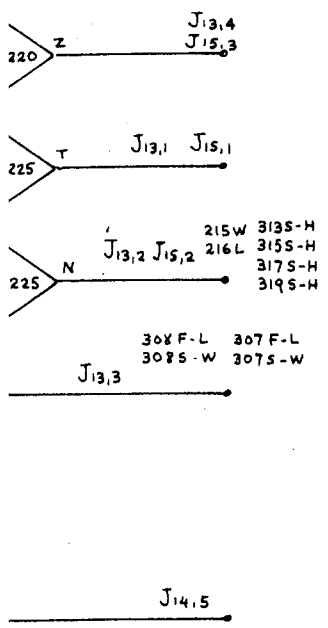
J12,31    J12,32    J12,23    J12,24    J12,21





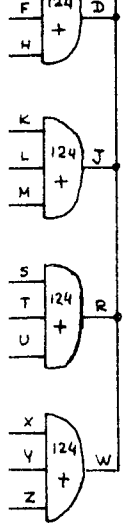




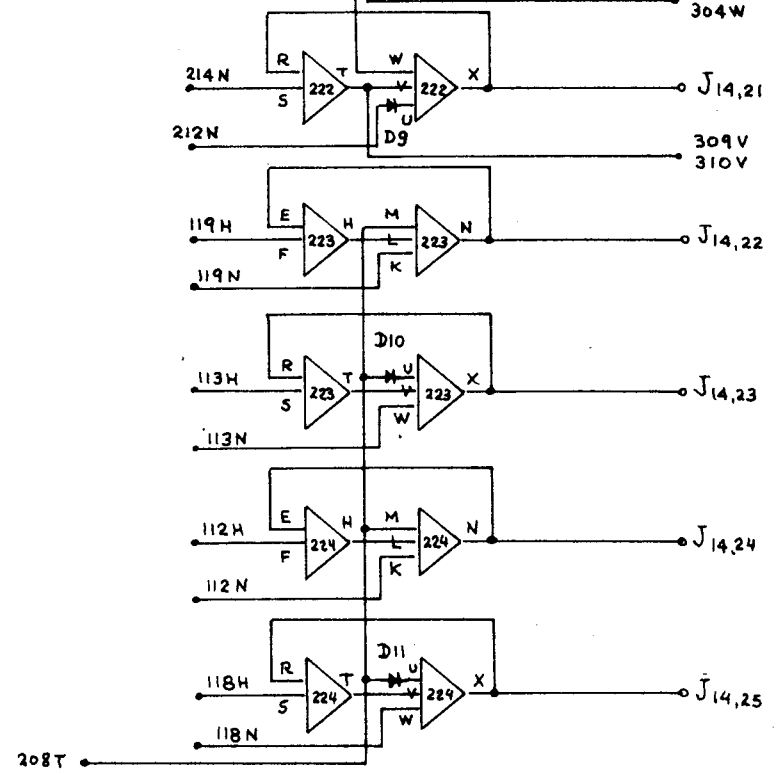


BLOC DE

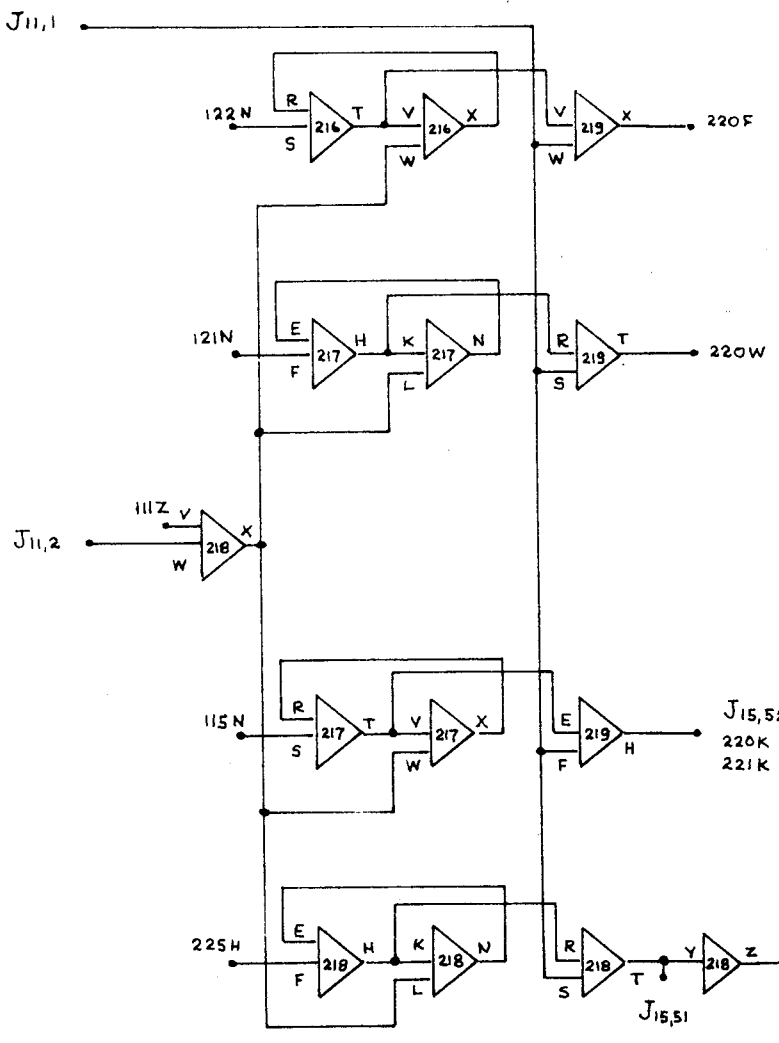
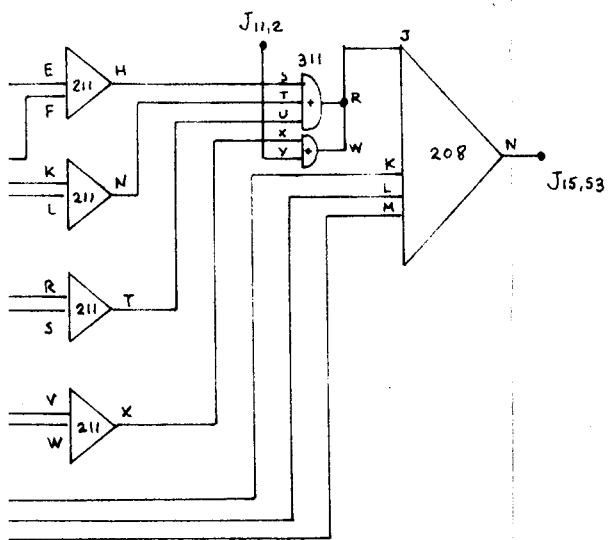
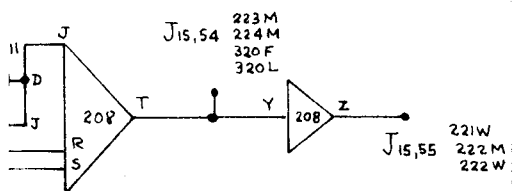




J15,62



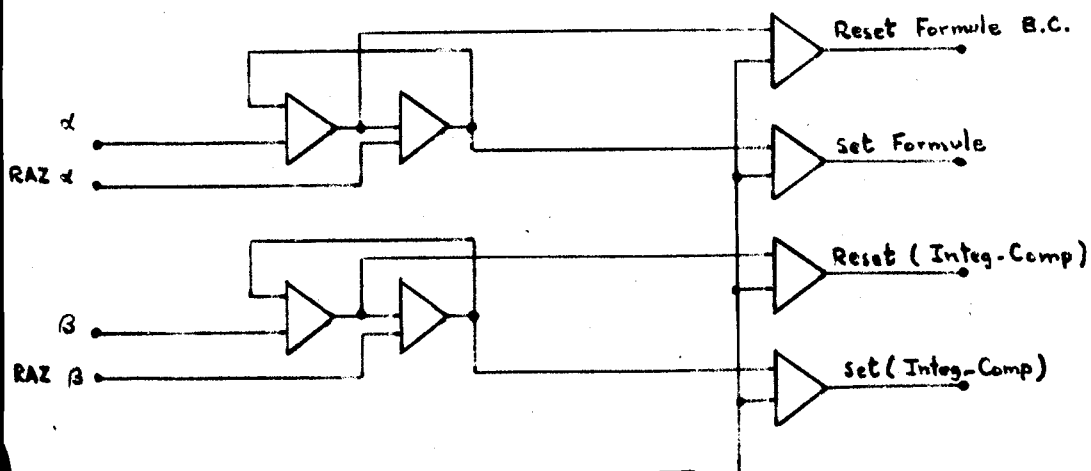
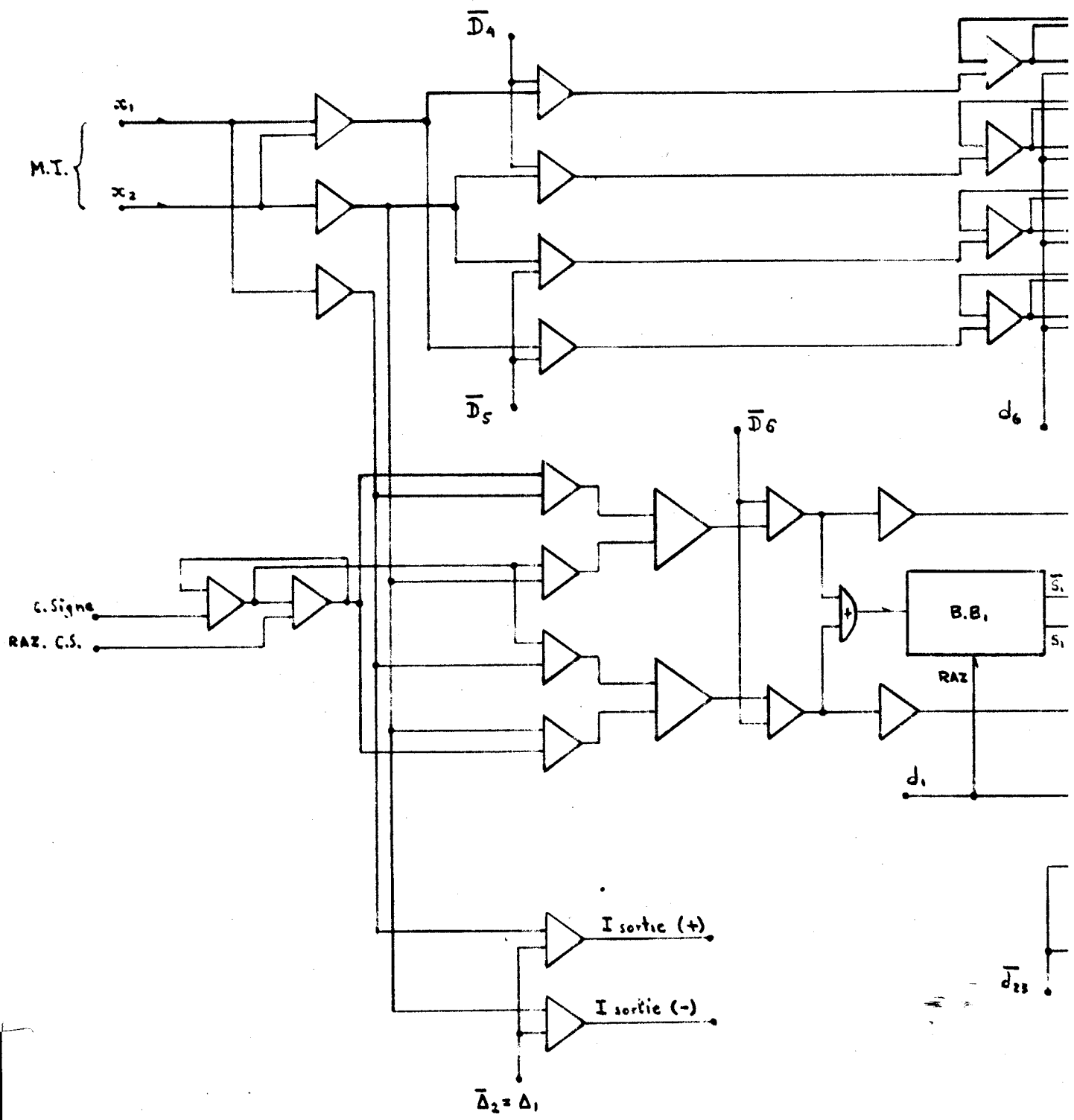
107X



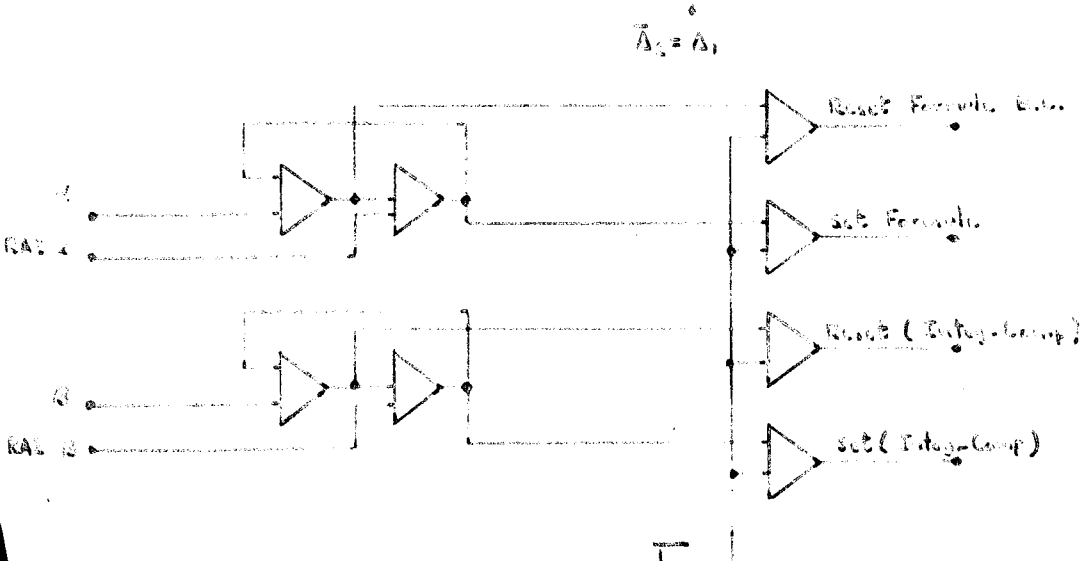
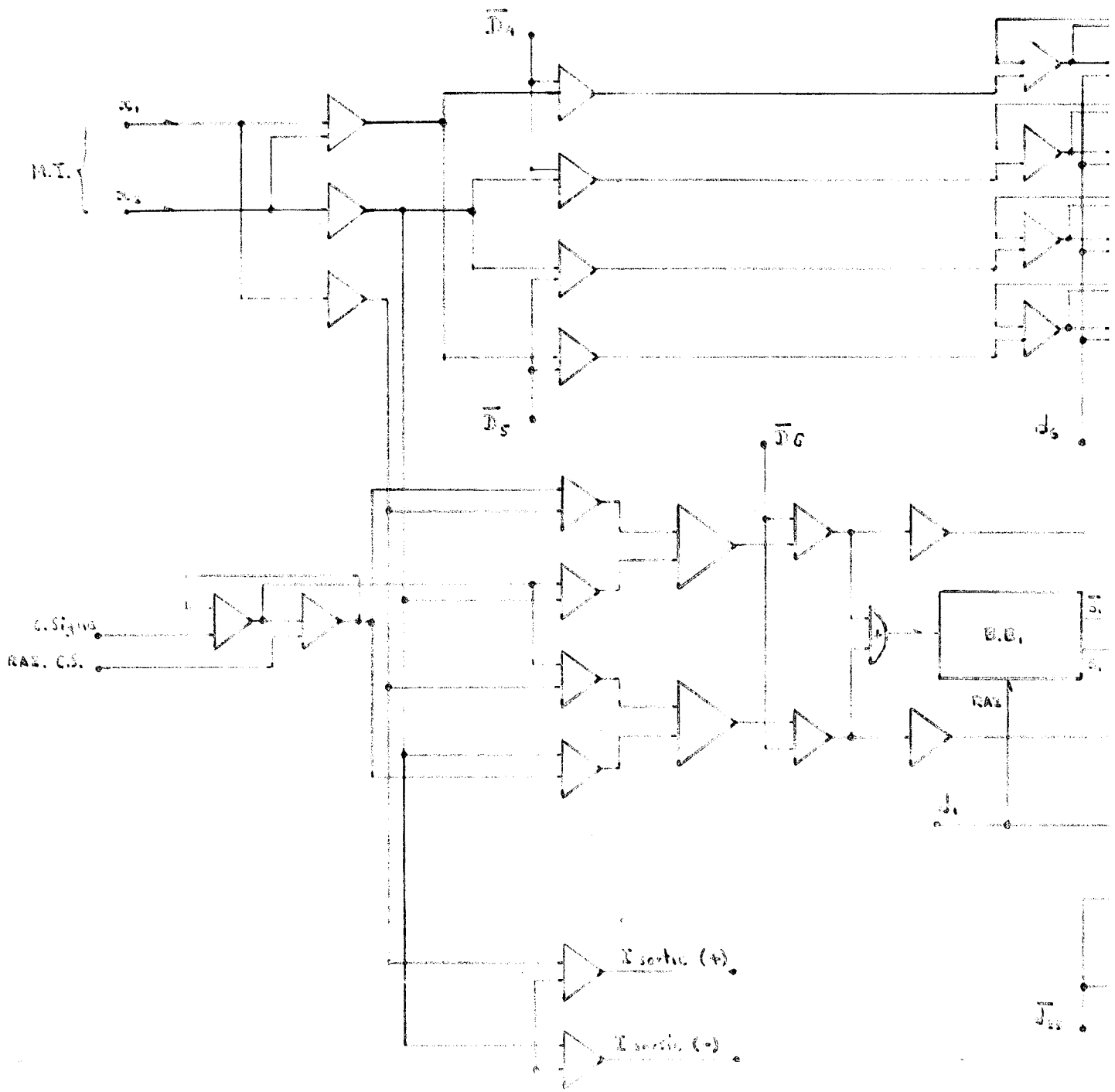
BLOC DE SYNCHRONISATION D.D.A.

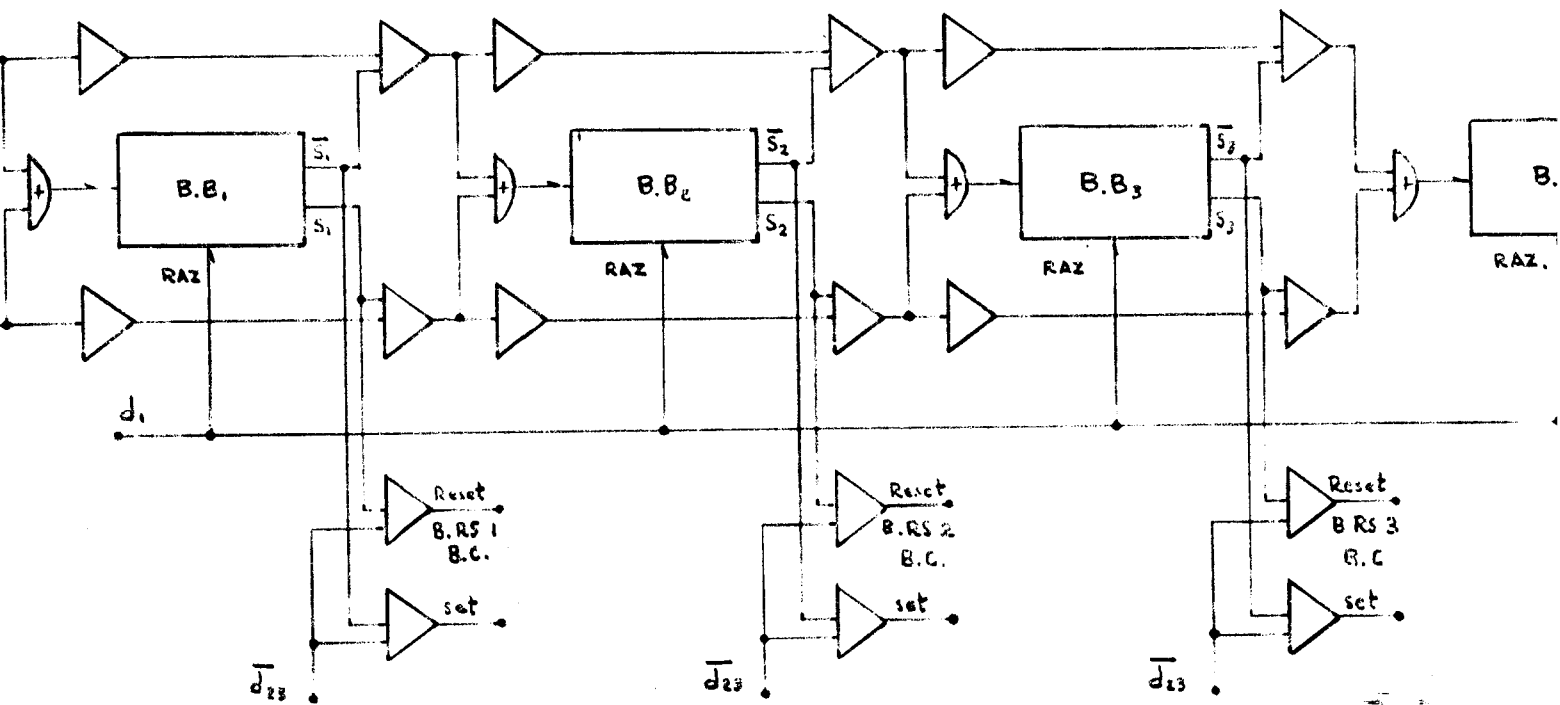
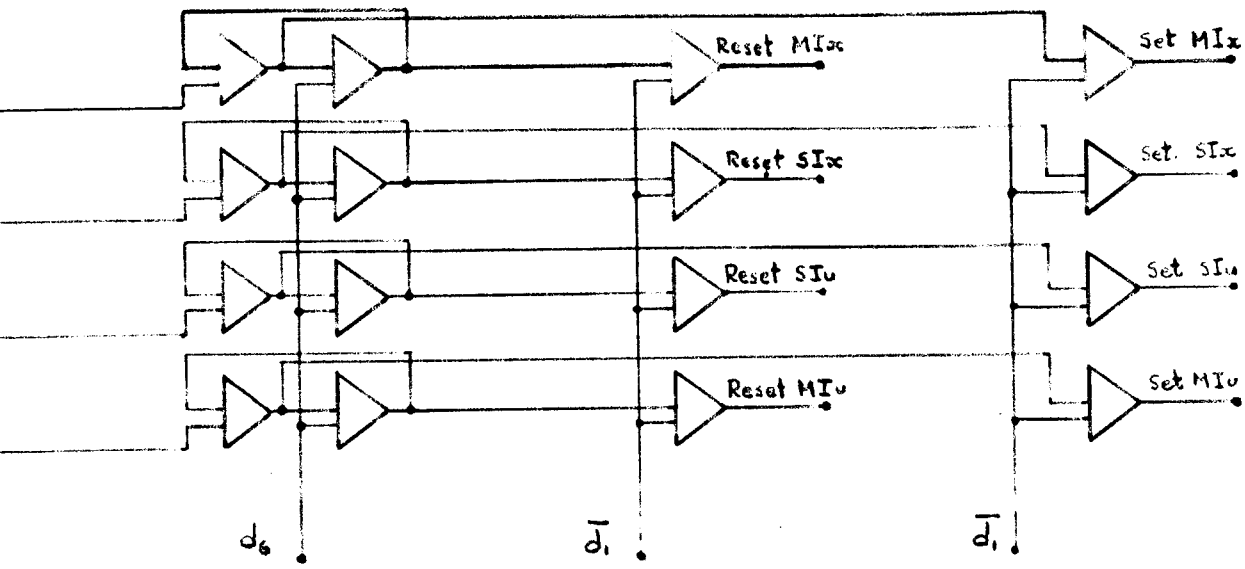
Schema de cablage.





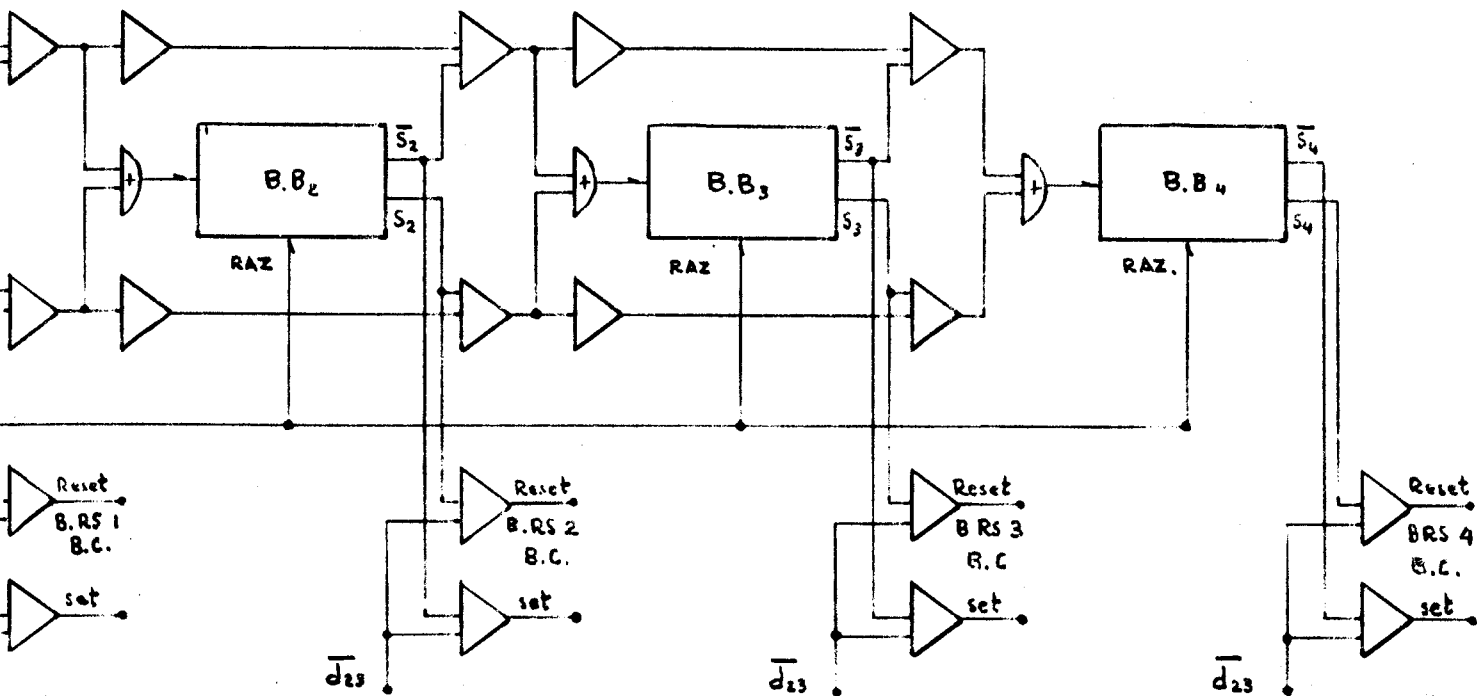
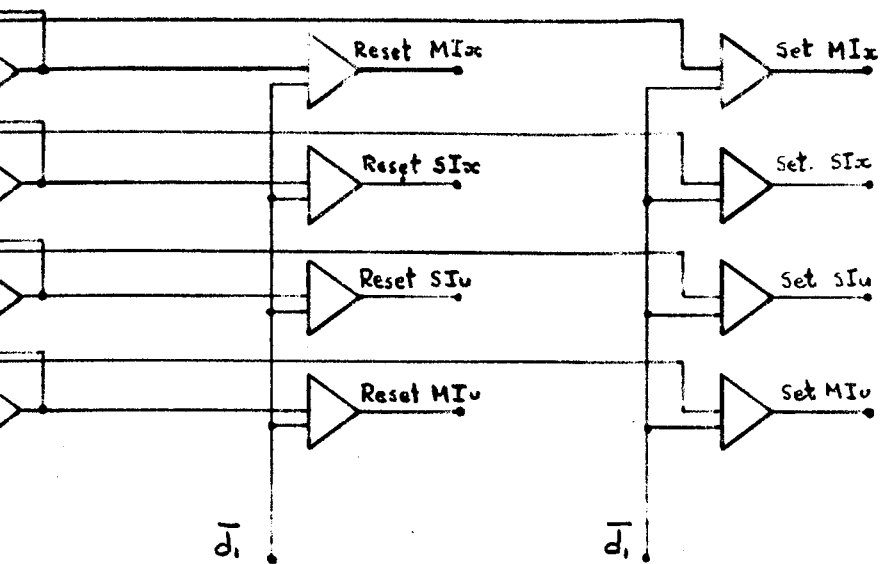






B L O C   D E   S Y N C H R O N I S  
 C o n t r ô l e   d e s   I n c r é m e n t s .





B L O C    D E    S Y N C H R O N I S A T I O N  
 C o n t r ô l e   d e s   I n c r é m e n t s .      A . D . D .

Le circuit à "NAND" réalise donc :

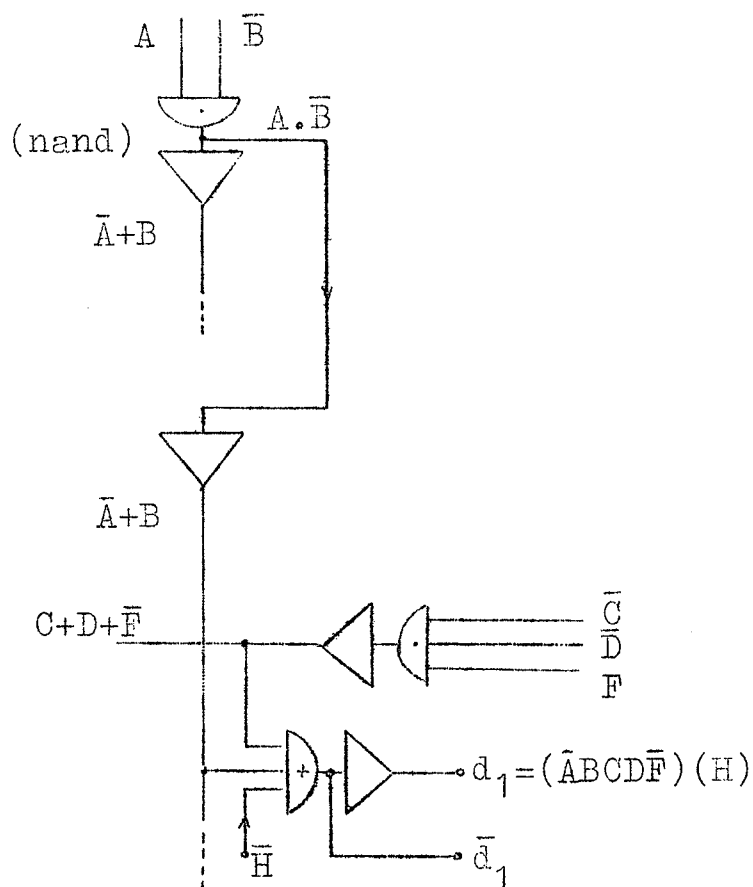


Fig 4-15

#### 4.9.3 - Mot série (schémas 4-2, 4-3)

$$d_0 P_0 + d_1 P_1 + d_2 P_2 + \dots + d_{23} P_{23} = \text{mot série.}$$

La mise en série des intersections logiques entre chacun des 24 digits décodés et les sorties des 24 bascules RS d'affichage respectives permet de créer des mots à volonté. Il suffit de positionner les bascules RS dans la position "zéro" ou "un", pour obtenir la mise en place ou non du digit correspondant.

L'introduction des données ainsi que l'introduction du programme exigent l'emploi d'un tel système.

Les bascules d'affichage appartiennent au bloc d'introduction des données mais les produits  $d_0P_0$ ,  $d_1P_1$ , etc ... sont réalisés en même temps sur la matrice de décodage à l'aide de ces sorties complémentaires.

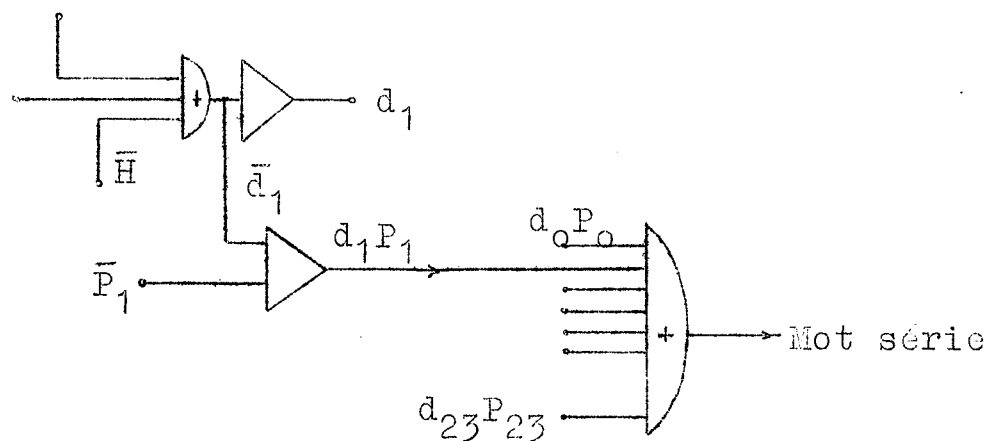


Fig 4-16

#### 4.9.4 - Présélection des registres (schémas 4-1, 4-3)

Le comptage des registres est réalisé en code décimal-codé-binaire, donc 7 positions binaires. Sept bascules RS d'affichage permettent de présélectionner l'un des 44 registres à son passage devant les têtes de lecture.

Le bloc de synchronisation réalise la disjonction entre les 7 bascules d'affichage et celles de comptage, permettant ainsi la sélection d'un seul registre. L'intersection avec l'horloge donne les 24 digits du registre choisi.

#### 4.9.5 - Commande de la Mémoire des Incréments (Sch. 4-1, 4-3)

Les différents signaux de commande sont faits à partir de simples circuits RS, déclenchés par les différentes impulsions décodées ( $d_0, d_1 \dots d_{23}$ ), selon les caractéristiques nécessaires des signaux à réaliser.

Exemple :  $D_2$  Entrée des incréments provenant du bloc Intégrateur-Comparateur.

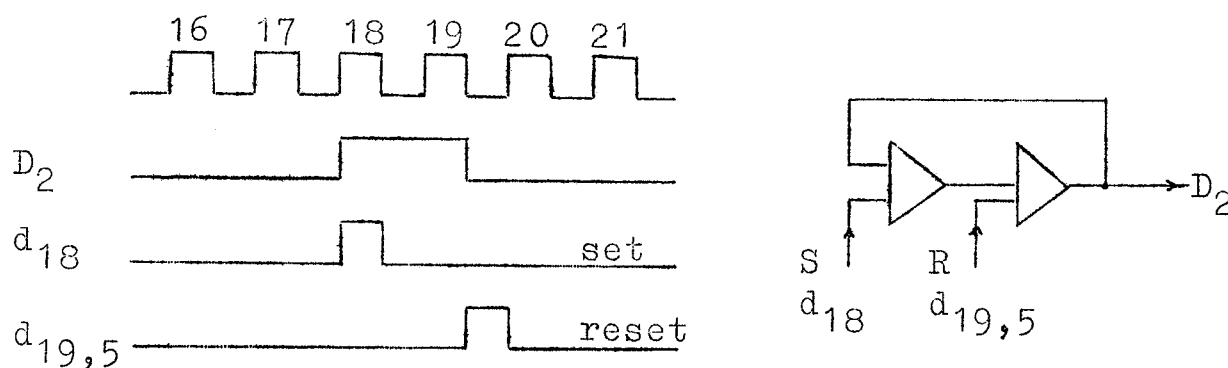


Fig 4-17

Le fait d'avoir décodé les 24 digits du mot permet de réaliser d'autres signaux à partir des circuits très simples. Dans le cas de  $D_2$ , en se rapportant au tableau d'état, on trouve un schéma logique plus compliqué.

De plus, ces circuits simples n'ont pas d'aléas dans ces sorties.

#### 4.9.6 - Contrôle des Incréments (Schéma 4-4)

Il est constitué par toutes les mémoires temporaires qui gardent les incréments dès leur sortie de la M.I. (Mémoire des Incréments) jusqu'à leur transfert vers les opérateurs arithmétiques. Il consiste donc en une série de bascules R.S. avec les portes de transfert respectives ( $D_{11}, D_{12}$  et  $D_{13}$  sur le Tableau de Synchronisation ).

La sortie de la M.I. est donnée sur deux voies  $x_1$  et  $x_2$  avec le code suivant :

$x_1$	$x_2$	Signe	Mod	Incr
0	0	0	0	0
1	0	0	1	+ I
0	1	1	1	- I
1	1	-	-	-

Signe =  $x_2$   
 Module =  $x_1 + x_2$   
 I + =  $x_1$   
 I - =  $x_2$

$x_1$  et  $x_2$ , issues de la lecture de la M.I., ne peuvent jamais prendre la valeur "un" simultanément.

Ainsi  $D_4(x_1 + x_2) = \text{Mod. Ix}$  est gardé en mémoire temporaire jusqu'à son transfert commandé par  $D_{12}$ .

Par la suite  $D_4(x_2)$  est égal au signe d'Ix, et  $D_5(x_1 + x_2)$  et  $D_5(x_2)$  sont le module et le signe des incréments Iu.

Pour les incréments  $\Delta y$  un compteur-décompteur permet de réaliser la somme algébrique des 6 incréments. Le tableau complet du décodage des incréments doit donc présenter la possibilité d'un changement du signe (C.S.) selon le programme inscrit sur le tambour.

$x_1$	$x_2$	C.S.	Sig.	Mod.	+ I	- I
0	0	0	0	0	0	0
0	1	0	1	1	0	1
1	0	0	0	1	1	0
0	0	1	0	0	0	0
0	1	1	0	1	1	0
1	0	1	1	1	0	1

...



D'où :

	$x_1$	$x_2$				
CS			00	01	11	10
0			0	0	$\emptyset$	1
1			0	1	$\emptyset$	0

$$I + = \bar{C}x_1 + Cx_2$$

	$x_1$	$x_2$				
CS			00	01	11	10
0			0	1	$\emptyset$	0
1			0	0	$\emptyset$	1

$$I - = Cx_1 + \bar{C}x_2$$

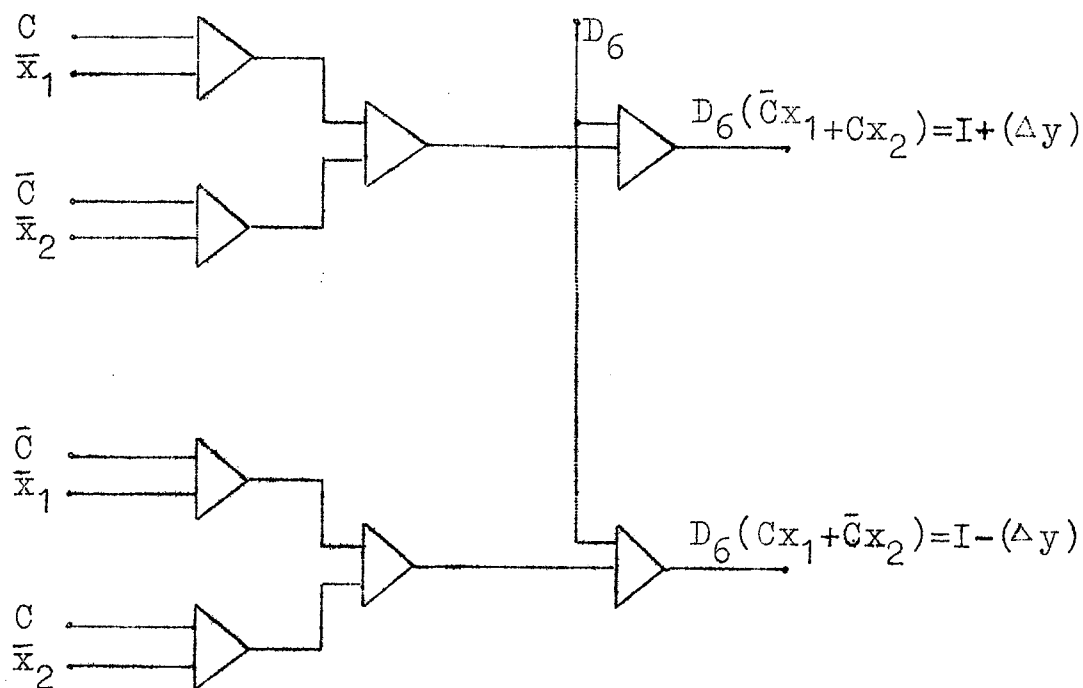


Fig 4-18

C'est ainsi que pour le compteur-décompteur il y a deux entrées ( $I +$ ) et ( $I -$ )

Dans un compteur-décompteur à deux entrées, la présence d'une impulsion sur la voie de comptage ( $e_0 +$ ) fait basculer la première bascule et provoque la transmission directe de chaque sortie d'élément à l'entrée du suivant.

...

Le cas contraire, la présence d'une impulsion sur la voie de décomptage ( $e_0^-$ ) fait aussi basculer le premier élément, mais la transmission aux éléments suivants est faite à travers leurs sorties complémentaires.

On a pour  $e_1$ , entrée du premier élément  $e_1 = (e_0^+) + (e_0^-)$

et pour  $e_2$ , entrée du deuxième élément  $e_2 = (S_1)(e_0^+) + (\bar{S}_1)(e_0^-)$

et ainsi

$$e_3 = (S_1 S_2)(e_0^+) + (\bar{S}_1 \bar{S}_2)(e_0^-)$$

Donc :

$$e_n = \{ (S_{n-1})(S_{n-2})(S_{n-3}) \dots \} (e_0^+) + \{ (\bar{S}_{n-1})(\bar{S}_{n-2})(\bar{S}_{n-3}) \dots \} (e_0^-)$$

$n = 1, 2, 3 \dots$  positions binaires.

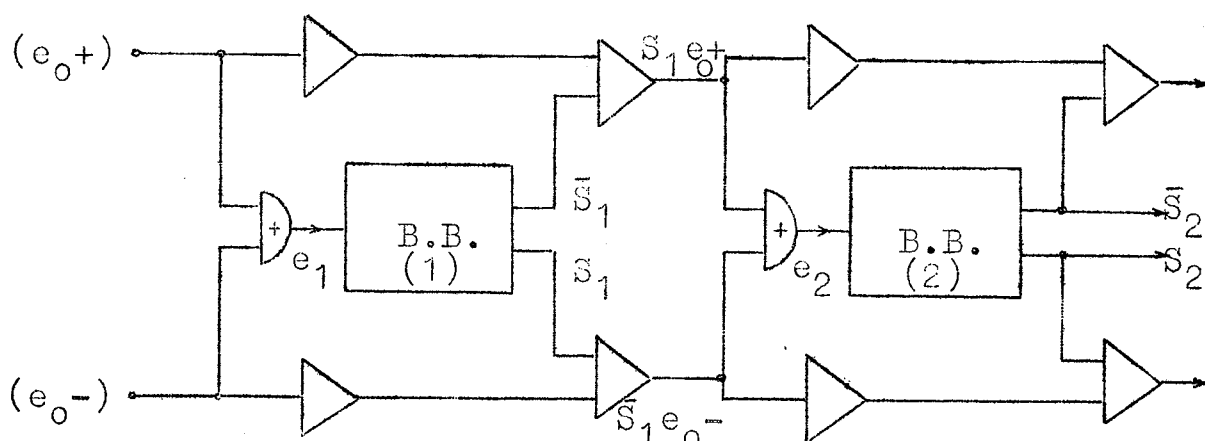


Fig 4-19

Le schéma précédent montre un compteur-décompteur binaire à deux positions fait à partir de l'équation d'entrée généralisée.

Dans notre cas, les nombres limites à compter sont une suite de 6 incréments positifs (+ 6) et une suite de 6 éléments négatifs (- 6). Il faut donc 4 positions binaires pour le décodage des 12 états correspondants.

Le tableau de décodage est le suivant :

+ 6	0	1	1	0
+ 5	0	1	0	1
+ 4	0	1	0	0
+ 3	0	0	1	1
+ 2	0	0	1	0
+ 1	0	0	0	1
0	0	0	0	0
- 1	1	1	1	1
- 2	1	1	1	0
- 3	1	1	0	1
- 4	1	1	0	0
- 5	1	0	1	1
- 6	1	0	1	0

Le schéma logique complet du compteur-décompteur avec ses portes de transfert ( $D_{11}$ ) se trouve sur le schéma général du Contrôle des Incréments (schéma 4-4).

Cette structure nous permet d'obtenir, dans le cas d'un résultat négatif, le complément vrai du nombre codé.

## Chapitre 5

### BLOC DE COMMANDE ET D'INTRODUCTION

Ce bloc permet de contrôler les différents modes de fonctionnement de la machine et l'introduction des données.

Il agit, en conséquence, sur les organes de calcul et de mémoire.

L'organisation générale de l'Analyseur Différentiel Digital est la suivante :

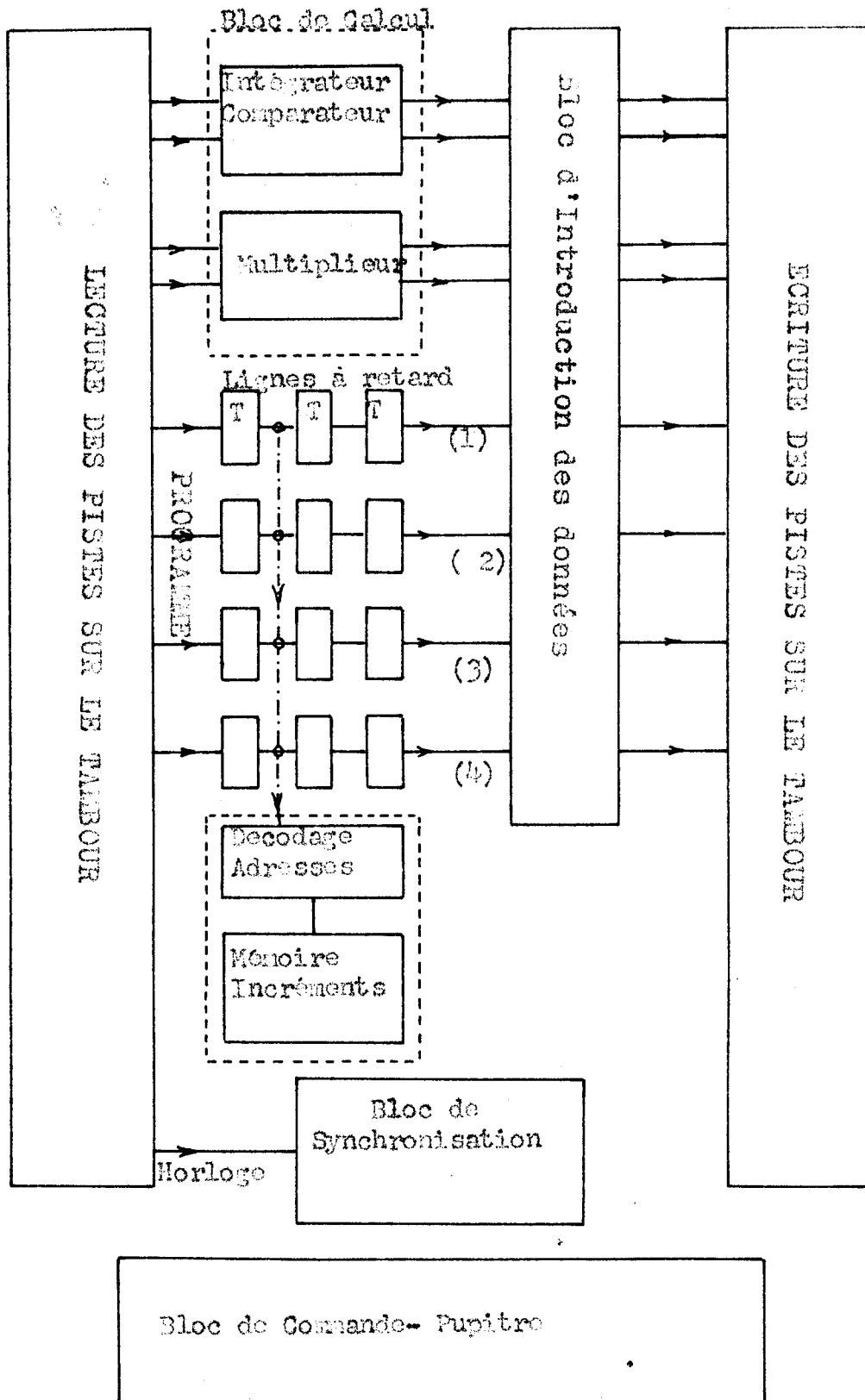


Fig 5-1

D'après le schéma général d'organisation de l'A.D.D. on peut séparer les rôles du bloc de commande et celui d'introduction des données.

## 5.1 - Bloc de commande

La machine a donc différents modes de fonctionnement, à savoir :

- a) Calcul
- b) Arrêt calcul
- c) Attente

- a) Pendant le calcul, le bloc arithmétique (Intégrateur-Comparateur et Multiplieur) et la mémoire des incréments sont en fonctionnement normal.
- b) Pendant l'arrêt calcul, le bloc arithmétique est à l'arrêt (les additionneurs sont bloqués) mais la mémoire des incréments garde ses dernières valeurs par réécriture successive. Les pistes de calcul circulent toujours à travers le bloc arithmétique avec le même retard, mais sans être modifiées.
- c) Dans la position attente, le bloc de calcul est aussi arrêté mais l'effacement du contenu de la mémoire des incréments est immédiat.

## 5.2 - Calcul - Arrêt calcul

L'organisation série-successive de la machine implique des additionneurs-série dans le bloc de calcul. Or, ces éléments réalisent l'addition des nombres qui défilent avec leurs poids faibles en avant.

Un pas de calcul doit respecter l'ordre et la longueur des nombres, donc il doit commencer au premier digit du premier registre et finir au dernier digit du dernier registre.

Un pas de calcul est alors le traitement de tous les opérateurs les uns après les autres.

La commande de calcul doit contenir un nombre entier de pas de calcul et, puisqu'elle est prévue pour être manuelle, on a été amenés à créer un circuit d'impulsion unique, celle-ci bornée par les conditions antérieurement mentionnées.

Ce circuit, à impulsion unique, peut être calculé à partir de ses tableaux d'états, en considérant que ( $e_1$ ) une des entrées (commandée manuellement) est beaucoup plus lente que l'autre ( $e_2$ ).

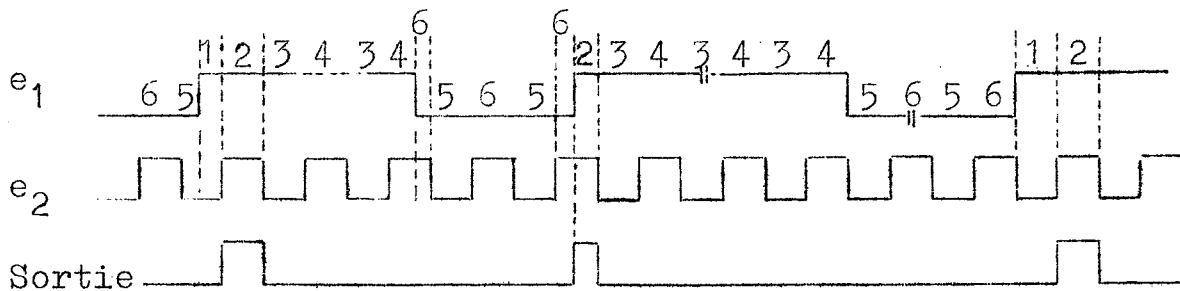


Fig 5-2

$e_2$  a plus de deux impulsions pendant que  $e_1 = 1$

Le tableau d'états est :      Tableau réduit :

$e_1 e_2$	00	01	11	10	S
*	*	2	①	0	
*	*	②	3	1	
5	6	4	③	0	
5	6	④	3	0	
⑤	6	2	1	0	
5	⑥	2	1	0	

$e_1 e_2$	00	01	11	10
*	*	2	①	
*	*	②	3	
5	6	④	③	
⑤	⑥	2	1	

$e_1 e_2$		$y_1 y_2$			
		00	01	11	10
00	*	*	01	10	
01	*	*	01	11	
11	10	10	11	11	
10	10	10	01	10	

	$e_1 e_2$			
$y_1 y_2$	00	01	11	10
00	x	x	0	1
01	x	x	0	1
11	1	1	1	1
10	1	1	0	1

$$Y_1 = e_2' + e_1' + y_1 y_2$$

$$S = y_1' y_2 e_1 e_2$$

	$e_1 e_2$			
$y_1 y_2$	00	01	11	10
00	x	x	1	0
01	x	x	1	1
11	0	0	1	1
10	0	0	1	0

$$Y_2 = e_1 e_2 + y_2 e_1$$

Le schéma logique a la forme suivante :

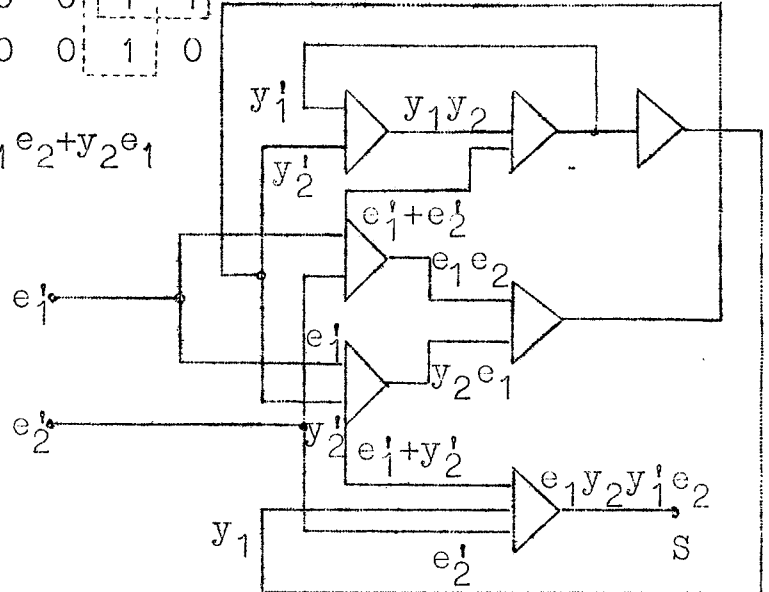


Fig 5-3

Dans ce montage  $e_1$  pouvait être actionnée par une commande manuelle et  $e_2'$  pouvait être la première impulsion du premier mot indiquant ainsi le début du "calcul".

Mais l'on désirait avoir en même temps une sorte de sécurité qui puisse permettre à l'opérateur de la machine de ne déclencher le calcul que si les registres étaient convenablement remplis.

D'autre part, on avait aussi la commande du calcul, soit "normal" ou bien "pas à pas" et, évidemment, la commande d'arrêt calcul.



Pour tous ces circuits, on possède les digits décodés provenant du bloc de synchronisation. Un système logique complet, beaucoup plus simple que celui que l'on a trouvé plus haut, fut dressé à partir de ces digits décodés.

On a comme digits décodés  $d_{01}$  et  $d_{23,5,44}$

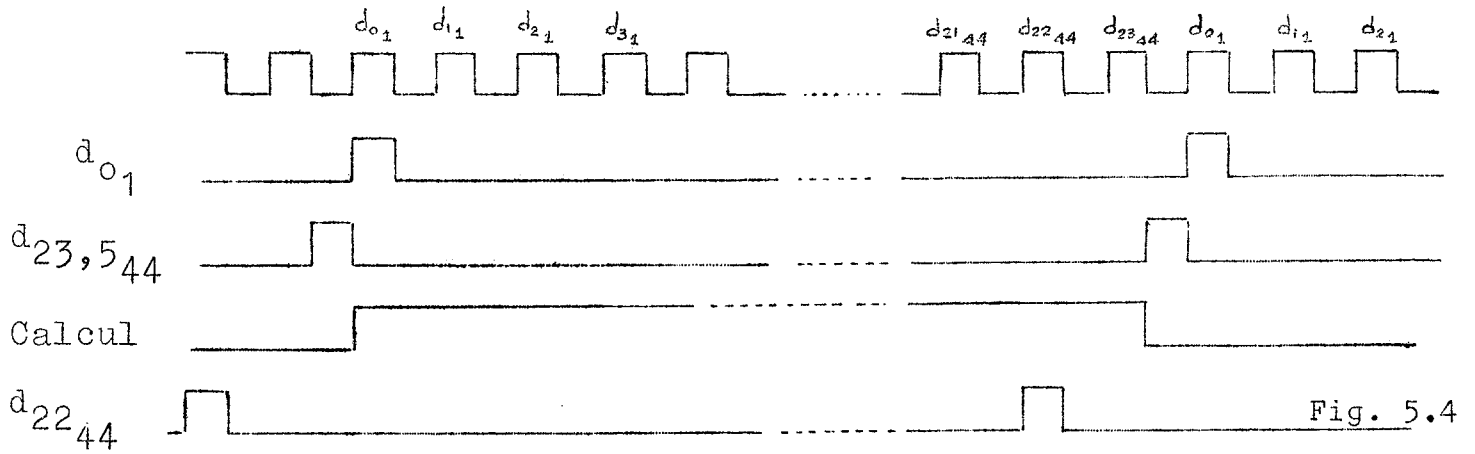


Fig. 5.4

Le circuit logique proposé est le suivant :

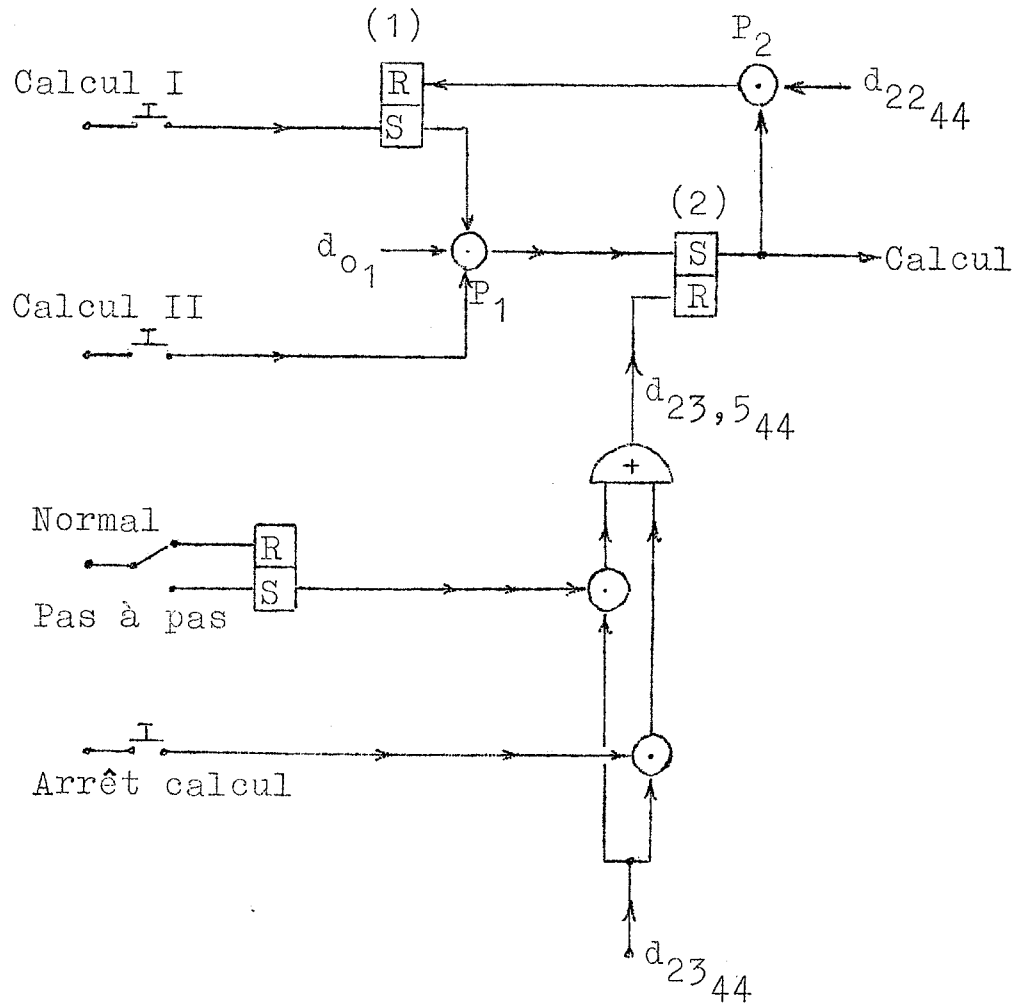


Fig. 5.5

Le bouton poussoir de "calcul I" permet d'ouvrir la porte (P1) que laisse passer l'impulsion ( $d_0$ ) du premier registre, mais cette dernière ne passera que si l'on appuie sur le bouton poussoir "calcul II".

$d_{01}$  fait donc basculer la mémoire RS (2) que devra fournir le signal de calcul. C'est alors que  $d_{22}$  du registre 44 trouve ouverte la porte P2 et fait basculer vers zéro la mémoire RS (1), empêchant ainsi le passage d'une autre impulsion  $d_{0-1}$ .

RS2 reste donc à la valeur 1 attendant qu'une impulsion, placée en  $d_{23.5}$  du dernier registre, arrive pour la faire basculer.

$d_{23.5-44}$  apparaît par un "arrêt calcul" ou bien, si le calcul est placé en "pas à pas", elle apparaît continuellement, ce qui provoque l'arrêt immédiat du calcul après avoir fait un pas complet.

Une fois arrêté, le calcul ne peut être recommencé qu'en appuyant sur "calcul I" et ensuite en appuyant sur "calcul II".

Le circuit complet apparaît dans la partie supérieure gauche du schéma général du Bloc de Commande et d'Introduction (schéma 5-1).

### 5.3 - Attente

Son action est valable si le bloc de calcul est à l'arrêt. La fermeture de la porte d'entretien de la mémoire des incréments évite la réécriture et produit l'effacement de son contenu.

Dans la position d'attente, on a la possibilité d'une remise à zéro des pistes de calcul et de programme. Une impulsion commandée manuellement ferme les portes de passage des lignes à retard, ce qui provoque l'effacement complet des pistes.

#### 5.4 - Commandes secondaires

##### a) Introduction

Elle consiste essentiellement en la mise en mémoire d'un mot qui peut être soit la représentation binaire d'une donnée, soit une partie du programme.

Il est alors évident que ce mot doit pouvoir être placé dans un registre et une piste choisis, et que, son contenu, peut être varié selon la valeur qu'il représente.

L'introduction est donc divisée en deux temps :  
l'affichage et la rentrée.

L'affichage est l'opération de présélection de la piste du registre et du contenu du mot.

La rentrée provoque la mise en série du mot dans la piste et le registre choisis.

##### b) Visualisation

Le contenu des registres pendant l'arrêt du calcul peut être visualisé au moyen de cette commande.

Il y a aussi un premier temps d'affichage qui permet de sélectionner le registre dans chacune des pistes du tambour.

N.B. : Ces commandes secondaires ne sont valables que pendant un arrêt du calcul.

5.5 - Bloc d'Introduction

Représentation des nombres :

Les nombres sont représentés en convention fractionnaire du code binaire pur. Les registres ont une longueur de 24 positions avec l'organisation suivante :

$d_{23}$	$d_{22}$	$d_{21}$	$d_{20}$	.....	$d_2$	$d_1$	$d_0$
I	S	,	0	0	0	0	R

(Le sens de défilement est tel que les poids faibles sont en tête)

$d_0$  est normalement le digit de repérage du mot à sa précision maximale. Il indique donc le début du mot. Néanmoins, ce digit de repérage peut être n'importe quel autre du mot.

Dès la position de ce digit, on détermine la précision du calcul.

La virgule, placée à droite du rang binaire de poids le plus élevé, est située entre  $d_{22}$  et  $d_{21}$ .

$d_{22}$  indique le signe du nombre ; si  $d_{22} = 1$  il s'agit d'un nombre négatif car, dans ce code, le complément vrai d'un nombre positif porte toujours un "un" à cette place. Si  $d_{22} = 0$  cela représente donc un nombre positif.

$d_{23}$  est le digit d'imparité.

On a choisi un contrôle d'imparité et non celui de parité car, avec ce dernier, on ne peut pas détecter une absence complète d'information et cela d'autant plus que les 44 registres contiennent un nombre pair de digits (24). Un contrôle de parité ne pourra plus détecter si la piste est totalement pleine. Or, ces fautes sont assez courantes avec un système série à tambour en ligne de retard.

En ce qui concerne le programme, il est codé en binaire pur mais en parallèle sur les quatre pistes qui lui sont réservées. Les adresses sont codées en deux parties, lignes et colonnes, dans les places assignées par le Tableau de Synchronisation.

	0	1	Piste 1	
	0	0		2
	1	0		3
	0	1		4

Colonne      Ligne

Colonne 0010  
Ligne 001

Signe  
↑  
Avec changement de signe.

Fig 5-6

### 5.6 - Affichage

Il s'agit de présélectionner une piste, choisir un des 44 registres et former le mot qui représente la valeur de la donnée ou la partie du programme à garder en mémoire.

La présélection d'un registre se réalise dans le bloc de synchronisation. Il suffit donc de lui envoyer, codé en décimal-codé-binaire, le numéro du registre voulu. Par disjonction avec le compteur des registres, on peut déterminer la position exacte du registre à chaque tour de tambour.

Pour le mot série, il suffit d'envoyer, pour chacun des digits qu'on veut faire apparaître, leur commande respective.

Le mot série est :  $d_0 P_0 + d_1 P_1 + d_2 P_2 + \dots + d_{23} P_{23}$   
si  $P_0$  a une valeur "un" et non plus les autres, le seul digit présent dans le mot sera  $d_0$ .

Un double système d'aiguillage permet de faire passer une des pistes à travers le circuit unique d'introduction, sans perdre le bouclage. La sélection de la piste est faite par décodage.

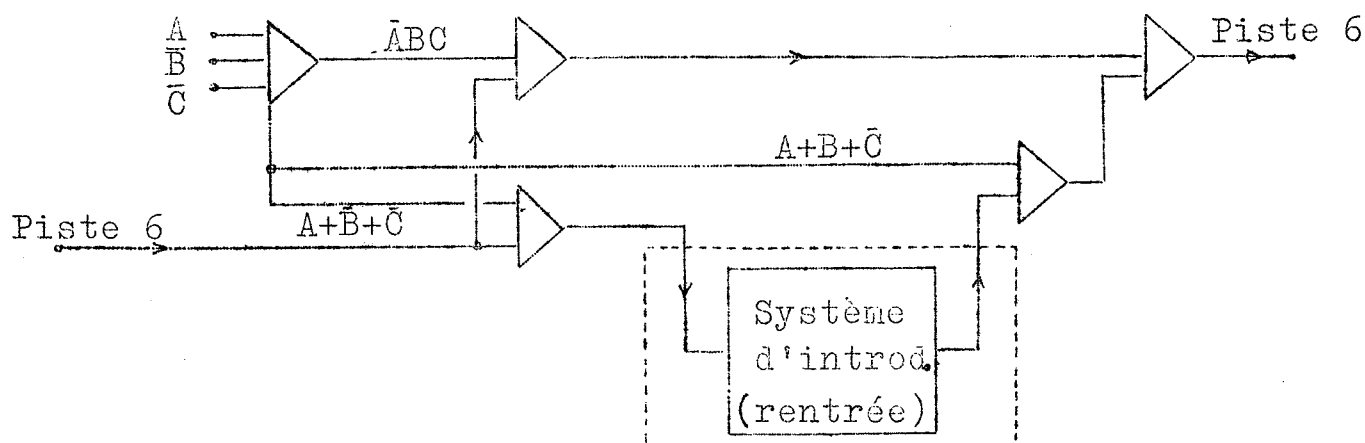


Fig 5-7

Si une piste est décodée, au lieu d'emprunter le chemin direct, elle est obligée de passer à travers le système d'introduction. Le même décodage permet que la sortie unique dudit circuit soit envoyée vers la piste correspondante.

### 5.7 - Entrée

Ce circuit doit réaliser la mise en série du "mot série" dans la piste et le registre choisis. C'est aussi un circuit à impulsion unique.

A partir du même montage, utilisé pour la commande de calcul, on a réalisé le circuit qui délivre une impulsion de durée égale à la longueur d'un registre. Cette impulsion est placée à volonté d'après le système de présélection des registres.

La sécurité est représentée par deux boutons "Affichage" et "Rentrée" proprement dite.

L'intersection avec le mot série nous donne "le mot à introduire" une seule fois.

Le circuit d'introduction est bien simple

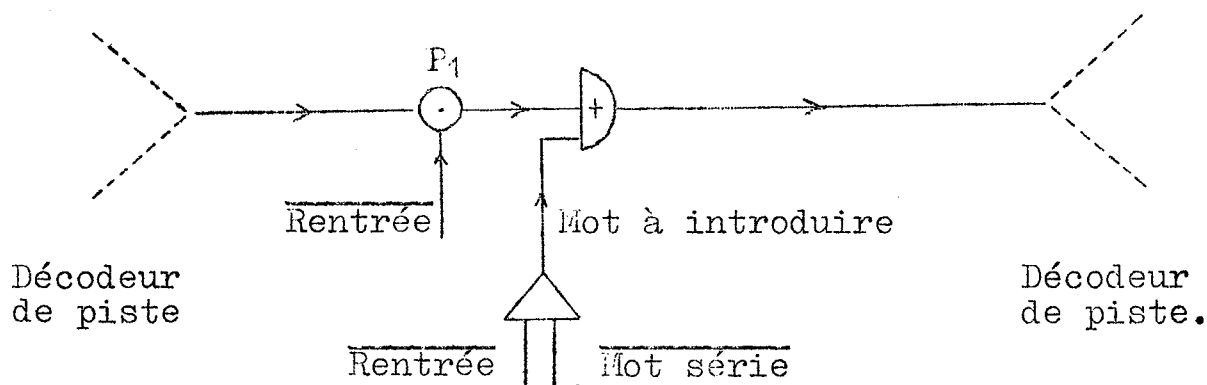


Fig 5-8

La seule impulsion de rentrée ferme la porte  $P_1$  qui arrête le passage de la piste et lui fait introduire, à la place, le mot série désiré.

On peut donc placer une donnée quelconque sur un des 44 registres de chaque piste. Une fois rentré, le mot circule dans sa piste bouclée et ne peut être changé que par une nouvelle introduction, au même endroit.

N.B. : Il faut remarquer que si une seule perturbation se produit, étant capable de perdre la référence de temps donnée par la piste d'horloge, il faudrait tout réenregistrer. Il en est de même quand on arrête la machine.

Pour être sûrs de l'introduction et pour vérifier le contenu des registres après un calcul, il faut un système de visualisation des registres.

5.8 - Visualisation

La visualisation d'un registre peut être assimilée à un circuit convertisseur série-parallèle. En effet, l'intersection du mot série avec chacun des digits  $d_0$ ,  $d_1$ ,  $d_2$  décodés fait positionner les bascules RS correspondantes.

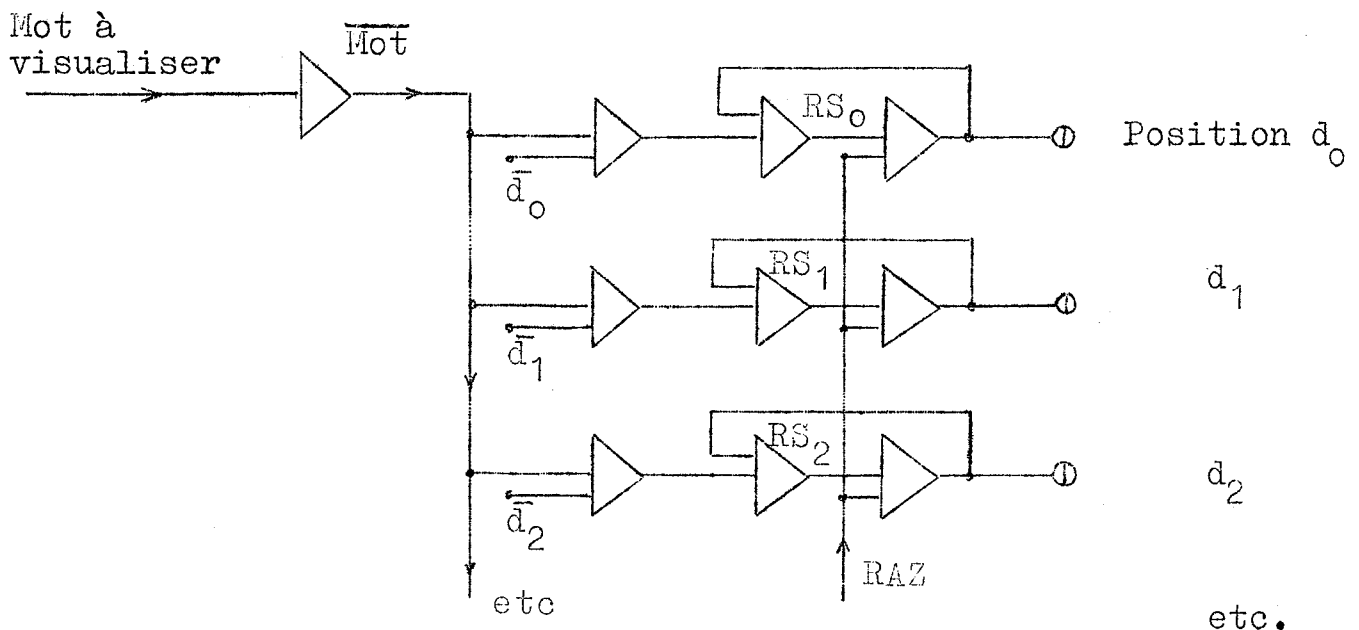


Fig 5-9

Ainsi, si le mot contient un digit en position de  $d_1$ , la bascule RS 1 sera attaquée au passage du mot et elle restera dans sa position jusqu'à la "remise à zéro" générale.

Le circuit de rentrée est donc modifié de la façon suivante pour permettre la visualisation d'un registre sélectionné.

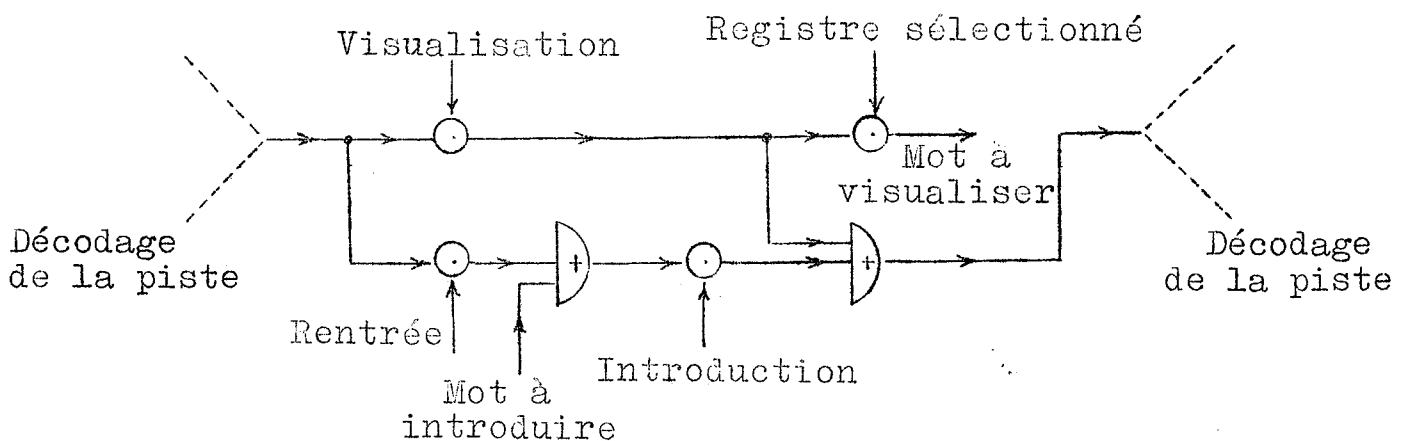


Fig 5-10

...



## 5.9 - Introduction automatique

Pour donner à la machine de meilleures performances, on a conçu un système d'introduction automatique qui peut être commandé par un lecteur de bande perforée.

Cette introduction automatique réalise l'affichage nécessaire et ensuite commande la rentrée. Pour éviter de doubler les circuits, l'introduction manuelle doit suivre les mêmes opérations que l'introduction automatique.

Rappelons qu'il y a :

- 8 pistes à décoder (trois positions en code binaire-pur)
- 44 registres codés décimal-codé-binaire par piste, dont quatre positions pour les unités, et trois positions pour les dizaines.
- 24 digits du mot.

L'affichage doit en plus se réaliser rigoureusement en série.

Ainsi, si l'on considère les possibilités d'utilisation d'une bande perforée à plus de quatre voies, on pourrait facilement adapter un code qui permettrait l'affichage successif des données.

Quatre mémoires placées à la lecture du ruban perforé peuvent suffire pour réaliser l'affichage complet, avec neuf pas d'affichage,

- 1) Nombre de piste 0 → 7 (binaire pur)
- 2) Unités du nombre du registre 0 → 9 (binaire pur)
- 3) Dizaines du nombre du registre 0 → 4 (binaire pur)

- |                                         |   |        |   |                      |
|-----------------------------------------|---|--------|---|----------------------|
| 4) Quatre poids les plus faibles du mot | } | 6 fois |   |                      |
| 5) Suite du mot                         |   |        |   |                      |
| 6) Suite du mot                         |   |        | } | 0 → 15 (binaire pur) |
| 7) Suite du mot                         |   |        |   |                      |
| 8) Suite du mot                         |   |        |   |                      |
| 9) Poids forts, signe, imparité         |   |        |   |                      |

On a donc quatre mémoires d'entrée et un sélecteur de pas qui, pendant l'introduction automatique, marche en compteur.

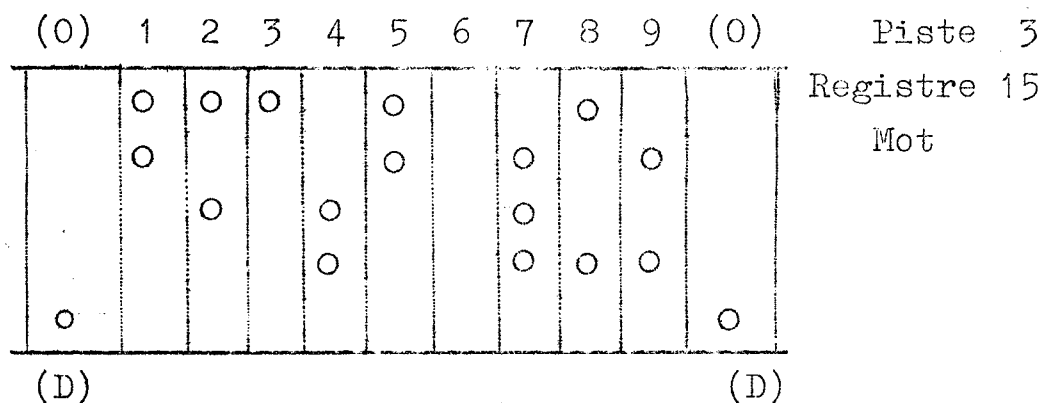


Fig 5-11

Piste 3

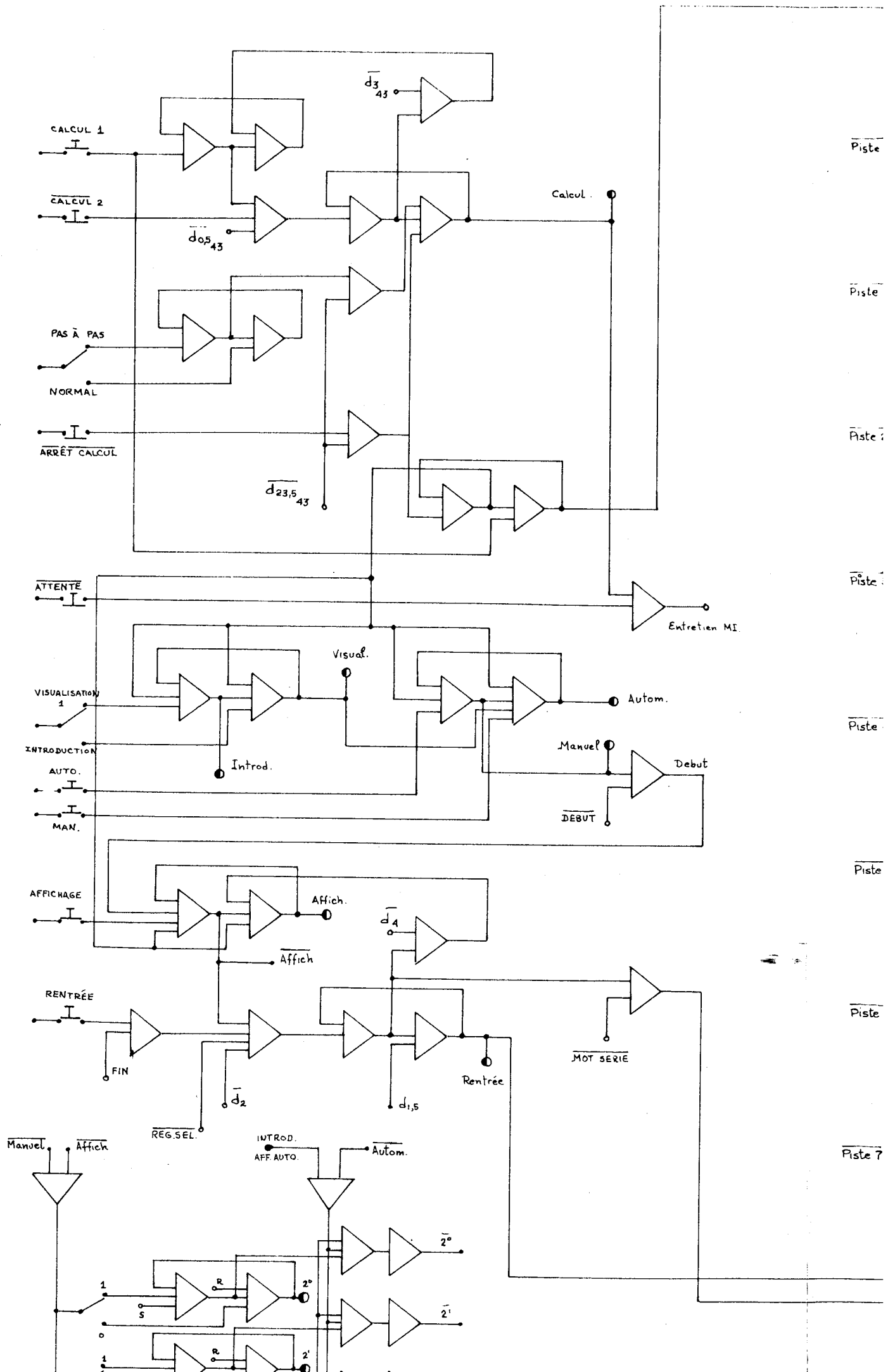
Registre 15

Mot 1 0 , 1 0 1 0 0 1 1 1 1 0 0 0 0 0 0 0 1 1 1 1 0 0

(D) c'est l'ordre de "début" de l'affichage. Cet ordre remet à zéro le système (bascules d'entrée à zéro, compteur de pas à zéro, bascules d'affichage à zéro).

La rentrée du mot se fait automatiquement après avoir affiché la dernière tranche du mot.





Piste

Piste

Piste

Piste

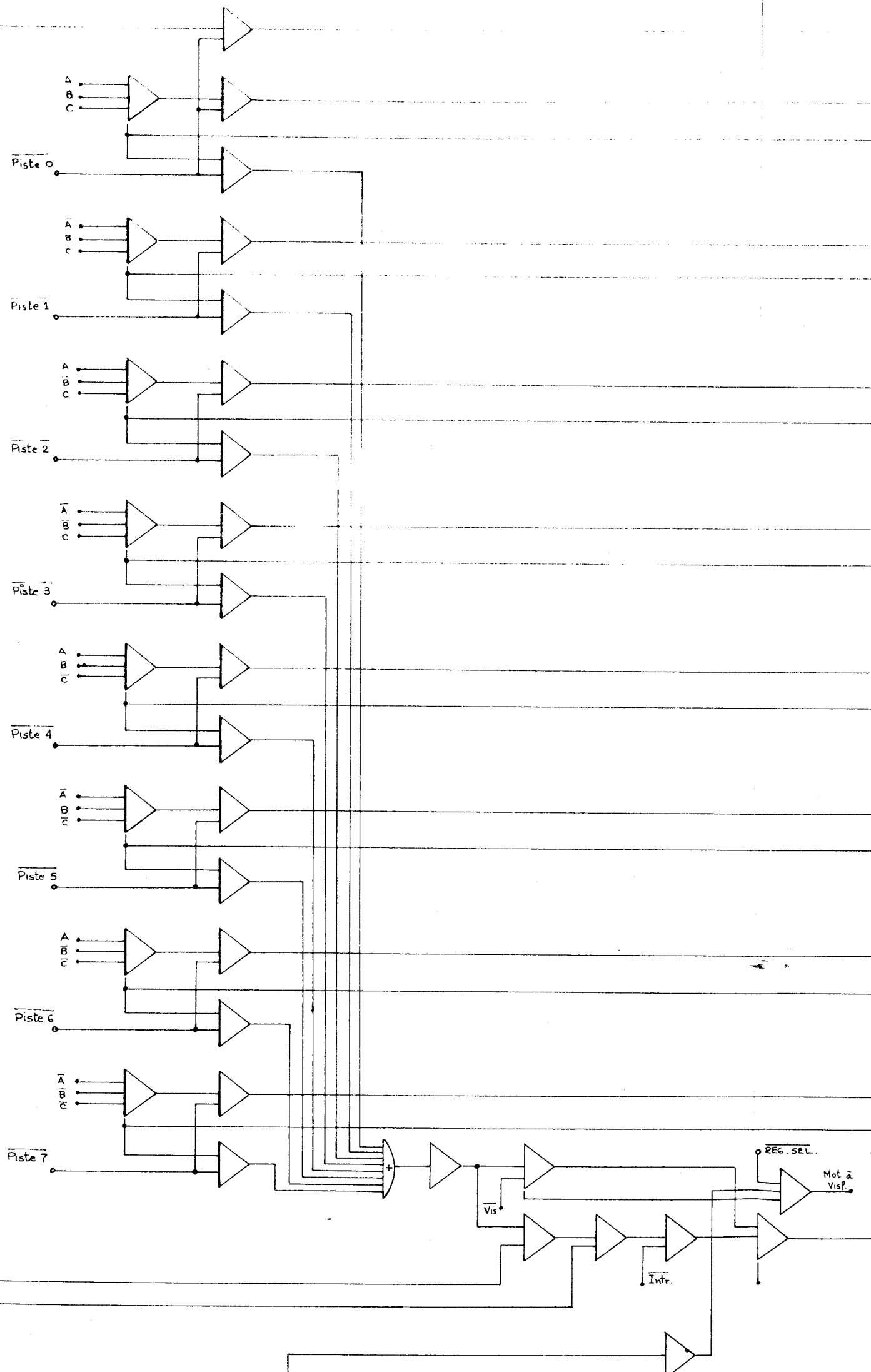
Piste

Piste

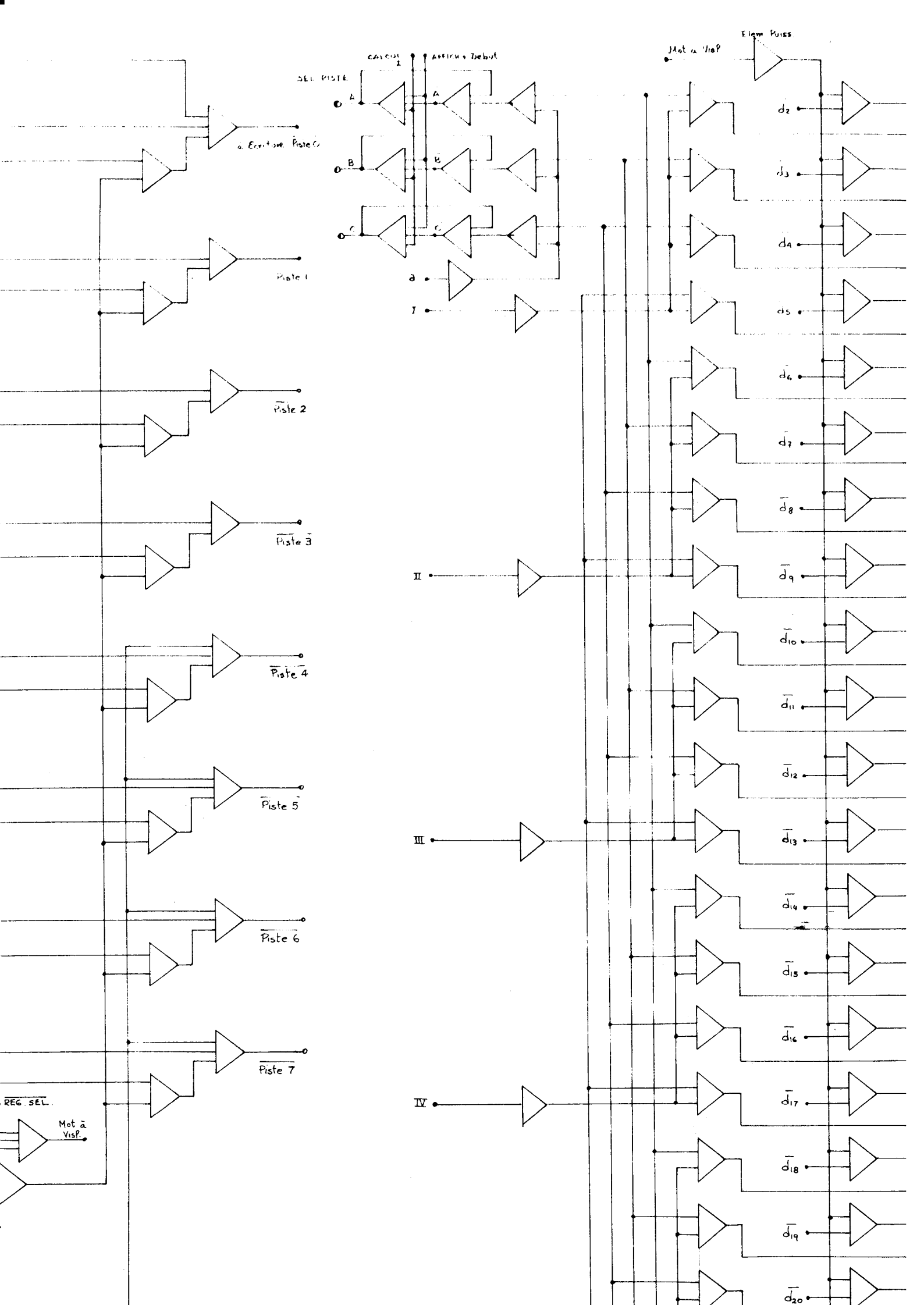
Piste

Piste ?



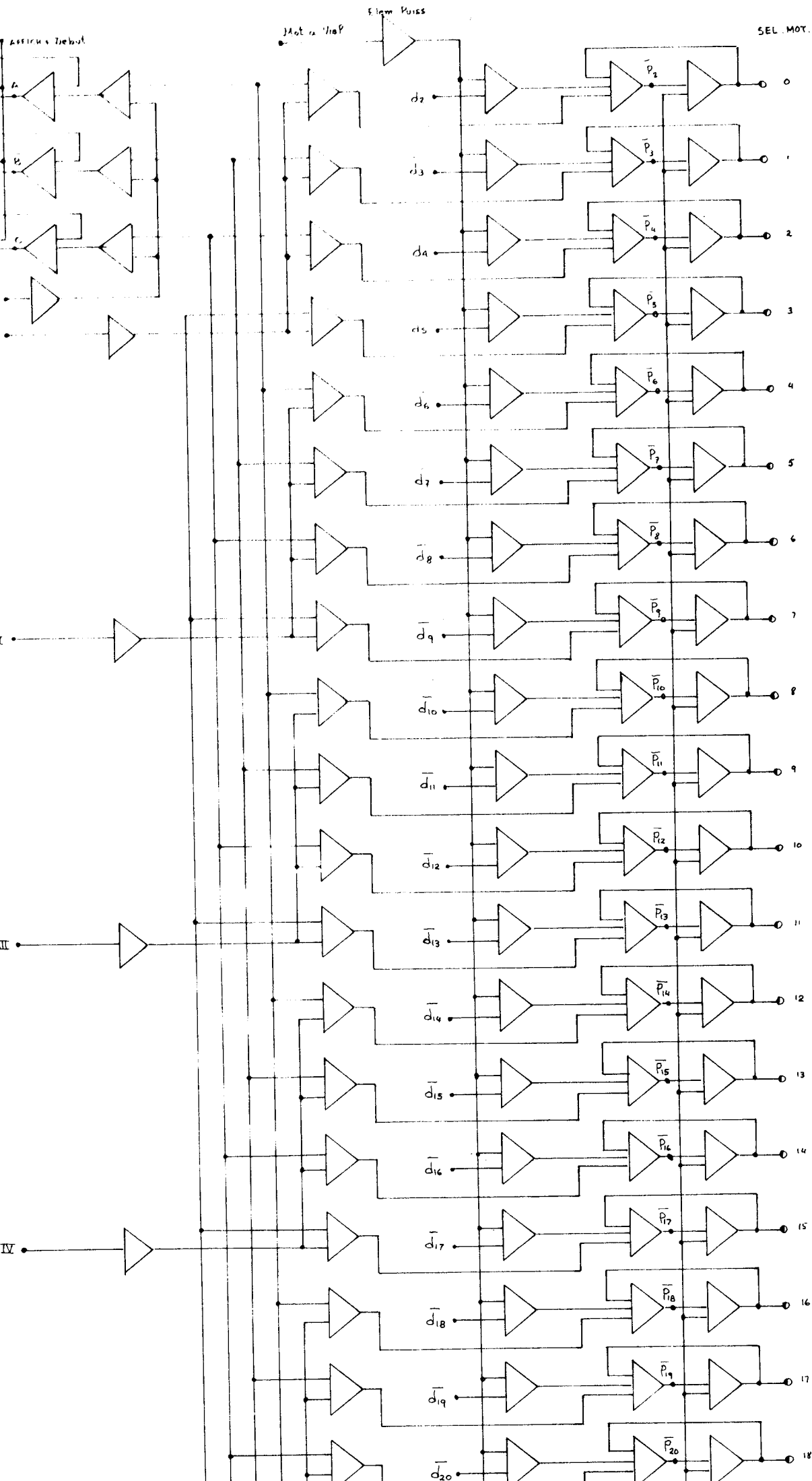






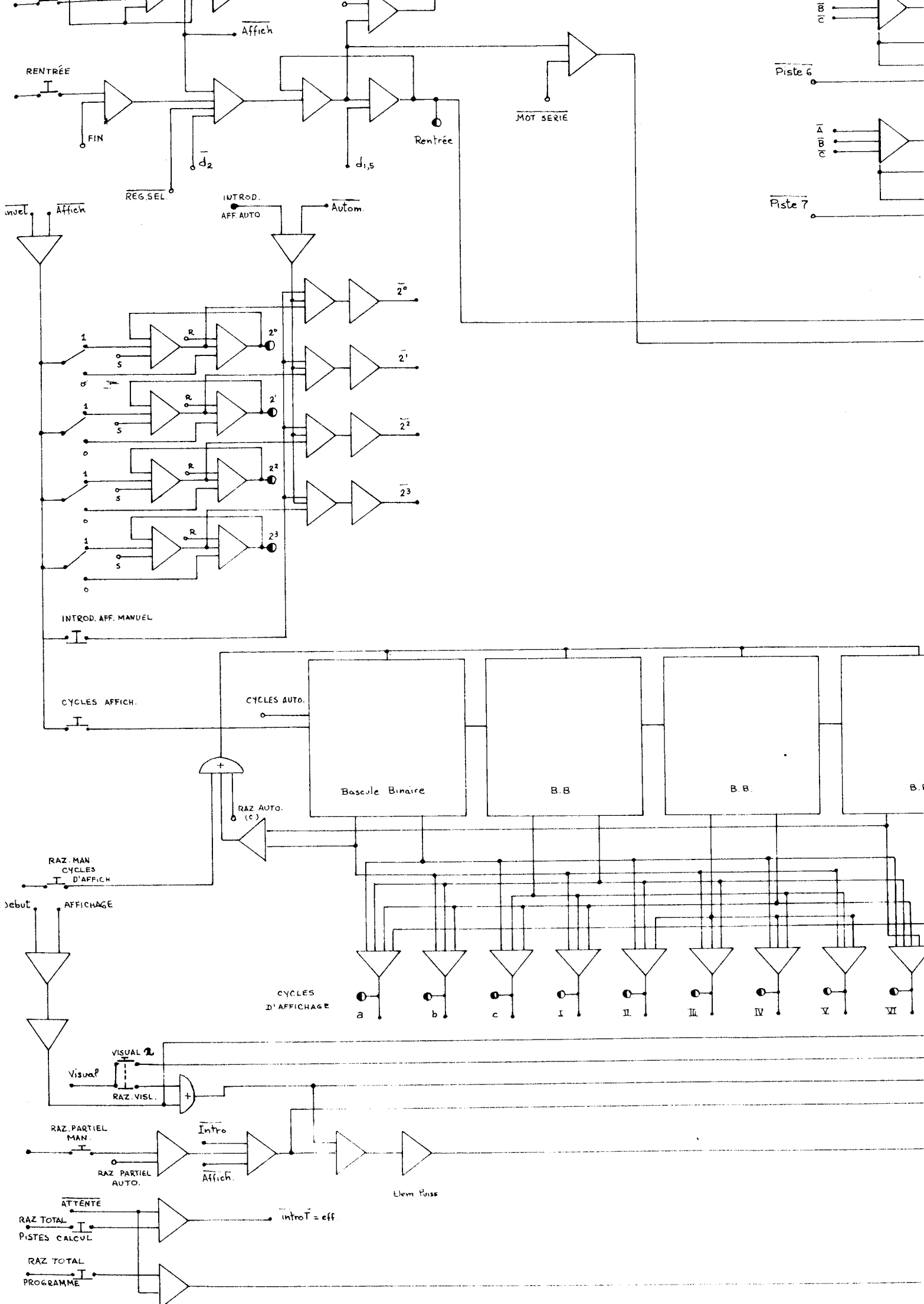




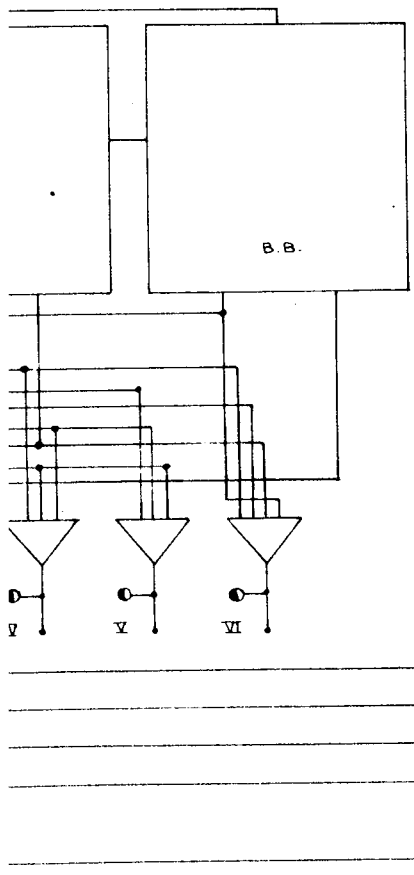
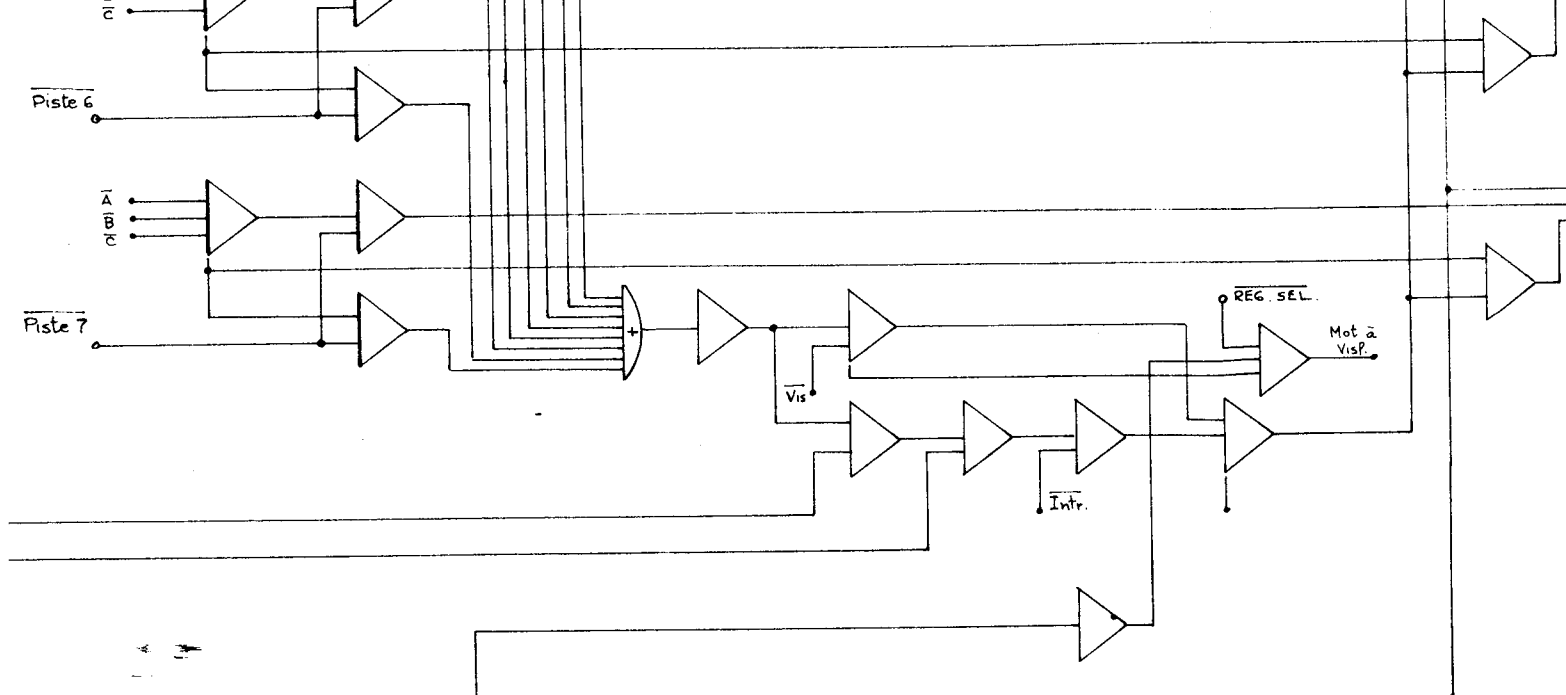


BLOC DE COMMANDE ET D'INTRODUCTION A.D.D.

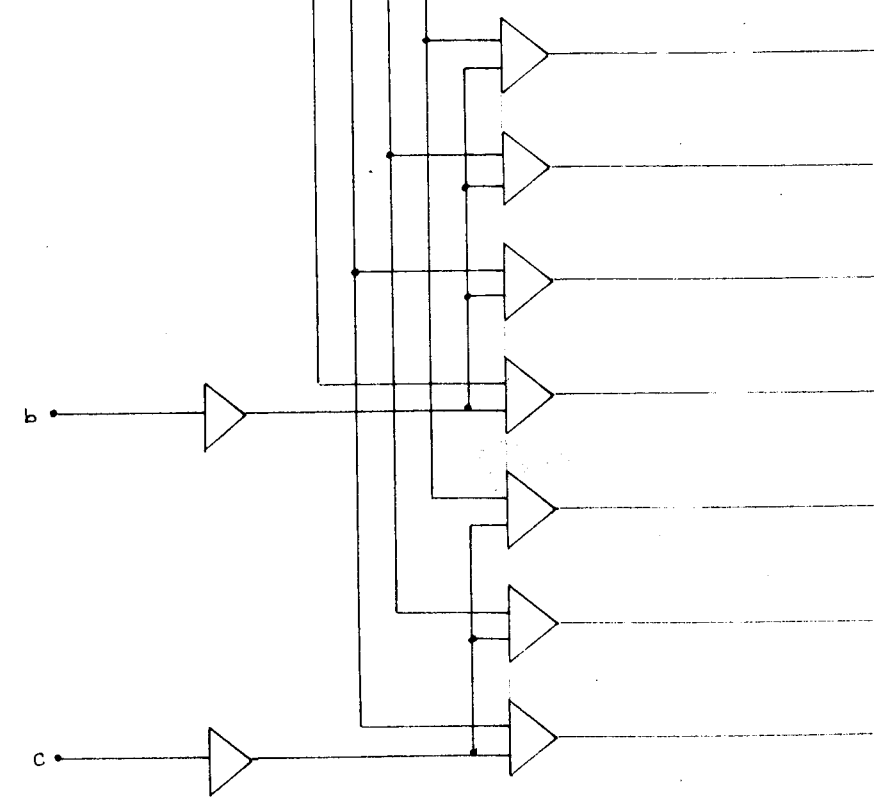
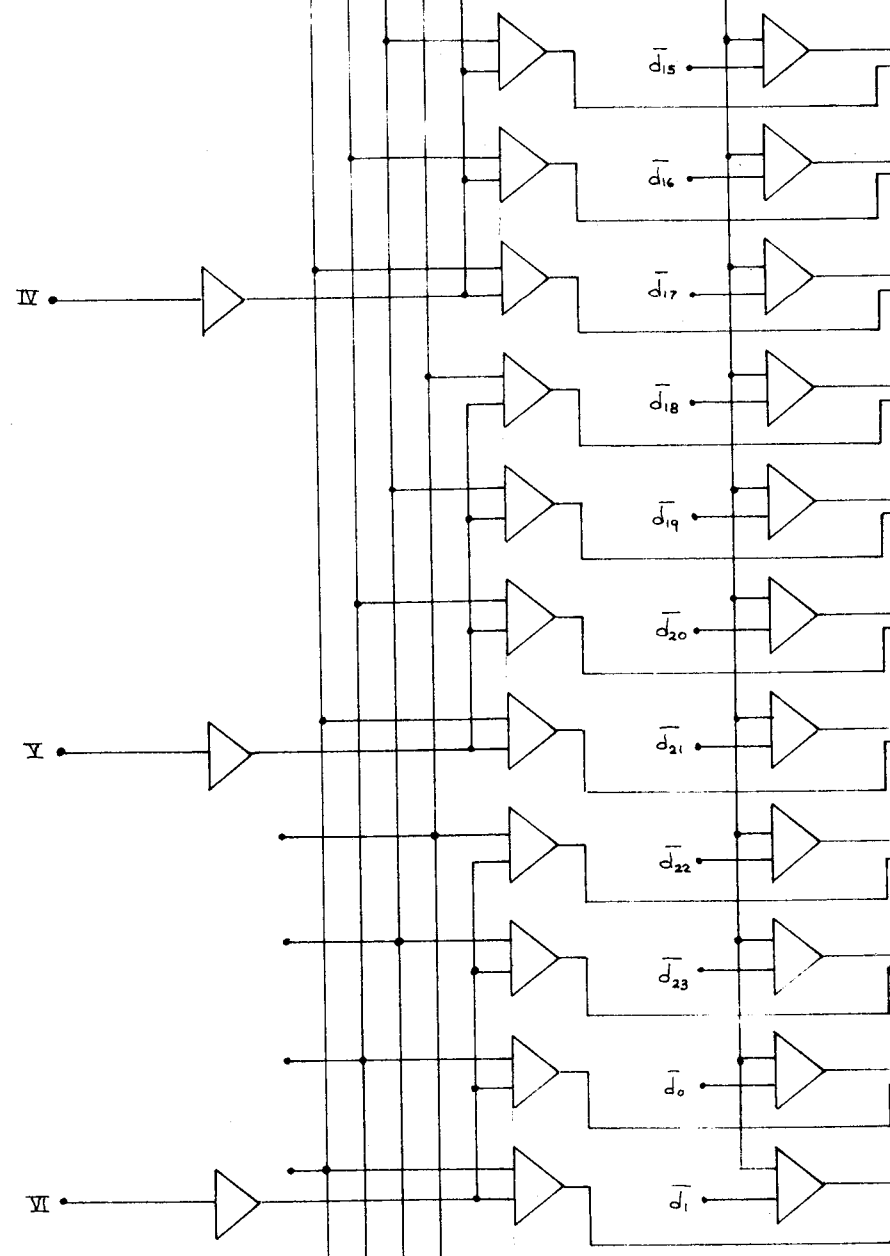
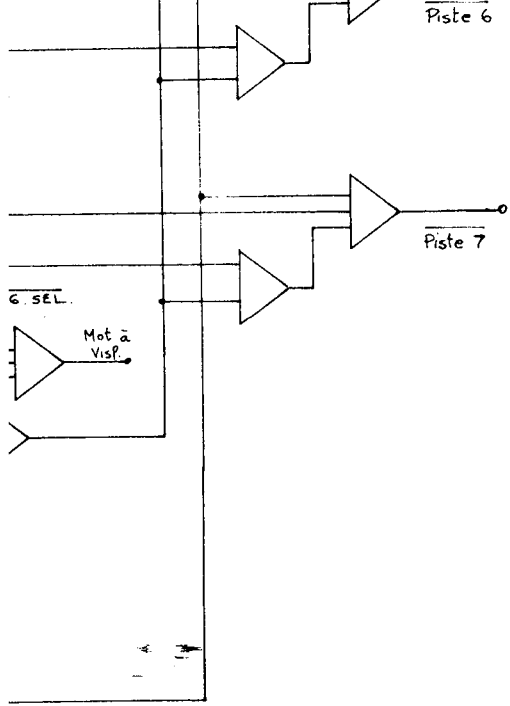






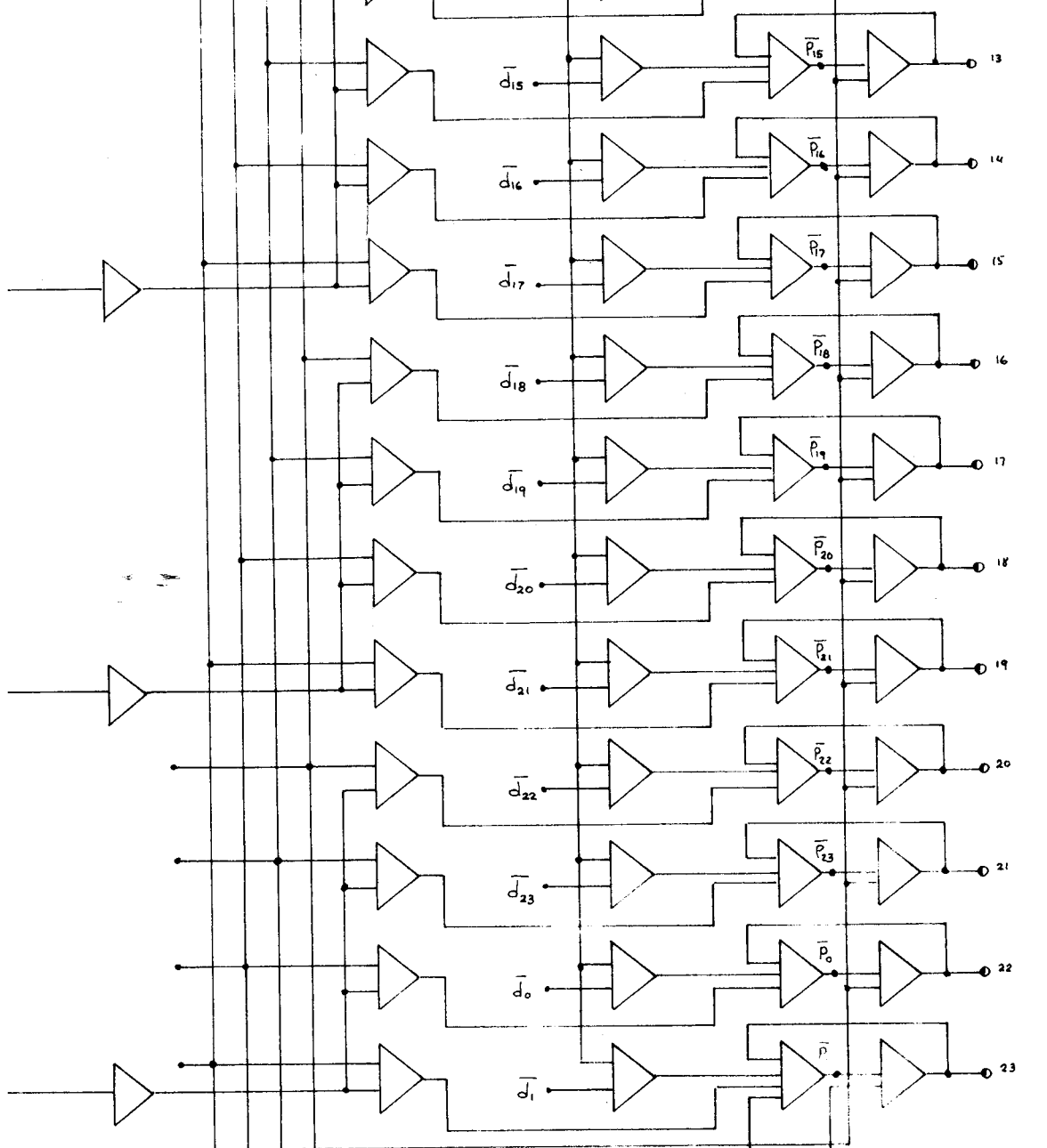




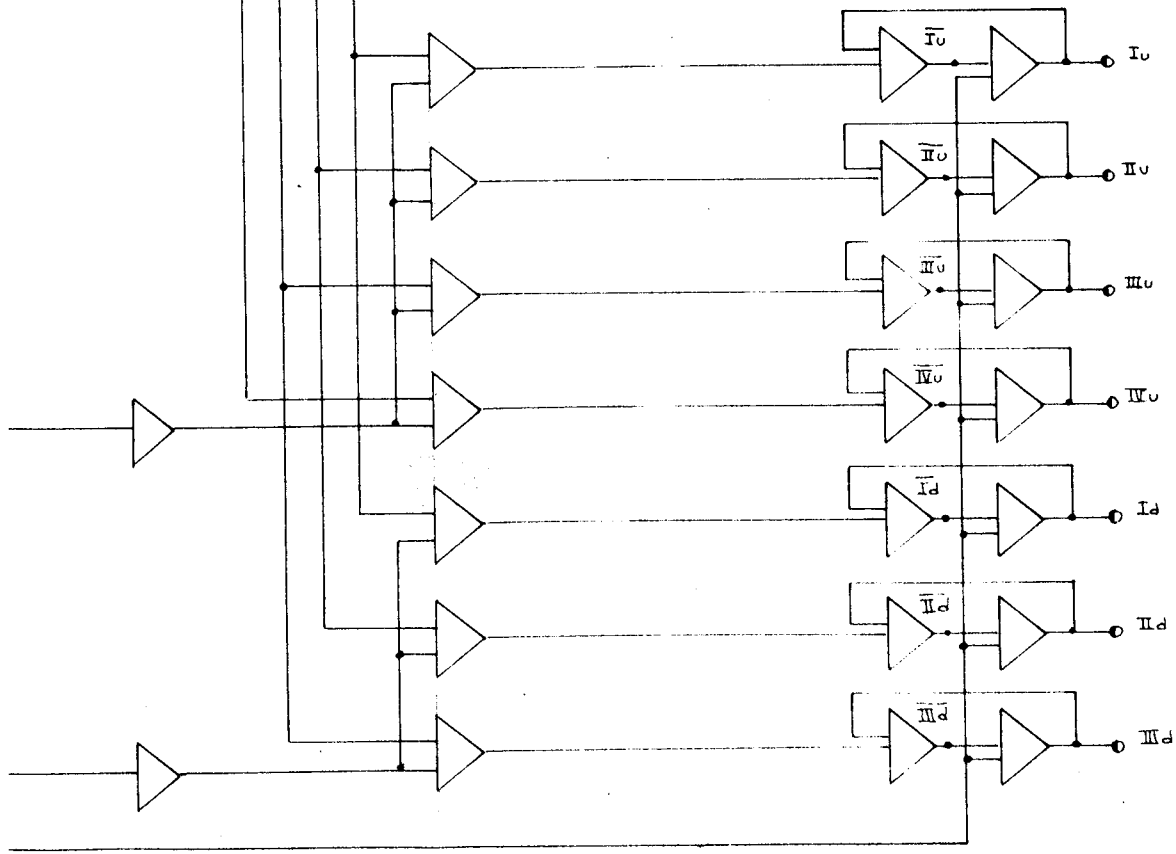








SEL. REG.





Le schéma complet du bloc de commande et d'introduction est ci-joint. On peut noter dans le côté gauche inférieur, les mémoires d'affichage et le compteur binaire des cycles ou pas d'affichage.

L'intersection de ces deux ensembles permet d'aiguiller les quatre digits d'affichage vers les bascules correspondantes, soit de décodage des pistes, soit de présélection des registres ou vers chacune des six tranches qui composent le mot série.

Ces mêmes 24 bascules du mot servent, quand il n'y a pas d'introduction, pour faire la visualisation des registres.

#### Remarque

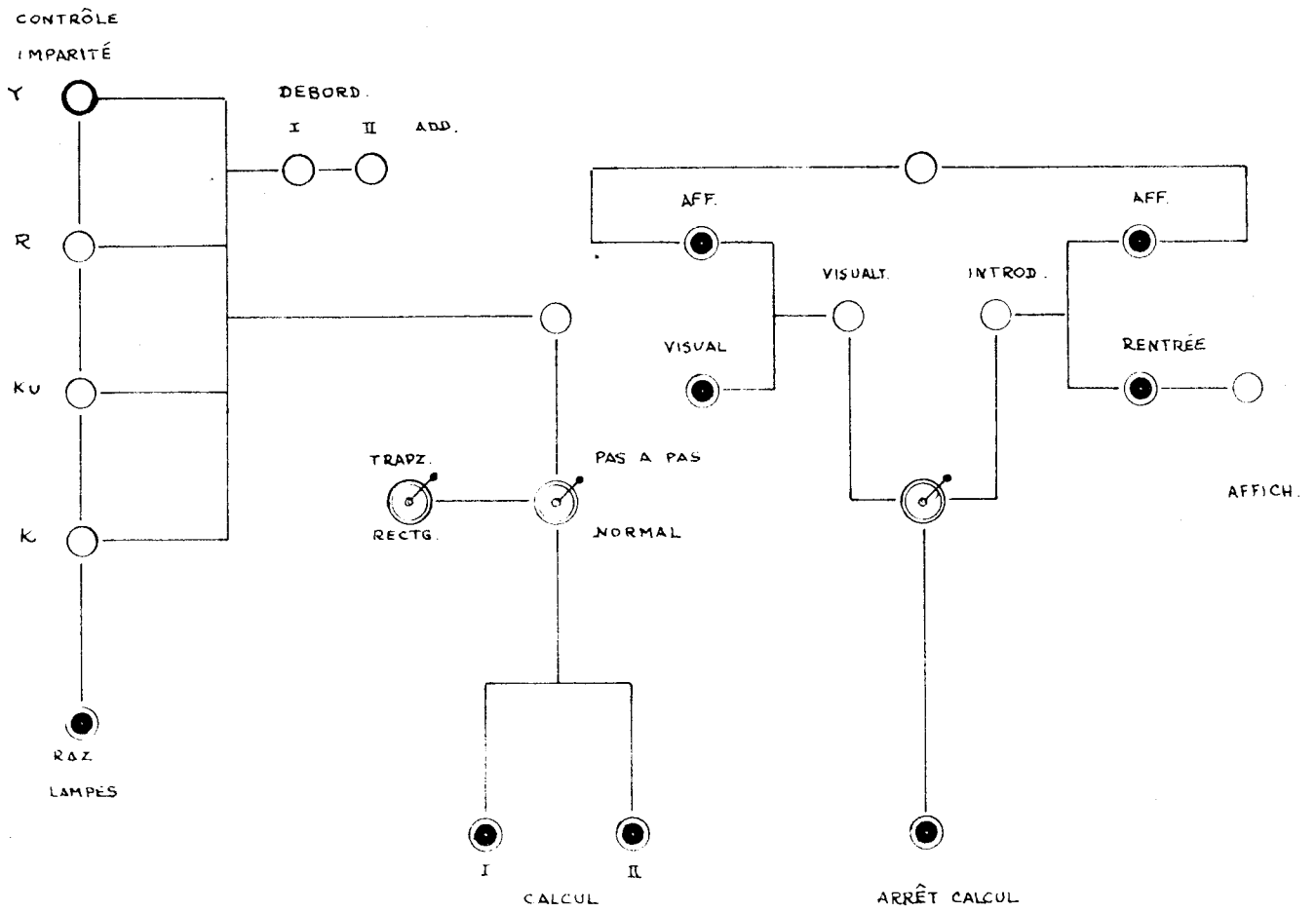
Il faut noter que toutes les pistes sont prises juste après leur sortie du bloc de calcul ou de leurs lignes à retard (voir le schéma d'organisation au début du chapitre). Or, les registres ont, à ce point, donné un décalage de trois temps unitaires. Pour la visualisation, ce retard est compensé dans l'ordre des voyants.

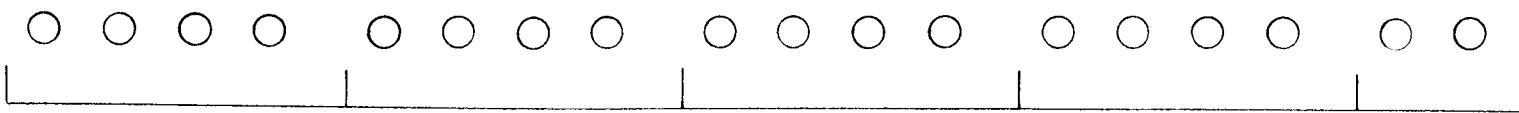
#### 5.10 - Pupitre de commande (Schéma 5-2)

On a rassemblé toutes les commandes manuelles de la machine ainsi que les voyants sur un pupitre extérieur.

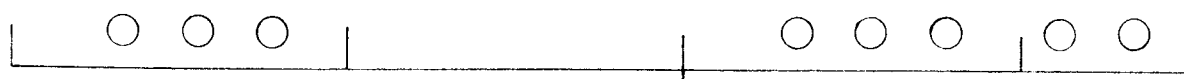
Un premier schéma d'implantation de ce pupitre est aussi joint. L'implantation définitive sur la machine qui ne diffère guère se trouve dans le chapitre des réalisations technologiques.

Pour ces voyants, on a adopté un système homogène qui n'a pas besoin de transformations logiques. Un "un" à l'entrée fait allumer le voyant.



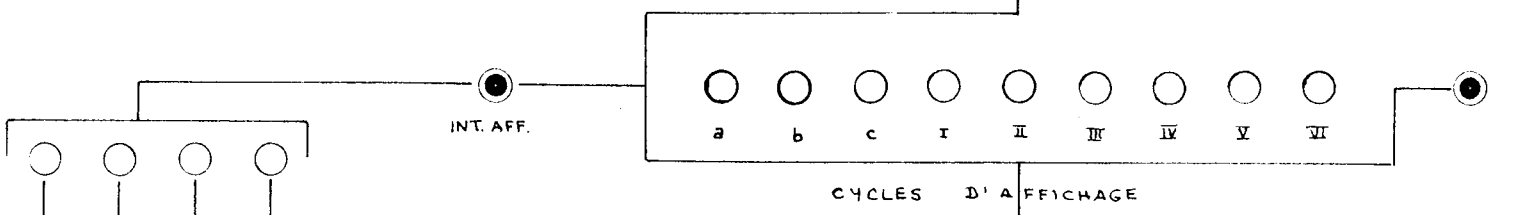


MOT



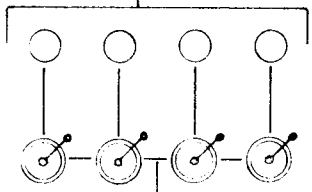
PISTE

REGISTRE



INT. AFF.

CYCLES D'AFFICHAGE



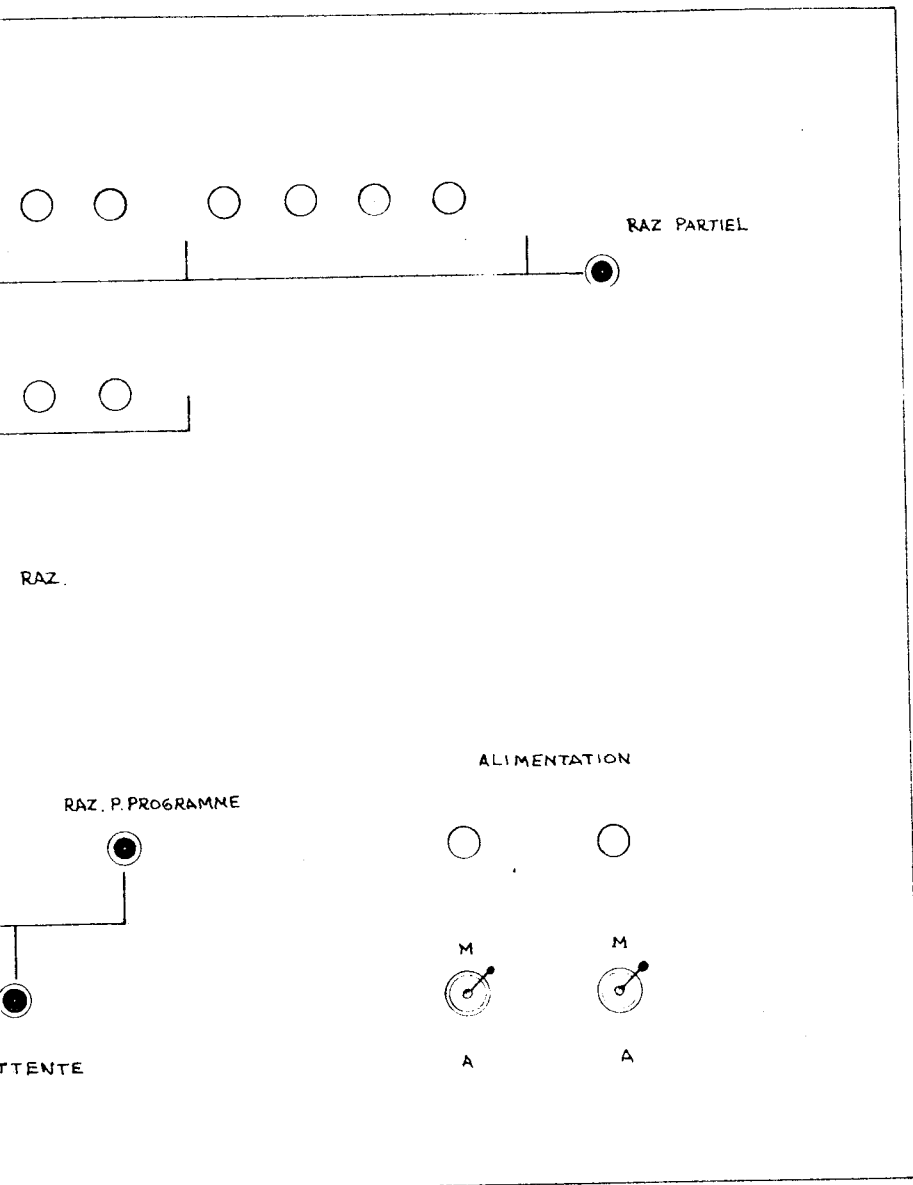
MANUEL

AUTO.

TEST LAMPES

RAZ. P. CALCUL

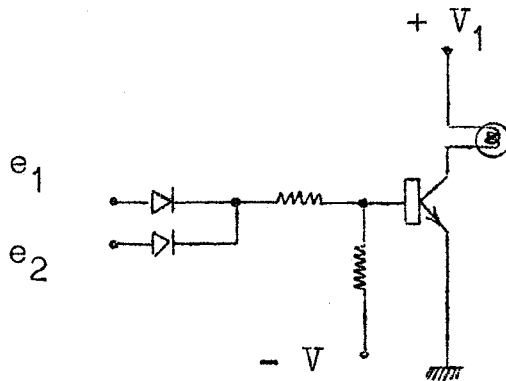
ATTE



PUPITRE DE COMMANDE  
A.D.D.

Echelle : 1/2

Le circuit de commande des voyants est tout simplement un transistor qui, attaqué par les signaux logiques, fait passer un courant à travers le voyant dès qu'il est "passant".



La deuxième entrée permet de réaliser le "test de lampes" sur tous les voyants du pupitre.

-----





## Chapitre 6

### ENTREES et SORTIES de l'A.D.D.

#### 6.1 - Entrée du programme et des données

Le bloc de commande et d'introduction a été prévu pour recevoir l'information en provenance directe d'un lecteur de bande perforée.

Le lecteur de bande est commandé (avancement du papier, arrêt du lecteur, etc ...) par un circuit de puissance fait à partir des signaux logiques issus du bloc d'introduction.

Un bouton poussoir sur le pupitre "introduction automatique" permet de faire marcher le lecteur et de réaliser ainsi, soit l'introduction des données, soit l'imposition d'un programme ou bien la modification des paramètres au cours d'un calcul.

Remarque : L'introduction des données numériques implique donc une conversion préalable décimal-binaire-fractionnaire.

#### 6.2 - Entrée incrémentielle

Elle permet à la machine d'être reliée directement à des grandeurs physiques, d'où la possibilité de l'employer comme un calculateur de processus, c'est-à-dire de la placer dans une chaîne de régulation comme générateur de fonctions de transfert.

Il est évident que si l'on veut travailler en temps réel, on ne pourra traiter que des phénomènes très lents. Cela à cause de la cadence maximale de l'ADD (60 pas à la seconde) limitée par la vitesse du tambour magnétique.

Néanmoins, une entrée incrémentielle peut être très intéressante dans le cas d'un couplage avec un autre calculateur du type universel.

On peut envisager deux systèmes d'entrées incrémentielles à partir des signaux analogiques.

#### Premier système

Il consiste simplement à réaliser une conversion analogique digitale et à observer la variation des deux digits aux poids les plus faibles. La précision du système est fonction de la position de ces deux poids faibles par rapport au reste des positions binaires du décodage.

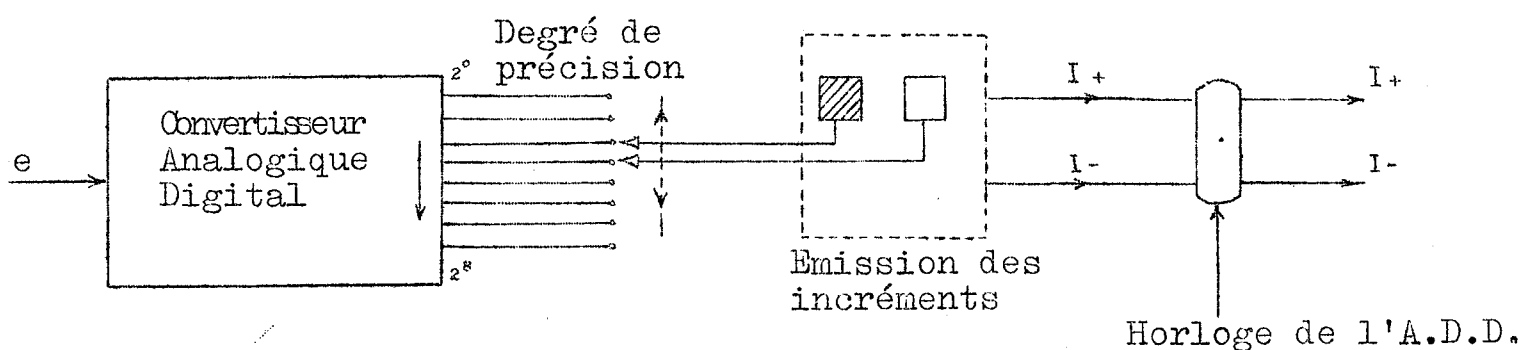


Fig 6-1

Le changement du digit choisi du poids le plus faible provoque l'émission d'un incrément. Le signe dudit incrément est déterminé d'après l'ensemble de changements des deux digits de poids faibles.

Ce système entraîne donc un ensemble logique assez important, ainsi que l'emploi, dans la conversion digitale-analogique, d'un échantillonneur à fréquence très élevée. Néanmoins, pour l'entrée simultanée de plusieurs valeurs "analogiques-incréments", ce système présente l'avantage de pouvoir se faire aiguiller vers chacune des grandeurs à décoder.

Cette méthode est donc la plus souhaitable pour envisager une liaison A.D.D.-Calculateur Universel.

### Deuxième système

Il consiste à utiliser une mémoire analogique et à comparer la grandeur analogique d'entrée à la grandeur analogique en mémoire. Un circuit à seuil permet d'indiquer quand leur différence dépasse une valeur donnée (un incrément) et le signe de cette différence.

L'étude et la réalisation d'un tel système a été faite par M. FARDEAU au Laboratoire d'Automatique. (voir référence 5 ).

Fondé sur le principe des amplificateurs bouclés, le système a la configuration suivante :

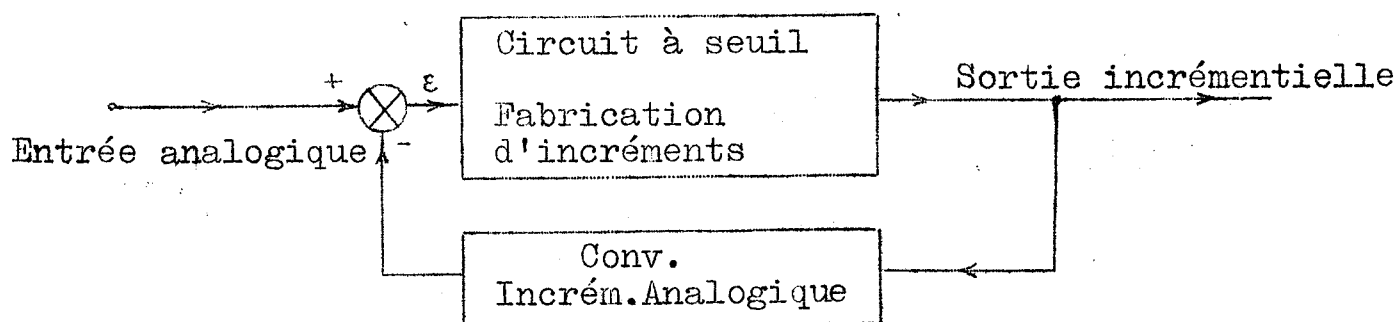


Fig 6-2

Dans la chaîne de retour, la conversion incrément-analogique consiste d'abord à additionner les incréments dans un compteur-décompteur ; la valeur digitale de cette addition est transformée immédiatement en une grandeur analogique comparable.

La chaîne directe consiste en un amplificateur différentiel qui amplifie la différence  $\varepsilon$  entre les deux grandeurs analogiques, et en deux circuits à seuil, l'un basculant pour  $K\varepsilon > \alpha$  et l'autre pour  $K\varepsilon < -\alpha$

Une porte logique commande, en temps voulu, la sortie adéquate des incréments vers le calculateur.

Le schéma complet est donc :

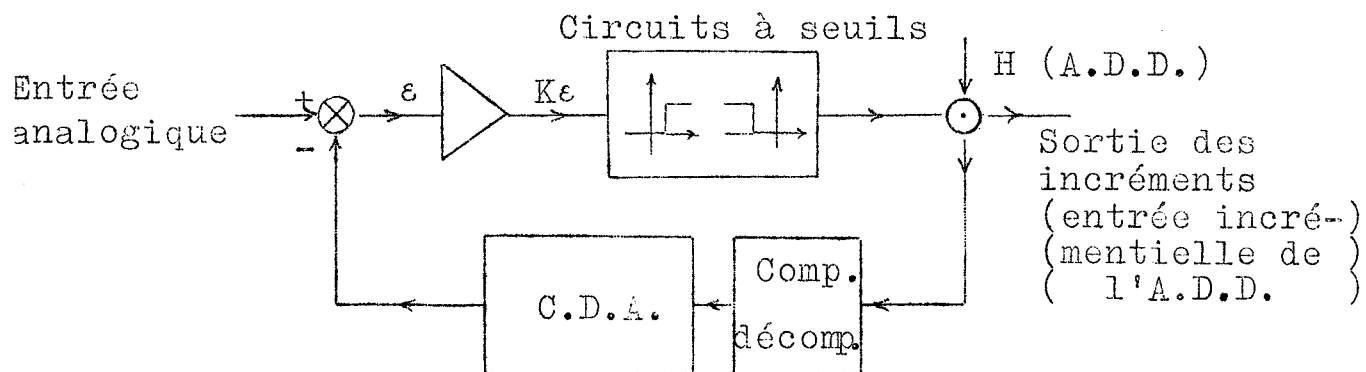


Fig 6-3

### 6.3 - Sorties de l'A.D.D.

La sortie des fonctions ne peut être donnée que sous la forme incrémentielle. Des transformations, soit à grandeurs digitales, soit analogiques, sont nécessaires pour leur utilisation.

Plusieurs solutions peuvent être envisagées ; par exemple, l'emploi de moteurs pas à pas, commandés directement par les sorties incrémentielles, permet de réaliser une table traçante XY des grandeurs fournies par la machine.

Cet emploi est restreint, car la cadence maximale des incréments est de 60 à la seconde, dans la machine prototype. Une cadence légèrement supérieure risque donc d'atteindre les limites de fonctionnement du moteur pas à pas.

Il semble bien que la solution la plus sûre consiste à transformer les sorties incrémentielles en grandeurs analogiques.

Dans le deuxième système d'entrée incrémentielle, la chaîne de retour répond exactement aux conditions d'emploi comme convertisseur incréments-analogique.

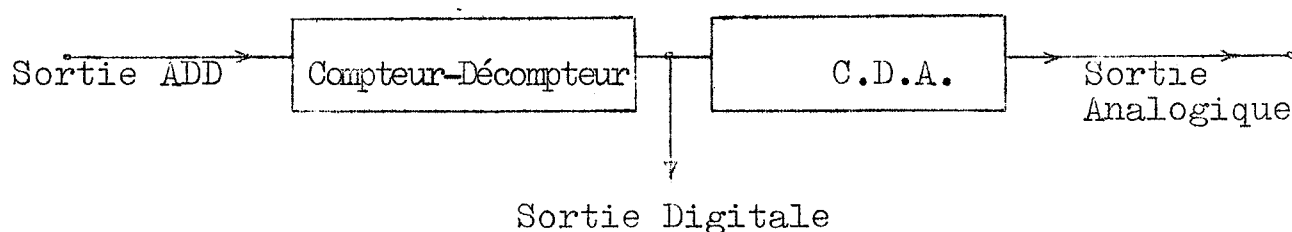


Fig 6-4

Les valeurs initiales, décodées directement du contenu des registres des valeurs initiales, prépositionnent directement le compteur-décompteur avant chaque calcul.

Les valeurs finales peuvent être visualisées à la fin du calcul, à l'aide du système de visualisation des registres. Un décodage décimal-binaire fractionnaire peut être installé pour faciliter l'introduction et la lecture des données numériques.



## Chapitre 7

### REALISATION PRATIQUE - TECHNOLOGIE

#### 7.1 - Généralités

On a utilisé une technologie à base de circuits à transistors et à diodes, pour les raisons suivantes :

standardisation  
simplification de la conception des ensembles  
facilité de dépannage éventuel.

#### 7.2 - Convention logique

Nous avons utilisé la convention dite "logique positive" c'est-à-dire on affecte à la tension la plus positive des deux niveaux la valeur 1 "un", et la valeur 0 "zéro" à la tension la moins positive.

On a adopté : Niveau 0 V égal 0  
Niveau +12 V égal 1

#### 7.3 - Eléments logiques de base adoptés

Le circuit Ni à plusieurs entrées adopté est l'un des éléments logiques de base.

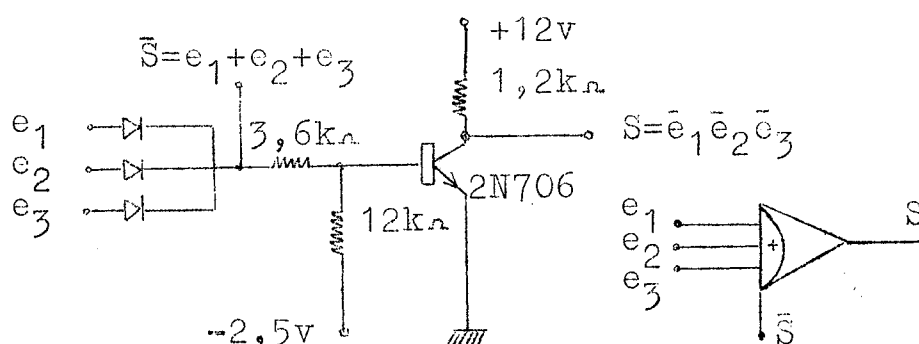


Fig 7-1

...



Ce montage développé par la Société MORS est présenté sur des plaquettes contenant cinq circuits Ni à différents nombres d'entrées.

Le deuxième élément logique de base est la station de registre utilisée comme retard unitaire ou en montage en bascule logique binaire.

Il est aussi développé pour la même Société MORS sous la forme de plaquettes à 22 broches, Technologie NPN silicium, haute fréquence.

Les caractéristiques techniques sont reproduites dans l'annexe d'après les spécifications MORS.

#### 7.4 - Eléments non Logiques

##### Amplificateur d'Ecriture sur tambour

Déjà décrit au chapitre 3 le montage définitif est le suivant

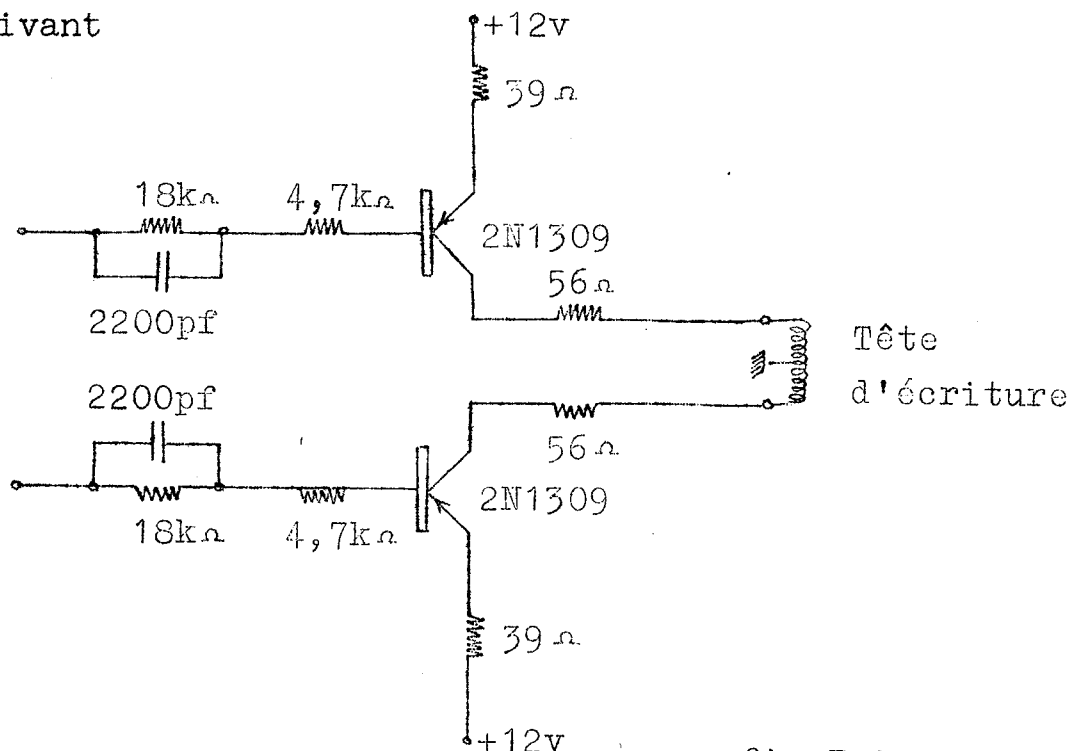
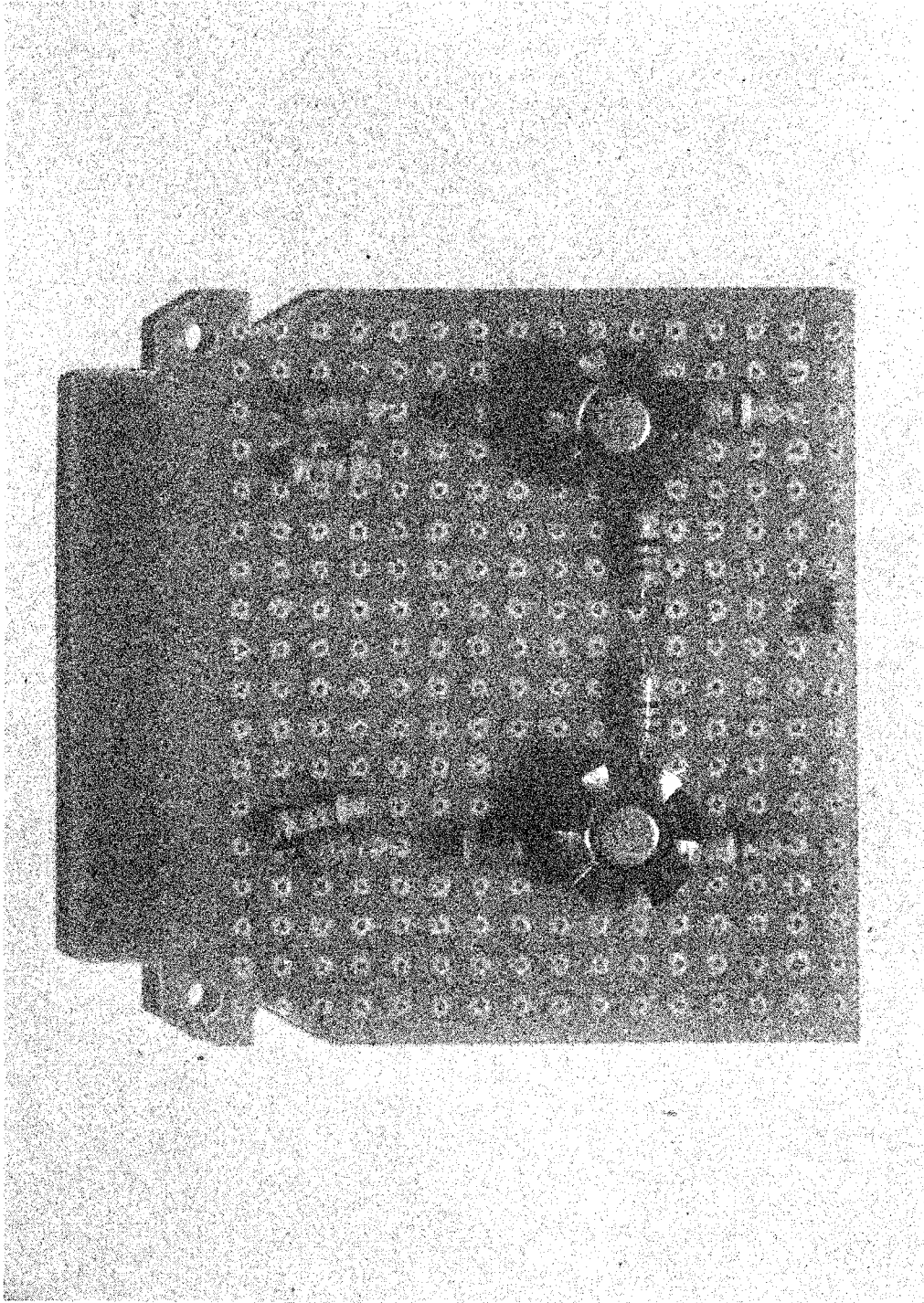
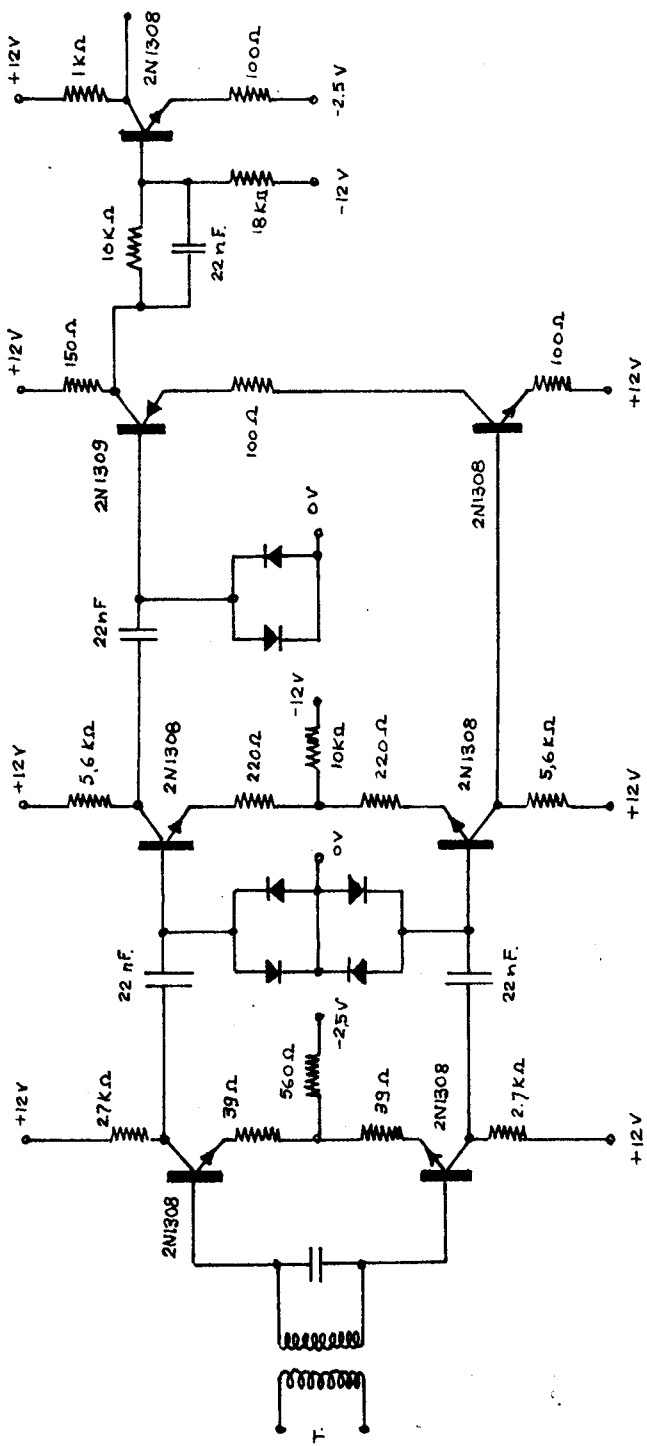


fig.7-2



Amplificateur d'écriture sur le Tachour de l'Antique



A.D.D.  
AMPLIFICATEUR DE LECTURE

TAMBOUR MAGNETIQUE.

Le courant d'écriture est maintenant limité par la somme des résistances  $56\ \Omega + 39\ \Omega$  comme avant mais la présence de la résistance de  $39\ \Omega$  dans l'émetteur permet une meilleure polarisation du transistor. Pour le montage on a choisi les deux transistors 2 N 1309 de caractéristiques similaires.

Puisque l'énergie à dissiper est grande on a placé des radiateurs sur les boîtiers des transistors.

Le montage a été placé sur des plaquettes identiques à 18 broches du type C.E.A., interchangeables, comme le montre la photo suivante.

#### Amplificateur de lecture

Le schéma électrique complet ainsi que son implantation sur des plaquettes interchangeables sont montrés dans les figures qui suivent.

On voit clairement un premier étage d'adaptation d'impédance par une entrée à transformateur, et puis les deux écretages successifs. La conversion différentielle logique est faite dans la commande du transistor PNP 1309. Finalement un amplificateur à faible impédance de sortie permet une lecture aux tensions normalisées, c'est-à-dire la possibilité de traiter cette lecture comme un signal logique.

Le courant d'écriture est maintenant limité par la somme des résistances  $56\ \Omega + 39\ \Omega$  comme avant mais la présence de la résistance de  $39\ \Omega$  dans l'émetteur permet une meilleure polarisation du transistor. Pour le montage on a choisi les deux transistors 2 N 1309 de caractéristiques similaires.

Puisque l'énergie à dissiper est grande on a placé des radiateurs sur les boîtiers des transistors.

Le montage a été placé sur des plaquettes identiques à 18 broches du type C.E.A., interchangeables, comme le montre la photo suivante.

#### Amplificateur de lecture

Le schéma électrique complet ainsi que son implantation sur des plaquettes interchangeables sont montrés dans les figures qui suivent.

On voit clairement un premier étage d'adaptation d'impédance par une entrée à transformateur, et puis les deux écretages successifs. La conversion différentielle logique est faite dans la commande du transistor PNP 1309. Finalement un amplificateur à faible impédance de sortie permet une lecture aux tensions normalisées, c'est-à-dire la possibilité de traiter cette lecture comme un signal logique.

Monostable type

Ce même montage peut être légèrement altéré (en changeant seulement la valeur de la capacité de la constante de temps du circuit), de façon à l'utiliser comme retard du "test", ou bien comme "mise en forme" de la lecture.

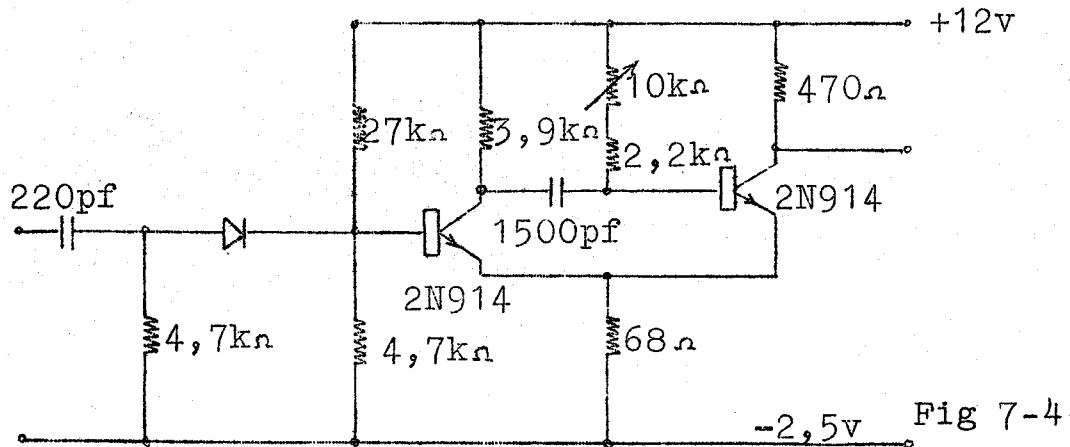
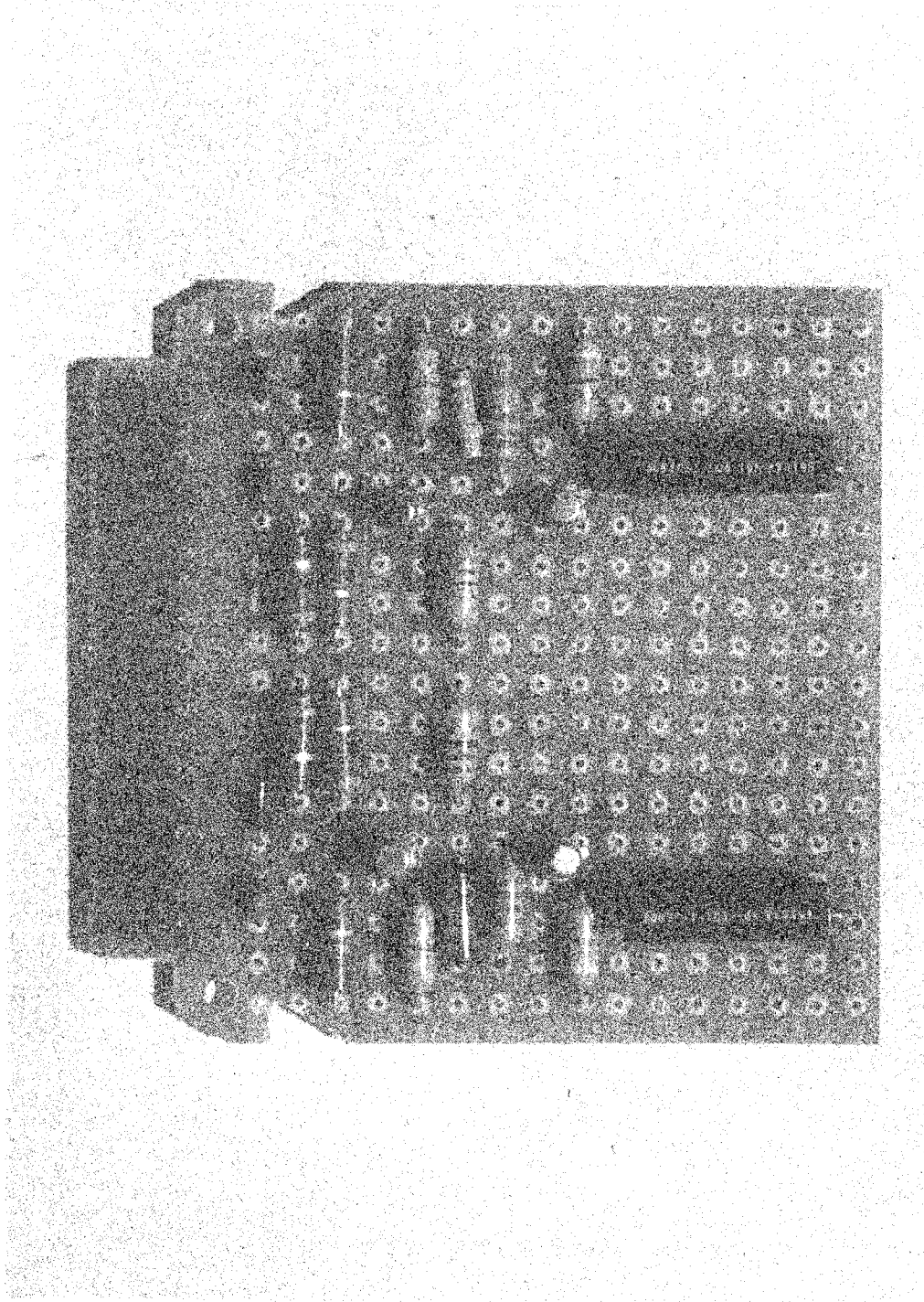


Fig 7-4

Chaque plaquette contenant deux monostables est représentée à la suite. On peut remarquer les deux potentiomètres de réglage dans la photo suivante.



Plaque de leur honorable

## REALISATION TECHNOLOGIQUE DE L'ENSEMBLE

### 7.5 - Câblage

Le câblage des différents blocs logiques a été fait d'une façon industrielle. En effet, on a procédé à la séparation rationnelle des dits blocs.

On a donc :

- 1) Bloc de synchronisation
- 2) Intégrateur - Comparateur
- 3) Multiplieur
- 4) Bloc de commande et d'introduction
- 5) Bloc d'écriture et lecture sur le tambour
- 6) Mémoire des incréments
- 7) Bloc de commande du pupitre.

D'après leurs schémas logiques à Ni on a classé leurs composants et leurs liaisons grâce à l'identification suivante :

- a) Numéro de plaquette à laquelle appartiennent ces éléments
- b) Ces broches d'entrée et sortie sur cette plaquette
- c) Le tiroir ou bloc auquel ils appartiennent.

Les liaisons extérieures entre tiroirs sont réalisées à l'aide de connecteurs à

20, 35, 45 ou 60 broches.

Leur identification porte le symbole J suivi du numéro du tiroir, du numéro du connecteur, et le numéro de broche (celles-ci étant groupées de cinq en cinq).



Ainsi J 15,01 correspond à la première broche, première rangée, du cinquième connecteur du Bloc de synchronisation.

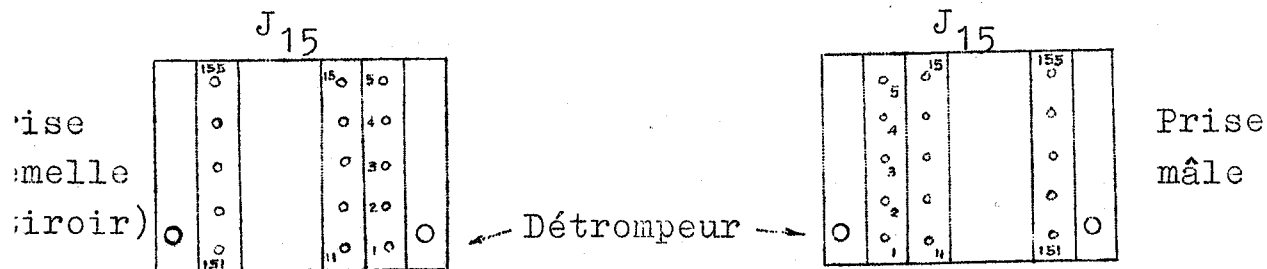


Fig 7-5

On a choisi comme exemple, le bloc de commande et d'introduction.

## 7.6 - Dossier de câblage

Tiroir n° 4.

- A) On a donc d'abord le schéma de câblage avec la nomenclature adoptée.
- B) Ensuite l'emplacement des plaquettes dans le tiroir et leurs fonctions respectives.
- C) Après il y a 13 pages de "boucles" pour réaliser le câblage entre éléments. Ce "cahier des câbles" est donc fait à partir du schéma de câblage.

Remarque : Si l'une des sorties est reliée à plusieurs endroits il convient de fermer la boucle avec un fil additionnel. Cela donne au câblage une meilleure sûreté

de fonctionnement, car

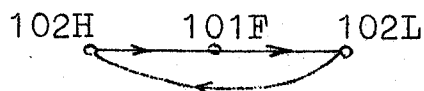
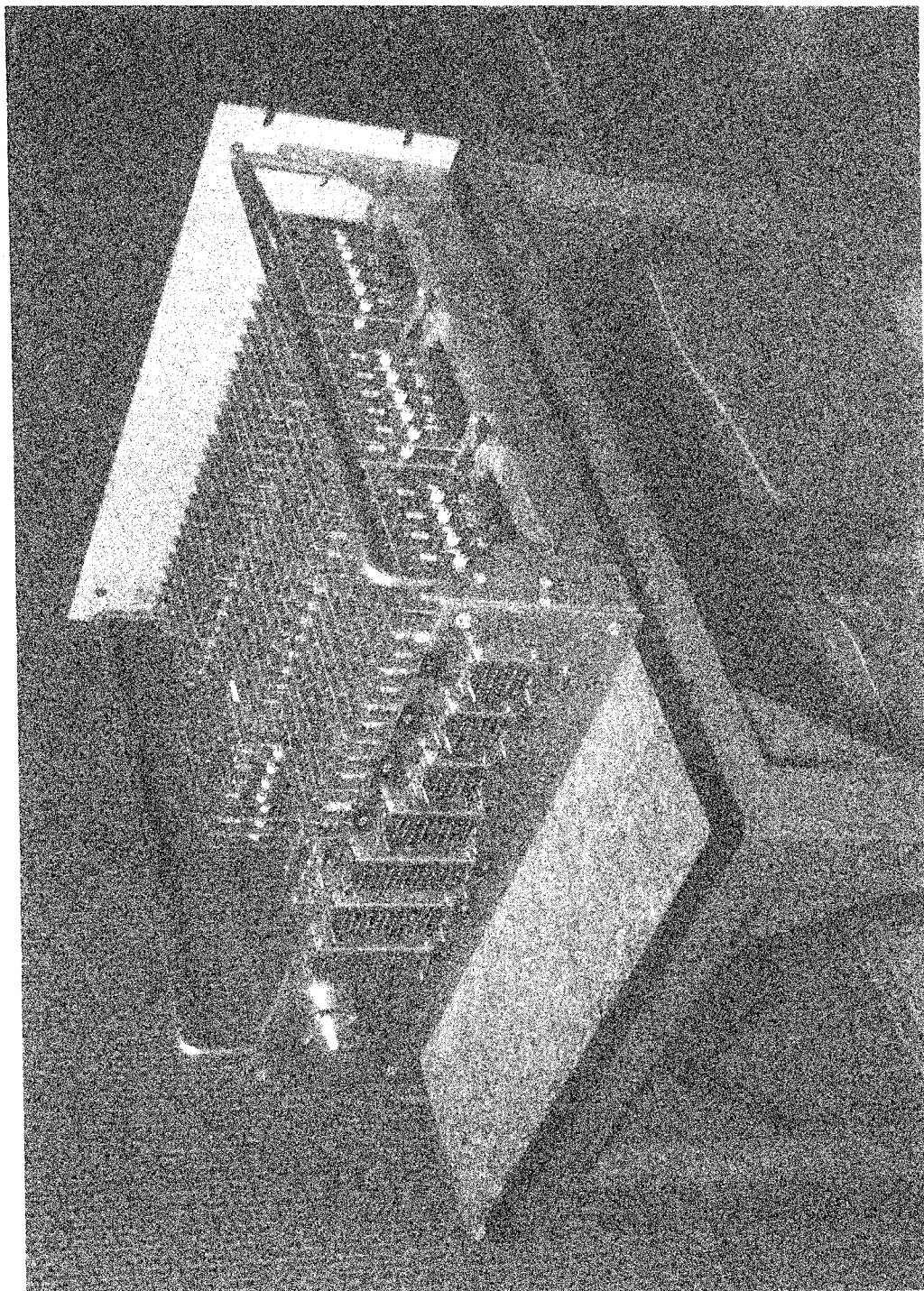


Fig 7-6

- si l'un des fils se coupait, la maison resterait assurée par le bouclage.
- D) Après les feuilles de "boucles", il y en a 7 autres, qui permettent le repérage des connecteurs extérieurs et de leur fonction respective. Chacun des sept connecteurs J assure les liaisons avec les autres tiroirs.
- E) Finalement, une dernière feuille est destinée aux éléments à ajouter, à l'extérieur des plaquettes. Ces éléments peuvent être soit de résistances, de capacités, de contacts de passage ou bien de diodes. Les diodes sont ajoutées à l'extérieur des plaquettes pour augmenter le nombre d'entrées sur les Ni. Le sens des diodes doit être bien indiqué.

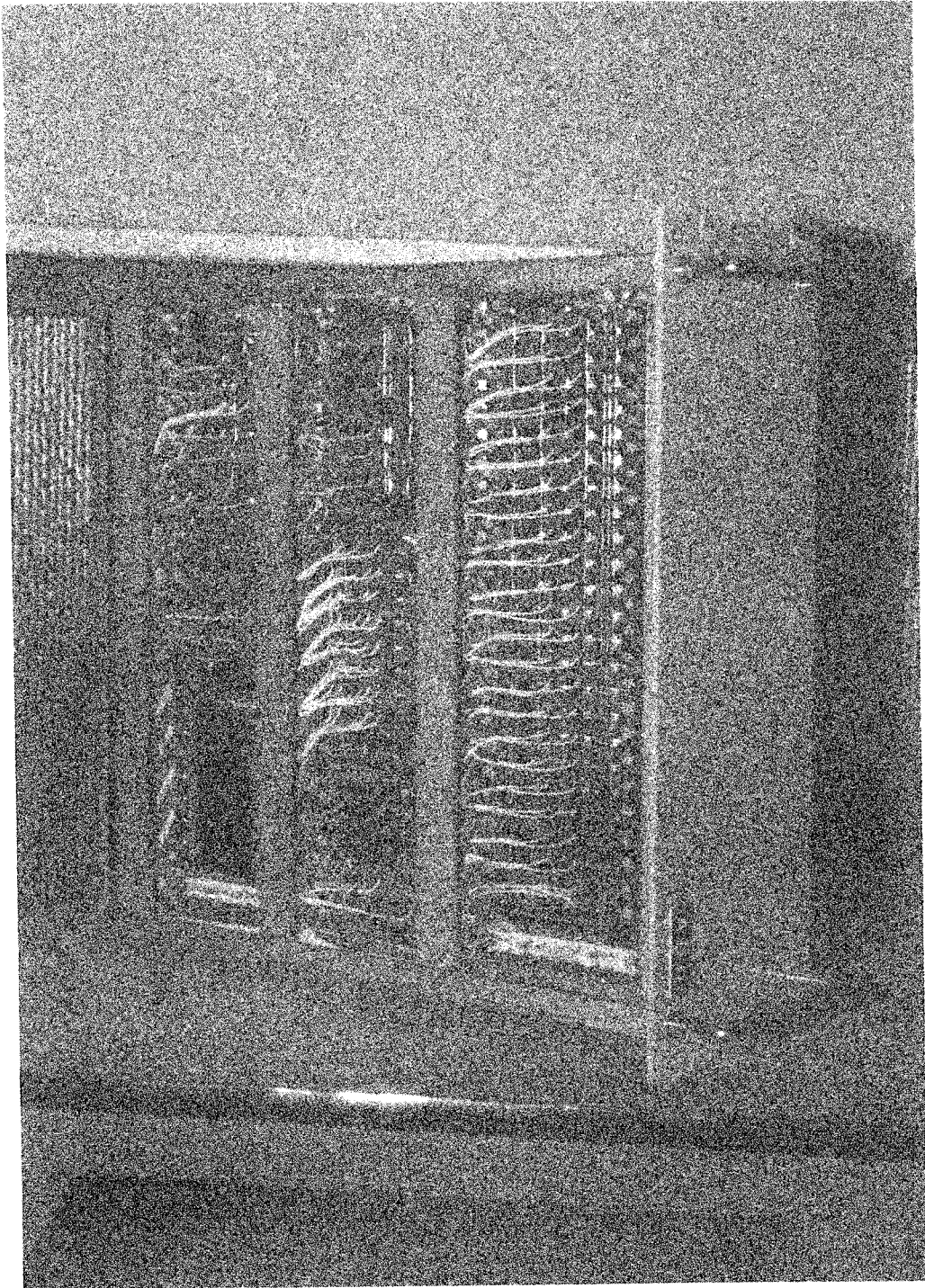
Le câblage des différents blocs a été fait sur tiroirs homologués à 7 unités.

Le reste des schémas se trouve en annexe à la fin de l'étude.



du Bloc

de



Tirant du Bloc de Commande (asblage)

### 7.7 - Alimentation

Deux alimentations stabilisées fournissent les tensions nécessaires au fonctionnement de l'ensemble

Alimentation + 12 - 12 V	20 Ampères
Alimentation - 2.5 V	2 Ampères

Ces schémas correspondants sont à la fin de l'étude.

### 7.8 - Refroidissement

Une soufflante a dû être installée principalement pour le refroidissement du tambour. Elle est montée à proximité de l'emplacement de celui-ci. Son branchement 110-220 V permet de la monter sur une des phases de l'alimentation triphasée.

-----

## Chapitre 8

### APPLICATION DE L'ANALYSEUR DIFFERENTIEL DIGITAL

Les applications des A.D.D. sont les mêmes que celles des calculateurs analogiques, avec des avantages très importants par rapport à ces derniers, c'est-à-dire :

- 1) La possibilité d'intégrer par rapport à une variable quelconque autre que le temps. On peut ainsi résoudre des équations aux dérivées partielles, donc la résolution de problèmes réputés difficiles.
- 2) La possibilité d'inclure des non-linéarités grâce au comparateur.
- 3) La possibilité d'échanger la précision contre la vitesse. La précision étant donnée par la capacité du mot est donc très supérieure à la précision analogique.

#### 8.1 - Domaines d'application immédiate

##### I - Domaine des asservissements

C'est un domaine où les applications d'un A.D.D. peuvent être très nombreuses.

##### a) Etude des fonctions de transfert - Simulation

Les ensembles d'asservissements peuvent être représentés par des équations différentielles à coefficients constants.

Il est donc possible d'étudier, à l'aide de ces calculateurs, la stabilité, les performances et la correction des systèmes et, surtout, de voir l'influence des variations des paramètres sur les résultats obtenus. L'application ne se limite pas aux problèmes linéaires, mais aux problèmes avec des non-linéarités, comme la saturation, le seuil, jeux, hystérésis, etc ...

Ce domaine couvrira, d'une part, la synthèse des fonctions de transfert (et surtout des correcteurs) et, d'autre part, la simulation.

Il est possible de réaliser des simulateurs travaillant en temps réel et comprenant, dans leurs chaînes, des organes technologiques.

#### b) Calculateur en chaîne

Il est possible de réaliser des chaînes de régulation comprenant des A.D.D. et ceci dans des buts divers.

- 1) réalisation de correcteurs en temps réel, aussi bien pour des systèmes continus que pour des systèmes échantillonnés.
- 2) Optimisation.

Le modèle mathématique d'un processus se traduit, généralement, par un système d'équations différentielles. Le calculateur peut alors réaliser un critère de performance, soit la minimisation d'une erreur, soit la minimisation d'un temps de réponse, ou bien l'amélioration d'un rendement.

## II - Problèmes de propagation

Ce sont des problèmes représentés par des systèmes d'équations aux dérivées partielles. On les trouve dans différents domaines, par exemple dans le domaine thermique (échangeur de chaleur) ou dans le domaine hydraulique (problèmes d'asservissement de débit, etc ...).

## III - Problèmes de mécanique du vol

C'est dans ce domaine que la plupart des A.D.D. construits ont été utilisés. Leur utilisation, presque exclusivement militaire, fait que leur application se limite à la navigation par inertie et au guidage d'engins.

La précision nécessaire à la navigation par inertie élimine les calculateurs analogiques mais est compatible avec l'utilisation de l'A.D.D. lequel est alors couplé à un calculateur numérique classique.

### 8.2 - Exemples d'application des A.D.D.

Ces exemples d'application ont été tirés de différentes sources, telles que CONTROL, IEEE Transaction on Military electronics, CONTROL ENGINEERING, sans trouver pourtant une définition précise des entrées et sorties.

Dans CONTROL, July 1958, August 1958, un article montre l'application possible d'un A.D.D. dans le contrôle numérique des machines-outils.

L'A.D.D. joue le rôle de programmeur de l'élément de commande de la "machine-outil".



En effet, d'après les coordonnées des différents points d'inflexion d'un contour à "usiner", l'A.D.D. réalise l'interpolation parabolique (\*) entre ces points et calcule la compensation nécessaire pour obtenir la pièce aux dimensions précises.

Cette compensation est fonction des dimensions des outils.

La véritable trajectoire de l'outil (cutter track), ainsi calculée, est ensuite enregistrée dans une bande magnétique qui sert directement pour la commande numérique de la machine-outil.

Le système revient rentable car un seul A.D.D. peut créer le programme de plusieurs machines-outils.

(\*) Rappel

Il y a pratiquement trois méthodes approchées d'intégration dans les calculateurs arithmétiques digitaux.

1) La méthode des rectangles où

$$\int_0^P f(x) dx = \sum_{i=1}^n hy_i$$

$$y = f(x)$$

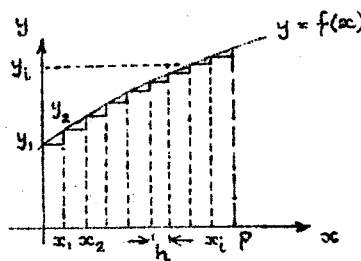


Fig 8-1

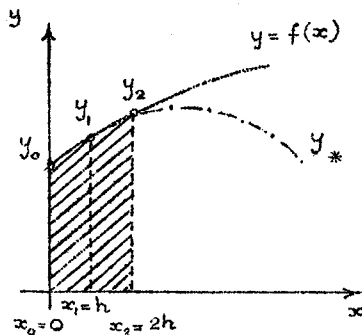
l'erreur commise devient plus petite à mesure que  $h$  tend vers zéro, donc le nombre de pas augmente vers l'infini en conséquence.

Avec

- 2) La méthode de trapèzes on n'est pas obligé de réduire, à tel point, la durée des intervalles  $h$  pour avoir la même précision.

$$A = \sum_{i=1}^n h \left[ y_i + \frac{1}{2} (y_{i+1} - y_i) \right]$$

- 3) La méthode par approximation de polynomes permet une meilleure approximation. On considère donc trois points  $a, b, c$ ; l'aire sous la parabole



$$y_* = a + bx + cx^2$$

qui passe par ces trois points est hachurée dans la figure.

Fig 8-2

Alors

$$\begin{aligned} A_{0,2} &= \int_0^{2h} (a + bx + cx^2) dx = ax + \frac{bx^2}{2} + \frac{cx^3}{3} \Big|_0^{2h} \\ &= 2h a + 2h^2 b + \frac{8}{3} h^3 c \end{aligned}$$

Pour déterminer les coefficients  $a, b,$  et  $c$  on peut écrire :

$$(y_* = a + bx + cx^2)$$

$$\text{Si } x = 0 \quad a + 0 + 0 = y_0$$

$$\text{Si } x = h \quad a + hb + h^2c = y_1$$

$$\text{Si } x = 2h \quad a + 2hb + 4h^2c = y_2$$

$$\text{d'où } a = y_0 \quad b = \frac{-y_2 + 4y_1 - 3y_0}{2h} \quad c = \frac{y_2 - 2y_1 + y_0}{2h^2}$$

...

Ainsi  $A_{0,2} = \frac{h}{3} (y_0 + 4y_1 + y_2)$

on a l'aire en fonction de ses trois points et

$$A_{2,4} = \frac{h}{3} (y_2 + 4y_3 + y_4) \text{ et ainsi de suite ...}$$

L'aire totale est :

$$A = \frac{h}{3} (y_0 + 4y_1 + 2y_2 + 4y_3 + 2y_4 + 4y_5 \dots + 4y_{n-1} + y_n)$$

Cette approximation est connue sous le nom de règle de Simpson.

L'A.D.D. de l'exemple fait donc ses intégrales par l'approximation de polynomes.

Le contour calculé porte donc la meilleure précision.

Encore dans le domaine industriel, CONTROL ENGINEERING August 1964, pages 68-73, traite un exemple d'optimisation d'une colonne à distiller à l'aide d'un calculateur combiné "A.D.D. - calculateur universel".

Le rôle de la partie A.D.D. est celui de réaliser un retard pur assez important. Ce retard est obtenu en utilisant l'approximation de Padé.

$$e^{-\tau p} \approx \frac{1 + T_1P + T_2P^2 + T_3P^3 \dots}{1 + T_4P + T_5P^2 + T_6P^3 \dots}$$

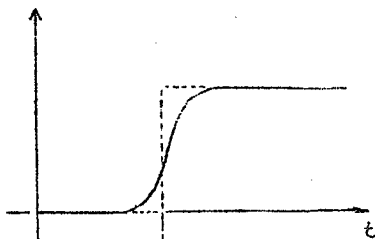


Fig 8-3

Le contrôle, par ordinateur, d'une colonne à distiller consiste à capter les fluctuations des entrées, prévoir leur effet sur les sorties de la colonne et, en conséquence, agir sur les variables de contrôle pour minimiser ledit effet.

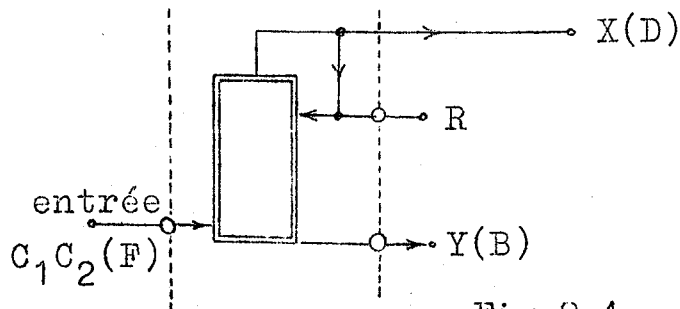


Fig 8-4

Il y a donc des variables de contrôle et des variables contrôlées.

- X représente le titre désiré du produit de tête (distillat) associé à un débit D.
- Y représente le titre désiré du produit de pied et B son débit.
- R représente le débit de reflux.
- C1 C2 le titre des différentes composantes du produit d'alimentation. F est le débit d'alimentation.
- $\alpha$  représente d'autres variables secondaires.

Les variables de contrôle peuvent être, par exemple, le débit B du produit de fond et le débit de reflux :

$$B = f ( F , X , Y , C1 , C2 )$$

$$R = f ( F , \alpha )$$

B est déterminé à partir des équations de bilan matière, tandis que R est déterminé par statistiques de fonctionnement où l'on trouve des relations débit d'entrée - débit de reflux pour produire une composition déterminée.

Ces équations numériques sont résolues à l'aide de la section universelle du calculateur. Un échelon dans le débit d'entrée F produit le changement immédiat de B et R. Or, la colonne n'a pas le temps d'évoluer normalement.

C'est ainsi que la section A.D.D. du calculateur introduit, dans les équations, une approximation du comportement dynamique de la colonne, en retardant les mesures du débit d'entrée.

Ce retard est donc un retard pur approché par des constantes de temps, avec une valeur déterminée par différents essais préalables sur la colonne d'étude.

En ce qui concerne les applications militaires de l'A. D.D., la navigation par inertie semble être le domaine le plus intéressé par ce type de calculateur.

Ainsi, dans l'IEEE Transactions, On Military Electronics (Réf. N° 8 Janv. 63 n° 1 p. 23) on trouve la possibilité d'application d'un A.D.D. dans un système de navigation par inertie suivant le principe de Schüler.

On trouve ainsi dans l'ouvrage "Navigation par Inertie" (Réf. N° 9 Section 2.3.3. page 36) une discussion sur le choix entre les deux structures : calculateur universel et analyseur différentiel digital, en vue de leur utilisation dans une centrale à inertie.

Sans se permettre d'entrer dans le détail, on peut résumer ces possibilités d'application de la façon suivante :

...

## Principe de la Navigation par inertie

Le principe de base de la navigation par inertie consiste simplement à déterminer l'accélération du véhicule à partir de mesures faites par des accéléromètres et à effectuer sur elles une première intégration par rapport au temps qui donne sa vitesse, puis une seconde qui donne sa position.

La définition d'un "point" comprend un système capable de déterminer l'accélération  $\gamma$ , la vitesse  $V$  et la position  $P$  du véhicule par rapport à un repère arbitraire.

Ce système, appelé une centrale à inertie, doit donc posséder :

- a) Un jeu d'accéléromètres disposant, en tout, de 3 axes sensibles non coplanaires et permettant la mesure de la quantité  $(\gamma - \varphi)$  à bord du véhicule porteur,  $\gamma$  étant l'accélération absolue et  $\varphi$  le champ de gravitation appliqué à l'ensemble.
- b) Un dispositif "détecteur d'orientation" ayant pour rôle de déterminer la direction des axes sensibles des accéléromètres.
- c) Une mémoire où on place les informations nécessaires pour permettre le calcul du champ de gravitation  $\varphi$  à l'endroit où peut se trouver le véhicule porteur de la centrale.
- d) Un calculateur chargé de tirer la position et la vitesse du véhicule à partir des indications des capteurs par rapport à un trièdre fixé à l'avance.

## Principe de la Navigation par inertie

Le principe de base de la navigation par inertie consiste simplement à déterminer l'accélération du véhicule à partir de mesures faites par des accéléromètres et à effectuer sur elles une première intégration par rapport au temps qui donne sa vitesse, puis une seconde qui donne sa position.

La définition d'un "point" comprend un système capable de déterminer l'accélération  $\gamma$ , la vitesse  $V$  et la position  $P$  du véhicule par rapport à un repère arbitraire.

Ce système, appelé une centrale à inertie, doit donc posséder :

- a) Un jeu d'accéléromètres disposant, en tout, de 3 axes sensibles non coplanaires et permettant la mesure de la quantité  $(\gamma - \varphi)$  à bord du véhicule porteur,  $\gamma$  étant l'accélération absolue et  $\varphi$  le champ de gravitation appliqué à l'ensemble.
- b) Un dispositif "détecteur d'orientation" ayant pour rôle de déterminer la direction des axes sensibles des accéléromètres.
- c) Une mémoire où on place les informations nécessaires pour permettre le calcul du champ de gravitation  $\varphi$  à l'endroit où peut se trouver le véhicule porteur de la centrale.
- d) Un calculateur chargé de tirer la position et la vitesse du véhicule à partir des indications des capteurs par rapport à un trièdre fixé à l'avance.

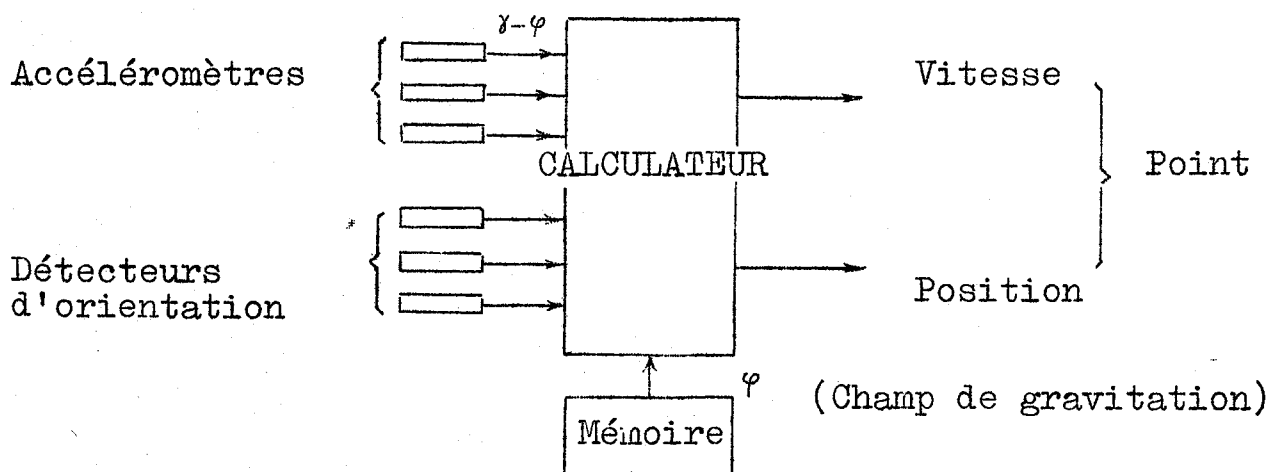


Fig 8-5

Mais, un des problèmes les plus difficiles posés par un ensemble pareil est de connaître exactement, à chaque instant, l'orientation des axes sensibles des accéléromètres.

C'est ainsi, qu'on trouve plus commode de les placer sur "une plate-forme" suspendue au cardan et asservie à une direction connue.

Ces détecteurs d'orientation jouent alors le rôle d'éléments sensibles des asservissements de stabilisation. Le bloc diagramme de l'organisation d'une centrale à inertie avec plate-forme stabilisée est donc le suivant :

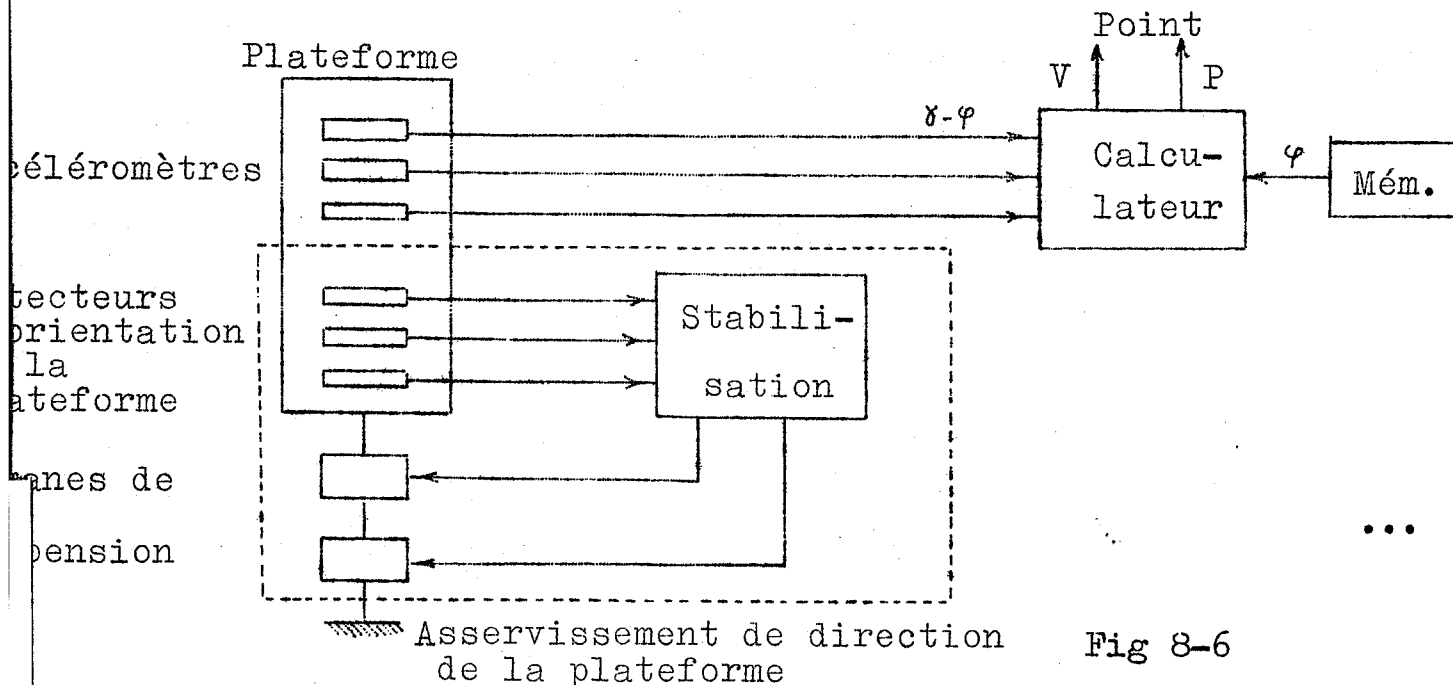


Fig 8-6



Ce type de centrale est appelé "centrale avec plate-forme stabilisée en direction" et on peut distinguer les cas suivants :

- la plate-forme est galiléenne, c'est-à-dire que son orientation est fixe dans l'espace absolu.
- la plate-forme est liée à la Terre (en direction), c'est-à-dire qu'elle est animée d'une rotation absolue égale à celle de la terre.
- la plate-forme est orientée par rapport aux repères terrestres, en faisant donc partie d'une centrale de Schüler.

Prenons donc le cas d'une centrale avec plate-forme liée à la terre en direction.

Les axes sensibles des accéléromètres, supposés idéaux et parfaitement calés, forment un trièdre orthogonal T animé d'une vitesse de rotation égale à celle de la terre.

Les mesures portent sur les composantes du vecteur  $(\gamma_a - \varphi)$  projeté sur ce trièdre T, qui peut être aussi le trièdre de calcul et qui élimine donc le changement de coordonnées.

L'obtention du point du véhicule porteur par rapport à un trièdre terrestre se fait à partir des intégrations des composantes de son accélération relative  $\gamma_r$ .

La relation entre ce que l'on mesure, c'est-à-dire  $(\gamma_a - \varphi)$  et cette accélération relative  $\gamma_r$  est la suivante :

$$\gamma_a = (\gamma_a - \varphi) + \varphi = \gamma_r + \delta_e + 2\Omega \wedge v_r$$

...

où  $\gamma_e$  est l'accélération axipète d'entraînement, c'est-à-dire l'accélération d'un point du trièdre terrestre placé à même endroit que la centrale.

$2\Omega \wedge V_r$  accélération complémentaire, dite "de Coriolis" égale au double du produit vectoriel de la rotation terrestre  $\Omega$  et de la vitesse relative  $V_r$  (par rapport au trièdre terrestre évidemment

$$\gamma_r = (\gamma_a - \varphi) + \{\varphi - \gamma_e\} - \{2\Omega \wedge V_r\}$$

D'où

$$V_r = \int_0^t \gamma_r dt \quad \text{et} \quad P_r = \int_0^t V_r dt$$

$V_r$  devant être alors utilisé pour le calcul de la correction de Coriolis et  $P_r$  pour celui de la correction de  $\varphi$ , car  $\varphi$  est fonction des coordonnées terrestres et  $P_r$  représente les composante de la position du point relatives au trièdre terrestre.

Le bloc diagramme d'un programme de calcul peut être schématisé comme suit :

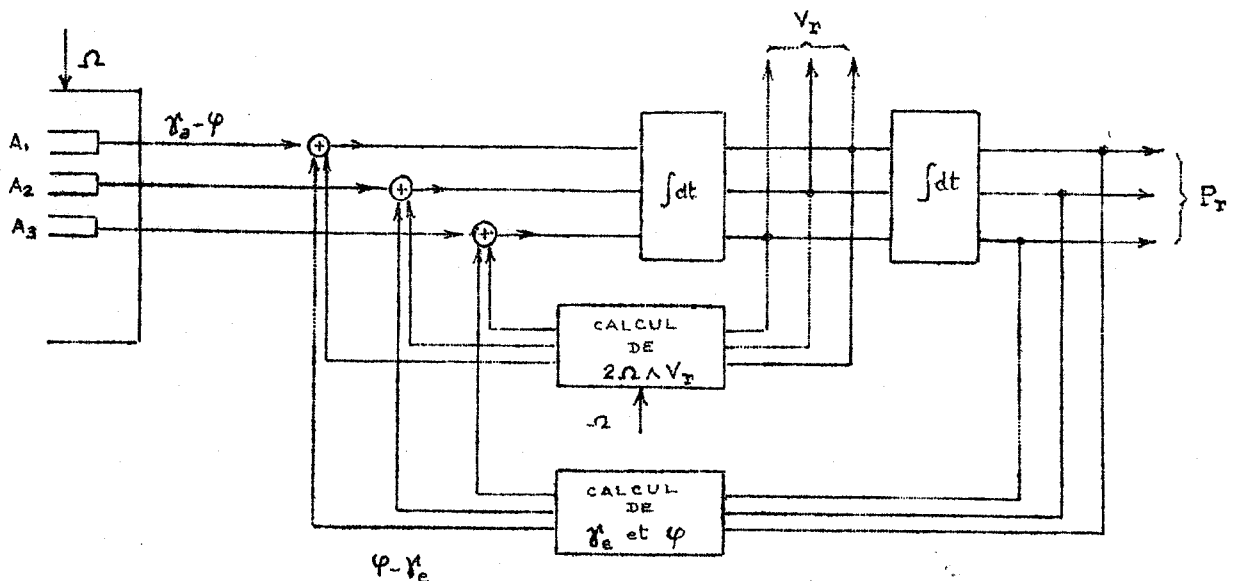


Fig 8-7

### Utilisation d'un A.D.D.

L'utilisation d'un A.D.D. comme calculateur de vol semble être avantageuse, car non seulement il peut réaliser cette double intégrale avec la vitesse et la précision nécessaires mais il permet diverses corrections ou bien des changements de coordonnées sans modifier pourtant le volume de calcul.

### 8.3 - Exemple d'utilisation de l'A.D.D. du Laboratoire d'Automatique

Pour montrer les performances de la machine réalisée, on a choisi un exemple détaillé d'utilisation.

Il s'agit de générer une fonction de transfert de la forme

$$H(P) = \frac{1}{a + bp + p^2}$$

et d'enregistrer sa réponse à un échelon à l'entrée.

Fonction de transfert :

$$\frac{S(P)}{E(P)} = \frac{1}{a + bp + p^2}$$

$$\frac{d^2s}{dt^2} + b \frac{ds}{dt} + as = e(t)$$

$$ds' = edt - bds - asdt$$

Le schéma est le suivant :

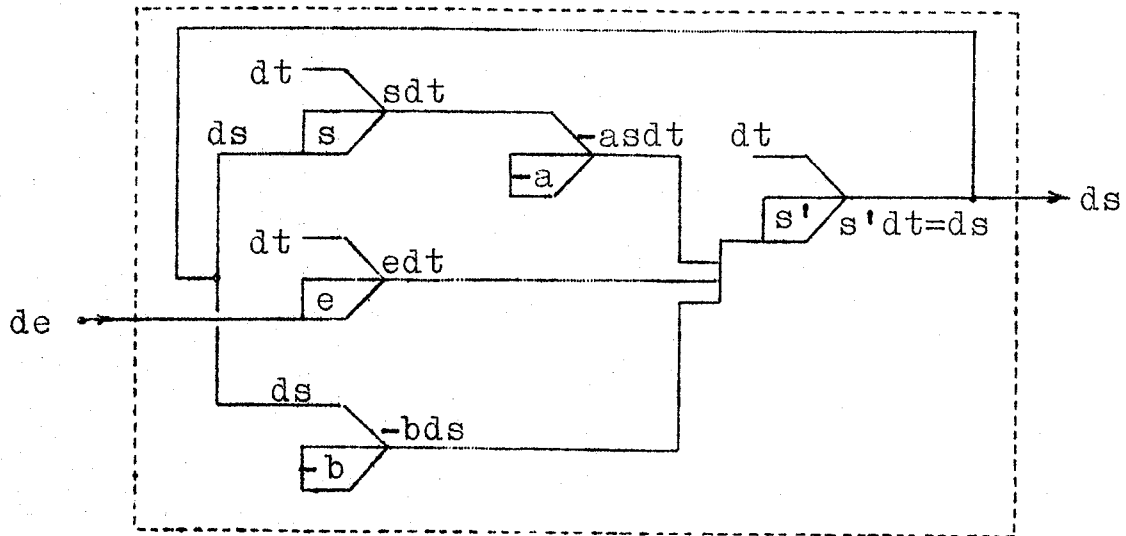


Fig 8-8

## RESULTATS

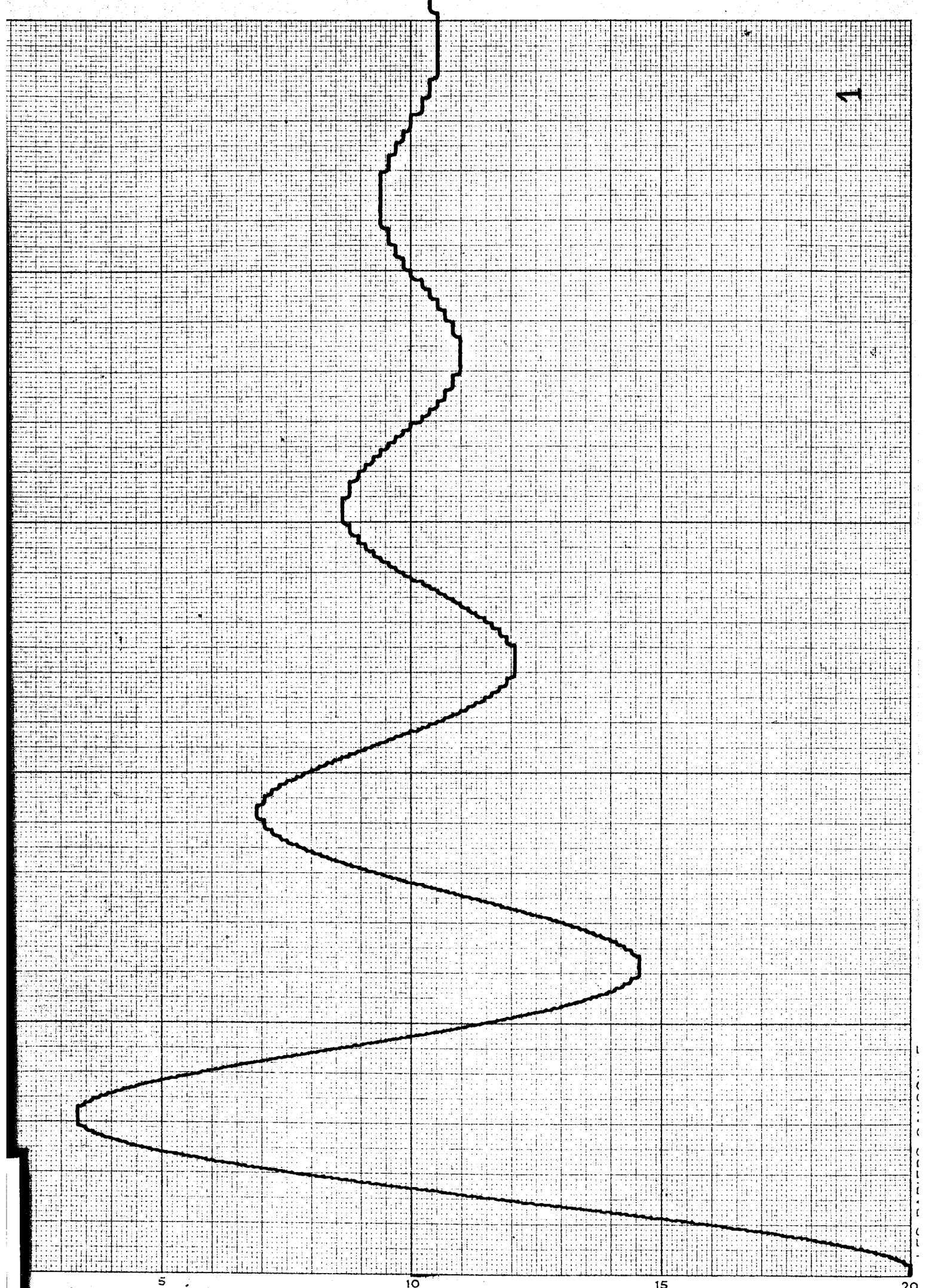
Précision machine : poids de l'incrément  $2^{-7}$

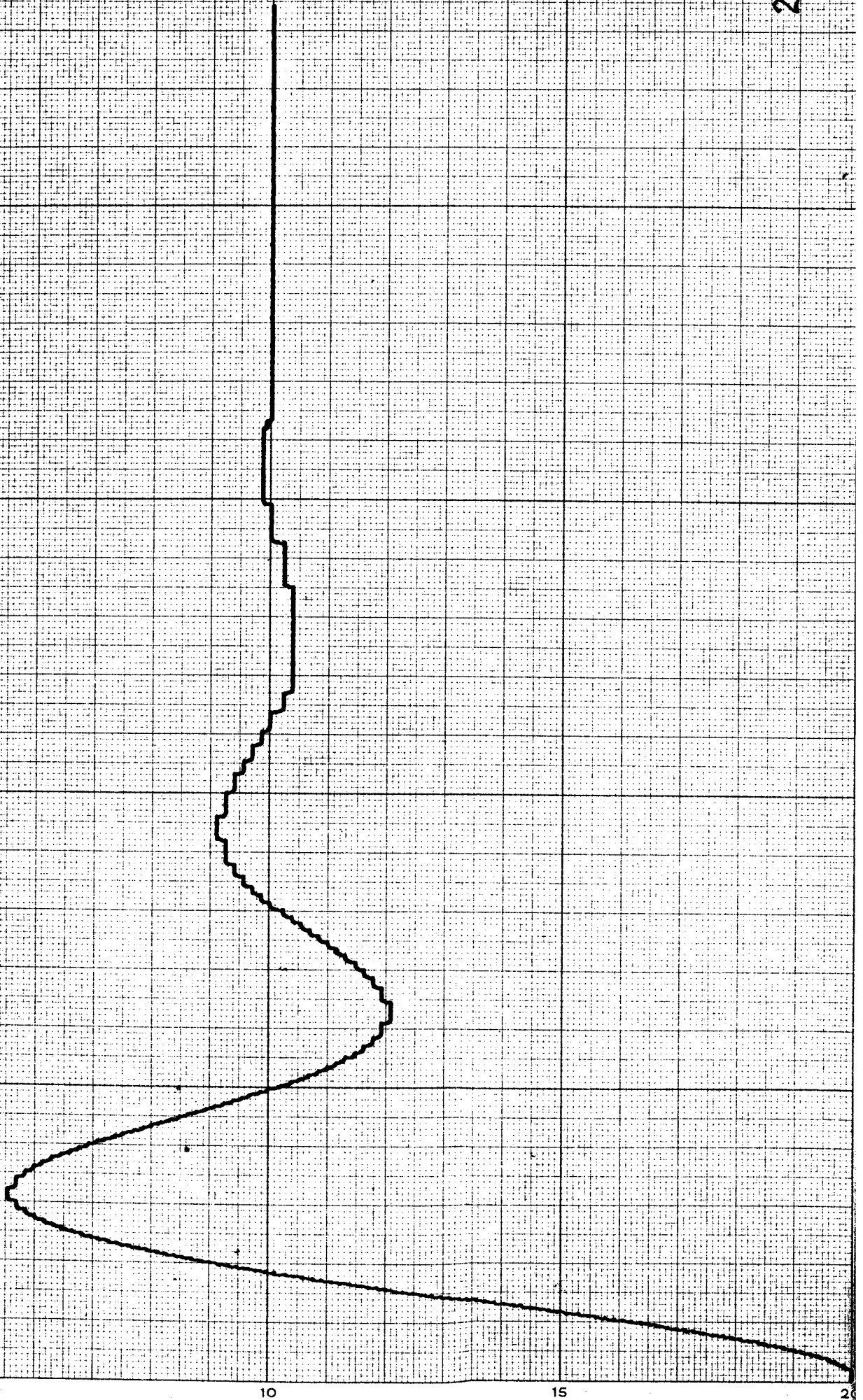
Hauteur de l'échelon : 0,5

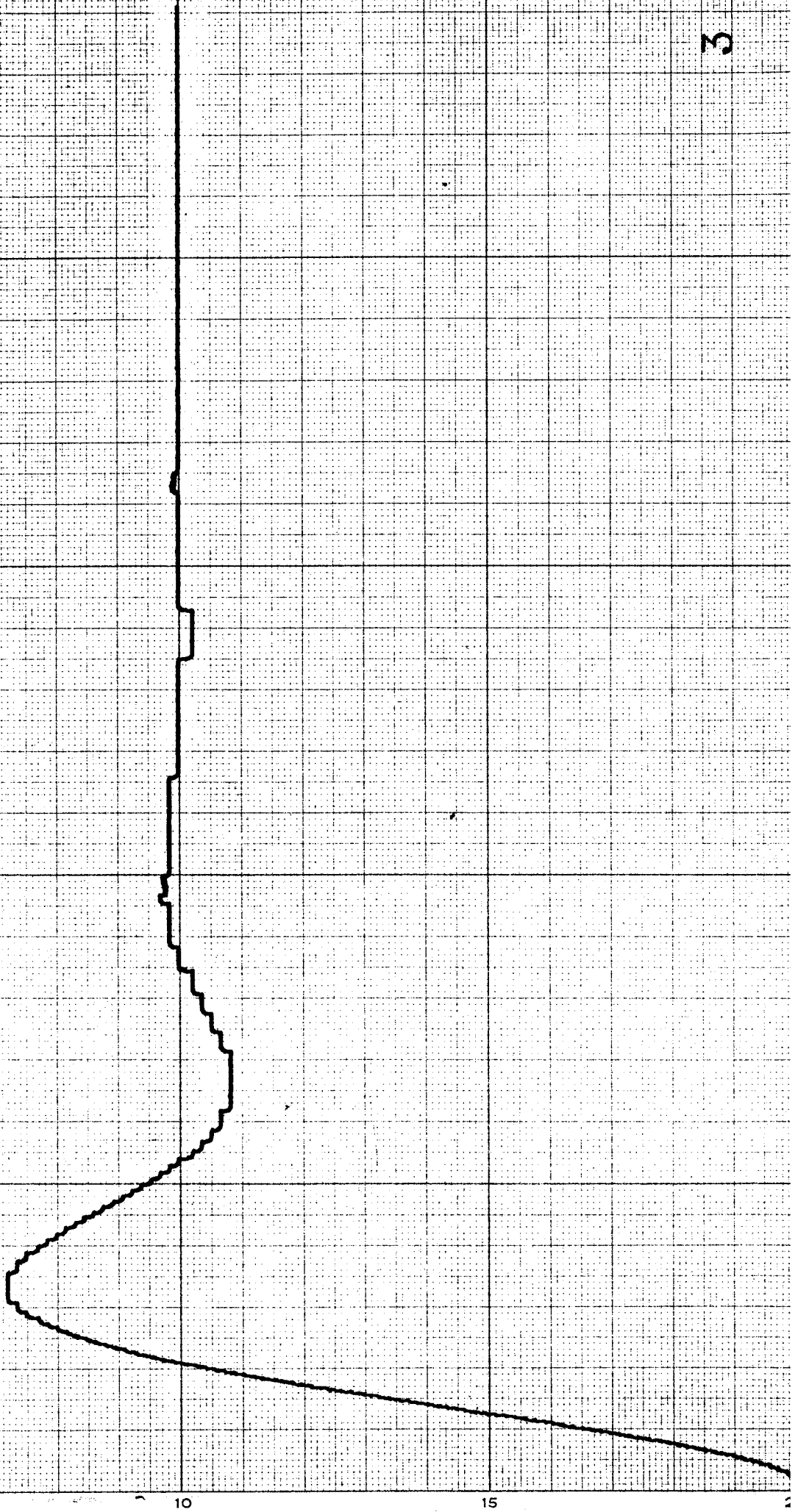
Echelle de temps : 50 sec - 25 cm

Coefficient d'amortissement :

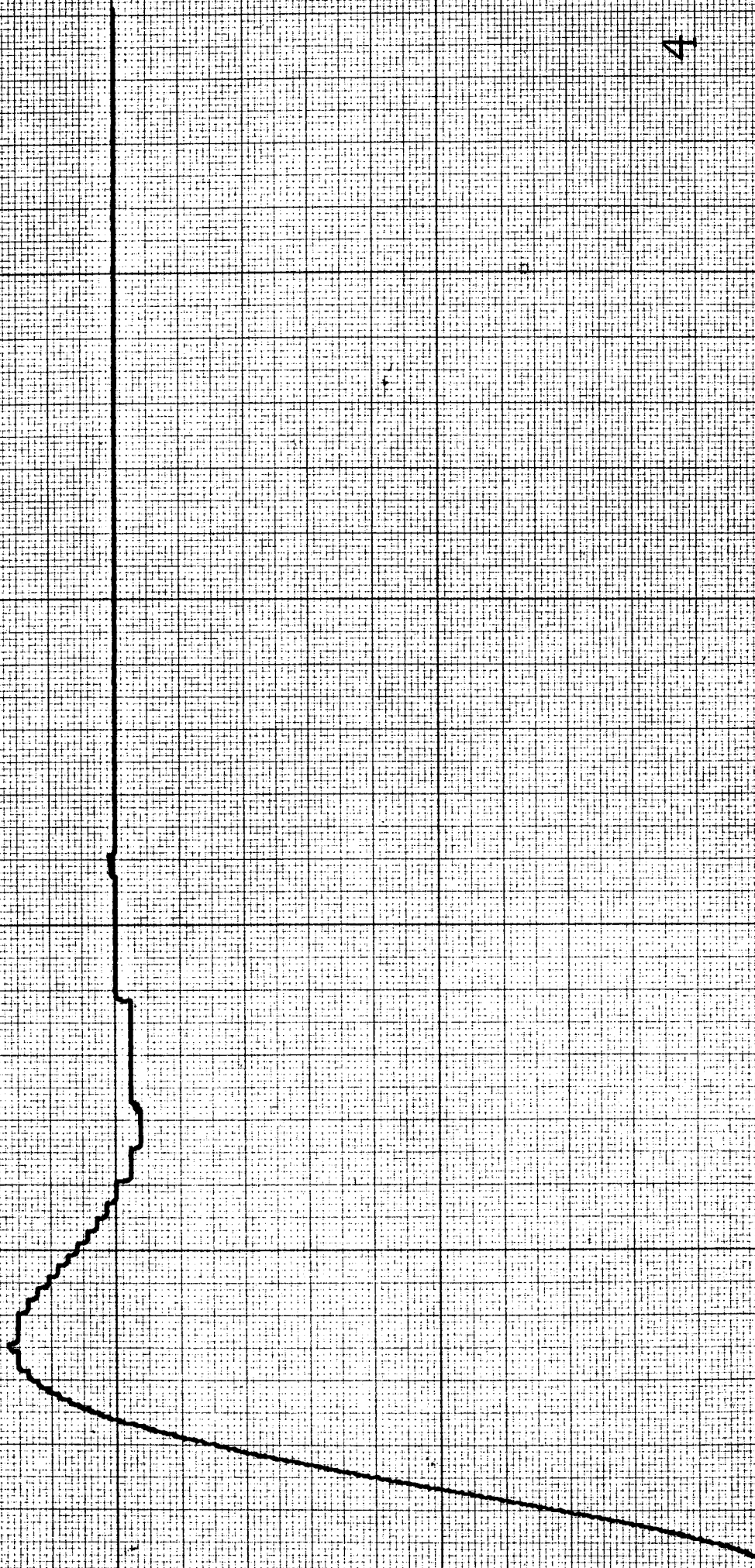
$\delta = 0,125$	graphique 1
$\delta = 0,25$	graphique 2
$\delta = 0,375$	graphique 3
$\delta = 0,5$	graphique 4
$\delta = 0,707$	graphique 5
$\delta = 1$	graphique 6
$\delta = 2$	graphique 7

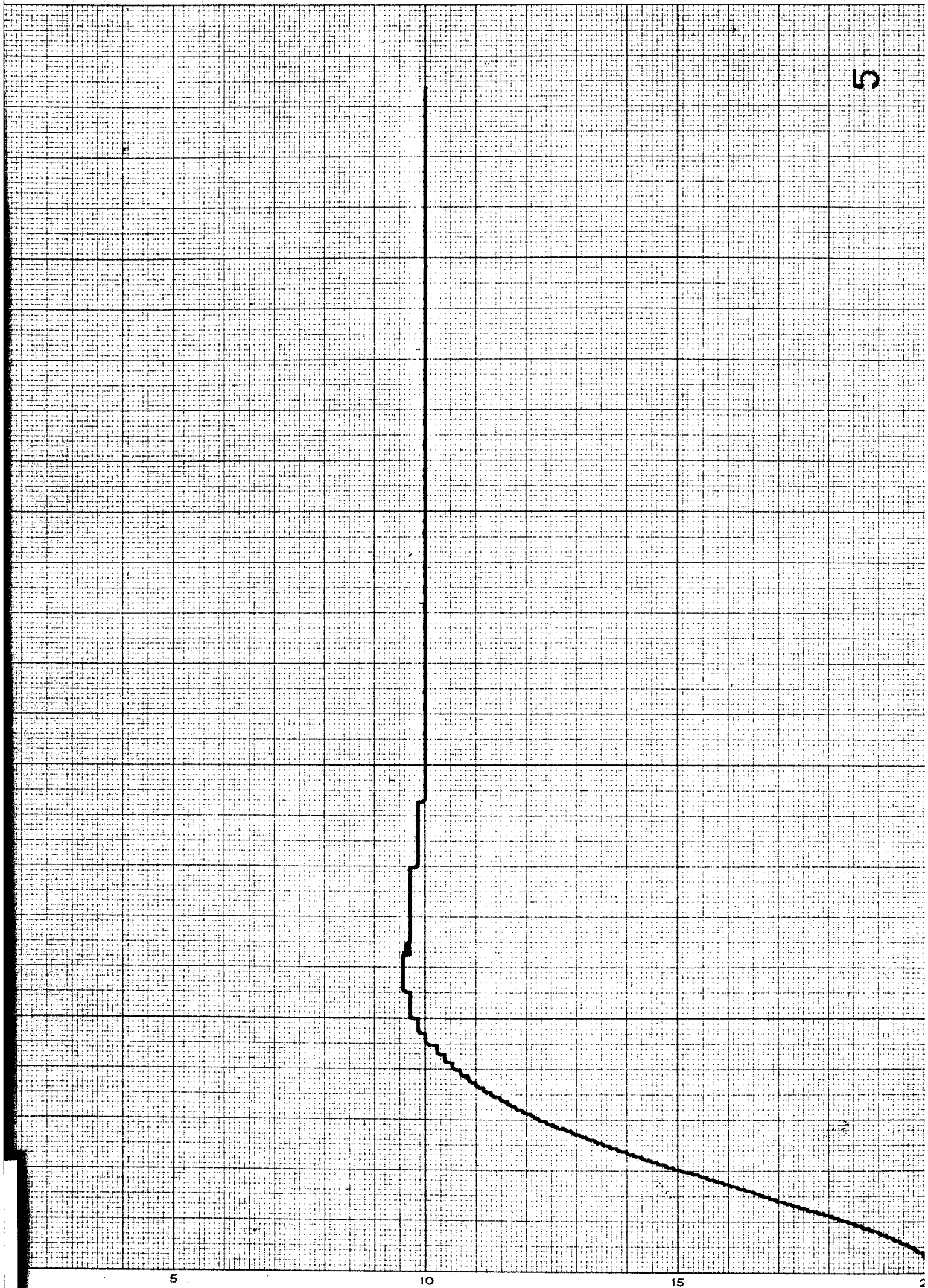














5

10

15

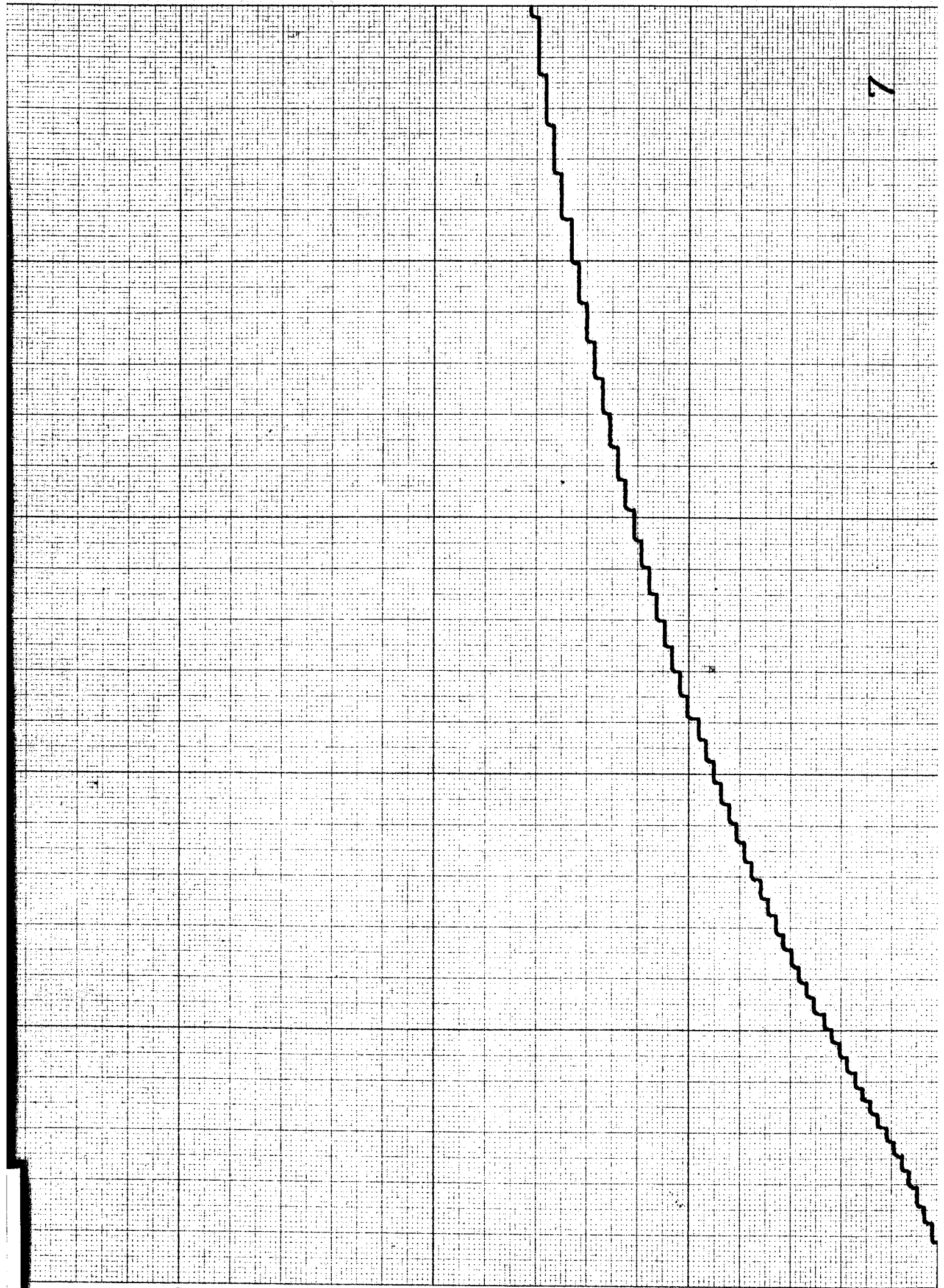
7

5

10

15

20





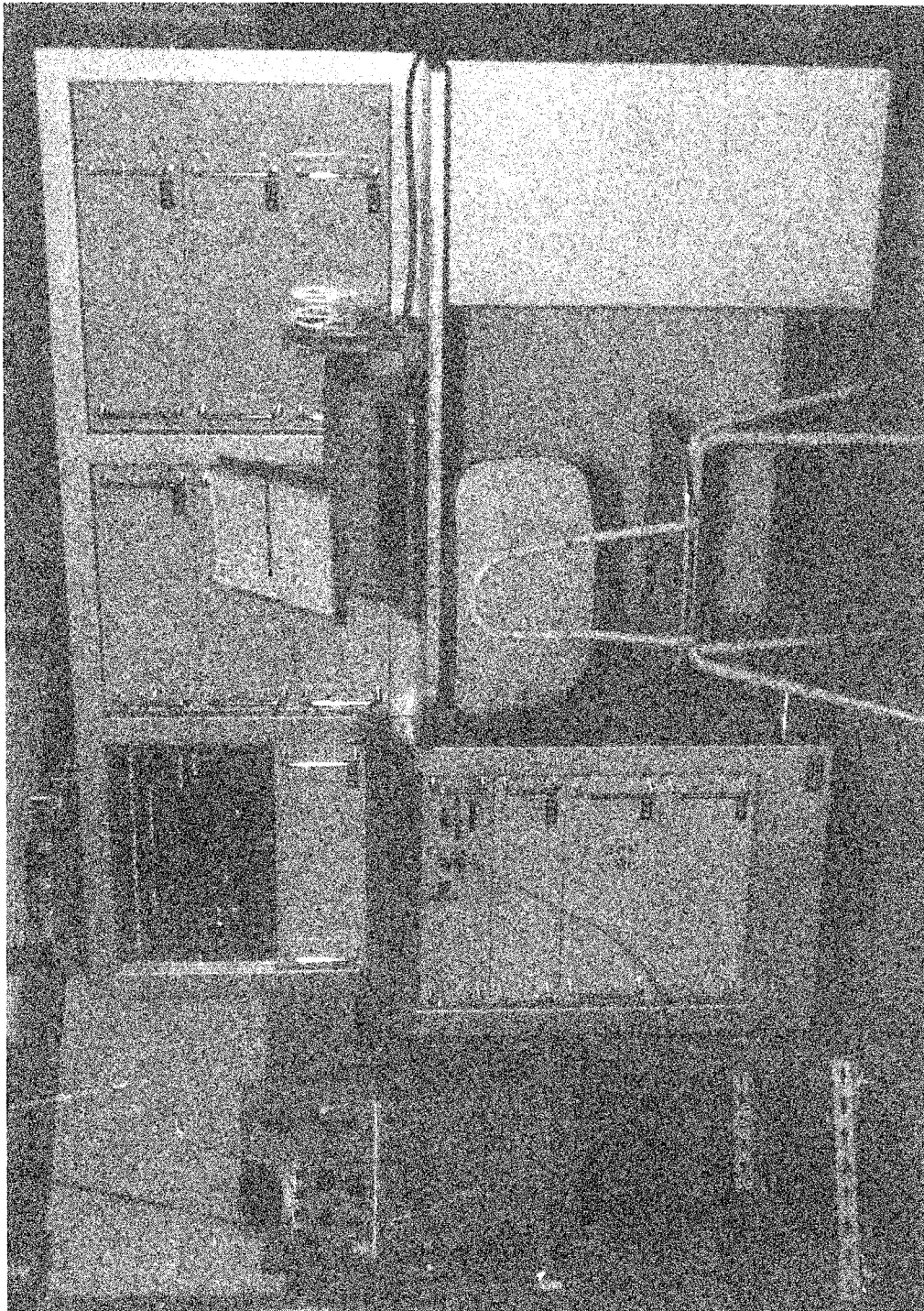
Chapitre 9FICHE TECHNIQUE DE L'ANALYSEUR DIFFERENTIEL DIGITAL

(Laboratoire d'Automatique - Institut Polytechnique de GRENOBLE)

- Type de calculateur	série-successif
- Numérations	binaire (convention fractionnaire)
- Opérateurs	43 opérateurs composés intégrateur ou comparateur 43 multiplieurs pour une constante
- Longueur des registres	24 chiffres binaires
- Méthodes d'intégration	trapèzes ou rectangles
- Incréments	ternaires
- Vitesse maximale	60 pas/seconde
- Entrée des données	Lect. de bande - Type IER ou BULL (8 voies)
- Sortie des fonctions	Analogique 0 - 2,5 V
- Alimentations	220 V triphasé 50 HZ 125 V 50 HZ

Technologie

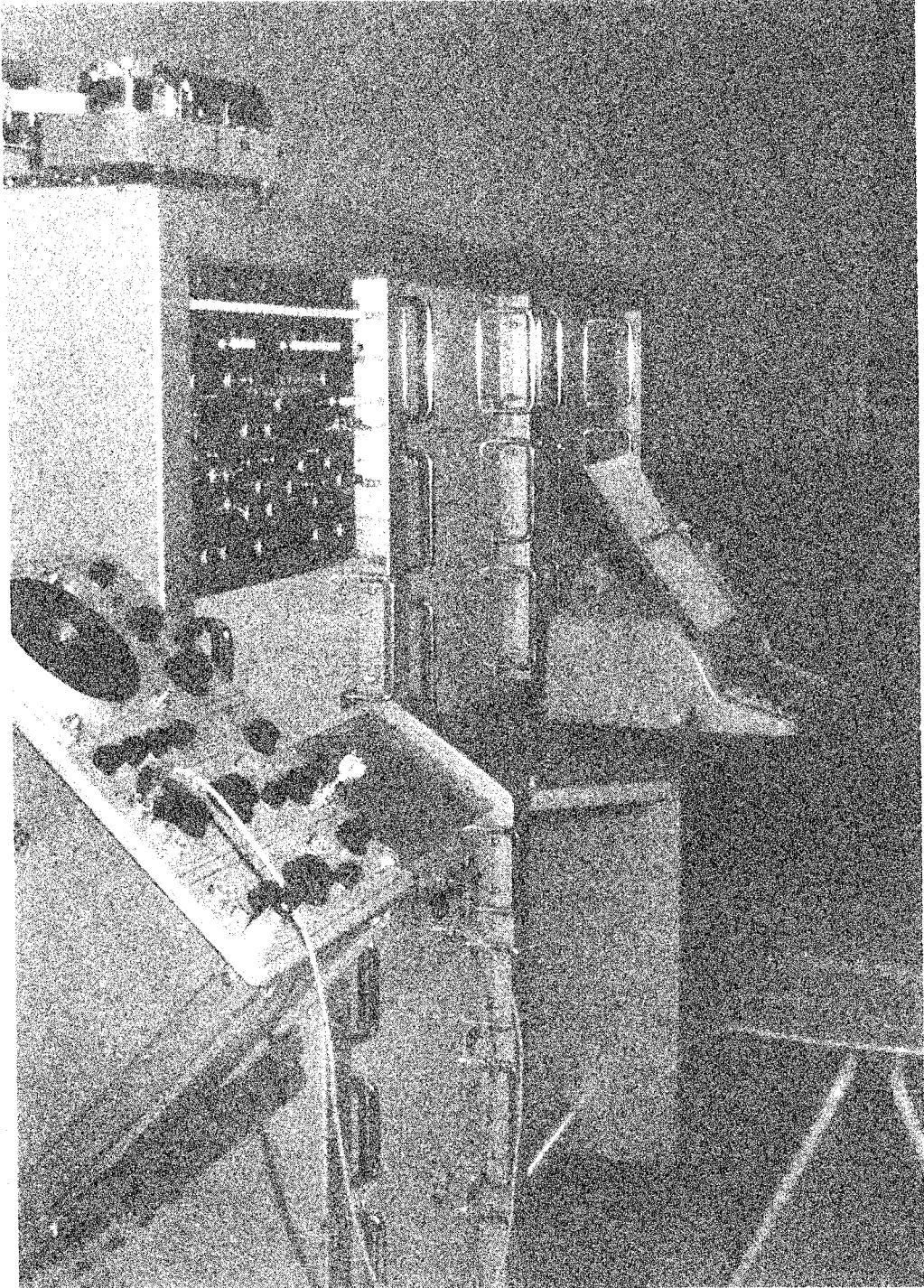
- Tambour magnétique S.E.A.      8 pistes à deux têtes  
1 piste d'horloge à une seule tête  
vitesse de rotation      2.975 tours/minute.
  
  - Mémoire d'incréments      Ternaire à capacité
  
  - Bloc arithmétique      Transistors Scilicum NPN  
haute fréquence.
-

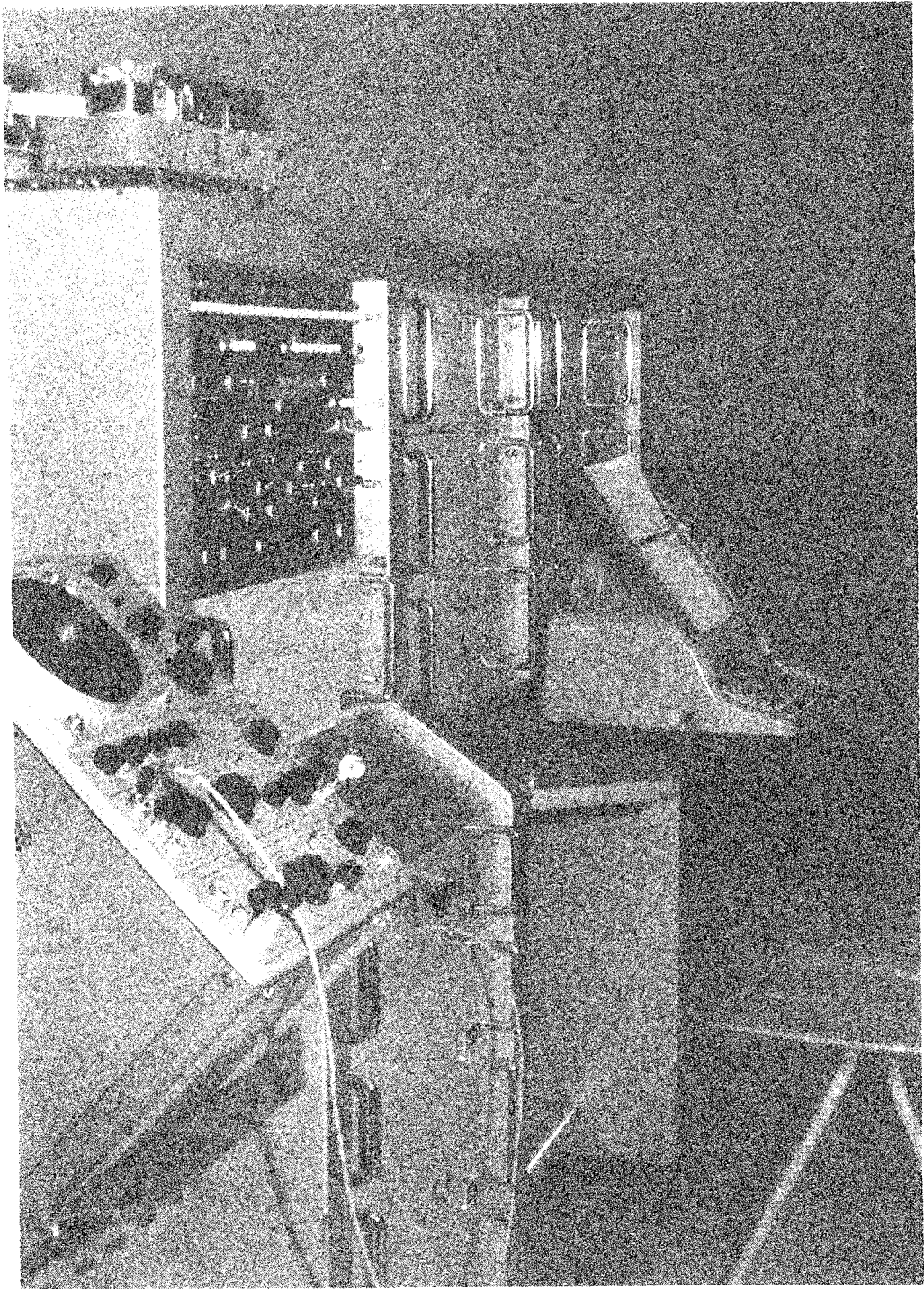


Analyseur Différentiel Digital

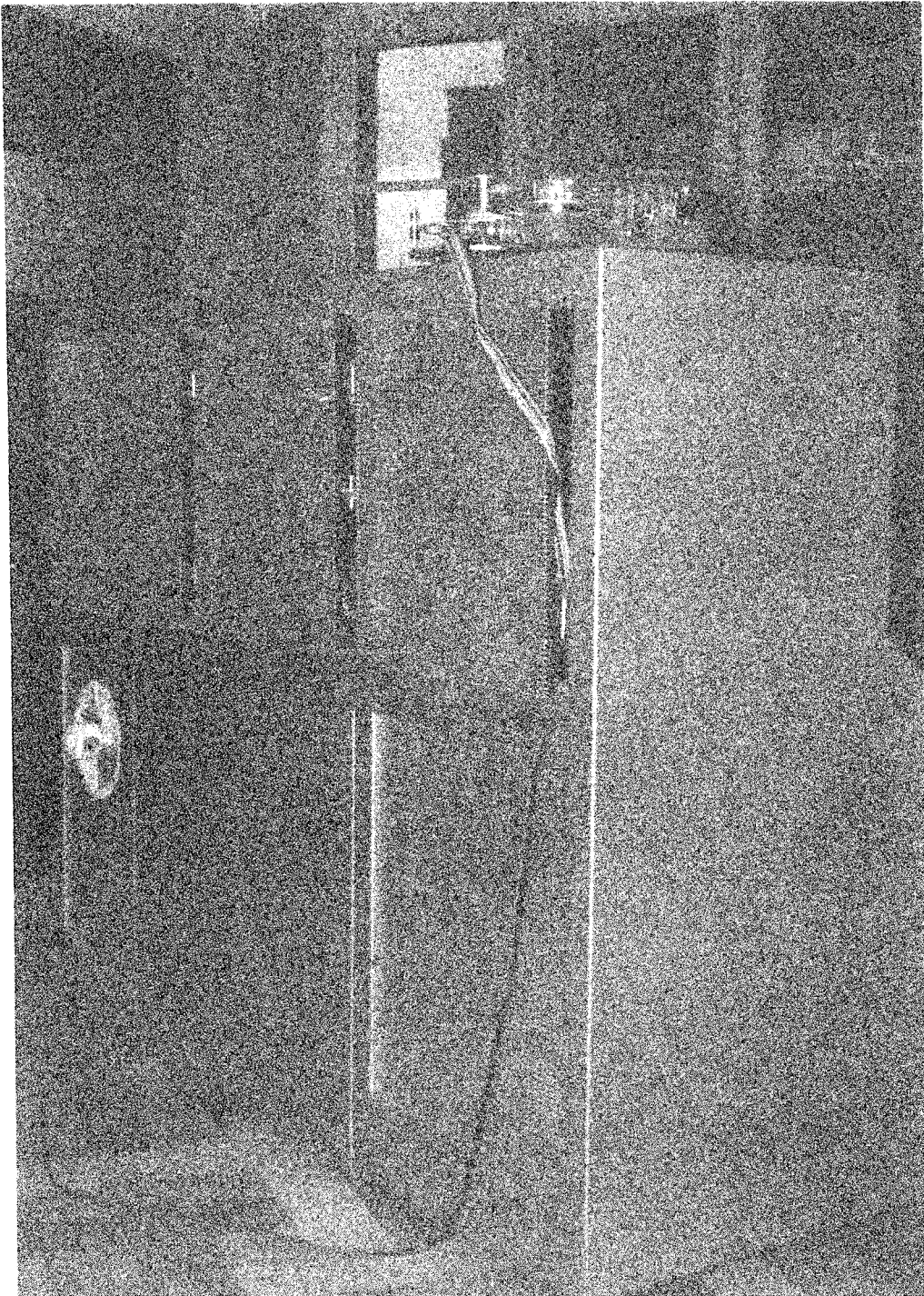
Université de Grenoble







1011 1011 1011 1011  
(1011 1011)



Analogue Differentiel Digital

(vue arriere)

Chapitre 10CONCLUSION

Le grand nombre d'applications d'un Analyseur Différentiel Digital ne nous permet pas de tirer des conclusions définitives au sujet de son utilisation dans tel ou tel domaine.

Nous nous bornerons donc à remarquer l'importance d'un tel calculateur dans les nouvelles techniques comme l'optimisation ou la navigation par inertie.

Son utilisation en couplage avec un calculateur de type universel semble le champ d'étude à poursuivre. La machine prototype ici présentée pourra donner de très utiles renseignements sur une telle utilisation.

---



## B I B L I O G R A P H I E

---

- S.CALDWELL " Switching circuits and logical design "  
J.WILEY, 1962
- G.MALEY " The logic design of transistor digital computers "  
Prentice Hall, 1963
- R.S.LEDLEY " Digital computer and control engineering "  
Mc Graw Hill, 1963
- GRABBE " Handbook of automation computation and control "  
Mc Graw Hill, 1961
- HUNTER " Handbook of semiconductor electronics "  
Mc Graw Hill, 1963
- FORBES " Digital Differential analysers "  
Forbes, 1962
- YAD HAN CHU " Electronic digital integrating circuits D.D.A. "  
Mayorov, 1965
- OWEN-PARTRIGE " Corsair D.D.A. "  
Electronic Engineering, 1960-61-62

-:-:-:-:-:-:-:-

REFERENCES BIBLIOGRAPHIQUES

---

- 1 J. du MASLE "Réalisation de l'organe de calcul d'un A.D.D."  
Thèse 3ème Cycle, Université de GRENOBLE, 1961
- 2 R. VILLIER "Contribution à la réalisation d'un A.D.D."  
Thèse 3ème Cycle, Université de GRENOBLE, 1963
- 3 R. GAILLARD "Réalisation d'une mémoire d'incrément ternaires"  
Thèse 3ème Cycle, Université de GRENOBLE, 1961
- 4 C. PAYAN "Contribution à la réalisation d'un prototype  
d'A.D.D."  
Thèse 3ème Cycle, Université de GRENOBLE, 1966
- 5 M. FARDEAU "Entrée analogique sur l'A.D.D."  
Projet, Laboratoire d'Automatique de GRENOBLE,  
1965
- 6 D. T. N. WILLIAMSON "Computer control of machine tools"  
Control, July 1958
- 7 M. L. JOHNSON "For distillation columns control, Phillips  
tries D.D.A. computer"  
Control Engineering, August 1964
- 8 I. E. E. E. Transactions on Military Electronics, Jan. 1963
- 9 J. CARPENTIER "Navigation par inertie"  
Dunod, 1962

-:-:-:-:-:-:-

VU

GRENOBLE le

Le président de la thèse

VU

GRENOBLE le

Le Doyen de la Faculté des Sciences

VU et permis d'imprimer

Le Recteur de l'Académie  
de GRENOBLE



VU

GRENOBLE le

Le président de la thèse

VU

GRENOBLE le

Le Doyen de la Faculté des Sciences

VU et permis d'imprimer

Le Recteur de l'Académie  
de GRENOBLE