



HAL
open science

Méthodologie de modélisation et de caractérisation de l'immunité des cartes électroniques vis-à-vis des décharges électrostatiques (ESD)

Nicolas Lacrampe

► **To cite this version:**

Nicolas Lacrampe. Méthodologie de modélisation et de caractérisation de l'immunité des cartes électroniques vis-à-vis des décharges électrostatiques (ESD). Micro et nanotechnologies/Microélectronique. INSA de Toulouse, 2008. Français. NNT: . tel-00283105

HAL Id: tel-00283105

<https://theses.hal.science/tel-00283105v1>

Submitted on 29 May 2008

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THESE

Préparée au
Laboratoire d'Analyse et d'Architecture des Systèmes du CNRS

En vue de l'obtention du
Doctorat de l'Institut National des Sciences Appliquées de Toulouse

Spécialité
Conception des Circuits Microélectroniques et Microsystèmes

Par
Nicolas LACRAMPE
Ingénieur INSA Toulouse

Méthodologie de modélisation et de caractérisation de l'immunité des cartes électroniques vis-à-vis des décharges électrostatiques (ESD)

Soutenue le 20 mai 2008 devant le jury :

Président	J-M. DILHAC
Rapporteurs	P. NOUET J. ROUDET
Examineurs	F. DAVENEL Ph. PERDU
Directrice de thèse Co-directeur de thèse	M. BAFLEUR F. CAIGNET
Invités	F. LAFON J. SHEPHERD

Remerciements

Les travaux présentés dans ce mémoire ont été réalisés au sein du groupe « *Intégration de Système de Gestion de l'Energie* » (ISGE) du Laboratoire d'Analyse et d'Architecture des Systèmes (LAAS) du CNRS de Toulouse et financés par la Direction Générale de l'Armement (DGA).

À l'issue de cette thèse, je souhaite tout d'abord remercier les directeurs successifs du LAAS, Messieurs Malik GHALLAB et Raja CHATILA, pour m'avoir accueilli au sein du Laboratoire. Je tiens aussi, à remercier Monsieur Jean-Louis SANCHEZ et Madame Marise BAFLEUR, qui ont dirigé successivement le groupe ISGE pour permettre à ses chercheurs et doctorants d'évoluer dans des bonnes conditions de travail.

J'adresse un autre remerciement à Madame Marise BAFLEUR, cette fois-ci en tant que directrice de thèse, pour sa collaboration inestimable, son soutien et pour toutes les discussions instructives et fructueuses que nous avons eues durant toute la durée de mon travail de recherche.

Je tiens tout particulièrement à exprimer ma reconnaissance à mon co-directeur de thèse, Monsieur Fabrice CAIGNET, Maître de conférences à l'Université Paul Sabatier, pour avoir su me guider, pendant ces années, avec beaucoup d'attention et de gentillesse. Ses qualités scientifiques et humaines, sa disponibilité et sa patience ont contribué à l'aboutissement de cette thèse. Je tiens également à lui exprimer ma profonde reconnaissance pour le temps qu'il a consacré pour finir ce travail dans de bonnes conditions. Je lui adresse par ces quelques mots, ma plus profonde gratitude.

Je tiens également à remercier Messieurs Pascal NOUET et James ROUDET, qui ont accepté la tâche d'être rapporteur de mes travaux de thèse. Je remercie également les membres du jury, Messieurs DILHAC, DAVENEL, LAFON, PERDU, SHEPHERD, pour leurs commentaires constructifs et pour avoir apporté un regard neuf sur mes travaux.

Je souhaiterais aussi remercier les personnes avec qui j'ai travaillé durant ces années, en particulier Nicolas NOLHIER pour avoir été toujours prêt à discuter et travailler avec moi. Je tiens aussi à remercier Nicolas MAURAN pour ses conseils techniques et sportifs, Laurent BARY pour le temps qu'il a bien voulu me consacrer pour mes mesures, et Sandrine SOUBIELLE pour sa disponibilité et sa gentillesse.

Je voudrais aussi remercier tous mes collègues du laboratoire pour leur bonne humeur durant mes quatre années de thèse : David, Eric, Magali, Karine, Christophe, Yuan, Richad, Guilhem, Gregory (ou Greg la fripouille), Frédéric, Julie, Stéphane, Florence, Loïc, Yann...

Je n'oublie pas de remercier toutes les personnes que j'ai eu l'occasion de côtoyer lors des matchs de football effectués le mardi et le jeudi. Merci à toute l'équipe de football du LAAS-CNRS pour les bons moments passés ensemble.

Je tiens à remercier mes nombreux colocataires de bureau :

- le premier et non des moindres, Nicolas GUITARD, plus connu sous le nom de « maître Jedi », pour sa sagesse et ses conseils qui ont amplement contribué à améliorer mes travaux. Merci aussi à Anne et Paul (dit Petit polo et bientôt Padawan).
- Rodolphe DE MAGLIE, ou Roro, pour les nombreuses simulations réalisées ensemble au cours de la thèse. Je n'oublie pas de remercier Marlène, sa concubine.
- Christian CARMEL, ou Dj Caramelo, pour nos diverses discussions scientifiques et ses conseils pour mon initiation à la salsa. Merci aussi à sa demoiselle, Laetitia.

Je veux aussi remercier Maxime DUMONTEUIL ainsi que Stéphanie SANCHEZ qui ont su m'apporter les indispensables moments de détente durant ces années de dur labeur.

Un remerciement tout particulier à, Jean-Baptiste et Virgine SAUVEPLANE, pour leur soutien, leur aide et leur amitié qu'ils m'ont témoignées durant ces années de thèse.

Je voudrais remercier très sincèrement, mes parents (Guy et Cathy) en signe de ma gratitude, ma reconnaissance infinie et mon profond amour pour toute la patience et les sacrifices qu'ils m'ont consentis.

Ma belle-famille, qui m'a accordé sa confiance et pour leur soutien sans faille.

Mon frère (Bruno) et sa future femme (Caroline) en témoignage de mon affection profonde, avec tous mes vœux de les voir réussir dans leur vie.

Pour finir, je voudrais remercier la personne qui a partagé de plus près cette aventure avec moi, celle qui a été ma motivation permanente, ma chère et tendre Pounette (Aurélie LEDUC et LACRAMPE bientôt). C'est grâce à son amour, ses encouragements et sa confiance qu'elle m'a accordés, que j'arrive aujourd'hui au terme de ce travail.

Merci aussi à Cina, Saïka et Cannelle (les meilleurs compagnons de l'homme) pour leurs présences.

Je demande finalement à ceux que j'ai pu oublier dans cette page de bien vouloir m'excuser; ils sont également dans mon cœur.

A mes grand-parents
A mes parents
A tous ceux qui me sont Chers

La science a certes quelques magnifiques réussites à son actif, mais à tout prendre, je préfère de loin être heureux plutôt qu'avoir raison.

Douglas Adams

Table des matières

INTRODUCTION GENERALE.....	10
LISTE DES ABREVIATIONS	14
CHAPITRE 1 LES DECHARGES ELECTROSTATIQUES (ESD) : DU COMPOSANT AU SYSTEME	16
1 LES CAUSES ET CONSEQUENCES DES DECHARGES ELECTROSTATIQUES	18
1.1 La génération de décharges électrostatiques	18
1.2 La problématique des décharges électrostatiques dans le domaine électronique	20
2 LES DIVERSES METHODES DE TEST ET NORMES UTILISEES.....	23
2.1 Les modèles et tests industriels utilisés lors de la phase de développement du circuit.....	23
2.1.1 <i>Modèle HBM (Human Body model) et MM (Machine Model)</i>	24
2.1.2 <i>Modèle CDM (Charged device Model)</i>	27
2.1.3 <i>Récapitulatif sur les normes ESD en vigueur au niveau composant</i>	29
2.2 Les modèles et tests industriels utilisés au niveau système : Test sur un circuit alimenté	30
2.2.1 <i>Introduction sur les méthodes de test ESD au niveau système</i>	30
2.2.2 <i>Modèle CBM (Charged Board Model)</i>	32
2.2.3 <i>Modèle CDE (Cable Discharge Event)</i>	34
2.2.4 <i>Les tests Latch-up</i>	36
2.2.5 <i>Modèle IEC 61000-4-2</i>	37
2.2.6 <i>Modèle IEC 61000-4-4</i>	41
3 LES DIVERS BANCS DE CARACTERISATION : TLP ET Vf-TLP	42
3.1 Les avantages de ces bancs de caractérisation	42
3.2 Le banc TLP ou « Transmission Line Pulsing »	43
3.3 Le banc Vf-TLP ou « Very Fast TLP »	46
4 LES PROTECTIONS MISES EN JEU POUR LIMITER LES DOMMAGES DUS AUX ESD	48
4.1 Généralités sur les protections ESD.....	48
4.2 Les protections « passives » sur l’environnement du composant.....	48
4.3 Le principe de fonctionnement d’une protection ESD	49
4.4 Les spécifications souhaitées pour une protection ESD	50
4.5 La caractéristique I(V) d’une protection ESD.....	50
4.6 Les protections actives.....	52
4.6.1 <i>Les stratégies de protection internes</i>	52
4.6.2 <i>Les protections externes</i>	54
5 LE BESOIN DES INDUSTRIELS POUR COMPRENDRE LES PROPAGATIONS DES ESD SUR UNE CARTE ELECTRONIQUE EN FONCTIONNEMENT	56
6 CONCLUSION	59

CHAPITRE 2 CARACTERISATION ET MODELISATION DE LA PROPAGATION D'UN STRESS ESD 70

1	ETUDE THEORIQUE DE LA PROPAGATION D'UN SIGNAL SUR UNE LIGNE DE TRANSMISSION.....	72
1.1	Modélisation d'une ligne de transmission.....	72
1.2	Les notions de ligne de transmission.....	73
1.2.1	<i>Cas d'une ligne de transmission standard ou avec pertes.....</i>	<i>73</i>
1.2.2	<i>Cas d'une ligne de transmission idéale ou sans perte.....</i>	<i>74</i>
1.3	Caractéristique de lignes simples de transmission : la ligne « microruban ».....	76
1.4	Étude réalisée avec l'hypothèse de l'approximation quasi-TEM.....	77
1.5	Calcul des paramètres descriptifs d'une ligne de transmission.....	79
1.5.1	<i>Impédance caractéristique d'une ligne.....</i>	<i>79</i>
1.5.2	<i>Vitesse de propagation.....</i>	<i>80</i>
1.5.3	<i>Coefficient de réflexion sur une ligne.....</i>	<i>81</i>
2	LES MOYENS DE TEST POUR LA CARACTERISATION DE LIGNES.....	82
2.1	Principe de la mesure par réflectométrie.....	82
2.2	Limitations de la méthode par réflectométrie.....	83
2.3	Les instruments TDR.....	84
2.4	Utilisation du banc VF-TLP pour l'extraction de paramètres de ligne.....	86
3	TOPOLOGIE DES DIVERSES CARTES DE TEST REALISEES.....	87
4	SIMULATION DE LA PROPAGATION D'UN PHENOMENE ESD SUR DES LIGNES.....	90
4.1	Le langage VHDL-AMS.....	90
4.2	Modélisation du banc d'injection.....	91
4.2.1	<i>Modélisation du banc VF-TLP.....</i>	<i>92</i>
4.2.2	<i>Modélisation de la connectique de mesure.....</i>	<i>92</i>
4.2.3	<i>Modélisation globale.....</i>	<i>93</i>
4.3	Modélisation et validation de la propagation ESD sur des diverses lignes.....	94
4.3.1	<i>Cas de lignes simples.....</i>	<i>94</i>
4.3.2	<i>Lignes avec des discontinuités.....</i>	<i>97</i>
4.3.3	<i>Cas de lignes couplées.....</i>	<i>103</i>
5	TESTS REALISES AVEC LE PISTOLET ESD.....	109
5.1	Modélisation du pistolet ESD.....	109
5.2	Résultats obtenus sur des lignes couplées.....	110
5.3	Conclusions.....	112
6	CONCLUSION.....	116

CHAPITRE 3 SUSCEPTIBILITE D'UN SYSTEME SIMPLE AUX STRESS ESD..... 122

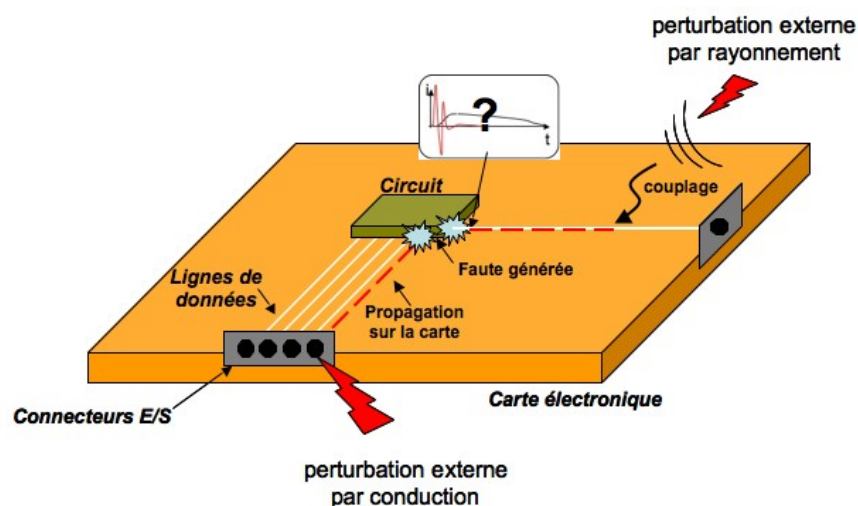
1	LA CARTE DE TEST : CARTE ESD.....	124
1.1	Caractéristique générale de la carte.....	125
1.2	Description des circuits intégrés utilisés.....	125
1.3	Une méthode simple de détection de faute logique.....	127
2	LES DIVERSES METHODES D'INJECTIONS.....	128
2.1	Définition des différents modes de couplages.....	129
2.2	La méthode d'injection directe sur les pistes alimentations.....	129
2.3	La méthode d'injection par diaphonie entre pistes.....	133
2.4	La méthode d'injection par couplage rayonné : le « Scan » champ proche.....	139

3	MODELISATION DES CIRCUITS INTEGRES POUR PREDIRE L'INFLUENCE DES ESD SUR LA CARTE DE TEST	148
4	RESULTATS OBTENUS SUIVANT LES DIFFERENTS CAS DE COUPLAGE	159
4.1	Injection d'une impulsion ESD sur l'alimentation d'un circuit via la méthode DPI.....	159
4.1.1	<i>Description de l'expérience</i>	159
4.1.2	<i>Mesures et résultats obtenus sur cette injection directe.</i>	160
4.1.3	<i>Discussions sur cette injection directe.</i>	163
4.2	Etude de l'influence d'un couplage indirect d'une impulsion ESD sur la carte de test.....	164
4.2.1	<i>Description de l'expérience</i>	164
4.2.2	<i>Mesures et simulations réalisées suivant les différentes méthodes injections.</i>	164
4.2.3	<i>Discussions sur ces différents modes de couplage indirect.</i>	168
5	CONCLUSION	170
CHAPITRE 4 VALIDATION DE LA METHODOLOGIE DE TEST SUR DES SYSTEMES NUMERIQUES COMPLEXES		174
1	ETUDE DE CAS SUR UN CIRCUIT TEST : LA PUCE CESAME	176
1.1	Description du banc de test pour une injection directe au niveau des alimentations du circuit test	176
1.2	Description de la puce CESAME et de la carte de test.....	178
1.3	Présentation du critère de susceptibilité utilisé	180
1.4	Modélisation de l'ensemble : du système d'injection au circuit test	181
1.4.1	<i>Modélisation globale du schéma électrique utilisé pour cette étude</i>	181
1.4.2	<i>Modélisation du dispositif d'injection</i>	182
1.4.3	<i>Modélisation de la carte de test</i>	183
1.4.4	<i>Modélisation du circuit CESAME</i>	184
1.5	Résultats obtenus et comparaison avec les mesures	186
1.5.1	<i>Mesures effectuées en injectant un stress ESD sur la broche V_{DD}</i>	186
1.5.2	<i>Simulation des perturbations induites par l'injection sur le V_{DD}</i>	188
1.5.3	<i>Etude de la susceptibilité des cœurs logiques en injectant le stress sur le substrat</i>	190
1.6	Conclusions sur ce cas d'étude	191
2	ETUDE DE CAS SUR UN CIRCUIT INDUSTRIEL : UN MICRO-CONTROLEUR 16 BITS	192
2.1	Le contexte de l'étude.....	193
2.2	Présentation du cas d'étude : circuit et banc de mesure	194
2.2.1	<i>Description du circuit : le microcontrôleur 16 bits</i>	194
2.2.2	<i>Description du dispositif de mesure de susceptibilité pour le microcontrôleur</i>	196
2.3	Résultats de mesure.....	197
2.4	Modélisation et simulation de l'étude.....	200
2.5	Conclusions et perspectives sur ce cas d'étude.....	202
3	CONCLUSION	203
CONCLUSION GENERALE		206
LISTE DES PUBLICATIONS		210

Introduction générale

Avec la banalisation de l'électronique dans tous les secteurs d'activité humaine, l'évolution de la technologie et de l'électronique de semi-conducteur a permis la réalisation de circuits intégrés plus puissants, rapides et fonctionnels. La fabrication d'équipements électroniques est transformée par le développement de ces circuits intégrés capables d'effectuer, un nombre de plus en plus grand de fonctions. Quand un objet ou un appareil est plus petit, il est généralement plus facile à transporter, nécessite moins d'énergie ...

Cette multiplication d'applications électroniques s'est plus particulièrement faite sentir dans les domaines tel que le transport, les multimédias. Pour répondre à des contraintes de fiabilité sévères, les systèmes embarqués (carte électronique incluant plusieurs circuits intégrés) doivent résister à des agressions issues de phénomènes transitoires variés. Par exemple, dans l'automobile, des normes ISO spécifient les méthodes d'essai des perturbations électriques [ISO-01], provenant de décharges électrostatiques, pour évaluer les modules électroniques embarqués dans les véhicules, et ainsi fournir une classification de leur sensibilité face à ces décharges. Une décharge électrostatique (ou ESD, en anglais pour ElectroStatic Discharge) correspond à un transfert rapide de charges entre deux objets qui génèrent des champs électriques et des densités de courant très élevés. L'énergie transportée par une décharge électrostatique, ou le champ électromagnétique qu'elle rayonne, peut entraîner la destruction de composants électroniques ou le dysfonctionnement de matériels électroniques. Comme le montre la figure ci-dessous, la source de perturbation, dans ce cas-là externe, se couple sur le système soit par rayonnement, soit par conduction.



Les perturbations induites par les ESD vont se propager dans le système jusqu'à atteindre le circuit intégré. Différentes structures de couplages (câbles, pistes métalliques de la carte électronique, boîtier) vont modifier la forme d'onde de la perturbation générée au niveau du circuit intégré en fonctionnement. La robustesse ESD d'une carte électronique (capacité de celle-ci à fonctionner, malgré des perturbations, dans les conditions d'utilisation) dépend de la robustesse des protections rajoutées sur la carte, du placement et du routage sur le circuit intégré et la carte, du blindage pour la compatibilité électromagnétique, etc... Cependant, un taux de retour client des circuits intégrés de 40% à 50% est répertorié comme résultant de l'impact des agressions ESD faisant de celles-ci, l'une des causes principales de défaillance des circuits intégrés.

Pour évaluer correctement la robustesse de la carte électronique, il est nécessaire d'avoir une approche similaire à celle traditionnellement utilisée dans le domaine de la compatibilité électromagnétique qui prend en compte le système complet. La protection d'un système passe forcément par une protection optimale de tous les éléments qui le composent. De nombreux efforts ont été effectués sur l'amélioration de la robustesse des composants électroniques lors de la phase de fabrication (utilisation de bracelets antistatiques, ionisation de l'air pour neutraliser les charges, connexion à la masse des plans de travail destinés à recevoir des composants). Au niveau du circuit intégré, différentes techniques de protection sont utilisées à l'intérieur de celui-ci (protection ESD interne) pour détecter et détourner les décharges afin de protéger les parties sensibles du circuit. Plusieurs études ont conduit à la création d'outils de caractérisation et de simulation appropriés qui permettent une conception plus méthodique de ces protections. Par contre, cette approche n'existe pas pour l'évaluation de la robustesse d'une carte électronique face à des agressions ESD.

L'objectif de la thèse est de développer une méthodologie de simulation, des modèles et les techniques de caractérisation associées permettant d'évaluer la robustesse d'une carte électronique en cours de conception pour aboutir d'une part, à la notion de fiabilité prédictive et d'autre part, à une méthodologie de conception unifiée du composant à la carte.

Le premier chapitre donne des informations sur les décharges électrostatiques, leurs origines et leurs effets sur les composants électroniques mais aussi sur les systèmes. Nous présentons les différents modèles de décharges, utilisées couramment dans l'industrie, afin de quantifier la tenue des circuits intégrés ou des systèmes aux ESD et d'établir des normes. Nous décrivons ensuite des diverses protections ESD servant à supprimer ou

diminuer les effets des décharges ainsi que des outils de caractérisation permettant une étude plus approfondie de ces éléments de protection. Enfin, nous aborderons les besoins des industriels sur la compréhension des propagations de ces phénomènes transitoires rapides que sont les ESD, au niveau des cartes électroniques.

Le deuxième chapitre est consacré à l'étude de la propagation d'un phénomène ESD sur des pistes simples de cartes électroniques de type « microstrip ». Les moyens de mesures et de simulations servant à caractériser les effets des ESD sur ces lignes sont détaillés. Dans ce chapitre, nous commençons par définir les notions sur les lignes de transmission. Différents bancs de test utilisant la méthode de réflectométrie temporelle (TDR en anglais, pour Time Domain Reflectometry) sont proposés pour l'extraction des paramètres de lignes. Les diverses cartes de test réalisées comprenant plusieurs types de configurations sont présentées. Nous décrivons ensuite des modèles génériques effectués pour simuler la propagation des ESD sur ces diverses lignes. Le langage choisi pour ces modélisations est le VHDL-AMS car il a l'avantage d'avoir obtenu une certification des normes IEEE qui en fait un standard industriel. Dans la dernière partie de ce chapitre, nous présentons une étude effectuée avec un pistolet ESD pour analyser l'impact des impulsions injectées par ce testeur sur des lignes d'une carte électronique.

Dans les chapitres suivants, les différentes impulsions ESD sont toutes injectées à l'aide du banc Vf-TLP (Very Fast Transmission Line Pulse) utilisé comme générateur de perturbation.

Le troisième chapitre présente une étude sur la susceptibilité d'une carte en fonctionnement incluant des circuits intégrés simples. Pour cette étude, une collaboration avec Mr Alexandre Boyer, du LATTIS de Toulouse, a été effectuée pour mettre en évidence le lien existant entre les perturbations électromagnétiques et les ESD. Plusieurs méthodes d'injection en mode conduit ou en mode rayonné, dédiées normalement à la CEM (compatibilité électromagnétique), ont été utilisées pour évaluer le niveau de perturbation ESD requis pour faire apparaître un dysfonctionnement au niveau des circuits et non une destruction. Les diverses mesures et simulations sont présentées et comparées afin de prédire et comprendre quels paramètres influencent la propagation des perturbations ESD induites sur la carte de test mais aussi à l'intérieur du circuit.

Le dernier chapitre concerne la validation de nos méthodologies de tests et de simulation sur deux cas d'études plus complexes. Une première étude sur l'immunité d'un

circuit intégré, en technologie CMOS 0,18um, est présentée. Les injections ESD sont effectuées directement au niveau des alimentations du circuit. Cette étude a été menée en collaboration avec Mr Ali Alaeldine et Mr Richard Perdriau, de l'ESEO d'Angers. Le deuxième cas d'étude proposé concerne un microcontrôleur 16 bits pour étudier sa susceptibilité face à des agressions ESD rayonnées. Une collaboration avec Mr Bertrand Vrignon, Ingénieur de recherche CEM à Freescale Toulouse, a été effectuée. Les diverses mesures, réalisées au LAAS-CNRS, seront présentées ainsi que les simulations effectuées par Mr Vrignon permettant de comprendre les effets de ces agressions rayonnées au niveau de la partie interne du circuit.

Liste des abréviations

CBM	<i>Charged Board Model</i> , Décharge de la capacité de la carte électronique au travers d'une seule broche de circuit.
CDE	<i>Cable Discharge Event</i> , Décharge d'un câble lors de sa connexion sur un système électronique.
CDM	<i>Charged Device Model</i> , Décharge d'un circuit intégré au travers d'une seule de ses broches mise à la masse.
CI	Circuit Intégré.
CST	Composant sous test.
EOS	<i>Electrical Over Stress</i> , Perturbation entraînant une surcharge électrique transitoire.
ESD	<i>ElectroStatic Discharge</i> , Décharge électrostatique.
HBM	<i>Human Body Model</i> , modèle de décharge correspondant à la fa mille de décharges causées par un contact humain.
IEC	<i>International Electrotechnical Commission</i> , commission électro technique internationale. Organisme de normalisation traitant des domaines de l'électricité, de l'électronique et des techniques connexes.
MM	<i>Machine Model</i> , modèle de décharge d'un appareil métallique sur un composant électronique relié à la masse.
TLP	<i>Transmission Line Pulse</i> , méthode de caractérisation permettant d'obtenir des caractéristiques I-V statiques suite à un mode d'excitation dynamique.
VF-TLP	<i>Very Fast Transmission Line Pulse</i>

Chapitre 1

Les décharges électrostatiques (ESD) : du composant au système

De nos jours, les équipements électroniques prennent une place importante dans notre société que ce soit dans la téléphonie, l'automobile ou le spatial et deviennent de plus en plus compacts tout en offrant plus de fonctionnalités. Dans cet environnement où cohabitent des composants électroniques variés (analogiques, numériques et de puissance), les risques de perturbations électromagnétiques sont fréquents. Ces perturbations désignent des signaux parasites dont la propagation peut nuire au bon fonctionnement des composants. On peut distinguer deux types de perturbations : les perturbations harmoniques, modulées ou non, et les perturbations transitoires. Dans l'ensemble des perturbations transitoires, on dénombre un large éventail d'événements qui peuvent être classés suivant l'énergie qu'ils véhiculent. La surcharge électrique ou EOS (Electrical Over Stress) est l'une de ces perturbations. D'une façon générale, l'EOS conduit à un phénomène thermique de surcharge engendré quand un produit est exposé à un courant ou à une tension au-delà de sa valeur maximale, habituellement des alimentations ou de l'équipement de test [HANG02]. Une surcharge électrique de quelques microjoules, suffit pour endommager le circuit de manière permanente et irréversible. Du point de vue de la durée de ce phénomène, il s'étend de quelques nanosecondes à la seconde (typiquement > 50ms) comme le montre la figure 1.1. Ces surcharges électriques regroupent la foudre, le latch-up¹, les coupures de mise sous tension, les surcharges de courant et les décharges électrostatiques ou ESD (Electro-Static Discharge).

L'ESD est un événement parasite naturel, probablement le plus répandu. Dans le cas d'une décharge générée par le corps humain, le mécanisme est le suivant : un utilisateur peut se charger en marchant sur une moquette et être à l'origine d'une décharge en manipulant par la suite un composant [SMIT99]. Ce phénomène est plus rapide qu'une surcharge électrique. On estime qu'un tiers à la moitié de toutes les défaillances des composants électroniques sont dues aux ESD et EOS [DIAZ92] [DIAZ95], et par conséquent à l'origine de beaucoup de problèmes pour les fabricants de composants électroniques mais aussi les utilisateurs. D'après Olney [OLNE05], de fortes énergies engendrées par des décharges de cartes chargées sur un circuit intégré peuvent être incorrectement attribuées à des dommages EOS.

¹ Le latch-up désigne un mécanisme de défaillance où une structure thyristor parasite est déclenchée, de façon involontaire, dans le circuit créant un chemin basse impédance entre les bus d'alimentation. Cette structure se comporte comme un court-circuit en faisant traverser sans interruption un courant élevé dans le circuit. Selon les circuits impliqués, la quantité de courant engendrée par ce mécanisme perturbe le fonctionnement normal du circuit et peut mener à sa destruction.

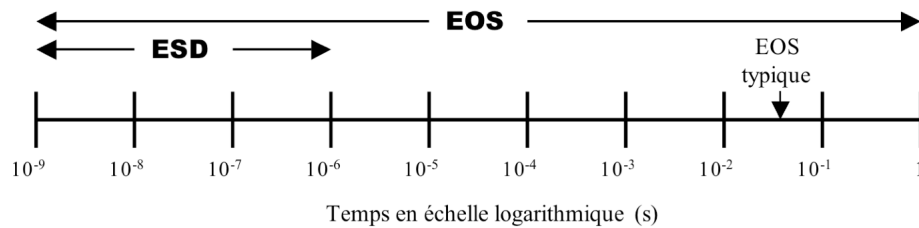


Figure 1.1 - Spectre montrant la durée des événements EOS et ESD.

Cela signifie que des défaillances classifiées comme EOS pourraient être dues aux ESD, ce qui rendrait le pourcentage encore plus haut pour les défauts causés par les ESD. De ce fait, la connaissance des mécanismes d'ESD est devenue indispensable dans la conception et la fabrication des circuits intégrés et a donné lieu à un secteur de recherche dans le domaine de la microélectronique dédié à la compréhension de ces décharges et aux moyens de s'en prémunir.

Ce chapitre donne une vue d'ensemble des décharges électrostatiques dans le domaine de la microélectronique. Dans un premier temps, des généralités sur la création de ces décharges seront expliquées. Nous verrons par la suite, les problèmes qu'engendrent ces perturbations sur l'électronique que ce soit au niveau du composant mais aussi du système complet. Pour pallier ces menaces, différents modèles de décharges ainsi que des moyens de test ont été développés pour qualifier la robustesse des produits (du composant au système). Nous décrirons les outils de caractérisation permettant d'obtenir des informations précises sur le fonctionnement de diverses protections ESD. Nous parlerons de ces protections permettant de supprimer ou diminuer les impacts des ESD. Enfin, nous définirons les besoins des industriels pour connaître les effets des propagations des ESD sur des cartes électroniques qui deviennent de plus en plus sensibles à ces phénomènes transitoires rapides.

1 Les causes et conséquences des décharges électrostatiques

1.1 La génération de décharges électrostatiques

De façon générale, les décharges électrostatiques (ESD) résultent d'un transfert rapide et à forte intensité de charges entre deux objets ayant des potentiels électrostatiques différents [GRE91]. Ce phénomène de décharges est assez courant. Une personne est électriquement

chargée et déchargée plusieurs fois par jour. Par exemple, après avoir foulé un tapis en y frottant vos pieds et avoir ainsi accumulés des électrons sur votre corps, vous pouvez recevoir un choc électrique - la décharge - au moment où vous touchez une poignée de porte métallique. Ce petit choc vous libère de l'électricité statique accumulée. Ce phénomène physique, appelé triboélectricité, est dû à un déséquilibre initial de charges entre deux corps [VINS98]. Il existe d'autres générations de déséquilibre de charges comme la génération par induction, ou encore le contact avec des objets préalablement chargés [VINS98]. Ces différents mécanismes de décharges engendrent des tensions électrostatiques importantes (de quelques centaines de volts à plusieurs kV), de courtes durées (1ns à 200ns) ainsi que de forts courants (1-10A). Plusieurs études ont montré que la forme d'onde de ces décharges dépendait des caractéristiques de la source et des circuits de décharge (surface de contact entre les deux objets), mais aussi d'autres paramètres (humidité relative de l'air, vitesse d'approche du corps chargé) [GREAO2].

Dans les processus de fabrication de composants électroniques, le corps humain est une source importante d'ESD. En terme électrostatique, le corps humain est assimilé à une capacité (C) ayant une tension de précharge (V) à ses bornes permettant, à l'aide de l'équation ci-dessous, de quantifier les charges accumulées (Q).

$$V = \frac{Q}{C} \quad (1.1)$$

La sensibilité humaine aux ESD est variable, mais le seuil de perception humain d'une décharge est d'environ 3-4kV avec une valeur moyenne pour la capacité de 100pF. Cependant, suivant les conditions de mesures (choix des chaussures, revêtement de sol utilisé, position du corps), Jonassen a mesuré des capacités pouvant atteindre plusieurs centaines de pF [JONA98]. De plus, le corps humain a une résistance significative permettant de limiter l'écoulement du courant. Dans le domaine de la microélectronique, ce phénomène de décharge peut survenir lors de l'approche d'un objet chargé (voir figure ci-dessous) ou du contact d'un utilisateur intervenant sur un composant.

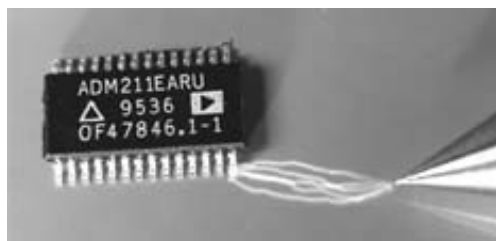


Figure 1.2 - Décharge dans l'air sur une broche d'un composant.
(site : <http://www.analog.com>)

Cette décharge va induire un pic transitoire de courant très bref et intense, circulant à l'intérieur du composant, endommageant ou détruisant celui-ci. Nous allons voir dans le paragraphe suivant que ces décharges sont un problème coûteux dans beaucoup d'environnements industriels comme l'aviation, l'automobile [GREA00], la médecine, mais aussi dans le domaine militaire [GREE88].

1.2 La problématique des décharges électrostatiques dans le domaine électronique

Un circuit intégré (CI ou Integrated Circuit - IC), comme le montre la figure 1.3, est un composant électronique reproduisant une ou plusieurs fonctions électroniques plus ou moins complexes, intégrant souvent plusieurs types de composants électroniques de base, comme le transistor MOS, dans un volume réduit. Durant ces dernières années, la taille d'un circuit intégré a peu évolué, cependant le nombre de transistors en interne a augmenté exponentiellement du fait de l'accroissement de la densité d'intégration. Cet accroissement est obtenu principalement par le développement de nouveaux procédés technologiques permettant ainsi de réduire les dimensions des transistors (amincissement des oxydes de grille, jonctions peu profondes).

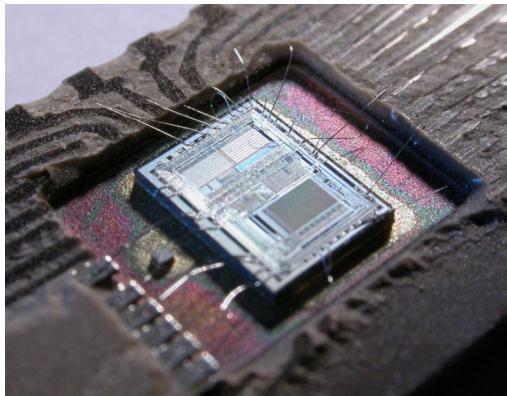


Figure 1.3 - Circuit intégré d'une puce Intel déposé dans un boîtier et relié à l'extérieur par des fils de connexions.

Plus l'intégration augmente, plus la taille des transistors diminue et plus les performances s'améliorent, comme l'augmentation des fréquences de fonctionnement des processeurs due à la réduction des distances entre les composants.

Année	2001	2003	2006	2009
Espacement minimum de la technologie (nm)	130	100	70	50
Longueur de grille minimum (nm)	90	65	40	25
Densité de transistors logiques /cm ² (10 ⁶)	14	26	63	210
Fréquences internes (MHz)	1500	2100	6000	10000
Tension d'alimentation (V)	1,1	1,0	0,9	0,6

Tableau 1 – Evolution des caractéristiques des microprocesseurs [ITRS05].

En revanche, parallèlement à ces évolutions et ces réductions, les charges statiques maximales permises dans les circuits tendent à diminuer au cours des années comme le montre le tableau 1. Suivant ces valeurs, on remarque que la robustesse d'un circuit sans protection vis-à-vis d'un phénomène ESD est de l'ordre d'une dizaine de Volts.

Année	2005	2006	2007	2008	2009	2011	2014	2020
Charge statique maximale permise dans les circuits	0,8nC (80V)	0,6nC (60V)	0,5nC (50V)	0,4nC (40V)	0,3nC (30V)	0,2nC (20V)	0,1nC (10V)	0,025nC (2.5V)

Tableau 2 – IRTS 2005 Roadmap. [ITRS05]

Depuis la fabrication des circuits intégrés modernes jusqu'à leur intégration dans une application, les ESD deviennent de plus en plus une question critique dans l'industrie électronique [WAGN93]. Durant la fabrication, ces décharges proviennent essentiellement de la manipulation des circuits par une personne ou de leur contact avec une machine. Bien que de courte durée, les impulsions massives de courant et tension mises en jeu lors de ces ESD entraînent des dommages dans les circuits intégrés. Généralement, ces dommages sont classifiés en défauts latents ou en défauts sévères [GREA89].

Prenons le cas d'un circuit ayant subi une ou plusieurs décharges électrostatiques : tout d'abord, il ne présente pas de caractéristiques électriques hors spécifications. Avec le temps, ces dernières peuvent être dégradées et conduire à un dysfonctionnement du composant. On parle alors de défaut latent [GUIT05]. Les défauts sévères, quant à eux, se manifestent de manières différentes suivant le type de boîtier d'encapsulation, l'amplitude et la forme d'onde de la décharge, la technologie du composant, le dopage. L'écoulement des charges entre des objets conducteurs, provoque des courants de fortes intensités, entraînant la fusion des réseaux internes des composants, et la destruction par "claquage". La figure 1.4 montre plusieurs exemples de défauts sévères dus aux EOS ou ESD, que ce soit au niveau du boîtier, ou interne au circuit. Les défaillances thermiques se produisent lorsque la température excède la température de fusion d'un matériau. Les circuits intégrés

étant de très petites tailles, l'énergie absorbée par ces composants peut être si élevée que le matériau du semi-conducteur peut localement fondre. Selon l'amplitude et la durée du courant, cela va entraîner sa fusion partielle ou totale [SALO98].



Destruction du boîtier

Fil de connexion fondu

Rupture de l'oxyde

Figure 1.4 - Différents défauts engendrés par une ESD ou EOS.

(site : <http://www.national.com>)

De plus, les ESD menacent aussi les systèmes électroniques (intégration de CI sur des cartes) à chaque fois que quelqu'un remplace un câble ou touche un port d'entrées/sorties (E/S) [WARR89]. Les ESD peuvent causer des dommages à tous les niveaux : composants, sous-ensembles, produit finis.

Par conséquent, les industriels doivent tenir compte des problèmes liés aux ESD, pour tous les produits ou composants, qui risquent de se trouver dans un environnement sensible que ce soit au niveau de la conception du produit jusqu'à la production de celui-ci.

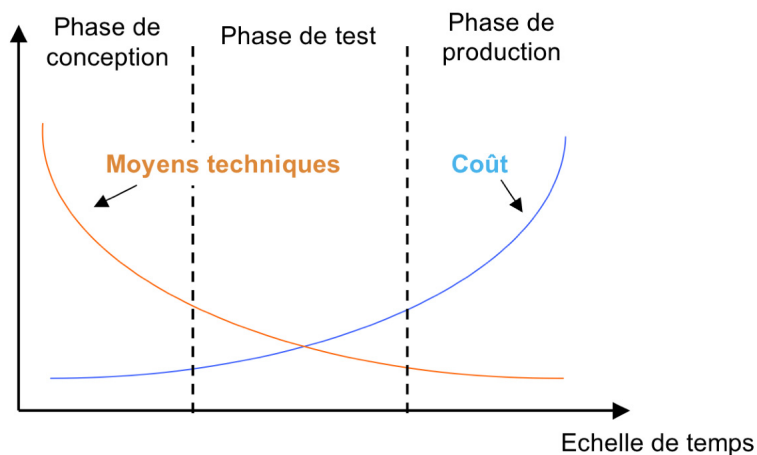


Figure 1.5 - Prise en compte des problèmes ESD dans le développement du produit.

La figure 1.5 montre qu'à la conception, la prise en considération de ces problèmes engendre un coût majoré faible grâce à des moyens techniques importants pour comprendre

et éliminer le phénomène. Par contre, quand le produit est déjà sur le marché, ces dommages occasionnent des réparations coûteuses.

Pour garantir la robustesse d'un circuit face aux menaces ESD, les industriels doivent détecter et détourner les décharges, pouvant survenir durant toutes les phases du cycle de vie du produit. Pour cela, plusieurs méthodes de test ont été développées et normalisées selon la nature de la source produisant l'ESD [BOXL90]. Du point de vue du circuit, ces tests sont généralement effectués sur des circuits non alimentés étant donné que les ESD surviennent généralement pendant les phases d'assemblage. Cependant, depuis quelques années, de nouvelles méthodes de tests ESD sont utilisées sur des circuits sous tension [WANG04a]. En réalisant ces tests, la robustesse des circuits vis-à-vis des ESD peut être étudié, suivant différents procédés de décharge.

2 Les diverses méthodes de test et normes utilisées

2.1 Les modèles et tests industriels utilisés lors de la phase de développement du circuit

Pour reproduire au mieux le transfert de charges subi par les composants durant la fabrication, trois modèles ont été conçus selon qu'elles se produisent :

- lors d'un contact avec un corps humain chargé (modèle HBM – « Human Body Model ») [HBM-01],
- lors d'un contact avec une machine métallique chargée (modèle MM – « Machine Model ») [MM-99],
- lors de la mise à la masse d'un circuit préalablement chargé (modèle CDM – « Charged Device Model ») [CDM-99].

Ces modèles diffèrent du fait que les modèles HBM et MM reproduisent le transfert électrostatique d'une charge sur un dispositif, tandis que le modèle CDM reproduit le transfert électrostatique d'une charge à partir d'un dispositif. Le point commun de ces trois modèles est l'utilisation d'un circuit de type RLC (figure 1.6) pour simuler le courant de décharge résultant de ces différents cas d'ESD. De façon générale, dans ces modèles, la création d'une ESD est réalisée par la décharge d'une capacité préalablement chargée au travers d'un circuit sous test. Le circuit est modélisé par une impédance inconnue, mais généralement faible.

D'après ce modèle, on assimile :

- le corps humain à une capacité (C)
- le bras et la main à une inductance (L)
- la peau à une résistance (R)

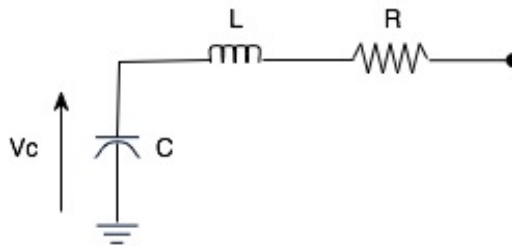


Figure 1.6 – Circuit équivalent RLC d'une décharge électrostatique.

Les différents modèles, illustrés par la suite, sont assez simples par rapport à la réalité, mais ils restent intéressants pour avoir une approximation sur les caractéristiques électriques de chaque décharge suivant le cas rencontré.

2.1.1 Modèle HBM (Human Body model) [HBM-01] et MM (Machine Model) [MM-99]

Le modèle HBM fut le premier à être développé, avec la norme MIL-STD-883D, et sert encore de référence dans la plupart des tests industriels. Pour ce type de décharge, le modèle décrit ce qui se produit quand un humain déjà chargé (par le mouvement, la marche) se décharge dans un circuit électronique qu'il toucherait du doigt. On estime que le composant, lors de la décharge, est à un potentiel inférieur de celui de l'humain.

Un autre modèle employé dans l'industrie est le modèle MM. Il fut développé au Japon pour l'industrie automobile en tant que pire cas HBM, mais sert peu aujourd'hui. Ce modèle représente la décharge d'un objet ou d'une machine métallique chargée entrant en contact direct avec un circuit électrique.

Les modèles HBM et MM décrivent le même mécanisme de décharge mais avec deux formes différentes [BART04]. Un seul modèle électrique est utilisé (figure 1.7), mais avec des valeurs de composants différentes.

La décharge est assimilée à la fermeture d'un interrupteur entre une capacité pré-chargée et un ensemble RLC+CST (Composant Sous Test) représentant à la fois l'interface homme/machine/circuit (C_{ESD} , R_S), le circuit lui-même (R_L) et les composants parasites du testeur sur lequel sera implanté le modèle (L_S, C_S, C_T).

Ces valeurs, fixées par des normes associées, sont indiquées dans le tableau 3. Les deux principales différences sont :

- la capacité de charge, servant à caractériser l'intensité de la décharge, plus grande pour le modèle MM (200pF) comparé à celle utilisée pour le modèle HBM (100pF).

- la résistance (R_S), plus importante pour la peau (1500Ω) que pour une surface métallique (0Ω en théorie, mais réellement $> 5\Omega$).

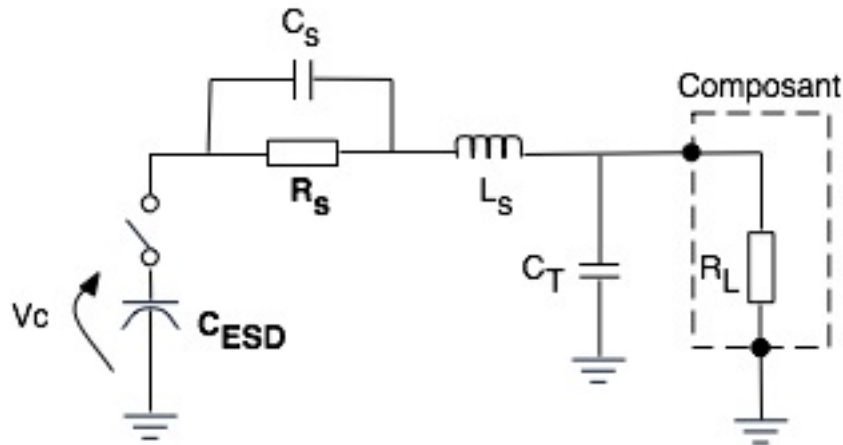


Figure 1.7 – Schéma équivalent RLC du modèle HBM et MM.

Modèle	C_{ESD} (pF)	R_S (Ω)	L_S (μ H)	C_S (pF)	C_T (pF)
HBM	100	1500	5	< 5	< 30
MM	200	0	0,5/2,5	0	< 30

Tableau 3 - Caractéristiques des modèles de décharges HBM et MM.

D'après la théorie du circuit RLC, les expressions des courants engendrés par ces deux décharges sont décrites par des équations différentielles du second degré [GOEA05]. Selon la valeur de la résistance en série (R_S), les oscillations induites par le circuit RLC vont être soit faiblement amorties (cas du modèle MM), soit fortement amorties (cas du modèle HBM).

Dans le cas du modèle HBM, l'expression du courant de décharge est décrite par l'équation suivante :

$$I_{HBM}(t) = \frac{V_C}{R_{HBM}} \left(1 - \exp\left(-\frac{R_{HBM}}{L_S} t\right) \right) \exp\left(-\frac{t}{R_{HBM} C_{ESD}}\right) \text{ où } R_{HBM} = R_S + R_L \quad (1.2)$$

La forme d'onde typique de ce courant de décharge HBM est représentée par un pic de courant rapide ($t_m = \frac{L_S}{R_{HBM}}$: entre 2ns et 10ns), une amplitude maximale ($\frac{V_C}{R_{HBM}}$: 0,6A pour $V_C = 1kV$) et à une durée de décharge lente ($\Delta t = 4 * R_{HBM} * C_{ESD}$: de l'ordre d'une centaine de nanosecondes). (figure 1.8)

Néanmoins, cette équation est une expression simplifiée de la décharge qui ne tient pas compte des capacités parasites C_S et C_T . Une formulation plus complexe de ce courant a été développée par Verhaege [VERH93]. On remarque que la décharge dépend fortement des parasites liés aux interconnexions (L_S) ainsi qu'au testeur utilisé (C_T), mais aussi de la résistance équivalente du composant testé (R_L). Dans le cas du modèle MM, l'expression du courant de décharge est la suivante :

$$I_{MM}(t) = V_C \sqrt{\frac{C_{ESD}}{L_S}} \exp\left(-\frac{R_{MM}}{2L_S} t\right) \sin\left(\frac{1}{\sqrt{L_S C_{ESD}}} t\right) \text{ où } R_{MM} = R_S + R_L \quad (1.3)$$

Pour la forme d'onde de la décharge MM, l'absence de la résistance série produit une oscillation amortie dont le premier pic survient au bout de quelques dizaines de nanosecondes. De ce fait, ce modèle est très peu reproductible car l'impédance dynamique du circuit ainsi que les capacités et inductances parasites ramenées par l'équipement de test ont une forte influence sur la forme d'onde du courant de décharge. En conséquence, ce test n'est pas très répandu. On notera aussi que deux valeurs d'inductance parasite sont tolérées pour le Modèle Machine, correspondant à des différences de modélisation en Europe et aux Etats-Unis.

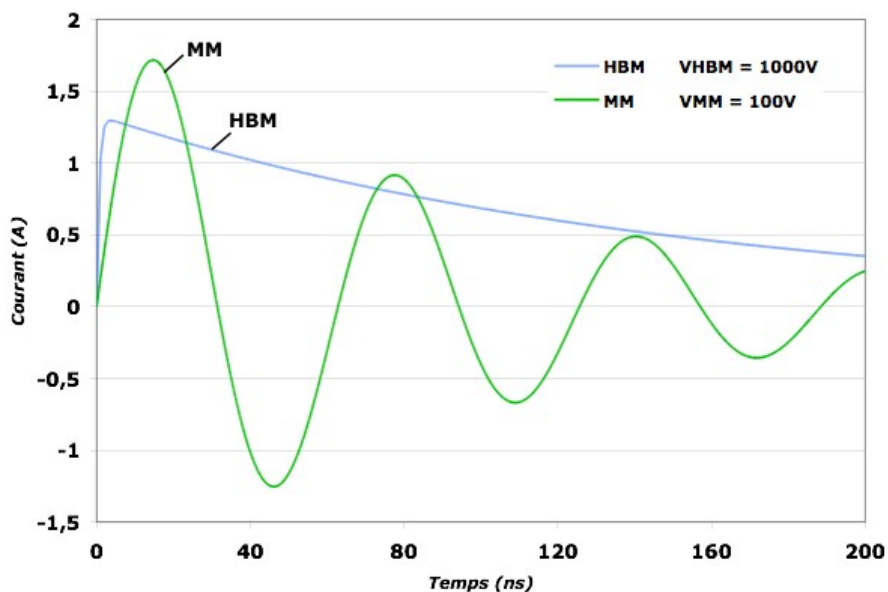


Figure 1.8 - Forme d'onde typique du courant de décharge HBM et MM (valeur pour L_S de $0,5\mu H$) dans le cas d'un court-circuit.

Les formes d'onde classiques générées par ces deux modèles sont représentées sur la figure ci-dessus dans le cas où le circuit serait en court-circuit pour $V_{HBM}=1kV$ et $V_{MM}=100V$.

Des formes d'ondes différentes sont ainsi obtenues, traduisant une différence dans l'amortissement du circuit du second ordre. La durée de ces décharges HBM et MM est du même ordre de grandeur ($\approx 200\text{ns}$), entraînant des modes de défaillances similaires même si les dégradations peuvent être plus ou moins sévères suivant le test effectué. Pour les essais HBM et MM, les industriels utilisent des testeurs pour qualifier le produit face à ces décharges et vérifier la conformité du circuit suivant les spécifications requises. Lors de ces essais, on injecte plusieurs décharges sur un composant non alimenté avec des amplitudes croissantes jusqu'à le dégrader. Plusieurs combinaisons sont possibles pour appliquer la décharge au circuit (injection sur les alimentations et les entrées-sorties) [KER01]. Le but de ce type d'essai est de définir le niveau de tension maximale permis sur les différentes broches du composant sous test (CST). On peut déterminer quelles broches sont les plus sensibles dans le circuit et ainsi trouver le chemin qui mène aux dommages de celui-ci. Cependant, ces testeurs renseignent seulement sur la capacité d'un circuit à supporter une certaine décharge pour un modèle donné. Ils ne donnent pas d'indication sur le comportement du circuit pendant la décharge ainsi que le mécanisme conduisant à la défaillance. Nous verrons dans la partie 3, les outils de caractérisation utilisés pour connaître certains paramètres électriques, comme les courants et tensions propagés dans le circuit sous test.

2.1.2 Modèle CDM (Charged device Model) [CDM-99]

Le transfert de charges à partir d'un composant sensible est également un événement décrit comme une décharge de type ESD. En 1974, Speakman [SPEA74] a proposé la possibilité de détruire une partie électronique, comme un circuit intégré, par une décharge rapide de charges statiques accumulées dans le circuit lui-même. Un circuit peut se charger, par tribo-électrification de son boîtier, en glissant le long d'un rail dans une chaîne d'assemblage ou dans une baguette métallique utilisée durant son transport. Ce mécanisme est devenu significatif avec l'utilisation des techniques automatisées d'assemblage et de test des CI. Dans ce cas, les charges statiques sont stockées dans le composant isolé. Si l'une de ces broches entre en contact avec une surface conductrice reliée à la masse, une décharge rapide peut se produire à travers le chemin le moins résistif du circuit jusqu'à la masse. Ce type de décharge est connu sous le nom de composant préalablement chargé ou CDM (Charged Device Model). Le schéma simplifié du modèle électrique d'une décharge CDM est présenté en figure 1.9. Comme pour les modèles HBM et MM, la décharge du circuit est modélisée par un réseau RLC représentant, à la fois, les éléments parasites de la ligne de

décharge (broches, pistes métalliques, silicium, boîtier, ...) ainsi que la capacité de charge ($C > 10\text{pF}$).

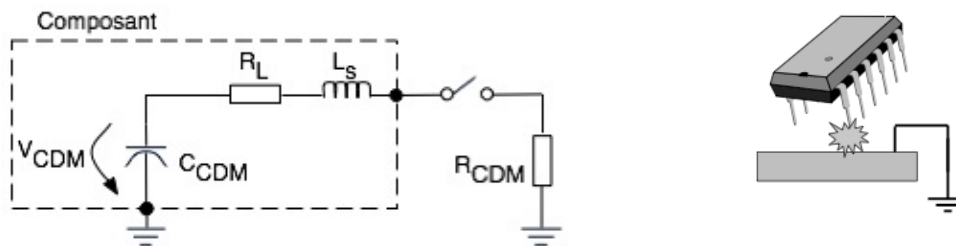


Figure 1.9 – Schéma électrique RLC pour le modèle CDM.

Pour déterminer la sensibilité d'un circuit à une décharge CDM, il suffit de charger le dispositif entier, et ensuite de le décharger par une de ces broches avec une sonde reliée à la masse. En première approximation, le courant maximal dans le dispositif change avec le type de boîtier et l'inductance parasite du dispositif comme suit :

$$I = V * \sqrt{\frac{C}{L}}$$

où V est la tension de charge, L est l'inductance parasite, et C la capacité.

Bien que la durée de la décharge soit très courte (souvent moins d'une nanoseconde), le courant maximal peut atteindre plusieurs ampères comme le montre la figure 1.10. La décharge CDM typique pour 100V d'un circuit chargé (avec une capacité équivalente de 10pF) peut produire un courant crête de 5A avec un temps de montée autour de 200ps seulement.

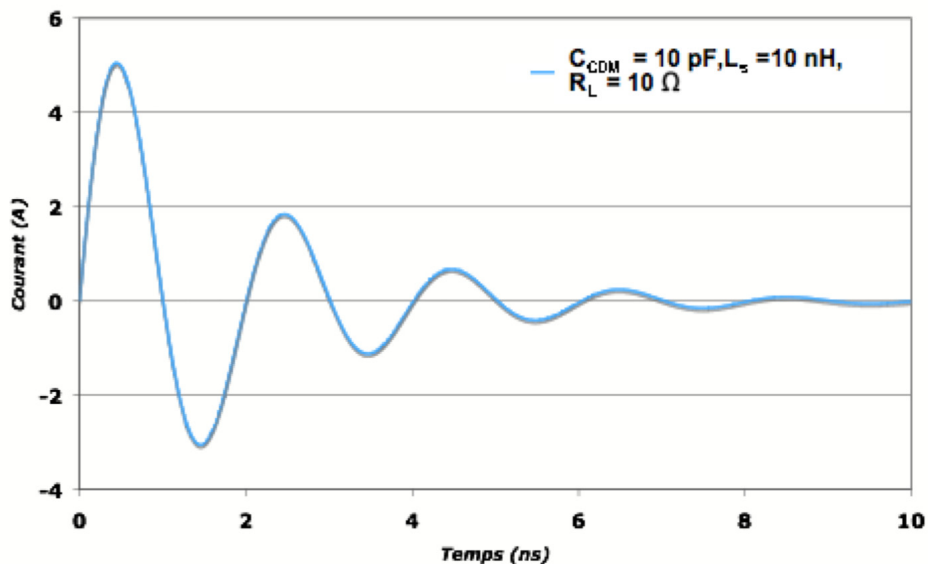


Figure 1.10 – Forme d'onde du modèle CDM pour une tension de charge de 100V.

Selon les industriels, les circuits sont conçus pour soutenir des tensions de précharge de 500V lors d'une décharge CDM. Le processus de test pour le CDM est tout à fait différent de celui pour le HBM et MM. Tandis que les décharges HBM et MM engendrent un écoulement du courant de décharge dans le dispositif grâce à une source extérieure d'impulsion, la décharge CDM (charge déjà stockée dans le circuit sous test) s'écoule à travers une seule broche du circuit qui est reliée à la masse ou à un potentiel inférieur. Par conséquent, puisque la forme d'onde du CDM est différente du HBM et du MM, les signatures de défaillances ne sont pas identiques. La destruction thermique est le mécanisme primaire de défaillances pour le HBM et le MM, alors que la destruction au niveau diélectrique est le mode de défaillance typique pour le CDM. Diverses méthodes d'essai ont été employées pour reproduire l'événement réel de CDM et fournir une méthode appropriée d'essai qui reproduit les types de défauts causés par le CDM :

- le SCDM (socketed-CDM) [CHAI98]: Le composant est chargé avec une source haute tension et est inséré dans un support de test dédié avec ses broches vers le bas. Pour effectuer la décharge, une de ces broches est reliée à la masse.
- le FCDM (Field CDM) [RENN89]: le composant est chargé par induction en le plaçant sur une plaque métallique ou électrode de charge reliée à une source haute tension. Les broches du composant sont en l'air et la décharge s'effectue soit par contact lors du test CCDM (contact CDM) ou non-contact, selon la position de la pointe de décharge avec la broche agressive (mise en contact de la pointe ou assez proche de la broche pour avoir un claquage dans l'air).

Cependant, ces tests présentent l'inconvénient, comme les tests HBM et MM, d'être destructifs. De plus, la prise en compte des différents types de boîtiers, la façon de réaliser l'accumulation de charges, la façon de provoquer la décharge, ainsi que la topologie du circuit testé et du testeur, est importante pour caractériser les formes et les niveaux des décharges engendrées [VERH95] [GOSS97].

2.1.3 Récapitulatif sur les normes ESD en vigueur au niveau composant

Durant ces dernières années, les industriels ont porté une attention particulière aux tests ESD pour évaluer la robustesse des circuits. Pour chaque modèle de décharge vu précédemment, différents testeurs sont employés suivant des spécifications de mesure précises (ou normes) [HYAT02]. Ces normes, répertoriées dans le tableau 4, indiquent les diverses tensions et niveaux courants qui définissent la décharge ESD fixée ainsi que la méthodologie à utiliser pour injecter les ESD dans le circuit.

	<i>ESDA(ANSI)</i> (ESD Association)	<i>JEDEC (EIA)</i> (Electronics Industries Association)	<i>IEC</i> (International Electrotechnical Commission)	<i>AEC</i> (Automotive Electronics Council)	<i>EIAJ</i> (Electronics Industries Association of Japan)
HBM	STM5.1-2001	JESD22-A114-E	61340-3-1 60749-26 ed2	Q100-002 REV-D	ED-4701/304
MM	STM5.2-1999	JESD22-A115-A	61340-3-2 60749-27	Q100-003 REV-D	
CDM	STM5.3.1-1999 STM5.3.2-2004	JESD22-C101-C		Q100-011	ED-4701/305

Tableau 4 – Récapitulatif des diverses normes ESD au niveau composant.

(www.esda.org, www.iec.org, www.aecouncil.com)

Suivant le domaine d'application et les niveaux de tensions, chacun des modèles ESD utilisés (HBM, CDM, MM) pour le test a son propre système de classification pour quantifier les circuits sensibles aux ESD de ceux qui le sont moins. Par exemple, un circuit est considéré comme robuste aux ESD, si celui-ci peut supporter une tension de précharge $V_{HBM}=4kV$ ou $V_{CDM}=200V$. Dans l'industrie automobile, des spécifications plus élevées comme des tensions de plus de 10kV sont exigées pour simuler l'environnement hostile dans lequel les circuits doivent fonctionner.

2.2 Les modèles et tests industriels utilisés au niveau système : Test sur un circuit alimenté

2.2.1 Introduction sur les méthodes de test ESD au niveau système

Les circuits électroniques évalués et testés lors de la fabrication doivent être, par la suite, placés sur des cartes électroniques qui seront ensuite intégrées dans un système électronique complet comme un PDA, un ordinateur, un téléphone portable, etc... Cependant, un circuit qui survit aux événements HBM/MM/CDM au cours de la fabrication, n'est pas garanti de survivre aux événements ESD auxquels le produit final sera soumis lors de son utilisation dans la vie courante [HYAT02]. Pour évaluer et caractériser

les interactions circuit-carte ainsi que les interactions circuit-carte-système en fonctionnement, de nouveaux modèles ESD sont nécessaires.

Comme le montre la figure 1.11, un circuit intégré peut être directement relié vers l'extérieur au travers de connecteurs ou ports d'entrées/sorties (E/S) pour réaliser la communication avec d'autres parties du système électronique. Ces ports sont des points d'entrée pour des perturbations externes comme une ESD se produisant par exemple, lorsque des opérateurs relient des câbles à ces E/S (une des applications typiques est la connexion USB). Une approche différente au niveau des ESD est considérée ici, du fait que ces décharges peuvent survenir sur des circuits alimentés.

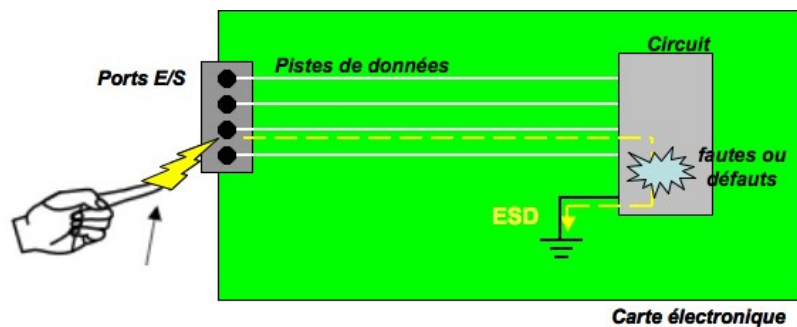


Figure 1.11 – Chemin de propagation d'une ESD dans un équipement électronique.

De nos jours, ces événements sont de plus en plus courants dans des environnements toujours changeants au niveau des applications, et suscitent une attention particulière sur les systèmes embarqués. Un système embarqué est un système électronique, piloté par un logiciel, qui est complètement intégré au système qu'il contrôle. Dans l'automobile, l'électronique est déjà très présente et va prendre une part de plus en plus importante (la quantité de circuits électroniques va doubler dans les années à venir). Entre 1997 et 1998, plusieurs fabricants automobiles ont constaté le déclenchement intempestif de l'airbag suite à un stress ESD. Cela a entraîné le rappel d'environ un million de véhicules en Europe. La prise en compte des ESD du point de vue du système est importante pour limiter ces retours clients [ISO-01] [ISO-02]. Pour cela, de nouveaux modèles, pas tous normalisés, sont utilisés pour connaître les effets de ces décharges comme:

- le modèle de la carte chargée (CBM, Charged Board Model) [SHAW85] jouant un rôle important dans l'interaction composant-carte,
- le modèle du câble chargé (CDE, Cable Discharge Event) [DEAT00] pour toutes les applications portables impliquant des connectiques,
- le « transient Latch-up » au niveau des effets parasites avec les nouvelles technologies,

- le modèle IEC 61000-4-2 utilisant un pistolet pour recréer la décharge d'un corps humain sur un équipement alimenté.

2.2.2 Modèle CBM (Charged Board Model)

Un composant peut se charger pendant sa manipulation et se décharger en le plaçant sur une carte. Alternativement, une carte chargée peut se décharger à travers le composant lors de son placement. Après 1985 [ENOC86], les événements de décharges au niveau des cartes sont référencés comme étant des CBM (Charged Board Model). Les circuits robustes aux dommages HBM et CDM au niveau boîtier sont susceptibles aux dommages CBM au niveau carte selon la conception de la carte électronique (capacité de charge de la carte). Les utilisateurs de circuits intégrés pensent parfois incorrectement que les cartes électroniques sont intrinsèquement robustes aux ESD si tous les différents composants sur la carte ont un niveau de robustesse élevé vis-à-vis des stress HBM et CDM. Or les cartes peuvent également être une source d'ESD. Par exemple, les cartes peuvent se charger lors de leur transport le long d'une chaîne d'assemblage, pendant l'expédition, ou lors de leur manipulation par une personne chargée. Lorsqu'une carte chargée entre en contact avec une surface conductrice, une ESD se produit et décharge la carte. Ce modèle CBM est similaire au CDM. Durant une décharge de type CDM, la charge stockée est située dans le boîtier du circuit. Pour le CBM, la charge stockée est localisée dans la carte elle-même. On peut donc voir ce modèle CBM comme une extension du modèle CDM où le circuit est représenté ici par la carte. Ainsi, une carte peut être testée vis-à-vis du CBM de la même façon qu'en CDM. Des travaux récents ont démontré que l'on pouvait employer le testeur CDM déjà existant pour simuler des défaillances réelles de CBM, en chargeant pour cet essai, la carte. Cette méthode se nomme le FICBM (Field Induced Charged Board Model) [LIN93]. Actuellement, aucune norme industrielle n'existe pour le test CBM. La normalisation du test CBM est un défi pour un certain nombre de raisons :

- la conception des cartes change de manière significative.
- chaque carte peut avoir plusieurs points de décharge ce qui ne simplifie pas l'indication de points spécifiques de décharge dans une méthode normalisée de test.

Cependant des études ont permis d'identifier les paramètres importants et minimiser les défauts dus à ces décharges CBM [PAAS06]. La figure ci-dessous compare la forme de la décharge avec la méthode FICDM (composant seul) et la méthode FICBM (Carte et composant). On remarque que pour une même tension de charge, le courant pic est beaucoup plus important en CBM. Cela est dû au fait que la capacité associée à une carte,

est plus grande que celle d'un circuit. Donc la charge stockée est plus importante et il en résulte un pic de courant de décharge plus intense. La capacité efficace de la carte dépend de sa structure : nombre de couches, type de diélectrique utilisé. Un composant protégé contre les décharges CDM peut donc être susceptible aux dommages en CBM. Des tests ont été effectués pour voir l'effet de différents types de cartes imprimées sur la valeur de la capacité efficace [PAAS03] [OLNE05].

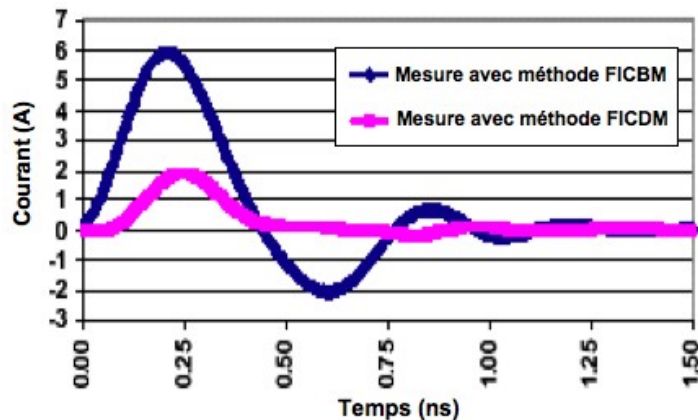


Figure 1.12 – Comparaison du courant de décharge mesuré sur la broche d'un composant avec la méthode FICBM et FICDM pour une tension de charge de 375 V [OLNE05].

Pour un circuit donné, la sensibilité au CBM dépend de :

- la surface globale des plans d'alimentation de la carte. (Une grande surface de plan d'alimentation engendre une grande capacité de carte et donc une plus faible robustesse du circuit vis-à-vis du stress CBM).
- du nombre de broches d'alimentations et de masses connectées à la carte. Dans la plupart des cas, plusieurs broches GND et VCC sont soudées à la carte. Cela engendre des inductances et résistances plus faibles entre le circuit et les plans d'alimentation pour les courants de décharges CBM et par conséquent, une robustesse réduite pour le circuit pour une même tension de charge. D'après les résultats de Olney [OLNE05], la robustesse du composant au stress CBM est plus grande lorsqu'une seule broche de GND et de VCC est reliée à la carte.

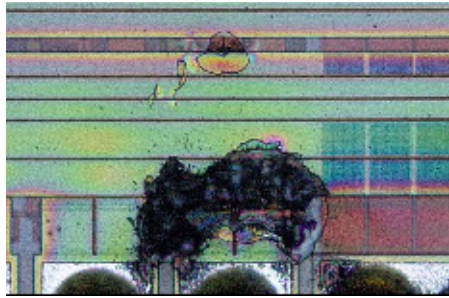


Figure 1.13 – Défaillance le long des bus d'alimentation et plots de connexion adjacents due à un stress CBM de 1000V [OLNE05].

Le CBM n'est pas aussi connu que d'autres modèles ESD, cependant il représente une menace réelle. Puisqu'une carte a une capacité plus élevée qu'un composant seul, les dommages induits par un stress CBM sont plus graves que ceux associés à un stress CDM. Par conséquent, la défaillance d'un circuit sur une carte peut être incorrectement attribuée à un dommage EOS, due à la forte énergie associée aux décharges CBM.

2.2.3 Modèle CDE (Cable Discharge Event)

Les circuits ou composants à l'intérieur d'un système électronique sont en général protégés contre des événements ESD. Les sources de décharges HBM, CDM et MM sont bien connues et maîtrisées. Cependant, les composants qui communiquent directement avec le monde extérieur sont exposés à des événements ESD de plus grande intensité. Avec l'augmentation des réseaux câblés, l'équipement du réseau ou l'interface Ethernet devient de plus en plus critique [PISC05]. Puisque le raccordement du réseau Ethernet est souvent très long, et typiquement fait de câbles torsadés, l'électronique de l'interface Ethernet ou modem est susceptible de subir un événement ESD appelé événement de décharge de câble ou CDE (Cable discharge event). Le CDE est une décharge qui se produit lorsqu'un câble chargé est connecté à une partie d'un système électronique, comme le raccordement du câble Ethernet à l'interface [LAI06], ou de câbles USB à un appareil électronique (figure 1.14). Le câble est susceptible de se charger par un processus triboélectrique lorsqu'il est manipulé dans un bâtiment pendant son installation. Le stress associé au CDE est très différent du HBM, du CDM et du MM.

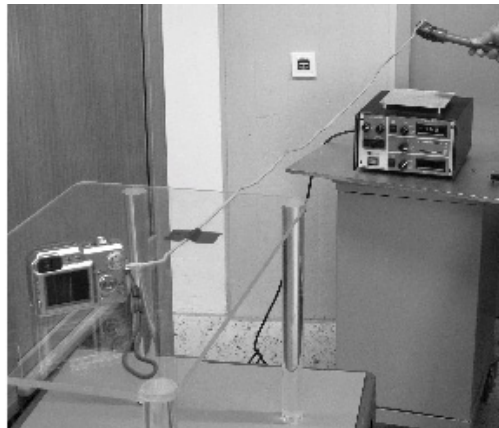
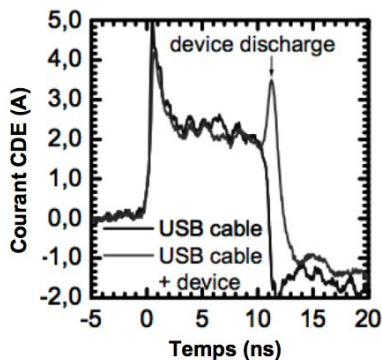


Figure 1.14 – Raccordement d'un câble USB à un appareil électronique avec les courants de décharges engendrés [STAD07].

À la différence de ces décharges qui se composent d'un modèle à capacités faibles et impédances élevées, le CDE décharge une quantité très grande de charges avec une impédance de source faible. La tension statique qui apparaît sur le câble est déterminée par le chargement triboélectrique qui se produit et la capacité formée entre le câble et l'environnement extérieur. Cependant, il y a peu d'informations publiées sur les formes d'onde des décharges générées dans ou sur le câble [BROO01] [SMIT02] [CHAN06] [STAD07]. Ces publications présentent essentiellement des résultats expérimentaux de l'impact sur un système électronique de la décharge d'un câble de longueur x chargé à une tension donnée. Il a cependant été montré que la décharge CDE commence par un pic en courant suivi d'un phénomène oscillatoire dont la fréquence dépend de la longueur du câble. (plus le câble est court, plus les oscillations sont rapides). Donc, un CDE peut engendrer des fautes logiques ou des défaillances dans un équipement ou un système électronique. Le problème de ce phénomène est qu'il n'existe pas de normes de test pour quantifier les caractéristiques de cette décharge. Pour évaluer la robustesse de systèmes électroniques vis-à-vis du CDE, il faut développer une méthodologie de mesure permettant de capturer les événements, les enregistrer et analyser les données obtenues. Ainsi un groupe de travail « IEEE 802.3 Cable Discharge Ad-hoc » a été créé en janvier 2001 pour répondre aux demandes des industriels, sur les taux de défaillances des dispositifs et produits LAN (Local Area Network, ou réseau local) subissant des événements CDE.

2.2.4 Les tests Latch-up

Les caractéristiques de robustesse vis-à-vis du latch-up sont extrêmement importantes pour la détermination de la fiabilité de produit. L'évolution technologique augmente la sensibilité au latchup des futurs circuits intégrés, et le phénomène s'avère de plus en plus gênant dans les circuits à faible tension d'alimentation et à faible consommation. Cet essai est applicable aux transistors CMOS et toutes les variations et combinaisons de ces technologies [BOSE05]. Le latchup crée un chemin de conduction parasite direct entre la masse et l'alimentation, déclenché par une structure thyristor parasite, causant un échauffement supplémentaire important dans le circuit et entraînant une forte augmentation de la consommation. La figure ci-dessous montre un inverseur en technologie CMOS. Lors d'un fonctionnement normal, le phénomène de latchup peut se déclencher par l'activation de la structure PNPN (ou thyristor) liée aux deux transistors bipolaires parasites.

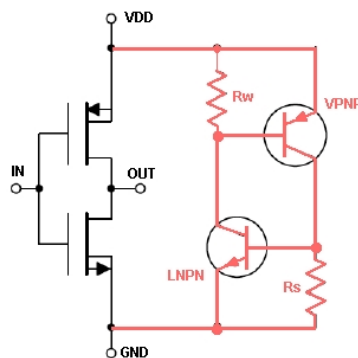


Figure 1.15 - Schéma électrique d'un inverseur CMOS avec les composants bipolaires parasites NPN (vertical) et PNP (latéral) associés.

Le court-circuit engendré peut conduire à la destruction du circuit si le courant de l'alimentation n'est pas contrôlé. Le désamorçage de cet effet passe généralement par une coupure de l'alimentation et entraîne donc une réinitialisation du circuit [SEXT03]. Ce phénomène de latch-up peut entraîner de faibles changements de consommation de courant dans les circuits, ne permettant pas de les détecter avec des tests classiques en courant. Une méthode de test, introduit par l'association ESD (ESDA), permet d'adresser les transitoires positifs ou négatifs qui peuvent se produire lors de l'utilisation du circuit. En juin 2003, un document pratique (Transient Latch Up « TLU » Standard Practice Document : TLU SP5.4) a été réalisé pour fournir une méthode de test. Cette méthode est utilisée sur des composants alimentés [KER04c]. On applique à chaque broche d'entrée-sortie du circuit, des impulsions ayant des temps de montée rapides et de forts courants. Des mesures de

tension et de courant sont effectuées sur l'alimentation du circuit à l'aide de sondes, branchées au plus près de celui-ci. Ces sondes doivent avoir une bande passante importante pour capturer les transitoires rapides. En ce qui concerne la mesure du courant, des précautions sont à prendre en termes d'isolation (sonde en courant DC/AC). Les données fournies par ces mesures peuvent être utilisées par la suite par des concepteurs pour améliorer leurs modèles de simulation [KER04b] et ainsi détecter les conditions de latch-up. De plus, avec la connaissance préalable des circuits sensibles à ces phénomènes, des protections dédiées peuvent être utilisées pour réguler les alimentations et détecter les perturbations, diminuer les risques de déclenchement du latch-up et ainsi améliorer la fiabilité.

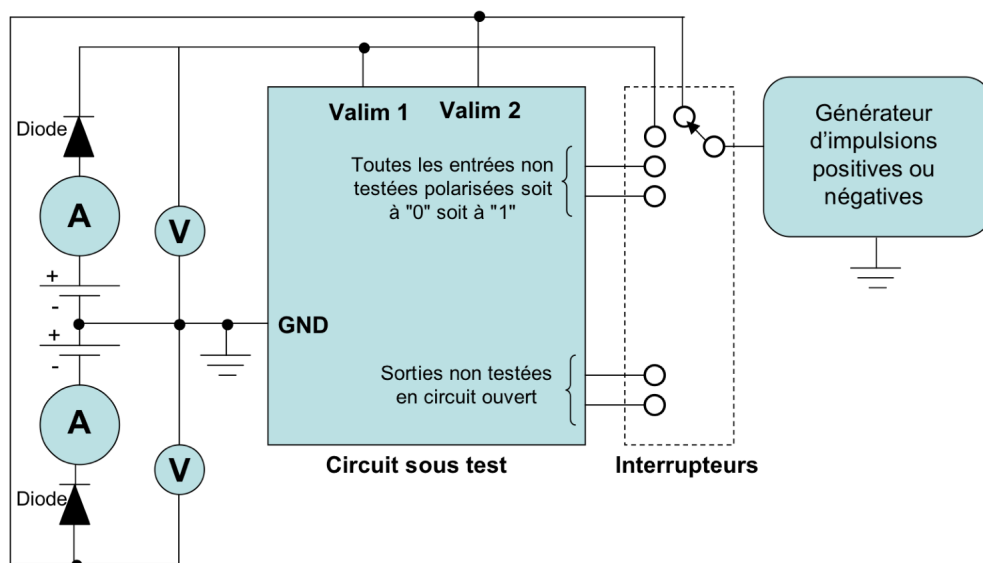


Figure 1.16 - Procédure de test typique pour les mesures latchup.

2.2.5 Modèle IEC 61000-4-2 [IEC-2]

Tout appareil électronique muni d'un point d'entrée externe pour le branchement de câbles, de stations d'accueil, peut faire l'objet d'un stress ESD. Tout appareil portable, comme votre ordinateur de poche, se charge de toute l'électricité statique qui a pu s'accumuler sur la personne. Dès lors, si l'appareil est par la suite connecté à un autre appareil, une décharge peut se produire. C'est pour cela que la commission électrotechnique internationale (CEI, ou IEC en anglais « International Electrotechnical Commission ») a développé un autre modèle du corps humain, IEC 61000-4-2 (autrefois IEC 1000-4-2) [IEC-2]. La désignation 4-2 désigne les conditions de décharges électrostatiques. Cette norme est employée pour déterminer si les systèmes (les ordinateurs, réseaux, téléphones

portables, etc...) sont sensibles aux événements ESD. Par conséquent, cette approche diffère de l'approche composant semi-conducteur. Cette méthode s'adresse aux utilisateurs, et concerne la robustesse du système électronique complet. Cette norme définit la méthodologie de test pour injecter l'ESD dans le système ainsi que les diverses tensions et niveaux courants qui définissent l'événement ESD injecté. Les normes de tests en vigueur exigent des tensions de charge élevées, jusqu'à plusieurs kV. De nos jours, les procédures de test des fabricants d'électronique visent à effectuer les tests les plus draconiens pour déterminer et repousser les limites de robustesse aux événements parasites de leurs produits et systèmes. À l'origine, ce test n'était pas spécifié pour les circuits. Cependant sur certaines applications comme celle de l'automobile, il est devenu un outil supplémentaire pour les essais ESD au niveau circuit [SAKT02]. Pour ce genre d'essai, une nouvelle méthode de test nommée HMM pour « Human Metal Model » [CHUN04], permettant de tester les circuits en utilisant la méthode IEC 61000-4-2 comme base, est en cours de discussion. Afin de tester ces décharges, un générateur (pistolet) est utilisé pour simuler l'approche d'une main dans des configurations déterminées [TANA02]. Les décharges sont appliquées sur toutes les parties accessibles de l'appareil à contrôler, sur son environnement immédiat, et sont répétées un nombre de fois suffisant pour garantir une tenue statistique.



Figure 1.17 – Pistolet ESD reproduisant la décharge d'un corps humain sur un système.

(site : <http://www.globalspec.com>)

La figure 1.17 montre un pistolet ESD pouvant générer des impulsions de décharge de 200V à 15kV. Diverses possibilités de paramétrage (par exemple, la polarité, les répétitions des impulsions, les compteurs) sont disponibles sur ce générateur. Ce type de pistolet permet d'effectuer des décharges par contact ou dans l'air à l'aide d'un modèle géométrique représentant le doigt humain, servant d'électrode de sortie au générateur. Les décharges dans l'air sont plus réalistes, mais les formes d'ondes peuvent varier selon la distance entre le circuit et l'électrode, les variations de température, d'humidité, la vitesse

d'approche sur la broche du circuit [IWAT93]. Ces différents paramètres peuvent avoir un effet significatif sur le niveau de l'impulsion mesurée lors de l'ESD. La norme rattachée à ce modèle IEC 61000-4-2 définit quatre niveaux de conformité (voir tableau 5) selon le niveau de robustesse en tension des diverses entrées ou sorties du système. Le tableau ci-dessous définit les niveaux pour les deux types de décharges : en contact ou dans l'air.

Niveau IEC 61000-4-2	Tension maximale Décharge en contact (kV)	Tension maximale Décharge dans l'air (kV)
1	2	2
2	4	4
3	6	8
4	8	15

Tableau 5 – Niveau de conformité pour la norme IEC 61000-4-2.

La figure 1.18 montre le modèle simplifié de ce testeur et la figure 1.19 la forme d'onde produite. Ce pistolet est un générateur haute tension qui stocke une charge électrique dans un condensateur de 150pF correspondant à la capacité électrostatique du corps humain. La charge accumulée est par la suite déchargée dans le système sous test par l'intermédiaire d'une résistance de 330Ω représentant la résistance de la peau.

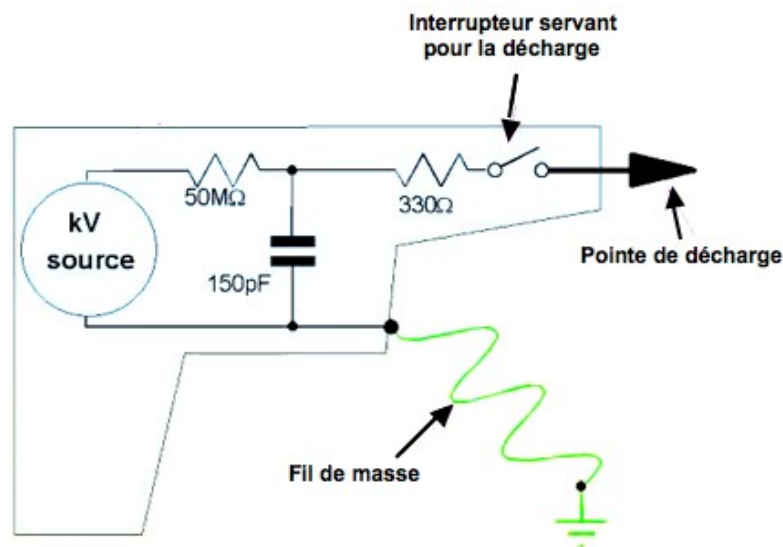


Figure 1.18 – Modèle simplifié du pistolet ESD [ARMS00].

La norme indique la forme d'onde requise qui se caractérise par un temps de montée très rapide (0,7 – 1ns), un courant pic pouvant aller jusqu'à plusieurs dizaines d'Ampères et une durée d'environ 100ns. On peut noter que cette forme d'onde regroupe à la fois les

caractéristiques du modèle HBM pour ce qui est de sa durée, et celles du modèle CDM pour le temps de montée très court.

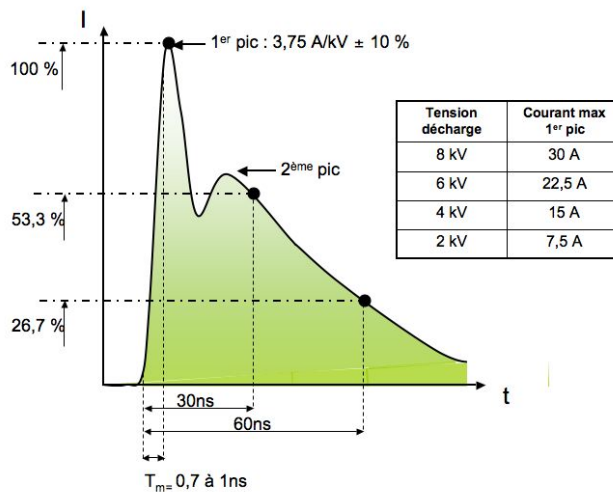


Figure 1.19 – Forme d’onde requise pour la norme 61000-4-2.

Pour avoir un modèle plus précis de ce générateur, il faut prendre en compte les effets parasites du testeur lui-même ainsi que le chemin de retour de masse du pistolet qui se compose d’un fil de 2m de long.

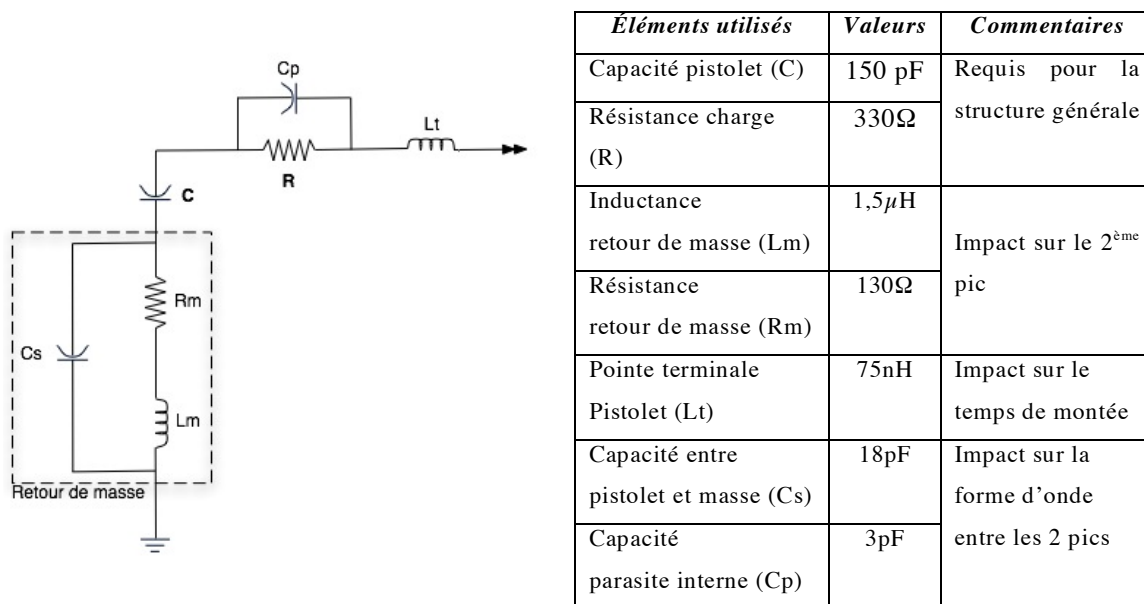


Figure 1.20 – Modèle du pistolet détaillé avec les fonctions des divers paramètres [CHIU03].

Ces différents paramètres comme la capacité engendrée entre le pistolet et le plan de masse, CS, ainsi que l’inductance, Lm, et la résistance, Rm, induites par le retour de masse ont une grande importance dans la forme d’onde de la décharge [WANG03]. La génération de

fortes tensions couplées avec la capacité parasite (C_s), engendre d'importants champs électriques qui provoquent une variation de la forme d'onde de la décharge. De plus, si le pistolet n'est pas fixé correctement, le moindre variation de position crée différents champs magnétiques suivant l'orientation de la pointe de décharge sur le système testé et génère ainsi des décharges différentes.

Pour évaluer et mesurer les différents champs engendrés (magnétiques et électriques) par le pistolet lui-même lors de la décharge, différentes sondes ou capteurs ont été placés sur des cartes ou systèmes [CHUN04]. Ces études ont aussi démontré que suivant le pistolet ESD utilisé, les caractéristiques en ce qui concerne ces perturbations ne sont pas identiques [CERR02] [WANG04]. Le manque d'informations sur ces champs est un problème majeur. Ceux-ci changent les résultats de test selon le générateur utilisé, même si les courants sont tout à fait semblables. Des telles spécifications sont nécessaires pour améliorer la reproductibilité. Pour éviter ces problèmes de rayonnement du pistolet, une solution est de séparer le testeur (pistolet) du banc d'essai par le biais d'une cage de Faraday. Cela permet de blinder le pistolet et donc d'éliminer les effets parasites qu'il engendre sur la mesure. D'autres études [HUAN03b] ont été réalisées pour voir les fréquences injectées via ce pistolet. Ces études montrent que cette décharge induit un niveau d'énergie sur une gamme de fréquences entre quelques MHz et 1GHz.

2.2.6 Modèle IEC 61000-4-4

Une autre norme d'essai [IEC 61000-4-4], ici dédiée aux transitoires électriques ou **Electrical Fast Transient (EFT)**, définit les conditions d'essai d'immunité et les méthodes pour des équipements électriques (test sur site) et électroniques face aux coupures électriques rapides et répétitives provenant de coupures de commutation [IEC-4]. Cette norme définit également la forme d'onde des tensions injectées durant l'essai, ainsi que les niveaux et les fréquences de répétition. Ces EFT peuvent se propager de manière conduite le long des alimentations, des masses d'équipements et des câbles d'interconnexions [MAGN99] [CAMP04]. Elles peuvent aussi se propager de manière rayonnée et se coupler directement sur les entrées des circuits intégrés. La figure 1.21 décrit un ensemble de ces coupures rapides. La forme d'onde de l'impulsion est caractérisée par son temps de montée (environ 5ns) et sa durée (50ns, valeur prise à 50%). La période de répétition dépend du niveau de tension injectée lors du test. La durée du test est environ de 15ms et chaque test est espacé de 300ms. Le test ne doit pas dépasser la minute, les deux polarités d'impulsions (positive et négative) peuvent être examinées. On peut remarquer que les durées de ces

impulsions sont plus longues que les ESD, les rendant plus énergétiques reproduisant ainsi des EOS.

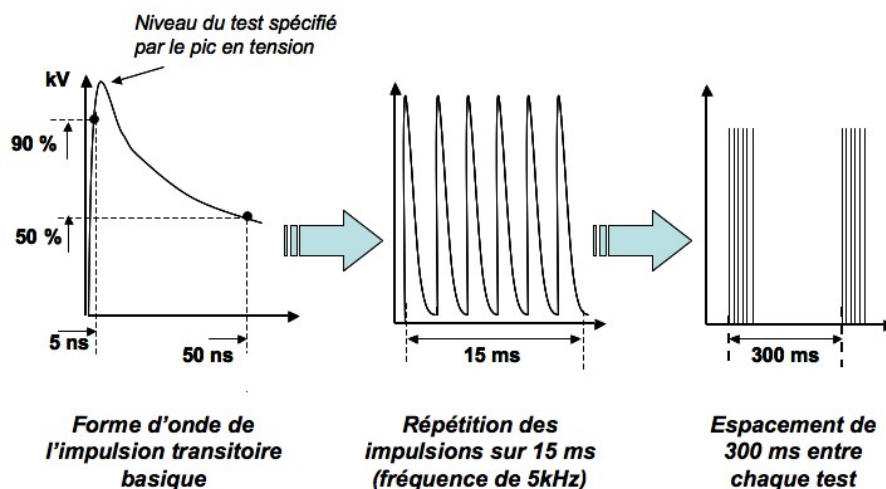


Figure 1.21 – Forme d'onde pour la norme 61000-4-4.

3 Les divers bancs de caractérisation : TLP et Vf-TLP

3.1 Les avantages de ces bancs de caractérisation

De façon classique, l'évaluation de la robustesse des circuits ou systèmes face aux ESD s'effectue à l'aide de différents modèles de décharges présentés précédemment. Cependant, cette évaluation est la plupart du temps limitée à la qualification simple de « pass or fail ». Ce genre de procédure permet d'évaluer le seuil de défaillance d'un CI, en appliquant des décharges d'amplitude croissante sur le même produit jusqu'à le détruire. L'inconvénient de ce genre de test est d'être destructif. Il ne donne pas d'indication sur le comportement électrique dynamique du circuit en régime de fort courant lors d'un stress ESD et ne permet pas d'analyser le mécanisme conduisant à la défaillance. Pour évacuer les décharges entrantes dans le circuit afin de ne pas endommager la partie interne de celui-ci, les concepteurs mettent en place diverses structures de protection ESD sur ses différents plots d'entrées sorties. Nous verrons dans le paragraphe suivant les caractéristiques de ces structures et les différents choix possibles de protection. Pour caractériser ces structures et quantifier leur robustesse face aux ESD, de nouveaux outils ont été développés. Ils permettent d'acquérir une caractéristique I(V) en régime quasi-statique et ainsi aider au

développement de ces structures de protection. La première technique mise en œuvre pour effectuer cette caractérisation fut introduite en 1985, par Tim Maloney [MALO85], sous le nom de TLP (Transmission Line Pulsing). Le principe de ce banc de mesure est de générer une impulsion en courant pour reproduire un stress HBM [TLP-04]. Une nouvelle méthode, apparue en 1998 et développée par Horst Geiser, le VF-TLP (Very Fast TLP) permet d’injecter une impulsion plus courte assimilable à un stress CDM [GIES98].

3.2 Le banc TLP ou « Transmission Line Pulsing »

Ce banc a été conçu pour effectuer des mesures en régime de polarisation quasi-statique, en générant des impulsions de courant d’amplitude variable. L’apport fondamental de ce banc de mesure est de proposer un test non-destructif afin d’analyser le comportement des structures de protection avant leur détérioration. Lors d’une décharge électrostatique, des courants importants sont mis en jeu, mais la durée de l’impulsion étant très faible, l’énergie totale dissipée est finalement limitée. La durée d’application de l’impulsion TLP est choisie de façon à corrélérer d’un point de vue énergétique la caractérisation TLP au stress HBM [KER04a]. En effet, pour la même tension de précharge, l’énergie contenue dans une impulsion de courant d’une durée de 100ns correspond à celle d’un stress HBM ayant une forme d’onde en courant présentant un temps de descente de 150ns.

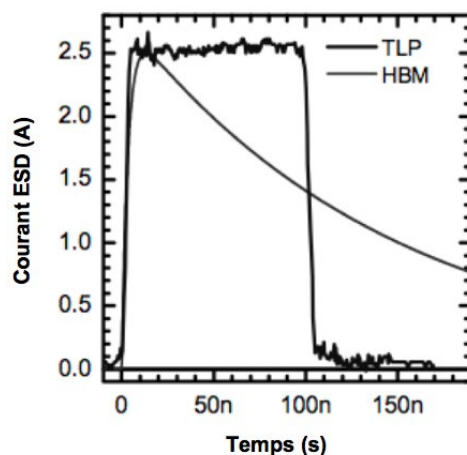


Figure 1.22 – Comparaison de l’impulsion TLP et d’un stress HBM [STAD07].

Cette méthode de mesure, dont le dispositif est présenté sur la figure 1.23, utilise la charge puis la décharge d’une ligne de transmission (câble coaxial de 50Ω) pour générer des impulsions rectangulaires. Dans un premier temps, le relais est ouvert et la ligne coaxiale se

charge à l'aide de la source de tension V_{TLP} au travers d'une résistance de forte valeur ($10M\Omega$). Puis on ferme le relais permettant ainsi la décharge de la ligne dans le CST. La résistance de $10M\Omega$, lors de la décharge, isole l'alimentation du reste du circuit. Au basculement du relais, l'association de la résistance de 50Ω avec la diode permet d'éliminer les éventuelles réflexions parasites (négatives) de la ligne coaxiale. De plus, la résistance R_L de 50Ω en parallèle avec le CST garantit que la résistance du montage (impédance qui peut varier au cours de la décharge) sera toujours inférieure à la résistance caractéristique de la ligne coaxiale, ce qui assure l'adaptation de la ligne et évite les réflexions. La conversion de l'impulsion en courant est réalisée par une résistance en série R_S de 500 à $1k\Omega$. Cette résistance permet aussi de limiter l'interaction entre le composant sous test et la ligne, et d'obtenir un courant stable.

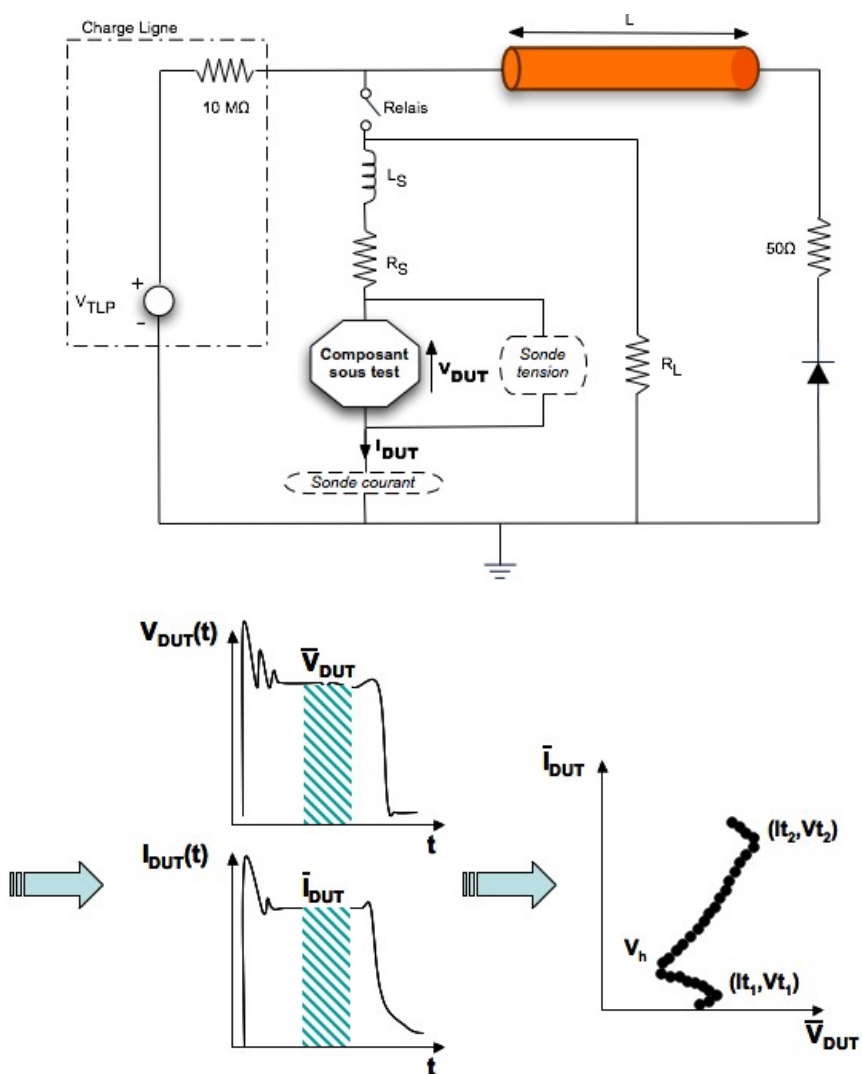


Figure 1.23 – Schéma électrique du banc TLP et du principe de caractérisation en mode impulsif.

L'inductance L_s est ajoutée en série avec la résistance pour contrôler le temps de montée de l'impulsion. Les principales caractéristiques d'une impulsion TLP sont :

- Sa largeur ($\approx 100\text{ns}$) : fixée par la longueur du câble (L) selon la relation ($T = 2L/c$ où c est la vitesse de propagation du signal dans la ligne, 20cm/ns)
- Son temps de montée (entre 2 et 20ns)
- Son amplitude en courant : mesurée à travers une sonde active de courant et visualisée sur un oscilloscope.
- La réponse en tension du composant sous test: mesurée avec une sonde en tension.

Dans la plupart des cas, les composants testés sont des structures de protection ESD, qui seront placées au niveau des diverses entrées-sorties d'un circuit intégré pour y évacuer les décharges. Nous verrons plus tard, les différentes structures de protection envisagées. Pour caractériser ces structures, plusieurs impulsions TLP d'amplitude croissante sont envoyées afin d'extraire les valeurs moyennes du courant I_{DUT} dans le composant sous test (ici une structure de protection) ainsi que la tension V_{DUT} à ses bornes (figure 1.23). Ces différentes mesures sont effectuées en fin de l'impulsion TLP lorsque le courant et la tension aux bornes du composant sont stables. Il est ensuite possible avec ces divers couples de valeurs $\langle I, V \rangle$, de construire une caractéristique $I=f(V)$ quasi-stationnaire du composant sous test [ASHT04]. Le courant de fuite est mesuré à travers le composant après chaque impulsion TLP. Avec cette caractéristique, il est alors possible d'extraire des paramètres électriques critiques comme la tension et le courant de déclenchement V_{T1} et I_{T1} , la tension de maintien V_{H} pour les structures de protection avec retournement, la résistance à l'état passant ainsi que les valeurs de tension et de courant de défaillance notées respectivement V_{T2} et I_{T2} (Figure 1.23). Dans les industries du semi-conducteur, ces procédures de test TLP sont reconnues comme un nouvel outil en matière d'essai ESD pour la compréhension du fonctionnement de structures de protection en régime dynamique. Dans certaines industries, cet outil est utilisé pour créer des bibliothèques de protections contre les ESD et fournir ainsi aux concepteurs de circuits des fenêtres d'utilisation de chaque structure. Les mesures issues du test TLP sont données aux clients en tant que critères pour enrichir les caractéristiques des circuits en termes de robustesse ESD, tandis que dans d'autres, elles sont employées pour la qualification de la technologie. Le système TLP est muni d'un appareillage de test sous pointes permettant de réaliser des mesures adaptées 50Ω pouvant servir à l'étude de composants pour des applications radio fréquences [HYVO05]. Néanmoins, des questions persistent sur les corrélations entre le TLP et le testeur HBM,

notamment au niveau des types de défaillances engendrées par ces testeurs. Les défaillances créées dépendent de divers paramètres, comme le temps de montée, la durée de l'impulsion, ou la puissance instantanée dissipée au cours de la décharge [GUIT05].

3.3 Le banc Vf-TLP ou « Very Fast TLP »

La technique de caractérisation Vf-TLP [GRUN04] fut développée dans le but de se rapprocher des conditions d'une décharge CDM pour observer le comportement du composant durant le stress. Le principe est le même que celui du TLP si ce n'est que les impulsions de courant ne sont appliquées que durant quelques nanosecondes et avec des temps de montée très rapides. Pour une même énergie envoyée au composant, le courant y circulant sera plus important qu'en test TLP, vu que l'impulsion envoyée a une durée plus courte.

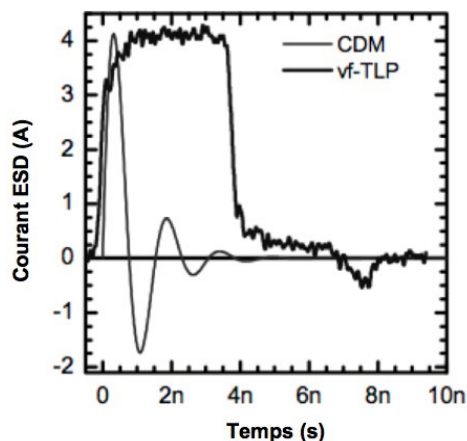


Figure 1.24 – Comparaison d'une impulsion Vf-TLP et d'un stress CDM [STAD07].

Comme pour la technique du TLP, la caractérisation Vf-TLP permet de tracer une caractéristique I-V de la structure de protection ESD étudiée et d'en extraire les mêmes paramètres indispensables à son optimisation. Cependant, ce système a été développé pour fonctionner en réflectométrie temporelle. Une impulsion de tension d'une courte durée définie par la longueur de ligne TL1 se propage du générateur d'impulsions vers le DUT (circuit stressé) lorsque le relais S1 est fermé, puis cette onde est plus ou moins réfléchiée par le DUT suivant son impédance caractéristique (figure 1.25). La ligne de transmission, notée TL2, est d'une longueur appropriée afin d'éviter le chevauchement de l'onde incidente (celle qui est envoyée sur le composant sous test) et de l'onde réfléchiée grâce au temps de propagation dans la ligne. Afin d'obtenir V_{DUT} (la tension aux bornes du circuit) et

I_{DUT} (le courant traversant le circuit), l'onde incidente et l'onde réfléchie sont enregistrées à l'aide d'un boîtier livré avec le VF-TLP contenant une sonde en tension et en courant. Nous pouvons ainsi visualiser l'impulsion incidente en tension et les impulsions réfléchies sur les voies de l'oscilloscope. Trois autres types de montages sont possibles avec ce banc de test : La méthode TDRT (Time Domain Reflection and Transmission), la méthode TDT (Time Domain Transmission), la méthode avec une mesure de type « 4 pointes » [GOEA05].

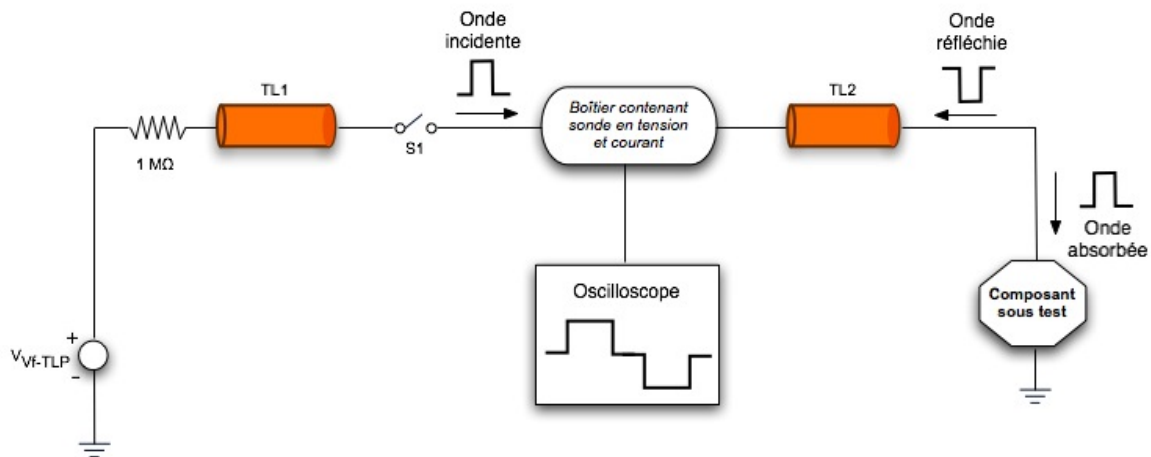


Figure 1.25 – Schéma de principe du banc de caractérisation Vf-TLP.

Grâce à ce système, il est possible de générer des impulsions dont les caractéristiques sont les suivantes :

- Une largeur variable de 1,25 - 2,5 - 5 ou 10ns suivant la longueur du câble de décharge utilisé.
- Un temps de montée inférieur à 350ps. On peut contrôler le temps de montée en plaçant un filtre à la sortie du banc. On obtient ainsi des temps de montée de 175ps ou si on ne place pas de filtre, on peut avoir un temps inférieur à 80ps.
- Une tension de charge allant de 0 à 1kV.
- Des fréquences de répétition variant de 100 ms à quelques secondes.

Cependant, la corrélation Vf-TLP et CDM n'est pas évidente car le chemin des courants n'est pas le même dans les deux cas. Avec le stress CDM, seulement une broche du composant est sollicitée pour évacuer le courant alors qu'avec le banc Vf-TLP, le courant est appliqué sur deux broches. De plus, avec les variations rapides du signal (montée et descente), une attention particulière est à faire sur les outils de mesure utilisés lors de la caractérisation, que ce soit au niveau de l'oscilloscope, ou des câbles et connecteurs utilisés.

4 Les protections mises en jeu pour limiter les dommages dus aux ESD

4.1 Généralités sur les protections ESD

Plusieurs principes fondamentaux sont appliqués par les fabricants de semiconducteurs pour protéger leurs composants vis-à-vis des ESD. Cela leur permet d'augmenter les rendements de fabrication et d'améliorer ainsi la robustesse des produits électroniques. En général, il y a deux manières de limiter le risque d'évènements ESD au niveau des produits : les protections dites « passives », concernant l'environnement du circuit, et les protections actives, ajoutant des dispositifs dédiés à la périphérie des circuits (protections internes) ou directement sur la carte électronique (protections externes). Il s'agit de limiter au maximum le risque de décharges dans les salles blanches et de concevoir des protections capables de dissiper l'énergie des ESD.

4.2 Les protections « passives » sur l'environnement du composant

À chaque étape de la fabrication de circuits intégrés, notamment dans les unités de production industrielle, de nombreuses précautions sont prises, en contrôlant l'environnement du circuit, pour diminuer la probabilité d'apparition des ESD et éviter de soumettre les circuits à ces décharges. On parle alors de protections passives [WELK06].



Figure 1.26– Symbole de prévention ESD.

Pour cela, il s'agit d'empêcher l'accumulation de charges pendant la fabrication, l'assemblage et le transport :

- avec la mise en place de matériaux anti-statiques utilisés au niveau des outils, des machines (plans de travail, boîtiers d'assemblage, baguettes de transport) et du contact humain (semelles de chaussures, gants de protection, port de bracelet et blouses antistatiques).

- la mise à la masse de l'environnement d'une puce (manipulateurs humains ou robotisés, plans de travail, pointes de fer à souder).
- le contrôle de l'environnement de l'ensemble de l'installation (contrôle de l'humidité, de l'ionisation de l'air).
- la maîtrise de certaines étapes du procédé de fabrication susceptibles de générer des charges (couches de passivation, piégeage de charges dans les métallisations).

Même si ces mesures préventives limitent le risque d'exposition du produit, elles ne sont appliquées que pendant sa fabrication et non pendant son utilisation. Il est donc nécessaire de prévoir des structures spécifiques à la protection contre les ESD soit, directement intégrées dans le circuit, soit connectées en externe comme élément discret.

4.3 Le principe de fonctionnement d'une protection ESD

De manière très simplifiée, le principe de fonctionnement d'une protection ESD peut être assimilé à un interrupteur. La figure 1.27 présente une structure de protection, contrôlée par un circuit de détection, prenant en charge les ESD entre un port d'entrée-sortie et la masse.

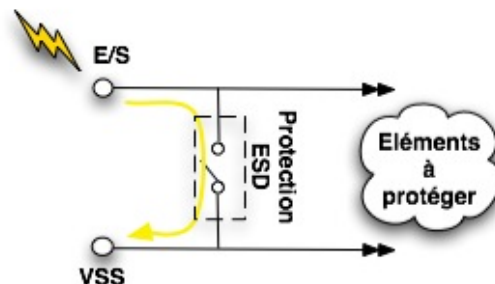


Figure 1.27 – Schéma de principe d'une protection ESD.

Lorsque le circuit est en régime de fonctionnement normal, la protection ne doit pas perturber le fonctionnement global du circuit et donc se comporter comme un interrupteur ouvert. En revanche, lors de l'apparition d'une décharge électrostatique, la protection doit se comporter comme un court-circuit, créant ainsi un chemin de très faible impédance entre le plot et la masse. Ce chemin permet de dériver la majeure partie du courant de la décharge et de limiter l'élévation de tension aux bornes du circuit protégé.

4.4 Les spécifications souhaitées pour une protection ESD

Pour être un bon élément de protection, une protection ESD doit répondre à plusieurs spécifications associées à son état bloqué, son état passant et au contrôle de sa commutation entre les deux états. La protection idéale doit être :

- « Transparente » : c'est-à-dire ramener une valeur minimale d'éléments parasites (capacité ou résistance) et son courant de fuite doit être minimisé.
- « Robuste » : ce qui se traduit par sa capacité à résister à la décharge tout en évitant la destruction du circuit à protéger.
- « Efficace » : Elle doit être capable de limiter efficacement la tension et donc de protéger le circuit intégré contre les ESD à fort courant. Il est très souvent nécessaire d'implanter des structures de protection en configuration multi-doigts permettant ainsi d'évacuer une quantité de courant plus importante.
- « Compacte » : Les circuits de protection sont implantés dans les plots d'alimentation et de connexion, dans lesquels la surface mise à leur disposition est réduite dans l'optique de la miniaturisation du circuit. En raison de la largeur limitée des blocs entrée-sortie, ces structures de protection pourront être aussi implantées sous le plot.
- « Rapide » : elle doit avoir un temps de déclenchement très faible (très inférieur à la nanoseconde) pour évacuer, par exemple, des décharges de type CDM. Si cette condition n'est pas satisfaite, le stress ESD irait détruire prématurément le coeur du circuit. De plus, le dispositif de protection ne doit pas se déclencher intempestivement sur des transitoires très rapides appliqués au circuit en fonctionnement normal.
- « simple » : Toute étape rajoutée au procédé technologique de fabrication d'un circuit pour améliorer la robustesse des circuits de protection est coûteuse. Elles doivent donc respecter les procédés de fabrication de la technologie. En général, il n'existe aucune étape technologique dédiée aux ESD. Une exception concerne le masquage de la siliciuration sur les technologies CMOS avancées.

4.5 La caractéristique I(V) d'une protection ESD

Avec toutes les spécifications vues dans le paragraphe précédent, la caractéristique I(V) d'une structure de protection idéale (figure 1.28) est la suivante :

- Lors du fonctionnement normal du circuit, la protection est inactive ($I \approx 0$). Pour ne pas perturber le circuit à protéger, le seuil inférieur de déclenchement doit se trouver hors de la gamme de tension usuelle (de manière générale, on utilise une marge de bruit de 10% au delà de la tension d'alimentation du circuit).
- La protection se déclenche à une tension V_{T1} , dite tension de déclenchement. Pour ne pas affecter le fonctionnement normal du circuit, V_{T1} doit être inférieure à $V_{\text{claquage}} - 10\%$ (tension de défaillance du circuit à protéger, comme la tension de claquage de l'oxyde). La tension à ses bornes diminue jusqu'à la tension de maintien V_H (pour des structures avec retournement), ce qui fait diminuer la puissance thermique à dissiper. ($V_H > V_{\text{alim}} + 10\%$).
- La protection est déclenchée et sa résistance passante doit être proche de zéro pour que la tension à ces bornes soit toujours inférieure à $V_{\text{claquage}} - 10\%$ même à fort courant. Elle peut évacuer le courant jusqu'à ce qu'elle subisse une défaillance thermique au point (V_{T2}, I_{T2}) .

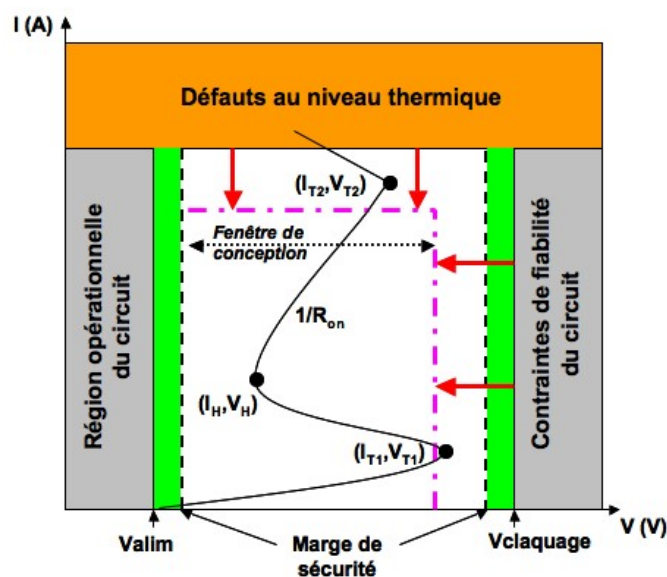


Figure 1.28 – Caractéristique $I(V)$ d'une structure de protection et fenêtre de conception ESD.

Ces diverses spécifications définissent une fenêtre de conception de la protection ESD illustrée sur la figure 1.28, et délimitée par diverses marges. Ces marges de conception fixent les valeurs limites aux bornes du dispositif de protection et sont déterminées: par la tension maximale de fonctionnement du circuit (V_{alim}), et la tension de destruction du circuit (tension de claquage de l'oxyde, V_{claquage}), avec une marge de bruit pour ces deux tensions. Cependant, ces marges de conception tendent à se resserrer, en particulier pour les

technologies actuelles avec une réduction des profondeurs de jonctions et des épaisseurs d'oxyde entraînant une baisse de V_{claquage} . La miniaturisation des circuits induit un faible volume de dissipation de la puissance ce qui engendre une augmentation des défaillances thermiques. De plus, les évolutions en termes de réduction de l'énergie offrent la possibilité de réaliser des circuits pour différentes gammes de tension d'alimentation.

4.6 Les protections actives

Une protection active face aux ESD doit être capable d'empêcher la tension de s'élever dans le circuit, de contrôler la circulation des courants de décharge, tout en étant elle-même, la plus robuste possible. Pour protéger le circuit, il existe deux sortes de stratégies : la première, avec l'appellation anglaise « on-chip protection », est intégrée directement dans le circuit à protéger au niveau des ports d'entrées-sorties ainsi que des alimentations [JAME00]. Cette stratégie de protection permet de protéger le circuit lors de sa manipulation par une personne ou une machine. Cependant, au niveau système, les effets des décharges sont plus intenses qu'au niveau composant. Pour limiter ces effets, des protections externes sont placées au plus près des points de décharges, comme sur les connecteurs ou juste à côté du composant à protéger. Pour protéger les circuits contre les ESD, le concepteur peut donc ajouter une protection externe ou choisir des CI ayant des niveaux élevés de protection intégrée.

4.6.1 Les stratégies de protection internes

La figure 1.29 montre le principe des protections ESD situées à l'intérieur d'un circuit intégré.

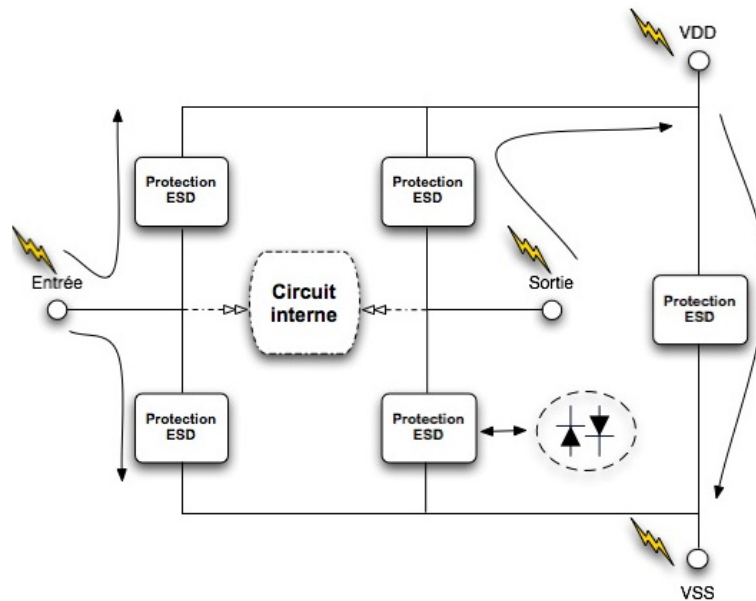


Figure 1.29 – Stratégies de protection ESD d'un circuit intégré.

Ces protections permettent d'offrir un chemin de décharge pour détourner le courant de la partie interne du circuit. Une décharge peut apparaître sur n'importe quel plot de connexion d'un composant, avec n'importe quelle polarité. Trois parties distinctes du circuit intégré doivent être protégées : les entrées, les sorties et les alimentations. Un circuit unidirectionnel ou bidirectionnel de protection entre les différents plots concernés est nécessaire pour traiter toutes les configurations suivant la polarité de la décharge.

Il existe deux types de stratégies de protection pour évacuer les décharges :

- La stratégie de protection globale ou centralisée [LIOU04]: elle consiste à canaliser le courant de décharge vers une protection centrale, localisée entre les plots d'alimentation VDD et VSS, à l'aide de structures unidirectionnelles et des bus d'alimentation. Cette protection centrale est le plus souvent bidirectionnelle. L'objectif de cette stratégie est de réaliser des économies de surface en n'implantant que des circuits de protection simples dans les plots d'entrée/sortie. Elle requiert toutefois une bonne maîtrise de la protection entre les alimentations pour éviter la circulation de courant à travers le cœur du circuit.
- La stratégie de protection locale [VASC03]: Elle consiste à évacuer directement et localement les courants de décharge par l'intermédiaire de circuits de protection bidirectionnels placés au niveau de chaque plot.

Les structures de protection utilisées pour réaliser ces différentes stratégies sont nombreuses (résistances, diodes, thyristors, transistors bipolaires et MOS). Le choix de ces

structures dépend du type de broches à protéger (entrée, sortie, alimentation), de la stratégie de protection adoptée, ainsi que des dimensions géométriques et des règles de conception envisagées pour la protection. Avec l'augmentation du nombre de broches des circuits intégrés modernes, on remarque qu'en termes de surface de silicium, le dimensionnement des dispositifs de protection (surface pour évacuer une densité de courant constante) devient un défi majeur. Les fabricants de circuits intégrés ont donc un compromis à faire entre l'optimisation des structures de protection (avoir une caractéristique électrique se rapprochant au mieux de celle d'un interrupteur idéal), et son encombrement à l'intérieur du circuit.

4.6.2 Les protections externes

Sur un système électronique, un port d'entrée-sortie (E/S) permet d'établir des communications avec d'autres équipements. Les ports E/S des CI comprennent des groupes logiques de broches offrant un accès à un équipement extérieur au système qui contient le CI. Ces broches sont sujettes à des décharges électrostatiques. Pour éviter ces problèmes, les fabricants ont souvent augmenté le niveau de protection contre les ESD de leurs CI, mais cela n'est pas suffisant. Pour supprimer ou limiter ces surintensités ou tensions transitoires causées par des décharges électrostatiques, des protections ESD externes sont donc utilisées [LEPK05a]. Comme le montre la figure 1.30, ces protections doivent s'activer avant que les éléments du système ne perçoivent les tensions ou courants excessifs, et doivent être capable d'absorber, tout ou partie, de l'énergie transitoire associée à la décharge pour maintenir l'élévation de tension résultante à un niveau sûr contribuant au bon fonctionnement du système.

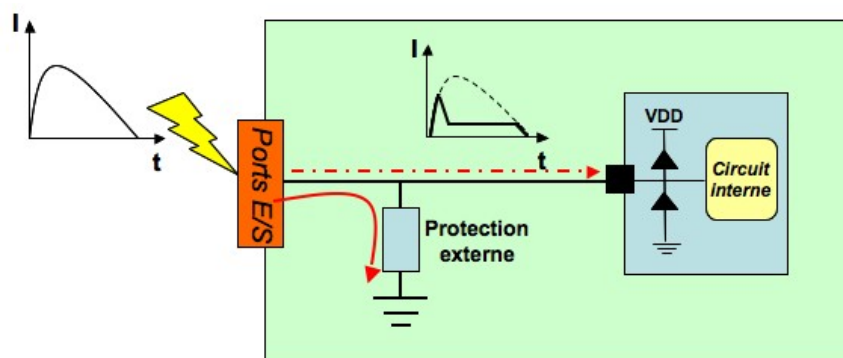


Figure 1.30 – Schéma de principe d'une protection externe.

Les premières méthodes, pour filtrer et ainsi diminuer ces perturbations, ont été d'utiliser des résistances ou inductances en séries sur les lignes victimes. Cependant, avec l'amélioration des performances des circuits électroniques comme des fréquences d'utilisation élevées (quelques MHz à plus de 10GHz), des tensions d'alimentation variables (1,2V - CMOS avancé à 5,5V - BiCMOS mature), les industries ont développé une nouvelle gamme de composants comme les diodes TVS, les diodes Zener, les Céradiodes, les MOV (Metal oxide Varistor) ou varistances.

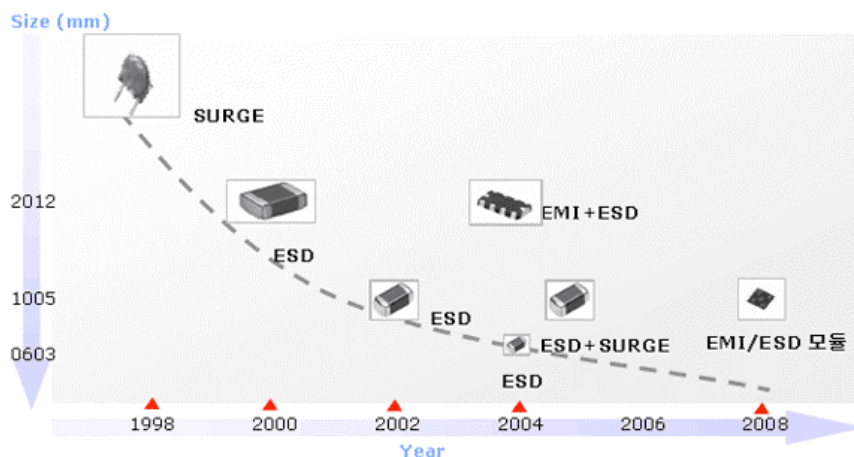


Figure 1.31 – Diminution des tailles des circuits de protection externes.

(site : <http://www.sem.samsung.com>)

Ces différents dispositifs doivent donc répondre à certains besoins suivant leurs applications [LEPK05b]. Ces dispositifs peuvent être intégrés dans des applications comme la protection de lignes de données, ainsi que des ports entrées-sorties d'ordinateurs, de décodeurs, ou encore de lecteurs MP3. Les caractéristiques souhaitées pour ces protections sont de faibles capacités parasites (de l'ordre de quelques pF), ce qui a pour effet d'éviter la distorsion du signal pour pallier les exigences de débit extrêmement élevées (liaisons à haut débit, USB2.0 ou Ethernet). D'autres ont des tailles plus compactes pour s'adapter dans un espace limité sur une carte électronique (figure 1.31). Il devient important de comprendre la nature de chaque dispositif de protection pour évaluer ses caractéristiques vis-à-vis des conditions d'utilisation envisagées [DELE01].

D'après des mesures réalisées avec le banc TLP (figure 1.32), on remarque qu'à partir d'un certain niveau de stress ESD, le dispositif de protection passe d'un état de haute résistance (analogie à un interrupteur ouvert) à un état de basse résistance (interrupteur fermé). La tension de déclenchement peut être plus ou moins élevée, suivant l'application dans laquelle le circuit est utilisé.

En résumé, un bon circuit de protection doit être capable d'absorber, ou de réduire les menaces ESD pour protéger les circuits sensibles. Même si ces protections externes sont efficaces, elles restent néanmoins coûteuses. De plus, les dispositifs externes de protection contre les ESD utilisent un espace de carte précieux et ajoutent de la capacité électrique à la ligne E/S. Donc, un dispositif mal choisi sera non seulement inefficace, mais pourra interférer avec le fonctionnement normal du circuit à protéger.

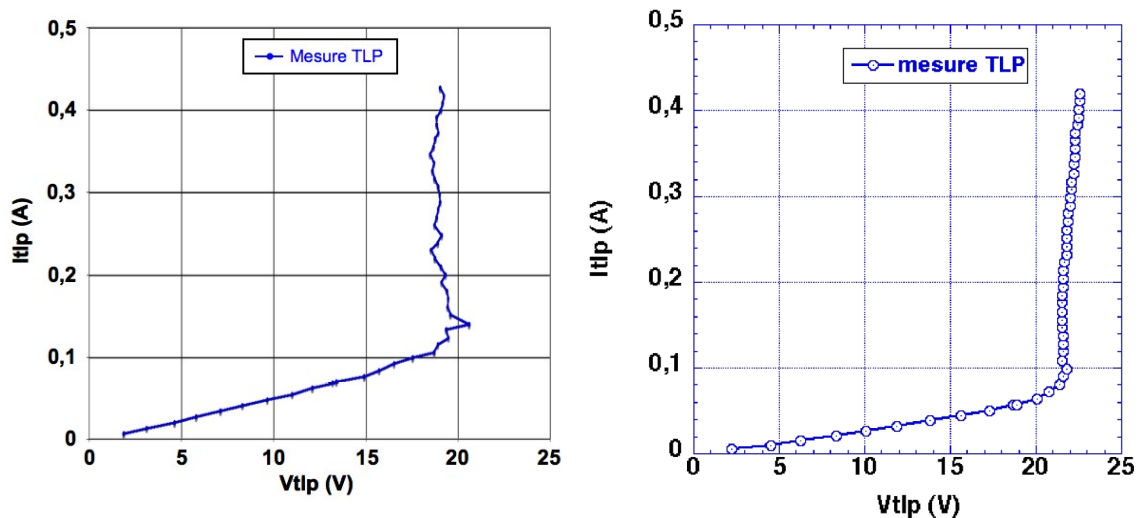


Figure 1.32 – Comparaison de mesure TLP entre une varistance (gauche) et une céradiode (droite).

5 Le besoin des industriels pour comprendre les propagations des ESD sur une carte électronique en fonctionnement

Pour que la conception d'un circuit ou d'une carte électronique soit réussie vis-à-vis de la protection ESD, il est essentiel de connaître d'une part les décharges qui peuvent survenir sur le système mais aussi leur chemin privilégié. Après ces diverses études, il devient plus simple de choisir le type approprié de circuits et d'éléments de protection. Beaucoup d'efforts ont été développés pour caractériser l'impact des ESD sur différents composants au niveau de la fabrication et de l'assemblage sur des systèmes complets non alimentés. En revanche, moins de travaux ont été consacrés à la caractérisation de la menace ESD sur des cartes en fonctionnement. Une ESD est considérée comme une perturbation impulsionnelle avec des transitoires rapides et des temps de montée et descente très brefs (de quelques

centaines de ps à quelques dixièmes de ns). Ces variations rapides du signal sont les principales causes du contenu haute fréquence du spectre pouvant s'étendre jusqu'à quelques GHz [LO97] [ITO06], ce qui les classe dans les perturbations à large bande. Dans une première approximation, la fréquence de fonctionnement effective en dessous de laquelle la majeure partie de l'énergie du signal est concentrée est donnée par la formule suivante :

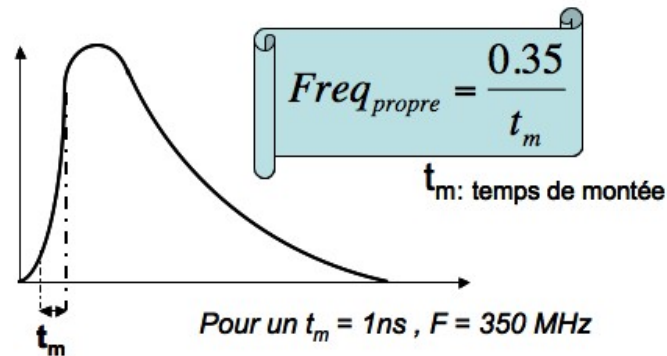


Figure 1.33 – Bande passante effective approximée d'une perturbation impulsionnelle.

On se rend compte qu'avec des temps de montée rapides (quelques centaines de ps) et des amplitudes élevées, on obtient des bandes de fréquences importantes. De plus, ces perturbations peuvent affecter les circuits numériques avec leurs transitoires en courant (dI/dt) et en tension (dV/dt) très rapide, comme des fautes logiques ou des pertes de périodes d'horloge. D'après la méthode IEC 61000-4-2, une impulsion ESD de 4 kV génère un courant de 15 A pour un temps de montée de 0,7 ns. Cela engendre des tensions et courants intenses, par rayonnements électromagnétiques, induisant des signaux parasites dans les circuits en fonctionnement. Depuis quelques années, les ESD sont donc assimilées à des perturbations électromagnétiques, pouvant se propager en mode conduit par injection directe dans les câbles ou les pistes d'un circuit imprimé [HUAN03b], ou en mode rayonné avec les divers champs électromagnétiques induits par la forme d'onde de la décharge [CAMP04]. Au plan national, aucune étude n'a été menée sur cette problématique de propagation de décharge. Ces travaux de thèse vont donc permettre de définir des méthodologies de test pour prédire ces différentes perturbations qui peuvent apparaître sur des systèmes en fonctionnement. La figure 1.34 présente une faute logique générée par une ESD sur une ligne de donnée numérique. Cette perturbation peut être vue, au niveau de l'entrée du circuit, comme une donnée ou une information entraînant une erreur de donnée (faute logique), voire même un arrêt du circuit si l'ESD vient perturber d'une façon ou d'une autre le signal Reset d'un microcontrôleur, par exemple.

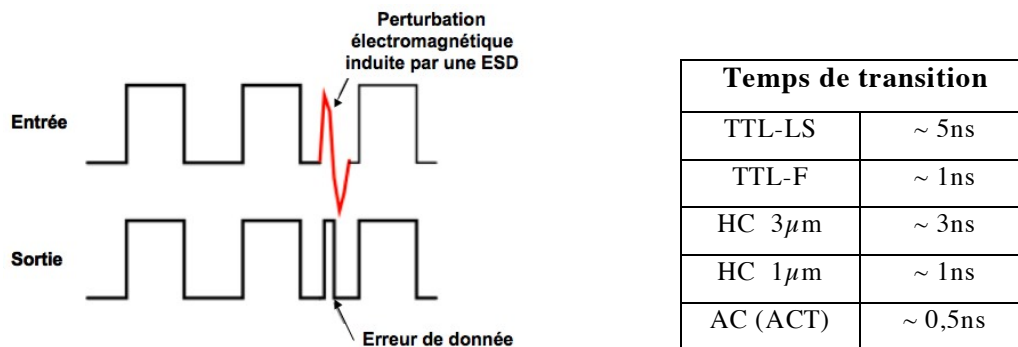


Figure 1.34 – Cause d'une perturbation ESD sur une ligne de donnée numérique et informations sur les différents temps de transition suivant les technologies.

De même, on remarque que les temps de transition des portes logiques à l'intérieur du circuit deviennent de plus en plus rapides. Cela implique des dispositifs de protection bien optimisés pour ne pas se déclencher de manière intempestive sur des transitoires très rapides appliqués au circuit en fonctionnement normal. Longtemps, les ESD ont été considérées comme appartenant à un domaine spécifique, disjoint de la CEM (Compatibilité Electro-Magnétique) [HUAN03a]. La définition de la CEM est " l'aptitude d'un produit ou d'un système quelconque à fonctionner dans un univers électromagnétique défini, sans émettre de perturbations non supportables par les appareils environnants ". Initialement, les tests ESD étaient effectués sur des circuits non alimentés. Or, ce n'est plus le cas aujourd'hui avec les diverses méthodes utilisées au niveau système. De ce fait, pour évaluer correctement la robustesse de la carte électronique ainsi que des composants, il est nécessaire d'avoir une approche similaire à celle traditionnellement utilisée dans le domaine de la compatibilité électromagnétique qui prend en compte le système complet, en utilisant des méthodes d'injection de perturbations sinusoïdales en mode conduit ou rayonnée. Dans notre cas d'étude, les perturbations injectées sont des décharges très brèves ayant un spectre du signal s'étalant vers les hautes fréquences. Il est donc important de comprendre les divers phénomènes engendrés sur la carte par conduction ou par rayonnement, pour connaître les formes d'ondes, les niveaux de tensions afin de localiser les ou les chemins critiques pour introduire les protections appropriées. Cette thèse a pour objectif de développer une méthodologie de simulation, des modèles et les techniques de caractérisation associées permettant d'évaluer la robustesse d'une carte électronique en cours de conception pour aboutir à une méthodologie de conception unifiée du composant à la carte. La protection d'un système passe forcément par une protection optimale de tous les éléments qui le composent. Demander au circuit intégré de supporter tout l'effort de

protection est une méthode qui va à l'encontre d'une approche logique de conception de systèmes.

6 Conclusion

Dans ce chapitre, nous avons discuté des causes, avec les différents modes de création de charge électrostatique, et des conséquences pour le domaine de l'électronique, avec les divers types de défauts engendrés sur le composant (au niveau de la fabrication, ou de la production) et sur le système électronique complet. La décharge électrostatique peut endommager des dispositifs en les détruisant ou peut avoir comme conséquence des dommages latents entraînant leur détérioration ultérieurement ou une fois en service. Nous avons présenté ensuite les méthodes de test utilisées par les industriels pour évaluer la robustesse de leur composant, non alimenté ou alimenté avec des testeurs reproduisant certains types de décharges. Les décharges peuvent se produire de différentes manières avec le contact d'un corps humain, un composant déjà chargé ce qui entraîne des changements significatifs des composants dans leur sensibilité aux ESD. Des outils de caractérisation en impulsions ont été créés pour obtenir des informations sur les tensions et courants induits dans le composant suite à différentes perturbations avec des transitoires et durées variables.

Nous avons décrit par la suite, les techniques de protection mises en place pour éliminer ou réduire les effets des ESD dans l'environnement du composant, avec des protections passives, mais aussi au niveau du composant lui-même avec des protections actives. La protection des dispositifs électroniques contre les ESD est un point important pour la conception et la commercialisation des circuits intégrés. En effet, la protection ESD conditionne la fiabilité du dispositif électronique plongé dans un milieu perturbé. Il est donc crucial pour les industriels d'avoir des méthodologies au niveau système permettant de concevoir des cartes électroniques robustes face aux ESD. Dans le chapitre 2, nous verrons les phénomènes résultant de la propagation d'ESD sur diverses lignes à l'aide de mesures et simulations en VHDL-AMS, bases d'une méthodologie de conception globale du système.

Bibliographie

- [ARMS00] **K. Armstrong, C. Clough**, “ESD, Dips, Flicker, Dropouts, Electromechanical Switching, and Power Factor Correction”, *Design techniques for EMC– Part 6*, Janvier 2000.
- [ASHT04] **R. A. Ashton**, “Transmission line pulse measurements: a tool for developing ESD robust integrated circuits” , *International Conference on Microelectronic Test Structures (ICMTS'04)*, pp. 1-6, 2004.
- [BOSE05] **C. Boselli, V. Reddy, C. Duvvury**, “Latch-up in 65nm CMOS technology: a scaling perspective”, *IEEE International Reliability Physics Symposium*, pp. 195-209, 2005.
- [BART04] **J. Barth, J. Richner, L. G. Henry, M. Kelly**, "Real HBM and MM waveform parameters," *Journal of Electrostatics*, vol. 62, pp. 195-209, 2004.
- [BOXL90] **W. Boxleitner**, “Characterizing the Stress Applied to ICs by Different ESD Tester Circuits”, *IEEE EMC Symposium Proceedings*, août 1990.
- [BROO01] **R. Brooks**, “A Simple Model For a Cable Discharge Event” , *Présentation, IEEE802.3 Cable Discharge Ad-hoc*, Mars 2001 [CAMP04] M. Camp, H. Gerth, H. Garbe, H. Haase, “Predicting the breakdown behavior of microcontrollers under EMP/UWB impact using a statistical analysis”, *IEEE Transaction on Electromagnetic Compatibility*, vol:46, No.3, pp368-379, 2004.
- [CDM-99] **ESD Association**, “ESD STM5.3.1-1999: Standard Test Method for Electrostatic discharge Sensitivity Testing- Charged Device Model (CDM) Component Level,” 1999.
- [CERR02] **G. Cerri, S. Chiarandini, S. Costantini, R. De Leo, V. Mariani Primiani, P. Russo**, “Theoretical and experimental characterization of transientelectromagnetic fields radiated by electrostatic discharge (ESD) currents”, *IEEE Transactions on Electromagnetic Compatibility*, vol. 44, pp. 139-147, 2002.
- [CHAI98] **M. Chaine et al.**, “Investigation into Socketed CDM (SDM) Tester Parasitics”, *Electrical Overstress/Electrostatic Discharge Symposium (EOS/ESD)*, pp. 301-310, 1998.

- [CHAN06] **L. Chang**, “Cable Discharge Event”, Application Note 1511, National Semiconductor, Juillet 2006.
- [CHIU03] **K. M. Chiu**, “Simulation and Measurement of ESD Test for Electronics Devices”, Thèse de Doctorat en Chinois, 2003.
- [CHUN04] **R. Chundru, D. Pommerenke, K. Wang, T. Van Doren, F. Pio Centola, J. S. Huang**, “ Characterization of Human Metal ESD Reference Discharge Event and Correlation of Generator Parameters to Failure Levels—Part I: Reference Event”, *IEEE Transactions on Electromagnetic Compatibility*, vol. 46, No.4, Novembre 2004.
- [DEAT00] **J. Deatherage, D. Jones**, “Multiple factors trigger discharge events in Ethernet LANs”, *Electronic Design*, Vol.48, No.25, pp.111-116, décembre 2000.
- [DELE01] **R. De Leo, F. Moglie, V. M. Primiani**, “Analyzing ESD Transient Suppressors in Printed Circuits”, *Compliance Engineering annual Reference Guide*, 2001.
- [DIAZ92] **C. Diaz, C. Duvvury, S. M. Kang, and L. Wagner**, "Electrical overstress(EOS) power profiles: A guideline to qualify EOS hardness of semiconductor devices," *Electrical Overstress/Electrostatic Discharge Symposium Proceedings*, p. 3, 1992.
- [DIAZ95] **C. Diaz, S. M. Kang, and C. Duvvury**, "Electrical overstress and electrostatic discharge," *IEEE Transactions on Reliability*, vol. 44, pp. 2-5, 1995.
- [ENOC86] **R. D. Enoch, R. N. Shaw**, “An Experimental Validation of the Field Induced ESD Model”, *Electrical Overstress/Electrostatic Discharge Symposium (EOS/ESD)*, pp. 224-231, 1986.
- [GIES98] **H. Gieser, M. Haunschild**, “Very-Fast Transmission Line Pulsing of Integrated Structures and the Charge Device Model”, *IEEE Trans. Components, Packaging and Manufacturing Technology – Part C*, Vol:21, n°4, pp 278-285, 1998.
- [GOEA05] **C. Goëau**, “Etude de la décharge électrostatique définie par le modèle du composant chargé CDM sur les circuits intégrés CMOS ”, Thèse de Doctorat, Institut National des Sciences Appliquées de Lyon, 2005.

- [GOSS97] **H. Gossner, T. Brodbeck**, “Dangerous Parasitics of Socketed CDM ESD Testers”, *Microelectronics Reliability*, no. 10/11, pp.1465-1468, 1997.
- [GREA89] **W. D. Greason**, “Electrostatic damage in Electronics devices and Systems”. Research studies press, 1989.
- [GREA91] **W. D. Greason**, “ Electrostatic Discharge : A Charged Driven Phenomenon”. *Electrical Overstress/Electrostatic Discharge Symposium (EOS/ESD)*, vol. 28, pp. 199-218, 1991.
- [GREA00] **W. D. Greason**, “Analysis of Electrostatic Discharge for the Human Body and an Automobile Environment”, *IEEE Transactions on industry applications*, vol. 36, No. 2, pp. 517-525, 2000.
- [GREA02] **W. D. Greason**, "Generalized model of electrostatic discharge (ESD) for bodies in approach: analyses of multiple discharges and speed of approach," *Journal of Electrostatics*, vol. 54, pp. 23-37, 2002.
- [GREE88] **T. Green**, “A review of EOS/ESD field failures in military equipment,” *Electrical Overstress/Electrostatic Discharge Symposium (EOS/ESD)*, pp. 7-14, 1988.
- [GRUN04] **E. Grund, R. Gauthier**, "VF-TLP Systems Using TDT and TDRT for Kelvin Wafer Measurements and Package Level Testing", *Electrical Overstress/Electrostatic Discharge Symposium (EOS/ESD)*, pp. 338-345, 2004.
- [GUIT05] **N. Guitard et al.** , “Different failure signatures of multiple TLP and HBM stresses in an ESD robust protection structure ” , *Microelectronics Reliability*, vol. 45, pp. 1415-1420, 2005.
- [HANG02] **T. C. Hang, C. C. Kou, M. K. Radhakrishnan, N. M. Iyer**, “Physical failure analysis to distinguish EOS and ESD failures”, *International Symposium on the Physical and Failure Analysis of Integrated Circuits (IPFA)*, pp. 65-69, 2002.
- [HBM-01] **ESD Association WG 5.1**, “ESD STM5.1-2001: Standard Test Method for Electrostatic discharge Sensitivity Testing- Human Body Model (HBM) Component Level,” 2001.

- [HUAN03a] **J. Huang, D. Pommerenke, W. Huang**, “Problems with the electrostatic discharge (ESD) immunity test in electromagnetic compatibility (EMC)”, *Conference on Environmental Electromagnetics (CEEM)*, pp. 251-254, 2003.
- [HUAN03b] **Y. S. Huang, T. L. Wu**, “Numerical and Experimental Investigation of Noise Coupling Perturbed by ESD Currents on Printed Circuit Boards”, *IEEE International Symposium on Electromagnetic Compatibility*, pp. 43-47, 2003.
- [HYAT00] **H. Hyatt, J. Harris, J. Colby, P. Bellew**, “Optimizing the performance of ESD circuit protection devices”, *Electrical Overstress/Electrostatic Discharge Symposium (EOS/ESD)*, pp. 41-47, 2000.
- [HYAT02] **H. Hyatt**, "ESD: Standards, Threats and System Hardness Fallacies", *Electrical Overstress/Electrostatic Discharge Symposium (EOS/ESD)*, pp. 175-182, 2002.
- [HYVO05] **S. Hyvonen, S. Joshi, E. Rosenbaum**, “Combined TLP/RF testing system for detection of ESD failures in RF circuits” , *IEEE Transactions on Electronics Packaging Manufacturing* , vol. 28, pp. 224-230, 2005.
- [IEC-2] **IEC 61000-4-2**, Compatibilité électromagnétique (CEM), Partie 4: “Techniques d'essai et de mesure – section 2 : Essai d'immunité aux décharges électrostatiques”, troisième édition, 2006.
- [IEC-4] **IEC 61000-4-4**, Compatibilité électromagnétique (CEM), Partie 4: “Techniques d'essai et de mesure – section 4 : Essais d'immunité aux transitoires électriques rapides en salves”, troisième édition, 2006.
- [ISO-01] **ISO 10605**, “ Véhicule routiers – Méthodes d’essai des perturbations électriques provenant de décharges électrostatiques”, 2001. www.iso.org.
- [ISO-02] **ISO 7637-1**: “Véhicules routiers – Perturbations électriques par conduction et par couplage – Partie 1 : Définitions et généralités Road vehicles”, 2002. www.iso.org.
- [ITO06] **Choshu Ito, William Loh, Tze Wee Chen, Robert W. Dutton**, “A Frequency-Domain VF-TLP Pulse Characterization Methodology and its Application to CDM ESD Modeling ” *Electrical Overstress/Electrostatic Discharge Symposium (EOS/ESD)*, pp. 318-325, 2006.

- [ITRS05] **International Technology Roadmap for Semiconductors**, Edition 2005
www.itrs.net.
- [IWAT93] **H. Iwata, Y. Akao**, “Characteristics of E-field near indirect ESD events”, *IEEE International Symposium on Electromagnetic Compatibility*, pp. 26-27, 1993.
- [JAME00] **E. V. James, J. J. Liou**, “Electrostatic Discharge in Semiconductor Devices: Protection Techniques”, *Electrical Overstress/Electrostatic Discharge Symposium (EOS/ESD)*, vol. 88, pp. 1878-1902, 2000.
- [JONA98] **N. Jonassen**, "Human body capacitance: static or dynamic concept [ESD] ?," *Electrical Overstress/Electrostatic Discharge Symposium (EOS/ESD)*, pp. 111-117, 1998.
- [KER01] **M. D. Ker, J. J. Peng, H. C. Jiang**, “ESD test methods on integrated circuits: an overview”, *International Conference on Electronics, Circuits and Systems (ICECS)*, vol. 2, pp. 1011-1014, 2001.
- [KER04a] **M. D. Ker, C. L. Hou, C. Y. Chang, F. T. Chu**, “Correlation between transmission-line-pulsing IV curve and human-body-model ESD level on low temperature poly-Si TFT devices” , *International Symposium on the Physical and Failure Analysis of Integrated Circuits (IPFA)*, pp. 209-212, 2004.
- [KER04b] **M. D. Ker, S. F. Hsu**, “Transient-induced latchup in CMOS technology: physical mechanism and device simulation”, *International Electron Devices Meeting (IEDM)*, pp. 937-940, 2004.
- [KER04c] **M. D. Ker, S. F. Hsu**, “Evaluation on Board-Level Noise Filter Networks to Suppress Transient-Induced Latchup in CMOS ICs Under System-Level ESD Test”, *IEEE Transactions on Electromagnetic Compatibility*, vol. 48, pp. 161-171, 2006.
- [LEPK05a] **J. Lepkowski**, “An Introduction to Transient Voltage Suppression Devices”, *Note d'application ON Semiconductor*, No. AND8229/D, Juillet 2005.
- [LEPK05b] **J. Lepkowski, B. Wolfe, W. Lepkowski**, “EMI/ESD solutions for the CAN network”, *IEEE Networking, Sensing and Control*, pp. 413-418, 2005.

- [LAI06] **T. X. Lai, M. D. Ker**, “Method to Evaluate Cable Discharge Event (CDE) Reliability of Integrated Circuits in CMOS Technology”, *International Symposium on Quality Electronic Design (ISQED'06)*, pp. 597-602, 2006.
- [LIN93] **D.L. Lin**, “FCBM – A Field-Induced Charged-Board Model for Electrostatic Discharges”, *IEEE Transactions on Industrial Applications*, vol. 29, No.6, pp. 1047-1052, 1993.
- [LIOU04] **J. J. Liou, X. Gao**, “Design and modeling of on-chip electrostatic discharge (ESD) protection structures”, *International Conference on Microelectronics*, vol. 2, pp. 619-624, 2004.
- [LO97] **Tony L. Lo, Sam Wong, Philip H. Alexander**, “Fast Fourier Transform Analysis of Published ESD Waveforms and Narrowband Frequency Domain Measurement of Human ESD Events” *Electrical Overstress/Electrostatic Discharge Symposium (EOS/ESD)*, pp. 107-116, 1999.
- [MAGN99] **D. Magnon, A. Feybesse, F. Guitton**, “Burst immunity tests according to IEC 1000-4-4 standard used to improve design of a new integrated power function”, *International Symposium on Electromagnetic Compatibility*, vol. 1, pp. 351-354, 1999.
- [MALO85] **T. Maloney et N. Khurana**, “Transmission line pulsing technique for circuits modelling of ESD phenomena”, *Electrical Overstress/Electrostatic Discharge Symposium (EOS/ESD)*, pp. 49-55, 1985.
- [MM-99] **ESD Association WG 5.2**, “ESD STM5.2-1999: Standard Test Method for Electrostatic discharge Sensitivity Testing- Machine Model (MM) Component Level,” 1999.
- [OLNE05] **A. Olney, B. Gifford, J. Guravage, A. Righter**, “Real-world printed circuit board ESD failures”, *Microelectronics and reliability*, vol. 45, pp. 287-295, 2005.
- [PAAS03] **J. Paasi, H. Salmela, P. Tamminen, J. Smallwood**, “ESD sensitivity of devices on a charged printed wiring board” , *Electrical Overstress/Electrostatic Discharge Symposium (EOS/ESD)*, vol. 25, pp. 143-150, 2003.

- [PAAS06] **Jaakko Paasi**, “Electrostatic discharge of charged electronic modules”, *2nd Nordic ESD Conference*, Septembre 2006.
- [PISC05] **N. Pischl**, “ESD transfer through ethernet magnetics”, *International Symposium on Electromagnetic Compatibility*, vol. 2, pp. 356-363, 2005.
- [RENN89] **R.G. Renninger et al.**, “A Field Induced Charged-Device Model Simulator”, *Electrical Overstress/Electrostatic Discharge Symposium (EOS/ESD)*, pp. 59–71, 1989.
- [SAKT02] **K. N. Sakthivel, S. K. Das, and K. R. Kini**, “Comparison of civilian EMC immunity standards with automotive EMC immunity standards”, *International Conference on Electromagnetic Interference and Compatibility*, pp. 63-69, 2002.
- [SALO98] **P. Salome**, “Etude des Décharges Electrostatiques dans les Circuits MOS Submicroniques et Optimisation de leurs Protections”, Thèse de Doctorat, Institut National des Sciences Appliquées de Lyon, 1998.
- [SEXT03] **F. W. Sexton**, “Destructive Single-Event Effects in Semiconductor Devices and ICs”, *IEEE Transactions on Nuclear Science*, vol.50, No. 3, June 2003.
- [SHAW85] **R. N. Shaw, R. D. Enoch**, “An Experimental Investigation of ESD Induced Damage to ICs on PCBs”, *Electrical Overstress/Electrostatic Discharge Symposium (EOS/ESD)*, pp. 132-140, 1985.
- [SMIT99] **D. C. Smith**, “Unusual forms of ESD and their effects”, *Electrical Overstress/Electrostatic Discharge Symposium (EOS/ESD)*, pp. 329-333, 1999.
- [SMIT02] **D. C. Smith**, “Cable Effect Part 1 : Cable Discharge Events”, *Technical Tidbit, High Frequency Measurements Web Page*, January 2002.
- [SPEA74] **T. S. Speakman**, “A Model for Failure of Bipolar Silicon Integrated Circuits Subjected to Electrostatic Discharge”, *International Reliability Physics Symposium Proceedings*, pp. 60-69, 1974.
- [STAD07] **W. Stadler**, “State-of-the-Art in ESD Standards”, Présentation dans *1st International ESD Workshop*, Mai 2007.

- [TANA02] **H. Tanaka, O. Fujiwara, Y. Yamanaka**, “A circuit approach to simulate discharge current injected in contact with an ESD-gun” , *International Symposium on Electromagnetic Compatibility*, pp. 486-489, mai 2002.
- [TLP-04] **TLP-ESD Sensitivity Testing**: Transmission Line Pulse (TLP)-Component Level, ESD Association Standard Practice SP5.5, 2004.
- [VASC03] **V. A. Vaschenko, A. Concannon, M. ter Beek, P. Hopper**, “Multi-port ESD protection using bi-directional SCR structures”, *Bipolar/BiCMOS Circuits and Technology Meeting*, pp. 137-140, 2003.
- [VERH93] **K. Verhaege, P. Roussel, G. Groeseneken, H. E. Maes, H. Gieser, C. Russ, P. Egger, X. Guggenemos, and F. G. Kuper**, “Analysis of HBM Testers and Specifications Using A 4 thOrder Lumped Element Model”, *Electrical Overstress/Electrostatic Discharge Symposium (EOS/ESD)*, pp. 129-137, 1993.
- [VERH95] **K. Verhaege, G. V. Groeseneken, H. E. Maes, P. Egger, H. Gieser, and L. Imec**, “Influence of tester, test method, and device type on CDM ESD testing”, *IEEE Transactions on Components, Packaging, and Manufacturing Technology*, vol. 18, pp. 284-294, 1995.
- [VINS98] **J. E. Vinson, J. J. Liou**, “Electrostatic Discharge in Semiconductor Devices: An Overview”, *Revue de physique appliquée*, vol. 86, No. 2, pp. 399-418, Feb. 1998.
- [WAGN93] **R. G. Wagner, J. M. Soden, C. F. Hawkins**, “Extend and cost of EOS/ESD damage in an IC manufacturing process” , *Electrical Overstress/Electrostatic Discharge Symposium (EOS/ESD)*, pp. 49-55, 1993.
- [WANG03] **K. Wang, D. Pommerenke, R. Chundru, T. Van Doren, J. L. Drewniak, A. Shashindranath**, “Numerical Modeling of Electrostatic Discharge Generators”, *IEEE Transactions on Electromagnetic Compatibility*, vol. 45, pp. 258-271, 2003.
- [WANG04a] **K. Wang, D. Pommerenke, Jian Min Zhang, R. Chundru**, “The PCB level ESD immunity study by using 3 dimension ESD scan system”, *International Symposium on Electromagnetic Compatibility*, vol. 2, pp. 343-348, 2004.
- [WANG04b] **K. Wang, D. Pommerenke, R. Chundru, T. Van Doren, F. Pio Centola, J. S. Huang**, “ Characterization of Human Metal ESD

Reference Discharge Event and Correlation of Generator Parameters to Failure Levels—Part II: Correlation of Generator Parameters to Failure Levels”, *IEEE Transactions on Electromagnetic Compatibility*, vol. 46, No.4, pp. 505-511, 2004.

[WARR89] **B. Warren** , “How to defeat electrostatic discharge”, *IEEE Spectrum*, pp. 36–40, août 1989.

[WELK06] **R. W. Welker, R. Nagarajan, Carl E. Newberg**, “Contamination and ESD Control in High-Technology Manufacturing”, John Wiley & Sons, 2006.

Chapitre 2

Caractérisation et modélisation de la propagation d'un stress ESD

Ce chapitre est consacré à l'analyse de la propagation des phénomènes ESD sur des lignes dites « microruban ». L'objectif est de réaliser une méthodologie de travail regroupant des moyens de mesure et de simulation pour caractériser les effets de phénomènes ESD sur une carte électronique. Cette étude a été effectuée en plusieurs étapes comme illustré sur la figure 2.1. Dans ce chapitre, nous présenterons des généralités sur les lignes de transmission ainsi que les hypothèses envisagées pour notre étude. Nous détaillerons les bancs de test utilisés afin de développer des méthodes de mesure pour l'extraction de paramètres de ligne. Pour cela, la méthode de réflectométrie temporelle ou TDR (Time Domain Reflectometry) a été mise en œuvre. Nous détaillerons les diverses réalisations de véhicules de test incluant des lignes simples, des lignes ayant des discontinuités et des lignes couplées. Pour la définition de ces cartes de référence, nous avons tiré profit de nos collaborations industrielles déjà engagées. Nous développerons et validerons des modèles génériques qui serviront à simuler la propagation d'un stress ESD sur une carte électronique. Le langage utilisé pour décrire ces modèles sera VHDL-AMS dont la certification IEEE en fait un standard industriel. D'autres études ont été menées avec un pistolet ESD afin de connaître l'impact des impulsions ESD générées par ce testeur sur des lignes d'une carte électronique.

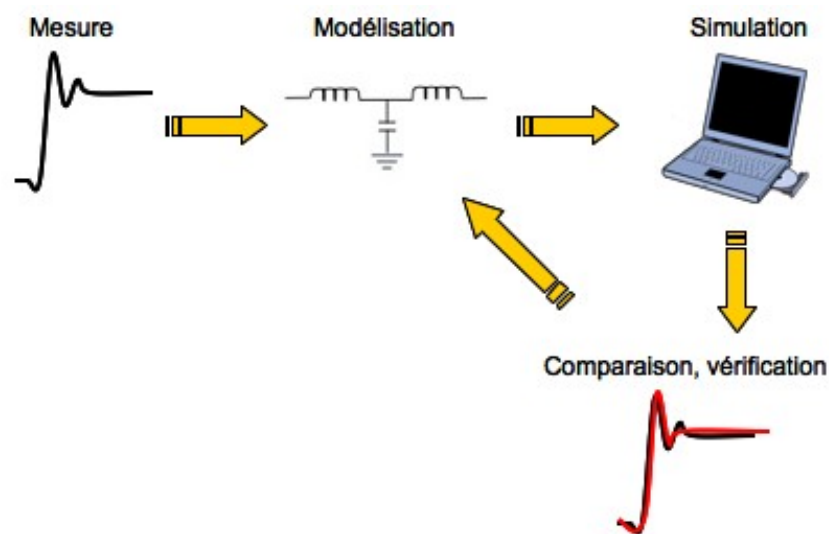


Figure 2.1 - Méthodologie de travail adoptée.

1 Etude théorique de la propagation d'un signal sur une ligne de transmission

1.1 Modélisation d'une ligne de transmission

Les signaux électriques et les ondes électromagnétiques véhiculant l'information se propagent le long d'une ligne de transmission. La propagation est guidée grâce à un milieu matériel dont les caractéristiques sont à connaître afin de décrire et de modéliser toutes les propriétés électriques de ces lignes. Une ligne de transmission de longueur dx peut être représentée par le schéma équivalent ci-dessous [BAKO90]:

Composants primaires du modèle de ligne :

- La résistance linéique R en Ohms (Ω/m)
- L'inductance linéique L en Henry (H/m)
- La capacité linéique C en Farads (F/m)
- La conductance parallèle G en Siemens (S).

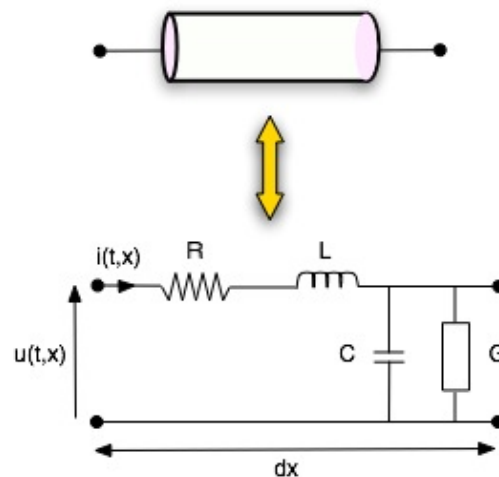


Figure 2.2 – *Modèle électrique d'une ligne de transmission.*

Dans un régime quasi-statique, la ligne de transmission peut être représentée par un modèle simple de type RLCG (voir figure ci-dessus). Ce modèle permet de simuler un phénomène de filtrage passe-bas apparaissant entre quelques dizaines de MHz et quelques centaines de MHz sur une carte électronique. Si l'on augmente la fréquence, des phénomènes de propagation apparaissent. Ils sont traduits par la discrétisation de la ligne en éléments de longueur dx . Les divers paramètres primaires ou physiques de la ligne, RLCG, dépendent des propriétés des matériaux et des géométries. Ces éléments permettent de décrire l'impédance caractéristique, les atténuations dues aux différentes pertes diélectriques et métalliques sur la ligne, et la vitesse de propagation du signal électrique.

1.2 Les notions de ligne de transmission

1.2.1 Cas d'une ligne de transmission standard ou avec pertes

La ligne de transmission peut être modélisée de manière simple par des paramètres primaires ou physiques (L , R , C , et G). D'après la figure 2.2, ces différents paramètres permettent d'exprimer la variation de tension $V(x)$ et de courant $I(x)$ apportée par un tronçon élémentaire dx . Lorsque la ligne est soumise à une excitation harmonique, les équations de propagation du courant $I(x)$ et la tension $V(x)$ le long de la ligne, s'expriment à l'aide de deux équations aux dérivées partielles (équations appelées « équations des télégraphistes »). L'amplitude et la phase, du courant et de la tension, peuvent évoluer en fonction des conditions aux limites, imposées par les impédances connectées aux extrémités de cette ligne.

$$\begin{cases} \frac{\partial V(x)}{\partial x} = -(R.I(x) + L.\frac{\partial I(x)}{\partial t}) \\ \frac{\partial I(x)}{\partial x} = -(G.V(x) + C.\frac{\partial V(x)}{\partial t}) \end{cases} \quad (1)$$

À partir de ces deux fonctions complexes, nous pouvons extraire l'impédance linéique série Z et l'admittance linéique parallèle Y exprimées dans le domaine harmonique.

$$\begin{cases} Z = R + jL\omega \\ Y = G + jC\omega \end{cases} \quad (2)$$

D'après la résolution du système d'équations différentielles (1), le rapport entre les tensions et courants incidents d'une part et les tensions et courants réfléchis d'autre part, est constant et représente un paramètre secondaire de la ligne (ou paramètre électrique) qui est l'impédance caractéristique Z_c de celle-ci.

$$Z_c = \sqrt{\frac{Z}{Y}} = \sqrt{\frac{R + jL\omega}{G + jC\omega}} \quad (3)$$

L'impédance caractéristique d'une ligne est l'impédance que l'on mesure à l'origine d'une ligne de longueur finie mais dont l'extrémité est connectée à une charge égale à Z_c .

Nous verrons dans le paragraphe 1.5 que l'impédance caractéristique d'une ligne « microruban » dépend de ses dimensions et de la nature du matériau isolant.

1.2.2 Cas d'une ligne de transmission idéale ou sans perte

L'impédance de la ligne est complexe. Cependant, pour des fréquences élevées ($R \ll Lw$ et $G \ll Cw$) et pour une ligne de transmission sans pertes (pertes résistives et diélectriques négligeables), l'impédance caractéristique d'une ligne se simplifie:

$$Z_c = \sqrt{\frac{L}{C}} \quad (4)$$

Dans ce cas, Z_c est purement réelle et se comporte comme une charge résistive. Cette impédance reflète le couplage de la ligne avec son environnement.

- *Approximation d'un conducteur parfait ($R \approx 0$)*

Les pertes résistives dépendent de la nature des matériaux, des dimensions géométriques du conducteur et de la structure des lignes de transmission. La résistance de la ligne voit sa valeur varier à mesure que la fréquence des signaux véhiculés augmente. Des phénomènes non linéaires commencent à se produire. Avec l'augmentation de la fréquence, la circulation des charges se retrouve repoussée à la périphérie du conducteur : c'est l'**effet de peau** [WEEK79]. Pour un conducteur plan, cet effet ou épaisseur de peau varie selon l'expression suivante :

$$\delta = \sqrt{\frac{\rho}{\pi \times F \times \mu_0}} \quad (5)$$

où :

ρ est la résistivité du matériau (cuivre = $1,7 \cdot 10^{-8} \Omega \cdot m$)

μ_0 est la perméabilité électrique du vide ($= 4\pi \cdot 10^{-7} \text{ H} \cdot m^{-1}$).

F est la fréquence (Hz).

La résistance basse fréquence de la ligne est donnée par l'expression : $R_{BF} = \frac{\rho}{w \times t}$ (6)

avec w représentant la largeur et t l'épaisseur de la piste.

Et en haute fréquence, la résistance vaut : $R_{HF} = \frac{\rho}{2\delta(w+t)} \approx \frac{\sqrt{\rho\pi\mu_0 F}}{2w}$ (7)

On remarque que la résistance en HF n'est plus constante et varie en fonction de \sqrt{F} .

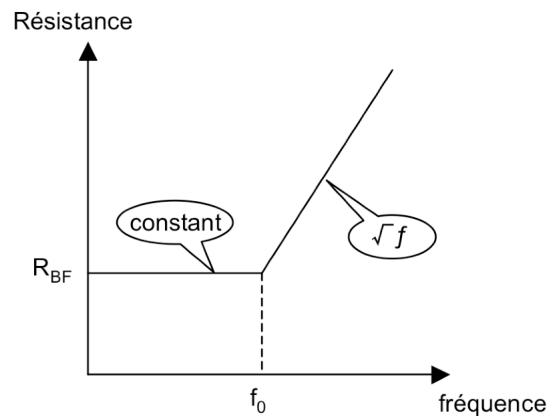


Figure 2.3 – Variation de la résistance de piste par rapport à la fréquence (courbe logarithmique).

En regroupant les équations (6) et (7), on définit une fréquence de coupure f_0 qui est obtenue lorsque $R_{HF} = R_{BF}$. On note alors :

$$\delta = \frac{(w \times t)}{2(w + t)} \quad (8)$$

Et en utilisant la relation (5), on obtient une équation pour f_0 :

$$f_0 = \frac{4\rho(w + t)^2}{\pi\mu(w \times t)^2} \approx \frac{4\rho}{\pi \times \mu \times t^2} \quad \text{avec } w \gg t \quad (9)$$

Dans le tableau ci-dessous, nous donnons quelques valeurs indicatives des résistances BF et HF pour diverses largeurs de ligne et fréquences de fonctionnement (ou fréquence effective).

Largeurs de ligne (mm)	Fréquence de fonctionnement (Mhz)	
	100	1000
0,5	$R_{BF} \approx 0.96 \Omega/m$ $R_{HF} \approx 2.57 \Omega/m$	$R_{BF} \approx 0.96 \Omega/m$ $R_{HF} \approx 8.12 \Omega/m$
1,5	$R_{BF} \approx 0.32 \Omega/m$ $R_{HF} \approx 0.85 \Omega/m$	$R_{BF} \approx 0.32 \Omega/m$ $R_{HF} \approx 2.71 \Omega/m$
3	$R_{BF} \approx 0.16 \Omega/m$ $R_{HF} \approx 0.42 \Omega/m$	$R_{BF} \approx 0.16 \Omega/m$ $R_{HF} \approx 1.35 \Omega/m$

Tableau 1 – Valeurs des résistances basses fréquences et hautes fréquences pour différentes largeurs de pistes en cuivre.

L'épaisseur de la ligne (w) est de $35\mu\text{m}$ et le matériau utilisé pour les pistes est du cuivre (résistivité = $1,7.10^{-8}\Omega.m$). On obtient avec ces valeurs une fréquence $f_0 \approx 14\text{Mhz}$ en dessous de laquelle la résistance de la ligne est constante et égale à R_{BF} . On remarque que les pertes liées à l'effet de peau augmentent la résistance en haute fréquence. Cependant, pour notre cas d'étude avec des signaux très rapides, la résistance demeure faible devant l'inductance linéique (Lw) : $R \ll Lw$ ce qui nous permet de négliger la valeur de R et donc de simplifier le modèle de la ligne.

- *Approximation d'un diélectrique sans pertes (G infini)*

Les pertes dans le matériau entre les conducteurs se traduisent par le caractère complexe de sa permittivité diélectrique (ϵ_r) et éventuellement de la perméabilité magnétique (μ_r). Ces pertes sont dues aux défauts d'isolation et aux pertes diélectriques du fait que le diélectrique utilisé comme substrat n'est pas un isolant sans perte. Les champs se propagent en partie dans celui-ci, et il y a dissipation sous forme de chaleur d'une partie du signal. Pour modéliser ces pertes, on utilise une conductance, notée G , qui est l'inverse de la résistance de fuite entre les deux conducteurs constituant la ligne. Les pertes diélectriques dans une piste de circuit imprimé sont généralement très faibles comparées aux pertes dans le conducteur.

1.3 Caractéristique de lignes simples de transmission : la ligne « microruban »

La ligne simple de transmission est probablement la manière la plus courante de relier deux composants. Un conducteur (piste de circuit imprimé) relie un composant (la source) à un autre composant (la charge).

Diélectrique	Epoxy (FR4)
Épaisseur (H)	1,6 mm
Constante diélectrique	$\epsilon_r = 4,6$
Épaisseur aluminium (T)	$35 \mu\text{m}$
Nombre de couches	2
Largeur des pistes (W)	Variable

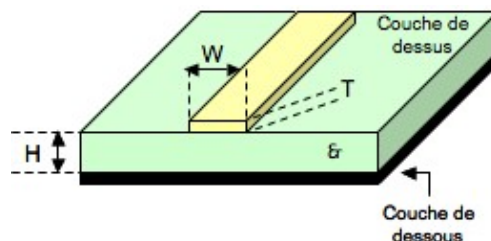


Figure 2.4 – Paramètres de la ligne microruban étudiée.

Le plan de référence (masse) constitue le chemin de retour du courant. La figure 2.4 présente une ligne « microruban » constituée d'un conducteur métallique mince, placé sur une face d'un matériau diélectrique dont la face arrière est entièrement recouverte de métal constituant un plan de masse. L'exemple le plus connu de ces lignes est le circuit imprimé double face dont l'une des faces est entièrement cuivrée. Le tableau de la figure 2.4 donne les caractéristiques des lignes « microrubans » utilisées lors de nos études. Le matériau diélectrique (dans notre cas l'époxy) est l'élément central de cette technologie. Il sert à la fois de support mécanique mais aussi de support de propagation des champs de par ses caractéristiques électriques qui sont : la permittivité diélectrique relative du substrat (ϵ_r), et l'épaisseur (H).

1.4 Étude réalisée avec l'hypothèse de l'approximation quasi-TEM

Ces lignes « microrubans » se comportent comme des guides d'onde attribuant une direction privilégiée à celles-ci [QUIN67]. Cependant, si on considère que les composantes longitudinales des champs électriques E_z et magnétiques H_z (composantes suivant l'axe de propagation) sont négligeables par rapport aux composantes transverses E_t et H_t , on peut considérer en première approximation que le mode dominant de propagation de l'onde le long de la ligne microruban est quasi-transverse (approximation quasi-TEM). C'est-à-dire que les champs électriques et magnétiques sont perpendiculaires à l'axe de la ligne selon lequel s'effectue la propagation comme le montre la figure 2.5. On peut noter que le champ électrique est perturbé par l'interface air-diélectrique. De plus, les champs électriques s'étendent de part et d'autre de la ligne ce qui engendre l'existence d'un effet de bord. Le champ magnétique, quant à lui, entoure le conducteur.

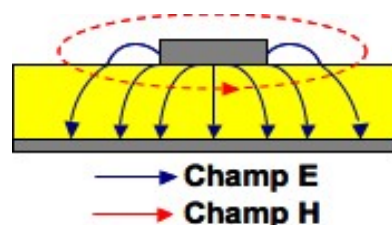


Figure 2.5 – Vue en coupe d'une ligne microruban avec ses lignes de champs électriques et magnétiques.

L'hypothèse de l'approximation quasi-transverse ou quasi-TEM rend possible le calcul des courants et des tensions en tout point de la ligne [FOUR04]. Cependant, avec cette hypothèse, on néglige les variations de phase sur la ligne, ce qui entraîne une condition sur la longueur physique ℓ de la ligne, qui peut s'écrire :

$$\ell \ll \frac{\lambda}{4} \quad (10)$$

$$\text{avec } \lambda = \frac{v}{f} \quad (11)$$

où :

- λ est la longueur d'onde dans la ligne
- v est la vitesse de propagation dans le milieu homogène considéré
- f est la fréquence de travail

Pour avoir une condition suffisante sur cette longueur de ligne, on prend :

$$\ell < \frac{\lambda}{10} \quad (12)$$

Pour notre étude, nous voulons étudier la propagation d'un phénomène ESD sur des lignes de transmission. Dans le chapitre 1, nous avons vu que la fréquence de fonctionnement effective d'un phénomène ESD (fréquence en dessous de laquelle la majeure partie de l'énergie du signal est concentrée) dépend du temps de montée du signal. Nous verrons plus tard que les signaux injectés sur ces lignes peuvent avoir des temps de montée d'une centaine de picosecondes, ce qui induit une fréquence de quelques gigahertz.

(temps de montée de 175ps → fréquence de 2Ghz)

Donc la valeur de la longueur d'onde dans nos lignes « microruban » est :

$$\lambda = \frac{v}{f} = \frac{c/\sqrt{\epsilon r}}{f} = \frac{3*10^8/\sqrt{4,6}}{2*10^9} \approx 7cm \quad (13)$$

où c est la vitesse de la lumière en espace libre ($\approx 3*10^8 m/s$).

Pour appliquer la condition de propagation d'ondes quasi-TEM, on prend comme modèle de ligne un modèle localisé qui divise la ligne en tronçons élémentaires dl dont la longueur est de :

$$dl < \frac{\lambda}{10} \approx 7mm \quad (14)$$

La figure 2.6 représente une ligne de circuit imprimé décomposée en une série de cellules discrètes.

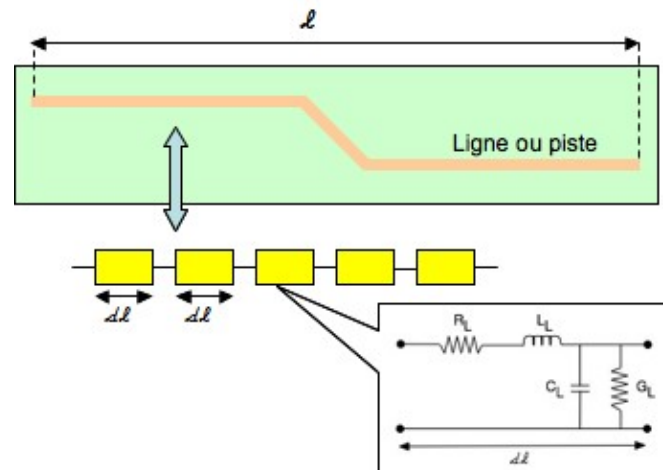


Figure 2.6 – *Modèle localisé d'une portion de ligne de longueur dl.*

Cette technique, consistant à établir un modèle d'une section de longueur infinitésimale de ligne, permet d'intégrer les équations différentielles et ainsi tenir compte de l'effet de propagation. Chaque cellule représente un modèle localisé pour une portion de ligne de longueur dl incluant les grandeurs normalisées R_L , L_L , C_L et G_L (respectivement résistance, inductance, capacité et conductance par unité de longueur). Ce modèle inclut les pertes.

1.5 Calcul des paramètres descriptifs d'une ligne de transmission

1.5.1 Impédance caractéristique d'une ligne

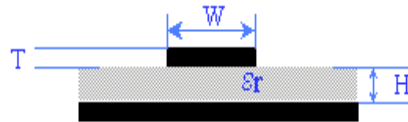
L'impédance caractéristique d'une piste de circuit imprimé de largeur W et d'épaisseur T (dans notre cas : $T = 35\mu\text{m}$) se calcule par plusieurs équations empiriques complexes que l'on trouve dans la littérature. Les formules les plus précises ont été publiées en 1975 par E. O. Hammerstad [HAMM75]. Ces équations permettent le calcul de l'impédance caractéristique d'une ligne à partir de ses dimensions géométriques.

Pour notre étude, nous avons choisi le jeu d'équations présenté sur la figure 2.7 (eq. 15, 16 et 17), permettant de calculer l'impédance caractéristique d'une ligne sans pertes. Le calcul de l'impédance caractéristique est un calcul approximatif, mais il permet d'avoir un ordre de grandeur des valeurs des inductances et capacités linéiques équivalentes à une portion de ligne.

La formule proposée ci-dessous montre que l'impédance caractéristique d'une ligne « microruban » diminue lorsque le rapport W/H augmente.

$$Z_c \approx \frac{87}{\sqrt{\epsilon_r + 1,41}} \ln\left(\frac{5,98H}{0,8W + T}\right) \quad (15)$$

$$C \text{ (pF/mm)} \approx \frac{0,026 (\epsilon_r + 1,41)}{\ln\left(\frac{5,98H}{0,8W + T}\right)} \quad (16)$$



$$L \text{ (nH/mm)} \approx 10^{-3} \times C \times Z_c^2 \quad (17)$$

Avec comme condition : $0,1 < \frac{W}{H} < 2,0$ et $1 < \epsilon_r < 15$

(source AN-905 National Semiconductor)

Figure 2.7 – Formules analytiques de l'impédance caractéristique ainsi que de la capacité et inductance linéique.

D'après ces équations, pour différentes largeurs de pistes, les paramètres parasites (inductance et capacité linéique) et l'impédance caractéristique de ligne sont les suivants :

Largeur de la ligne W (mm)	Impédance de ligne Z_c	Inductance L (nH/mm)	Capacité C (pF/mm)
2,8	50 ohms	0,277	0,114
1,7	70 ohms	0,386	0,082
0,65	100 ohms	0,559	0,057
0,25	130 ohms	0,73	0,043

Tableau 2 - Valeurs indicatives des inductances, capacités linéiques et impédances caractéristiques pour diverses largeurs de lignes. (épaisseur : $t = 35\mu\text{m}$; hauteur diélectrique : $H = 1,6\text{mm}$; constante diélectrique : $\epsilon_r = 4,6$)

1.5.2 Vitesse de propagation

Avec des phénomènes ESD ayant des durées de l'ordre de quelques nanosecondes, il faut tenir compte du retard de propagation qui n'est pas négligeable. Ce retard est donné par la relation générale liant le temps de propagation T_p , une distance quelconque D et la vitesse de propagation V_p :

$$T_p = \frac{D}{V_p} \quad (18)$$

Pour une ligne « microruban », la vitesse de propagation des signaux est constante pour un matériau donné et s'exprime par [BAKO90]:

$$V_p \approx \frac{c}{\sqrt{\epsilon_r}} \approx \frac{1}{\sqrt{LC}} \quad (19)$$

Remarque : Si l'on souhaite diminuer la capacité linéique en changeant la géométrie de la ligne, l'inductance linéique va augmenter de telle sorte que le produit LC reste constant.

1.5.3 Coefficient de réflexion sur une ligne

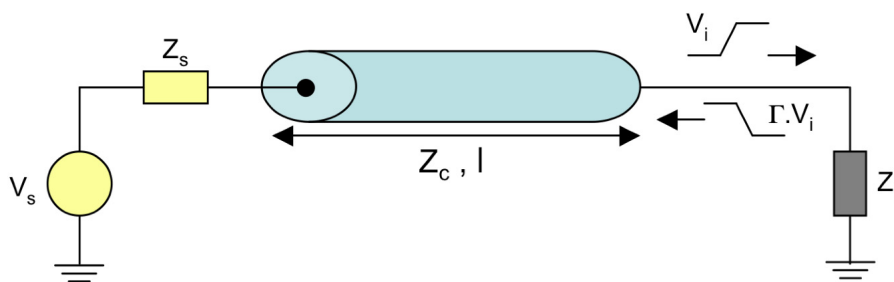


Figure 2.8 – Représentation d'une ligne de transmission excitée et chargée.

La figure 2.8 représente une ligne de transmission idéale ayant une impédance caractéristique Z_c , de longueur ℓ , excitée par une source d'impédance interne Z_s et chargée par une impédance Z_L . Lorsque le signal émis rencontre une discontinuité dans l'impédance de la ligne, une onde réfléchie est produite. Cette discontinuité peut avoir différentes causes comme la charge d'un circuit, ou la modification dans la géométrie de la ligne. L'onde ou la tension incidente (V_i) va du générateur vers la charge, et l'onde ou la tension réfléchie (V_r) va de la charge vers le générateur. En tout point de la ligne, la tension résultante (V_{res}) est égale à :

$$V_{res} = V_i + V_r \quad (20)$$

La polarité de chaque tension dépend de la charge mais aussi de sa distance au point d'observation. Le rapport de l'onde réfléchie sur l'onde incidente représente le coefficient de réflexion Γ . Au niveau de la charge, ce coefficient dépend de l'impédance caractéristique Z_c , de la résistance de charge Z_L et s'exprime par [BAKO90]:

$$\Gamma = \frac{V_r}{V_i} = \frac{Z_L - Z_c}{Z_L + Z_c} \quad (21)$$

La réflexion est un phénomène susceptible de modifier la forme du signal se propageant le long d'une ligne. Nous allons voir dans le paragraphe suivant la méthode de réflectométrie utilisée pour mesurer les tensions incidentes et réfléchies, ainsi que le temps de propagation sur la ligne afin de caractériser les différentes valeurs d'impédances.

2 Les moyens de test pour la caractérisation de lignes

2.1 Principe de la mesure par réflectométrie

Le principe de la réflectométrie consiste à injecter une onde (tension ou courant) et à observer dans le domaine temporel les réflexions. Cette technique peut être assimilée à celle d'un radar, ou celui-ci, après avoir transmis l'impulsion, écoute l'écho retourné (signal réfléchi) et en déduit la distance d'un objet, comme un bateau ou un avion. Dans notre cas, la réflexion permet de connaître les impédances rencontrées et leur distance par rapport à la source d'émission [AGIL00]. Initialement, ces analyses permettaient de déterminer la longueur d'un câble uniforme, ou de détecter des défauts localisés dans le câble, en envoyant une impulsion et en mesurant l'atténuation de l'impulsion renvoyée et le temps de réponse.

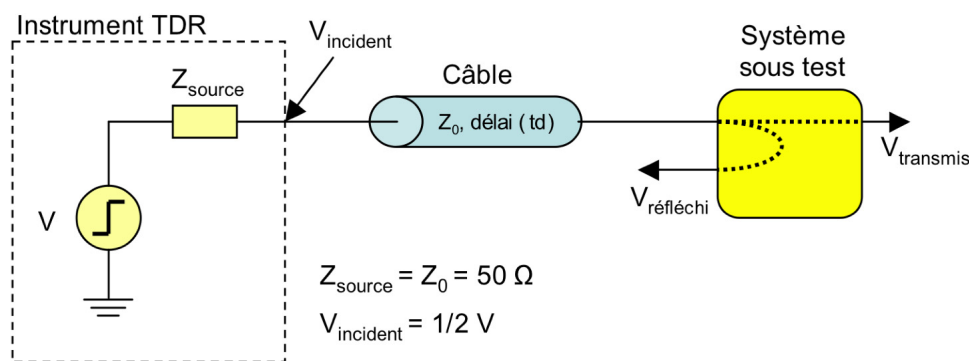


Figure 2.9 - Schéma fonctionnel d'un banc de mesure TDR.

Dans notre cas d'étude, le signal incident est transmis au travers de câbles coaxiaux, sur des lignes de transmissions, des circuits électriques, des composants électroniques. Le signal peut être, soit un échelon, soit une impulsion de tension ayant des fronts montants

rapides. Lorsqu'une désadaptation existe sur la ligne, une partie de l'onde incidente est réfléchi. Cette technique se nomme réflectométrie dans le domaine temporel (TDR pour Time Domain Reflectometry) [DASC96]. À partir de la courbe de tension et du coefficient de réflexion, on peut connaître les lieux et la nature des discontinuités [AGIL00]. Toutes imperfections dans l'impédance du système sous test se traduiront par une réflexion qui sera fonction de la nature du défaut ou de la discontinuité (capacitive, inductive), et dont le temps de retour permettra la localisation. Cela permet d'établir un profil d'impédance du système testé.

2.2 Limitations de la méthode par réflectométrie

Les limitations de cette méthode TDR résident dans les effets des multiples réflexions qui sont présentes dans les circuits comportant plusieurs interconnexions ou changements d'impédances. À chaque discontinuité d'impédance, une partie du signal incident se propageant à travers le système sous test est réfléchi et donc seule l'autre partie de ce signal est transmise à la discontinuité suivante. Plusieurs changements d'impédances conduisent à des réflexions multiples (voir figure 2.10). À chaque rupture (passage de Z_i à Z_{i+1}), une partie de l'onde incidente est réfléchi et retourne vers l'instrument de mesure TDR. Dès qu'elle va rencontrer une nouvelle rupture, elle va à nouveau se réfléchir vers le système sous test.

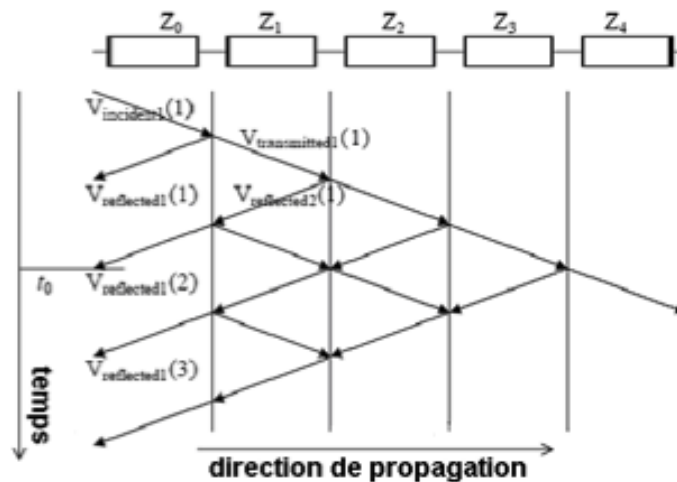


Figure 2.10 - Réflexions multiples sur une piste présentant des discontinuités. [SMOL99]

2.3 Les instruments TDR

Les appareils permettant de réaliser ces mesures sont couplés à des logiciels d'analyse servant à qualifier l'intégrité de signal. Comme exemple d'instrument TDR, la figure 2.11 montre un oscilloscope numérique (TDS8200 Digital Sampling Oscilloscope) associé à un module d'échantillonnage (80E04-20Ghz) servant de générateur interne d'impulsions. Cet instrument est utilisé au CNES (Centre National d'Etude Spatiale) à Toulouse pour détecter des défauts sur des interconnexions de petites tailles, comme des pistes de carte, des connecteurs ou des boîtiers. La tête d'échantillonnage est connectée au circuit à tester (CST) au moyen d'un connecteur SMA via un câble d'impédance 50 ohms.

Le signal émis par le générateur interne est une impulsion ayant une amplitude de 250mV et dont le temps de montée (t_m) est de 35ps. La cadence d'émission du signal peut aller de 25Khz, pour travailler sur des systèmes longues distances, à 200Khz en microélectronique.



Figure 2.11 - Oscilloscope TDS8200 et module TDR permettant de générer un échelon avec un temps de montée rapide ($\approx 35ps$).

Des mesures ont été effectuées sur des lignes simples. Nous avons pu retrouver les caractéristiques des différentes lignes comme leurs longueurs ou leurs impédances caractéristiques. Par exemple, la figure 2.12 montre une ligne de longueur 20cm, avec une largeur de piste de 0,25mm et une résistance de terminaison de 10 ohms.

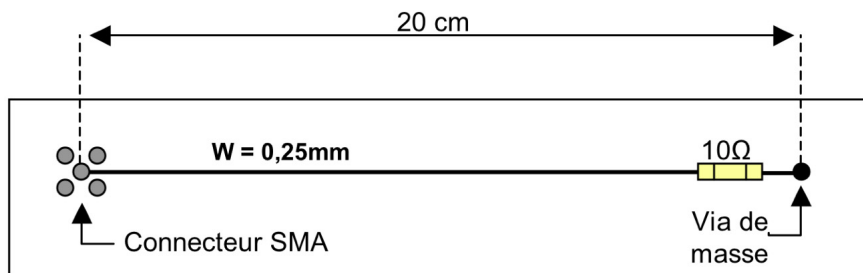


Figure 2.12 – Représentation d'une ligne avec une résistance de terminaison de 10Ω .

À l'aide de la mesure réalisée avec le TDS8200 (figure 2.13) et avec l'équation (20), nous obtenons comme valeur pour l'onde réfléchi : $V_{réfléchi} = 105,4\text{mV}$, où le signal incident est de 247,6mV, et le signal résultant ou mesuré est de 353mV.

D'après l'équation (23), un coefficient de réflexion Γ vaut : $\frac{105,4}{247,6} = 0,426$.

L'impédance de ligne s'obtient avec l'équation (21) et est égale à :

$$Z_c = \left(\frac{(1 + 0,426)}{(1 - 0,426)} \right) * 50 = 125\Omega$$

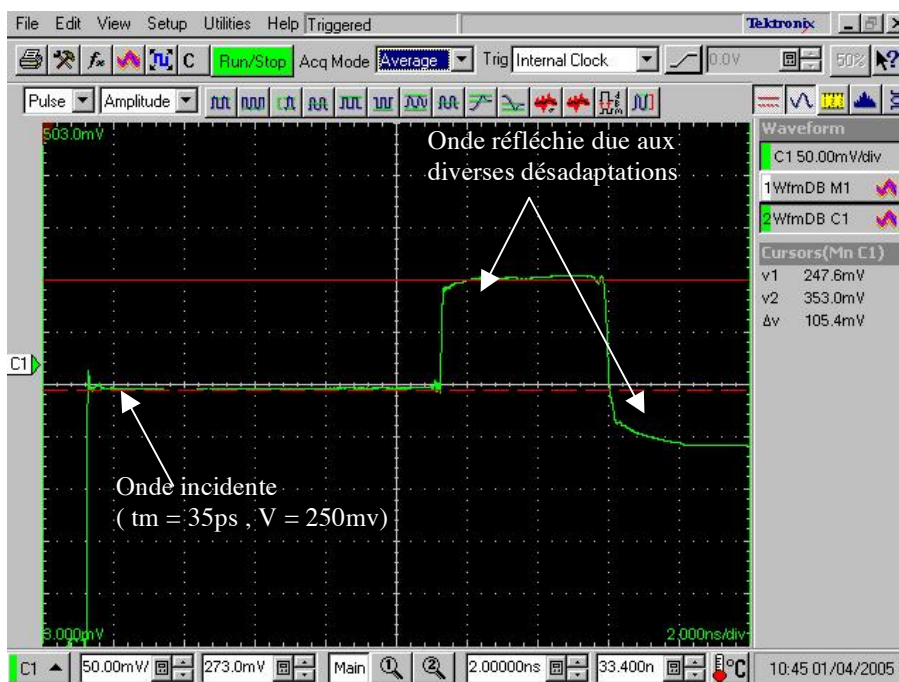


Figure 2.13 - Exemple d'acquisition TDR avec une ligne simple.

Le résultat obtenu avec cette méthode pour évaluer l'impédance de la ligne est équivalent à la valeur trouvée avec l'équation (15) qui nous donnait une impédance Z_c de 130 Ω pour une largeur de piste de 0,25mm. L'erreur entre la mesure et la théorie est environ de 4%.

D'autres mesures ont été réalisées pour évaluer les effets des discontinuités sur des lignes. Cependant, notre but est de prédire la propagation de stress ESD sur des cartes et de valider que ces signaux de fortes puissances ne font pas apparaître des phénomènes non linéaires de propagation (effet de peau, pertes diélectriques). Pour cela, nous avons choisi d'utiliser le banc VF-TLP pour injecter des impulsions ESD sur différentes formes de ligne. À l'aide de ce banc, nous pouvons caractériser et extraire les paramètres importants des lignes, en utilisant la méthode TDR afin de modéliser la propagation du stress ESD sur celles-ci.

2.4 Utilisation du banc VF-TLP pour l'extraction de paramètres de ligne.

La figure 2.14 présente le principe d'utilisation du banc VF-TLP pour la caractérisation de ligne. Dans ce banc de test, nous utilisons le VF-TLP comme générateur d'impulsions. Des impulsions de durées très courtes (D : 1,25ns, 2,5ns ou 5ns) et de temps de montées ultrarapides (t_m : de l'ordre de la centaine de ps) sont injectés sur des lignes via des connecteurs SMA. À l'aide du boîtier TDR, livré avec le banc VF-TLP, nous pouvons visualiser l'impulsion incidente en tension (celle qui est envoyée sur la ligne) et les impulsions réfléchies.

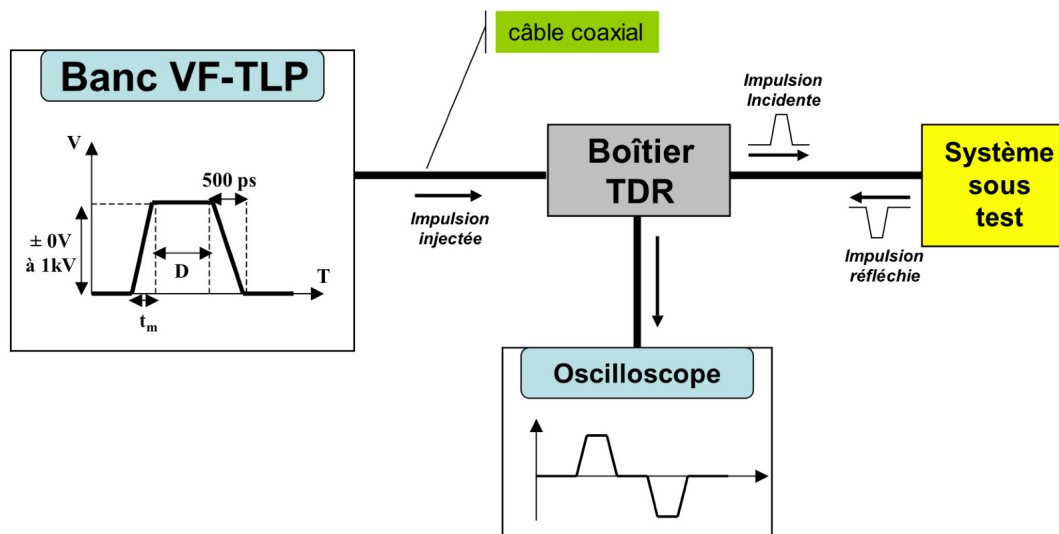


Figure 2.14 - Description simplifiée du banc de test.

Toutes les imperfections sur la ligne sous test vont provoquer une réflexion. Pour visualiser les signaux, nous utilisons les voies 50Ω de l'oscilloscope TDS 6604B (bande passante de 6 Ghz). Cela permet d'avoir un banc de test (VF-TLP + boîtier TDR + câble coaxial) adapté

jusqu'au système sous test. Le banc VF-TLP produit une impulsion positive ou négative qui est appliquée au système sous test par le biais de câbles coaxiaux semi-rigides (type RG 402/U).

D'après la figure 2.15, un délai existe entre l'impulsion incidente et celle réfléchi. Cela est dû à la fois aux câbles, mais aussi au boîtier TDR qui engendre un temps de propagation sur le signal envoyé sur les lignes. Ces effets de propagation ne sont pas négligeables pour nos cas d'étude. À l'aide de cette mesure, nous pouvons calculer le temps de propagation du signal traversant le câble coaxial ainsi que le boîtier. Ce temps de propagation doit être divisé par deux car il correspond au temps d'aller-retour du signal.

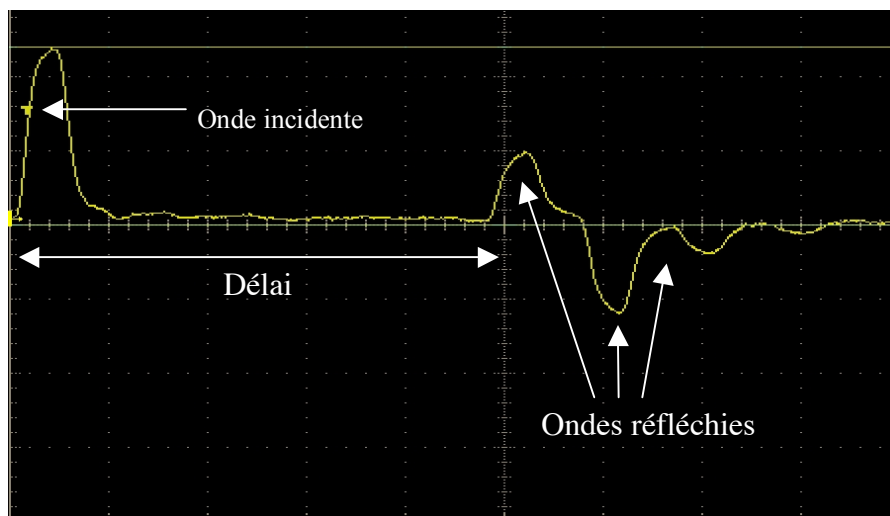


Figure 2.15 – Délai de propagation entre onde incidente et réfléchi.

En utilisant des câbles coaxiaux de temps de propagation supérieur à la largeur de l'impulsion émise, l'onde incidente n'est pas superposée aux diverses réflexions dues aux désadaptations de la ligne. Cela permet de faciliter l'interprétation des discontinuités sur la ligne (coudes, vias, coupure ...). Donc, pour caractériser les lignes sur la carte de test, l'utilisation du banc VF-TLP est bien appropriée en injectant des impulsions rapides (durée de 5ns).

3 Topologie des diverses cartes de test réalisées

Afin de comprendre et de caractériser la propagation d'un signal de forte puissance assimilable à un stress ESD le long d'une ligne, nous avons considéré plusieurs cas d'études. Diverses cartes de test ont été réalisées pour effectuer des mesures sur des formes de lignes simples, avec des discontinuités (coudes, vias, coupure du plan de masse,

élargissement de piste ou « step »), ou sur des lignes couplées permettant ainsi d'acquérir différents paramètres caractéristiques.

Pour la première carte présentée en figure 2.16, nous nous sommes basés sur des caractéristiques typiques de carte électronique données par SIEMENS-VDO. La largeur des pistes est de 250µm. La carte choisie est double face avec une face d'interconnexions, la deuxième servant de plan de masse. La première ligne sert de ligne de référence pour visualiser le changement apporté par les discontinuités sur les autres lignes. Toutes ces lignes sont terminées par une résistance CMS de 10 ohms reliée ensuite à la masse. Cette valeur de résistance a été choisie car au final nous voulons caractériser la propagation d'un stress ESD le long d'une ligne. Or, les protections ESD placées aux bornes des circuits peuvent être simplement représentées par des résistances de quelques ohms lors de leur déclenchement d'où le choix de cette faible valeur.

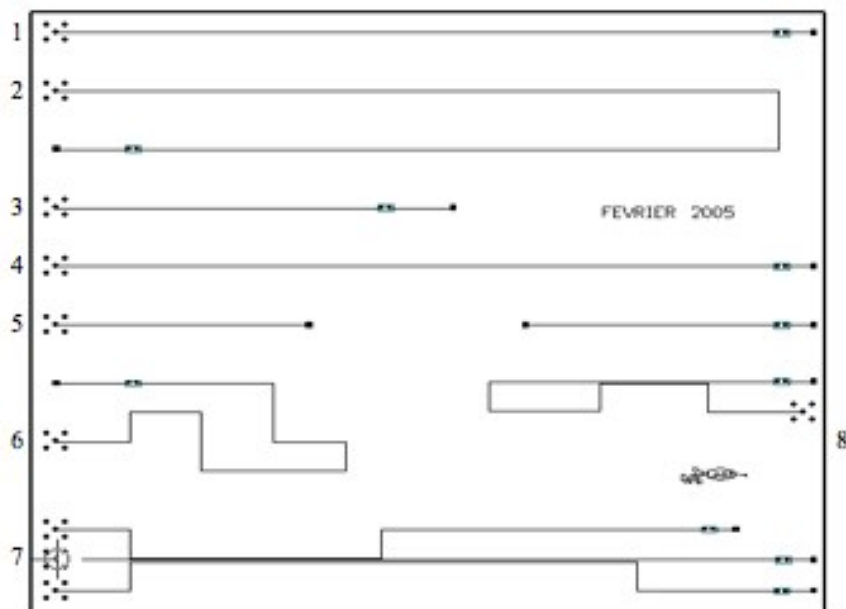


Figure 2.16 – Géométrie des lignes caractérisées sur la première carte.

Sur cette carte, on peut donc caractériser une ligne simple (ligne 1 et 3), les effets des coudes (ligne 2 et 6), des vias (ligne 5) ainsi que le couplage entre les lignes (ligne 7 et 8). En début de ligne, on utilise des fiches SMA pour envoyer le signal sur la ligne. La ligne 4 est quasiment identique à la ligne 1 (ligne de référence) mais permet de caractériser une rupture du plan de masse grâce à une légère coupure dans ce dernier (3mm*8mm).

Par la suite, nous avons fabriqué d'autres cartes avec des caractéristiques identiques mais avec des largeurs de piste différentes et d'autres discontinuités (élargissement de piste, coupure du plan de masse, jonction en T).

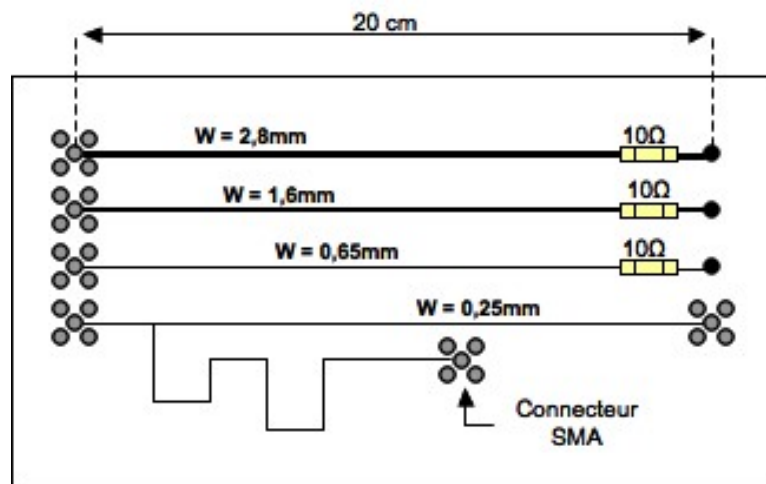


Figure 2.17 – Caractéristiques des lignes sur la deuxième carte.

La figure 2.17 représente une carte avec des lignes simples ayant des épaisseurs différentes ainsi qu'une ligne avec des coudes. Sur cette carte, les trois premières lignes ont des largeurs de 2,8mm, 1,6mm et 0,65mm ce qui correspond à des lignes avec une impédance caractéristique de 50 ohms, 70 ohms et 100 ohms respectivement. Pour la dernière ligne, nous avons réalisé une ligne avec une jonction en T, de largeur 0,25mm (impédance caractéristique de 130 ohms) terminée par des fiches SMA pour pouvoir vérifier le signal transmis le long de la ligne. Toutes les lignes ont des longueurs de 20cm. Les résistances en bout de piste sont des CMS de valeur 10 ohms. La figure 2.18 montre une autre carte qui nous a permis de caractériser une ligne avec un élargissement, de voir l'effet des vias et des coupures du plan de masse. Sur cette carte, les trois dernières lignes ont une épaisseur de 2,8mm correspondant à une impédance caractéristique de 50 ohms. Cela permet de voir seulement les effets des discontinuités sur la ligne car aucune rupture d'impédance n'existe entre la fiche SMA adaptée 50 ohms, les câbles coaxiaux et la ligne. Les longueurs des pistes sont de 20cm sauf la dernière (ligne avec vias) qui a une longueur de 21cm. La première ligne réalisée permet de caractériser l'influence d'un élargissement de piste ou d'un rétrécissement (dépend de l'endroit où l'on envoie le signal). Pour cette piste, les largeurs sont de 0,25mm et 1mm. Pour les pistes 2 et 3, la zone délimitée par les traits en pointillés signifie la coupure du plan de masse au-dessous de la piste. La dernière ligne permet de faire l'analyse de l'impact des vias. Pour cela, nous avons réalisé une ligne 50 ohms en conservant une configuration de ligne « microruban » (figure 2.4).

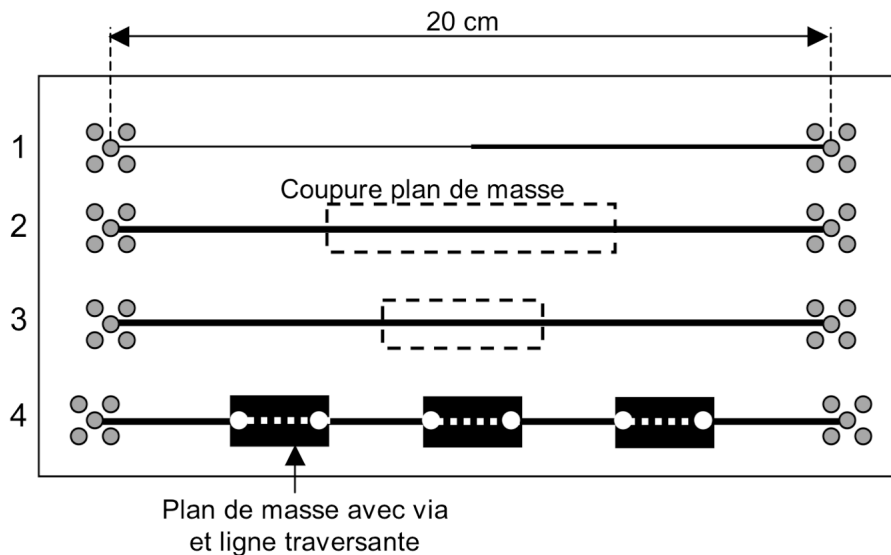


Figure 2.18 – Carte avec des coupures du plan de masse et des élargissements de piste.

L'ensemble de ces mesures doit nous permettre de mettre en place une bibliothèque de modèles de propagation des ESD dans la majeure partie des cas de routage rencontrés sur une carte électronique.

4 Simulation de la propagation d'un phénomène ESD sur des lignes

4.1 Le langage VHDL-AMS

Les exigences de la technologie et du marché ont nécessité de modéliser le composant avec une approche de plus en plus rigoureuse, en tenant compte de l'environnement autour du système. L'apparition de systèmes électroniques comprenant, à la fois, des circuits analogiques et numériques, ont requis le développement d'outils plus puissants. Ils doivent être capable de traiter simultanément les domaines analogiques et numériques. Ce besoin a entraîné depuis la fin des années 90, l'apparition de langages de description matérielle de systèmes à signaux mixtes (MSHDLs). Ces types de langages offrent un grand intérêt dans une approche de conception système. VHDL-AMS (Very high speed integrated circuits Hardware Description Language - Analog and Mixed Signal) est une norme IEEE (1076.1 de 1999) qui élargit la définition du VHDL pour inclure la description et la simulation de circuits et de systèmes analogiques et mixtes [CHAR01]. Avec ce langage, les systèmes qui

étaient décrits en utilisant plusieurs outils comme MATLAB, VHDL et SPICE, peuvent être tous modélisés en utilisant un seul langage. VHDL-AMS est sémantiquement et syntaxiquement compatible avec VHDL standard, et permet aussi, de décrire les systèmes mixtes (systèmes composés d'éléments hydrauliques, thermiques etc...), analogiques et numériques par le biais de modèles multi-abstractions, multidisciplinaires, hiérarchiques à temps continu et à événements discrets [HAMO05]. Au niveau de la conception système, ce langage peut être utilisé pour faire des descriptions de haut niveau comme :

- La description comportementale. On décrit le système ou le circuit en exprimant son comportement par rapport au temps. Cela permet de simuler les retards réels entre les événements relatifs (comme les délais de propagation dans les pistes). L'approche comportementale offre une souplesse et une simplicité de modélisation de systèmes mixtes, qui manque à SPICE.
- La description structurelle. On décrit un circuit en termes de composants et de connexions pour segmenter la description abstraite ou fonctionnelle du système. Cela permet d'avoir plusieurs sous-systèmes, qui sont plus maniables.

Au niveau de la conception circuit, le langage permet des simulations au niveau des portes logiques, des modélisations de circuits analogiques et de modèles au niveau transistor (SPICE ou VHDL-AMS), des descriptions de systèmes à l'aide des équations simultanées, non linéaires, différentielles et algébriques, et de la modélisation et de la simulation des effets physiques liés au fonctionnement numérique.

VHDL-AMS présente l'avantage de proposer un langage commun indépendant des fournisseurs et de la technologie ce qui en fait un standard industriel pour les approches de co-simulation. De plus, il permet une haute modularité facilitant les descriptions hiérarchiques. Les diverses modélisations réalisées lors de cette thèse sont effectuées à l'aide du simulateur ADVanceMS™ de Mentor Graphics [ADVA00].

4.2 Modélisation du banc d'injection

Pour cette modélisation, nous avons réalisé plusieurs sous-ensembles pour caractériser la propagation d'un phénomène ESD sur des pistes. Ces divers sous-ensembles sont représentés sur la figure 2.14 et correspondent :

- au banc VF-TLP permettant d'injecter une impulsion ESD ultra rapide.
- au module d'interconnexion regroupant l'ensemble « câbles coaxiaux et système TDR » et permettant d'une part, de visualiser l'onde incidente et les ondes

réfléchies sur l'oscilloscope et d'autre part, d'envoyer l'impulsion au circuit de test.

- au système sous test représentant la carte avec ces diverses lignes simples, lignes ayant des discontinuités (vias, coudes, coupure plan de masse), ainsi que des lignes couplées.

4.2.1 Modélisation du banc VF-TLP

Pour modéliser le banc VF-TLP, nous avons fait l'acquisition d'une impulsion ESD directement sur une voie 50Ω d'un oscilloscope. Ces valeurs sont rentrées, dans un générateur V-PWL comportant des couples de paramètres temps-tension. Pour rendre compte de l'adaptation 50Ω du banc, on ajoute une résistance dite "interne" en série avec ce générateur (figure 2.19). Avec cette modélisation, on obtient une forme d'onde précise de l'impulsion incluant les parasites internes du banc.

4.2.2 Modélisation de la connectique de mesure

Pour cette modélisation, nous rassemblons les divers câbles coaxiaux permettant la transmission des signaux, ainsi que le système TDR.

a) Les câbles coaxiaux

Pour simuler les câbles, nous avons réalisé des mesures de propagation pour déterminer leurs caractéristiques. Le modèle de ces câbles est basé sur une ligne de transmission de longueur 90cm avec une vitesse de propagation de $1,94.10^8$ m/s (figure 2.19). Cette vitesse correspond à un délai dans le câble de 4,64ns.

b) Le boîtier TDR de la manipulation VF-TLP

Il fait le lien entre l'impulsion envoyée par le banc VF-TLP et la carte sous test. C'est un boîtier qui est fourni avec le banc VF-TLP permettant de faire des mesures TDR sur des structures de protection ESD. Pour la modélisation de ce boîtier, différentes mesures ont été effectuées pour prendre en compte les atténuations et les divers délais dus au système lui-même. Dans un premier temps, des mesures de paramètres S ont été réalisées pour voir les atténuations existantes, entre l'entrée du boîtier et la sortie reliée à la carte, et entre l'entrée du boîtier et la sortie oscilloscope. D'après ces mesures, on peut constater qu'une légère atténuation existe sur l'impulsion transmise entre l'entrée du boîtier et la sortie reliée à la

carte. Par contre, une atténuation de -35dB est visible sur l'impulsion envoyée à l'oscilloscope. Celle-ci permet de ne pas détériorer l'appareil de mesure lors de fortes injections de tension avec le banc VF-TLP. Pour modéliser ce boîtier, nous avons donc utilisé des résistances de 50Ω pour simuler le fait que la tension est divisée en deux dans le boîtier et avoir aussi une adaptation sur les entrées. Pour obtenir les atténuations sur les signaux traversants le boîtier, nous avons rajouté des coefficients sur les tensions incidentes et réfléchies au niveau des lignes de transmission servant à modéliser aussi les câbles coaxiaux. Nous avons remarqué qu'une différence de propagation d'environ 1,4ns existait entre l'impulsion envoyée à l'oscilloscope et l'impulsion transmise à la carte [LACR05]. Pour modéliser ce retard, on augmente la longueur de la ligne de transmission reliée à la carte sous test pour avoir un délai de propagation plus important. Le modèle complet de ce boîtier est représenté sur la figure 2.19.

4.2.3 Modélisation globale

Pour nos études, le banc d'injection se modélise en deux parties:

- Une modélisation du banc VF-TLP avec une source idéale en série avec une résistance 50Ω .
- Une modélisation du boîtier TDR avec 2 résistances 50Ω en parallèle et des lignes de transmission permettant de prendre en compte les délais et les atténuations.

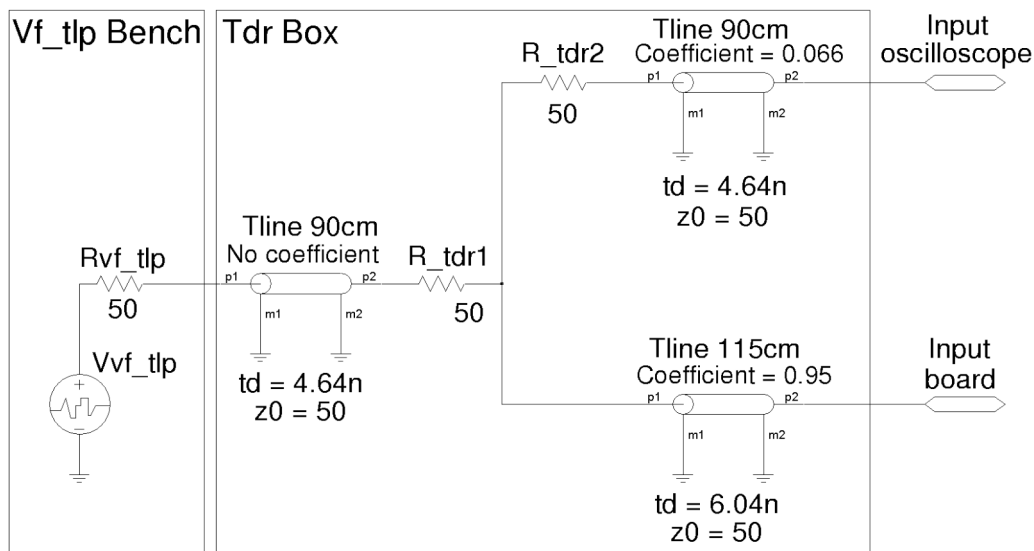


Figure 2.19 – Modélisation globale du banc d'injection : VF-TLP et boîtier TDR avec les délais et les atténuations.

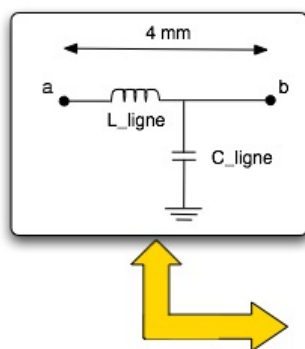
Grâce à ce modèle d'injection, nous pouvons simuler et connaître exactement l'impulsion envoyée sur n'importe quel système sous test. Dans le paragraphe suivant, nous allons simuler la propagation de l'impulsion sur des lignes de circuit imprimé.

4.3 Modélisation et validation de la propagation ESD sur diverses lignes

Pour cette modélisation, nous avons voulu développer des modèles génériques qui serviront à simuler la propagation d'un signal (ici un phénomène ESD) sur une carte électronique. Le langage que nous avons utilisé est VHDL-AMS. Nous allons voir la modélisation de lignes simples, avec des discontinuités et aussi des modèles de lignes couplées. Les cartes utilisées sont celles qui sont présentées dans le paragraphe 3. Les mesures et les simulations de ces différentes cartes tests seront comparées pour valider les modèles réalisés.

4.2.1 Cas de lignes simples

Dans cette étude, nous avons cherché à simuler de simples lignes d'impédance caractéristique variable terminées par une résistance de 10 ohms. La carte utilisée pour cette étude est représentée sur la figure 2.17.



```

library IEEE, IEEE_PROPOSED;
use IEEE.MATH_REAL.all;
use IEEE_PROPOSED.electrical_systems.all;
use work.all;

ENTITY module_LC IS
generic (L_value : real := 1.1e-9 ; C_value : real := 0.46e-12);
port ( Terminal a,b : electrical);
END ENTITY module_LC;

ARCHITECTURE behavioral OF module_LC IS
BEGIN
L_ligne : entity L generic map (L_value)
port map (a,b);
C_ligne : entity C generic map (C_value)
port map (b,electrical_ref);
END ARCHITECTURE behavioral;
    
```

Figure 2.20 – Modélisation en VHDL-AMS d'une portion de ligne de transmission.

Nous avons vu dans le paragraphe 1.2.2 qu'une piste peut être modélisée simplement par une capacité et une inductance linéique si l'on considère la piste sans perte. De plus, en prenant comme hypothèse l'approximation quasi-TEM et en ayant une fréquence de fonctionnement effective de l'ordre du gigahertz (voir le paragraphe 1.4), nous devons diviser la piste en tronçons élémentaires suffisamment courts. Pour les simulations, nous avons pris des portions de lignes de 4mm. Une fois toutes ces notions et hypothèses connues, nous avons programmé ces modèles de ligne en langage VHDL-AMS. La figure 2.20 décrit la programmation d'un module élémentaire LC représentant une portion de ligne de 4mm ayant une impédance caractéristique de 50Ω (voir tableau 2). Pour une ligne de longueur 20cm, nous avons dû la modéliser par 50 portions de lignes de 4mm.

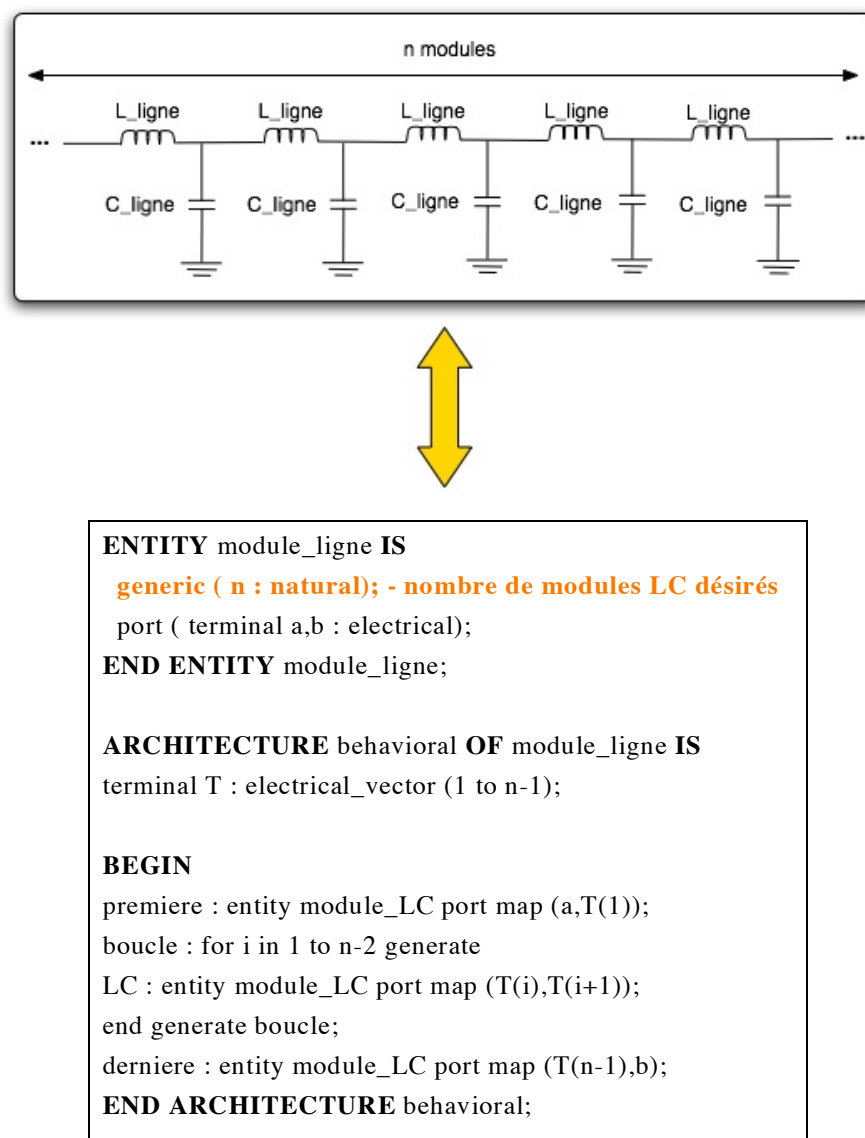


Figure 2.21 – Modélisation en VHDL-AMS d'une ligne de transmission.

Pour effectuer cette mise en série des différentes portions, nous avons utilisé la notion de généricité [ADVA00] afin de programmer un module ayant comme valeur d'entrée, la capacité et l'inductance équivalentes à une longueur de piste de 4 mm. La figure 2.21 présente la modélisation générique d'une ligne de transmission par la mise en série de plusieurs modules LC décrits auparavant. En utilisant ces entrées génériques pour les modules de lignes, nous pouvons modifier la longueur de la ligne en augmentant le nombre de modules LC élémentaires sans toucher au code source. Une fois ces modélisations de ligne réalisées, nous avons fait une comparaison entre la simulation et la mesure. Nous avons injecté des impulsions ESD de largeur 1,25ns et d'amplitudes variables de 1V à 1kV. Les lignes étudiées ont des longueurs de 20cm et des impédances caractéristiques de 50, 70 et 100Ω. Ces lignes sont toutes terminées par une résistance de 10Ω. Les valeurs de L et C pour ces lignes sont répertoriées dans le tableau 2 (paragraphe 1.5.1). Les mesures (avec les atténuations du banc d'injection) et simulations des lignes donnent les résultats suivants :

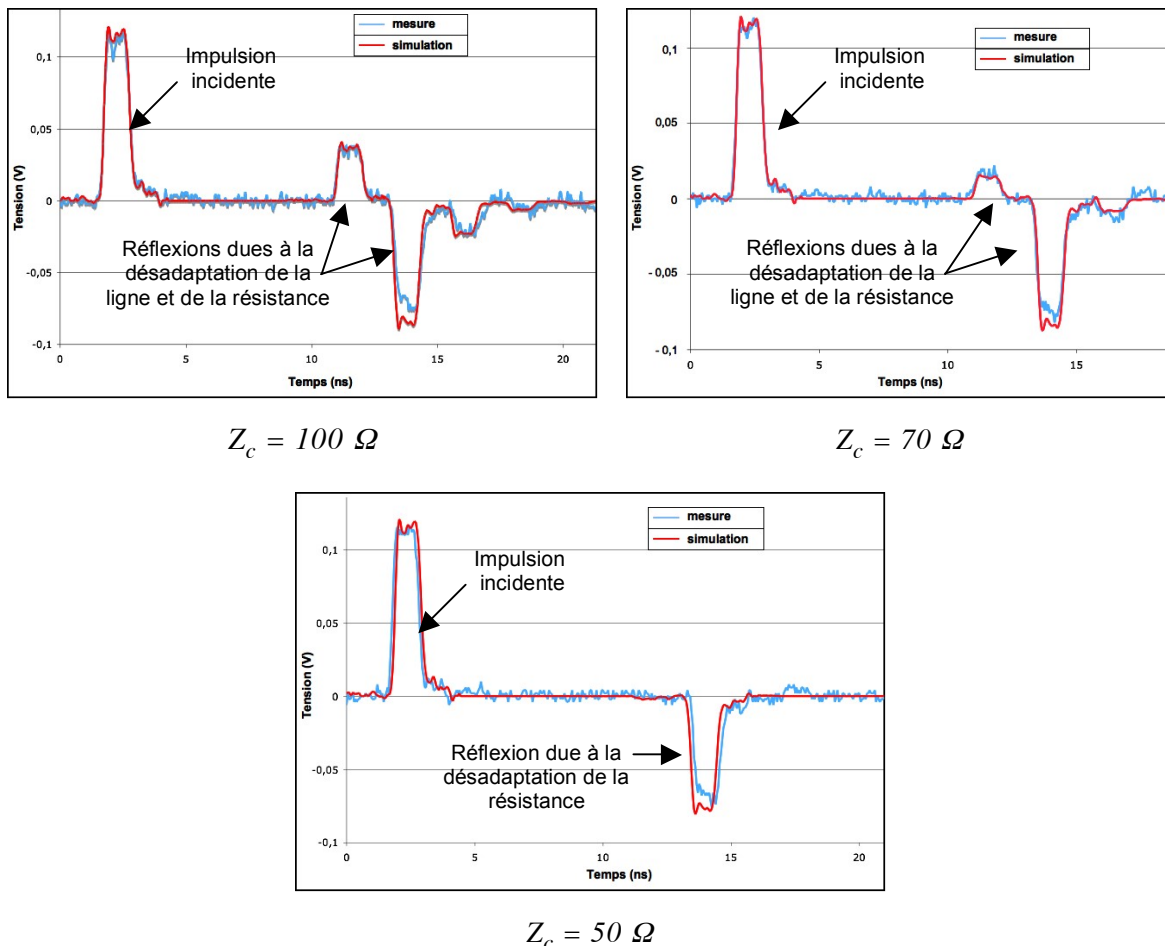


Figure 2.22 – Mesure et simulation de ligne de longueur 20cm, d'impédance caractéristique variable avec une résistance de terminaison de 10Ω.

Ces diverses mesures et simulations ont permis de vérifier les bonnes valeurs théoriques de L et C pour les lignes et de valider nos programmes en VHDL-AMS. Une légère erreur existe sur le premier pic négatif de chaque simulation. Cela est dû à la modélisation de la résistance de terminaison qui est réalisée avec une simple résistance de valeur 10Ω . On peut constater que des modèles simples, ne faisant pas apparaître les effets de peau et les pertes diélectriques, sont suffisants pour notre cas d'étude avec des impulsions très courtes véhiculées sur ces lignes.

4.2.2 Lignes avec des discontinuités

Dans ce paragraphe, nous nous sommes intéressés à diverses discontinuités sur les lignes, comme : des élargissements de lignes ou « step », des coupures de plan de masse ou « break ground », des coudes, des jonctions en T, des vias. Pour modéliser ces discontinuités, il existe des modèles définis avec des équations appropriées [JHAN05].

a) *Élargissement de piste :*

Un élargissement de piste revient à augmenter l'impédance caractéristique de la ligne, ce qui entraîne une rupture d'impédance sur la ligne. En modifiant le paramètre de largeur d'une piste, cela va influencer directement sur l'impédance et donc sur la nature inductive ou capacitive d'une piste. La figure 2.23 décrit un modèle effectuant le lien entre ces deux lignes ayant des impédances caractéristiques différentes. Les formules pour calculer les paramètres de la discontinuité sont présentées dans [JHAN05].

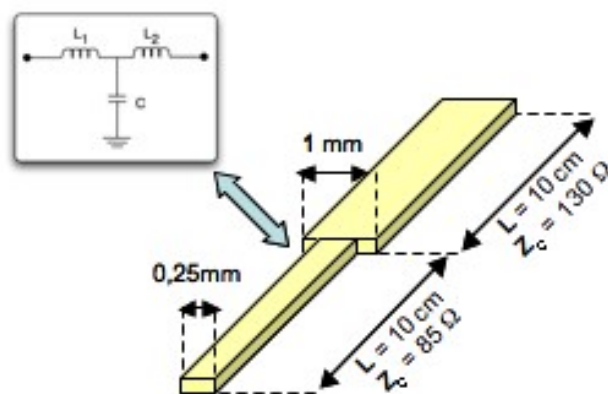


Figure 2.23 – Modèle d'un élargissement de ligne.

Pour la simulation, la ligne se découpe en trois parties : une ligne de $Z_c = 130\ \text{ohms}$ ($L = 0,73\ \text{nH/mm}$; $C = 0,043\ \text{pF/mm}$), la discontinuité ($L_1 = 0,0804\ \text{nH}$; $C = 0,0123\ \text{pF}$; $L_2 =$

0,0526nH), une ligne de $Z_c = 85$ ohms ($L=0,477$ nH/mm ; $C=0,066$ pf/mm). Une fois ces modèles connus, nous avons vérifié la bonne corrélation entre la mesure et la simulation (figure 2.24). Sur cette figure, la première impulsion correspond à l'impulsion incidente, la seconde aux réflexions liées aux diverses désadaptations de la ligne étudiée. La première réflexion, positive d'amplitude 0,05V, est due à la désadaptation 50Ω des câbles coaxiaux vers l'impédance équivalente de 130Ω de la ligne. La deuxième désadaptation $130\Omega/85\Omega$, d'amplitude négative 0,018V, représente l'élargissement de la ligne. La dernière marche, descendant à -0,25V, correspond à la résistance de 10Ω placée en fin de ligne. Nous avons mené deux simulations afin de déterminer l'impact du module de liaison (L1, C, L2 : cf figure 2.23). La prise en compte ou non de ce module permettant de lier les discontinuités de ligne ne change pas la forme de l'onde simulée, chose à laquelle on pouvait s'attendre étant donnée les valeurs des paramètres parasites introduits. Dans la théorie des « Micro-ondes », les éléments parasites induits par certaines discontinuités deviennent significatifs à des fréquences au-dessus de quelques GHz. Or, dans notre cas d'étude, c'est-à-dire pour une bande fréquences entre quelques MHz et jusqu'à 1GHz, cette discontinuité du second ordre peut être négligée.

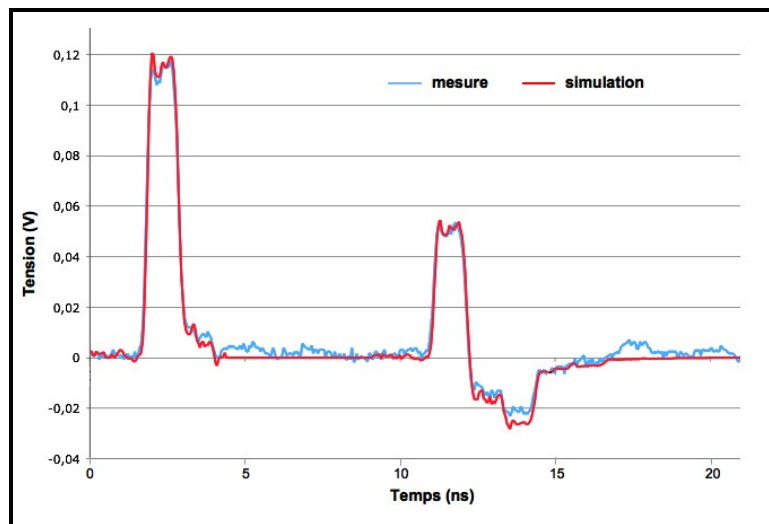


Figure 2.24 – Mesure et simulation d'un élargissement de piste.

b) Les coudes :

Cette discontinuité est caractérisée de la même façon que l'élargissement de piste avec deux inductances et une capacité. Cependant cette discontinuité a plus un effet capacitif sur la ligne c'est-à-dire que les coudes auront tendance à augmenter la capacité totale de la ligne et diminuer l'inductance. Pour des hautes fréquences, la moindre capacité parasite

peut avoir un effet non négligeable sur le fonctionnement du circuit. À l'aide d'équations [MONT99], nous avons noté que la valeur de la capacité engendrée par les coudes sur une ligne de largeur 0,25mm était de quelques fF. Cette discontinuité, présentant une capacité parasite faible devant la capacité linéique de la ligne, n'induit pas de problème de propagation pour des signaux inférieurs à 10GHz. De plus, des mesures ont été réalisées pour vérifier la validité de cette hypothèse. Nous avons remarqué qu'une piste simple ou une piste incluant des coudes étaient identiques du point de vue de la propagation d'un signal de type ESD.

c) La jonction en T :

La jonction en T provoque des discontinuités géométriques se traduisant par un rayonnement électromagnétique dont la modélisation est représentée sur la figure 2.25. Cette discontinuité apporte une capacité en excès ainsi que des inductances sur chaque branche de la jonction [THOM75].

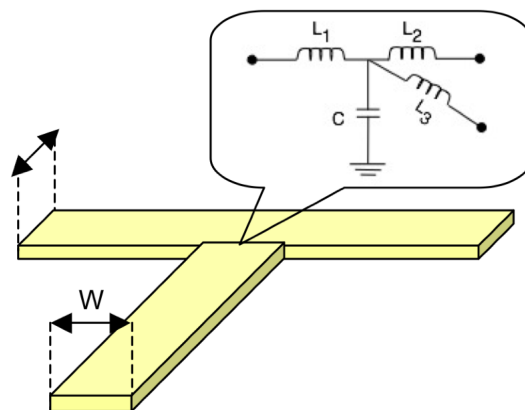


Figure 2.25 - Schéma et modélisation de la jonction en T avec des éléments passifs.

Comme l'élargissement et les coudes, cette discontinuité n'est importante que pour des fréquences au-dessus de quelques GHz. Diverses mesures et simulations ont été effectuées pour confirmer cette information au niveau de la propagation d'un phénomène ESD. Nous avons noté que cet effet de jonction pouvait être négligé ce qui nous permet d'alléger la simulation.

d) Coupure du plan de masse :

Nos pistes comportent un matériau diélectrique métallisé sur sa face arrière (plan de masse) et un circuit de métallisation sur la face avant. Si une coupure du plan de masse est effectuée sous la piste, celle-ci va subir une augmentation de son impédance

caractéristique. En haute fréquence, le retour du courant se fait au plus près du conducteur où le signal est véhiculé [AEMC06]. Avec une coupure, on change le chemin du retour de courant sur le plan de masse, qui parcourt une distance plus longue (figure 2.26).

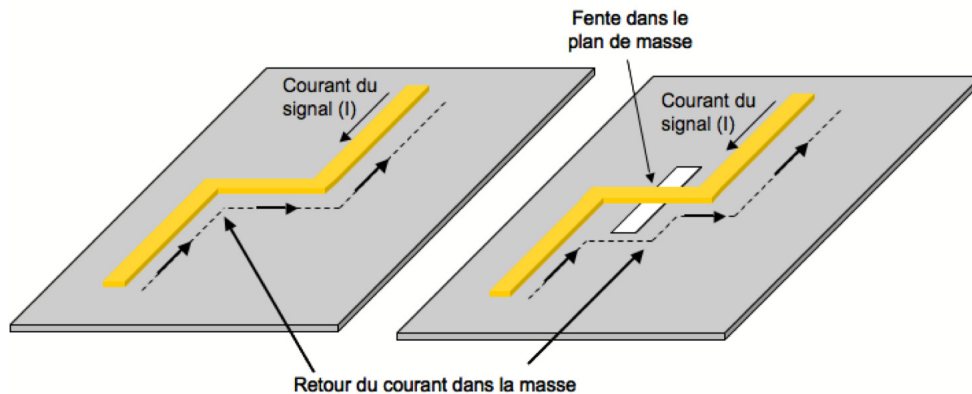


Figure 2.26 - Représentation des retours de courant en HF sans et avec une coupure du plan de masse.

Cependant, cet effet d'augmentation d'impédance n'est important qu'à partir d'une certaine dimension de la coupure et pour des fréquences supérieures au GHz. Le champ proche prédominant généré par une petite fente est magnétique. Une fente dans le plan de masse présente une self d'environ : 1nH/cm [AEMC06]. En augmentant l'inductance de la ligne, on crée une variation sur la vitesse de propagation ($v_p = 1/\sqrt{LC}$) au niveau de la ligne. Or cette vitesse tend à rester constante. Cela induit une diminution de la capacité de la ligne à la masse, et une augmentation de l'impédance Z_c de la ligne au-dessus de la fente.

$$Z_c = \sqrt{\frac{L}{C}} ; \text{ si } L \uparrow \text{ et } C \downarrow \text{ alors on voit bien que } Z \uparrow$$

Pour étudier cet effet, nous avons réalisé une ligne avec une fente dans le plan de masse dont le périmètre est : 8cm*2cm. La largeur de la ligne est de 2,8mm correspondant à une impédance de 50Ω. Cette ligne a été modélisée en trois tronçons avec des impédances différentes (figure 2.27, valeurs de L et C représentant 4mm de ligne). Pour caractériser cette ligne, nous avons utilisé la mesure TDR. Lors de cette mesure, la première réflexion est due à l'effet de la coupure, vu que la ligne a une impédance de 50Ω. Cette réflexion nous a permis de connaître la valeur de l'impédance de la ligne, qui est de 140Ω [LACR05]. En connaissant cette valeur, il suffit ensuite de faire une étude paramétrée pour connaître la valeur de L et C de la ligne. Sachant que la fente a une largeur de 2cm, on se rend compte que l'inductance de la ligne augmente d'environ de 2nH.

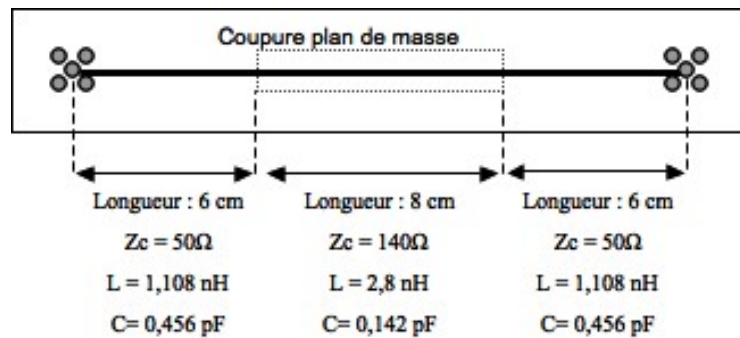


Figure 2.27 - Modélisation d'une ligne de longueur 20cm avec une coupure du plan de masse.

La simulation de cette ligne donne les résultats corrects au niveau du temps de propagation ainsi que des diverses réflexions.

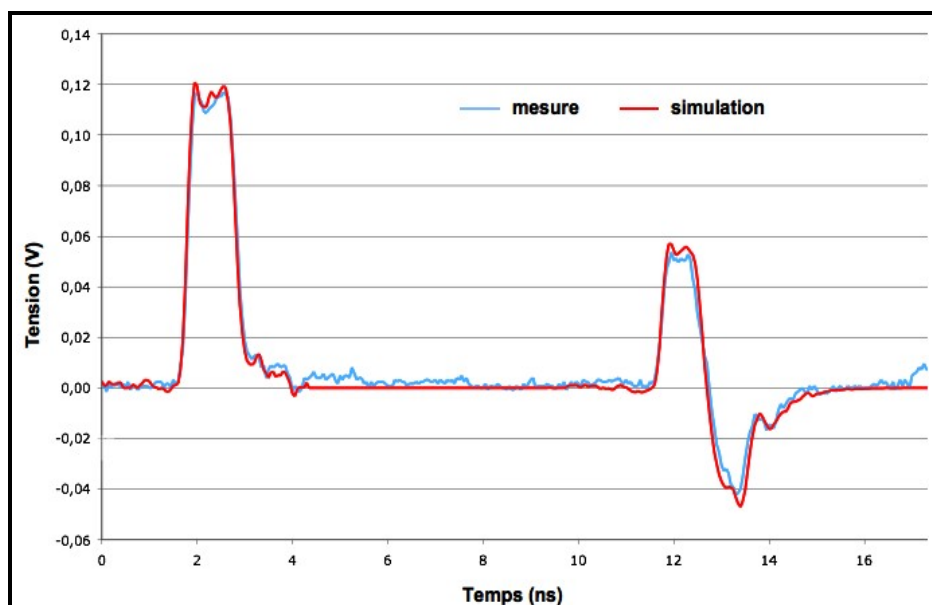


Figure 2.28 - Mesure et simulation d'une ligne avec une fente dans le plan de masse.

e) *Le via :*

Une discontinuité, fréquemment vue sur une carte, est liée au via. Cela permet de relier deux niveaux différents d'interconnexions. Sur notre carte test (figure 2.18), les vias utilisés sont non métallisés. Nous les avons donc rempli de métal pour effectuer la connexion, ce qui ne correspond pas à des configurations de via industriel (figure 2.29) où la métallisation est effectuée sur les parois du cylindre du via. Avec cette configuration, on obtient d'une part un effet capacitif dû à la pastille du via et d'autre part un effet inductif dû à la patte de résistance réalisant les deux couches. Pour modéliser les effets, nous avons

utilisé des équations simples, décrites dans la figure 2.29, donnant une valeur approximative de L et C [FAIR02]. Ces valeurs de L et C ne tiennent pas compte des effets induits par l'ajout de la patte de résistance et de la soudure. Nous avons donc augmenté l'inductance ainsi que la capacité. Une étude paramétrique a permis de trouver les valeurs de L et C suivantes : L=4,5nH et C=1,8pF, faisant apparaître un facteur 3 pour l'inductance et un facteur 2 pour la capacité par rapport aux valeurs trouvées avec les équations de la figure 2.29.

La valeur de l'inductance est donnée par l'équation:

$$L \approx 0,21h \left[\ln \left(\frac{4h}{d_1} \right) + 1 \right] \text{ nH}$$

avec h : hauteur du via (en mm), d₁ : diamètre du via (en mm). (cas d'étude : h=1,6 et d₁=0,2).

Pour la capacité, l'équation est :

$$C = \frac{1,41 \varepsilon_r h d_1}{d_2 - d_1} \text{ pF}$$

où d₂ : diamètre de la pastille. (cas d'étude : d₂=2,5)

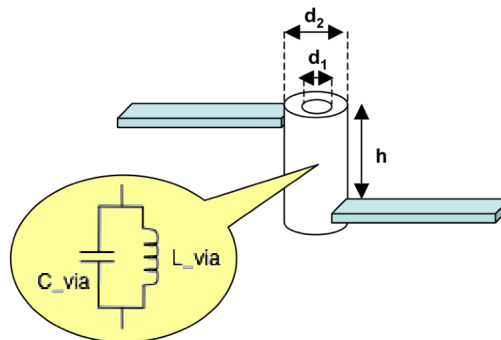


Figure 2.29 – Equations approximatives pour modéliser un via. [FAIR02]

Les vias tels que nous les avons décrits sont connectés à des lignes d'impédances caractéristique 50 ohms. La figure 2.30 montre une bonne concordance entre la simulation et la mesure. Pour notre cas d'étude, les éléments parasites des vias ont été modifiés et augmentés par l'ajout d'un fil de connexion (patte de résistance). L'influence des vias est faible mais pas négligeable devant les paramètres caractéristiques des pistes (inductances et capacités linéiques). En rentrant dans notre modèle, les paramètres correspondant à des vias standard, l'amplitude de la réflexion est divisée environ par trois et peut alors, dans cette configuration, être négligée.

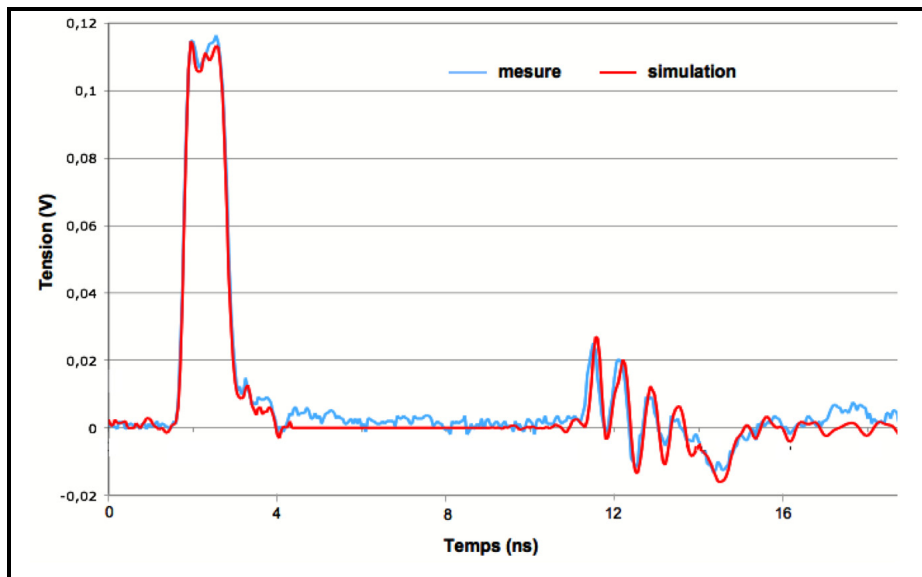


Figure 2.30 – Mesure et simulation d'une ligne avec des vias non métallisés.

4.2.3 Cas de lignes couplées

Un effet très important à prendre en compte dans les simulations est la diaphonie sur les lignes [FLET88][BAKO90]. Cet effet provient du couplage entre deux ou plusieurs pistes proches. Ces couplages sont répartis de façon plus ou moins uniforme le long de la ligne. En conséquence, une partie des signaux transmis sur une ligne apparaît sur l'autre et réciproquement. Lorsque deux pistes sont voisines, une influence mutuelle s'exerce entre elles essentiellement par :

- *Champ électrique créant un effet capacitif entre les pistes.*

La figure ci-dessous permet de comprendre l'apparition du couplage capacitif entre deux lignes grâce aux lignes de champ électrique entre les conducteurs. La capacité C représente la capacité vers la masse et C_f l'effet de bord.

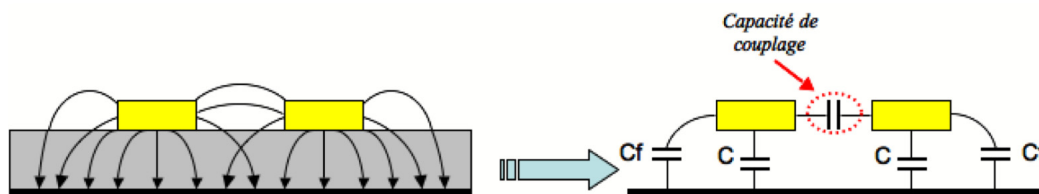


Figure 2.31 – Couplage capacitif dû au champ électrique entre deux conducteurs.

L'augmentation de la capacité de couplage entraîne une diminution de la capacité parasite vers la masse. Cette capacité mutuelle est inversement proportionnelle à la distance entre les deux pistes.

- *Champ magnétique créant un effet inductif entre les pistes.*

Comme le montre la figure 2.32, lorsque deux conducteurs sont proches, le champ magnétique créé par la piste où circule un courant, influence la deuxième piste en induisant un courant. Le coefficient d'interaction entre les pistes est l'inductance mutuelle faisant apparaître un phénomène analogue à un transformateur électrique. Cela donne le modèle ci-dessous, avec L_1 et L_2 , les inductances linéiques des pistes et M , l'inductance mutuelle induite (figure 2.33).

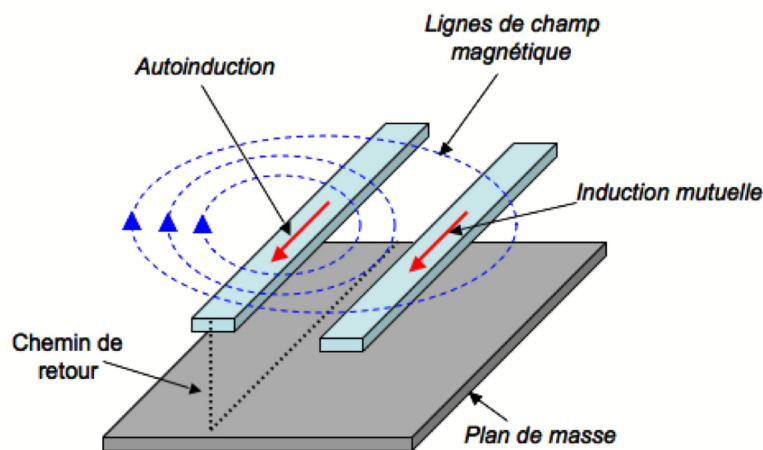
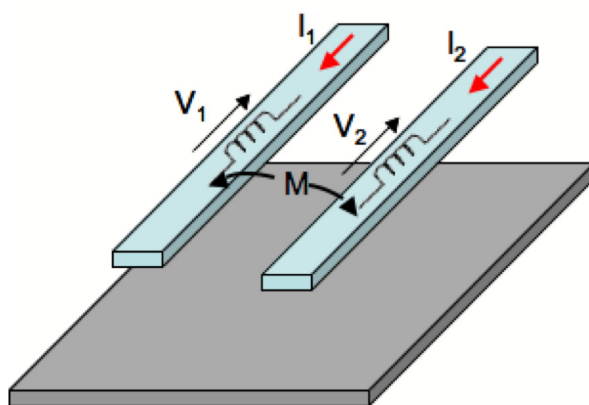


Figure 2.32 – Effet inductif dû au champ magnétique entre deux conducteurs.



$$V_1 = L_1 \frac{\partial I_1}{\partial t} + M \frac{\partial I_2}{\partial t}$$

$$V_2 = L_2 \frac{\partial I_2}{\partial t} + M \frac{\partial I_1}{\partial t}$$

où : $M \frac{\partial I}{\partial t}$ est une tension induite

Figure 2.33 – Représentation du modèle incluant le couplage inductif de deux lignes et les équations utilisées.

Les différents couplages (capacitifs et inductifs) dépendent de la configuration des conducteurs en présence c'est-à-dire des caractéristiques géométriques (éloignement des pistes, orientation, présence ou non de plan de masse). Dans notre cas d'étude, lorsque les pistes sont adjacentes sur le même plan, le phénomène qui prédomine est l'inductance mutuelle. Une fois ces différentes influences connues sur la piste, les calculs des capacités et les inductances (linéiques et mutuelles) sont réalisés à l'aide d'un logiciel utilisant la méthode des éléments finis (LC-Calc : www-v2.sp.se/electronics/RnD/software/eng/LC-Calc.htm). Les pistes sont modélisées en deux dimensions selon une coupe verticale (lignes en cuivre déposées sur un substrat de constante diélectrique $\epsilon_r=4,6$, uniformément polarisées à la masse). Les résultats sont donnés sous la forme de matrices [C] et [L] généralisées par unité de longueur. Les valeurs des capacités et inductances linéiques (C_{line} , L_{line}) ainsi que les capacités et inductances mutuelles (C_{mut} , L_{mut}) sont placées dans un module générique, comme paramètres d'entrée.

La figure 2.34 représente ce programme ou module, nommé « LC_coupled », servant à modéliser deux portions de ligne couplées. À l'intérieur de ce programme, nous utilisons un autre module, noté « Lcoupled », décrivant l'effet inductif du couplage entre les deux pistes à l'aide des équations présentées sur la figure 2.33.

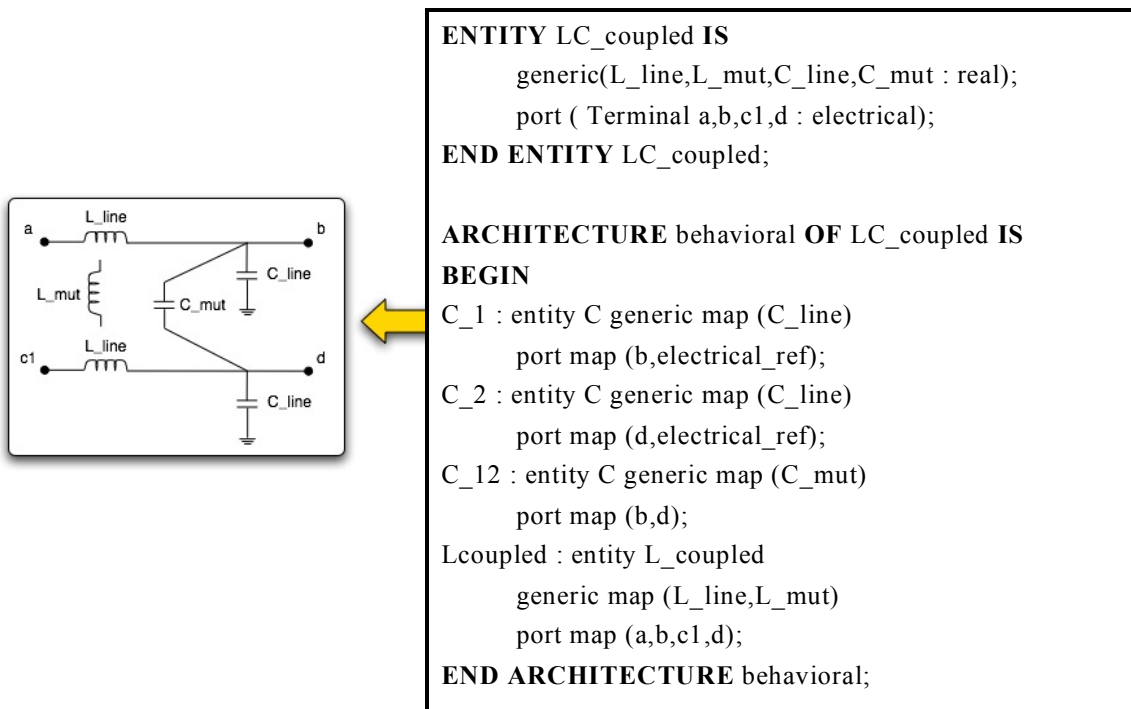


Figure 2.34 – Présentation du programme VHDL-AMS de deux portions de ligne couplées.

Pour valider ce module de couplage, nous avons simulé la ligne, présentée sur la figure 2.35, montrant une ligne couplée sur elle-même. Pour la programmation de cette ligne, nous avons utilisé le module LC, représentant des portions de ligne simple de 4mm, et le module de couplage dont le schéma bloc est présenté sur la figure 2.35.

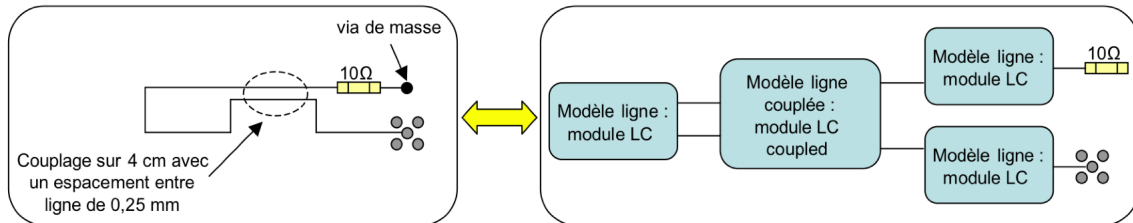


Figure 2.35 – Schéma de la ligne couplée et des différents modules utilisés pour la simulation.

La figure 2.36 montre la comparaison entre la mesure et la simulation. La simulation coïncide bien avec la mesure ce qui permet de valider les valeurs données par le logiciel utilisé. L'inconvénient de notre méthode d'extraction de paramètres est de devoir utiliser un logiciel électromagnétique afin d'avoir les valeurs de capacités et d'inductances. Il existe des formules analytiques appropriées pour le calcul de ces éléments dans des configurations de propagation d'ondes lentes [BAKO90]. Les résultats donnés par ces formulations sont tout aussi appropriés pour les études de propagation des ESD car la gamme de fréquence utilisée reste faible (inférieur à quelques GHz). Les simulations ne font pas apparaître de phénomènes de pertes diélectriques et d'effet de peau.

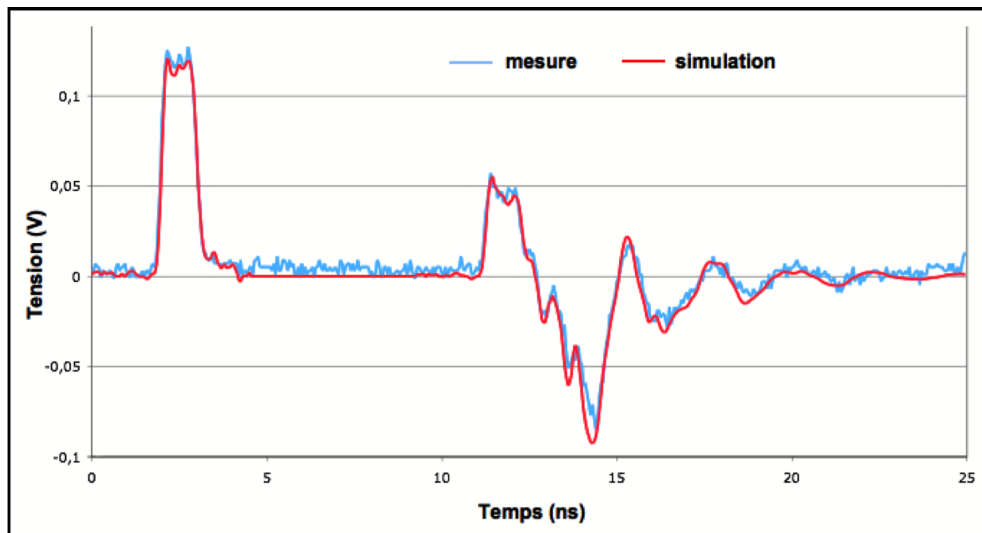


Figure 2.36 – Mesure et simulation d'une ligne couplée sur elle-même.

D'autres motifs plus complexes ont été analysés et sont représentés dans la figure 2.37.

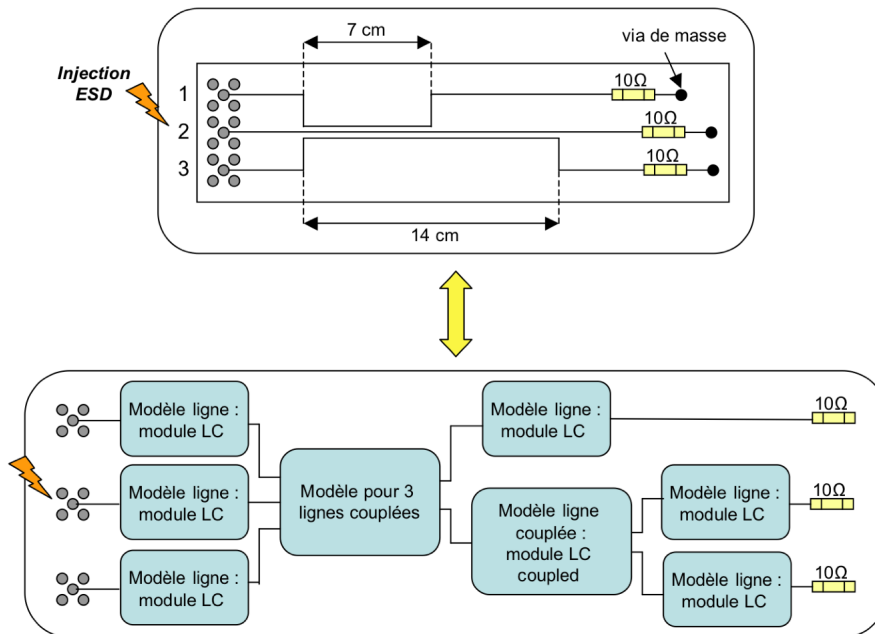
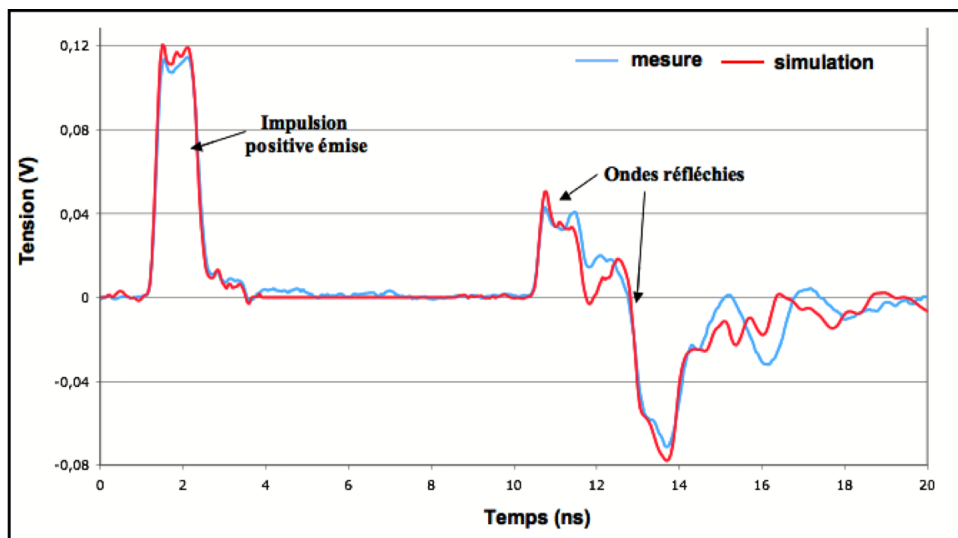
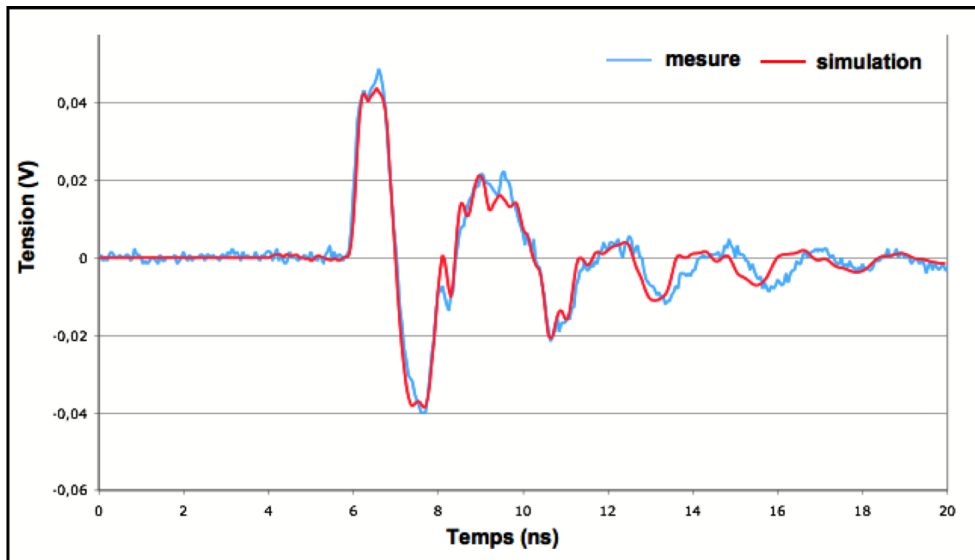


Figure 2.37 – Lignes couplées : de longueur 20cm (ligne 1 et 2) et de longueur 21cm (ligne 3), de largeur 0,25mm, espacement entre lignes de 0,25mm.

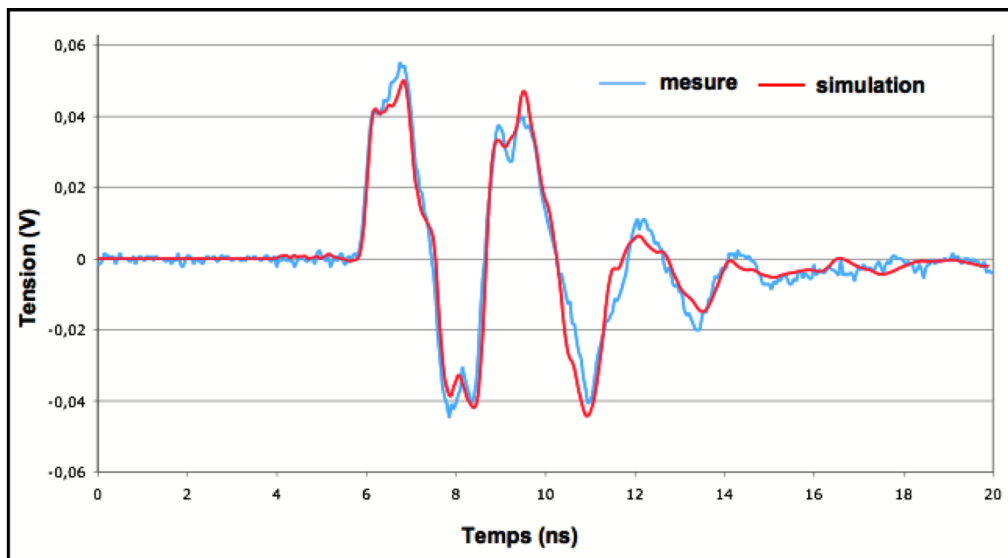
Pour mesurer le couplage entre ces lignes, nous avons envoyé sur la ligne 2 une impulsion positive et visualisé les ondes réfléchies sur cette ligne ainsi que les ondes de retour des lignes 1 et 3. Pour réaliser la simulation des lignes présentées dans la figure 2.37, un nouveau module de couplage incluant la diaphonie entre les 3 lignes a été programmé. Ce module est constitué de deux inductances mutuelles, de deux capacités de couplage et des capacités et inductances linéiques de chaque ligne. Une comparaison mesure simulation a été réalisée, et nous obtenons les résultats suivants :



(a) Forme d'onde sur la ligne 2



(b) Forme d'onde sur la ligne 1



(c) Forme d'onde sur la ligne 3

Figure 2.38 – *Mesure et simulation des tensions induites sur chaque ligne de la carte en figure 2.37.*

Sur la figure 2.38-a, nous visualisons l'injection sur la ligne 2, et nous observons, après 10ns, l'onde réfléchié faisant apparaître les désadaptations liées à l'impédance caractéristique de la ligne : 130Ω et la résistance de terminaison : 10Ω . L'écart entre l'onde incidente et réfléchié est dû à la connectique de mesure, qui dans le cas de la ligne 2 passe par un boîtier TDR et nécessite donc deux câbles coaxiaux, de délai de propagation de 5ns environ (voir figure 2.14). En revanche, nous visualisons directement les formes d'ondes des lignes 1 et 3 sur l'oscilloscope. Les signaux circulant sur la ligne 2 créent, par

couplage, des perturbations sur les lignes 1 (figure 2.38-b) et 3 (figure 2.38-c). Nous observons, une bonne corrélation entre la mesure et la simulation.

À l'aide de ces différentes configurations de lignes couplées, comme des lignes couplées sur elles-mêmes (voir figure 2.35) ou plusieurs lignes adjacentes (figure 2.37), nous avons prouvé que de simples modèles LC incluant des éléments de couplage (capacités et inductances mutuelles) suffisaient pour reproduire correctement les perturbations générées sur les lignes que ce soit au niveau des amplitudes mais aussi sur la propagation de celles-ci.

5 Tests réalisés avec le pistolet ESD

Dans cette partie, nous avons utilisé le pistolet ESD, décrit dans le chapitre 1, comme générateur d'impulsion. Des mesures ont été réalisées pour étudier l'impact des impulsions ESD générées par ce testeur sur des lignes PCB. Une modélisation simple du pistolet a été choisie pour prédire les perturbations conduites sur une configuration de ligne couplée. Les stress que nous injectons pouvant aller jusqu'à 9kV, en mesurant les couplages induits par ceux-ci, on minimise les amplitudes.

5.1 Modélisation du pistolet ESD

En première approximation, le pistolet ESD peut être modélisé par une capacité de 150 pF et une résistance de 330Ω représentant son impédance équivalente (voir figure ci-dessous).

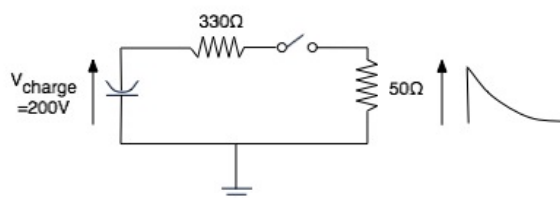


Figure 2.39 – Schéma électrique simple du pistolet par un modèle RC.

D'après ce modèle, pour une tension de pré-charge de 200V au niveau de la capacité, une décharge de tension maximale de l'ordre de 26V ainsi qu'un temps de décharge d'une centaine de ns, sont obtenus sur une résistance 50Ω, comme le montre la figure 2.40 (modèle RC). D'après le standard IEC 61000-4-2 décrit dans le chapitre 1, la forme d'onde réelle de la décharge du pistolet ESD est plus complexe et dépend de plusieurs paramètres, dont le fil de retour de masse. Pour étudier l'influence de ce fil de masse, nous avons

réalisé des mesures en injectant la décharge directement sur l'entrée 50Ω d'un oscilloscope par l'intermédiaire d'un atténuateur ($/10$). Deux séries de mesures ont été effectuées en changeant la longueur du fil de masse. Nous avons superposé au modèle RC les mesures effectuées pour des longueurs de câbles de 2m (câble long fourni avec le pistolet) et de 10cm (câble court). Nous observons que l'énergie du pistolet ESD peut être modélisé par un simple modèle RC. En revanche, nous remarquons que les divers pics de tension ainsi que la forme d'onde générale de cette décharge sont dus, en grande partie, au fil de masse reliant le pistolet au système de test. Le modèle représenté dans le chapitre 1 sur la figure 1.20 permet de prendre en compte ce fil au niveau des simulations. D'autres modèles représentés par des équations de type double exponentiel peuvent être utilisés pour reproduire la décharge du courant [WANG03]. Pour notre étude, d'après les travaux effectués par Mr Huang [HUAN03b], nous avons choisi de modéliser le pistolet ESD à l'aide d'un fichier de points et d'une résistance série de 330Ω . Cela nous permet d'avoir un modèle simple, reproductible et identique, du point de vue de la programmation, à celui du banc VF-TLP utilisant un générateur et une résistance 50Ω (voir figure 2.19).

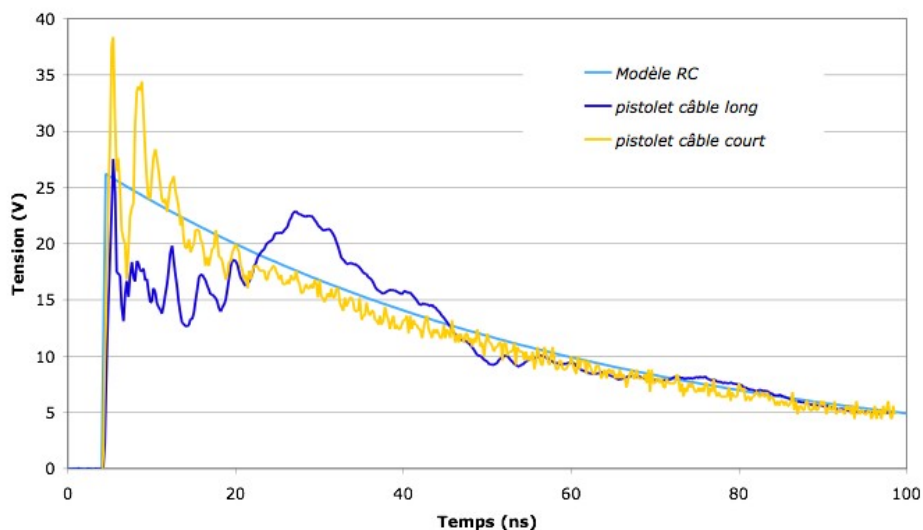


Figure 2.40 – Comparaison modèle RC et mesure du pistolet avec des fils de masse de longueurs différentes.

5.2 Résultats obtenus sur des lignes couplées

Pour valider la modélisation du pistolet ESD par un simple tableau de points, nous avons injecté des impulsions ESD sur des lignes couplées. La configuration de ces lignes est la suivante :

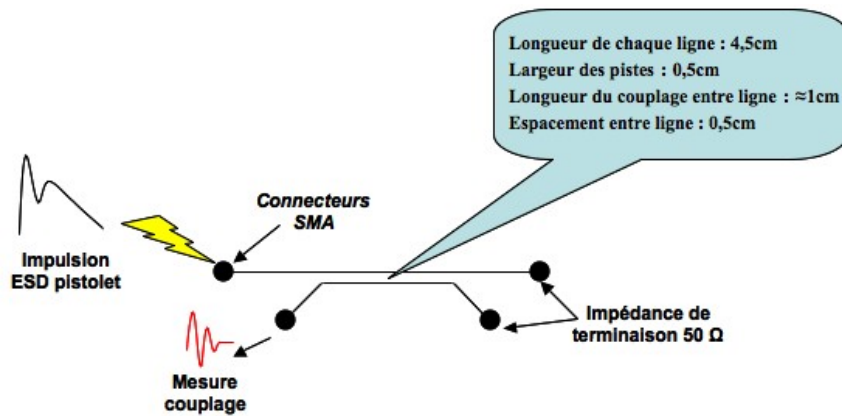


Figure 2.41 – Description des lignes couplées utilisées.

Nous avons repris les modèles de lignes couplées (LC_coupled) utilisés dans le paragraphe 4.2.3 de ce chapitre (figure 2.34). Cela va nous permettre de savoir si nos modèles de ligne sont toujours valables avec ce type de testeur ESD, qui permet de monter bien au delà de 1kV. Les figures 2.42 et 2.43 représentent respectivement la comparaison entre la mesure et la simulation pour des tensions de précharge du pistolet de 800V et 8kV. De bons résultats sont obtenus avec cette modélisation du pistolet (générateur + résistance 330Ω) et nos modèles de lignes couplées.

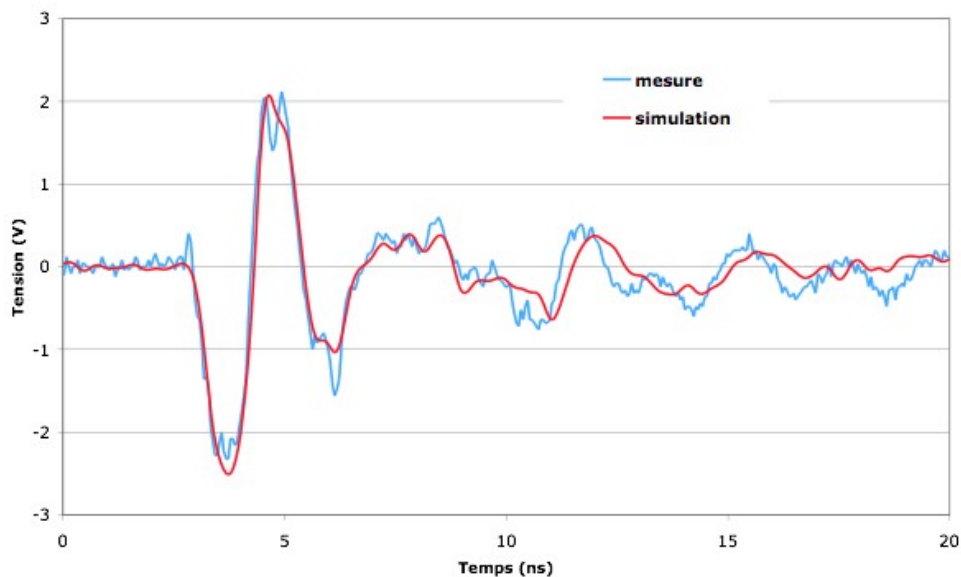


Figure 2.42 – Comparaison Mesure/simulation des perturbations couplées pour une tension de précharge du pistolet ESD de 800V.

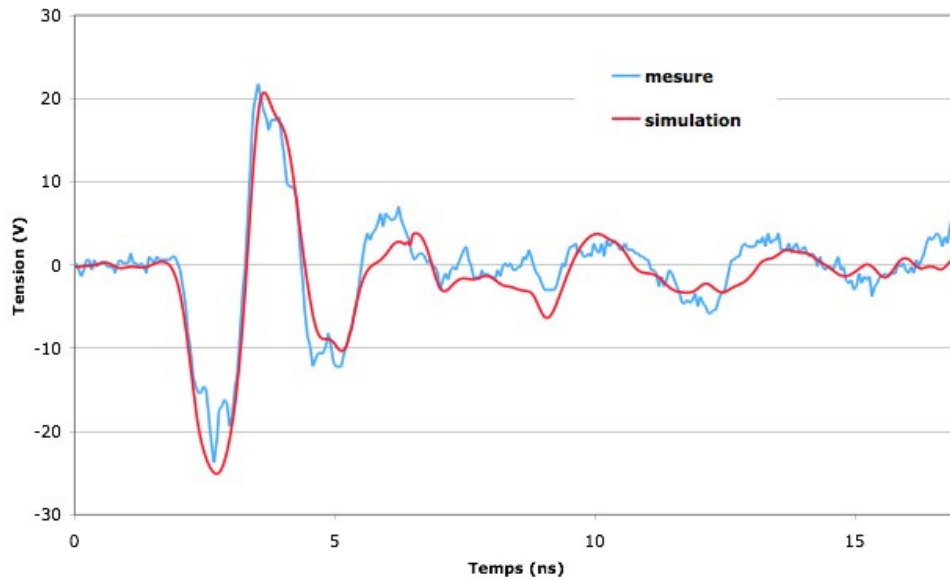


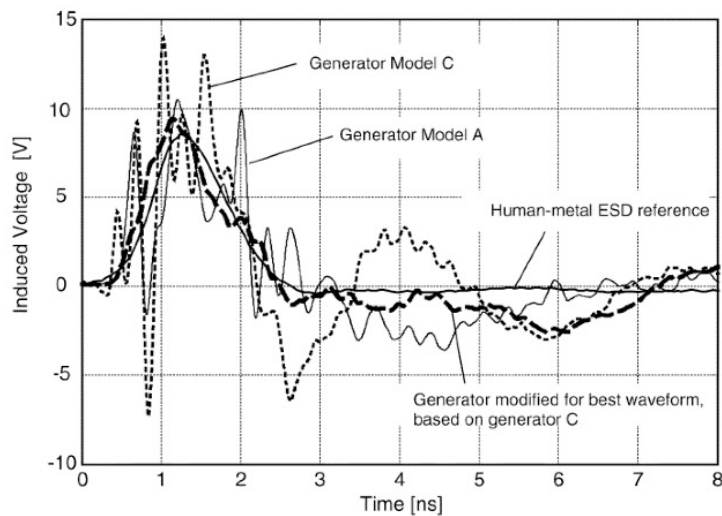
Figure 2.43 – Comparaison Mesure/simulation des perturbations couplées pour une tension de précharge du pistolet ESD de 8kV.

Nous observons que de simples modèles de lignes, ne prenant pas en compte les pertes diélectriques et effets de peau, permettent de simuler correctement les effets de couplage et de propagation même pour des amplitudes ESD importantes, puisque les phénomènes étudiés dans ce cas sont linéaires.

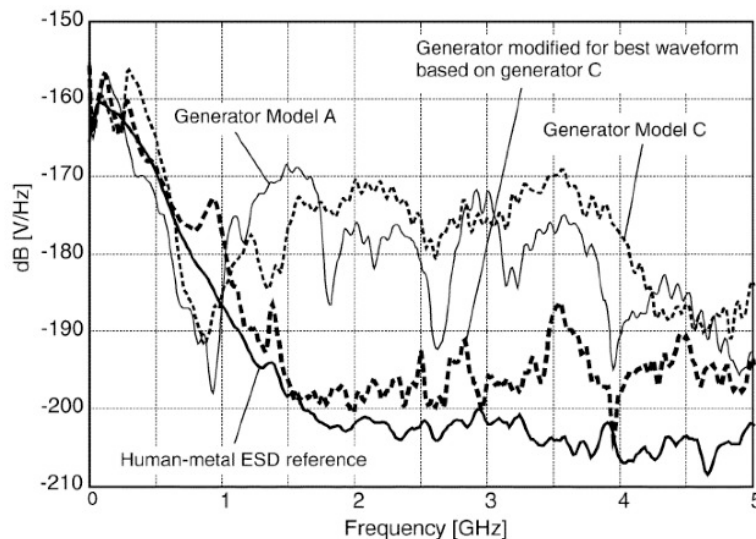
5.3 Conclusions

Pour simuler les injections ESD produites par le pistolet ESD, de nombreux modèles ont été réalisés pour prendre en compte, d'une part les effets parasites du fil de masse et des relais internes servant à la décharge, et d'autre part, les émissions rayonnées induites par le pistolet lui-même. Plusieurs études ont montré que les pistolets ESD pouvaient générer des champs électriques et magnétiques importants. Lors de tests ESD, ces émissions rayonnées se superposent aux signaux envoyés par le pistolet et viennent ainsi perturber les mesures effectuées (en se couplant avec la masse de l'oscilloscope, par exemple). Il devient alors difficile de dissocier les deux types de perturbations : conduites et rayonnées. De nombreux travaux ont été menés pour évaluer et mesurer ces différents champs engendrés par le pistolet lui-même lors de la décharge [CERR02] [CHUN04] [WANG04b]. La figure 2.44 (a) montre les tensions induites dans une demi-boucle de diamètre 28mm et placée à 10cm du point de décharge. Deux pistolets commerciaux (type A et C) sont utilisés pour cette

étude et comparés aux courbes de référence pour ce genre de testeur. La tension de décharge est de 5kV en mode contact. Des modifications sur le générateur C ont été effectués pour avoir des tensions induites plus proches de la référence.



(a) Tensions induites dans une demi-boucle par une injection en contact de 5kV de divers pistolets ESD.



(b) Densité spectrale des tensions induites dans la demi-boucle (oscilloscope de 20G samples/s, bande passante de 4 GHz, niveau de bruit : -200 dB [V/Hz]).

Figure 2.44 – Etude de la tension induite par le rayonnement de divers pistolets ESD. [WANG04b]

La figure 2.44 (b) présente la densité spectrale des tensions récupérées par la boucle. Nous remarquons qu'une forte différence apparaît entre les générateurs commerciaux et celui de référence pour des fréquences supérieures à 1GHz. Ces différences sont dues aux

transitoires rapides des courants de décharges, réalisés par des relais internes au niveau du pistolet. Ces pistolets ESD ne sont pas suffisamment blindés pour réduire leurs rayonnements lors de ces commutations rapides.

D'autres mesures réalisées par Mr Honda (figure 2.44), ont montré que des courants de plusieurs dizaines de mA pouvaient circuler dans une boucle, de 1cm de diamètre placée à des distances variables de la pointe du pistolet [HOND07]. Avec une amplitude ESD de 3kV, un courant de 185mA est induit dans la boucle placée à 5cm. Cela donne une idée des perturbations induites par rayonnement, sur une carte électronique à une certaine distance du point d'injection.

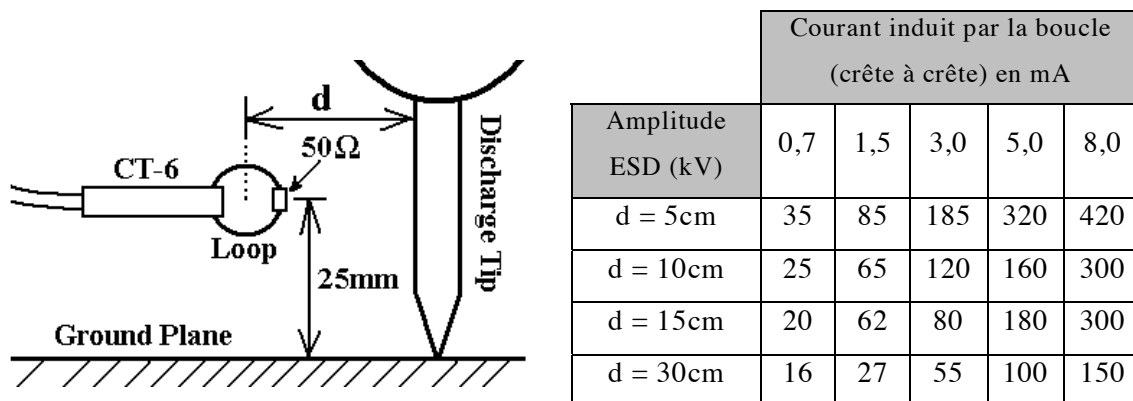


Figure 2.44 – Etude du champ magnétique induit par le pistolet à l'aide d'une boucle de courant placée à différentes distances de la pointe de décharge. [HOND07]

Dans les différentes manipulations que nous avons conduites avec le pistolet ESD, nous avons rencontré des problèmes sur des mesures que nous ne pouvons pas interpréter, certainement liés à la présence de forts champs électromagnétiques. Par exemple, nous avons injecté sur nos lignes couplées, du paragraphe 5.2 de ce chapitre, une décharge de 8kV avec le pistolet ESD et nous avons mesuré, sur une autre carte placée à 20cm de l'injection, la tension récupérée sur une ligne de longueur 10cm, de largeur 0,5mm et terminée par une résistance de 50Ω. L'impédance caractéristique de cette ligne est de 110Ω. La mesure a été réalisée sur une voie 50Ω d'un oscilloscope. La figure 2.45 présente la manipulation réalisée et la tension mesurée sur la ligne située à 20cm du point d'injection. Une perturbation de plus de 2V crête à crête est obtenue sur la ligne due aux rayonnements du pistolet ESD.

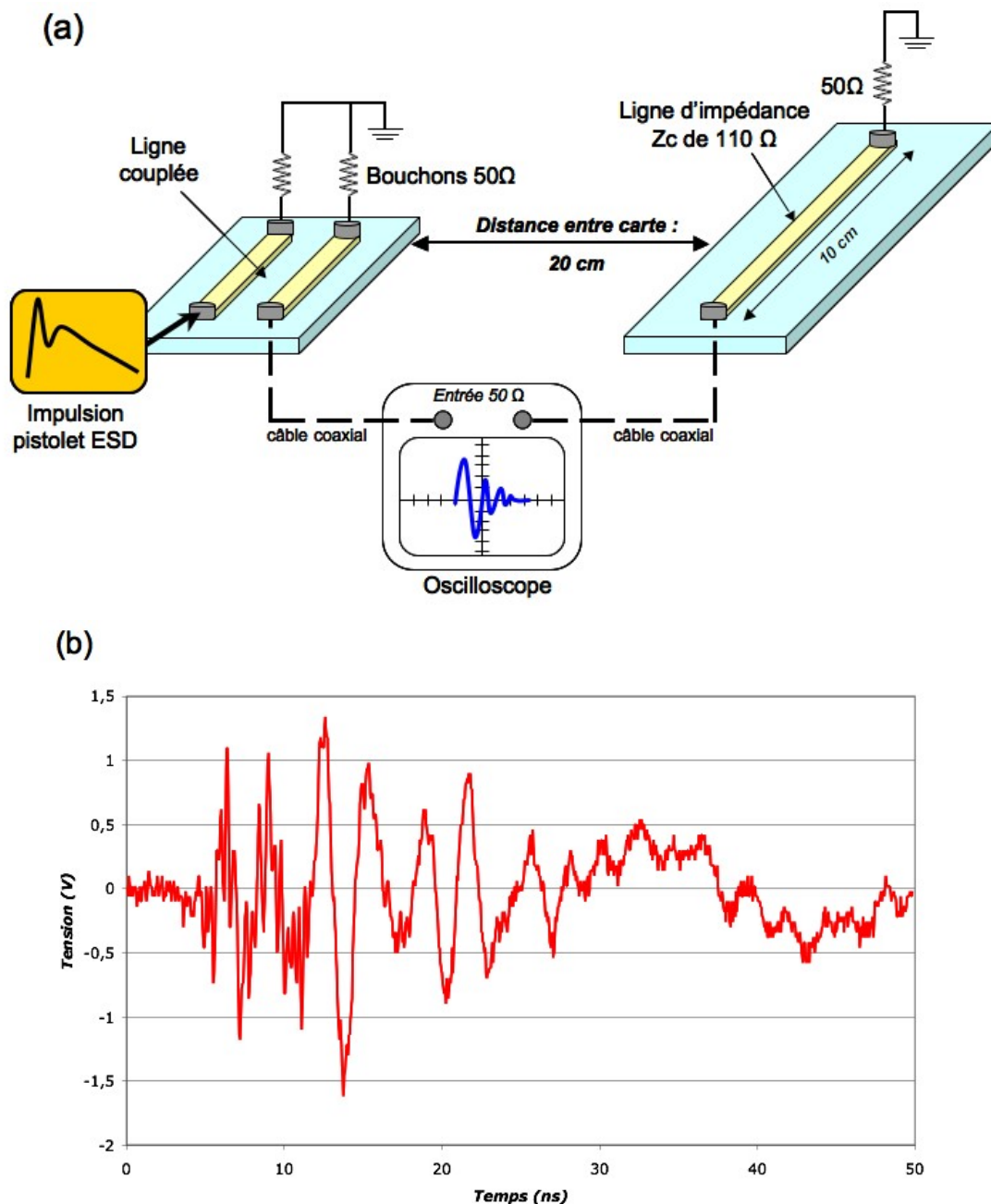


Figure 2.45 – Présentation de l'expérience effectuée avec 2 cartes de test (a) et mesure obtenue sur la ligne située à 20cm du point d'injection pour une décharge de 8kV (b).

Dans les chapitres suivants, nous nous sommes intéressés à des injections ESD sur des cartes en fonctionnement. Or, pour réaliser des études correctes sur les perturbations induites par ces injections, le manque d'informations sur les champs émis par le pistolet est un problème majeur. Pour cela, nous avons utilisé le banc VF-TLP pour avoir des impulsions ESD reproductibles, sans problème de rayonnement du testeur permettant ainsi

de calibrer correctement les injections effectuées sur les cartes de test. La figure 2.46 présente une impulsion ESD injectée, directement sur une impédance 50Ω , par le pistolet ESD et le banc VF-TLP.

La première partie de l'impulsion ESD générée par le pistolet (entre 5 et 10ns) introduit un temps de montée très court. L'utilisation du banc VF-TLP permet de reproduire cette caractéristique en évitant les problèmes de rayonnement du testeur. Durant nos diverses études de propagation des ESD sur des systèmes en fonctionnement, nous nous sommes donc focalisés sur cette partie transitoire rapide des ESD.

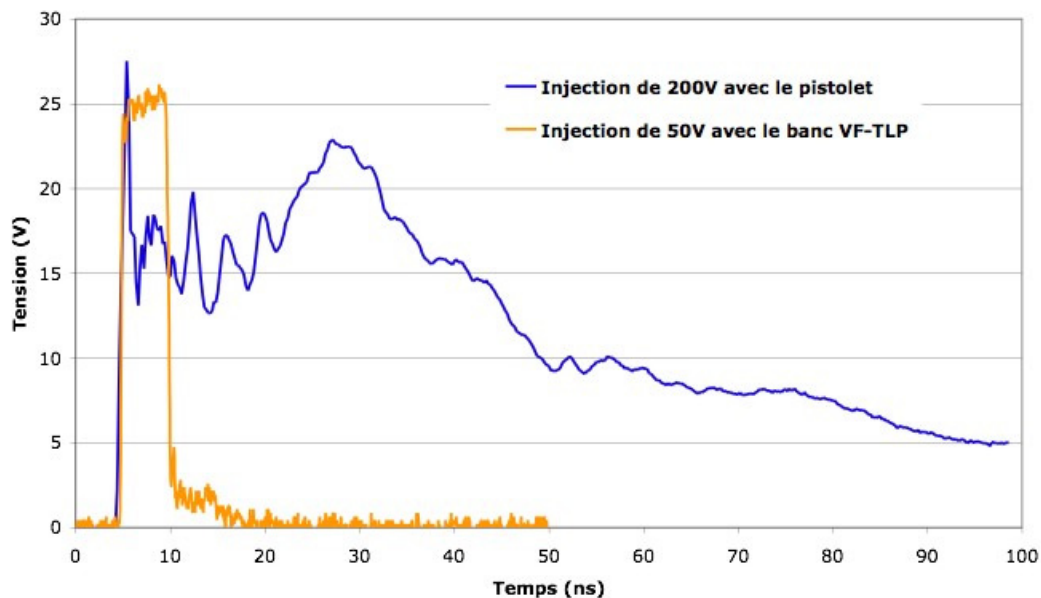


Figure 2.46 – Comparaison des impulsions ESD du pistolet et du banc VF-TLP.

6 Conclusion

L'objectif de ce chapitre était d'étudier et de simuler la propagation d'un phénomène ESD sur des pistes de cartes électroniques, et de valider que des modèles classiques valables pour les petits signaux pouvaient permettre une bonne quantification des phénomènes de propagation pour des signaux à forte énergie. Dans cette étude sur les ESD, nous avons repris les notions de lignes de transmission et nous avons utilisé des modèles de lignes sans pertes. Pour ces modèles, l'approximation quasi-TEM a été utilisée en prenant en compte la gamme de fréquences qui nous intéressait, jusqu'à 1GHz. La caractérisation de diverses lignes avec ou sans discontinuités a été réalisée à l'aide de la méthode TDR et du banc de test VF-TLP utilisé comme un générateur d'impulsion ESD. Des comparaisons de mesures

et de simulations nous ont permis de valider notre approche théorique. Tous les modèles ont été développés en VHDL-AMS pour tirer profit des descriptions comportementales du langage. Dans ces modèles, certaines discontinuités (vias, coudes ...) ont été négligées car les éléments parasites qu'elles introduisent, deviennent significatifs à partir de quelques GHz. Ainsi, les principales configurations rencontrées sur une carte électronique ont été validées pour l'injection de tous les types de stress ESD. Tous ces modèles de lignes, ne faisant pas apparaître les effets de peau et les pertes diélectriques, ont donné de bons résultats que ce soit au niveau du temps de propagation, ou au niveau des formes d'ondes induites.

Pour prédire la susceptibilité ou la robustesse des systèmes électroniques, les industriels utilisent un pistolet ESD conformément à la norme 61000-4-2. Nous avons présenté une étude sur une configuration de lignes couplées. Nous avons remarqué qu'un modèle simple pour le pistolet permettait de prédire les perturbations conduites. Cependant, de nombreux problèmes de rayonnement dus au pistolet lui-même induisent des perturbations sur les éléments proches du point d'injection de la décharge. Pour les études menées dans les chapitres suivants, nous avons donc utilisé le banc VF-TLP, comme source de perturbation conduite ou rayonnée, pour étudier la susceptibilité de circuits logiques face à des agressions ESD ayant des transitoires rapides.

Bibliographie

- [ADVA00] **ADVanceMS Reference Manual**, Mentor Graphics, <http://www.mentor.com>, 2000.
- [AEMC06] **Programme de AEMC**, “Conception des équipements, Tracé des circuits imprimés”, *Cours au LAAS-CNRS Toulouse*, 2006.
- [AGIL00] **Agilent Technologies**, “Time Domain Reflectometry Theory”, Application Note 1304-2, ref.5966-4855E, 17 pages, 2000.
- [BAKO90] **H.B Bakoglu**, “Circuits, Interconnexions and Packaging for VLSI”, *Addison-Wesley*, 1990.
- [CERR02] **G. Cerri, S. Chiarandini, S. Costantini, R. De Leo, V. Mariani Primiani, P. Russo**, “Theoretical and experimental characterization of transientelectromagnetic fields radiated by electrostatic discharge (ESD) currents”, *IEEE Transactions on Electromagnetic Compatibility*, vol. 44, pp. 139-147, 2002.
- [CHAR01] **JJ. Charlot, N. Lewis, T. Zimmer, H. Levi**, “VHDL-AMS for mixed technology and mixed signal, an overview”, *9th Mediterranean Conference on Control and Automation, (MED'01)*, 2001.
- [CHUN04] **R. Chundru, D. Pommerenke, K. Wang, T. Van Doren, F. Pio Centola, J. S. Huang**, “Characterization of Human Metal ESD Reference Discharge Event and Correlation of Generator Parameters to Failure Levels—Part I: Reference Event”, *IEEE Transactions on Electromagnetic Compatibility*, vol. 46, No.4, pp.498-504, 2004.
- [DASC96] **D. J. Dascher**, “Measuring Parasitic Capacitance and Inductance Using TDR”, *Hewlett-Packard Journal*, vol. 47, pp. 83-96, 1996.
- [FAIR02] **Fairchild Semiconductor**, “Section 9 – Layout Considerations Backplane Designer’s Guide”, <http://www.fairchildsemi.com/ms/MS/MS-569.pdf>, 2002.
- [FLET88] **M. Fletcher, A. Abel, P. F. Wahid, M. A. Belkerdid**, “Modeling of crosstalk in coupled microstrip lines”, *IEEE Conference Southeastcon'88*, pp. 506-510, 1988.
- [FOUR04] **J. Y. Fourniols**, “Compatibilité Electromagnétique des Circuits Intégrés, Caractérisation des interconnexions”, *Cours INSA Toulouse*, <http://www.aime-toulouse.fr/cours/JYF/cem.pdf>, 2004.

- [HAMM75] **E.O. Hammerstad**, "Equations for Microstrip Circuit Design", *5th European Microwave Conference*, pp. 268-272, 1975.
- [HAMO05] **J.C. Hamon**, "Méthodes et outils de la conception amont pour les systèmes et les microsystèmes", Thèse de Doctorat, Institut National Polytechnique de Toulouse, 1999.
- [HOND07] **M. Honda**, "Measurement of ESD-gun Radiated Fields", *Electrical Overstress/Electrostatic Discharge Symposium (EOS/ESD)*, vol. 29, pp. 323-327, 2007.
- [HUAN03b] **Y. S. Huang, T. L. Wu**, "Numerical and Experimental Investigation of Noise Coupling Perturbed by ESD Currents on Printed Circuit Boards", *IEEE International Symposium on Electromagnetic Compatibility*, pp. 43-47, 2003.
- [JHAN05] **S. Jhan, M. Margraf, V. Habchi, R. Jacob**, "Quite Universal Circuit Simulator (Qucs) Technical Papers", <http://qucs.sourceforge.net/tech/technical.html>, 2005.
- [LACR05] **N. Lacrampe, N. Nolhier, M. Bafleur**, "Modélisation et caractérisation de pistes sur carte électronique avec la méthode TDR (Time Domain Reflectometry)", *Rapport interne LAAS n°05434*, 2005.
- [MONT99] **M. I. Montrose**, "Right angle corners on printed circuit board traces, time and frequency domain analysis", *International Symposium on Electromagnetic Compatibility*, pp. 638-641, 1999.
- [QUIN67] **J. Quinet**, "Théorie et pratique des circuits de l'électronique et des amplificateurs : Tome III", Dunod Editeur, 1967.
- [SMOL99] **D. Smolyansky and S. Corey**, "PCB interconnect characterization from TDR measurements", *Electronic Engineering*, vol. 71, pp. 63-4, 1999.
- [THOM75] **A. F. Thomson, A. Gopinath**, "Calculation of Microstrip Discontinuity Inductances", *IEEE Transactions on Microwave Theory and Techniques*, vol. 23, pp. 648-655, 1975.
- [WADE91] **Brian C. Wadell**, "*Transmission Line Design Handbook*", Artech House Boston, 1991, ISBN : 0-89006-436-9.
- [WANG03] **K. Wang, D. Pommerenke, R. Chundru, T. Van Doren, J. L. Drewniak, A. Shashindranath**, "Numerical Modeling of Electrostatic Discharge Generators", *IEEE Transactions on Electromagnetic Compatibility*, vol. 45, No.2, pp.258-271, 2003.

- [WANG04b] **K. Wang, D. Pommerenke, R. Chundru, T. Van Doren, F. Pio Centola, J. S. Huang**, “ Characterization of Human Metal ESD Reference Discharge Event and Correlation of Generator Parameters to Failure Levels—Part II: Correlation of Generator Parameters to Failure Levels”, *IEEE Transactions on Electromagnetic Compatibility*, vol. 46, No.4, pp. 505-511, 2004.
- [WEEK79] **W. T. Weeks, L. L. Wu, M. F. McAllister, A. Singh**, “Resistive and inductive skin effect in rectangular conductors”, *IBM J. Res. Develop*, vol. 23, pp. 652-660, 1979.

Chapitre 3

Susceptibilité d'un système simple aux stress ESD

Dans le chapitre précédent, nous avons vu la modélisation de la propagation des phénomènes ESD sur des cartes électroniques dans le cas de lignes simples. Ceci nous a permis de connaître les formes d'ondes générées dans plusieurs types de configurations, essentiellement sur une carte électronique. Pour poursuivre dans cette étude, nous allons nous intéresser aux effets des perturbations ESD sur une carte en fonctionnement incluant des circuits intégrés simples. On pourra ainsi avoir le niveau de susceptibilité de ces circuits, c'est-à-dire le niveau de perturbation ESD requis pour faire apparaître un dysfonctionnement. Nous ne traiterons pas ici de niveau de stress suffisamment haut pour provoquer la destruction des composants. L'idée principale, sur laquelle est orienté ce chapitre, est de pouvoir comparer mesures et simulations dans des configurations variées d'injections de stress. Des publications [CAMP04] et [HAN07] présentent des résultats expérimentaux, mettant en évidence l'influence de transitoires rapides sur le fonctionnement de circuits numériques complexes comme des microcontrôleurs. Ces perturbations, bien que de très courte durée, sont capables de perturber le fonctionnement d'un système. Aucune simulation n'a été proposée dans ces travaux. Notre but est donc de proposer une méthodologie de prédiction de la susceptibilité des circuits intégrés face à des agressions ESD. Pour cela, nous avons réalisé une carte de test composée de deux inverseurs (74LVC04A), et d'une porte XOR (74LVC86A) ainsi que de tous les éléments nécessaires (actifs et passifs) pour un bon fonctionnement. Sur cette carte, plusieurs méthodes d'injections, déjà utilisées dans les tests CEM pour évaluer la susceptibilité des circuits face à des perturbations harmoniques, ont été implémentées, que ce soit en mode conduit ou en mode rayonné. Pour cette étude, une collaboration, avec Mr Alexandre BOYER du LATTIS (laboratoire de recherche de l'INSA de Toulouse), a été mise en place pour comparer les travaux réalisés en CEM (relevant essentiellement du domaine harmonique) et ceux qui nous intéressent, les ESD, qui sont des phénomènes transitoires rapides de hautes énergies. Notre objectif est de définir des méthodes de test pour évaluer la robustesse d'une carte électronique face à des agressions ESD, tout en utilisant les outils dédiés à la CEM. Cela permet de montrer le lien existant entre les perturbations ou interférences électromagnétiques (EMI, Electro-Magnetic Interference) et les ESD. Pour la génération des stress ESD sur la carte de test en fonctionnement, on utilise le banc de test Vf-TLP. Comme nous l'avons vu dans le chapitre précédent, grâce à ce générateur nous maîtrisons parfaitement les phénomènes de propagation et de couplage apparaissant sur le système. Des simulations sont réalisées en parallèle pour prédire les différentes formes d'ondes circulant sur la carte, mais aussi à l'intérieur des circuits. Cette méthodologie nous

permettra de connaître l'influence des ESD sur la carte et ainsi localiser les zones sensibles afin de réaliser des modifications sur celle-ci. Comme le montre la figure 3.1, nous chercherons un moyen de donner un modèle simple de la propagation du stress ESD, depuis la génération de celui-ci jusqu'à l'impact (la faute) introduit sur les circuits intégrés.

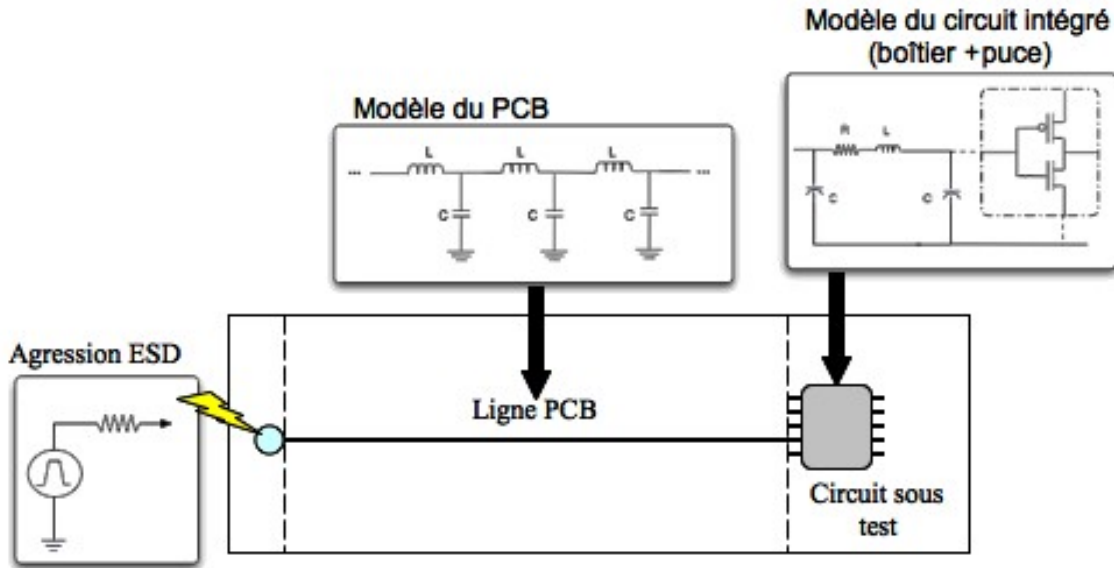


Figure 3.1 - Modélisation globale de l'agression à la réponse.

Dans ce chapitre, nous commencerons par une description de la carte de test, puis nous verrons en détail les différentes méthodes d'injections avec leurs avantages et inconvénients. Nous regarderons ensuite la modélisation globale de cette étude incluant les systèmes d'injections, la carte de test et les circuits intégrés utilisés afin de comparer les résultats obtenus aux mesures.

1 La carte de test : Carte ESD

Pour la conception de la carte, nous reprenons les caractéristiques d'une carte de test utilisée par Enrique LAMOUREUX [LAMO06] durant sa thèse pour réaliser des études sur des circuits CMOS soumis à des agressions électromagnétiques. Pour cette étude, nous avons apporté quelques modifications sur la carte.

1.1 Caractéristique générale de la carte

La figure ci-dessous montre les deux faces de cette carte de test : la couche supérieure de la carte de test regroupant les circuits logiques (2 inverseurs notés INV et une porte XOR) et la couche inférieure servant pour le plan de masse.

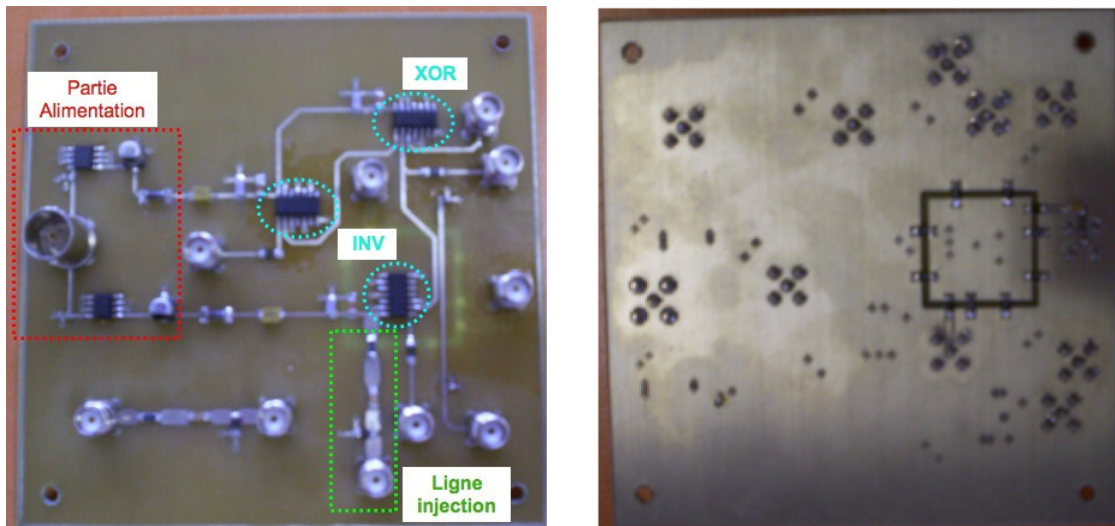


Figure 3.2 – Carte de test : face composants (gauche), face plan de masse (droite).

La carte est réalisée en FR4 standard (épaisseur de 1,6 mm), double couche avec trous métallisés. Le format de cette carte est de 10 cm x 10 cm. Les pistes véhiculant les signaux sont en cuivre (épaisseur de 35 μ m). Leurs largeurs sont de 0,5 mm pour une impédance caractéristique de 110 ohms (voir chapitre 2 sur les impédances de ligne). Cette carte doit offrir une configuration de montage proche de celle habituellement pratiquée : plan de masse, pistes fines de signal, régulateur de tension pour l'alimentation, condensateur de découplage, connecteurs, etc. Des éléments ont été rajoutés pour réaliser l'injection de perturbations et mesurer l'impact de celles-ci sur le système.

1.2 Description des circuits intégrés utilisés

Nous avons utilisé des portes logiques de base réalisées en technologie CMOS (Complementary Metal Oxyde Semiconductor) 0,25 μ m : des inverseurs SN74LVC04 et portes XOR SN74LVC86. Nos circuits sont alimentés en 2,5V et sont montés dans des boîtiers de type D (DOIC14). Ces boîtiers comportent 14 broches dont une pour le VCC et une pour la masse.

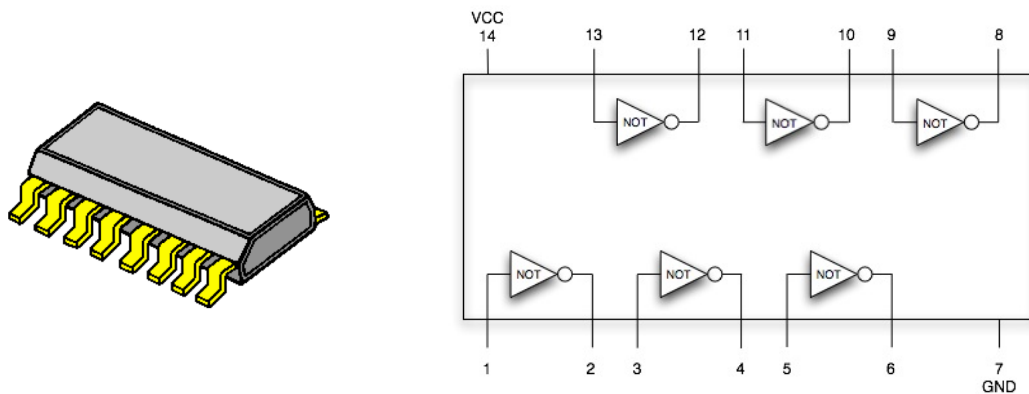
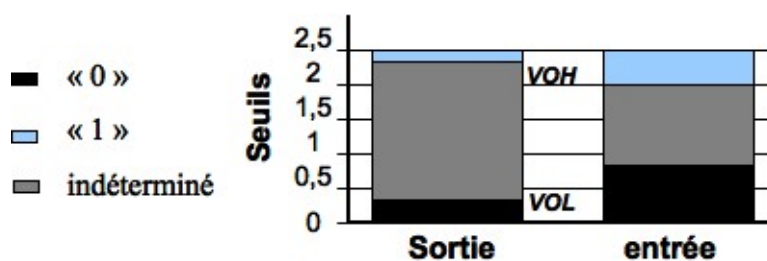


Figure 3.3 - Circuit intégré SN74LVC04

La figure ci-dessus montre une représentation simplifiée du circuit stressé, le SN74LVC04. Ce circuit compte 6 inverseurs CMOS, cependant un seul sera testé lors de l'étude. Les entrées des inverseurs non utilisés sont câblées à la masse, au plus court.

L'utilisation de cette technologie permet de travailler avec de très faibles niveaux d'énergie, en revanche cela entraîne des seuils de destruction ou de mauvais fonctionnement de plus en plus bas. Pour des circuits intégrés CMOS, le seuil énergétique de destruction se situe entre 10^{-3} et 10^{-2} mJ pour des impulsions de largeur égale ou inférieure à $1\mu s$. Des valeurs 10 à 100 fois inférieures sont suffisantes pour provoquer un dysfonctionnement.



Niveau (Volt)		74LVC**
Entrée	VIL	0,8V
	VIH	2,0V
Sortie	VOL	0,4V
	VOH	2,4V

Figure 3.4 – Seuils de tensions déterminant les niveaux logiques des circuits 74LVC**.

Les caractéristiques électriques de circuits en technologie MOS (LVC) sont fournies sur la figure 3.4.

En entrée, la tension minimale de niveau haut (V_{IH}) représente la tension la plus basse reconnue par un circuit comme étant un niveau haut. Pour le niveau bas, une tension d'entrée maximale (V_{IL}) permet de définir la tension la plus élevée reconnue par un circuit comme étant un niveau bas.

En sortie, la tension minimale à l'état haut (V_{OH}) correspond à la tension la plus basse délivrée par un circuit à l'état haut. Pour le niveau bas, une tension de sortie maximale (V_{OL}) équivaut à la tension la plus haute délivrée par un circuit à l'état bas.

Une perturbation, se superposant sur une entrée à l'état bas, ayant une amplitude supérieure au seuil V_{IH} , peut induire une erreur logique en inversant le niveau de l'information d'entrée. Cela traduit donc la susceptibilité des étages d'entrée.

1.3 Une méthode simple de détection de faute logique

Pour cette méthode, la détection des fautes s'articule autour de l'utilisation d'une porte XOR qui détecte le moindre changement entre le circuit sous test et un circuit témoin (ici des inverseurs). Leurs sorties sont reliées aux entrées d'une porte XOR de même technologie. La porte XOR permet de détecter une erreur logique (« 1 » logique à la place d'un « 0 » logique) (figure 3.5).

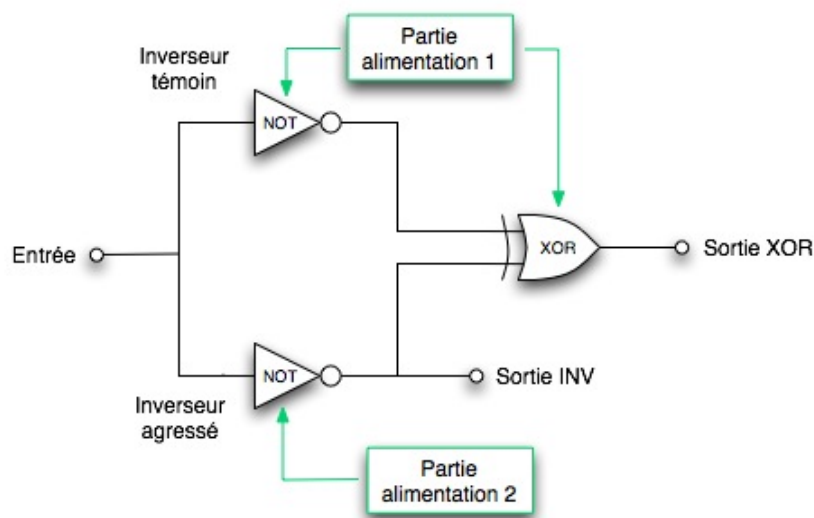


Figure 3.5 - Schéma fonctionnel de la carte de test.

En ce qui concerne la détection d'une faute ou erreur logique en sortie de la porte XOR, nous avons pris comme seuils de défaillance les niveaux V_{OH} (tension minimale requise à l'état haut) et V_{OL} (tension minimale requise à l'état bas) fournis dans la documentation technique du composant. Dans cette configuration, la porte XOR reçoit au niveau de ces entrées soit deux « 0 » logiques, soit deux « 1 » logiques, suivant les signaux d'entrées des inverseurs. En regardant la table de vérité de la porte XOR présentée sur la figure 3.6, on se rend compte que sa sortie sera toujours à « 0 » dans un fonctionnement normal. En revanche, la moindre perturbation sur l'inverseur sous test fera basculer la sortie de la porte XOR.

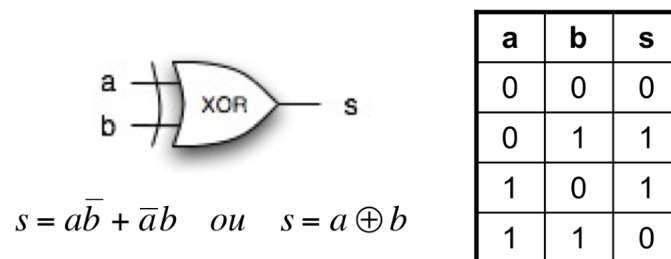


Figure 3.6 - Equations et table de vérité d'une porte logique XOR.

Les inverseurs et la porte XOR sont alimentés en 2,5V par une alimentation continue. Afin de ne pas perturber tous les composants et limiter les propagations de parasites dans les lignes d'alimentation, la partie constituée de la porte XOR et du circuit témoin, dispose d'une alimentation identique (notée alimentation 1 dans la fig. 3.5) et indépendante du circuit sous test. Pour comparer les diverses méthodes d'injections réalisées sur cette carte, des mesures seront réalisées au niveau de la sortie de l'inverseur agressé ainsi que la sortie de la porte XOR. Cela nous permettra de connaître les signaux entrants dans la porte XOR ainsi que les effets induits en sortie de la porte.

2 Les diverses méthodes d'injections

Afin d'étudier la susceptibilité de l'inverseur CMOS face à des agressions transitoires, nous avons réutilisé différentes méthodes d'injections servant de façon générale à l'analyse CEM des composants (considération de perturbations harmoniques). Dans cette étude, nous générerons des agressions, soit par couplages de lignes sur la carte ou avec une sonde magnétique, soit par conduction directe. Dans cette partie, nous définirons les divers modes

de couplage étudiés. Puis nous présenterons les méthodes de test utilisées pour reproduire ces couplages en expliquant, pour chacune d'elles, leurs avantages et inconvénients.

2.1 Définition des différents modes de couplages

Les perturbations ESD, que nous voulons caractériser, sont de type impulsionnelles et transportent une grande quantité d'énergie. Nous avons vu dans les chapitres précédents que ces décharges génèrent des transitoires, en courant et tension, très rapides (quelques ns) et avaient un spectre en fréquence très large, pouvant aller jusqu'au GHz. Du point de vue de la CEM, la représentation fréquentielle des perturbations est souvent utilisée du fait que les couplages générés par ces perturbations sont directement fonction de la fréquence. Au niveau du couplage, on distingue différents modes de propagation qui sont :

- **Le couplage par conduction électrique** : Les perturbations conduites sont transmises par un câble (lignes d'alimentation, bus de transmission de données, câbles de masses, terre, capacités parasites, ...).
- **Le couplage par rayonnement électromagnétique** : Il se manifeste par un champ magnétique (couplage inductif) et un champ électrique (couplage capacitif) associés, également appelé diaphonie.

Ces perturbations peuvent ensuite être propagées vers la « victime » par conduction. La victime représente tout système susceptible d'être perturbé. Pour notre étude, la victime sera l'inverseur, nommé « inverseur agressé » dans la figure 3.5. Nous mettrons en évidence, quelque soit le mode de couplage, un dysfonctionnement au niveau du circuit logique par un changement d'état sur la sortie de la porte XOR.

2.2 La méthode d'injection directe sur les pistes alimentations

Pour cette méthode, l'injection du stress ESD va s'effectuer directement sur une ligne reliée soit à l'alimentation du circuit (Vdd) ou à sa masse (Vss). Cette méthode d'injection directe de puissance, appelée DPI (pour Direct Power Injection en anglais), fait partie des normes de mesure de susceptibilité CEM des circuits intégrés IEC62132. La partie 4 de ces normes fait référence à cette méthode [DPI-4]. Son objectif, au niveau de la CEM, est basé sur la puissance minimale à injecter pour induire une défaillance au niveau du circuit sous test. Les formes d'ondes injectées lors de ces études sont de type sinusoïdal.

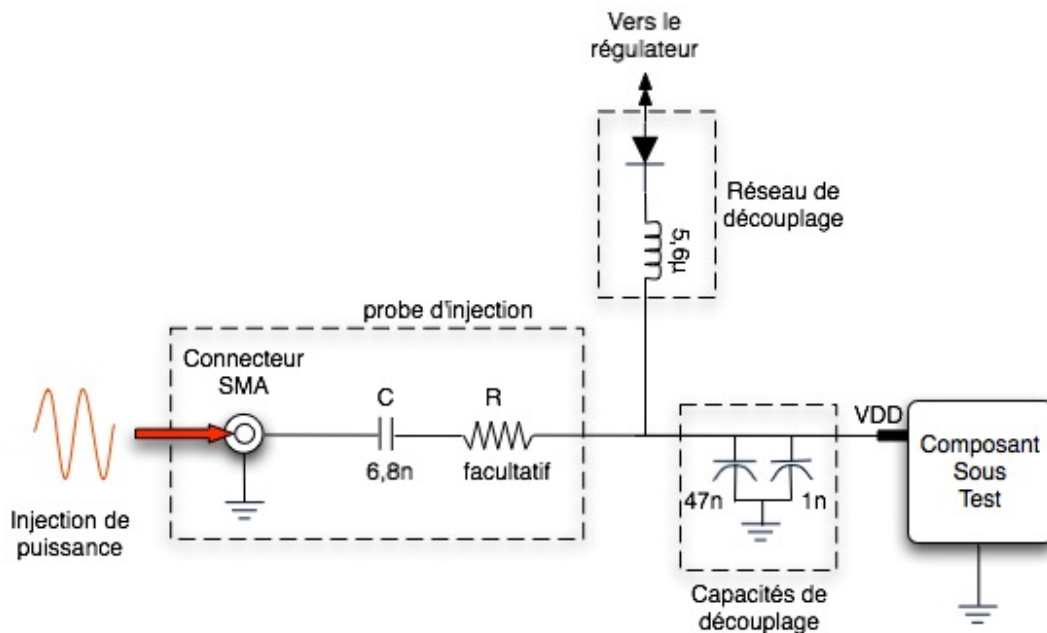


Figure 3.7 – Description du principe d'injection IEC62132-4 sur la broche VDD du composant sous test [DPI-4].

Comme le montre la figure ci-dessus, le principe de l'injection directe repose sur l'utilisation d'une capacité de couplage pour transmettre la perturbation électromagnétique au composant sous test. Au niveau de la norme IEC62132-4, il est possible de rajouter une résistance placée en série avec la capacité pour limiter le courant d'injection. Cette méthode est très simple à utiliser et peut être modélisée facilement par une simple capacité, pour des basses fréquences. Cependant, l'injection, en termes de fréquence, est limitée à 1GHz par la présence d'une inductance parasite liée à la capacité d'injection. Dans notre cas, nous utilisons une capacité de 6,8nF ayant un diélectrique de type XR7 pour s'affranchir des variations de son comportement fréquentiel. Lors de cette étude, nous injectons, au travers de cette capacité C, sans la résistance R, une perturbation transitoire ayant des temps de montée très rapides ainsi qu'une courte durée (de l'ordre de quelques ns). Or, cette perturbation ne permet pas à la capacité de jouer son rôle de filtrage sur les basses fréquences. C'est-à-dire que toute l'impulsion injectée par le générateur est transmise sur le composant sous test. En ce qui concerne la piste d'injection (du connecteur SMA jusqu'à la broche VDD du composant), nous avons réalisé une piste de largeur 2,8mm pour avoir une impédance caractéristique de ligne de 50Ω afin de limiter les pertes ainsi que les diverses réflexions. Afin d'isoler le composant sous test et ainsi limiter les effets de la perturbation sur les alimentations externes du circuit, un réseau de découplage, comprenant une inductance en série avec une diode, est utilisé.

➤ *La méthode d'injection sur le plan de masse :*

Pour réaliser cette injection, nous avons prévu deux plans de masse, comme le montre la figure 3.8. Un plan de masse local, situé en dessous du circuit sous test (l'inverseur), permet d'une part, d'injecter des stress ESD directement sur la masse du circuit, et d'autre part, de faire des mesures 1Ω pour visualiser l'effet des injections sur la masse. Pour cela, on connecte entre la broche de masse du circuit (ici le plan de masse local) et la masse de la carte (plan de masse global) une résistance de 1Ω (R13, sur la figure). Puis on mesure la tension à ses bornes, au travers d'une résistance 49Ω (R9, sur la figure) connectée à un instrument de mesure ayant une impédance d'entrée de 50Ω .

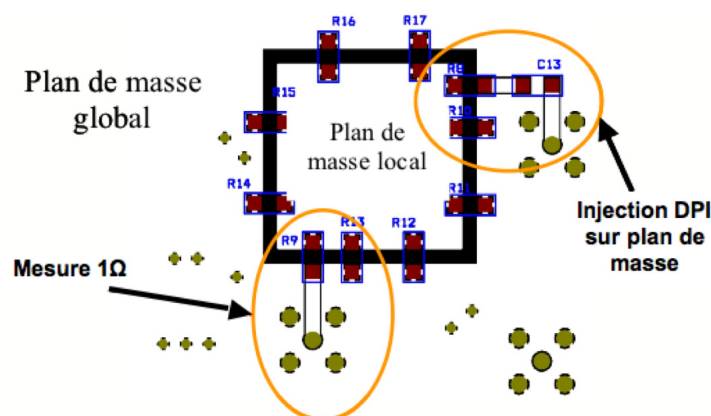


Figure 3.8 – Dessin de la face arrière du PCB représentant les deux plans de masse.

Pour effectuer le contact entre le plan de masse local et le plan de masse global, des résistances 0Ω sont placées entre ces 2 plans. Un nombre suffisant de contacts doit être réalisé pour ne pas privilégier de chemins de retour pour l'évacuation du courant dans le plan de masse global. Pour la piste d'injection, des lignes coplanaires sont utilisées avec une largeur de 1,6mm et un espacement de 0,25mm, entre la masse et la piste. Cela permet d'avoir des lignes avec des impédances caractéristiques de 50Ω .

Grâce à cette injection, nous allons perturber la référence de l'inverseur, sans changer celle de la porte XOR situé sur le plan de masse global. Une différence entre les masses de ces circuits peut provoquer des erreurs logiques. Le point important à voir, sur cette méthode, est l'impédance de masse commune (voir schéma ci-dessous).

D'après MUSOLINO [MUSO05], des perturbations se propageant en mode commun vont induire un courant dans la masse, noté I_{cm} sur la figure 3.9. À cause de l'impédance existant entre deux circuits (présentée par une inductance dans la figure ci-dessous), ces courants

parasites peuvent modifier l'équipotentielle souhaitée. Cela signifie que si l'on envoie un signal V_{out} par rapport à GND1, on risque de transmettre un signal $V_{in} = V_{out} + V_a$ par rapport à GND2.

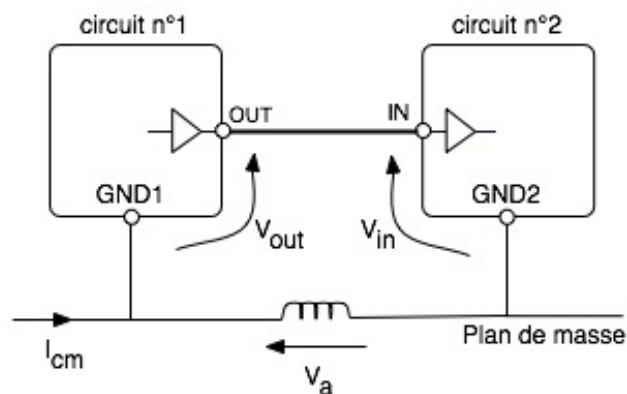


Figure 3.9 – Influence du plan de masse sur des signaux logiques [MUSO05].

Cela peut provoquer un changement d'état à l'entrée du circuit n°2 et donc une faute logique. Les travaux de Musolino sont effectués sur un microcontrôleur 8 bits, monté sur une carte de test conforme à la norme IEC 62132 [IEC-1]. Les impulsions de courant fournies par un générateur, défini dans la norme IEC 61000-4-4 [IEC-4], sont injectées sur les fils de masse reliés au circuit via des éclateurs. Dans cette étude, une masse locale de 2cm*2cm sous le circuit est placée, induisant une inductance de 1nH entre les différentes masses du circuit. Ainsi, par un couplage en mode commun, des impulsions de plus de 600V créent des dysfonctionnements du circuit.

➤ **Les avantages et inconvénients de cette injection indirecte :**

L'avantage de cette méthode est d'être conforme à la normalisation CEM en ayant les mêmes lignes d'injections que la méthode DPI. On peut donc effectuer une étude de susceptibilité du circuit en injectant des signaux sinusoïdaux et des stress ESD. Cependant, une carte de test spécifique à ces mesures doit être conçue pour l'injection conduite. C'est-à-dire que pour chaque point d'injection, il faut placer une sonde d'injection (voir figure 3.7). Du point de vue de la simulation, aux fréquences où l'on travaille (jusqu'au GHz), les éléments passifs (capacité de découplage) utilisés ne sont pas considérés comme parfaits. Nous devons tenir compte des imperfections du composant. La figure ci-dessous représente la mesure d'impédance d'une capacité de 1nF en fonction de la fréquence. Avec cette mesure, on se rend compte qu'à des fréquences élevées, une capacité peut se comporter comme une inductance. Par conséquent, nous devons prendre en compte ces effets parasites

des capacités de découplage, R_{capa} et L_{capa} dépendant de la fréquence, dans notre simulation temporelle.

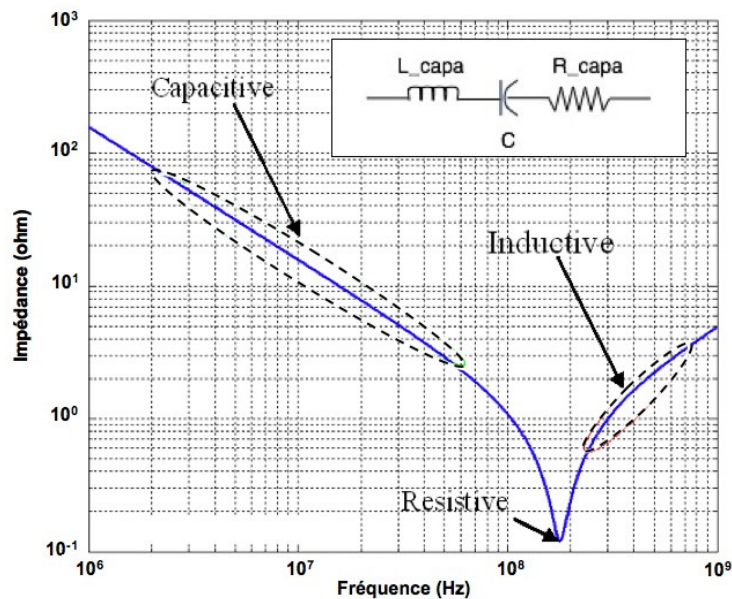


Figure 3.10 – Mesure d'impédance d'une capacité de 1nF.

2.3 La méthode d'injection par diaphonie entre pistes

Le principe de la diaphonie utilise le couplage électromagnétique uniformément distribué le long de deux lignes de propagation parallèles et très proches. Ces deux lignes couplées sont situées entre l'inverseur et la porte XOR. Dans ce cas, le couplage est effectué sur une longueur de 1,2cm avec des pistes de largeur 0,5mm et un espacement de 0,5mm (figure3.11).

Une des pistes est connectée à la source de perturbation, le banc Vf-TLP, et sur une impédance de charge, une résistance 100Ω constituant le dispositif émetteur. Cette piste (ligne 1) est nommée piste émettrice ou encore piste perturbatrice. La valeur de la charge en bout de cette piste a été choisie pour avoir une adaptation d'impédance entre la charge et la ligne elle-même, afin de limiter les réflexions sur la piste et ainsi avoir seulement une perturbation incidente. Nous rappelons que l'impédance caractéristique de cette ligne est de 110 ohms (largeur de ligne : 0,5mm, épaisseur du diélectrique « FR4 » : 1,6mm).

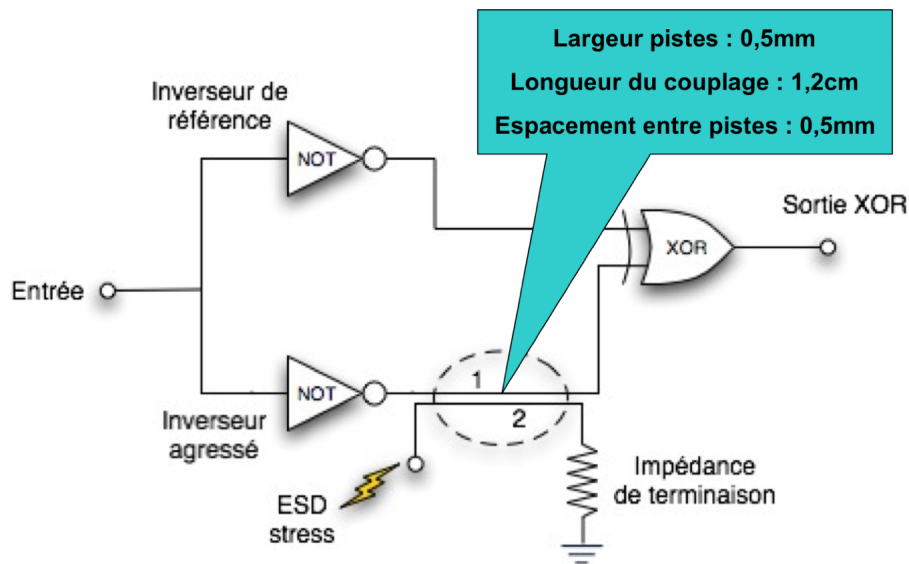


Figure 3.11 - Schéma de principe pour étudier l'influence du couplage.

Cette ligne va induire par couplages capacitif et inductif avec la deuxième ligne, appelée ligne réceptrice ou ligne perturbée, une tension et un courant qui viennent se superposer aux signaux fonctionnels déjà présents. Ce couplage indirect entre les lignes va créer une perturbation sur la ligne réceptrice qui va se propager jusqu'à la porte XOR.

Pour bien comprendre les perturbations engendrées par ce couplage, nous allons en rappeler la théorie sur des lignes simples. Prenons le cas ci-dessous avec une source d'impédance Z_s de 50Ω , une impédance de charge Z_c en bout de la ligne 1 et deux impédances de terminaison Z_a et Z_b sur la ligne 2.

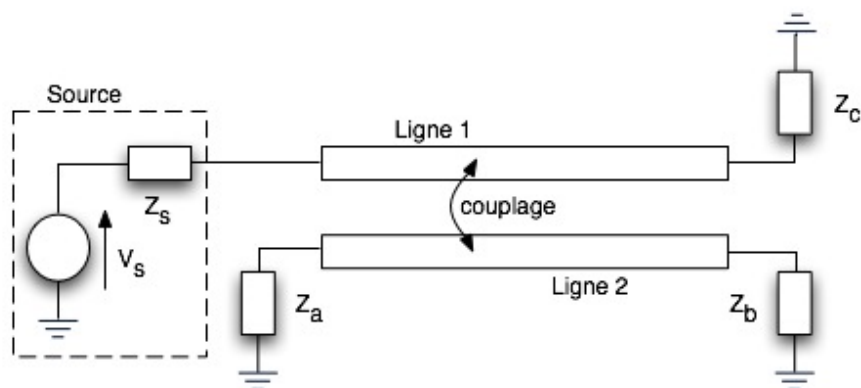


Figure 3.12 – Représentation du problème de couplage de ligne.

Pour ce calcul de couplage, nous avons considéré que le champ magnétique était prédominant par rapport au champ électrique. Cela permet de simplifier le modèle du couplage entre les lignes par une simple inductance mutuelle, notée M . De plus, quelques approximations ont été effectuées telles que : les capacités de rappel à la masse ont été supprimées (négligeables) et le modèle de ligne est représenté par une simple inductance (L_1 pour la ligne 1 et L_2 pour la ligne 2). Avec ces simplifications, nous obtenons un schéma équivalent pour les lignes couplées, représenté par un quadripôle sur la figure ci-dessous.

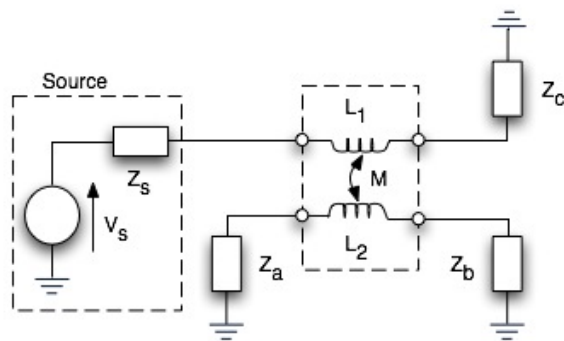


Figure 3.13 – Simplification des lignes par leurs inductances propres et mutuelles.

Dans la figure 3.14, nous avons séparé ce schéma en deux, pour avoir d'une part, le modèle de la ligne 1 et d'autre part, le modèle de la ligne 2 avec la contribution inductive du couplage de la ligne 1 représenté sous la forme d'un générateur de tension, $j\omega M I_1$, où I_1 est le courant traversant l'inductance L_1 . Grâce à ces schémas équivalents simples, nous pouvons déduire dans le domaine fréquentiel, les tensions induites par couplage, V_a et V_b , aux bornes de Z_a et Z_b , respectivement.

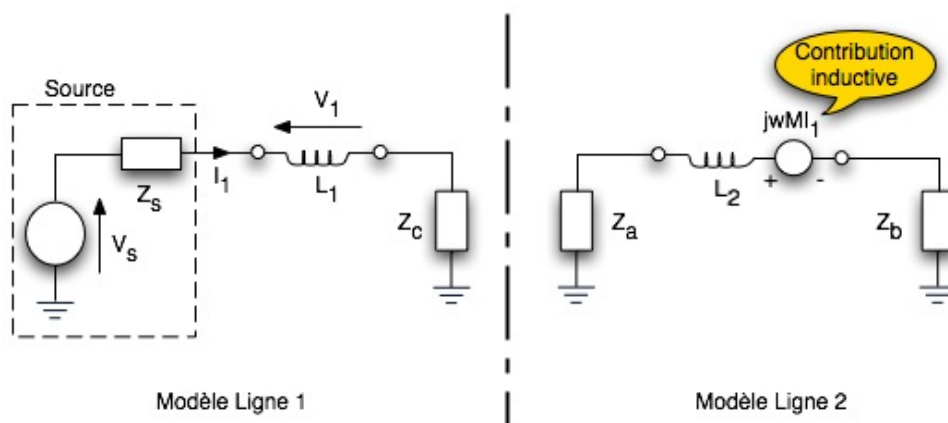


Figure 3.14 – Modélisation simple des deux lignes.

Pour isoler au maximum le phénomène de couplage inductif dans nos calculs, considérons que les inductances L1 et L2 sont négligeables devant les impédances $Z_a + Z_b$ et $Z_s + Z_c$. Cela revient pour notre calcul à supprimer les termes de $jL1\omega$ et $jL2\omega$ dans les équations des mailles des lignes 1 et 2. On en déduit alors les potentiels aux bornes de Z_a et Z_b :

$$V_a = \frac{Z_a}{Z_a + Z_b} (j\omega M I_1) = \frac{Z_a}{(Z_a + Z_b)(Z_s + Z_c)} (j\omega M V_s) \quad (\text{eq. 1}) \quad \text{avec} \quad I_1 = \frac{V_s}{(Z_s + Z_c)}$$

$$\text{et } V_b = \frac{Z_b}{Z_a + Z_b} (-j\omega M I_1) = \frac{Z_b}{(Z_a + Z_b)(Z_s + Z_c)} (-j\omega M V_s) \quad (\text{eq. 2})$$

Les équations ainsi obtenues sont du premier ordre et pousseraient à penser que les amplitudes V_a et V_b augmentent indéfiniment avec la fréquence. Leur validité peut être justifiée si l'on travaille en basse fréquence, mais on comprend l'importance de la prise en compte des inductances L1 et L2 pour une modélisation à plus haute fréquence. Pour notre cas d'étude, nous nous intéressons aux perturbations induites sur la ligne victime, ici la ligne 2 lorsqu'une impulsion ESD (transitoire) se propage sur la ligne 1. D'après les équations ci-dessus, dans le domaine temporel, les expressions de V_a et V_b deviennent :

$$V_a = \frac{Z_a}{Z_a + Z_b} M \frac{\partial I_1}{\partial t} = \frac{Z_a}{(Z_a + Z_b)(Z_s + Z_c)} M \frac{\partial V_s}{\partial t} \quad (\text{eq. 3})$$

$$V_b = -\frac{Z_b}{Z_a + Z_b} M \frac{\partial I_1}{\partial t} = -\frac{Z_b}{(Z_a + Z_b)(Z_s + Z_c)} M \frac{\partial V_s}{\partial t} \quad (\text{eq. 4})$$

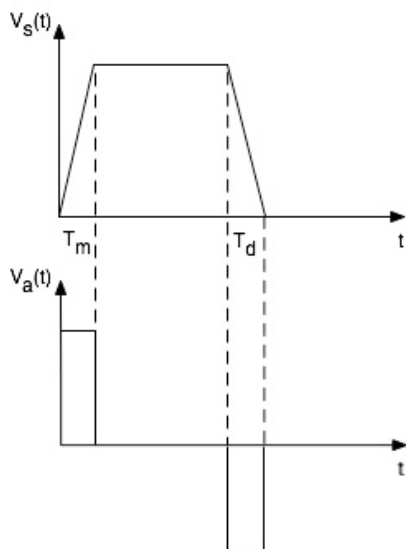


Figure 3.15 – *Effet du couplage inductif sur une impulsion.*

Cela revient donc à dériver le signal V_s et à lui appliquer un facteur d'amplification, et par conséquent, le couplage magnétique entre les lignes engendre sur la ligne 2 une perturbation dont l'amplitude ne dépend que des fronts de montée et de descente du signal de stress. On obtient un créneau positif et un négatif, dû au temps de montée (T_m) et de descente (T_d) de l'impulsion, comme le montre la figure ci-contre. On remarque, suivant les expressions de V_a et V_b , que leurs formes d'ondes sont inversées à chaque extrémité de la ligne victime.

L'apparition d'un créneau est liée à notre approximation première de négliger L1 et L2, qui donne des équations de tensions induites correspondant à des dérivées de premier ordre. En rajoutant dans nos équations l'influence des inductances propres des lignes qui sont du même ordre de grandeur que l'inductance mutuelle, l'équation des tensions induites devient d'un ordre supérieur et par conséquent la forme du signal généré est plus complexe.

Ces formes d'ondes peuvent altérer le fonctionnement normal d'un circuit numérique et donc générer des erreurs en sortie. Afin de caractériser ce couplage induit sur la ligne réceptrice (ligne 2) et connaître la perturbation associée, nous avons repris la configuration de couplage entre le circuit inverseur et la porte XOR (voir figure 3.11). Nous avons remplacé les circuits par des connecteurs SMA permettant ainsi de visualiser les tensions couplées sur la ligne lors de l'injection et ainsi étudier simplement le couplage entre ces lignes. La figure 3.16 représente la configuration de test utilisée pour caractériser ces lignes couplées.

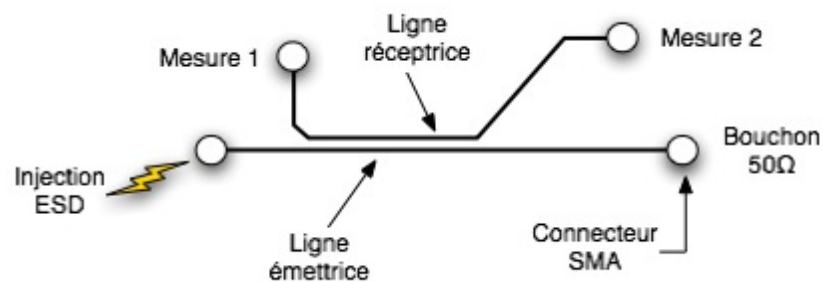


Figure 3.16 – Caractérisation d'une injection ESD sur des lignes couplées.

L'injection est effectuée sur la ligne émettrice terminée par un bouchon 50Ω, les impulsions ESD ayant les caractéristiques suivantes :

- un temps de montée de 300ps.
- un temps de descente de 580ps.
- une durée d'impulsion de 5ns.

Les tensions induites sont mesurées à chaque extrémité de la ligne réceptrice (mesure 1, mesure 2) sur des entrées 50Ω de l'oscilloscope. Pour la simulation, les modèles de ligne utilisés sont ceux qui sont présentés dans le chapitre 2 avec des tronçons élémentaires de lignes simples ou couplées. Une fois ces modèles connus, nous avons comparé les résultats obtenus au niveau des tensions mesurées et simulées pour des amplitudes d'impulsions ESD de 10V et 100V. Les figures 3.17 et 3.18 montrent les tensions à chaque extrémité de la ligne réceptrice. On remarque que ces modèles prédisent correctement les amplitudes engendrées ainsi que la propagation du signal. En ce qui concerne le coefficient de

couplage, on note que celui-ci est de l'ordre de 3% pour cette configuration où les charges de terminaison sont de 50Ω.

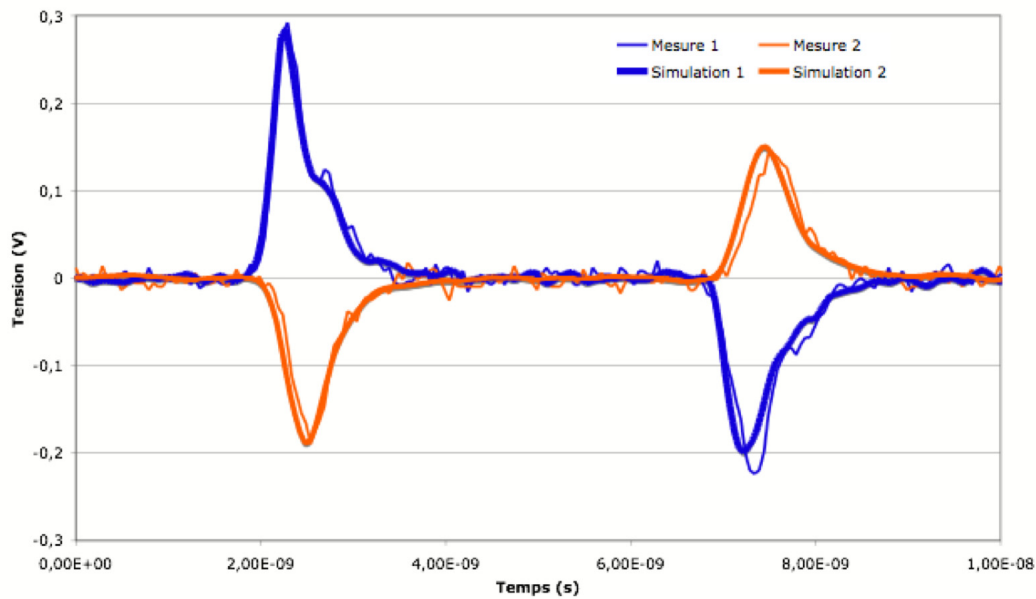


Figure 3.17 - Mesure et simulation des tensions induites à chaque extrémité de la ligne réceptrice pour une injection ESD d'amplitude 10V.

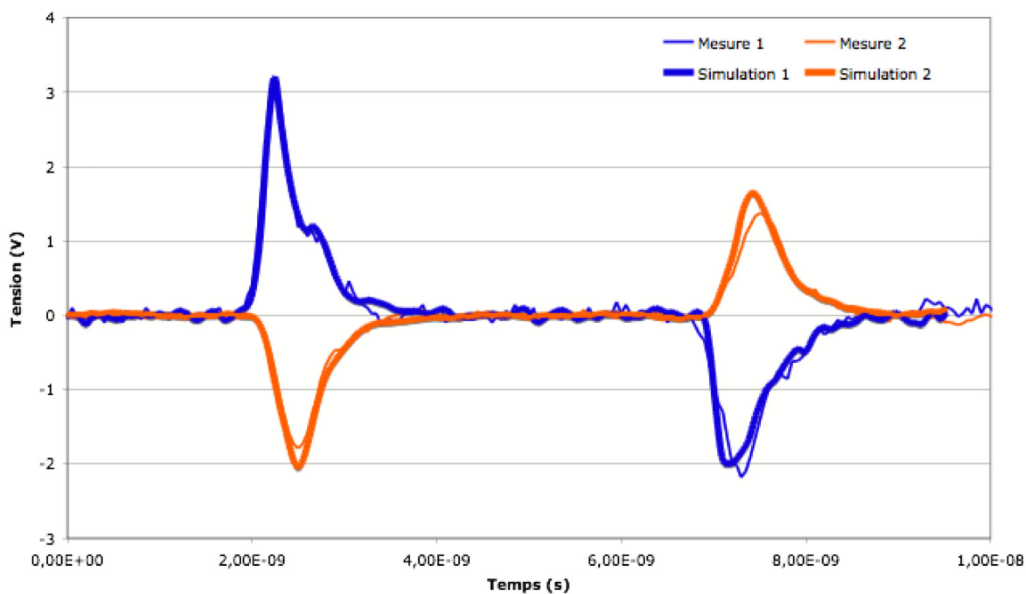


Figure 3.18 - Mesure et simulation des tensions induites à chaque extrémité de la ligne réceptrice pour une injection ESD d'amplitude 100V.

Cependant sur notre carte de test, les deux extrémités de cette ligne réceptrice peuvent être associées à des charges différentes suivant les signaux fonctionnels qui y sont transmis. L'impédance de sortie de l'inverseur et l'impédance d'entrée de la porte XOR dépendent du

niveau logique sur la ligne. Si la sortie de l'inverseur est à « 1 », son impédance de sortie est connectée à l'alimentation VDD par l'intermédiaire d'un transistor PMOS ou « pull-up ». En revanche, si le signal est à « 0 », la sortie est reliée à la masse et donc on parle de transistor NMOS ou « pull-down ». La figure ci-dessous présente ces deux réseaux impédances vu par les ports E/S d'un circuit.

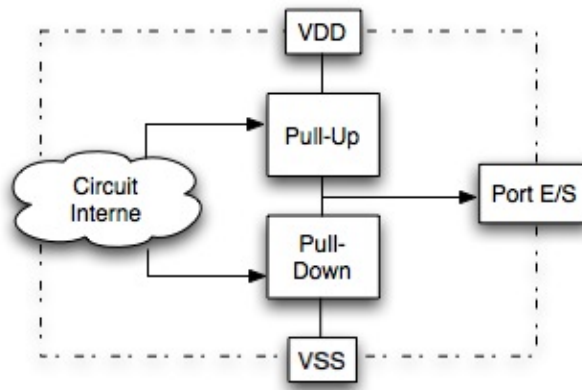


Figure 3.19 – Structure interne d'un circuit représentant les réseaux de « pull-up » et « pull-down ».

Ces différences de charges vont changer l'amplitude de la perturbation induite sur la ligne réceptrice et donc le niveau de susceptibilité de la carte face à cette méthode d'agression. Nous verrons, dans le paragraphe 4 de ce chapitre, que les résultats obtenus sur la carte de test en fonctionnement, au niveau de la susceptibilité des circuits face aux impulsions ESD, confirment cette hypothèse.

2.4 La méthode d'injection par couplage rayonné : le « Scan » champ proche

Les travaux réalisés, durant cette étude, ont été effectués en collaboration avec Mr Alexandre BOYER. Initialement, cette méthode de Scan champ proche est utilisée pour des mesures d'émissions, référencées par la norme IEC61967-3, afin de capturer les champs électromagnétiques rayonnés par un circuit sous test en fonctionnement [NEAR-3]. Pour capturer ses diverses émissions de champ électrique ou magnétique, des sondes miniatures purement passives sont utilisées. À l'aide de ces sondes, on peut se déplacer au-dessus de n'importe quel point d'un circuit intégré et ainsi réaliser une cartographie de l'émission rayonnée en champ proche du circuit.

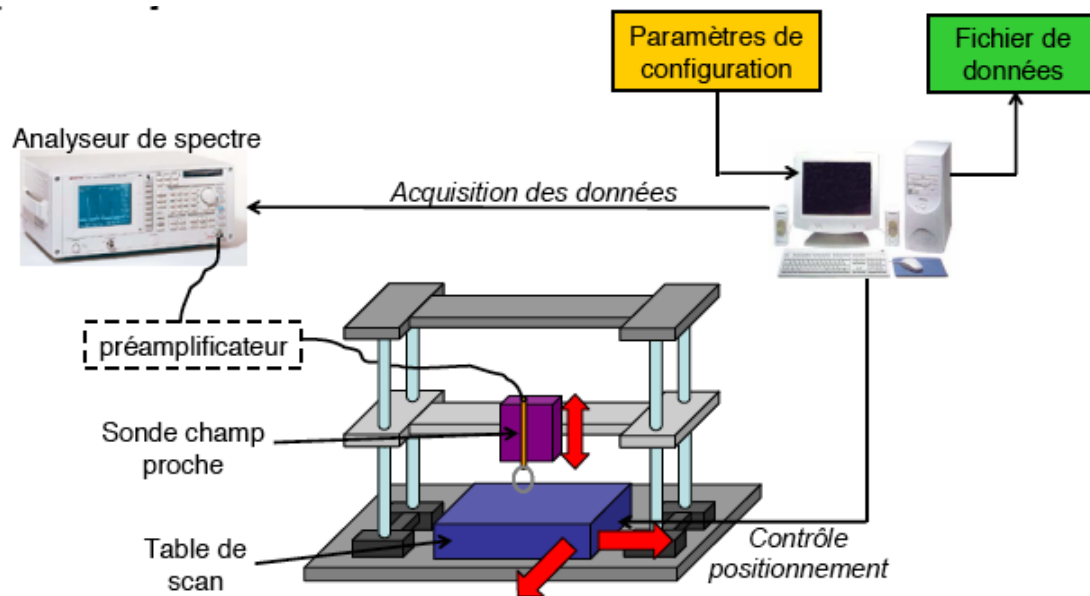


Figure 3.20 – Principe de mesure du banc de mesure du scan champ proche [BOYE07].

La figure ci-dessus présente le principe du banc de caractérisation de l'émission d'un circuit en champ proche dans le cas de mesure CEM. La tension induite dans la sonde, qui est proportionnelle à l'amplitude des composantes du champ capté, est mesurée à l'analyseur de spectre et donne une information sur l'amplitude du champ pour une mesure CEM classique. Une table mobile de précision permet de déplacer la sonde à une altitude constante de la surface du circuit sous test. Des systèmes de positionnement automatisé, incluant un logiciel de positionnement et d'acquisition des données, fournissent une précision et une répétitivité de déplacement de l'ordre du micromètre. Dans notre cas, la table mobile est utilisée de façon manuelle et a été fabriquée par l'atelier de mécanique de l'INSA de Toulouse. Dans ses travaux de thèse, A. Boyer [BOYE07] a réutilisé cette méthode de scan champ proche pour injecter des perturbations électromagnétiques au-dessus d'un circuit sous test pour localiser les parties sensibles du circuit. Le principe du banc de test est le même qu'en émission, à la différence qu'un signal harmonique amplifié est envoyé vers le circuit sous test à travers le dispositif d'injection, en l'occurrence la sonde champ proche. Il est à noter qu'une norme est en cours de proposition. Cette nouvelle technique de mesure d'immunité, permettant d'agresser des circuits intégrés ou des cartes électroniques présente plusieurs avantages. D'une part, il s'agit d'une méthode rayonnée qui ne pose pas de contraintes particulières vis-à-vis du montage du circuit sous test sur la carte électronique, étant donné qu'aucune modification n'est requise pour injecter les perturbations. De plus, Boyer a montré que l'influence de la sonde magnétique, utilisée

pour nos études, sur le comportement du dispositif sous test était négligeable [BOYE07]. D'autre part, l'agression se fait de façon locale en injectant des champs électromagnétiques sur une zone étroite, comme sur les broches du boîtier du circuit. Des travaux réalisés par S. G. Zaky [ZAKY92] et J.J. Laurin [LAUR91], à partir de perturbations induites par une boucle miniature au niveau de broches d'un oscillateur contrôlé en tension ont montré des modifications au niveau des fréquences de fonctionnement de l'oscillateur.

➤ **Le principe du champ proche :**

Un champ électromagnétique est constitué d'une composante électrique E et d'une composante magnétique H. Pour faciliter les mesures, il est nécessaire de pouvoir considérer ces deux composantes indépendamment l'une de l'autre. Si l'on s'intéresse au rayonnement des antennes, on distingue différentes zones, dont celles qui sont dites de champ « proche » ou champ « lointain » (voir figure 3.21). La séparation de ces zones est obtenue, si la dimension L de la source est $L \ll \lambda$ (λ : longueur d'onde de la source), à une distance r telle que : $r = \frac{\lambda}{2\pi}$. Le tableau ci-dessous donne quelques exemples de distances

limites ($r_{\text{limite}} = \frac{0,3 \cdot 10^9}{2\pi \cdot f}$ en m) en fonction de la fréquence.

Fréquence (MHz)	Distance limite (m)
1	~50
10	~5,0
100	~0,5
1000	~0,05

Tableau 1 – Distance limite de séparation des champs « proche » et « lointain » en fonction de la fréquence.

La figure ci-dessous montre l'impédance caractéristique du milieu de propagation d'une source, appelée aussi impédance d'onde (rapport entre les composantes du champ électromagnétique : $\frac{E}{H}$) par rapport à la distance r.

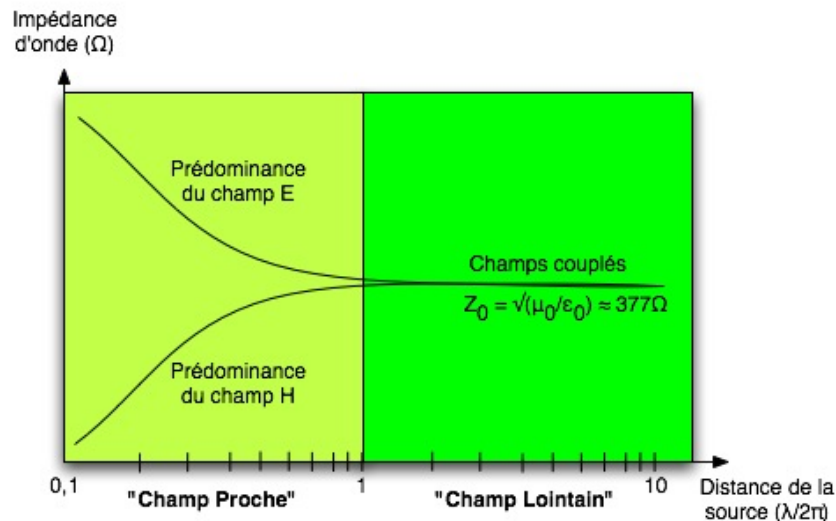


Figure 3.21 – Impédance d'onde d'un champ électromagnétique en fonction de la distance de la source (dans le vide).

On remarque, qu'à une grande distance, ces champs agissent ensemble (région de champ lointain). Il n'existe donc pas de prédominance vis-à-vis des champs électriques et magnétiques. En revanche, à faible distance, les champs H et E agissent séparément (région de champ proche). Dans cette région, la nature, le type et la forme de la source ont beaucoup d'influence sur la répartition du champ. Dans la suite de nos travaux, nous allons utiliser des sondes magnétiques classiques en forme de boucle, comme sources de rayonnement. Cela permet d'avoir une sonde de basse impédance constituée d'éléments passifs avec une amplitude magnétique, dépendante de la fréquence. En se plaçant dans la configuration de champ proche, nous obtenons un champ magnétique induit par la boucle qui décroît rapidement au fur et à mesure que l'on s'éloigne de celle-ci. La figure 3.22 reproduit de façon simplifiée l'amplitude des composantes captées par une ligne microruban lors d'une injection en champ proche. L'amplitude varie en fonction : du courant dans la boucle, de sa surface et de l'inverse du cube de la distance du point d'observation. Cette injection réalisée par la sonde en champ proche est considérée comme localisée suite à la décroissance rapide du champ à proximité de celle-ci.

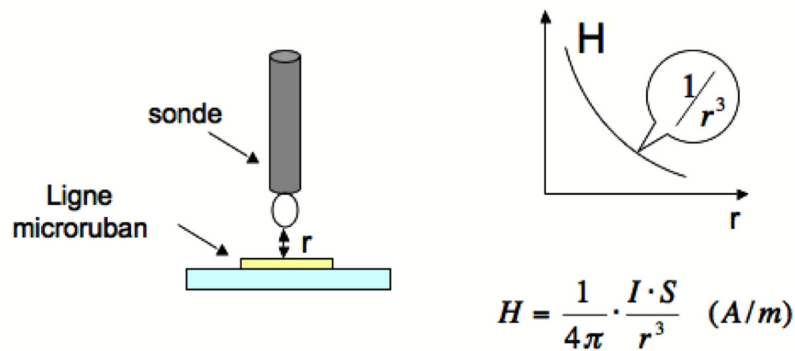


Figure 3.22 – Diminution de la composante H suivant la distance sonde - ligne.

La sonde utilisée pour les diverses mesures est présentée sur la figure ci-dessous et a été fournie par le LATTIS.



Figure 3.23 – Sonde champ proche de type magnétique.

L'âme centrale du coaxial est tordue et court-circuitée sur le blindage externe du câble, créant ainsi une boucle pouvant être parcourue par un courant. Le câble coaxial utilisé est de type RG402 dont les caractéristiques sont les suivantes :

- Diamètre âme centrale : 0,91mm
- Diamètre blindage externe : 3,6mm
- Impédance caractéristique : 50
- Diélectrique : PTFE, $\epsilon_r = 2,25$

La longueur de la tige métallique de la sonde est de 12cm, la forme de la boucle peut être approximée par une boucle de diamètre de 2mm. Pour réaliser un couplage efficace au niveau du circuit sous test, la sonde est placée au niveau des broches métalliques du boîtier, comme le montre la figure 3.24, générant ainsi d'importants courants parasites. L'idée, pour nos travaux sur les ESD au niveau système, a été de reprendre cette méthode d'injection afin d'utiliser des signaux transitoires comme source de perturbation au travers de cette sonde magnétique. Pour cette étude, nous avons utilisé le banc Vf-TLP comme générateur d'impulsions carrées ultrarapides.

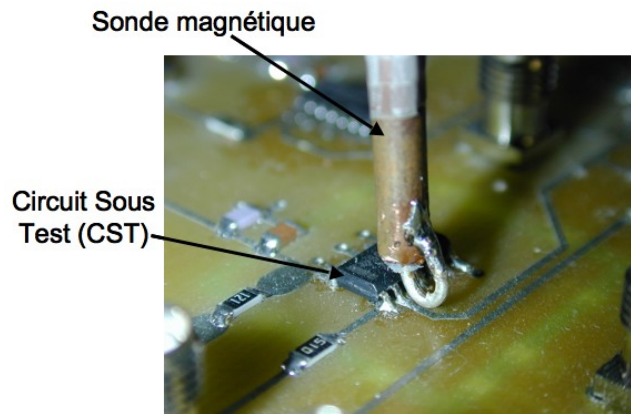


Figure 3.24 – Couplage inductif entre la sonde et un inverseur (CST).

L'injection de ces signaux très brefs induit de forts champs magnétiques pouvant se coupler sur une carte électronique en fonctionnement ou un circuit intégré et ainsi perturber son fonctionnement normal. Même si la sonde en champ proche a principalement été utilisée pour des études harmoniques, Wang et Pommerenke ont réalisé des injections localisées de décharges électrostatiques pour réaliser des cartographies de la susceptibilité des cartes électroniques [WANG04]. Cette méthode permet de mieux appréhender l'influence du rayonnement d'une source transitoire sur l'activité électrique d'un dispositif sous test. Ainsi, la méthode en champ proche vis-à-vis des méthodes d'agressions par conduction directe, apporte de nouvelles informations sur la susceptibilité des circuits face à des perturbations rayonnées. En ce qui concerne la simulation de cette méthode d'injection, nous avons repris les modèles, de la sonde ainsi que du couplage, utilisés pour des agressions harmoniques. Le modèle électrique de cette sonde magnétique est représenté sur la figure 3.25. La tige de la sonde est représentée par une ligne de transmission sans pertes d'impédance caractéristique et de délai de transmission connue.

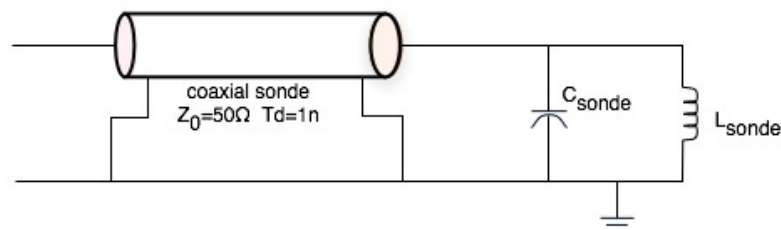
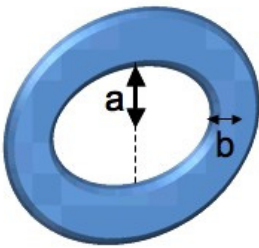


Figure 3.25 – Modèle de la sonde de type magnétique.

Dans ce modèle, l'effet résistif de la boucle, que ce soit en rayonnement ou en conduit (effet de peau) a été négligé vu ses dimensions. Par exemple, pour une fréquence de 1GHz

et un diamètre de boucle de 4mm, on obtient une résistance de rayonnement de l'ordre de 0,1mΩ et une perte ohmique de 40mΩ. Pour le calcul de l'inductance et de la capacité de la boucle, des formulations, en fonction de leurs dimensions géométriques, ont été proposées par [KAND93] et sont données ci-dessous.



a : rayon de l'âme centrale (m)
 b : rayon de la boucle (m)
 μ : perméabilité magnétique = $4\pi \cdot 10^{-7}$
 ϵ : permittivité électrique = $8,85 \cdot 10^{-12}$

$$L = \mu b \cdot \left(\ln \left(\frac{8b}{a} \right) - 2 \right) \text{ en H} \quad C = \frac{2\epsilon b}{\ln \left(\frac{8b}{a} \right) - 2} \text{ en F}$$

Figure 3.26 – Formules pour l'inductance propre et la capacité parasite d'une boucle.

Cependant, A.Boyer a remarqué que la capacité calculée par cette équation était sous-estimée [BOYE07]. Pour avoir des valeurs correctes, nous avons utilisé un logiciel IC-EMC, développé par le LATTIS. Ce logiciel est dédié à la prédiction du comportement des circuits intégrés en compatibilité électromagnétique [ICEMC]. Il inclut un code de calcul pour extraire numériquement l'inductance et la capacité d'une boucle à l'aide d'une méthode numérique de type PEEC (Partial Element Equivalent Circuit) [BESA01]. Cette méthode est quasi-statique (basée sur des approximations simplifiant les équations de Maxwell) et dédiée à la modélisation de petits éléments par un maillage des surfaces où l'on impose un certain nombre de conditions. Avec ce logiciel et les données géométriques de la sonde (le rayon de l'âme centrale : 0,45mm et celui de la boucle : 2mm), on peut estimer les valeurs de l'inductance et de la capacité de la sonde :

$$L = 3,95\text{nH} \quad C = 200\text{fF}$$

Pour la modélisation du couplage entre la sonde et le dispositif sous test, un couplage inductif est utilisé. Si nous prenons le cas d'une ligne placée au-dessus d'un plan de masse, le calcul du coefficient de couplage à partir de l'inductance mutuelle et des inductances propres des lignes s'effectue à l'aide de l'équation suivante :

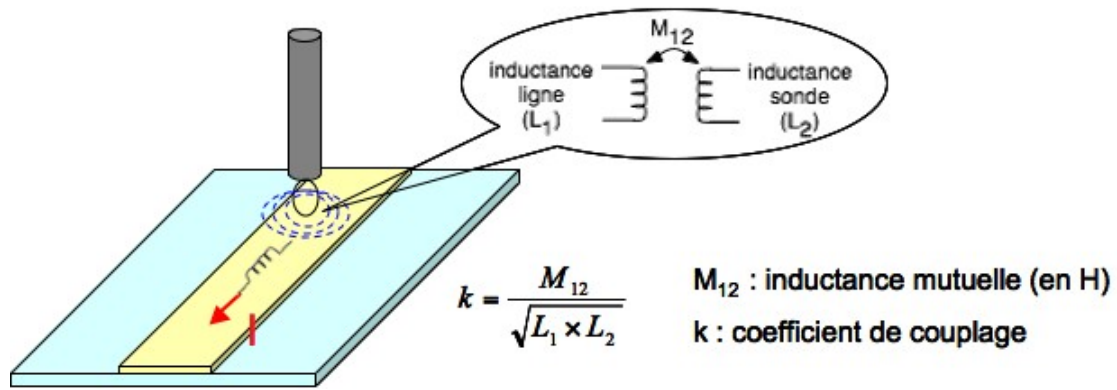


Figure 3.27 – Représentation du couplage inductif entre la sonde et une ligne microruban.

Cette équation nécessite le calcul du champ magnétique rayonné par la sonde. Pour prendre en compte des géométries complexes, comme le boîtier d'un circuit intégré, une méthode numérique de résolution des équations de Maxwell sous forme intégrale a été utilisée. La méthode choisie par Alexandre BOYER pour ces études, a été la méthode PEEC. L'avantage de cette méthode est de pouvoir extraire des couplages sous forme d'inductances et de capacités afin de les inclure dans un schématique simple de type RLC. Dans la thèse de Christian Martin [MART05], effectuée à Grenoble, des détails sur cette méthode PEEC sont fournis. Pour valider ce couplage inductif entre la sonde et un dispositif, on utilise un cas simple qui consiste à agresser une piste 50Ω pour déterminer les effets d'une impulsion ESD sur cette ligne. Pour cette expérience, la sonde magnétique est placée à 1 mm au-dessus du centre de la ligne et l'on mesure la perturbation induite sur la ligne au niveau d'une des entrées de la ligne. De l'autre côté, on connecte une charge 50Ω. La figure 3.28 présente le banc de test utilisé ainsi que les modèles (sonde et ligne) réalisés pour simuler le couplage de la sonde sur la piste. Ce banc de test a déjà servi, lors d'une étude réalisée par [BOYE07], pour valider l'injection d'un signal harmonique au travers de la sonde. Cela a permis de prédire le coefficient de transmission (S12) dans le domaine fréquentiel (couplage entre la sonde et la sortie de la piste).

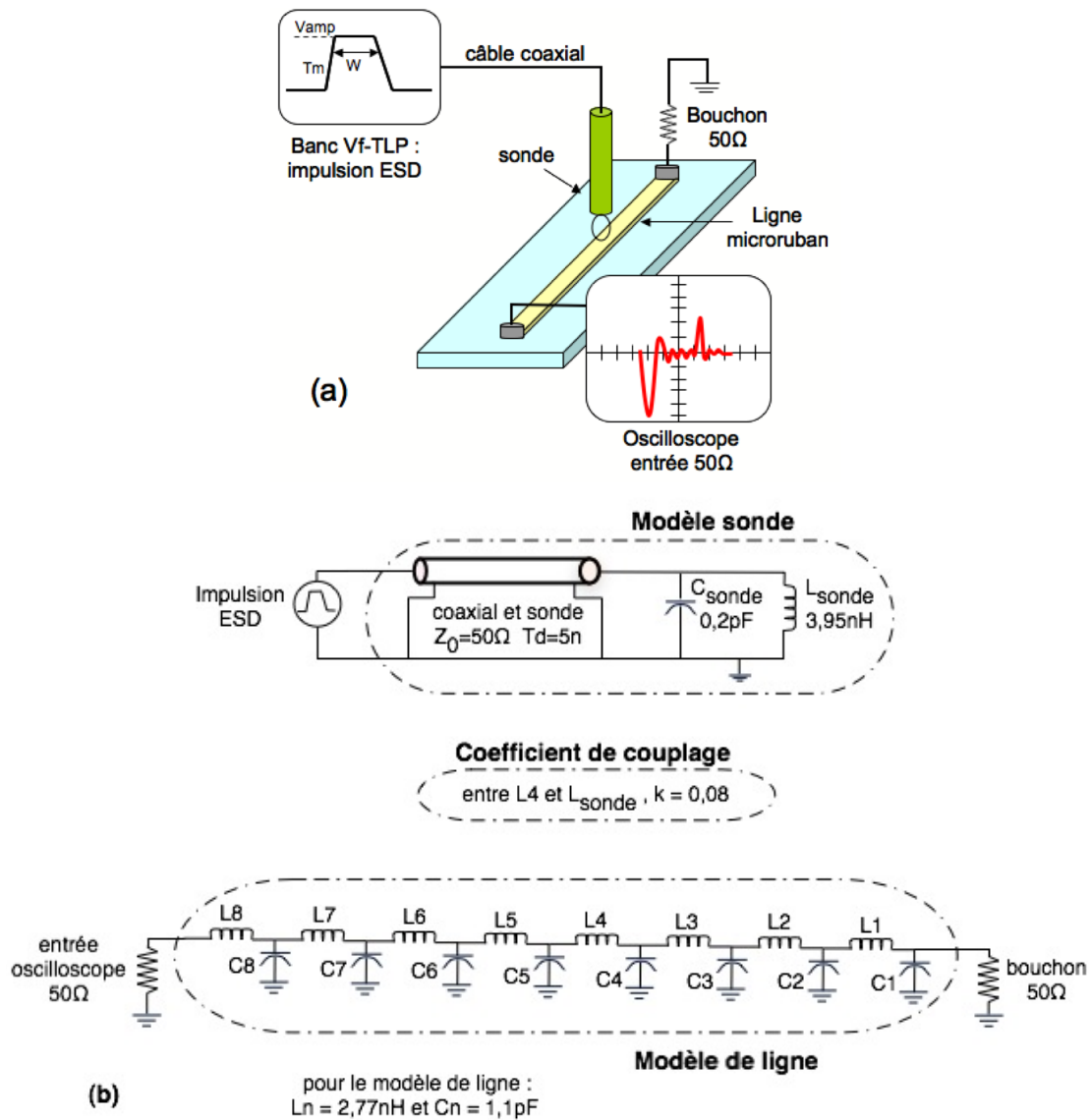


Figure 3.28 - Banc de test pour la mesure de couplage de la sonde sur une piste (a) et modèles électriques utilisés (b).

Dans notre cas, nous avons injecté au travers de la sonde, une impulsion ESD avec un temps de montée (T_m) de 300ps, une amplitude (V_{amp}) de 100V et une durée (W) de 5ns. Pour la modélisation de la ligne, on reprend les modèles de tronçons élémentaires LC utilisés dans le chapitre 2. La ligne utilisée a une longueur de 8 cm et une largeur de 2,5mm. D'après ses caractéristiques, son inductance propre est de 2,77nH et sa capacité de 1,1pF pour une longueur de 1cm. Pour la sonde champ proche, l'inductance équivalente est de 3,95nH. On obtient, pour un couplage magnétique sur une portion de ligne de 1cm, une valeur d'inductance mutuelle M_{12} de 0,26nH. La figure ci-dessous présente la comparaison

entre la simulation obtenue avec le modèle complet (sonde, couplage, ligne) sous ADVANCE-MS et la mesure réalisée en entrée de la ligne victime.

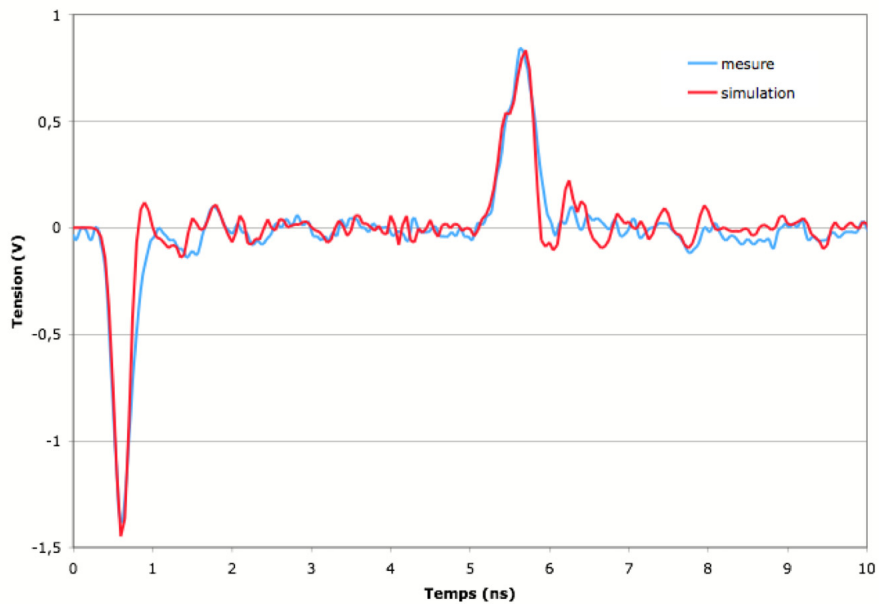


Figure 3.29 - Comparaison mesure-simulation du couplage magnétique d'une impulsion ESD (temps de montée : 80ps, d'amplitude : 100V, de durée : 5ns) sur une piste adaptée 50Ω.

On obtient une bonne corrélation entre la simulation et la mesure de l'impulsion injectée par la sonde en champ proche sur la piste. Notre modèle est ainsi correctement modélisé. En résumé, les modèles réalisés par A.Boyer, au niveau de la sonde magnétique, peuvent être repris pour simuler des injections transitoires rayonnées et ainsi prédire les tensions induites sur un dispositif sous test. Par la suite, nous reprendrons cette méthodologie pour aggraver des circuits numériques sur une carte en fonctionnement.

3 Modélisation des circuits intégrés pour prédire l'influence des ESD sur la carte de test

Dans le paragraphe précédent, nous avons décrit et modélisé les diverses méthodes d'injections réalisées sur la carte de test. Pour effectuer la modélisation complète de l'ensemble « perturbateur/perturbé » en VHDL-AMS, nous avons réalisé plusieurs modules. Ces divers modules peuvent être décomposés de la manière suivante :

- La source perturbatrice :

Dans notre cas, cette source est une impulsion ESD générée par le banc VF-TLP. Pour modéliser ce générateur d'impulsion, qui produit une onde positive ou négative appliquée à la carte sous test via des câbles coaxiaux, nous avons utilisé un générateur PWL où nous rentrons un tableau de points récupérés avec l'oscilloscope. Cette méthode permet de reconstituer l'onde parfaitement et de se débarrasser de toutes les atténuations dues aux câbles coaxiaux. Nous avons aussi utilisé des modèles analytiques des différentes perturbations ESD.

- Le phénomène de couplage :

Nous pouvons réaliser plusieurs modes de couplage au niveau de la carte de test, soit par conduction directe en utilisant la méthode DPI, soit par diaphonie en utilisant des lignes couplées ou une sonde en champ proche. Ces différentes modélisations de couplage ont été présentées dans le paragraphe précédent.

- Le dispositif sous test:

Jusqu'à présent, les dispositifs perturbés étaient très simples. Nous avons regardé l'influence de la propagation des ESD sur des lignes simples avec des résistances de terminaison en bout de celles-ci. Dans ce nouveau paragraphe, nous allons nous intéresser à la modélisation de circuits numériques (inverseur et porte XOR). En ce qui concerne ces circuits, le problème majeur a été de concevoir un modèle correct et simple de leur comportement dynamique lorsqu'une impulsion ESD se manifeste au niveau de leurs E/S.

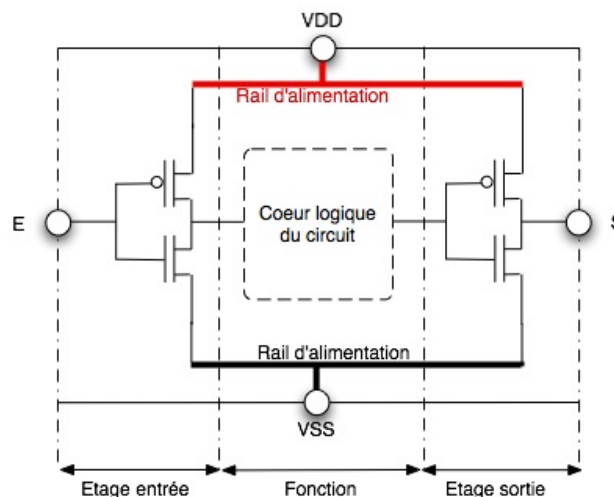


Figure 3.30 - Schéma simplifié des diverses parties d'un circuit.

La figure 3.30 présente les différentes parties d'un circuit intégré, c'est-à-dire les étages d'entrée et de sortie, son cœur logique ainsi que les bus d'alimentations et de masse. Si l'on rentre plus en détail, au niveau de la modélisation des broches du circuit (E/S, VDD ou VSS), nous devons tenir compte des effets du boîtier qui introduisent des impédances parasites. Pour simuler ces effets, des modèles IBIS (I/O Buffer Information Specification) sont fournis gratuitement par les fabricants donnant ainsi des informations sur les différentes broches du circuit [IBIS]. Ce modèle est compatible avec la majorité des plateformes de simulation et est devenu un standard en ce qui concerne la caractérisation comportementale des E/S du circuit.

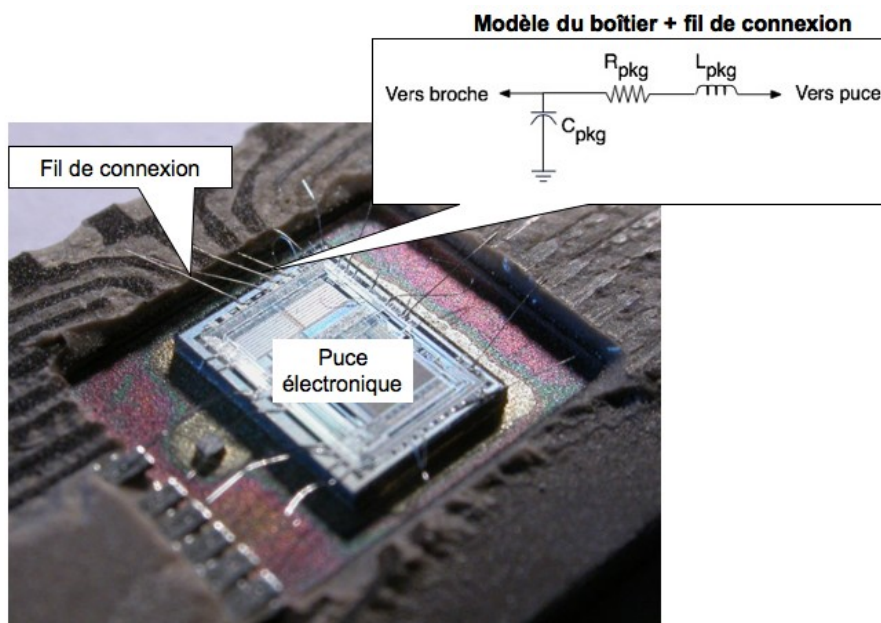


Figure 3.31 – Représentation du fil de connexion avec son modèle associé.

La figure ci-dessus présente la technique du bonding (fil de connexion entre la puce et les broches du boîtier) entraînant l'apparition d'éléments parasites, de type RLC, non négligeables pour des signaux de hautes fréquences. Les modèles IBIS prennent en compte les paramètres suivants :

- Les éléments passifs R_{pkg} , L_{pkg} , C_{pkg} de l'ensemble fil de connexion+boîtier
- La capacité d'entrée/sortie du composant, notée C_{comp}
- Les diodes $Power_{clamp}$ et GND_{clamp} fournis sous la forme de caractéristiques I(V) avec des tensions allant de $-V_{cc}$ à $2V_{cc}$, pour représenter les protections ESD.
- Les transistors de sortie Pull-up et Pull-down, avec pour chacun d'eux une table I(V) obtenus pour $|V_{GS}| = V_{dd}$.

- Des tables $V(t)$ sont données pour avoir des informations complémentaires sur la dynamique des sorties. Lorsque ces caractéristiques sont linéaires, elles peuvent être remplacées par des valeurs de rampes $\frac{dV}{dt}$ permettant de simuler le temps de réaction du circuit.

La figure ci-dessous représente schématiquement tous les paramètres cités précédemment pour les broches d'entrées et de sorties.

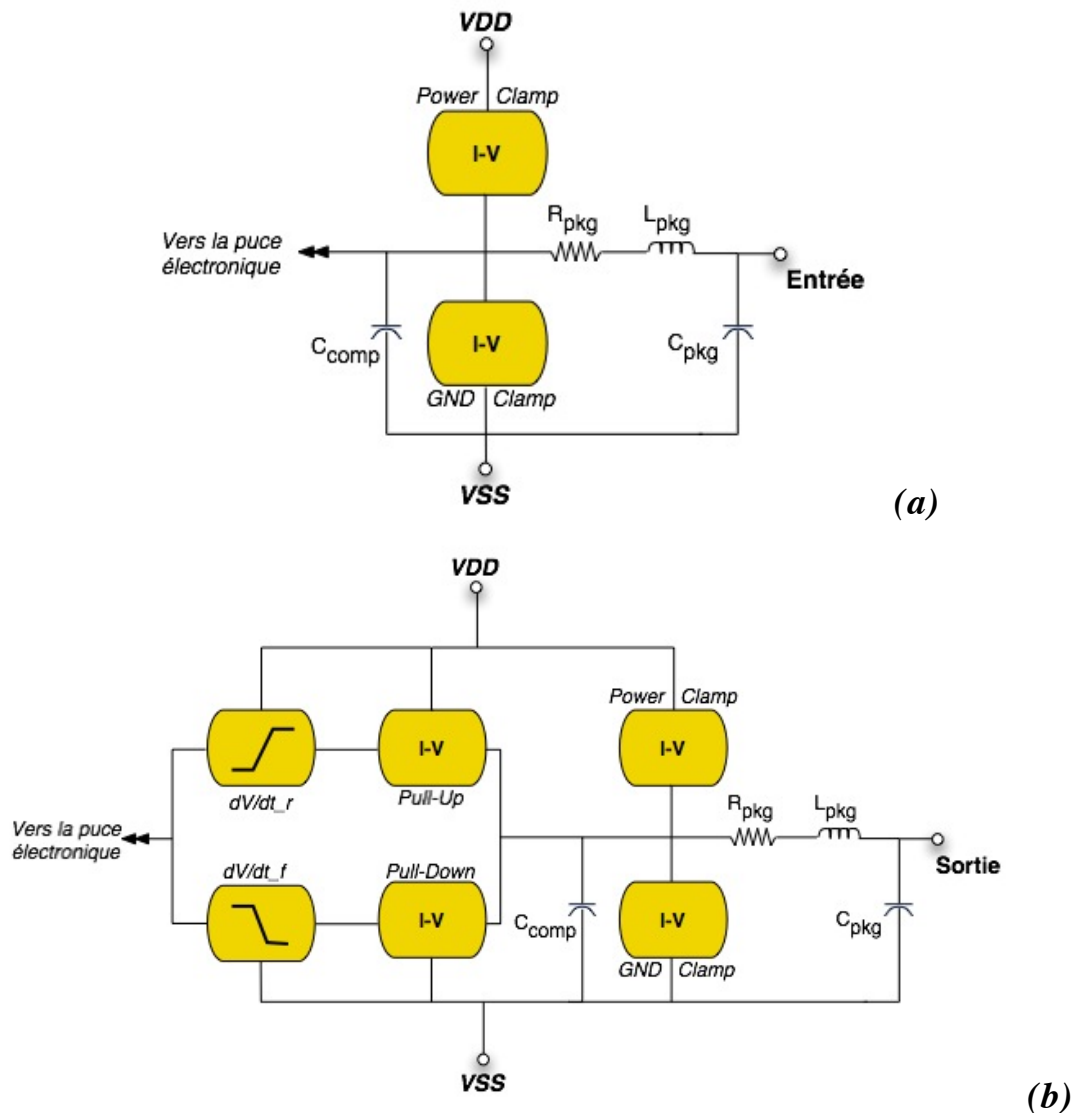


Figure 3.32 – Représentation du modèle IBIS dans son ensemble pour l'entrée (a) et la sortie (b).

L'avantage de ce modèle IBIS est qu'il permet d'avoir une description comportementale simple des entrées/sorties d'un circuit intégré, en offrant une modélisation basée sur la

mesure des courbes I(V). Lors de notre étude, les circuits de test utilisés, sont des circuits CMOS SN74LVC04 (inverseur) ou SN74LVC86 (porte XOR) avec comme référence de boîtiers D (SOIC14). Le tableau ci-dessous résume les valeurs typiques de ce boîtier ainsi que les capacités d'entrée et de sortie pour les deux types de circuits pour des tensions alimentations de 2,5V.

Caractéristiques typiques	SN74LVC04	SN74LVC86
Résistance (R_{pkg})	0,031 Ω	0,031 Ω
Inductance (L_{pkg})	3,109 nH	3,109 nH
Capacité (C_{pkg})	0,473 pF	0,473 pF
Capacité d'entrée ($C_{in_{comp}}$)	2,58 pF	2,58 pF
Capacité de sortie ($C_{out_{comp}}$)	8,08 pF	6,02 pF

Tableau 2 – Valeurs typiques des éléments parasites au niveau du modèle IBIS pour l'inverseur et la porte XOR.

Une étude a été menée pour vérifier si ces modèles IBIS pouvaient être utilisé pour prédire les perturbations ESD engendrées au niveau des broches E/S d'un circuit intégré. Pour cela, nous avons utilisé le phénomène de diaphonie existant entre deux lignes très proches, présenté dans la partie 2.3 de ce chapitre. Pour cette étude, nous avons placé à chaque extrémité de la ligne victime (ligne 2 sur la figure 3.33) des circuits digitaux (un inverseur et une porte XOR). La figure ci-dessous représente cette expérience. Nous injectons une impulsion ESD sur la ligne 1 pour créer des perturbations, par couplage, sur la ligne 2.

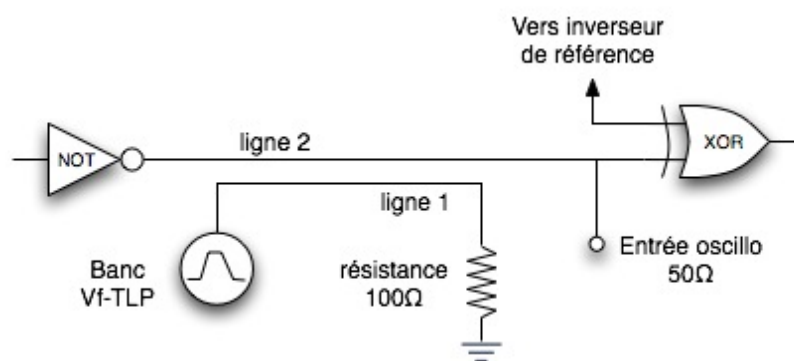


Figure 3.33 – Perturbations ESD, par couplage de ligne, sur des broches E/S de circuits.

Pour visualiser les tensions couplées sur l'entrée de la porte XOR et éviter l'ajout d'éléments parasites (capacité de qqes pF avec une sonde passive) par la mesure, nous avons connecté sur celle-ci l'entrée 50Ω d'un oscilloscope par le biais d'un connecteur SMA. Il faut donc faire attention à l'interprétation des résultats au niveau de ces manipulations. Pour effectuer la simulation de cette expérience, nous avons repris les modèles de lignes couplées effectués avec des tronçons élémentaires de lignes LC. En ce qui concerne les circuits placés à chaque extrémité de la ligne victime, nous utilisons les modèles IBIS correspondant aux broches E/S connectées pour simuler leurs charges équivalentes en bout de ligne. La modélisation de la ligne victime avec les différentes charges en bout de la ligne est représentée sur la figure 3.34. Pour ce cas d'étude, la carte de test n'est pas alimentée ce qui simplifie la simulation des circuits. Au niveau des circuits, on ne prend en compte que leurs modèles d'étages de sorties et d'entrées comme le montre la figure 3.34 ainsi que les modèles RLC des broches VDD et VSS extraits des fichiers IBIS. Pour bien comprendre les formes d'ondes visualisées au niveau de l'entrée de la porte XOR, plusieurs simulations ont été réalisées afin de comprendre l'influence des différents éléments (diodes, capacités de couplage interne, etc...). Puis nous avons comparé les résultats obtenus avec les simulations pour des injections d'impulsions ESD avec un temps de montée de 300ps et une durée de 5ns. Les figures 3.35, 3.36 et 3.37 présentent les tensions mesurées et simulées pour différentes amplitudes ainsi que les modèles utilisés pour simuler les étages de sortie et d'entrée des circuits.

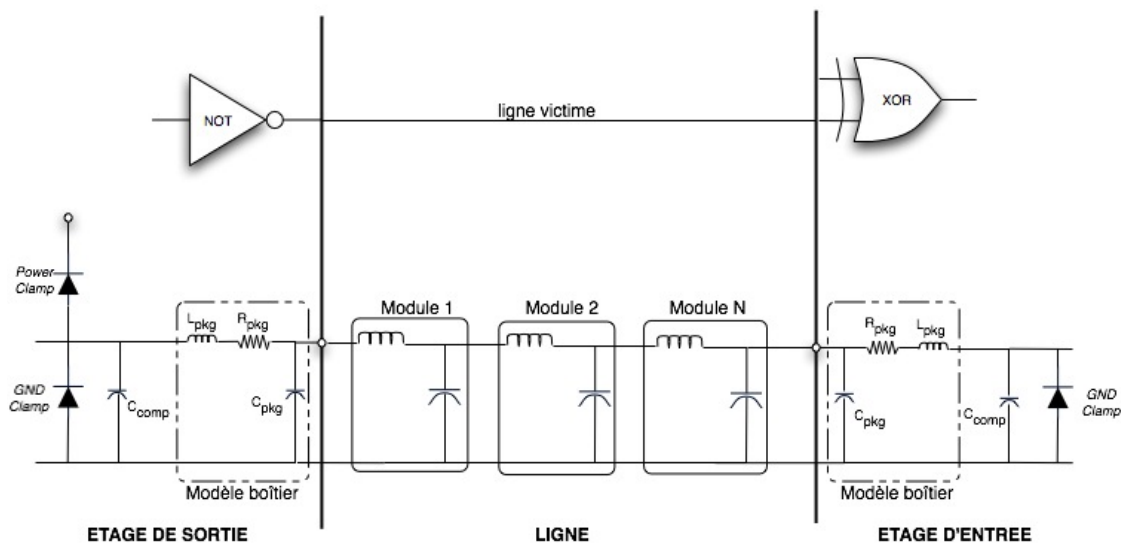


Figure 3.34 – Modélisation de la ligne victime ainsi que des charges à chaque extrémité.

Pour ces différentes simulations, nous avons repris les modèles extraits par Enrique LAMOUREUX [LAM06] lors de ses travaux de thèse, à l'aide de mesures d'impédances. Ces modèles nous ont servi de base pour optimiser les résultats obtenus.

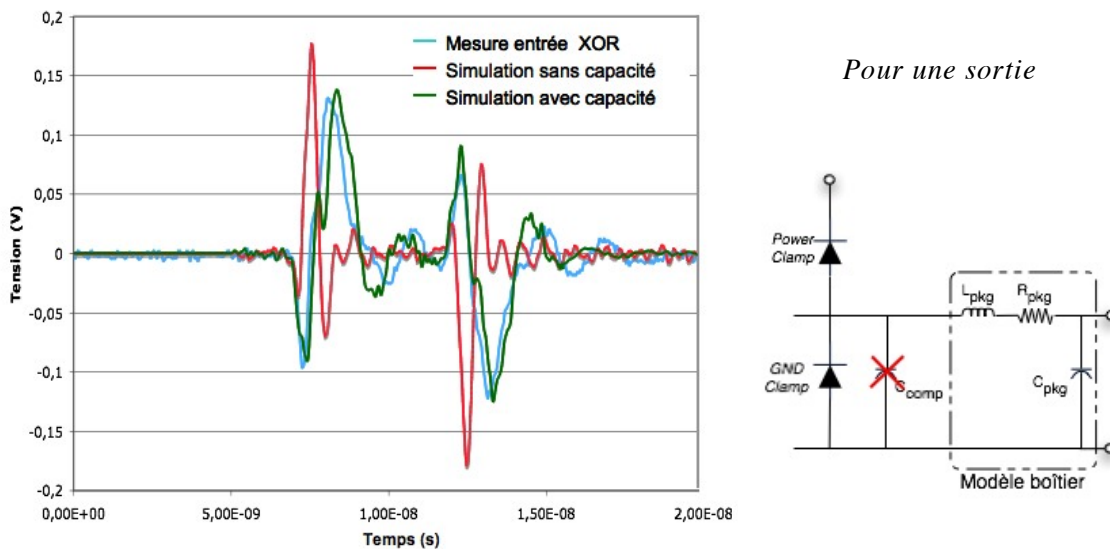


Figure 3.35 – Étude de l'influence des capacités (C_{comp}), extraites des modèles IBIS, sur la forme du signal. (Injection d'une impulsion ESD de 10V)

La figure 3.35 montre l'influence de la capacité (C_{comp}) d'entrée de la porte XOR ou de sortie de l'inverseur, sur la forme d'onde du signal. Pour cela, nous avons enlevé ces capacités et comparé la simulation à la mesure. Dans ce cas, la tension d'injection sur la ligne 1 (figure 3.33) reste inférieure à 10V, et ne déclenche pas les diodes de protection. Des diodes classiques, avec des valeurs par défaut, sont utilisées dans le modèle pour prendre en compte leur capacité propre de polarisation nulle. Nous nous sommes ensuite placés dans une configuration où les diodes déclenchent (injection à 100V), et avons remplacé les capacités C_{comp} . Les résultats de simulation de la figure 3.36 sont obtenus en enlevant les diodes de protections ESD des deux circuits digitaux (inverseur et porte XOR).

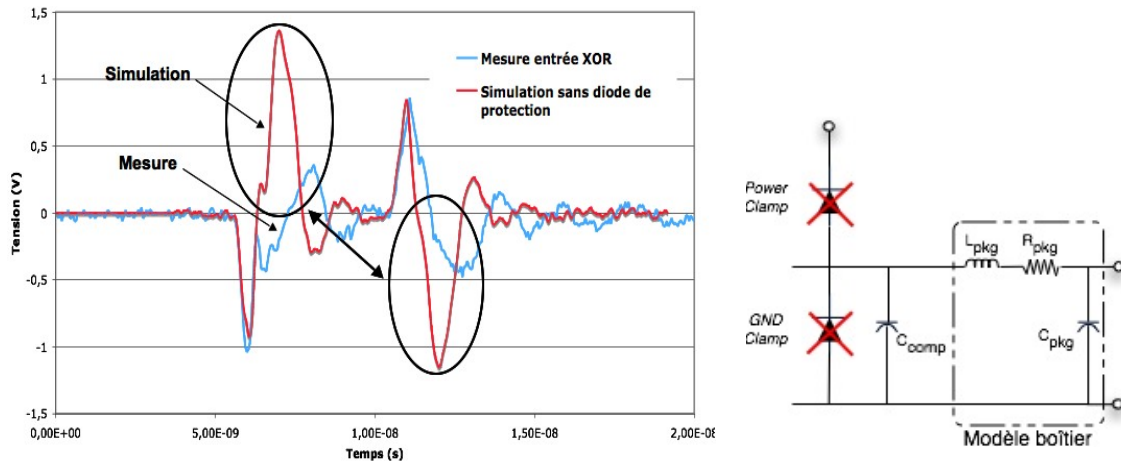


Figure 3.36 – Étude de l'influence des diodes de protection sur la forme du signal. (Injection d'une impulsion ESD de 100V)

Ces éléments de protection diminuent fortement les effets induits par le couplage indirect entre les lignes, en écrêtant les pics de courant (voir figure 3.36). Nous avons donc replacé les diodes de protection dans les modèles d'étages de sortie de l'inverseur et d'entrée de la porte XOR. Pour les simulations, nous avons repris les modèles de diodes données par [LAM06] et nous les avons ensuite optimisés pour reproduire correctement la forme d'onde du signal mesuré. La figure 3.37 montre la comparaison entre la mesure et les différentes simulations suivant les diodes utilisées.

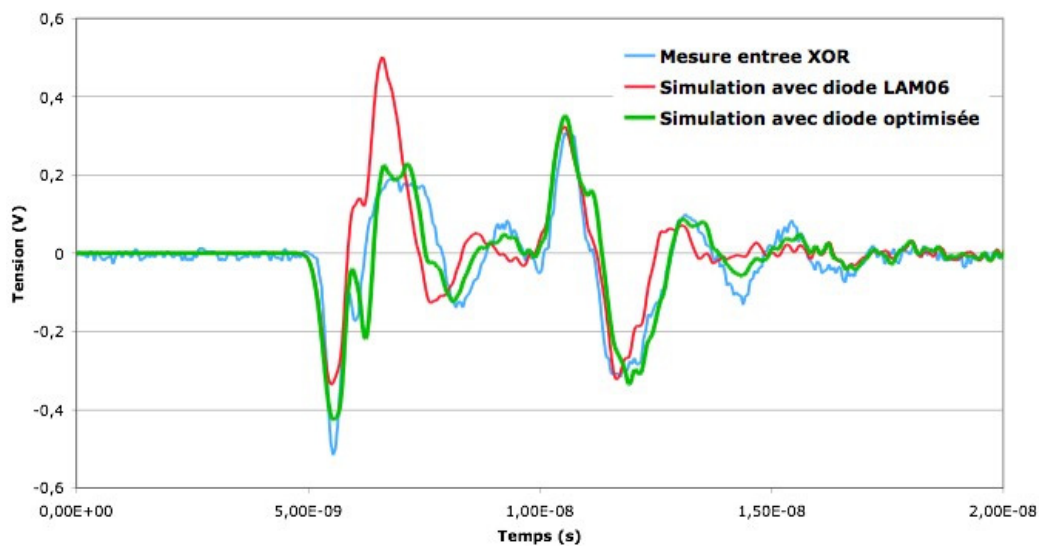


Figure 3.37 – Etude de l'influence de diverses diodes de protections avec des valeurs de paramètres, fournies par [LAM06] ou des valeurs optimisées. (Injection d'une impulsion ESD de 50V)

D'après les résultats de la figure 3.37, on note que les diodes de protection doivent être optimisées en jouant sur différents paramètres, comme le coefficient d'émission (N), la capacité à polarisation nulle (CJ0), pour obtenir une bonne corrélation sur les formes d'ondes induites sur la broche d'entrée de la porte XOR. Le tableau 3 résume les valeurs des paramètres des diodes obtenues par Lamoureux et celles que nous avons utilisées pour réaliser nos simulations.

Circuit	Paramètres	Diode Power clamp	Diode GND clamp
INV	LAM06	RS=10Ω BV= 10V N= 1,5	RS=6Ω BV= 10V N= 1
	Optimisé	RS=6Ω BV= 10V N= 0,8 CJ0 = 2,0pF	RS=6Ω BV= 10V N= 1 CJ0 = 1,0pF
XOR	LAM06		RS=6Ω BV= 7,5V N= 1
	Optimisé		RS=6Ω BV= 7,5V N= 1 CJ0= 1,0pF

Tableau 3 – Valeurs des différents paramètres pour les diodes de protections ESD de chaque circuit.

En résumé, pour une étude non fonctionnelle, c'est-à-dire sans alimentation et pour des tensions d'injections faibles (inférieures à 50V), les valeurs données dans les fichiers IBIS, pour les différents éléments constituant le modèle du boîtier (R_{pkg} , L_{pkg} , C_{pkg} : figure 3.33) ainsi que les capacités d'entrée/sortie du composant (C_{comp}) sont suffisantes pour prédire correctement les signaux au niveau des broches du circuit intégré. En revanche, des écarts importants surviennent lorsque les tensions imposées sur la ligne 1 (voir figure 3.33) sont supérieures à 50V. Pour ces tensions, les éléments intrinsèques des diodes de protection, comme la capacité de polarisation nulle CJ0, viennent influencer le comportement dynamique des entrées sorties des circuits (voir figure 3.37). Dans les modèles IBIS, réalisées par le biais de caractéristique I(V), les valeurs de ces éléments parasites sont manquantes. Il est donc important de rajouter ces données sur les diodes pour prendre en compte leurs effets sur le comportement dynamique du circuit pour des simulations temporelles.

➤ **La modélisation interne du circuit intégré :**

Pour poursuivre sur la modélisation du circuit intégré, nous avons voulu simuler sa fonction logique ou son cœur logique pour prédire la propagation des perturbations à l'intérieur de

celui-ci. Les modèles IBIS utilisés précédemment sont considérés comme un ensemble de paramètres permettant de décrire uniquement les entrées/sorties des composants numériques. Cependant, aucune information n'est donnée concernant les types de composants utilisés pour réaliser la fonction souhaitée du circuit. Ces données sont très difficilement accessibles. Durant sa thèse, [LAM06] a réalisé un modèle fonctionnel pour l'inverseur en utilisant des modèles de transistors NMOS et PMOS de type SPICE level 3. Pour ce modèle, une estimation a été effectuée en fonction de la technologie employée (ici : $0,25\mu\text{m}$) et de la plage de tension d'alimentation du circuit (pour notre cas : $2,5\text{V}$). Des mesures de caractérisations des entrées/sorties ont été effectuées pour vérifier la validité du fichier IBIS. On compare les résultats de mesure $I(V)$ avec les simulations effectuées à l'aide de modèle de transistor MOS. Les tailles des transistors simulés sont optimisées pour corrélérer au niveau du courant maximal mesuré. Le schéma de la figure 3.38, utilisant 3 étages de portes CMOS permet, d'après [LAM06], de simuler le comportement du circuit 74LVC04 (inverseur).

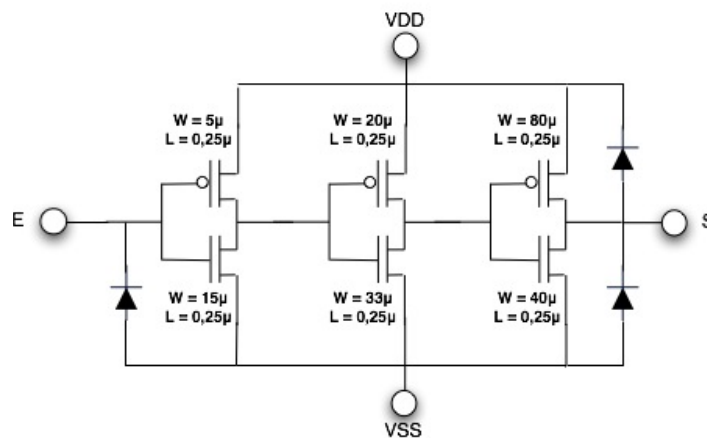


Figure 3.38 – Schéma d'un inverseur à 3 étages de portes CMOS.

La dimension des transistors, de l'étage du milieu, a été réglée de façon à obtenir un point de basculement de la fonction de transfert identique entre la mesure et la simulation. Dans cette modélisation, nous devons prendre en compte le temps de propagation à l'intérieur du circuit intégré. Si l'on regarde ce phénomène au niveau des transistors, plus l'information doit passer de transistors, plus le temps de propagation sera long. Cela entraîne des retards successifs qui s'accumulent. Avec la structure à 3 étages, [LAM06] a pu reproduire le temps de transition mis en jeu au travers du circuit. Une modélisation du circuit inverseur, basée sur des mesures d'impédances au niveau des broches d'entrées, de sorties et d'alimentations, a permis de créer un modèle global afin de prendre en compte les effets

hautes fréquences. Ces différentes mesures sont données dans la thèse d'Enrique LAMOUREUX ainsi que les valeurs des divers éléments. Pour notre étude, l'inverseur 74LVC04 a été modélisé avec des éléments parasites non négligeables tels que : les capacités internes ($C_{comp\ IN}, C_{comp\ OUT}$), le réseau de couplage entre VDD et VSS, les inductances des pistes métalliques (L_{piste}) ainsi que les protections ESD réalisées par des diodes. La figure 3.39 représente le modèle complet du circuit. Pour modéliser la porte XOR 74LVC86, nous avons effectué les mêmes méthodes de mesure utilisées par [LAM06], pour trouver les étages d'entrée et de sortie de ce circuit. Cependant, n'ayant pas assez de connaissance sur sa configuration interne, il est difficile de pouvoir prédire exactement la forme d'onde en sortie du circuit.

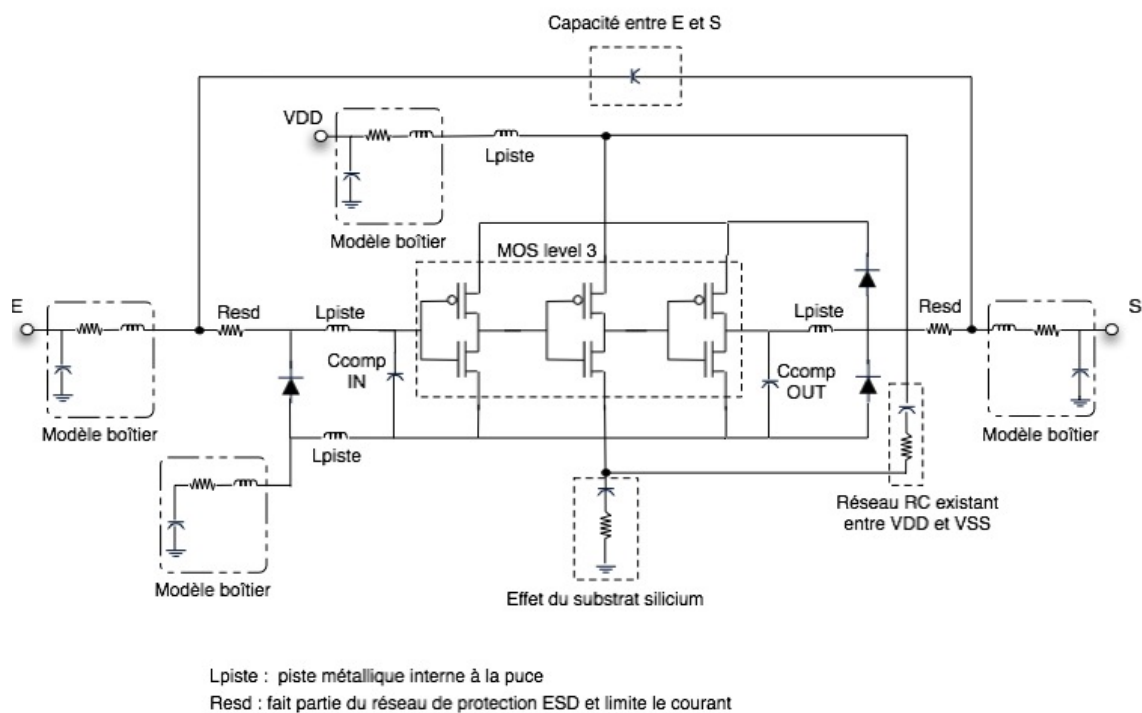


Figure 3.39 – Modèle global de l'inverseur avec ses éléments parasites.

Il est à noter que pour un composant électronique, comme un transistor de type MOS, plusieurs paramètres rentrent en compte lorsque celui-ci fonctionne en dynamique. Pour ce composant, plusieurs capacités parasites dues à la technologie sont à connaître pour avoir des réponses précises, dans le domaine temporel, comme les temps de montée et de descente des signaux traversant le composant. Pour la modélisation de ce circuit XOR, une autre méthode a été utilisée en insérant une description comportementale simple en VHDL-AMS entre les étages d'entrée et de sortie du circuit pour prendre en compte le retard induit

à l'intérieur de celui-ci. Pour cela, nous avons repris les valeurs des seuils de tension déterminant les niveaux logiques d'entrée du circuit (VIL, VIH : voir partie 1.2 de ce chapitre). Puis, nous avons introduit un retard de quelques nanosecondes suivant l'état logique d'entrée permettant de reproduire le temps de propagation interne du signal. Cependant, nous verrons dans le paragraphe suivant, que les résultats obtenus en temporel sont tout de même imprécis. Cette méthode de programmation permet simplement d'avoir une approximation sur l'erreur obtenue en sortie du circuit XOR lorsque celui-ci reçoit une perturbation à son entrée.

4 Résultats obtenus suivant les différents cas de couplage

Dans ce paragraphe, nous allons comparer les mesures et simulations effectuées sur la carte de test en fonctionnement pour comprendre les effets d'une propagation ESD sur celle-ci. Pour toutes ces mesures effectuées dans cette partie, nous avons utilisé le générateur d'impulsions, VF-TLP pour injecter des stress avec des amplitudes et temps de montée variables. Nous verrons aussi les différentes difficultés de modélisations rencontrées durant ces travaux de thèse pour prédire correctement les phénomènes à l'intérieur du circuit.

4.1 Injection d'une impulsion ESD sur l'alimentation d'un circuit via la méthode DPI

4.1.1 Description de l'expérience

Cette étude a été menée pour étudier la susceptibilité d'un circuit intégré en fonctionnement en injectant une impulsion ESD sur son alimentation (broche VDD ou VSS). Le circuit choisi pour cette étude est l'inverseur 74LVC04A. Sa tension d'alimentation est de 2,5V. Pour l'injection de l'impulsion ESD, nous utilisons la méthode DPI (Direct Power Injection) décrite dans le paragraphe 2 de ce chapitre. La figure 3.40 montre le principe utilisé pour l'injection d'une impulsion ESD avec les différents éléments à prendre en compte pour cette méthode. L'injection sur la broche VDD est effectuée via un connecteur SMA relié à un condensateur 6,8nF par une ligne adaptée 50Ω jusqu'au circuit. En même temps que l'on injecte le stress, on contrôle (mesure) le courant circulant sur la masse au

travers d'une résistance de 1Ω . Cette mesure va permettre, d'une part de voir si le stress ESD se propage à travers la masse du circuit sous test et, d'autre part, de regarder le comportement des protections ESD internes qui se situent à la sortie.

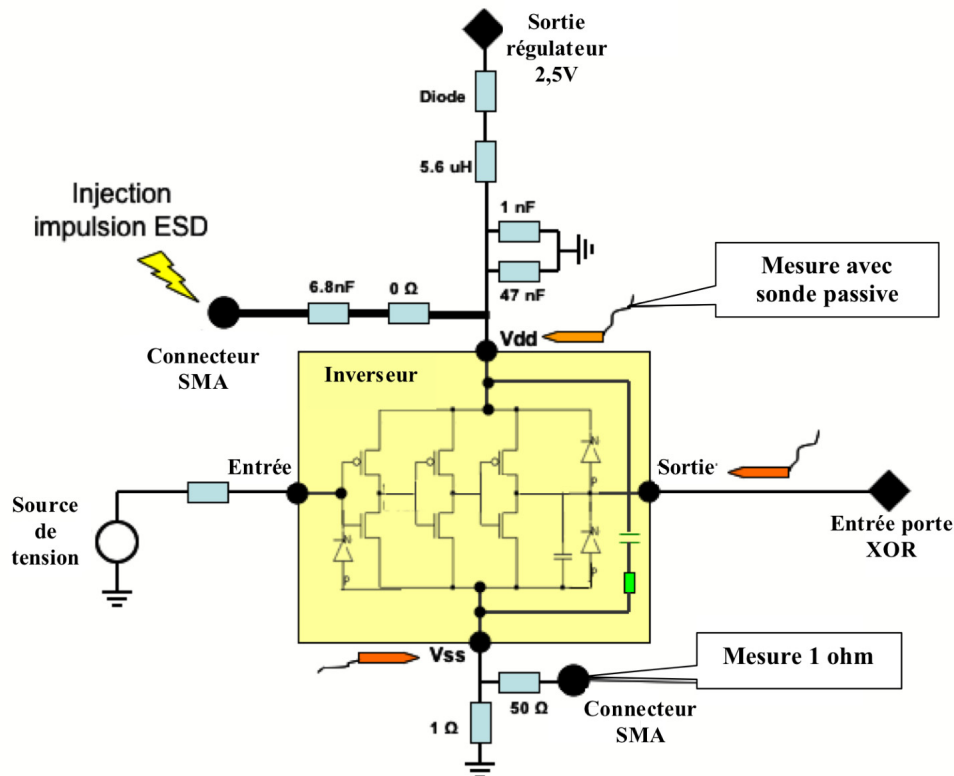


Figure 3.40 - Schéma de principe de l'injection DPI sur l'inverseur 74LVC04A.

Pour visualiser le comportement du circuit lors de l'injection, on utilise des sondes passives d'impédance $1M\Omega$ placées au plus près des broches du circuit. Ces sondes permettent de connaître l'impact de cette injection sur la sortie de l'inverseur et de la porte XOR.

4.1.2 Mesures et résultats obtenus sur cette injection directe.

Lors de cette étude, nous nous sommes intéressés à faire varier l'amplitude et la polarisation de l'impulsion injectée. Pour étudier l'influence de l'état logique de sortie de l'inverseur sur l'injection de la perturbation, plusieurs cas d'études ont été effectués:

- *Injection d'une impulsion avec sortie Inverseur à l'état « 0 »*

Pour avoir une bonne synchronisation des mesures, nous avons utilisé le boîtier TDR fourni avec le banc VF-TLP permettant de visualiser l'impulsion incidente en tension (celle qui est envoyée sur la carte) et les impulsions réfléchies. Nous synchronisons nos signaux sur

l'impulsion incidente. L'impulsion injectée a comme caractéristiques : une durée de 5ns et un temps de montée de 300ps. Pour éliminer la composante continue sur VDD, les mesures sont faites en mode AC. Les figures ci-dessous montrent les signaux récupérés par une sonde passive lorsque celle-ci est placée sur :

- la broche Vdd : VDD
- la broche de sortie de l'inverseur : sortie INV
- la broche de sortie de la porte XOR : sortie XOR
- la broche de masse de l'inverseur : masse

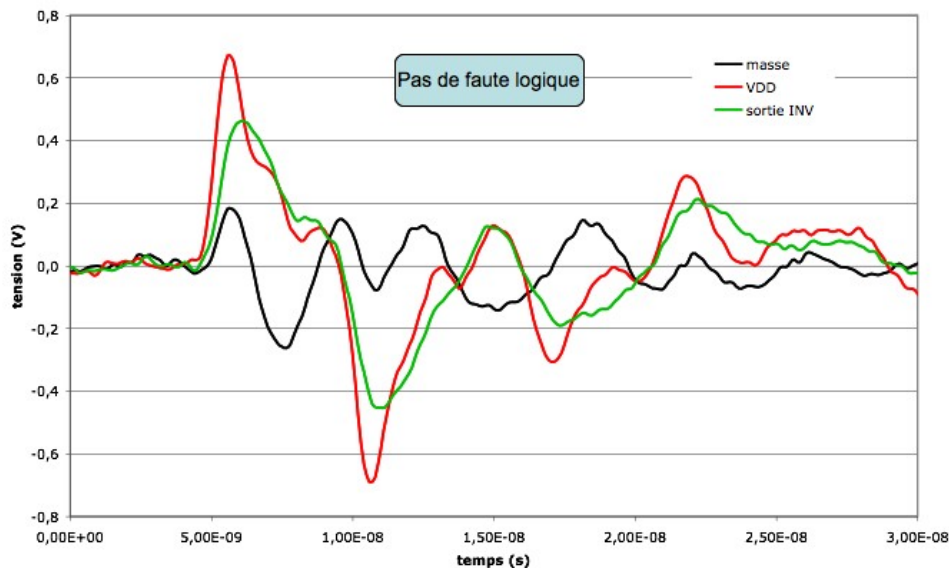


Figure 3.41 - Injection d'une impulsion positive d'amplitude 10V (sortie inverseur « 0 »).

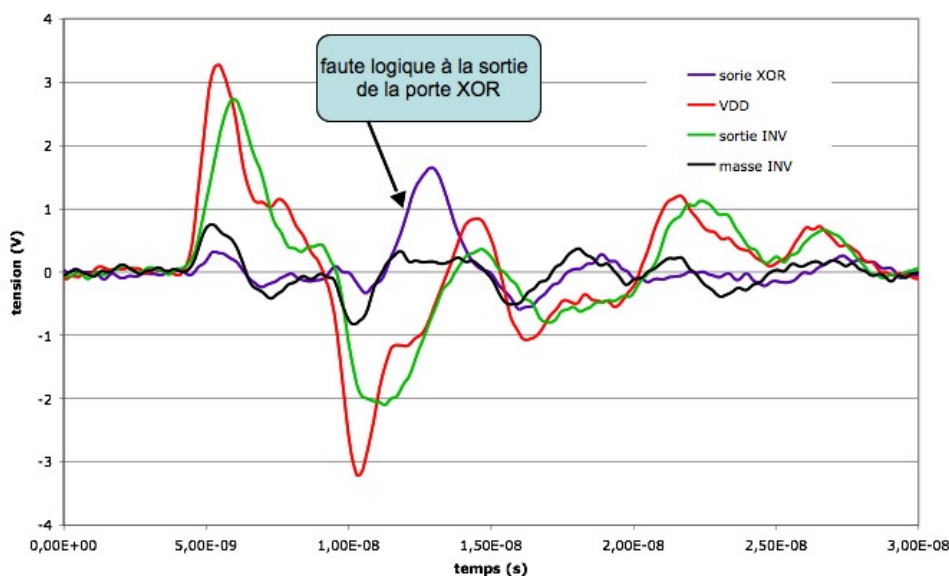


Figure 3.42 - Injection d'une impulsion positive d'amplitude 40V (sortie inverseur « 0 »).

- *Injection d'une impulsion avec sortie Inverseur à l'état « 1 »*

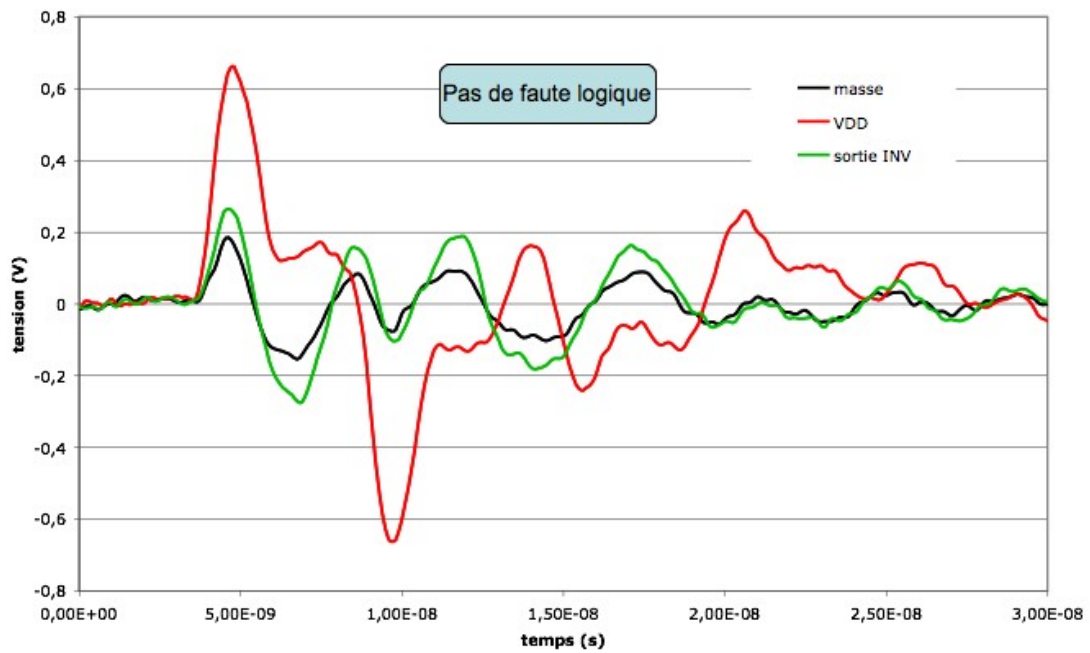


Figure 3.43 - Injection d'une impulsion positive d'amplitude 10V.

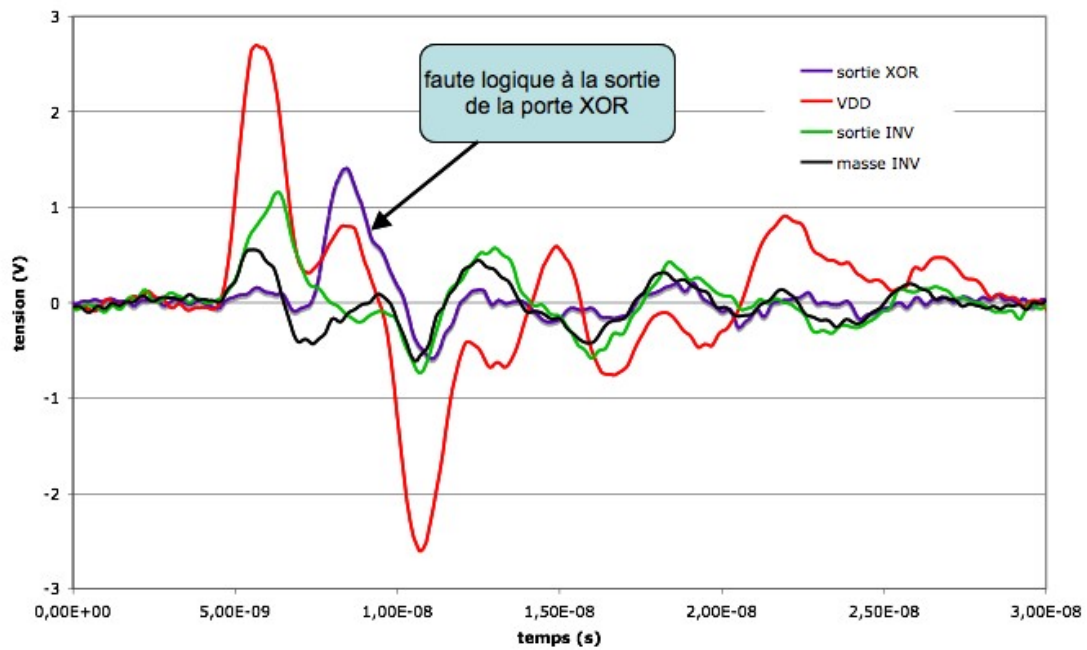


Figure 3.44 - Injection d'une impulsion positive d'amplitude 50V.

4.1.3 Discussions sur cette injection directe.

De ces mesures, nous pouvons noter que pour une configuration, où la sortie de l'inverseur est dans un état logique « 1 », les perturbations induites sur le bus d'alimentation VDD sont directement reproduites en sortie de l'inverseur. Les fluctuations mesurées sur la masse sont dues au réseau RC existant entre le VDD et le VSS du circuit testé (voir figure 3.40). Ce réseau représente le couplage entre les bus d'alimentations internes du circuit. À l'inverse, pour une configuration où l'état logique de la sortie de l'inverseur est à « 0 », ces fluctuations sur la masse sont mesurées en sortie du circuit. De cette injection sur l'alimentation d'un circuit, on remarque que la topologie des bus d'alimentations, mais aussi les différents couplages internes au circuit (capacitif ou inductif) sont très importants pour prédire les formes d'ondes en sortie du circuit. De plus, l'injection directe d'un stress ESD ayant une amplitude supérieure à 40V, engendre un changement d'état du circuit testé, ici l'inverseur. Ce changement d'état se propage entre l'inverseur et la porte XOR, et induit par propagation, une faute logique en sortie de la porte XOR. Par cette expérience, nous venons de montrer qu'une injection, très courte (durée de 5ns) avec un temps de montée de 300ps, peut générer une faute logique sur une carte en fonctionnement. Nous verrons, dans le chapitre suivant, qu'une étude sur un circuit logique plus complexe a été réalisée en collaboration avec l'ESEO, laboratoire d'Angers. Lors de cette étude, des informations précises sur les bus d'alimentations ainsi que sur les couplages internes nous ont permis de modéliser correctement les chemins de propagation et ainsi prédire les formes d'ondes en sortie du circuit. Une autre expérience a été réalisée en agressant l'inverseur par le plan de masse local, plan de 2cm*2cm situé en dessous du circuit (voir figure 3.8) avec une impulsion de temps de montée de 300ps et de durée 5ns. L'amplitude nécessaire pour que la porte XOR détecte une erreur logique en sortie de l'inverseur est de 800V. Nous retrouvons les mêmes résultats que [MUSO05] pour cette injection sur la masse du système.

	<i>Broche VDD</i>	<i>Broche VSS</i>
<i>Niveau « 0 »</i>	<i>50V</i>	<i>850</i>
<i>Niveau « 1 »</i>	<i>40V</i>	<i>800</i>

Tableau 4 – Niveau de susceptibilité de l'inverseur suivant les broches d'injection et son état logique.

D'après le tableau ci-dessus, nous remarquons qu'une forte différence existe au niveau de la susceptibilité de l'inverseur selon qu'on couple la perturbation sur la broche VDD ou sur

la broche VSS (un rapport de 20 sur l'amplitude à injecter). Pour l'étude la propagation de la perturbation sur le plan de masse, aucune simulation n'a été réalisée du fait de sa complexité (difficulté de modélisation du plan de masse).

4.2 Etude de l'influence d'un couplage indirect d'une impulsion ESD sur la carte de test

4.2.1 Description de l'expérience

Pour cette étude de couplage indirect, des injections d'impulsions ESD, avec une durée de 5ns et un temps de montée 300ps, ont été effectuées sur la carte de test en fonctionnement. La figure 3.45 décrit les différents couplages réalisés sur cette carte avec les circuits utilisés. Lors de ces mesures, nous nous intéressons à perturber un circuit simple en fonctionnement pour visualiser ses changements de niveau. Pour cette étude, nous avons agressé la sortie de l'inverseur et déterminé l'amplitude nécessaire du stress ESD pour détecter une erreur logique en sortie du XOR.

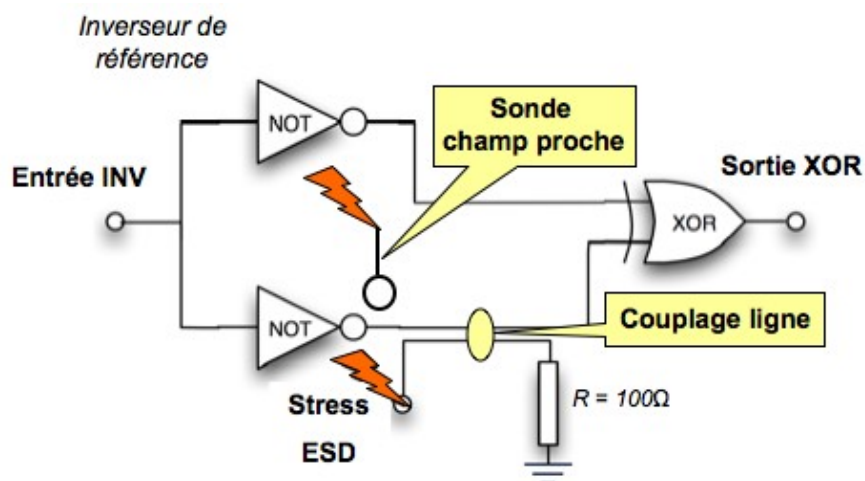


Figure 3.45 – Description des couplages réalisés sur la carte de test.

4.2.2 Mesures et simulations réalisées suivant les différentes méthodes d'injections.

Pour ces mesures, nous avons visualisé les formes d'ondes induites, suivant les deux méthodes d'injection (couplage par ligne ou par sonde champ proche), à l'entrée de la porte XOR et à sa sortie. Chacune de ces mesures a été obtenue sur des entrées d'oscilloscope $1M\Omega$ avec une capacité de 10pF. Cela signifie que ces mesures apportent des éléments

supplémentaires sur l'expérience menée. La capacité ajoutée étant du même ordre de grandeur que les capacités internes du circuit, elle va modifier les résultats obtenus. Pour les modélisations de ces différents tests, nous avons repris les modèles décrits dans les parties 2 et 3 de ce chapitre, c'est-à-dire les modèles de lignes couplées, de la sonde ainsi que le modèle complet des circuits.

- Injection d'une impulsion ESD par la méthode de diaphonie des lignes

Nous injectons sur des lignes couplées, un stress ESD (voir figure 3.45). Puis, nous faisons varier l'amplitude du stress de 50V à 1000V. Les inverseurs et la porte XOR sont alimentés en 2,5V. La figure ci-dessous montre la perturbation récupérée, par couplage indirect entre les lignes, à l'entrée de la porte XOR ainsi que les changements d'états de sa sortie pour une impulsion ESD de 100V. On obtient une bonne corrélation entre la mesure et la simulation au niveau de l'entrée de la porte XOR, la faute logique en sortie de la porte XOR est correctement simulée.

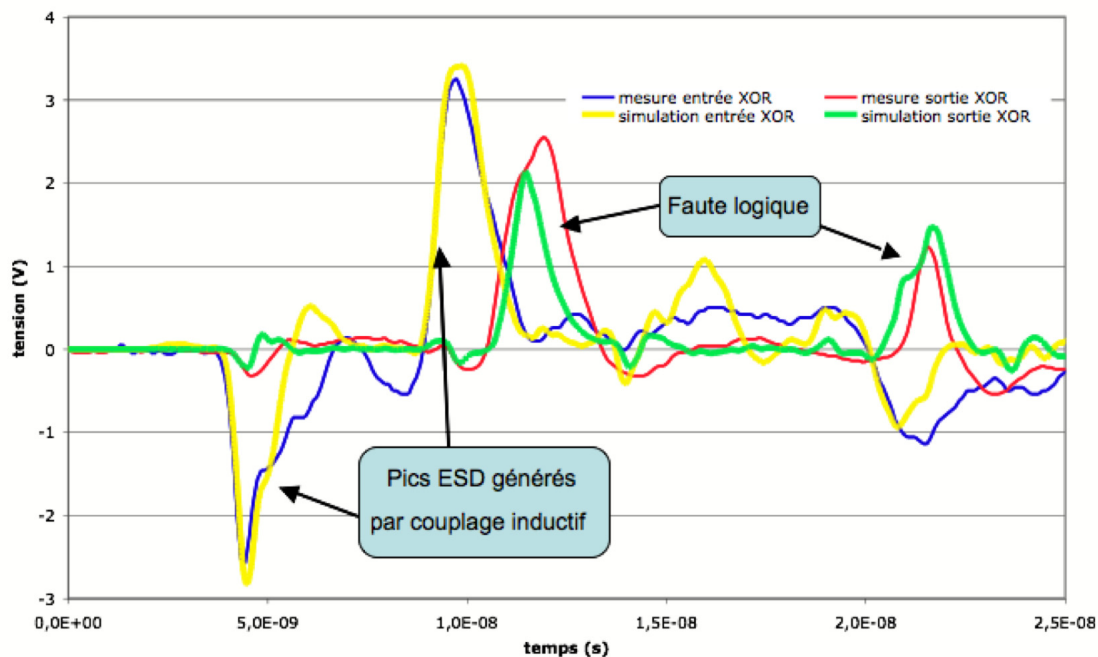


Figure 3.46 – Comparaison mesure/simulation à l'entrée et à la sortie de la porte XOR pour une injection ESD de 100V sur des lignes couplées.

D'après la théorie du couplage inductif (voir partie 2.3 de ce chapitre), les deux pics, notés pics ESD sur la figure ci-dessus, sont générés par la propagation de l'impulsion ESD sur la ligne (figure 3.45). Pour cette étude, les entrées des 2 inverseurs sont configurées pour

avoir en sortie un « 0 » logique. Avec cette configuration, la perturbation induite sur l'entrée de la porte XOR (pic ESD positif) induit un changement d'état à sa sortie (faute logique mesurée à 12ns, voir figure 3.46). En revanche, la faute visualisée à 20ns sur cette figure est due à la réflexion du câble coaxial 50Ω avec l'entrée de l'oscilloscope 1MΩ. Pour faire disparaître cet effet, nous avons changé l'entrée de l'oscilloscope à 50Ω et ainsi vu l'influence de l'impédance d'entrée sur la mesure. Il faut donc faire très attention aux résultats obtenus, car le moindre changement de configuration (sonde de tension utilisée, impédance de l'oscilloscope) sur la mesure peut engendrer des modifications sur les formes d'onde visualisées.

Une autre expérience a été effectuée avec cette méthode d'injection ESD avec des lignes couplées. Sur la piste d'injection, des protections ESD externes peuvent être placées en début ou en bout de piste, comme le montre la figure ci-dessous. Cela va nous permettre de voir l'influence du déclenchement d'une protection externe sur une carte en fonctionnement.

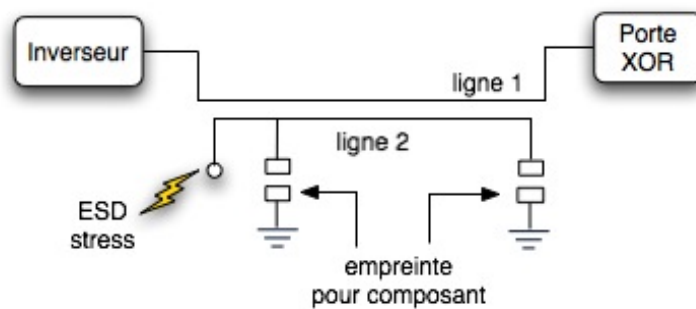


Figure 3.47 – Emplacements possibles des protections sur la ligne émettrice (ligne 2).

Pour éliminer les fautes logiques en sortie de la porte XOR, nous avons décidé de placer en début de la ligne émettrice (côté inverseur sur la ligne 2 de la figure ci-dessus) une protection ESD externe (ici une varistance avec comme référence CT0603M7G) et en fin de ligne une résistance de 100Ω. Pour un stress ESD d'amplitude 1000V, nous remarquons qu'aucune faute n'est induite en sortie de la porte XOR. La figure ci-dessous montre le signal vu sur la ligne couplée (ligne 1 : figure 3.47) à l'entrée de la porte XOR.

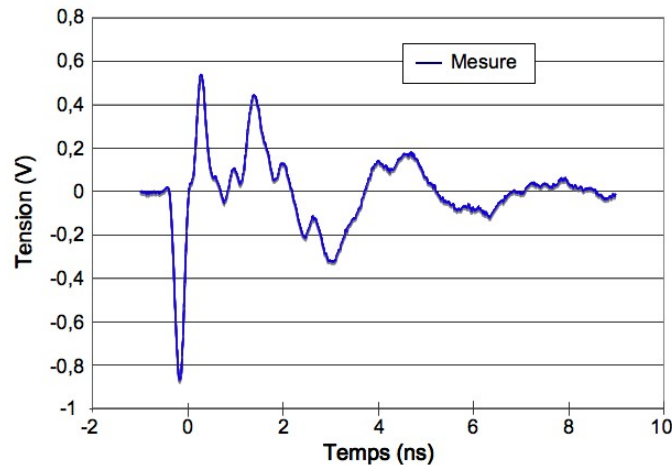


Figure 3.48 - Mesure de la tension couplée en entrée de la porte XOR pour une injection ESD de 500V.

On remarque que la tension mesurée est plus faible à cause de la présence de la protection ESD qui limite les amplitudes de la perturbation sur la ligne victime. Diverses amplitudes de stress (50V, 100V, 500V et 1kV) ont été injectées sur la ligne, et aucune différence sur la forme d'onde du signal n'a été perçue. Cela peut s'expliquer par le fait que l'impulsion ESD injectée sur la ligne 2 (voir figure 3.47), est trop brève pour que la protection mise en place sur celle-ci puisse se déclencher correctement. En augmentant l'amplitude de l'impulsion, on ne fait qu'augmenter la tension aux bornes de la varistance et donc, par couplage, on augmente la tension mesurée sur la ligne 1. Pour cette étude, ce sont les éléments passifs du circuit de protection (capacité de 200pF, inductance de 1nH et résistances parasites) qui interviennent sur le signal se propageant sur la ligne 2 et non la protection elle-même.

En résumé, pour placer des protections ESD sur une carte, il faut d'abord étudier son comportement dynamique face à une ESD et ainsi connaître l'influence de son déclenchement sur une carte en fonctionnement.

- Injection d'une impulsion ESD par la méthode de scan champ proche

Pour cette expérience, nous avons injecté un stress ESD au travers de la sonde magnétique décrite dans la partie 2 de ce chapitre. Pour cette étude, la sonde est placée près de la sortie inverseur. La figure 3.48 montre la perturbation récupérée à l'entrée de la porte XOR ainsi que les changements d'états de sa sortie pour une impulsion ESD de 60V. Pour cette

mesure, les entrées des inverseurs (entrée INV) sont à l'état logique « 1 ». La sortie de l'inverseur est à « 0 » ainsi que la sortie de la porte XOR.

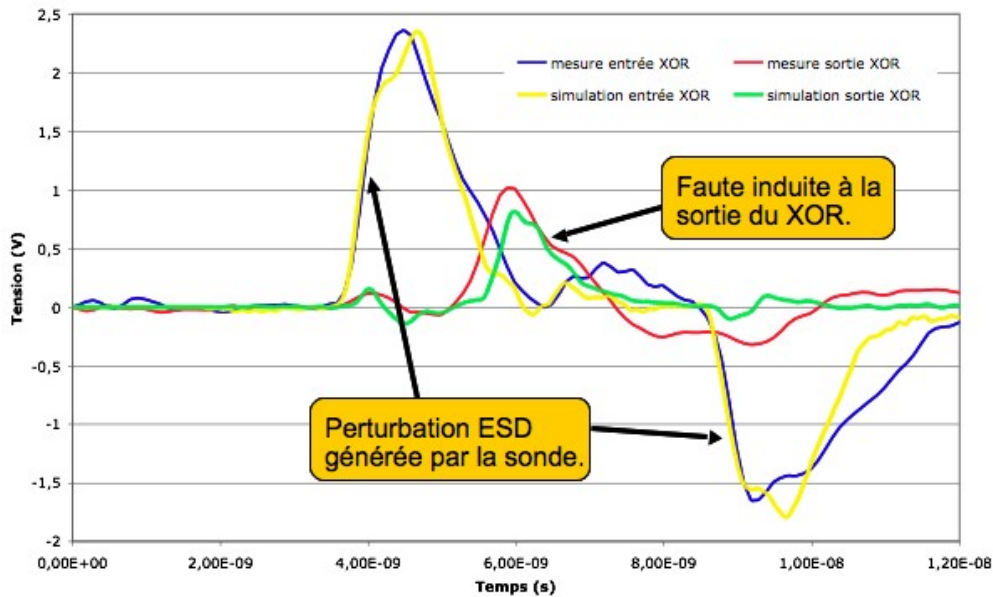


Figure 3.48 – Comparaison mesure simulation à l'entrée et à la sortie de la porte XOR pour une injection ESD de 60V au travers d'une sonde magnétique.

En injectant une impulsion ESD au travers d'une sonde magnétique, on génère des perturbations sur une carte en fonctionnement. La propagation de ces perturbations, jusqu'à l'entrée du circuit logique, induit en interne de celui-ci, des changements de niveau logique et crée ainsi des erreurs en sortie.

4.2.3 Discussions sur ces différents modes de couplage indirect.

D'après ces tests, nous avons vérifié qu'une impulsion ESD pouvait faire commuter une porte logique XOR via un couplage indirect de type inductif, soit par des lignes ou par une sonde magnétique. De plus, une comparaison a été effectuée pour voir l'effet de chaque méthode sur la susceptibilité du circuit sous test. Le tableau ci-dessous récapitule les différentes amplitudes requises pour générer une erreur logique en sortie du XOR pour les deux configurations possibles au niveau de la carte de test. C'est-à-dire soit la sortie de l'inverseur est à l'état haut donc nous avons un niveau « 1 » logique sur la ligne victime, soit la sortie est à l'état bas ou niveau « 0 » logique.

	<i>Injection ligne couplée</i>	<i>Injection sonde magnétique</i>
<i>Niveau « 1 »</i>	<i>60V</i>	<i>90V</i>
<i>Niveau « 0 »</i>	<i>170V</i>	<i>210V</i>

Tableau 5 – Valeur minimale de l'impulsion injectée suivant les méthodes utilisées.

Une différence, au niveau des valeurs à injecter, existe selon l'état de sortie de l'inverseur ainsi que la méthode d'injection utilisée. Pour la méthode d'injection, cette différence est due au coefficient de couplage qui est plus élevé avec les lignes couplées. Cependant la méthode avec la sonde est plus pratique que celle des lignes couplées, car aucune modification sur la carte de test n'est utile pour effectuer cette injection. En ce qui concerne les niveaux logiques de sortie de l'inverseur, on note que l'état haut est plus susceptible que l'état bas. Cela peut s'expliquer par la différence de la charge équivalente au niveau de la sortie de l'inverseur. Il faut donc noter que les impédances de sortie des portes modifient les tensions induites au niveau de la ligne victime (voir équations 1 et 2 du calcul de couplage inductif).

Une dernière étude a concerné l'influence du temps de montée de l'impulsion sur ces méthodes de couplage indirect. Nous avons remarqué que pour des injections effectuées avec le banc TLP avec des temps de montée de l'ordre de 2 à 9ns, aucune faute n'était détectée à la sortie de la porte XOR pour des amplitudes allant de 50 à 1000V. Cette influence du temps de montée s'explique par le fait que le rapport di/dt est plus faible qu'avec le banc Vf-TLP (quelques centaines de ps). D'après les équations 3 et 4 de la partie 2.3 de ce chapitre, si ce rapport diminue alors les tensions couplées sur la ligne victime sont moins importantes et ne permettent pas de faire commuter la porte XOR. Par cette étude, on se rend compte de l'importance des types de perturbations ESD injectées sur la susceptibilité du système.

Du point de vue de la simulation, les résultats obtenus sont satisfaisants par rapport aux informations connues au niveau des circuits logiques. On note que les signaux de sortie de la porte XOR sont imprécis sur leurs durées. Cette différence est due au manque de données sur la partie interne du circuit, que ce soit au niveau des couplages internes mais aussi au niveau des capacités parasites des différentes transistors. Cependant, sans ces informations, une estimation de la susceptibilité des circuits face aux agressions ESD peut être simulée pour connaître les niveaux admis pour un bon fonctionnement du système.

5 Conclusion

Dans ce chapitre, nous avons étudié l'influence de stress ESD sur une carte de test en fonctionnement comprenant des circuits digitaux simples. Pour cela, plusieurs méthodes, servant pour des tests CEM, ont été utilisées pour injecter le stress, soit par conduction directe, soit par couplage. Pour bien comprendre les perturbations engendrées par ces diverses injections, une description détaillée ainsi que des modélisations de chacune d'elles a été donnée. Le but de ce chapitre a été de concevoir une méthodologie de test permettant de prédire la susceptibilité du système face à des agressions ESD. Pour notre étude, la susceptibilité a été définie par un dysfonctionnement (faute logique) momentané du système sous test. De nombreuses mesures ont été effectuées pour caractériser et connaître les formes d'ondes des signaux se propageant sur la carte. En ce qui concerne ces mesures, beaucoup de problèmes sont survenus. Étant donné que nous travaillons avec des impulsions très rapides, les moindres éléments parasites ramenés par la mesure (capacité, impédance des sondes de tensions) perturbent les signaux visualisés sur les oscilloscopes. De plus, le temps de propagation de ces impulsions ainsi que les divers changements d'impédances sont très importants pour bien comprendre les différentes formes d'ondes obtenues. Pour prédire correctement ces signaux propagés sur la carte de test, plusieurs modèles ont été réalisés en VHDL-AMS. Dans un premier temps, nous avons validé les différents modèles effectués pour simuler les méthodes d'injection. Puis, nous avons modélisé les circuits digitaux utilisés. Pour cela, les travaux de Lamoureux nous ont servi de base pour réaliser ce modèle incluant des modèles IBIS pour simuler les broches E/S, des transistors MOS pour modéliser le fonctionnement interne, ainsi que des diodes pour les protections ESD. Cependant, nous nous sommes rendu compte que ce modèle n'était pas satisfaisant pour prédire correctement le comportement dynamique du circuit. De nombreuses informations sont manquantes comme les différents couplages internes entre les bus d'alimentations, mais aussi les paramètres dynamiques des structures de protection ou des transistors utilisés. Toutes ces informations sont nécessaires pour connaître la propagation interne des signaux au niveau du circuit. Dans le chapitre suivant, des cas d'études plus complexes ont été effectués avec la collaboration de laboratoires de recherches et d'industriels. Pour ces études, nous avons repris les méthodes d'injection développées dans ce chapitre. Nous verrons que même si les circuits testés sont complexes, de bons résultats ont été obtenus sur ces travaux grâce aux nombreuses informations fournis par nos collaborateurs sur les éléments internes des circuits testés.

Bibliographie

- [BESA01] **M. Besacier**, "Adaptation de la méthode PEEC à la représentation des structures d'électronique de puissance", Thèse de Doctorat, Institut National Polytechnique de Grenoble, 2001.
- [BOYE07] **A. Boyer**, "Méthode de Prédiction de la Compatibilité Electromagnétique des Systèmes en Boîtier", Thèse de Doctorat, Institut National des Sciences Appliquées de Toulouse, 2007.
- [CAMP04] **M. Camp, H. Gerth, H. Garbe, and H. Haase**, "Predicting the breakdown behavior of microcontrollers under EMP/UWB impact using a statistical analysis", *IEEE Transactions on Electromagnetic Compatibility*, vol. 46, pp. 368-379, 2004.
- [DPI-4] **IEC 62132-4**, Ed.1: "Integrated circuits, Measurement of electromagnetic immunity – 150 kHz to 1 GHz - Part 4: Direct RF power injection method".
- [HAN07] **L. Han, J. Koo, D. Pommerenke, D. Beetner, and R. Carlton**, "Experimental Investigation of the ESD Sensitivity of an 8-Bit Microcontroller", *IEEE International Symposium on Electromagnetic Compatibility (EMC 2007)*, pp. 1-6, 2007.
- [IBIS] **IBIS** (I/O Buffer Information specification) ANSI/EIA-656-A Homepage, <http://www.eigroup.org/IBIS>.
- [ICEMC] **E. Sicard, A. Boyer**, « IC-EMC – User's Manual », avril 2007, disponible sur <http://www.icemc.org>.
- [IEC-1] **IEC 62132-1**, "Circuits intégrés – Mesure de l'immunité électromagnétique, 150 kHz à 1 GHz – Partie 1 : Conditions générales et définitions", 2006.
- [IEC-4] **IEC 61000-4-4**, Compatibilité électromagnétique (CEM), Partie 4: "Techniques d'essai et de mesure – section 4 : Essais d'immunité aux transitoires électriques rapides en salves", troisième édition, 2006.
- [KAND93] **M. Kanda**, "Standard probes for electromagnetic field measurements", *IEEE Transactions on Antennas and Propagation*, vol. 41, pp. 1349-1364, 1993.

- [LAMO06] **J.C. Hamon**, “Méthodes et outils de la conception amont pour les systèmes et les microsystèmes”, Thèse de Doctorat, Institut National Polytechnique de Toulouse, 1999.
- [LAUR91] **J. J. Laurin, S. G. Zaky, and K. G. Balmain**, “EMI-induced failures in crystal oscillators”, *IEEE Transactions on Electromagnetic Compatibility*, vol. 33, pp. 334-342, 1991.
- [MART05] **C. Martin**, “Vers une méthodologie de Conception des interconnexions pour les dispositifs de l'Electronique de Puissance”, Thèse de Doctorat, Université Joseph Fourier de Grenoble, 2005.
- [MUSO05] **F. Musolino and F. Fiori**, “Investigation on the susceptibility of microcontrollers to EFT interference”, *International Symposium on Electromagnetic Compatibility (EMC 2005)*, vol. 2, pp. 410-413, 2005.
- [NEAR-3] **IEC 61967-3** : “Integrated Circuits, Measurement of Electromagnetic Emissions, 150 kHz to 1 GHz – Part 3: Measurement of Radiated Emissions – Surface Scan Method”.
- [WANG04] **K. Wang and D. Pommerenke**, “The PCB level ESD immunity study by using 3 dimension ESD scan system [C]”, *International Symposium on Electromagnetic Compatibility*, pp. 343-348, 2004.
- [ZAKY92] **S. G. Zaky, K. G. Balmain, G. R. Dubois**, “Susceptibility Mapping”, *International Symposium on Electromagnetic Compatibility*, pp. 439 – 442,1992.

Chapitre 4

Validation de la méthodologie de test sur des systèmes numériques complexes

Dans le chapitre précédent, nous avons évalué la propagation d'un stress ESD sur une carte en fonctionnement avec des circuits logiques simples. Lors de cette étude, nous avons utilisé différentes méthodes de test afin d'injecter des perturbations dans un circuit intégré. Celles-ci nous ont permis d'étudier plus en détail les mécanismes liés à la susceptibilité des composants et ainsi comprendre quels paramètres influençaient les perturbations se propageant sur la carte mais aussi à l'intérieur du circuit. Pour valider nos méthodologies de tests et de simulations, nous allons présenter deux cas d'études sur des circuits complexes en fonctionnement.

Un premier cas a été réalisé dans le cadre d'une collaboration avec l'ESEO d'Angers, pour étudier l'immunité d'un circuit intégré en technologie CMOS 0,18 μ m, face aux ESD. Ce circuit, nommé CESAME, a été fabriqué afin de mesurer l'émission électromagnétique d'un circuit intégré. Or, pour notre étude, nous nous sommes intéressé au comportement du circuit en fonctionnement, lorsque celui-ci était agressé par une injection ESD directe au niveau de ses alimentations.

Le deuxième cas a été effectué sur un microcontrôleur 16 bits de Freescale Semiconductor. Avec l'aide de Mr Bertrand Vrignon, Ingénieur de recherche CEM à Freescale Toulouse, nous avons étudié la susceptibilité de ce circuit face à des agressions ESD rayonnées par la sonde champ proche. Des mesures, réalisées par la société Valeo à Créteil, ont montré des zones sensibles au niveau du système d'horloge du circuit et du RESET. De nouvelles mesures ont été effectuées sur ces zones ainsi que des simulations pour comprendre les effets de ces agressions ESD.

Pour ces deux cas d'étude, l'injection des stress ESD a été réalisée par le banc de test VF-TLP générant des impulsions ESD ultra-rapides. Nous rappelons les caractéristiques des impulsions injectées qui sont : une largeur variant de 1,25ns à 5ns, un temps de montée de 175ps ou 300ps, et une amplitude de charge de 1V à 1kV.

L'objectif de ce chapitre est de démontrer que des injections d'impulsions ESD en mode conduit ou rayonné peut créer un dysfonctionnement ou même l'arrêt d'un système numérique. Les études effectuées dans le chapitre précédent, avec la carte comprenant des inverseurs et une porte XOR, ont éclairci un grand nombre de points qui vont nous permettre d'aborder les études des systèmes complexes que nous présentons dans ce chapitre. En ce qui concerne la simulation, nous verrons que, grâce à nos collaborations, les diverses informations obtenues sur la structure interne du circuit testé permettent de prédire correctement les effets des perturbations à ses sorties.

1 Etude de cas sur un circuit test : la puce CESAME

Cette partie décrit le travail de recherche visant à prédire les propagations ESD à l'intérieur d'un circuit, grâce à un véhicule de test en CMOS 0,18 μ m. Après avoir décrit le banc de test, nous présentons le véhicule de test : la puce CESAME. Ce circuit expérimental comporte un coeur de type microprocesseur décliné 6 fois avec des règles de dessin différentes. Ces règles de dessin ont été utilisées pour réduire les émissions parasites des circuits afin de présenter des signatures spectrales les moins énergétiques possibles et ainsi faciliter la compatibilité électromagnétique au niveau équipement [VRIG05]. Nous verrons dans cette partie, que la méthodologie de test VF-TLP développée, permet une bonne corrélation avec les mesures DPI qui ont montré, dans une étude précédente, l'efficacité de ces différentes règles de dessin. Pour cela, nous détaillerons les différentes mesures effectuées au LAAS et les simulations obtenues avec des modèles SPICE et VHDL-AMS combinés pour pouvoir prédire le comportement du circuit sous test.

1.1 Description du banc de test pour une injection directe au niveau des alimentations du circuit test

La méthode d'injection utilisée pour cette étude, reprend les bases de la méthode DPI (Direct Power Injection), dont le principe repose sur l'utilisation d'une capacité pour transmettre une perturbation au circuit sous test. Une description plus précise de cette injection a été donnée dans le chapitre précédent. Nous rappelons que la seule différence entre la méthode DPI et notre méthode d'injection est au niveau de la perturbation envoyée (ici une impulsion transitoire très rapide). Pour cette étude, les perturbations sont injectées sur les broches V_{DD} et V_{SS} d'un circuit sous test pour le caractériser vis-à-vis des ESD. La figure 4.1 présente le système d'injection composé d'une sonde reliée à un condensateur de 1nF. La perturbation est injectée avant les capacités de découplage du réseau d'alimentations. Dans un environnement naturel, on pourrait assimiler cette injection à une agression qui se couplerait aux pistes du circuit sous test.

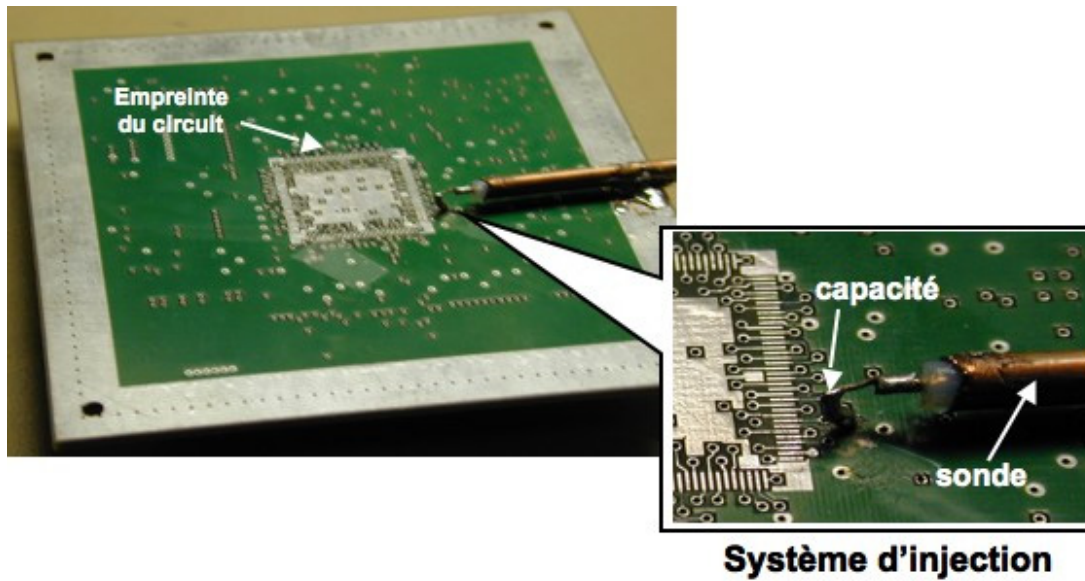


Figure 4.1 – Présentation du système d'injection (sonde + capacité de couplage) sans le circuit.

Pour la mesure de l'impulsion injectée dans le circuit sous test, un boîtier TDR est situé en amont du système d'injection. Dans cette étude, ce boîtier va permettre de synchroniser les différents signaux de sortie mesurés au niveau du circuit sous test. La figure ci-dessous montre le schéma bloc de la manipulation réalisée.

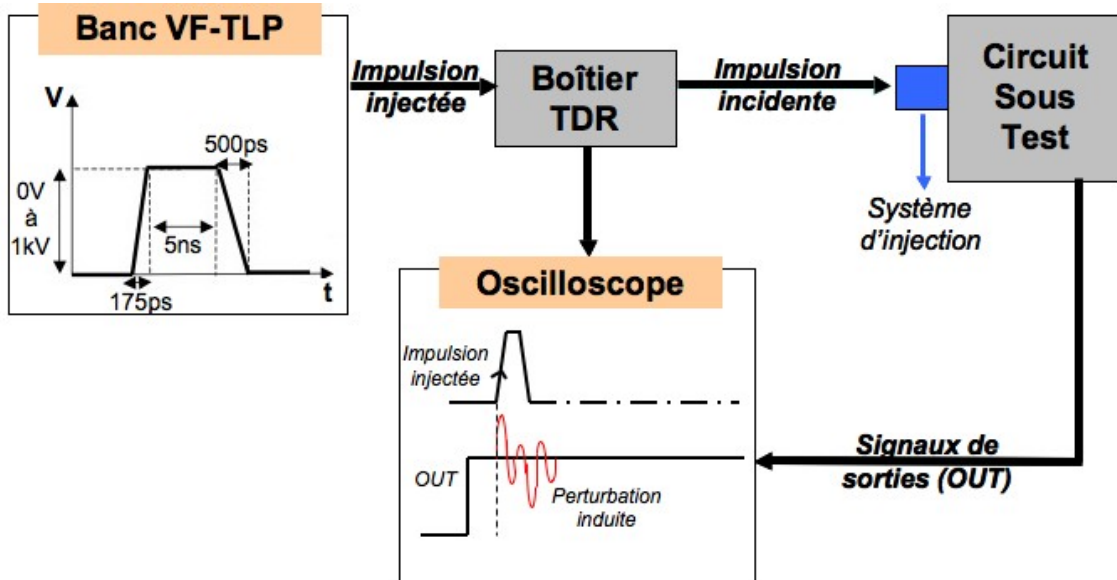


Figure 4.2 – Principe de synchronisation avec le boîtier TDR.

1.2 Description de la puce CESAME et de la carte de test

➤ La puce CESAME

CESAME est une puce test, conçue par Mr COURAU à ST Microelectronics Crolles, dans le cadre du projet européen MEDEA+ "MESDIE" et dédiée à l'étude des émissions électromagnétiques [COUR01]. Insérée dans un boîtier TQFP 144 broches, la puce CESAME est constituée de 6 cœurs logiques (voir figure 4.3) ayant le même fonctionnement. Pour bien séparer et isoler chaque cœur, les blocs logiques et les E/S ont chacun une paire d'alimentation dédiée de 1,8V. Durant notre étude, nous n'avons utilisé que trois cœurs logiques. Le cœur NORM (pour « normal ») est dessiné selon les règles de dessin classiques de la technologie 0,18 μ m, et a servi de référence. Les cœurs RC (pour « RC net ») et ISO (pour « Isolated ») utilisent des règles de dessin différentes visant à diminuer ses émissions électromagnétiques. Pour le cœur logique RC, une capacité de découplage interne (poly silicium/double oxyde) entre les bus d'alimentations est ajoutée. Cela permet d'atténuer les pics de courants lors des commutations des portes logiques. Le cœur ISO est isolé du reste de la puce par une couche enterrée et un anneau de garde NWELL entourant le cœur. Cela permet d'éviter tout couplage capacitif entre le bloc logique et le substrat. Dans la thèse de Mr VRIGNON, une description plus détaillée de ces différentes règles de dessin est donnée [VRIG05].

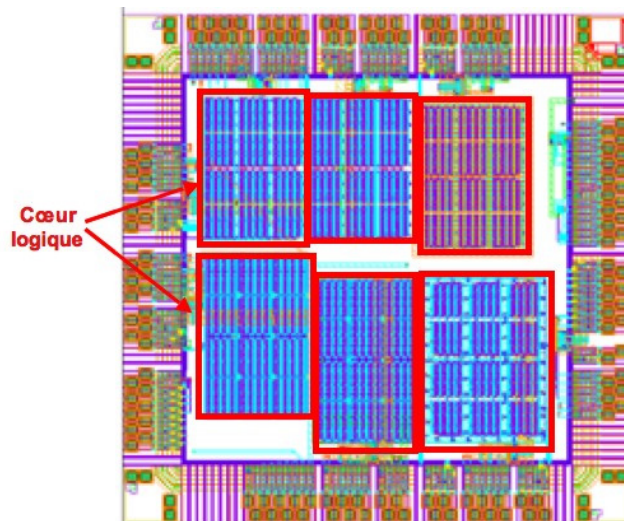
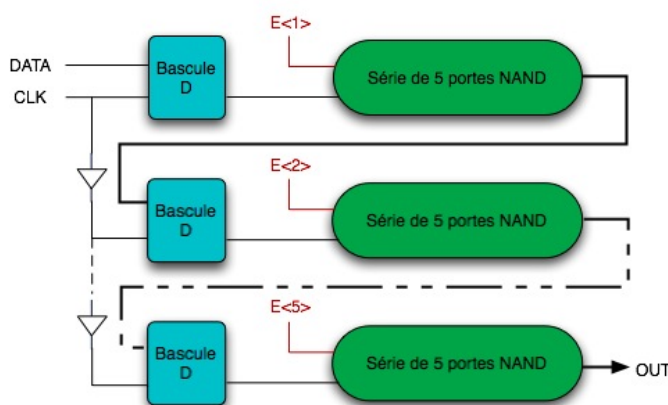


Figure 4.3 – Layout de la puce CESAME regroupant ses 6 cœurs logiques.

Pour obtenir un comportement électronique et des consommations en courant similaires à celles d'un circuit synchrone comme un microcontrôleur, la puce CESAME se compose de plusieurs cellules de base (voir figure 4.4) constituées de portes NAND et de bascules D.



Les signaux d'horloge « CLK », retardé entre chaque bascule, et de donnée « DATA » permettent de provoquer des changements d'états et des commutations du cœur.

Chaque série de portes NAND est contrôlée par un signal « E<x> » permettant de faire varier l'activité du cœur logique de 0 à 100% avec des pas de 10%.

Figure 4.4 – Constitution d'une cellule de base d'un cœur logique de la puce CESAME.

Chaque cœur est composé de 12 sous-ensembles constitués pour chacun d'eux de 20 cellules, soit au total 240 cellules de base. Avec cette structure, la puce CESAME comprend près de 700 000 transistors. Pour vérifier le fonctionnement logique du circuit, chaque cœur a une sortie logique provenant d'une seule cellule de base, signal OUT sur la figure 4.4. Toutes les autres sorties des cellules de base sont connectées sur des capacités MOS de quelques dizaines fF.

➤ La carte de test

La puce CESAME est disposée sur une carte de type FR4, quatre couches, avec un format adapté aux cellules TEM (dimension de 10,3 x 10,3 cm) pour effectuer des mesures d'émissions. La figure 4.5 montre les deux faces de la carte de test utilisée pour notre étude. Sur cette carte, le circuit sous test est monté seul au milieu de la carte, entouré d'un plan de masse continu. L'autre face de la carte comporte les prises de mesures et les différents circuits passifs et actifs nécessaires au fonctionnement de CESAME. L'activation totale ou partielle de chaque cœur se fait suivant 4 bits de données envoyés par une carte d'acquisition.

Le réseau d'alimentation du circuit CESAME est réalisé à l'aide de quelques éléments :

- une pile de tension 9V fournissant l'énergie nécessaire au fonctionnement du circuit et limitant la génération de bruits parasites inhérents à une alimentation stabilisée
- des régulateurs de tensions de 1,8V pour les portes logiques et 2,6V pour les capteurs analogiques (non utilisés dans notre étude)

- des capacités de découplage de 47nF entre le V_{DD} et V_{SS} et situées au plus près des broches du circuit CESAME.

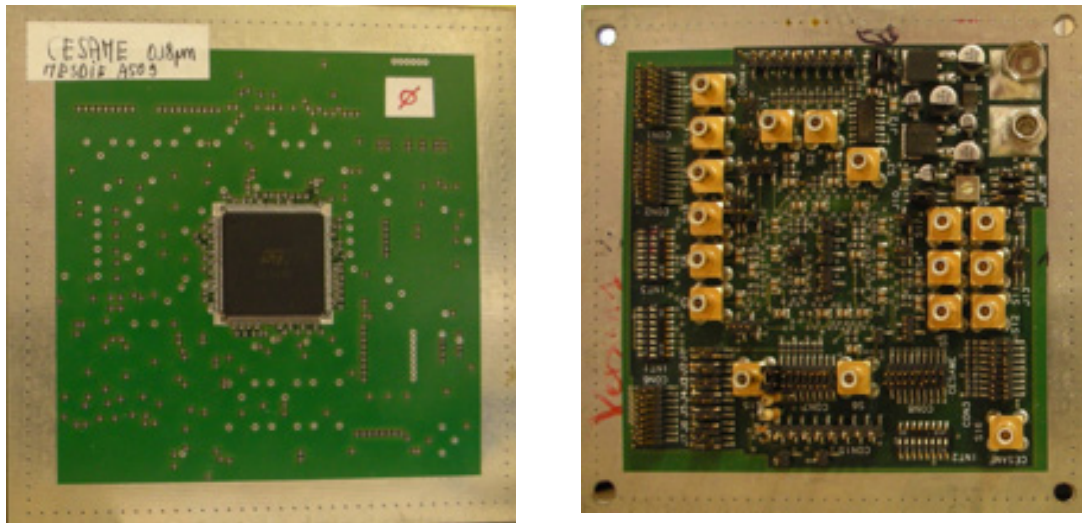


Figure 4.5 – Partie inférieure et supérieure de la carte de test.

Nous verrons dans la partie modélisation de la carte, que ces différents régulateurs sont modélisés simplement par des sources de tensions continues. En revanche, la modélisation des pistes d'alimentations et des capacités de couplages a été plus précise.

1.3 Présentation du critère de susceptibilité utilisé

Dans toute mesure de susceptibilité, des critères de défaillance ou de susceptibilité s'avèrent importants pour suivre l'état de fonctionnement du circuit sous test. Pour cette étude, nous nous sommes intéressés au dysfonctionnement induit pour des seuils perturbateurs bien plus faibles que celui de la destruction. L'étude de la susceptibilité du circuit s'effectue en observant la sortie d'un cœur logique du circuit CESAME à l'aide d'un oscilloscope. L'injection ESD effectuée sur le réseau d'alimentations (impulsion incidente, voir figure 4.2) crée des oscillations sur le niveau logique, susceptible de causer une erreur de fonctionnement du circuit. La figure 4.6 montre le critère de susceptibilité utilisé sur des niveaux logiques. Quand l'amplitude du signal sort du gabarit arbitraire fixé à $\pm 20\%$, le circuit est considéré susceptible.

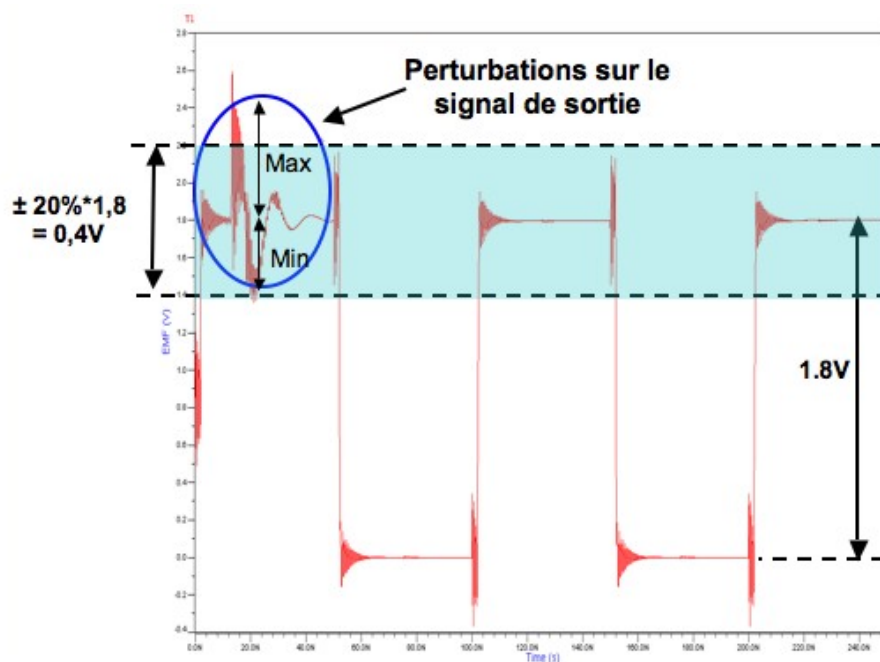


Figure 4.6 – Critère de susceptibilité utilisé lors de l'étude.

S'agissant d'un circuit numérique, un critère supplémentaire de susceptibilité est souvent rajouté sur la tolérance temporelle. C'est-à-dire si le signal sort du gabarit temporel fixé à $\pm 10\%$ autour du signal nominal, alors un dysfonctionnement du circuit est considéré. Ce critère n'est pas utilisé car le temps entre chaque impulsion ESD injectée n'est pas assez précis pour permettre une synchronisation sur le temps de montée ou de descente de la logique du circuit sous test. Les transitoires du signal sont de l'ordre de quelques ns tandis que la précision de l'injection du stress ESD peut varier de quelques μs .

1.4 Modélisation de l'ensemble : du système d'injection au circuit test

Le but de ce modèle complet est de simuler l'injection de l'impulsion sur le circuit sous test et de comparer les résultats avec ceux de la mesure, afin de déduire un modèle qui aide à la prédiction de la susceptibilité dans les circuits, avant la mise en fabrication.

1.4.1 Modélisation globale du schéma électrique utilisé pour cette étude

La figure 4.7 présente le schéma électrique global utilisé pour simuler la susceptibilité du circuit CESAME.

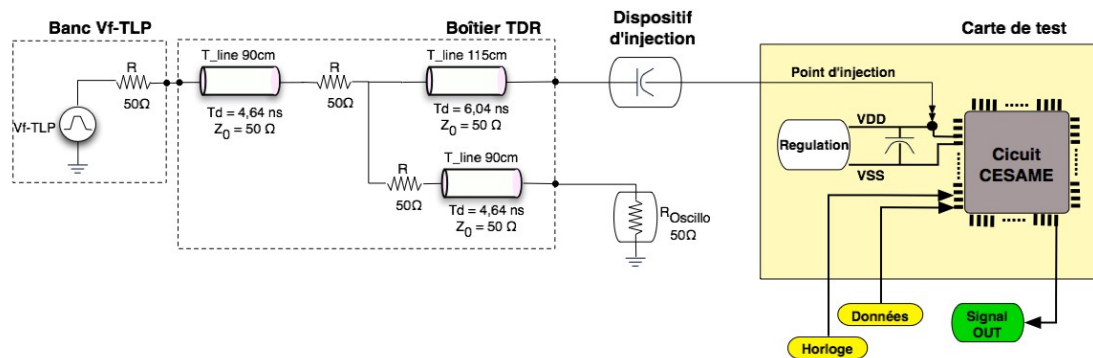


Figure 4.7 – Schéma électrique global de l'agression à la puce.

Le générateur d'impulsions (banc Vf-TLP), le boîtier TDR et les câbles coaxiaux sont modélisés en VHDL-AMS. Pour les diverses connectiques (câbles coaxiaux), des lignes de transmissions (T_line), avec des délais et des impédances 50Ω, sont utilisées. Les modèles du générateur d'impulsions et du boîtier TDR ont été présentés dans le chapitre 2. Le reste du système (dispositif d'injection, carte de test et circuit CESAME) est modélisé en SPICE. Les différents éléments constituant ces modèles vont être décrits brièvement dans les paragraphes suivants. Tous ces modèles ainsi que les diverses valeurs nous ont été fournies par le laboratoire d'Angers, l'ESEO. Nous avons combiné chaque netlist SPICE fournie avec les descriptions VHDL-AMS dans le logiciel de simulation ELDO. Cette modélisation complète permet de visualiser les impulsions injectées, réfléchies et transmises au circuit sous test à partir de la sortie du boîtier TDR connectée au modèle de l'oscilloscope (représentée par une résistance $R_{Oscillo}$ sur la figure 4.7). Pour faire fonctionner le circuit CESAME, deux fréquences sont nécessaires : une pour le signal « Horloge » de 20MHz et l'autre pour les « Données » de 10MHz. Durant les injections ESD, nous pouvons observer les perturbations générées en sortie du circuit CESAME avec le signal « OUT ». Ce signal de sortie diffère suivant les cœurs logiques testés.

1.4.2 Modélisation du dispositif d'injection

Le dispositif d'injection est composé, d'une sonde réalisée à l'aide d'un câble coaxial, ainsi que d'une capacité (voir figure 4.1). Pour la modélisation de la sonde (voir figure 4.8), nous utilisons une résistance (R_{Sonde}) placée en série avec des inductances (L_{Sonde}). Un couplage capacitif apparaît entre la sonde et la carte (C_{Sonde}). Ce couplage a une valeur de quelques pF et se trouve en parallèle avec les autres éléments du modèle de la sonde. La

résistivité de la carte est modélisée par une résistance, notée R_{Carte} , qui se trouve en série avec le couplage capacitif. Les valeurs des divers éléments passifs du modèle de la figure 4.8 varient selon quelques paramètres. (longueur de la sonde, position par rapport à la carte).

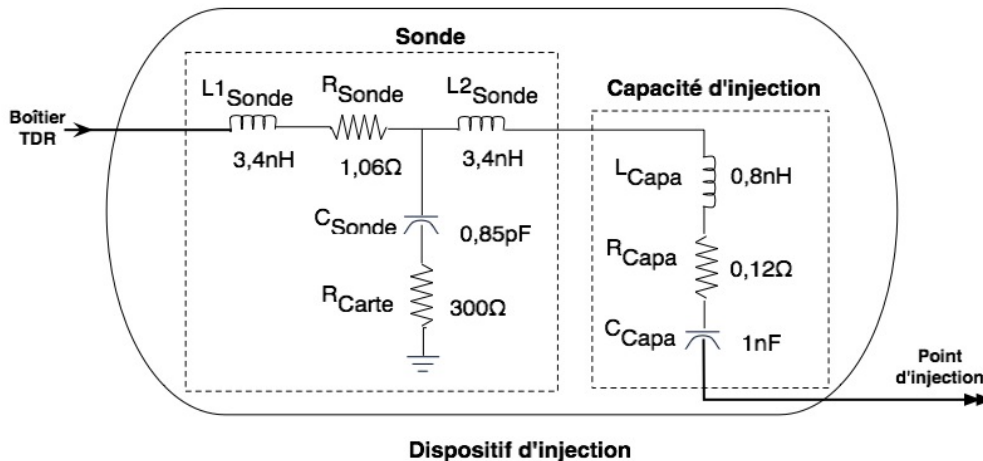


Figure 4.8 – Modélisation du dispositif d'injection comprenant la sonde et la capacité.

En ce qui concerne la capacité d'injection, des mesures d'impédances ont été effectuées au laboratoire d'Angers, à l'aide de sondes de test sous pointe. Avec ces mesures, des valeurs inductives et résistives de la capacité ont pu être obtenues. Le modèle de la capacité d'injection est décrit par trois éléments passifs en série RLC avec comme valeurs :

$$R_{\text{Capa}} = 0,12\Omega \quad L_{\text{Capa}} = 0,8\text{nH} \quad C_{\text{Capa}} = 1\text{nF}$$

Nous devons prendre en compte tous ces éléments parasites car nous travaillons sur des gammes de fréquences (jusqu'à 1GHz) où l'effet de ces éléments est prédominant sur le comportement capacitif valide jusqu'à 200MHz (voir figure 3.10 du chapitre 3). D'autres mesures similaires ont été réalisées pour modéliser les capacités de découplage montées au plus près du circuit.

1.4.3 Modélisation de la carte de test

Pour réaliser le modèle de la carte de test, nous n'avons pris en compte que sa partie alimentation, là où l'injection est effectuée. Cette partie comprend la régulation de tension de 1,8V servant à alimenter le circuit sous test, les pistes d'alimentations V_{DD} et V_{SS} ainsi que la capacité de découplage (voir figure 4.7). Pour modéliser la régulation (voir figure 4.9), une résistance de 30mΩ ainsi qu'un générateur de tension constant de 1,8V ont été

utilisés. La modélisation des pistes d'alimentations V_{DD} et V_{SS} , présentée sur la figure 4.9, est établie en les remplaçant par leurs valeurs inductives et résistives (modèle valide jusqu'à 1GHz). Les largeurs des lignes ont été calculées pour que leurs valeurs d'inductances propres évitent de rajouter une inductance préconisée par le standard DPI. L'effet capacitif des lignes est négligeable devant la capacité de découplage. Cette dernière est remplacée par un modèle RLC série déduit de mesures d'impédances.

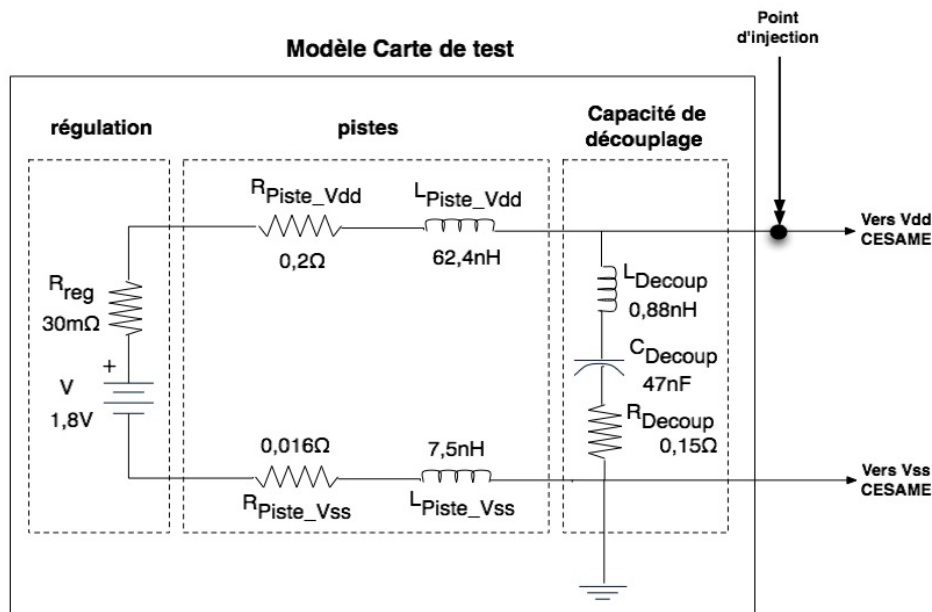


Figure 4.9 – Modélisation d’une partie de la carte de test incluant la régulation, les pistes et la capacité de découplage.

1.4.4 Modélisation du circuit CESAME

Pour la modélisation du circuit CESAME, nous avons pris comme base le modèle ICEM (Integrated Circuit Emission Model) réalisé par Mr Vrignon durant sa thèse. Ce modèle est normalement dédié à la simulation de l'émission conduite et rayonnée due à l'activité interne des circuits et à la commutation des entrées sorties. La figure 4.10 présente la modélisation globale du circuit CESAME. Ce modèle est composé de trois sous-ensembles que nous allons décrire plus en détail dans les paragraphes suivants.

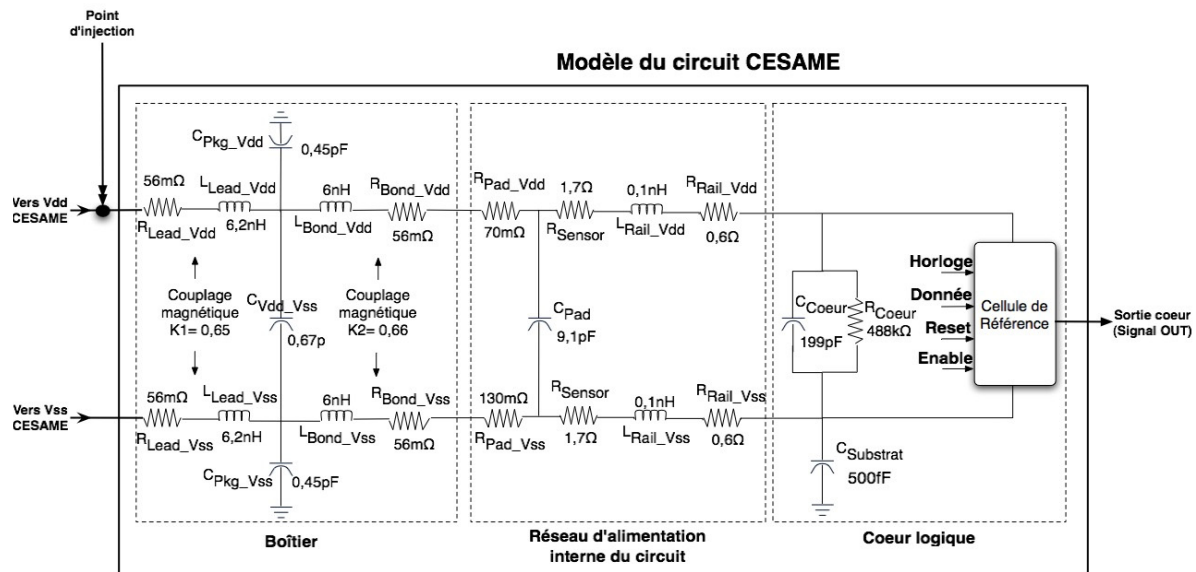


Figure 4.10 – Modélisation du circuit CESAME comprenant le boîtier, le réseau interne d'alimentation et le cœur logique.

➤ **Modélisation du boîtier :**

Le circuit CESAME est monté dans un boîtier TQFP144. Le modèle électrique du boîtier provient d'une simulation en trois dimensions avec le logiciel HFSS [HFSS]. Ce modèle du boîtier est composé de deux parties, une pour la broche de connexion (indice " lead ", et l'autre pour le fil de connexion (indice " bonding "). Chaque partie peut être assimilée à un modèle de type RLC (voir figure 4.10). On observe sur ce modèle le caractère inductif de l'ensemble ainsi que le couplage magnétique existant entre les broches V_{DD} et V_{SS} . Ce couplage, représenté par un coefficient magnétique, joue un rôle non négligeable sur les perturbations créées dans le circuit. Sur la figure 4.10, le coefficient K_1 représente le couplage entre les pattes et K_2 celui entre les fils de connexion. Un couplage capacitif entre les deux broches d'une part, et entre ces dernières et le substrat d'autre part, est représenté par trois capacités (notées C_{Pkg_Vdd} , C_{Pkg_Vss} , C_{Vdd_Vss} sur la figure 4.10). Les valeurs de chaque élément passif du modèle complet du boîtier peuvent être déterminées de façon théorique à l'aide des formulations de Delorme [DELO96].

➤ **Modélisation du réseau d'alimentations :**

Ce réseau d'alimentations est constitué de chemins d'alimentation, de capteurs de courant afin de mesurer les fluctuations des tensions d'alimentation et le courant instantané

consommé. Ces capteurs sont modélisés par une simple résistance notée R_{sensor} sur la figure 4.10. Les plots d'alimentations, sur lesquels les fils de connexion sont soudés, ainsi que les bus métalliques reliant les plots au coeur du circuit sont modélisés avec un réseau RC équivalent. Les éléments passifs (résistances et inductances) qui remplacent les bus d'alimentations en modélisation sont symétriques sur le V_{DD} et V_{SS} (voir figure 4.10 : $R_{\text{Pad_Vdd}}$, $R_{\text{Pad_Vss}}$, C_{Pad}).

➤ **Modélisation des coeurs logiques de la puce :**

Un seul coeur logique comprend plus de 100 000 transistors. Pour réduire le temps de simulation, le coeur est modélisé avec une seule cellule de base contenant 400 transistors (voir figure 4.4), appelée cellule de référence. Les autres cellules de base sont remplacées par leur impédance équivalente qui est définie par deux éléments R_{coeur} et C_{coeur} en parallèle avec la cellule de référence comme le montre la Figure 4.10. Cette modélisation, par réseau de composants passifs, équivalente à un filtre passe-bas a été présentée par Mr Gerbert-Gaillard [GERB01]. La capacité C_{coeur} de ce filtre est due d'une part à la capacité intrinsèque des transistors et d'autre part à la capacité métallique induite par un couplage entre les bus V_{DD} et V_{SS} . La cellule de référence possède une seule sortie, notée Signal OUT (voir figure 4.7 et 4.10), permettant de visualiser le fonctionnement du circuit CESAME.

1.5 Résultats obtenus et comparaison avec les mesures

Dans cette partie, nous allons présenter les premiers résultats obtenus sur la susceptibilité du circuit CESAME face à des injections ESD directes sur ces alimentations. Cette partie présente les différences de susceptibilité des coeurs logiques suivant que les stress soient injectés sur le V_{DD} [LACR07] ou le substrat [ALAE07].

1.5.1 Mesures effectuées en injectant un stress ESD sur la broche V_{DD}

Nous avons réalisé des mesures sur la susceptibilité du circuit CESAME, en commençant par l'injection sur le V_{DD} du coeur NORM, servant de référence sur la puce. Pour cette expérience, nous avons fait varier la largeur de l'impulsion ESD injectée dans le circuit. La figure 4.11 montre l'impulsion incidente et les diverses réflexions visualisées au niveau du

boîtier TDR pour une impulsion ESD d'amplitude 10V, de durée 5ns et de temps de montée 175ps. Cette mesure a été réalisée sur une entrée 50Ω d'un oscilloscope. Nous obtenons une bonne corrélation entre la mesure et la simulation. Les amplitudes obtenues par cette mesure sont atténuées d'un facteur 30 par le boîtier TDR (pour plus d'informations, voir le chapitre 2). Les diverses réflexions sont dues aux désadaptations d'impédances entre le dispositif d'injection (50Ω), la capacité d'injection et le circuit sous test. D'après cette mesure, on peut déduire l'impulsion injectée à l'intérieur du circuit en effectuant le rapport entre l'impulsion incidente (0,17V) et la première réflexion (0,12V). 30% de l'impulsion injectée est transmise au circuit CESAME.

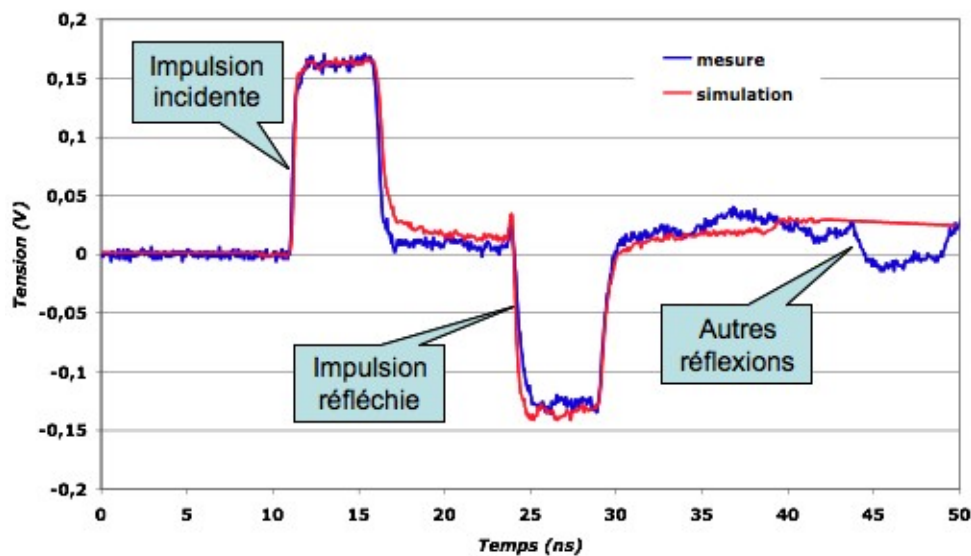


Figure 4.11 – Comparaison mesure simulation des formes d'ondes en sortie du boîtier TDR [LACR07].

La figure 4.12 présente les amplitudes maximales et minimales des ondulations créées en sortie du cœur NORM pour des largeurs d'impulsion de 1,25ns et 5ns et des amplitudes variant de 1V jusqu'à 50V. Ces valeurs sont extraites en faisant la différence entre l'amplitude nominale du signal (1,8V) et les perturbations induites sur celui-ci (voir figure 4.6).

D'après les critères de susceptibilité définis dans le paragraphe 2.3, le circuit commence à être susceptible en injectant une impulsion d'amplitude 6V avec une largeur de 5ns. Avec une largeur plus courte (de 1,25ns), le circuit commence à être susceptible avec une impulsion injectée de 18V d'amplitude. La largeur de l'impulsion injectée a donc une influence sur la susceptibilité du circuit. Ce dernier est plus susceptible quand l'impulsion est plus large et donc quand l'énergie est plus forte.

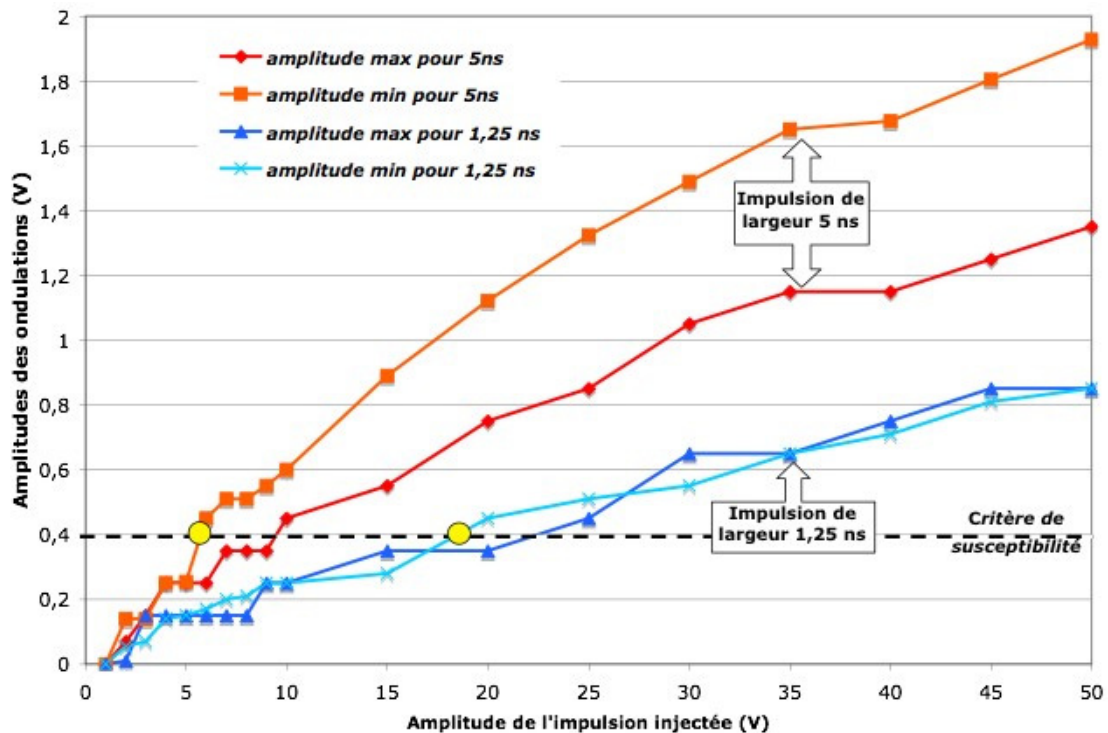


Figure 4.12 – Amplitudes des perturbations générées en sortie du cœur NORM par rapport aux amplitudes de l'impulsion injectée de durée 1,25 ns et 5 ns.

1.5.2 Simulation des perturbations induites par l'injection sur le V_{DD}

L'impulsion transmise, au circuit CESAME en fonctionnement, génère des perturbations internes sur les bus d'alimentations qui viennent se superposer au signal logique de sortie. La figure 4.13 présente les formes d'onde des perturbations mesurées et simulées, induites sur la sortie logique du cœur NORM. L'impulsion ESD injectée pour cette mesure, a une amplitude de 10V avec une durée de 5ns. Pour effectuer cette mesure, nous avons utilisé une sonde passive 1M Ω .

Nous nous sommes rendu compte que les perturbations créées sur les bus d'alimentations étaient directement reproduites sur la sortie du cœur logique. Avec cette injection directe sur les alimentations, les perturbations induites à l'intérieur du circuit sont fortement liées au couplage existant entre les bus V_{DD} et V_{SS} , et les sorties.

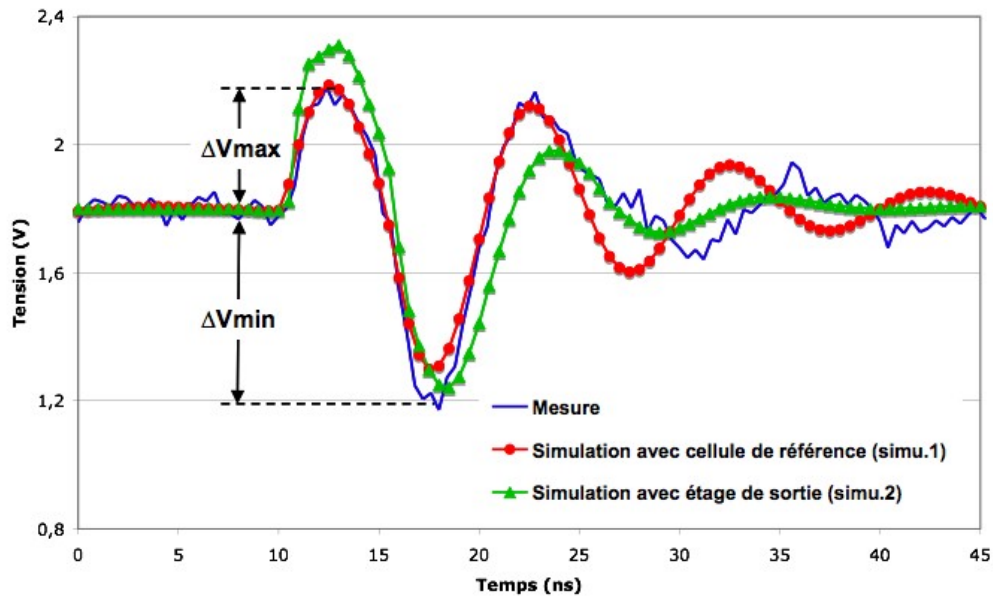


Figure 4.13 – Mesure et simulations des perturbations générées sur le signal de sortie à l'état logique haut pour une impulsion ESD de 10V [LACR07].

En ce qui concerne la simulation, nous avons utilisé deux techniques de modélisation pour le circuit intégré. Le premier modèle est basé sur la modélisation d'une cellule de base (voir le paragraphe 2.4.1) comportant 400 transistors et les étages de sorties. Le deuxième modèle prenant en compte uniquement les étages de sorties du cœur logique, a été réalisé et comparé au premier modèle. Le tableau ci-dessous donne l'erreur (en %) obtenu entre la mesure et les deux techniques de modélisation du cœur logique. Cette erreur est donnée pour des variations maximales et minimales d'amplitudes des perturbations en sortie du composant.

Caractéristiques des perturbations	Mesure du $\square V$ des perturbations	Erreur sur la simulation 1 (%)	Erreur sur la simulation 2 (%)
Amplitude maximale (V)	0,45	< 1	20
Amplitude minimale (V)	0,6	15	5
Temps de simulation (en min)		3	< 1

Tableau 1 – Différence entre les deux techniques de simulation.

La première technique de modélisation donne une prédiction précise des amplitudes des perturbations même si un léger retard apparaît après la seconde oscillation. La seconde technique, utilisant seulement l'étage de sortie, est moins précise que la première, mais

reste convenable avec une erreur de moins de 20% sur l'amplitude maximale et 5% sur l'amplitude minimale. Ce modèle simplifié du cœur logique permet d'avoir un temps de simulation plus court que le modèle utilisant plusieurs centaines de transistors avec une erreur relative modérée.

1.5.3 Etude de la susceptibilité des cœurs logiques en injectant le stress sur le substrat

Nous avons injecté des impulsions de largeur 5ns avec des amplitudes variant de 1V à 50V. Pour l'injection du stress ESD, nous utilisons la broche V_{SS} du cœur NORM. Puisque ce cœur a le même substrat que le circuit, les injections effectuées sur la broche V_{SS} vont être dissipées dans tout le substrat. Les perturbations générées auront une influence, sur le cœur NORM mais aussi sur les autres cœurs du circuit, ISO et RC. La figure 4.14 montre la comparaison de la susceptibilité des trois cœurs. En ordonnée, on note les amplitudes maximales des perturbations obtenues sur un niveau logique bas de la sortie du cœur en question. Le circuit devient susceptible lorsque les amplitudes des perturbations atteignent le critère défini dans la partie 2.3 qui est de 0,4V.

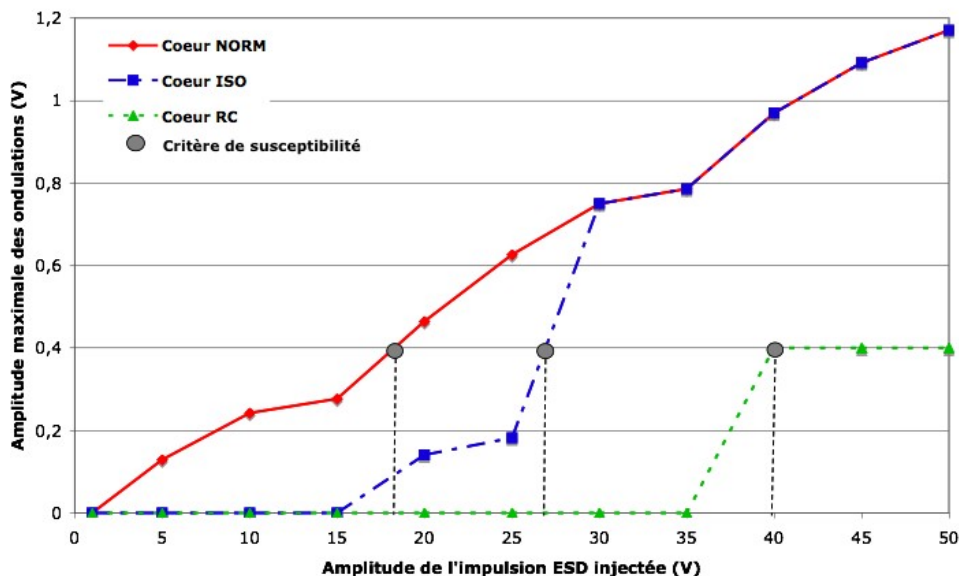


Figure 4.14 – Comparaison de la susceptibilité des trois cœurs NORM, ISO et RC en injectant l'impulsion dans le substrat du circuit.

On observe que le cœur NORM est le plus susceptible, suivi par le cœur ISO. Le cœur RC commence à être susceptible à partir de l'injection de 40V. Cependant, cette susceptibilité

est observée sur le signal de sortie par des fautes logiques (pertes de périodes d'horloge) et non par du bruit sur le signal. Pour continuer sur l'étude des trois cœurs logiques, nous avons donc augmenté l'amplitude du stress ESD injecté dans le substrat afin de tester le comportement interne du circuit sous test. Cette étude consistait à observer le nombre de fautes logiques obtenues à la sortie du circuit lorsque 100 impulsions ESD étaient injectées avec des largeurs de 5ns. Une amplitude minimale de 70V était requise pour avoir des fautes logiques sur chacun des cœurs étudiés. Le tableau ci-dessous donne les résultats de cette étude.

Cœur logique	% de fautes logiques
NORM	9
ISO	6
RC	5

Tableau 2 – *Nombre de fautes logiques générées à la sortie de chaque cœur.*

On remarque que le coeur le plus sensible est le coeur NORM, avec neuf fautes logiques sur 100 impulsions injectées, donc 9% de fautes sur la sortie. Le moins susceptible est le coeur RC avec 5% de faute logiques. Cette étude confirme le classement de la susceptibilité des trois coeurs. Une étude similaire avait été réalisée avec cette injection sur le substrat mais en utilisant des signaux harmoniques de quelques MHz à 1GHz comme source de perturbation [ALAE07]. Les résultats obtenus, ont montré que l'intégration d'une capacité de découplage (cœur RC) était la meilleure solution pour diminuer les émissions parasites et donc augmenter l'immunité du cœur logique. Nous retrouvons donc les mêmes conclusions avec l'injection d'impulsions ESD.

1.6 Conclusions sur ce cas d'étude

Le but de ce travail, effectué en collaboration avec le laboratoire ESEO d'Angers, était de valider notre méthodologie de test visant à étudier la susceptibilité d'un circuit en fonctionnement, ici le circuit CESAME, face à des ESD. Pour cela, nous avons défini une méthode d'agression conduite, basée sur la norme DPI, en combinant le banc VF-TLP, utilisé comme source de perturbations ESD, et une capacité d'injection placée au plus près des broches d'alimentations du circuit. Nous avons ensuite réalisé un modèle de simulation comprenant nos modèles VHDL-AMS pour la partie système d'injection (VF-TLP, boîtier

TDR servant à visualiser les impulsions injectées) et des modèles SPICE fournis par l'ESEO et décrivant la carte de test avec le circuit. Nous avons constaté que, pour cette injection sur les alimentations du circuit, une modélisation complète des bus V_{DD} et V_{SS} , des différents couplages internes et des impédances équivalentes entre les deux bus, permet de prédire correctement la susceptibilité du circuit. Cependant, l'extraction de ce modèle complet ne peut se faire qu'à condition de disposer d'informations concernant le routage du circuit. Pour réaliser la modélisation du cœur logique du circuit, nous avons utilisé deux techniques, une comprenant une netlist SPICE de plusieurs centaines de transistors et une incluant juste les étages de sortie du signal observé lors du test. Nous avons remarqué qu'une modélisation simplifiée de la partie logique du circuit, en utilisant uniquement les étages de sortie, permet de connaître les diverses fluctuations sur les signaux de sorties du circuit. Pour cette étude, une connaissance précise de la partie logique interne du circuit n'est pas nécessaire du fait que les perturbations induites par l'injection ESD sur les bus d'alimentations sont directement reproduites sur les signaux de sortie du circuit. Par ailleurs, lors des mesures, nous avons aussi remarqué, qu'à partir d'un certain niveau d'amplitude pour les impulsions ESD, des fautes logiques (pertes d'horloge) se produisaient en sortie du circuit. Une étude plus approfondie pourrait être effectuée pour connaître l'origine de ces fautes dans la partie logique du circuit, en modélisant plus précisément le fonctionnement interne de celui-ci. Pour ces futurs travaux, une synchronisation des impulsions ESD avec les signaux de circuit sous test serait judicieuse afin de superposer ces agressions sur des transitoires et ainsi créer des décalages temporels.

2 Etude de cas sur un circuit industriel : un micro-contrôleur 16 bits

Cette nouvelle étude a été menée en collaboration avec Mr Vrignon Bertrand, Ingénieur CEM de Freescale Semiconductor à Toulouse, pour étudier la susceptibilité d'un microcontrôleur 16 bits face à des agressions ESD rayonnées [VRIG07]. Pour réaliser ces agressions, nous avons utilisé la méthode de scan champ proche permettant d'effectuer des injections localisées sur une broche du circuit sous test. Les différentes mesures ont été menées au LAAS-CNRS. Les simulations ont été réalisées à Freescale par Mr Vrignon dans l'environnement Cadence sur la base de la schématique du microcontrôleur et de notre expertise de la propagation du stress ESD. Dans cette partie, nous commencerons par donner le contexte de cette étude. Puis, nous décrirons le circuit sous test ainsi que le banc de test utilisé. Ensuite, nous présenterons les diverses mesures et simulations effectuées.

2.1 Le contexte de l'étude

D'après la norme ISO 10605 utilisée dans le domaine de l'automobile [ISO-01], une carte électronique en fonctionnement doit supporter des décharges ESD de quelques dizaines de kV sur son plan de masse. Ces mesures sont réalisées avec des pistolets ESD. D'après ces mesures, la société Valeo a observé que des dysfonctionnements apparaissaient sur une carte électronique, au niveau d'un microcontrôleur 16 bits, à des niveaux d'injections en dessous des spécifications requises. Pour déterminer les parties sensibles sur le microcontrôleur en question, des tests de susceptibilités en scan champ proche ont été réalisés en utilisant une sonde magnétique pour créer des perturbations rayonnées localement au-dessus du circuit sous test. Pour cette étude, les stress ESD ont été injectés par un banc de test TLP. Nous rappelons que ce banc génère des impulsions de largeur 100ns et de temps de montée de l'ordre de quelques ns. Avec ce test, la société Valeo a extrait la cartographie de la susceptibilité du microcontrôleur 16 bits face à des agressions ESD rayonnées, présentée sur la figure 4.15. Sur cette figure, nous observons les niveaux d'amplitude requis pour avoir un dysfonctionnement du microcontrôleur, c'est-à-dire une modification des entrées/sorties du circuit. Nous remarquons que deux zones sont susceptibles au niveau du circuit. Ces deux zones sont localisées sur les broches RESET ainsi que sur les broches d'alimentations de l'oscillateur et de la boucle à verrouillage de phase interne (PLL) composant le système d'horloge interne du circuit. Pour la zone du signal RESET, le dysfonctionnement peut être expliqué facilement. Lorsque les perturbations induites par l'injection champ proche atteignent le seuil de commutation de l'entrée RESET, alors le signal RESET s'active. Pour la deuxième zone, nous avons réalisé une nouvelle étude avec la collaboration de Mr Vrignon pour comprendre les effets des perturbations ESD sur le système d'horloge du microcontrôleur.

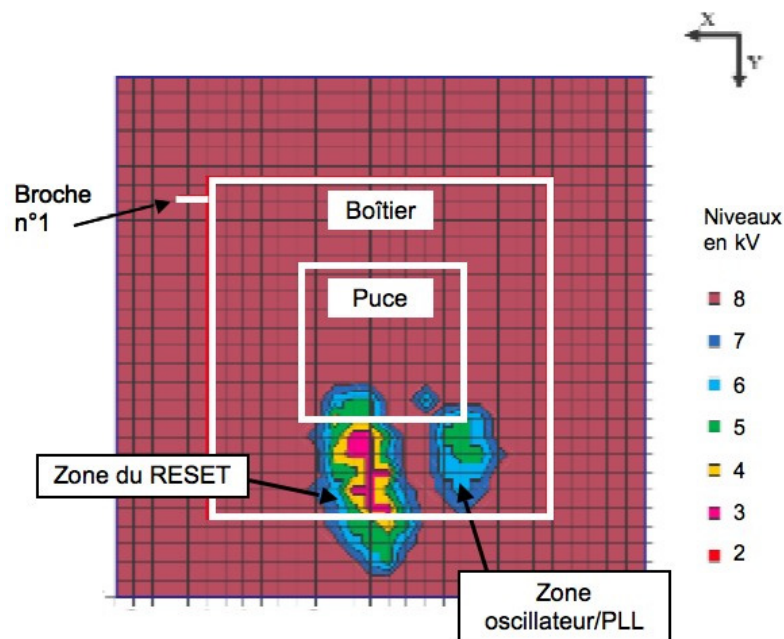


Figure 4.15 – Cartographie de la susceptibilité du microcontrôleur face à des agressions ESD rayonnées par une sonde connectée à un banc TLP. (mesure faite par Valeo)

2.2 Présentation du cas d'étude : circuit et banc de mesure

Dans cette partie, nous allons présenter le circuit sous test ainsi que le banc de test réalisé pour étudier sa susceptibilité face à des agressions ESD rayonnées. Les agressions sont injectées localement sur une partie du circuit au niveau de son système d'horloge.

2.2.1 Description du circuit : le microcontrôleur 16 bits

Ce circuit, dédié aux applications automobiles, est construit en technologie CMOS 0,18 μ m. La version utilisée est montée dans un boîtier de type LQFP à 144 broches. Pour notre étude, nous nous intéressons à la partie dédiée à l'horloge interne du circuit. Nous avons vu dans le paragraphe précédent, que cette partie était très sensible aux agressions ESD (voir figure 4.15). Pour produire le signal d'horloge nécessaire au fonctionnement du microcontrôleur, une boucle à verrouillage de phase interne (PLL) est utilisée et synchronisée sur une référence d'horloge fournie par un quartz externe. La figure 4.16 présente, de manière simplifiée, la schématique du circuit de génération de l'horloge interne du microcontrôleur. Celle-ci peut être dérivée directement de l'oscillateur interne ou de la PLL. Les broches dédiées à cette partie sont :

- VDDR et VSS3 pour alimenter le régulateur de tension interne servant à la

PLL et à l'oscillateur.

- VDDPLL et VSSPLL pour connecter une capacité de découplage.
- EXTAL et XTAL pour brancher le quartz.

Pour avoir une image du signal présent sur le bus d'horloge interne, nous utilisons la broche ECLK. Cela va nous permettre de visualiser les perturbations induites sur le signal d'horloge, mais aussi nous renseigner sur les modifications de la fréquence de l'horloge ou même son arrêt. Des signaux d'interruption peuvent aussi servir pour avoir des informations sur le fonctionnement normal des circuits d'horloge. Cependant, dans notre étude, aucune interruption n'a été déclenchée. Nous avons donc choisi comme critères de susceptibilité un dysfonctionnement du circuit. Pour cela, nous avons réalisé un programme simple délivrant un signal carré de période 100ms et utilisé comme référence pour vérifier le bon fonctionnement du microcontrôleur. Le critère de susceptibilité sera atteint si le signal de sortie reste à un état bloqué sans déclenchement automatique du signal RESET. Ce programme utilise l'oscillateur et le bloc PLL pour créer le signal de sortie. Pour nos expériences, nous avons utilisé une fréquence de fonctionnement de 8MHz pour l'horloge de l'oscillateur.

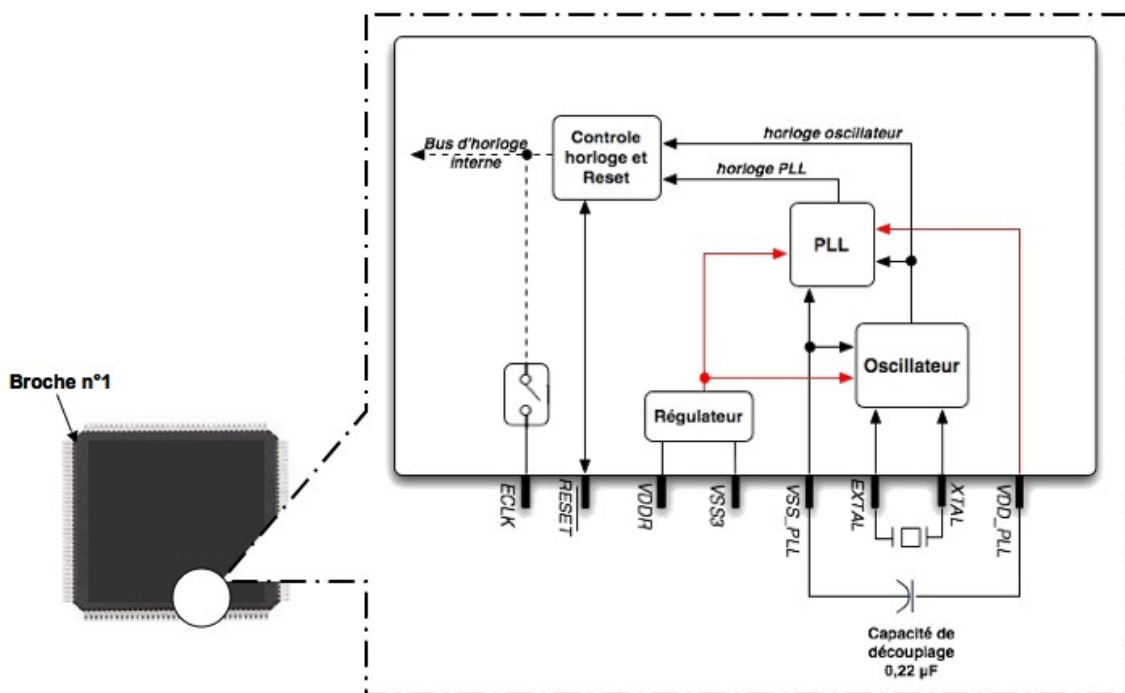


Figure 4.16 - Schéma de principe du circuit de génération de l'horloge interne du microcontrôleur.

2.2.2 Description du dispositif de mesure de susceptibilité pour le microcontrôleur

La méthode proposée pour agresser le microcontrôleur a été l'injection par champ proche en utilisant une sonde magnétique comme le montre la figure 4.17. La carte de test est fixée sur une table et peut être déplacée dans le plan horizontal suivant l'axe X et Y. Pour les mesures, le microcontrôleur est situé au centre de la carte et est isolé des autres composants. La sonde est placée à 0,5mm au-dessus du boîtier ou des broches du circuit sous test. Comparé aux études réalisées par Valeo (voir partie 3.1), nous utilisons le banc VF-TLP pour injecter les stress ESD dans la sonde magnétique. La connexion au niveau de la sonde est faite avec un câble coaxial de type RG402. Pour visualiser les divers signaux de contrôle, nous utilisons des sondes passives de $1M\Omega$ reliées à un oscilloscope ayant une bande passante de 1 GHz.

Avec cette méthode d'injection, nous créons un couplage magnétique entre la sonde et le circuit. D'après la théorie du couplage (voir chapitre 3, partie 2.3), les paramètres à prendre en compte au niveau de l'impulsion sont les transitoires (di/dt). Ces transitoires sont plus rapides avec le banc VF-TLP (de l'ordre de quelques centaines de ps) qu'avec le banc TLP (quelques ns).

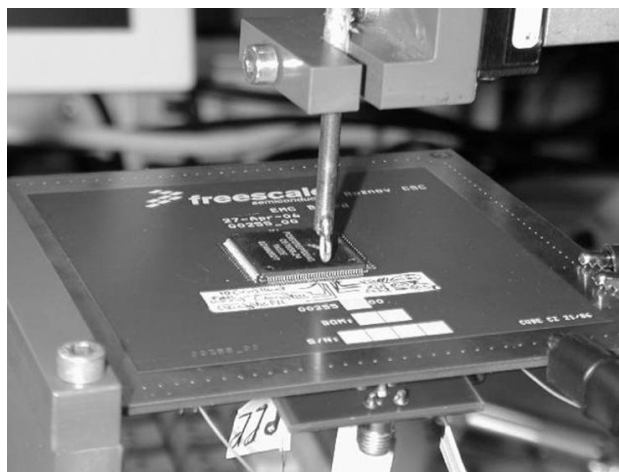


Figure 4.17 - *Mesure scan champ proche sur la carte de test [VRIG07].*

Pour bien comprendre les résultats qui vont suivre, la figure 3.15 du chapitre 3 présente la forme de la perturbation induite par la sonde sur le circuit sous test. Ce couplage génère une perturbation au niveau du circuit, avec un pic positif et un pic négatif dû au temps de montée et de descente de l'impulsion ESD injectée. Le banc VF-TLP permet donc d'avoir

des amplitudes pour les perturbations plus importantes avec des injections moindres, d'où notre choix sur ce banc d'injection.

2.3 Résultats de mesure

Pour ces mesures, nous avons visualisé les signaux du microcontrôleur suivant :

- Le signal ECLK donnant la fréquence du bus interne mais aussi correspondant à la fréquence du signal de sortie de la PLL divisée par deux.
- Le signal PA3, nommé SORTIE sur nos résultats, représentant le signal numérique carré de période 100ms.
- Le signal RESET, actif sur un niveau logique « 0 ».

Une étude sur les diverses caractéristiques de l'impulsion ESD injectée a été effectuée en faisant varier le temps de montée (une centaine de ps ou $> 1ns$), l'amplitude (jusqu'à 1kV) et aussi la polarisation de l'impulsion (positive ou négative). La zone agressée par la sonde se situe entre la broche VddPLL et VssPLL du microcontrôleur (voir figure 4.16). La figure 4.18 montre les perturbations générées sur les signaux ECLK et SORTIE pour une impulsion ESD de -800V, avec une durée de 100ns et un temps de montée de 300ps. Une perte de période d'horloge sur le signal ECLK est observée sans activation du signal RESET. Cela crée un arrêt du programme, cas le plus dramatique pour une application car elle ne conduit pas à un redémarrage du microcontrôleur et donc au maintien de la fonction. Sur le signal SORTIE, le bruit induit est dû aux fils de connexion utilisés pour la mesure. En superposant le stress ESD envoyé sur cette mesure, nous observons deux zones de perturbations dues aux fronts de montée et de descente de l'impulsion. Ainsi, nous pouvons déduire que le temps de montée (donc le pic positif) crée la perturbation sur le signal PLL. La figure 4.19 montre les perturbations créées par une impulsion ESD de -900V sur le signal ECLK. D'après cette figure, nous constatons que la fréquence de sortie de la PLL (ECLK) n'est plus stable après la perturbation. C'est après quelques périodes d'horloge que le signal PLL redevient périodique. Ceci est l'observation de l'accrochage de la PLL. Cela confirme le bon fonctionnement de cette partie. Nous faisons l'hypothèse alors que l'erreur est générée par le bloc oscillateur qui, pendant un certain temps, ne doit pas délivrer de signal de sortie.

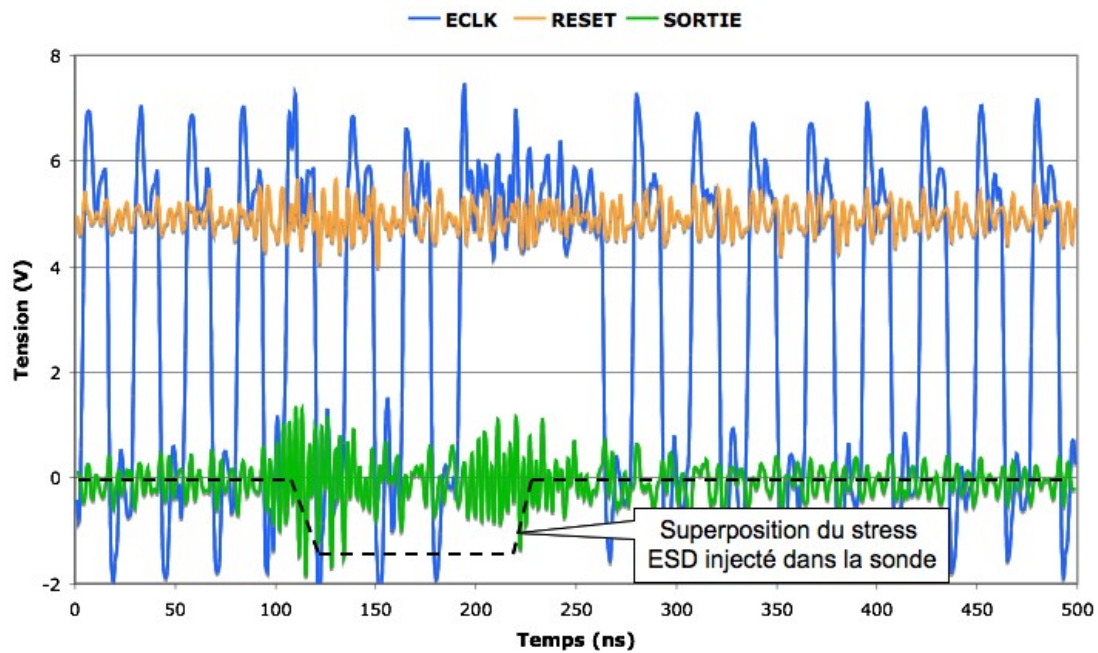


Figure 4.18 – Perturbations sur les signaux de sortie du circuit sans activation du RESET pour une impulsion ESD de -800V.

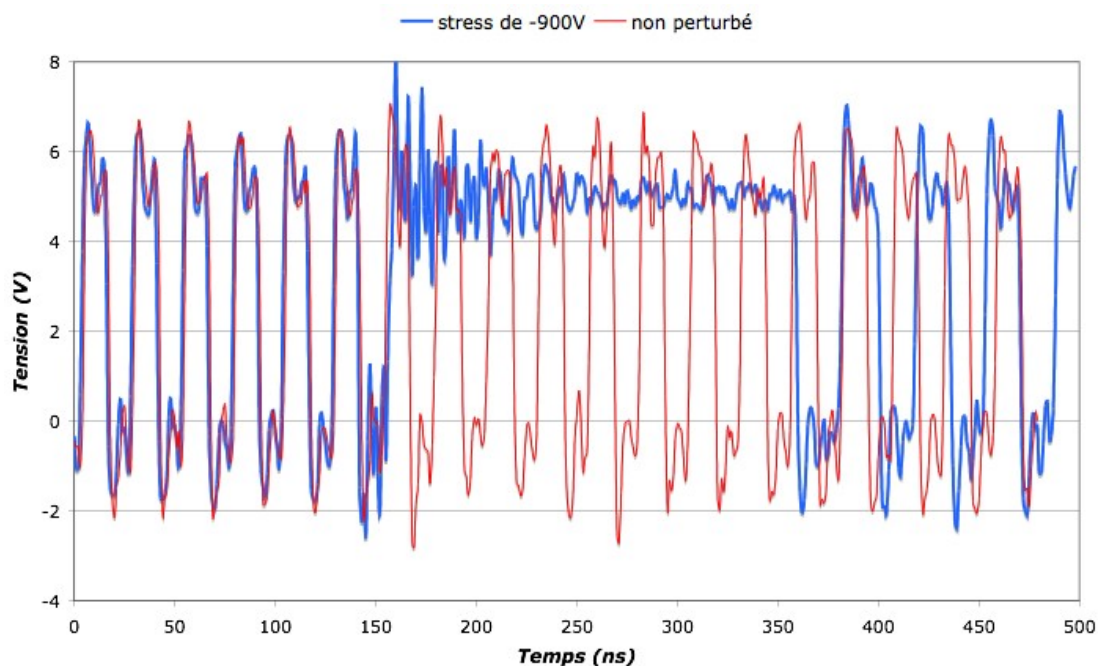


Figure 4.19 – Comparaison du signal ECLK non perturbé et perturbé par une impulsion ESD de -900V.

D'après les figures 4.18 et 4.19, nous remarquons que plus l'amplitude de l'impulsion ESD augmente, plus la défaillance (perte de période) est importante, mais sans activation du

signal RESET. Pour activer ce signal, il faut injecter un stress d'amplitude 1000V. Avec cette amplitude, le signal RESET passe à « 0 » ce qui réinitialise le circuit et donc la PLL. D'autres mesures ont été réalisées et sont résumées sur la figure ci-dessous pour visualiser l'influence des différents temps de montée ainsi que les polarités des impulsions ESD injectées.

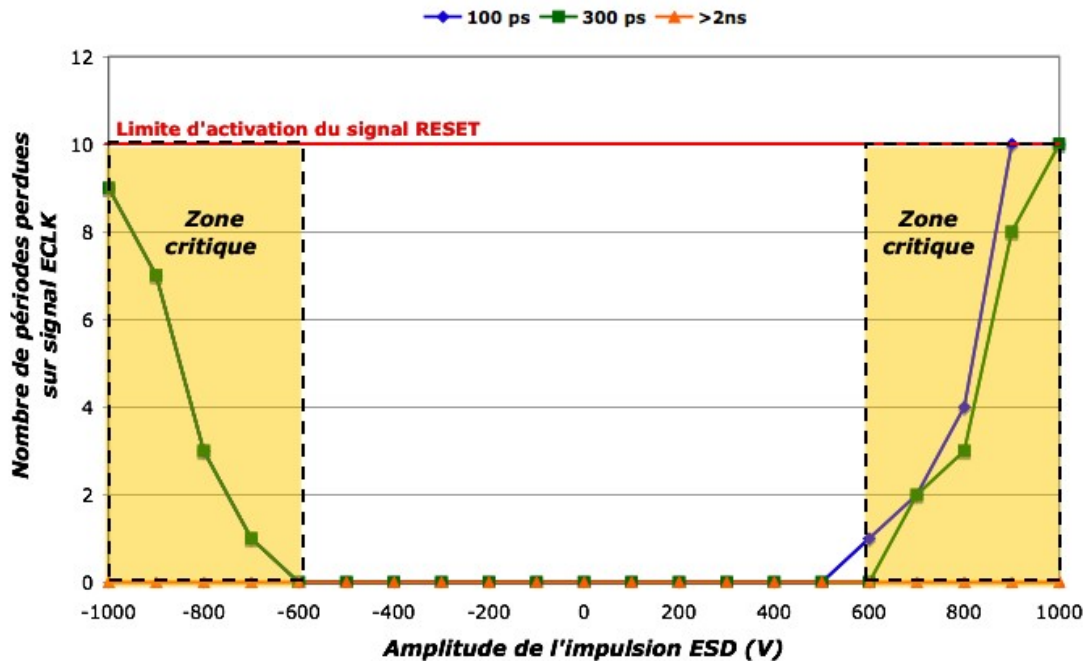


Figure 4.20 – Mesures des perturbations induites sur le bus d'horloge par différentes amplitudes d'impulsions ESD et de temps de montée [VRIG07].

Sur cette figure, nous remarquons deux phénomènes dus à la méthode d'injection. Le premier effet apparaît pour des impulsions ESD de -1000V à -600V et de 500V à 1000V avec des temps de montée inférieurs à 300ps. Dans cette zone, le signal d'horloge du bus interne du circuit (signal de sortie de la PLL) perd quelques périodes d'horloges. Le couplage réalisé entre la sonde et le boîtier du circuit (zone au dessus de la partie alimentation de l'oscillateur/PLL) perturbe la fonctionnalité de l'oscillateur et arrête le programme initial, c'est-à-dire que celui-ci reste sur un état logique et ne délivre plus de signal carré. Dans des applications embarquées, cette faute est critique du fait que la perturbation ESD crée un arrêt du système sans réinitialisation. Cependant, pour des injections ESD de plus de 1000V, un deuxième phénomène apparaît. Avec ces amplitudes, le nombre de périodes d'horloges perdues est suffisant pour activer le signal RESET et ainsi réinitialiser le circuit. Nous remarquons que pour des temps de montée de l'ordre de

2ns, aucune faute n'est observée jusqu'à une amplitude de 1kV qui est la limite du générateur VF-TLP. Si nous comparons les résultats obtenus avec la figure 4.15 (mesure réalisée avec un générateur TLP de temps de montée 1,5ns), nous remarquons qu'une amplitude de 5kV est nécessaire pour créer un dysfonctionnement du circuit. Cela permet de démontrer l'influence des transitoires de l'impulsion ESD sur la susceptibilité du microcontrôleur. Une étude similaire sur un microcontrôleur de 8 bits a été réalisée par Han [HAN07]. Le dispositif de test pour l'étude a été une injection ESD directe au travers d'une sonde capacitive sur le système d'horloge du circuit. Les mesures ont montré que les perturbations induites sur l'horloge interne du circuit dépendaient aussi des transitoires du stress ESD injecté.

2.4 Modélisation et simulation de l'étude

Les différentes simulations réalisées dans ce paragraphe ont été effectuées par Mr Vrignon à Freescale pour des raisons de confidentialité. Ces simulations permettent de valider le fait que le système d'horloge du microcontrôleur 16 bits est perturbé par des stress ESD rayonnés. La figure 4.21 présente le schéma électrique utilisé pour réaliser cette validation. Au niveau de ce schéma, nous avons fourni la partie représentant le système d'injection (VF-TLP + sonde magnétique). Cette partie a déjà été présentée dans le chapitre 3. Pour simplifier les modèles de simulation au niveau du microcontrôleur, seulement quelques blocs ont été pris en compte :

- Le bloc oscillateur avec le quartz associé représenté par un modèle RLC à 8MHz.
- Les modèles des différentes broches VDDPLL/VSSPLL, et EXTAL/XTAL.
- Un modèle simplifié du bloc régulateur alimentant le système d'horloge
- Les blocs entrée/sortie des broches VDDPLL/VSSPLL permettant de découpler l'oscillateur avec une capacité externe.

Ces différents blocs ont été réalisés à l'aide d'informations directement extraites du schéma de routage du circuit. Les différentes alimentations ont été modélisées par des sources de tensions idéales. Dans cette simulation, le signal de référence de l'horloge sortant du bloc oscillateur et allant directement au niveau de la PLL, noté REF, et le signal de détection de faute sur l'horloge, noté CMF (pour « Clock Monitor Failure ») permettent de vérifier la susceptibilité du bloc oscillateur face aux ESD rayonnés.

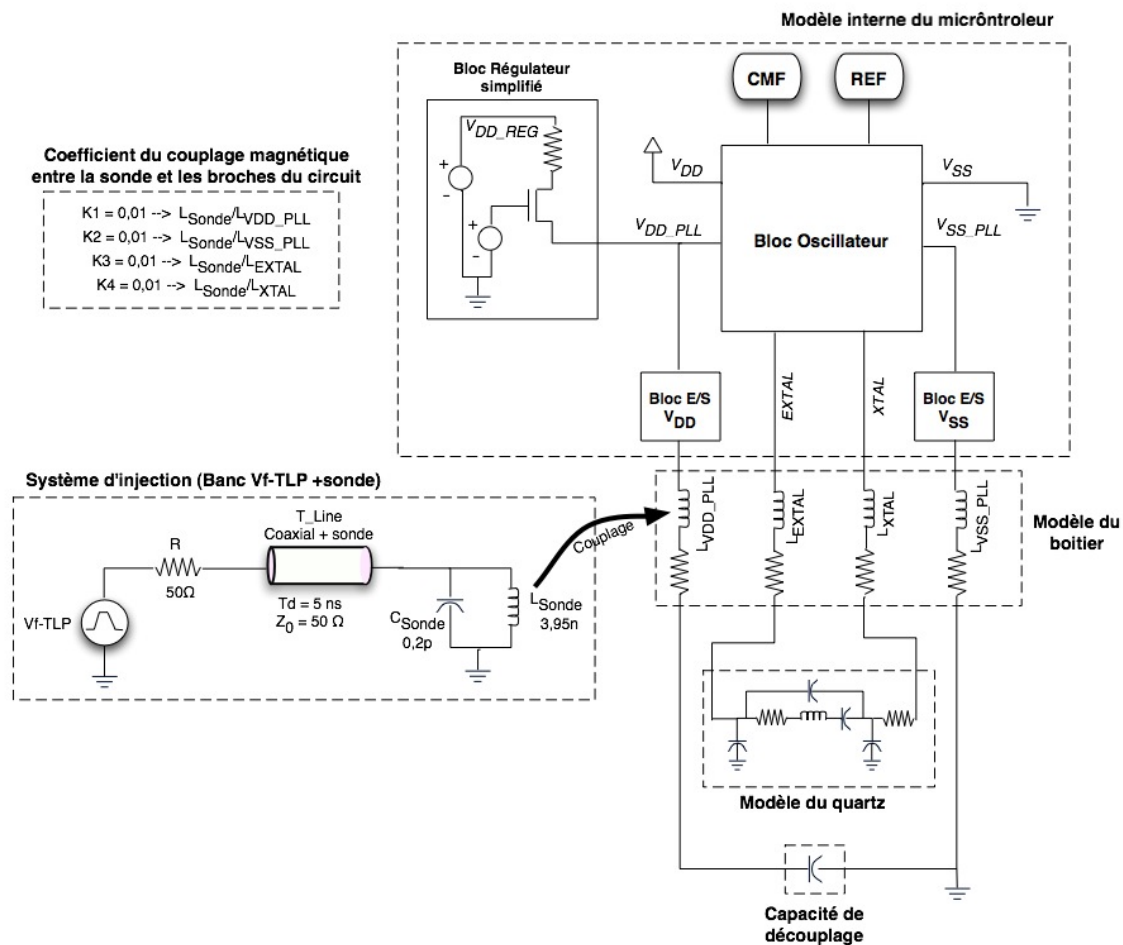


Figure 4.21 – Schéma électrique simplifié de l'environnement de simulation.

D'après les mesures réalisées dans le paragraphe précédent, nous avons constaté que la PLL fonctionnait correctement. Nous avons donc déduit que la faute pouvait venir de l'oscillateur. Avec le modèle présenté sur la figure ci-dessus, si le signal REF est perturbé, alors le signal d'horloge de la PLL sera aussi perturbé. Cela permet de ne pas rajouter le bloc PLL dans cette simulation. Les résultats de simulations obtenues avec divers temps de montée sont présentés sur la figure 4.22. Une bonne corrélation est obtenue avec les mesures présentées sur la figure 4.20.

Les quelques différences entre la simulation et la mesure sont dues à l'imprécision des temps de montée au niveau du dispositif d'injection. Cependant, avec cette simulation, nous pouvons observer les perturbations induites sur le signal d'horloge interne du circuit. Ces résultats de simulation montre bien la susceptibilité du bloc oscillateur face à des agressions ESD rayonnées.

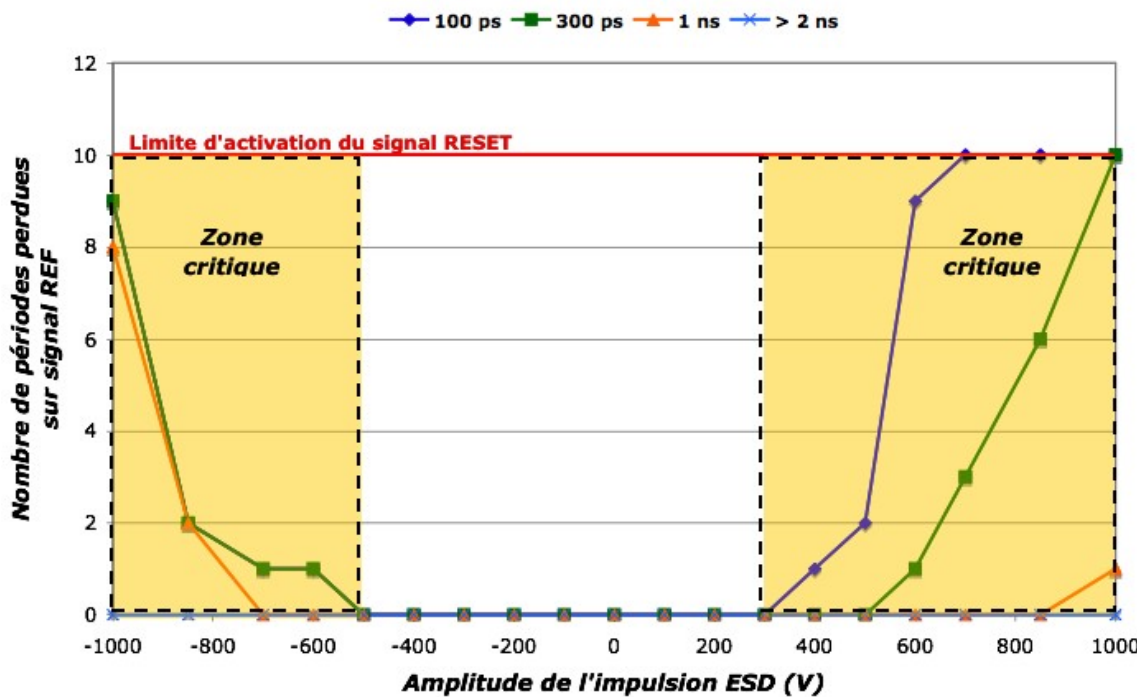


Figure 4.22 – Résultats de simulation des perturbations induites sur le bus d'horloge par différentes amplitudes d'impulsions ESD et de temps de montée [VRIG07].

2.5 Conclusions et perspectives sur ce cas d'étude

Cette étude, réalisée en combinant la sonde champ proche avec le VF-TLP, a permis de perturber localement le système d'horloge d'un microcontrôleur 16 jusqu'à son dysfonctionnement (perte de périodes). Nous remarquons qu'une impulsion ESD d'amplitude supérieure à 600V ayant des temps de montée de quelques ps, engendre un dysfonctionnement du circuit. Celui-ci est dû aux transitoires des impulsions. Cette remarque a pu être vérifiée en simulation avec des modèles SPICE directement extraits du routage du circuit. Ces simulations n'ont été possibles qu'avec la collaboration du fondeur Freescale qui possédait ces modèles. Grâce à ces simulations, la cause du dysfonctionnement semblerait venir des pertes de période d'horloges qui n'activeraient pas systématiquement le signal de détection de faute sur l'horloge.

3 Conclusion

Dans ce chapitre, deux cas d'études ont été mis en œuvre pour étudier la susceptibilité d'un système électronique en fonctionnement face à des agressions ESD. Pour réaliser les agressions ESD, nous avons utilisé le banc VF-TLP combiné avec différentes méthodes d'injection, basées sur des normes CEM. Ces méthodes d'injection ont permis d'envoyer les perturbations ESD soit de façon conduite, avec une capacité placée au plus près des broches d'alimentations du circuit, soit de façon rayonnée, avec une sonde champ proche. Ces diverses injections ont créé des dysfonctionnements sur le système électronique (fautes logiques ou arrêt du circuit). Grâce aux collaborations avec le laboratoire de recherche ESEO d'Angers, et l'industriel Freescale Semiconductor à Toulouse, nous avons pu disposer des données nécessaires pour réaliser un modèle précis du circuit en interne, comme les couplages capacitifs ou inductifs, les éléments parasites des chemins de propagation (inductances, résistances). Ainsi, les résultats de simulations ont pu être corrélés avec succès avec les mesures réalisées. Ces études ont permis de valider la méthodologie de test réalisée durant ma thèse pour prédire la propagation des ESD sur un système électronique.

Bibliographie

- [ALAE07] **A. Alaeldine, N. Lacrampe, J.L. Levant, R. Perdriau, M. Ramdani, F. Caignet, M. Bafleur, and E. Sicard** “Efficiency of embedded on-chip EMI protections to continuous harmonic and fast transient pulses with respect to substrate injection”, *IEEE International Symposium on Electromagnetic Compatibility*, Hawaii , pp. 1-5, 2007.
- [COUR01] **L. Courau**, “CESAME test chip circuit definition”, MEDEA+ MESDIE A509, WP 4 Task 4.6, Milestone report M4.1, Décembre 2001.
- [DELO96] **N. Delorme, M. Belleville, and J. Chilo**, “Inductance and capacitance analytic formulas for VLSI interconnects”, *Electronics Letters*, vol. 32, pp. 996-997, 1996.
- [GERB01] **B. Gerbert-Gaillard**, “EMI Modelling of IC core, toward a core model based on current evaluation and RC extraction”, tomes 1 et 2, rapport de DEA, Institut des sciences et des technologies, Université J. Fourier, Grenoble, 2001.
- [HAN07] **L. Han, J. Koo, D. Pommerenke, D. Beetner, and R. Carlton**, “Experimental Investigation of the ESD Sensitivity of an 8-Bit Microcontroller”, *IEEE International Symposium on Electromagnetic Compatibility*, pp. 1-6, 2007.
- [HFSS] HFSS de Ansoft, <http://www.ansoft.com/products/hf/hfss/>
- [ISO-01] **ISO 10605**, “ Véhicule routiers – Méthodes d’essai des perturbations électriques provenant de décharges électrostatiques”, 2001. www.iso.org.
- [LACR07] **N. Lacrampe, A. Alaeldine, F. Caignet, R. Perdriau, M. Bafleur, N. Nolhier, M. Ramdani** “Investigation on ESD Transient Immunity of Integrated Circuits”, *IEEE International Symposium on Electromagnetic Compatibility*, Hawaii , pp. 1-5, 2007.
- [VRIG04] **B. Vrignon, S. D. Bendhia, L. Courau, E. Sicard**, “CESAME : test chip for the validation of a parasitic emission prediction flow in 0.18 μ m CMOS technology”, *IEEE Symposium on Electromagnetic Compatibility*, vol. 2, pp. 372-376, 2004.

[VRIG05] **B. Vrignon**, “Caractérisation et optimisation de l’émission électromagnétique de systèmes sur puce”, Thèse de Doctorat, Institut National des Sciences Appliquées de Toulouse, 2005.

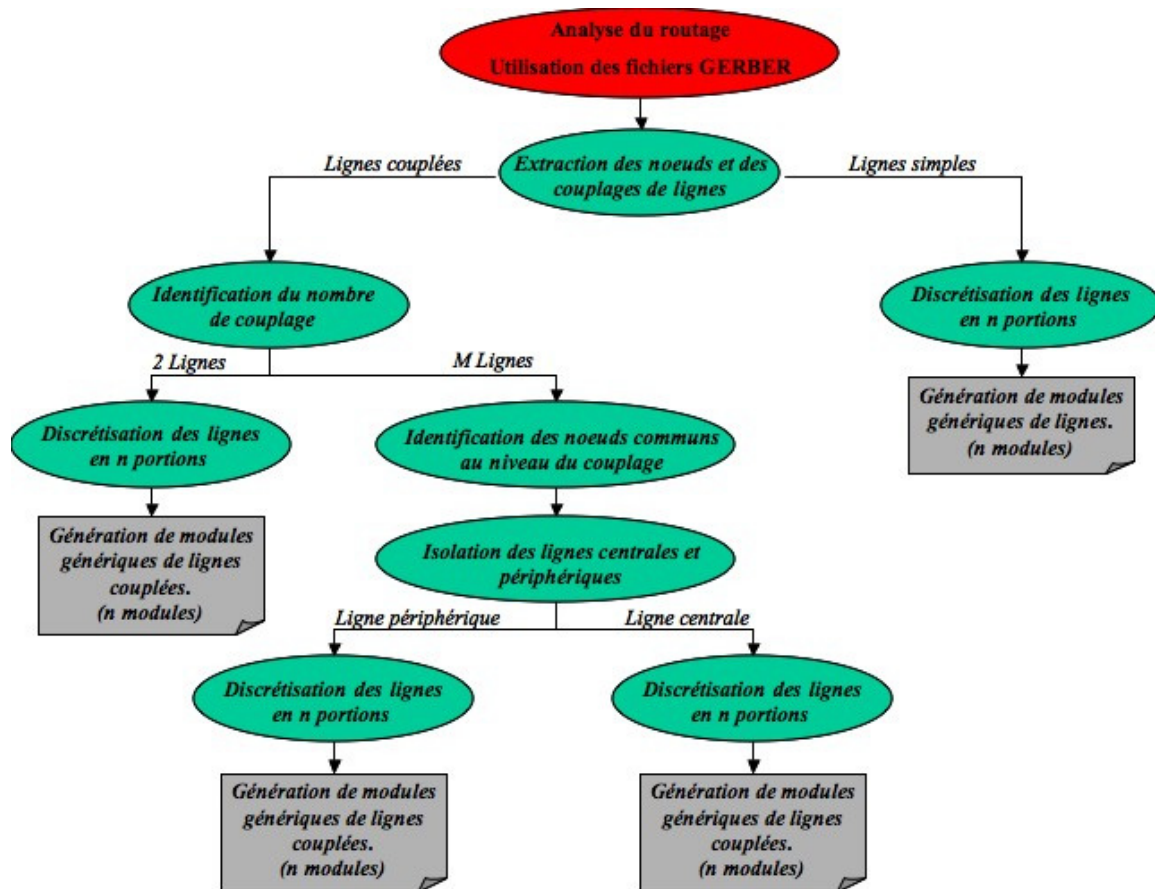
[VRIG07] **B. Vrignon, N. Lacrampe, F. Caignet**, “Investigation of Effects of an ESD Pulse Injected by a Near-Field Probe into an Oscillator Block of a 16-Bit Microcontroller”, *International Workshop on Electromagnetic Compatibility of Integrated Circuits (EMC Compo 2007)*, Torino, 2007.

Conclusion générale

Durant ces dernières années, de nombreuses études ont été effectuées pour comprendre les phénomènes induits par les décharges électrostatiques au niveau du composant. L'approche utilisée pour protéger les composants électroniques n'est donc plus empirique. Des outils de caractérisation et de simulation appropriée pour concevoir des composants de protection permettent une conception plus méthodique. Cependant, des besoins sur la compréhension des phénomènes ESD sur des cartes électroniques en fonctionnement sont émis par les industriels.

Dans cette thèse, nous avons mis en place une méthodologie de test pour caractériser la propagation de ces décharges ESD afin d'identifier les chemins critiques sur des cartes. Dans un premier temps, nous nous sommes renseignés sur l'origine et les problèmes induits par les ESD dans le monde de la microélectronique. Une fois ces recherches finies, nous avons effectué des tests de propagation ESD sur des lignes simples avec diverses configurations de routage rencontrées sur une carte électronique. Habituellement, les injections ESD réalisées au niveau du système électronique suivant la norme IEC 61000-4-2, sont effectuées avec un pistolet ESD. Cependant, durant les tests, de nombreux problèmes de rayonnement viennent perturber les mesures et donc fausser les résultats. Pour éviter ces effets, nous avons utilisé le banc Vf-TLP comme générateur d'impulsions avec des transitoires rapides (quelques centaines de ps). En utilisant la méthode TDR (Time Domain Reflectometry), nous avons pu extraire les paramètres significatifs des diverses lignes d'une carte (inductance, capacité, résistance) afin de créer une bibliothèque de modèles VHDL-AMS. Ces modèles, ne faisant pas apparaître les effets de peau et les pertes diélectriques, ont permis de simuler la propagation de la décharge en forte injection (Impulsion ESD avec des amplitudes de plusieurs centaines de volts). Dans ces modèles, certaines discontinuités (coudes, vias, jonction en T, élargissement de pistes) ont été négligées du fait de leur non influence sur la propagation et la forme d'onde de la perturbation ESD. Avec ces différents modèles de lignes, une analyse globale de la carte peut être réalisée. Une méthode d'extraction automatique des chemins critiques de la carte peut être envisagée en connaissant le routage de la carte (utilisation des fichiers de description du routage, par exemple le format GERBER) et les informations sur la topologie de la carte (nombre de couche, diélectrique utilisé, épaisseur des pistes, largeur

de pistes...). Pour cela, nous proposons une méthodologie de simulation globale dont la représentation schématique est donnée ci-après.



Avec cette modélisation partielle de la carte (prise en compte des chemins critiques), il faut ensuite modéliser les différents circuits de la carte. Pour cette partie, nous avons réalisé dans un premier temps une carte incluant des portes logiques simples pour comprendre et étudier les effets des perturbations ESD à l'intérieur d'un circuit en fonctionnement. Différentes méthodes d'injection ESD utilisant le banc Vf-TLP, ont été effectuées sur diverses zones du circuit logique, en conduction (injection directe sur les alimentations ou par couplage de ligne sur les entrées-sorties) ou en mode rayonné avec une sonde champ proche afin d'étudier la susceptibilité face à des agressions ESD diverses. De nombreuses mesures et simulations ont été réalisées sur cette carte pour comprendre les phénomènes mis en jeu suivant les injections effectuées. Du point de vue de la simulation, nous avons constaté que les modèles IBIS fournis par les fabricants étaient incomplets pour prédire correctement les formes d'ondes des perturbations arrivant sur les broches du circuit. Des informations plus précises sur le comportement dynamique des éléments de

protection ESD au niveau des entrées/sorties sont également nécessaires. Pour les injections directes effectuées sur les alimentations du circuit (broche V_{DD} ou V_{SS}), nous avons remarqué, d'après les mesures, que les perturbations induites sur les bus internes du circuit étaient directement reproduites sur les sorties.

Cette observation sur les alimentations a fait l'objet d'une étude plus complexe avec un circuit de test, nommé CESAME, réalisée en collaboration avec le laboratoire d'Angers, l'ESEO. Ce circuit, normalement dédié à l'étude de l'émission électromagnétique d'un circuit intégré, a permis de valider le fait qu'une modélisation précise des bus d'alimentation interne, incluant tous les éléments parasites et couplages internes entre les bus, était suffisante pour prédire les perturbations induites sur les sorties du circuit lors d'une agression ESD directe, de quelques dizaines de volts, sur V_{DD} . Pour simuler la partie interne du circuit, nous avons opté pour une modélisation simple incluant l'étage de sortie du signal observé avec en parallèle, un réseau d'impédances entre les bus d'alimentation pour prendre en compte tous les composants du cœur logique du circuit. Cependant, cette technique ne permet pas de simuler les fautes logiques, comme les pertes de données, engendrées pour des injections ESD plus importantes (supérieures à 70V), vu que nous ne modélisons pas la partie logique du circuit. Cette modélisation du cœur logique ne peut se faire qu'à condition de connaître en détail l'architecture interne du circuit. Un dernier cas d'étude a été effectué sur un microcontrôleur 16 bits en collaboration avec Freescale Semiconductor de Toulouse. Pour cette étude, nous avons injecté des agressions ESD en mode rayonné à l'aide d'une sonde champ proche au-dessus du circuit en fonctionnement. Nous avons observé que des injections ESD rayonnées sur la zone où se situe le système d'horloge du circuit pouvaient créer des pertes d'horloges et arrêter le fonctionnement du système. Ces diverses fautes logiques créées sur le circuit sont dues aux transitoires rapides des impulsions ESD injectées. Pour valider ce phénomène, nous avons pu associer nos modèles réalisés pour la partie injection ESD (banc Vf-TLP et sonde champ proche) avec la modélisation précise de la partie interne du circuit possible grâce à la collaboration avec un industriel ayant toutes les données sur ce circuit. Cette modélisation globale a permis de simuler les fautes logiques à l'intérieur du circuit et connaître l'origine exacte de ces dysfonctionnements.

Au terme de ces différentes études, nous avons pu valider notre méthodologie de test, incluant plusieurs techniques d'injection ESD et leurs modèles VHDL-AMS associés. Les perspectives envisageables sur ces travaux seraient :

- L'automatisation de la méthode de simulation permettant de modéliser les chemins critiques sur une carte électronique en utilisant le fichier GERBER de routage et ainsi créer automatiquement les modèles des lignes.
- Une synchronisation des impulsions ESD générées par le banc Vf-TLP pour les superposer aux temps de montée et de descente des signaux.
- La compréhension des phénomènes de propagations ESD à l'intérieur d'un circuit test lors de son fonctionnement. Pour valider la modélisation des aspects EMI dans la puce électronique, des capteurs pourraient être placés sur les chemins de décharge des ESD notamment au niveau des bus d'alimentation. Avec les informations fournies par les capteurs, on pourrait établir des règles de dessins visant à réduire les problèmes liés à l'injection d'ESD à l'intérieur des puces.

Liste des publications

Revue :

- **Ali ALAELDINE, Nicolas LACRAMPE, Alexandre BOYER, Richard PERDRIAU, Fabrice CAIGNET, Mohamed RAMDANI, Etienne SICARD, and M'hamed DRISSI** : “Comparison among Emission and Susceptibility Reduction Techniques for Electromagnetic Interference in Digital Integrated Circuits”, *Article accepté au Microelectronics Journal*.

Conférences internationales :

- **N. LACRAMPE, F. CAIGNET, N. NOLHIER, M. BAFLEUR, N. MAURAN** : “Characterization and Modeling Methodology for IC’s ESD Susceptibility at System Level Using VF-TLP Tester”, *29th Annual Electrical Overstress/ Electrostatic Discharge Symposium (EOS/ESD), Anaheim (USA), pp. 304-310, 16-21 septembre 2007*.
- **N. LACRAMPE, A. ALAELDINE, F. CAIGNET, R. PERDRIAU, M. BAFLEUR, N. NOLHIER, M. RAMDANI** : “Investigation on ESD transient immunity of integrated circuits”, *IEEE International Symposium on Electromagnetic Compatibility (EMC), Honolulu (USA), pp. 1-5, 8-13 juillet 2007*.
- **A. ALAELDINE, N. LACRAMPE, J-L. LEVANT, R. PERDRIAU, M. RAMDANI, F. CAIGNET, M. BAFLEUR, E. SICARD** : “Efficiency of Embedded On-Chip EMI Protections to Continuous Harmonic and Fast Transient Pulses with respect to Substrate Injection”, *IEEE International Symposium on Electromagnetic Compatibility (EMC), Honolulu (USA), pp. 1-5, 8-13 juillet 2007*.
Publication primée : Beranek Travel Award.

Conférences et séminaires :

- **B. VRIGNON, N. LACRAMPE, F. CAIGNET** : “Investigation of Effects of an ESD Pulse Injected by a Near-Field Probe into an Oscillator Block of a 16-Bit Microcontroller”, *6th International Workshop on Electromagnetic Compatibility of Integrated Circuits (EMC Compo 2007), Torino (Italy), 28-30 novembre 2007*.

- **N. LACRAMPE , F. CAIGNET , N. NOLHIER , M. BAFLEUR :** “ VF-TLP based methodology for the prediction of ESD immunity of a PCB ”, *1st International ESD Workshop, Lake Tahoe (USA), 14-17 Mai 2007.*
- **N. LACRAMPE, A. BOYER, B. VRIGNON, F. CAIGNET, M. BAFLEUR :** “Investigation of the indirect effects of a VF-TLP ESD pulse injected into a Prinnetd Circuit Board ”, *Immunity at the IC level Workshop, 7th EMC Europe International Symposium on Electromagnetic Compatibility (EMC Europe 2006), Barcelone (Espagne), 04-08 septembre 2006.*
- **N. LACRAMPE , A. BOYER , N. NOLHIER , F. CAIGNET , M. BAFLEUR :** “ Original methodology for integrated circuit ESD immunity combining VF-TLP and near field scan testing ”, *3rd EOS/ESD/EMI Workshop, Toulouse (France), 18-19 Mai 2006.*
- **N. LACRAMPE :** “ Modélisation de la robustesse des cartes électroniques vis-à-vis des stress électroniques (EOS) et électrostatiques (ESD) présents dans un environnement de défense ”, *9ème édition des journées Nationales du Réseau Doctoral en Microélectronique (JNRDM 2006), Rennes (France), mai 2006.*

Résumé

Grâce à l'augmentation continue des performances des circuits intégrés, l'électronique s'est largement développée dans la plupart des secteurs d'activité et tout particulièrement dans les systèmes embarqués. Ces systèmes doivent répondre à des contraintes de fiabilité sévères pour résister à des agressions issues de phénomènes transitoires variés, comme les décharges électrostatiques (ESD). À l'heure actuelle, l'impact de ces agressions sur le taux de retours clients des circuits intégrés est de 40 à 50%. Pour améliorer l'immunité du système, et réduire ainsi les coûts de production et de suivi des produits, il devient nécessaire de prendre en compte ces perturbations dès la conception et d'avoir une approche globale de protection. Dans le cadre de ces travaux de thèse, nous avons développé une méthodologie de simulation, des modèles et les techniques de caractérisation associées afin d'évaluer l'impact d'un stress ESD en tous points d'une carte électronique en fonction des caractéristiques de chaque composant et du placement/routage. L'approche de modélisation choisie s'appuie sur les outils informatiques de conception fonctionnelle des circuits et cartes et utilise le langage VHDL-AMS dont la certification IEEE en fait un standard industriel. Pour la caractérisation, l'originalité concerne l'utilisation d'un banc de test en impulsions de type Very Fast-TLP, couplé à différentes méthodes d'injection, qui permet à la fois, l'extraction des paramètres pour les modèles et d'observer la réponse du circuit intégré agressé sur la carte. Le résultat majeur de cette étude est la possibilité de simuler la réponse d'une carte électronique à une agression ESD (ex : ESD de type IEC) depuis son impact jusqu'au niveau de toute entrée/sortie des composants de la carte. L'approche est validée sur un circuit test simple mais aussi sur une application plus complexe à base d'un microcontrôleur. Elle permet de détecter des couplages indésirés et d'optimiser la stratégie de protection ESD par un placement des composants et/ou un routage approprié.

Mots-Clés: Décharge électrostatique (ESD) – Méthodologie de simulation – Propagation du signal – banc VF-TLP –VHDL-AMS

Abstract

Thanks to the continuous improvement of integrated circuits (ICs) performance, electronics has greatly expanded in most sectors and particularly in embedded systems. These systems must meet strong reliability requirements to withstand various transient events such as electrostatic discharge (ESD) stresses. Nowadays, the impact of these stresses on ICs field return is in the range of 40 to 50%. To improve electronic system immunity, and thus reduce production costs, it becomes necessary to take into account these disturbances as soon as possible in the design flow and to adopt a comprehensive protection approach. Within the framework of this thesis, we have developed a simulation methodology, models and associated characterization techniques to assess the impact of an ESD stress at all points of an electronic board depending according to the characteristics of each component and the placement / routing. The chosen modeling approach is based on classical electronic design automation tools for circuit of IC and board design, and uses VHDL-AMS language. For the characterization, the originality of this work concerns the use of a pulsed test-bench such as Very Fast-TLP, coupled to various injection methods, for both parameter extraction for the models and acquisition of the stressed IC response on the board. The major result of this study is the ability to simulate the electronic board response to an ESD stress (eg IEC ESD stress) from its impact to any input / output pin of the board components. The approach is validated on a simple test board, but also on a more complex application based on a microcontroller. It allows detecting unwanted couplings and optimising the ESD protection strategy of an electronic board through an appropriate routing and placement of the components.

Keywords: Electrostatic discharge (ESD) – simulation methodology – Signal propagation – VF-TLP test bench – VHDL-AMS modeling