



**HAL**  
open science

# Mémoires reconfigurables à accès aléatoire et à semi-conducteurs

Jean-Michel Ayache

► **To cite this version:**

Jean-Michel Ayache. Mémoires reconfigurables à accès aléatoire et à semi-conducteurs. Modélisation et simulation. Institut National Polytechnique de Grenoble - INPG; Université Joseph-Fourier - Grenoble I, 1978. Français. NNT : . tel-00287877

**HAL Id: tel-00287877**

**<https://theses.hal.science/tel-00287877>**

Submitted on 13 Jun 2008

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

# THESE

*présentée à*

**Université Scientifique et Médicale de Grenoble  
Institut National Polytechnique de Grenoble**

*pour obtenir le grade de*  
**DOCTEUR INGENIEUR**

*par*

**Jean-Michel AYACHE**



**MEMOIRES RECONFIGURABLES  
A ACCES ALEATOIRE  
ET A SEMI - CONDUCTEURS**



Thèse soutenue le 6 février 1978 devant la Commission d'Examen :

**Président : L. BOLLIET**

**Examineurs : J. BOREL  
M. DIAZ  
J. GUALINO  
P. MAISON  
G. SAUCIER**



UNIVERSITE SCIENTIFIQUE  
ET MEDICALE DE GRENOBLE

---

Monsieur Gabriel CAU : Président  
Monsieur Pierre JULLIEN : Vice Président

---

MEMBRES DU CORPS ENSEIGNANT DE L'U.S.M.G.

PROFESSEURS TITULAIRES

MM.	AMBLARD Pierre	Clinique de dermatologie
	ARNAUD Paul	Chimie
	ARVIEU Robert	I.S.N.
	AUBERT Guy	Physique
	AYANT Yves	Physique approfondie
Mme.	BARBIER Marie-Jeanne	Electrochimie
MM.	BARBIER Jean-Claude	Physique expérimentale
	BARBIER Reynold	Géologie appliquée
	BARJON Robert	Physique nucléaire
	BARNOU Fernand	Biosynthèse de la cellulose
	BARRA Jean-René	Statistiques
	BARRIE Joseph	Clinique chirurgicale
	BEAUDOING André	Clinique de pédiatrie et puériculture
	BELORIZKY Elie	Physique
	BERNARD Alain	Mathématiques pures
Mme.	BERTRANDIAS Françoise	Mathématiques pures
MM.	BERTRANDIAS Jean-Paul	Mathématiques pures
	BEZEZ Henri	Pathologie chirurgicale
	BLAMBERT Maurice	Mathématiques pures
	BOLLIET Louis	Informatique (IUT B)
	BONNET Jean-Louis	Clinique ophtalmologique
	BONNET-EYMARD Joseph	Clinique gastro-entérologique
Mme.	BONNIER Marie-Jeanne	Chimie générale
MM.	BOUCHERLE André	Chimie et toxicologie
	BOUCHEZ Robert	Physique nucléaire
	BOUSSARD Jean-Claude	Mathématiques appliquées
	BOUTET DE MONVEL Louis	Mathématiques pures
	BRAVARD Yves	Géographie
	CABANEL Guy	Clinique rhumatologique et hydrologique
	CALAS François	Anatomie
	CARLIER Georges	Biologie végétale
	CARRAZ Gilbert	Biologie animale et pharmacodynamie
	CAU Gabriel	Médecine légale et toxicologie
	CAUQUIS Georges	Chimie organique
	CHABAUTY Claude	Mathématiques pures
	CHARACHON Robert	Clinique oto-rhino-laryngologique
	CHATEAU Robert	Clinique de neurologie
	CHIBON Pierre	Biologie animale
	COEUR André	Pharmacie chimique et chimie analytique
	CONTAMTIN Robert	Clinique gynécologique
	COUDERC Pierre	Anatomie pathologique

Mme.	DEBELMAS Anne-Marie	Matière médicale
MM.	DEBELMAS Jacques	Géologie générale
	DEGRANGE Charles	Zoologie
	DELORMAS Pierre	Pneumophtisiologie
	DEPORTES Charles	Chimie minérale
	DESRE Pierre	Métallurgie
	DESSAUX Georges	Physiologie animale
	DODU Jacques	Mécanique appliquée (IUT I)
	DOLIQUE Jean-Michel	Physique des plasmas
	DREYFUS Bernard	Thermodynamique
	DUCROS Pierre	Cristallographie
	GAGNAIRE Didier	Chimie physique
	GALVANI Octave	Mathématiques pures
	GASTINEL Noël	Analyse numérique
	GAVEND Michel	Pharmacologie
	GEINDRE Michel	Electroradiologie
	GERBER Robert	Mathématiques pures
	GERMAIN Jean-Pierre	Mécanique
	GIRAUD Pierre	Géologie
	JANIN Bernard	Géographie
	KAHANE André	Physique générale
	KOSZUL Jean-Louis	Mathématiques pures
	KLEIN Joseph	Mathématiques pures
	KRAVTCHENKO Julien	Mécanique
	KUNTZMANN Jean	Mathématiques appliquées
	LACAZE Albert	Thermodynamique
	LACHARME Jean	Biologie végétale
Mme.	LAJZEROWICZ Janine	Physique
MM.	LAJZEROWICZ Joseph	Physique
	LATREILLE René	Chirurgie générale
	LATURAZE Jean	Biochimie pharmaceutique
	LAURENT Pierre-Jean	Mathématiques Appliquées
	LEDRU Jean	Clinique médicale B
	LE ROY Philippe	Mécanique (IUT I)
	LLIBOUTRY Louis	Géophysique
	LOISEAUX Pierre	Sciences nucléaires
	LONGEQUEUE Jean-Pierre	Physique nucléaire
	LOUP Jean	Géographie
Melle	LUTZ Elisabeth	Mathématiques pures
MM.	MALINAS Yves	Clinique obstétricale
	MARTIN-NOEL Pierre	Clinique cardiologique
	MAZARE Yves	Clinique médicale A
	MICHEL Robert	Minéralogie et pétrographie
	MICOUD Max	Clinique maladies infectieuses
	MOURIQUAND Claude	Histologie
	MOUSSA André	Chimie nucléaire
	NOZIERES Philippe	Spectrométrie physique
	OZENDA Paul	Botanique
	PAYAN Jean-Jacques	Mathématiques pures
	PEBAY-PEYROULA Jean-Claude	Physique
	PERRET Jean	Semeiologie médicale (Neurologie)
	RASSAT André	Chimie systématique
	RENARD Michel	Thermodynamique
	REVOL Michel	Urologie
	RINALDI Renaud	Physique
	DE ROUGEMONT Jacques	Neuro-chirurgie
	SEIGNEURIN Raymond	Microbiologie et Hygiène
	SENGEL Philippe	Zoologie
	SIBILLE Robert	Construction mécanique (IUT I)

MM.	SOUTIF Michel	Physique générale
	TANCHE Maurice	Physiologie
	TRAYNARD Philippe	Chimie générale
	VAILLANT François	Zoologie
	VALENTIN Jacques	Physique nucléaire
	VAUQUOIS Bernard	Calcul électronique
Mme.	VERAIN Alice	Pharmacie galénique
MM.	VERAIN André	Physique
	VEYRET Paul	Géographie
	VIGNAIS Pierre	Biochimie médicale

### PROFESSEURS ASSOCIES

MM.	CRABBE Pierre	CERMO
	DEMBICKI Eugéniuz	Mécanique
	JOHNSON Thomas	Mathématiques appliquées
	PENNEY Thomas	Physique

### PROFESSEURS SANS CHAIRE

Melle	AGNIUS-DELDORD Claudine	Physique pharmaceutique
	ALARY Josette	Chimie analytique
MM.	AMBROISE-THOMAS Pierre	Parasitologie
	ARMAND Gilbert	Géographie
	BENZAKEN Claude	Mathématiques appliquées
	BIAREZ Jean-Pierre	Mécanique
	BILLET Jean	Géographie
	BOUCHET Yves	Anatomie
	BRUGEL Lucien	Energétique (IUT I)
	BUISSON René	Physique (IUT I)
	BUTEL Jean	Orthopédie
	COHEN ADDAD Pierre	Spectrométrie physique
	COLOMB Maurice	Biochimie
	CONTE René	Physique (IUT I)
	DELOBEL Claude	M.I.A.G.
	DEPASSEL Roger	Mécanique des fluides
	FONTAINE Jean-Marc	Mathématiques pures
	GAUTRON René	Chimie
	GIDON Paul	Géologie et minéralogie
	GLENAT René	Chimie organique
	GROULADE Joseph	Biologie médicale
	HACQUES Gérard	Calcul numérique
	HOLLARD Daniel	Hématologie
	HUGONOT Robert	Hygiène et médecine préventive
	IDELMAN Simon	Physiologie animale
	JOLY Jean-René	Mathématiques pures
	JULLIEN Pierre	Mathématiques appliquées
Mme.	KAHANE Josette	Physique
MM.	KRAKOWIACK Sacha	Mathématiques appliquées
	KUHN Gérard	Physique (IUT I)
	LUU DUC Cuong	Chimie organique
	MAYNARD Roger	Physique du solide
Mme.	MINIER Colette	Physique (IUT I)
MM.	PELMONT Jean	Biochimie
	PERRIAUX Jean-Jacques	Géologie et minéralogie
	PFISTER Jean-Claude	Physique du solide
Melle	PIERY Yvette	Physiologie animale

MM.	RAYNAUD Hervé	M.I.A.G.
	REBECQ Jacques	Biologie (CUS)
	REYMOND Jean-Charles	Chirurgie générale
	RICHARD Lucien	Biologie végétale
Mme.	RINAUDO Marguerite	Chimie macromoléculaire
MM.	ROBERT André	Chimie papetière
	SARRAZIN Roger	Anatomie et chirurgie
	SARROT-REYNAULD Jean	Géologie
	SIROT Louis	Chirurgie générale
Mme.	SOUTIF Jeanne	Physique générale
MM.	STIEGLITZ Paul	Anesthésiologie
	VIALON Pierre	Géologie
	VAN CUTSEM Bernard	Mathématiques appliquées

#### MAITRES DE CONFERENCES ET MAITRES DE CONFERENCES AGREGES

MM.	ARMAND Yves	Chimie (IUT I)
	BACHELOT Yvan	Endocrinologie
	BARGE Michel	Neuro-chirurgie
	BEGUIN Claude	Chimie organique
Mme	BERTEL Hélène	Pharmacodynamie
MM.	BOST Michel	Pédiatrie
	BOUCHARLAT Jacques	Psychiatrie adultes
Mme.	BOUCHE Liane	Mathématiques (CUS)
MM.	BRODEAU François	Mathématiques (IUT B) (Personne étrangère habilitée à être directeur de thèse)
	CHAMBAZ Edmond	Biochimie médicale
	CHAMPETIER Jean	Anatomie et organogénèse
	CHARDON Michel	Géographie
	CHERADAME Hervé	Chimie papetière
	CHIAVERINA Jean	Biologie appliquée (EFP)
	CONTAMIN Charles	Chirurgie thoracique et cardio-vasculaire
	CORDONNIER Daniel	Néphrologie
	COULOMB Max	Radiologie
	CROUZET Guy	Radiologie
	CYROT Michel	Physique du solide
	DENIS Bernard	Cardiologie
	DOUCE Roland	Physiologie végétale
	DUSSAUD René	Mathématiques (CUS)
Mme.	ETERRADOSSI Jacqueline	Physiologie
MM.	FAURE Jacques	Médecine légale
	FAURE Gilbert	Urologie
	GAUTIER Robert	Chirurgie générale
	GIDON Maurice	Géologie
	GROS Yves	Physique (IUT I)
	GUIGNIER Michel	Thérapeutique
	GUITTON Jacques	Chimie
	HICTER Pierre	Chimie
	JALBERT Pierre	Histologie
	JULIEN-LAVILLAVROY Claude	O.R.L.
	KOLODIE Lucien	Hématologie
	LE NOC Pierre	Bactériologie-virologie
	MACHE Régis	Physiologie végétale
	MAGNIN Robert	Hygiène et médecine préventive
	MALLION Jean-Michel	Médecine du travail
	MARECHAL Jean	Mécanique (IUT I)
	MARTIN-BOUYER Michel	Chimie (CUS)
	MICHOULIER Jean	Physique (IUT I)

MM.	NEGRE Robert NEMOZ Alain NOUGARET Marcel PARAMELLE Bernard PECCOUD François	Mécanique (IUT I) Thermodynamique Automatique (IUT I) Pneumologie Analyse (IUT B) (Personnalité étrangère habilité à être directeur de thèse)
	PEFFEN René PERRIER Guy PHELIP Xavier RACHAIL Michel RACINET Claude RAMBAUD André RAMBAUD Pierre RAPHAEL Bernard	Métallurgie (IUT I) Géophysique-Glaciologie Rhumatologie Médecine interne Gynécologie et obstétrique Hygiène et hydrologie (Pharmacie) Pédiatrie Stomatologie
Mme.	RENAUDET Jacqueline	Bactériologie (Pharmacie)
MM.	ROBERT Jean-Bernard Romier Guy	Chimie physique Mathématiques (IUT B) (Personnalité étrangère habilité à être directeur de thèse)
	SCHAERER René SHOM Jean-Claude STOEBNER Pierre VROUSOS Constantin	Cancérologie Chimie générale Anatomie pathologie Radiologie

MAITRES DE CONFERENCES ASSOCIES

MM.	DEVINE Roderick HODGES Christopher	Spectro physique Transition de phases
-----	---------------------------------------	--

*Fait à SAINT MARTIN D'HERES, NOVEMBRE 1976.*





INSTITUT NATIONAL POLYTECHNIQUE DE GRENOBLE

Monsieur Philippe TRAYNARD : Président

Monsieur Pierre-Jean LAURENT : Vice Président

PROFESSEURS TITULAIRES

MM.	BENOIT Jean	Radioélectricité
	BESSON Jean	Electrochimie
	BLOCH Daniel	Physique du solide
	BONNETAIN Lucien	Chimie minérale
	BONNIER Etienne	Electrochimie et électrometallurgie
	BOUDOURIS Georges	Radioélectricité
	BRISSENEAU Pierre	Physique du solide
	BUYLE-BODIN Maurice	Electronique
	COUMES André	Radioélectricité
	DURAND Francis	Métallurgie
	FELICI Noël	Electrostatique
	FOULARD Claude	Automatique
	LESPINARD Georges	Mécanique
	MOREAU René	Mécanique
	PARIAUD Jean-Charles	Chimie-Physique
	PAUTHENET René	Physique du solide
	PERRET René	Servomécanismes
	POLOUJADOFF Michel	Electrotechnique
	SILBER Robert	Mécanique des fluides

PROFESSEUR ASSOCIE

M.	ROUXEL Roland	Automatique
----	---------------	-------------

PROFESSEURS SANS CHAIRE

MM.	BLIMAN Samuel	Electronique
	BOUVARD Maurice	Génie mécanique
	COHEN Joseph	Electrotechnique
	LACOUME Jean-Louis	Géophysique
	LANCIA Roland	Electronique
	ROBERT François	Analyse Numérique
	VEILLON Gérard	Informatique fondamentale et appliquée
	ZADWORNÝ François	Electronique

MAITRES DE CONFERENCES

MM.	ANCEAU François	Mathématiques appliquées
	CHARTIER Germain	Electronique
	GUYOT Pierre	Chimie minérale
	IVANES Marcel	Electrotechnique
	JOUBERT Jean-Claude	Physique du solide
	MORET Roger	Electrotechnique nucléaire
	PIERRARD Jean-Marie	Mécanique
	SABONNADIÈRE Jean-Claude	Informatique fondamentale et appliquée
Mme.	SAUCIER Gabrièle	Informatique fondamentale et appliquée

MAITRE DE CONFERENCES ASSOCIE

M.	LANDAU Ioan	Automatique
----	-------------	-------------

CHERCHEURS DU C.N.R.S. (Directeur et Maîtres de Recherche)

MM.	FRUCHART Robert	Directeur de Recherche
	ANSARA Ibrahim	Maître de Recherche
	CARRE René	Maître de Recherche
	DRIOLE Jean	Maître de Recherche
	MATHIEU Jean-Claude	Maître de Recherche
	MUNIER Jacques	Maître de Recherche

*Je tiens à remercier :*

- *Monsieur L. BOLLIET, Professeur à l'Institut Universitaire de Technologie de Grenoble, qui a bien voulu me faire l'honneur de présider le jury,*
- *Madame G. SAUCIER, Maître de Conférences à l'Institut National Polytechnique de Grenoble, qui m'a accueilli dans son Equipe, m'a confié cette étude et a été mon Directeur de thèse,*
- *Monsieur M. DIAZ, Chargé de Recherche au Centre National de la Recherche Scientifique, pour m'avoir permis de terminer cette thèse et de l'améliorer par des critiques constructives,*
- *Monsieur J. GUALINO, Chef du Service de Synthèse et d'Orientations des Recherches en Informatique, qui représente l'organisme ayant soutenu financièrement cette étude, mais qui de plus, a eu, à mon égard, une grande sollicitude,*
- *Monsieur J. BOREL, Chef Adjoint du Laboratoire de Microélectronique Appliquée du L.E.T.I., qui a toujours montré beaucoup d'attentions et de soutiens pour mon travail,*
- *Monsieur P. MAISON, Directeur Scientifique à la C.I.I., qui a été à l'origine du travail présenté ici.*

*Je voudrais remercier également :*

- *mes amis et anciens collègues, B. COURTOIS, P. LE DANOIS, M. MOALLA, J. PULOU, J. SIFAKIS, M. ZACHARIADES pour le soutien moral et scientifique qu'ils m'ont prodigué,*
- *Monsieur A. COSTES pour toutes les difficultés qu'il a aplanies devant moi,*
- *mes nouveaux collègues pour leur accueil chaleureux,*
- *Monsieur THORN et Monsieur MACKOWIAK pour l'aide qu'ils m'ont apportée,*
- *Mademoiselle M.T. RENZ pour la réalisation et le Service de Reprographie pour le tirage de ce mémoire.*



PLAN

---

INTRODUCTION	1
CHAPITRE I : Analyse et choix des principaux modes de reconfiguration	3
1.1. : Présentation des bases de l'étude	3
1.2. : Phases essentielles de la conception	6
1.3. : Test de la mémoire	6
1.4. : Utilisation des codes détecteurs correcteurs d'erreurs	8
1.5. : Utilisation de la reconfiguration	12
1.6. : Test d'une mémoire reconfigurable	50
CHAPITRE II : Structures des mémoires reconfigurables	54
II.1. : Principes d'élaboration d'une mémoire reconfigurable	54
II.2. : Matériel nécessaire à la reconfiguration	55
II.3. : Choix et conception d'une structure reconfigurable	56
II.4. : Analyse des structures	58
CHAPITRE III : Etude des outils d'évaluation d'un système mémoire	71
III.1. : Rendement d'un circuit intégré	71
III.2. : Loi de distribution des pages en panne	80
III.3. : Considérations sur le coût du test	85
III.4. : Comparaison entre différentes structures	87
CHAPITRE IV : Applications	93
IV.1. : Un exemple de mémoire reconfigurable intégrée	93
IV.2. : Un exemple de système mémoire reconfigurable	104
IV.3. : Faisabilité d'une mémoire reconfigurable intégrée de très grande capacité (1024 K bits)	115
CHAPITRE V : Mémoire reconfigurable en ligne	118
V.1. : Utilisation d'une mémoire reconfigurable	118
V.2. : Justification de l'étude	119
V.3. : Définitions et notations	120
V.4. : Définition du modèle de fiabilité	123
V.5. : Fiabilité d'un système mémoire codé tenant compte que d'un seul type de pannes	131

V.6. : Comparaison entre systèmes mémoire	134
V.7. : Système mémoire muni d'un code correcteur d'erreurs et d'un dispositif de reconfiguration	142
V.8. : Hiérarchie dans la reconfiguration d'une mémoire vive	150

CONCLUSION	152
------------	-----

## ANNEXES

A1 Structure CA	153
A2 Structure CBS	156
A3 Structures CBM	158
A4 Structure DBB	161
A5 Structures TDA	164
A6 Structure EDB	169
A7 Détermination de $P_{Ci}$	170
A8 Calcul de $\mu_{Pe}$	174

## BIBLIOGRAPHIE





## INTRODUCTION

-----

## INTRODUCTION

Les progrès réalisés dans le domaine des mémoires, ces dernières années sont impressionnants. Sans trop présager de l'avenir, on peut prévoir que les concepteurs de mémoires et de systèmes vont se heurter à deux limitations, expressions inévitables du processus de fabrication :

- le rendement technologique
- la fiabilité des circuits

Notre effort consistera donc à repousser les limites, d'une part du rendement au niveau de la fabrication, d'autre part de la fiabilité au niveau de l'utilisation. La méthode pour atteindre ce but sera la reconfiguration de la mémoire partiellement en panne pour la rendre virtuellement bonne.

Dans une première partie, nous aborderons les méthodes et les moyens nécessaires à la reconfiguration ; les dispositifs en résultant seront étudiés selon leur structure et le matériel mis en jeu.

La deuxième partie, application de la précédente, décrit les principales structures générales de mémoires reconfigurables. Le souci constant sera de dégager les méthodes de conception compte tenu des moyens disponibles.

La troisième partie est consacrée à l'évaluation. Trois niveaux ont été considérés :

- technologique : surface, temps, dissipation, technologie
- technique : test, programmation des circuits de reconfiguration
- architectural: rendement des structures générales

La quatrième partie est consacrée aux applications. Les exemples choisis sont ceux proposés dans le projet MIST (mémoire intégrée sur tranche). Ce choix a été fait pour deux raisons :

- les exemples illustrent bien les structures les plus caractéristiques parmi celles proposées dans le deuxième chapitre.
- la démonstration de la faisabilité d'un projet d'une ampleur telle que MIST est très intéressante.

La dernière partie aborde le problème complexe de la reconfiguration en ligne. Il sera défini un modèle permettant d'effectuer un choix motivé des valeurs des paramètres fondamentaux du système mémoire doté de l'auto-correction.

Tout au long de ce travail, le souci constant sera d'avoir des structures possédant les caractéristiques suivantes :

- la plus grande rapidité possible
- une surface réduite
- la possibilité de s'adapter aussi bien au niveau du système mémoire qu'au niveau du chip mémoire.

Les travaux antérieurs sur les mémoires tolérants les pannes peuvent être classés en trois catégories :

- utilisation des codes correcteurs ; les auteurs sont nombreux ( [SRI] , [SZY] , [PET] , [CUL] , ... ) dans ce domaine. La démarche suivie repose sur les résultats importants obtenus dans le domaine de la théorie de l'information.
- utilisation de la reconfiguration des mémoires ; la contribution à ce domaine concerne le projet MIST ( [DIA] , [BERT] ) et certaines techniques de permutation de bits d'adresse [SAN] et de programmation de matrices de diodes [GOL] .
- utilisation simultanée des codes correcteurs et de la reconfiguration ; Hsio, Bossen [HSI] , Carter, Mc Carthy [CAR] , Cox et Caroll [Cox] ont abordés ce domaine de deux manières :
  - doter la mémoire codée d'éléments de réserve
  - reconfigurer le plan mémoire pour que le code soit encore opérant.

L'approche présentée ici concerne les trois catégories. L'effort sera particulièrement fait sur la deuxième (ch. I à IV). La première et la troisième catégorie seront abordées au dernier chapitre.



CHAPITRE I

---

ANALYSE ET CHOIX

DES PRINCIPAUX MODES DE RECONFIGURATION

---



## I.1. Présentation des bases de l'étude

### I.1.1. Présentation générale d'une mémoire

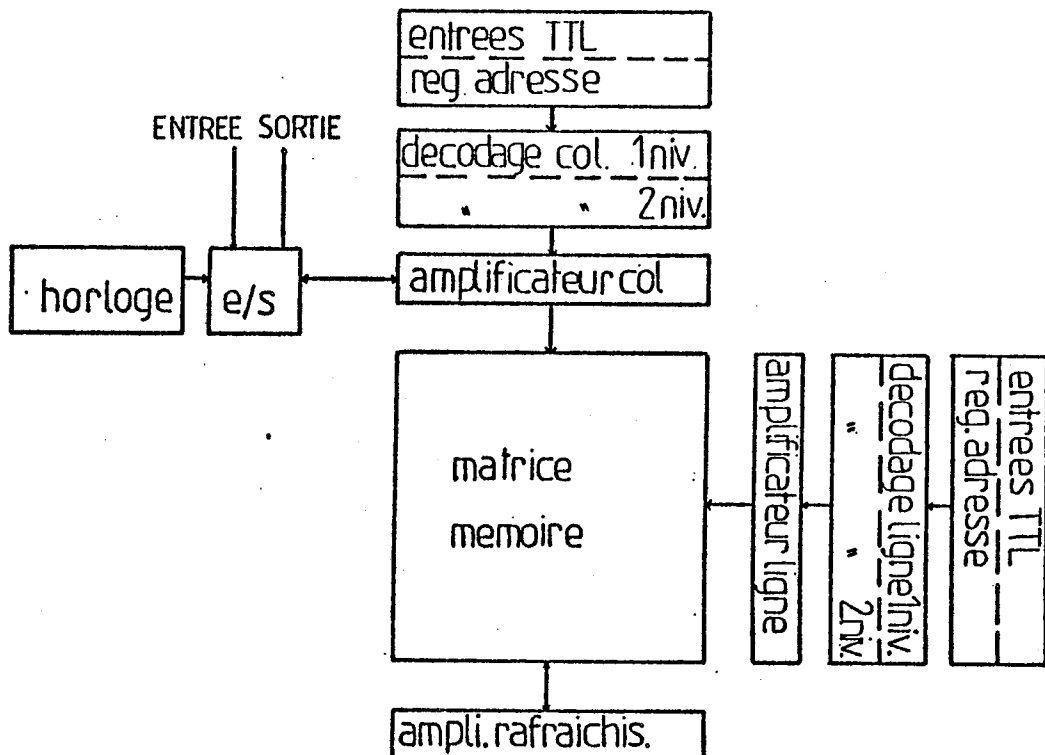


FIGURE 1.1.

Nous prendrons le diagramme général (figure 1.1.) d'une mémoire. Il concerne une mémoire vive dynamique. Les travaux qui suivent, pourront être valables pour une mémoire morte ou pour une mémoire vive statique. Le choix d'une organisation comme celle prise ci-dessus est dictée par un caractère de généralité.

Il faut noter cependant qu'il est difficile de tenir compte de tous les particularismes tels que :

- le découpage de la matrice mémoire en plusieurs blocs
- le rafraîchissement réparti sur la surface, groupé ou associé à un commutateur lié au décodage
- décodeurs ligne ou colonne indépendants (vis à vis des phases)
- etc ...



Les mémoires concernées par ce rapport sont des mémoires à semi conducteurs réalisées sur des circuits intégrés.

Chaque circuit, intégré comporte une mémoire autonome. Nous désignons chaque circuit intégré par les termes : chip ou puce mémoire. Ce chip se situe lui même sur une plaque circulaire de silicium appelée tranche qui a un diamètre généralement de deux ou trois pouces (7,5cm).

I.1.2. Le bit mémoire et le plan mémoire

définition 1 (figure 1.2.)

Un bit mémoire est formé du point mémoire (stockage de l'information) et des éléments permettant la conservation de l'information (rafraichissement), la lecture et l'écriture du point mémoire.

Remarques :

- cette définition nous sera utile dans la définition de la reconfiguration où son rôle est simplificateur
- elle implique qu'il y a replication formelle de toutes les unités communes aux points mémoires (décodeurs, rafraichissement ...)
- elle constitue un avantage car on se libère complètement de la structure particulière de la mémoire.

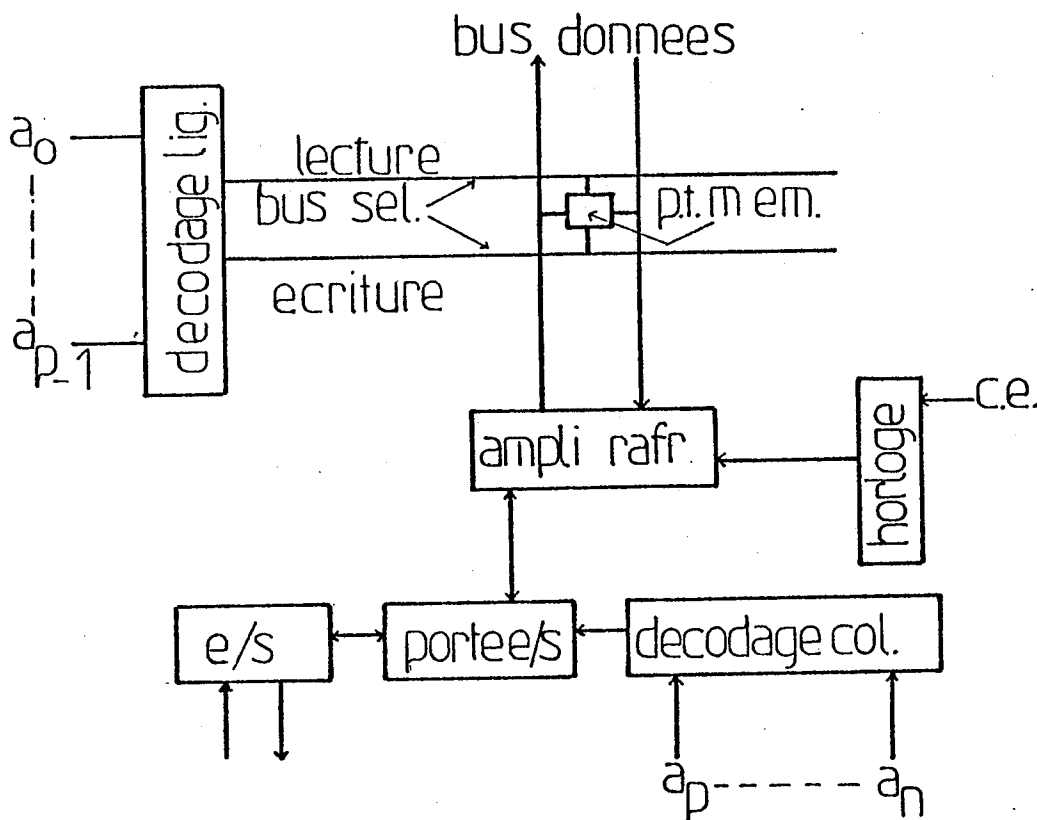


FIGURE 1.2.

### 1.1.3. Bits mémoire défaillants et bits mémoire sains en fin de fabrication

Pour éviter toute ambiguïté par la suite nous définirons les termes de défaut, panne, bit mémoire défaillant, bit mémoire sain en fin de fabrication et de test.

#### définition 2

Un défaut est une carence dans la réalisation des spécifications matérielles.

#### définition 3

Une panne est un état informationnel incorrect, induit par un défaut. Elle peut se manifester de façon simple ou multiple.

#### remarque

Un défaut n'induit pas obligatoirement une panne.

#### définition 4

Un bit mémoire est défaillant si un élément quelconque formant le bit mémoire est en panne.

#### définition 5

Un bit mémoire est sain si tous les éléments formant le bit mémoire sont sans panne.

### 1.1.4. Classes de pannes dans une mémoire

Il est possible de définir des classes de pannes. Nous utiliserons deux critères de définitions :

- le nombre de bits mémoires affectés par une panne
- le type d'organisation du chip mémoire.

Dans le type d'organisation mémoire de la figure 1.1., nous avons six classes indépendantes :

- $C_1$  : logique d'entrée-sortie et de contrôle (n bits sont affectés par une panne)
- $C_2$  : accès et premier niveau de décodage de l'adresse ligne (n/2 bits affectés par une panne)
- $C_3$  : accès et premier niveau de décodage de l'adresse colonne (n/2 bits)
- $C_4$  : second niveau de décodage et amplificateurs ligne ( $\sqrt{n}$  bits)
- $C_5$  : second niveau de décodage et amplificateurs colonne ( $\sqrt{n}$  bits)
- $C_6$  : matrice mémoire (1 bit)

## I.2. PHASES ESSENTIELLES DE LA CONCEPTION

Il y a trois phases essentielles lors de la conception d'une mémoire. Ce sont respectivement :

- le test de la mémoire
- l'utilisation d'un code détecteur - correcteur d'erreurs
- le remplacement de l'élément défectueux par un élément sain (ou reconfiguration)

Notre effort portera essentiellement sur le dernier point après avoir effectué un rappel sur les deux premières phases.

## I.3. TEST DE LA MEMOIRE

Le test de la mémoire constitue une phase importante de la conception d'une mémoire reconfigurable. Pour éclaircir notre propos, nous donnerons les opérations essentielles à effectuer lors du test d'une mémoire. Par la suite (I.6) nous aborderons les opérations supplémentaires à effectuer sur une mémoire reconfigurable. (Ces opérations ne pouvant être appréhendées qu'une fois la reconfiguration définie).

### I.3.1. Tests paramétriques

Ils consistent à vérifier les courants et tensions de fonctionnement selon les spécifications. Ces tests ne posent pas de problèmes particuliers. Ils permettent un **premier** tri.

### I.3.2. Tests fonctionnels

Ils permettent de localiser deux types de défauts :

- les défauts permanents
- les défauts dynamiques

#### a) Les défauts permanents

Ils peuvent être assimilés à un état toujours ouvert ou toujours passant d'un ou plusieurs transistors [DUM] pour conduire à une séquence de test réduite. L'expérience conduit, généralement, à utiliser les séquences valables quelque soit la mémoire.

Elles peuvent conduire à deux types de test [HUS] :

- type N : le nombre de test est proportionnel au nombre de bits (tests utilisés en général pour la grosse production)
- type  $N^2$  : le nombre de test est proportionnel au carré du nombre de bits (tests utilisés pour la caractérisation).

α) type N

Ces tests détectent une ou deux sortes de panne sur les fonctions de la mémoire :

- points mémoire : zéro (et 1) partout - code de parité
- décodeurs : matrice mémoire écrite sous forme d'un damier de "1" et de "0", d'un tableau de "0" (ou "1") contenant une diagonale de "1" (ou de "0").
- rafraîchissement : colonnes (ou lignes) écrites entièrement par des "0" (ou des "1").

β) type  $N^2$

-détection sur les décodeurs, points mémoire et amplificateurs de sortie :

- \* test walking (1,0) : il a  $2N^2 + 4N$  cycles et consiste à :  
écrire tous les points mémoires ( $PM_i$ ) à zéro, écrire  $PM_0$  à 1  
lire tous les  $PM_i$ , lire  $PM_0$ , écrire  $PM_0$  à 0, écrire  $PM_1$  à 1, lire  
tous les  $PM_i$ , lire  $PM_1$ , écrire à 0, écrire  $PM_2$  à 1, ...

-détection sur à peu près toutes les pannes permanentes et sur l'influence d'une séquence quelconque sur deux points mémoire :

- \* test ping pong (galop) :  
il a  $4N^2 + 4N$  cycles. C'est un test très général mais couteux.  
Il consiste à :  
écrire tous les  $PM_i$  à 0, lire  $PM_0$ , écrire  $PM_0$  à 1, lire  $PM_0$ , lire  $PM_1$ , lire  $PM_0$ , lire  $PM_2$ , lire  $PM_0$  ...  
..... lire  $PM_1$ , écrire  $PM_1$  à 1, lire  $PM_1$ , lire  $PM_0$ , lire  $PM_1$ , lire  $PM_2$ , lire  $PM_1$  ...  
.....  
écrire tous les  $PM_i$  à 1, lire  $PM_0$ , écrire  $PM_0$  à 0, lire  $PM_0$ , lire  $PM_1$ , lire  $PM_0$ , lire  $PM_2$ , lire  $PM_0$  ...  
.....

Tests similaires [HUS] galop écriture/recouvrement ( $4N^2+4N$  cycles)  
ping pong complet  
diagonale fixe ou glissante avec ping pong  
etc ...

b) défauts dynamiques [THOM]

Ici l'origine des fautes est due à des aspects particuliers de l'implantation ou à des effets parasites divers.

Un exemple d'un tel type de pannes est un couplage capacitif (court circuit apparaissant sur certaines transitions d'adresses ou pour une certaine fréquence d'accès). La conséquence en est une sélection multiple. Des séquences du type  $N^2$  sont capables de détecter un certain nombre de ces pannes (Ex : ping pong) mais sont très couteuses. La mise au point difficile d'un test adapté à ce genre de fautes passe par l'expérience et l'étude de la topologie interne du circuit.

1.3.3. Tests dynamiques

Ils sont chargés de la vérification des paramètres temporels. Les pannes détectées par ceux-ci ont quelques fois des effets fonctionnels évidents et ne passent pas à travers les test fonctionnels mais certaines pannes sont difficiles à détecter. Leur détermination repose essentiellement sur l'étude des temps critiques de la mémoire [BRO] et des phénomènes de bruit [PAL].

Par exemple, une variation du temps de précharge se traduira quelques fois par une augmentation du temps d'accès (dans le cas de l'influence du buo de données sur la structure). Un moyen de détecter le maximum de ces pannes dès le test fonctionnel est de soumettre la puce à un séquençement très rapide des vecteurs de test.

1.4. UTILISATION DES CODES DETECTEURS ET CORRECTEURS D'ERREURS

Il n'est pas dans le but de ce travail d'étudier en détail les codes. Tout comme nous l'avons dit pour le test, nous allons voir ce que les codes peuvent apporter sur le plan des mémoires et les raisons pour lesquelles cette approche au niveau de la conception n'a pas été retenue.

Nous pouvons dès à présent grace aux travaux connus dans le domaine des codes, déterminer le domaine d'application des codes. Il ne fait aucun doute que la reconfiguration en fonctionnement a un besoin vital du code ne serait-ce que pour détecter et localiser les pannes. C'est pourquoi quelque soit le choix du mode de correction des pannes, l'information sera codée (cf.chap.V). Il faut noter que nous nous situons là au niveau système mémoire. Au niveau du circuit intégré (puce) le problème est différent et ne peut pas être dès à présent réglé. Autre point important, nous savons qu'en choisissant un code nous faisons une hypothèse bien précise sur la panne affectant un mot mémoire. Le pouvoir de correction d'un code nous fixe le nombre de pannes tolérables. Au delà de ce nombre, la mémoire n'est pas utilisable (niveau fabrication) on ne transmet pas une information valide (niveau fonctionnement). Afin d'obtenir un gain de place dans les circuits de correction, il serait nécessaire d'utiliser un code cyclique. Malheureusement, leur réalisation avec des registres à décalage conduirait à un temps d'accès prohibitif. La solution acceptable consisterait à utiliser un code linéaire codé et décodé en parallèle. C'est cette solution que nous allons évaluer.

#### 1.4.1. Rappels généraux

Un code binaire sur  $k$  bits peut coder  $2^k$  informations. Si l'on prend  $m$  bits avec  $m > k$ , il est possible bien entendu de coder toute ces informations mais en plus d'utiliser les  $m - k$  bits restants (bits de vérifications) pour détecter et éventuellement corriger les pannes sur les bits. La distance de Hamming ( $d$ ) étant le nombre minimal de bits différents entre deux informations codées, nous pouvons détecter  $t$  erreurs et corriger  $e$  erreurs avec  $t \geq e$  si  $d = e+t+1$ . Ainsi pour corriger un grand nombre d'erreurs il faudra une distance très grande et par conséquent un nombre de test de vérifications importants et des circuits de codage et de décodage de plus en plus complexes.

#### 1.4.2. Réalisation du codage et du décodage

La dernière constatation du paragraphe précédent nous place devant deux possibilités :

- augmenter le nombre de bits d'information. En effet on constate que l'accroissement des bits d'information réduit le rapport  $\frac{m-k}{k}$  pour une puissance de code donnée.



#### 1.4.2.2. Evaluation de la surface occupée

Compte tenu du fait que dans une intégration totale des circuits de correction il est inutile de répliquer certains circuits d'horloge et d'entrée sortie mais que d'autre part ils représentent un pourcentage faible de la mémoire ( $< 10\%$ ), nous considérons que le pourcentage de redondance mémoire sera environ de  $\frac{m-k}{k}$ .

Par exemple sur 9 bits d'information, il faut  $k$  quatre bits de vérification, c'est à dire environ 44 % de redondance mémoire (par un calcul plus précis 40 %).

La partie circuit de codage et de décodage est faible [DIA]. En effet pour le code (13,9) pris précédemment une évaluation nous donne

- le codage : 15 ou-exclusif
- le décodage et la correction : 28 ou-exclusif, 9 ET, 12 inverseurs

Pour un ou-exclusif, nous compterons 9 points mémoire (un MOS par point mémoire), pour un ET, 7 points mémoire, un inverseur 2 points mémoire, donc en tout 474 points mémoire de surface  $910^{-4} \text{ mm}^2$  donc  $0,42 \text{ mm}^2$ . A ce chiffre, il faut rajouter la surface due aux connexions et aux fils. La difficulté vient du fait qu'elle est difficilement évaluable. Si l'on ne considère que la surface codage et décodage, le pourcentage relatif d'occupation de surface diminue avec la capacité en mots de la mémoire.

(le code ne dépend pas du nombre d'éléments traités). Ainsi pour une mémoire de 1 K mots de 9 bits nous aurons un pourcentage relatif de 0,7 % par contre pour une 4 K x 9 bits nous aurons 0,4 %. Il ne faut pas cependant se leurrer sur ces chiffres, car si la mémoire est plus importante, le nombre de pannes et de configurations de pannes augmentera. Compte tenu du nombre de fils, la surface supplémentaire ne représente pas plus de 2 % de la surface totale initiale. Le plus grand apport de surface vient en fait de la redondance (40 % pour l'exemple choisi ici).

Nous allons voir maintenant que l'utilisation de la reconfiguration, tout en conservant des chiffres comparables pour l'importance des circuits de reconfiguration, permet d'améliorer la solution obtenue. D'une part elle nécessitera une redondance mémoire plus faible, d'autre part elle permettra la prise en compte d'un nombre plus grand de pannes.



## I.5. UTILISATION DE LA RECONFIGURATION

### I.5.1. Définition de la reconfiguration et d'une technique de mise en oeuvre : la pagination

#### I.5.1.1. Adressage

##### Définition 6

L'adresse virtuelle d'un point mémoire est l'adresse d'un point mémoire dans une mémoire reconfigurée. C'est l'adresse utilisée par le système du calculateur : l'adresse à l'entrée du bloc mémoire.

##### Définition 7

L'adresse réelle d'un point mémoire est fonction de l'adresse virtuelle et de la programmation de la reconfiguration.

#### I.5.1.2. Définition de la reconfiguration

Il est possible de définir de manière très simple, la reconfiguration d'une mémoire comme le remplacement de bits en panne par des bits sains.

Néanmoins, une technique plus générale qui englobe cette dernière peut être avancée. Elle peut se formuler ainsi :  
La reconfiguration consiste à paginer la mémoire à reconfigurer et à échanger les pages contenant des pannes avec les pages saines.

Remarque : on peut constater que cette définition englobe la précédente dans la mesure où une page peut ne contenir qu'un seul bit.

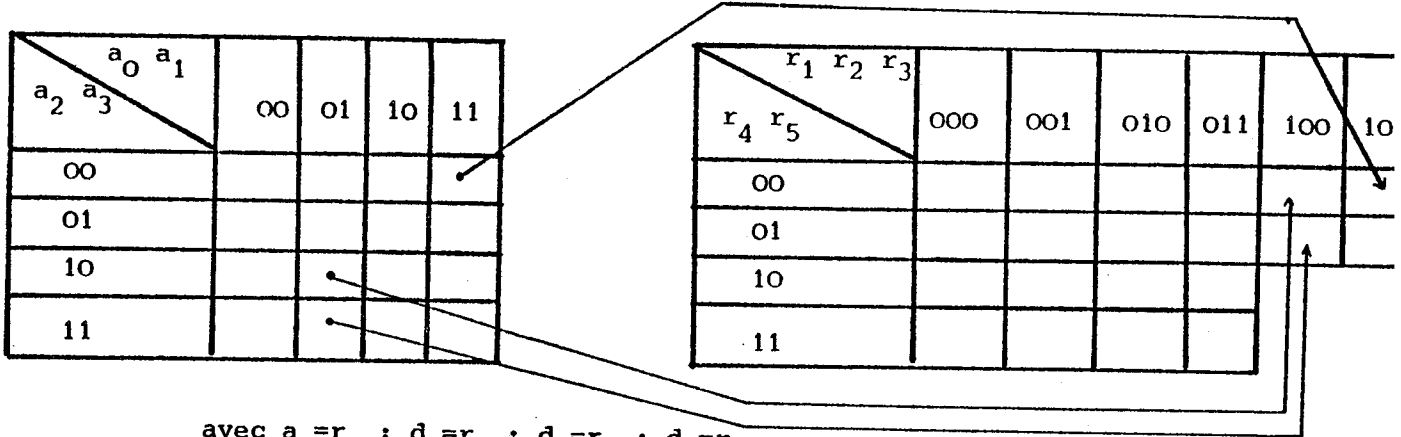
##### Application : (Exemple A)

Soit une mémoire de 16 bits adressable par 4 bits d'adresse virtuelle ( $a_0, a_1, a_2, a_3$ ). Nous lui associons quatre bits mémoire de réserve pour reconfigurer. Donc l'adresse réelle ( $r_1, r_2, r_3, r_4, r_5$ ) permettra d'adresser toute la mémoire. La représentation d'une telle mémoire, de plus supposée contenir trois pannes est la suivante :

$r_1$ $r_2$ $r_3$						
	000	001	010	011	100	101
$r_4$ $r_5$						
00				X		
01						
10		X				
11		X				

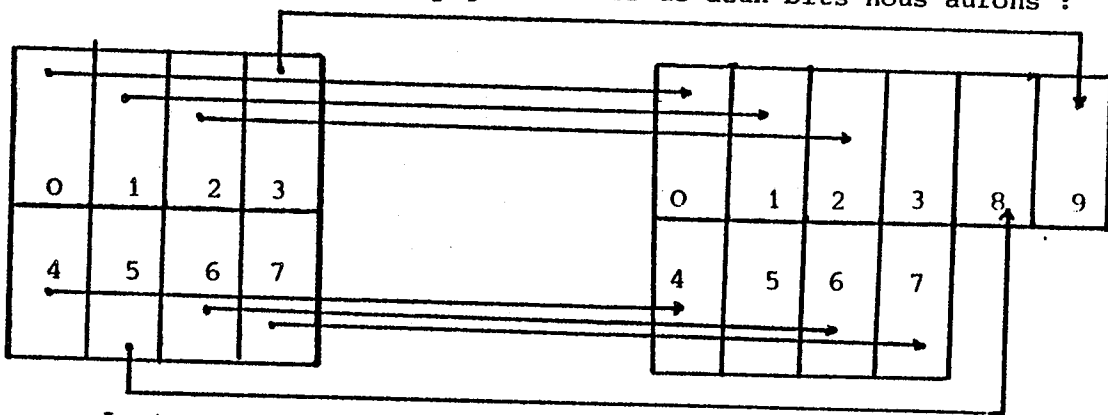
bit mémoire en panne  
 avec  $r_1 = \begin{cases} 1 & \text{si l'élément mémoire est pris dans la réserve} \\ 0 & \text{sinon} \end{cases}$

L'application de la première définition donnera par exemple :



avec  $a_0=r_2$  ;  $d_1=r_3$  ;  $d_2=r_4$  ;  $d_3=r_5$

Par contre avec des pages formées de deux bits nous aurons :



La transformation ne se fait que sur  $a_0, a_1, a_2$  ; l'adresse réelle de la page est désignée par  $r_1, r_2, r_3, r_4$  avec  $r_1$  bit de déroutement,  $a_0 = r_2, a_1 = r_3, a_2 = r_4$  ; l'adresse du bit dans la page est définie par  $r_5$ .

### I.5.1.3. Justification de la pagination

#### a) L'effet d'un défaut sur l'ensemble des bits adressables

Le nombre de pannes est une fonction croissante de la surface (nous développerons plus loin ce qui est relatif aux probabilités de panne). D'autre part, une panne n'a pas le même effet lorsqu'elle affecte un décodeur ou un élément du point mémoire. Dans le premier cas la totalité ou une partie d'une ligne ou d'une colonne est en panne, dans le second seulement un bit mémoire est affecté par la panne.

La surface représentée par la matrice mémoire est, pour les mémoires actuelles en semi-conducteur, inférieure à la surface représentée par les organes périphériques. Par exemple, pour la mémoire Intel 2107 B la matrice mémoire occupe  $3,72 \text{ mm}^2$  sur  $9,46 \text{ mm}^2$ . Par conséquent, la probabilité de pannes est supérieure pour les organes périphériques. C'est à dire, que dans la plus grande partie des cas le nombre de bits affectés par une panne est supérieur à 1.

#### b) L'induction des défauts

Par diaphonie, un défaut peut induire une perturbation sur un ensemble de bits mémoire.

Il peut y avoir des pannes sur des bits mémoire proches physiquement (diaphonie), ainsi que rémanence pour un amplificateur plusieurs fois positionné dans une valeur déterminée et qui conserve cette valeur pour la valeur complémentaire.

#### c) Les circuits de reconfiguration

Si l'on fait une reconfiguration bit à bit, la reconfiguration devra couvrir et corriger l'un quelconque des bits de la mémoire. Ainsi les opérations pour atteindre les bits valides concerneront toute l'adresse virtuelle.

Exemple :

Soit une mémoire organisée en 32 colonnes et 32 lignes ; nous allons montrer que la reconfiguration bit à bit peut être couteuse selon le type de pannes :

Dans une reconfiguration bit à bit, une panne sur une colonne nécessite la mémorisation de 32 adresses de cinq bits et la génération de 32 adresses réelles.

Si nous choisissons un découpage en 16 pages formées de deux colonnes, la reconfiguration implique la mémorisation d'une adresse de quatre bits et la génération de 16 adresses réelles.

1.5.1.4. Les différents modes de reconfiguration

Le mode de reconfiguration d'une mémoire décrit le mécanisme d'échange entre la partie service de la mémoire et la réserve ; l'information dont il dispose est l'état de la page (en panne, saine). Nous avons pu déterminer deux grands modes de reconfiguration :

- le mode de reconfiguration par transcodage d'adresse
- le mode de reconfiguration par gestion des collisions d'adresse

Le mode par transcodage d'adresse se subdivise en deux :

- le mode A qui correspond à un échange simple de pages entre la réserve et la partie service
- le mode B (BS, BB, BM) qui correspond à un échange de pages de la même façon que le mode A mais nécessite une réorganisation de la partie service et de la réserve.

a) mode de reconfiguration par transcodage

mode A :

Ici l'organe de reconfiguration est lié étroitement à la réserve ; il va "chercher" dans la réserve une page saine pour toute page reconnue en panne. Son rôle est limité à un échange de pages donc à un transcodage sur les adresses de ces pages.

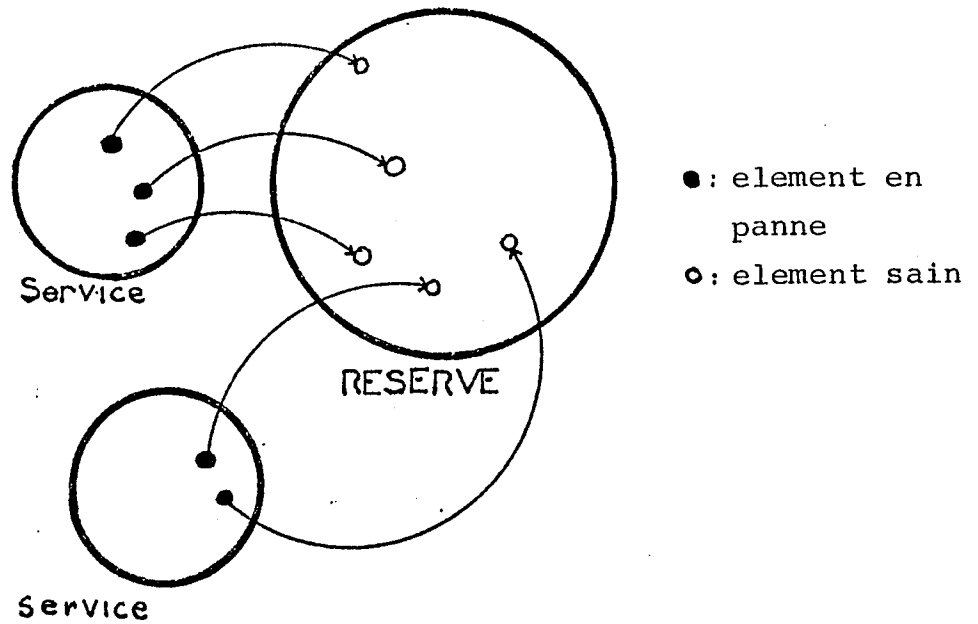


FIGURE I.4.

mode B :

Le transcodage se fait entre les pages de la partie service afin que les pages en panne soient virtuellement adressables de façon contigüe ; la zone, qui dans la partie service a servi de zone d'échange, est parfaitement définie par des bits d'adresse.

Il faut, d'autre part, remplacer les pages utilisées dans la zone d'échange. C'est ce que nous nous proposons de faire en échangeant globalement la zone d'échange de la partie service avec une zone d'échange d'adresse fixe dans la réserve. Ici, la reconfiguration est faite essentiellement sur la partie service (1.5. a).

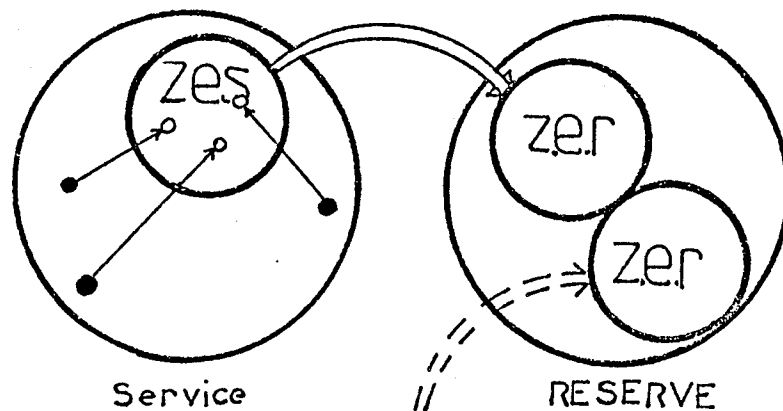


FIGURE 1.5.a.

Cependant cette approche laisse supposer que la réserve est entièrement bonne. Si nous remettons en cause cette hypothèse nous aboutissons à deux nouveaux modes de reconfiguration (dérivés du précédent mode noté BS) :

- un mode B mixte (BM) les pages de la zone d'échange service (ZES) qui correspondent à des pages en panne dans la zone d'échange dans la réserve (ZER) sont échangées avec des pages saines localisées hors de la ZER (figure 1.5.b.)

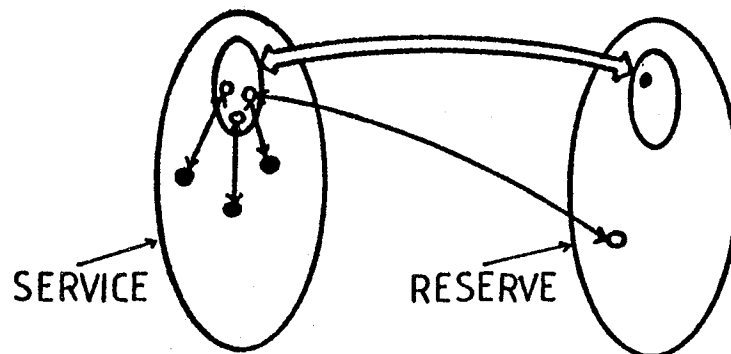


FIGURE 1.5.b.

- un mode symétrique (BB) : dans ce mode nous effectuons une reconfiguration de la réserve. Comme pour la zone de service les pannes sont regroupées dans une zone d'échange "poubelle". Ainsi le transcodage se fait comme si la ZER était sans panne (figure 1.5.c.)

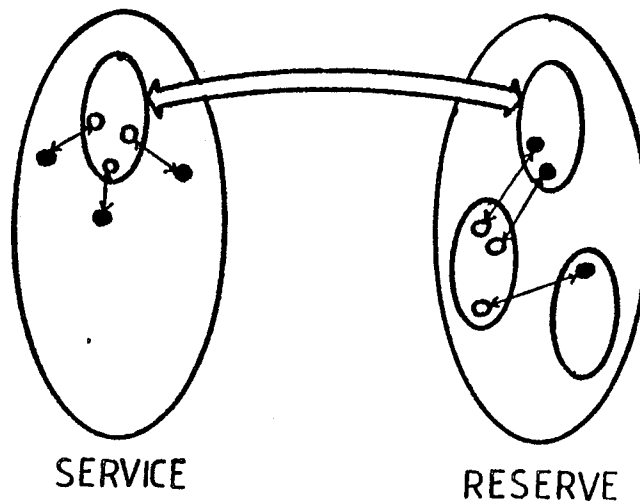


FIGURE 1.5.c.

Raison de la division de la reconfiguration en deux modes A et B

Dans le mode A, à chaque bit du mot mémoire nous associons une sélection particularisée de la réserve. Donc nous aurons k sélections (figure 1.6.a.) pour un mot de k bits.

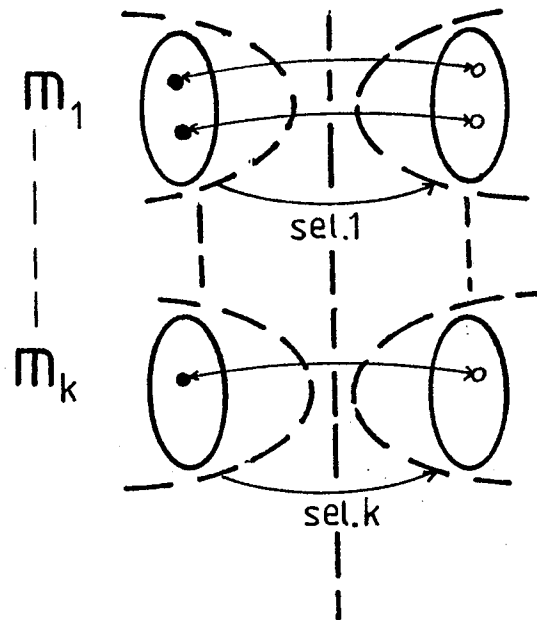


FIGURE 1.6.a.

Dans le mode B, la sélection se fait par l'appartenance à la zone d'échange. Toute page adressée dans la zone d'échange est transférée dans la zone réserve quelque soit le nombre  $k$  de bits du mot. Le nombre de sélections différentes est réduit à un (figure 1.6.b.)

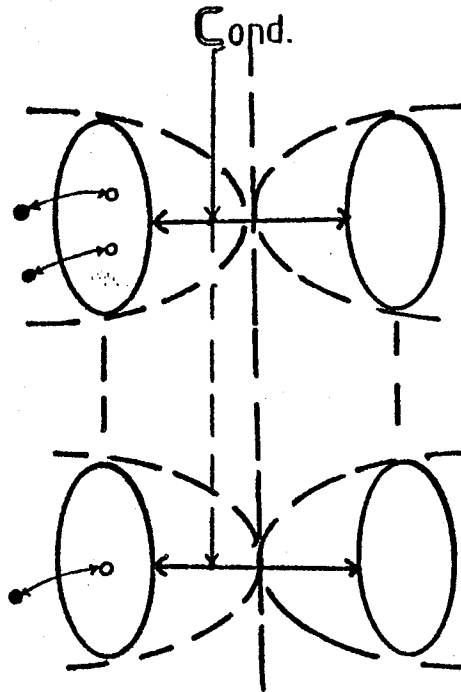


FIGURE 1.6.b.

Un moyen de limiter les sélections consiste à associer à chaque unité physique une réserve privée. Ainsi la sélection s'effectue à l'intérieur du module physique (figure 1.7.)

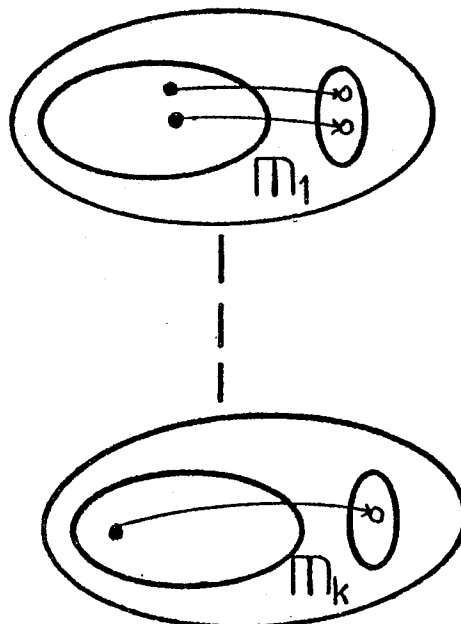


FIGURE 1.7.

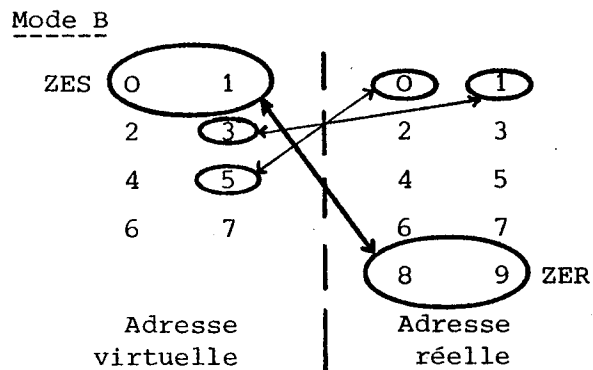
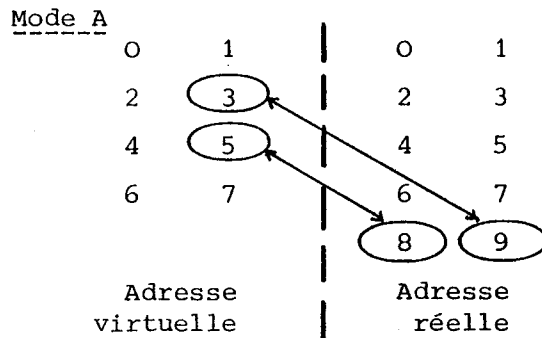


Le nombre de sélections a été réduit (de façon externe) à zéro. Seulement, nous avons été amené à définir des unités non standards. Nous pouvons donc résumer dans un tableau (1.1) les avantages et les inconvénients des modes A et B.

mode	avantages	inconvénients
A	simple	- conception particularisée - recommandable pour mémoire reconfigurable intégrée
B	favorable aux organisations en mots	adressage complexe

TABLEAU 1.1.

Exemple A : Nous reprenons l'exemple précédent avec les pages 4 et 6 en panne.



b) Mode de reconfiguration par gestion des collisions d'adresses

L'échange d'une page en panne par une page valide se fait exclusivement par transcodage sur l'adresse de l'unité physique.

L'adresse de la page n'est pas modifiée.

Si dans deux ou N chips des pages de même adresse ont des pannes (collisions d'adresses) les pages de remplacement se trouveront dans deux ou N chips de réserve.

Le maximum sur le nombre de collisions détermine la taille de la réserve.

Deux stratégies sont possibles pour diminuer la taille de la réserve :  
- écarter le ou les unités physiques responsables de la collision supplémentaire à prendre en compte et recommencer l'opération jusqu'à ce que le nombre maximum de collisions d'adresses soit égal au nombre fixé de chips de la réserve. Les chips rejetés seront utilisés pour la réserve et si la réserve ainsi constituée n'est pas suffisante, il faudra rajouter des chips pour atteindre le nombre fixé. Le rendement (RD), est déterminé par l'utilisation des chips dans la mémoire de service :

$$RD = \frac{\text{Nombre total de chips} - \text{nombre de chips rejetés} - \text{nombre de chips rajoutés}}{\text{nombre total de chips} + \text{nombre de chips rajoutés}}$$

avec : nombre total de chips = population considérée pour constituer la zone de service.

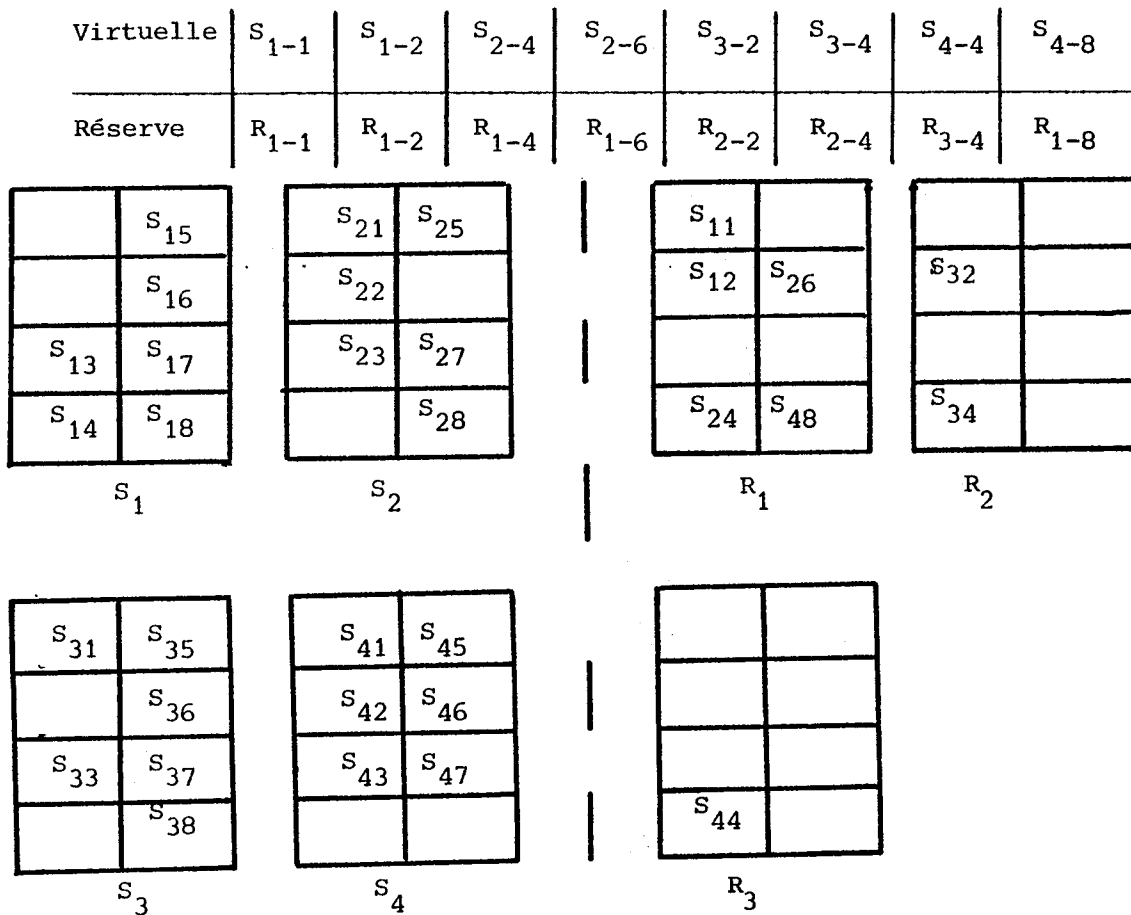
- fixer le rendement et en déduire le nombre d'éléments à mettre dans la réserve en fonction du découpage et du nombre de chips.

Il reste vrai que cette technique, qui semble coûteuse en réserve, a l'avantage de minimiser grandement les circuits de reconfiguration.

Exemple B : Soient quatre chips découpés en huit pages avec les pannes suivantes :

	chip S <sub>1</sub>	chip S <sub>2</sub>	chip S <sub>3</sub>	chip S <sub>4</sub>
adresses des pages :	⊗ 1-2	⊗ 4-6	⊗ 2-4	⊗ 4-8
en panne				

Les adresses de remplacement seront par exemple :



L'ensemble des considérations précédentes nous a permis de fixer dans leurs principes les différents modes retenus pour la reconfiguration. Nous allons les aborder maintenant d'un point de vue d'abord structurel, ensuite matériel.

### 1.5.2. Dispositifs structurels de pagination

Les dispositifs de pagination mettent en jeu les deux grandes catégories :

- dispositifs pour le transcodage d'adresses
- dispositifs pour la gestion des collisions d'adresses

#### a) dispositifs pour le transcodage d'adresses

##### définitions et notations

- Une mémoire topographique est un dispositif attribuant une page réelle de la mémoire physique à une page virtuelle.

- Le bit de déroutement (d) est un bit associé à la sélection d'une zone d'échange (de la réserve ou de la partie service). Il est engendré par la reconnaissance d'une page en panne.
- Le bit de condition (c) est un bit associé à la reconnaissance de l'adresse de la zone d'échange de la partie service (mode B)
- Un dispositif de transcodage est de type C si sa mémoire topographique associe à toutes les adresses virtuelles (v) des pages de la mémoire, une adresse T. L'adresse réelle (R) est obtenue dans le mode A par concaténation du bit de déroutement (d) avec T

$$R = d.T$$

L'adresse réelle de la page est obtenue dans le mode B par concaténation du bit de condition (c) avec T

$$R = c.T$$

Les figures 1.8 et 1.9 représentent l'adressage du type pour respectivement les modes A et B.

- Un dispositif de transcodage est de type S si sa mémoire topographique associe à chaque adresse virtuelle d'une page en panne, une adresse  $T_p$  d'une page dans une zone d'échange (de la partie service pour le mode B, de la réserve pour le mode A). L'adresse réelle d'une page en panne est obtenue par concaténation de l'adresse réelle de la zone d'échange ( $R_z$ ) et de l'adresse  $T_p$ , quelque soit le mode.

$$R = R_z . T_p \quad (Z = ZES : \text{mode B}, Z = ZER : \text{mode A})$$

L'adresse réelle d'une page saine est obtenue :

- dans le mode A, par concaténation de l'adresse virtuelle (V) de la page et de l'adresse réelle de la partie service ( $R_{ps}$ )

$$R = R_{ps} . V$$

- dans le mode B, par concaténation de l'adresse virtuelle (v) et de l'adresse réelle de la partie service ( $R_{ps}$ ) si la page n'appartient pas à la zone d'échange de la partie service :  $R = R_{ps} . V$

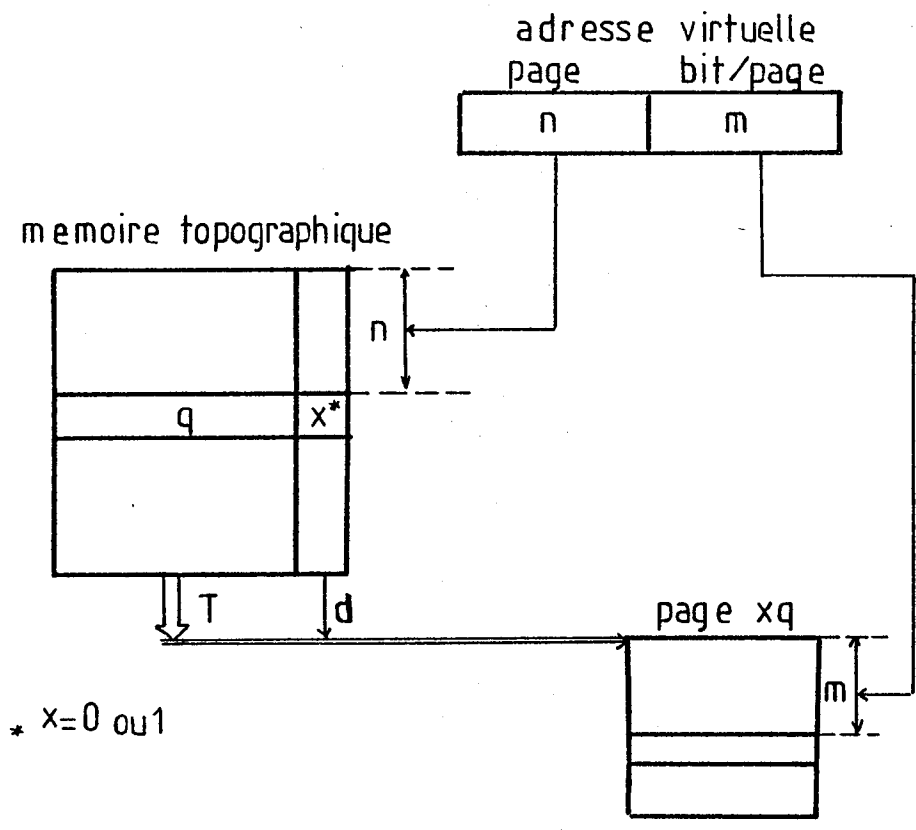


FIGURE 1.8.

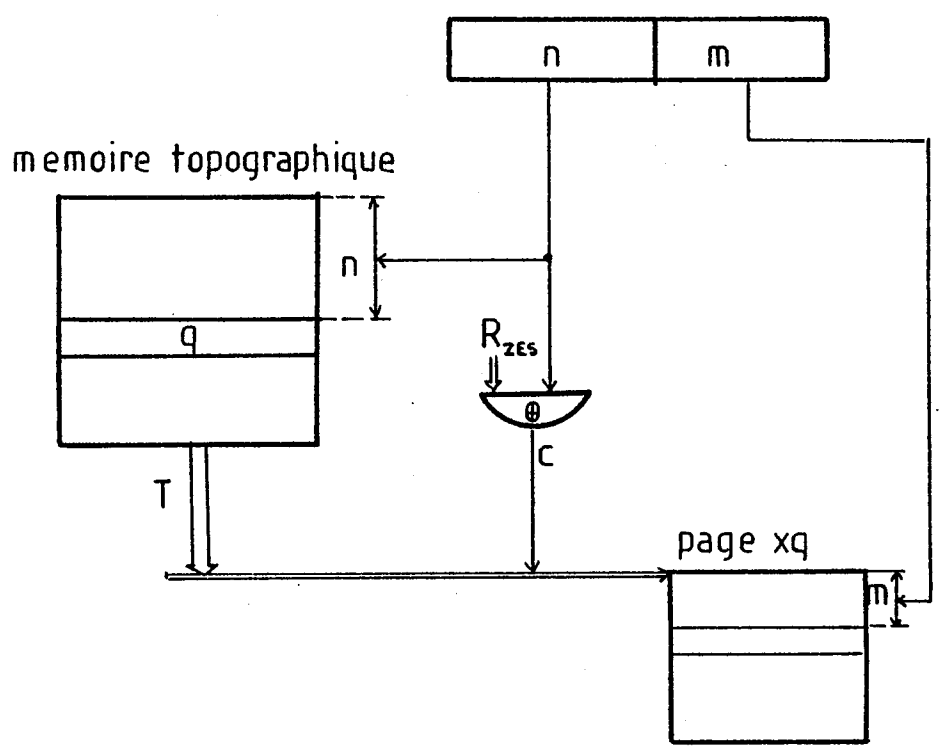


FIGURE 1.9.

Elle est, dans le cas contraire, le résultat de la concaténation de l'adresse virtuelle de la page et de l'adresse réelle de la réserve :

$$R = R_{\text{ZER}} V$$

(\* L'adresse  $R_{\text{ZER}}$  subira des modifications selon l'état de la retenue (mode BB, BM)).

Les figures 1.10 et 1.11 nous donnent une représentation de l'adressage dans le type S pour respectivement les modes A et B.

Dans ce type le bit de déroutement permet d'engendrer ces adresses  $R_{\text{ZER}}$ ,  $R_{\text{PS}}$ ,  $R_{\text{ZES}}$ . Par conséquent, si le nombre de bits de ces adresses est supérieur à 1, l'adresse mémorisée dans la mémoire topographique  $T_p$  sera définie par moins de bits que l'adresse T. Nous aurons toujours la relation :  $|T_p| \leq |T|$  si  $|x|$  représente le nombre de bits de l'adresse x.

Ceci explique, malgré un adressage plus complexe, l'avantage d'utiliser le type S.

#### b) dispositifs pour la gestion des collisions d'adresses

Dans ce cas, on ne transcode pas l'adresse virtuelle de la page. En cas de panne, on se dérouté vers une page de la réserve de même rang. Pour réaliser une opération efficace, il faut partitionner la mémoire active de telle façon que deux ou plusieurs pages correspondent à une même page en réserve.

Le problème des collisions d'adresses posé plus haut se trouve résolu par l'utilisation d'une table qui indique le déroutement à faire pour toutes les pages d'une même partition (un chip par exemple) (figure 1.12)

#### Remarque :

Il y a double adressage dans la mémoire topographique où sont représentés les adresses de tous les éléments défectueux de la mémoire.

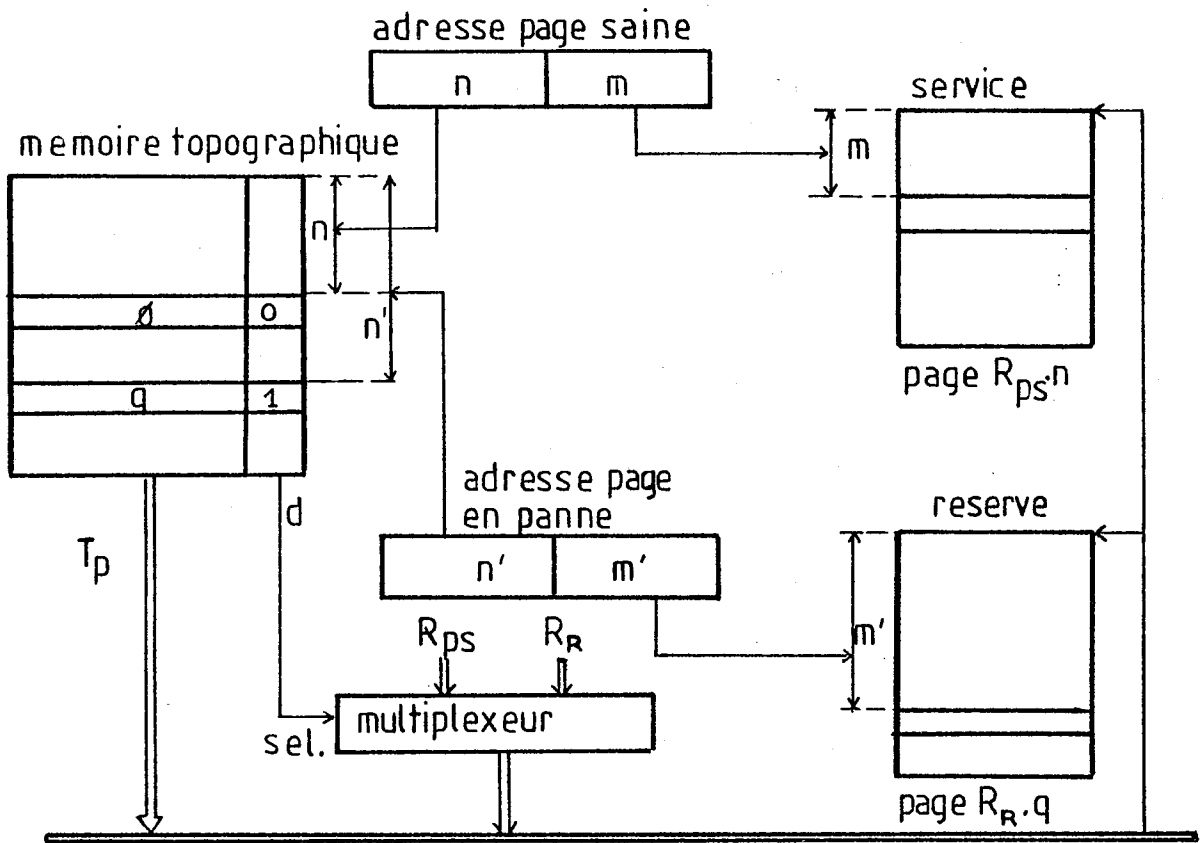


FIGURE 1.10

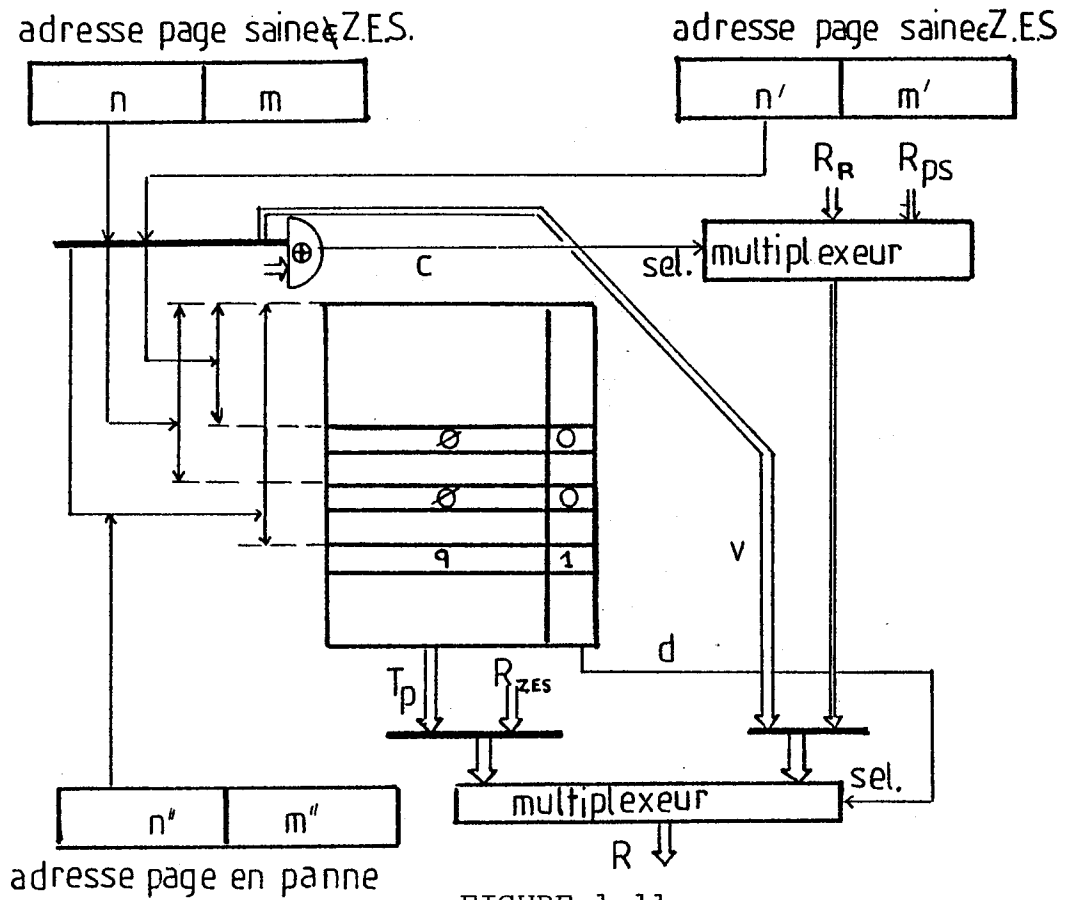


FIGURE 1.11

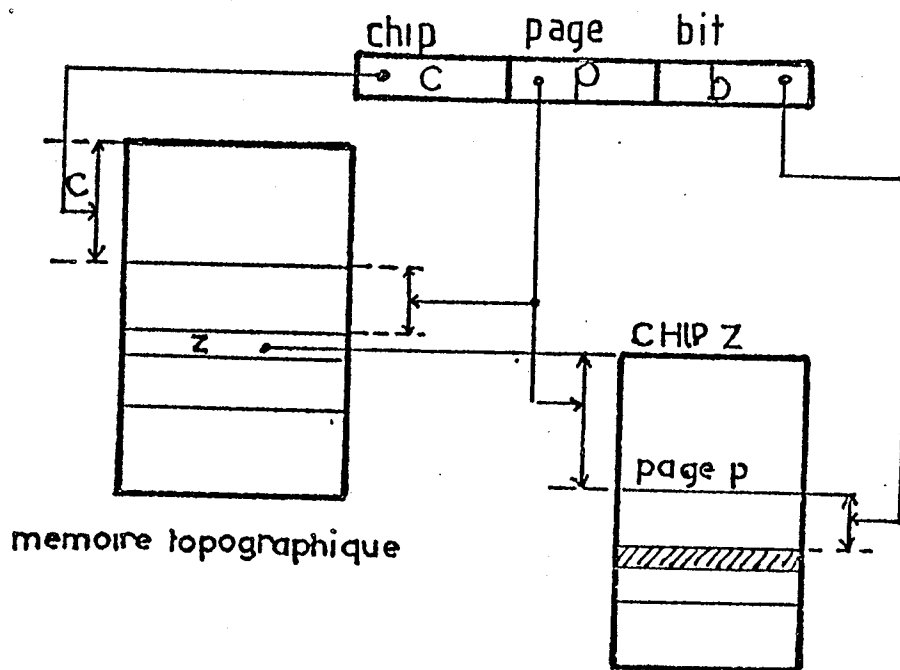


FIGURE 1.12.

### 1.5.3. Dispositifs matériels de pagination

Notre but, après avoir défini pour chaque mode de reconfiguration le rôle de la mémoire topographique, est de faire un choix parmi les différentes possibilités matérielles de réalisation. Nous avons déterminé quatre sortes de dispositifs de transcodage :

- dispositifs combinatoires
- dispositifs cellulaires
- dispositifs par mémoire morte
- dispositifs par PLA

#### 1.5.3.1. Dispositifs combinatoires

Si le nombre de bits d'adresse d'une page est  $n$ , il y a  $2^n$  transcodages possibles. Il est donc matériellement impossibles d'expliciter tous les transcodages pour des grandes valeurs de  $n$ . Il semble peu raisonnable de dépasser la valeur  $n = 2$ . Cette technique limitée à des échanges sur quatre pages est donc à proscrire.



### 1.5.3.2. Dispositifs cellulaires

Nous avons vu, dans le paragraphe précédent, la difficulté de déterminer toutes les fonctions de transcodage. Il est possible, par contre, de limiter le nombre de fonctions en n'effectuant qu'une seule opération facilement mise en oeuvre : la permutation des variables de l'adresse décodée ou codée.

D'autre part, le fait de reconfigurer implique l'existence de variables supplémentaires pour accéder aux éléments de redondance. L'intérêt du dispositif dépendra, en effet, non seulement de sa simplicité mais aussi de la place occupée c'est-à-dire du nombre de variables de travail nécessaires pour l'adressage.

Les différents dispositifs étudiés se distinguent par la nature du codage de l'adresse :

- l'adresse est décodée
- l'adresse est codée (binaire, k parmi n)

#### a) Permutations sur une adresse décodée

Le problème est ici très simple. A chaque variable nous associons une page de la réserve et de la partie service. Echanger deux pages reviendra alors à permuter deux variables.

#### Exemple A :

Les pages 3 et 5 sont en panne. Le transcodage consistera en une permutation des variables 3 et 5 avec les variables 9 et 10 respectivement sur l'adresse décodée.

adresse	adresse virtuelle	adresse décodée avant permutation	adresse décodée après permutation	adresse réelle
	$a_0 \ a_1 \ a_2$			$r_1 \ r_2 \ r_3 \ r_4$
3	1 0 0	0 0 0 0 0 0 1 0 0 0	1 0 0 0 0 0 0 0 0 0	1 0 1 0
5	1 1 0	0 0 0 0 1 0 0 0 0 0	0 1 0 0 0 0 0 0 0 0	1 0 0 1

Le dispositif de la figure 1.13 permet de réaliser le transcodage entre l'adresse virtuelle ( $a_0, a_1, a_2$ ) et l'adresse réelle ( $r_0, r_1, r_2, r_3$ ) par multiplexage (par  $SEL_i$ ) entre une information mémorisée dans un registre à décalage dont deux positions réservées pour chaque page de la mémoire de service permettent le déroutement sur la page 8 (1ère position) ou la page 9 (2ème position).

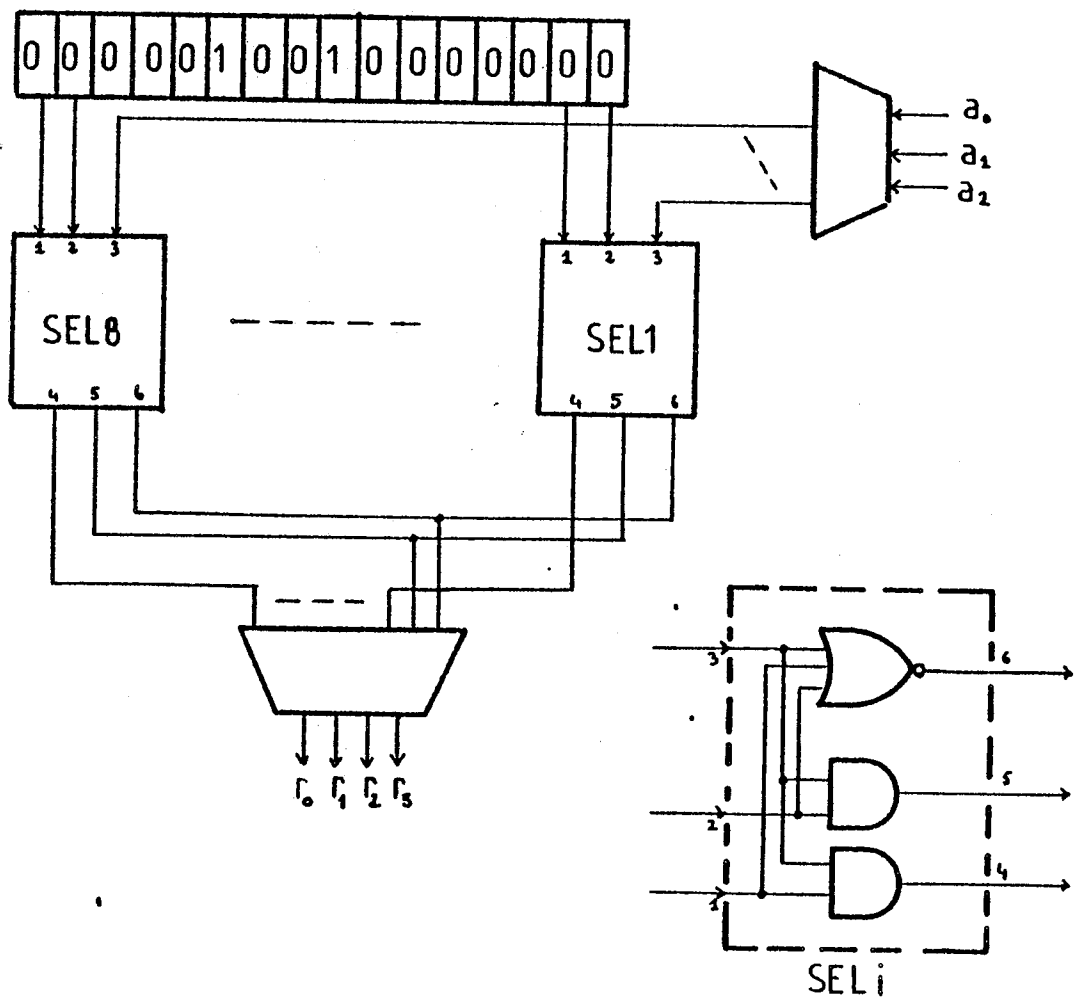


FIGURE 1.13.

Remarques

- Le codeur n'est pas essentiel étant donné que l'adresse page ainsi décodée peut servir directement à sélectionner la page.
- Le nombre de niveaux à traverser (2) est faible mais le nombre de fils et de portes (24) est important.

b) Permutations sur une adresse codéea) Le codage binaire de l'adresse est conservé

Notre but est d'obtenir à partir de deux ou plusieurs adresses une seule adresse par permutation des bits d'adresse.

La redondance des bits d'adresse sera limitée à un bit. Ce bit aura systématiquement la valeur : - complémentaire d'un bit fixé de l'adresse quand la page adressée appartiendra à la partie service

- égale au bit fixé de l'adresse quand la page adressée appartiendra à la réserve.

Exemple

Nous reprenons l'exemple A. Les pages sont codées sur trois bits  $a_0, a_1, a_2$  ; nous rajoutons à l'adresse virtuelle un bit  $r_1$  tel que  $r_1 = \overline{a_2}$ , puis selon les adresses de pages en panne nous effectuons une permutation sur les bits ainsi constitués :

$$r_1 = \overline{a_2} \quad r_2 = a_0 \quad r_3 = a_1 \quad r_4 = a_2$$

Les seules permutations permettant d'accéder à des éléments de la réserve sont celles qui permutent  $r_1$  ou  $r_4$  avec les autres bits ; nous aurons les permutations suivantes :

$$P_1(r_1 r_2 r_3 r_4, r_2 r_1 r_3 r_4) \quad , \quad P_2(r_1 r_2 r_3 r_4, r_1 r_2 r_4 r_3)$$

$$P_3(r_1 r_2 r_3 r_4, r_2 r_1 r_4 r_3) \quad , \quad P_4(r_1 r_2 r_3 r_4, r_3 r_2 r_1 r_4)$$

$$P_5(r_1 r_2 r_3 r_4, r_1 r_4 r_3 r_2)$$

Les éléments de la partie service seront définis par  $r_1 = \overline{a_2}$

Les éléments de la réserve par  $r_1 = a_2$

Le tableau suivant nous donne l'adressage après ces permutations

$a_0$	$a_1$	$a_2$	$r_1$	$r_2$	$r_3$	$r_4$	$P_1$	$P_2$	$P_3$	$P_4$	$P_5$
0	0	0	1	0	0	0	<u>0100</u>	1000	<u>0100</u>	<u>0010</u>	1000
0	0	1	0	0	0	1	0001	<u>0010</u>	<u>0010</u>	0001	<u>0100</u>
0	1	0	1	0	1	0	<u>0110</u>	<u>1001</u>	0101	1010	1010
0	1	1	0	0	1	1	0011	0011	0011	<u>1001</u>	<u>0110</u>
1	0	0	1	1	0	0	1100	1100	1100	<u>0110</u>	<u>1001</u>
1	0	1	0	1	0	1	<u>1001</u>	<u>0110</u>	1010	0101	0101
1	1	0	1	1	1	0	1110	<u>1101</u>	<u>1101</u>	1110	1011
1	1	1	0	1	1	1	<u>1011</u>	0111	<u>1011</u>	<u>1101</u>	0111

TABLEAU 1.1.

Les adresses soulignées appartiennent à la réserve. Il faut cependant, les faire correspondre à quatre pages (adressées par deux bits) de la réserve. Pour cela nous remarquerons que, par exemple, les bits  $r_2, r_3$  et  $r_1, r_3$  permettent d'adresser toutes les pages de la réserve respectivement pour, les permutations  $P_1, P_2, P_4$  et  $P_3, P_5$ .  $P_3$  correspond à une permutation des bits d'adresse par  $P_1$  et  $P_2$ .

Le circuit de permutations permet de savoir quelle permutation des bits d'adresse a été faite par un signal  $S_i$  associé à la permutation  $P_i$ . Ainsi, la fonction :  $F = S_1 \cdot S_2 + S_5 = 1$  implique que la permutation  $P_3$  ou  $P_5$  a été faite. D'autre part, la réserve est sélectionnée si  $SR = r_1 \oplus r_4 = 1$ .

Ainsi,  $r_1 r_3$  forment l'adresse de la réserve si la réserve est sélectionnée et si la permutation réalisée est  $P_3$  ou  $P_5$ , soit si  $SR \cdot F = 1$  ; par contre si  $SR \cdot F = 0$  c'est  $r_2 r_3$  qui forment l'adresse page de la réserve. C'est pourquoi, le signal  $S = SR \cdot F$  peut être la sélection du multiplexeur entre  $r_1$  et  $r_3$ .

La figure 1.14 donne une représentation des circuits réalisant le transcodage sur  $a_0 - a_2$ . La figure 1.15 représente le circuit de permutation et la cellule élémentaire.

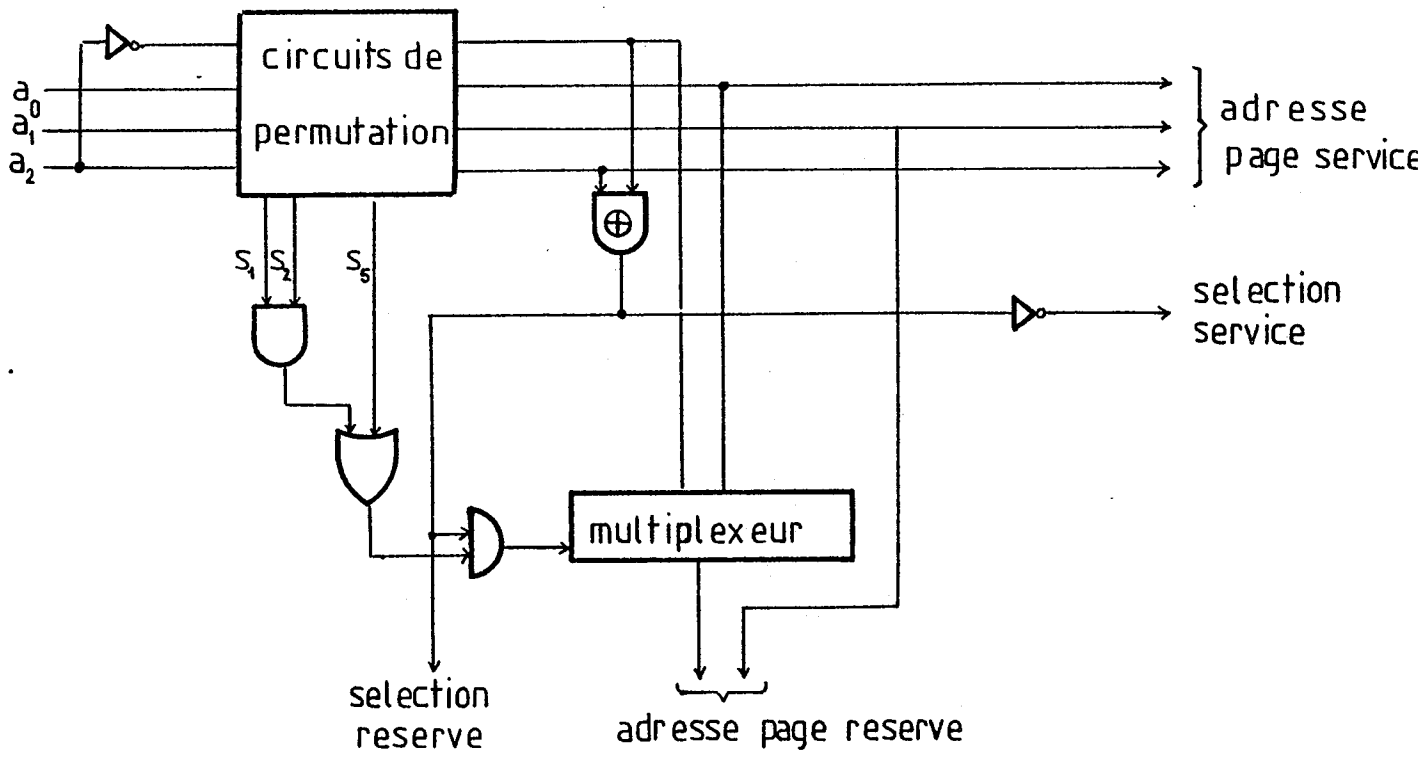


FIGURE 1.14.

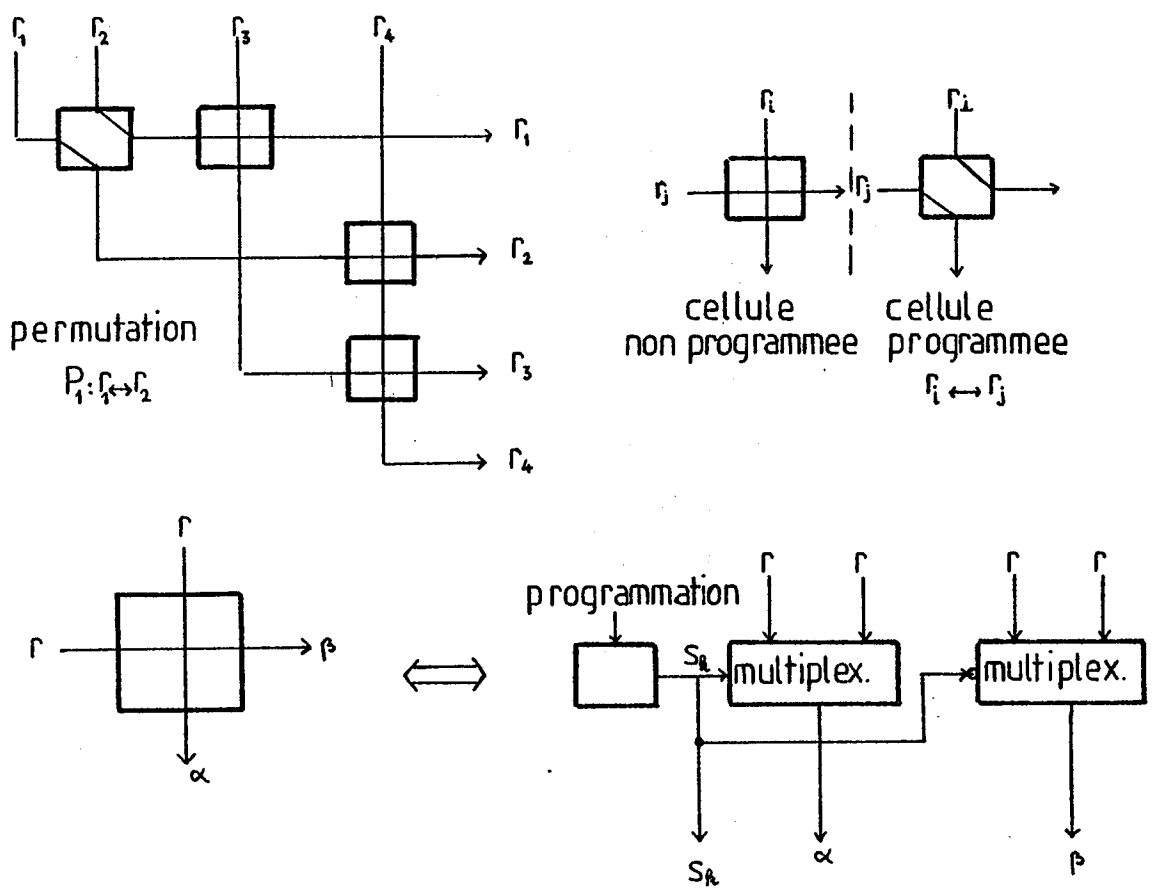


FIGURE 1.15.

b) le codage de l'adresse est un codage k parmi n [DIA]

Les mots engendrés par un code k parmi n sont au moins à distance 2 les uns des autres. Dans le cas qui nous occupe, il s'agit de constituer une réserve telle qu'il existe au moins une page à une distance égale à 2 des autres adresses des pages de la zone de service. Ainsi, par permutation de deux variables seulement, il sera possible à partir de n'importe quelle adresse de la partie service de former les adresses de la réserve.

Exemple :

Si nous prenons une adresse virtuelle de trois bits le code qui peut lui correspondre est un code 2 parmi 5. Le nombre de combinaisons possibles (nombre de mots du code) est de  $C_5^2 = 10$ . Donc nous aurons huit éléments de service et deux de réserve. Le tableau 1.2. nous donne les substitutions possibles.

Adresse virtuelle	Adresse réelle					Réserve (substitutions)	
	$r_1$	$r_2$	$r_3$	$r_4$	$r_5$		
0 0 0	0	0	1	0	1		
0 0 1	0	1	0	0	1		
0 1 0	0	1	1	0	0		
0 1 1	1	0	0	0	1		
1 0 0	1	0	1	0	0		
1 0 1	0	0	1	1	0		
1 1 0	0	1	0	1	0		
1 1 1	1	0	0	1	0		
	$\alpha$	1	1	0	0		
	$\beta$	0	0	0	1		1

TABLEAU 1.2.

Les adresses  $\alpha$  et  $\beta$  sont bien à distance 2 de toutes adresses réelles de la partie service.

La réalisation du dispositif effectuant cette transformation est similaire à la précédente pour les circuits de permutations (ici seulement des substitutions). L'adressage de la réserve est plus simple, les adresses étant invariantes par les substitutions. Mais le nombre de bits d'adresse est plus important.

d) conclusion

Les dispositifs exposés ici ont les caractéristiques suivantes :

- ils sont constitués de peu de matériel,
- l'adresse réelle de la page n'est pas mémorisée mais c'est par contre, la permutation qui l'est,
- le temps de transcodage devrait être très court (pour l'exemple pris ici, le codage binaire étant conservé, l'adresse réelle de la réserve est disponible après sept niveaux de portes élémentaires, l'adresse de la partie service après quatre niveaux),
- un certain nombre de configurations de pannes est autorisé.

En effet, la permutation détermine l'ensemble des adresses transcodées. Ainsi les pages en pannes doivent être contenues dans cet ensemble.

Avec les mémoires mortes et le PLA nous allons voir des dispositifs de conception plus proche des principes élaborés précédemment (I.5.2 dispositifs structurels). L'adresse réelle de la page sera effectivement stockée dans le dispositif. Il sera ainsi possible d'accéder à un nombre quelconque de pages en réserve. Par contre, la quantité d'information mémorisée sera beaucoup plus grande que celle mémorisée dans les dispositifs cellulaires.

I.5.3.3. Dispositifs de transcodage utilisant des mémoires mortes

La mémoire morte est ici la transposition matérielle exacte de la mémoire topographique telle qu'elle a été définie au paragraphe I.5.2.

L'adresse virtuelle de la page ( $v$ ) sur  $n$  bits permet d'adresser dans la mémoire morte, une adresse  $T$  (ou  $T_p$ ) qui peut engendrer l'adresse réelle ( $R$ ) selon les règles énoncées en I.5.2.

Nous rappelons l'adressage dans le tableau 1.3.

mode	A	A	B	B	B
page	en panne	saine	en panne	saine	saine
type	$\epsilon$			$\epsilon$ ZES	$\epsilon$ ZES
c	d.T	d.T	c.T	c.T	c.T
S	$R_{ZER} \cdot T_P$	$R_{PS} \cdot V$	$R_{ZES} \cdot T_P$	$R_{ZER} \cdot T_P$	$R_{PS} \cdot V$

- d : bit de déroutement      c : bit de condition  
 T (ou  $T_P$ ) : adresse mémorisée dans la mémoire topographique  
 $R_{ZER}$ ,  $R_{ZES}$  : adresse réelle de la zone d'échange service et réserve  
 V : adresse virtuelle de la page  
 $R_{PS}$  : adresse de la partie service

TABLEAU 1.3.

Afin d'illustrer l'utilisation d'une mémoire morte nous reprendrons l'exemple A dans une application dans chacun des types d'adressage

- Type C mode B
- Type S mode A

Nous comparerons en suite les tailles des transcodeurs pour tous les modes et types.

a) Dispositif avec mémoire morte dans le type c mode B

L'adressage est défini ainsi :

- La mémoire morte contient toutes les adresses des pages en pannes et saines. La réserve est constituée de deux pages.
- L'adresse virtuelle ( $a_0, a_1, a_2$ ) permet d'adresser huit mots de la mémoire morte contenant les adresses T.
- Le bit de condition est obtenu par  $C = \overline{a_0} \overline{a_1}$ . Ainsi les pages formant la zone d'échange de la partie service sont :  
 0 0 0 et 0 0 1.
- Les pages en panne sont les pages 3 et 5 (010, 100)
- L'adresse réelle est formée par  $r_1, r_2, r_3, r_4$  avec  $c=z_1$   $T=r_2 r_3 r_4$



Le tableau 1.4. nous donne la programmation de la mémoire morte et la figure 1.16 la réalisation du dispositif.

n° page virtuelle	codage page virtuelle			C r <sub>1</sub>	codage de T				n° page réelle
	a <sub>0</sub>	a <sub>1</sub>	a <sub>2</sub>		r <sub>2</sub>	r <sub>3</sub>	r <sub>4</sub>		
0	0	0	0	1	0	0	0	8	
1	0	0	1	1	0	0	1	9	
2	0	1	0	0	0	1	0	2	
3	0	1	1	0	0	0	1	1	
4	1	0	0	0	1	0	0	4	
5	1	0	1	0	0	0	0	0	
6	1	1	0	0	1	1	0	6	
7	1	1	1	0	1	1	1	7	

TABLEAU 1.4.

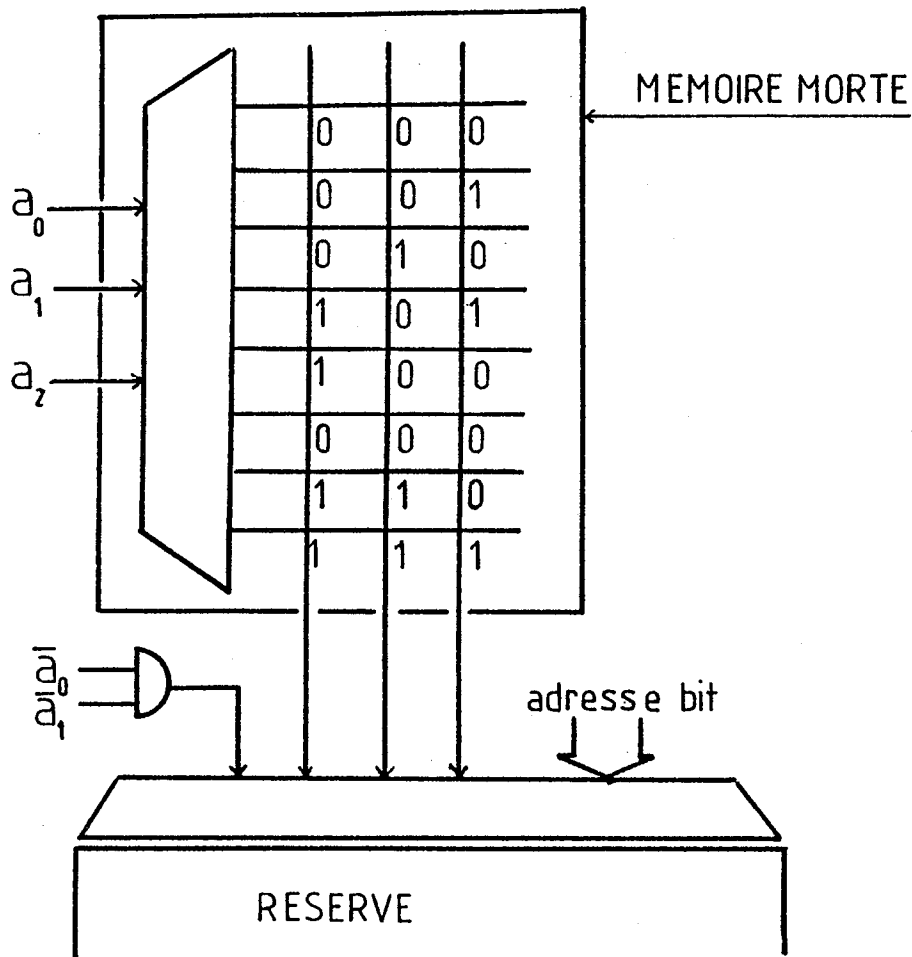


FIGURE 1.16.

b) dispositif avec mémoire morte dans le type S mode A

L'adressage est défini ainsi :

- La mémoire morte n'est programmée que pour deux mots qui correspondent aux deux adresses en panne.
- Le bit de déroutement est mémorisé dans la mémoire morte et permet d'engendrer l'adresse réelle de la zone d'échange dans le cas d'une page adressée en panne, l'adresse réelle de la partie service, dans le cas d'une page adressée saine.
- L'adresse réelle de la zone d'échange est définie par :  
 $r_1 r_2 r_3 = 100$
- L'adresse réelle de la partie service  $R_{pS}$  est définie par :  
 $r_1 = 0$   
 Donc dans ce cas précis on a  $r_1 = d$
- La mémoire morte est associée à un multiplexeur qui permet d'engendrer l'adresse réelle :
  - si la page est en panne :  $r_1 r_2 r_3 r_4 = 100 T_p$
  - si la page est saine :  $r_1 r_2 r_3 r_4 = 0.V$

Le tableau 1.5 nous donne la programmation de la mémoire morte et la figure 1.17, la réalisation du dispositif.

n° page virtuelle	codage page virtuelle	d $r_1$	codage de $T_p$ $r_4$	n° de la page réelle
0	0 0 0	0	x	0
1	0 0 1	0	x	1
2	0 1 0	0	x	2
3	0 1 1	1	1	9
4	1 0 0	0	x	4
5	1 0 1	1	0	8
6	1 1 0	0	x	6
7	1 1 1	0	x	7

x = valeur indifférente

TABLEAU 1.5.

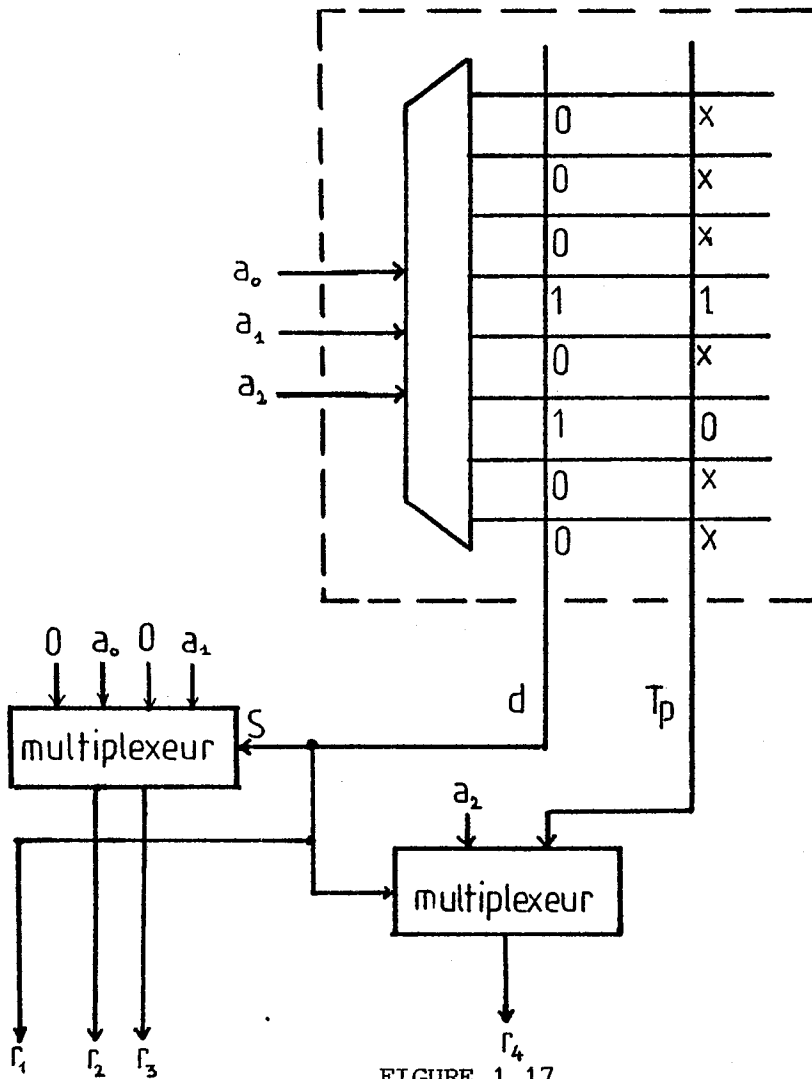


FIGURE 1.17.

d) Nombre de bits des mémoires mortes et nombre maximum de bits programmés

Pour déterminer les avantages d'un mode ou d'un type par rapport à un autre mode ou un autre type, nous dénombrons le nombre d'éléments binaires mémorisés dans la mémoire morte (ou le nombre de transistors ou de diode claqués) ainsi que le nombre (maximum) de ces éléments programmés pour la reconfiguration (tableau 1.6).

Ainsi nous avons une idée assez précise de la taille du transcodeur et nous pouvons comparer les différentes solutions d'adressage.

mode	A	A	B	B
type	C	S	C	S
Nombre de bits	$(n+1)2^n$	$(\alpha+1)2^n$	$n2^n$	$(2^n - 2^\alpha)(\alpha+1)$
Nombre de bits programmés	$n2^{n-1}$	$(\alpha+2)2^{\alpha-1}$	$2^{n-1}$	$2^{\alpha-1}(\alpha+2)$

avec :  $\alpha$  = nombre de bits nécessaires pour adresser la réserve ou la zone d'échange

$n$  = nombre de bits dans l'adresse virtuelle d'une page

TABLEAU 1.6.

Le gain en place est manifeste pour le type S par rapport au type C. Mais, le type S est surtout favorable à la programmation. Il faut cependant noter que la différence entre le mode A et le mode B est moins marquée (en faveur du mode B).

Néanmoins, il faut prendre en considération les multiplexeurs dans le type S qui apporte un accroissement de place mais, avant tout, deux niveaux de portes supplémentaires, donc un accroissement de temps.

#### 1.5.3.4. Dispositifs de transcodage utilisant des PLA (programmable logic array)

Nous avons vu dans les dispositifs utilisant des mémoires mortes que pour un adressage de type S, seulement 2 mots étaient programmés. Le reste des mots contenus dans la mémoire morte étaient après la programmation, complètement inutiles (sauf peut être le bit de déroutement). Cela est dû au fait que dans la mémoire morte on fait correspondre à  $2^n$  adresses, 2 mots.

Il serait possible de réaliser un gain substantiel, si on pouvait faire correspondre à 2 adresses, 2 mots. Pour cela, il est nécessaire de mémoriser l'adresse virtuelle de la page en panne et la mettre en correspondance avec une adresse permettant d'engendrer l'adresse réelle.

Une structure est parfaitement adaptée à cette technique : le PLA (figure 1.18). En effet le PLA se présente comme un dispositif à deux étages programmables. Le premier étage (étage ET) est un décodeur programmable ; il mémoriserà par colonne les adresses virtuelles en panne. Le second étage (étage OU) est une mémoire morte ; il mémoriserà l'adresse  $T_p$ . Il est inutile de programmer le second étage dans la mesure où les adresses des pages de réserve sont déterminées par le mécanisme de reconfiguration ; la taille de la mémoire et le nombre de pages en réserve (ou en zone d'échange). Il est même possible de réduire l'étage OU, les sorties de l'étape ET sélectionnant directement les pages de la réserve et un OU sur toutes les sorties engendrant le bit de déroutement (figure 1.19).

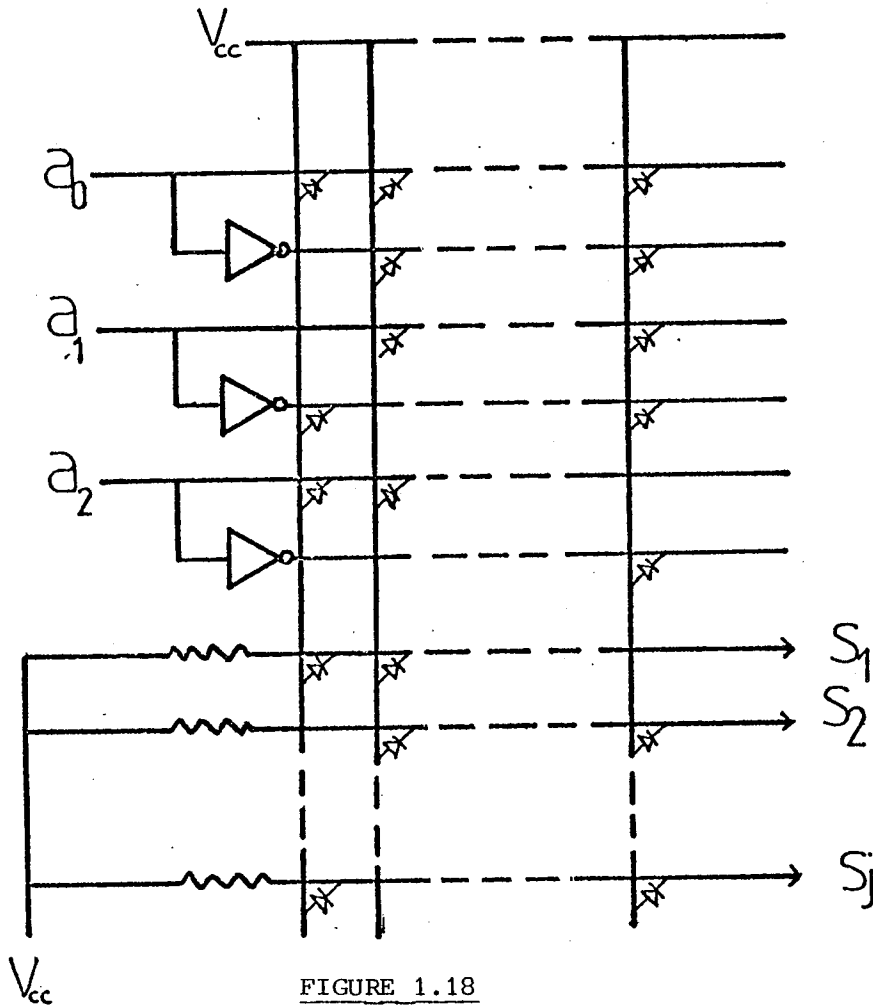


FIGURE 1.18

Remarque :

Le type c n'a pas de raison d'être dans un dispositif de transcodage utilisant les PLA. L'étage ET devrait alors mémoriser  $2^n$  adresses virtuelles (c'est à dire pour le PLA une taille trois fois plus grande qu'une mémoire morte).

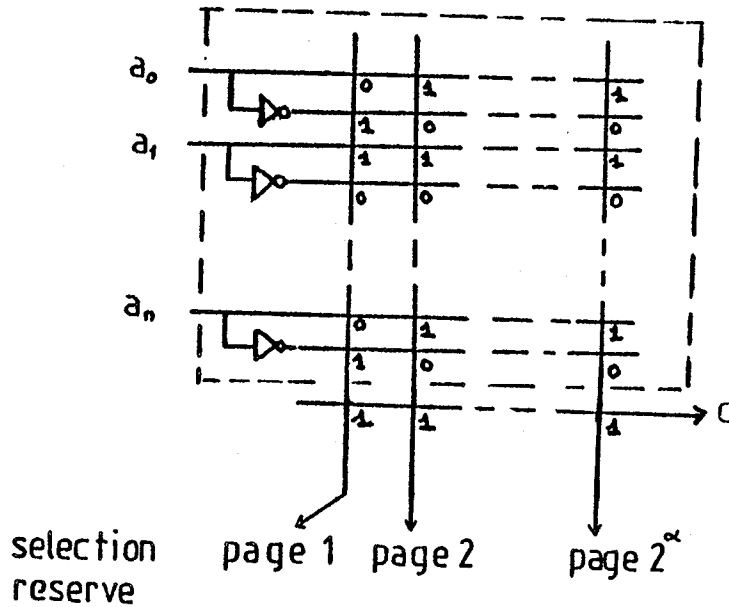


FIGURE 1.19.

Exemple :

Afin d'illustrer ce dispositif matériel nous reprendrons l'exemple A dans le mode A. Dans les mêmes conditions que précédemment (huit pages, deux de réserve, deux en panne 3 et 5) le tableau 1.7 nous donne la programmation du PLA et la figure 1.20 l'implantation.

n° page virtuelle en panne	codage dans l'étage ET						codage dans l'étage OU		n° page réelle
	$a_0$	$\overline{a_0}$	$a_1$	$\overline{a_1}$	$a_2$	$\overline{a_2}$	d	$r_4$	
3	0	1	1	0	1	0	1	1	10
5	1	0	0	1	1	0	1	0	9

TABLEAU 1.7.

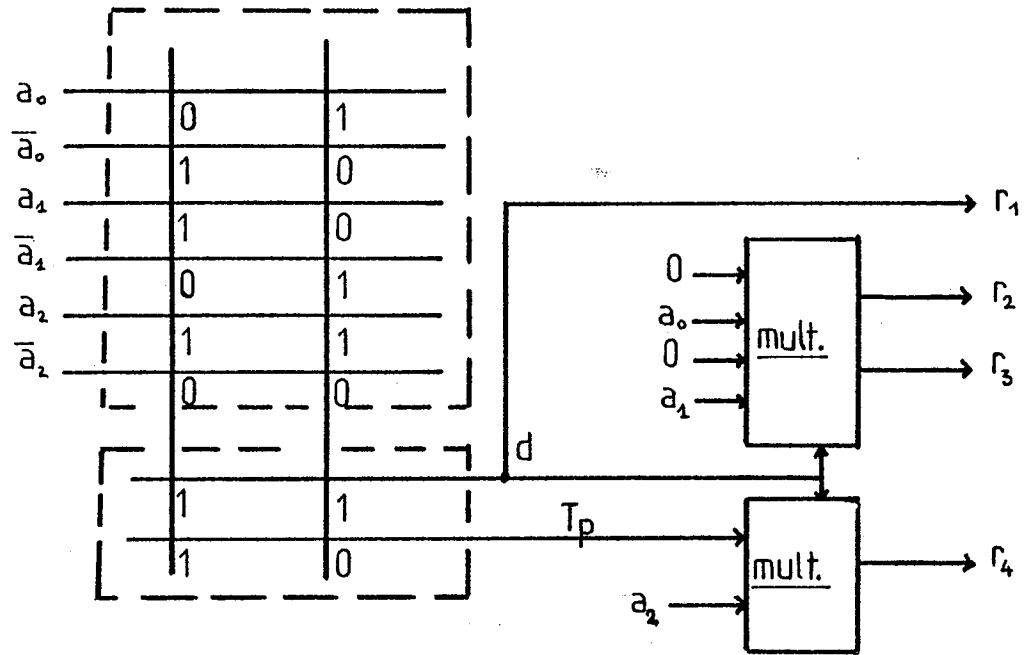


FIGURE 1.20.

Avantages du PLA vis à vis de la mémoire morte

Nous considérerons comme précédemment que la taille du transcodeur est proportionnel au nombre d'éléments programmables. Le tableau 1.8 nous donne le nombre d'éléments programmables et programmés pour un transcodage du type S l'étage OU étant complet ou réduit.

mode	mode A (OU réduit)	mode A (OU complet)	mode B
éléments programmables	$2^\alpha (2n+1)$	$2^\alpha (2n+\alpha+1)$	$2^\alpha (2n+\alpha+1)$
éléments programmés	$n2^\alpha$	$n2^\alpha$	$(2^\alpha - 2^n) (\alpha+1)$
éléments programmables PLA favorable pour :	$n \geq \alpha + 1$	$n \geq \alpha + 2$	$n \geq \alpha + 3$
éléments programmés ROM favorable pour :	$V(n, \alpha)$	$V(n, \alpha)$	$V(n, \alpha)$

TABEAU 1.8.

Ainsi la taille du transcodeur avec un PLA sera plus petite pour :

- une réserve deux fois plus petite que la partie service (mode A étage ou réduit)
- une réserve quatre fois plus petite que la partie service (mode A étage ou réduit)
- une réserve huit fois plus grande que la partie service (mode B)

Par contre, la programmation du PLA prendra plus de temps. Il faut noter cependant que le nombre de niveaux traversés dans un PLA est plus faible que dans une mémoire morte. Ainsi le temps d'accès sera plus rapide.

Remarque :

Les dispositifs pour une gestion des collisions d'adresses peuvent utiliser soit une mémoire morte soit un PLA pour réaliser la table de déroutements.

Nous utilisons un PLA pour faire la comparaison de ce mode de reconfiguration avec les modes A et B.

- L'utilisation de ce mode implique la connaissance des paramètres
- C = nombre de bits pour adresser les chips de la partie service
  - n = nombre de bits pour adresser les pages d'un chip
  - x = nombre de bits pour adresser les chips en réserve
  - $2^{\alpha}$  = nombre de pannes traitées pour un chip

Le gain entre le mode pour la gestion des collisions d'adresses et les modes A et B sera pour l'ensemble du système mémoire :  $2^{\alpha+c} (n - x)$ . Il sera donc positif si  $x \leq n$ , c'est à dire s'il n'y a pas autant de chips de réserve que de pages dans un chip.

1.5.4. Critères intervenant dans le choix du type de page

Il nous est apparu comme très important que la constitution de la page soit telle qu'un défaut affecte un nombre minimum de pages. Pour réaliser cet objectif, il faudra choisir une page intégrant le plus de bits mémoire en panne à partir d'un défaut. Il s'agit, d'autre part de se dégager au plus de la structure particulière de la mémoire.



Un choix très simple consisterait à prendre des pages formées de lignes ou de colonnes contiguës. En effet le choix d'une page formée de portions de lignes et de colonnes ne répondrait pas au critère de limitation sur le nombre de pages affectées par un défaut : une panne sur le décodage d'adresse affecterait plusieurs pages alors qu'avec une page-ligne ou une page-colonne, une seule page serait affectée par le défaut. Il faut cependant noter que les deux types de page (page-ligne et page-colonne) doivent coexister au sein de la mémoire.

En effet, si l'on ne disposait que du seul type de page page-ligne par exemple, une panne sur une colonne rendrait invalide toute la mémoire.

D'autre part, l'existence des deux types de pages nécessite un traitement séparé des adresses définissant les pages de chacun des types. Dans le cas contraire, tous les bits d'adresse concernant les deux types devraient être mémorisés.

Nous opérerons donc différemment selon l'appartenance de la page en panne à l'un des deux types de page. Nous aurons alors deux organes de reconfiguration chacun étant affecté au traitement d'un type de page. Il reste à déterminer le choix du type de page auquel appartiennent les pages de la réserve.

Plusieurs solutions s'offrent comme organisation :

- deux réserves : l'une organisée en pages ligne et l'autre en pages-colonne
- une seule réserve organisée dans un seul type de page
- une seule réserve organisée dans les deux types de page

La troisième organisation n'a pas de sens dans la mesure où l'on verra des portions de mémoire affectées à la fois à un chip pour un type de page-ligne et à un autre chip pour un type de page colonne. Nous aboutirions alors, à des conflits insolubles.

- La première solution ne pose aucun problème ; il suffira d'envoyer le bit de déroutement concernant un type de page à la réserve du même type pour le mode A. Pour le mode B, la sélection de la réserve formée de pages d'un certain type, se fera par une condition portant sur les bits d'adresse page du même type.

- La seconde solution se présente sous trois aspects :

α) la réserve est séparée du service - mode A

Choisissons une réserve organisée en pages colonne et représentons tout le découpage réalisé par les pages ligne et colonne (figure 1.21). (quatre pages ligne et quatre pages colonne).

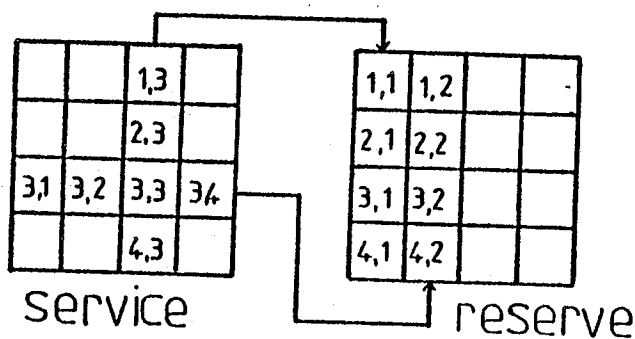


FIGURE 1.21

Si la page-ligne 3 est en panne nous devons faire correspondre (3,1) à (1,2), (3,2) à (2,2), (3,3) à (3,2) et (3,4) à (4,2).

Pour une adresse réelle R ( $r^L, r^C$ ) et virtuelle V ( $v^L, v^C$ ) nous aurons :  $r^L = v^C$   $r^C = T^L(v^L)$  ( $T^L$  transcodage sur l'adresse page ligne).

Pour une panne sur la colonne 3 nous devons faire correspondre (1,3) à (1,1), (2,3) à (2,1), (3,3) à (3,1), (4,3) à (4,1).

Il faudra donc dans ce cas faire :

$$r^L = v^L$$

$$r^C = T^C(v^C)$$

L'élément (3,3), se trouve concerné par la reconfiguration sur la page-ligne 3 et sur la page colonne 3. Ceci implique un accès simultané aux pages colonne 1 et 2 de la réserve.

Afin d'éviter cet inconvénient, on donnera par exemple la priorité à l'échange avec la page colonne et (3,3) sera remplacé par l'élément (3,1).

β) la réserve est liée à la partie service (mode A)

La réserve se trouve autour de la partie service (figure 1.22.a). Elle est constituée d'une page ligne et d'une page colonne. Les pages en panne sont hachurées.

Ici l'élément commun à une page ligne et à une page colonne en panne est pris à l'intersection des pages ligne et des pages colonne de la réserve. Ainsi (3,2) est remplacé par (1,5). Si la page ligne 3 n'était pas en panne (3,2) serait remplacé par (3,5).

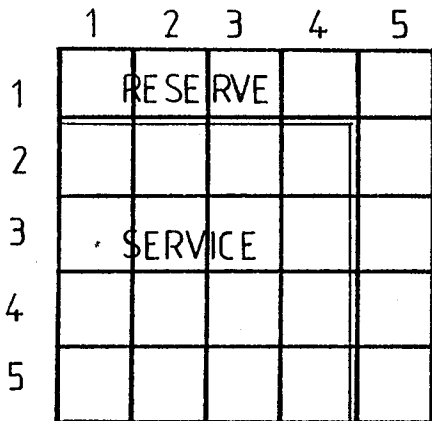


FIGURE 1.22.a.

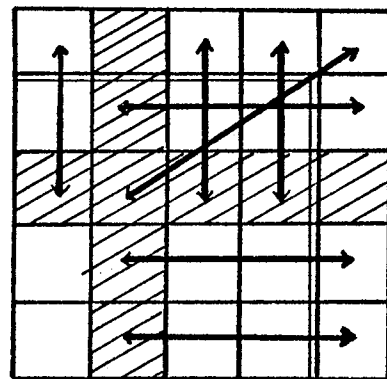


FIGURE 1.22.b.

La transformation sur l'adresse sera donc :

$$r^L = T (V^L)$$

$$r^C = T (V^C)$$

γ) mode B

Dans la zone de service, on procède comme précédemment, la zone d'échange pouvant être assimilée à une réserve associée à la partie service. Ainsi nous aurons la transformation :

$$r^L = T (V^L)$$

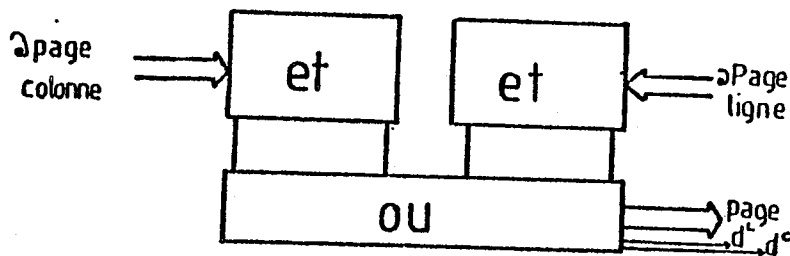
$$r^C = T (V^C)$$

Le problème se situe dans le choix d'une ou de deux réserves. Le choix d'une seule réserve conduit à la solution .

Elle ne présente pas d'intérêt si le procédé devient plus complexe. De plus, le choix de deux réserves conduit au cas  $\alpha$ . La sélection du multiplexage se fait par la condition d'appartenance à la zone d'échange service ligne ( $ZES^L$ ) ou service colonne ( $ZES^C$ ).

#### Dispositif spécial du transcodage

Il est possible d'éviter de cabler la priorité dans le cas  $\alpha$  en utilisant un PLA muni de deux étages ET et d'un seul étage OU. L'adresse de plus fort poids prendra le pas sur l'autre automatiquement (figure 1.23). Les adresses page de chaque type possèdent leur étage ET.



$d^L$  : déroutement page-ligne  
 $d^C$  : déroutement page-colonne

FIGURE 1.23.

#### 1.5.5. Introduction d'autres types de pages

Nous constatons donc que le choix des deux types de pages (page-ligne, page-colonne) permet l'inclusion de toutes les pannes affectant moins de  $n$  bits et que le traitement simultané de ces deux types est possible. Mais il serait illusoire de traiter plus de deux types de panne car :

- la quantité de circuits va croître rapidement dans le cas où il y a autant de réserve que de types de pannes.
- la complexité de l'adressage va entraîner une augmentation des circuits de multiplexage dans le cas d'une réserve d'un seul type.
- la programmation des circuits de reconfiguration va être difficile.

Le choix d'autres types de page , se substituant à celles exposées précédemment, peut se faire en prenant des pages formées par un groupe de portions de lignes et de colonnes  $(\frac{\sqrt{n}}{2}, \dots, \frac{\sqrt{n}}{k})$ . Ce choix dépend de deux critères :

- indépendance assez grande entre portions de lignes ou de colonnes
- probabilité de panne de la page ainsi formée, la plus grande parmi les classes possibles (ensembles de cardinal fixe  $1, \sqrt{n}, \sqrt{n}/2, \sqrt{n}/k, n/2 \dots n/k$ ).

En choisissant ainsi de telles classes, nous pouvons mieux nous adapter à la structure interne de la mémoire et aux pannes qui peuvent s'y déclarer. Bien que ce choix reste possible, pour la suite, nous adopterons cependant des pages-ligne formées de lignes entières et des pages-colonne formées de colonnes entières (pages-ligne et pages-colonne ) pour clarifier l'exposé.

#### 1.5.6. Utilisation conjuguée de la pagination et des codes correcteurs

Il est possible d'utiliser simultanément les codes correcteurs et la pagination dans une mémoire :

- pour réduire le nombre de pages en panne traitées par la reconfiguration (action du code).
- pour disperser ou regrouper les pannes afin de les rendre corrigibles (action de la pagination).

##### a) dispersion

La dispersion des pages en pannes est faite lorsque le nombre de bits en panne dans un mot dépasse le nombre de bits corrigibles par le code utilisé et qu'un échange de page judicieux peut effacer virtuellement les bits en panne en excès.

##### Exemple :

Nous avons une mémoire de mots de quatre bits d'information et trois bits de vérification. Chaque bit est découpé en quatre pages, les pages en panne sont données par le schéma de la figure 1.24.

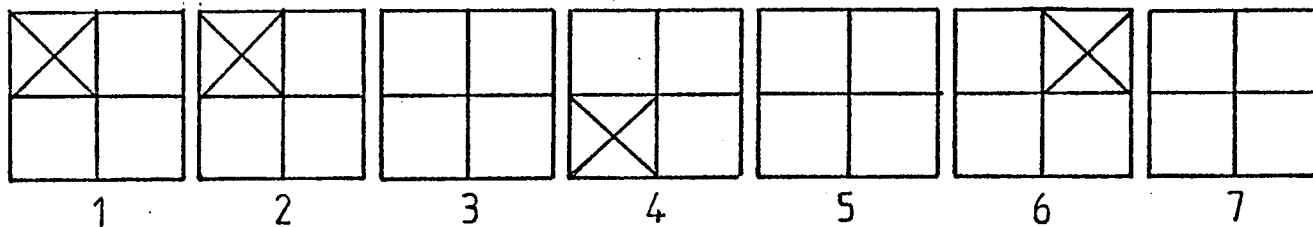


FIGURE 1.24.

En faisant un transcodage sur le chip 2 tel que la page 1 'aille' en page 4, nous aurons une mémoire corrigeable par un code correcteur sur un bit alors que sans transcodage il nous faudrait un code correcteur sur 2 bits et un chip supplémentaire.

b) Regroupement

Le regroupement des pages en panne peut agir de deux manières :

- en concurrence avec une reconfiguration mémoire
- dans le but de rendre opérant un code agissant sur des bits adjacents.

α) mode hybride de reconfiguration

Si le découpage est trop fin ou si la zone d'échange est trop petite, il est possible d'avoir un nombre trop important de pages en panne. L'utilisation du code correcteur permet d'effacer les pannes restant dans la zone service. Le choix des pages restantes en panne se fera de la même manière que dans la méthode de dispersion.

Exemple :

Soit une mémoire de mots de quatre bits (7 codes), chaque chip découpé en 16 pages ; les pannes sont représentées en foncé sur la figure 1.25.

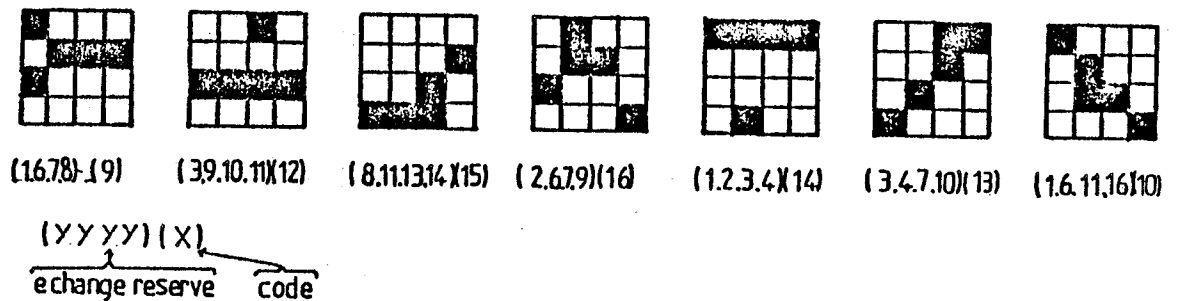


FIGURE 1.25.

Nous utiliserons une technique classique de reconfiguration sur les adresses des pages notées y sur la figure et un code correcteur d'un bit sur les adresses notées x. La réserve où la zone d'échange sera constituée de quatre pages nous constatons qu'au minimum, une même adresse page se retrouve trois fois. Ainsi un code correcteur sur trois pannes serait nécessaire pour corriger toutes les pannes. La place perdue à cet effet serait considérable par rapport à cette technique. Ici un code correcteur d'un bit est suffisant.

β) action combinée avec un code b- adjacent

Il s'agit de rendre opérant un code qui de part la configuration des pannes, ne peut pas corriger. En effet si la correction peut se faire sur b bits adjacents et de plus si des pannes se produisent sur deux ensembles de bits séparés, l'erreur ne peut être corrigée. La stratégie suggérée consiste à regrouper virtuellement les pages en pannes là où le code peut être opérant et ainsi masquer les pannes sur les deux ensembles qui rendent la configuration catastrophique.

L'utilisation conjuguée d'une technique de reconfiguration et d'un code correcteur semble très fructueuse. Elle permet d'éviter les inconvénients de chaque technique (taille de réserve trop importante, code correcteur très puissant, configuration de pannes impossible à traiter).

1.6. TEST D'UNE MEMOIRE RECONFIGURABLE

Nous ne proposons pas ici de donner une étude précise du test dans une mémoire reconfigurable. Nous essaierons de situer le problème, donner des indications de construction de test et des dispositifs matériels à implémenter pour tester une mémoire reconfigurable.

1.6.1. Situation du problème

Il y a deux étapes dans le test d'une mémoire reconfigurable

- le test en sortie de fabrication : test de tous les éléments formant la mémoire. Nous ne nous intéresserons pas ici au test des circuits de reconfiguration de manière explicite. Cela demanderait un développement trop long et chaque cas de structure (chapitre II) nécessiterait une étude pour voir l'impact d'une panne sur les circuits de reconfiguration sur la lecture et l'écriture de la mémoire. Par suite, notre souci sera de minimiser ces circuits pour réduire le taux de panne par rapport à l'ensemble.
- le test après reconfiguration :  
Il se déroule en deux étapes :
  - vérification du déroulement correct des opérations de reconfiguration
  - test fonctionnel de l'ensemble reconfiguré

### 1.6.2. Construction du test

Le test d'une mémoire reconfigurable se différencie de celui d'une mémoire classique par un point essentiel :

le test ne s'arrête pas à la première panne trouvée ; il continue jusqu'à la localisation exhaustive de toutes les pannes.

En réalité la détermination des pannes ne nécessite pas l'exhaustivité. Ceci est dû à deux choses :

- le découpage de la mémoire en pages
- le choix de deux types de pages adaptées à la structure de la mémoire et du modèle de pannes.

En effet le découpage de la mémoire en page implique l'arrêt du test d'une page dès la détection d'une panne dans une page. D'autre part, le test d'un type de page facilite le test des autres types de page dans la mesure où il est inutile de tester des éléments communs à des pages testées et déclarées en panne. Il est sans doute possible de rendre le test plus performant mais cela nécessiterait sans doute une étude sortant quelque peu des problèmes spécifiques de la reconfiguration.

### 1.6.3. Dispositif matériel du test

Le test d'une mémoire reconfigurable nécessite un dispositif d'accès à l'ensemble mémoire de service et réserve.

Trois cas peuvent se présenter :

- deux réserves séparées de la partie service et correspondant à chaque type de page.
- la réserve unique et séparée de la partie service est liée aux circuits de reconfiguration.
- une réserve entourant la partie service (Cf. I.5 4 ).

Dans chacun des cas il nous faudra une entrée de test par type de page, comme nous allons le voir  $t^C$  et  $t^L$  désigneront ces entrées pour respectivement les pages colonnes et les pages lignes de la réserve.

#### a) Deux réserves séparées (figure 1.26)

En mode test, si  $t^C = 1$  le multiplexeur 1 sélectionne l'adresse page colonne virtuelle et si  $t^L = 1$ , le multiplexeur 2 sélectionne l'adresse page ligne virtuelle. En mode utilisation, les multiplexeurs sélectionnent



les adresses page transcodées destinées à la réserve. Si l'on utilise, en mode test, l'adresse page virtuelle comme une adresse décodée, on peut sélectionner directement les pages de la réserve et un décodeur pour y accéder est inutile.

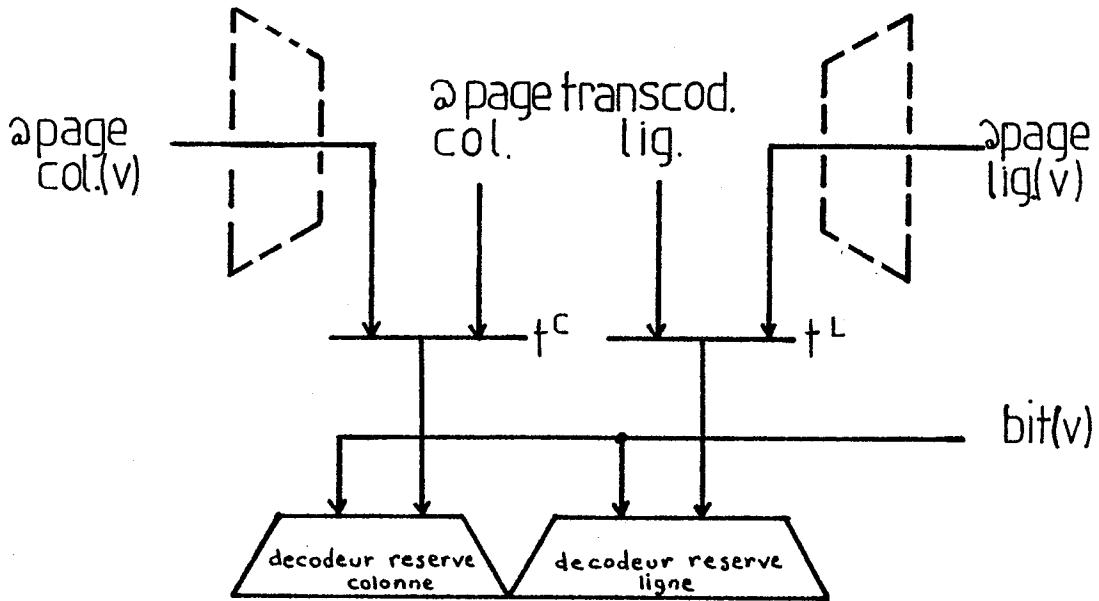
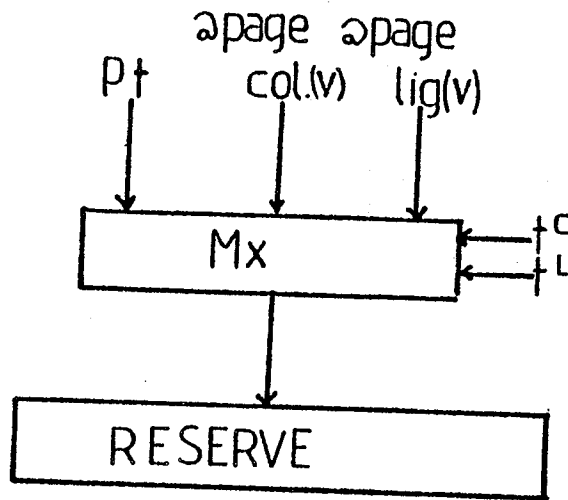


FIGURE 1.26.

b) Une réserve unique

Dans ce cas il est possible d'utiliser la solution précédente si les deux circuits de reconfiguration sont séparés. Mais dans le cas d'une utilisation d'un transcodeur spécial il s'agit de réaliser un multiplexage entre l'adresse page sortant du PLA (PT), une partie de l'adresse page colonne et une partie de l'adresse page ligne (figure 1.27.)



\* P.T. adresse page transcodée.

FIGURE 1.27.

c) La réserve est liée à la partie service

Ce cas est très simple. Il est suffisant de substituer au bit de déroutement le bit de test correspondant, l'adresse virtuelle étant seule validée ( $d^C$  (ou  $d^L$ ) = 0).

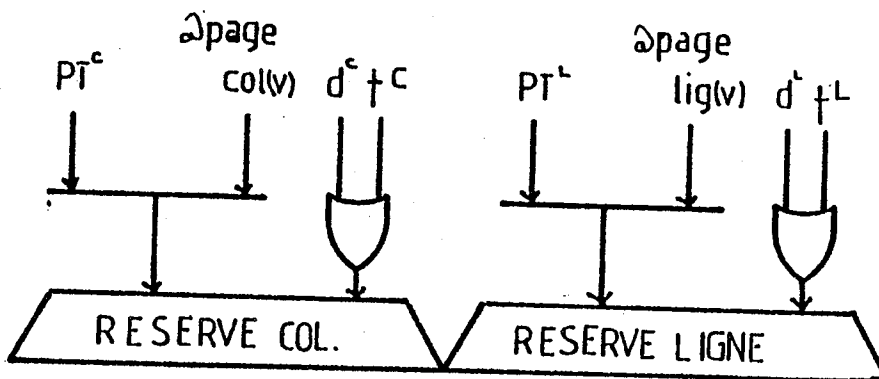


FIGURE 1.28.



## CHAPITRE II

---

STRUCTURES DE MEMOIRES

RECONFIGURABLES

---

## II.1. PRINCIPES D'ELABORATION D'UNE MEMOIRE RECONFIGURABLE.

Lors de la conception d'une mémoire reconfigurable le concepteur devra se préoccuper de plusieurs points :

- le mécanisme d'échange de pages entre la partie service et la réserve : le mode de reconfiguration.
- l'organisation générale du système mémoire : structure distribuée ou centralisée pour la reconfiguration.
- l'organisation de la réserve : taille de la réserve, configuration des pages en panne.
- la particularisation du matériel.

### a) le mode de reconfiguration (A, BS, BB, BM)

Il fixe l'adressage dans la partie service et dans la réserve. Par conséquent, il permettra de déterminer l'implantation par rapport aux circuits de reconfiguration.

### b) l'organisation générale du système mémoire

Le problème est ici, de savoir si toute la reconfiguration se fait dans une seule unité pour tout le système mémoire. Le choix d'une structure distribuée pour la reconfiguration passera toujours par l'intégration des circuits de reconfiguration. Dans le cas contraire, la profusion de circuits de reconfiguration, en général, rendrait irréaliste la structure.

### c) l'organisation de la réserve

La taille de la réserve dépendra essentiellement des données expérimentales sur les rendements technologiques et le rendement projeté après reconfiguration.

La configuration des pages en panne de la réserve est importante. En effet, elle contribuera selon son choix à simplifier les circuits de reconfiguration.

Ainsi, il sera toujours préférable de diriger notre choix vers des chips à moitié en panne de façon franche (c'est à dire une panne sur le décodage ou l'accès des adresses ligne ou colonne).

Un multiplexage sur les bits d'adresse permettra d'avoir une moitié supérieure (ou inférieure) virtuellement bonne. Ce multiplexage pourra être câblé ou programmé (cf. figure 2.1.)

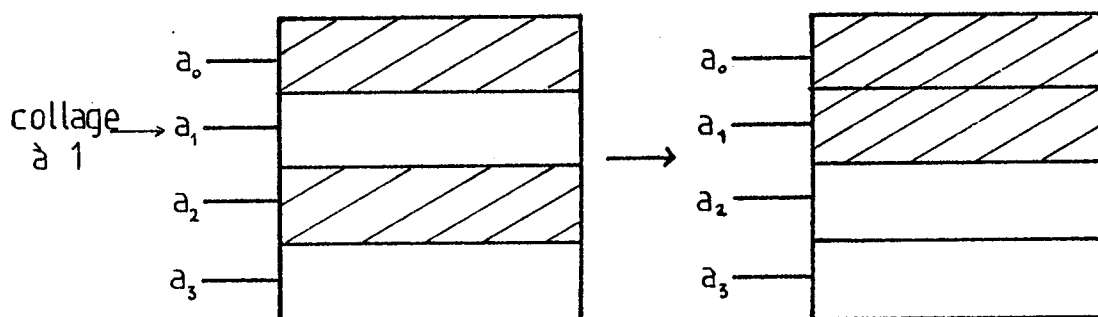


FIGURE 2.1.

d) la particularisation du matériel

On cherchera, en général, à ne pas concevoir des systèmes mémoires avec des chips non standards. En effet, la particularisation du matériel conduira assurément à un coût technologique plus important.

## II.2. MATERIEL NECESSAIRE A LA RECONFIGURATION

Le mécanisme de la reconfiguration implique la réalisation de plusieurs fonctions auxquelles correspondent un signal ou un circuit spécialisé. Une mémoire reconfigurable doit pouvoir :

- transcoder les adresses virtuelles par l'unité de transcodage (T)
- se dérouter vers la réserve ou la zone d'échange de la partie service par un bit de déroutement (d) ou le bit de condition (c)
- multiplexer les adresses virtuelles et réelles selon l'état de page (saine, en panne, € à la zone d'échange) par un multiplexeur (M)
- décoder pour adresser les pages dans la mémoire
- reconnaître le rang d'un bit dans un mot par un module de distinction (MD) (organisation en mots de  $k$  bits,  $k > 1$ )
- tester la réserve par un module de test spécialisé (TS) avant de reconfigurer.

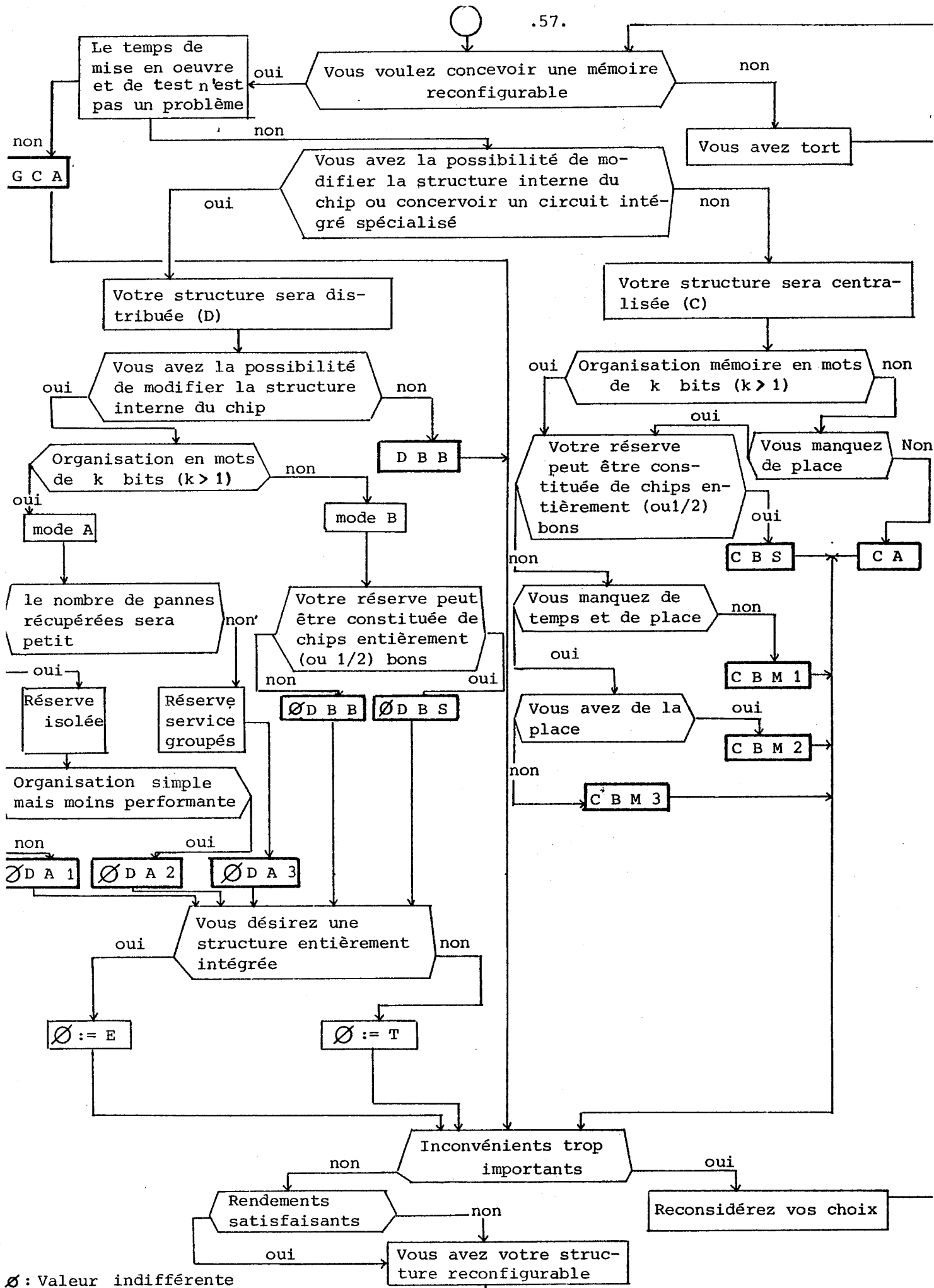
Nous préciserons les différents modules et signaux ainsi :

- le transcodage (T) engendre l'adresse page réelle à partir de l'adresse page et chip virtuelle. Il sera implanté de préférence sur PLA. Dans le cas du mode A centralisé, l'adresse du chip de réserve sera mémorisée. Pour le mode B symétrique, il y a un module de transcodage pour reconfigurer la réserve.

- le multiplexage (M) se fait entre l'adresse virtuelle et l'adresse transcodée, engendre éventuellement l'adresse de la réserve et de la zone d'échange, réalise une substitution des bits d'adresse pour obtenir une mémoire (virtuellement) à moitié en panne sur des lignes (ou colonnes) contiguës.
- le bit de déroutement (d) noté  $d^C$  et  $d^L$  quand il correspond respectivement aux colonnes et aux lignes, engendré par le OU de toutes les pannes d'un certain type permet la sélection du multiplexage et la génération de l'adresse réelle.
- le bit de condition (c) noté  $c^C$  et  $c^L$  quand il correspond respectivement aux pages colonne et aux pages ligne, permet le déroutement vers la réserve et la concentration des pages en panne.
- le décodage (D) peut être simplifié quand les modules mémoires (service-réserve) ont une place déterminée sur la carte (ou la tranche), la distinction entre la réserve et la partie service n'étant plus nécessaire.
- le module de distinction (MD) est programmé. Il permet de localiser exactement un bit lorsqu'une partie d'un mot provient de la réserve et l'autre de la partie service.
- le module de test de la réserve (TS) permet d'accéder à la réserve avant de reconfigurer et de connaître ainsi la configuration de panne de celle-ci.

### II.3. CHOIX ET CONCEPTION D'UNE STRUCTURE RECONFIGURABLE

L'analyse à partir des principes d'élaboration des mémoires reconfigurables a conduit à la détermination de 17 structures. L'organigramme de la figure 2.2. permet le choix parmi ces structures. Le sigle d'une structure (OMI) peut être décomposé ainsi :



Ø: Valeur indifférente désignant E ou T après évolution

FIGURE 2.2.



- l'organisation (O) centralisée (c) ou décentralisée (D : service et réserve ont leurs unités propres de reconfigurations, TD : unités de transcodage distribuées, ED : unité de reconfiguration intégrée dans le chip mémoire).
- le mode (M) qui peut-être le mode A, BS, BB, BM.
- une indexation (I) pour distinguer les sous structures présentant un avantage particulier.

Remarque :

L'évolution dans l'organigramme peut-être parallèle dans le cas où la réponse à une question n'est pas déterminée. Ainsi il est possible d'aboutir à plusieurs structures.

Le choix peut-être remis en cause par la prise en compte :

- du rendement : les problèmes viennent de la taille de la réserve ou de la zone d'échange et de la détermination de la pagination
- des défauts de performance (évalués précisément) sur :
  - le temps d'accès
  - la dissipation du circuit
  - la surface globale
- des difficultés de mise en oeuvre au niveau de :
  - la programmation des circuits de transcodage
  - le test
  - la conception trop sophistiquée
- du point de vue économique :
  - coût du test et de la programmation (pb. de temps)
  - remise en cause du processus technologique

#### II.4. ANALYSE DES STRUCTURES

Ce qui suit doit permettre d'expliquer et de reconsidérer les choix faits dans l'organigramme de la figure 2.2. Le détail des structures sera présenté en annexe.

L'ensemble des structures se présente en deux grandes familles ayant recours au transcodage d'adresse (structures centralisées et structures distribuées) et d'une structure suivant la technique particulière de la gestion des collisions d'adresses GCA que nous verrons en fin de chapitre.

Nous désignerons par la suite un module de reconfiguration sur une partie du système mémoire par MRP (module de reconfiguration partielle). De même le module de reconfiguration sur l'ensemble du système mémoire sera désigné par MRG (module de reconfiguration générale).

#### II.4.1. Structures avec organe de reconfiguration centralisé

Cette famille comporte cinq structures qui diffèrent selon le mode de reconfiguration utilisé :

- mode A (CA)
- mode B simple (CBS)
- mode B mixte :
  - avec génération explicite de l'adresse page (CBM1)
  - avec génération séparée de l'adresse de la zone d'échange de la réserve (CBM2)
  - avec réorganisation programmée de la réserve (CBM3)

##### II.4.1.1. Structure CA (Annexe 1)

Structure très simple, elle possède une unité de reconfiguration qui mémorise toutes les pages en panne et qui permet la sélection de toutes les unités physiques.

##### Avantages

- le câblage de la mémoire sans l'organe de reconfiguration ne se distingue en rien d'une mémoire de capacité équivalente (zone de service plus réserve). La réalisation peut être faite par une carte mémoire et par une carte reconfiguration.
- le test de la mémoire en est facilité : la carte mémoire peut recevoir les test habituels.
- la carte de reconfiguration peut être programmée et vérifiée indépendamment du système. Le réassemblage ne pose pas de problème. En effet, tout se passe comme si tous les signaux et adresses étaient retardés.

Inconvénients

- le nombre de fils d'adressage et de sélection est très important en sortie du MRG surtout pour les organisations en mots.
- le multiplexage est complexe. Il doit en effet traiter tous les cas possibles (page-ligne ou colonne en réserve (ou en zone de service) construction de l'adresse chip-réserve).

11.4.1.2. Structures CB (centralisée mode B)

Deux possibilités s'offrent :

- la réserve n'a pas besoin d'être reconfigurée (figure 1.5.a) : mode B Simple
- la zone d'échange de la réserve comporte des pannes. Le modèle appliqué est celui du mode B Mixte (figure 1.5.b.)

a) Structure CBS (Annexe 2)

Dans cette structure nous différencierons l'adressage selon que la réserve est organisée en un ou en deux types de page . Le tableau 2.1. nous donne l'adressage complet.

serve	$\begin{matrix} \mathcal{E}^C + \mathcal{E}^L \\ d^i \end{matrix}$	0				1								
		types pages	0	0	0	$\mathcal{O} \text{chip}(v)$	$\mathcal{O} \text{PAGE}$		$\mathcal{E}^L$	$\mathcal{E}^C$	[o]	Poids forts	ZERG <sup>i</sup>	Poids forts
type		/	0	"	"		/	1	"	$\mathcal{O} \text{chip}$	"	$\mathcal{O} \text{chip}$	$\mathcal{E}^C$	$\mathcal{O} \text{Page}$
types	1	0	0	$\mathcal{O} \text{chip}(v)$	ZES <sup>i</sup>	T( $\mathcal{O} \text{PAGE}$ )								
type		/	0	"	"	"								
de bits		1	1	c	z	n-z	1	1	c-r-1	r	z	c-z	1	$\alpha - 1$
		← adresse chip →				← adresse page →								

ZES<sup>i</sup> : zone d'échange - service                       $\mathcal{E}^i$  : condition d'appartenance à ZES<sup>i</sup>  
 ZERG<sup>i</sup> : zone d'échange réserve générale       $d^i$  : bit de déroutement du type i  
 i = c ou L (colonne ou ligne)

TABLEAU 2.1.

Avantages

- les avantages sont ceux de la structure CA mais le nombre de fils de sélection des chips est réduit, l'adresse du chip étant engendrée automatiquement.

Il en résulte aussi que les transcodeurs sont plus petits.

- cette structure est plus favorable aux organisations en mots de plus d'un bit.

Inconvénients

- l'inconvénient essentiel réside dans la grande complexité de l'adressage. Mais celle-ci n'est qu'apparente puisque la réalisation peut se faire très simplement.

b) Structure CMB (Annexe 3)

Cette structure est caractérisée par la présence de pannes dans la zone d'échange de la réserve, l'inhibition du signal de condition permettant la recherche du bit directement dans la réserve. Ce mode détruit quelque peu la notion de transfert simple d'une zone d'échange dans la zone de service à une autre dans la réserve. Néanmoins, cette structure permet d'éviter une configuration irrécupérable. Elle perd l'avantage de la non-génération de l'adresse page complète (n bits contre  $\infty$  bits). Mais elle conserve la possibilité de sélection unique par déroutement à partir de la zone d'échange. On a vu que cette propriété était très intéressante pour les organisations en mot de k ( $k > 1$ ) bits.

Le tableau d'adressage est donc le suivant :

$d^i \begin{matrix} e^L \\ e^c \end{matrix}$	0				1							
	$e^L$	$e^c$	$\partial \text{chip}(v)$	$\partial \text{page}(v)$	$e^L$	$e^c$	0	Poids forts	ZERG <sup>i</sup>	$\partial \text{chip}$	$\partial \text{Page}(v)$	
0	$\begin{matrix} 0 \\ \text{diagonal} \end{matrix}$	$\begin{matrix} 0 \\ 0 \end{matrix}$	$\partial \text{chip}(v)$	$\partial \text{page}(v)$	$\begin{matrix} \text{diagonal} \\ \text{diagonal} \end{matrix}$	$\begin{matrix} e^c \\ 1 \end{matrix}$	0	$\partial \text{chip}$			$e^c$	$\partial \text{PAGE}$
1	$\begin{matrix} 0 \\ \text{diagonal} \end{matrix}$	$\begin{matrix} 0 \\ 0 \end{matrix}$	$\partial \text{chip}(v)$	T( $\partial \text{page}$ )	$\begin{matrix} e^L \\ \text{diagonal} \end{matrix}$	$\begin{matrix} e^c \\ 1 \end{matrix}$	0	Poids forts	T ( $\partial \text{page}$ )			
								$\partial \text{chip}$				

TABLEAU 2.2.

(même notation que pour le tableau 2.1)

Cette structure peut se subdiviser en trois sous-structures (cf. Annexe 3).

- CBM 1 : structure correspondant à l'application stricte du tableau 2.2.
- CBM 2 : structure avec transcodeur supplémentaire chargé de spécifier la zone adressée dans le chip de réserve
- CBM 3 : structure permettant un forçage de l'adressé (par programmation) des chips d'une réserve organisée.

#### Avantage

L'avantage essentiel est la souplesse dans le traitement des configurations de pannes.

#### Inconvénients

- l'adressage est très complexe
- le matériel mis en jeu peut être important (CBM 2, CBM 3)

### 11.5. STRUCTURES AVEC UNITES DE RECONFIGURATION DISTRIBUEES

#### 11.5.1. Unités de reconfiguration propres à la zone de service et à la réserve (structure DBB décentralisée mode BB - Annexe 4)

Cette structure n'est admissible que pour une mémoire avec zone d'échange et réorganisation de la mémoire de réserve (mode BB cf.1.5.c) Dans ce mode les pages en panne sont regroupées dans une zone "poubelle" comparable à la zone d'échange-service. Les zones d'échange réserve sont ainsi libres de toutes pannes (de façon virtuelle). Il est alors possible d'appliquer un adressage comparable au mode BS. Dans ce cas, les zones d'échange réserve sont virtuellement saines alors que précédemment elles étaient réellement saines. Le mode BS se présente donc comme un cas particulier du mode BB. L'implantation néanmoins, correspond à une structure très différente. La distribution des modules de reconfiguration définit trois sous-structures :

- DBB 1 : formée d'un module de reconfiguration partielle (MRP) associé à la réserve et un MRP pour la zone de service (figure 2.3.a)
- DBB 2 : formée d'un MRP organisé en pages d'un seul type (page colonne + par ligne) et de deux MRP associés à la partie service (traitement des deux types de pages) (figure 2.3.b)
- DBB 3 : dote la partie service et la réserve de deux MRP réalisant le transcodage sur les deux types de page (figure 2.3.c)

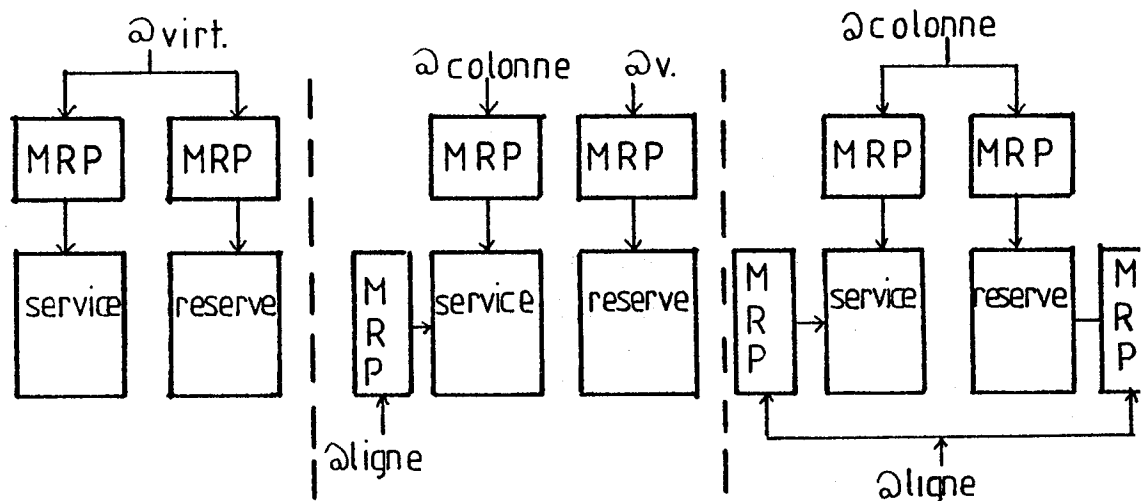


FIGURE 2.3.

Avantages des structures

- elles possèdent une grande souplesse d'utilisation,
  - elles font face à un grand nombre de configurations comme la structure CBS, sans recourir à un artifice comme pour les structures CBM.
  - le transcodeur n'a pas besoin d'engendrer l'adresse du chip de réserve.
  - elles conservent la propriété de n'avoir qu'un signal de dépendance (condition) entre le service et la réserve. De plus la relation n'a plus de support physique grâce à une réplification du module de condition. De ce fait, les mémoires organisées en mot de plus de un bit ne se différencient en aucune manière des mémoires de mots de un bit.
- Ainsi on procèdera à un assemblage de structures DBB (figure 2.4.)

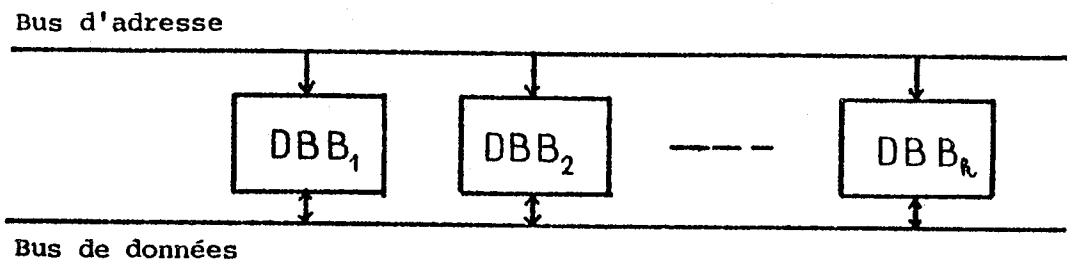


FIGURE 2.4.

Inconvénients

- il y a une augmentation conséquente des organes de reconfiguration mais il faut noter que l'on peut supprimer plusieurs multiplexeurs sur les MRP et faire un câblage direct sur les mémoires. Le transcodage et le multiplexage d'entrée peuvent être simplifiés car la composition de l'adresse est prédéterminée par le module dans lequel elle entre.

Ainsi, si l'on veut intégrer, le MRP, il serait conseillé de le réaliser de manière standard. Par contre la réalisation sur carte ne justifierait pas une telle augmentation de matériel.

### 11.5.2. Distribution des modules de transcodage à chaque unité physique mémoire

#### 11.5.2.1. Structure TDA (mode A) (Annexe 5)

Dans cette structure, le fait de distribuer l'unité transcodage signifie que la réserve est aussi répartie. En effet, dans le cas contraire, il faudrait un nombre peu réaliste de fils partant de chaque unité mémoire vers la réserve.

Ainsi, chaque chip, possède une réserve dans laquelle il va "chercher" des pages de remplacement. Au niveau du chip, nous avons une structure CA mais nous n'avons plus besoin de désigner la réserve ni au niveau de la mémorisation de la panne ni dans la sélection de la réserve. Cette structure modifiée au niveau du chip dépend aussi de l'implantation de la réserve. Ainsi nous aurons trois sous-structures.

- TDA 1 : la réserve est séparée de la zone de service et sélectionnée par une adresse décodée
- TDA 2 : la réserve est séparée de la zone de service et sélectionnée par une adresse codée
- TDA 3 : la réserve est liée à la zone de service ; la matrice mémoire contient la réserve. Les organes d'accès sont communs.

#### Avantages

- ce sont les structures les plus simples
- les inconvénients des structures CA ont disparus. En particulier les structures pour des organisations en mots de  $k$  bits ( $k > 1$ ) ne posent plus de problèmes. Le nombre de fils de sélection supplémentaires sortant de la mémoire est nul (comme DBB) et la structure se trouve ainsi formée de la même manière qu'une mémoire sans panne ( $\forall k$ ).
- le nombre de boîtiers sur la carte mémoire est identique au nombre de boîtiers pour une mémoire non reconfigurable
- le transcodeur n'engendre que  $\alpha$  bits (définition de la réserve)
- le décodage de l'adresse chip est habituel
- le temps d'accès sera sans doute réduit par l'intégration
- les structures TDA 1 et 2 doivent favoriser le rendement dans la mesure où une panne affectant le décodage ou le rafraichissement de la réserve ne concerne qu'une page. La structure TDA 2 permet un gain substantiel de place par un "tassage" de la matrice mémoire.

#### Inconvénients

Il y a nécessité de concevoir un chip non standard. Les conséquences sont :

- un test plus difficile et plus long avec un circuit qui permet l'accès à la réserve (cf. chapitre I).
- une programmation plus délicate : protection des circuits d'accès lors de la programmation (tension plus élevée pour programmer le PLA)
- un risque de panne supplémentaire et catastrophique sur les MRP internes bien que ce risque soit réduit en général (4% maximum/sur face totale sur une mémoire  $4 k \times 9$  bits formée de  $1 k \times 1$  bit).



### 11.5.2.2. Structure TDB (transcodeurs distribués - mode B)

Nous pouvons utiliser le mode simple et le mode symétrique de B :

TDB S : structure avec mode B simple

- reconfiguration attachée à la zone de service
- inhibition au niveau du décodage en cas d'adressage de la zone d'échange
- réserve constituée de chips avec des zones d'échange entièrement vierge
- séparation réserve - service

TDB B : structure facilement suggérée par la structure interne des chips.

Chaque chip possède son module de reconfiguration et possède la faculté de libérer des zones de toutes pannes. Ainsi un échange global de zones est rendu possible entre chips de la réserve et chips de la zone de service, c'est à dire entre chips peu touchés par les pannes et chips très touchés.

Le mode BB se trouve être un cas du mode BM. La zone d'échange dans le cas de BM se trouve être le chip entier. Il y a donc nécessité d'engendrer une adresse complète de pages sur les chips de la réserve en fait sur tous les chips puisque les MRP sont intégrés ce qui rend irréaliste une telle structure.

#### Avantage

- le seul avantage des structures TDB par rapport à celles TDA est que leur mise en oeuvre nécessite des chips de capacité plus faibles donc permet d'utiliser des organisations déjà connues et expérimentées et de rendement connu.

Des autres avantages, nous conservons une sélection unique entre réserve et service (mais inhérente à tout le mode B) et une possibilité de diminuer le temps d'accès.

#### Inconvénients

Nous avons tous les inconvénients des structures TDA avec :

- un plus grand nombre de chips sur la carte mémoire
- un décodage particularisé
- un signal de sélection supplémentaire.

II.5.3. Reconfiguration entièrement distribuée au niveau du chip

II.5.3.1. Structure EDA (entièrement distribuée - mode A)

Ces structures sont des structures TDA avec décodage intégré. Nous aurons donc des structures possédant un module de distinction (MD) du rang du chip dans la mémoire. Il devra être programmé et peut être représenté par une matrice de diodes (étage ET d'un PLA) (figure 2.5.)

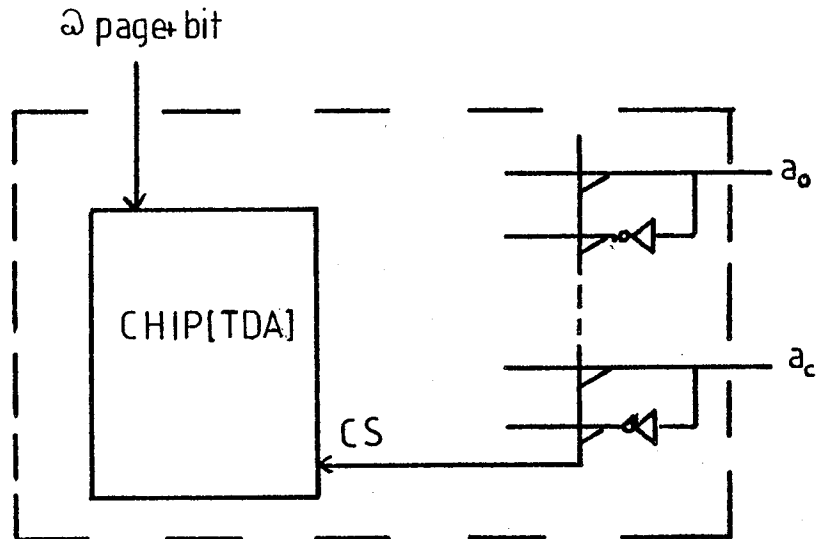


FIGURE 2.5.

Toutes les caractéristiques d'une telle structure peuvent donc être prises dans les structures TDA.

Néanmoins, nous avons ici un chip avec beaucoup plus d'entrée ( $\omega$  chip). Ceci peut présenter un inconvénient majeur pour un fabricant désireux de minimiser le nombre de broches. Un moyen de remédier à cet inconvénient est de multiplexer les entrées. Nous entrerons par exemple l'adresse du point mémoire puis l'adresse chip. La sélection se fera par une horloge (figure 2.6.)

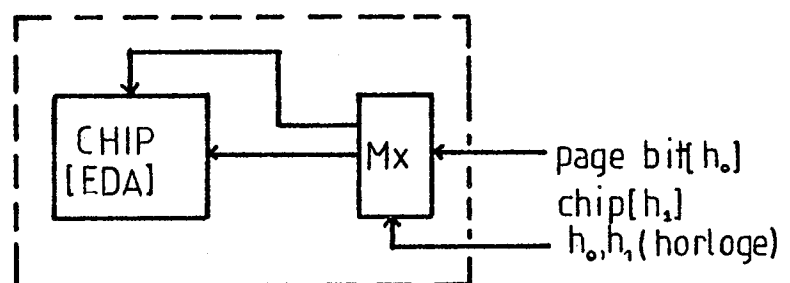


FIGURE 2.6.

### 11.5.3.2. Structures EDB (entièrement distribuées - mode B)

---

Les remarques faites pour le mode A restent valables. De plus, on a la possibilité d'intégrer le module de distinction.

Un exemple en Annexe 6 illustre ces structures.

#### Avantages

L'implantation sur une carte est extrêmement simplifiée ; les chips s'accrochent aux bus d'adresse et de données simplement. Il n'y a rien d'autre que les unités mémoires. Dans le cas où l'on a choisi le mode B nous aurons simplement plus de boîtiers. Ce type de structure se trouve donc particulièrement adapté à la conception d'une mémoire directement sur la tranchée de silicium qui supporte tous les chips mémoire. On évitera ainsi des manipulations (découpage du silicium, montage test après montage) et on minimisera le coût (nombre de supports de broches, de soudures etc...) (cf. IV.)

Cette structure se présente en fait comme l'aboutissement de toutes les techniques de reconfiguration exposées ici. Il n'y a d'autre part aucun cablage spécial à réaliser.

#### Inconvénients

- la programmation est importante
- la place utilisée sur le chip est la plus grande
- les circuits sont les plus sophistiqués
- le nombre de broches est le plus grand (bien qu'il y ait un moyen d'y remédier mais avec un accroissement du temps d'accès).

### 11.6. STRUCTURE AVEC GESTION DES COLLISIONS D'ADRESSES (GCA)

Cette structure est la plus simple à concevoir sur le plan matériel. Il n'en est pas de même sur le plan de la mise en oeuvre. En effet (I.3.1.6.) il faut classer les chips en fonction des adresses des pages en panne, déterminer les ensembles de chips à partir desquels la reconfiguration ne demande pas trop de déroutements (ensembles minimaux de réserve) et à partir desquels la reconfiguration est réaliste (ensembles maximaux de service). Cette structure est automatiquement distribuée si l'on considère un grand nombre de chips car la taille des ensembles traités par cette méthode est directement dictée par l'évaluation des rendements (cf. chapitre III).

En effet, on verra que si l'on fixe le rendement, le nombre d'éléments de service et le nombre de pages de chaque chip, le nombre d'éléments de réserve sera déterminé. Ainsi, en faisant varier les paramètres énoncés ci-dessus nous pourrions calculer les ensembles optimaux pour la reconfiguration. On constate donc que la mise en oeuvre n'est pas quelque chose de très simple, par contre le côté structure matérielle est élémentaire (figure 2.7). Il ne suffit, en effet, que d'un PLA pour réaliser notre module de reconfiguration. L'étage ET conserve la mémorisation de l'adresse page et chip de l'élément en panne. L'étage OU réalise la sélection des chips de la réserve et l'inhibition du décodeur de l'adresse chip.

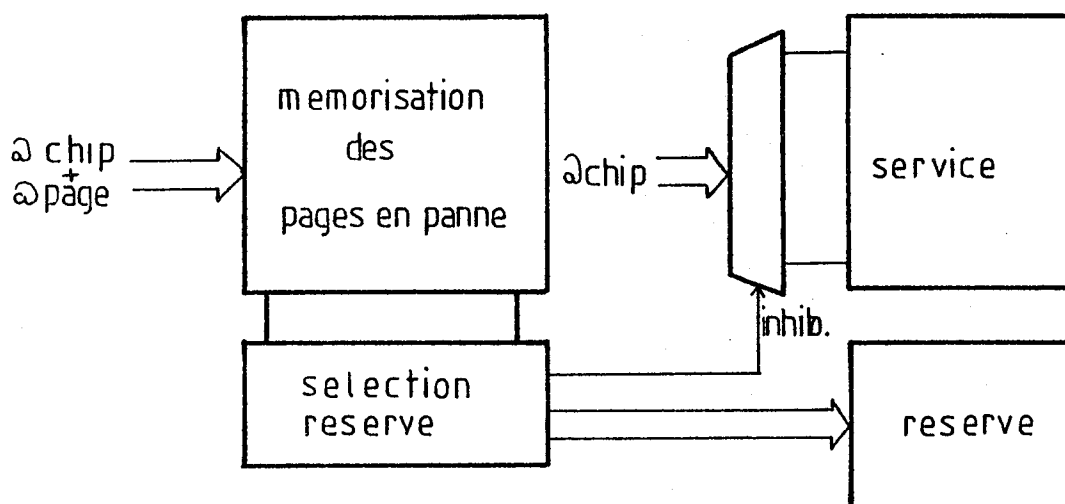


FIGURE 2.7.

#### II.4. CONCLUSION

Le concepteur désirant réaliser une mémoire reconfigurable doit tenir compte :

- des moyens technologiques dont il dispose
- des performances, du rendement, du coût du produit final.

Il doit comprendre que malgré la grande diversité de structures possibles, la réalisation de la mémoire est soumise à de très nombreuses contraintes et que la structure universelle n'existe pas.

Le but de ce chapitre a été de permettre une approche dans la détermination de la structure et la détermination des questions essentielles. La démarche a été avant tout qualitative. A ce point de l'étude une évaluation quantitative des structures reconfigurables et en premier lieu de la pagination est indispensable.

L'évaluation doit donc aller de l'estimation du rendement de fabrication à celle des facteurs électriques en passant par l'étude du découpage optimal, du test de de la surface occupée.

### III.1. RENDEMENT D'UN CIRCUIT INTEGRE

#### III.1.1. Modélisation des défauts de fabrication

Les causes de rejet d'un circuit intégré [THO] peuvent avoir deux origines :

- une inadéquation permanente ou intermittente entre les valeurs électriques (et leurs marges) utilisées lors de la conception du circuit et les valeurs effectivement atteintes à l'issue du cycle de fabrication.
- des défauts accidentels dûs au cycle de fabrication que l'on peut classer en deux catégories [YAN] [GUP]:
  - défauts de performance : variations dans les paramètres définissant la chaîne et le processus de fabrication.
  - défauts de structures pouvant eux mêmes être subdivisés en quatre catégories [GUP] :
    1. défauts ponctuels : oxydation defectueuse, inclusion d'impuretés dislocation
    2. surface de défauts : essentiellement défauts de croissance épitaxiale. Ils sont corrélés à une variation radiale et angulaire sur la tranche. Ils peuvent être considérés comme aléatoires sur une petite surface [YAN] . Des variations dans la température de gaz, etc ... pendant le processus de chauffage sont à l'origine de ces défauts.
    3. défauts linéaires : glissement après ou pendant le chauffage à la périphérie du chip, empilement de défauts dans le dépôt épitaxial, chauffage excessif etc ...
    4. taches de défauts : cause principale : poussières ou rayures sur le masque. La modélisation peut être faite de la même manière que les surfaces de défauts.

La première cause de rejet peut être minimisée par vérification de la conception et contrôle des paramètres technologiques.



## CHAPITRE III

---

ÉTUDE DES OUTILS D'ÉVALUATION

D'UN SYSTÈME MÉMOIRE RECONFIGURABLE

---



Les défauts de performance peuvent être réduits par :

- un nettoyage très strict de l'appareillage
- une manipulation très automatisée et contrôlée
- une grande protection des masques pour éviter l'usure

Il restera néanmoins des défauts de structures auxquels se sont le plus intéressés les spécialistes encore que dans la majorité des cas les lois liant le rendement à la surface du circuit voient les pannes d'un point de vue global.

Le rendement réel est défini par le rapport : nombre de circuits bons/ nombre de circuits potentiels ou nombre de circuits sur la tranche de silicium.

Le nombre de circuits potentiels a été donné par GUPTA au moyen de la formule empirique suivante [GUP] :

$$N_{POT} = \frac{\text{surface tranche}}{(\text{surface chip})^2} - \frac{3,54}{\text{Surface chip}} \quad (\text{rayon de la tranche}) + 0,94$$

Cette formule tient compte des régions optiquement distordues.

### III.1.2. Lois théoriques du rendement d'un circuit intégré

Il est possible de faire une analogie entre le modèle décrivant un système de particules par M-uple,  $(n_1, \dots, n_M)$  dans lequel la j-ème composante  $n_j$  est le nombre de particules dans l'état microscopique j ( $n_j$  prenant des valeurs supérieures à 1 - non respect du principe d'exclusion de Pauli) et une tranche de silicium définie par le même M-uple mais dans lequel la j-ème composante est le nombre de défauts dans le chip j.

Aussi les statistiques de Maxwell - Boltzmann et Bose Einstein, conduisent à deux expressions du rendement d'un circuit intégré.

#### III.1.2.1. Loi exponentielle [PRI]

En utilisant la statique de Boltzmann, le nombre de manières de distribuer  $NAD_0$  défauts distinguables parmi N chips est donné par :

$$M_1 = M(N, NAD_0) = N^{NAD_0}$$

A = surface active du chip

$D_0$  = moyenne de la densité de défaut pour des défauts distribués aléatoirement.

Le nombre de manières de distribuer  $NAD_0$  défauts parmi  $N - 1$  chips est de :

$$M_2 = M(N-1, NAD_0) = (N-1)^{NAD_0}$$

Par conséquent la probabilité d'avoir un chip sans panne est

$$Y = \frac{M_2}{M_1} = \left(1 - \frac{1}{N}\right)^{NAD_0}$$

quand  $M$  tend vers l'infini  $Y$  qui s'écrit  $\left(1 - \frac{1}{N}\right)^{NAD_0}$

tend vers :

$$Y = \exp(-AD_0)$$

Il est possible de parvenir à ce même résultat en supposant STA que la loi du nombre  $B$  de pannes dans un chip sur une tranche suit une loi de Poisson

$$P(B = \alpha) = \frac{\lambda_0 e^{-\lambda_0}}{\alpha!} \quad \lambda_0 = \text{nombre moyen de pannes dans un chip} = AD_0$$

$P(B = 0)$  probabilité de ne pas avoir de pannes (définition du rendement sera donc :

$$Y = \exp(-AD_0)$$

Cette loi repose sur deux hypothèses :

- les défauts sont répartis aléatoirement
- les défauts sont distinguables

Ces deux hypothèses ont été contestées par la suite. La première hypothèse remise en question a permis l'établissement de lois mixées ou d'un modèle composite [WAR]. La seconde remise en cause par Price (mais justifiée par GUPTA et LATHROP) a conduit à l'utilisation de la statistique Bose Einstein.

### III.1.2.2. Loi de Price

Les nombres  $M_1$  et  $M_2$  s'expriment dans cette statistique par :

$$M_1 = \binom{N}{NAD_0 + N - 1} \quad M_2 = \binom{N-1}{NAD_0 + N - 2}$$

$$Y = \frac{M_1}{M_2} = \frac{N-1}{N+NAD_0-1} = \frac{1 - \frac{1}{N}}{1+AD_0 - 1/N} = \frac{1}{1+AD_0}$$

$$Y = \frac{1}{1+AD_0}$$

Il a été démontré que pour des densités de défauts produits par des mécanismes distincts ( $D_1, D_2, \dots, D_n$ )

$$Y = \frac{1}{(1+AD_1) \dots (1+AD_n)}$$

### III.1.2.3. Lois mixées

-----

Elles résultent de la remise en cause (constatée expérimentalement) de l'hypothèse de distribution aléatoire de pannes qui nous donne un rendement plus faible que le rendement expérimental. Si l'on considère la densité de pannes  $D$  comme une variable aléatoire sur  $[0, +\infty[$  définie par une loi de distribution (loi mixante), il est possible de mixer, par exemple, la loi exponentielle avec cette loi de distribution. La connaissance de la moyenne et de la variance expérimentales nous permet d'adapter la théorie à l'expérience [HAI]. Ainsi nous pouvons obtenir de nombreuses lois en changeant de loi mixante ([SEE], [ANS], [YAN], [MUR], [STA]). Nous exposerons celle de Stapper [STA] qui présente une très bonne corrélation avec l'expérience (figure 3.1.) et s'avère la plus commode d'emploi.

La loi mixante est ici une loi gamma de paramètres  $\nu, \delta$  la nouvelle distribution se calcule ainsi :

$$Y = \int_0^{\infty} e^{-AD} \gamma(D) dD$$

$$Y = \left(1 + A \frac{\sigma_0^2}{D_0}\right)^{-\frac{D_0^2}{\sigma_0^2}} \quad \sigma_0^2 : \text{variance de la densité de défauts}$$

Pour la reconfiguration d'une mémoire nous avons besoin non seulement de connaître le nombre des circuits bons mais aussi le nombre de pannes ( $\lambda$ ) dans un bit. Ce nombre peut-être pris comme une variable aléatoire suivant une loi de Poisson et comme pour  $D$  nous pouvons mixer cette loi avec une loi gamma. La loi obtenue est une loi binomiale négative de paramètres  $\nu$  et  $\delta$ .

$$P(B = \alpha) = \int_0^{\infty} \frac{e^{-\lambda} \lambda^\alpha}{\alpha!} \frac{1}{\Gamma(\nu) \delta^\nu} \lambda^{\nu-1} e^{-\lambda/\delta} d\lambda$$

puis par intégration nous obtenons la loi binomiale négative :

$P(B = \alpha) = \frac{\delta^\alpha}{(\delta+1)^{\alpha+\nu}} \frac{\Gamma(\alpha+\nu)}{\alpha! \Gamma(\nu)} \quad \text{ou} \quad \frac{\delta^\alpha}{(\delta+1)^{\alpha+\nu}} C_{\alpha+\nu-1}^{\nu-1} \quad (\text{pour des valeurs entières de } \nu)$	(A)
--	-----

La moyenne est :

$$m_A = \lambda \delta$$

$$\text{Et la variance : } \sigma_A^2 = \lambda \delta (\delta + 1)$$

Détermination des paramètres  $\lambda, \delta$  de la loi gamma

On a :

$$\lambda = A D$$

Ainsi :

$$m_A = A m_D$$

$$\sigma_A^2 = A^2 \sigma_D^2$$

Comme par l'expérience on peut déterminer la moyenne et la variance sur la densité de pannes, la détermination de  $\lambda$  et  $\delta$  se fera par la résolution du système d'équations :

$$m_A = A m_D$$

$$\sigma_A^2 = A^2 \sigma_D^2$$

$$m_A = \lambda \delta$$

$$\sigma_A^2 = \lambda \delta (\delta + 1)$$

$$\text{Donc } \begin{cases} \lambda = \frac{\sigma_D^2 A}{\sigma_D^2 A - m_D} \\ \delta = \frac{\sigma_D^2 A - 1}{m_D} \end{cases} \quad \text{(B)}$$

On doit avoir  $\lambda, \delta$  positifs. Ceci implique  $\frac{\sigma_D^2}{m_D} A > 1$ :  $A > \frac{m_D}{\sigma_D^2}$

On constate donc l'impossibilité d'utiliser cette loi pour de petites surfaces si  $m_D$  est grand par rapport à  $\sigma_D^2$ .

Validation de la loi par rapport à l'expérience [THO]

Elle est donnée par la figure 3.1. L'expérience a été faite sur une population de 90 chips 1103. On peut donc sur cette base prendre la distribution donnée plus haut.

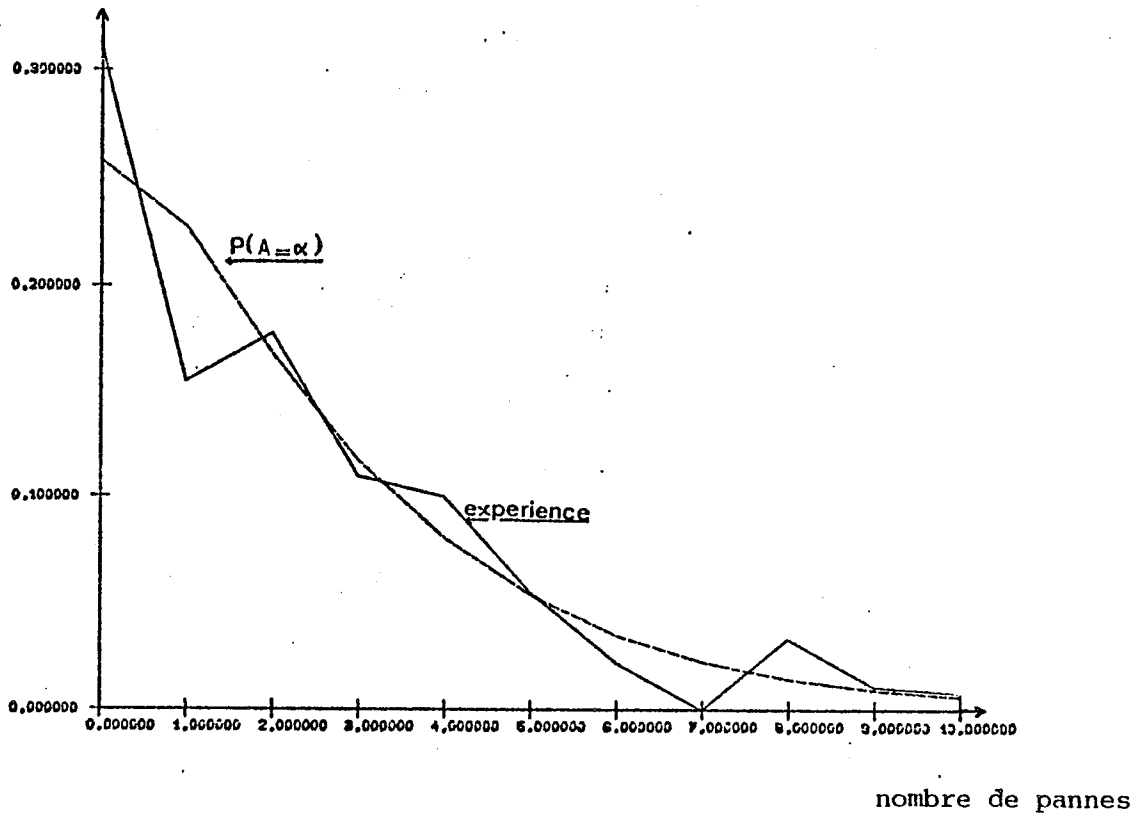


FIGURE 3.1.

Extrapolation à une mémoire 16K

On prend :

$$\sigma_D^2 = 0,01 \quad m_D = 0,16 \quad A = 28 \text{ mm}^2$$

$$\Rightarrow \quad \delta = 6 \quad \delta = 0,75$$

$$P(B = \alpha) = C^5 \frac{(0,75)^\alpha}{\alpha+5 (1,75)^{\alpha+6}}$$

On a (figure 3.2. un maximum pour  $\alpha = 3$  ( $P(3) = 0,15$ ) et une probabilité inférieure à 1% au-delà de 12 pannes.

Cette extrapolation met en relief deux points :

- le nombre de pannes par chip est faible en moyenne (4 à 5)
- la probabilité d'avoir au moins 4 et 8 pannes (Figure 3.3) est de 0,58 et 0,96 respectivement. Il est donc inutile (pour une 16K) d'étudier les valeurs de pannes supérieures à 8.

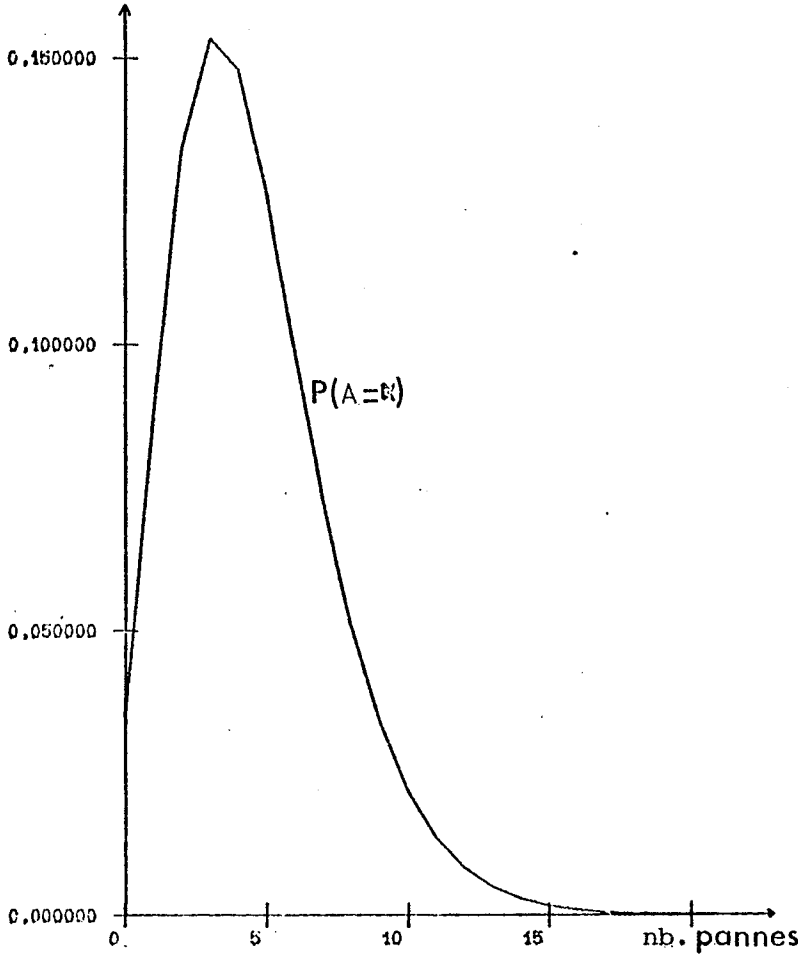


FIGURE 3.2.

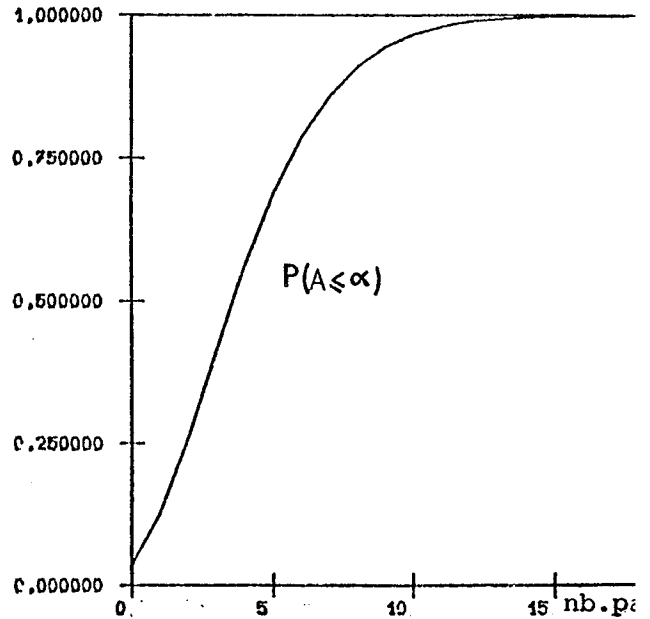


FIGURE 3.3.

Remarque

La loi de Stapper tend vers une loi exponentielle lorsque  $\sigma \rightarrow 0$  (ce qui est normal) et la loi de Price pour  $\sigma = D$ . La loi exponentielle tendant elle-même vers la loi de Price par mixage avec une distribution de Seeds  $f(D) = \frac{1}{D_0} e^{-\frac{D}{D_0}}$

III.1.2.4. Autres lois classiques

Gupta et Lathrop [GUL] , Yanagawa [YAN] proposent des lois dépendant de la distance du chip au centre de la tranche et utilisent une distribution de densité de défauts empiriques

$d(r) = d(1 + 2,5 \exp(-0,34 \times 19(1 - r/R)))$  et une simulation de Monte Carlo respectivement

Moore depuis 1970 avait proposé une loi empirique très simple obtenue sur un grand nombre de chips.

$Y = \exp - \sqrt{\frac{A}{A_0}}$   $A_0$  surface correspondant à un rendement de 1/e

Warner [WAR] a proposé un modèle composite dans lequel le rendement s'exprime par :  $Y = \sum_{i=1}^I F_i e^{-D_i}$  avec  $F_i$  fraction de la surface de la tranche de densité de défauts  $D_i$

III.1.2.5. Modèle stochastique

Il est possible de modéliser la répartition des pannes dans une tranche par une chaîne de Markow (figure 3.4) dans laquelle chaque place représente le nombre de chips affectés par une panne au moins ; une transition nous permet à chaque tirage soit de rester avec le même nombre de chips ayant des défauts (probabilité  $p_{ii}$ ) soit d'avoir un nouveau chip affecté par une panne (probabilité  $p_{ii+1}$ )

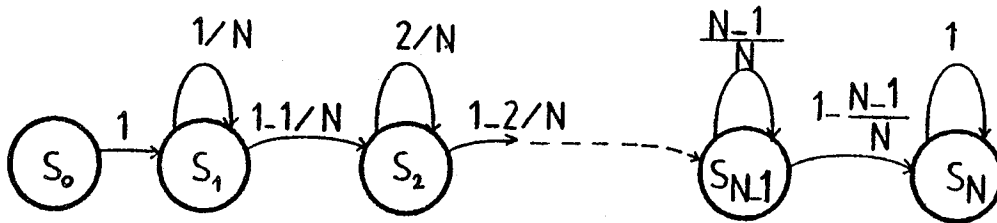


FIGURE 3.4.

La matrice des probabilités  $p_{ij}$  sera donc :

$$P = \begin{bmatrix} 1 & 0 & 0 & \dots & 0 \\ 0 & \frac{1}{N} & \frac{N-1}{N} & & 0 \\ 0 & 0 & \frac{2}{N} & \frac{N-2}{N} & \\ \vdots & & & \ddots & \\ 0 & & & & \frac{N-1}{N} & \frac{1}{N} \\ 0 & & & & 0 & 1 \end{bmatrix}$$

matrice que l'on peut écrire plus pratiquement puisque le premier arc n'apporte rien au calcul

$$P' = \frac{1}{N} \begin{bmatrix} 1 & N-1 & 0 & \dots & 0 \\ 0 & 2 & N-2 & & 0 \\ \vdots & & \ddots & \ddots & \\ 0 & & & & N-1 & 1 \\ 0 & & & & 0 & N \end{bmatrix}$$

Si  $S$  est la variable aléatoire affectée au nombre de chips possédant des défauts, la probabilité d'avoir  $\beta$  chips en panne sachant que  $\alpha$  pannes ont été distribuées s'écrit :

$$P_{\alpha}(S = \beta) = p_{1, \beta}^{(\alpha-1)} \quad \text{sachant que } p_{ij}^{(\alpha-1)} \text{ est le terme général de la matrice } P^{(\alpha-1)}.$$

Dans les lois classiques nous avons la probabilité d'avoir un chip sans panne alors qu'ici nous avons la possibilité de connaître la probabilité d'avoir exactement  $\beta$  chips possédant des défauts. Ceci nous sera très précieux pour la reconfiguration où le regroupement de pannes dans les pages nous intéresse en premier lieu.

Nous ne faisons ici aucune hypothèse sur la densité de pannes. Il est possible de mixer cette loi avec une loi de distribution de pannes ou bien même comme nous le ferons d'utiliser cette loi sur le chip lorsque la loi de distribution de pannes sera une loi de Stapper. (Cf III.2). Ceci permet de nous passer de l'hypothèse de distribution non uniforme des pannes car le chip représente une petite surface par rapport à la tranche et l'on peut supposer la distribution de densité de pannes uniforme sur une petite surface [GUP].

Expression de la probabilité

Si l'on développe formellement  $P_{\alpha}(S = \beta)$  on obtient :

$$P_{\alpha}(S = \beta) = \left(\frac{1}{N}\right)^{\alpha} A_N^{\beta} K_{\alpha}^{\beta} \quad (C)$$

où  $K_{\alpha}^{\beta}$  sont des nombres de Stirling de seconde espèce défini par la récurrence [KAU] :

$$K_{\alpha}^{\beta} = K_{\alpha-1}^{\beta-1} + \beta K_{\alpha-1}^{\beta} \quad K_{\alpha}^1 = 1 \quad \forall \alpha$$

$$K_{\alpha}^{\alpha} = 1 \quad \forall \alpha$$

$$K_{\alpha}^{\beta} = 0 \quad \forall (\alpha, \beta) \quad \beta > \alpha$$

$$K_{\alpha}^0 = 0 \quad \forall \alpha$$



Le tableau 3.1. nous donne  $K_{\alpha}^{\beta}$  pour  $\alpha = 1 \text{ à } 6$   $\beta = 1 \text{ à } 6$

	1	2	3	4	5	6
1	1					
2	1	1				
3	1	3	1			
4	1	7	6	1		
5	1	15	25	10	1	
6	1	31	90	65	15	1

TABLEAU 3.1.

### III.2. LOI DE DISTRIBUTION DES PAGES EN PANNE

#### III.2.1. Expression de la loi

Les variables aléatoires utilisées seront :

S : variable aléatoire liée au nombre de pages en panne

p : variable aléatoire liée au nombre de défauts dans un chip

Les paramètres liés aux unités mémoires seront :

N : nombre de pages

$\beta$  : nombre de pages affectées par une panne au moins

$\alpha$  : nombre de défauts dans un chip

n : nombre de bits mémoire dans un chip

Soit  $(B_i)$  un système complet d'évènements de probabilités non nulles.

$$B_i = \{ B = \alpha_i \} \quad 0 \leq \alpha \leq n$$

$$\text{Si } A = \{ S \leq \beta \} \text{ on a } P(A) = \sum_{i=1}^n P(B_i) \cdot P(A/B_i)$$

$$\text{donc } P(S \leq \beta) = \sum_{i=1}^n P(B = \alpha_i) \left( \sum_{j=0}^{\beta} P_{\alpha_i}(S = j) \right) \quad (D)$$

$P_{\alpha_i}(S=j)$  a été donnée au paragraphe précédent par l'expression (C) pour un découpage en chip sur la tranche mais elle s'applique (comme nous l'avons dit) d'autant mieux au découpage en pages que le chip est une petite surface.

Pour  $P(B = \alpha_i)$  nous choisissons la loi binominale négative (A). Ainsi nous aurons comme probabilité d'avoir au plus  $\beta$  pages affectées par une panne au moins :

$$P(S \leq \beta) = \sum_{\alpha_i=0}^n \frac{\delta^{\alpha_i}}{(\delta+1)^{\alpha_i+\alpha_i}} \cdot \frac{\Gamma(\alpha_i+\delta)}{\alpha_i! \Gamma(\delta)} \cdot \sum_{j=0}^{\beta} P_{\alpha_i}(S=j)$$

$$P_{\alpha_i}(S=j) = \left(\frac{1}{N}\right)^{\alpha_i} A_N^j K_{\alpha_i}^j$$

$K_{\alpha_i}^j$  étant les nombres de Stirling de seconde espèce.

Les courbes de la figure 3.5. nous donne  $P(S \leq \beta)$  pour  $N = 16, 32, 64$  avec une mémoire de 16 k (paramètres calculés précédemment)

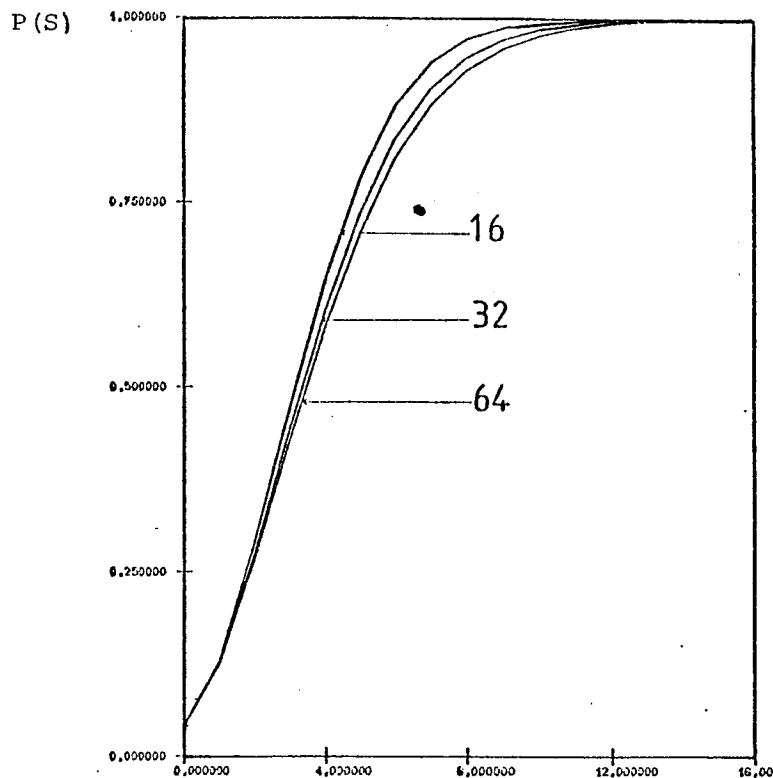


FIGURE 3.5.

nombre de pages en panne

On peut y relever plusieurs points intéressants :

- le nombre de pages affectées par une panne au moins est faible. Sur un plan mémoire formé de 16 k il y a respectivement 60 % et 94 % de chances d'avoir au plus 4 et 8 pages affectées par une panne au moins pour des chips découpés en 64 pages.
- le découpage de la mémoire peut être faible. En effet quand  $\alpha$  prend de petites valeurs  $P_{\alpha}(S \leq \beta) \simeq P_{\alpha}(S \leq \alpha)$  et si N est grand  $P_{\alpha}(S \leq \beta) \rightarrow P_{\alpha}(S = \alpha) \rightarrow 1$  donc  $P(S \leq \beta) \rightarrow \sum_{i=1}^n P(B = \alpha_i)$  quand  $\alpha \ll N$ .

Ainsi  $P(S \leq \beta)$  diminue quand N croît et donc N ne doit pas être très grand par rapport à  $\alpha$  pour augmenter notre rendement après reconfiguration.

- la taille de la réserve ou de la zone d'échange peut être assez faible avec un bon rendement : 60 % pour une réserve de 1 K.

#### Remarque importante

Le choix de  $P(S \leq \beta)$  comme valeur théorique du rendement après reconfiguration sur des chips ayant moins de  $\beta$  pages en panne, est optimiste. En effet, l'impact des pannes affectant la moitié ou tout le chip n'a pas été pris en considération. Le nombre important des cas possibles (pour les différentes valeurs de  $\beta$ , N, pour la capacité mémoire etc ...) rendrait le cas général très complexe. Pour un exemple particulier (cf. IV.3.3.) l'étude est néanmoins accessible et indispensable.

#### III.2.2. Influence de la surface sur $P(S \leq \beta)$

Il y a deux moyens d'agir sur la surface :

- par la structure reconfigurable
- par la taille de la partie service et son découpage
- par l'accroissement du nombre de pages reconfigurables

a) la structure reconfigurable

Le choix d'une structure reconfigurable intégrée va avoir une influence importante sur la surface. En effet, dans le cas du mode A la réserve est intégrée à la partie service. Ainsi, il y a accroissement de la surface mémoire du chip. Dans le cas du mode B, la réserve est "délocalisée". Donc, pour une mémoire de même taille nous avons des chips plus petits que pour le mode A.

De plus, à l'intérieur même d'un type de structure comme TDA, nous avons des architectures différentes qui ont une influence sur la surface (cf. III 4.2.2.).

b) la taille de la partie service et son découpage

La figure 3.6 nous montre l'influence de la surface (correspondant à une taille de la partie service) et du découpage (N) sur P (S). Ainsi, pour une surface de  $40 \text{ mm}^2$  (taille  $< 32 \text{ k}$ ),  $P(S \leq 4) = 0,38$  et pour  $28 \text{ mm}^2$  (taille =  $16 \text{ K}$ ),  $P(S \leq 4) = 0,58$  avec un découpage en 64 pages.

D'autre part pour une surface de  $40 \text{ mm}^2$ ,  $P(S \leq 4)$  s'accroît de 6,5 % quand N passe de 16 à 64.

c) l'accroissement du nombre de pages reconfigurables

La figure 3.6 nous donne l'évolution de  $P(S \leq \beta)$  pour  $\beta = 4$  et 8. Nous constatons aussi que  $P(S \leq 4) < P(S \leq 8)$  pour une surface donnée. Néanmoins, si l'on considère que l'augmentation du nombre de pages en réserve concerne un même chip, l'optique peut être différente.

Ainsi, si l'on considère un chip de  $20 \text{ mm}^2$  avec une réserve de quatre pages de 1 K ayant chacune une surface d'environ  $5 \text{ mm}^2$ , ce même chip doté de huit pages de réserve aura donc  $40 \text{ mm}^2$  (sans tenir compte de l'augmentation des circuits de reconfiguration). En se rapportant à la figure 3.6, nous constatons que P (S) a la même valeur dans ces deux cas et que même dans le second cas, P (S) est plus faible si l'on tient compte des circuits de reconfiguration.

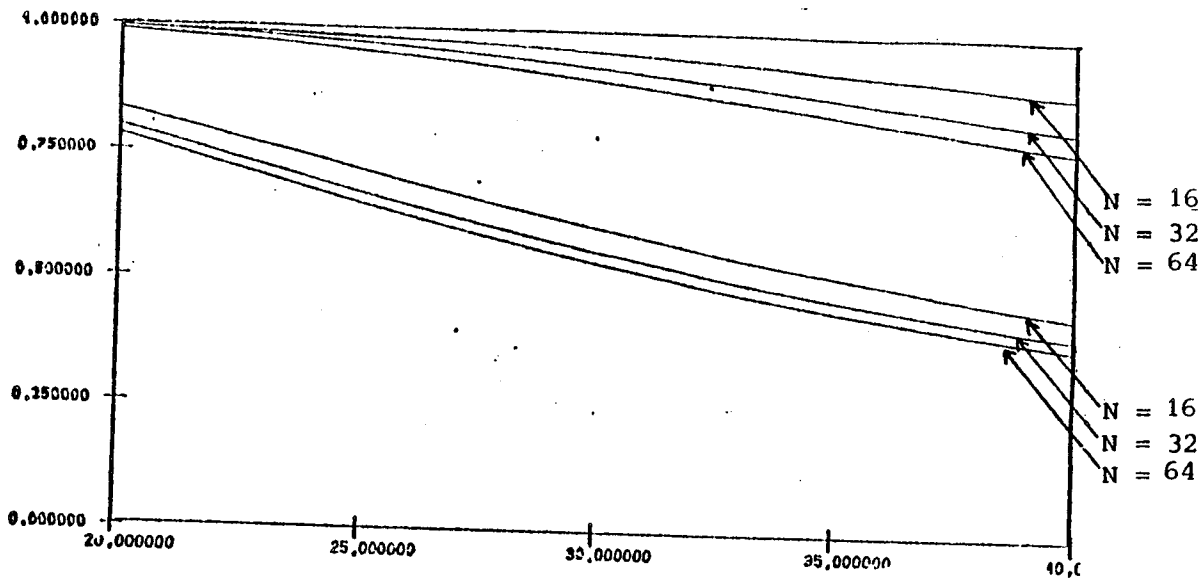


FIGURE 3.6.

III.2.3. Les collisions d'adresses

Les collisions d'adresses résultent du fait que seul l'adressage des partitions d'une mémoire (chips) sert à distinguer deux bits mémoire. On utilise un nombre réduit de pages de réserve ayant même adresse que les pages en pannes. Une page de la réserve ne peut servir de remplacement qu'à une autre page de la partie service ayant même adresse.

III.2.3.1. Représentation graphique de la collision

On peut représenter le chip comme une concaténation linéaire de pages ordonnées selon leur adresse. Si on empile les chips ainsi représentés on a dans une même colonne toutes les pages d'une même adresse (Figure 3.7.)

	page1	page2	pageN
chip1			
chip2			
chip3			
chipC-1			
chipC			

FIGURE 3.7. Représentation globale de la mémoire paginée (Service)

Une collision se produit donc si on a deux pages (ou plus) en pannes dans une même colonne.

### III.2.3.2. Evaluation des collisions

On supposera que les pannes n'ont aucune relation entre elles. Cela revient à dire qu'une fois le découpage en page fait, on peut considérer des ensembles formés de pages de chips différents comme s'il s'agissait d'une entité physique indépendante.

Ainsi nous considérerons tous les chips de  $C$  pages de même adresse (une colonne figure 3.7.).

Si la surface d'un chip (au sens physique) est  $A$ , la surface d'un tel pseudo-chip est  $A \times C/N$ .

La probabilité d'avoir au moins une collision est qu'il y ait au moins deux pannes dans un tel chip.

$P(S \leq i)$  nous donne la probabilité d'avoir  $i$  réserves. Nous pouvons donc utiliser l'étude faite précédemment pour le calcul de  $P(S \leq \beta)$ .

#### Application

On prend 64 chips 1K de  $7\text{mm}^2$  de surface découpés en 16 pages. Cela revient à calculer  $P(S \leq \beta)$  pour un chip de  $28\text{mm}^2$  avec 64 pages, ou même étudier le nombre de pannes dans une 16K découpées en 64 pages (ce qui a été déjà fait).

Ainsi, il y a 58 % de chances ( $P(S \leq 4) = 0,58$ ) de n'avoir pas besoin d'utiliser plus de 4 chips en réserve, de même il nous suffira de huit chips dans 92 % des cas.

La méthode préconisée semble donc assez favorable. Si on prend par exemple une population de 72 chips de 1K il y a de très fortes chances de reconfigurer et de posséder une mémoire de 64K.

Si l'on considère la tranche entière avec 400 chips de 1K on dispose d'une mémoire de 320K.

### III.3. CONSIDERATIONS SUR LE COUT DU TEST

Il est difficile d'évaluer le coût du test dans la mesure où il dépend de très nombreux paramètres. Tout d'abord on peut distinguer trois composantes :

- le matériel : surface occupée par la circuiterie d'accès à la réserve pour une mémoire intégrée, ainsi que le nombre de broches supplémentaires
- le temps de test : son accroissement est dû essentiellement à une plus grande exigence dans la détermination des pannes
- la programmation des circuits de reconfiguration

### III.3.1. Le matériel

L'accroissement du matériel concerne les mémoires reconfigurables intégrées. La surface occupée par les circuits de test est négligeable (2 multiplexeurs plus quelques portes). Le problème posé par le nombre de broches peut être plus ennuyeux.

En effet, soit le concepteur possède la faculté de créer un boîtier non standard adapté à la mémoire, soit il ne possède qu'un boîtier standard.

Le premier cas ne pose aucun problème. Le second cas peut nécessiter le passage d'un type de boîtier à un autre type nettement plus cher (le coût d'un boîtier 40 broches est  $\frac{1}{2}$  fois plus cher que le 24 broches).

### III.3.2. Le temps de test

Avec un nombre de bits par page étant de  $2^w$  nous obtenons comme temps de test :

- avant programmation sur une zone de service de  $2^n$ , une zone d'échange ou de réserve de  $2^\alpha$  pages pour un test de type N :

$t = t_1 \times$  (nombre de bits de la partie service, de la réserve et de la zone d'échange - nombre moyen de bits non testés dans les pages déclarées en panne) ( $t_1$  = temps de test d'un bit)

$$t = t_1 \times 2^w \left( 2^n + \frac{3}{2} 2^{\alpha-1} \right)$$

- après programmation des circuits de reconfiguration

$$t = t_1 \times 2^w (2^n)$$

Nous aurons donc un temps de test total de :

$$t = t_1 \times 2^w (2^{n+1} + 2^{\alpha-1})$$

### III.3.3. La programmation

Le coût de la programmation se trouve dans la vérification et dans la programmation proprement dite.

L'utilisation de PLA dans les circuits de reconfiguration permet de minimiser le nombre d'interventions.

Le coût est proportionnel au temps de programmation. Ainsi pour un PLA de  $n$  entrées et  $\alpha$  sorties ( $n$  bits adresse page,  $\alpha$  bits adressage réserve) si nous programmons par mots les deux matrices (ce qui serait le plus économique mais demanderait des circuits supplémentaires) et si le temps d'écriture d'une mémoire morte comme la RMM 1K du LETI est de 100 ms, nous aurons un temps de programmation de  $(2n+\alpha)$  100ms.

Exemple :  $n = 4$   $\alpha = 2$  mémoire de 16K  $t_p = 1$  s  
le temps d'un test du type N sera d'environ 50 ms avec un temps de cycle de 500ms : test exhaustif de 16 K et de 2 K en moyenne pour les pages en pannes (4 K).

C'est donc malheureusement la programmation qui est déterminante pour le coût après fabrication car elle s'ajoute au temps de test dont elle est ici 20 fois supérieure. Comme le temps d'écriture ne semble pas pour l'instant être réductible, ce problème constitue sans doute le point essentiel de la faisabilité d'une mémoire reconfigurable.

### III.4. COMPARAISONS ENTRE DIFFERENTES STRUCTURES

Le propos n'est pas ici de donner les rendements attachés à chacun des 17 types de structures énoncées plus haut mais de déterminer les contraintes auxquelles nous nous exposons dans la conception d'une structure

#### III.4.1. L'évaluation de la structure avec gestion des collisions

Elle pose des problèmes de production (tri, détermination des ensembles optimaux...) trop complexes et trop reliés à des valeurs de production pour être abordée. De prime abord, cette solution très simple "semble" être trop coûteuse en production. Une détermination précise du coût d'une telle structure demanderait des résultats de production que nous ne possédons pas.

Du point de vue rendement la méthode proposée en III.3 semble suffisante avec l'hypothèse d'indépendance entre pages. Cette hypothèse peut sembler raisonnable si le chip n'est pas trop grand et si l'on élimine de la population considérée les éléments trop défectueux (I.3.1.6.).



### III.4.2. Evaluation et influence de la surface d'un circuit intégré

#### III.4.2.1. Détermination de la surface d'un circuit intégré [TH

Il a été proposé comme formule donnant la surface d'un chip de  $n$  mots de 1 bit :

$$S = \left| \begin{array}{c|c|c|c|c} A & + & B \log_2 n & + & C \log_2 n (\log_2 n + \sqrt{n}) + D \sqrt{n} & + & E \cdot n \\ \hline \text{logique} & & \text{registres} & & \text{décodage} & & \text{Amplificateurs} \\ \text{d'accès et} & & \text{d'adresse} & & & & \text{rafraîchissement} \\ \text{d'utilisation} & & & & & & \text{et lignes et} \\ & & & & & & \text{colonnes} \\ & & & & & & \text{Matr.} \\ & & & & & & \text{mémo.} \end{array} \right|$$

En diminuant la surface décodeur par rapport à l'ensemble et d'après des surfaces évaluées sur une 4K Intel 2107 B, Thorn [TH02] a proposé la formule suivante :

$$S(n) = 2 + 0,15 \log_2 n + 0,014 (\log_2 n)^2 + 0,04 \sqrt{n} + 10^{-3} n$$

Pour une mémoire de mots de  $m$  bits Diaz [DIA] a proposé une formule où les décodeurs ont une place accrue :

$$S(n,m) = 2 + 0,15 \log_2^n + 0,15 \sqrt{n} \log_2 n + 0,017 \sqrt{n} + 0,023 \sqrt{n \cdot m} + 10^{-3} n \cdot m$$

Nous avons donc tous les moyens de déterminer les surfaces des chips mémoire, les surfaces supplémentaires et en particulier différencier les stratégies. Ainsi dans le cas d'une mémoire avec réserve intégrée le choix peut se faire entre réserve séparée ou réserve entourant le chip. Dans un cas on assiste à un accroissement du décodage dans l'autre un accroissement de la surface de la matrice mémoire.

#### III.4.2.2. Influence de la structure sur la surface

Le cas que nous avons exposé ci-dessus est révélateur de l'impact de la structure choisie sur la surface et par conséquent sur le rendement.

Prenons le cas d'une mémoire de 16K ayant de 4 à 16 pages (de 1K) de réserve. Ici nous notons une action sur le rendement par la structure et la taille de la réserve.

Les surfaces modifiées concerneront les décodeurs ( $S_d$ ), les amplificateurs ( $S_a$ ) et la matrice mémoire ( $S_m$ ).

Le tableau 3.1. nous donne l'accroissement des valeurs de ces surfaces et la surface totale pour une structure avec réserve séparée de la partie service (TDA1-2) et avec réserve entourant le chip (TDA 3)

Surfaces nb pages réserve	TDA1-2				TDA 3				Gain
	$S_d$	$S_a$	$S_m$	$S_{tot}^{Sup} + S_{16K}$ (approximative)	$S_d$	$S_a$	$S_m$	$S_{tot}^{Sup} + S_{16K}$	
4	5,2	3,84	4,1	37	0,142	0,675	4,608	34	3
8	10,4	7,68	8,2	50	0,258	1,28	9,216	39	11
12	15,6	11,52	12,29	64	0,372	1,92	14,592	45	19
16	20,8	15,36	16,38	77	0,478	2,56	20,480	52	25

TABLEAU 3.1.

On note donc, que si la première structure est acceptable pour une petite réserve ( $\ll 25\%$ ), elle permet de diminuer la dissipation et de conserver le cycle de rafraîchissement. Elle présente une meilleure isolation aux pannes. Cependant, au-delà de 4-5 pages en réserve, cette solution n'est vraiment pas réaliste.

### III.4.3. Minimisation de la dissipation

Elle peut se faire par deux moyens :

- modification de la structure de la partie service
- génération de phases particulières à la réserve.

Ce dernier point a été développé en Annexe 5. Voyons donc sur un exemple le premier point.

Une étude de la CII a permis de déterminer des structures de mémoire 16K réalisables [RIC] dans le cadre du projet MINOS.

L'objectif était d'atteindre les performances de la SNO 2B (4Kxb) et de ne pas augmenter la dissipation.

Pour l'atteindre il ne fallait pas doubler le nombre de lignes (64). Le nombre de colonnes devait donc être quadruplé. Par conséquent, on rafraîchirait 128 bits en une fois.

On aboutit, ainsi, à trois structures (figure 3.8) qui se distinguent seulement par une répartition des amplificateurs de rafraîchissement et la présence pour la dernière structure de commutateurs d'ampli de rafraîchissement. Les structures a, b, c sont de complexité et de facilité d'implantation croissante.

- Elles répondent toutes aux objectifs initiaux par la présence de :
- décodeurs dans les lignes ; ils permettent d'éviter de faire monter toute la ligne de sélection. L'appel de courant et la dissipation sont réduits,
  - d'amplificateurs de rafraîchissement asymétriques qui dissipent beaucoup moins que des amplificateurs simples,
  - deux matrices mémoire de 128 colonnes et 64 lignes.

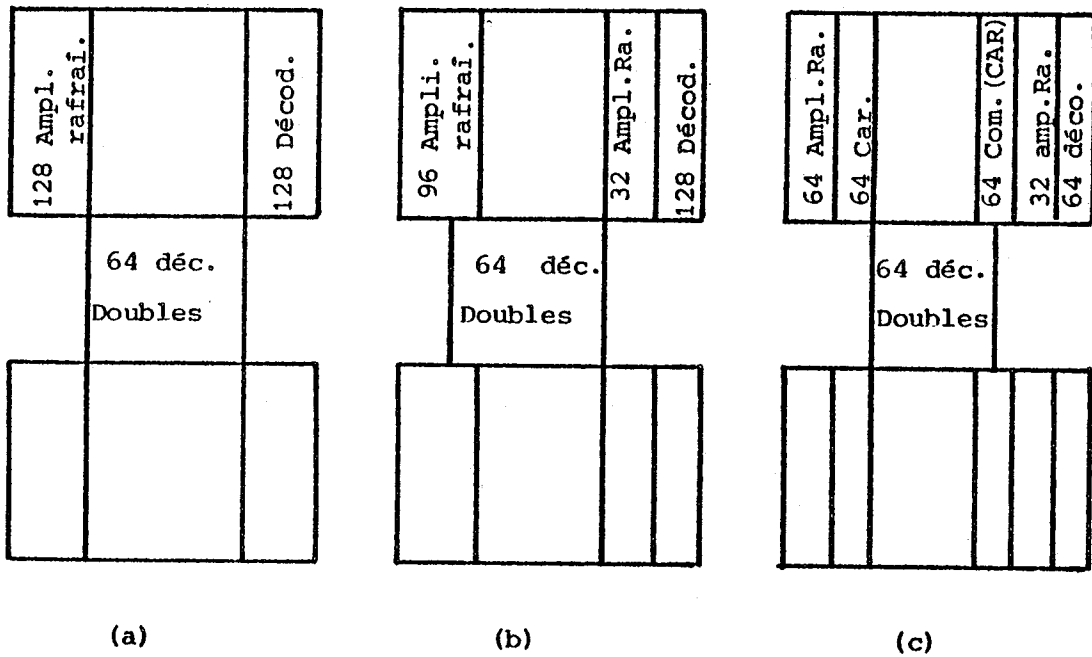
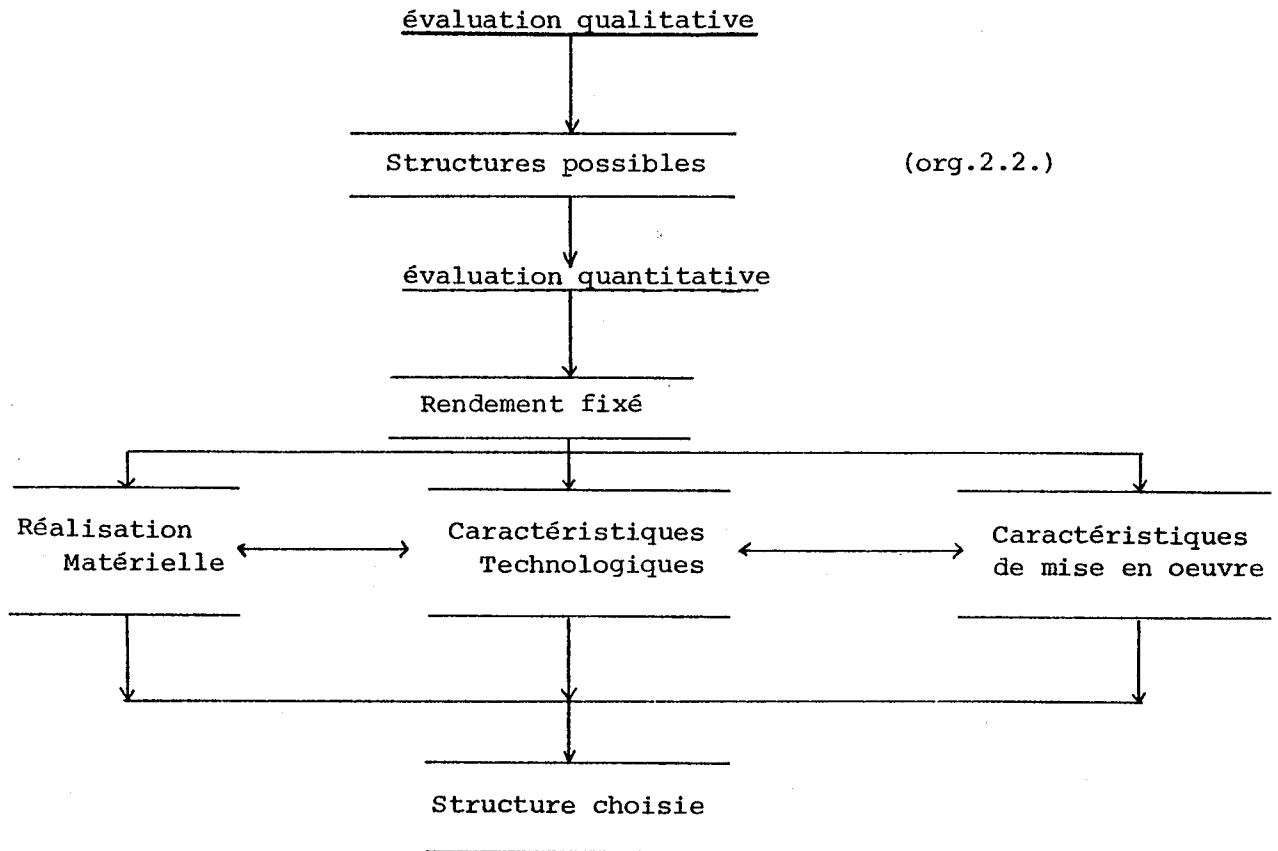


FIGURE 3.8.

III.4.4. Critères d'évaluation des autres types de mémoire

L'évolution dans la conception se fait ainsi :



La procédure de remise en cause est la suivante pour :

la réalisation matérielle :

Prise en compte des paramètres :

- surface supplémentaire due aux circuits de reconfiguration et à la réserve implique une :

Remise en cause du rendement projeté

- le nombre trop important de fils peut entraîner une :

Remise en cause de la structure

- le nombre d'éléments programmés agit sur la mise en oeuvre (temps de programmation) et nécessite la diminution de la taille du PLA et une :

Remise en cause du rendement projeté

- le nombre de boîtiers et la taille mémoire sur carte ou circuit intégré conduit à une :

Remise en cause de la structure

les caractéristiques technologiques :

Prise en compte des paramètres :

- les temps d'accès et de cycle dépendent du nombre de niveaux de portes et de la technologie et entraînent une :

Modification de l'architecture

Echec : rejet de la structure

- dissipation du circuit conduit à la :

Remise en cause de l'architecture ou de la technologie

- aléas temporels dus à l'architecture obtenu après simulation logique et électrique du circuit nécessitent la :

Modification de l'architecture

les caractéristiques de mise en oeuvre :

- coût de la programmation trop important ; donc :

Remise en cause du rendement projeté ou de la technologie des circuits de reconfiguration

- coût du test trop important ; donc :

simplification de l'algorithme de test

Pour caractériser cette étude, il est indispensable d'appliquer ces critères à des exemples concrets. C'est ce but que nous allons poursuivre dans le chapitre IV.

CHAPITRE IV

----

APPLICATIONS

----

Dans ce chapitre, nous donnerons un exposé détaillé sur la réalisation d'une mémoire 16 K x 1 bit RAM intégrée et d'un système mémoire 4 K x 9 bits constitué de boîtiers de 1 K RAM x 1 bit. Ensuite nous tenterons d'aborder le problème très complexe d'une mémoire reconfigurable de 1 Mégabit (MIST).

#### IV.1. UN EXEMPLE DE MEMOIRE RECONFIGURABLE INTEGREE

##### IV.1.1. Structure de la partie service

Nous avons choisi la plus simple des structures proposées par les concepteurs du projet MINOS (figure 3.8.a) afin de simplifier l'exposé. Une étude complète nécessiterait, bien entendu, un choix plus approfondi.

##### IV.1.2. Choix des structures

Le fait que l'on s'intéresse à une mémoire reconfigurable intégrée signifie que l'on a déjà répondu par l'affirmative à la question (organigramme 2.2.) concernant la possibilité de modification de la structure interne du chip. Nous n'insérerons pas le chip mémoire dans le cadre d'un système mémoire. Nous choisirons donc le mode A. D'autre part, nous ne désirons pas de structure entièrement intégrée pour la même raison. Le rendement n'étant pas déterminé a priori ainsi que le nombre de pannes nous aurons à étudier les trois structures TDA (TDA1-3).

##### IV.1.3. Modèles de reconfiguration

Ils sont définis à partir de la structure de réserve choisie :

- l'élimination des pages en panne se fait avec une réserve séparée de la partie service (TDA1-2) (figure 4.1.) par :
  - détection de la page en panne
  - sélection des phases de la réserve
  - sélection de la page de la réserve
- l'élimination des pages en panne se fait avec une réserve liée à la partie service (TDA3) (figure 4.2.) par :
  - détection de la page en panne
  - transcodage de l'adresse page

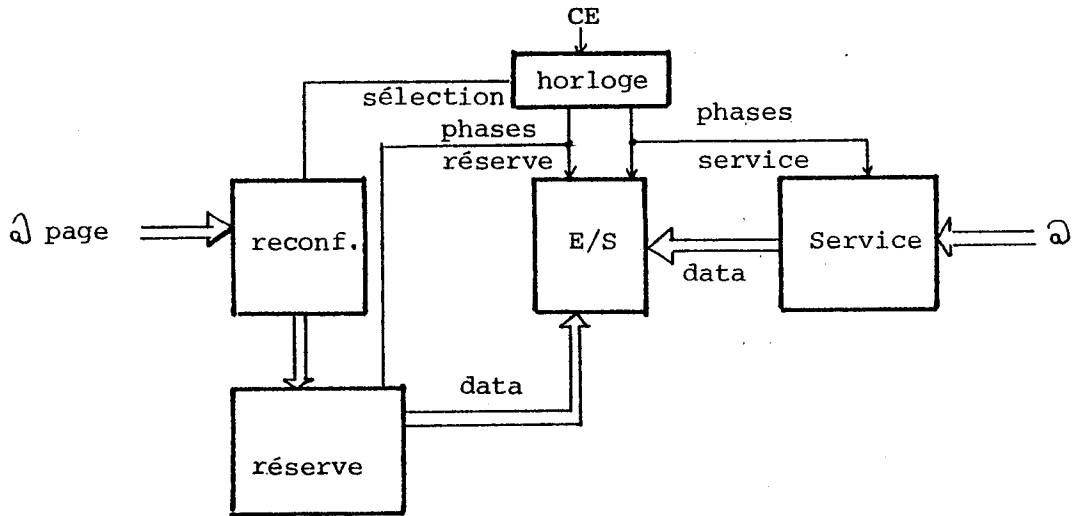


FIGURE 4.1.

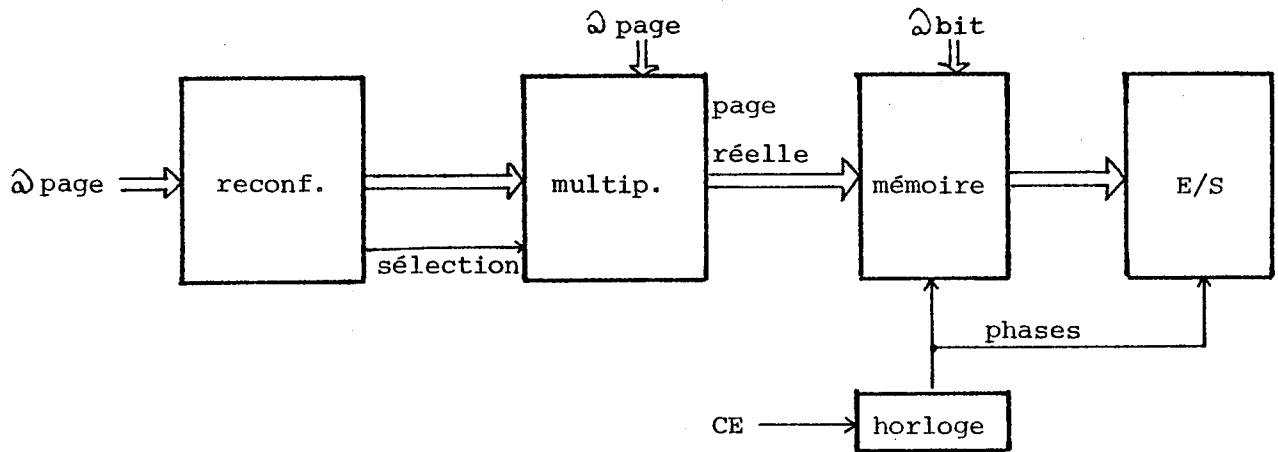


FIGURE 4.2.



#### IV.1.4. Rendement virtuel de la mémoire

Nous désignerons par rendement virtuel de la mémoire, le rendement après reconfiguration. Il dépend de deux éléments principaux :

- le nombre de pages de la réserve ou de la zone d'échange (ici de la réserve)
- le nombre de pages de la partie service

Nous ne tiendrons pas compte, pour le moment, dans son évaluation, des points suivants :

- les pannes dans des modules spécifiques provoquent l'inutilisation de la moitié de la matrice mémoire. Néanmoins, la surface représentée n'est qu'une part réduite de la surface totale.

Pour une 16 K l'impact des pannes est par rapport à la surface :

- .  $24 \text{ mm}^2$  : 1 panne = 1 page
- .  $3 \text{ mm}^2$  : 1 panne =  $N/2$  pages ( $N$  = nombre total de pages)
- .  $1 \text{ mm}^2$  : 1 panne =  $N$  pages

- les circuits de reconfiguration peuvent être en panne. Dans le cas défavorable où cela se produirait, il faudrait sans doute éliminer tout le chip.

Il faut, cependant, remarquer que la surface mise en jeu est très faible en comparaison avec le reste de la mémoire (<5% pour une 16 K avec 4-5 K de réserve).

- l'organisation choisie nécessite l'utilisation de certains circuits de décodage, de rafraîchissement etc ... La minimisation des circuits d'accès au point mémoire est quelquefois impossible. Par voie de conséquence on constatera une augmentation de la surface.

La figure 4.3. nous permet de dire que :

Le rendement pour une réserve égale à la partie service est très bon, particulièrement pour un découpage de la partie service en 16 ou 8 pages.

On constate donc qu'avec 30 K et des circuits de reconfiguration appropriés, on peut fabriquer des 16 K avec un excellent rendement.

Les structures qui permettront de mettre un nombre quelconque de pages de réserve (et non pas une puissance de 2) seront les plus favorables pour le rendement. Par exemple avec 1 page de 1 K en plus, le gain de rendement va jusqu'à 12 %.

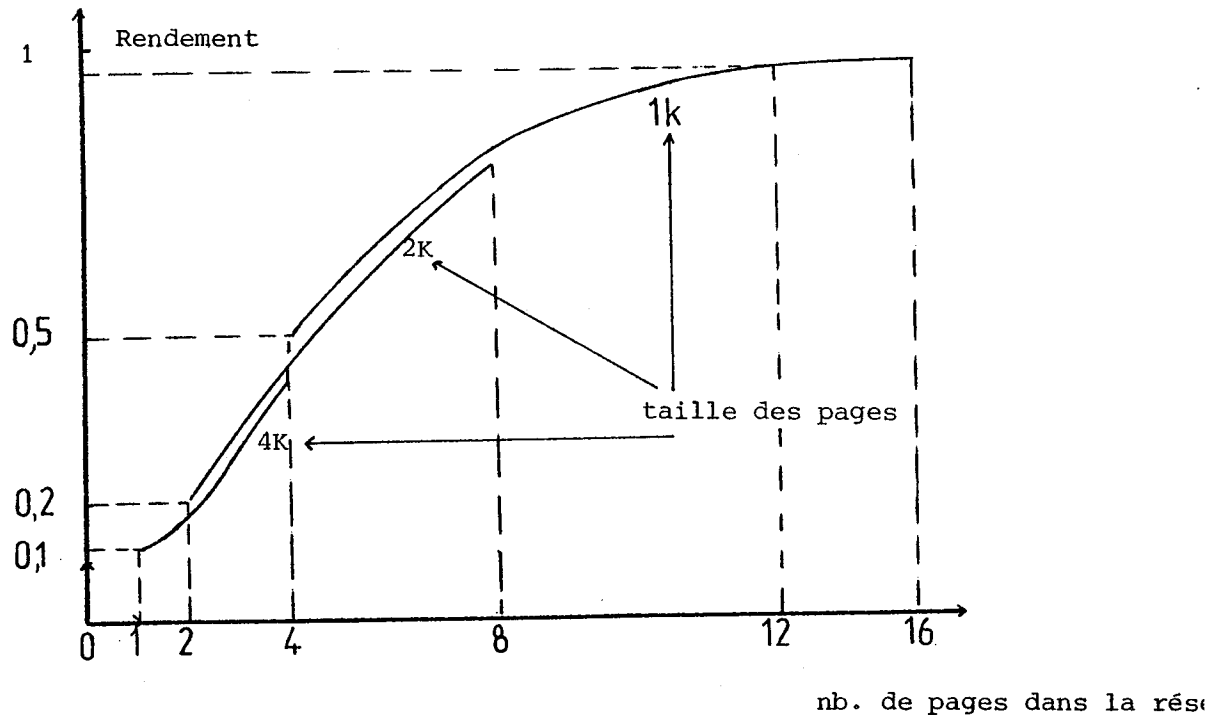


FIGURE 4.3.

#### IV.1.5. Description des structures

##### IV.1.5.1. TDA1 (figure 4.4.)

###### a) Les pages de la réserve

La réserve est divisée en deux modules identiques dans le principe et même, si l'on veut, sur le plan matériel. Ici le module consacré aux lignes peut adresser deux nouvelles pages alors que celui consacré aux colonnes peut en adresser 3. Cela est dû au fait que l'on peut considérer par expérience, ou par l'étude de la structure, qu'il y aura plus de pannes affectant les colonnes que les lignes.

Nous étudierons donc un seul module (par exemple, celui concernant les colonnes).

###### b) La programmation des pannes

Elle se fait dans un PLA dont le second étage n'est constitué que du bit déroutement qui peut être soit une porte soit, une ligne de diodes.

Le module servant au test et permettant l'accès à tous les points mémoire de la réserve est celui représenté par la figure 1. 26.

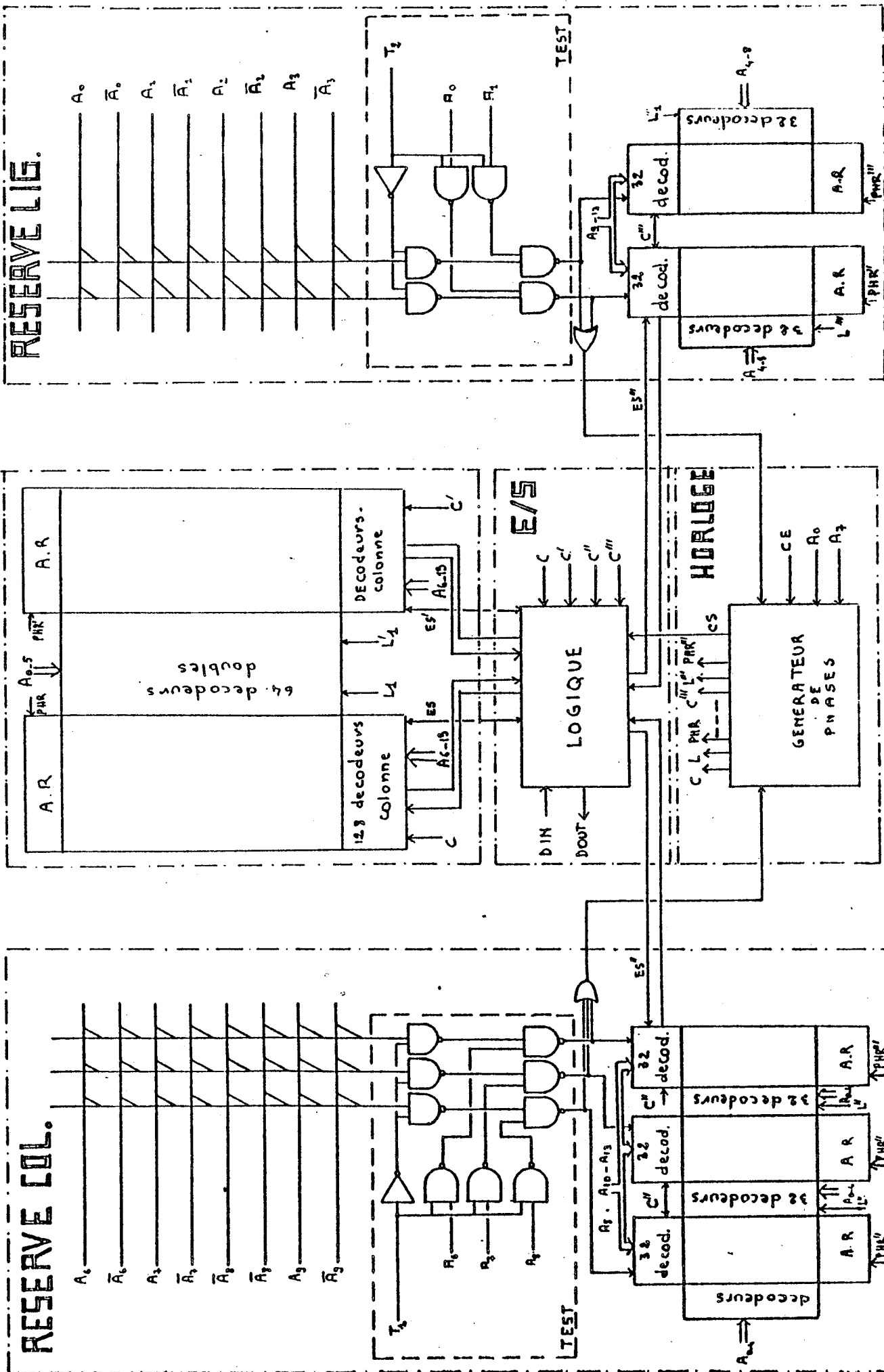


FIGURE 4.4

c) Adressage de la réserve

Les pages de la réserve sont organisées en matrice de 32 colonnes sur 32 lignes. Chaque page possède ses décodeurs - colonnes. Les décodeurs colonne doivent reconnaître une partie de l'adresse du bit dans la page et le bit supplémentaire provenant du PLA.

d) L'horloge

Elle engendre quatreséries de phases pour la réserve colonne, la réserve ligne, les deux blocs formant la partie service :

C,L,PHR,C',L',PHR' pour la partie service

C",L",PHR" pour la réserve colonne

C" , L" , PHR" pour la réserve ligne

La séparation des phases pour les deux réserves permet de réaliser un gain dans la dissipation globale du circuit.

e) Le bloc d'Entrée-Sortie

Il reçoit les entrées-sorties de la partie service, de la réserve colonne et de la réserve ligne positionnées par des phases différentes (C, C', C", C''').

f) Caractéristiques de la mémoire

Redondance mémoire : 31 %

Surface totale supplémentaire : 46 % (41 mm<sup>2</sup>)

Nombre de portes (sup.) : 15 (circuits de reconfiguration)+40(logique et horloge)

Nombre de points du PLA : 40

Nombre sup. de niveaux traversés : 3

Rendement virtuel : 46 %

IV.1.5.2. TDA2 (figure 4.5.)

Ici les deux réserves sont regroupées en une seule. L'adressage des pages est différent selon qu'il concerne des pages ligne ou des pages colonne. Le nombre de pages est de 4, ceci correspond au nombre de bits d'adresse en sortie du PLA. Il est possible de prendre un nombre quelconqu de pages en utilisant une adresse de longueur suffisante et en ne codant p toutes les adresses possibles dans l'étage OU du PLA.

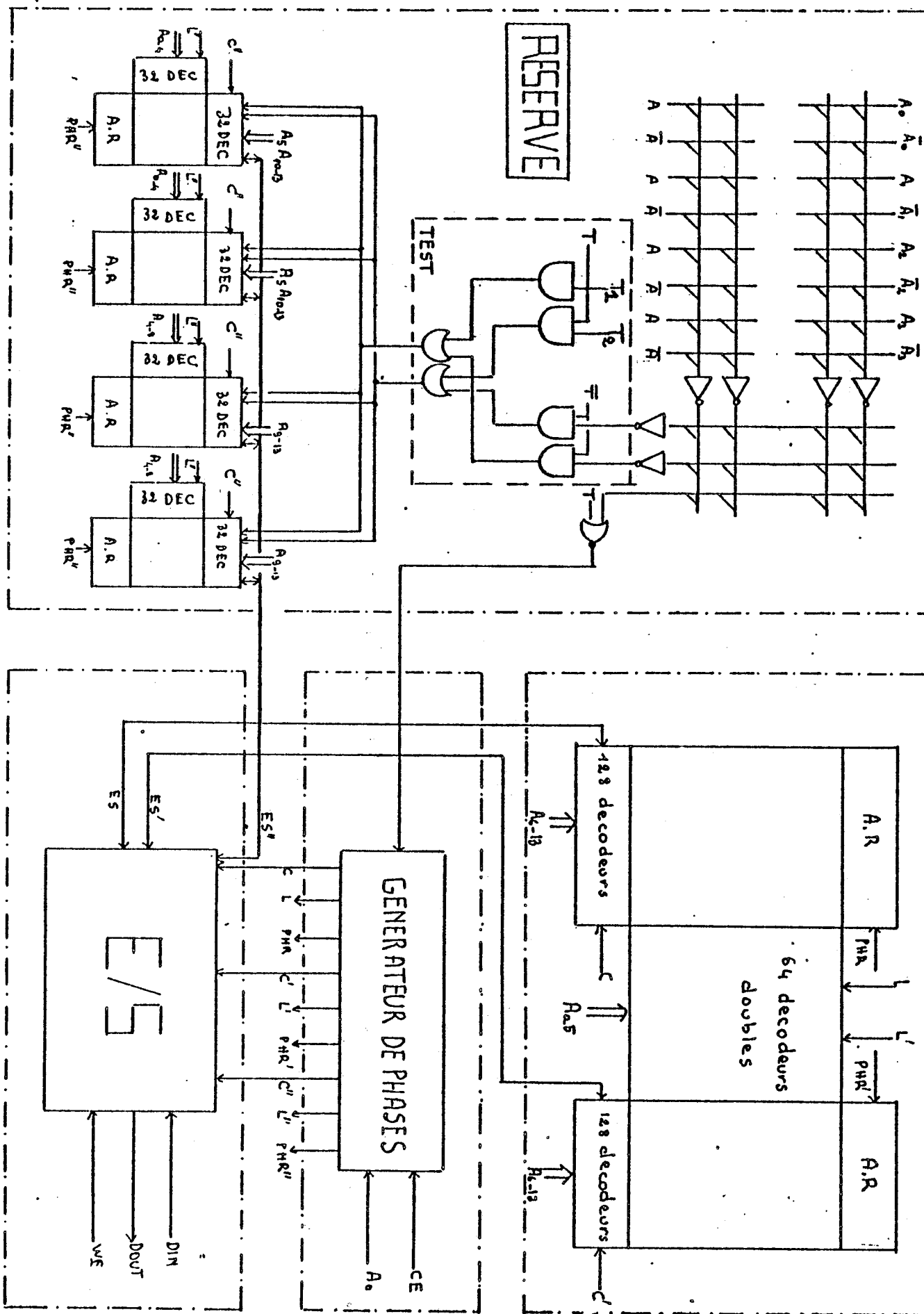


FIGURE 4.5.

Le PLA est ici particulier et détermine la structure. Un étage OU unique permet, à partir de la reconnaissance d'une page en panne, de désigner une page de réserve. L'organe de test de la réserve est par voie de conséquence unique et correspond à celui donné en figure 1.27.

Les actions sur toutes les pages se font sur des phases communes. Le générateur de phases est positionné en mode de reconfiguration par un signal du PLA généré par un OU sur tous les monomes.

#### Caractéristiques de la mémoire

Redondance mémoire : 25 %

Surface totale supplémentaire : 32 % (37 mm<sup>2</sup>)

Nombre de portes (sup) : 6+20 (horloge + logique)

Nombre de points du PLA : 40 (32 programmables)

Nombre sup. de niveaux traversés : 5

Rendement virtuel : 38 %

#### IV.1.5.3. TDA3 (figure 4.6.)

##### a) les pages de la réserve

L'exemple traité possède une réserve de 14K organisée en huit pages colonne et quatre pages ligne de capacité 1K bit (+ intersection). L'organisation en deux blocs de 15K déterminés par l'adressage ( $A_0 = 0$  ou 1) avec une réserve ligne et colonne attachée à chaque bloc, permet de réduire l'adresse de la page en réserve. Nous procéderons comme si nous voulions reconfigurer deux chips mémoire de 8K avec 4 pages colonne et 2 pages ligne .

##### b) programmation des pannes

La page colonne sera définie par 3 bits et la page ligne par 2 dans la partie service et par 2 et 1 respectivement dans la réserve. Sur le plan matériel nous aurons donc :

- un PLA colonne : huit entrées

huit monomes

deux sorties donnant l'adresse de la réserve

et une sortie pour le bit de déroutement ( $d^C$ )

- un PLA ligne : huit entrées

quatre monomes

une sortie pour adresser la réserve et une sortie pour le bit de déroutement ( $d^L$ )

c) adressage de la réserve

L'adressage de la réserve se fait en concaténant l'adresse transcodée de la page et le bit de déroutement. Pour réaliser cette opération nous pouvons procéder de deux manières :

- on transcode l'adresse avant de l'amplifier dans les latches d'adresse. Dans ce cas, il y a multiplexage entre l'adresse des pages de la réserve et l'adresse virtuelle. La sélection du multiplexeur se fait par le bit de déroutement.
- on transcode l'adresse après amplification. Dans ce cas, il est possible d'entrer sur les décodeurs spécifiques de la réserve. Le multiplexage est inutile. La solution est économique mais réalisable si le signal en sortie du PLA n'a pas besoin d'être amplifié. C'est la première manière qui est représentée sur le schéma 3.

d) l'horloge

Elle engendre trois séries de phases pour la partie service (C,L,PHR ; C', L', PHR') pour la réserve (C", L", PHR"). La dissipation est plus faible qu'avec une seule série de phases mais plus grande que celles des structures TDA1.2. Chaque ligne et colonne comporte plus de points mémoire :

- 1/2 ligne comporte 80 points mémoire contre 64
- 1 colonne comporte 192 points mémoire contre 128.

Le seul avantage est une complexité moins grande et une légère modification du circuit initial pour la 16K.

c) le bloc E/S

Il ne présente rien de particulier par rapport à celui d'une 16K non reconfigurable. Ici il est positionné sur les phases C, C' et par WE (lecture-écriture) et reçoit l'information par deux voies ES, ES'.

f) caractéristiques de la mémoire

Surface supplémentaire des organes de reconfiguration par rapport à la mémoire utile (16K) : 0,8 %.

redondance mémoire : 87,5 %  
surface totale supplémentaire : 60 % ( $45 \text{ mm}^2 / 28 \text{ mm}^2$ )  
nombre de points PLA : 128 (96 programmés)  
nombre supplémentaire de niveaux traversés : 6  
rendement virtuel escompté : 90 - 95 %

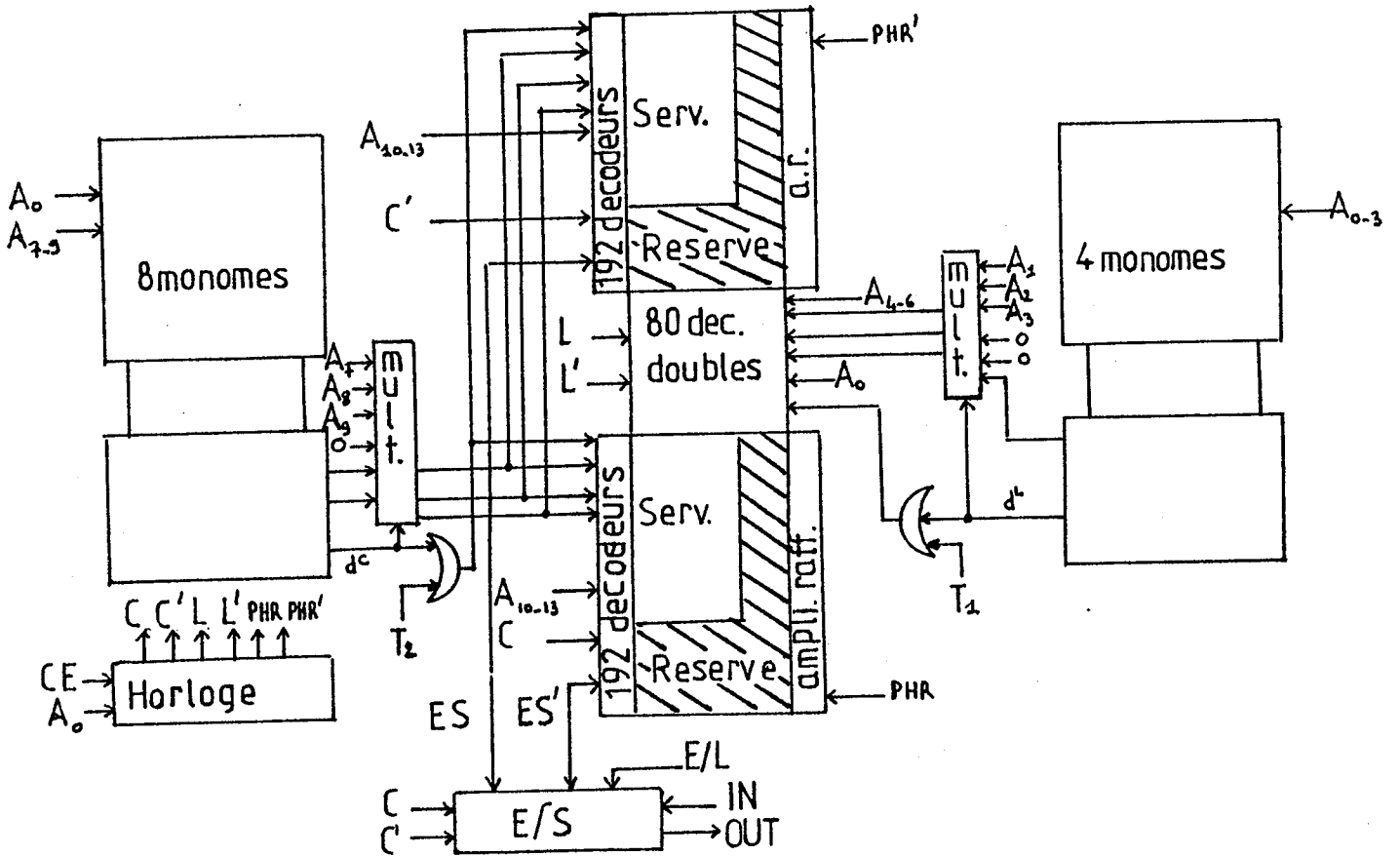


FIGURE 4.6.



#### IV.1.6. Comparaison entre les structures

Nous pouvons représenter les avantages et les inconvénients des trois structures par le tableau 4.1. qui nous donne le classement des structures (par rapport aux avantages).

	TDA		
	1 <sup>er</sup>	2 <sup>ème</sup>	3 <sup>ème</sup>
Dissipation la plus faible	1	2	3
Surface la plus faible	3	2	1
Logique la plus simple	3	2	1
Le test le plus simple	3	2	1
L'accès le plus rapide	1	2	3
La conception la plus simple	3	2	1
Le test le plus court	1.2	-	3
La meilleure isolation aux pannes	1	2	3
TOTAL DES PLACES POUR TDA1	4	0	4
TOTAL DES PLACES POUR TDA2	1	7	0
TOTAL DES PLACES POUR TDA3	4	0	4

TABLEAU 4.1.

Nous pouvons constater combien le choix entre les structures est difficile. La structure TDA2 constitue la solution de compromis entre TDA1 et TDA3. Le choix de TDA1 ou de TDA3 pourrait être conditionné par la pondération accordée par le concepteur aux différents avantages cités dans le tableau 4.1. Ainsi, la recherche préférentielle de la surface la plus faible favorisera TDA3 alors que la recherche de l'accès le plus rapide favorisera TDA1.

## IV.2. UN EXEMPLE DE SYSTEME MEMOIRE RECONFIGURABLE

### IV.2.1. Choix des structures

Dans cet exemple nous nous situons sur une carte imprimée et nous avons choisi des mémoires de 1K RAM. Nous supposons que le test a été fait et que les pannes sont localisées précisément. A priori, nous ne ferons pas d'hypothèses sur les moyens d'intégration dont nous disposons au niveau de chaque chip. Par conséquent nous aurons des structures centralisées et distribuées. Pour limiter l'exposé nous prendrons des chips de réserve à moitié bons (ou rendus à moitié bons - cf. chapitre 2).

Ainsi nous aurons un choix entre 2 structures centralisées CBS et CA et deux structures décentralisées dans lesquelles toute la reconfiguration n'est pas intégrée donc, les structures TDBS et TDA1 (TDA2 ne présentent pas un intérêt considérable).

L'implantation qui est un facteur important ici fera que les circuits de reconfiguration seront proches de la partie service pour les structures CBS et TDBS et proches de la réserve pour les structures CA et TDA1.

### IV.2.2. Rendement projeté

L'étude des pannes pour une mémoire 1K x 1 bit, nous permet de dire qu'un rendement virtuel de 80 % peut être obtenu si la reconfiguration se fait sur des chips ayant deux pages en panne parmi huit, et si la réserve est constituée par des chips à moitié en panne. Ce chiffre de 80 % est seulement donné à titre d'exemple. Un découpage plus fin et la récupération du même rapport de pages auraient permis un rendement virtuel supérieur. Un découpage plus large nous aurait conduit à un rendement de 50 % environ (on ne peut descendre au dessous de 4 pages).

Une solution de compromis a donc été abordée pour montrer qu'avec un matériel supplémentaire réduit, le rendement peut considérablement augmenté (ici 25 % → 80 %).

### IV.2.3. Structure de la réserve

Sur un circuit imprimé, la réserve est constituée de chips de même types que ceux de la partie service.

Il n'est pas question de rajouter à des mémoires standards des module mémoire indépendants. Ceci entraînerait :

- une hétérogénéité dans le matériel

- la place occupée et le nombre de connexions seraient importants (en effet, chaque élément se trouve monté sur boîtier)
- les performances de la réserve devraient être, ou être rendues, identiques. Soit cela serait difficile à trouver, soit cela entraînerait un accroissement du matériel.

Nous prendrons, pour la réserve, des chips à moitié en panne, que ce soit dans le sens colonne ou ligne.

#### IV.2.4. Banalisation du matériel

Les éléments mémoire, comme de reconfiguration, ne seront pas particularisés. Pour chaque partie de la mémoire (service-réserve) les modules de reconfiguration attachés à une unité seront tous identiques. Par la seule programmation des PLA, l'information sera modifiée.

Cette condition est importante. Au moment de la réalisation d'une telle mémoire, la particularisation du matériel compliquerait singulièrement l'opération.

#### IV.2.5. Nombre de fils supplémentaires

Ce nombre ne doit pas être prohibitif car sur un circuit imprimé la place occupée dépend surtout du nombre de fils et de boîtiers. Nous regarderons pour les structures proposées les facilités d'implantation.

#### IV.2.6. Structures des mémoires

##### IV.2.6.1. CBS [figure 4.7.]

Le circuit de reconfiguration est formé de deux PLA, de dix huit multiplexeurs, d'un module de sélection-décodage.

##### Le module de sélection

Le regroupement virtuel se réalise sur deux pages. Le partage se fait à égalité entre les pages-colonne et les pages-ligne. Chaque chip est découpé en huit pages. 1/8 de la mémoire servira au regroupement colonne ainsi que pour le regroupement ligne.

Les conditions d'adressage de la réserve seront donc :

$$e^L = \overline{A_2} \overline{A_3} \overline{A_4} = 1 \text{ (pour une page-ligne en panne)}$$

$$e^C = \overline{A_7} \overline{A_8} \overline{A_9} = 1 \text{ (pour une page-colonne en panne)}$$

Pour les intersections de pages ligne et colonne en panne, deux manières sont possibles :

- laisser la double sélection s'effectuer et faire le OU des entrées/sorties l'information étant identique
- utiliser le signal de sélection de la réserve ligne (par exemple) par

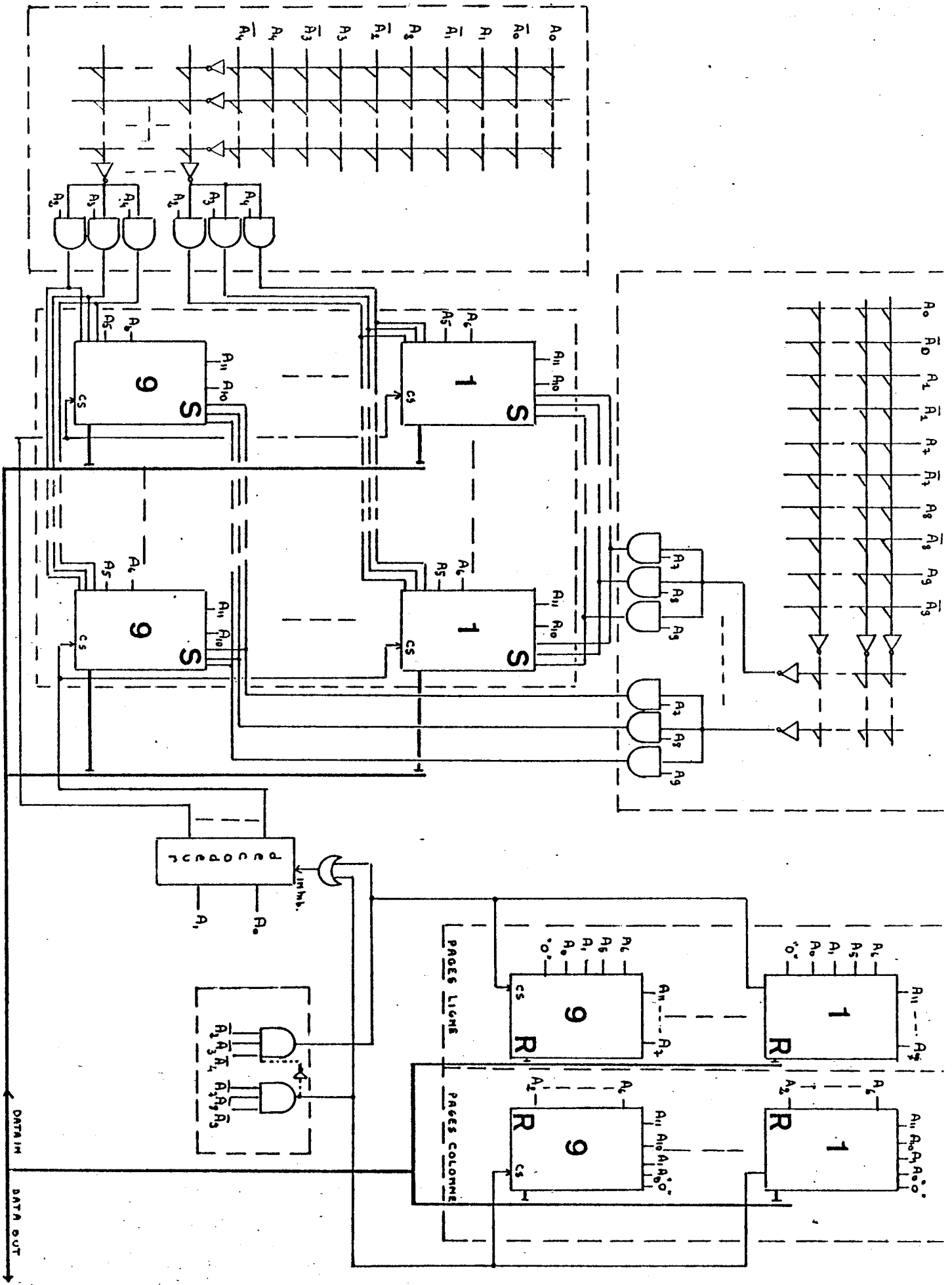


FIGURE 4.7.

le signal de sélection de la réserve colonne

Un OU sur les conditions sert à initialiser le décodeur sélectionnant les chips de la partie service.

### Les PLA

Chacun d'eux est spécialisé dans le remplacement virtuel d'une page ligne ou colonne en panne par la première page ligne ou colonne (resp.) de chaque chip. Il y a 36 boîtiers dans la partie service. Par conséquent, 36 pannes doivent être mémorisées dans l'étage ET de chaque PLA.

Ici une seule page constitue le bloc et son adresse est ainsi parfaitement connue. Nous n'avons ainsi nul besoin d'avoir à programmer une adresse dans le second étage du PLA. L'existence de la panne suffit à engendrer l'adresse voulue ( $A_2 = A_3 = A_4 = 0$  ou  $A_7 = A_8 = A_9 = 0$ ).

Il y a 10 entrées : 3 bits d'adresse-page

2 bits d'adresse-chip.

### Les multiplexeurs

Ils sont très simples dans la mesure où il y a une seule adresse à générer en cas de détection d'une page en panne.

L'adresse tenant sur trois bits, trois portes ET suffisent.

### Adressage de la réserve

Nous utilisons la moitié supérieure du chip de réserve (sur ligne ou colonne). Le premier bit d'adresse sera donc à la valeur "0". Les bits d'adresse chip servant d'adresse-page. L'adresse du bit dans la page est invariante.

### Caractéristiques de la mémoire

Nombre de fils supplémentaires : 2 (sélection de la réserve)

Nombre de points PLA : 1368 (720 programmables)

Nombre de portes : 57

Surface (supplémentaire) mémoire : 50 %

Surface (supplémentaire) reconfiguration : 4 %

Surface (sup.) totale : 54 %

Temps d'accès (sup.) :  $t_{PLA} + t_{inv.}$

### Remarque

$t_{PLA}$  est difficile à évaluer étant donné la petite taille des PLA.

Cependant, dès à présent on trouve, par exemple, un PLA avec 48 minterms, 8 sorties, 16 entrées et un temps d'accès de 50 ns. (Signetics 82S100).

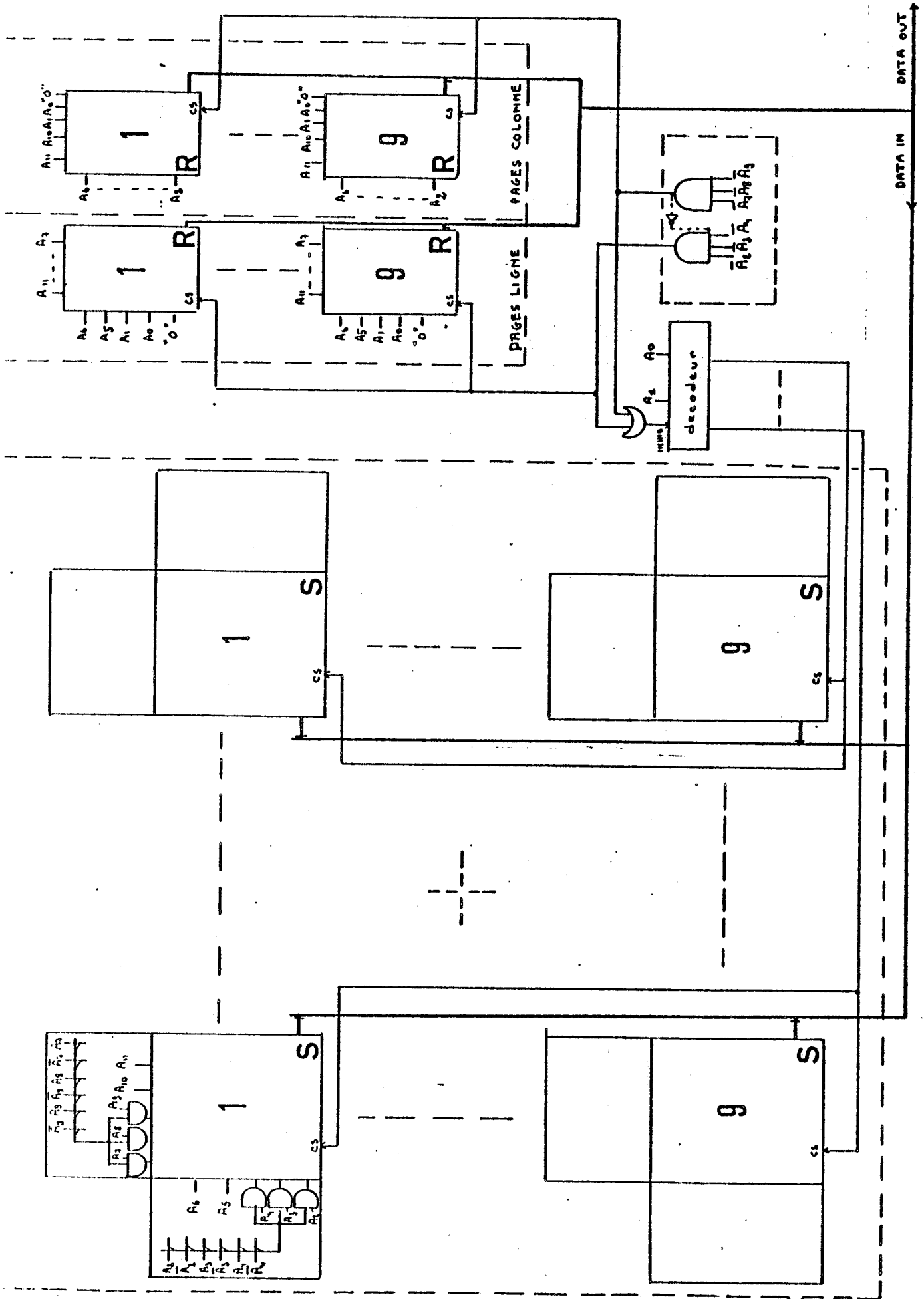
#### IV.2.6.2. TOBS (figure 4.8)

Nous avons ici la version distribuée. Le transcodage des adresses se fait pour chaque chip de la partie service.

Nous avons deux lignes de commutateurs à l'entrée du décodage. Le temps d'accès ici devrait être très faible (2-3 niveaux de portes, charge réduite sur les lignes). L'étage OU du PLA n'a ici aucune utilité. La surface des circuits de reconfiguration est très faible ( 2 %).

L'occupation en boîtiers peut différer largement selon que :

- les circuits de reconfiguration sont montés chacun sur un boîtier, le coût en place est alors catastrophique,
- les circuits de reconfiguration sont montés sur un seul boîtier, le nombre de sorties (68) est prohibitif et irréaliste,
- les circuits de reconfiguration sont intégrés sur le chip ou montés sur le même boîtier que les chips de la partie service. Cette solution est très avantageuse car, par rapport à une carte mémoire faite de circuits entièrement bons, le nombre de boîtiers supplémentaires n'est constitué que par la partie redondante.



### IV.2.6.3. CA [figure 4.9]

Le circuit de reconfiguration comporte deux PLA et un module de sélection.

#### Les PLA

Ils engendrent les bits de déroutement  $d_i^C$  et  $d_i^L$  pour le bit  $b_i$ . L'adresse de la page dans la réserve est inutile car il n'y a qu'une page ligne et une page colonne en réserve pour chaque boîtier de la partie service.

#### Le module de sélection

Il y a sélection de la partie service quand :  $d_i^C \cdot d_i^L \cdot s_j = 1$  pour le bit  $i$  dans le boîtier  $S_i^j$  ( $j = 1$  à  $4$ ,  $i = 1, 9$ ) ;  $s_j$  est le signal décodé de  $A_0 A_1$ .

Il est préférable de répartir le module de sélection dans toute la carte. Dans ce cas, au niveau de chaque bit  $b_i$ ,  $d_i^L$  et  $d_i^C$  sont les seules informations nécessaires. Dans le cas contraire, il faudrait transmettre  $i \times j$  signaux différents (ici 36).

#### Adressage de la réserve

Identique à celui de CBS

#### Caractéristiques de la mémoire

Nombre de fils supplémentaires : 18

Nombre de points PLA : 1368 (720 programmables)

Nombre de portes : 36 (implantation 45)

Surface (sup.) mémoire : 50 %

Surface (sup.) reconfiguration : 4 %

Surface (sup.) totale : 54 %

Temps d'accès (sup.) :  $t_{PLA} + t_{1niv}$  (ou  $t_{2niv}$ ).



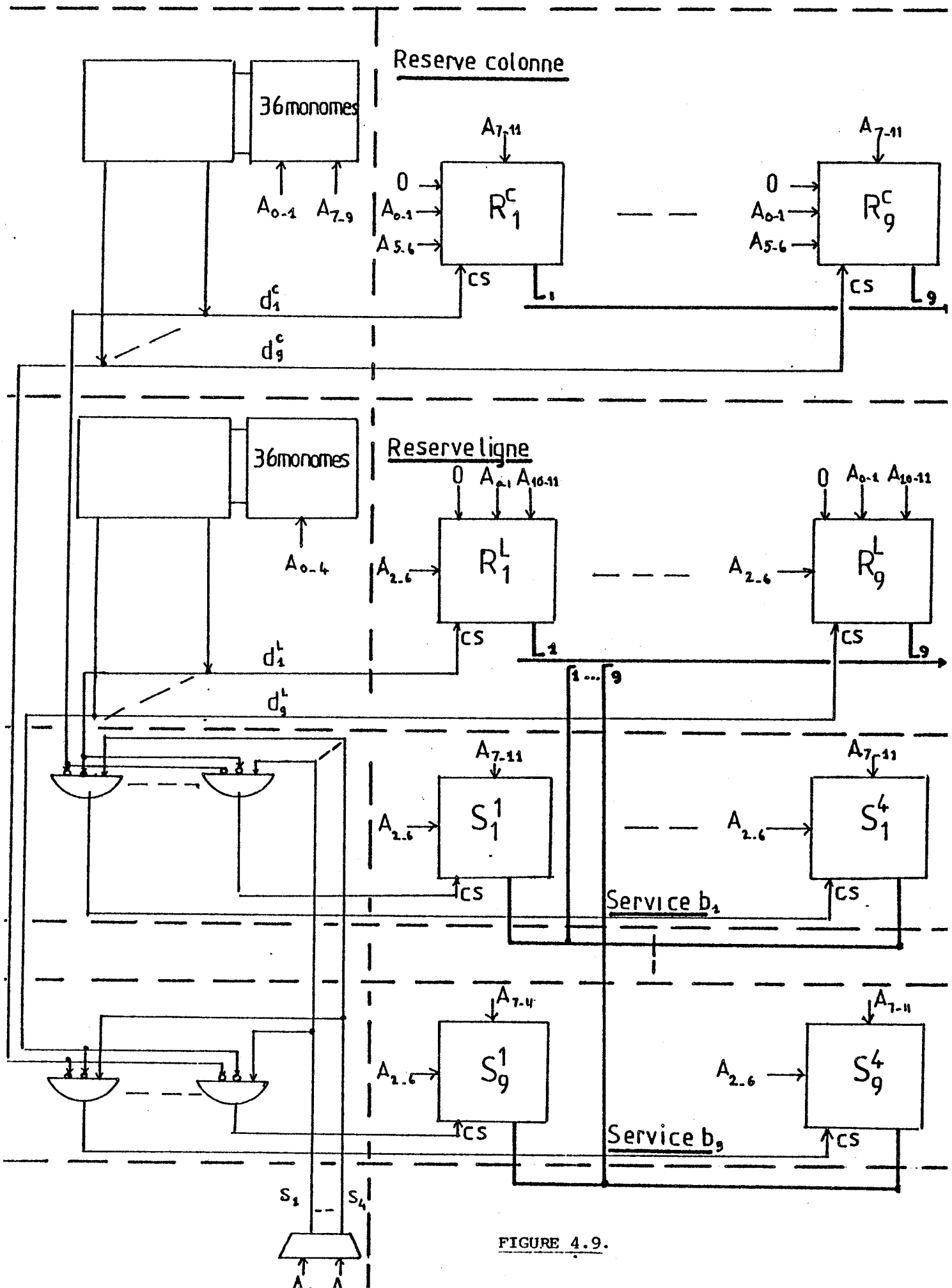


FIGURE 4.9.

IV.2.6.4. TDA1 (figure 4.10)

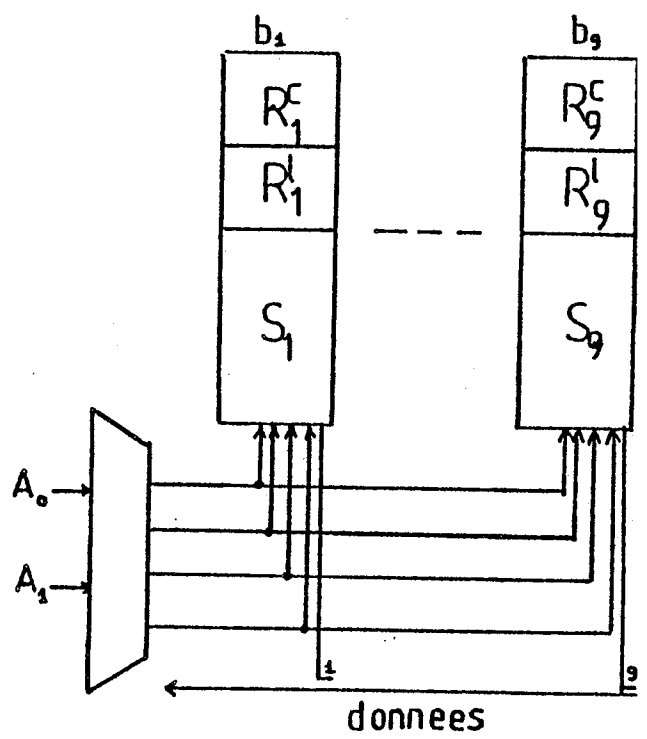
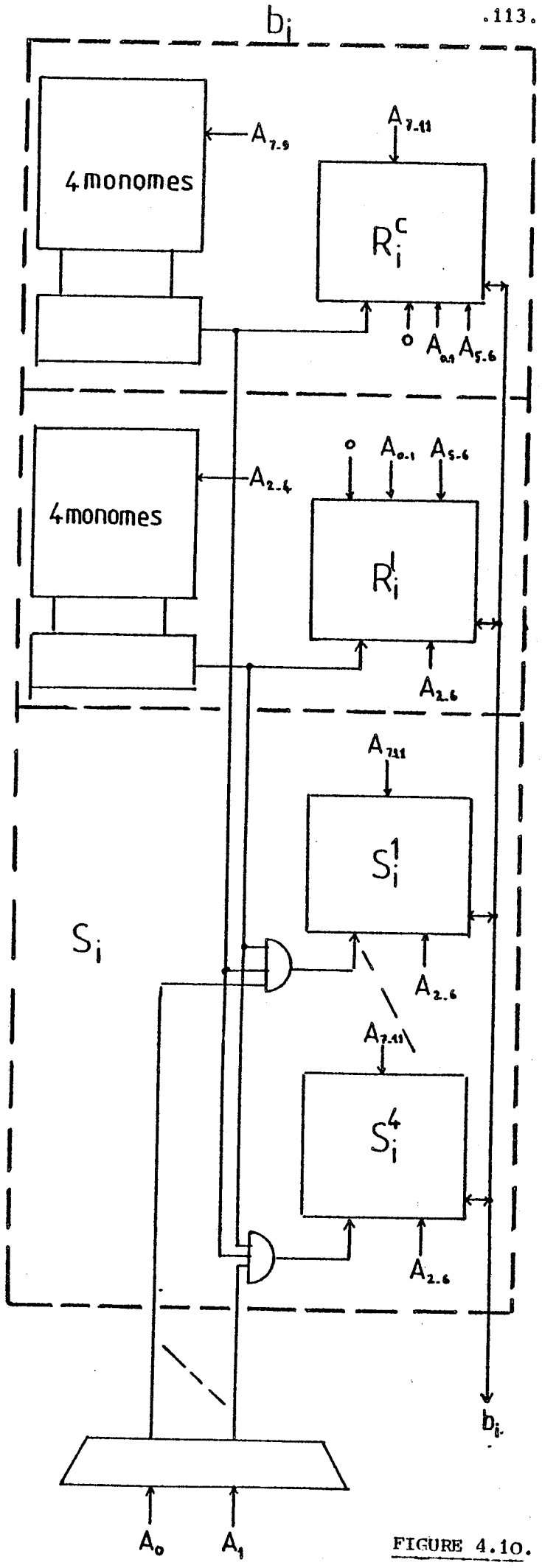
Cette structure est la version distribuée de CA. Comme pour la structure CA, on associe les circuits de reconfiguration à la réserve ligne et à la réserve colonne. Dans ce cas, on associe à chaque chip de la réserve un PLA qui permet d'adresser les quatre pages valides contenues dans le chip. La surface supplémentaire et le temps d'accès sont réduits.

IV.2.6.5. Comparaison entre structures

Le tableau 4.2. résume les avantages et les inconvénients des quatre structures étudiées.

	1 <sup>er</sup>	2 <sup>ème</sup>	3 <sup>ème</sup>	4 <sup>ème</sup>
Surface la plus faible	TDBS	TDA1	CA.CBS	-
Logique la plus simple	CBS	CA	TDA1	TDBS
L'accès le plus rapide	TDBS	TDA1	CA.CBS	-
Le nombre de connexions le plus faible	TDBS	CBS	TDA1	CA
La programmation des PLA la plus courte	CA.CBS	-	TDA1	TDBS
TOTAL DES PLACES POUR CBS	2	1	2	0
TOTAL DES PLACES POUR CDBS	3	0	0	2
TOTAL DES PLACES POUR CA	1	1	2	1
TOTAL DES PLACES POUR TDA1	0	2	3	0

TABLEAU 4.2.



STRUCTURE

FIGURE 4.10.

Compte tenu du fait qu'un des critères peut l'emporter sur tous les autres pour des motifs économiques, nous pouvons constater que :

- la structure TDBS possède le plus d'intérêt parmi les structures
- la structure TDA1 peut constituer une solution de compromis pour un système mémoire avec circuit de reconfiguration distribué
- la structure CBS semble avoir plus d'intérêt que CA.

#### IV.3. FAISABILITE D'UNE MEMOIRE RECONFIGURABLE INTEGREE DE TRES GRANDE CAPACITE (1024 K BITS)

##### IV.3.1. Evolution des mémoires

Les progrès réalisés dans le domaine des mémoires se font en capacité et en densité (figure 4.12 [BOR] ). Actuellement sont commercialisées des 16K RAM et est expérimentée en laboratoire une mémoire 8K RAM en MOS/FET avec une densité de 5 millions de bits/pouce carré. Il n'en reste pas moins vrai que l'on ne peut pas attendre une mémoire de 1024K bits monolithique avant une dizaine d'années si la progression actuelle se maintient.

Il est toutefois possible de se poser la question de la faisabilité d'une mémoire d'une telle capacité en utilisant des structures permettant la récupération de mémoires en panne par reconfiguration.

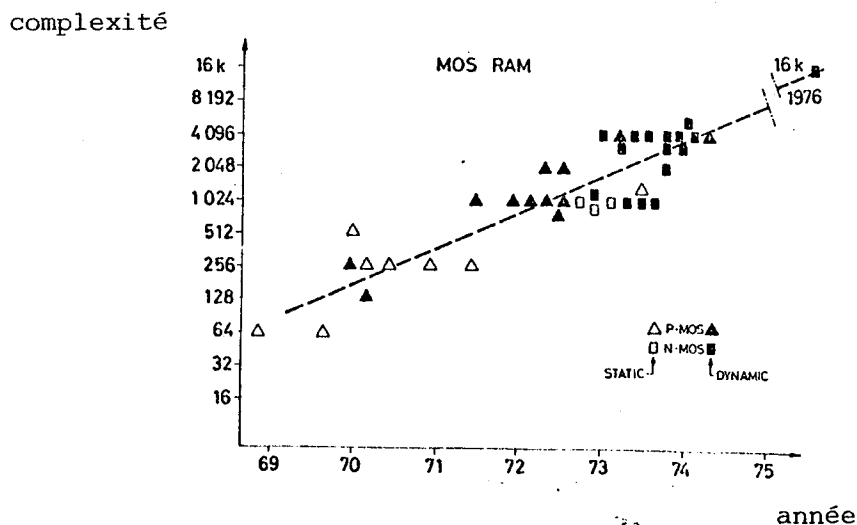


FIGURE 4.12.

### IV.3.2. Conception d'une mémoire reconfigurable sur tranche

Elle consiste à assembler sur une tranche de silicium des chips desservis par un bus d'adresse et de données. Si nous considérons un tel circuit, la première question qui se pose est de savoir, en dehors de tous les problèmes techniques, si le nombre de chips entièrement bons est suffisant pour atteindre en capacité totale les 1024K bits. A cette question il est possible de répondre immédiatement par la négative. A titre d'exemple si l'on prend une tranche, il est possible d'y mettre environ 110 chips de 16K ; or le rendement en chips entièrement bons est de 5 %, le calcul nous donnera donc 88K. Nous sommes bien loin du compte ! La réponse négative à cette question nous conduit à déterminer le nombre de bits potentiels rendant notre objectif possible.

La courbe de la figure 4.11 donne ce nombre en fonction de la taille du chip et montre le domaine de validité dans lequel la réalisation est possible. Ainsi il apparaît que si l'on choisit une mémoire de 1K le nombre de bits potentiels n'atteint que 500K. Par contre (cf. [THO] figure 4.11 une tranche formée de chips de 16K à 128K permet au projet d'être réaliste. Il nous reste à savoir si le taux de pannes laisse un nombre suffisant de bits utiles pour atteindre notre but.

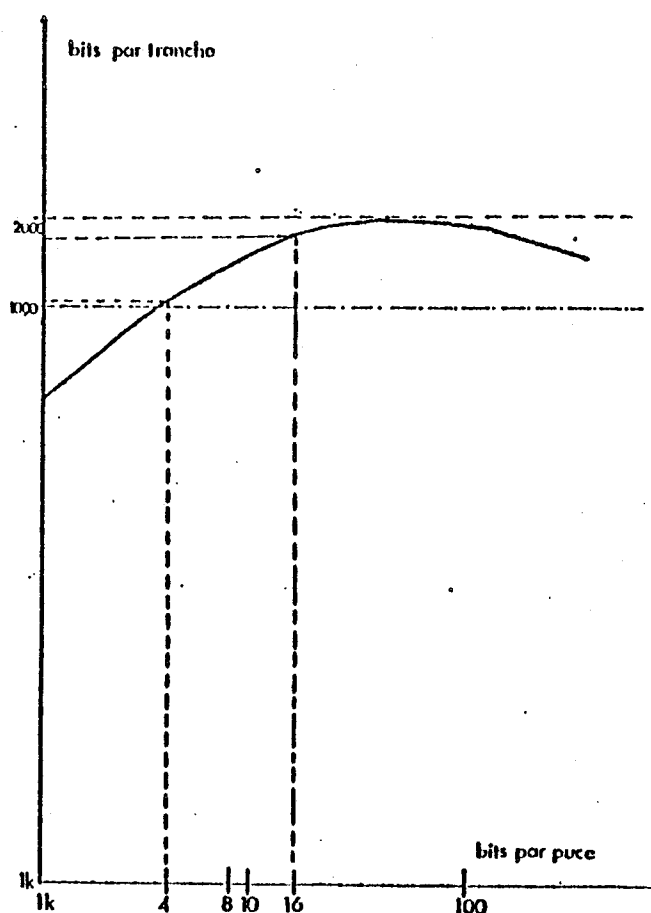


FIGURE 4.11.

### IV.3.3. Faisabilité

Si nous reprenons les rendements donnés dans le chapitre III sur l'évaluation d'une 16K, nous pouvons déterminer le seuil de découpage du chip à partir duquel le nombre de pages récupérées est suffisant pour atteindre un total de 1 Mégabit.

Une mémoire de 1024K nécessite 64 chips de 16K. Sur une tranche de trois pouces, il y a environ 110 chips de 16K. Le calcul nous donne comme probabilité d'avoir  $\beta$  pages (parmi N) affectées par une panne,  $P(S \leq \beta)$ . Pour atteindre notre objectif il faut donc que pour 64 chips sur 110 il y ait au plus  $\beta$  pages affectées.

$$\text{Ainsi : } P(S \leq \beta) \geq 64/110$$

$$\underline{P(S \leq \beta) \geq 58 \%} \quad (1)$$

Nous avons vu que  $P(S \leq \beta)$  est une valeur optimale. Il serait bon pour ce cas-ci de diminuer son importance pour avoir une valeur plus réelle.

Nous supposons tout d'abord que  $\beta < \frac{N}{2}$ , ce qui est raisonnable. Dans le cas contraire il nous resterait que très peu de bits potentiels. Ainsi la probabilité corrigée d'avoir  $\beta$  pages en panne est :

$$P^{\text{COR}}(S \leq \beta) = P(\text{ne pas avoir de pannes}) + P(\text{avoir moins de pages en panne et plus d'une page en panne}). P(\text{avoir des pannes reconfigurables})$$

$$\underline{P^{\text{COR}}(S \leq \beta) = P(S=0) + P(0 < S \leq \beta) \cdot \sum_{i=1}^3 P_{ci}} \quad (2)$$

$P_{ci}$  pourcentage de pannes de la classe  $C_i$  ( $i=1$  à 4)

Les pannes des classes  $C_1$  à  $C_3$  sont des pannes qui affectent un bit, une ligne ou une colonne. Ce sont les pannes que nous reconfigurerons dans la partie service.

Les pourcentages de pannes de ces classes ont été déterminés en Annexe 7. Ainsi (2) s'écrit dans notre cas :

$$P^{\text{COR}}(S \leq \beta) = P(S=0) + 0,875 P(0 < S \leq \beta).$$

Compte tenu d'une réponse favorable sur les questions proprement technologiques, la conception d'une telle mémoire ne soulève pas d'obstacles théoriques et peut être réalisée avec les rendements actuels sur les circuits intégrés.

Le calcul de  $P (S \leq \beta )$  dépendra de la structure reconfigurable adoptée. En effet,  $P (S \leq \beta )$  dépend de la surface du chip et ainsi le choix d'une structure distribuée avec réserve intégrée contribuera à augmenter la surface donc à diminuer le rendement.

Pour une structure avec réserve non intégrée au chip, une évolution minimale est trouvée pour les valeurs :  $\beta = 4 N = 16$ .

#### IV.3.4. Problèmes à résoudre pour concevoir une mémoire intégrée de 1 Mégabit

Les problèmes sont nombreux. Certaines questions posées en 1975 pour le projet MIST trouvent dans le travail entrepris ici, des réponses. Ce sont les suivantes :

- les tests et la localisation des éléments défectueux (chapitre I et III)
- la réparation des éléments défectueux (chapitre I à IV)
- une dissipation minimale (chapitre II et III)
- l'étude des procédures et des matériels de test permettant le test et la localisation des éléments défectueux (chapitre III)
- la mise en place d'une méthode d'interconnexion ( chapitre I avec la notion de transcodage et chapitre II avec les structures entièrement intégrées (préfixe E) )

La question de la mise au point de processus d'intégration plus dense trouve actuellement une réponse (Micromos).

D'autres questions essentiellement technologiques restent posées. Ce sont :

- la dissipation répartie de façon homogène sur une tranche
- la définition électrique du circuit
- le packaging

La réponse à toutes ces questions aurait dû conduire à une mémoire de caractéristiques essentielles.

Temps d'accès  $\leq 700$  ns

Puissance  $\leq 50$  w

Prix  $\leq 700$  dollars

Volume = 1024 K bit

Technologie MOS canal N.

Compte tenu d'une réponse favorable sur les questions proprement technologique, la conception d'une telle mémoire ne soulève pas d'obstacles théoriques et peut être réalisée avec les rendements actuels sur les circuits intégrés.

## CHAPITRE V

---

### MEMOIRE RECONFIGURABLE EN LIGNE

---



### V.1. UTILISATION D'UNE MEMOIRE RECONFIGURABLE

La mémoire reconfigurable se présente dans le calculateur sous plusieurs aspects (hiérarchisés) :

- la mémoire a été reconfigurée à la conception, le concepteur doit la considérer comme une mémoire non-reconfigurée
- la mémoire est reconfigurable en fonctionnement ; elle possède des mécanismes de reconfiguration mais aussi de test autonome et de programmation des circuits de reconfiguration
- la mémoire est insérée dans un environnement reconfigurable grâce à une redondance massive du matériel ; la technique est classique pour le renforcement de la fiabilité et de la sécurité du système

Quatre critères seront pris en compte pour l'implantation des mécanismes de reconfiguration :

- minimisation de la place perdue
- facilité de mise en oeuvre
- perte légère en performance
- prises en compte du maximum de configuration de pannes

L'étude faite précédemment (chapitre I à IV) concerne le premier aspect. Le troisième a été largement développé dans la littérature.

Trois axes ont été suivis :

- recouvrement des fautes et reprise sur une machine simple munie d'un système de détection ([CHA] , [RAM] ) , sur une machine avec redondance ([WAK], [AYA1]) ou dans un sens plus général ([YIN] , [BAL] , [KAM], [YAO])
- système autotestable [DIA], fail-safe ([MIE])
- systèmes à redondance ([SIE],[MAT],[LAP],[COU])

L'étude portera sur le deuxième aspect qui présente le plus d'analogie avec le premier aspect tant du point de vue matériel que du point de vue évolution.

Le problème essentiel qui se posera dans le matériel sera la mise en oeuvre et l'activation des mécanismes développés dans l'étude des mémoires reconfigurables dès la conception, ainsi que l'étude de la fiabilité de l'ensemble reconfigurable qui correspondra à l'étude faite précédemment sur les rendements.

Après avoir donné la définition du modèle de fiabilité et dégagé les paramètres fondamentaux du système, nous démontrerons l'inadéquation du choix d'une hypothèse simple sur les pannes avec la réalité du système mémoire. Puis une étude comparative des systèmes permettra de définir les valeurs des paramètres fondamentaux, favorables aux systèmes mémoire.

Le système mémoire sera, alors, doté d'un dispositif de reconfiguration permettant à la mémoire la mise hors service des éléments défectueux. La fiabilité d'une telle mémoire sera évaluée dans le cas où la reconfiguration est faite en utilisant soit tout un chip soit une portion de chip (page) comme unité élémentaire reconfigurable.

## V.2. JUSTIFICATION DE L'ETUDE

Elles résident en deux points :

- conservation de l'intégrité des données dans un ordinateur
- augmentation de la fiabilité

### V.2.1. Intégrité des données

L'intégrité des données rangées en mémoire pour tout ordinateur de haute sécurité est primordiale.

L'utilisation d'un code correcteur d'erreurs permet de masquer les défauts de l'information. Malheureusement la puissance d'un code est limitée à la correction d'un nombre restreint de bits et il n'est pas possible de garantir l'intégrité des données lorsque la limite de correction est atteinte.

Pour pallier à cet inconvénient, un mécanisme de reconfiguration en ligne peut recopier entièrement ou partiellement l'unité physique affectée par une panne sur une unité vierge située en réserve. Ainsi, sans toutefois supprimer le problème, nous repoussons dans le temps l'arrêt du système.

### V.2.2. Augmentation de la fiabilité

Une mémoire reconfigurable en fonctionnement doit posséder deux fonctions essentielles

- test et autocorrection autonomes
- reconfiguration

Chacune de ces fonctions contribue à augmenter la fiabilité. C'est cette proposition que nous allons étudier par la suite.

### V.3. DEFINITIONS ET NOTATIONS

- le chip mémoire (figure 5.1.) est une unité physique indivisible contenant un ensemble de bits
- la mémoire ( $M_e$ ) (figure 5.2.) est un ensemble de bits mémoire subdivisés en chips mémoire
- les circuits périphériques ( $P_e$ ) sont formés de circuits de codage, décodage et correction de l'information, des cartes, des interconnexions et du circuit de décodage d'adresse
- le système mémoire (S) est formé de l'union de  $M_e$  et de  $P_e$  (figure 5.3.).

Le nombre de notations étant considérables nous les précisons :

- $C_i^R$  : classes de pannes reconfigurables
- $C_i$  : classes de pannes i. ( $C_i'$  classe modifiée)
- $k$  : nombre de bits de vérification
- $l$  : nombre de bits d'information
- $M$  : nombre de bits dans un mot,  $M = l+k$
- $m$  : nombre de classes de pannes
- $N_c$  : nombre de cartes formant un système mémoire
- $N$  : nombre de mots dans un système mémoire
- $n$  : nombre de bits dans un chip mémoire
- $N_R$  : nombre de pages dans la réserve ;  $N_S$  = nombre de pages dans la partie service
- $P_{ci}$  : probabilité d'avoir une panne d'une classe  $C_i$
- $P_{M\lambda t} (Z=\alpha)$  : probabilité d'avoir bits en panne avec le taux de pannes  $\lambda$  à l'instant  $t$  parmi  $M$  bits
- $R_{Pe}$  : fiabilité des circuits périphériques
- $R_{Me}$  : fiabilité de la mémoire
- $R_S$  : fiabilité du système mémoire sans reconfiguration
- $R_S^{REC}$  : fiabilité du système mémoire avec reconfiguration
- $R_{REC}$  : fiabilité des circuits de reconfiguration
- $R_{DEC}$  : fiabilité des circuits de détection d'erreurs
- $S_i$  : surface des circuits intégrés constituant la classe  $C_i$
- $S^{**}$  : surface active d'un chip mémoire
- $X$  : variable aléatoire liée au nombre de pannes dans un système matériel
- $Z$  : variable aléatoire liée au nombre de bits en pannes dans un mot mémoire

- $\alpha_i$  : nombre minimal de pannes de la classe  $C_i$  qui mettent hors d'usage le chip mémoire
- $\lambda$  : taux de pannes d'un bit
- $\lambda_B$  : taux de pannes de base
- $\lambda_S$  : taux de pannes d'une soudure
- $\lambda_C$  : taux de pannes des contacts
- $\lambda_{DEC}$  : taux de pannes d'un décodeur d'adresse
- $\pi_E$  : facteur d'environnement
- $\pi_T$  : facteur de température
- $\pi_L$  : facteur de production
- $\pi_Q$  : facteur de qualité
- $\omega_{det}$  : taux de pannes des circuits de détection
- $\omega_{REC}$  : taux de pannes des circuits de reconfiguration
- $\omega_{Pe}$  : taux de pannes des circuits périphériques

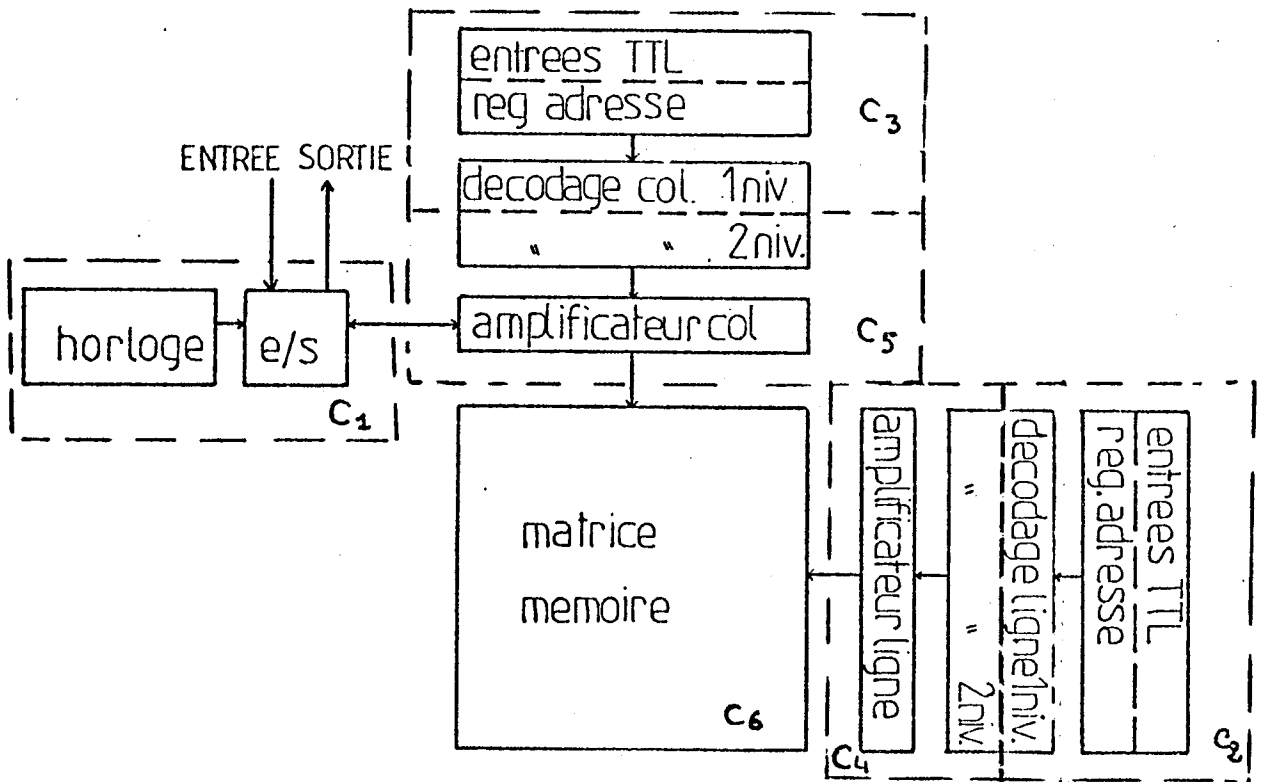


FIGURE 5.1.

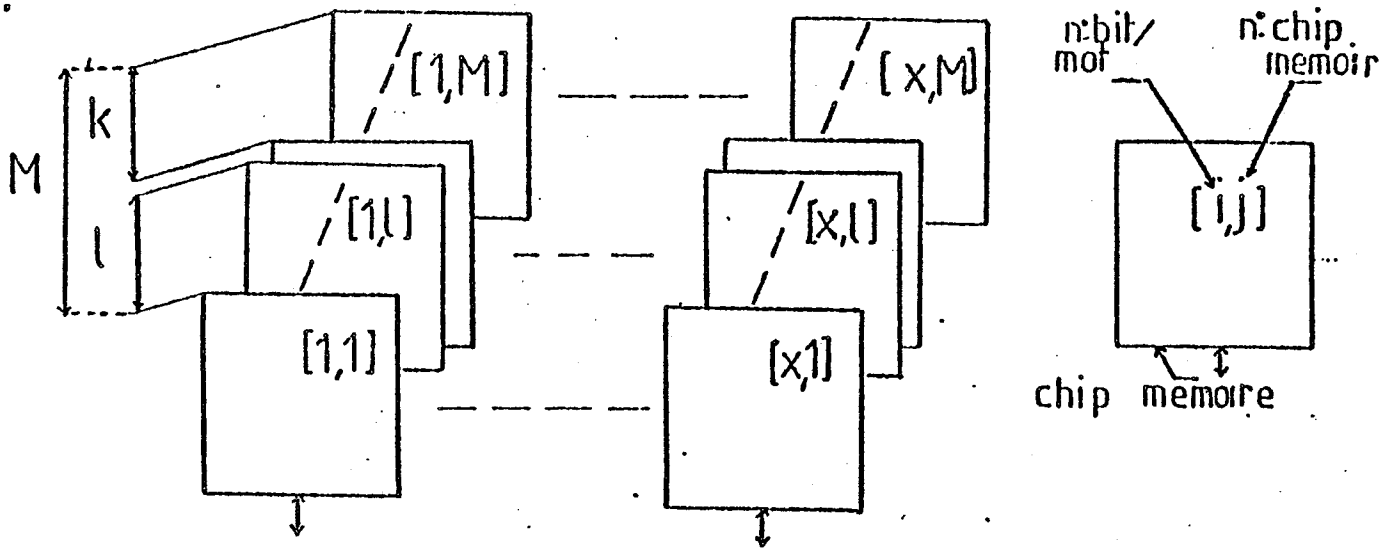


FIGURE 5.2.

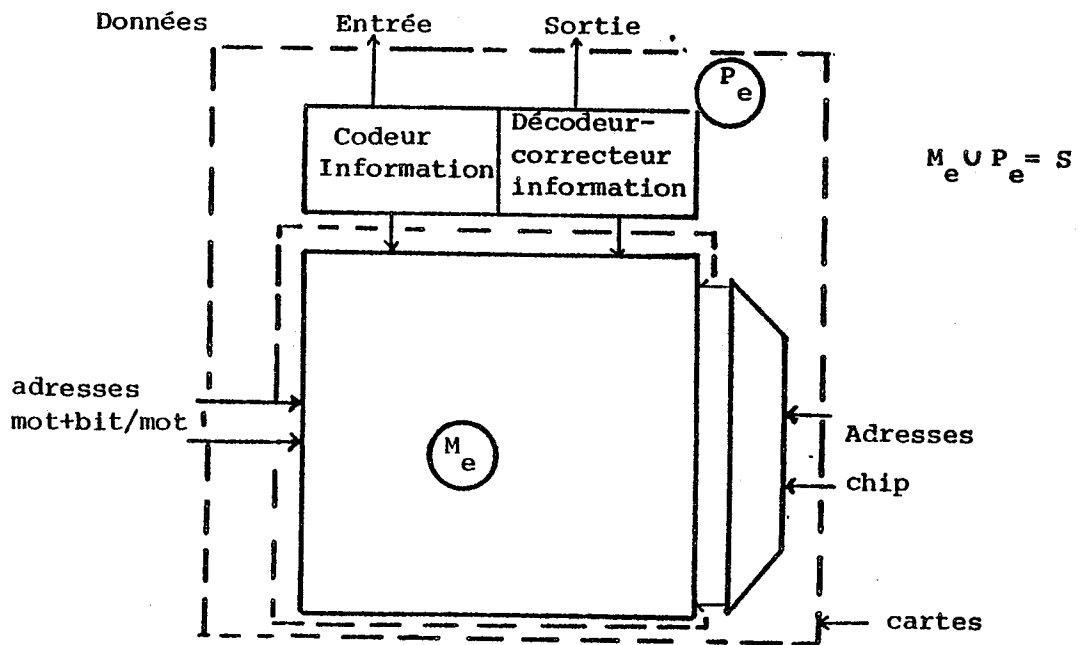


FIGURE 5.3.

#### V.4. DEFINITION DU MODELE DE FIABILITE

La définition du modèle se fait sur cinq niveaux :

- le matériel :
  - le chip mémoire
  - le système mémoire
- la panne :
  - définitions
  - classification
  - impact
  - loi
- le codage de l'information
- le calcul de la fiabilité
- les paramètres fondamentaux du modèle

##### V.4.1. Le niveau matériel

###### V.4.1.1. Le chip mémoire

Les chips mémoire sont des mémoires à semi conducteurs à accès aléatoires.

La matrice mémoire (cf. figure 5.1.) a autant de lignes que de colonnes (hypothèse simplificatrice mais non déterminante)

###### V.4.1.2. Le système mémoire (figure 5.3.)

Les systèmes mémoire ont une taille supérieure à 8K mots.

Le modèle étudié ne s'applique pas aux grands systèmes mémoires (<1 megabytes) où l'implantation est différente de celle proposée ici.

##### V.4.2. Le niveau de la panne

###### V.4.2.1. Définitions

- un défaut est un mauvais fonctionnement d'un élément composant la mémoire
- une panne est un état informationnel incorrect induit par un défaut et qui peut se manifester de façon :
  - simple ou multiple
  - fugitive ou permanente.

Remarques

- un défaut n'induit pas obligatoirement une panne
- les deux définitions ci-dessus ne concernent que le niveau d'utilisation des mémoires, le niveau de fabrication étant défini au chapitre I.

V.4.2.2. Classification

Nous reprendrons celle définie en I.1.4 et rappelée sur la figure 5.1.

V.4.2.3. Impact des pannes

On admettra qu'une panne se traduira par un collage à zero ou à un d'une sortie d'un bloc matériel constituant la classe  $C_i$ . Le nombre minimal de pannes mettant hors service un bloc déterminé sera égal au nombre de sorties indépendantes du bloc (c'est à dire pouvant transmettre seules une erreur sans en affecter les autres). Les sorties dépendantes (pouvant transmettre simultanément une erreur ou rendant le bloc concerné inopérant) seront regroupées et comptées comme une seule sortie indépendante. Pour un chip mémoire ( $n \times 1$  bit) constitué de  $\sqrt{n}$  lignes et  $\sqrt{n}$  colonnes, le tableau 5.1., pour chacune des classes  $C_i$ , nous donne  $\alpha_i$  le nombre minimal de pannes mettant hors service un bloc (donc la mémoire).

classe	$C_1$	$C_2$	$C_3$	$C_4$	$C_5$	$C_6$
$\alpha_i$	1	$\log_2 \sqrt{n}$	$\log_2 \sqrt{n}$	$\sqrt{n}$	$\sqrt{n}$	n

TABLEAU 5.1.

Le nombre de bits mémoire affectés par une panne dans les classes  $C_1, C_4, C_5, C_6$  est fixe et indépendant de leur arrivée. Ce n'est pas le cas des classes  $C_2$  et  $C_3$  : la première panne affecte  $n/2$  bits, la deuxième  $n/4$ , ... la  $(\log_2 \sqrt{n})$ ième affecte  $\sqrt{n}$  bits. On ne peut tenir compte dans un modèle analytique de l'histoire des pannes. C'est pourquoi nous dirons que chaque panne effectue, dans une classe  $C_i$ , un nombre fixe de bits égal à  $\frac{n}{\alpha_i}$ .

V.4.2.4. Loi de pannes

hypothèses

a) Il y a équiprobabilité d'un collage à un et d'un collage à zéro d'un bit mémoire

b) Les pannes suivent un processus de poisson de paramètre  $\vartheta$  [SHO]  
 Soit X la variable aléatoire liée au nombre de pannes dans un système matériel, la probabilité d'avoir pannes sera donnée par :

$$P(X = \alpha) = e^{-\vartheta} \frac{\vartheta}{\alpha!}$$

loi de pannes

Soit Z la variable aléatoire liée au nombre de bits en panne dans un mot mémoire, la probabilité d'avoir bits en panne parmi M à l'instant t sera donnée, par :

$$P_{M\lambda t}(Z = \alpha) = \frac{e^{-M\lambda t} \frac{(M\lambda t)^\alpha}{\alpha!}}{\sum_{i=0}^M e^{-M\lambda t} \frac{(M\lambda t)^i}{i!}}$$

$P_{M\lambda t}(Z = \alpha) = \frac{\frac{(M\lambda t)^\alpha}{\alpha!}}{\sum_{i=0}^M \frac{(M\lambda t)^i}{i!}} \quad (I)$
---

Remarques : 1)  $\sum_{j=0}^M P_{M\lambda t}(Z = j) = 1$

2) une bonne approximation de  $P_{M\lambda t}$  peut être donnée par  $e^{-M\lambda t} \frac{(M\lambda t)^\alpha}{\alpha!}$  pour des valeurs assez grandes de M.

3) M (nombre de bits codés) peut être considéré comme une fonction du nombre de bits d'information (bits utiles - 1) et du pouvoir correcteur du code (P)



### V.4.3. Le niveau du codage de l'information

- les proportions de uns et de zéros dans l'information codée sont égales. (hypothèse vérifiée par l'hypothèse faite sur la taille du système).
- les codes correcteurs sont des codes séparables. Ce choix permet une simplification dans l'évolution des circuits de codage, décodage et correction de l'information.

### V.4.4. Calcul de la fiabilité

- la fiabilité d'un système mémoire (S) est le produit de la fiabilité de circuits périphériques à la mémoire ( $R_{Pe}$ ) par la fiabilité de la mémoire ( $R_{Me}$ )

$$\text{Ainsi : } R_S(t) = R_{Pe}(t) \cdot R_{Me}(t) \quad (\text{II})$$

- Evaluation de  $R_{Pe}$

si  $\mu$  est le taux de pannes des circuits périphériques à la mémoire (voir définition V.3), on a :

$$R_{Pe}(t) = e^{-\mu \cdot t} \quad (\text{III})$$

- Evaluation de  $R_{Me}$

soit  $E_i$  l'évènement tel qu'une panne appartient à la classe  $C_i$ , la fiabilité est donnée par :

$$R_{Me} = \prod_{i=1}^m P(\text{le système mémoire fonctionne} / E_i) \cdot P(E_i)$$

$m$  = nombre de classes de pannes (ici  $m = 6$ )

ou :

$$R_{Me} = \prod_{i=1}^m R_{Me, C_i} \cdot P_{C_i} \quad (\text{IV})$$

$R_{Me, C_i}$  est la fiabilité de la mémoire sachant que les pannes appartiennent à la classe  $C_i$  et  $P_{C_i}$  la probabilité d'avoir une panne de la classe  $C_i$ .

Chaque panne dans une classe  $C_i$  affecte  $n/\alpha_i$  bits (cf. V.4.2.3). Dans un chip mémoire ; calculer  $R_{Me, C_i}$  consiste à déterminer la

la fiabilité de  $N/n$  ensembles de  $M$  bits et de taux de pannes  $\frac{n}{\alpha_i} \lambda$  ( $\lambda =$  taux de pannes d'un bit).

Ainsi avec (I) :

$$R_{Me, C_i}(t) = \left[ \frac{P_{Mn\lambda t}}{\alpha_i} (Z \leq P) \right]^{\frac{\alpha_i \cdot N}{n}} \quad (V)$$

(V) et (IV) impliquent :

$$R_{Me}(t) = \prod_{i=1}^6 \left[ \frac{P_{Mn\lambda t}}{\alpha_i} (Z \leq P) \right]^{\frac{\alpha_i \cdot N}{n}} \times P_{C_i} \quad (VI)$$

Si nous considérons, qu'étant donné la structure symétrique de l'architecture interne du chip, que les pannes des classes  $C_2$  et  $C_3$ ,  $C_4$  et  $C_5$  ont le même impact ( $\alpha_i$ ) et qu'ainsi  $P_{C_2} = P_{C_3}$ ,  $P_{C_4} = P_{C_5}$  nous aurons avec  $P_{C'_1} = P_{C_1}$ ,  $P_{C'_2} = P_{C_2} + P_{C_3}$ ,  $P_{C'_3} = P_{C_4} + P_{C_5}$ ,  $P_{C'_4} = P_{C_6}$  ( $C'_1 = C_1$ ,  $C'_2 = C_2 \cup C_3$ ,  $C'_3 = C_4 \cup C_5$ ,  $C'_4 = C_6$ ) :

$$R_{Me}(t) = \prod_{i=1}^4 \left[ \frac{P_{Mn\lambda t}}{\alpha_i} (Z \leq P) \right]^{\frac{\alpha_i \cdot N}{n}} \cdot P_{C'_i} \quad (VII)$$

(C'est cette formule simplifiée que l'on utilisera par la suite)

avec :  $\alpha'_1 = 1$     $\alpha'_2 = \alpha'_3 = \alpha'_3$     $\alpha'_3 = \alpha'_4 = \alpha'_5$     $\alpha'_4 = \alpha'_6$ .

La détermination de  $P_{C'_i}$  [Annexe 7] dépend :

- de la surface du chip
- des résultats expérimentaux sur les LSI (large scale intégration)
- de l'étude des conséquences d'une pannes dans un chip

Ainsi nous aurons :

$$(VIII) \left\{ \begin{array}{l} P_{C'_1} = 0,796/S^* + 0,62 / (6 + \log_2 n) + 0,312 \\ P_{C'_2} = (0,061/S^* + 0,103 / (6 + \log_2 n)) \times \log_2 n \\ P_{C'_3} = (0,023/S^*) \sqrt{n} \\ P_{C'_4} = 5,27 \times 10^{-4} \times n / S^* \\ S^* = 1,36 + 0,105 \log_2 n + 0,04 n + 9 \times 10^{-4} n \text{ est la surface active du chip mémoire.} \end{array} \right.$$

Le système formé par les équations (I), (II), (III), (VII), (VIII), définit le modèle de fiabilité.

#### V.4.5. Le niveau des paramètres fondamentaux

##### V.4.5.1. Paramètres définissant le modèle

Nous pouvons considérer que la fiabilité d'un système mémoire dépend de plusieurs paramètres :

- paramètres liés aux circuits intégrés :
  - surface
  - conditions de fabrication (qualité ( $\Pi_Q$ ), production ( $\Pi_L$ ))
- paramètres d'implantation :
  - nombre maximum de boîtiers par carte (c)
  - répartition des circuits
- paramètres liés à l'information :
  - longueur de l'information utile (l)
  - puissance de correction du code (P)
  - nombre de mots (N)
- paramètres d'utilisation :
  - l'environnement (au sol, satellite ...) ( $\Pi_E$ )
  - la température ( $\Pi_T$ )
  - le coût
  - la durée de la mission(t)

Définir la fiabilité du système mémoire, nécessite la prise en compte de tous ces paramètres. Cela conduirait malheureusement, à de grandes difficultés dans l'évaluation de la fiabilité d'un système mémoire. Il s'agit donc de réaliser une agrégation des paramètres et d'écarter les paramètres non essentiels à l'étude de la fiabilité du système mémoire. En effet, notre but n'est pas de donner une évaluation précise de la fiabilité mais de faire une estimation qualitative, c'est à dire situer les systèmes, du point de vue de la fiabilité, les uns par rapport aux autres

### V.4.5.2. Réduction du nombre de paramètres

#### a) agrégation des paramètres

Le taux de pannes des circuits peut être considéré comme l'agrégat de plusieurs paramètres cités ci-dessus. En effet, il est fonction des conditions de fabrication et d'utilisation, de la taille des circuits.

Pour nous, la réduction se situe au niveau des chips mémoire et des circuits périphériques.

#### α) réduction sur les paramètres liés au chip mémoire

Le paramètre lié à la taille des circuits peut être remplacé par le nombre de bits contenus dans un chip (cf. III 5.2.). Ainsi on peut exprimer le taux de pannes d'un circuit intégré mémoire par [MIL]:

$$(1) \lambda_n = \pi_L \pi_Q (\pi_T \times 0,00199 \times n^{0,603} + \pi_E \times 0,00056 \times n^{0,644})$$

Seulement, il n'est pas possible de réaliser ici l'agrégation de tous les paramètres dans la mesure où  $n$  intervient dans le calcul de  $R_S$  comme un paramètre essentiel du modèle (calcul de  $P_{C_i}$ , impact des pannes  $\frac{n}{\alpha_i}$ ). Ainsi l'agrégation des paramètres doit concerner seulement  $\pi_T, \pi_Q, \pi_L, \pi_E$ . Ceci est possible si l'on considère que :

$$\begin{aligned} \lambda_n &= \frac{\lambda_n}{\lambda_{1K}} \times \lambda_{1K} \quad (\lambda_{1K} = \text{taux de pannes d'un boîtier 1K}) \\ &= \frac{\pi_T \times 0,00199 \times n^{0,603} + \pi_E \times 0,00056 \times n^{0,644}}{\pi_T \times 0,00199 \times (1024)^{0,603} + \pi_E \times 0,00056 \times (1024)^{0,644}} \times \lambda_{1K} \\ (2) \lambda_n &= \frac{\frac{\pi_T \times 2,6744}{\pi_E} + \left(\frac{n}{1024}\right)^{0,041}}{\frac{T \times 2,6744}{\pi_E} + 1} \times \left(\frac{n}{1024}\right)^{0,603} \times \lambda_{1K} \end{aligned}$$

Ainsi on peut exprimer  $n$  ainsi :

$$\lambda_n = f(\pi_E, \pi_T, n, \lambda_{1K})$$

Il est même possible d'exprimer  $\lambda_n$  en fonction de  $n$  et de  $\lambda_{1K}$  seulement en prenant :

$$(3) \lambda_n = \lambda_{1K} \times \left(\frac{n}{1024}\right)^{0,603}$$

L'erreur relative sera de  $\frac{\left(\frac{n}{1024}\right)^{0,041} - 1}{\frac{\pi_T \times 2,6744}{\pi_E} \times \left(\frac{n}{1024}\right)^{0,041}}$  c'est à dire

dans un cas sévère (64K à 0°C dans un lanceur de missile) de 15 %,  
dans un cas moyen (16K à 25°C au sol) de 1,5 %. Pour une évaluation qualitative la formule (3) semble donc suffisante.

b) en ce qui concerne les circuits d'accès à la mémoire et les supports du système mémoire, l'évaluation du taux de pannes nous donne [Annexe 8]:

$$(4) \lambda_{P_e} = \left[ \frac{N}{n} M (6 + \log_2 n) + 160 \cdot N_c \right] (\pi_E \lambda_B + \lambda_S) + N_c (\lambda_C \exp \left[ (M+1+\log_2 N)/10 \right]^{0,051064} + \lambda_{DEC}) + \lambda_{1K} \times \frac{M}{1024} \left( \frac{3k}{2+4} \right)$$

avec :

$\lambda_B$  = taux de pannes de base ;  $B = C^{te}$

$\lambda_S$  = taux de pannes des soudures ;  $S = C^{te}$

$\lambda_C$  = taux de pannes des connections ;  $C = C^{te}$

$\lambda_{DEC}$  = taux de pannes d'un décodeur d'adresse ;  $\lambda_{DEC} = f_1(N, n, \pi_L, \pi_Q, \pi_T, \pi_E)$

$N_c$  = nombre de cartes ;  $N_c = f_2(N, l, n, C)$

$k$  = nombre de bits de vérification ;  $k = f_3(l, p)$  ( $p$  = nombre de bits corrigéables par le code)

Ainsi nous sommes dépendants encore ici de l'environnement et des conditions d'utilisation (par  $\pi_E$  directement et  $\lambda_{DEC}$ ). Pour éviter l'influence de ces paramètres que l'on a écartés dans les circuits mémoire, nous supposons que le taux de pannes des circuits périphériques à la mémoire ( $P_e$ ) soit la même évolution que le taux de pannes d'un chip mémoire de 1K x 1bit.

Nous calculerons donc le nombre de bits équivalents à  $P_e$  pour des valeurs particulières (condition normale) de  $\pi_L, \pi_Q, \pi_T, \pi_E$  et prendrons comme taux de pannes des circuits concernés :

$$(5) \lambda = \left( \frac{\lambda_{P_e}}{\lambda_{1K}} \right) \pi_L \pi_Q \pi_T \pi_E \times \lambda_{1K}$$

Donc d'après (4) et (5) on pourra écrire :

$$\underline{\rho = f_{\rho}(N, C, n, l, p, \lambda_{1K})}$$

L'étude du modèle peut se faire par rapport à l'agrégat  $\lambda_{1K} \times t$  étant donné que la probabilité d'avoir bits en pannes parmi M (formule (I) dépend du produit  $\lambda_{1K} \times t$ ).

b) élimination des autres paramètres

Le coût peut être écarté dans la mesure où il est fonction de paramètres étudiées comme le nombre de bits, la surface des circuits on contenus dans un agrégat comme la qualité des circuits. La répartition des circuits est négligée. On partage tout simplement le nombre de circuits entre les cartes formant le système mémoire.

c) expression paramétrique de la fiabilité

Nous noterons la fiabilité par l'expression :

$$\underline{R_S(t) = R(n, C, p, N, l, \lambda_{1K} \cdot t)}$$

et l'expression du temps normalisé de mission  $\lambda_{1K} \cdot t$  par

$$\underline{\lambda_{1K} \cdot t = F(n, C, p, N, l, R_S)} \quad R_S = \text{Valeur de la fiabilité}$$

V.5. FIABILITE D'UN SYSTEME CODE TENANT COMPTE QUE D'UN SEUL TYPE DE PANNE

Le calcul de la fiabilité se fait avec deux sortes d'hypothèses :

- une hypothèse optimiste ([COX], [LEV]) : chaque panne affecte un seul bit mémoire
- une hypothèse pessimiste ([TOS]) : chaque panne affecte tout un boîtier mémoire.

L'hypothèse optimiste correspond à  $P_{C_i} = 0 \forall i \neq 4$ ,  $P_{C_4} = 1$  et  $\alpha'_4 =$

L'hypothèse pessimiste correspond à  $P_{C_i} = 0 \forall i \neq 1$ ,  $P_{C_1} = 1$  et  $\alpha'_1 =$

La figure 5.4 nous donne la fiabilité d'un système mémoire de 8K mots de 13 bits (9 bits d'information), doté d'un code correcteur d'un bit, implanté sur des cartes d'une capacité de 50 boitiers, formé de boitiers mémoire de 1K x 1 bit, dans le cas optimiste (2), pessimiste (1) et sans code (3).

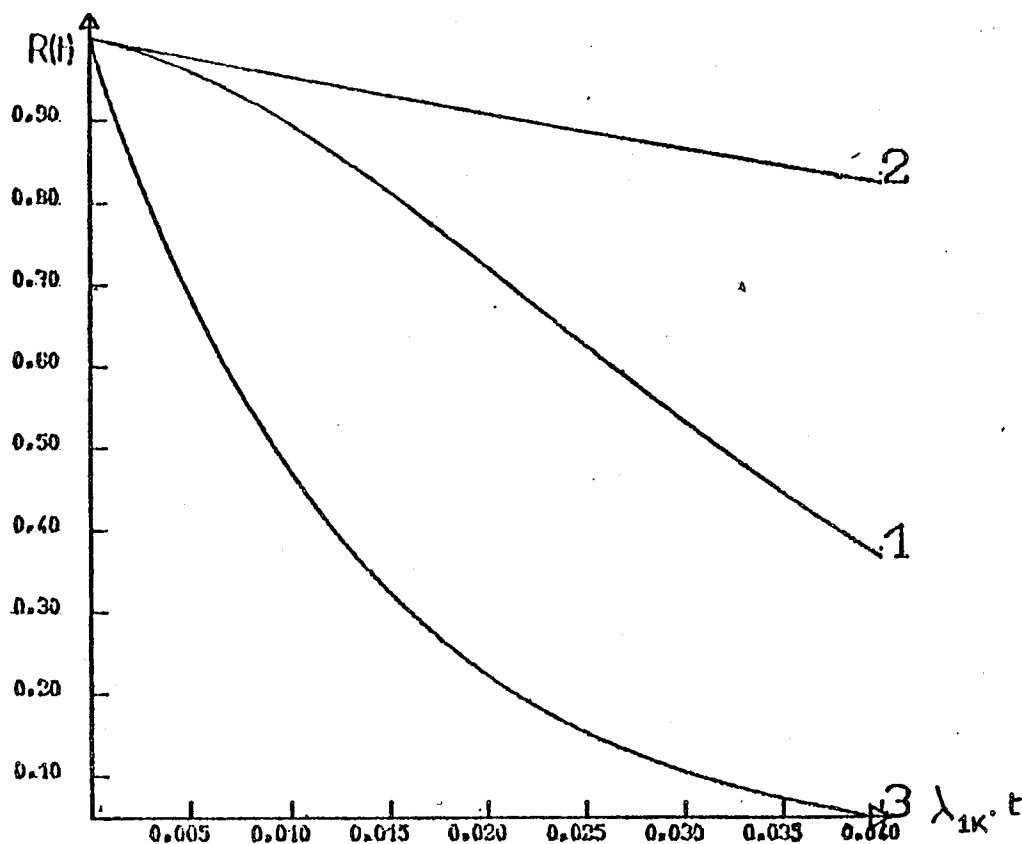


FIGURE 5.4.

Si nous constatons une meilleure fiabilité du système avec code quelque soit l'hypothèse de panne, l'écart entre les fiabilités optimistes et pessimistes est trop considérable pour permettre une prédiction efficace.

Ainsi si nous prenons comme valeur de  $\lambda_{1K}$ ,  $1810^{-6}$  panne par heure pour un boitier de 1K (Normes MIL - HDBK) nous aurons pour une mission de deux ans avec un code correcteur d'unité :

avec une hypothèse pessimiste de panne :  $1,410^{-9}$

avec une hypothèse optimiste de panne : 0,5

Dire que la fiabilité du système est comprise entre  $1,410^{-9}$  et 0,5 n'est pas très significatif.

La nécessité se fait donc sentir d'une détermination de la fiabilité compte tenu de la probabilité d'occurrence des pannes.

Ainsi dans les mêmes conditions avec le modèle défini précédemment nous aurons :

$$R_S(t) = e^{-(\nu + 106496\lambda)t} \left( 0,52 (1+13312\lambda t)^8 + 0,20 (1+2662\lambda t)^{40} + 0,16 (1+416\lambda t)^{256} + 0,12 (1+\lambda t)^{8192} \right)$$

avec  $\lambda = \lambda_{1K}/1024$

La courbe 3 de la figure 5.5 nous donne en fonction de  $\lambda_{1K} t$  cette fiabilité et nous montre l'écart considérable entre la fiabilité optimiste (2) et corrigée. L'importance de cette correction peut-être montrée en exemple. Si nous prenons la mémoire décrite plus haut pour une mission embarquée avec des boîtiers de haute qualité ( $\lambda_{1K} = 1,510^{-7}$  MIL-HD) nous constatons que la fiabilité optimiste pour une mission de 2 ans est de 0,93 et la fiabilité corrigée de 0,87. Alors que la fiabilité optimiste est acceptable pour une telle mission, la fiabilité corrigée la rend carrément inacceptable et incite au choix d'un code plus puissant.

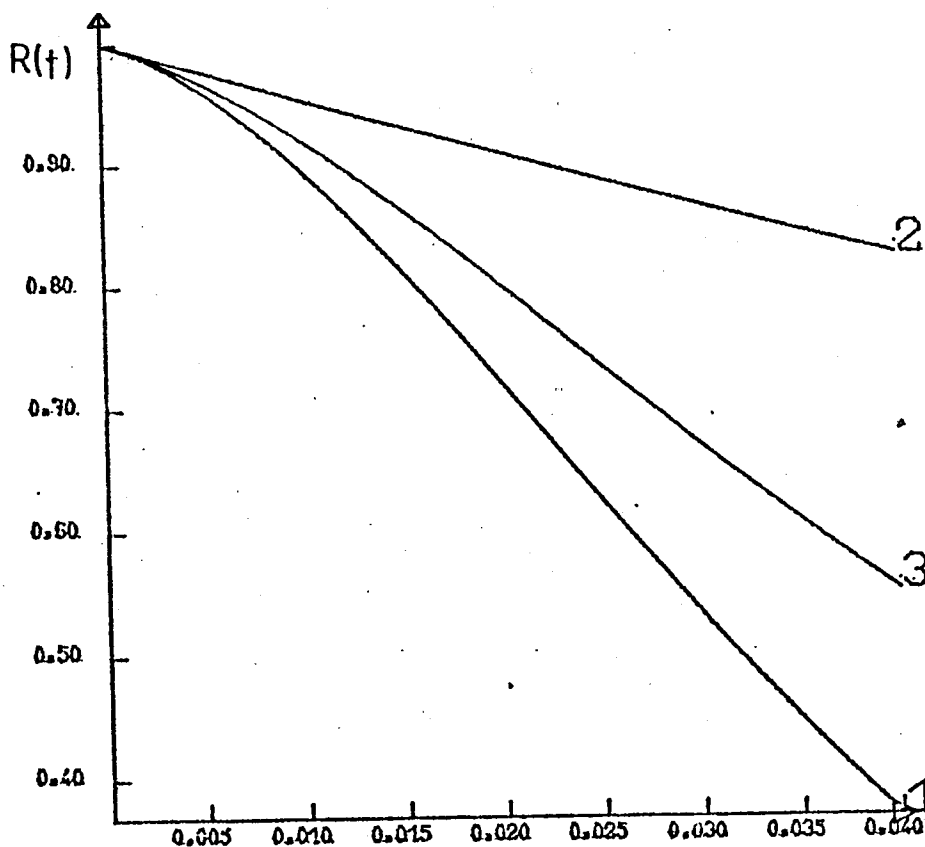


FIGURE 5.5.



## V.6. COMPARAISON ENTRE SYSTEMES MEMOIRE

L'étude des paramètres fondamentaux sur l'ensemble des équations définissant la fiabilité d'un système mémoire permet la comparaison entre systèmes mémoire mais nécessite la définition de mesures.

Ici, on utilisera deux mesures :

- la variation absolue du temps de mission normalisée (V.A.T.)
- la variation relative du temps de mission normalisée (V.R.T.)

### V.6.1. Mesures du système

#### Définition

La variation absolue du temps de mission normalisée par rapport à un paramètre est définie par (exemple avec n) :

$$\text{V.A.T. } (n_1, n_2) = F(n_1, C_0, P_0, N_0, M_0, R_0) - F(n_2, C_0, P_0, N_0, M_0, R_0)$$

ou  $\underline{\text{V.A.T.}(n_1, n_2) = F(n_1) - F(n_2)}$

#### Définition

La variation relative du temps de mission normalisé par rapport au paramètre  $\beta$  est défini par :

$$\underline{\text{V.R.T. } (\beta_1, \beta_2) = \frac{\text{V.A.T. } (\beta_1, \beta_2)}{\text{Min } (F(\beta_1), F(\beta_2))}$$

### V.6.2. Principe de calcul de F

Le temps de mission normalisé est obtenu à partir de la définition du modèle de fiabilité. Pour une valeur de fiabilité nous recherchons par tabulation le temps de mission normalisé correspondant (FORTRAN double précision). L'erreur est de  $2,5 \cdot 10^{-6}$  (1,5 h environ)

### V.6.3. Evaluation de la fiabilité en fonction de la taille des circuits intégrés mémoire

Le système étudié est défini par les valeurs des paramètres suivants :  
 $n = 1$  à  $64$ ,  $C = 50$ ,  $p = 1$ ,  $N = 64K$ ,  $l = 8$  ( $M = 12$ ).

Nous étudierons le temps de mission normalisé (F) en fonction de n pour  $R = 0,99$  ;  $0,9$  ;  $0,8$ .

Il résulte de l'étude de la figure 5.6. et du tableau 5.2 qu'il est inutile de choisir des boîtiers d'une capacité supérieure à 16K (noté sur la figure 5.6). En effet, le gain en fiabilité est faible au delà.

D'autre part, comme le V.R.T. croit quant la fiabilité décroît, pour des valeurs élevées de la fiabilité, il serait préférable de choisir une réalisation du système mémoire avec des boîtiers de 1K x 1 bit.

Il y a deux raisons à cela :

- la perte minime en temps de mission
- le coût moindre des boîtiers.

Il faudra cependant tenir compte d'un coût plus élevé à l'implantation et une augmentation de l'encombrement. Pour des impératifs moins grands en fiabilité, l'intégration est néanmoins recommandée. Il est, donc, souhaitable d'avoir une attitude prudente vis à vis de l'intégration.

R	0,9	0,8
F (1K)	290 $10^{-5}$	540 $10^{-5}$
F (16K)	535 $10^{-5}$	975 $10^{-5}$
F (64K)	540 $10^{-5}$	1015 $10^{-5}$
VAT(1,16)	145 $10^{-5}$	435 $10^{-5}$
VAT(1,64)	150 $10^{-5}$	475 $10^{-5}$
VAT(16,64)	5 $10^{-5}$	40 $10^{-5}$
VRT(1,16)	50 %	80 %
VRT(1,64)	52 %	88 %
VRT(16,64)	1 %	4 %

TABLEAU 5.2.

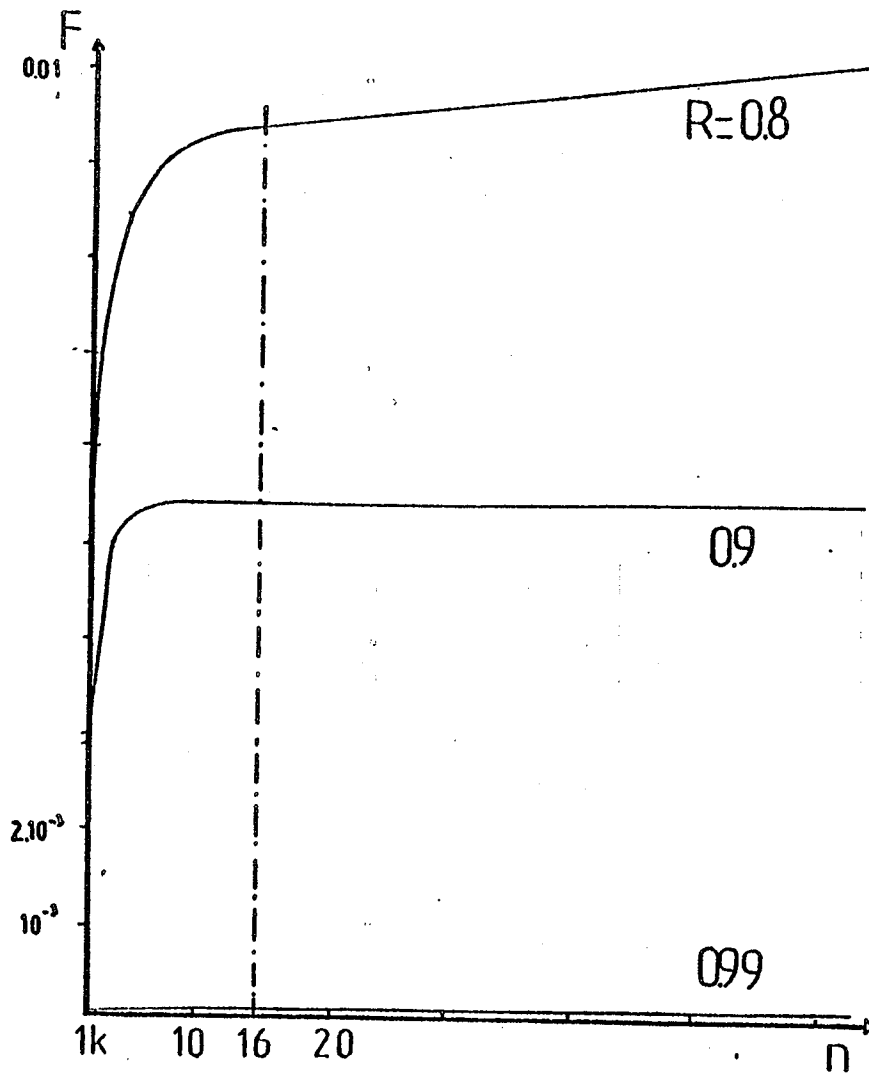


FIGURE 5.6.

V.6.4. Evaluation de la fiabilité en fonction du nombre maximum de boîtiers par carte

Nous étudierons le temps de mission normalisé en fonction de C pour R = 0,95 ; 0,90 ; 0,85 ; 0,80 avec :

n = 1K, C = 51 à 100, p = 1 , N = 64K, l = 8

Nous constatons à travers l'étude de la figure 5.7 et du tableau 5.3. deux points essentiels :

- l'accroissement du temps de mission n'est véritablement intéressant que pour de très bonnes fiabilités ( $\geq 0,95$ )
- pour une fiabilité inférieure à 0,95 le paramètre n'est pas déterminant

R	0,95	0,90	0,85	0,80
F (51)	125 $10^{-5}$	260 $10^{-5}$	380 $10^{-5}$	500 $10^{-5}$
F (100)	125 $10^{-5}$	290 $10^{-5}$	415 $10^{-5}$	540 $10^{-5}$
VAT(51,100)	25 $10^{-5}$	30 $10^{-5}$	35 $10^{-5}$	40 $10^{-5}$
VRT(51,100)	20 %	11 %	9,5 %	8 %

TABLEAU 5.3.

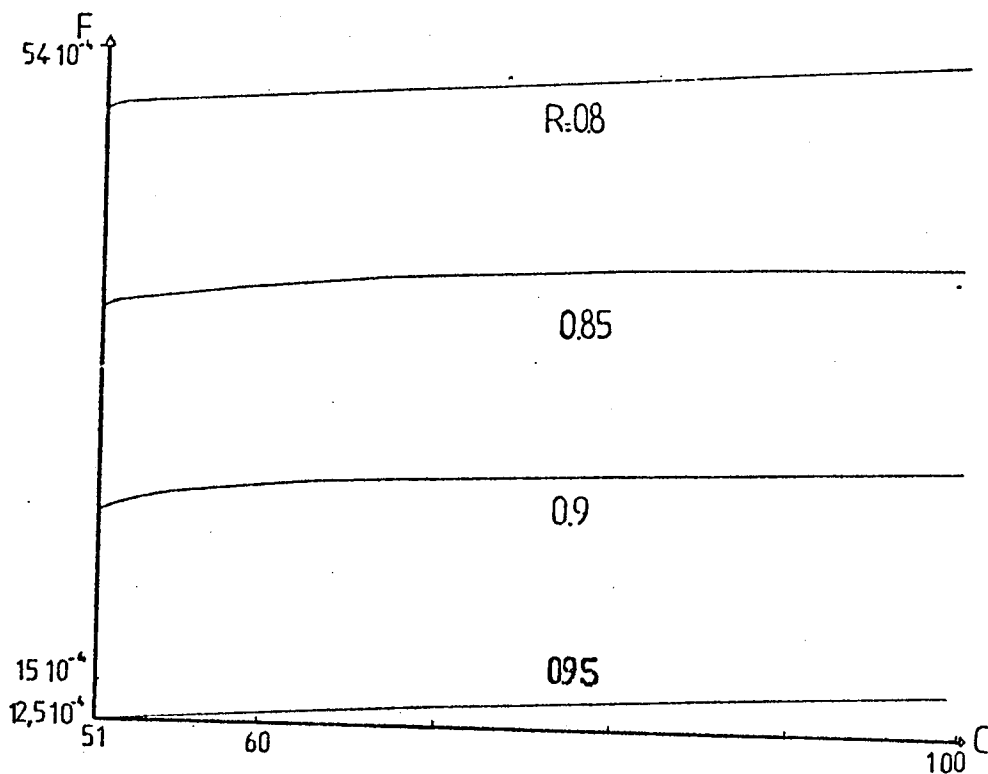


FIGURE 5.7.

V.6.5. Evaluation de la fiabilité en fonction du pouvoir de correction du code

Nous étudierons le temps de mission normalisé en fonction du pouvoir de correction du code ( $p$ ) pour  $R = 0,99 ; 0,90 ; 0,8$  avec :  
 $n = 1K, C = 50, p = 1 \text{ à } 7, N = 8K, l = 9$  et  $16$

$P$  est le paramètre le plus "actif" du système. En effet, si l'on étudie les courbes de la figure 5.8 qui nous donne la fiabilité du système mémoire avec  $l = 9$ , nous pouvons constater immédiatement qu'il est inutile de dépasser un pouvoir correcteur sur trois bits pour 9 d'information.

Une étude plus précise à travers le temps de mission (figure 5.9) nous donne des zones d'efficacité du code (en fonction de la fiabilité) que l'on peut représenter ainsi :

$\frac{F(p)}{\lambda_{1K}} *$	0 h	1800 h	13000 h
	code correcteur de 1 bit/9	code correcteur de 2 bits/9	code correcteur de 3 bits/9
$R_S(t)$	1	0,978	0,860

\* ( $\lambda_{1K} = 18 \cdot 10^{-7}$  : 40°C, méthode MIL - 5004, classe B, production continue implantation fixe au sol)

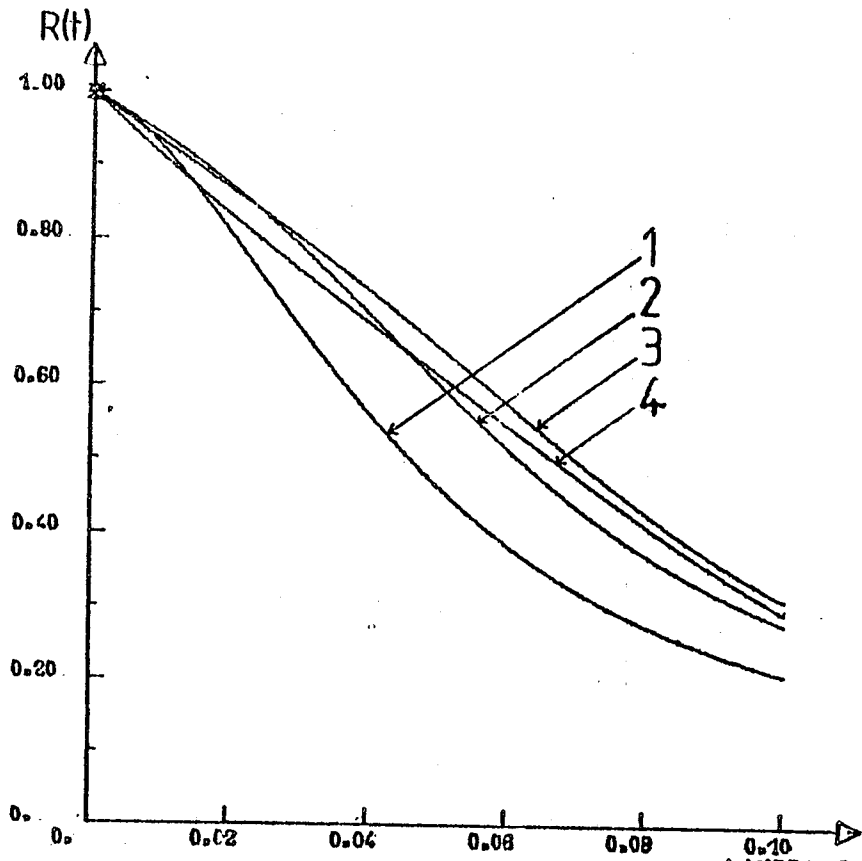
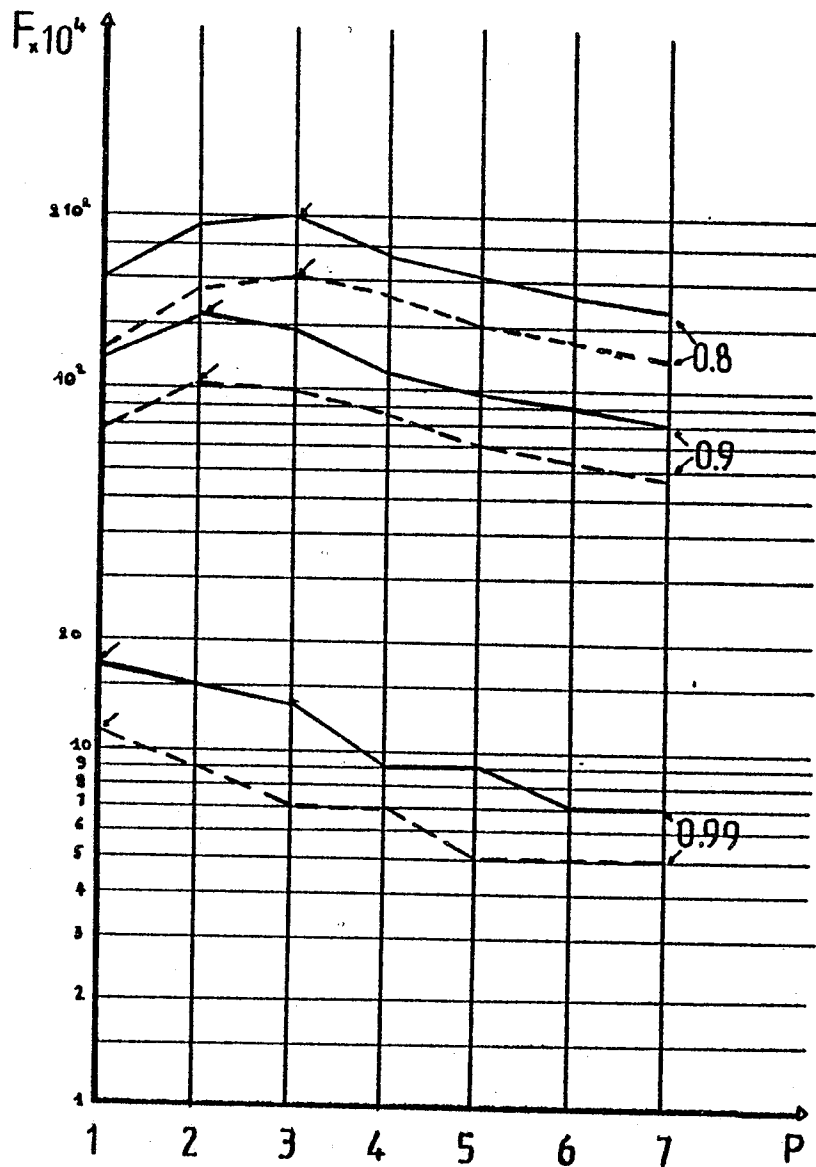


FIGURE 5.8.

LAMPDA\*TX 1024



— : 9 bits  
- - - : 16 bits

Nous pouvons constater (figure 5.9) d'autre part que si l'on fait baisser la fiabilité (ici avec  $l$  plus grand : 16 bits), on devra choisir un code correcteur sur moins de bits si on veut rester au dessus d'une certaine valeur de fiabilité et augmenter le nombre de bits corrigés si l'on a fixé le temps de mission.

V.6.6. Evaluation de la fiabilité en fonction du nombre de mots :  
choix du partitionnement en sous-systèmes autonomes

Le système étudié est défini par :

$$n = 1 \text{ K}, \quad C = 50, \quad p = 1, \quad N = 256 \text{ K}, \quad l = 8$$

Il n'est pas question d'étudier le temps de mission normalisé du système. Cette étude nous conduirait à une conclusion triviale : la fiabilité décroît quand  $N$  croît.

Notre démarche sera qualitative : nous rechercherons le partitionnement optimal d'un système mémoire en sous-systèmes autonomes de taille identique. Ainsi, nous sommes amenés à étudier la fiabilité  $R_C^{N/N_C}$  où  $R_C$  désigne la fiabilité du sous système de capacité  $N_C$  (5K à 128K).

Le tableau 5.4 nous donne le temps de mission normalisé correspondant à  $R_C^{N/N_C}$ .

$N_C \backslash R$	0,95	0,90	0,85	0,80
4K	$31 \cdot 10^{-5}$	$62 \cdot 10^{-5}$	$93 \cdot 10^{-5}$	$126 \cdot 10^{-5}$
8K	$34 \cdot 10^{-5}$	$69 \cdot 10^{-5}$	$104 \cdot 10^{-5}$	$140 \cdot 10^{-5}$
16K	$36,5 \cdot 10^{-5}$	$73,5 \cdot 10^{-5}$	$111 \cdot 10^{-5}$	$148 \cdot 10^{-5}$
32 K	$39 \cdot 10^{-5}$	$78 \cdot 10^{-5}$	$117 \cdot 10^{-5}$	$157 \cdot 10^{-5}$
64K	$39 \cdot 10^{-5}$	$78,5 \cdot 10^{-5}$	$117,5 \cdot 10^{-5}$	$157 \cdot 10^{-5}$
128K	$39,5 \cdot 10^{-5}$	$79 \cdot 10^{-5}$	$118 \cdot 10^{-5}$	$158 \cdot 10^{-5}$
256K	$39 \cdot 10^{-5}$	$78,5 \cdot 10^{-5}$	$117,5 \cdot 10^{-5}$	$157 \cdot 10^{-5}$

TABLEAU 5.4.

Il est possible d'en tirer deux conclusions :

- aucun partitionnement n'est déterminant au-delà de 32K  
(ce que nous pouvions démontrer en calculant le V.R.T.)
- un léger maximum peut être observé pour un système formé de deux sous systèmes de 128 K

Celles-ci peuvent s'expliquer par le fait qu'un trop grand partitionnement contribue à accroître le nombre de circuits d'accès à la mémoire et à aborder la fiabilité. Par contre une partition en deux, pour le système étudié ici, réduit légèrement la taille des circuits.

Il sera donc, possible d'adopter un partitionnement de la mémoire sans pénaliser le temps de mission normalisé, à condition qu'il ne soit pas excessif (ici ne pas dépasser huit sous ensembles).

#### V.6.7. Evaluation de la fiabilité en fonction de la longueur des mots

Ici, nous pourrions aboutir à une conclusion ayant fort peu d'intérêt : le système ayant le mot d'information le plus court aura la meilleure fiabilité.

Cependant, il semble plus intéressant de savoir, en ce qui concerne ce paramètre, si la mise en parallèle de  $Z$  systèmes mémoire stockant des mots de  $l_z$  bits d'information utile est meilleure en fiabilité que le système mémoire stockant des mots de  $Z \cdot l_z$  bits d'information (tous les mots dans le système et dans les sous systèmes étant codés avec un code correcteur d'un nombre fixe de bits).

Pour illustrer ce problème, nous avons choisi un système ayant des mots de 247 bits d'information (1) codés sur 255 bits par un code correcteur optimal sur 1 bit ( $M+1 = 2^k$ ). Nous étudierons les sous systèmes mémoires ayant des mots dont la longueur vérifie l'égalité  $l_z = 2^{k_z} (k_{z+1})$  (codes optimaux) avec  $k = 3$  à 8. Comme précédemment nous étudierons le temps de mission normalisé de la fiabilité  $R_z^{1/l_z}$ .

La figure 5.10 nous le donne pour un système défini par :  
 $n = 1K, C = 50, p = 1, N = 8K.$

On remarquera que par exemple, pour  $l_z = 4$  nous avons  $k_z = 3$  et 62 sous systèmes pour réaliser le système ( $247 = 61 \times 4 \text{ bits} + 1 \times 3 \text{ bits}$ ) et que nous disposons pour les 247 bits d'informations d'un code correcteur sur 62 bits. Nous pouvons constater qu'un mot de base situé entre 8 et 32 bits est le plus intéressant.

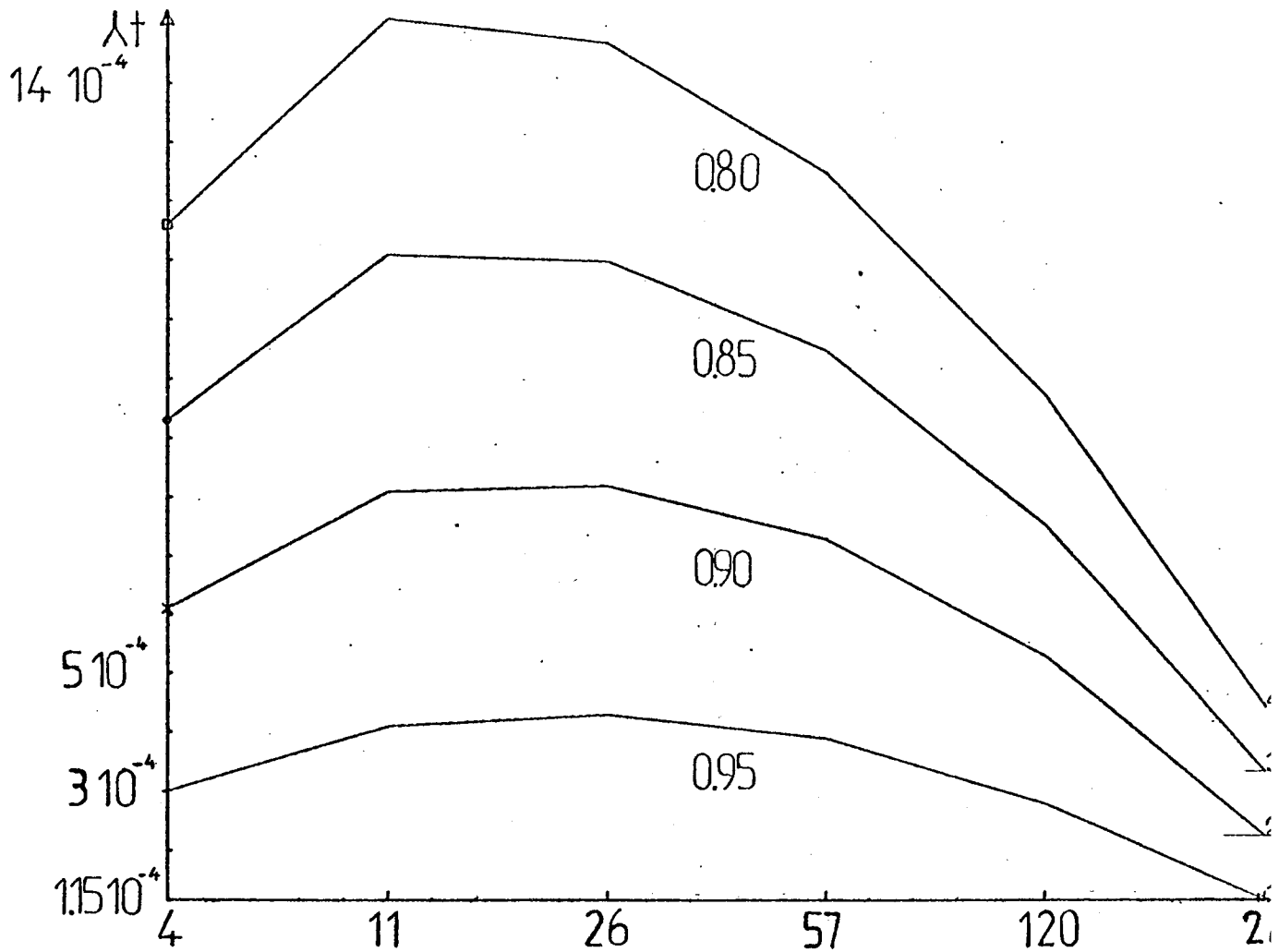


FIGURE 5.10.

V.6.8. Choix des paramètres optimaux

Nous pouvons résumer l'ensemble des conclusions sur l'étude des paramètres fondamentaux d'un système mémoire.

- l'utilisation de circuits intégrés de grande capacité est intéressante dans la construction du système mémoire mais non essentielle par rapport à la fiabilité. Une attitude prudente est recommandée.
- la taille de la carte n'est pas un facteur déterminant
- un code correcteur d'un bit est recommandé pour avoir une très bonne fiabilité en fin de mission, le nombre de bits corrigés doit augmenter si la fiabilité est faible au bout d'un temps de mission fixé.
- le partitionnement d'un système mémoire fait de façon raisonnable ( $\ll 8$  blocs pour un système de 256 K mots) ne pénalise pas la fiabilité globale
- il est préférable de ne pas utiliser des mots longs qu'il faut morceler en mots courts de 8 à 32 bits.



Le système mémoire muni d'un code correcteur étant défini précisément, il serait intéressant de transmettre cette étude au niveau d'un système mémoire muni d'un code correcteur et d'un système de reconfigurations.

#### V.7. SYSTEME MEMOIRE MUNI D'UN CODE CORRECTEUR ET D'UN DISPOSITIF DE RECONFIGURATION

Les principes de reconfiguration en ligne sont les mêmes que ceux après la fabrication et le test.

Reconfigurer un système mémoire consistera donc, à paginer et à échanger les pages saines situées dans la réserve avec les pages défectueuses situées dans la partie service.

La reconfiguration se fera tant que des pages de réserve sont disponibles. Après la dernière page utilisée dans la réserve, le système mémoire se comportera comme s'il n'y avait pas de reconfiguration. La probabilité de fonctionnement continu d'un système mémoire reconfigurable en ligne sera donc la somme des deux probabilités suivantes :

- la probabilité de pouvoir reconfigurer ( $P_{REC}$ ) et le fonctionnement continu de  $P_e$ .
- la probabilité de ne plus pouvoir reconfigurer et de pouvoir corriger.

On peut exprimer cette proposition ainsi :

$$\underline{R_S^{REC}(t) = R_{P_e}(t) \cdot P_{REC} + (1 - P_{REC}) \cdot R_S(t)} \quad (IX)$$

$R_S(t)$  ayant été largement développé précédemment notre propos concernera essentiellement  $P_{REC}$ .

#### Remarque

$$R_S(t) = R_{P_e}(t) \cdot R_{Me}(t) \quad \text{avec } P_e = P_e^0 \quad \text{circuits de reconfiguration}$$

Auparavant nous allons aborder deux points :

- le matériel mis en jeu dans un système mémoire reconfigurable
- la détermination de l'unité élémentaire sur laquelle s'effectue la reconfiguration qui va nous conduire à la définition de classes de pannes reconfigurables.

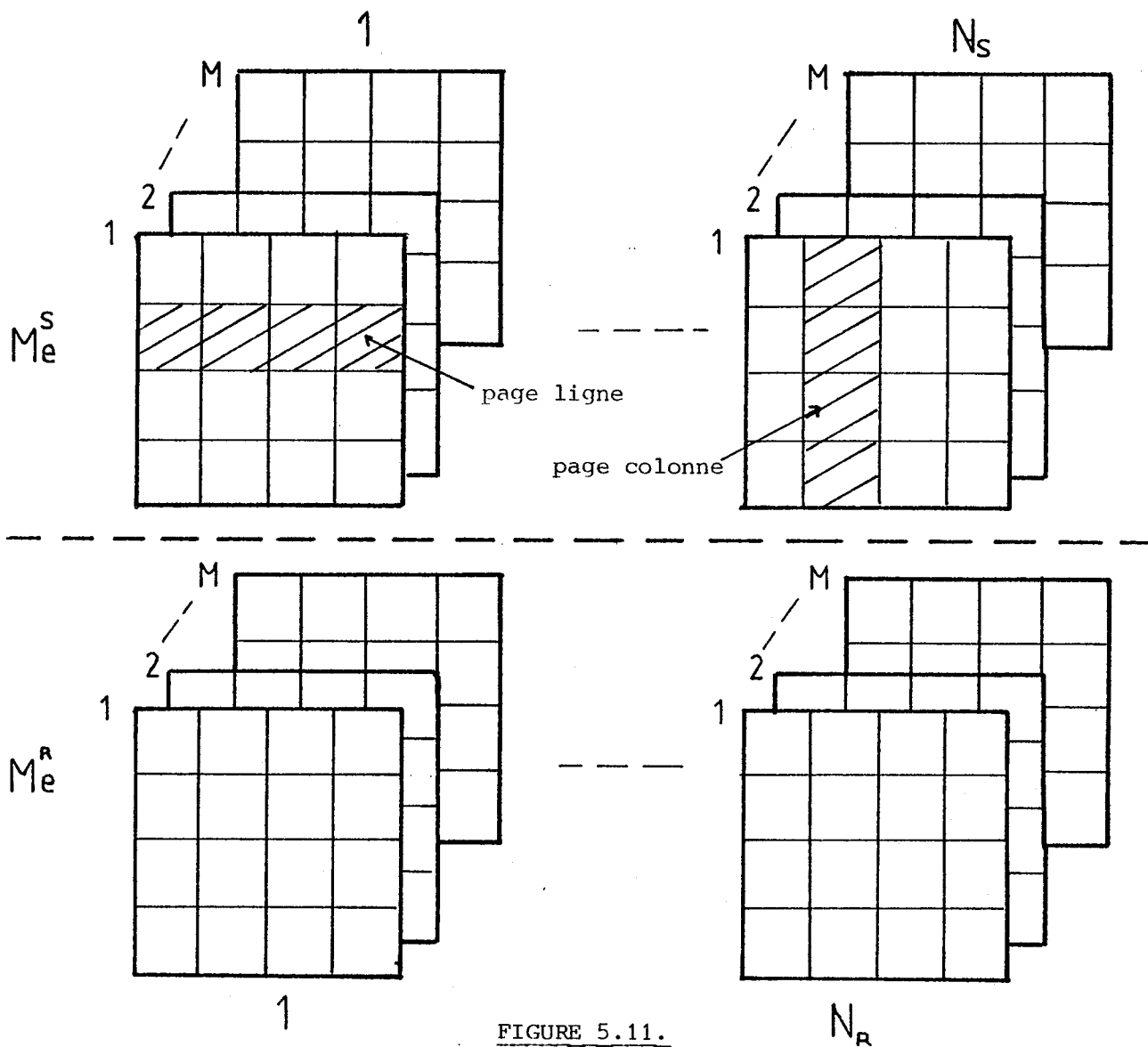


FIGURE 5.11.

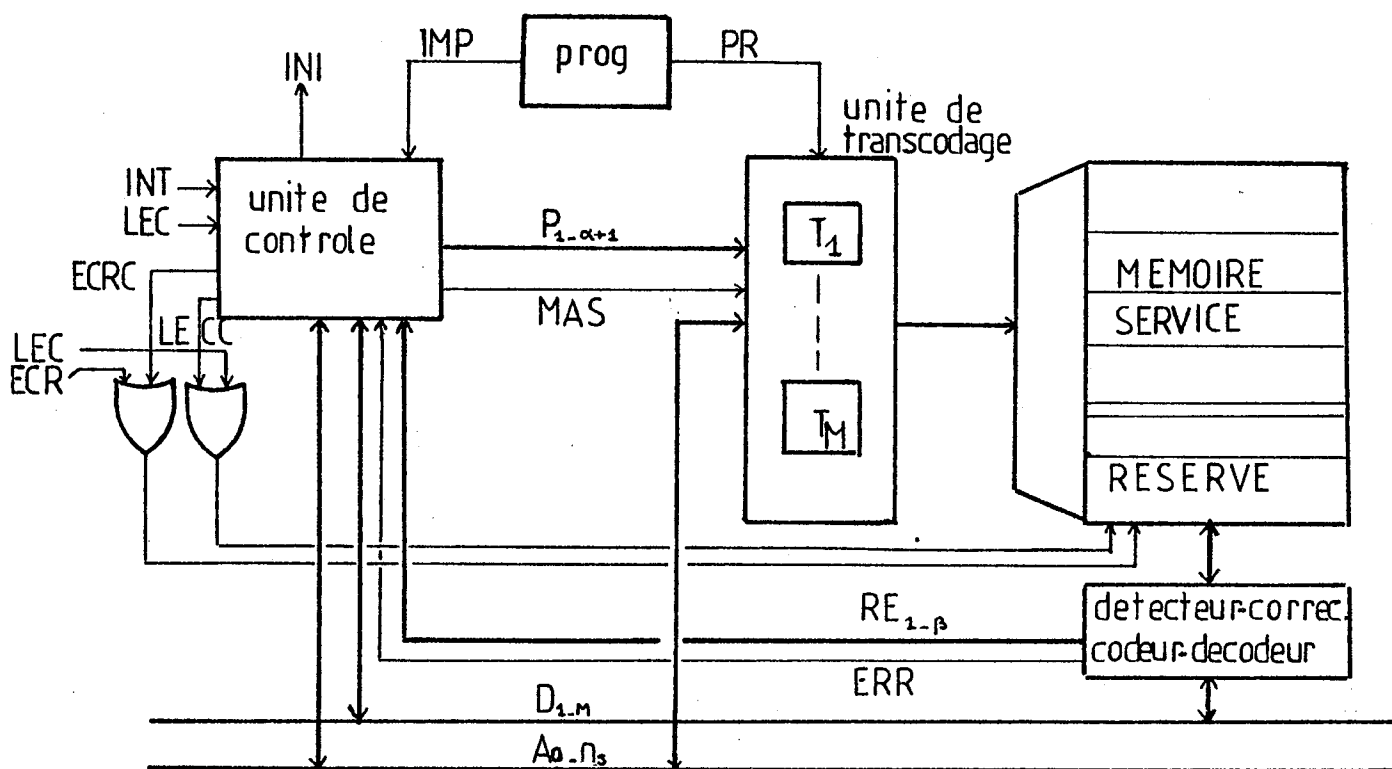


FIGURE 5.12.

### V.7.1. Matériel mis en jeu dans un système mémoire reconfigurable

Comme précédemment le système mémoire S se présente comme l'union de la partie mémoire Me et de la partie périphérique (accès, codage, correction ...) Pe. De façon plus précise (figure 5.11) la mémoire Me se présente comme la concaténation d'une mémoire de service  $M_e^S$  et d'une mémoire de réserve  $M_e^R$  ayant respectivement une capacité de  $N_S$  et  $N_R$  mots ( $N_S/n$  chips de n bits et  $N_R/n$  chips de n bits). Chaque chip, en vue de la reconfiguration, sera d'autre part découpé en  $N_p$  pages colonne et  $M_p$  pages ligne (nous conservons les deux types de pages définis au chapitre I) dans la partie service.

Nous aurons, pour chacun des types de pages, une réserve de  $N_{RL}$  ( $N_{RC}$ ) mots ( $N_R = N_{RL} + N_{RC}$ ).

Pe devient plus complexe si l'on possède des unités spécialisées dans la reconfiguration (figure 5.12). Dans le cas contraire, la reconfiguration est faite par le calculateur ; Pe se limite alors, une simple unité de transcodage.

La première solution présente deux avantages principaux :

- décentralisation de la reconfiguration, permettant une plus grande souplesse d'utilisation et une certaine indépendance vis à vis de l'unité centrale
- possibilité de parallélisme avec l'unité centrale.

Il faut cependant noter que lors de la recopie des pages en panne dans la réserve, l'unité centrale doit suspendre ses accès à la mémoire (signal INI)

#### Signification et rôles des signaux et des unités

l'unité de contrôle se charge du test de la mémoire en cas de panne pour la confirmer, engendre l'adresse réelle de la page défectueuse.

entrées :

- INT : interruption de la reconfiguration par l'unité centrale
- LEC : ordre de lecture
- ERR : signal d'erreur
- $RE_{1-p}$  : adresse du bit erroné dans le mot
- $D_{1-M}$  : information mémorisée
- $A_{0-n_S}$  : adresse de l'information

sorties : INT : ordre d'interruptibilité  
IMP : commande du programmeur  
LECC: lecture de contrôle  
ECRC: écriture de contrôle  
MAS : ordre de masquage du transcodage  
 $P_{1-\alpha+1}$  : adresse de la page défectueuse en réserve et  
bit d'adressage pour programmer

$D_{1-M} \cdot A_{0-n_S}$

l'unité de transcodage mémoire topographique de la mémoire de service est chargée de transcoder les adresses des pages en panne. Elle peut être réalisée avec des mémoires mortes, des PLA ou même une mémoire vive pour un calculateur embarqué dans la mesure où une panne d'alimentation efface toute information dans une mémoire dynamique à semi conducteurs.

entrées :  $A_{0-n_S}$  , P, MAS  
PR : ordre de programmation des structures mortes de l'unité de transcodage (+ impulsions si nécessaire).

sorties : adresse réelle du mot.

l'unité de programmation délivre l'ordre de programmation et éventuellement des impulsions d'horloge (ROM électrique) sur la commande PR et réagit au signal IMP.

l'unité de décodage, correction, détection et codage est la même que pour le système mémoire sans reconfiguration muni d'un système de détection d'erreurs. L'unité délivre de plus l'adresse du bit erroné dans le mot.

### V.7.2. Classes de pannes reconfigurables

Le choix de pages formées de lignes ou de colonnes contiguës va conditionner le choix des classes de pannes sur lesquelles portent la reconfiguration.

En effet, si la classe de panne reconfigurable est définie par le nombre de pages nécessaires pour "masquer" la panne au niveau du système, nous pouvons faire correspondre à chacune des classes de pannes définies précédemment (V.4.2.2.) un nombre de pages affectées par une panne de cette classe.

$C_1 =$  tout le chip  $\rightarrow N_p$  pages-colonne (ou ligne)

$C_2 =$  1/2 chip/ligne  $\rightarrow \frac{N_p}{\log_2 \sqrt{n}}$  pages-ligne (moyenne - cf. V.4.2.3.)

$C_3 =$  1/2 chip/colonne  $\rightarrow \frac{N_p}{\log_2 \sqrt{n}}$  pages-colonne (moyenne)

$C_4 =$  1 ligne  $\rightarrow$  1 page-ligne

$C_5 =$  1 colonne  $\rightarrow$  1 page-colonne

$C_6 =$  1 bit mémoire  $\rightarrow$  1 page-ligne (ou colonne)

Ainsi nous pouvons déduire les classes reconfigurables suivantes :

$$C_1^R = C_1 \quad C_2^R = C_2 \quad C_3^R = C_3 \quad C_4^R = C_4 \cup C_6 \quad C_5^R = C_5$$

ou

$$C_1^R = C_1 \quad C_2^R = C_2 \quad C_3^R = C_3 \quad C_4^R = C_4 \cup C_5^R = C_5 \cup C_6$$

Par la suite nous étudierons les trois cas suivants :

Si nous rajoutons l'hypothèse (cf. V.4.4) qu'il existe une symétrie dans le chip mémoire et que les probabilités d'affecter une ligne et une colonne, une moitié de chip par rapport aux lignes et par rapport aux colonnes sont égales, nous aurons les classes de pannes reconfigurables :

$$C_1^R = C_1 \quad C_2^R = C_2 \cup C_3 \quad C_3^R = C_4 \cup C_5 \cup C_6$$

Si la reconfiguration se fait sur la moitié des lignes ou des colonnes les classes de pannes reconfigurables sont :

$$C_1^R = C_1 \quad C_2^R = \bigcup_{i=2}^6 C_i$$

Dans ce cas, le nombre de pages affectées par une panne appartenant à  $C_2^R$  est égale à 2, car la seconde panne nécessite une page entière et la troisième panne n'est pas reconfigurable. La valeur de la fiabilité obtenue correspond à une valeur prise par défaut dans la mesure où une panne de  $C_4$ ,  $C_5$  ou  $C_6$  peut affecter une zone déjà affectée par une panne mais reste inconnue du système de reconfiguration.

Si la reconfiguration se fait sur un chip entier, nous n'avons plus qu'une seule classe de panne reconfigurable :  $C_1^R = \bigcup_{i=1}^6 C_i$

A chacune des classes  $C_i^R$ , nous pouvons faire correspondre un nombre  $N_R^i$  de pannes reconfigurables par le système parmi  $N_S^i$  pannes possibles dans la partie service.

cas a

$$N_R^1 = N_R/n \quad N_R^2 = E\left(\frac{N_R N_P}{n \log_2 \sqrt{n}}\right), \quad N_R^3 = \frac{N_R}{n} N_P, \quad (N_R = N_{RL} + N_{RC})$$

$$N_S^1 = N_S/n \quad N_S^2 = E\left(\frac{2 N_S N}{n \log_2 \sqrt{n}}\right), \quad N_S^3 = \frac{N_S}{n} N_P \quad E(X) = \text{entier le plus proche de } X.$$

cas b

$$N_R^1 = \frac{N_R}{n}, \quad N_R^2 = 2 N_R$$

$$N_S^1 = \frac{N_S}{n}, \quad N_S^2 = 2 N_S$$

cas c

$$N_R^1 = \frac{N_R}{n}$$

$$N_S^1 = \frac{N_S}{n}$$

### V.7.3. Fiabilité d'un système mémoire reconfigurable

Soit  $Y_i$  l'évènement associé au nombre de pannes d'une classe  $C_i^R$  affectant un bit dans un mot, la probabilité que le système mémoire puisse être reconfigurable au niveau de ce bit est :  $P(Y_i \leq N_R^i)$ . Ainsi, la probabilité que le système mémoire puisse être reconfigurable pour l'ensemble du mot de longueur  $M$  sachant que les pannes appartiennent à la classe  $C_i$  est :  $[P(Y_i \leq N_R^i)]^M$ . Si l'on considère que toutes les classes de panne sont indépendantes on aura donc :

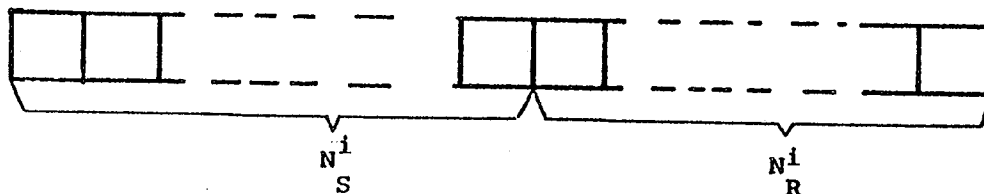
$$P_{REC} = \sum_{i=1}^{m'} [P(Y_i \leq N_R^i)]^M \cdot P_{C_i^R} \quad (X)$$

avec :  $m^i$  = nombre de classes de pannes reconfigurables

$m^i = 3$  (cas a), 2 (b), 1 (c)

Il nous faut donc calculer  $P(Y_i \leq N_R^i)$  et  $P_{C_i}^R$  :

- pour calculer  $P(Y_i \leq N_R^i)$ , nous remarquerons que pour un bit d'un mot le système mémoire se présente ainsi :



Chaque case représente l'ensemble des bits affectés par une panne de classe  $C_i^R$ . Le taux de pannes associé est de  $\frac{n \lambda}{\alpha_i^R}$  avec  $\alpha_i^R$  défini ainsi : cas a :  $\alpha_1^R = 1$   $\alpha_2^R = \log_2 \sqrt{n}$   $\alpha_3^R = Np$

cas b :  $\alpha_1^R = 1$   $\alpha_2^R = 2$

cas c :  $\alpha_1^R = 1$

Ainsi, la probabilité de reconfigurer un bit correspond à la probabilité d'avoir moins de  $N_R^i$  pannes parmi  $N_R^i + N_S^i$  pannes possibles. Nous retrouvons dans le cas de la formule I et donc :

$$P(Y_i \leq N_R^i) = \frac{P(N_R^i + N_S^i) n \lambda t}{\alpha_i^R} \quad (Z \leq N_R^i) \quad (XI)$$

Le calcul de  $P_{C_i}^R$  est déduit de la composition des classes de pannes reconfigurables. Ainsi pour les cas :

a)  $P_{C_1}^R = P_{C_1}$  ,  $P_{C_2}^R = P_{C_2} + P_{C_3}$  ,  $P_{C_3}^R = P_{C_4} + P_{C_5} + P_{C_6}$

b)  $P_{C_1}^R = P_{C_1}$  ,  $P_{C_2}^R = \sum_{i=2}^6 P_{C_i}$  ,  $P_{C_1} = 1 - P_{C_1}$   
 $= P_{C_1}'$  ,  $= \sum_{i=2}^4 P_{C_i}'$  ,  $P_{C_i}' = 1 - P_{C_i}$

c)  $P_{C_1}^R = 1$

Ainsi, les valeurs de  $N_R^i$  et  $P_{C^i}$ , les équations (IX), (X), (XI), (VIII), (I) définissent le modèle de fiabilité d'un système mémoire reconfigurable.

#### Application

Soit le système mémoire défini par :

- $n = 1K$ ,  $C = 50$ ,  $p = 1$ ,  $l = 9$ ,  $N = 8K$
- le taux de panne des circuits périphériques est la somme du taux de panne du système mémoire sans reconfiguration et du taux de panne de circuits de reconfiguration que l'on prendra ici équivalents à  $C_{REC} \times 1K \times 1 \text{ bit}$ .

Pour  $\lambda_{1K} \times t = 710^{-4}$  (16 jours environ) nous obtenons 0,9965 pour le système mémoire sans reconfiguration. Dans tous les cas de reconfiguration, le système mémoire a la même valeur de fiabilité si  $C_{REC} = 0,2K$  environ, avec un chip de réserve pour chaque type de page et chaque bit. Si par contre, nous augmentons le temps de mission, nous constatons que la taille des circuits de reconfiguration peut être accrue. Ainsi pour une mission normalisée de  $117 \cdot 10^{-4}$  (9 mois) la taille des circuits de reconfiguration sera équivalente à  $4,2K \times 1 \text{ bit}$  et aura donc une taille conforme à ce que l'on pourrait attendre. Nous voyons que la reconfiguration n'est pas à recommander au début de la mission. Une stratégie consisterait à mettre en service le système de reconfiguration avant d'atteindre un état le système mémoire délivre une information erronée. Nous constatons d'autre part, que plus le système est grand plus la reconfiguration est nécessaire plus tôt. Ainsi l'étude d'un système de  $64 K \times 9 \text{ bits}$  nous montre qu'au bout de deux jours les circuits de reconfiguration peuvent avoir une taille équivalente à  $14 K$ .

#### V.7.4. Conclusion

L'étude comparative exhaustive d'un système mémoire reconfigurable et d'un système non reconfigurable n'a pas été faite. Elle nécessiterait de longs développements et un choix précis dans la détermination d'organes de reconfiguration.

La conception d'une mémoire reconfigurable en ligne pose un problème



complexe d'optimisation car elle dépend de nombreux paramètres

- le matériel rajouté pour la reconfiguration
- la nature de ce matériel
- les moyens dont on dispose
- la taille des boîtiers mémoire
- le code correcteur utilisé
- l'implémentation des organes de reconfiguration (logiciel ou câblé)
- le découpage des mémoires
- les conditions d'utilisation
- etc ....

Une évaluation précise devrait tenter d'être exhaustive et se heurterait à une étude complexe d'optimisation multicritères. Il reste, néanmoins, que la solution semble très attirante. Le domaine d'application d'un tel mécanisme ne devrait pas être limité aux calculateurs embarqués mais par exemple au domaine des centraux électroniques qui ont un grand 'besoin' en sécurité et en mémoire.

#### V.8. HIERARCHIE DANS LA RECONFIGURATION D'UNE MEMOIRE VIVE

La reconfiguration d'une mémoire peut se faire, nous l'avons vu, en ligne et au moment de la conception. Il en résulte la création d'une hiérarchie dans la reconfiguration à laquelle correspond une hiérarchie dans les moyens utilisés pour reconfigurer (figure 5.13).

Les deux derniers niveaux ont fait l'objet de l'étude présentée ici. Le deuxième niveau concerne une reconfiguration plus "brutale" : tout le système mémoire ou un matériel remplissant une action spécifique (par exemple les circuits de reconfiguration) est répliqué plusieurs fois ; la reconfiguration consiste à mettre hors service l'élément défectueux (auparavant testé par essais successifs). Le matériel utilisé pour reconfigurer peut-être réalisé par de la logique câblée ou, ce qui est équivalent, plus doux et plus fiable, par un PLA.

Le dernier niveau constitue le dernier recours du système mémoire. Aucune des techniques précédentes ne peut agir. Le superviseur du calculateur peut, alors, décider de travailler dans un mode dégradé, de déclencher une alarme ou de s'arrêter.

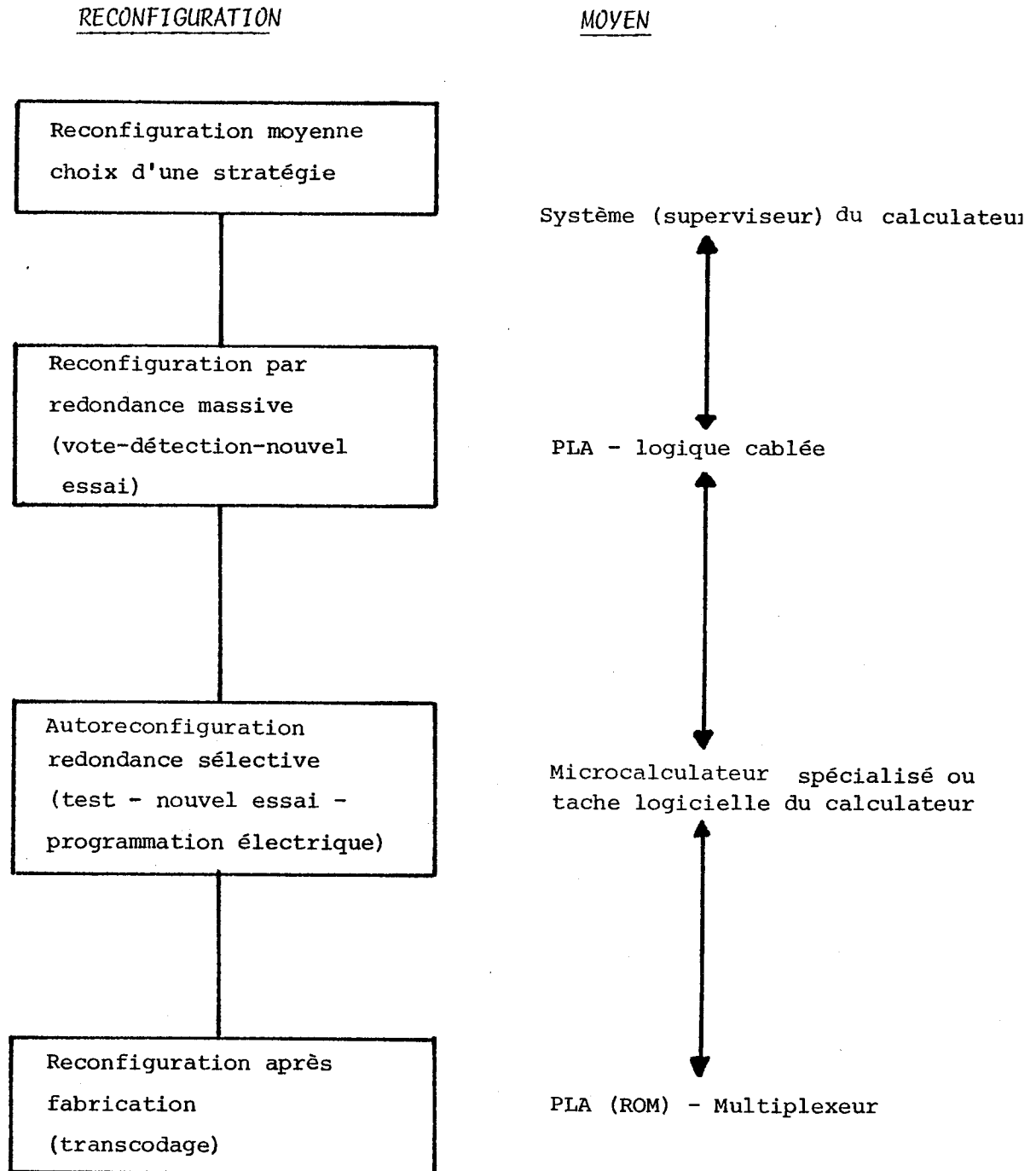


FIGURE 5.13.



## CONCLUSION

---

Ce travail a été mené pour répondre aux questions essentielles qui se posent lors de la conception de mémoires reconfigurantes et qui peuvent se résumer de la façon suivante :

- que doit on choisir comme technique pour faciliter la reconfiguration et le test ?
- quel matériel doit-on choisir ?
- comment organiser sa mémoire ?
- quel sera le coût en matériel et en temps ?
- comment réduire ce coût ?
- peut-on appliquer lors du fonctionnement les méthodes développées pour la conception ?
- quelle sera la fiabilité résultante ?

Il n'y a malheureusement pas de réponse universelle. Mais il est possible de restreindre les choix en prenant pour technique la pagination de la mémoire, en utilisant des PLA pour faire des échanges de pages, en déterminant précisément les moyens disponibles.

Les données sur le rendement, le coût et les performances du matériel doivent nous mener à la structure reconfigurable la plus adaptée.

L'étude menée ici bien que toujours rattachée à la reconfiguration des mémoires permet d'être appliquée à d'autres champs. Il en est ainsi de toutes les évaluations menées sur le rendement des circuits intégrés de la fiabilité des codes.

Enfin un regret, celui de ne pas avoir vu une réalisation confirmer le bien fondé de la démarche et valider la faisabilité d'une mémoire reconfigurable de grande capacité. Les problèmes restants, nous les avons soulignés, sont encore considérables (le test par exemple).

## ANNEXES

-----

ANNEXE 1

Structure CA (centralisé mode A )

a) mot mémoire d'un bit (figure A1.1)

- le PLA des pages ligne a en entrée les poids forts des adresses lignes et l'adresse chip, en sortie l'adresse du chip et de la page ligne ou colonne de la réserve ainsi que le bit de déroutement ( $d^L$ )
- le PLA des pages colonne a en entrée les poids forts de l'adresse page colonne et de l'adresse chip, en sortie l'adresse page colonne réelle et le bit de déroutement ( $d^C$ )
- le décodeur D décode  $C + 1$  bits pour adresser les chips de la réserve et la partie service ( $C$  bits virtuels)
- le multiplexeur  $M_1$  peut agir de deux manières :
  - multiplexer les poids forts de l'adresse page ligne virtuelle et l'adresse de la page transcodée (la sélection s'effectue par le bit de déroutement ( $d^L$ ) dans le cas de deux réserve (cas représenté sur la figure A1.1)
  - multiplexer les poids forts de l'adresse ligne et les poids forts de l'adresse colonne pour une réserve constituée de pages colonne (la sélection s'effectue par  $d^C$  et  $d^L$ )
- le multiplexeur  $M_2$  réalise le multiplexage entre l'adresse chip virtuelle, l'adresse chip transcodée dans la réserve des pages ligne ou dans la réserve des pages colonne. La sélection se fait par  $d^C$  et  $d^L$
- le multiplexeur  $M_3$  joue le même rôle que  $M_1$  vis à vis des adresses page colonne.

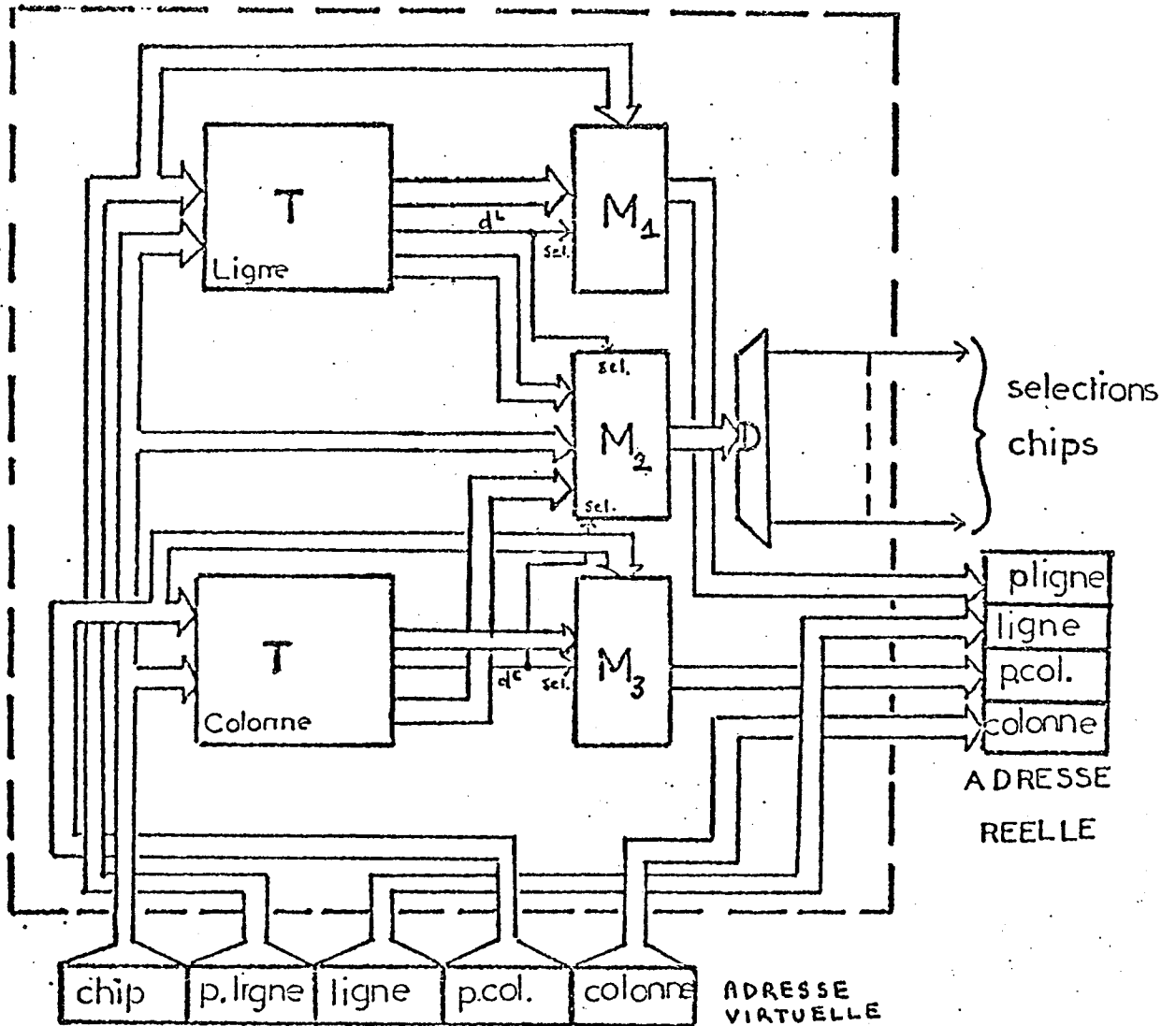


FIGURE A1.1.

b) mots de k bits ( $k > 1$ )

L'utilisation de seulement deux transcodeurs, dans ce cas, pour engendrer l'adresse de la page dans la réserve, la sélection et l'adresse de l'unité physique de la réserve (chip) pour chaque bit, conduirait à des transcodeurs comportant  $(r + \alpha + 1)k$  sorties ( $r$  : nombre de bits pour adresser un chip dans la réserve,  $\alpha$  : nombre de bits pour adresser une page dans la réserve). Le nombre de sorties sera donc rapidement considérables

Exemple : Pour  $4K \times 9$  bits avec une réserve de quatre page contenue dans deux chips nous avons déjà 27 sorties  $r = 1 \quad \alpha = 1$ .

La solution raisonnable consisterait à répliquer le MRG de CA (1 bit)  $k$  fois. (figure A1.2). Nous voyons donc que dans ce cas nous sommes conduit à distribuer le MRG et l'associer à chaque bit du mot.



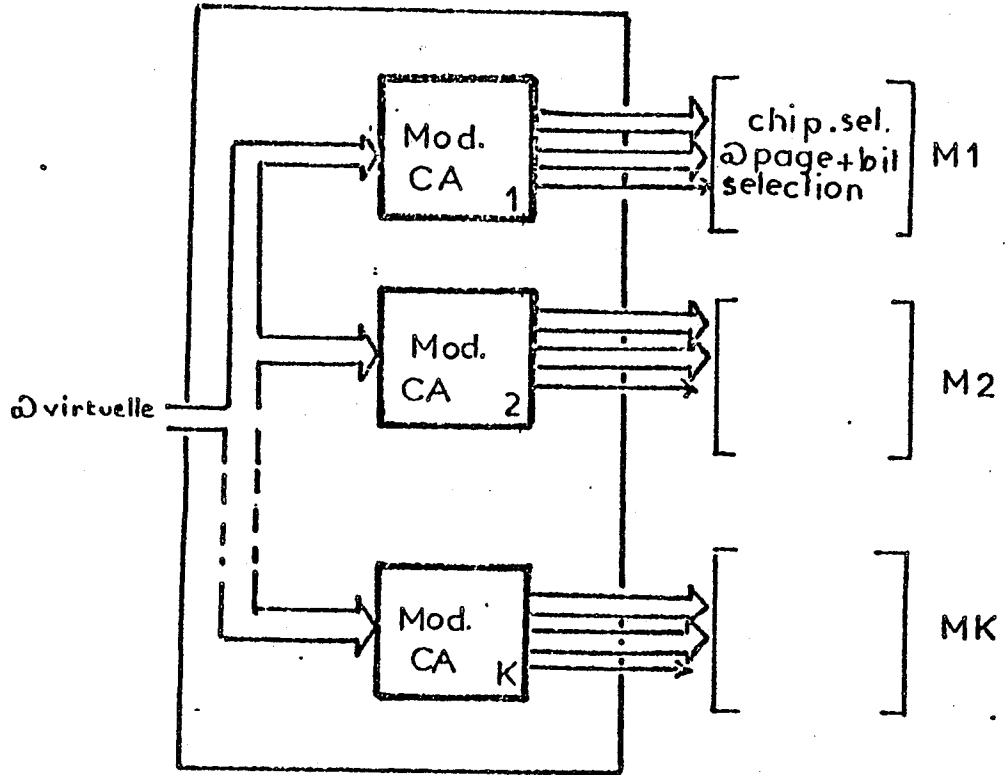


FIGURE A1.2.

ANNEXE 2

Structure CBS (centralisé mode BS)

$A^C, A^L, A^{CH}$  désignent respectivement l'adresse ligne, l'adresse colonne et l'adresse chip dans la figure A2.1. L'unité engendrant l'adresse page colonne est identique à celle engendrant l'adresse page lig

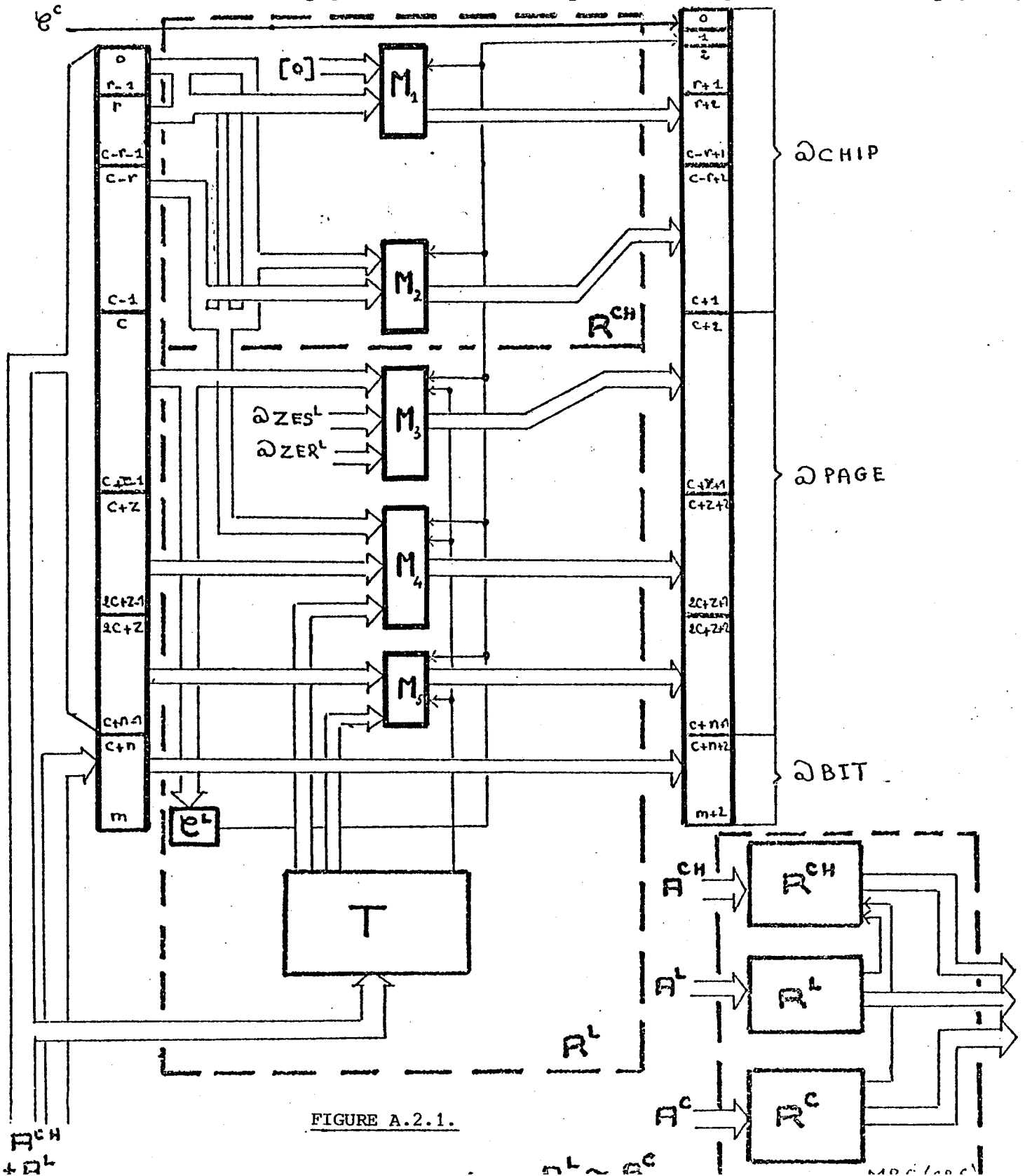


FIGURE A.2.1.

On pourra noter trois grands points :

1) Les points mémoires appartenant à l'intersection de  $ZES^L$  et  $ZES^C$  doivent correspondre en réserve à deux unités physiques différentes conformément au tableau d'adressage. C'est pourquoi, il est indispensable de privilégier un déroutement par rapport à l'autre pour la sélection du multiplexeur du module  $R^{CH}$ .

2) La figure A2.1 traduit entièrement le tableau 2.1. et la contrainte de centralisation.

Les multiplexeurs  $M_1$ ,  $M_2$  sont inutiles si la réserve est implantée à un endroit précis sur la carte mémoire. En effet il suffit alors de fournir à la réserve les poids forts de l'adresse chip et spécifiquement à la réserve-ligne,  $\mathcal{C}^L$  et à la réserve-colonne  $\mathcal{C}^C$ ; le reste de l'adresse chip sera complété par des zéros. Ainsi le nombre de fils nécessaires à la réserve est réduit de  $C - r - 1$ . Cette remarque n'est pas valable pour la structure sans zone d'échange dont l'adresse chip dépend du transcodage.

3) Les remarques faites pour la structure CA, dans le cas d'une organisation en mots de  $k$  bits sont valables. Il est donc recommandé de modulariser MRG. Néanmoins, cette structure va être plus favorable que la précédente (comme toutes les structures avec zone d'échange) pour de telles organisations. Il en résultera une minimisation du nombre de fils de sélection (remarque 2).

ANNEXE 3

Structure CBM (centralisé mode BM)

Il y a trois sous structures :

- 1) Structure CBM1 : ne présente du point de vue matériel que très peu de différence avec CBS.
- 2) Structure CBM2 : possède un transcodeur de "secours" qui a la possibilité d'engendrer l'adresse de la zone d'échange Réserve privée mais une capacité limitée. Pour le reste le MRG est identique à celui de la structure CBS (figure A3.1.)

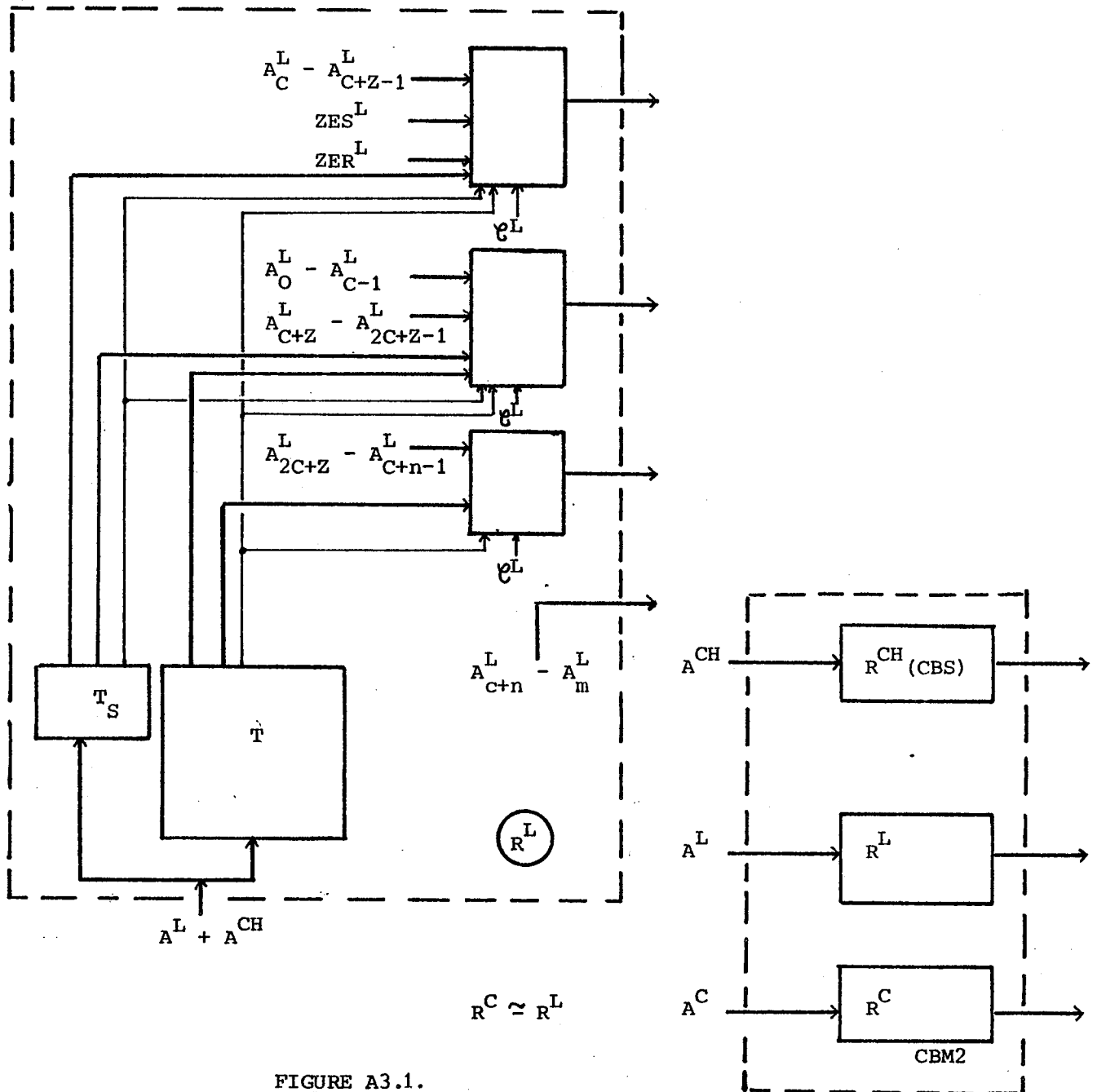


FIGURE A3.1.

3) Structure CBM3 : la réorganisation des chips de la réserve permet d'adresser la zone d'échange privée de même rang que le chip dans la zone de service.

Pour réaliser cet objectif il faut programmer la sélection des chips de la réserve. Nous le ferons à partir d'un PLA qui en fonction des modules de service et de la valeur de la condition ( $\mathcal{E}^C$  ou  $\mathcal{E}^L$ ) donnera le chip sélectionné.

Exemple : Soit une mémoire de service formée de quatre chips ( $S_1$  à  $S_4$ ) et une réserve de trois chips ( $R_1$  à  $R_3$ ). La figure A3.2 nous donne les configurations virtuelles des pannes pour la zone de service et réelles (ou virtuelles) pour la réserve zones hachurées = zone inutilisable pour l'organe de reconfiguration (Réserve) ou zone d'échange (service)

L'adressage est défini ainsi :

- chaque chip est partagé en quatre zones d'adressage (numéro de gauche à droite)
- la première zone des chips de service est la zone d'échange service
- la zone d'échange service sera échangée avec une zone d'échange réserve privée selon la correspondance suivante :

Service	ZES		ZER	
	Rang	N°	Chip	
S	1	1	R1	
S	2	2	R1	
S	3	3	R2	
S	4	4	R3	

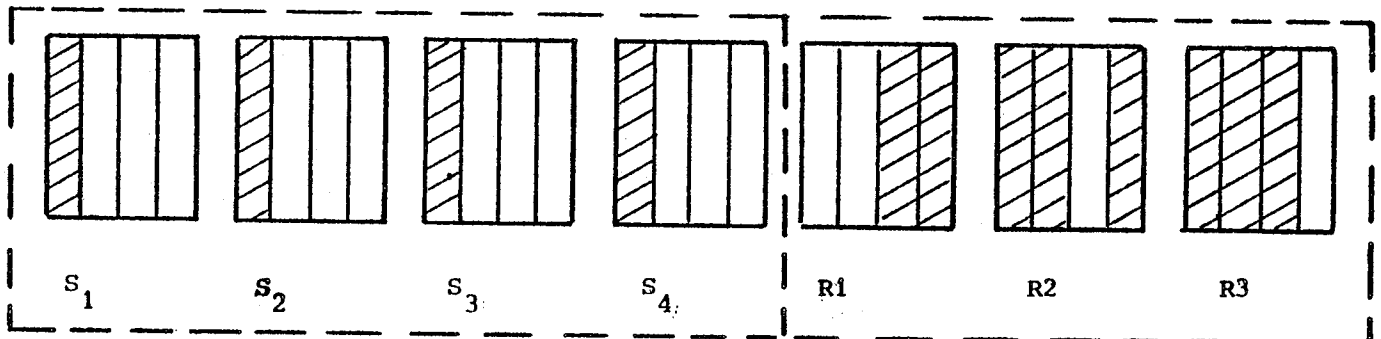


FIGURE A3.2.

La sélection se fera par l'étage ET d'un PLA (figure A3.3.)

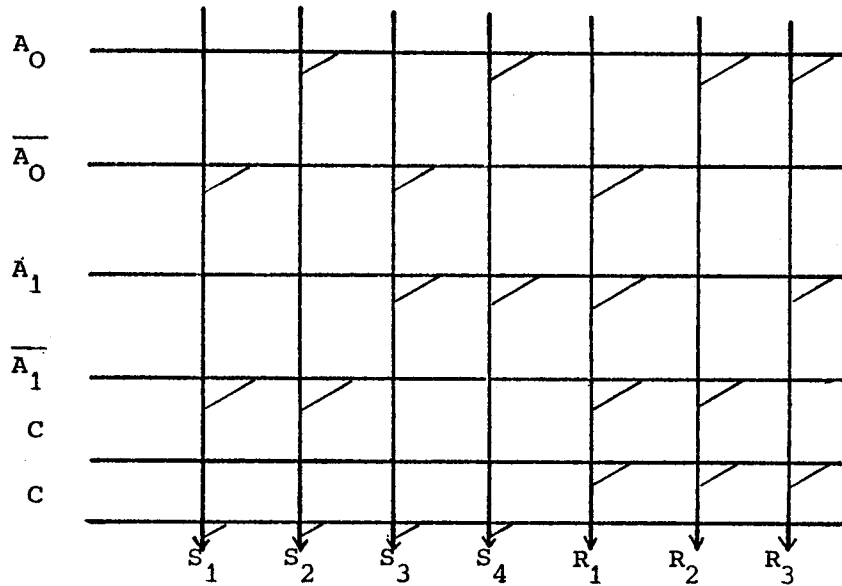


FIGURE A3.3.

Remarque :

Il est possible de donner une adresse chip codée mais cela rajouterait trois niveaux de portes.

ANNEXE 4

Structure DBB (décentralisée mode BB)

Vouloir réaliser l'une de ces organisations revient en réalité à réaliser séparément les deux parties du tableau 2.2 ( $\mathcal{C}^i = 0$  et  $\mathcal{C}^i = 1$   $i = C$  ou  $L$ ). En effet face au déroutement dans un cas comme dans l'autre, il y a le même comportement. Seulement dans le cas où  $\mathcal{C}^i = 1$  l'adresse est engendrée à partir de l'adresse virtuelle. Il faudra donc la former par cablage ou par multiplexage. La sélection des chips se fait différemment. Dans le cas de la zone de service il y a décodage pur et simple, chaque chip étant adressé en propre alors que pour la réserve une même unité physique peut "servir" plusieurs chips de la zone de service. Ainsi on perçoit la possibilité de réaliser un MRP banalisé servant aussi bien service que réserve.

Pour cela il faudra :

- multiplexer l'adresse page virtuelle et l'adresse page dans la zone d'éclairage réserve générale.
- adresser un chip dans la zone de service et dans la réserve en fonction de l'adresse chip de la zone de service. Pour cela il sera possible d'utiliser un PLA pour générer l'adresse chip (cf. exemple).

Une telle unité de reconfiguration est représentée en figure A4.1 pour une structure DBB3.

Le module proposé ici n'est pas le plus performant possible mais il possède plusieurs caractéristiques importantes :

- il est adaptable quelque soit la nature du module mémoire
- il est indépendant des autres MRP
- il possède non seulement la mémoire des pages en panne mais aussi la stratégie à adopter

Il désavantage quelque peu la réserve qui n'utilisera qu'une partie du transcodeur car le nombre d'éléments de réserve est plus petit que le nombre d'éléments de service.

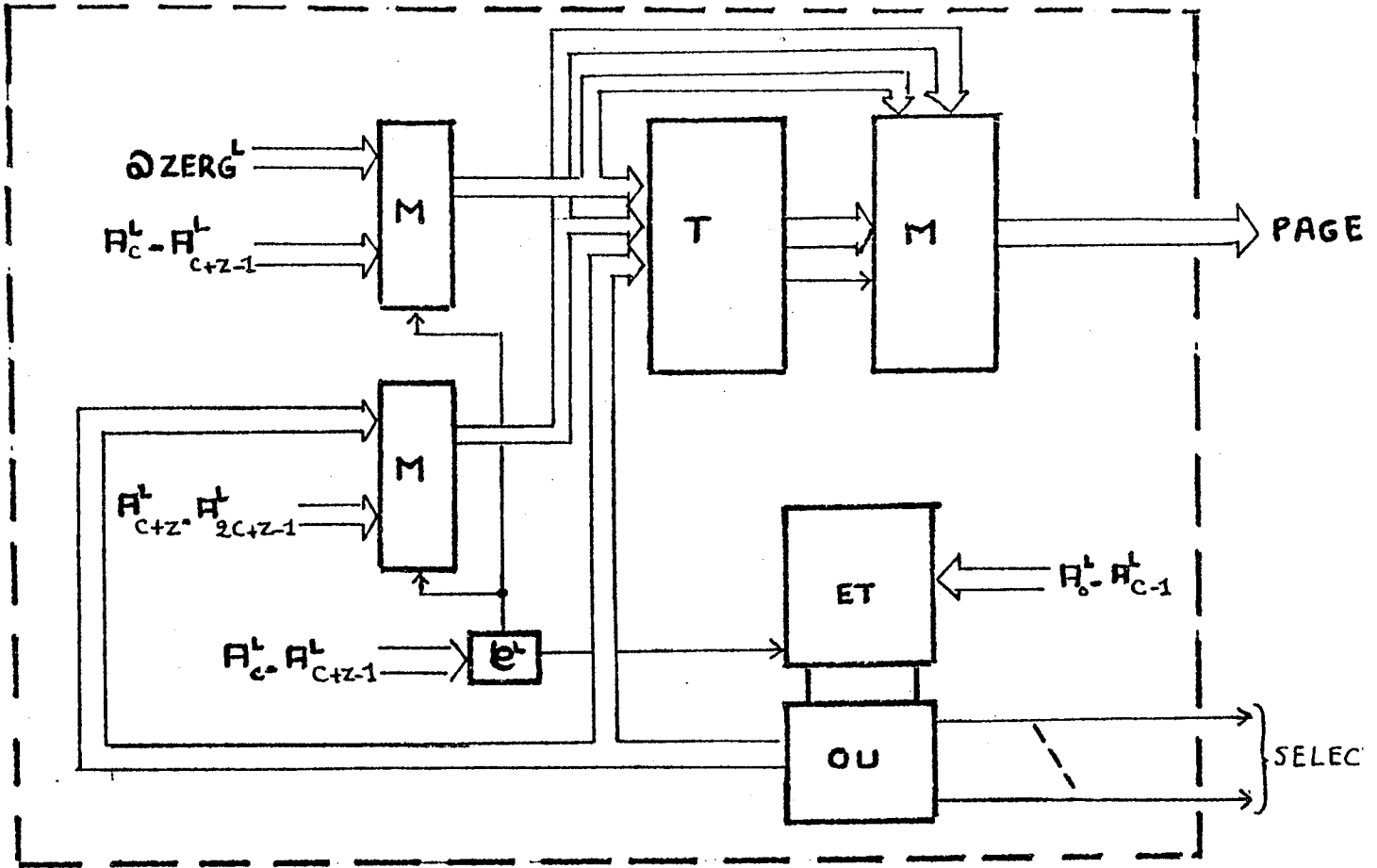
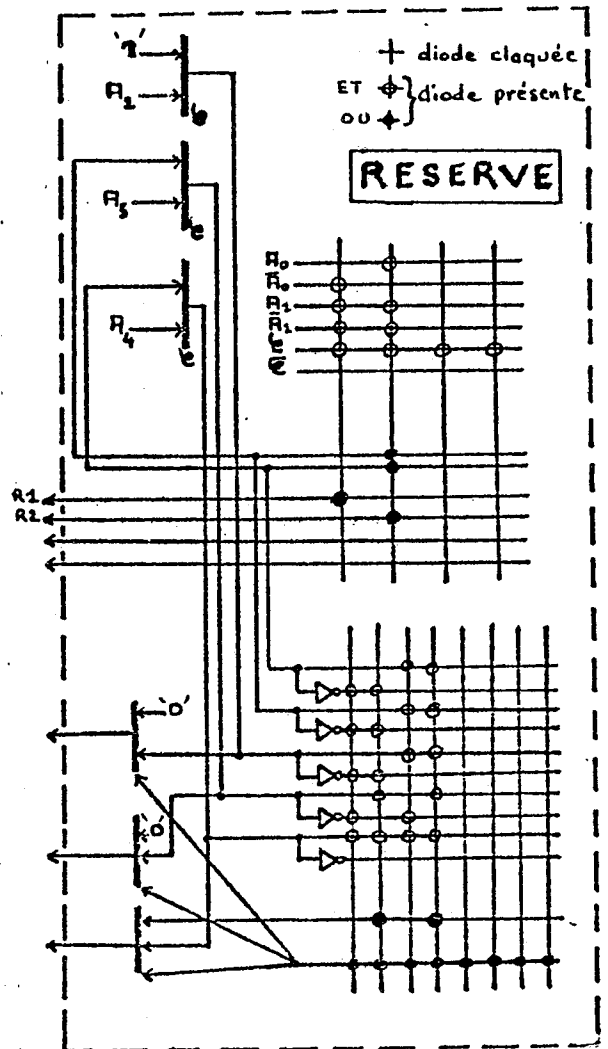
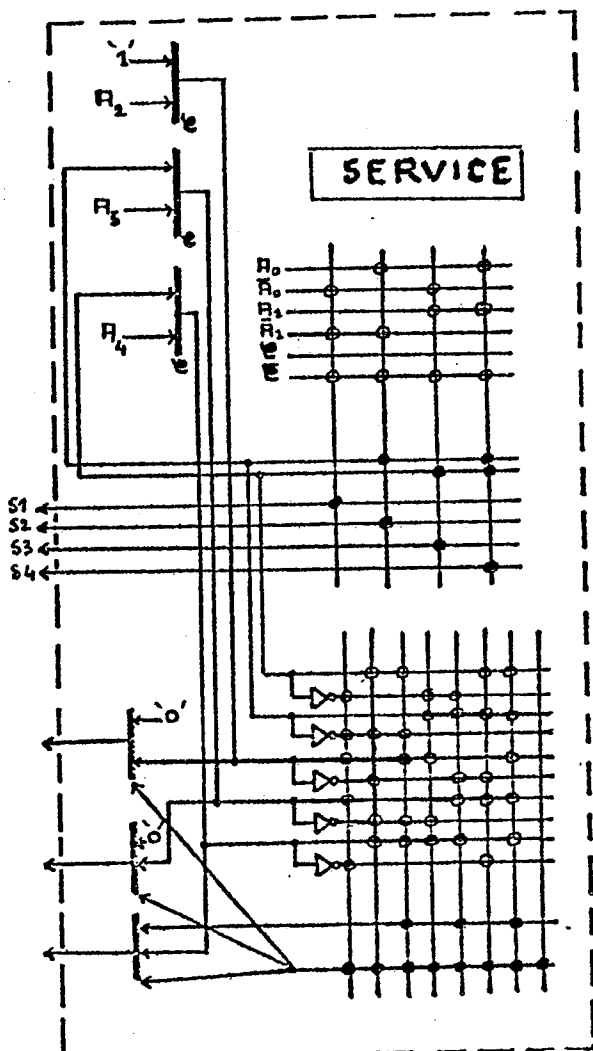


FIGURE A.4.1.

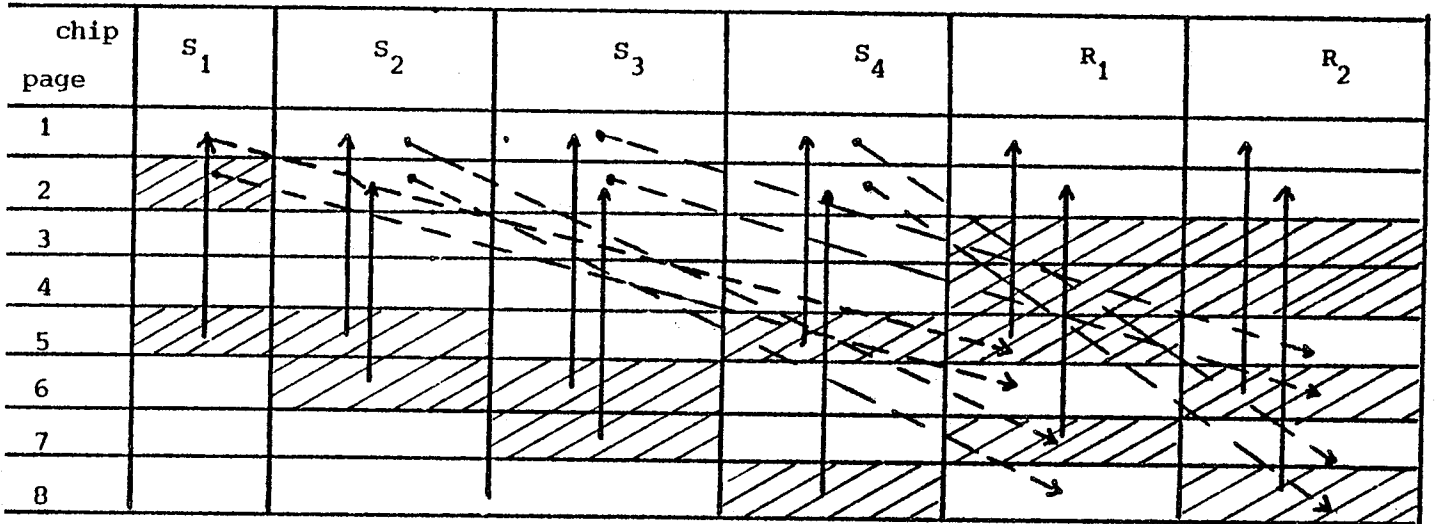




Exemple :

Soit une mémoire formée de quatre chips de service et de deux chips de réserve dont on n'utilisera que la moitié inférieure. On ne considèrera que les pannes sur les pages lignes. Le nombre de pages est de huit et la zone d'échange de deux par chip. La configuration réelle est la suivante :

(zone hachurée = page en panne)



flèche pleine : action du bit de déroutement

flèche pointillée : action de la condition

adressage : chip : A<sub>0</sub> A<sub>1</sub>

page : A<sub>2</sub> A<sub>3</sub> A<sub>4</sub>

Les deux MRP correspondants sont représentés en figure 2.10.

ANNEXE 5

Structures TDA (transcodage distribué - mode A)

1. Structure TDA1 (figure A5.1.)

La structure se présente avec une mémoire de réserve séparée de la mémoire de service mais néanmoins réunie avec elle sur un même chip. L'adressage de la réserve se fait avec une adresse décodée.

Le nombre de pages de la réserve est quelconque. La reconnaissance de la page en panne sert de sélection. L'étage OU du PLA se trouve ainsi inutile.

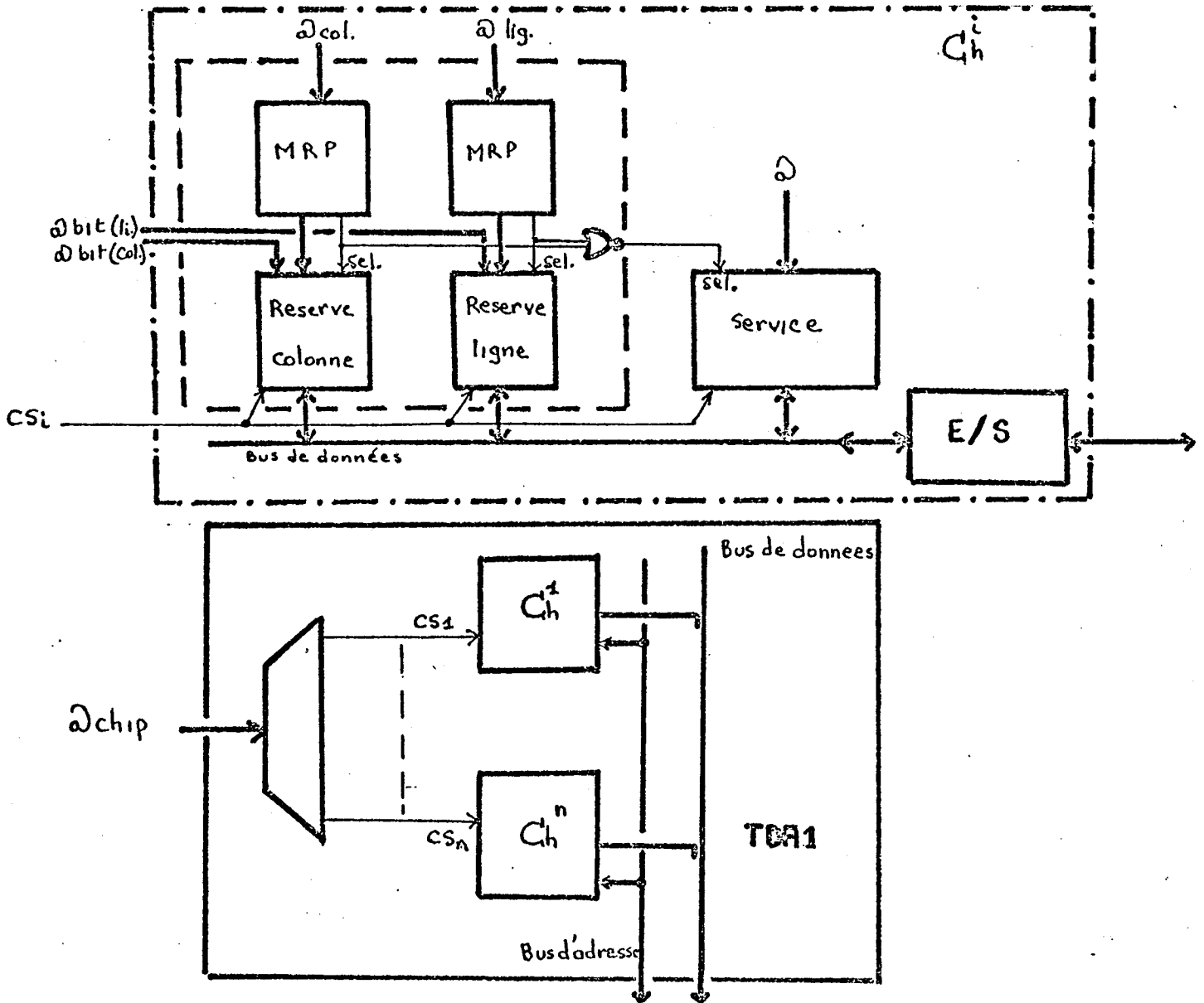


FIGURE A5.1.

La réserve peut se diviser en deux parties. L'une traitera des pannes affectant des lignes, l'autre des pannes affectant des colonnes.

Un avantage de cette division réside dans la possibilité de séparer les phases de sélection des pages de la réserve et ainsi de ne pas faire 'monter' toutes les lignes et colonnes de la réserve à la fois. Ceci permet de limiter la dissipation.

Il est évidemment toujours possible de regrouper les deux MRP en un seul, en utilisant un transcodeur spécial mais dont il y a nécessité de multiplexer les adresses.

## 2. Structure TDA2

Elle diffère de TDA1 par le mode d'adressage de la réserve. Le second étage du PLA code l'adresse destinée à la réserve. Il est possible aussi d'avoir un nombre quelconque de pages en réserve mais il y aura des éléments du code non utilisés. Un transcodeur spécial pourrait être utilisé efficacement dans cette structure.

### Réalisation d'un gain de temps dans les structures TDA1 - TDA2 -

La sélection de la réserve et de la zone de service peut se faire de trois manières :

- positionnement des multiplexeurs
- génération de phases particulières pour la réserve
- sélection sur des entrées - sorties partitionnées

positionnement des multiplexeurs méthode déjà exposée pour des mémoires sur lesquelles notre action ne peut être qu'externe

génération de phases particulières pour la réserve (figure A5.2)

Cette méthode s'applique exclusivement dans le cas où l'accès interne à la mémoire est permis.

Dans ce cas nous avons un gain de temps qui correspond à la suppression du multiplexage. Il présente en outre l'intérêt de ne pas faire monter les lignes et les colonnes de la partie service et de la réserve en même temps. Ainsi cette solution offre l'avantage de dissiper beaucoup moins que dans la méthode précédente.

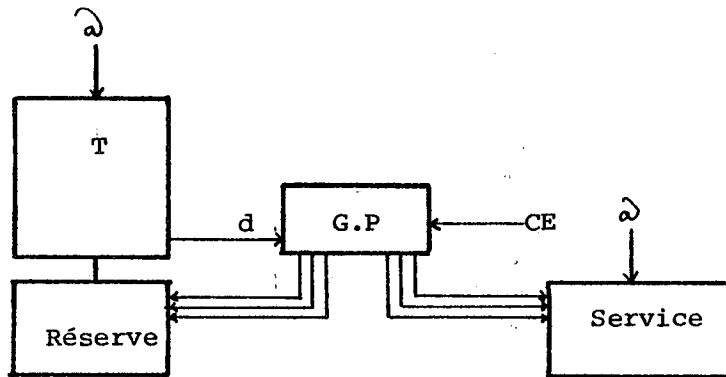
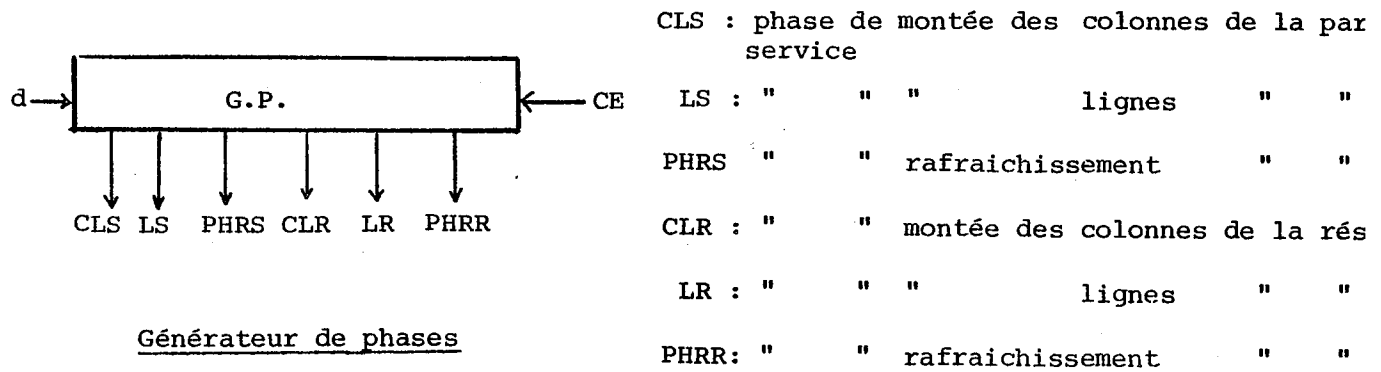


FIGURE A5.2.

Sélection sur des entrées sorties partitionnées (figure A5.3)

Chaque zone mémoire possède son bloc d'entrée-sortie.

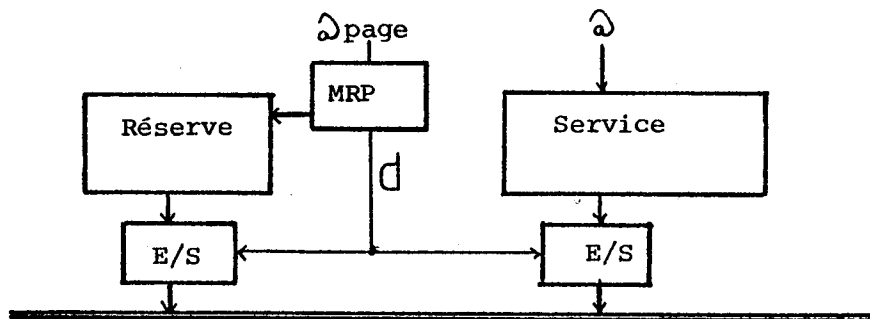


FIGURE A5.3.

S'il y a une complexité plus grande au niveau des entrées sorties, le gain en temps est très intéressant :

Ce gain est obtenu de deux manières :

- suppression du mutliplexage
- secouvrement du temps de décodage de la zonne de service

En effet, dans une mémoire avec transcodage puis décodage (figure A5.4a)

le temps de décodage de la mémoire est le temps de décodage le plus long des deux zones c'est à dire la partie service ( $t_{dS}$ ).

Ce temps s'ajoute à celui du transcodage ( $t_t$ ) qui est sans doute plus long que  $t_{dS}$ . Le temps d'accès sera donc à partir de la mise de l'adresse sur le bus :

$$t_{AC}(Ad) = t_t + t_{dS} + t_{Mx} = \text{temps de multiplexage ; } t_{dS}$$

comprend le temps de montée des lignes et des colonnes). Si l'on agit au niveau du bloc d'entrée-sorties on peut superposer décodage et transcodage (figure A5.4b). Comme le temps de transcodage est supérieur au temps de décodage ( $t_{dS}$ ), le point mémoire est sélectionné lorsque le transcodage est terminé. L'information sera alors disponible après accès à la réserve ( $t_{dR}$ ) dans le cas d'une panne sinon l'information sera immédiatement disponible. Donc le temps d'accès sera :

$$t_{AC}'(Ad) \leq t_t + t_{dR} + t_{E/S}$$

\*  $t_{E/S}$  = temps supplémentaire du aux E/S

Nous évaluerons  $t_{E/S}$  comme étant égal à  $t_{mx}$  pour mieux simplifier. En fait  $t_{E/S}$  doit être inférieur à  $t_{mx}$ .

Comme le décodage de la réserve est plus petit que celui du service nous aurons  $t_{dR} < t_{dS}$  et ainsi  $t_{AC}' < t_{AC}$ .

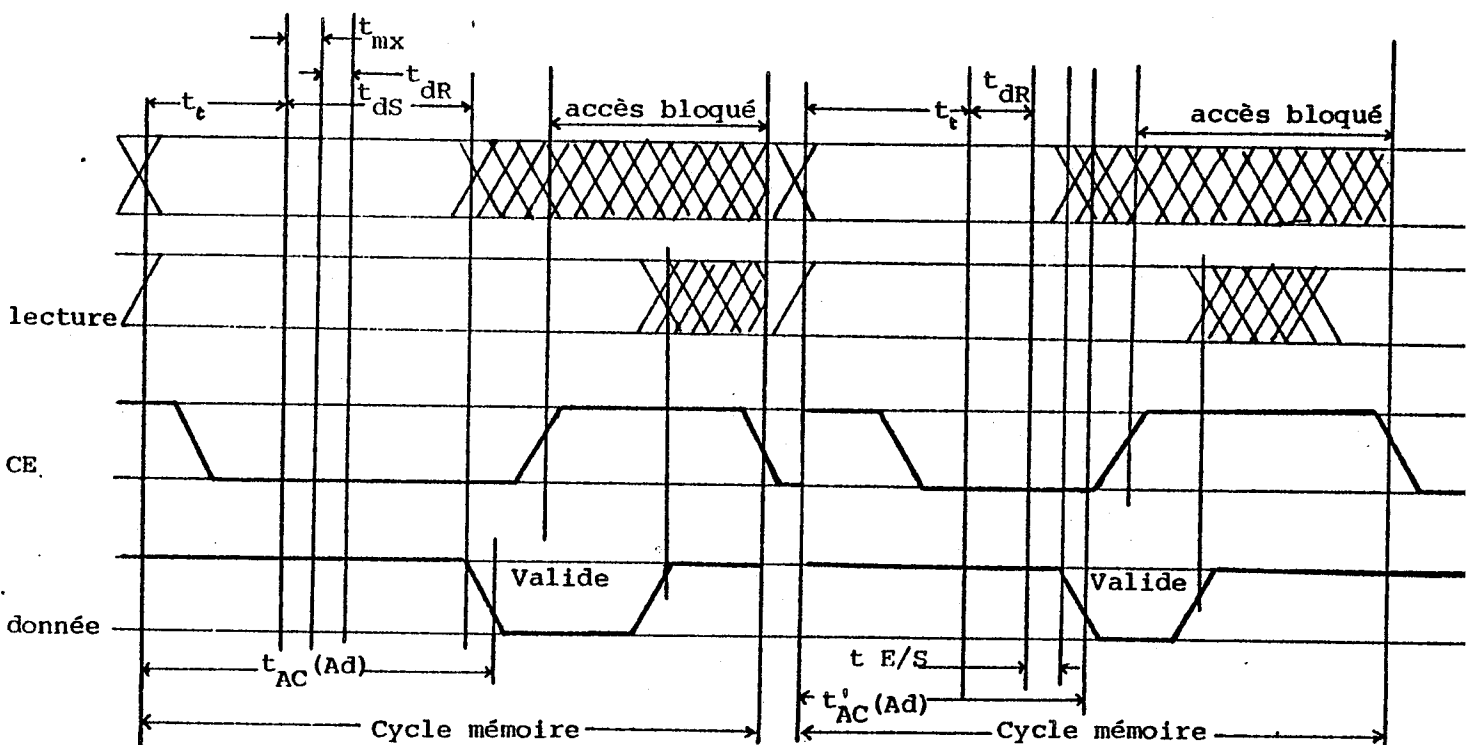


FIGURE A5.4a

FIGURE A5.4b

### 3. Structure TDA3

Dans cette structure la réserve est incluse dans la matrice mémoire. Les organes d'accès de la réserve et de la partie service sont communs.

Cette méthode à l'avantage de tasser la matrice mémoire, il y a cependant une perte mémoire due à l'intersection des pages de réserve. Il faudra donc estimer précisément l'augmentation en surface (chapitre IV) en surface sur le taux de panne (Cf. chapitre IV).

L'organisation de la structure est la même que pour TDA1.2. (figure A5.1), mais la structure interne du chip se simplifie (figure A5.5)

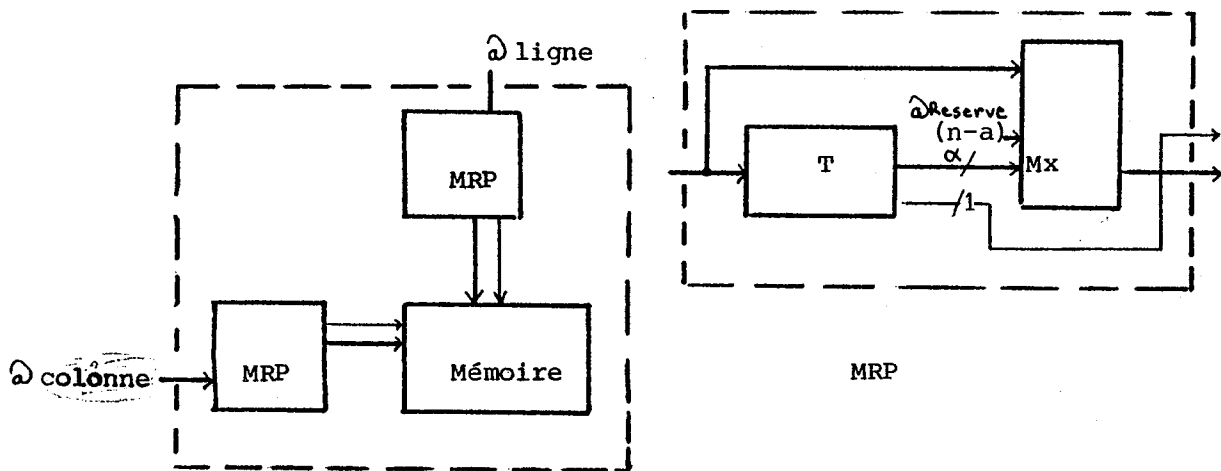


FIGURE A5.5.

ANNEXE 6

Structure EDB (entièrement distribué mode B)

Exemple :

Soit une mémoire de quatre chips ( $A_0, A_1$ ) découpés en 16 pages ( $A_2, A_5$ ), ayant une zone d'échange de quatre pages (adressage  $\overline{A_2} \overline{A_3} = 1$ ) et deux chips de réserve à moitié bons. La figure A6.1 nous en donne le diagramme de représentation de la structure entièrement intégrée avec ses unités de reconfiguration.

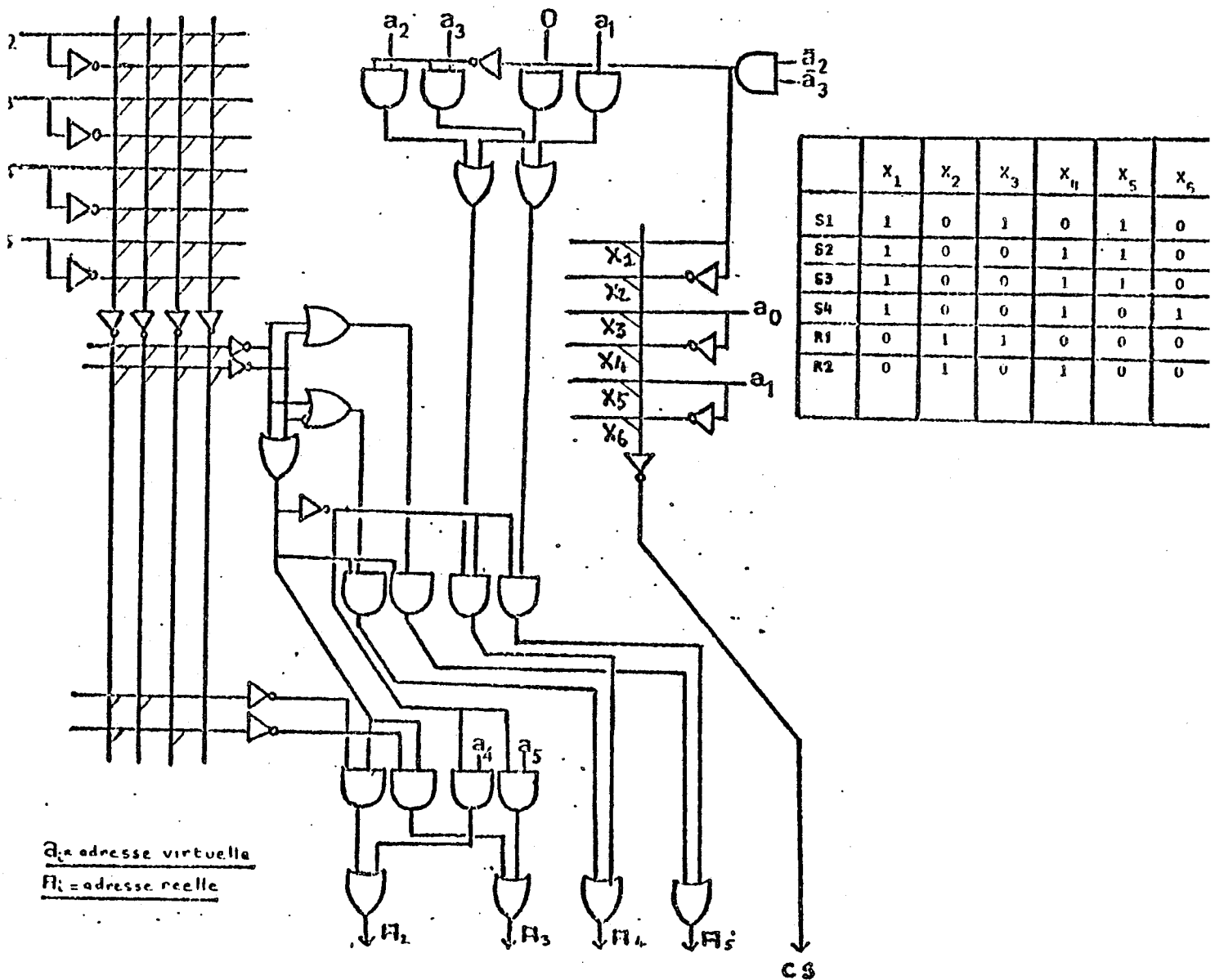


FIGURE A.6.1.

ANNEXE 7

Détermination de  $P_{C_i}$

Leur détermination pose deux problèmes :

- le taux de pannes des composantes matérielles d'un circuit intégré n'est pas bien connu et est un sujet de controverse ([PLA], [MAT], [AI], [BAR]).
- la conséquence d'une panne sur un chip est difficile à déterminer, les pannes n'étant pas en générale franche.

Plaud [PLA] distingue cinq type de défaillances que l'on peut associer à des zones du circuit :

- les zones actives ( $A_1$ )
- les zones d'interconnexions par métallisation ( $A_2$ )
- les interconnexions discrètes ( $A_3$ )
- le boîtier ( $A_4$ )
- la liaison pastille-substrat ( $A_5$ )

Les données les plus récentes [MAT] adaptées à ces zones nous donnent comme probabilité  $P(A_i)$  d'avoir une panne dans une zone  $A_i$   
 $P(A_1) = 51,9 \%$   $P(A_2) = 6,6 \%$   $P(A_3) = 10,3 \%$   $P(A_4) = 2,6 \%$   
 $P(A_5) = 5,2 \%$

Impact des pannes

La détermination de l'impact des pannes est complexe mais se trouve simplifiée par le fait qu'elle est réalisée sur une mémoire où l'effet fonctionnel des pannes peut être assez bien délimité.

Pour chacune des zones  $A_i$ , nous déterminerons  $P_{ij}$  le pourcentage de pannes relatif à chaque classe  $C_j$ .

$A_1$  : zones actives

Sur les différents éléments fonctionnels les taux de pannes sont différents car les taux d'intégration sont différents.

Cependant, afin de simplifier l'évaluation, nous diminuerons la surface représentée par la surface du décodage qui possède une intégration plus faible.

D'autre part, nous considérerons que les pourcentages de pannes relatifs à chaque classe, sont proportionnels à la surface des éléments fonctionnels qui forment la classe.



La détermination des surfaces [THO1] est la suivante :

- classe C<sub>1</sub> : circuits de phase, E/S générale, logique d'accès :  
1,36 mm<sup>2</sup> (S<sub>1</sub>)
- classe C<sub>2</sub> : décodage (1er niveau), buffers d'entrée : 0,105 log<sub>2</sub>n  
(mm<sup>2</sup>) (S<sub>2</sub>)
- classe C<sub>3</sub> : décodage (2ème niveau), amplificateurs lignes et colonnes  
amplificateurs de rafraichissement, porte d'entrée-sortie :  
0,04√n (S<sub>3</sub>)
- classe C<sub>4</sub> : points mémoire : 9 10<sup>-4</sup> n (S<sub>4</sub>)

Ainsi les pourcentages de pannes pour chaque classe sont :

$$P_{11} = \frac{1,36}{S^*} P(A_1) \quad P_{12} = \frac{0,105}{S^*} \cdot \log_2 n \cdot P(A_1)$$

$$P_{13} = \frac{0,04}{S^*} \cdot \sqrt{n} \cdot P(A_1) \quad P_{14} = \frac{9 \cdot 10^{-4}}{S^*} \cdot n \cdot P(A_1)$$

S\* = surface active.  
= S<sub>1</sub>+S<sub>2</sub>+S<sub>3</sub>+S<sub>4</sub>

A<sub>2</sub> : zones d'interconnexion par métallisation

Il est difficile de distinguer l'influence de la fragilité d'une métallisation sur les pannes. Une attitude raisonnable consiste à répartir uniformément ces défauts dans toutes les classes

$$\text{Donc : } P_{2i} = \frac{S_i}{S^*} P(A_1)$$

A<sub>3</sub> : interconnexions discrètes

Leur défaillance peut avoir deux effets sur les (log<sub>2</sub>n +6) broches (memoirc MOS)

- la moitié du boitier mémoire en panne (log<sub>2</sub>n broches d'adressage)
- tout le boitier mémoire : - broches d'alimentation (V<sub>BB</sub>, V<sub>SS</sub>, V<sub>DD</sub>  
pour une mémoire MOS)
  - broches d'E/S (I/O) (1 bit)
  - broche de validation (CE)
  - broche de lecture écriture (Rw)

Pour une mémoire MOS nous aurons donc :

$$P_{31} = \frac{6}{6 + \log_2 n} \cdot P(A_3) \quad P_{32} = \frac{\log_2 n}{6 + \log_2 n} \cdot P(A_3) \quad P_{33} = P_{34} = 0$$

A<sub>4</sub> : le boitier

Ici aussi nous avons une grande difficulté d'appréciation de l'influence de ce type de panne. Ceci nous conduit à avoir une estimation par défaut sur le pourcentage cherché en considérant que ce type de panne mène rapidement à l'élimination totale du boitier.

$$\text{Donc : } P_{41} = P(A_4) \quad P_{42} = P_{43} = P_{44} = 0$$

A<sub>5</sub> : liaison pastille substrat

Une mauvaise liaison pastille substrat peut conduire à terme à la création de "points chauds" par mauvaise dissipation et à la destruction des fonctions du boitier.

$$\text{Donc : } P_{51} = P(A_5) \quad P_{52} = P_{53} = P_{54} = 0$$

Nous déduirons de cette étude les pourcentages relatifs à chaque classe :

$$P_{C1} = \sum_{i=1}^5 P_{i1} = \frac{0,796}{S^*} + \frac{0,62}{6 + \log_2 n} + 0,312$$

$$P_{C2} = \sum_{i=1}^5 P_{i2} = \frac{0,061}{S^*} + \frac{0,103}{6 + \log_2 n} \log_2 n$$

$$P_{C3} = \sum_{i=1}^5 P_{i3} = \frac{0,023}{S^*} \sqrt{n}$$

$$P_{C4} = \sum_{i=1}^5 P_{i4} = \frac{5,27 \cdot 10^{-4}}{S^*} \cdot n$$

La figure A.7.1 nous donne ces pourcentages en fonction de la capacité du boitier mémoire. Ce résultat présente déjà en lui même un intérêt pour l'utilisateur. En particulier, nous noterons qu'au delà de 16K les chips mémoire présentent moins de pannes sur tout le chip. La probabilité d'affecter un seul bit est la plus forte. Cela est du à la part de plus en plus grande prise par la matrice mémoire.

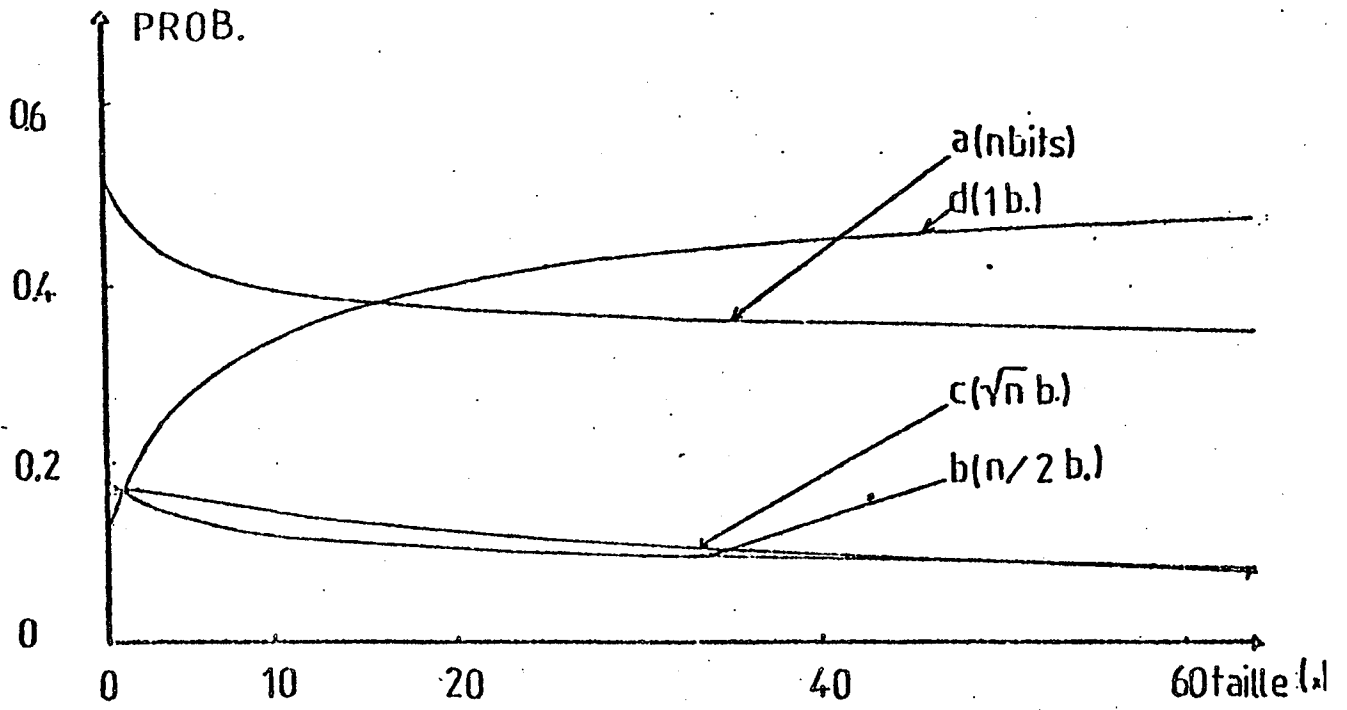


FIGURE A.7.1.

ANNEXE 8Calcul de  $\mu_{Pe}$ 

Expression du taux de pannes des organes périphériques d'un système mémoire correcteur de bits :

$$\mu_{Pe} = \mu_{COM} + \mu_{CON} + \mu_{DEC} + \mu_{CDC} + \mu_{CAR}$$


---

$\mu_{COM}$  : taux de pannes des communications (essentiellement soudures) sur les cartes mémoires.

$$\mu_{COM} = \frac{N}{n} M (6 + \log_2 n) + 16 N_C N_P \lambda_S$$


---

$6 + \log_2 n$  = nombre de broches utiles par boitiers.

$\lambda_S$  : taux de pannes d'une soudure

\*  $N_P$  : nombre de boitiers des circuits périphériques (décodage, codage, ...)

$N_C$  : nombre de cartes mémoires

(16: nombre moyen de broches par circuit)

$$N_C = \text{ENT} \left( \frac{NM/n + N_P}{C} \right) + 1 \quad (C : \text{nombre maximal de boitiers par carte})$$

$$\text{si } \frac{NM}{n} + N_P = 0 [C] \quad N_C = \frac{NM}{n} + N_P$$

$\text{ENT}(x)$  : partie entière de  $x$

\* nous prendrons dans nos calculs  $N_P = 10$

$\mu_{CON}$  : taux de pannes des connecteurs entre cartes mémoires

$$\mu_{CON} = \lambda_C N_C \exp(\text{nombre de contacts} - 1/10)^{0,51064}$$

$$\mu_{CON} = \lambda_C N_C \exp \left[ (\log_2 N + M + 1) / 10 \right]^{0,51064}$$


---

$\lambda_C$  : taux de pannes des contacts

$\log_2 N + M + 2$  : nombre de contacts

$\mu_{DEC}$  : taux de pannes du décodage d'adresse

$$\lambda_{DEC} = N_C \lambda_{DEC}$$


---

$$\frac{N}{n} = 1 \quad \text{DEC} = 0$$

$$\frac{N}{n} = 50 \quad \text{DEC} = \pi_L \pi_Q \left[ 1,29 \cdot 10^{-3} \pi_{T_2} \left(2 \frac{N}{n}\right)^{0,677} + 3,89 \cdot 10^{-3} \left(2 \frac{N}{n}\right)^{0,359} \pi_E \right]$$

$$\frac{N}{n} = 50 \quad \text{DEC} = \pi_L \pi_Q \left[ 0,0187 e^{0,00942 \frac{N}{n}} \pi_{T_2} + \pi_E \cdot 0,013 e^{0,0846 \frac{N}{n}} \right]$$

$\pi_L$  : facteur de production

$\pi_Q$  : facteur de qualité

$\pi_E$  : facteur d'environnement

$\pi_{T_2}$  : facteur de température pour circuit MOS

$\omega_{\text{CDC}}$  : taux de pannes des circuits de codage - décodage correction de l'information. Il dépend de la longueur du mot codé mais surtout de la manière de l'engendrer et de le reconnaître.

$$\omega_{\text{CDC}} = \lambda_{1K} \frac{M}{1024} \left[ 3 \frac{k}{2} + 4 \right] \quad \lambda_{1K} : \text{taux de panne d'un chip mémoire de } 1K \times 1b.$$

k : nombre de bits de vérification

$\omega_{\text{CAR}}$  : taux de pannes des cartes

$$\omega_{\text{CAR}} = \pi_E \lambda_B N_T$$

$\lambda_B$  : taux de pannes de base

$$N_T = \frac{NM}{n} (6 + \log_2 n) + 16 N_C N_P$$

Ainsi nous aurons :

$$\omega_{P_e} = \left[ \frac{NM}{n} (6 + \log_2 n) + 160 N_e \right] (\pi_E \lambda_B + \lambda_S) + N_C (\lambda_C \exp[(\log_2 N + M + 1)/10]^{0,51} + \lambda_{\text{DEC}}) + \frac{\lambda_{1K} \cdot M}{1024} \left( \frac{3k}{2} + 4 \right)$$

Exemple : Soit un système mémoire de 64K x 13 bits (9 bits d'information) implanté sur une carte de capacité 100 boîtiers, la courbe de la figure A.8. nous donne l'évolution de  $p_e$  en fonction de la capacité des boîtiers.

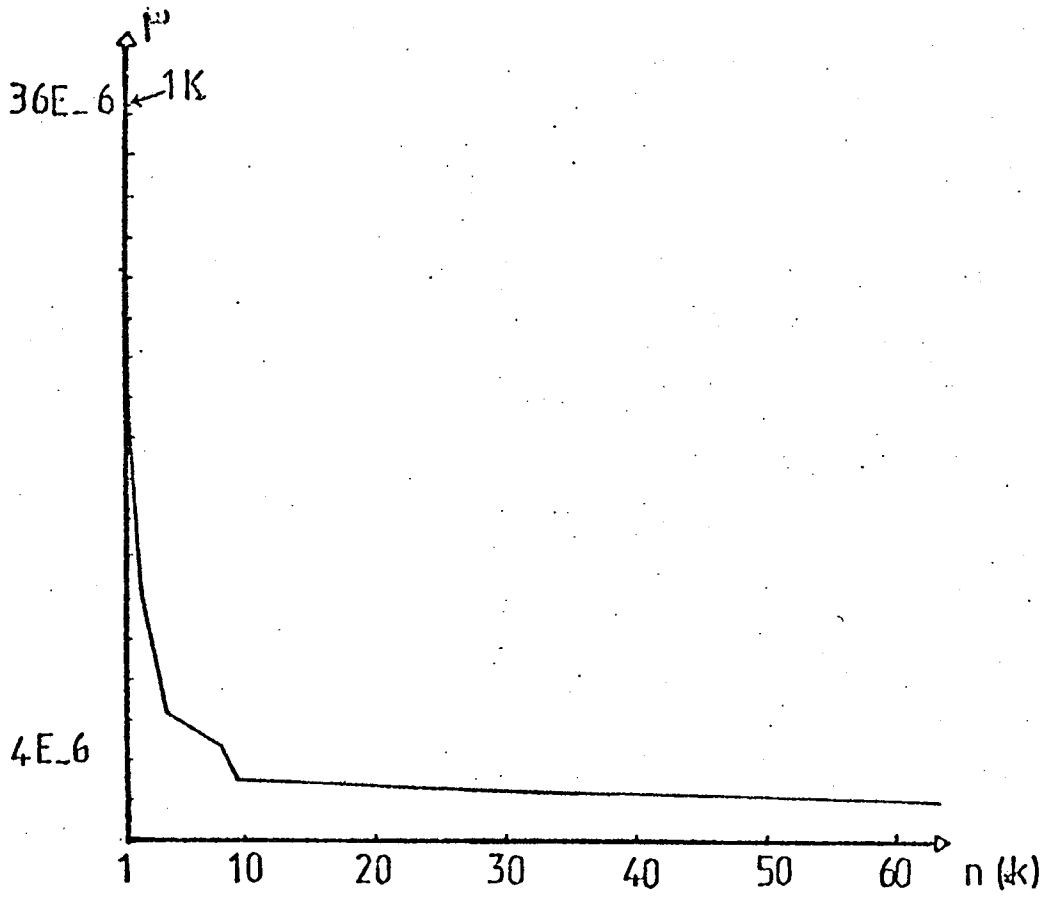


FIGURE A.8.1.



## BIBLIOGRAPHIE

-----





ADA Adam - Aaron  
"Mos Reliability prediction Model"  
Rockwell Corporation

AYA 1 AYACHE JM  
"Design of a very large reconfigurable memory"  
ESSIRC Septembre 76 Toulouse

AYA 2 AYACHE JM  
"Towards an hyperscale integrated memory"  
FTC Katowice Mai 76

AYA 3 AYACHE JM  
"Rapport final contrat MIST"  
Grenoble janvier 76

AYA 4 AYACHE JM - P. LE DANOIS  
"Utilisation des PLA, synthèse de systèmes logiques, application  
à la sécurité"  
Rapport interne Grenoble janvier 76

AYA 5 AYACHE JM - P. LE DANOIS  
"Synthesis of logical systems with PLA's"  
Journées d'électronique 1977 - LAUSANNE Mars 77

BAL BALL - HARDIE  
"Effects and detection of intermittent failure digital systems"  
AFIPS Conference Proceedings vol 35 FJCC 69

BAR BARRETT - SMITH  
"Failure modes and reliability of dynamic RAM's"  
COMPCON Spring Février 77 - San Francisco

BER BERTRAND - GIAMBIASI - MERCIER  
"Mémoires intégrées sur tranche"  
Rapport final Sesori décembre 75

BRO BROWN  
"1103 Semiconductor memory device pattern sensitivities  
and error modes"  
Test memory and LSI conference

BOR J. BOREL  
"Advanced MOSFET technologies : a review"  
Solid state circuits 1976 - Journal de Physique 1977.

CAR           CARTER - M<sup>C</sup> CARTHY  
"Implementation of an experimental fault tolerant memory system"  
FTC5 - Paris juin 75

CHA           CHANDY  
"A survey of analytic models of rollback and recovery  
strategies"  
Computer - mai 75

COU           COURTOIS  
"Etude d'un calculateur tolérant des pannes, ses fiabilité ,  
sécurité performance et coût  
Thèse de docteur ingénieur - Grenoble décembre 76

COX           COX - CAROLL  
"Reliability and coverage analysis of non repairable fault  
tolerant memory systems"  
Final technical report juillet 76

CUL           CULLMANN  
"Codes détecteurs et correcteurs d'erreurs"  
Dunod 67

DIA 1         DIAZ  
"Conception de systèmes totalement autotestables et à pannes  
non dangereuses"  
Thèse d'Etat - Toulouse 74

DIA 2         DIAZ - RUIZ DE ALANO  
"Mémoires intégrées sur tranche"  
Rapport final SESORI décembre 75

DUM           DUMITRESCU - SAUCIER  
"Test de mémoire dynamique à technologie MOS"  
FTC5 - Paris juin 75

FIS           FISHER  
"Test problems and solutions for 4K RAM's"  
Tektronix Incorporation

GOL           GOLDBERG - LEVITT - WENSLEY  
" An organization for a highly survivable memory"  
FTC 3 Palo Alto juin 73

GUP           GUPTA - PORTER - LATHROP  
"Defect analysis and yield degradation of integrated  
circuits"  
IEEE journal of sold state circuit juin 74.

HAI            HAIGHT  
              "Handbook of Poisson distribution"  
              New York Wiley and Sons 67

HSI            HSIAO - BOSSEN  
              "Orthogonal Latin square configuration for LSI Memory yield  
              and Reliability enhancement"  
              FTC4 Urbana juin 74

HUS            HUSTON  
              "Testing Semiconductor memories"  
              Fairchild Semiconductor

KAM            S. KAMAL  
              "An approach to the diagnosis of intermittents faults"  
              IEEE Transactions on Computers Mai 75

KAU            KAUFMANN  
              "Introduction à la combinatoire"  
              Dunod 68

KEM            KEMENY - SNELL  
              "Finite Markov chains"  
              Van Nostrand New York 60

LAP            LAPRIE  
              "Prévision de la sûreté de fonctionnement et architecture  
              de structures numériques temps réels réparables"  
              Thèse d'Etat - Toulouse juin 75

LAR            LARSEN - REED  
              "Redundancy by coding versus redundancy by replication  
              for failure tolerant sequential circuits"  
              IEEE Transactions on computers - février 72

LET            LETI  
              Demande de contrat MIST - mai 75

LEV            LEVINE - MEYERS  
              "Semiconductor memory reliability with error detecting  
              and correcting codes"  
              Computer octobre 76

MAT            MATTERA  
              "Component Reliability part 1"  
              Electronics octobre 75

MAC MACKOWIACK - LE GOASCOZ - GUENIN  
"A1024 bits RMM Memory with TTL compatibility"  
ESSIRC Toulouse Septembre 76

MAT MATHUR  
"Reliability modeling and architecture of ultrareliable  
fault tolerant digital computers"  
P.H.D. Departement of computer science UCLA juin 70

MIE MINE - KOGA  
"Basic properties and a construction method for fail safe  
logical systems"  
IEEE Transactions on electronic computers - juin 67

MIL Military standardization handbook "Reliability prediction of  
electronic equipment"  
MIL HDBK 217B - septembre 74

MIN MINIER - BAROIN  
"Procédé de mise hors service automatique des éléments  
défectueux d'une mémoire et mémoire autoréparable"  
Brevet

MOO MOORE  
"What level of LSI is best for you"  
Electronics février 70

MUR MURPHY  
"Cost size optima of monolithic integrated circuits.  
Proceedings IEEE 64

NEV NEVALA - PELLETIER  
"Testing of statue bipolar RAM'S  
Fairchild Semiconductor

PAL PALFI  
"Dynamic memories"  
Advanced memory systems Inc.

PET PETERSON - WELDON  
"Error correcting codes"  
MIT Press 72

PLA PLAUD  
"Evaluation prévisionnelle de la fiabilité des circuits LSI"  
Colloque international sur les circuits intégrés complexes -  
Paris - décembre 74

PLE PLESSEY  
 "Rapport final de contrat mémoire reconfigurable en ligne .

PRI PRICE  
 "A new look at yield of integrated circuits"  
 Proceedings of IEEE août 70

RAM RAMAMOORTHY - CHANDY  
 "Rollback and recovery strategies"  
 IEEE Transactions on computers février 72

RIC RICHARD  
 "Projet MINOS"  
 Note interne CII

SAN SANTOS  
 "A general approach to the problem of interleaved memory  
 reconfiguration .  
 North holland publishing Company 74

SCH SCHNABLE -EWALD - SCHLEGEL  
 "MOS integrated circuit reliability"  
 IEEE Transaction on reliability février 72

SEE SEEDS  
 "Yield and cost analysis of bipolar LSI"  
 IEEE International electron devices Meeting Washington -  
 octobre 67

SIE SIEWIOREK- M<sup>C</sup> CLUSKEY  
 "An iterative cell switch design for hybrid redundancy"  
 Pb 220569/8 Stanford decembre 71

SRI SRINAVASAN  
 "Codes for error in high speed memory systems"  
 IEEE Transactions on computers août 71

STA STAPPER  
 "Defect density distribution for LSI yield calculation"  
 IEEE Transactions on electron devices juillet 73

SZY SZYGENDA - FLYNN  
 "Failure analysis of memory organization for utilization on a  
 self repair memory systems"  
 IEEE Transactions on reliability mai 71

TEX Preliminary reliability report for TI Serie TMS 4030,  
TMS 4050, TMS 4060, 4K RAM'S

THOM THOMSON  
"Test des mémoires reconfigurables"  
Note interne novembre 75

THO1 THORN  
"Surfaces des circuits mémoires semi conducteurs"  
Note interne juin 75

THO2 THORN  
"Rendements des circuits intégrés mémoires"  
Note interne juin 75

WAK WAKERLY  
"Microcomputer Reliability improvement using triple  
modular redundancy"  
Proceedings of IEEE vol 64 n°6 juin 76 (Spécial issue)

WAR WARNER  
"Applying a composite model of the IC yield problem"  
IEEE journal of solid state circuits from 74

YAN YANAGAWA  
"Yield degradation of integrated circuits due to spot defects"  
IEEE transactions on electron devices février 72

YAO YAO TUNG TEN  
"International failure problems of from phase MDS circuits"  
Journal of solid state circuits n°3 juin 69

YIN YING WAH Ng - AVIZIENIS  
A model for transient and permanent fault recovery in closed  
fault tolerant systems"  
FTC6 Pittsburgh juin 76

AUTORISATION DE SOUTENANCE

VU les dispositions de l'article 3 de l'arrêté du 16 Avril 1974,


VU les rapports de présentation de :

- Madame G. SAUCIER, Maître de Conférences à l'Institut National Polytechnique de GRENOBLE
- Monsieur M. DIAZ, Chargé de Recherche au C.N.R.S.

Monsieur Jean-Michel A Y A C H E

est autorisé à présenter une thèse en soutenance pour l'obtention du .  
diplôme de DOCTEUR-INGENIEUR, spécialité "Génie Informatique".

Grenoble, le 12 Janvier 197

  
**Ph. TRAYNARD**  
Président  
de l'Institut National Polytechnique



