



HAL
open science

Algèbre multivaluées [sic] et circuits logiques I²L

Trong Tich Dao

► **To cite this version:**

Trong Tich Dao. Algèbre multivaluées [sic] et circuits logiques I²L. Modélisation et simulation. Institut National Polytechnique de Grenoble - INPG; Université Joseph-Fourier - Grenoble I, 1979. tel-00288792

HAL Id: tel-00288792

<https://theses.hal.science/tel-00288792>

Submitted on 18 Jun 2008

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THESE

présentée à

**Université Scientifique et Médicale de Grenoble
Institut National Polytechnique de Grenoble**

pour obtenir le grade de
DOCTEUR D'ETAT

par

DAO Trong Tich



ALGEBRE MULTIVALUEES ET CIRCUITS LOGIQUES I²L



Thèse soutenue le 26 janvier 1979 devant la commission d'examen

L. BOLLIET

Président

M. CAMUS

M. DE MAN

M. DURANTE

M. KUNTZMANN

M. LACOUR

Mme. SAUCIER

Examineurs

UNIVERSITE SCIENTIFIQUE ET MEDICALE DE GRENOBLE

Monsieur Gabriel CAU : Président

Monsieur Joseph KLEIN : Vice-Président

MEMBRES DU CORPS ENSEIGNANT DE L'U.S.M.G.

PROFESSEURS TITULAIRES

MM.	AMBLARD Pierre	Clinique de dermatologie
	ARNAUD Paul	Chimie
	ARVIEU Robert	I.S.N.
	AUBERT Guy	Physique
	AYANT Yves	Physique approfondie
Mme	BARBIER Marie-Jeanne	Electrochimie
MM.	BARBIER Jean-Claude	Physique expérimentale
	BARBIER Reynold	Géologie appliquée
	BARJON Robert	Physique nucléaire
	BARNOUD Fernand	Biosynthèse de la cellulose
	BARRA Jean-René	Statistiques
	BARRIE Joseph	Clinique chirurgicale A
	BEAUDOING André	Clinique de pédiatrie et puériculture
	BELORIZKY Elie	Physique
	BARNARD Alain	Mathématiques pures
Mme	BERTRANDIAS Françoise	Mathématiques pures
MM.	BERTRANDIAS Jean-Paul	Mathématiques pures
	BEZES Henri	Clinique chirurgicale et traumatologie
	BLAMBERT Maurice	Mathématiques pures
	BOLLIET Louis	Informatique (I.U.T. B)
	BONNET Jean-Louis	Clinique ophtalmologie
	BONNET-EYMARD Joseph	Clinique hépato-gastro-entérologie
Mme	BONNIER Marie-Jeanne	Chimie générale
MM.	BOUCHERLE André	Chimie et toxicologie
	BOUCHEZ Robert	Physique nucléaire
	BOUSSARD Jean-Claude	Mathématiques appliquées
	BOUTET DE MONVEL Louis	Mathématiques pures
	BRAVARD Yves	Géographie
	CABANEL Guy	Clinique rhumatologique et hydrologique
	CALAS François	Anatomie
	CARLIER Georges	Biologie végétale
	CARRAZ Gilbert	Biologie animale et pharmacodynamie

MM.	CAU Gabriel	Médecine légale et toxicologie
	CAUQUIS Georges	Chimie organique
	CHABAUTY Claude	Mathématiques pures
	CHARACHON Robert	Clinique ot-rhino-laryngologique
	CHATEAU Robert	Clinique de neurologie
	CHIBON Pierre	Biologie animale
	COEUR André	Pharmacie chimique et chimie analytique
	COUDERC Pierre	Anatomie pathologique
	DEBELMAS Jacques	Géologie générale
	DEGRANGE Charles	Zoologie
	DELORMAS Pierre	Pneumophtisiologie
	DEPORTES Charles	Chimie minérale
	DESRE Pierre	Métallurgie
	DODU Jacques	Mécanique appliquée (I.U.T. I)
	DOLIQUE Jean-Michel	Physique des plasmas
	DREYFUS Bernard	Thermodynamique
	DUCROS Pierre	Cristallographie
	FONTAINE Jean-Marc	Mathématiques pures
	GAGNAIRE Didier	Chimie physique
	GALVANI Octave	Mathématiques pures
	GASTINEL Noël	Analyse numérique
	GAVEND Michel	Pharmacologie
	GEINDRE Michel	Electroradiologie
	GERBER Robert	Mathématiques pures
	GERMAIN Jean-Pierre	Mécanique
	GIRAUD Pierre	Géologie
	JANIN Bernard	Géographie
	KAHANE André	Physique générale
	KLEIN Joseph	Mathématiques pures
	KOSZUL Jean-Louis	Mathématiques pures
	KRAVTCHENKO Julien	Mécanique
	LACAZE Albert	Thermodynamique
	LACHARME Jean	Biologie végétale
Mme	LAJZEROWICZ Janine	Physique
MM.	LAJZEROWICZ Joseph	Physique
	LATREILLE René	Chirurgie générale
	LATURAZE Jean	Biochimie pharmaceutique
	LAURENT Pierre	Mathématiques appliquées
	LEDRU Jean	Clinique médicale B
	LE ROY Philippe	Mécanique (I.U.T. I)

MM.	LLIBOUTRY Louis	Géophysique
	LOISEAUX Jean-Marie	Sciences nucléaires
	LONGEQUEUE Jean-Pierre	Physique nucléaire
	LOUP Jean	Géographie
Mlle	LUTZ Elisabeth	Mathématiques pures
MM.	MALINAS Yves	Clinique obstétricale
	MARTIN-NOEL Pierre	Clinique cardiologique
	MAYNARD Roger	Physique du solide
	MAZARE Yves	Clinique Médicale A
	MICHEL Robert	Minéralogie et pétrographie
	MICOUD Max	Clinique maladies infectieuses
	MOURIQUAND Claude	Histologie
	MOUSSA André	Chimie nucléaire
	NEGRE Robert	Mécanique
	NOZIERES Philippe	Spectrométrie physique
	OZENDA Paul	Botanique
	PAYAN Jean-Jacques	Mathématiques pures
	PEBAY-PEYROULA Jean-Claude	Physique
	PERRET Jean	Séméiologie médicale (neurologie)
	RASSAT André	Chimie systématique
	RENARD Michel	Thermodynamique
	REVOL Michel	Urologie
	RINALDI Renaud	Physique
	DE ROUGEMONT Jacques	Neuro-Chirurgie
	SARRAZIN Roger	Clinique chirurgicale B
	SEIGNEURIN Raymond	Microbiologie et hygiène
	SENGEL Philippe	Zoologie
	SIBILLE Robert	Construction mécanique (I.U.T. I)
	SOUTIF Michel	Physique générale
	TANCHE Maurice	Physiologie
	VAILLANT François	Zoologie
	VALENTIN Jacques	Physique nucléaire
Mme	VERAIN Alice	Pharmacie galénique
MM.	VERAIN André	Physique biophysique
	VEYRET Paul	Géographie
	VIGNAIS Pierre	Biochimie médicale

PROFESSEURS ASSOCIES

MM. CRABBE Pierre
SUNIER Jules

CERMO
Physique

PROFESSEURS SANS CHAIRE

Mlle	AGNIUS-DELORS Claudine	Physique pharmaceutique
	ALARY Josette	Chimie analytique
MM.	AMBROISE-THOMAS Pierre	Parasitologie
	ARMAND Gilbert	Géographie
	BENZAKEN Claude	Mathématiques appliquées
	BIAREZ Jean-Pierre	Mécanique
	BILLET Jean	Géographie
	BOUCHET Yves	Anatomie
	BRUGEL Lucien	Energétique (I.U.T. I)
	BUISSON René	Physique (I.U.T. I)
	BUTEL Jean	Orthopédie
	COHEN-ADDAD Jean-Pierre	Spectrométrie physique
	COLOMB Maurice	Biochimie médicale
	CONTE René	Physique (I.U.T. I)
	DELOBEL Claude	M.I.A.G.
	DEPASSEL Roger	Mécanique des fluides
	GAUTRON René	Chimie
	GIDON Paul	Géologie et minéralogie
	GLENAT René	Chimie organique
	GROULADE Joseph	Biochimie médicale
	HACQUES Gérard	Calcul numérique
	HOLLARD Daniel	Hématologie
	HUGONOT Robert	Hygiène et médecine préventive
	IDELMAN Simon	Physiologie animale
	JOLY Jean-René	Mathématiques pures
	JULLIEN Pierre	Mathématiques appliquées
Mme	KAHANE Josette	Physique
MM.	KRAKOWIACK Sacha	Mathématiques appliquées
	KUHN Gérard	Physique (I.U.T. I)
	LUU DUC Cuong	Chimie organique - pharmacie
	MICHOULIER Jean	Physique (I.U.T. I)
Mme	MINIER Colette	Physique (I.U.T. I)

MM.	PELMONT Jean	Biochimie
	PERRIAUX Jean-Jacques	Géologie et minéralogie
	PFISTER Jean-Claude	Physique du solide
Mlle	PIERY Yvette	Physiologie animale
MM.	RAYNAUD Hervé	M.I.A.G.
	REBECQ Jacques	Biologie (CUS)
	REYMOND Jean-Charles	Chirurgie générale
	RICHARD Lucien	Biologie végétale
Mme	RINAUDO Marguerite	Chimie macromoléculaire
MM.	SARROT-REYNAULD Jean	Géologie
	SIROT Louis	Chirurgie générale
Mme	SOUTIF Jeanne	Physique générale
MM.	STIEGLITZ Paul	Anesthésiologie
	VIALON Pierre	Géologie
	VAN CUTSEM Bernard	Mathématiques appliquées

MAITRES DE CONFERENCES ET MAITRES DE CONFERENCES AGREGES

MM.	ARMAND Yves	Chimie (I.U.T. I)
	BACHELOT Yvan	Endocrinologie
	BARGE Michel	Neuro-chirurgie
	BEGUIN Claude	Chimie organique
Mme	BERIEL Hélène	Pharmacodynamie
MM.	BOST Michel	Pédiatrie
	BOUCHARLAT Jacques	Psychiatrie adultes
Mme	BOUCHE Liane	Mathématiques (CUS)
MM.	BRODEAU François	Mathématiques (I.U.T. B) (Personne étrangère habilitée à être directeur de thèse)
	BERNARD Pierre	Gynécologie
	CHAMBAZ Edmond	Biochimie médicale
	CHAMPETIER Jean	Anatomie et organogénèse
	CHARDON Michel	Géographie
	CHERADAME Hervé	Chimie papetière
	CHIAVERINA Jean	Biologie appliquée (EFP)
	COLIN DE VERDIERE Yves	Mathématiques pures
	CONTAMIN Charles	Chirurgie thoracique et cardio-vasculaire
	CORDONNER Daniel	Néphrologie
	COULOMB Max	Radiologie
	CROUZET Guy	Radiologie

MM.	CYROT Michel	Physique du solide
	DENIS Bernard	Cardiologie
	DOUCE Roland	Physiologie végétale
	DUSSAUD René	Mathématiques (CUS)
Mme	ETERRADOSSI Jacqueline	Physiologie
MM.	FAURE Jacques	Médecine légale
	FAURE Gilbert	Urologie
	GAUTIER Robert	Chirurgie générale
	GIDON Maurice	Géologie
	GROS Yves	Physique (I.U.T. I)
	GUIGNIER Michel	Thérapeutique
	GUITTON Jacques	Chimie
	HICTER Pierre	Chimie
	JALBERT Pierre	Histologie
	JUNIEN-LAVILLAVROY Claude	O.R.L.
	KOLODIE Lucien	Hématologie
	LE NOC Pierre	Bactériologie-virologie
	MACHE Régis	Physiologie végétale
	MAGNIN Robert	Hygiène et médecine préventive
	MALLION Jean-Michel	Médecine du travail
	MARECHAL Jean	Mécanique (I.U.T. I)
	MARTIN-BOUYER Michel	Chimie (CUS)
	MASSOT Christian	Médecine interne
	NEMOZ Alain	Thermodynamique
	NOUGARET Marcel	Automatique (I.U.T. I)
	PARAMELLE Bernard	Pneumologie
	PECCOUD François	Analyse (I.U.T. B) (Personnalité étrangère habilitée à être directeur de thèse)
	PEFFEN René	Métallurgie (I.U.T. I)
	PERRIER Guy	Géophysique-glaciologie
	PHELIP Xavier	Rhumatologie
	RACHALL Michel	Médecine interne
	RACINET Claude	Gynécologie et obstétrique
	RAMBAUD Pierre	Pédiatrie
	RAPHAEL Bernard	Stomatologie
Mme	RENAUDET Jacqueline	Bactériologie (pharmacie)
MM.	ROBERT Jean-Bernard	Chimie-physique
	ROMIER Guy	Mathématiques (I.U.T. B) (Personnalité étrangère habilitée à être directeur de thèse)
	SAKAROVITCH Michel	Mathématiques appliquées

MM. SCHAEGER René	Cancérologie
Mme SEIGLE-MURANDI Françoise	Cryptogamie
MM. STOEIBNER Pierre	Anatomie pathologie
STUTZ Pierre	Mécanique
VROUSOS Constantin	Radiologie

MAITRES DE CONFERENCES ASSOCIES

MM. : DEVINE Roderick	Spectro Physique
KANEKO Akira	Mathématiques pures
JOHNSON Thomas	Mathématiques appliquées
RAY Tuhina	Physique

MAITRE DE CONFERENCES DELEGUE

M. : ROCHAT Jacques	Hygiène et hydrologie (pharmacie)
---------------------	-----------------------------------

Fait à Saint Martin d'Hères, novembre 1977

INSTITUT NATIONAL POLYTECHNIQUE DE GRENOBLE

Année universitaire 1977-1978

Président : M. Philippe TRAYNARD

Vice-présidents : M. René PAUTHENET

M. Georges LESPINARD

PROFESSEURS TITULAIRES

MM. BENOIT Jean	Electronique - automatique
BESSON Jean	Chimie minérale
BLOCH Daniel	Physique du solide - cristallographie
BONNETAIN Lucien	Génie chimique
BONNIER Etienne	Métallurgie
* BOUDOURIS Georges	Electronique - automatique
BRISSONNEAU Pierre	Physique du solide - cristallographie
BUYLE-BODIN Maurice	Electronique - automatique
COUMES André	Electronique - automatique
DURAND Francis	Métallurgie
FELICI Noël	Electronique - automatique
FOULARD Claude	Electronique - automatique
LANCIA Roland	Electronique - automatique
LONGEQUEUE Jean-Pierre	Physique nucléaire corpusculaire
LESPINARD Georges	Mécanique
MOREAU René	Mécanique
PARIAUD Jean-Charles	Chimie - physique
PAUTHENET René	Electronique - automatique
PERRET René	Electronique - automatique
POLOUJADOFF Michel	Electronique - automatique
TRAYNARD Philippe	Chimie - physique
VEILLON Gérard	Informatique fondamentale et appliquée
* en congé pour études	

PROFESSEURS SANS CHAIRE

MM. BLIMAN Samuël	Electronique - automatique
BOUVARD Maurice	Génie mécanique
COHEN Joseph	Electronique - automatique
GUYOT Pierre	Métallurgie physique
LACOUME Jean-Louis	Electronique - automatique
JOUBERT Jean-Claude	Physique du solide - cristallographie

.../...

MM.	ROBERT André	Chimie appliquée et des matériaux
	ROBERT François	Analyse numérique
	ZADWORNY François	Electronique - automatique

MAITRES DE CONFERENCES

MM.	ANCEAU François	Informatique fondamentale et appliquée
	CHARTIER Germain	Electronique - automatique
	CHIAVERINA Jean	Biologie, biochimie, agronomie
	IVANES Marcel	Electronique - automatique
	LESIEUR Marcel	Mécanique
	MORET Roger	Physique nucléaire - corpusculaire
	PIAU Jean-Michel	Mécanique
	PIERRARD Jean-Marie	Mécanique
	SABONNADIÈRE Jean-Claude	Informatique fondamentale et appliquée
Mme	SAUCIER Gabrielle	Informatique fondamentale et appliquée
M.	SOHM Jean-Claude	Chimie Physique

CHERCHEURS DU C.N.R.S. (Directeur et Maîtres de Recherche)

M.	FRUCHART Robert	Directeur de Recherche
MM.	ANSARA Ibrahim	Maître de Recherche
	BRONOEL Guy	Maître de Recherche
	CARRE René	Maître de Recherche
	DAVID René	Maître de Recherche
	DRIOLE Jean	Maître de Recherche
	KLEITZ Michel	Maître de Recherche
	LANDAU Ioan-Doré	Maître de Recherche
	MATHIEU Jean-Claude	Maître de Recherche
	MERMET Jean	Maître de Recherche
	MUNIER Jacques	Maître de Recherche

Personnalités habilitées à diriger des travaux de recherche (décision du Conseil Scientifique)
E.N.S.E.E.G.

MM.	BISCONDI Michel	Ecole des Mines St. Etienne (dépt. Métallurgie)
	BOOS Jean-Yves	Ecole des Mines St. Etienne (Métallurgie)
	DRIVER Julian	Ecole des Mines St. Etienne (Métallurgie)

MM.	KOBYLANSKI André	Ecole des Mines St. Etienne (Métallurgie)
	LE COZE Jean	Ecole des Mines St. Etienne (Métallurgie)
	LESBATS Pierre	Ecole des Mines St. Etienne (Métallurgie)
	LEVY Jacques	Ecole des Mines St. Etienne (Métallurgie)
	RIEU Jean	Ecole des Mines St. Etienne (Métallurgie)
	SAINFORT	C.E.N. Grenoble (Métallurgie)
	SOUQUET	U.S.M.G.
	CAILLET Marcel	Ecole des Mines St. Etienne (Chim. Min. Ph.)
	COULON Michel	Ecole des Mines St. Etienne (Chim. Min. Ph.)
	GUILHOT Bernard	Ecole des Mines St. Etienne (Chim. Min. Ph.)
	LALAUZE René	Ecole des Mines St. Etienne (Chim. Min. Ph.)
	LANCELOT Francis	Ecole des Mines St. Etienne (Chim. Min. Ph.)
	SARRAZIN Pierre	Ecole des Mines St. Etienne (Chim. Min. Ph.)
	SOUSTELLE Michel	Ecole des Mines St. Etienne (Chim. Min. Ph.)
	THEVENOT François	Ecole des Mines St. Etienne (Chim. Min. Ph.)
	THOMAS Gérard	Ecole des Mines St. Etienne (Chim. Min. Ph.)
	TOUZAIN Philippe	Ecole des Mines St. Etienne (Chim. Min. Ph.)
	TRAN MINH Canh	Ecole des Mines St. Etienne (Chim. Min. Ph.)

E.N.S.E.R.G.

MM.	BOREL	Centre d'études nucléaires de Grenoble
	KAMARINOS	Centre national recherche scientifique

E.N.S.E.G.P.

M.	BORNARD	Centre national recherche scientifique
Mme	CHERUY	Centre national recherche scientifique
MM.	DAVID	Centre national recherche scientifique
	DESCHIZEAUX	Centre national recherche scientifique

REMERCIEMENTS

Je tiens à remercier Monsieur le Professeur Bolliet d'avoir accepté la présidence du jury de cette thèse.

Je remercie aussi vivement:

- Professeur Kuntzman, qui par ses conseils éclairés, m'a beaucoup aidé dans la rédaction de ce mémoire.
- Madame Saucier, Professeur, d'avoir bien voulu m'accueillir dans son équipe.
- Monsieur le Professeur Hugo de Man, de l'Université Catholique de Louvain et Monsieur le Professeur Durante de l'Université de Montpellier qui ont accepté d'être rapporteurs de ce travail.

Monsieur Lacour, Directeur de Laboratoire au LETI; et Monsieur Camus, Directeur de Recherche au CNET, qui ont voulu faire partie du jury.

- Monsieur D. Kleitman, Directeur de Recherche à Signetics, qui a assuré l'environnement de ce travail.
- Monsieur le Professeur McCluskey de l'Université de Stanford et Monsieur K. Russell, Chef de Département à Signetics, pour leur contribution à cette étude.

A MES PARENTS,
EN TEMOIGNAGE DE MA RECONNAISSANCE ET
AFFECTION.

TABLE DES MATIERES

Introduction.		4
Chapitre premier: Algèbre Multivaluée		8
A . I	<u>Structure de Treillis.</u>	9
	- Algèbre de Post;	10
	- Système disjoint ou l'algèbre d'Epstein;	12
	- Système monotone ou l'algèbre de Muhl- dorf;	13
	- Système libre ou l'algèbre de Braddock et d'Epstein;	13
	- Algèbre d'Herrmann;	14
	Bibliographie A	16
A. II	<u>Structure d'Anneau et de Corps.</u>	18
	- Classe de restes;	19
	- Algèbre d'anneau modulo m;	21
	- Algèbre du Corps de Galois	25
	Bibliographie A ^r	42
Chapitre Second: Aspects Technologiques des Circuits		
	Logiques Multivaluées.	44
B. I	<u>Logique Intégrée à Injection.</u>	47
	Bibliographie B	54
B. II	<u>Portes à Seuil.</u>	55
	- Miroir de courant;	56

- Double Miroir de Courant;	59
- Pondération du signal;	59
- Addition et soustraction des signaux;	60
- Détecteurs de seuil;	62
- Sensibilité de la porte à seuil I^2L ;	65
Appendice:	77
- Miroir de courant avec transistors;	79
- Miroir de courant avec trois transistors;	79
- Miroir de courant à grande impédance de sortie	80
B. III <u>Application Binaire.</u>	68
B. IV <u>Effets de Bruit sur les Circuits Logiques à Niveaux Multiples.</u>	71
Bibliographie. B	82
Chapitre Troisième: Circuits Logiques Quaternaires en Technologie I^2L .	
C. I <u>Circuits Logiques des Algèbres de Post à base 4.</u>	87
- Complément;	87
- Littéral;	88
- Glissement;	90
- Maximum- Minimum;	91
- Multiplexeur.	96
C. II <u>Circuits Logiques du Corps de Galois $GF(4)$</u>	98
- Somme en $GF(4)$;	98
- Produit en $GF(4)$;	100
- Somme et Produit dans les Corps d'Extension	101

	- Somme et produit dans les corps d'extension.	
C.	III <u>Circuits Arithmétiques.</u>	104
	- Additionneur complet;	105
	- Additionneur saturé;	106
	- Produit;	107
	- Carré;	110
	- Multiple;	111
	- Parité;	111
	- Cellule de De Mori et de Guild généralisée;	
	- Réseau de décalage.	111
C.	IV <u>Circuits de Mémoire Multivaluée I²L.</u>	120
	- Quantificateur;	122
	- Bascule synchrone;	122
	- Bascule maître-esclave;	123
	- Mémoire morte.	124
C.	V <u>Circuits d'Interface.</u>	125
	- Du binaire au quaternaire;	125
	- Du quaternaire au binaire;	125
	- Transmission et réception du quaternaire.	126
C.	VI <u>Processus de Fabrication et Résultats Experimentaux.</u>	129
	Bibliographie C	139
	Conclusion.	

INTRODUCTION.

De l'avis général des spécialistes, une véritable révolution technologique est en train de se réaliser, caractérisée par l'utilisation intensive de micro ordinateurs dans tous les domaines de l'industrie, et rendue possible par les progrès continus et considérables apportés aux méthodes modernes de production de circuits intégrés.

De nombreux fabricants de semi-conducteurs, aux E.U.A. et au Japon, mettent à la disposition de leurs chercheurs d'énormes moyens, - capitaux, équipements de pointe, pour tenter une percée technologique qui inaugurerait l'ère de la super-intégration ou VLSI. Les efforts ont pour but de mettre au point une technique de circuits intégrés capable de produire plus d'une dizaine de milliers d'éléments actifs sur une seule "puce". Cette technique mettra en oeuvre une lithographie inférieure à $1\mu\text{m}$, l'implantation ionique au dépens de la diffusion, et les méthodes de conception assistée par ordinateur, dans toutes les phases de réalisation et de fabrication. Elle arrivera à sortir en masse des circuits logiques sub-nanosecondes

Cependant, toutes ces techniques visent principalement à augmenter la densité globale des éléments intégrés sans tenir compte du problème de connexions internes. Celles-ci occupent, en moyenne, de trente à cinquante

pour cent de la superficie d'une "puce". Ce rapport restera consistant, malgré les progrès de miniaturisation. Par ailleurs, l'augmentation du nombre des éléments par "puces" soulève des problèmes de connexions externes.

Il faut pouvoir réduire les connexions internes ou externes par une augmentation de leur capacité de transfert de l'information. Ce qui conduit naturellement à envisager, dans le cadre du VLSI, l'adoption d'une logique plus efficace que la logique binaire.

Vers les années 1920, E. Post a postulé une logique non-binaire, ou multivaluée. Plusieurs extensions théoriques ont suivi. Mais après une longue période de quasi-oubli, les travaux de Post n'ont connu un regain d'intérêt qu'au début de cette décennie. Cependant, comme cela a été le cas en logique binaire, la technologie était en retard par rapport à la théorie, et aucune tentative sérieuse d'applications pratiques n'a été entreprise.

L'invention toute récente de la technologie logique intégrée à injection (I^2L) a suscité notre intérêt pour la création d'une famille complète de logique multivaluée, couvrant l'algèbre de Post et le corps de Galois. Rappelons, que ce dernier connaît depuis 1960 des succès considérables dans le domaine du codage. Nous avons trouvé dans la technologie I^2L toutes les propriétés requises.

Ce mémoire est organisé en trois chapitres. Dans le premier, nous jetons les bases théoriques de notre étude. Nous passons en revue les propriétés essentielles de l'algèbre de Post et ses variantes, comme l'ont proposé Epstein, Muhl-dorf, Herrmann, etc. Ensuite, les propriétés classiques du corps de Galois, ses formes polynomiales canoniques et l'ex-tension algébrique sont rappelées.

De cette étude sommaire nous dégageons un certain nombre de fonctions primitives qu'il serait souhaitable de réaliser.

Le deuxième chapitre débute par une critique des solu-tions technologiques proposées, suivie d'une discussion sur les aspects technologiques des circuits logiques multivalués. Notre solution étant basée sur les circuits à seuil en I^2L , une description détaillée de I^2L ainsi que des portes à seuil est donnée. Plusieurs différents types de miroir de courant, de détecteur à seuil, leur tolérance, leur stabilité, sont discutés en détail.

Muni de ces outils élémentaires nous passons, dans le dernier chapitre, à la présentation des circuits logiques des algèbres de Post et du corps de Galois: le complément, le littéral, le maximum et le minimum, le multiplexeur, la somme et le produit dans $GF(4)$.

Des circuits arithmétiques sont aussi créés d'emblée: l'additionneur complet et saturé, le produit, le carré, le

multiple, la parité, la cellule de De Mori et de Guild et le réseau de décalage. Pour compléter la liste nous ajoutons les circuits de mémoire à registre et mémoire morte, ainsi que les circuits d'interface du binaire au quaternaire. Enfin, les détails sur les processus de fabrication et les résultats expérimentaux sur un certain nombre de circuits de test sont donnés à l'appui. Tous ces circuits sont limités à la base 4 pour des raisons pratiques, mais la technique utilisée se prête facilement à d'autres bases et d'autres technologies.

Chapitre Premier: Algèbres Multivaluées.

A I Structure de Treillis.

- Algèbre de Post;
- Système disjoint ou l'algèbre d'Epstein;
- Système monotone ou l'algèbre de Muhldorf;
- Système libre ou l'algèbre de Braddock et d'Epstein;
- Algèbre de Herrmann;

Bibliographie. A

A II Structure d'Anneau et de Corps.

- Classe de restes;
- Algèbre d'anneau modulo m ;
- Algèbre du Corps de Galois;

Bibliographie A⁺

Algèbres Multivaluées.

Il est bien connu que la théorie des circuits logiques non-binaires est basée sur les algèbres multivaluées qui peuvent être groupées en deux classes distinctes suivant leurs structures:

- 1) Structures de treillis: l'algèbre de Post et les quatre principaux systèmes équivalents:
 - a) le système disjoint, ou l'algèbre d'Epstein;
 - b) le système monotone, ou l'algèbre de Muhldorf;
 - c) le système libre, ou l'algèbre de Braddock et d'Epstein;
 - d) l'algèbre de Herrmann.

2. Structure d'anneau et de corps:
 - a) l'algèbre de l'anneau de restes;
 - b) l'algèbre du corps de Galois.

A partir de certaines opérations de base, il est possible, par de judicieuses interconnexions de ces opérateurs, de créer n'importe quelle fonction logique multivaluée. Afin de déterminer, parmi les opérateurs possibles, ceux des plus utiles et des moins complexes, il est nécessaire d'examiner les structures communes des algèbres multivaluées ci-dessus mentionnées.

A. I Structures de Treillis.

Nutter et Al. (A.1) ont étudié l'équivalence des algèbres multivaluées de Post et les transformations qui permettent

de passer d'une variante à une autre.

Al.1. L'Algèbre de Post: (1921)

La notion originale de logique à m valeurs a été introduite en premier lieu par Post (A.2). Par la suite, Rosenbloom (A.3) en 1942, clarifiait les concepts originaux de Post par l'introduction d'une variante de la fonction "non", désignée comme fonction de glissement, cycle ou successeur.

Considérons l'ensemble de base de la logique et les deux opérations suivantes:

$$\begin{aligned} \text{maximum: } x+y &= \text{Max}(x,y) = \begin{cases} x & x \geq y \\ y & x < y \end{cases} \\ \text{minimum: } x \cdot y &= \text{Min}(x,y) = \begin{cases} x & x \leq y \\ y & x > y \end{cases} \end{aligned}$$

auxquelles on associe les constantes logiques $(0, 1, \dots, m-1)$:

$$x, y \in \{0, 1, \dots, m-1\}$$

Les deux opérateurs jouissent des propriétés suivantes:

commutativité, associativité, et distributivité, comme par

exemple

$$\begin{aligned} x(y+z) &= xy + xz \\ x + yz &= (x+y)(x+z) \end{aligned}$$

0 est l'élément neutre par rapport au maximum, $(n-1)$ est l'élément neutre par rapport au minimum.

Par similarité au complément en algèbre de Boole, on introduit le complément ou plutôt le "dual" d'un élément x comme étant:

$$\bar{x} = (n-1) - x$$

on vérifie immédiatement que: $\bar{\bar{x}} = x$

De même, la loi de Morgan en binaire se généralise: $f(\bar{x}, \bar{y}) = \overline{f(x, y)}$
 $f(x, y) = \overline{f(\bar{x}, \bar{y})}$
 et que le maximum et le minimum sont duaux l'un de l'autre.

Rosenbloom (A.3) introduit l'opération de glissement comme une fonction unaire, définie par le tableau suivant:

ce qui veut dire:

$$\begin{aligned} x_1 &= \text{successeur}(x) \\ x_1 &= (x+1) \bmod n \end{aligned}$$

ou $(\dot{+})$ est prise comme addition arithmétique par distinction avec l'opération maximum $(+)$.

On désignera par x_k la variable x qui a subi k glissements. On vérifiera que:

$$x_{-1} = x_{n-1}$$

est souvent désignée comme prédécesseur.

On peut montrer qu'il est possible d'obtenir toute fonction de l'algèbre de Post par les trois opérations: maximum, minimum, et glissement.

Si l'on pose d'après Kuntzmann (A.4)

$$L_k(x) = (x_0 + x_1 + \dots + x_{n-k-2} + x_{n-k} + \dots + x_{n-1})_1$$

$$L_k(x) = \begin{cases} 1 & \text{si } x = k \\ 0 & \text{si } x \neq k \end{cases}$$

on déduira le théorème d'interpolation de Lagrange en algèbre de Post:

$$f(x) = \sum_{k=0}^{n-1} f(k) L_k(x)$$

Cette formule se généralise aux fonctions de plusieurs variables:

soit x la $(n+1)$ ième variable

on peut écrire:
$$f(x, y, z) = \sum_{k=0}^{n-1} f(k, y, z) L_k(x)$$

où $f(k, x, y)$ est une fonction de n variable seulement. Le théorème de Lagrange est prouvé par récurrence.

Higuchi (A.5) propose la synthèse d'une fonction de l'algèbre de Post par l'application directe du théorème précédent au moyen des portes T , .. généralement connues comme démultiplexeurs.

L'algèbre originale de Post, lorsqu'elle est étendue à une forme à n variables, produit une représentation fonctionnelle, en général, très complexe. Ce qui a entraîné plusieurs auteurs à rechercher d'autres systèmes d'algèbre.

A.1.2. Système Disjoint ou l'Algèbre d'Epstein. (A.6)

Plusieurs chercheurs, Traczyk (A.7), Braddock et Epstein (A.8), Givone et Snelsire (A.9) ont reconnu l'importance pratique de la fonction de Lagrange et ont bâti une variante de l'algèbre de Post, nommée par Traczyk un système disjoint.

Il s'agit de l'opération unaire $C_i(x)$ (A.2) définie comme suit:

Pour tout $i, j \in \{0, 1, \dots, m-1\} = P(m)$

$$1) \quad C_i(x) \cdot C_j(x) = 0$$

$$2) \quad \sum_{i=0}^{m-1} C_i(x) = m-1$$

$$3) \quad x = \sum_{i=0}^{m-1} i \cdot C_i(x)$$

La fonction ponctuelle, ou δ fonction, ou fonction indicatrice, est souvent utilisée en logique sous la notation polynomiale

$$X^i \equiv X^i = \begin{cases} m-1 & \text{pour } x = i \\ 0 & \text{ailleurs} \end{cases}$$

Allen et Givone (A.15) ont élargi cette notion à la fonction de fenêtre:

$$X_{ij}^i \equiv X_{ij}^j = \begin{cases} m-1 & \text{pour } i \leq x \leq j \\ 0 & \text{ailleurs.} \end{cases}$$

Il va sans dire que:

$$X_{ij}^j = \sum_{k=i}^{k=j} X^k$$

Ils ont proposé toute une méthode de synthèse logique basée sur cet opérateur.

A.13. Système Monotone ou l'Algèbre de Muhldorf. (A.10)

Poussé d'avantage vers des considérations pratiques, Muhldorf tenta de ramener le problème de synthèse de logique multivaluée à un problème binaire. Il introduisit la fonction de seuil, d'où le nom de système monotone. Epstein et Traczyk (A.7, A.8) ont défini une algèbre basée sur cette fonction:

Définition: Pour tout $x \in P(m)$

$$\text{soit: } \begin{aligned} 1) \quad X^{oi} &= D_i(x) = \begin{cases} 0 & \text{pour } x < i \\ m-1 & \text{pour } x \geq i \end{cases} \\ 2) \quad X^{i(m-1)} &= \overline{D_i(x)} = \begin{cases} m-1 & \text{pour } x \leq i \\ 0 & \text{pour } x > i \end{cases} \end{aligned}$$

Il est aisé de vérifier que:

$$\begin{aligned} X^i &= D_i(x) \cdot \overline{D_j(x)} \\ x &= \sum_{i=1}^{m-1} i \cdot D_i(x) \cdot \overline{D_i(x)} \end{aligned}$$

D'autres relations immédiates:

$$\begin{aligned} X^{oi} &= D_i(x) = \sum_{j=i}^{m-1} X^j \\ X^{i(m-1)} &= \overline{D_i(x)} = \sum_{j=0}^i X^j \end{aligned}$$

Notons que Ying et Susskind (A.13), et Yoeli et Rosenfeld (A.14) ont largement contribué au développement de cette méthode.

A.14. Système Libre ou l'Algèbre de Braddock et d'Epstein. (A.8)

Braddock et Epstein ont généralisé la fonction de seuil

par l'introduction de la fonction unaire à trois valeurs suivantes:

$$1) \quad B_i(x) = \begin{cases} 0 & \text{pour } x > i \\ m-1 & \text{pour } x = i \\ \text{indéfini ailleurs} & \end{cases}$$

$$2) \quad \overline{B_i(x)} = \begin{cases} \text{indéfini pour } x > i \\ m-1 & \text{pour } x = i \\ 0 & \text{pour } x < i \end{cases}$$

Les notations polynomiales suivantes sont souvent rencontrées:

$$B_i(x) = X^{i(m-1)} \quad ; \quad \overline{B_i(x)} = X^{\overline{0i}}$$

De même, on peut déduire de ces définitions les propriétés suivantes:

$$1) \quad B_i(x) = \begin{cases} X^i & \text{pour } x \geq i \\ \text{indéfini par } & x < i \end{cases}$$

$$2) \quad \overline{B_i(x)} = \begin{cases} \text{indéfini pour } & x > i \\ X^i & \text{pour } x \leq i \end{cases}$$

$$3) \quad X^i = B_i(x) \cdot \overline{B_i(x)}$$

$$4) \quad x = \sum_{i=1}^{m-1} i \cdot B_i(x) \overline{B_i(x)}$$

Cette fonction généralisée de seuil en association avec les fonctions primitives de Post constitue le système libre.

A.15. Algèbre de Herrmann. (A.14)

Une autre généralisation de la fonction ponctuelle a été proposée par Herrmann.

Soit:

$$H_i(x) = \begin{cases} j & \text{pour } x \neq i \quad \text{et } j \neq m-1 \\ m-1 & \text{pour } x = i \end{cases}$$

Si en plus on y associe la fonction de seuil

$$J(x) = D_{m-1}(x) = \begin{cases} 0 & x \neq m-1 \\ m-1 & x = m-1 \end{cases}$$

on a les propriétés suivantes:

$$J[H_i(x)] = X^{i,i} \quad \text{et} \quad x = \sum_{i=0}^{m-1} i \cdot J[H_i(x)]$$

Souvent la notation polynomiale suivante est utilisée:

$$H_i(x) = X^{(i)}$$

$$J(x) = \overline{X}$$

L'algèbre construite sur ces opérateurs se nomme d'après l'auteur.

Conclusion.

Nous pouvons dégager de ce rappel de l'algèbre initiale de Post et des principales variantes qui ont été proposées par Epstein, Muhldorf, Braddock et Herrmann, un certain nombre de fonctions primitives telles que le complément, le glissement, le maximum et le minimum, et les diverses fonctions de seuil. Elles seront l'objet d'une étude détaillée de réalisation pratique en technologie I²L.

A titre de comparaison, considérons les diverses formes canoniques d'une fonction de deux variables dans la base quaternaire. Soit $y = f(x_1, x_2)$ avec y, x_1, x_2 dans l'ensemble $\{0, 1, 2, 3\}$, définie par la table de vérité suivante:

$x_1 \backslash x_2$	0	1	2	3
0	0	0	1	1
1	0	1	2	3
2	1	3	1	3
3	1	2	2	1

Cet exemple sera repris à la page 40, dans le paragraphe sur la représentation canonique dans l'algèbre de Galois.

On vérifie aisément qu'on obtient:

1. dans l'algèbre de Post:

$$f(x_1, x_2) = \left\{ \begin{aligned} &L_1(x_1)L_2(x_2) + L_3(x_1)[L_1(x_2) + L_2(x_2)] \\ &+ 2 \cdot \left\{ [L_1(x_1) + L_2(x_1)]L_3(x_2) + L_2(x_1)L_1(x_2) \right. \\ &+ 1 \cdot \left\{ [L_2(x_1) + L_3(x_1)]L_0(x_2) + L_0(x_1)[L_2(x_2) + L_3(x_2)] + L_1(x_1)L_1(x_2) \right. \\ &\left. \left. + L_2(x_1)L_2(x_2) + L_3(x_1)L_3(x_2) \right\} \right\} \\ &\text{avec} \end{aligned} \right.$$

$$L_0(v) = (v + v_1 + v_2)_1$$

$$L_1(v) = (v + v_1 + v_3)_1$$

$$L_2(v) = (v + v_2 + v_3)_1$$

$$L_3(v) = (v_1 + v_2 + v_3)_1$$

2. Dans l'algèbre d'Epstein;

$$f(x_1, x_2) = \begin{aligned} &{}^3 X_1 X_2 + {}^1 X_1 X_2 + 2 \cdot [{}^1 X_1 X_2 + {}^2 X_1 X_2 + {}^2 X_1 X_2] \\ &+ 1 \cdot [{}^2 X_1 + {}^2 X_2 + {}^1 X_1 X_2] \end{aligned}$$

3. Dans l'algèbre de Muhldorf:

$$f(x_1, x_2) = X_1^{03} X_2^{01} X_2^{23} + X_1^{01} X_1^{13} X_2^{02} X_2^{23} + 2 \left[X_1^{01} X_1^{13} X_2^{02} + X_1^{02} X_1^{23} X_2^{01} \right. \\ \left. + X_1^{02} X_1^{23} X_2^{03} \right] + 1 \left[X_1^{02} + X_2^{02} + X_1^{01} X_1^{13} + X_2^{01} X_2^{13} \right]$$

4. Dans l'algèbre de Braddock: $f(x_1, x_2) = X_1^{\bar{0}3} X_2^{\bar{0}1} X_2^{\bar{2}3} + X_1^{\bar{0}1} X_1^{\bar{1}3} X_2^{\bar{0}2} X_2^{\bar{2}3}$
 $+ 2 \left[X_1^{\bar{0}1} X_1^{\bar{1}3} X_2^{\bar{0}2} + X_1^{\bar{0}2} X_1^{\bar{2}3} X_2^{\bar{0}1} X_2^{\bar{1}3} + X_1^{\bar{0}2} X_1^{\bar{2}3} X_2^{\bar{0}3} \right] + 1 \left[X_1^{\bar{0}2} + X_2^{\bar{0}2} + X_1^{\bar{0}1} X_1^{\bar{1}3} + X_2^{\bar{0}1} X_2^{\bar{1}3} \right]$

5. Dans l'algèbre de Herrman:

$$f(x_1, x_2) = \overline{X_1^{(3)}} \left[\overline{X_2^{(1)}} + \overline{X_2^{(2)}} \right] + \overline{X_1^{(1)}} \overline{X_2^{(2)}} + 2 \left[\overline{X_1^{(1)}} \left(\overline{X_2^{(2)}} + \overline{X_2^{(3)}} \right) + \left(\overline{X_1^{(2)}} + \overline{X_1^{(3)}} \right) \overline{X_2^{(1)}} \right. \\ \left. + \overline{X_1^{(2)}} \overline{X_2^{(3)}} \right] + 1 \cdot \left[\overline{X_1^{(2)}} + \overline{X_1^{(3)}} + \overline{X_1^{(1)}} \overline{X_2^{(1)}} + \overline{X_2^{(2)}} + \overline{X_2^{(3)}} \right]$$

Nous observons que la forme canonique de Post est nettement longue à la suite de la présence de la fonction de glissement. En plus, il n'existe pas à notre connaissance, de méthodes de minimalisation dans cette algèbre, alors que plusieurs techniques assistées par ordinateur, qui généralisent la minimalisation Booléenne, sont déjà disponibles en algèbre d'Epstein et de Muhldorf. Il n'est pas surprenant de noter la similitude entre les formes canoniques d'Epstein et de Herrman d'une part et celles de Muhldorf et de Braddock d'autre part.

Par ailleurs, nous verrons dans la suite que les opérateurs de glissement sont plus difficiles à réaliser que les opérateurs à seuil, qui forment le noyau des autres algèbres. Nous noterons aussi que l'algèbre de Galois, malgré ses limitations, pourrait conduire à des formes canoniques simples.

A. Bibliographie

- A .1 R.S. Nutter, R.E. Swartwout, D.C. Rine: "Equivalence and Transformations for Post Multivalued Algebras", IEEE, Trans. on Comp., Vol. C-23, No.3, Mars 1974, pp. 294-299;
- A .2 E.L. Post: "Introduction to a General Theory of Elementary Propositions", Amer. J Math, vol. 43, pp. 163-185, (1921).
- A .3 P.C. Rosenbloom: "Post Algebras I, Postulates and General Theory", Amer. J. Math., Vol. 64, pp. 167-188, (1942).
- A .4 J. Kuntzmann: "Algèbre de Boole", pp. 90, Dunod : 1968;
- A .5 T. Higuchi, M. Kameyama: "Ternary Logic Circuit using T-gates", Proc. 1975, Int. Symp. on Multivalued Logic, pp. 290-304, May, 1975.
- A .6 G. Epstein: "The Lattice Theory of Post Algebras", Trans. Amer. Math. Soc., Vol. 95, pp. 33-317, 1960.
- A .7 T. Traczyk: "Axioms and some Properties of Post Algebras", Coll. Math., Vol. 10, pp. 193-209, 1963.
- A .8 R. Braddock, G. Epstein and H. Yamanka: "Multiple-valued Logic Design and Applications in Binary Computers", Conf. Rec. 1971, Symp. Theory and Appl. of Multivalued Logic Design, pp. 13-15.
- A .9 D.D. Givone, R.W. Snelsire: "Final Report of the Design of Multi-valued Logic System", Digital Systems Lab., Dept. Elect. Eng., State Uni. of N.Y., Buffalo, N.Y., 1968.
- A .10 E. Muhldorf: "Ternary Switching Algebra", Archiv der Elektrischen Uebertragung, Vol. 12, (1958).
- A .11 C. Ying, A.K. Susskind: "Building Blocks and Synthesis Techniques for the Realization of M-ary Combinational Switching Functions", in Conf. Rec. 1971 Symp. Theory and Applications of Multi-valued Logic Design, pp. 183-295.
- A .12 M. Yoeli, G. Rosenfeld: "Logical Design of Ternary Switching Circuits", I.E.E.E., Trans. E. Comp., Vol. EC-14, pp. 19-29, Feb. 1965.
- A .13 R.S. Nutter: "Function Simplification Techniques for Postian Multi-valued Logic Systems", Ph.D. Dissertation, W. Virginia University, Morgantown, 1971.

- A .14 R.L. Herrmann: "Selection and Implementation of a Ternary Switching Algebra", 1968, Spring J. Computer Conf., AFIPS Conf. Proc., Vol. 32, pp. 283-290.
- A .15 C.M. Allen, D.C. Givone: "A Minimization Technique for Multi-valued Logic Systems", I.E.E.E., Trans. Computer, Vol. C-17, pp. 182-184, Feb. 1968.

A.II. Structure d'Anneau et de Corps.

L'algèbre multivaluée peut être aussi définie par sa structure d'anneau et de corps.

Introduisons d'abord la notion de l'algèbre de classes modulo m , m étant un nombre entier.

Définition: Deux nombres entiers a et b appartiennent à une même classe modulo m , si on a :

$$a - b = k m \quad k \text{ entier}$$

Nous écrivons: $a = b \pmod{m}$
et appelons a congruent avec b .

Propriétés:

Réflexibilité $a = a \pmod{m}$

Symétrie: $a = b \pmod{m}$ est équivalent à
 $b = a \pmod{m}$

Transitivité: si $a = b \pmod{m}$ et $b = c \pmod{m}$
alors $a = c \pmod{m}$

Addition: La somme (ou différence) de deux nombres a, b , et un nombre unique modulo m

si $a' = a \pmod{m}$, et $b' = b \pmod{m}$

alors $a' + b' = (a + b) \pmod{m}$.

Multiplication: Le produit de deux nombres est nombre unique modulo m .

Si $a' = a \pmod{m}$ et $b' = b \pmod{m}$

alors $a'b' = ab \pmod{m}$

Théorème: Si $ac = bc \pmod{m}$ et $m = dm$, où $d = (c, m)$, le plus grand commun diviseur de c et m , alors on a

$$a = b \pmod{m}$$

Corollaire: pour $ac = bc \pmod m$, avec c premier par rapport à m , on a $a = b \pmod m$.

On peut diviser les deux côtés de la congruence par leur common diviseur s'il est premier au modulo.

III.1 Classes de Restes.

Tous les nombres qui sont congruents modulo m à un nombre donné a constitue la classe de restes C_a . Si l'on désigne respectivement par \oplus et \odot la somme et le produit de deux classes C_a et C_b , on peut écrire:

$$C_{a+b} = C_a \oplus C_b$$

$$C_{ab} = C_a \odot C_b = C_a C_b$$

Les deux opérations sont commutatives et distributives:

$$C_a C_b = C_b C_a$$

$$C_a (C_b C_c) = (C_a C_b) C_c$$

$$C_a (C_b \oplus C_c) = C_a C_b \oplus C_a C_c$$

$$C_a C_0 = C_0$$

$$C_a C_a = C_a$$

$$C_a \oplus C_0 = C_a$$

Si le module est un nombre entier quelconque, il est possible que le produit de deux classes $C_a C_b$, avec a et b différent de zéro, appartienne à la classe nulle C_0 :

$$C_a C_b = C_0$$

Dans ces cas, on pourra avoir des diviseurs de zéro, par la suite la division par leur classe C_a n'est pas unique.

Le système ainsi défini s'appelle: Anneau de Restes.

Par contre, si le modulo est un nombre premier p , alors pour deux nombres entiers a et b , différent de zéro et plus petit que p , le produit $a b$ est premier avec p .

$$\text{Pour: } C_a C_b = C_0$$

$$\text{on a: } C_{ab} = C_0$$

$$\text{et: } ab = 0 \pmod p$$

Il faut avoir, pour $a \neq 0$, $b = 0$, c'est-à-dire pour $C_a \neq C_0$, $C_b = C_0$, ce qui entraîne la propriété suivante:

- pour un module premier, la division par C_a est possible d'une manière unique.

Il s'ensuit, pour toute classe, C_a avec a différent de zéro, qu'il existe la classe inverse C_a^{-1} par rapport au produit:

$$C_a C_a^{-1} = C_1 \quad \rightarrow \quad C_0 = C_a^{-1} = C_{a-1}$$

Il est évident que toute classe C_a a une unique inverse par rapport à la somme, quel que soit le modulo.

Le système ainsi défini possède les propriétés de corps et se nomme:

Corps de restes modulo p , ou corps de Galois, représenté par la notation $GF(p)$.

A.II.2 Algèbre à Structure d'Anneau.

2.1 Préliminaires.

Récemment, Thayse et Deschapms (A*.14) ont étudié l'algèbre multivaluée à structure d'anneau.

Définition: Considérons une fonction multivaluée f de n variables multivaluées x_0, x_1, \dots, x_{n-1} où f prend des valeurs dans l'anneau modulo q et x_i prend des valeurs dans l'anneau modulo m_i avec q et m_i des nombres entiers quelconques. Ils introduisent les fonctions suivantes:

- a) Différence simple: par rapport à une variable:

$$\Delta f / \Delta x_i = f(x_0, x_1, \dots, x_{i-1}, x_{i+1}, \dots, x_{n-1}) - f(x_0, x_1, \dots, x_i, \dots, x_{n-1})$$

\oplus représente la somme modulo m_i

$(-)$ représente la différence modulo q .

- b) Différence multiple: d'ordre k_i , par rapport

à x_i

$$\frac{\Delta^{k_i} f}{\Delta x_i^{k_i}} = \frac{\Delta}{\Delta x_i} \left(\frac{\Delta^{k_i-1} f}{\Delta x_i^{k_i-1}} \right)$$

Si k_0, k_1, \dots, k_{n-1} correspondent à x_0, x_1, \dots, x_{n-1}

alors

$$\frac{\Delta^{k_0} \dots \Delta^{k_{n-1}} f}{\Delta x_0^{k_0} \dots \Delta x_{n-1}^{k_{n-1}}} = \frac{\Delta^{k_0}}{\Delta x_0} \left(\frac{\Delta^{k_1}}{\Delta x_1} \left(\dots \left(\frac{\Delta^{k_{n-1}} f}{\Delta x_{n-1}^{k_{n-1}}} \right) \right) \right)$$

où sous la forme vectorielle:

$$\frac{\Delta^{K_f}}{\Delta X}$$

L'opérateur est nanti des propriétés suivantes, qui se déduisent directement de la définition:

si C est une constante on a :

$$\frac{\Delta^k C}{\Delta x} = 0, \quad \frac{\Delta^k C f}{\Delta x} = C \frac{\Delta^k f}{\Delta x}, \quad \frac{\Delta^k (f \oplus g)}{\Delta x} = \frac{\Delta^k f}{\Delta x} \oplus \frac{\Delta^k g}{\Delta x}$$

Thayse et Deschamps ont dérivé le théorème exprimant la différence multiple en fonction de la totalité des valeurs de f .

Lemme 1:
$$\frac{\Delta^k f}{\Delta x_i} = \sum_{j=0}^{m_i-1} (-1)^{(k_i+j)} \binom{k_i}{j}_q f(x_i \oplus_j)$$

La preuve est faite par déduction sur k_i à partir de la définition

$$\frac{\Delta^k f}{\Delta x_i} = \frac{\Delta}{\Delta x_i} \left(\frac{\Delta^{k_i-1} f}{\Delta x_i} \right)$$

Théorème:

$$\frac{\Delta^{k_0 \dots k_i \dots k_{n-1}} f(x_0, x_1, \dots, x_{n-1})}{\Delta x_0, x_1, x_2, \dots, x_{n-1}} = \sum_{e_0=0}^{m_0-1} \sum_{e_1=0}^{m_1-1} \dots \sum_{e_{n-1}=0}^{m_{n-1}-1} \left[(-1)^{(k_0+e_0)} \binom{k_0}{e_0}_q \right] \dots \left[(-1)^{(k_i+e_i)} \binom{k_i}{e_i}_q \right] \dots \left[(-1)^{(k_{n-1}+e_{n-1})} \binom{k_{n-1}}{e_{n-1}}_q \right]$$

Exemple: Soit la fonction F modulo 3, à deux variables x_0, x_1 , modulo 4, définie par le tableau de vérité suivant:

		0	1	2	3 ← x_1
0	↑ x_0	0	1	2	2
1		1	2	2	2
2		0	1	0	0
3		0	1	2	2

Les différences calculées au point $(0,0)$ sont:

$$\begin{aligned} \left(\frac{\Delta f}{\Delta x_0} \right)_{00} = 1; & \left(\frac{\Delta^2 f}{\Delta x_0} \right)_{00} = 1 & \left(\frac{\Delta^3 f}{\Delta x_0} \right)_{00} = 0 \\ \left(\frac{\Delta f}{\Delta x_1} \right)_{00} = 1; & \left(\frac{\Delta^2 f}{\Delta x_1} \right)_{00} = 0 & \left(\frac{\Delta^3 f}{\Delta x_1} \right)_{00} = 2 \quad \text{etc.} \end{aligned}$$

2. 2. Forme Canonique de Nyquist.

Thayse et Deschamps utilisent la fonction de seuil pour définir l'exponentiation dans la structure d'anneau:

Si x et a sont variable et constante dans l'anneau modulo m

alors:

$$x^a = \begin{cases} 1 & \text{pour } x = a, a \oplus 1, \dots, m-1 \\ 0 & \text{ailleurs} \end{cases}$$

Considérons d'abord la fonction à une seule variable $f(x)$:

$$\{0, 1, \dots, m-1\} \rightarrow \{0, 1, \dots, q-1\}$$

alors:

$$(x-h)^{[j]} = \begin{cases} 1 & \text{pour } x \geq h \oplus j \\ 0 & \text{ailleurs} \end{cases}$$

On vérifie que le développement en série de la fonction autour d'un point h est exprimé par la somme modulo q suivante:

$$f(x) = f(h) \oplus [f(h \oplus 1) - f(h)](x-h)^{[1]} \oplus [f(h \oplus 2) - f(h \oplus 1)](x-h)^{[2]} \oplus \dots \oplus [f(h \oplus j) - f(h \oplus j-1)](x-h)^{[j]} \oplus \dots \oplus [f(h \oplus m) - f(h \oplus m-1)](x-h)^{[m]}$$

ou par la définition de l'opérateur différence:

$$f(x) = f(h) \oplus \sum_{j=0}^m (x-h)^{[j]} \left(\frac{\Delta f}{\Delta x} \right)_{h \oplus j-1}$$

On peut généraliser ce développement en série à une fonction de plusieurs variables.

Théorème: Soit f appartenant à un anneau modulo q , une fonction de deux variables (x_0, x_1) appartenant respectivement aux anneaux modulo m_0, m_1 , le développement en série de $f(x_0, x_1)$ autour du point (h_0, h_1) est défini par:

$$f(x_0, x_1) = f(h_0, h_1) \oplus \sum_{j=0}^{m_0} (x_0-h_0)^{[j]} \left(\frac{\Delta f}{\Delta x_0} \right)_{j \oplus h_0-1, h_1} \oplus \sum_{k=0}^{m_1} (x_1-h_1)^{[k]} \left(\frac{\Delta f}{\Delta x_1} \right)_{h_0, k \oplus h_1} \oplus \sum_{j=0}^{m_0} \sum_{k=0}^{m_1} (x_0-h_0)^{[j]} (x_1-h_1)^{[k]} \left(\frac{\Delta f}{\Delta x_0, x_1} \right)_{j \oplus h_0-1, k \oplus h_1-1}$$

La preuve de ce théorème se fait par récurrence sur x_1 à

partir de la fonction d'une seule variable.

Exemple 2: En se référant au tableau de vérité de l'exemple 1,

on déduit:

$$\begin{array}{lll}
 \left(\frac{\Delta f}{\Delta x_1}\right)_{00} = 1 & \left(\frac{\Delta f}{\Delta x_1}\right)_{01} = 1 & \left(\frac{\Delta f}{\Delta x_1}\right)_{02} = 0 \\
 \left(\frac{\Delta f}{\Delta x_0}\right)_{00} = 1 & \left(\frac{\Delta f}{\Delta x_0 x_1}\right)_{00} = 0 & \left(\frac{\Delta f}{\Delta x_0 x_1}\right)_{01} = 2 \\
 \left(\frac{\Delta f}{\Delta x_0 x_1}\right)_{02} = 2 & \left(\frac{\Delta f}{\Delta x_0}\right)_{10} = 2 & \left(\frac{\Delta f}{\Delta x_0 x_1}\right)_{10} = 0 \\
 \left(\frac{\Delta f}{\Delta x_0 x_1}\right)_{11} = 2 & \left(\frac{\Delta f}{\Delta x_0 x_1}\right)_{12} = 0 & \left(\frac{\Delta f}{\Delta x_0}\right)_{20} = 0 \\
 \left(\frac{\Delta f}{\Delta x_0 x_1}\right)_{20} = 0 & \left(\frac{\Delta f}{\Delta x_0 x_1}\right)_{21} = 2 & \left(\frac{\Delta f}{\Delta x_0 x_1}\right)_{22} = 0
 \end{array}$$

et finalement:

$$f(x_0, x_1) = x_1^{[1]} \oplus x_1^{[2]} \oplus x_0^{[1]} \oplus 2x_0^{[1]} x_1^{[1]} \oplus 2x_0^{[2]} \oplus 2x_0^{[2]} x_1^{[2]} \oplus 2x_0^{[3]} x_1^{[2]}$$

Thayse et Deschamps ont aussi utilisé les fonctions binomiales, pour la représentation de fonctions à plusieurs variables. Cette forme canonique, comme celle de Gazale, n'offre pas d'applications pratiques.

A titre d'information, nous citons ici le théorème sur le développement en série de Newton.

Théorème: Soit une fonction de deux variables $f(x_0, x_1)$ son développement en série autour d'un point fixe (h_0, h_1) est:

$$f(x_0, x_1) = \sum_{e_0=1}^{m_0-1} \sum_{e_1=1}^{m_1-1} \binom{x_0-h_0}{e_0}_q \binom{x_1-h_1}{e_1}_q \left(\frac{\Delta^{e_0 e_1} f}{\Delta x_0 x_1}\right)_{x_0=h_0, x_1=h_1}$$

5. Identités:

Il existe dans F un élément additif neutre 0 , unique et un élément multiplicatif neutre unique: 1 , tel que:

$$u+0 = 0+u = u$$

$$u \cdot 1 = 1 \cdot u = u$$

6. Inverses:

A chaque u dans F correspond un élément unique $-u$ dans F , tel que $u+(-u) = 0$ désigné comme l'inverse additif de u , et pour chaque élément u non-zéro dans F correspond un élément unique u^{-1} dans F tel que $u(u^{-1}) = (u^{-1})u = 1$

u^{-1} est nommé l'inverse multiplicatif de u .

L'ordre du corps fini est le nombre d'éléments distincts dans le corps. Un corps d'ordre fini contient p^n éléments, où p est un nombre premier et n un entier positif.

Si $f(x)$ est un polynôme irréductible du $n^{\text{ième}}$ degré, défini dans un corps d'entiers modules p , alors le corps des classes mod $(p, f(x))$ forme un corps fini d'ordre p^n . C'est un corps de Galois d'ordre p^n , dénoté par $GF(p^n)$.

Dans $GF(p^n)$, la somme p -fois de tout élément, dénotée par $\sum u$ est zéro.

Puisque $GF(p^n)$ a seulement p^n éléments distincts, les puissances d'un élément du corps doivent répéter à partir d'entiers m .

L'ordre d'un élément dans $GF(p^n)$ est le plus petit entier m pour lequel $u^m = 1$. On désigne par $GF'(p^n)$ le corps de Galois $GF(p^n)$, auquel on enlève l'élément zéro.

aux fonctions multivaluées d'une algèbre finie du corps de Galois $GF(2^n)$.

Récemment, Benjauthrit et Reed (A.10) et Thayse et Deschamps (A.14) généralisaient cette vue aux logiques multivaluées à base p^n , où p est un nombre premier, par la preuve de l'existence de la forme canonique des fonctions dans $GF(p^n)$.

Nous nous proposons dans ce qui suit de rappeler sommairement les propriétés essentielles de l'algèbre de Galois avant de nous intéresser particulièrement aux possibilités d'extension algébrique qui fournissent des moyens nécessaires à l'implantation de logiques Galoisiennes à bases élevées. Puis, nous développerons, par souci de synthèse, les différentes formes polynomiales canoniques proposées jusqu'à présent par divers auteurs.

3.1. Les Propriétés Essentielles de l'Algèbre de Galois.

Définition: Un corps fini est un système F avec deux opérations binaires $(+)$, (\cdot) . Pour tout élément u, v, w dans F , il existe les propriétés suivantes:

1. Fermeture : $u, v, u+v$ appartiennent à F
2. Commutativité: $u+v = v+u$; $u \cdot v = v \cdot u$
3. Associativité: $u+v+w = (u+v)+w$; $u \cdot v \cdot w = (u \cdot v) \cdot w$
4. Distributivité: $u \cdot (v+w) = u \cdot v + u \cdot w$

A.II.3 . Algèbre du Corps de Galois.

Muller (A*.1) considérait les fonctions binaires comme étant éléments d'un anneau de Boole, ou de l'algèbre du corps de Galois à base 2: GF(2). Deux opérations suffisent à définir n'importe quelle fonction binaire multivaluée. Elles sont l'opérateur "produit" et l'opérateur "somme", ou non-exclusif, ou différence Booléenne, dont les éléments neutres correspondants sont le "1" et le "0".

Reed et Muller (A*.2) proposaient la forme canonique des fonctions dans GF(2). Par la suite, Mukhopadhyay et Schmitz (A*.3) établissaient les règles de minimisation de la représentation de Reed et Muller; tandis que Dao (A 4) envisageait l'implantation de ces opérations par les fonctions de seuil. L'étude Galoisienne de la logique binaire était entreprise notamment par Ellison et Kolman (A .5), Edwards (A*.6) et Menger (A*.7). Kuntzmann (A*.15) et Moisil (A*.17) prouvaient l'existence de la forme canonique des fonctions dans GF(p) par la démonstration du théorème de Lagrange au cas où p est premier. Gazale (A*.16) arrivait à la même conclusion par l'intermédiaire d'un théorème de Lucas et le produit de Kronecker.

Pradhan et Patel (A*.8) et ensuite Kodandapani et Setlur (A*.9) étendaient la forme canonique de Reed-Muller

Puisque les éléments de $GF(p^n)$ contiennent un groupe multiplicatif cyclique d'ordre $p^n - 1$, il s'ensuit pour tout élément u dans le groupe :

$$u^{p^n - 1} = 1$$

$$u^0 = 1 \quad \text{et} \quad 0^i = 0 \quad \text{pour} \quad \forall u \quad \text{et} \quad i \neq 0$$

Il est vrai que tout corps $GF(p^n)$ a des éléments d'ordre $p^n - 1$. Ils sont connus comme étant les générateurs du corps, ou éléments primitifs. Dans cette représentation la structure multiplicative complète de $GF(p^n)$ est déterminée par la relation :

$$\gamma^i \gamma^j = \gamma^{(i+j) \bmod p^n - 1}$$

pour tout entier i, j, γ , éléments de $GF(p^n)$.

Pour usage ultérieur, la lemme suivante due à Reed et Solomon ($\hat{A}^*.10$) et Berlekamp ($\hat{A}^*.11$) est présentée.

Lemme 1: Pour tout corps $GF(p^n)$ et tout élément u de $GF(p^n)$, on a :

$$\sum_{i=1}^{p^n - 1} u^i = \begin{cases} -1 & \text{si } u = 1 \\ 0 & \text{ailleurs.} \end{cases}$$

3.2 Extension Algébrique.

3.21 Opérations dans $GF(p^n)$ par l'Intermédiaire des Opérations dans $GF(p)$.

Il est bien connu que le corps $GF(p^n)$ est une exten-

tion algébrique du corps premier $GF(p)$ au moyen du polynôme irréductible $F(\alpha)$ de degré n dans $GF(p)$.

Soit α une racine de $F(\alpha)$, appartenant à $GF(p^n)$, les $(n-1)$ puissances de α forment un système linéairement indépendant ou base de l'espace vectoriel, dont les éléments appartiennent à $GF(p^n)$.

Autrement dit, un élément $\beta \in GF(p^n)$ est représenté par

$$\beta = \sum_{i=0}^{n-1} b_i \alpha^i \quad \text{avec } b_i \in GF(p), \quad \text{ou par}$$

n projections:

$$\beta = \{ b_0, b_1, \dots, b_i, \dots, b_{n-1} \}$$

Par conséquent, les opérations dans $GF(p^n)$ peuvent être obtenues par l'intermédiaire des opérations simplifiées dans le sous-corps premier $GF(p)$.

Somme: la somme des éléments dans $GF(p^n)$ s'obtient par l'addition des éléments correspondants dans $GF(p)$:

soit:

$$\beta + \gamma = \sum_{i=0}^{n-1} b_i \alpha^i + \sum_{i=0}^{n-1} c_i \alpha^i = \sum_{i=0}^{n-1} (b_i + c_i) \alpha^i$$

Par conséquent:

$$\beta + \gamma = \{ (b_0 + c_0), \dots, (b_i + c_i), \dots, (b_{n-1} + c_{n-1}) \}$$

Produit: Étant donné le polynôme irréductible $F(\alpha)$ dont $F(\alpha) = 0$, le produit de deux éléments β et γ dans $GF(p^n)$ s'obtient par la réduction suivante:

$$\left\{ \left(\sum_{i=0}^{n-1} b_i \alpha^i \right) \left(\sum_{i=0}^{n-1} c_i \alpha^i \right) \right\} \text{ modulo } (f(\alpha)=0) = \sum_{j=0}^{n-1} A_j \alpha^j$$

avec:

$$A_j = f_j (b_0, b_i, b_{n-1}, c_0, \dots, c_i, \dots, c_{n-1}) \in GF(p)$$

Exemple 1:

Soit le corps $GF(2^2)$ dont le polynôme irréductible du second degré dans $GF(2)$ est:

$$f(x) = x^2 + x + 1 \quad \text{avec} \quad (\alpha^2 + \alpha + 1) = 0$$

Les éléments dans $GF(2^2) = \{0, 1, \alpha, \alpha^2\}$ peuvent être représentés par un couple binaire:

$$\begin{array}{rcl} 0 & = & 00 \quad 0 \\ 1 & = & 01 \quad 1 \\ 2 & = & 10 \quad \alpha \\ 3 & = & 11 \quad (\alpha + 1) = \alpha^2 \end{array}$$

$$\text{La somme } (2) + (3) = (10) + (11) = (01) = 1$$

$$\text{Le produit } (2) \cdot (3) = (\alpha + 0)(\alpha + 1) = (\alpha^2) = 1$$

Exemple 2:

Soit le corps $GF(2^4)$ dont le polynôme irréductible dans $GF(2)$ est $f(x) = x^4 + x + 1$ avec $f(\alpha) = \alpha^4 + \alpha + 1 = 0$

Soit la représentation binaire de γ et $\beta \in GF(2^4)$

$$\beta = b_0 + b_1\alpha + b_2\alpha^2 + b_3\alpha^3 = \{b_0, b_1, b_2, b_3\}$$

$$\gamma = c_0 + c_1\alpha + c_2\alpha^2 + c_3\alpha^3 = \{c_0, c_1, c_2, c_3\}$$

$$\text{alors } \beta\gamma = A_0 + A_1\alpha + A_2\alpha^2 + A_3\alpha^3$$

dont les composants binaires A_i sont définis par:

$$A_0 = b_0c_0 + (b_1c_3 + b_2c_2 + b_3c_1)$$

$$A_1 = (b_0c_1 + b_1c_0) + (b_1c_3 + b_2c_2 + b_3c_1) + (b_2c_3 + b_3c_2)$$

$$A_2 = (b_0c_2 + b_1c_1 + b_2c_0) + (b_2c_3 + b_3c_2) + b_3c_3$$

$$A_3 = (b_0c_3 + b_1c_2 + b_2c_1 + b_3c_0) + b_3c_3$$

3.22. Généralisation: Opérations dans $GF(p^n)$ par l'Intermédiaire du Sous-Corps $GF(p^k)$.

Un corps fini d'ordre $p^n: GF(p^n)$ contient un corps fini d'ordre $p^k: GF(p^k)$ si, et seulement si, k est un facteur de n .

En associant l'extension algébrique avec un espace vectoriel, les éléments du corps $GF(p^n)$ peuvent être représentés par le sous-corps $GF(p^k)$ avec k un sous-multiple de n , et par la suite les opérations dans le corps par celles du sous-corps. Ces propriétés se déduisent du théorème classique suivant:

Théorème d'Extension: (A.13)

Si K est un corps et m est un polynôme irréductible dans K , alors il existe une extension $K(\alpha) = L$ telle que α , appartenant à L , possède un polynôme minimal sur K .

Réciproquement, si L est un corps dont le sous-corps est K , soit α un élément de L pour lequel α a un polynôme m , minimum sur K , alors tout élément de $L = K(\alpha)$ a une expression unique de la forme $p(\alpha)$, où p est un polynôme sur K de degré inférieur à celui de m .

Autrement dit, si on peut construire un polynôme irréductible $F(x)$ de degré $(\frac{n}{k}) = d$ sur $GF(p^k)$, tout élément β de $GF(p^n)$ est expressible sous la forme linéaire

$$\beta = \sum_{i=0}^{d-1} a_i \alpha^i \quad \text{où} \quad a_i \in GF(p^k)$$

$$\text{et} \quad \alpha \in GF(p^k) \ni F(\alpha) = 0$$

Suivant cette représentation les opérations dans $GF(p^n)$ se réduisent aux opérations dans $GF(p^k)$.

2.3 Construction de polynôme irréductible.

La construction d'un polynôme irréductible de degré m sur un corps $(GF(q))$, où q est premier ou puissance de premier, a été étudiée d'abord par Serret (A.22) et ensuite par Waring, Dickson et Albert (A.23). Les cas pratiques, qui nous intéressent particulièrement, concernent les corps de Galois $GF(2^m)$, par conséquent la construction d'un polynôme irréductible de degré m dans ce corps.

Récemment, Berlekamp, Rumsey et Solomon (A.24) présentaient une méthode simplifiée de construction d'un polynôme quadratique sur $GF(2^m)$.

Définition: Soit δ un élément dans $GF(2^m)$ dont la trace

est

$$\text{Tr}(\delta) = \delta + \delta^{2^1} + \delta^{2^2} + \dots + \delta^{2^{(m-1)}}$$

Comme tous les éléments de $GF(2^m)$ sont les racines de l'équation

$$x^{2^m} - x = 0$$

celle-ci peut-être décomposée en deux facteurs:

$$\begin{aligned} x^{2^m} - x &= (x + x^2 + \dots + x^{2^{(m-1)}})(1 + x + x^2 + \dots + x^{2^{(m-1)}}) \\ &= \text{Tr}(x) [\text{Tr}(x) + 1] \dots \end{aligned}$$

Lemme 1: Dans $GF(2^m)$ exactement une moitié des éléments a $\text{Tr}(x)=0$, et exactement l'autre moitié des éléments a $\text{Tr}(x)=1$.

Une solution du polynôme quadratique

$$y^2 + y + \delta = 0$$

est donnée par les combinaisons des solutions particulières y_i

soit:

$$y = \sum_i d_i y_i$$

Soient deux solutions particulières (y_i, y_j) correspondant à deux valeurs (v_i, v_j) de la constante :

$$y_i^2 + y_i + v_i = 0$$

$$y_j^2 + y_j + v_j = 0$$

alors :

$$(y_i + y_j)^2 + (y_i + y_j) + (v_i + v_j) = 0$$

puisque $y_i^2 + y_j^2 = (y_i + y_j)^2$ dans $GF(2^m)$.

Par conséquent, δ peut-être exprimé comme une combinaison linéaire des éléments v_i dans $GF(2^m)$:

$$\delta = \sum_{i=0}^{m-1} d_i v_i$$

Théorème : Si $\delta \in GF(2^m)$, l'équation quadratique

$$y^2 + y + \delta = 0$$

a une solution dans $GF(2^m)$ si, et seulement si

$$\text{Tr}(\delta) = 0$$

Considérons une solution particulière :

$$y_i^2 + y_i + v_i = 0$$

En élevant cette équation successivement au carré on a :

$$y_i^4 + y_i^2 + v_i^2 = 0$$

$$y_i^8 + y_i^4 + v_i^4 = 0$$

$$(y_i^{2^m}) + y_i^m + v_i^m = 0$$

Par addition et élimination des termes identiques

on a :

$$y_i^{2^m} + y_i + \sum_{j=0}^{m-1} (v_i^{2^j})^{\delta} = 0$$

Par conséquent

$$\text{Tr}(v_i) = 0 \quad \text{d'où} \quad \text{Tr}(\delta) = 0.$$

Corollaire : Si $\delta \in GF(2^m)$, l'équation quadratique

$$F(y) = y^2 + y + \delta$$

est irréductible dans $GF(2^m)$ si

$$\text{Tr}(\delta) = 1$$

Exemple: Calcul des éléments de $GF(2^4) = GF(2^{2^2})$ à partir des éléments de $GF(2^2)$.

D'après le théorème précédent, le polynôme quadratique irréductible dans $GF(4)$ est défini par

$$y^2 + y + \delta = 0 \quad \text{avec} \quad \delta \in GF(4)$$

et $\text{Tr}(\delta) = \delta^2 + \delta = 1$

Chaque élément β dans $GF(2^4)$ est représenté par deux éléments a, b tel que $\beta = a + b\delta \in GF(4)$, dont la liste est la suivante:

$GF(2^4)$	a	$b \in GF(4)$
1	1	0
β	0	1
β^2	δ	1
β^3	δ	$\delta+1$
β^4	1	1
β^5	δ	0
β^6	0	δ
β^7	$1+\delta$	δ
β^8	$1+\delta$	1
⋮	⋮	⋮
⋮	⋮	⋮

3. 3 Les Formes Canoniques.

3.31. Forme Canonique de Lagrange.

Evidemment la forme canonique peut être obtenue directement par l'application du théorème d'interpolation de Lagrange au corps $GF(p^n)$ comme l'ont suggéré Kuntzmann (A*.15) et Moisil (A*.17).

Théorème d'Interpolation de Lagrange:

Soit: $\{x_0, x_1, \dots, x_i, \dots, x_{p^n-1}\} \subset GF(p^n)$, introduisons le polynôme de Lagrange de degré p^n-1

$$l_k(x) = \frac{(x-x_0) \dots (x-x_{k-1}) \dots (x-x_{p^n-1})}{(x_k-x_0) \dots (x_k-x_{k-1}) \dots (x_k-x_{p^n-1})}$$

il est clair que le polynôme existe dans un corps et on a:

$$l_k(x_j) = \delta_{kj} = \begin{cases} 1 & \text{si } k=j \\ 0 & \text{si } k \neq j \end{cases}$$

Souvent les valeurs données $f(x_0) \dots f(x_n)$, le polynôme

$$p_n(x) = f(x_0) l_0(x) + \dots + f(x_{p^n-1}) l_{p^n-1}(x)$$

prend ces valeurs aux points x_j . Par conséquent, il a

la forme canonique suivante:

$$f(x) = \sum_{k=0}^{p^n-1} f(x_k) l_k(x)$$

Il est aisé de généraliser cette formule d'interpolation à une fonction de plusieurs variables. Sans perdre de généralité, prenons le cas d'une fonction de deux variables $x, y \in GF(p^n)$ avec $f(x, y)$ dans $GF(p^n)$. Nous pouvons écrire:

$$f(x, y) = \sum_{k=0}^{p^n-1} f(x_k, y) l_k(x)$$

et comme:

$$f(x_k, y) = \sum_{j=0}^{p^n-1} f(x_k, y_j) l_j(y)$$

finalement nous avons:

$$f(x, y) = \sum_{k=0}^{p^n-1} \sum_{j=0}^{p^n-1} f(x_k, y_j) l_k(x) l_j(y)$$

Exemple: Rappelons que dans $GF(2^2)$ les éléments sont $\{0, 1, \alpha, \alpha^2\}$ et les fonctions de Lagrange peuvent être obtenues en nous servant du tableau 2:

$$\begin{aligned} l_0(x) &= x^3 + 1 \\ l_1(x) &= x^3 + x^2 + x \\ l_\alpha(x) &= x^3 + \alpha x^2 + \alpha^2 x \\ l_{\alpha^2}(x) &= x^3 + \alpha^2 x^2 + \alpha x \end{aligned}$$

3.32. Forme Canonique de Newton.

Récemment, Wesselkamper (A[†].19) a présenté une forme canonique dérivée du théorème d'interpolation de Newton, par l'introduction des coefficients nommés, différences divisées, et définies dans le corps $GF(p^n)$.

Considérons le cas de deux variables x, y , prenant des valeurs dans le corps $\{0, 1, \dots, p^n - 1\}$. Les résultats qui suivent pourront se généraliser facilement aux cas de n variables.

Définition: Soient x_0, x_1, \dots, x_{k-1} et y_0, y_1, \dots, y_{k-1} les rangées de valeurs de x et y , nous définissons:

$$\begin{aligned} D_x^1 F(x_i, y_j) &= \frac{F(x_i, y_j) - F(x_{i+1}, y_j)}{x_i - x_{i+1}} \\ D_y^1 F(x_i, y_j) &= \frac{F(x_i, y_j) - F(x_i, y_{j+1})}{y_j - y_{j+1}} \\ D_x^k F(x_i, y_j) &= \frac{D_x^{k-1} F(x_i, y_j) - D_x^{k-1} F(x_{i+1}, y_j)}{x_i - x_{i+1}} \\ D_y^k F(x_i, y_j) &= \frac{D_y^{k-1} F(x_i, y_j) - D_y^{k-1} F(x_i, y_{j+1})}{y_j - y_{j+1}} \\ D_x^{k_1} D_y^{k_2} F(x_i, y_j) &= D_y^{k_2} D_x^{k_1} F(x_i, y_j) \end{aligned}$$

Théorème de Newton: Dans le corps $GF(p^n)$, la fonction $F(x, y)$

de deux variables x, y , prenant respectivement toutes les valeurs x_0, \dots, x_{p_n} , et y_0, \dots, y_{p_n} , peut être représentée par la forme canonique:

$$\begin{aligned}
 F(x, y) = & F(x_0, y_0) + \sum_{i=1}^{p_n} D_x^i F(x_i, y_i) (x-x_i) \dots (x-x_i) \\
 & + \sum_{i=1}^{p_n} D_y^i F(x_i, y_i) (y-y_i) \dots (y-y_i) \\
 & + \sum_{i=1}^{p_n} \sum_{j=1}^{p_n} D_x^i D_y^j F(x_i, y_j) (x-x_i) \dots (x-x_i) (y-y_j) \dots (y-y_j)
 \end{aligned}$$

Après multiplication terme par terme on trouve la forme:

$$F(x, y) = \sum_{i=1}^{p_n} \sum_{j=1}^{p_n} f(i, j) x^i y^j$$

Selon Wesselkamper, la formule d'itération de Newton serait plus aisément applicable que celle de Benjauthrit et Reed, et elle serait spécialement adaptable au calcul automatique par l'intermédiaire d'un ordinateur doté d'un langage à niveau élevé, capable de définir des fonctions récursives.

3.33. Forme Canonique de Reed et Benjauthrit.

Menger établissait l'existence d'une forme canonique qui est reconnue depuis longtemps en algèbre par Van der Waerden (A*.12). Une version plus générale a été prouvée par

Reed et Solomon (A*.10). Edwards, plus tard, a prouvé ce théorème sous sa forme précédente en traitant la synthèse des circuits de commutation. Menger (A*.7) fournissait dans son théorème une version plus généralisée de la différence Booléenne décrite par Reed (A*.2).

Différences Booléennes:

Les coefficients de la forme précédente sont définis comme étant une forme généralisée de la différence finie:

$$f(k) = \Delta_{x^k} F(0) = \sum_{\gamma \in GF(p)} [F(0) - F(\gamma)] \gamma^{-k} \quad 0 \leq k < p^n$$

$$f(0) = F(0)$$

qui pour $GF(2)$ se réduit à la forme usuelle de la différence

Booléenne:
$$F(x) = F(0) + \sum_{k=1}^{p^n-1} f(k) x^k$$

Thayse et Deschamps (A*.14) d'une part et Benjauthrit et Reed (A*.10) d'autre part ont de nouveau étendu cette définition de différence finie à plusieurs variables comme suit:

$$f(k_1, k_2) = \Delta^{(2)} F(0, 0) = \sum_{GF(p)} \sum_{GF(p)} [F(0, 0) - F(0, \gamma_2) - F(\gamma_1, 0) + F(\gamma_1, \gamma_2)] \gamma_1^{-k_1} \gamma_2^{-k_2}$$

$$f(k_{i_1}, \dots, k_{i_p}) = \Delta^{(p)}_{x_{i_1}^{k_{i_1}} \dots x_{i_p}^{k_{i_p}}} F(0, \dots, 0) = \sum_{\gamma_1}^{\gamma_1} \dots \sum_{\gamma_p}^{\gamma_p} [F(0, \dots, 0) - F(0, \dots, \gamma_{i_1}, \dots, 0) - F(0, \dots, 0, \gamma_{i_2}, \dots, 0) - \dots - F(0, \dots, \gamma_{i_1}, \dots, \gamma_{i_p}, \dots, 0) + \dots + F(\gamma_{i_1}, \dots, \gamma_{i_p})] \gamma_{i_1}^{-k_{i_1}} \dots \gamma_{i_p}^{-k_{i_p}} ; \quad * = \begin{cases} - & \text{p impaire} \\ + & \text{p paire} \end{cases}$$

A partir de ces définitions on peut déduire le théorème suivant sur le développement en séries de fonctions à plusieurs variables dans un corps de Galois $GF(p^n)$.

Théorème: Pour toute fonction $f: [GF(p^n)]^m \rightarrow GF(p^n)$, il existe une fonction unique $f: (0, 1, \dots, p^n - 1) \rightarrow GF(p^n)$, telle que:

$$F(x_1, \dots, x_m) = F(0, \dots, 0) + \sum_{k_i \in GF(p^n)} f(k_1, \dots, k_m) x_1^{k_1} \dots x_m^{k_m}$$

$$\text{ou } f(0, \dots, 0) = F(0, \dots, 0)$$

$$f(k_1, 0, \dots, 0) = \Delta_{x_1} F(0, \dots, 0) = \sum_{\gamma_1 \in GF(p^n)} [F(0, \dots, 0) - F(\gamma_1, 0, \dots, 0)] \gamma_1^{-k_1}$$

$$f(k_1, k_2, 0, \dots, 0) = \Delta^{(2)} F(0, \dots, 0) = \sum_{\gamma_1 \in GF(p^n)} \sum_{\gamma_2 \in GF(p^n)} [F(0, \dots, 0) - F(0, \gamma_2, 0, \dots, 0) - F(\gamma_1, 0, \dots, 0) + F(\gamma_1, \gamma_2, 0, \dots, 0)] \gamma_1^{-k_1} \gamma_2^{-k_2}$$

$$f(k_1, k_2, \dots, k_m) = \Delta^{(m)} F(0, \dots, 0) = \sum_{\gamma_1 \in GF(p^n)} \dots \sum_{\gamma_m \in GF(p^n)} [F(0, \dots, 0) - F(0, \dots, \gamma_m, \dots, 0) - F(\gamma_1, 0, \dots, 0) + \dots + F(\gamma_1, \gamma_2, \dots, 0) + \dots + F(\gamma_1, \dots, \gamma_m)] \gamma_1^{-k_1} \dots \gamma_m^{-k_m}$$

par abbréviation: $F(0, \dots, 0) = F(\mathbf{0})$

et comme: $\Delta_{x_i}^{(p)} F(\mathbf{0}) = \Delta_{x_i} [\Delta_{x_i}^{(p-1)} F(\mathbf{0})] \quad \forall (i=1, \dots, m)$

on peut écrire:

$$F(x_1, \dots, x_m) = F(\mathbf{0}) + \left[\Delta_{x_1} F(\mathbf{0}) \right] x_1 + \left[\Delta_{x_2} F(\mathbf{0}) \right] x_2 + \left[\Delta_{x_1}^2 F(\mathbf{0}) \right] x_1^2 + \left[\Delta_{x_m} F(\mathbf{0}) \right] x_m^2 + \dots + \left[\Delta_{x_m}^2 F(\mathbf{0}) \right] x_m^2 + \dots + \left[\Delta_{x_1, x_2}^2 F(\mathbf{0}) \right] x_1 x_2 + \dots + \left[\Delta_{x_{m-1}, x_m}^2 F(\mathbf{0}) \right] x_{m-1} x_m + \dots + \left[\Delta_{x_1, \dots, x_m}^{(m)} F(\mathbf{0}) \right] x_1 \dots x_m + \left[\Delta_{x_1^q, \dots, x_m^q}^m F(\mathbf{0}) \right] x_1^q \dots x_m^q$$

Le théorème précédent est prouvé par récurrence dans (A*.10).

Exemple: Considérons la table de vérité d'une fonction à deux variables quaternaires décrite par le tableau suivant:

Tableau 1

Entrées		Sorties	Entrées		Sorties
x_1	x_2	y			
0	0	0	1	3	2
0	1	0	2	0	1
0	2	1	2	1	2
0	3	1	2	2	1
1	0	0	2	3	2
1	1	1	3	0	1
1	2	3	3	1	3
			3	2	3
			3	3	1

Les variables x_i, y , étant les éléments du corps $GF(4)$ avec la correspondance suivante: $\{0, 1, 2, 3\} \rightarrow \{0, 1, \alpha, \alpha^2\}$ où la somme et le produit des éléments dans $GF(4)$ sont donnés par les deux tableaux suivants:

Tableau 2

$x_1 \backslash x_2$	0	1	α	α^2
0	0	1	α	α^2
1	1	0	α^2	α
α	α	α^2	0	1
α^2	α^2	α	1	0

Somme

$x_1 \backslash x_2$	0	1	α	α^2
0	0	0	0	0
1	1	0	1	α^2
α	α	0	α	α^2
α^2	α^2	0	α^2	1

Produit

Utilisant le théorème précédent, les coefficients du développement canonique de la sortie $y = F(x_1, x_2)$ sont calculés comme suit:

$$\begin{aligned}
 f(0,0) &= F(0,0) = 0 \\
 f(0,1) &= \sum [F(0,0) + F(0,\alpha_2)] \delta_2^{-1} = 1 \\
 f(2,0) &= \sum [F(0,0) + F(\alpha_1,0)] \delta_1^{-1} = 1
 \end{aligned}$$

$$\begin{aligned}
 f(1,1) &= \sum \sum [F(0,0) + F(0,\delta_2) + F(\delta_1,0) + F(\delta_1,\delta_2)] \delta_1^{-1} \delta_2^{-1} = 0 \\
 f(0,2) &= f(1,0) = f(2,1) = 1 \\
 f(0,3) &= f(1,2) = \dots = 0 \\
 F(x_1, x_2) &= x_1 + (1 + x_2)(x_1^2 + x_2)
 \end{aligned}$$

Conclusion.

Nous avons montré qu'il existe dans le corps de Galois GF(p) et GF(pⁿ) avec p premier et n entier plusieurs formes canoniques de fonction à plusieurs variables, définies par toutes les valeurs dans le corps.

Remarquons cependant que l'algèbre multivaluée dans le corps de Galois n'existe que pour des bases de valeur p et pⁿ, alors que l'algèbre de Post existe pour toute valeur de m entier. Ce nombre limité de bases possibles dans l'algèbre Galoisienne est, en pratique, nullement restrictif.

Par contre, grâce aux possibilités d'extension algébrique d'un GF(p) aux corps GF(pⁿ), il est possible d'opérer dans le corps GF(pⁿ) à partir des éléments et des opérateurs appartenant au sous-corps GF(p^m), où m est un sous-multiple de n. Par exemple, l'algèbre dans la base 2^m peut être traitée au moyen des éléments "0", "1", et des opérateurs "et" et "ou-exclusif" de la base binaire.

Tel avantage pratique n'existe pas en algèbre de Post.

Bibliographie

- *
A.1. D.E. Muller: "Application of Boolean Algebra to Switching Circuit Design and to Error Detection", I.R.E., Trans. E.C., Sept. 1954, pp. 6-12.
- *
A.2. I.S. Reed: "A Class of Multiple-Error Correcting Codes and the Decoding Scheme", I.R.E., Trans. Information Theory, Vol. IT 4, pp. 38-49, Sept. 1954.
- *
A.3. A. Mukhopadhyay, G. Schmitz: "Minimization of Exclusive Or and Logical Equivalence Switching Circuits", I.E.E.E., Trans. on Computers, Vol. C-19, N° 2, pp. 132-140, Sept. 1970.
- *
A.4. Tich T. Dao: "Multithreshold Logic and Boolean Ring Synthesis", Proc. 12th. Annual Allerton Conf. on Circuit and System Theory; pp. 557-566; 1974.
- *
A.5. J.T. Ellison, B. Kolman: "Galois Logic Design", Univac Division of Sperry Rand Corp., final report, AD17205, Oct. 1970.
- *
A.6. R.W. Edwards: "Algebraic Synthesis of Switching Networks", Stanford Electronics Lab., Stanford, Ca., Tech. Rep. 2205-1, April 1963.
- *
A.7. K.S. Menger, Jr.: "A Transform for Logic Networks", I.E.E.E., Trans. on Comp., Vol. C-18, pp. 241-250, Mars 1969.
- *
A.8. D.R. Pradhan, A.N. Patel: "Reed-Muller like Canonic Forms for Multivalued Fonctions", I.E.E.E., Trans. on Comp., (corresp.), pp. 206-210, Feb. 1975.
- *
A.9. K.L. Kodandapani, R.V. Setlur: "Reed-muller Canonical Forms in Multivalued Logic", I.E.E.E., Trans. on Comp., Vol. C-24, pp. 628-636, June 1975.
- *
A.10. B. Benjañthrit, I.S. Reed: "Galois Switching Functions and their Applications", I.E.E.E., Trans. on Comp., Vol. C-25, pp. 78-86, Jan. 1976.
- *
A.11. I. Reed, G. Solomon: "A Decoding Procedure for Polynominal Codes", Lincoln Lab., MIT Group, Rep. 47-24, pp. 1-6, Mars 1959.
- *
A.12. E.R. Berlekamp: "Algebraic Coding Theory", N.Y., Mc. Graw-Hill, 1968.
- *
A.13. B.L. Van der Waerden, Algebra, Vol. 1, Unger 1966.

- A.14. A. Thayse, J.P. Deschamps: "On the Theory of discrete functions, Part II: The Ring and Field Structures of Discrete Functions", Philips Research Reports, 28, pp. 424-465, 1973.
- A.15. J. Kuntzmann: "Algèbre de Boole", Edition Dunod, 1968.
- A.16. H. Gazalé: "Les Structures de Commutation à m Valeurs et les Calculations Numériques", Gauthier-Villars, Paris 1959.
- A.17. Gr.C. Moisil: "The Algebraic Theory of Switching Circuits", Pergamon Press, 1969.
- A.18. D.K. Pradhan: "A Theory of Galois Switching Functions", I.E.E. Trans. on Computers, March 1978.
- A.19. T.C. Wesselkamper: "Divided Difference Methods for Galois Switching Fonctions",
- A.20. M.E. Lucas: "Sur les Congruences des Nombres Eulériennes et des Coefficients Différentiels des Fonctions Trigonométriques suivant un Module premier", Bull, Soc.Math., France, 1878.
- A.21. Berlekamp: "Algebraic Coding Theory", McGraw Hill, 1968.
- A.22. Serret: "Cours d'Algèbre Supérieure", Vol. 2, 1979.
- A.23. A.A. Albert: "Fundamental Concepts of Higher Algebra", 1956.
- A.24. Berlekamp, Rumsey, et Solomon: "On the Solution of Algebraic Equations over Finite Fields", Information and Control, pp. 553-564, 1967.

Chapitre Second: Aspects Technologiques des Circuits
Logiques Multivaluées.

B I Logique Intégrée à Injection.

Bibliographie.

B II Portes à Seuil.

- Miroir de courant;
- Double miroir de courant;
- Pondération du signal;
- Addition et soustraction des signaux;
- Détecteurs de seuil;
- Sensibilité de la porte à seuil I^2L ;

Appendice:

- Miroir de courant avec deux transistors;
- Miroir de courant avec trois transistors;
- Miroir de courant à grande impédance de sorties;

Bibliographie.

B. III Application Binaire.

B. IV Effets de Bruit sur les Circuits Logiques à
Niveaux Multiples.

Bibliographie.

Une étude de réalisation de logiques multivaluées doit considérer le problème sous le double aspect technique et économique. Techniquement, est-il possible d'implanter les systèmes de logiques multivaluées à partir de technologies actuellement disponibles?

Economiquement, est-ce que la solution envisagée est rentable, c'est-à-dire son coût compétitif et son rendement en fabrication de circuits intégrés satisfaisant?

Passons d'abord en revue les solutions techniques proposées jusqu'à présent.

Il est indéniable que le plus grand obstacle actuel à la réalisation des systèmes logiques multivalués réside dans le manque d'élément physique simple et à haut rendement qui présenterait de multiples états stables et dont le nombre d'états serait largement supérieur à deux. Remarquons que plusieurs tentatives ont été faites en vue de résoudre ce problème; elles ont été limitées à la logique ternaire. On peut citer quelques exemples: le transistor de Rutz (B.1), le paramétron (B.2), les tores à ferrite à boucle d'hystérésis carrée, et à multiples ouvertures (B.3). L'ordinateur SETUN a été construit utilisant ces tores magnétiques (B.4).

Malheureusement les résultats de tous ces efforts ont été plutôt décourageants. Les circuits étaient difficilement réalisables et par suit, coûteux. Leur

fiabilité laissait beaucoup à désirer et leur lenteur de commutation constituait un obstacle presque insurmontable.

Récemment, Abraham (B.5) a démontré l'existence théorique d'une large classe de composants semi - conducteurs intégrables qui présenteraient des caractéristiques de résistance à multiple pentes négatives, comparables aux éléments bien connus, tels que la diode à tunnel et le redresseur contrôlé SCR. Il a aussi présenté quelques résultats expérimentaux à l'appui. Bien de recherches et perfectionnements sont encore nécessaires pour augmenter le rendement de ces composants et résoudre le problème de leur production à une échelle industrielle.

Dans le passé, les chercheurs contournaient l'obstacle en créant de nouveaux circuits à partir des portes de commutation commercialement disponibles en technologies intégrées, T²L et COSMOS. Bien que les circuits fussent théoriquement intégrables, aucune réalisation concrète ne fut intervenue. En plus, ces auteurs se limitaient à la logique ternaire en se basant sur la croyance erronée que si la complexité d'un élément de mémoire croissait de façon linéaire avec la valeur de la base logique, la base optimale serait une base ternaire. En réalisation, ils exploitaient les propriétés de symétrie des couples bi-polaires NPN/PNP, et des couples monopolaires NMOS/PMOS, pour créer des signaux ternaires centrés autour de la masse. Par contre, cette technique ne pouvait pas se généraliser aux valeurs supérieures à 3. Pour s'affranchir de ces limitations, Druzeta et Al. (B. 6,7) proposaient des circuits à mode de

courant qui se prêtait aisément à la réalisation des fonctions à seuil, éminemment utiles aux réseaux à valeur multiple.

Car en logique multivaluée, les signaux électrique sont représentés par des niveaux discrets bien définis, soit de tension, soit de courant. Ceux-ci, après plusieurs transmissions et manipulations peuvent se détériorer au point d'entraîner de larges déviations de leurs valeurs nominales, par la suite, la perte de leurs contenus d'information.

La nécessité de restaurer de temps à autre les signaux s'impose absolument. A cause du manque d'éléments simples multistables, la régénération du signal s'opère par l'utilisation généralisée de détecteurs de niveaux dont les seuils de déclenchement sont établis aux environs des valeurs nominales du signal. A une logique à N valeurs correspondent des signaux à N niveaux, en général, choisis suivant une distribution uniforme, et $(N-1)$ seuils de détection fixés exactement à mi-chemin de deux niveaux contigus; ceci pour des raisons de maximum fiabilité, qui seront discutées dans la suite. Ainsi, si un signal se présentant à l'entrée d'un détecteur, à un niveau qui dépasse le seuil de ce dernier, il prendra à la sortie la valeur nominale qui est immédiatement supérieure au seuil du dit détecteur.

A part, le besoin de régénération, il existe en logique multivaluée la nécessité de reconnaître le niveau du signal, afin de prendre les décisions logiques qui lui correspondent.

On voit donc que les portes à seuil dont l'emploi a été préconisé par Vrazenic et Al. (8.6,7), constituent des

éléments à la fois nécessaires et suffisants à la réalisation des circuits logiques à valeurs multiples.

Remarquons qu'en logique binaire la même exigence de restauration existe, exceptée qu'elle est en général implicitement satisfaite, puisqu'à chaque inversion du signal, à travers une porte NAND ou NOR, le niveau du signal est automatiquement régénéré.

Nous allons décrire une famille de circuits logiques à injection intégrée et à quatre niveaux. La technique utilisée n'est pas seulement limitée à cette base.

Auparavant, il serait approprié d'introduire la logique intégrée à injection, I^2L ou MTL qui a été développée spécialement pour une intégration à grande échelle LSI.

B.1. Logique Intégrée à Injection (I^2L) ou (MTL).

L'intégration à grande échelle (LSI) est une extension de la technologie monolithique des circuits intégrés sur silicium, qui place sur une seule (chip) "puce" de silicium un grand nombre de circuits identiques interconnectés de façon à former une entité complète qui fonctionne comme un système ou un sous-système. En pratique, LSI se réfère à une implantation réunissant sur une seule "puce" plus de 100 portes, ou fonctions, totalisant une densité de 10 00 à 20 00 composants par millimètre carré.

Les portes logiques susceptibles d'être utilisées en LSI devraient posséder les propriétés suivantes:

- 1) Superficie par porte aussi petite que possible afin de produire un rendement acceptable de fabrication.

2. Dissipation d'énergie par porte aussi faible que possible afin d'éviter une température élevée sur la "puce" qui pourrait changer les propriétés des composants, entraînant le mal fonctionnement des portes. A l'heure actuelle, il existe deux techniques qui satisfont aux conditions précédentes: la logique MOS et la logique intégrée à injection I^2L .

La structure I^2L représente une dérivée de la logique bien connue: la logique à transistor à couplage direct (DCTL), inventée durant l'ère des transistors au germanium à barrière de surface (surface barrier transistor), et négligée depuis l'avènement des transistors au silicium.

La figure (3.1a) montre un système simplifié, réalisé au moyen des portes DCTL. Si une ou plusieurs entrées sont hautes, les transistors correspondants conduisent et la sortie commune sera basse et égale à la tension de saturation V_{on} . Par contre, si toutes les entrées sont basses, la sortie sera haute et égale à la tension de la source V_{off} . Le circuit est facilement intégrable parce que les transistors ayant des collecteurs reliés au noeud commun, peuvent être arrangés dans un seul îlot et les résistances dans un autre.

Malgré les avantages électriques suivants:

1. Circuit simple et monolithique;
2. Nécessité d'une seule source de tension, d'alimentation;
3. Résistance acceptant de larges tolérances;
4. faible sensibilité aux variations de tension;

5. Consommation faible;
6. Grand nombre d'entrées possibles,

il existe beaucoup de désavantages, parfois critiques, tels que :

1. Faible marge de bruit;
2. Sensibilité aux faibles variations de température;
3. Sensibilité aux faibles variations des paramètres de transistors;
4. Génération de bruit.

Examinons de plus près ces derniers points. Ils nous permettent d'apprécier les améliorations qu'apportera la technologie 1^2L .

Dans les cas typiques, considérons deux portes successives, (fig. 3.1, b). La première est dans l'état de conduction "ON" et la seconde dans l'état de non-conduction "OFF". Le V_{CE} du transistor en amont est égal à V_{ON} devient la tension de base du transistor en aval. La jonction base-émetteur de ce dernier est donc maintenue par V_{ON} dans l'état de faible conduction et par conséquent, un courant de fuite continue à passer dans le collecteur correspondant, malgré que celui-ci soit théoriquement dans l'état de coupure. Ce courant de fuite est évidemment très sensible au bruit sur le V_{ON} . Avec les transistors au silicium, la marge de bruit de cette logique est relativement faible, d'environ 50mV. Elle croît avec l'élévation de température ambiante.

Considérons ensuite les trois portes de la figure (3.2).

Supposons que le transistor en amont est "OFF" et ceux en aval sont "ON", les bases sont alimentées par le courant de la résistance connectée à la source d'alimentation.

Si les deux transistors ont les mêmes V_{BE} , ce courant sera divisé également entre les bases et ces transistors. Ce qui n'est pas le cas en pratique par suite des variations des paramètres provenant des processus de fabrication. En fait, il peut arriver que la différence entre les V_{BE} soit suffisamment large pour entraîner "l'avalement du courant" tout entier par une base ("current hogging"). Cet effet nuisible s'accroît avec la température ambiante, causant la panne des portes logiques. Récemment, Wiedman et Berger (B. 8) d'une part, Hard et Slob (B.9) d'autre part ont presque simultanément inventé la technologie I^2L ou MTL.

Les considérations techniques suivantes sur la DCTL conduisent directement à la conception de I^2L .

1. La résistance de charge servant de source de courant n'est ni efficace ni indispensable en LSI. Elle ne fonctionne pas exactement comme une charge mais comme une alimentation servant à charger les capacités parasites et comme une mauvaise source de courant. En fait, la charge de n'importe quelle porte est en vérité les entrées des portes suivantes. L'utilisation d'un élément actif comme source de courant élimine les problèmes mentionnés et ajoute à la flexibilité de l'implantation. Comme choix immédiat, on prendra un transistor PNP complémentaire, à collecteurs

multiples, servant de sources actives de courant pour plusieurs portes en même temps (fig. B.3).

2. En implantation LSI, plusieurs NPN ont leurs émetteurs reliés à un même potentiel; la réalisation serait largement simplifiée si on utilisait ces NPN en mode inverse, permutant le collecteur et l'émetteur. On pourrait mettre ces émetteurs communs dans un seul îlot N, sans mur d'isolement entre-eux et avec un seul contact ohmique nécessaire, commun aux émetteurs N.

Evidemment cette simplicité en implantation s'obtient au prix d'une dégradation des caractéristiques électriques des composants en question, tels que: le gain et la constante de temps de stockage du transistor opérant en mode inverse.

3. Finalement, en combinant les structures complémentaires du PNP de la source de courant, avec le NPN en mode inverse, et en fusionnant le collecteur P du premier avec la base P du second, on arrive à une réalisation compacte sur le silicium, comme on peut l'observer dans les fig. (B.4), (B.4,6).

Comparons de nouveau cette structure à celle de la porte DCTL qui réunit les collecteurs et les bases de différents transistors fonctionnant en inverseurs et dont les fonctions logiques sont obtenues par la combinaison des collecteurs.

Cependant, comme les bases et les émetteurs doivent être pourvus de connections séparées, le nombre des ouvertures dans une "puce" est bien plus grand que celui du circuit correspondant en DCTL.

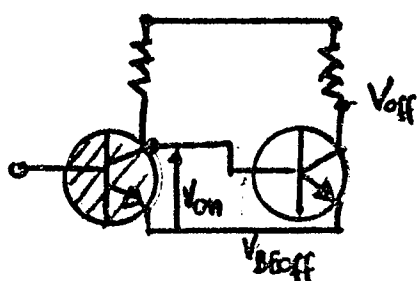


Fig. 8.1.b

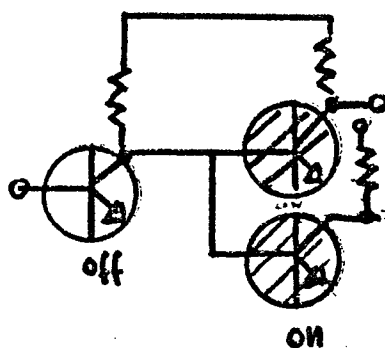


Fig. 8.2

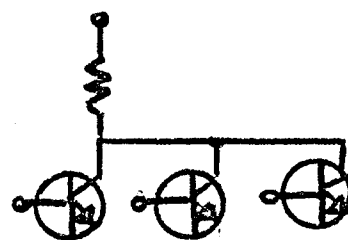


Fig. 8.1.a

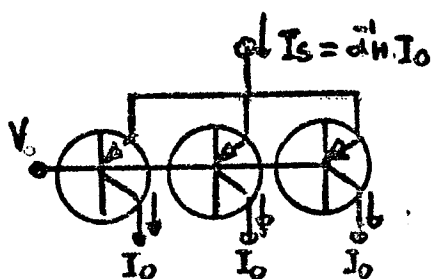


Fig. 8.3

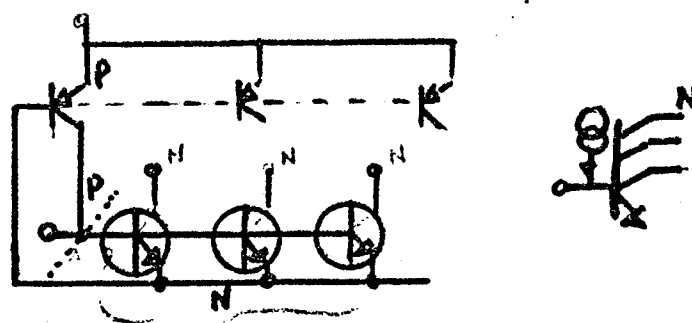


Fig. 8.4

Il est clair aussi que l'effet "d'avalement de courant" (current hogging), bien notable en DCTL, ne se manifeste pas en I^2L , parce que dans ce cas-ci, les bases et les émetteurs sont maintenant combinés dans un seul transistor multicollecteur (fig. 8.5).

La figure (8.6) montre la coupe de deux portes. Un N^+ a été choisi en conjonction avec les isolements N^+ afin d'améliorer le gain en courant et de réduire les effets parasites de l'action du PNP latéral.

La zone P au centre, qui fonctionne comme émetteur pour les deux transistors p n p s'appelle injecteur de courant.

Bibliographie E.

- E.1. O. Lowenschuss: "Non binary Switching Theory", IRE Nat. Conv. Record, PT 4, pp. 305-331, 1958.
- E.2. R. Schauer, R. Steward, A. Polin, A. Reid: "Some Application of Magnetic Film Parameters as Logical Devices," IRE, Trans. on Elect. Comp., EC-19, pp. 315-320, 1960.
- E.3. J. Santos, H. Arango, H. Pascual: "A Ternary Storage Element Using a Conventional Ferrite Core", I.E.E.E Trans. on Elect. Comp., EC-14, pp. 248, 1965.
- E.4. N.P. Bentsengor, Y.A. Zhogolev, V.V. Verigin, S.P. Maslov, A.M. Tishlelina: "The SETSUN Small Automatic Digital Computer", Moscow Univers. Vestnik, N° 4, pp. 3-12, 1962.
- E.5. G. Abraham: "Negative Resistance Multistable Switching", U.S. Patent N° 3293453, Dec. 20, 1966.
- E.6. A. Druzeta, A.S. Sedra: "Multithreshold Circuits in the Design of Multi-state Storage Elements", 1973, Intern. Symp. on Multi-Valued Logic, pp. 49-58, 1973.
- E.7. A. Druzeta, Z.G. Vranesic, A.S. Sedra: "Application of Multi-threshold Elements in the Realization of Many-valued Logic Networks", I.E.E.E., Trans. Comp., pp. 1194-1198, C. 23, 1974.
- E.8. H.H. Berger et S.K. Wiedmann: "Merged-Transistor Logic (MTL) - A Low-cost Bipolar Logic Concept", I.E.E.E. Solid State Circuits, Vol. SC. 7, pp. 340-346, 1972.
- E.9. K. Hart et A. Slob: "Integrated Injection Logic: A New Approach to LSI", I.E.E.E., Solid State Circuits, Vol. SC-7, pp. 346-351, 1972.

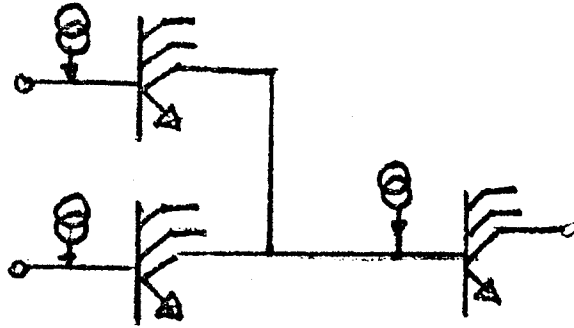


fig. B.5

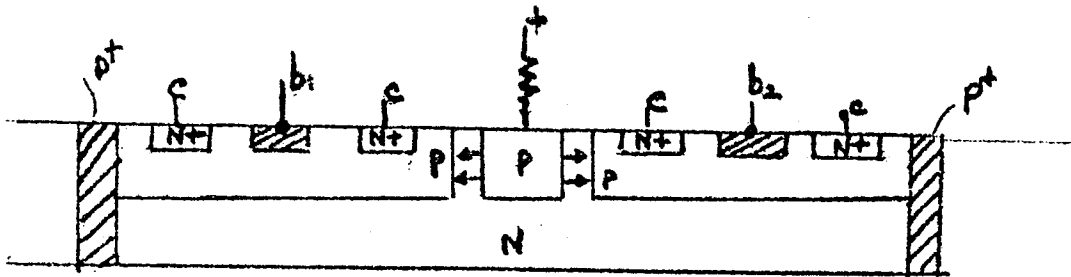


fig. B.6

B. II. Portes à Seuil.

Les technologies qui se prêtent naturellement à la réalisation des portes à seuil sont celles des circuits logiques de courant, comme ECL et I^2L , car elles possèdent les propriétés suivantes, essentielles aux fonctions à seuil:

1. Réplication de l'entrée: créer des répliques du signal d'entrée au moyen d'un circuit "miroir" de courant.
2. Sommes pondérées: former des sommes arithmétiques de plusieurs entrées pondérées.
3. Détection du seuil: déterminer si la somme dépasse un seuil prédéterminé.

L'utilisation des éléments à seuil en circuits logiques a été étudiée depuis quelque temps. En fait, plusieurs im-

plantations pratiques en ECL(B^{*}, 1), (2), (3) ont été proposées. Seulement, les éléments à seuil sont à peine utilisés. Ils n'apparaissent qu'à des endroits où une implantation conventionnelle n'est pas faisable, par exemple, les fonctions partiellement ou totalement symétriques de plusieurs variables booléennes. Récemment, ils ont été introduits comme une technique efficace de réalisation des logiques multivaluées.

Une porte à seuil présente plusieurs entrées binaires X_1, \dots, X_n et une sortie binaire Y . Ses paramètres internes sont les poids w_1, \dots, w_n et le seuil T . La porte réalise une somme linéaire des entrées pondérées et la compare à un seuil. La sortie, qui en résulte, est soit "1" si la somme dépasse le seuil, soit "0" dans le cas contraire. Vu l'ample assortiment de poids et de seuils possibles, plusieurs fonctions logiques peuvent être réalisées à partir d'une seule porte à seuil. La classe de fonctions réalisables appartient à la famille bien connue des fonctions linéairement séparables.

II. 1 Miroir de Courant.

Comme le signal logique est représenté physiquement par un courant électrique, il serait nécessaire d'avoir à sa disposition plusieurs répliques de ce courant si l'on voulait créer simultanément plusieurs fonctions logiques à partir du même signal.

Il existe un circuit analogique, inventé par R. Widlar (B 5), et nommé "Miroir de Courant" qui réalise exactement cette fonction. Par soucis de clarté, nous donnons, dans l'appendice, l'explication détaillée de son fonctionnement. Seront aussi présentées deux versions améliorées de ce circuit. La fig. B 1(a) montre le diagramme du circuit I²L. Les figures B 1 (b,c) en donnent la topologie et la coupe.

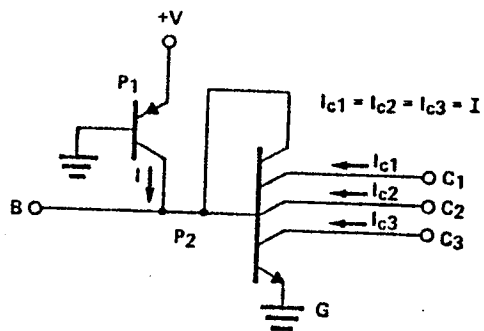


Fig1a. 12L

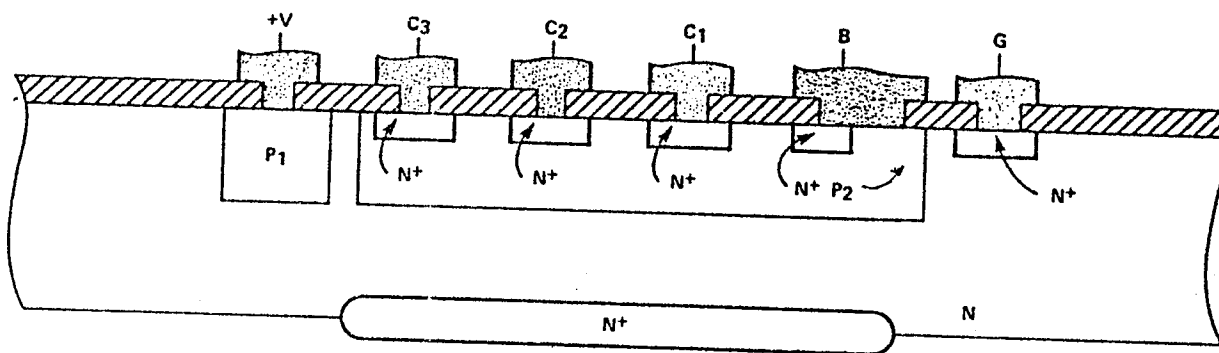


Fig1b.

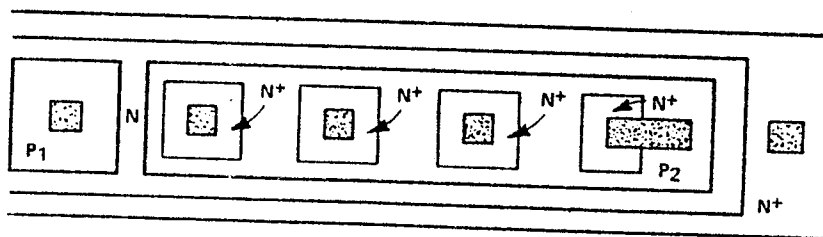


Fig1c.

Réalisation des Miroirs de Courant en Technologie I²L. (B .8,9)

Rappelons qu'en circuit I²L, les collecteurs des NPN s'opèrent en mode inverse, c'est à dire non seulement ils sont indépendants les uns des autres, mais aussi leurs gains en courant sont bas. La première propriété garantit qu'un collecteur peut être saturé sans affecter l'opération d'autres collecteurs. La seconde, par contre, réduit l'effet miroir en introduisant une erreur entre l'entrée et la sortie. Celle-ci pourrait être corrigée par la réduction des dimensions du collecteur de contraction par rapport à celles des collecteurs de sortie. (fig. B.2)



fig. B.2

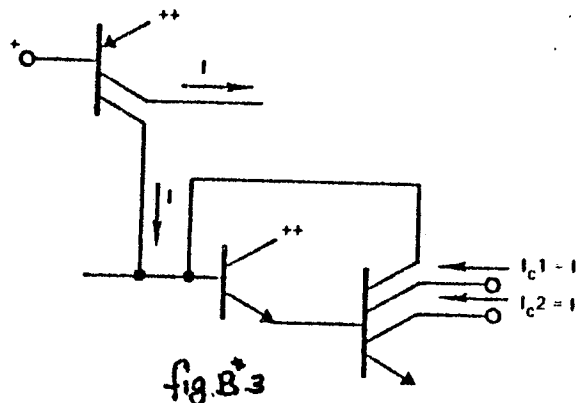


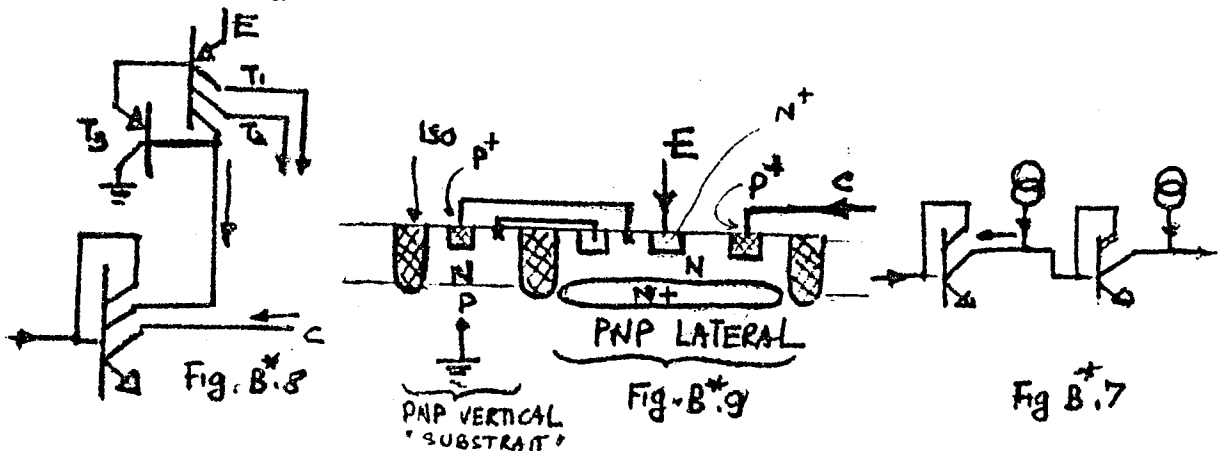
fig. B.3

Une réalisation plus prudente utiliserait un Darlington dans le miroir de courant, en mettant un transistor NPN isolé en amont du transistor multicollecteur opérant en mode inverse. Ils garantissent ainsi un gain élevé de la boucle et, par suite un gain unité en courant et aussi d'avantage de collecteurs de sortie. (fig. B.3)

I.4 Double Miroir de Courant, ou "Miroir sans Inversion".

- a) Une solution simple et immédiate, faite d'un circuit concis, consiste à mettre deux miroirs en cascade, avec deux sources supplémentaires, dont les amplitudes dépassent l'amplitude maximale du signal d'entrée, comme le montre la figure (B.7). Evidemment, l'erreur sur la réplique de sortie résulte de l'effet cumulatif des tolérances sur les gains des deux miroirs et des deux sources supplémentaires.
- b) On peut, cependant, éliminer ces deux dernières par l'utilisation de deux miroirs complémentaires; un miroir NPN suivi d'un miroir PNP, comme le montre la figure (B.8).

Le fonctionnement de ce dernier est exactement le même que celui du miroir NPN à trois transistors. Du point de vue technologique, les transistors T_1, T_2 , forment les deux parties d'un transistor PNP latéral commun, alors que le transistor T_3 est un PNP "substrait" (substrate PNP), dont le gain est au moins dix fois plus élevé que celui du PNP latéral. La figure (B.9) montre une coupe du miroir PNP sous forme intégrée.



Pondération du signal:

La pondération du signal s'obtient:

- a) en variant les dimensions de l'injecteur du courant d'entrée;
- b) en variant les dimensions des collecteurs de sortie.

En général, plusieurs collecteurs de taille minimale sont réunis pour produire le poids correspondant. A un signal d'entrée d'amplitude unité, n collecteurs réunis donnent lieu à un signal de sortie de valeur n .

1.5a Addition des signaux:

L'addition des signaux s'obtient en connectant différents collecteurs de différentes tailles et provenant de différents miroirs, comme l'indique la figure (B.10).

1.5b Soustraction des signaux. Figure (B.11)

La source de Wilson peut servir de soustraction de courants. En effet, l'opération du circuit s'explique par le fait que, si on néglige les courants de base, les T_1 et T_2 forment la source de courant de Wilson. Par conséquent on a :

$$I_1 \approx I_2 + I_3 \quad \text{ou} \quad I_3 \approx I_1 - I_2$$

Plus précisément, on peut dériver la fonction de transfert

comme suit: $I_{C3} = I_3$

$$I_3/\beta_3 + I_{C2} = I_1$$

$$I_{C2} = \left[I_3(1+\beta_3)/\beta_3 + I_2 \right] (1+1/\beta_3)^{-1}$$

En supposant $\beta_1 = \beta_2 = \beta_3$, on arrive finalement à

$$I_3 = (I_1 - I_2 + 2I_1/\beta) \cdot \beta^2 / (\beta^2 + 2\beta + 2)$$

Remarquons que le sens des courants d'entrée et de sortie sont respectés.

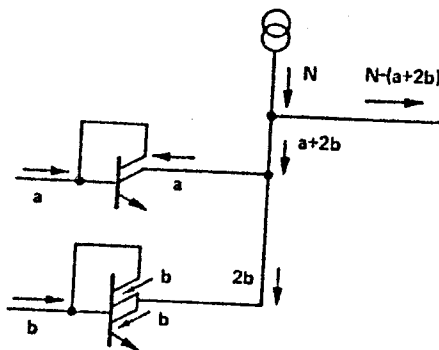


Fig. B*10 Addition des signaux

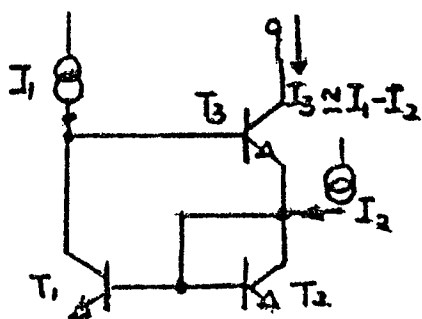


Fig. B*11.a

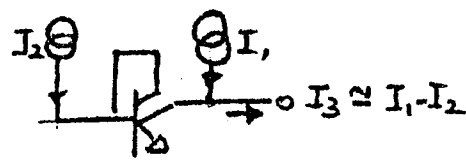


Fig. B*11.b

Soustraction des signaux

II.2 Détecteur de Seuil.

2.1. Amplificateur différentiel de courant.

Une source fixe de courant PNP injecte un courant dans la base d'un transistor NPN; celle-ci en plus est connectée à une somme pondérée de plusieurs signaux qui tentent d'absorber le courant injecté (fig. 1.2a). Pour un seuil T , T unités de courant sont injectées. Le transistor est coupé si le courant absorbable est plus grand que le courant disponible. En pratique, on contrôle la valeur du seuil par l'ouverture de la barre de suppression n^+ entre l'injecteur et la région de la barre du détecteur (fig. 1.2), dans le cas d'une implantation classique I^2L . Un meilleur contrôle du seuil pourrait être obtenu par l'utilisation d'un transistor PNP isolé, où la taille de chaque collecteur est quantifiée, correspondante à la moitié d'une unité de courant. Plusieurs collecteurs sont connectés pour produire le seuil désiré. Pour obtenir une détection plus brusque, on pourrait utiliser un transistor isolé NPN, ou, à la rigueur, le circuit de déclenchement de Schmitt. (fig. 1.3)

2.2. Déclencheur de Schmitt.

On peut tirer directement ce circuit du déclencheur classique de voltage de Schmitt en prenant le dual en courant de chaque élément, comme il est montré dans les figures 1.3a, 1.3b). Le suiveur de voltage est remplacé par le suiveur de courant, ou "miroir de courant", la tension de référence V_R par le courant de référence I_R , la réaction en voltage par la réaction en courant et le gain en voltage de l'entrée par le gain en courant.

STANDARD I²L

Détecteur I²L

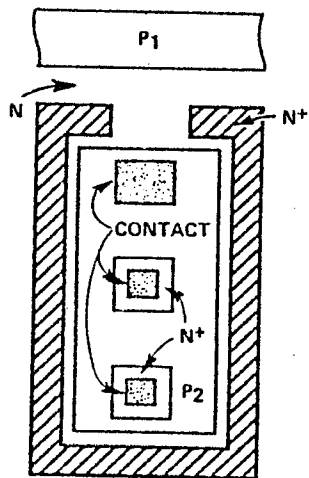


Fig 13a

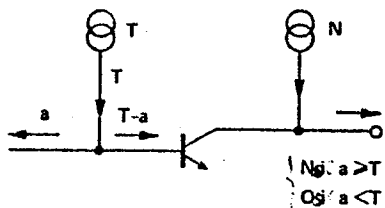


Fig. 12b

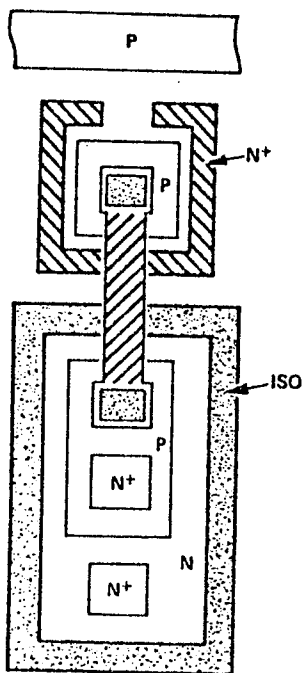


Fig 13c

Au départ, le courant d'entrée $I_{in}=0$, le transistor T_1 reste coupé et le courant de seuil I_R est injecté dans la base du "miroir de courant" T_2 , suiveur de courant, ou le dual de l'émetteur suiveur.

La boucle de réaction est ainsi maintenue fermée. Pour $I_{in} \leq I_R$ tout le courant I_{in} est court-circuité à la masse à travers T_2 . Pour $I_{in} > I_R$, le transistor T_1 commence à conduire. Il commence à se saturer vers la valeur de I_{in} telle que $I_{in} - I_R > I_R/\beta$, alors T_2 se coupe, et la boucle de réaction se déconnecte; par la suite, tout le courant d'entrée I_{in} afflue dans la base de T_1 .

Dans le chemin de retour, T_1 commence seulement à se couper à partir du moment où I_{in} tombe en dessous du niveau égal à I_R/β .

Le déclencheur présente un hystérésis qui est directement relié au niveau du seuil I_R . On peut facilement régler la largeur de l'hystérésis au moyen d'une boucle supplémentaire de contre-réaction retardée, ou par le contrôle du gain de l'étage d'entrée (fig. 813c).

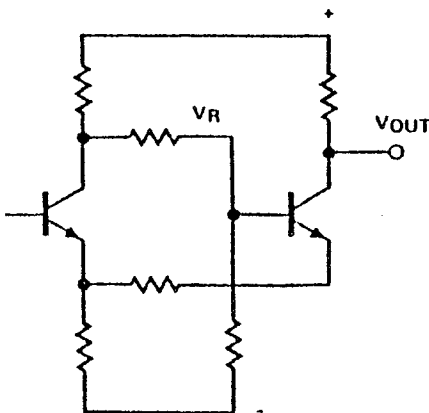


Fig 813a

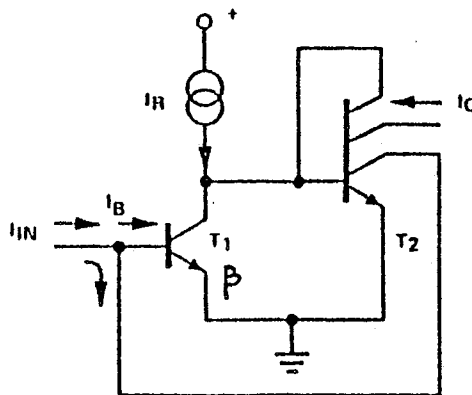


Fig 813b

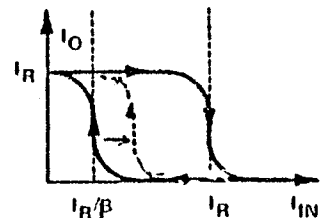


Fig 813c

Déclencheur de Schmitt

II3 Sensibilité de la Porte à Seuil I^2L . Fig 8ⁿ(13d)

La présence inévitable des variations de composants et du bruit qui pourraient altérer les valeurs nominales de la somme pondérée et du seuil influence fortement la fiabilité de la porte à seuil.

Pour être plus spécifique, les fluctuations des pourcentages de tolérances du courant d'entrée, et du gain du miroir de courant", et du seuil, qu'on désigne respectivement par $\delta_I, \delta_\beta, \delta_T$, doivent être définies telle sorte à assurer un fonctionnement sans erreur, même dans les pires conditions. Cette situation se présente dans les conditions suivantes, où la somme pondérée est:

1. à son minimum quand la sortie est vraie et en même temps que le seuil atteint sa limite supérieure $T(1+\delta_T)$:

$$\sum_j I_j(1-\delta_I) \beta_{mj}(1-\delta_\beta) \geq T(1+\delta_T)$$

2. à son minimum quand la sortie est fausse et que le seuil prend sa limite inférieure $T(1-\delta_T)$:

$$\sum_j I_j(1+\delta_I) \beta_{mj}(1+\delta_\beta) \leq T(1-\delta_T)$$

Si on définit par u et l les valeurs nominales de la somme pondérée, correspondantes aux cas où la sortie prend respectivement la valeur vraie ou fausse, on pourra alors réduire les deux inégalités précédentes à une forme plus compacte:

$$(1-\delta_I)(1-\delta_\beta) \geq T(1+\delta_T)$$

$$(1+\delta_I)(1+\delta_\beta) \leq T(1-\delta_T)$$

Par conséquent, la contrainte suivante, obtenue par

$$\frac{u-l}{u+l} \geq \frac{\delta_I + \delta_\beta + \delta_T + \delta_I \delta_\beta \delta_T}{1 + \delta_I \delta_\beta + \delta_I \delta_T + \delta_\beta \delta_T}$$

résolution des inégalités précédentes, doit être satisfaite afin d'assurer un fonctionnement sans erreur de la porte, en dépit des fluctuations de tolérance des paramètres spécifiées par les valeurs:

$$\frac{u-l}{u+l} \geq \frac{\delta_I + \delta_\beta + \delta_T + \delta_I \delta_\beta \delta_T}{1 + \delta_I \delta_\beta + \delta_I \delta_T + \delta_\beta \delta_T}$$

En négligeant les variations du second ordre, et en admettant l'égalité des tolérances des courants d'entrée et de seuil $\delta_I = \delta_T = \delta$, on obtient alors:

$$\frac{u-l}{u+l} \geq (2\delta + \delta\beta)$$

En plus, si l'on fixe le seuil T au centre de l'ouverture définie par $(u-l)$, autrement dit $2T=(u+l)$, les tolérances en courant des sources et celle du gain en courant doivent satisfaire la condition suivante: $2\delta + \delta\beta \leq \frac{1}{2T}$

On suppose que A_F et A sont respectivement les superficies des collecteurs de contre-réaction et du collecteur de sortie, et que β et β_F sont leurs gains respectifs en courant. Si l'effet de la résistance de la base est maintenue sous contrôle on pourra en première approximation écrire: $\beta_F = \beta \frac{A_F}{A}$

Naturellement, la valeur du β dépend du nombre total de collecteurs disponibles dans chaque composant. Le gain du miroir de courant, défini par la relation $\beta_m = \frac{I_c}{I}$ peut donc s'exprimer aisément par:

$$\beta_m = \frac{\beta}{(1 + \beta \frac{A_F}{A})}$$

Comme on désire que $\beta_m \approx 1$, par conséquent on doit avoir:

$$\frac{A_F}{A} = \frac{\beta - 1}{\beta}$$

Puisque $\frac{A_F \approx 1}{A}$ et ses variations négligeables, on remarque donc que :

$$\frac{d\beta_m}{\beta_m} \approx \frac{d\beta}{\beta} \frac{1}{1+\beta}$$

Dans les cas typiques : $\beta = 4$ pour un transistor à quatre collecteurs ; ainsi, une variation de 30% du β entraîne seulement une variation de 6% du β_m . Comme exemple : pour un $\delta_\beta = 6\%$ calculé auparavant, et si on se limite à une valeur de T égale à 2.5, dans la plupart des applications, la tolérance des sources de courant devra être maintenue en dessous de la valeur

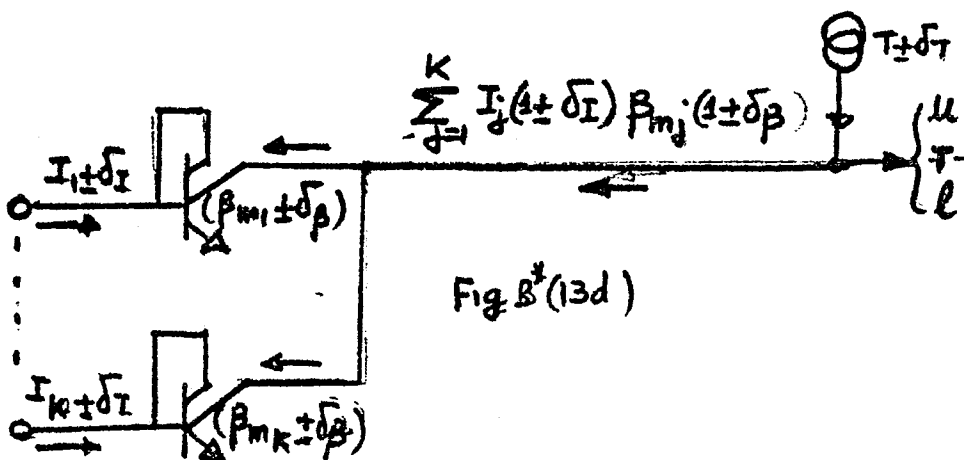
$$\delta = \frac{1}{4T} - \frac{\delta_\beta}{2} \leq 9\%$$

Elle est pratiquement réalisable en technologie I^2L et au moyen des composants assortis.

Pour $T = 3.5$, $\delta \leq 4.14\%$

ce qui est encore bien dans les limites pratiques.

Le pire cas, concernant la condition sur les tolérances, ne se présente que lorsque les sources de courant et la source du seuil correspondant sont physiquement éloignées, ou quand le niveau de courant utilisé est suffisamment élevé pour que la chute de tension le long de la barre d'injection contribue largement à la variation du gain de source de courant du PNP latéral.



II.4. Application Binaire.

Les fonctions binaires symétriques forment une large classe de fonctions logiques, caractérisées par leur indépendance par rapport aux permutations des variables d'entrée. Par conséquent, elles se prêtent bien à une implantation par portes à seuil. Une réalisation standardisée de ces fonctions est souvent lourde et parfois peu pratique. Les fonctions arithmétiques, de vérification de parité, de codage prioritaire, de comptage linéaire, etc. peuvent être aisément implantées.

Comme exemples, on peut citer les deux versions d'un additionneur complet, indiquées par les figures (B 14,15). L'économie de superficie réalisée au moyen de la logique à seuil est d'environ 20% sur la version standardisée. Chaque entrée X, Y, C_0 , produit d'abord trois copies au moyen de son miroir de courant. Les trois copies de leur somme linéaire sont simultanément comparées à trois seuils distincts de valeurs respectives: 0,5; 1,5; et 2,5 unités. Les sorties des portes à seuil correspondent respectivement aux logiques Ou, Majorité et ET des trois entrées. Une combinaison astucieuse de ces sorties engendre la somme S et la retenue R de l'additionneur complet. On remarque que cette implantation nécessite seulement, en terminologie I^2L , huit bases et 18 collecteurs, en comparaison avec 12 bases et 24 collecteurs en réalisation standard. Le retard des sorties par rapport aux entrées est exactement de quatre étages dans les

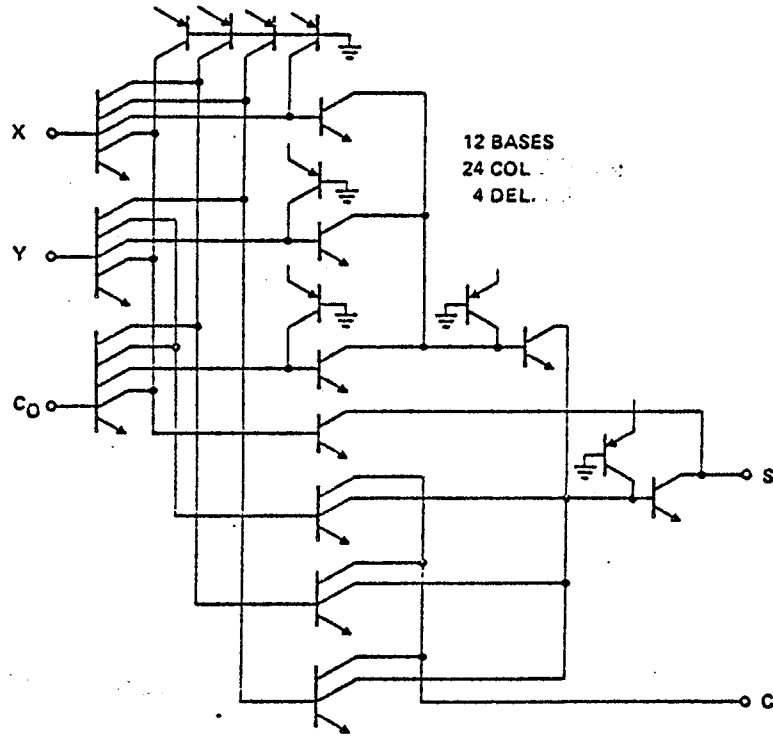


Fig. B 14

Additionneur standard

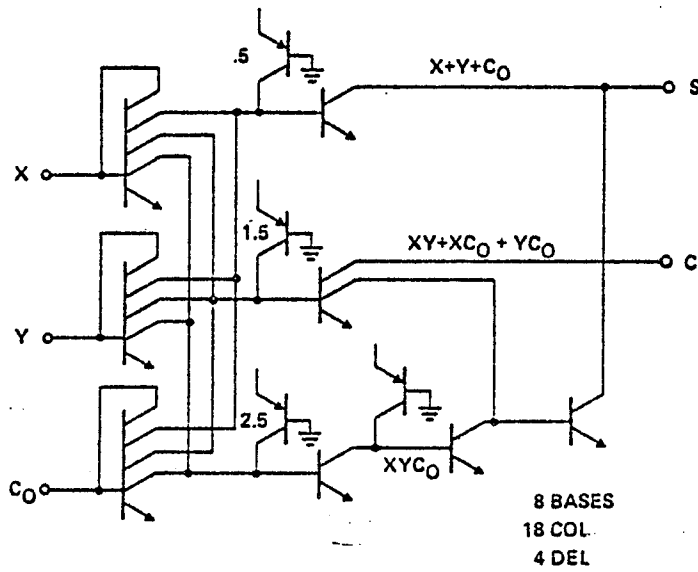


Fig. B 15

Additionneur à seuil

deux versions. Notons que cet avantage en superficie est, tant soit peu, contrebalancé par la nécessité d'un meilleur contrôle des processus de dessin et de fabrication du circuit, dues aux tolérances plus serrées qu'exigent les portes à seuil.

Dans certaines applications, où l'utilisation de quelques portes à seuil dont la valeur du seuil dépasse 2,5 unités permet l'économie d'un grand nombre de portes standardisées, il serait avantageux d'incorporer ces portes à seuil dans la réalisation, même au prix de mises au point en fin de fabrication pour s'assurer de leur fiabilité.

On adopte cette technique dans la réalisation de la mémoire FIFO, ou "premier entré, premier sorti". Elle contient 16 éléments d'information de deux-bits chacun. Les signaux indiquant les états de remplissage de la mémoire doivent être établis. Les quatre états sont:

1/4 plein,

1/2 plein,

3/4 plein

plein

vide.

Ces signaux s'obtiennent par comptage des "UNS" ou des "ZEROS" contigus dans le registre de contrôle à 16 bits. Par exemple, l'état "1/4 plein" existera si quatre bits contigus ou davantage sont "UNS". L'indication de cet état au moyen des circuits standards, utilisant deux niveaux ET/OU, exige au moins trois portes ET, alors qu'une seule porte à seuil 3.5 est nécessaire en logique à seuil.

II.5 Effets de Bruit sur les circuits Logiques à Niveaux

Multiples.

Le circuit logique multiniveau le plus simple est un étage non inverseur avec un gain logique supérieur à l'unité.

Considérons une longue chaîne de ces circuits répétés, dont l'entrée d'un étage est connectée à la sortie du précédent (figure B*16 a). On peut énoncer la règle suivante:

"Le circuit est stable si, et seulement si, au signal d'entrée dont la valeur est dans un certain voisinage d'un niveau stable \bar{A}_k , correspondent des sorties successives dont les valeurs convergent vers \bar{A}_k ".

En pratique, on forme un élément de mémoire à multiple états par connexion dos à dos de deux étages stables ainsi définis, équivalent à une chaîne infinie d'étages identiques (figure B*16 b).

Quelles sont les caractéristiques de la fonction de transfert de ce circuit qui garantissent sa stabilité à quelques points fixes ou points d'opération? La discussion qui suit s'inspire de l'étude de convergence du processus itératif de calcul des racines d'une fonction non linéaire.

Supposons que la fonction de transfert de la porte logique est définie par $f(s)$, une fonction monotone croissante et continue en S (figure 16c).

Puisqu'à chaque étage on a:

$$A_{2k}(i) = A_{2k-1}(i+1)$$

les points stables, quand ils existent, sont définis par l'égalité suivante:

$$A = f(A)$$

Supposons $A = d_1$ la valeur du signal d'entrée de l'étage initial et qu'elle soit plus proche du point d'opération que d'autres, Par définition on a :

$$\bar{A}_k = f(\bar{A}_k) \quad ; \quad d_{i+1} = f(d_i)$$

En se référant au théorème sur la valeur moyenne, comme la fonction est continue, il existe une valeur d_i^* du signal entre d_i et \bar{A}_k telle que :

$$d_{i+1} - \bar{A}_k = f(d_i) - f(\bar{A}_k) = (d_i - \bar{A}_k) f'(d_i^*)$$

Définissant par e_i

$$e_i = d_i - \bar{A}_k$$

on peut écrire équation précédente comme :

$$e_{i+1} = f'(d_i^*) e_i$$

Comme on désire que l'erreur converge vers zéro il suffit que

$$|f'(d_i^*)| < k < 1$$

car on peut écrire en valeur absolue :

$$|e_{i+1}| \leq k |e_i|$$

Par récurrence on a :

$$|e_{i+1}| \leq k^{i+1} |e_0|$$

ou e_0 étant l'erreur initiale de la valeur du signal d'entrée.

Par conséquent :

$$\lim_{i \rightarrow \infty} |e_{i+1}| \leq |e_0| \lim_{i \rightarrow \infty} k^{i+1} = 0$$

quel que soit e_0

Quand l'itération converge on a : $\lim_{i \rightarrow \infty} \frac{e_{i+1}}{e_i} = \lim_{i \rightarrow \infty} f'(d_i^*) = f'(\bar{A}_k)$

Autrement dit, pour de larges valeurs de i , l'erreur de n'importe quel étage est proportionnelle à l'erreur de l'étage précédent. Le facteur de proportionalité étant approximativement égal à $f'(\bar{A}_k)$ Plus la valeur de $f'(\bar{A}_k)$ est petite, plus rapide est la convergence du signal de sortie.

Par contre, si la pente $f'(\bar{A}_k)$ est supérieure à 1, le processus d'itération divergera et la vitesse de divergence

augmente avec la valeur de la pente.

Une illustration graphique du processus de convergence, ou de divergence, est montrée par la figure (B*16c). Une partie de la caractéristique de transfert possède trois points d'intersection avec la bissectrice, dont \bar{A}_k et \bar{A}_{k+1} sont les points d'opération et A_{TK} le seuil. Deux points a_k et a_{k+1} , dont les tangentes à la courbe ont une pente unité, délimitent les zones de convergence.

Par exemple, l'entrée $A_{I_1}(i)$ produit une sortie $A_{O_1}(i)$, qui devient l'entrée $A_{I_2}(i+1)$, avec $A_{I_2}(i+1) < A_{I_2}(i)$

On voit bien qu'après plusieurs itérations, le point a_1 sur une pente inférieure à 1 converge vers \bar{A}_k . Par contre, un point en dessous de A_{TK} sur une pente supérieure à 1 diverge de celui-ci, passe par a_k et converge vers \bar{A}_k .

Pour la même raison, tout signal d'entrée correspondant à un point sur la courbe supérieure converge au niveau \bar{A}_{k+1} .

Le circuit sera d'autant moins sensible au bruit que la pente du seuil est plus abrupte et que la pente du point d'opération est plus faible.

Il va sans dire que la forme idéale de la caractéristique de transfert, entre deux niveaux logiques, comprend deux horizontales passant par les niveaux \bar{A}_k et \bar{A}_{k+1} , et une verticale à travers le seuil A_{TK} . Les définitions suivantes concernant les effets du bruit sur le circuit logique vont faciliter cette étude. (figure B*16.d)

Largeur de transition: est définie comme étant l'augmentation du signal d'entrée nécessaire pour déplacer le signal de sortie du point a_k , au point a_{k+1} , dont les deux pentes sont égales à 1,

$$LT_k \triangleq |d_{I'}(a_{k+1}) - d_{I'}(a_k)|$$

c'est-à-dire la bande du signal correspondant au gain de transfert est supérieure à 1

$$LT_k \triangleq |f(a_{k+1}) - f(a_k)|$$

Marge de bruit: la marge de bruit MB^k du circuit est définie comme étant la variation du signal d'entrée nécessaire pour faire passer le signal de sortie

du point d'opération au point supérieur le plus proche de pente unité. Notons que les marges de bruit peuvent être différentes les unes des autres, variant avec la forme de la caractéristique de transfert. On utilise la notation suivante:

$$MB^k = |f(a_k) - f(\bar{a}_k)|$$

La marge de bruit est en quelque sorte la mesure du déplacement permissible du signal d'entrée du point d'opération avant qu'il soit amplifié par le circuit.

Sensibilité au bruit: La sensibilité au bruit SB^k est le changement du signal d'entrée nécessaire pour provoquer le passage du signal de sortie d'un point d'opération au seuil supérieur le plus proche. Il va sans dire que la sensibilité au bruit diffère d'un point à un autre. De la figure (B* 16c), on voit bien que

$$SB^k = |d_{I'}(a_{TK}) - d_{I'}(\bar{a}_k)| = |f'(a_{TK}) - f'(\bar{a}_k)|$$

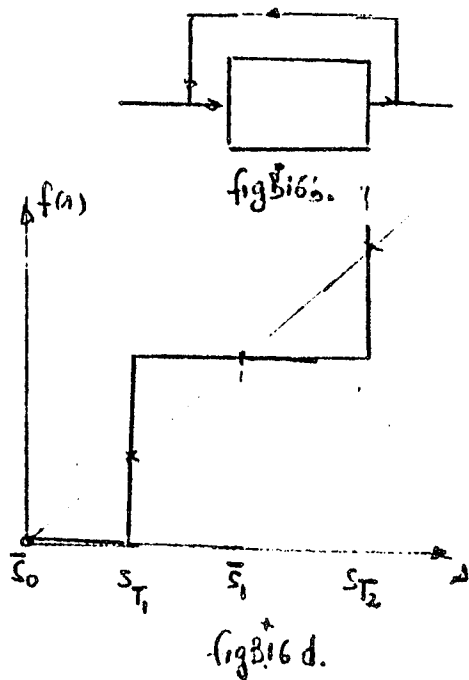
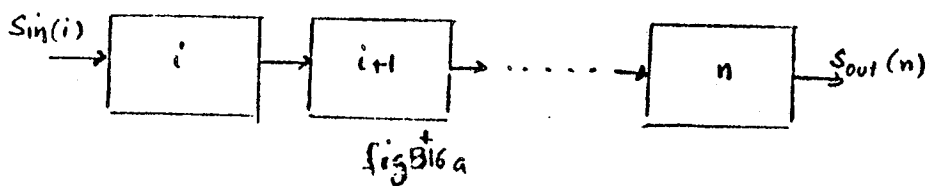
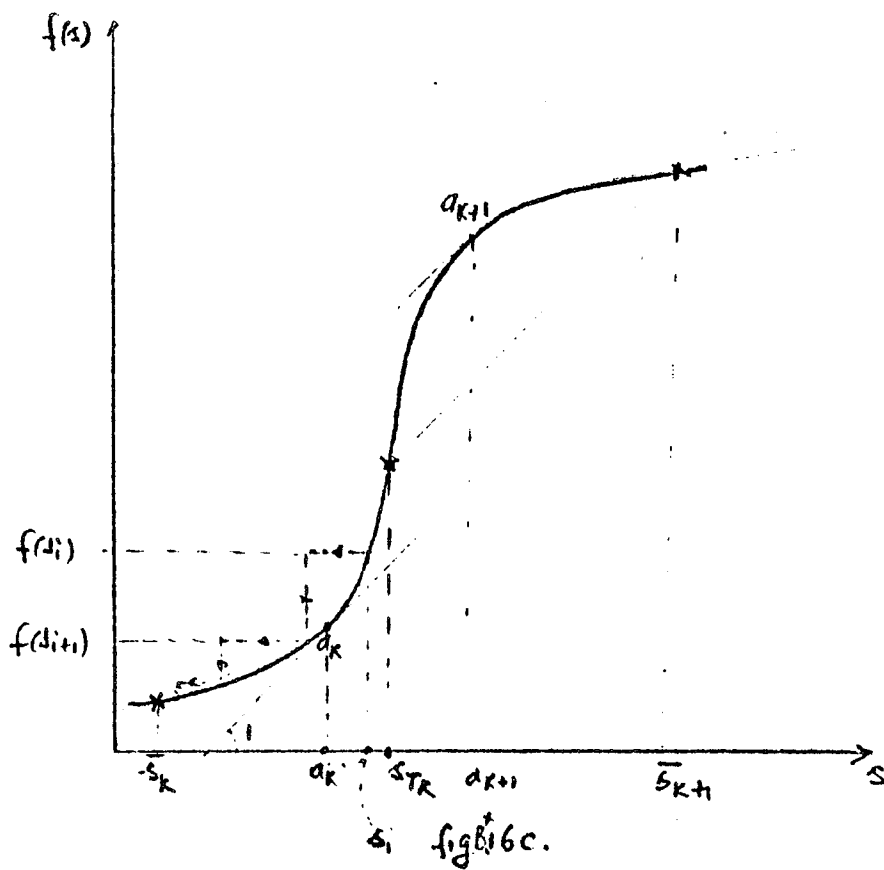
Immunité au bruit: L'immunité au bruit IB^k est le rapport entre la sensibilité au bruit de SB^k et la moyenne des deux

niveaux logiques successifs, correspondants aux deux points d'opération successifs ou \bar{J}_K, \bar{J}_{K+1}

En pratique, on s'efforce de créer une caractéristique de transfert symétrique par rapport à la bissectrice (fig. 3, 16.4) afin d'uniformiser l'influence du bruit sur tous les niveaux logiques. On peut donc établir le seuil Δ_{TK} à mi-chemin de deux niveaux \bar{J}_K, \bar{J}_{K+1} . Par conséquent

$$I_B^K \approx \frac{S_B^K}{\Delta_{TK}} = \frac{|f(\Delta_{TK}) - f(\bar{J}_K)|}{\Delta_{TK}}$$

Jusqu'à maintenant, on a supposé l'absence de dispersion sur les caractéristiques de transfert due aux variations des seuils et de niveaux logiques, ^{et} résultant des tolérances sur les sources de courant ou de tension des circuits.



1.1 Miroir de Courant à Deux Transistors Identiques ou
"Source de Widlar" (Fig. 4).

Considérons deux transistors avec émetteurs à superficies égales connectés comme l'indique la figure (Fig. 4)

Ce circuit engendre un courant I_2 , dépendant du courant d'entrée I_1 .

Rappelons d'abord que le courant de collecteur d'un transistor est donné par la relation:

$$I_c = I_0 \left[\exp\left(\frac{q}{kT} V_{be}\right) - 1 \right]$$

où I_0 est proportionnelle à la superficie de l'émetteur et V_{be} le voltage de la jonction base-émetteur.

1. Supposons d'abord que les transistors T_1 et T_2 sont exactement identiques ($I_{01} = I_{02}$).

2. Les courants sont définis comme suit:

$$\begin{aligned} \text{Entrée:} \quad I_1 &= I_{c1} + I_{b1} + I_{b2} \\ \text{Sortie:} \quad I_2 &= I_{c2} \end{aligned}$$

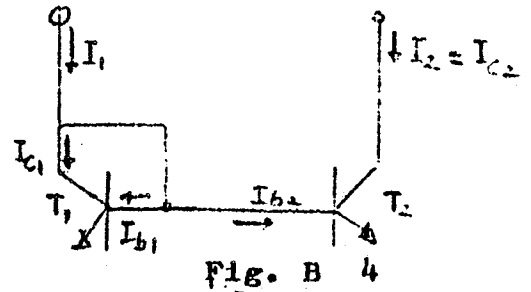
3. T_1 fonctionne comme une diode. Le courant d'entrée I_1 circule indépendamment de I_2 et presque entièrement à travers le collecteur de T_1 .

4. T_1 et T_2 ont la même tension V_{be} de jonction base-émetteur; comme ils sont identiques et sont à la même température sur la même "puce". Ils ont alors les mêmes courants de collecteurs.

5. Si le gain en courant β est large, les courants de base seront faibles en comparaison aux courants des collecteurs; par conséquent on a:

$$I_2 = I_{c2} = I_{c1} \approx I_1$$

$$\begin{aligned}
 I_{c1} &= I_{c2} = I_2 \\
 I_{b1} &= I_{b2} = I_{c1}/\beta = I_{c2}/\beta \\
 I_1 &= I_{c1} + I_{b1} + I_{b2} = I_{c1} + 2I_b \\
 I_1 &= I_2 (1 + 2/\beta) \\
 I_1/I_2 &= 1/(1 + 2/\beta) \approx 1 - 2/\beta
 \end{aligned}$$



On peut conclure que la fonction de transfert est pratiquement égale à l'unité et sa dépendance aux variations est, d'autant atténuée que β est plus large.

Réponse de fréquence:

Si la conduite en fréquence de β suit la relation suivante

$$\begin{aligned}
 \beta &= \beta_0 / (1 + p\tau) \\
 \text{alors } I_2/I_1 &= 1 / (1 + 2/\beta) = [(1 + 2/\beta_0)(1 + 2p\tau/(2 + \beta_0))]^{-1} \\
 \text{pour } \beta_0 \gg 2 \quad I_2/I_1 &= [(1 + 2/\beta_0)(1 + 2/\omega\tau)]^{-1}
 \end{aligned}$$

Ce qui montre que la fréquence de coupure est égale à la moitié de celle de la fréquence de transition ω_T de chaque transistor.

Impédance d'entrée:

L'impédance d'entrée du transistor avec émetteur à la masse étant

$$\partial V_{be} / \partial I_b = I_b \cdot kT/q$$

Dans ce cas-ci avec contre-réaction de $2/\beta$, l'impédance d'entrée est réduite d'un facteur: $1/(1 + 2/\beta)$

$$Z_{in} = I_1 [kT/q (1 + 2/\beta)]^{-1}$$

p.c.

$$\beta = 4 \quad I_1 = 100 \mu A \quad Z_{in} = 2,5 \Omega / 1,5 = 1,67 \Omega$$

Impédance de sortie:

L'impédance de sortie au niveau de courant de sortie I_o

est déterminée par le voltage d'Early: $V_A: r_o = V_A/I_o$

En pratique, pour les transistors en mode inverse de I^2L :
 $V_A = 4V$ $I_o = 10^{-4}A$ $r_o = 40k\Omega$

En plus de la variation du courant de sortie, (due à la résistance de sortie non infinie), et la réduction de ce courant par rapport au courant d'entrée d'un facteur $(1+2/\beta)$, (due à la faible valeur de β , surtout en I^2L), plusieurs améliorations simples à ce circuit sont recommandables.

1.2 Miroir de Courant avec trois Transistors: (fig. 85)

La connexion entre le collecteur et la base du circuit précédent est remplacée par un transistor comme le montre la figure (85). Ceci a pour effet d'augmenter le gain de contre-réaction, et par suite de ramener le rapport courant de sortie I_2 sur courant d'entrée I_1 à une valeur proche de l'unité.

Supposons de nouveau que T_1 et T_2 sont identiques avec un gain β et que le transistor T_3 a un gain β^* , on peut établir les relations suivantes:

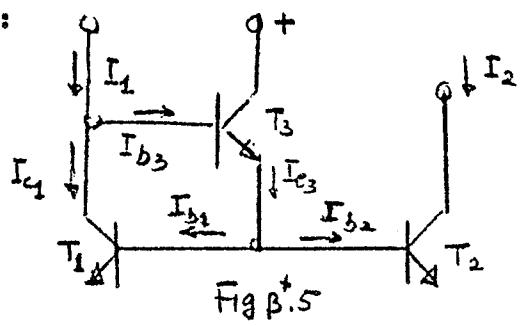
$$I_3 = (I_{c1} + I_{c2})/\beta$$

$$I_{b3} = I_{e3}/(1+\beta^*)$$

$$I_2 = I_{c1} = I_{c2}$$

$$I_1 = I_{c1} + I_{b3}$$

$$I_2/I_1 = [1 + 2/\beta(1+\beta^*)] \approx 1 - \frac{2}{\beta\beta^*}$$



On voit bien que dans le cas de I^2L , si β^* est le gain d'un transistor en mode direct, β le gain des transistors en mode inverse on a $\beta^* \gg \beta$, et le rapport I_2/I_1 non seulement se rapproche de l'unité mais aussi est rendu moins sensible aux variations de β .

1.3 Miroir de Courant à Grande Impédance de Sortie ou "Source de Wilson", (B.5), Fig. B.6J

Une source de courant doit présenter une impédance de sortie très large par rapport à l'impédance de charge, qui dans notre cas comprend, soit l'impédance d'entrée d'un miroir de courant, soit celle d'un élément à seuil.

L'impédance de source des deux circuits précédents est seulement égale au rapport entre la tension d'Early V_A , malheureusement faible pour les transistors, et le courant de charge. Pour augmenter artificiellement l'impédance de sortie, Wilson recourt à une configuration relativement simple, où la boucle de contre-réaction entre le collecteur et la base du transistor d'entrée est remplacée par la boucle entre l'émetteur et la base du transistor de sortie, via la "source de Wilson", comme le montre la figure (B.6)

a) Fonction de transfert:

D'après le schéma, on peut écrire les relations suivantes:

$$I_{b_1} = I_{b_3} (1 + \beta_3) / (1 + k + \beta_3)$$

$$\text{Si } I_{b_2} = k I_{b_1}$$

$$I_0 / I_1 = \beta_3 \left[1 + \beta_1 (1 + \beta_3) / (1 + k + \beta_2) \right]$$

Supposons $\beta = \beta_1 = \beta_2 = \beta_3$, l'égalité des courants de base, on aura:

$$I_0 / I_1 = \beta(2 + \beta) / (2 + 2\beta + \beta^2) \cong 1 - 2/\beta^2$$

On voit bien que l'erreur par rapport à l'unité est en fonction inverse du carré du gain des transistors.

b) Impédance d'entrée:

En regardant à l'entrée de la base des transistors de sortie, on voit une impédance d'entrée égale à $\approx \beta_3(R_{03}+R_{01})$ où R_{03}, R_{01} sont respectivement l'impédance de sortie des transistors en cascade. La contre-réaction en courant de gain β_3 , étant appliquée entre l'entrée et la sortie, l'impédance d'entrée équivalente sera par conséquent réduite à:

$$Z_{in} \approx \beta_3(R_{01}+R_{03})/\beta_3 = R_{01}+R_{03}$$

qui est le double des circuits précédents.

c) Impédance de sortie:

Pour la même raison on peut affirmer que, par suite de la contre-réaction en courant, l'impédance de sortie sera multipliée par le gain de la boucle β_3 . Pour être plus précis, on peut déduire la valeur de Z_{out} du calcul simplifié suivant:

$$Z_{out} \approx \beta_3 \cdot \frac{V_A}{I_0}$$

V_A = voltage d'Early

I_0 = Niveau du courant de sortie

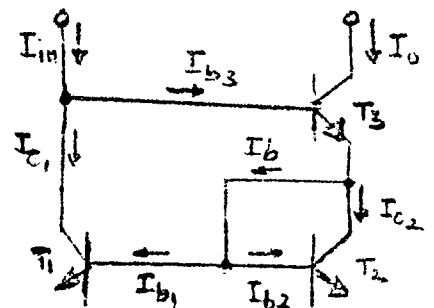


Fig B*6

Bibliographie

- B.1. J.J. Amodei, R.O. Winder, D. Hampel, T.R. Mayhew:
"An Integrated Threshold Gate", ISSCC Digest Techn.
Papers, pp. 114-115, 1967.
- B.2. T.T. Dao: "Multithreshold Logic and Boolean Ring
Synthesis", Proc. 12th. Annual Allerton Conference on
Circuit and System Theory, pp. 557-566, 1974.
- B.3. T.T. Dao: "Threshold Logic Gate", U.S. Patent n° 3838 393,
Sept. 24, 1974.
- B.4. B.A. Wooley, C.R. Baugh: "On Integrated m-out of n
detection using threshold logic", I.E.E.E. J Solid
State Circuits, Vol. S.C.-9, pp. 297-306, Oct. 1974.
- B.5. R. Widlard: "Some Circuit Design Techniques for Linear
Integrated Circuits, I.E.E.E., Trans. on Circuit Theory,
Vol. CT-12, pp. 586-590, n° 4.
- B.6. G.R. Wilson: "A Monolithic Junction FET-NPN Operational
Amplifier", I.E.E.E. Journal of Solid State Circuits,
Vol. SC n° 3, pp. 184-191, Aug. 1969.
- B.7. T.T. Dao, P.A. Tucci: "Threshold Integrated Injection
Logic", U.S. Patent N° 4.081.822, March 28, 1978.
- B.8. T.T. Dao: "Threshold I^2L and its Applications to Binary
Symmetric Function and Multivalued Logic", I.E.E.E.,
Journal of SSC, Oct. 1977, pp. 463-475.

Chapitre Troisième: Circuits Logiques Quaternaires en
Technologie I^2L .

C. I Circuits Logiques des Algèbres de Post à Base 4.

- Complément;
- Littéral;
- Glissement;
- Maximum - Minimum;
- Multiplexeur.

C. II Circuits Logiques du Corps de Galois $GF(4)$ et
de l'Anneau Modulo 4.

- Somme en $GF(4)$;
- Produit en $GF(4)$;
- Somme et produit dans les corps d'extension.

C.III Circuits Arithmétiques.

- Additionneur complet;
- Additionneur saturé;
- Produit;
- Carré;
- Multiple;
- Parité;
- Cellule de De Mori et de Guild généralisée;
- Réseau de décalage.

C.IV Circuits de Mémoire Multivaluée I^2L .

- Quantificateur;
- Bascule synchrone;

- Bascule maître-esclave;
- Mémoire morte.

C.V Circuits d'Interface.

- Du binaire au quaternaire;
- Du quaternaire au binaire;
- Transmission et réception du quaternaire.

C.VI Processus de Fabrication et Résultats Expérimentaux.

Introduction.

Dans le premier chapitre nous avons passé en revue les différentes formes d'algèbres multivaluées, dérivées de la conception originale de Post. Malgré leur diversité, on peut facilement identifier dans l'ensemble un nombre limité d'opérateurs logiques communs, dont l'implantation en technologie I^2L permettra dans un proche avenir des réalisations pratiques de systèmes logiques multivalués et stimulera des recherches et des développements dans cette direction et en d'autres technologies intégrées telles que ECL(1), MOS(2), et (3).

Dans cette étude de circuits, nous nous limiterons aux logiques quaternaires, que ce soit en algèbre de Post ou en algèbre de Galois. Cette décision est basée sur les considérations suivantes:

1. La croissance et la domination des systèmes logiques binaires continueront pour bien des années. Toute logique différente, malgré sa supériorité évidente en théorie et en pratique, ne serait intégrée dans les systèmes existants que si elle leur était compatible, c'est-à-dire, que les conversions à partir de et vers la logique non-binaire devraient être aussi simples que possible. Par conséquent, toute algèbre à base égale à une puissance binaire serait acceptable.
2. Dans l'état actuel de la technologie, spécialement les circuits à seuil en I^2L , il serait prudent de se limiter

aux circuits logiques à base 4, qui seraient susceptibles d'être fabriqués en masse avec un rendement de production acceptable économiquement.

Comme il a été indiqué auparavant, les techniques utilisées dans la conception et dans l'implantation de ces circuits ne se limitent pas à la base quatre. Par ailleurs, certains opérateurs quaternaires jouissent de propriétés uniques qui faciliteront l'implantation logique.

C. I. Circuits Logiques de Post.

I. 1. Complément. (C, 2, 3, 4)

L'élément logique le plus simple à réaliser est le circuit complément comme l'indique la fig. (.1). La notation utilisée, correspondante au symbole $\langle 0 \ 1 \ 2 \ 3 \rangle$ à l'entrée montre les quatre niveaux possibles du courant d'entrée du signal. Les symboles $\langle \quad \rangle$ utilisés ailleurs dans le circuit montrent les courants correspondants qui circulent vers (ou à partir) des autres points du circuit. Ainsi le symbole $\langle 3 \ 2 \ 1 \ 0 \rangle$ à la sortie signifie que le courant de sortie a la valeur 3 lorsque le courant d'entrée est nul et un courant de sortie de valeur 2 quand le courant d'entrée a la valeur 1, etc.... Le numéro 3, indiqué près du courant de source, montre que la source fournit 3 unités de courant.

Le fonctionnement du circuit s'explique de lui-même. On peut aussi se référer au soustracteur de signaux décrit à la page 65 .

La fonction du complément s'exprime :

$$\bar{x} = \begin{cases} 3 & \text{pour } x = 0 \\ 2 & \text{pour } x = 1 \\ 1 & \text{pour } x = 2 \\ 0 & \text{pour } x = 3 \end{cases}$$

On peut généraliser ce circuit en adoptant d'autre valeur du courant de source :

$$\bar{x}^a = \begin{cases} a - x & \text{pour } x \leq a \\ 0 & \end{cases}$$

Evidemment, pour le cas antérieur $a = 3$.

Exemples: $a = 1, 2, 3, 4$

$x = \langle 0 \ 1 \ 2 \ 3 \rangle \rightarrow \bar{x}^1 = \langle 1 \ 0 \ 0 \ 0 \rangle$

$x = \langle 0 \ 1 \ 2 \ 3 \rangle \rightarrow \bar{x}^2 = \langle 2 \ 1 \ 0 \ 0 \rangle$

$x = \langle 0 \ 1 \ 2 \ 3 \rangle \rightarrow \bar{x}^3 = \langle 3 \ 2 \ 1 \ 0 \rangle$

$x = \langle 0 \ 1 \ 2 \ 3 \rangle \rightarrow \bar{x}^4 = \langle 4 \ 3 \ 2 \ 1 \rangle$

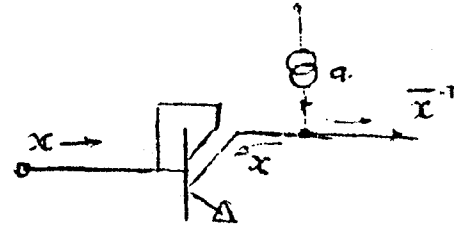


Fig. C.1
Complément

I.2. Littéral: (C 3,4)

Les algèbres d'Epstein, de Muhldorf et de Herrmann utilisent des fonctions littérales $\overset{a \ b}{x}$ définies par

$$\overset{a \ b}{x} = \begin{cases} m & \text{pour } a \leq x \leq b \\ 0 & \text{ailleurs} \end{cases}$$

où a, b, m éléments de la suite $\{0, 1, 2, 3, \dots\}$

Si $a = b$, on a la fonction ponctuelle d'Epstein.

Si $a \neq b$ avec $b < 3$, on a la fonction de fenêtre d'Allen et Givone.

Si $a \neq b$ $b = 3$, on a la fonction de seuil $D_1(x)$ de Muhldorf. Pour faciliter la réalisation de cette fonction

on peut réinterpréter la définition de $\overset{a \ b}{x}$ comme suit:

1) $\overset{a \ b}{x} = m \cdot \overset{a \ b}{x^*}$

avec $\overset{a \ b}{x^*} = \begin{cases} 1 & a \leq x \leq b \\ 0 & \text{ailleurs} \end{cases}$

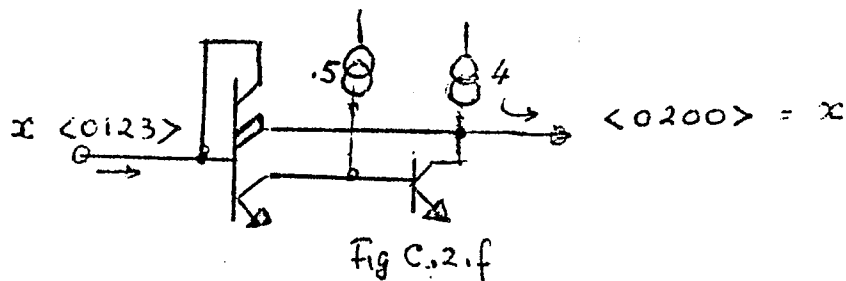
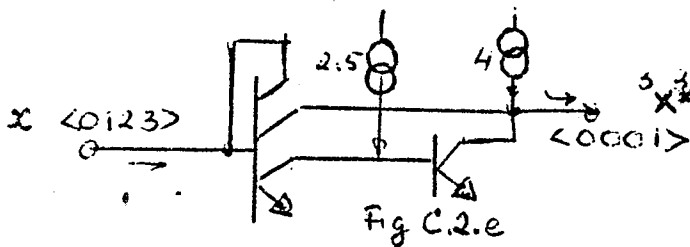
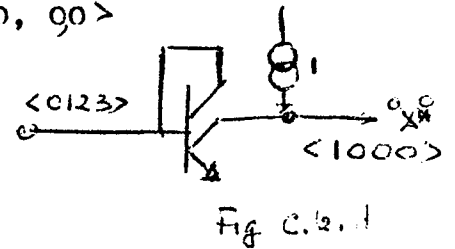
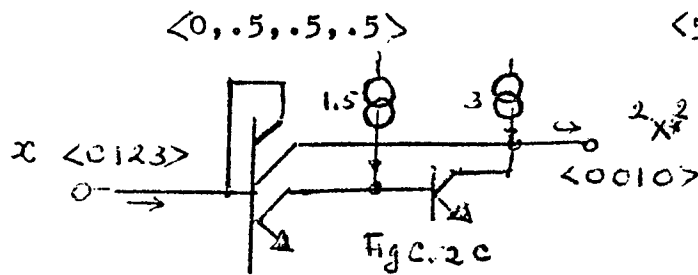
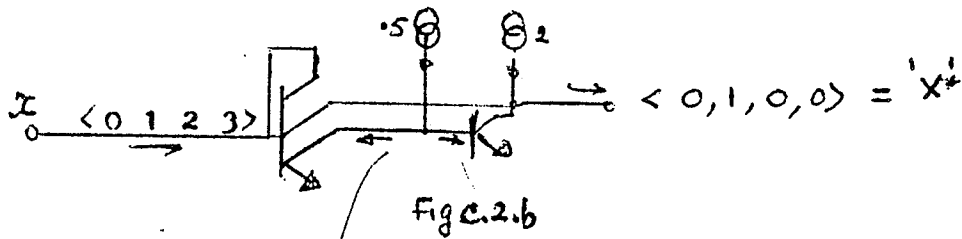
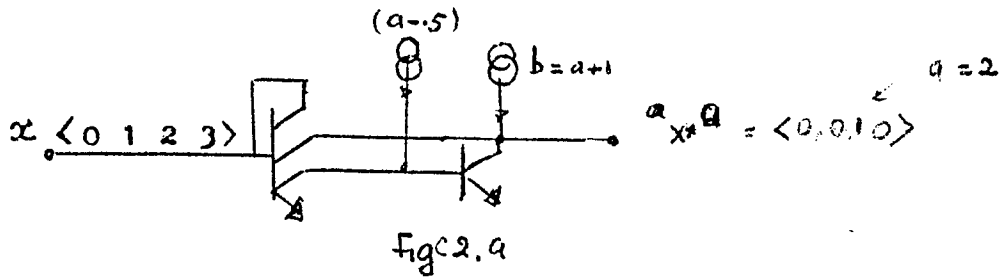
où m est le facteur multiplicatif de pondération.

2) $\overset{a \ b}{x} = m \cdot \overset{a \ b}{x^*}$

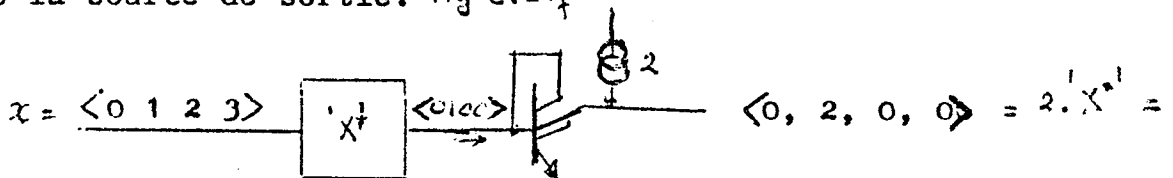
avec $\overset{a \ b}{x^*} = \begin{cases} 3 & \text{pour } a \leq x \leq b \\ 0 & \text{ailleurs} \end{cases}$

Dans ce cas-ci, le produit (\cdot) est un opérateur minimum.

Les réalisations de $\overset{a \ b}{x^*}$ sont obtenues aisément comme le montrent les figures suivantes: Fig. C.2, a, b, c, d, e



La pondération de $i X^*^i$ s'obtient par des moyens mentionnés dans le chapitre précédent. Par exemple, $2 \cdot X^*^1$ est réalisé à partir du circuit $1 X^*^1$ en doublant le collecteur et la source de sortie. Fig C.2.f



Toute fonction littérale \mathcal{X} peut être construite
 au moyen d'une combinaison linéaire des fonctions X, X^2

I.3. Glissement: (C.3,4)

En général, un glissement de K valeurs dans une algèbre
 à base N est définie comme étant :

$$\mathcal{X}_K = (x+k) \text{ modulo } N.$$

Pour $K = 1$, \mathcal{X}_1 est le successeur de \mathcal{X} et
 pour $K = -1$, \mathcal{X}_{-1} est le prédécesseur de \mathcal{X}

Avant de décrire les différents circuits de glissement
 dans l'algèbre quaternaire, notons certaines propriétés entre
 le complément et le glissement.

Lemma: soit N la base, le k ième prédécesseur est équivalent
 au $(N-K)$ ième successeur:

$$(x-k) \text{ mod } N = (1+N-k) \text{ mod } N$$

Ceci résulte de la définition de l'arithmétique modulo N .

Si \bar{x} est le complément de x dans la base N , alors:

Théorème:

$$(x+k) \text{ modulo } N = \overline{(\bar{x} + N - k)} \text{ modulo } N.$$

En effet,

$$(N-1 - (N-1-x-N-k)) \text{ modulo } N = (x+k) \text{ modulo } N.$$

L'utilisation de cette identité conduit à des circuits
 de glissement simplifiés: fig. 3a, fig. 3b.

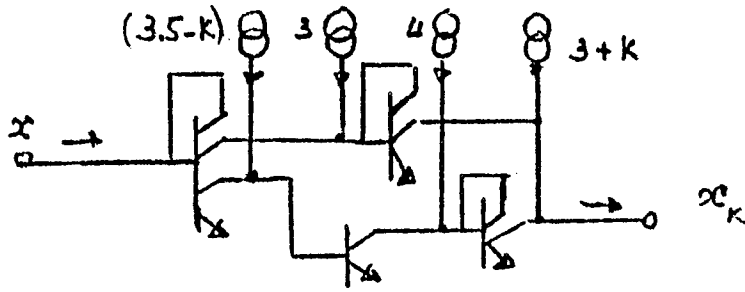


Fig C.3.4

$$x_k = (x+k) \text{ modulo } 4 ; 1 \leq k \leq 3$$

Observons que :

$$x_{-1} = x_3$$

$$x_{-2} = x_2$$

$$x_{-3} = x$$

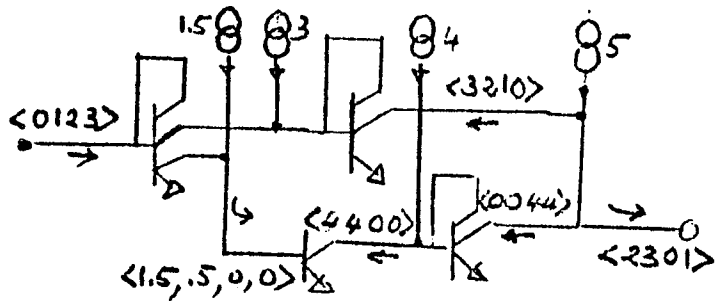


Fig C.3.6

$$x_2 = x_{-2}$$

I.4. Maximum et Minimum : (-C, 2, 3, 4, 5)

Ces opérateurs sont nécessaires aux algèbres de Post. Une réalisation de la fonction "maximum" est montrée dans la fig (C.4.1). En réalité, elle représente le complément du maximum, qui par définition est :

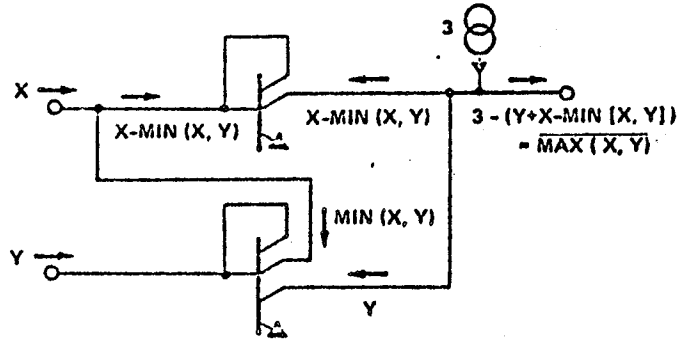
$$\overline{\text{Max}(x, y)} = 3 - \text{Max}(x, y).$$

Le Max (x, y) s'obtient par un circuit complément à la suite du circuit $\overline{\text{Max}(x, y)}$, ce qui donne :

$$\text{Max}(x, y) = \overline{\overline{\text{Max}(x, y)}}.$$

Le fonctionnement du circuit s'explique directement par les symboles indiqués sur les branches.

Cette version du Max, appartient à Mr. McCluskey.



Fig(a). CIRCUIT $\text{MAX}(x, y)$

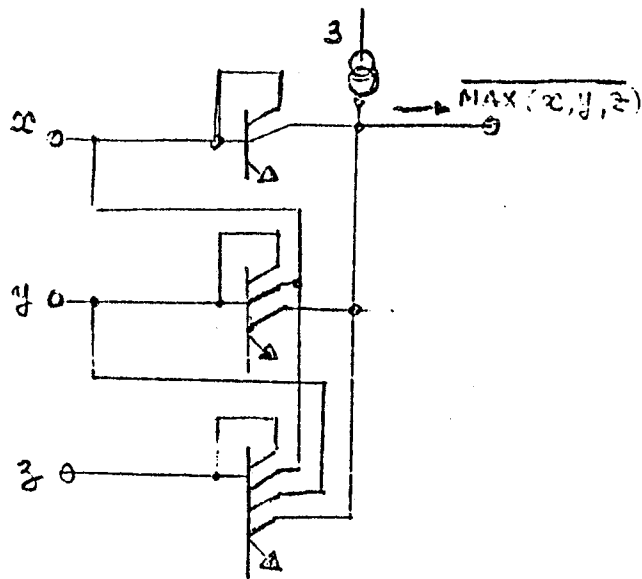


Fig. C.4. aa

Ce circuit peut être facilement étendu à trois variables, comme le montre la figure (C.4a). Notons que le dernier miroir de courant utilise quatre collecteurs, ce qui, pour le moment correspond à la limite permise par la technologie. Par conséquent, au delà de 3 variables, on doit utiliser plusieurs circuits par groupement des variables, puisque la fonction Maximum est associative.

Malgré ses limitations en nombre de variables d'entrée, le circuit a le mérite d'être très simple.

Un circuit Maximum plus général a été conçu qui, non seulement ne présente pas de limitations en nombre d'entrées, mais aussi est applicable aux signaux discrets ou continus. (C.5)

Notons que si les signaux sont en tension, le circuit qui réalise la fonction Maximum (ou Minimum), constitue un réseau simple de diodes dont les cathodes (ou anodes) sont communs et les anodes (ou cathodes) correspondent aux entrées : figure C.4d .

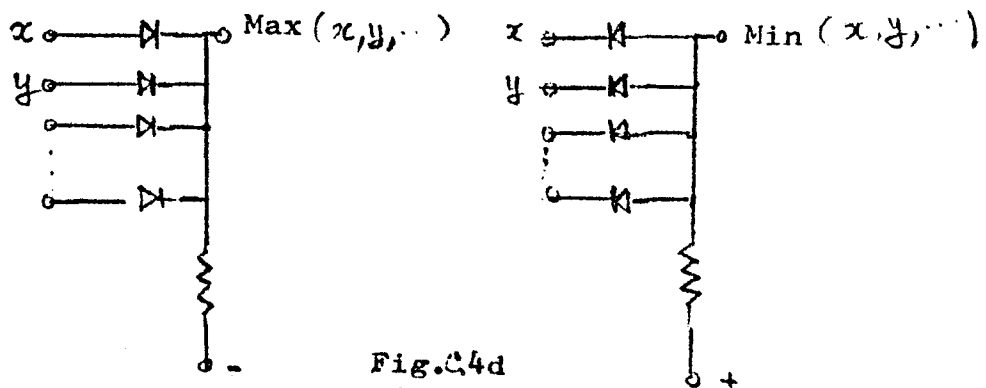
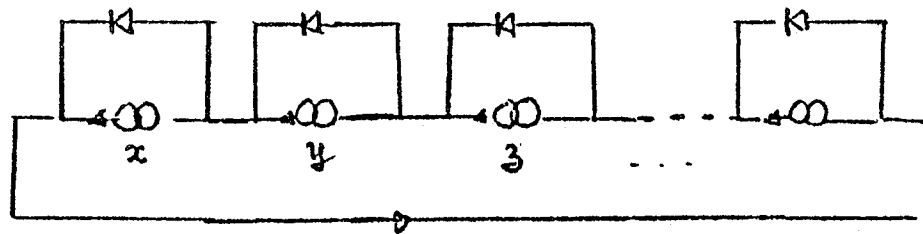
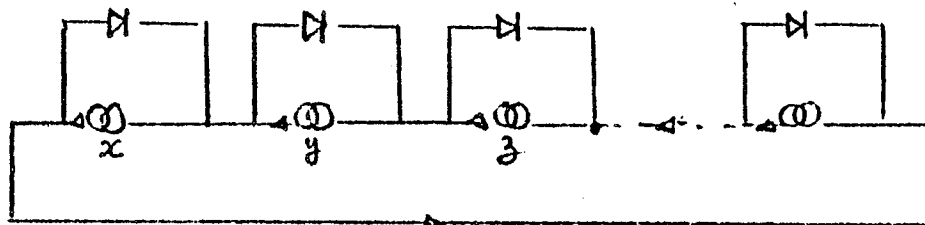


Fig.C4d

Dans le cas des signaux en courant, on obtient par dualité les schémas équivalents suivants: fig.C4e



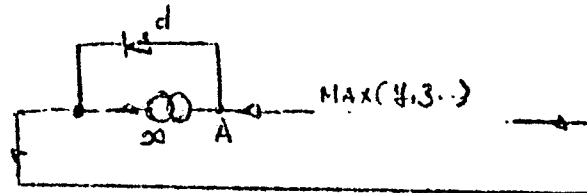
$$\text{Max } (x, y, z, \dots)$$



$$\text{Min } (x, y, z, \dots)$$

Fig. C.4e

Il suffit de se référer au schéma simplifié suivant:



Supposons que le courant qui arrive au point A est le $\text{Max}(y, z, \dots)$, des signaux de source en amont, deux cas se présentent:

1. Si $x < \text{Max}(y, z, \dots)$,

la différence $\text{Max}(y, z, \dots) - x$ passe par la diode et rejoint la boucle principale et s'ajoute à x pour reproduire $\text{Max}(x, y, z, \dots)$. Par conséquent: $\text{Max}(x, y, z, \dots) = \text{Max}(y, z, \dots)$

2. Si $x > \text{Max}(y, z, \dots)$, à cause de la continuité dans la boucle, le courant x circule dans la boucle principale et l'excès $x - \text{Max}(y, z, \dots)$ passe dans la diode d.

Par conséquent:

$$\text{Max}(x, y, z, \dots) = x$$

La réciproque est facilement prouvée pour le circuit Minimum.
La seule difficulté réside dans la réalisation pratique en technologie intégrée de la source flottante de courant (fig. C.4f).

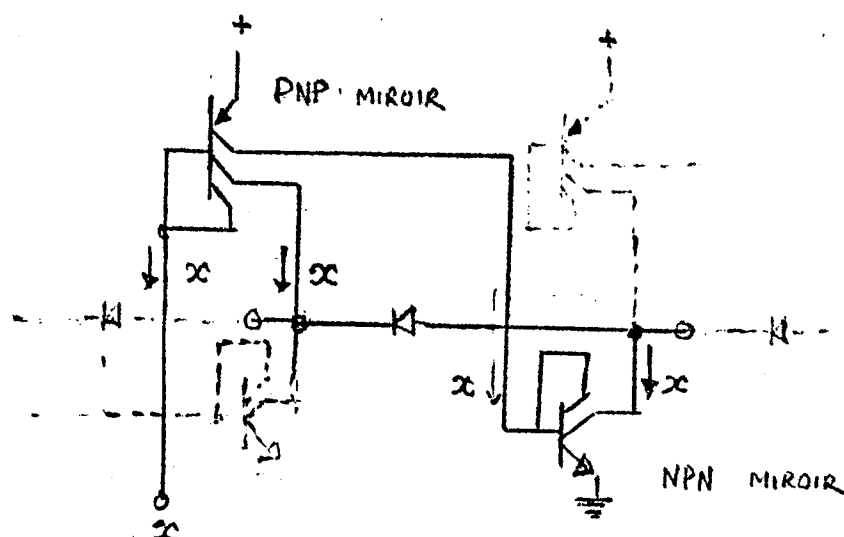


Figure C.4f

On se sert de deux miroirs de courants complémentaires gigognes comme le montre la fig. (4.f).

Le signal d'entrée X contrôle le miroir p n p, dont l'un des collecteurs contrôle à son tour le miroir n p n. Le collecteur de ce dernier essaie d'absorber un courant x , alors que le collecteur du miroir contrôleur essaie de pousser le même courant x . Par conséquent, entre ces deux collecteurs nous avons à notre disposition une source flottante de courant x . Ces sources flottantes, avec leurs diodes, sont connectées en chaîne pour former des fonctions maximum, ^{et} minimum, d'un grand nombre d'entrées.

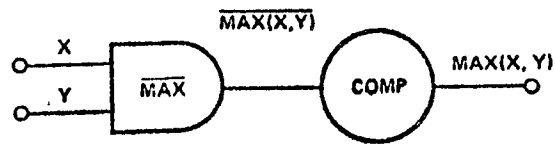


Fig 4b. REPRESENTATION DU CIRCUIT MAX(x, y)

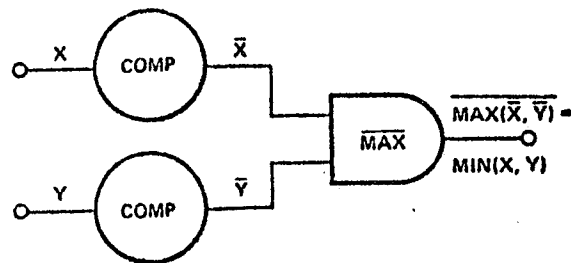


Fig 4c. REPRESENTATION DU CIRCUIT MIN(x, y)

Evidemment, on peut passer du circuit maximum au minimum et vice-versa en se servant des compléments (fig. 4 b, 4c). La relation $\min(x, y) = \overline{\max(\bar{x}, \bar{y})}$ représente en quelque sorte une généralisation de la loi de Morgan en algèbre de Boole.

1.5. Multiplexeur: (fig 5 a, b)

Rappelons que l'algèbre d'Epstein est construite au moyen des fonctions ponctuelles X^i , dont la fonction de multiplexage de Higuchi représente une forme plus généralisée. C'est en quelque sorte un commutateur à plusieurs positions (4 en quaternaire). Le signal de contrôle S est simultanément testé par trois détecteurs ajustés respectivement aux niveaux

MULTIPLEXEUR

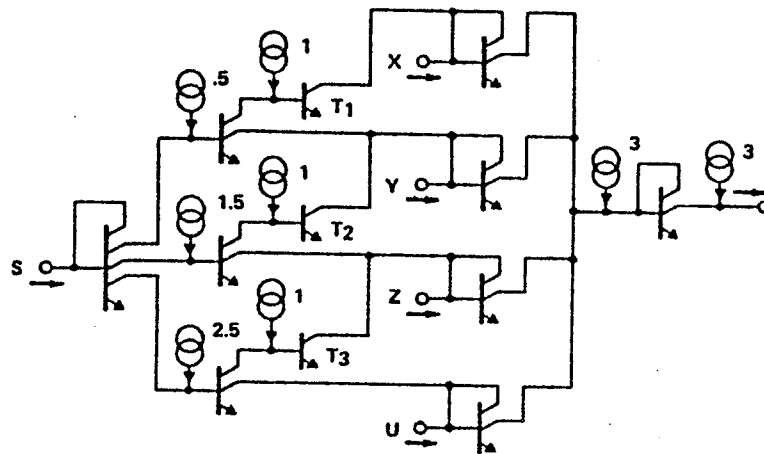


Fig. b.

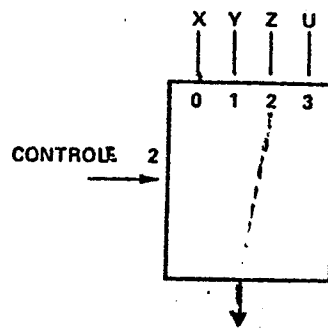


Fig. C.5.a

de seuil .5, 1.5, et 2.5. Leurs sorties sont combinées logiquement pour créer la voie de transmission à une seule entrée choisie parmi les quatre. Les entrées non choisies sont court-circuitées à la masse. Quatre suiveurs de courant isolent les entrées (x, y, z, u), les unes des autres et transmettent le signal sélectionné à la sortie après avoir subi une opération de complément.

C.II Circuits Logiques du Corps de Galois GF(4).

Il y a essentiellement deux fonctions dans le corps de Galois, la somme et le produit, dont nous allons donner une description de réalisation en I^2L et dans $GF(4)$. Nous nous sommes étendus sur la notion d'extension algébrique qui nous permet de passer de la logique d'un corps à base élevée à partir du sous-corps. Quelques exemples de mise en pratique de cette étude seront donnés.

CII.1. Somme en GF(4): (C.6)

La somme de deux nombres x et y en $GF(4)$ est définie par la table de vérité suivante:

$x \backslash y$	0	1	2	3
0	0	1	2	3
1	1	0	3	2
2	2	3	0	1
3	3	2	1	0

Table C1.a

$x \backslash y$	u_x	v_y
u_x	A	B
v_x	B	A

Table C1.b

Notons que si l'on divise les valeurs de variables en deux groupes $\begin{cases} u_x & \text{pour } x = 0 \text{ ou } 1 \\ v_x & \text{pour } x = 2 \text{ ou } 3 \end{cases}$ et si on

définit la matrice:

$$A = \begin{bmatrix} 0 & 1 \\ 1 & 0 \end{bmatrix} \quad \text{et} \quad B = \begin{bmatrix} 2 & 3 \\ 3 & 2 \end{bmatrix}$$

on pourra réduire la table 1.a à la table 1.b.

La réalisation pratique de ce tableau s'explique d'après le diagramme de boîtes suivant . (fig.C.ba) Remarquons que les opérations logiques internes sont quasi-binaires comme l'indique l'opérateur \oplus , qui est une somme exclusive et que tous les outils utilisés sont expliqués auparavant.

On vérifie, par exemple, que les deux suites d'entrée $\langle 3,3,2,2 \rangle$ et $\langle 2,1,1,2 \rangle$ donnent lieu à la suite de sortie de $\langle 1,3,3,0 \rangle$.

L'implantation en I^2L est montrée en détail dans la fig.(C.6a).

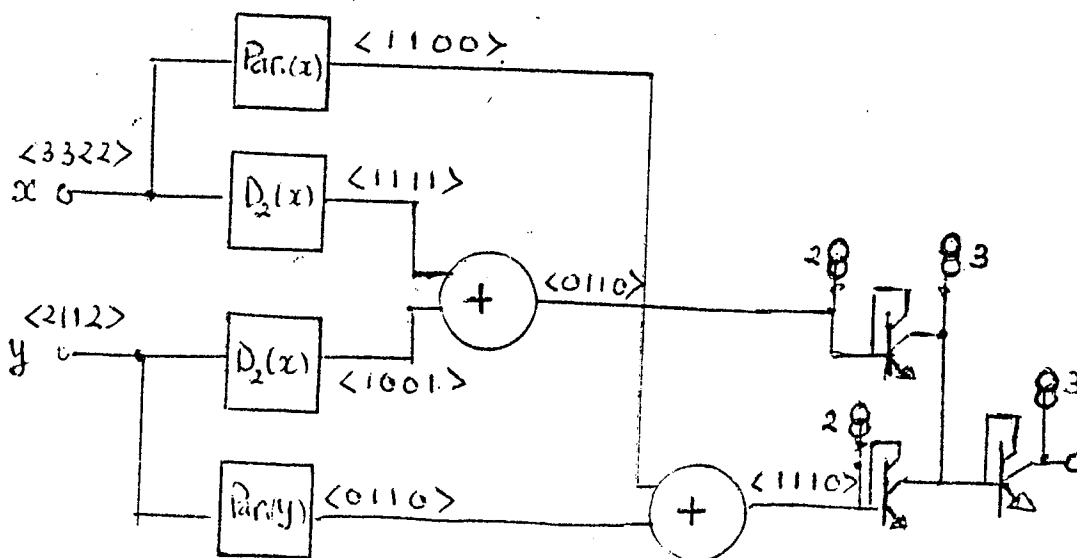


Fig. C. 6a

Somme en GF (4)

II.2. Produit en GF(4). (6)

Le produit de deux nombres x et y en $GF(4)$ est défini par la table de vérité suivante:

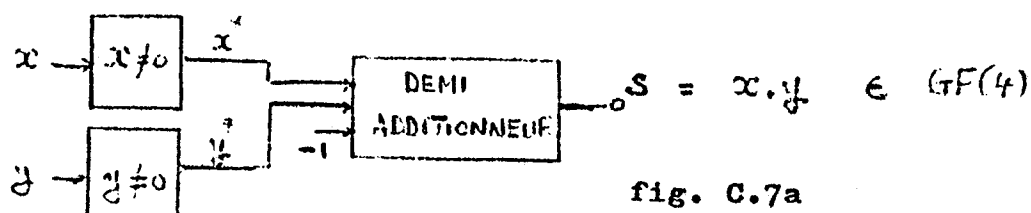
$x \backslash y$	0	1	2	3
0	0	0	0	0
1	0	1	2	3
2	0	2	3	1
3	0	3	1	2

Notons que la sortie est nulle pour toute valeur d'entrée nulle.

La table réduite résultant du produit des valeurs non nulles des entrées correspond à celle du glissement de x dont le pas de glissement est défini par $(y-1)$

$$\text{ou} \quad \begin{cases} x \cdot y = 0 & \forall x \text{ ou } y = 0 \\ x \cdot y = (x + y - 1) \text{ modulo } 4 & \text{ailleurs} \end{cases}$$

Par conséquent, on peut voir de façon systématique que le produit x, y est réalisable par la fig. (C.7).



Une implantation en circuit I²L est donnée dans la fig.(C8). Il est facile de vérifier qu'aux suites d'entrée $\langle 0 \ 1 \ 2 \ 3 \rangle$ et $\langle 0 \ 1 \ 2 \ 3 \rangle$ correspond la suite de sortie $\langle 0 \ 1 \ 3 \ 2 \rangle$.

II. 3 Somme et Produit dans le Corps d'Extension (6).

Nous avons indiqué, dans le chapitre deuxième, l'utilité de la notion d'extension algébrique du corps de Galois dans la réalisation d'une logique de Galois à base m , au moyen des opérateurs dans la base sous-multiple.

Nous allons illustrer ici cette notion par un exemple de réalisation de la somme et du produit en $GF(16)$ par des sommes et des produits en $GF(4)$:

soient β_1 et β_2 , deux éléments non-zéro dans $GF(16)$, représentés par des couples (a,b) et (c,d) , avec a,b,c,d des éléments dans $GF(4)$.

Comme le polynôme quadratique irréductible est de la forme:

$$F(x) = x^2 + x + 1$$

on vérifie bien que:

$$\begin{aligned} \text{la somme} \quad \beta_1 + \beta_2 &= (a,b) + (c,d) \\ &= (a+c, b+d) \end{aligned}$$

$$\begin{aligned} \text{et le produit} \quad \beta_1 \cdot \beta_2 &= (a,b) \quad (c,d) \\ &= (ac+bd), (ad+bc+bd) \end{aligned}$$

Par suite, si \oplus , \odot représentent la somme et le produit dans $GF(4)$, on obtiendra la somme et le produit dans $GF(16)$ comme suit (fig. C.8).

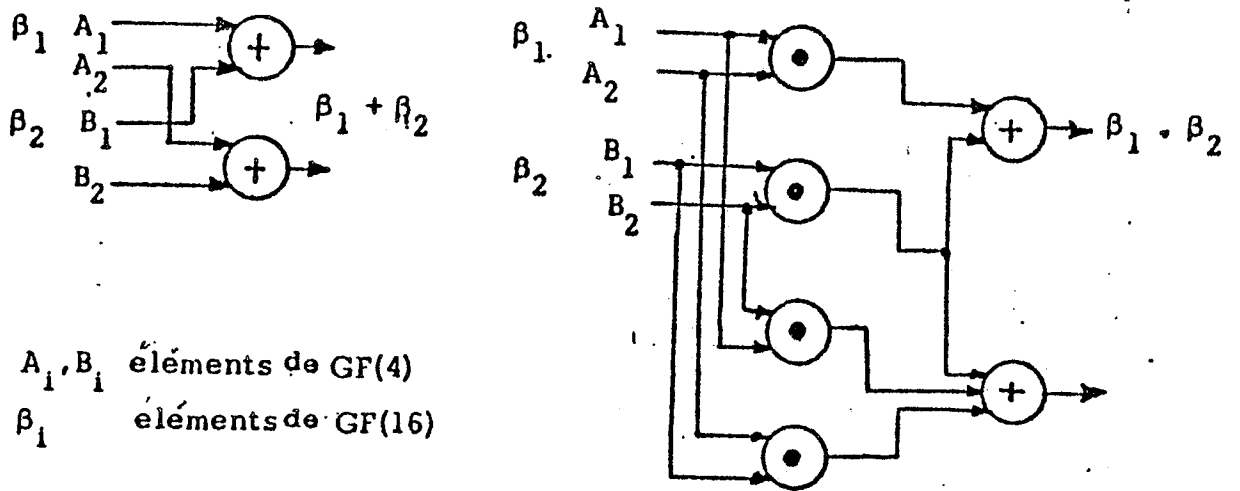
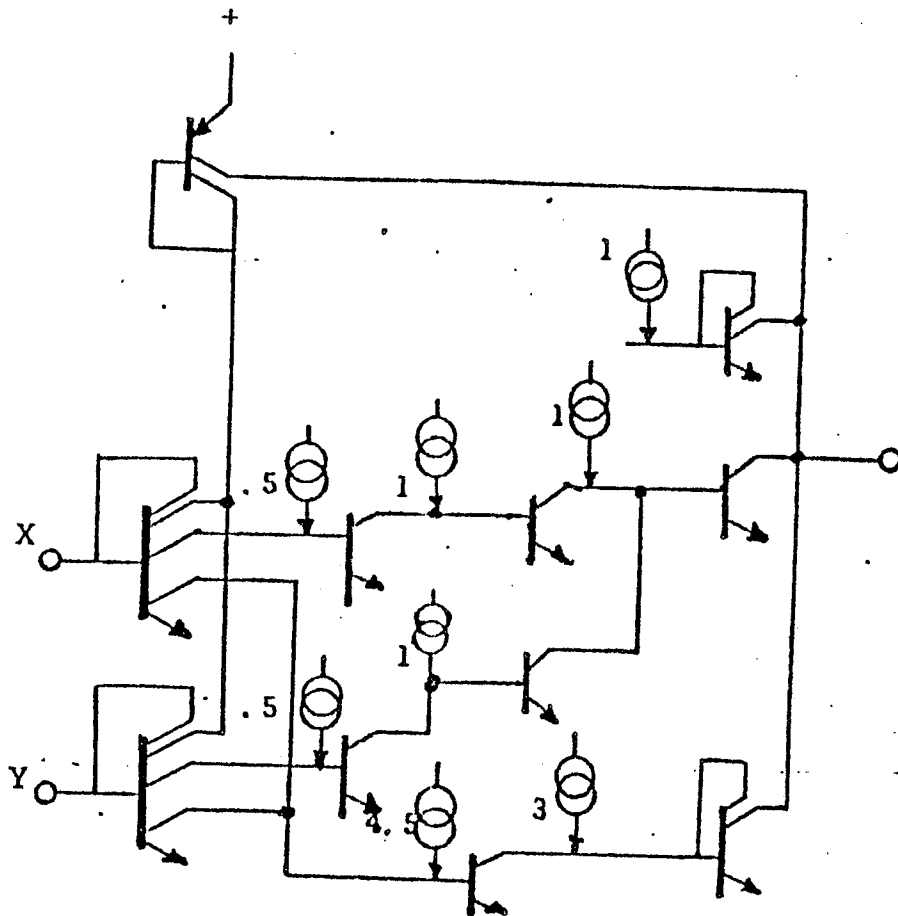


Fig. C. 8

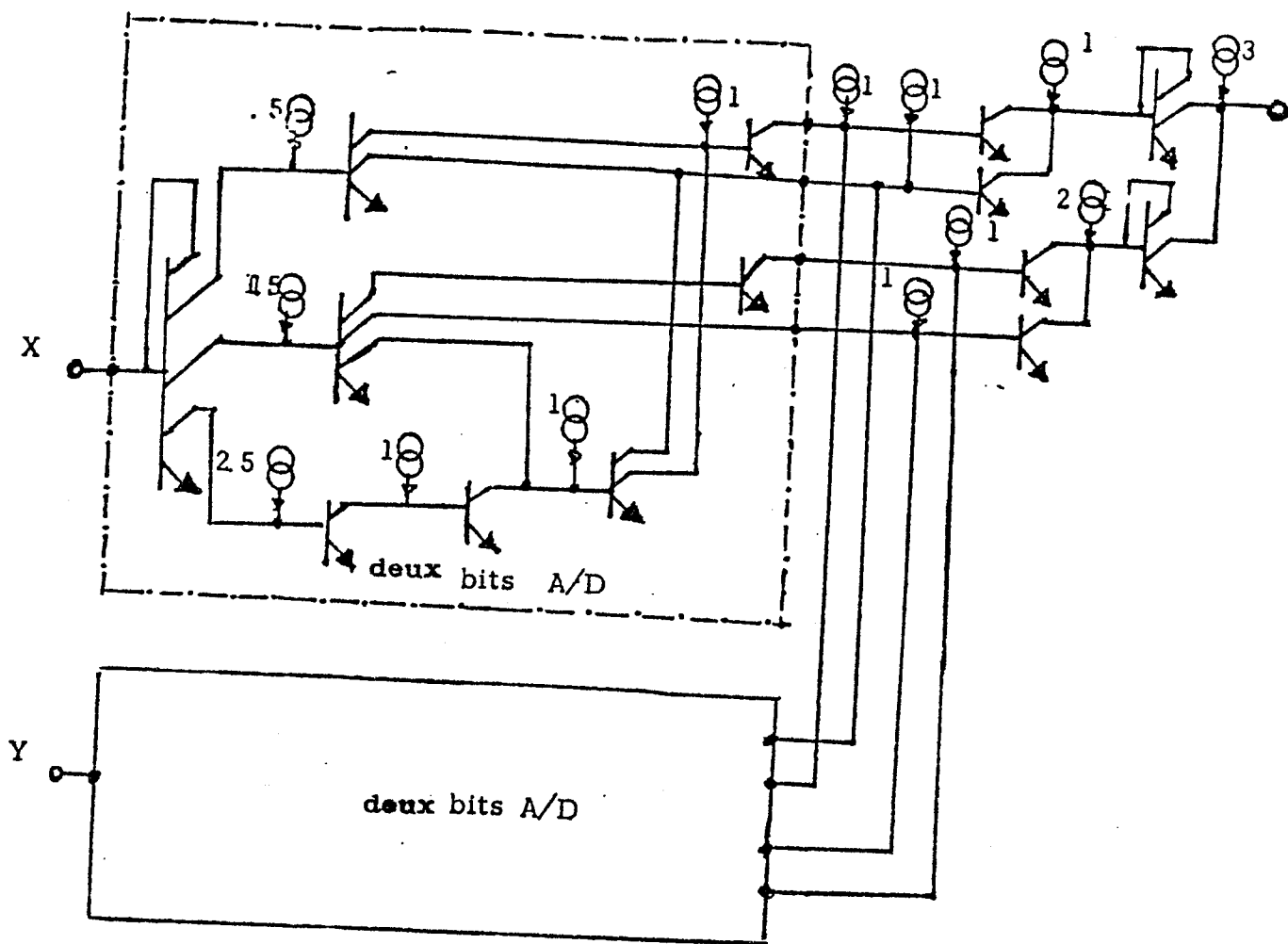
Somme et Produit d'Extension



Y \ X	0	1	2	3
0	0	0	0	0
1	0	1	2	3
2	0	2	3	1
3	0	3	1	2

MULTIPLICATION GF(4)

Fig. C. 7b



X \ Y	0	1	2	3
0	0	1	2	3
1	1	0	3	2
2	2	3	0	1
3	3	2	1	0

Figure C.5b ADDITION GF(4)

C. II.1 Les fonctions Arithmétiques.

Les fonctions arithmétiques forment une large classe d'opérateurs qui occupent grosso-modo le tiers de tout équipement de traitement d'information digitale. Il serait utile de les étudier en détail.

Evidemment, elles peuvent être réalisées à partir des primitives déjà décrites, et par des méthodes classiques de synthèse. Cependant, on aboutit en général à des généralisations qui manquent d'élégance et de concision. Nous offrons, dans la suite, quelques solutions intéressantes par la méthode ad-hoc.

Additionneur Complet (C. 2,3,4).

Par définition, un additionneur complet à base b , comprend deux entrées représentant des nombres à base b et une entrée retenue binaire (0/1). Par exemple, l'additionneur quaternaire complet correspond au tableau de vérité suivant (fig. C.9) :

$\begin{array}{c} X \\ \diagdown \\ Y \end{array}$	0	1	2	3	$\begin{array}{c} X \\ \diagdown \\ Y \end{array}$	0	1	2	3	
0	0	1	2	3	0	0	0	0	0	C _i -0
1	0	2	3	0	1	0	0	0	1	
2	2	3	0	1	2	0	0	1	1	
3	3	0	1	2	3	0	1	1	1	
$\begin{array}{c} X \\ \diagdown \\ Y \end{array}$	0	1	2	3	$\begin{array}{c} X \\ \diagdown \\ Y \end{array}$	0	1	2	3	
0	1	2	3	0	0	0	0	0	1	C _i -1
1	2	3	0	1	1	0	0	1	1	
2	3	0	1	2	2	0	1	1	1	
3	0	1	2	3	3	1	1	1	1	
				s					c	

Fig. C. 9a

Par exemple, si on prend comme valeurs d'entrée

$$x = 2, \quad y = 1, \quad \text{et} \quad c_1 = 1$$

on obtient, d'après le tableau, des sorties:

$$S = 0 \quad \text{et} \quad C = 1$$

En se référant à la figure (C.9b), nous notons que la somme arithmétique Σ des trois entrées est obtenue en duplicata. Une copie est transformée en source de courant au point S de la sortie Somme, au moyen du miroir p n p; l'autre copie est comparée au seuil 3.5. Si Σ est en dessous cette valeur, le détecteur demeure dans son état de conduction et nous avons:

$$S = \Sigma$$

$$C = 0$$

Par contre, si Σ dépasse le seuil, le détecteur passe à l'état de coupure et libère exactement quatre unités de courant dans le miroir de courant qui est relié à la sortie S. Le courant disponible à la sortie est exactement

$$S = \Sigma - 4$$

et en même temps

$$C = 1$$

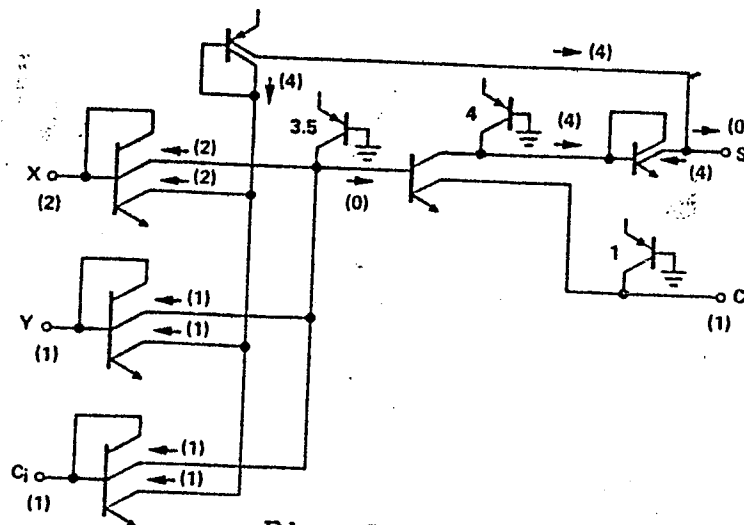


Fig. C. 9b

2. Additionneur Saturé:

N. Davio (*) a observé que l'additionneur complet à base b n'utilise pas toute la puissance logique de ses entrées et sorties, car la sortie retenue ne prend que deux valeurs au lieu de b valeurs.

Supposons qu'on ait un additionneur à N entrées (x, y) et deux sorties S et R . Il sera saturé si la somme arithmétique maximale des entrées est au plus égale à la valeur maximale représentée par S et R en base b .

Soit

$$\text{Max} (x_1 + x_2 + \dots + x_n) \leq \text{Max} (S + bR)$$

avec $x_1, \dots, x_n, S, R \in \{0, 1, \dots, b-1\}$

on en déduit:

$$n(b-1) \leq (b-1) + b(b-1) = (b-1)(b+1)$$

Par conséquent le nombre d'entrées est:

$$n \leq b+1$$

Par exemple:

$b = 2$, $n = 3$: additionneur complet en binaire;

$b = 4$, $n = 5$: cellule de Guild généralisée.

Une extension directe de l'additionneur, montréé dans la fig. (C.9.b), conduit à la réalisation théorique suivante: fig. (C.10). Nous insistons sur le terme "théorique", parce que le circuit, tel qu'il est réalisé, utilise des niveaux de seuil de détection bien trop élevés, dépassant la norme acceptable de 3.5, comme il a été définie dans le chapitre précédent. Une meilleure réalisation est montrée dans la fig. (C.11).

* Communication privée, MBLE

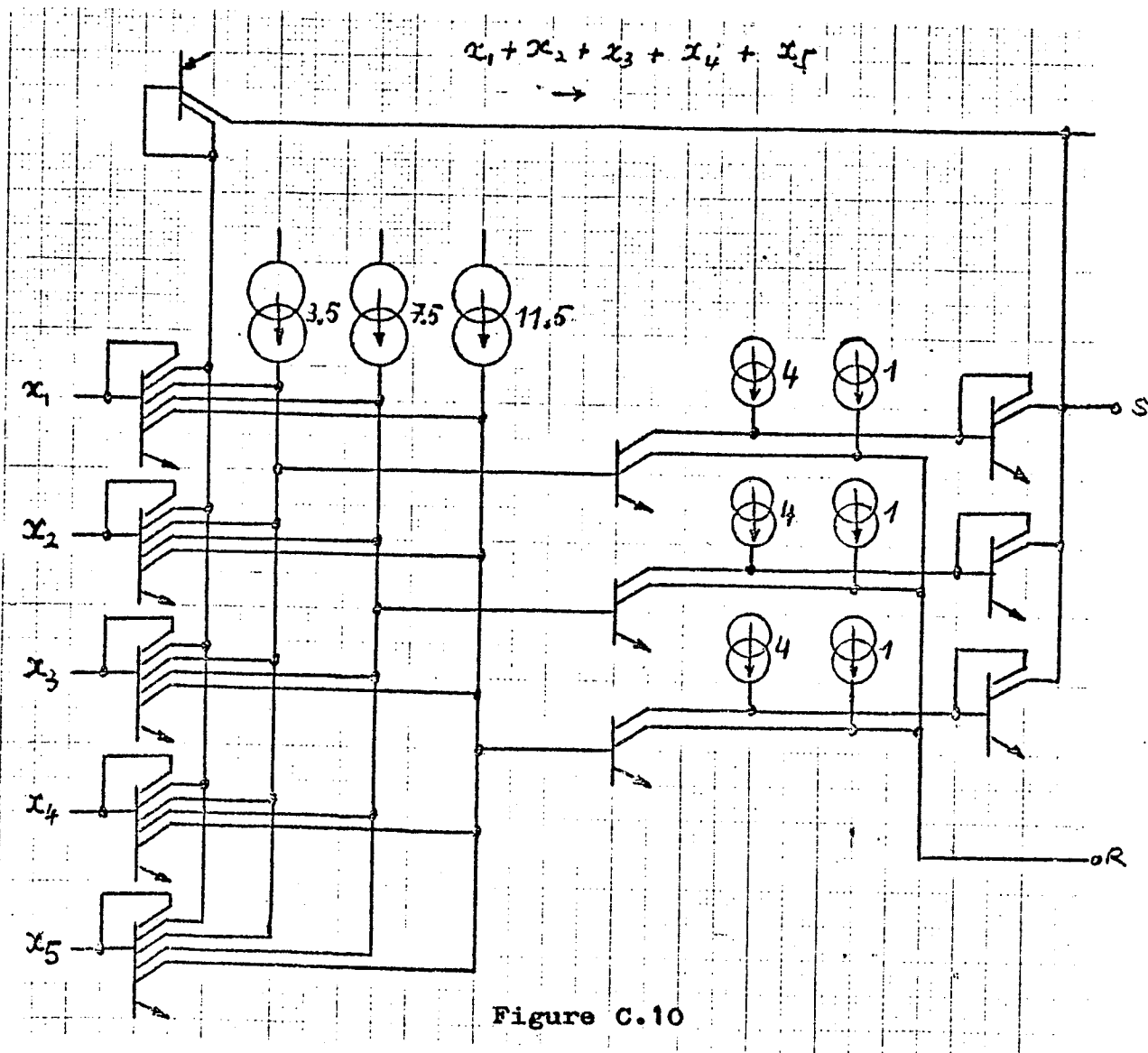


Figure C.10

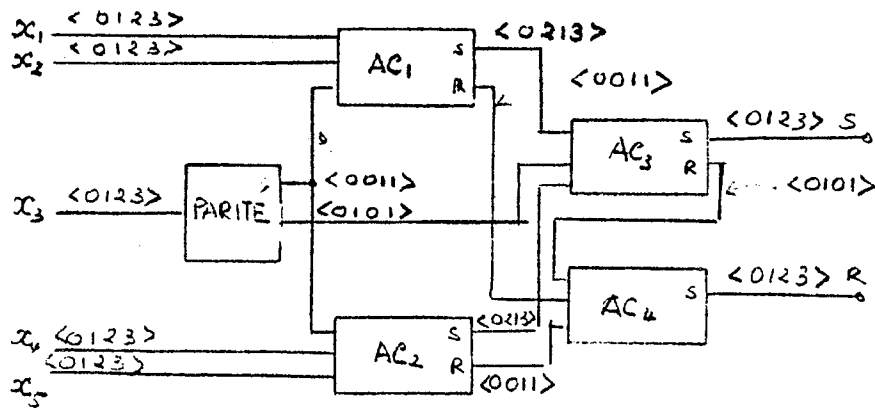


Figure C. 11

Trois additionneurs complets sont arrangés en "carry-save adder". L'un des cinq signaux d'entrées soit \int passe d'abord par un circuit détecteur de parité. Si sa valeur est 2 ou 3, on ajoute un signal de valeur 1 aux entrées retenues des AC_1 et AC_2 . Si la valeur est 1 ou 3, un signal complémentaire binaire est appliqué à l'entrée de AC_3 . AC_1 reçoit normalement deux signaux d'entrée x, y , de même AC_2 , les deux autres signaux u, v .

Les sorties sommes S de AC_1 et AC_2 sont aussi reliées aux entrées de AC_3 . Finalement, les sorties retenues de AC_1 et AC_2 , AC_3 deviennent les entrées de l'additionneur binaire complet AC_4 .

On vérifie aisément que les sorties S et R de l'additionneur saturé sont respectivement la sortie S de AC_3 et la sortie unique de AC_4 .

On verra plus tard l'utilité de l'additionneur saturé dans la réalisation de la multiplication par un réseau homogène de cellules arithmétiques identiques.

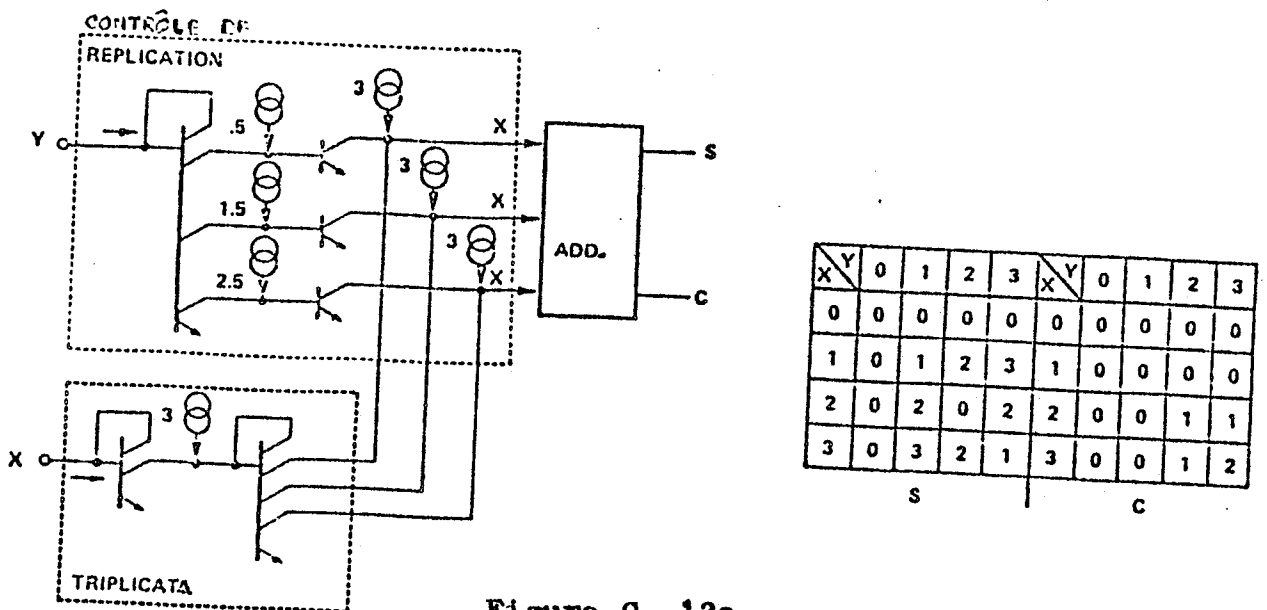


Figure C. 12a

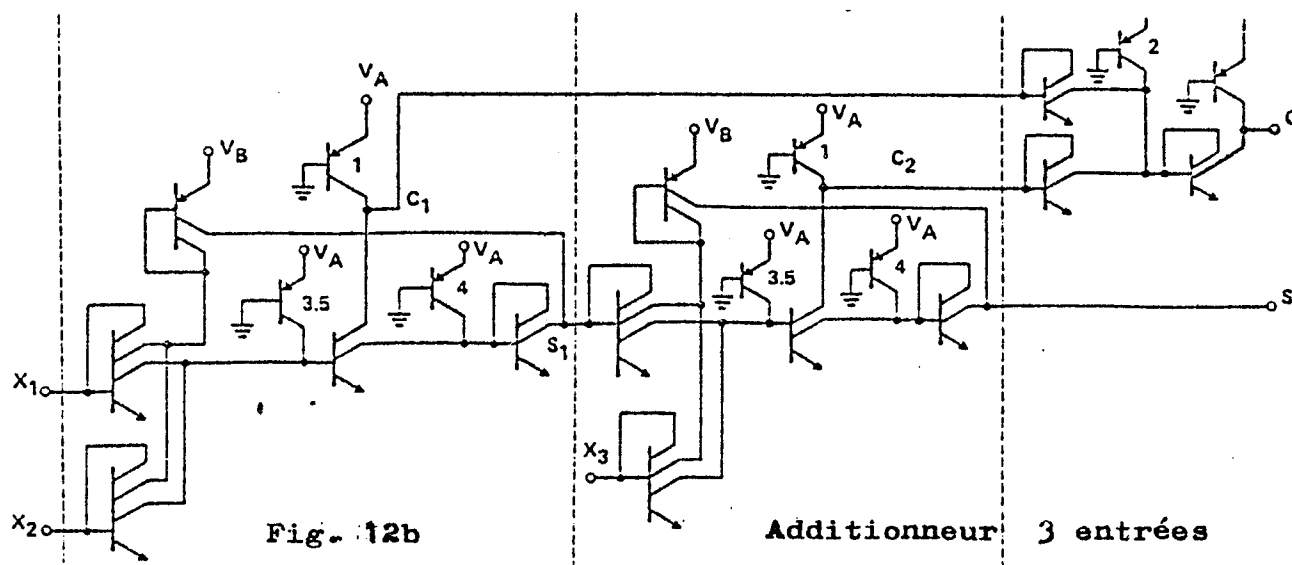
Produit

3. Produit (C. 3,4).

La multiplication ou la division en base b nécessite la disponibilité de la fonction produit de deux digits en base b , dont la table de vérité est montrée dans la fig. (C. 12a). Le circuit qui l'accompagne réalise les opérations élémentaires suivantes:

- si $y = 0$ additionner 0
- si $y = 1$ additionner x
- si $y = 2$ additionner x deux fois
- si $y = 3$ additionner x trois fois.

Par conséquent, le circuit comprend un additionneur à trois entrées homogènes. Le nombre d'entrées actives de valeur x est contrôlé par le circuit contrôleur de répliques défini par la variable y . Il a trois sorties binaires de valeurs 0 ou 3. Le nombre de sorties prenant la valeur maximale 3 est exactement égal à la valeur de l'entrée y . Il va sans dire qu'un circuit produisant le triplicata de x est nécessaire.



4. Carré.

Un cas particulier de la fonction produit, l'élévation au carré d'un digit quaternaire, présente des propriétés intéressantes et est susceptible à des réalisations simples. On vérifie que la table de vérité et le schéma (fig. C.14.a) correspond à la fonction:

X	S	R
0	0	0
1	1	0
2	0	1
3	1	2

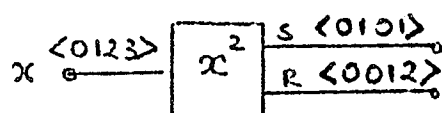


Fig. C. 14a

Une réalisation de ce circuit est illustrée par la fig. (C.14.b). Il est aisé de s'assurer de l'exactitude de son fonctionnement en suivant les symboles < >, indiqués le long des branches

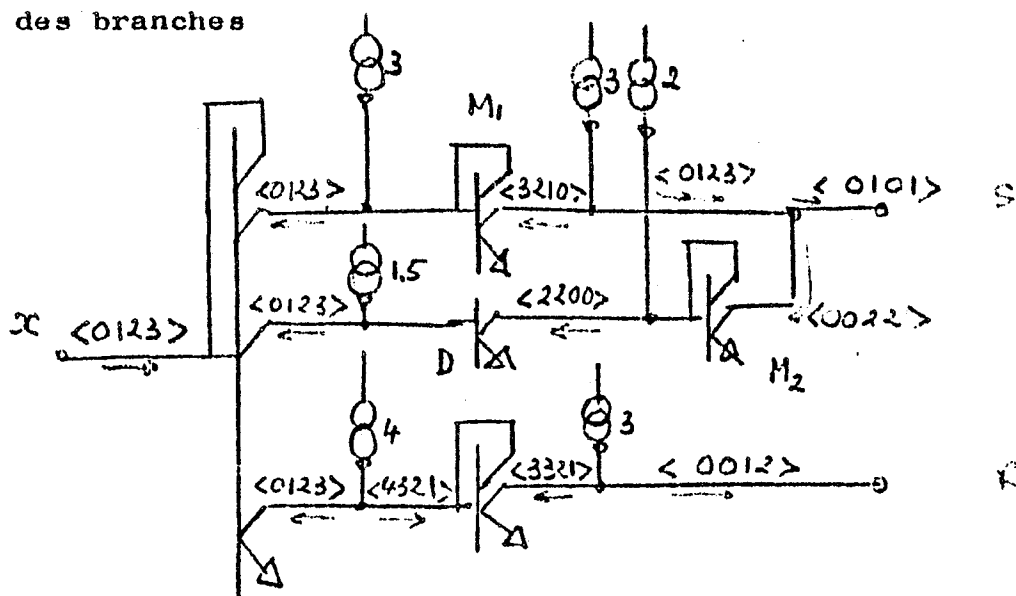


Fig. C. 14b
Carré

Soit par exemple $x = 2$, alors les deux sorties prennent, d'après la table de vérité, respectivement les valeurs $S = 0$ et $R = 1$. En effet, les courants de branches correspondant à ce cas sont indiquées sur la figure par des chiffres en caractère gras. Notons d'une part, que le miroir de courant M_1 essaie de fournir deux unités de courant à la sortie S , cependant, le détecteur D à seuil 1.5 étant coupé par l'absence de courants de base, court-circuita la sortie S à la masse, via le miroir de courant M_2 . D'autre part, à la suite du choix de courants plus large, en amont qu'en aval du miroir de courant M_2 , on obtient la sortie retenue R .

Multiples: (figure C.14)

Bien des fois, les multiples de variables sont utilisés en arithmétique. Ils peuvent se déduire des fonctions de complément; de glissement et de l'élévation au carré. Il est aisé de vérifier que les multiples de x et de \bar{x} sont donnés par:

$$2x = 2x^2 \bmod 4 + 4 \cdot D_2(x)$$

$$3x = (\bar{x}+1) \bmod 4 + 4 \cdot D_2(x)$$

$$2\bar{x} = 2 \cdot \bar{x}^2 \bmod 4 + 4D_2(\bar{x})$$

$$3\bar{x} = (x+1) \bmod 4 + 4 \cdot D_2(\bar{x})$$

Soit par exemple :

$$x \langle 0123 \rangle \boxed{3x} \begin{matrix} R \langle 0011 \rangle \\ S \langle 0321 \rangle \end{matrix} ; 3x = \begin{cases} R = D_2(x) \\ S = (\bar{x}+1) \bmod 4 \end{cases}$$

6. Parité:

Il serait souhaitable de savoir la parité de la variable, c'est-à-dire, indiquer par un signal binaire si la variable a une valeur paire (0,2) ou impaire (1,3). On observe que cette fonction est identique, à un facteur près, à des fonctions (x^2) modulo 4 ou $(2x)$ modulo 4: $\text{parité}(x) = \text{mod } 4 = 2^{-1} (2x) \text{ mod } 4$.

7. Cellule de De Mori et de Guild généralisée: (C. 7):

Un certain nombre d'opérateurs arithmétiques peuvent être réalisés par des réseaux logiques cellulaires. Cette solution connaît un regain en faveur grâce à sa régularité qui, comme c'est le cas avec les réseaux de mémoires, facilite l'automatisation de la production massive et, par conséquent, l'amélioration accélérée de son rendement. Il faut aussi se rappeler que cet avantage considérable est quelque peu contrebalancé par les délais de fonctionnement et par la complexité du réseau, qui sont en général plus grands que ceux des circuits logiques aléatoires équivalents.

Nous nous intéressons particulièrement à la cellule de De Mori et de Guild. Ces auteurs ont proposé un réseau cellulaire qui réalise l'opération de multiplication entre deux nombres représentés en binaire et en virgule fixe.

Il est possible de dégager, à partir d'un groupe de cellules interconnectées de façon bien définie pour remplir une fonction donnée, de macro-cellules, qui, interconnectées de la même façon, permettent de réaliser la même opération arithmétique sur des nombres plus grands. Nous nous proposons ici de généraliser cette cellule (C.7) à l'opération de multiplication des nombres représentés dans d'autres bases.

Rappelons d'abord à la réalisation originale de De Mori et de Guild (C.7), comme l'indique la fig. (C.17). Elle représente une multiplication de deux nombres représentés par deux bits chacun. Le résultat du produit est un nombre de quatre bits que nous divisons en deux parties; les deux bits les moins significatifs forment un nombre désigné par S , et les deux autres bits les plus significatifs forment un nombre désigné par R . Si la fonction arithmétique de la cellule à quatre entrées binaires x, y, a, b

et deux sorties binaires A, Z , est définie comme suit:

$$x \times y + a + b = A + 2Z$$

où X et $+$ sont le produit et la somme à base 2, on pourra vérifier par un exemple concret suivant, que le réseau réalise la multiplication suivante:

$$X \times Y = S + 2^2 R$$

Comme illustration, prenons un exemple où :

$x = 3, y = 3$ et le produit $x y = 9$. Le calcul manuel est explicité par le tableau suivant :

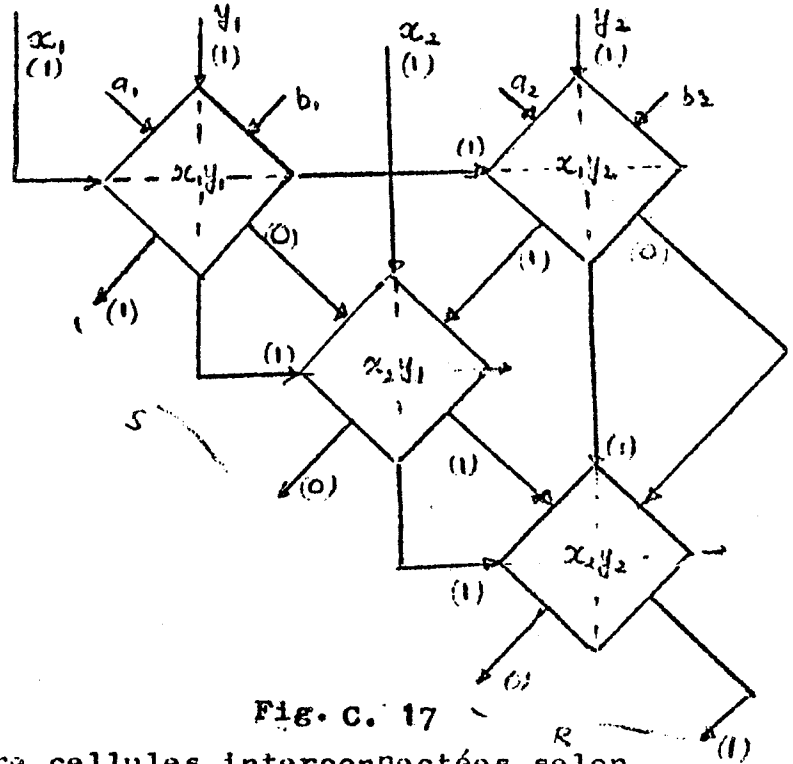
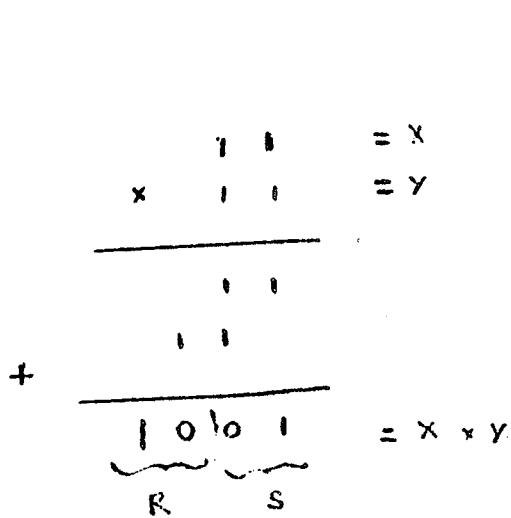


Fig. C. 17

Un réseau de quatre cellules interconnectées selon la fig. (C.17) réalise la multiplication 4 x 4. Il est aisé de vérifier le fonctionnement d'après l'exemple donné. Les entrées initiales et intermédiaires qui sont les sorties des cellules antérieures ainsi que les sorties finales sont annotées avec leurs valeurs binaires correspondantes. Les entrées et sorties de chaque cellule satisfont aux relations logiques qui la définissent.

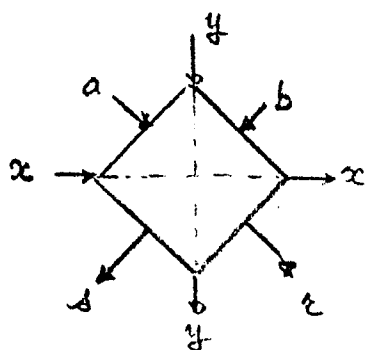
On considère ce réseau comme une macro-cellule réalisant l'opération arithmétique: Fig (C.18)

$$x \cdot y + a + b = d + y \cdot z$$

où maintenant les entrées x, y, a, b , et les sorties s, r

représentent chacune un nombre en duo-binaire ou en base quaternaire. En fait, on peut généraliser cette cellule à une base quelconque q . Notons, en plus, qu'elle jouit de la propriété de saturation mentionnée à propos de l'additionneur avec $x, y, a, b, s, r \leq (q-1)$.

$$\text{Max}(x \times y + a + b) \leq \text{Max}(s + q r)$$



$$x \times y + a + b = s + q r$$

Fig. C. 18

Si on substitue dans la fig. (C.17) la cellule binaire par la macro-cellule quaternaire, par exemple, on obtient une multiplication de deux nombres représentés chacun par un couple de deux digits quaternaires. Ce nouveau réseau peut être considéré comme une macro-cellule du second degré. En interconnectant ces cellules de la même manière, on obtiendra une multiplication sur des nombres avec deux fois plus de digits, etc.

La cellule généralisée de De Mori et de Guild réalise donc le produit de deux nombres x, y , accumulé avec deux autres nombres a et b . Nous avons indiqué auparavant que le produit est préférablement réalisé par une somme répétée. Par conséquent, la cellule se réduit en pratique à un additionneur saturé à cinq entrées, dont trois entrées répétées

de la variable x sont contrôlées par la valeur de y . Fig.(C. 19)

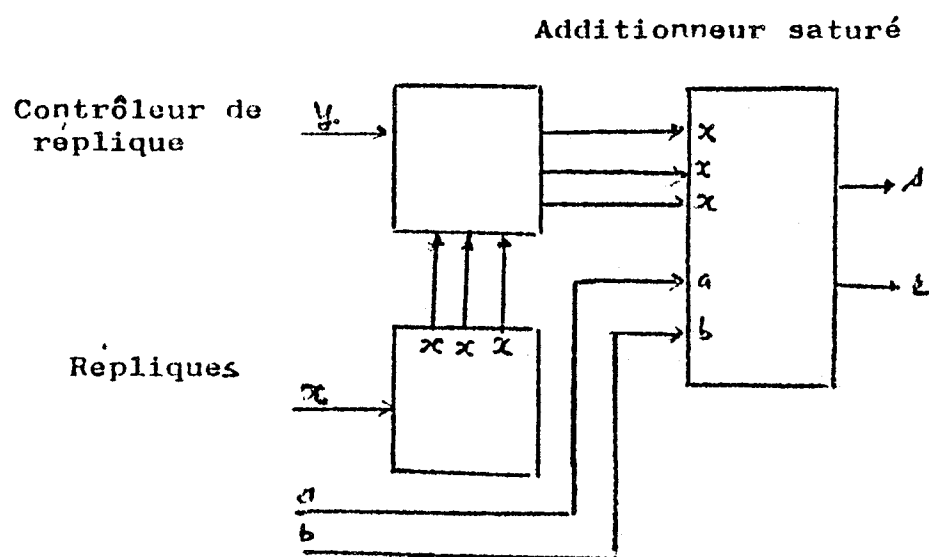


Fig. C. 19

Cellule Généralisée

8. Réseau de Décalage. (C. 8)

Les opérations arithmétiques en virgule flottante (ou fixe), et les manipulations de suite de caractères, nécessitent des moyens rapides de décalage des données d'un nombre variable de position, soit de façon linéaire soit cyclique. Le registre de décalage, en système non binaire, comme on le verra dans le paragraphe sur les éléments de mémoire, est à la fois compliqué et lent. Par conséquent, nous proposons

ici un réseau cellulaire régulier, qui ne nécessite pas de croisement de connexions intercellulaires et différent de celui de Frécon (C.9).

Ce réseau est une généralisation de la technique préconisée dans le brevet de Dao (C8) pour un décalage binaire extensible.

L'idée principale réside dans les observations simples suivantes :

1. Soit une donnée y représentée en base b par N digits, le décalage à gauche (vers les poids forts) de K positions ($K \leq N-1$), correspond à une multiplication de y par un nombre x de N digits, égal à b^K , suivie d'une réduction du résultat de $2N$ bits au N digits de poids forts.
2. Le décalage à droite de K positions correspond au produit de Y par $X = b^{N-K}$ suivie d'une réduction au N digits de poids faibles.
3. Le décalage circulaire (ou rotation) revient à une somme digit par digit des deux moitiés (N digits chaque) du résultat à $2N$ digits, du décalage linéaire. Cette somme se réduit plutôt à un multiplexage, puisque des deux digits additionnés au moins un est nul.
4. La multiplication de Y par $X = b^k$ est relativement simple puisqu'elle nécessite, ni la génération de retenue ni la propagation de retenue. En plus, si on utilise le réseau cellulaire de Guild et de Mori, la cellule

se réduit plutôt à l'opération simplifiée suivante :

avec $(*) = \text{minimum}$

$(+) = \text{maximum}$

$$\frac{y}{c} = \begin{cases} 0 \\ b-1 \end{cases}$$

et au plus l'un des termes de l'opération maximum est différent de zéro. Une telle cellule est implantée en I^2_1 et en quaternaire comme l'indique la fig. (C. 20a).

Pour illustrer l'idée, considérons un réseau de décalage linéaire et circulaire à gauche sur un nombre de quatre digits, comme le montre la figure (C.20b). Il va sans dire qu'à partir de ce réseau, il est possible de réaliser des décalages arithmétiques et des décalages à droite par l'adjonction de cellules particulières à la périphérie du réseau.

Remarquons que, dans ce réseau, les poids forts de la sortie sont ramenés à l'entrée du réseau, aux entrées libres des cellules de la rangée supérieure. Cette contre-réaction s'effectue sous le contrôle des portes "minimum", au cas où un décalage circulaire est demandé.

A titre d'exemple, nous indiquons sur la figure un décalage circulaire d'un pas vers la gauche.

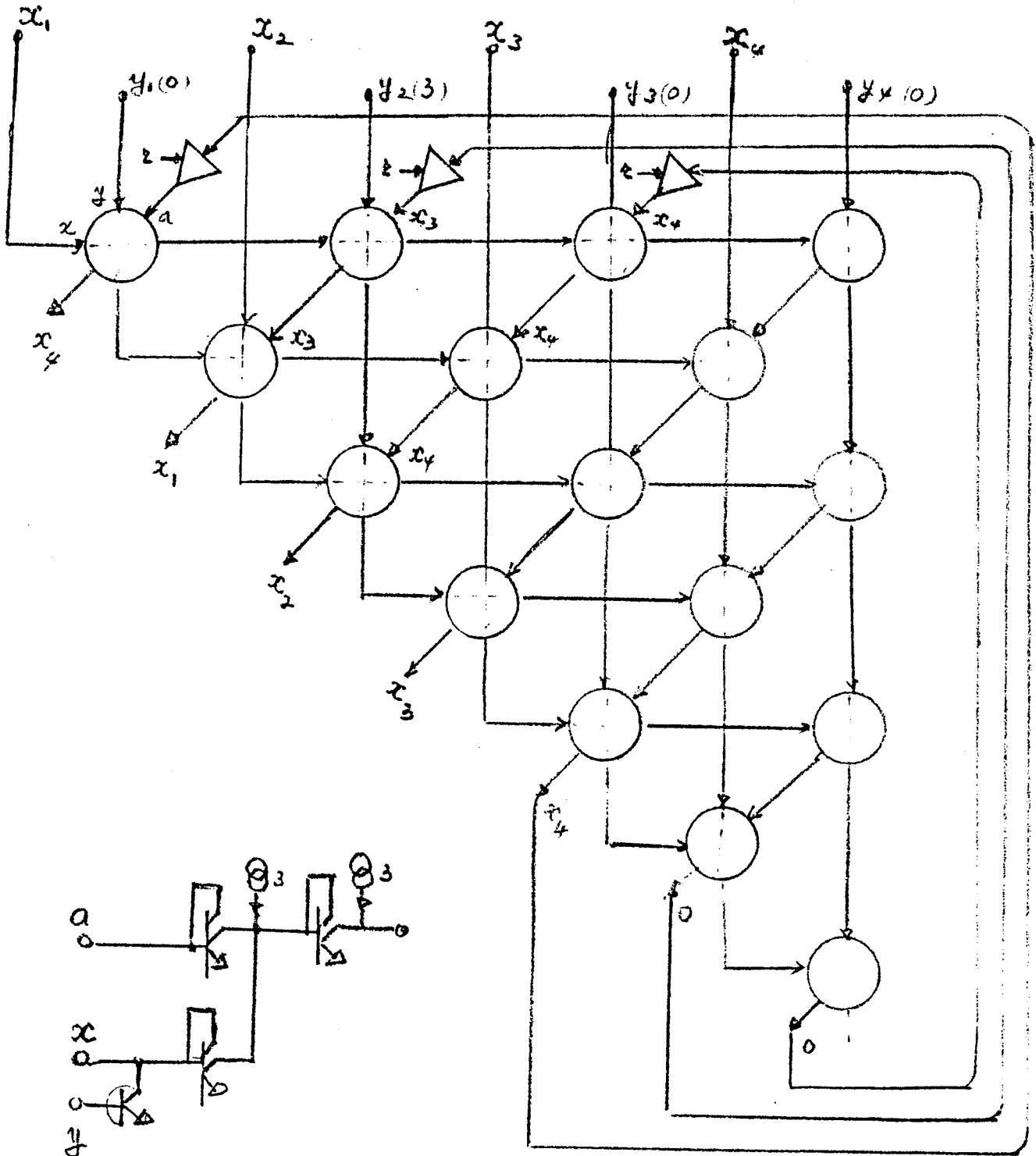


Fig. C. 20a
Cellule de décalage

Fig. C. 20b
Réseau de décalage

C. IV. Circuits de Mémoire.

Il a été dit, dans le deuxième chapitre, que l'état actuel de la technologie des semiconducteurs, il n'existe pas encore à notre disposition d'éléments simples, intégrables qui possèdent de multiples états stables.

Tout récemment, des chercheurs japonais (C. 10), (C.11), ont prouvé avec succès l'utilisation du CCD, élément à couplage de charge, comme mémoire à quatre niveaux afin de doubler la capacité d'une mémoire binaire CCD. Cette technique permet de réaliser des mémoires quaternaires à grande capacité du type disque tournant. En perfectionnant l'organisation interne de la mémoire, on peut arriver à des temps d'accès suffisamment faibles.

Une autre solution de compromis consiste à utiliser des mémoires binaires, deux bits par cellule, avec des circuits d'interface binaire-quaternaire et vice-versa, pourvu qu'ils soient assez simples et qu'ils n'occupent qu'une fraction négligeable de la mémoire. Vu le progrès accéléré sur l'intégration des mémoires binaires, dont la capacité par puce double chaque année, une telle solution est très valable pour de grandes mémoires.

Quant aux mémoires de registre, aux compteurs et aux déclencheurs dynamiques, les bascules à multiples positions stables sont proposées. Elles sont réalisées au moyen des circuits de contre-réaction, qui doivent contenir dans la boucle un circuit de quantification comme il a été suggéré à la fin du chapitre deuxième.

Le quantificateur est un élément absolument nécessaire à la restauration du niveau du signal.

1. Quantificateur. (C. 3,4)

La fonction du quantificateur est définie d'après la fig. (C.21a) comme suit:

si s^* est le signal d'entrée et s le signal de sortie on a

$$s = \begin{cases} 0 & \forall s^* < 0.5 \\ 1 & \forall 0.5 \leq s^* < 1.5 \\ 2 & \forall 1.5 \leq s^* < 2.5 \\ 3 & \forall 2.5 \leq s^* \end{cases}$$

le complément de la sortie \bar{s} est aussi indiquée.

Le circuit est une version simplifiée du multiplexeur, auquel on a remplacé les entrées x, y, z, u par des constantes 0, 1, 1, 1, fig. (C.21b). Le signal d'entrée est simultanément comparé à trois seuils .5, 1.5 et 2.5. Selon l'état des trois détecteurs T_1, T_2, T_3 , soit zéro, soit un, soit deux ou soit trois unités de courant sont délivrées à la sortie s .

2. Bascule Synchron. (C. 3,4)

La fig. (C.22) montre un exemple de bascule synchrone à 4 états, utilisant le quantificateur.

Supposons que le contrôle prend la valeur maximale 3, le transistor T_1 devient saturé, shunte la sortie \bar{s} , et la source "1" à la masse. Par suite T_2 et T_4 sont ouverts et le signal d'entrée est transmis par le miroir T_2

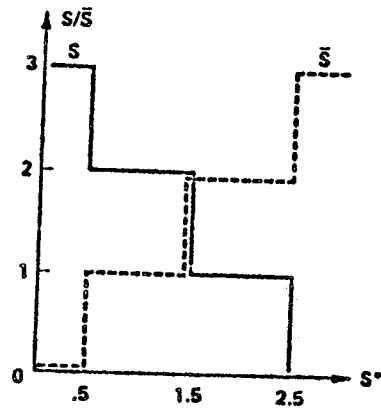


Fig. 21a

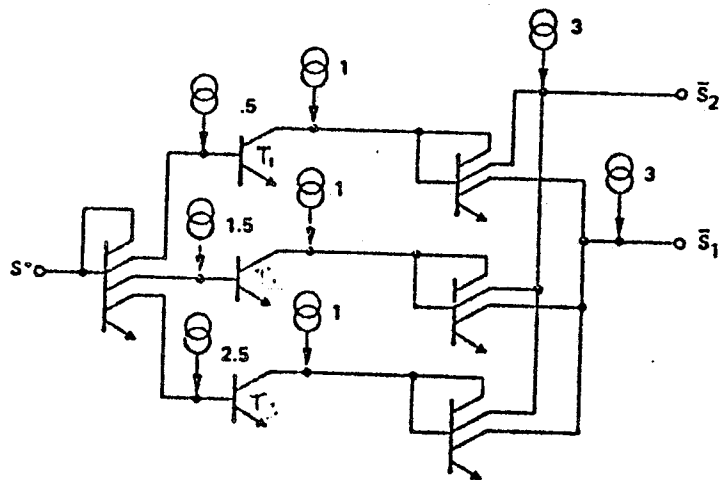


Fig. 21b

Quantificateur

au quantificateur et réapparaît à la sortie.

Si le contrôle retourne à 0, T_1 et T_3 s'ouvriront alors que T_4 fonctionnera comme un miroir de courant, fermant ainsi la boucle de contre-réaction, et permettant à l'information d'entrée de circuler dans la boucle. Par conséquent, l'information reste stockée dans la bascule quand le contrôle est au zéro.

3. Bascule Synchrones Maître-Esclave. ^{*} (C. 3,4)

Par définition elle comprend deux étages identiques, successifs, contrôlés, le premier par le front positif de l'horloge, et le second par le front négatif.

L'information est d'abord stockée dans le premier étage, puis transférée au second. Il n'est pas difficile de vérifier l'opération de la bascule d'après la fig.(C.23).

Evidemment, à partir de ces bascules, on peut créer des compteurs, des registres de décalage, etc.

4. Mémoire Morte. (C. 3,4)

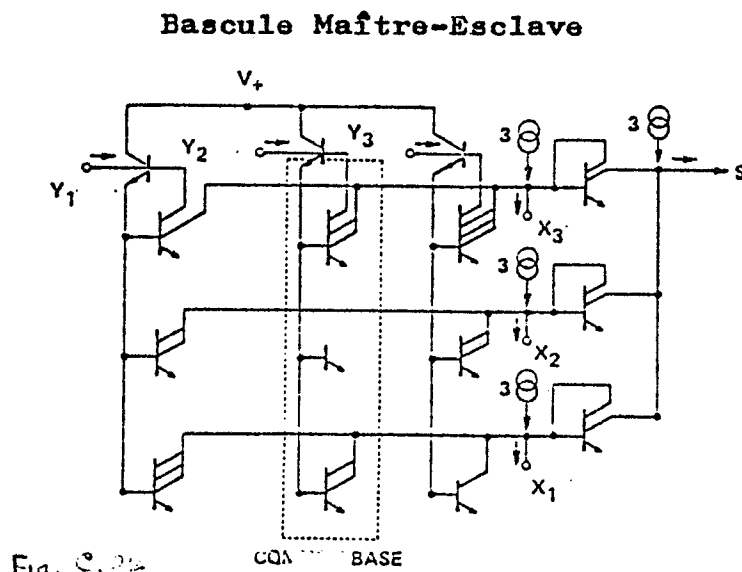
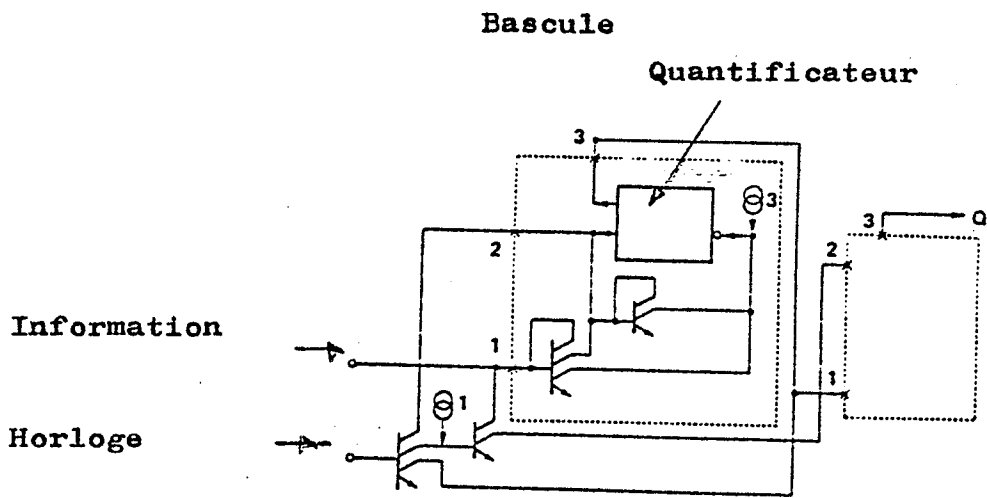
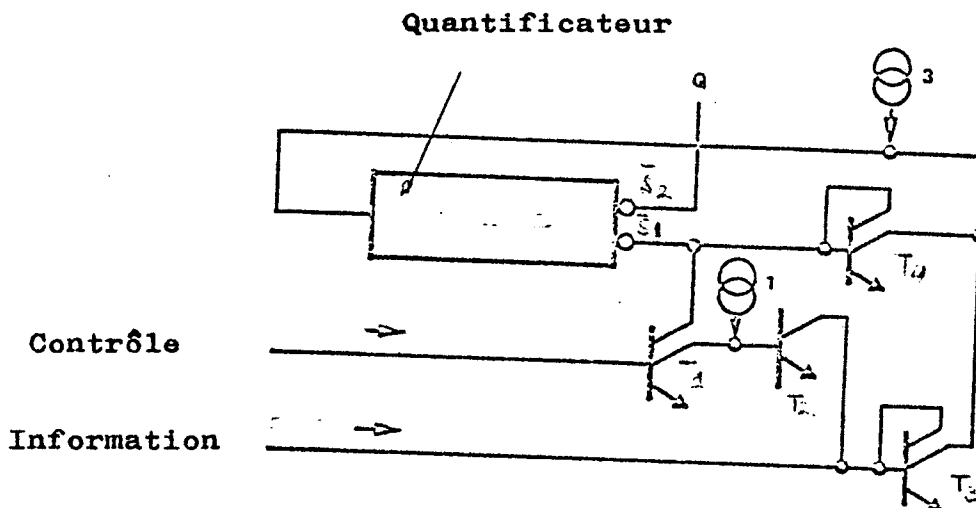
La mémoire morte non-binaire peut être facilement réalisée au moyen de circuits logiques à niveaux multiples et surtout par des miroirs de courant du type Darlington (C.3). Comme le montre la fig.(C.24), chaque cellule peut stocker plusieurs bits. Toutes les cellules le long d'une colonne appartiennent à une même base. La colonne est

* Ce montage a été suggéré par E.J. McCluskey.

sélectionnée en fournissant un courant de valeur unité à y_i . Toutes les cellules le long d'une rangée i sont connectées au miroir de sortie. La sélection de la rangée i s'obtient en forçant $x_i = 0$, et les autres entrées $x_k = 1$. La valeur stockée de la cellule (i, j) est physiquement déterminée par le nombre de collecteurs réunis en commun.

Afin de présenter un tableau complet des circuits logiques quaternaires, nous avons décrit brièvement quelques réalisations possibles de mémoire à registre. Cependant, l'inclusion nécessaire d'un quantificateur à l'intérieur de la boucle de contre-réaction complique son implantation à tel point qu'il serait, pour le moment, avantageux d'envisager le stockage de l'information quaternaire dans une paire de bascules binaires.

Vu le progrès considérable accompli en mémoire binaire, dont la capacité augmente par un facteur de 4 tous les 4 ans, et vue la simplicité des circuits d'interface binaire/quaternaire, la solution duo-binaire pour les mémoires vives serait plus pratique.



$$S = X \cdot Y \text{ MODULO } 4$$

C. V. Circuits d'Interface.

Nous avons insisté que toute logique non-binaire doit être compatible avec la logique binaire, c'est-à-dire que la conversion du binaire au non-binaire et vice-versa doit être aussi simple que possible. Nous allons proposer des circuits d'interface qui vont résoudre les problèmes, non seulement du passage d'un type de logique à un autre, mais aussi d'une puce à une autre, par des signaux non-binaires réduisant ainsi les interconnexions.

1. Du Binaire au Quatenaire. (C.12)

La fig. (C.12) représente un convertisseur binaire-quatenaire, à deux bits, dont l'un de poids unité et l'autre de poids double, se combinent pour produire un signal unique à 4 valeurs. Les notations sur les branches expliquent aisément son fonctionnement. Notons en passant que le bit de poids double contribue deux unités de courant à la sortie. Ceci peut s'obtenir soit en doublant le collecteur du miroir de courant correspondant, soit en doublant le courant d'entrée à ce miroir en utilisant un seul collecteur.

2. Du Quatenaire au Binaire. (C. 12)

La conversion du quaternaire au binaire s'obtient au moyen d'un circuit similaire au quantificateur, comme le montre la fig. (C.13). En principe on détecte les niveaux de l'entrée,

a) si le signal dépasse le seuil 1.5 la sortie

binaire de poids fort produit deux unités de courant;

b) si le signal est impair (1 ou 3) la sortie binaire de poids unité produit une unité de courant.

3. Transmission et Réception du Quaternaire. (C. 12)

La réception par une puce d'un signal en courant multi-niveaux, transmis d'une autre puce, revient à reconnaître exactement sa valeur logique, malgré que le signal soit corrompu durant la transmission et que les courants de référence, correspondants à la valeur logique "un", diffèrent d'une puce à une autre.

Il est clair, à partir de ces considérations, que la puce-récepteur doit être pourvue d'un quantificateur par canal, et que la puce-transmetteur doit envoyer un courant de référence de valeur logique "un" qui va être reproduit aussi exactement que possible dans la puce-récepteur. Les multiples de ces copies de courant de référence serviront comme sources de seuil aux quantificateurs d'entrée de la puce-récepteur. La fig. (C.15) illustre de façon simplifiée cette technique:

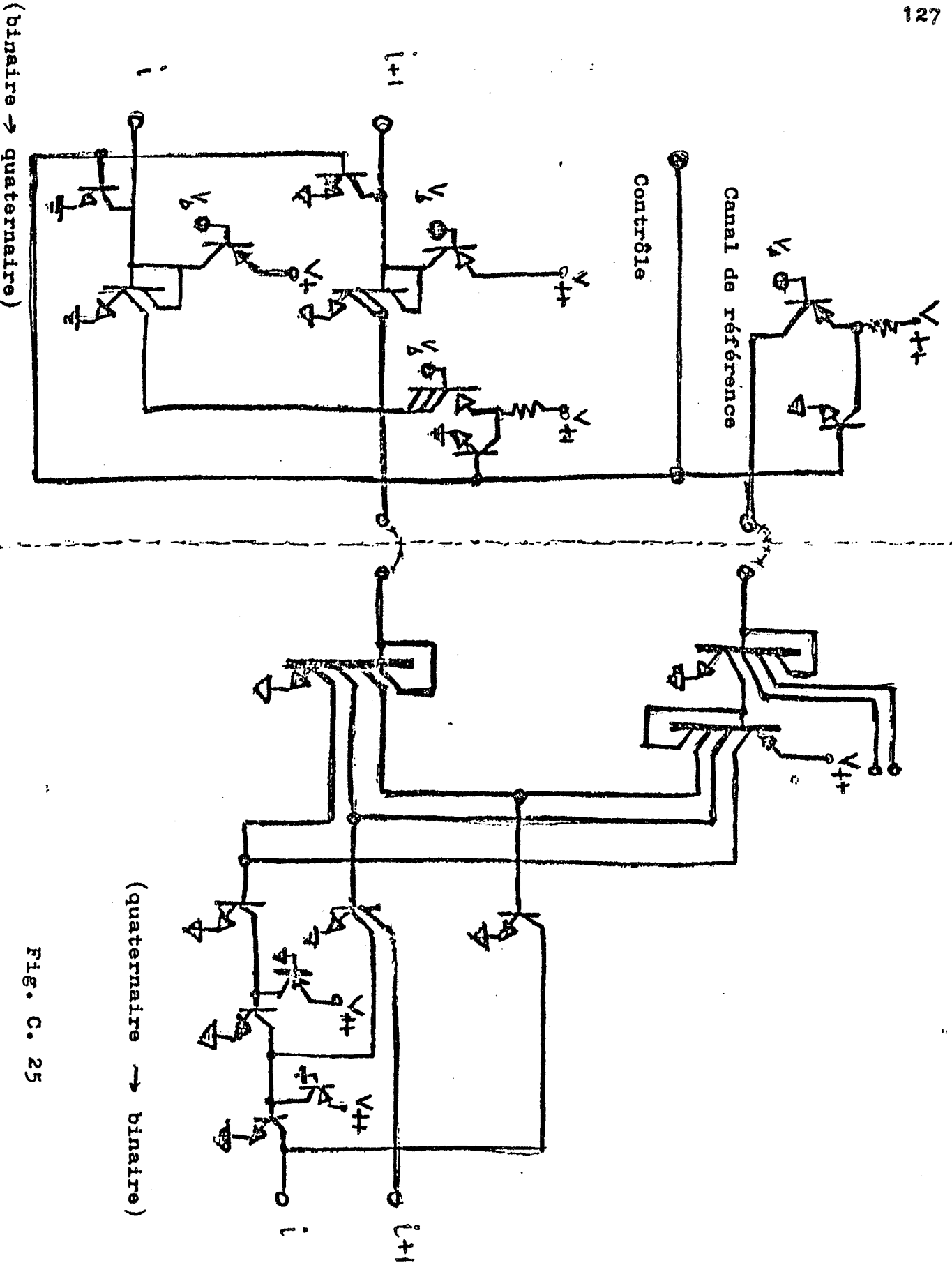


Fig. C. 25

C.VI. Processus de Fabrication et Résultats Experimentaux.

Les puces d'essai pour les circuits de seuil, et les circuits de la famille logique quaternaire ont été fabriquées au moyen de la technologie standard en Shottky T²L à laquelle on ajoutait deux modifications mineures: fig.(C.26)

- a) une région enterrée N⁺ fortement dopée afin de produire une meilleure efficacité dans l'injection de l'émetteur du NPN;
- b) une diffusion N peu profonde qui est forcée d'avantage dans la région de la base afin d'augmenter l'efficacité de l'effet de transport de la base.

Dè ces deux modifications on obtient des gains directs en courant de 200 à 250, et des gains inverses supérieurs à 4 pour un transistor à quatre collecteurs, dans une région de courant de collecteur de 10 μ A à 100 μ A.

Les mesures de la largeur de la base donnent des valeurs typiques de 0.2 μ m produisant des BV_{CEO} de 5.0 volts. Ce processus de fabrication du type Scottkeya été choisi pour la minceur de la couche d'épitaxie (3 μ m) et parce que les profils de diffusion peu profonde permettent des technologies de surface dense.

La résistance de la base diffusée, étant relativement élevée (200 Ω / \square) avec le processus actuel, établit une limite supérieure au niveau de courant utilisable du miroir de courant, puisque son gain β_m doit rester constant dans

toute la région dynamique du signal. Cette contrainte devient plus sévère pour un transistor à quatre collecteurs. Des techniques visant à réduire l'effet de la résistance de la base peuvent être utilisées au prix d'une réduction en densité ou d'une complication du processus de fabrication. Par exemple, on pourrait faire intervenir la faible résistivité de la région d'isolement ($4,5 \Omega / \square$) en diffusant une bande étroite d'isolement le long du bord de la base, ce qui évidemment entraînerait un élargissement de la base. Ou encore, on pourrait à la fois augmenter le gain en inverse et réduire la résistance de base par un processus d'implantation ionique en dopant lourdement la région β entre les collecteurs laissant la région β en dessous de la région N^+ du collecteur non dopée, ceci au prix d'une augmentation du nombre d'étapes de fabrication.

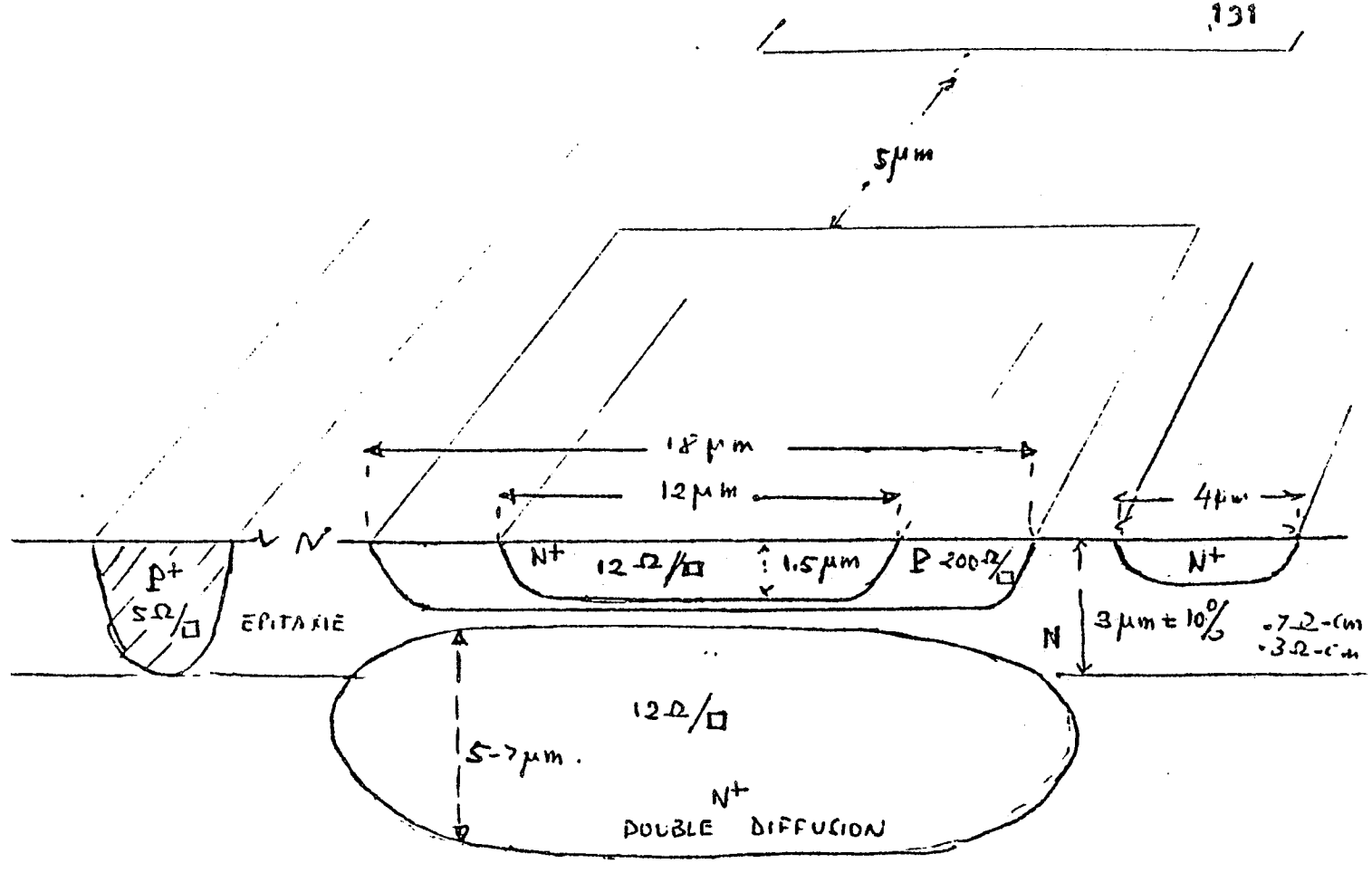
Nous citons par la suite les valeurs nominales des constantes de fabrication et des dimensions minimales des composants. Une description détaillée, accompagnée de résultats expérimentaux de quelques circuits typiques sera donnée dans la suite.

La fig. (C.2) montre la photomicrographie d'un détecteur de seuil pour un signal de niveau égal ou supérieur à 4. Quatre collecteurs séparés, de taille normale ($18 \mu\text{m}$ de largeur) sont réunis à une barre commune qui est connectée aux miroirs de courant contribuant à la somme pondérée. On

remarque l'existence de deux collecteurs supplémentaires, l'un de taille inférieure et l'autre de taille supérieure à la taille nominale, ceci pour servir d'ajustage final. Une fois que les essais ont déterminé le groupe approprié de collecteurs, parmi les six disponibles, le dessin de la masque finale, utilisée durant la déposition de la couche métallique, sera fixé. Ce détecteur et d'autres, fonctionnent dans une large région dynamique dépassant une décade de $19\mu A$ à $290\mu A$ par unité de courant, avec un temps de commutation variant de $55ns$ jusqu'à $15ns$.

Le signal logique quaternaire à 4 niveaux distincts et équidistants de 0,1,2,3, correspondants ici aux valeurs nominales du courant de $0\mu A$, $10\mu A$, $20\mu A$ et $30\mu A$. On a trouvé qu'avec le processus présent, le β_M du miroir de courant varie seulement d'environ 5 pour cent pour un courant dans la région de $0\mu A$ à $50\mu A$.

La fig. (C.28a) montre un miroir de courant avec trois entrées O_1, O_2, O_3 , et ayant des courants de charge de sortie correspondants à 1,2, ou 3 unités. La fig. (C.28b) voisine montre les caractéristiques en courant continu d'un collecteur. Elles sont superposées à celles des trois collecteurs réunis, dans le cas où la base reçoit trois pas de courant de valeurs $0\mu A, 10\mu A, 20\mu A, 30\mu A$, et $40\mu A$. On voit bien que le gain d'un seul collecteur est très proche de l'unité, alors que celui de trois collecteurs réunis est exactement triplé.



Coupe d'un Circuit I²L

FIGURE C.26

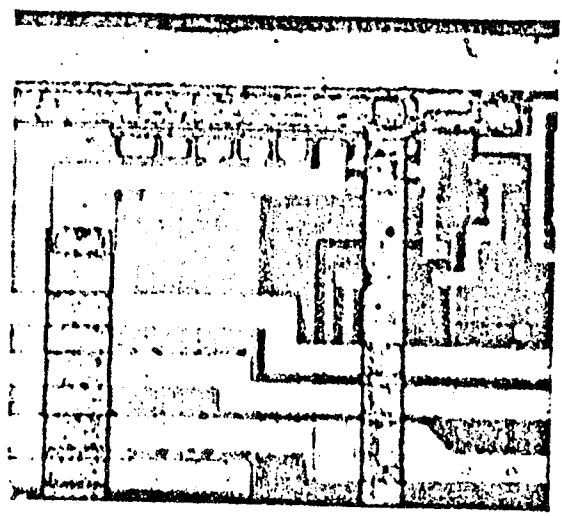


Fig. C. 27
Détecteur à seuil 3.5

La fig. (C 29a) représente une implantation d'une porte "maximum" à trois entrées. Si l'entrée x reçoit des pas de courant correspondants à $0\mu A$, $10\mu A$, $20\mu A$, $30\mu A$, l'entrée y reçoit $10\mu A$ de courant, et l'entrée z $20\mu A$ de courant, alors on remarque, d'après la fig. (C 29b), que la sortie saute les deux valeurs $0\mu A$ et $10\mu A$, et ne répond qu'au maximum en cours, à partir de $20\mu A$.

Nous donnons dans la figure C 29c, à titre d'exemple, les détails du dessin de ce circuit tel qu'il a été intégré. On note les trois miroirs de courant correspondants aux trois entrées, et le courant-miroir inverseur de sortie. La superficie est d'environ 0.03mm^2 .

La figure C 30 montre un autre exemple d'intégration du multiplexeur, où les miroirs de courant sont des montages Darlington, comme nous l'avons suggéré à la page 58. Les tracés oscillographiques décrivent la commutation séquentielle des sorties 1, 2, 3, correspondante à une entrée en escalier.

Finalement, une photomicrographie du quantificateur est donnée dans la fig. C 31a. La photographie qui l'accompagne, dans la figure C 31b montre la sortie en escalier de courant, lorsque l'entrée du circuit est une dent de scie en courant.

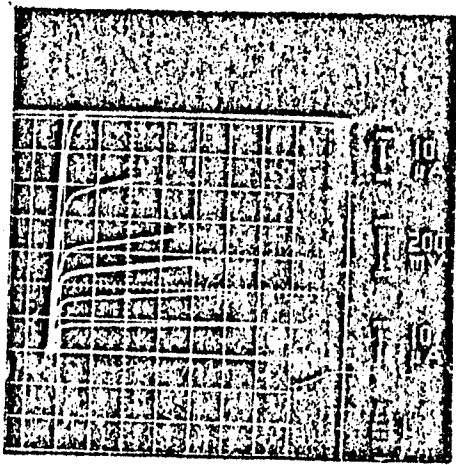


Fig. C. 28b

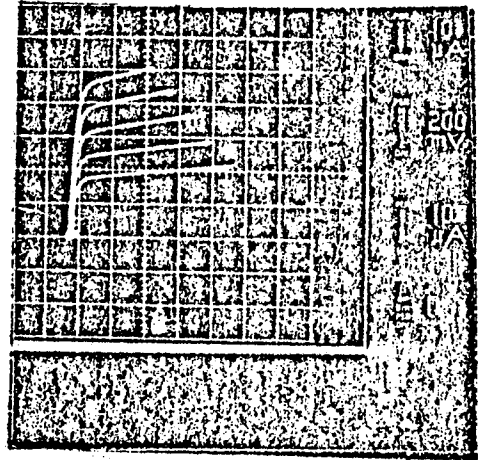


Fig. C. 29b

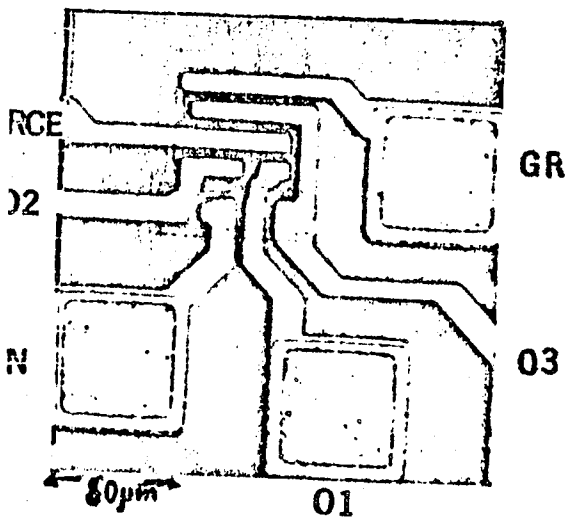


Fig. C. 28a

Miroir de Courant

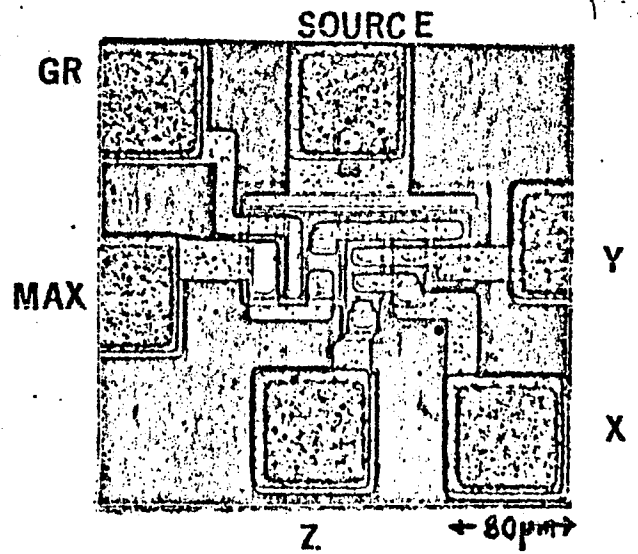


Fig. C. 29a

Maximum

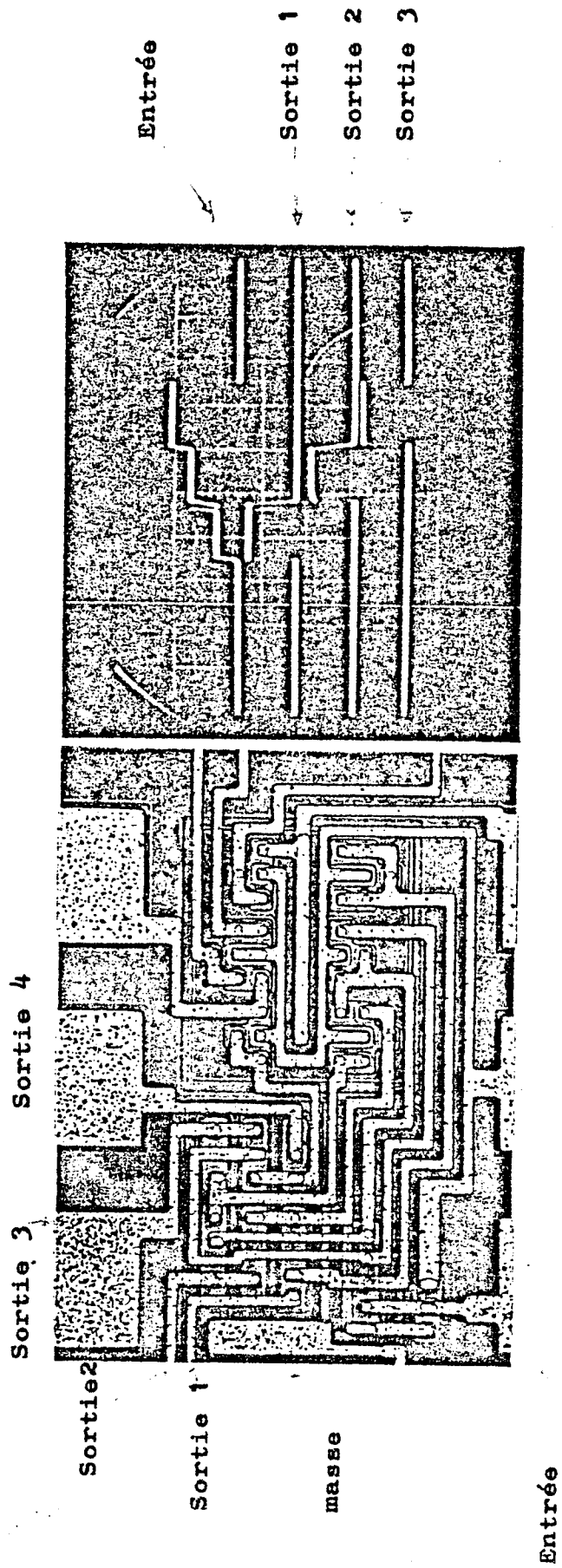


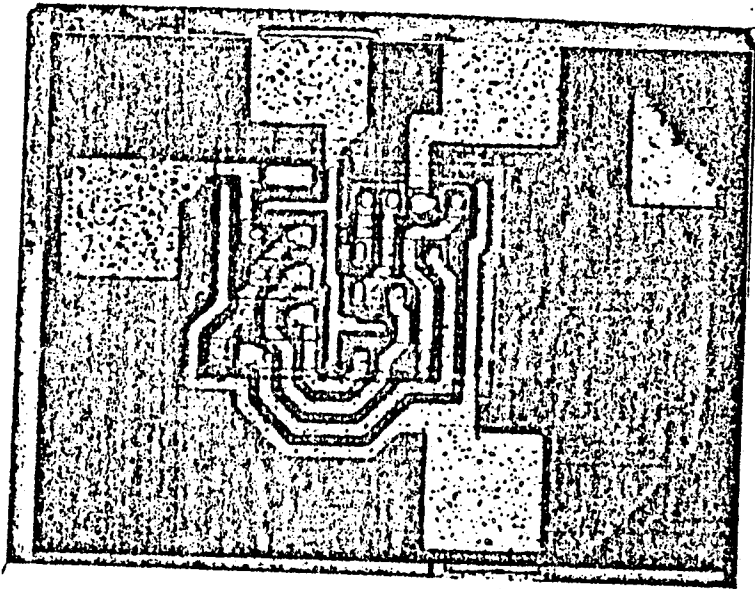
Fig. C. 30
Multiplexeur

Entrée

v-

Entrée

Sortie



Masse

Figure C. 31a

Quantificateur

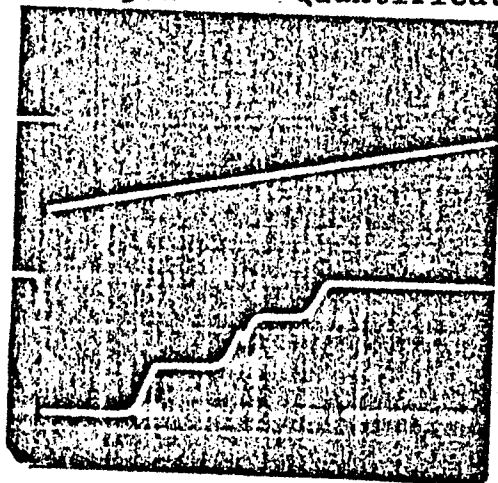
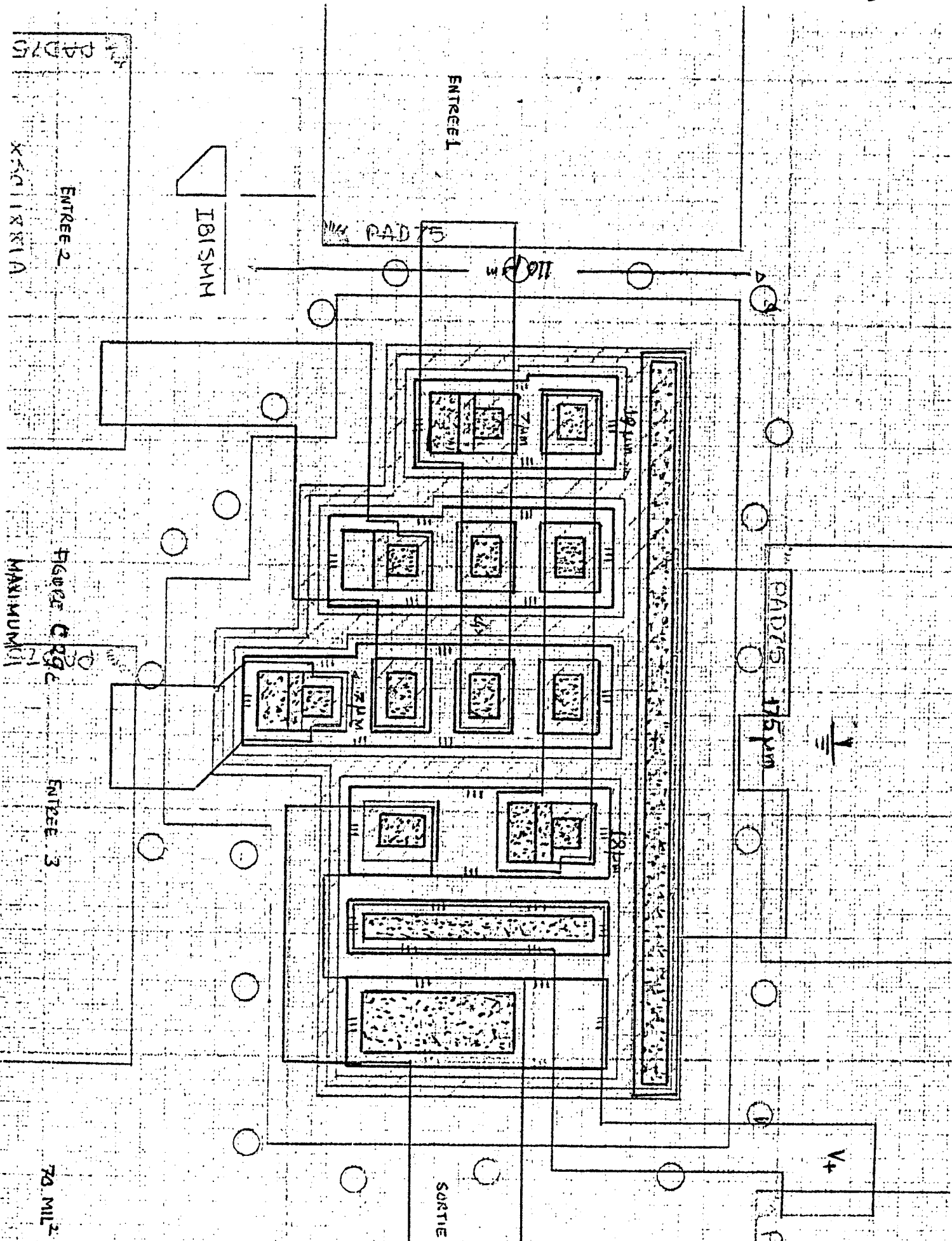


Fig. C. 31b



PAD 75
ENTREE 2
K5018X1A

FIGURE C 92
MAXIMUM
ENTREE 3

70 MIL²

ENTREE 1

IBISMM

PAD 75

PAD 75 175 μm

Y

V+

SORTIE

BIBLIOGRAPHIE

- C.1. T.T. Dao: "Threshold I^2L and its Application to Binary Symmetric functions and Multivalued Logic", I.E.E.E., Jour. of SSC, Oct. 1977, pp. 463-475.
- C.2. T.T. Dao: " I^2L -Schnellwertschaltungen fuer binaere symmetrische Funktionen und Multivalued Logiksysteme", Elektronik Industrie, Okt. 1977, pp. 11-14, Nov. 1977, pp. 11-15.
- C.3 T.T. Dao, E.J. McCluskey, L.K. Russell: "Multivalued Injection Logic", I.E.E.E., Trans. on Computers, Dec. 1977, pp. 1233-1241.
- C.4. T.T. Dao, M.L. Stephens: "Analog Current Logic Functions and Circuits", Pat. Application N° 893-941, Apr. 6, 1978.
- C.5. T.T. Dao: "Design and Implementation of a non-binary Code for Byte-organized Memory with Binary and Quaternary Logic", Proc. of the 8th. ISMVL, 1978, pp. 55-64.
- C.6. C. Lee, T.T. Dao: " I^2L Logic and Arithmetic Technology", Spring Compeon 1977, Digest, pp. 334-337.
- C.7. T.T. Dao: "Expendable Parallel Binary Shifter/Rotator" U.S. Patent N° 3.961.750, June 8, 1976.

- C.8. L. Frécon: "Réseaux Logiques Microcellulaires",
Thèse, Lyon I, 1975.
- C.9. M. Yamada, K. Fushima, K. Nagasawa, Y. Gamou: "A
New Multilevel Storage Structure for High
Density CCD Memory", Proc. of the 9th.
CSSD, Tokyo 1977, pp. 263-268.
- C.10. K. Hirabayashi: "Multivalued Data Memory System
using a Charge Coupled Elements", U.S.
Patent N° 4.085.459, Apr. 18, 1978.
- C.11. T.T. Dao: "Binary to Multistate Bus Driver, Receiver
and Method", U.S. Patent application N° 718-
378, Aug. 27, 1976.

CONCLUSION

A partir de la base théorique des algèbres de Post et de Galois d'une part, et du fondement technologique des fonctions à seuil en I^2L d'autre part, nous avons inventé de toutes pièces une gamme de circuits logiques, arithmétiques, de mémoire et d'interface. Un certain nombre de circuits, les plus représentatifs, ont été fabriqués. Les résultats expérimentaux obtenus ont prouvé leur fonctionnalité et surtout la faisabilité d'une telle famille de circuits logiques à base quaternaire. Bien que le processus de fabrication utilisé ne soit pas entièrement compatible avec les propriétés requises des circuits, leurs performances sont pourtant très significatives.

A partir des mesures effectuées sur une large quantité de puces provenant de deux chaînes de fabrication, nous tirons les conclusions suivantes sur les circuits I^2L multivalués :

- a) Les miroirs de courant implantés en I^2L avec collecteur multiple en mode inverse souffrent :
1. d'un gain en courant suffisamment différent de l'unité (environ 0.95);
 2. d'une impédance de sortie relativement faible (environ 50 kilo-ohms).

Ces deux imperfections produisent un effet miroir inacceptable aux fonctions de seuil.

Cependant, durant les études sur les systèmes réalisés en logique quaternaire, nous avons compté

une majorité détecteurs de seuil en comparaison avec une minorité de miroirs de courant. Par conséquent, il serait recommandé de réaliser les circuits miroir de courant directement à partir des transistors isolés opérant en mode direct, sacrifiant ainsi la densité au profit de la performance et de la fiabilité.

- b) Pour la même raison, il serait préférable d'éviter autant que possible, l'emploi des fonctions de minimum, de maximum et de glissement qui sont basées principalement sur les miroirs de courant. Par contre, les fonctions littérales qui sont des fonctions binaires généralisées, dont les deux valeurs logiques appartiennent au domaine $\{0, 1, 2, 3\}$, seraient recommandées. Par conséquent, en logique aléatoire, nous proposons l'adoption des algèbres d'Epstein et de Muhldorf plutôt que celle de Post.

Rappelons aussi qu'il existe déjà des techniques de minimalisation dans ces algèbres.

- c) Les domaines d'applications les plus prometteurs de la logique multivaluée seraient les fonctions arithmétiques et d'interface plutôt que les fonctions aléatoires et de mémoire. Par conséquent, il serait recommandé d'utiliser judicieusement à la fois les logiques binaires et quaternaires dans la réalisation de systèmes digitaux,

afin d'obtenir le maximum densité et performance.

En particulier, la logique quaternaire serait l'outil idéal des systèmes pour traitement des signaux, où l'arithmétique prédomine.

- d) De même que la technologie binaire I^2L a évolué vers de meilleure performance dynamique au dépens de la densité et de la simplicité du processus de fabrication, la logique quaternaire basée sur les fonctions de seuil devrait se libérer des contraintes de la technologie I^2L , afin d'atteindre des performances supérieures à la logique binaire.

Nous proposons plusieurs directions de recherche :

1. Mettre au point un processus de fabrication en I^2L qui soit compatible avec les exigences de linéarité du gain en courant dans une large région dynamique.
2. Adapter ces circuits à la technologie ECL afin d'atteindre un nouveau plateau de performance de vitesse.
3. Elargir la famille de circuits, dans les deux sens, en nombre de fonctions nouvelles et en nombre de niveaux logiques, dès que la technologie le permettra.
4. Considérer un système hybride analogique-multivalué, offrant ainsi à l'analogique les précisions arithmétiques qui lui manquent sans le besoin d'atteindre les vitesses du binaire pure.
5. Rechercher des systèmes d'application uniques à

la logique multivaluée et les réaliser avec les circuits proposés afin de prouver sa supériorité sur la logique binaire.

6. Rechercher de nouvelles organisations de systèmes arithmétiques non-binaires qui seraient supérieures aux systèmes binaires au point de vue de la complexité et de la performance.
7. Explorer les systèmes de codage correcteur ou cryptique en logique de Galois non-binaire.

AUTORISATION DE SOUTENANCE

VU les dispositions de l'article 5 de l'arrêté du 16 Avril 1974,

VU les rapports de :

- Madame SAUCIER, Maître de Conférences à l'Institut National Polytechnique de GRENOBLE.
- Monsieur DE MAN, Professeur à l'Université Catholique de LOUVAIN - BELGIQUE -
- Monsieur DURANTE, Professeur à l'Université des Sciences et Techniques du Languedoc - MONTPELLIER -

Monsieur Trong Tich DAO

est autorisé à présenter une thèse en soutenance pour l'obtention du grade de DOCTEUR D'ETAT, discipline SCIENCES.

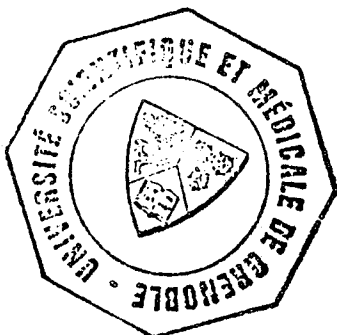
Grenoble, le 5 Janvier 1979

Le Président de l'U.S.M.G.

Le Président de l'I.N.P.G.

Dobut Cau

D^r G. CAU



Ph. Traynard
Ph. TRAYNARD
Président
de l'Institut National Polytechnique
P.O. le Vice-Président,