



HAL
open science

Participation à la conception et la réalisation en LSI de la partie opérative d'une machine intégrée

Alain Duret

► **To cite this version:**

Alain Duret. Participation à la conception et la réalisation en LSI de la partie opérative d'une machine intégrée. Modélisation et simulation. Institut National Polytechnique de Grenoble - INPG, 1979. Français. NNT: . tel-00290144

HAL Id: tel-00290144

<https://theses.hal.science/tel-00290144>

Submitted on 24 Jun 2008

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THESE

présentée à

Institut National Polytechnique de Grenoble

pour obtenir le grade de
DOCTEUR DE 3ème cycle
«Informatique»

par

DURET Alain



**PARTICIPATION A LA CONCEPTION ET LA
REALISATION EN LSI, DE LA PARTIE
OPERATIVE D'UNE MACHINE INTEGREE.**



Thèse soutenue le 6 décembre 1979 devant la commission d'examen

Monsieur **BOLLIET**

Président

Messieurs **BOREL**

GERBER

MOREAU

ANCEAU

Examineurs

INSTITUT NATIONAL POLYTECHNIQUE DE GRENOBLE

Année universitaire 1977-1978

Président : M. Philippe TRAYNARD

Vice-présidents : M. René PAUTHENET

M. Georges LESPINARD

PROFESSEURS TITULAIRES

MM. BENOIT Jean	Electronique - automatique
BESSON Jean	Chimie minérale
BLOCH Daniel	Physique du solide - cristallographie
BONNETAIN Lucien	Génie chimique
BONNIER Etienne	Métallurgie
* BOUDOURIS Georges	Electronique - automatique
BRISSONNEAU Pierre	Physique du solide - cristallographie
BUYLE-BODIN Maurice	Electronique - automatique
COUMES André	Electronique - automatique
DURAND Francis	Métallurgie
FELICI Noël	Electronique - automatique
FOULARD Claude	Electronique - automatique
LANCIA Roland	Electronique - automatique
LONGEQUEUE Jean-Pierre	Physique nucléaire corpusculaire
LESPINARD Georges	Mécanique
MOREAU René	Mécanique
PARIAUD Jean-Charles	Chimie - physique
PAUTHENET René	Electronique - automatique
PERRET René	Electronique - automatique
POLOUJADOFF Michel	Electronique - automatique
TRAYNARD Philippe	Chimie - physique
VEILLON Gérard	Informatique fondamentale et appliquée
* en congé pour études	

PROFESSEURS SANS CHAIRE

MM. BLIMAN Samuël	Electronique - automatique
BOUVARD Maurice	Génie mécanique
COHEN Joseph	Electronique - automatique
GUYOT Pierre	Métallurgie physique
LACOUME Jean-Louis	Electronique - automatique
JOUBERT Jean-Claude	Physique du solide - cristallographie

MM.	ROBERT André	Chimie appliquée et des matériaux
	ROBERT François	Analyse numérique
	ZADWORNY François	Electronique - automatique

MAITRES DE CONFERENCES

MM.	ANCEAU François	Informatique fondamentale et appliquée
	CHARTIER Germain	Electronique - automatique
	CHIAVERINA Jean	Biologie, biochimie, agronomie
	IVANES Marcel	Electronique - automatique
	LESIEUR Marcel	Mécanique
	MORET Roger	Physique nucléaire - corpusculaire
	PIAU Jean-Michel	Mécanique
	PIERRARD Jean-Marie	Mécanique
	SABONNADIÈRE Jean-Claude	Informatique fondamentale et appliquée
Mme	SAUCIER Gabrielle	Informatique fondamentale et appliquée
M.	SOHM Jean-Claude	Chimie Physique

CHERCHEURS DU C.N.R.S. (Directeur et Maîtres de Recherche)

M.	FRUCHART Robert	Directeur de Recherche
MM.	ANSARA Ibrahim	Maître de Recherche
	BRONOEL Guy	Maître de Recherche
	CARRE René	Maître de Recherche
	DAVID René	Maître de Recherche
	DRIOLE Jean	Maître de Recherche
	KLEITZ Michel	Maître de Recherche
	LANDAU Ioan-Doré	Maître de Recherche
	MATHIEU Jean-Claude	Maître de Recherche
	MERMET Jean	Maître de Recherche
	MUNIER Jacques	Maître de Recherche

Personnalités habilitées à diriger des travaux de recherche (décision du Conseil Scientifique)

E.N.S.E.E.G.

MM.	BISCONDI Michel	Ecole des Mines St. Etienne (dépt. Métallurgie)
	BOOS Jean-Yves	Ecole des Mines St. Etienne (Métallurgie)
	DRIVER Julian	Ecole des Mines St. Etienne (Métallurgie)

MM. KOBYLANSKI André	Ecole des Mines St. Etienne (Métallurgie)
LE COZE Jean	Ecole des Mines St. Etienne (Métallurgie)
LESBATS Pierre	Ecole des Mines St. Etienne (Métallurgie)
LEVY Jacques	Ecole des Mines St. Etienne (Métallurgie)
RIEU Jean	Ecole des Mines St. Etienne (Métallurgie)
SAINFORT	C.E.N. Grenoble (Métallurgie)
SOUQUET	U.S.M.G.
CAILLET Marcel	Ecole des Mines St. Etienne (Chim. Min. Ph.)
COULON Michel	Ecole des Mines St. Etienne (Chim. Min. Ph.)
GUILHOT Bernard	Ecole des Mines St. Etienne (Chim. Min. Ph.)
LALAUZE René	Ecole des Mines St. Etienne (Chim. Min. Ph.)
LANCELOT Francis	Ecole des Mines St. Etienne (Chim. Min. Ph.)
SARRAZIN Pierre	Ecole des Mines St. Etienne (Chim. Min. Ph.)
SOUSTELLE Michel	Ecole des Mines St. Etienne (Chim. Min. Ph.)
THEVENOT François	Ecole des Mines St. Etienne (Chim. Min. Ph.)
THOMAS Gérard	Ecole des Mines St. Etienne (Chim. Min. Ph.)
TOUZAIN Philippe	Ecole des Mines St. Etienne (Chim. Min. Ph.)
TRAN MINH Canh	Ecole des Mines St. Etienne (Chim. Min. Ph.)

E.N.S.E.R.G.

MM. BOREL	Centre d'études nucléaires de Grenoble
KAMARINOS	Centre national recherche scientifique

E.N.S.E.G.P.

M. BORNARD	Centre national recherche scientifique
Mme CHERUY	Centre national recherche scientifique
MM. DAVID	Centre national recherche scientifique
DESCHIZEAUX	Centre national recherche scientifique

Je tiens à remercier

Monsieur L. BOLLIET, Professeur à l'UIT de Grenoble, qui m'a fait l'honneur de présider le jury de cette thèse,

Monsieur F. ANCEAU, Maître de conférences à l'ENSIMAG, pour m'avoir conseillé et encouragé tout au long de ce travail,

Monsieur BOREL, chef du Laboratoire de microélectronique appliquée à EFCIS, Monsieur GERBER, Responsable des architectures de micro-systèmes au CNET, et Monsieur MOREAU, chef de département THOMSON-EFCIS, pour avoir accepté de participer au jury,

Monsieur PRESSON, avec qui les discussions furent enrichissantes,

Monsieur JULLIEN, Ingénieur de la SESCOSEM, qui m'a encadré et conseillé,

Les camarades de l'équipe dont la bonne humeur et la sympathie ne faillirent jamais,

Mademoiselle DELPHIN qui a réalisé la frappe de ce document avec beaucoup de compétence,

ainsi que Monsieur IGLESIAS pour avoir assuré le tirage de cette thèse.

TABLE DES MATIERES

I - INTRODUCTION

II - CONCEPTION D'UNE UNITE ARITHMETIQUE ET LOGIQUE

II - 1 CAHIER DES CHARGES

II - 2 L'OPERATEUR ARITHMETIQUE ET LOGIQUE

II - 2-1 GENERALITES SUR LES OPERATEURS ARITHMETIQUES

II - 2-2 ETUDE DE L'OPERATEUR ARITHMETIQUE ET LOGIQUE DU MC6800

II - 2-3 DEFINITION DE L'UAL DU P68

II - 3 LE CIRCUIT DE PARITE ET LES ACCUMULATEURS

II - 3-1 LE CIRCUIT DE PARITE

II - 3-2 CORRECTION APRES UNE ADDITION/SOUSTRACTION DECIMALE

II - 3-2-1 CORRECTION APRES UNE ADDITION DECIMAL

II - 3-2-2 CORRECTION APRES UNE SOUSTRACTION DECIMALE

II - 3-3 LES DEUX ACCUMULATEURS

III - ETUDE ET COMPARAISON DES OPERATIONS ARITHMETIQUES ET LOGIQUES DE QUELQUES MICROPROCESSEURS

III - 1 LES OPERATIONS ARITHMETIQUES ET LOGIQUES DANS
QUELQUES MICROPROCESSEURS

III - 1-1 LE 8085 DE INTEL

III - 1-2 LE Z80 DE ZILOG

III - 1-3 LE CPI600 DE GENERAL INSTRUMENT

III - 1-4 LE 2650 DE SIGNETICS

III - 2 QUELQUES PRINCIPES A DEGAGER DE L'APERCU PRECEDENT

III - 2-1 CIRCUIT DE PROPAGATION DE LA RETENUE

III - 2-2 LES OPERATEURS ARITHMETIQUES ET LOGIQUES
SERIE-PARALLELE

III - 2-3 MEMOIRE INTERNE OU REGISTRES INDEPENDANTS

IV - OUTILS D'AIDE A L'IMPLANTATION

IV - 1 DESCRIPTION D'UNE STRUCTURE REPETITIVE

IV - 2 REALISATION D'OPERATEURS ARITHMETIQUES ET LOGIQUES
SOUS FORME MATRICIELLE

IV - 3 EVALUATION DE CETTE REPRESENTATION MATRICIELLE

IV - 4 AUTRES METHODES D'IMPLANTATION

IV - 4-1 OPTIMISATION DE LA PRECEDENTE

IV - 4-2 LA METHODE MD-MOS DU CNET

IV - 4-3 MATRICES DE NANDS

V - QUELQUES REFLEXIONS SUR L'ARCHITECTURE INTEGREE

V - 1 LES BUS DANS LES CIRCUITS INTEGRES

- V - 2 LES ELEMENTS DE MEMORISATION
- V - 3 LES COMMANDES DANS LES CIRCUITS INTEGRES
- V - 4 COMPROMIS VITESSE SURFACE-OCCUPEE POUR UN CIRCUIT
D'ANTICIPATION

VI - CONCLUSION

ANNEXE

I - UAL DU P68

- I - 1 SCHEMA DE L'UAL DU P68
- I - 2 PROFIL DES COMMANDES POUR LES DIFFERENTES OPERATIONS
- I - 3 SCHEMA D'IMPLANTATION

II - PRESENTATION D'UNE TECHNOLOGIE ET D'UNE FAMILLE, LA NMOS

- II - 1 QUELQUES RAPPELS
 - II - 1-1 NOTION DE TROU
 - II - 1-2 LA JONCTION P-N
- II - 2 LE TRANSISTOR MOS
 - II - 2-1 DESCRIPTION
 - II - 2-2 PRINCIPE DE FONCTIONNEMENT
 - II - 2-3 MODELISATION DU MOS
 - II - 2-4 REALISATION INDUSTRIELLE
- II - 3 ELEMENTS ENTRANT DANS LA CONCEPTION D'UNE FONCTION
LOGIQUE

- II - 3-1 REALISATION DE PORTES LOGIQUES DE BASE
- II - 3-2 DETERMINATION DES CARACTERISTIQUES D'UNE PORTE LOGIQUE
 - II - 3-2-1 FACTEUR DE PENTE INTERNE ET FACTEUR GEOMETRIQUE
 - II - 3-2-2 DETERMINATION DES GEOMETRIES D'UN INVERSEUR
 - II - 3-2-3 LES GEOMETRIES DU NOR ET DU NAND
- II - 3-3 FONCTIONNEMENT DYNAMIQUE

I - INTRODUCTION

Ce travail se situe dans le cadre de la réalisation, pour la SESCOSEM, d'un microprocesseur compatible avec le 6800 de la firme MOTOROLA. Des fonctions nouvelles ont été ajoutées : un compteur de rafraîchissement et des canaux de DMA (Direct Memory Access) ont été intégrés sur la puce de silicium, ce qui a nécessité la reprise du brochage afin d'optimiser l'emploi des 40 broches disponibles autorisant le dialogue entre le microprocesseur et d'autres unités. Pour augmenter la puissance du produit le jeu d'instructions a été étendu et la structure interne réétudiée.

La contribution de ce travail pour un tel projet consiste en la mise au point de l'unité arithmétique et logique (UAL) de ce futur microprocesseur, le P 68.

Le phénomène microprocesseur représente une révolution pour le monde de l'informatique puisqu'il permet de réunir sur une même puce de silicium de 5 mm sur 5 mm toute l'unité centrale d'un ordinateur. Les processus technologiques utilisés autorisant la production en série, cette révolution s'accompagne d'un abaissement considérable des prix de revient. Les parties mémoire et traitement d'un microordinateur sont devenues si bon marché qu'il est actuellement possible de faire entrer l'informatique

dans des domaines où, il y a encore cinq ans, cela n'aurait même pas pu être envisagé. Pour s'en persuader il suffit de voir la formidable poussée des calculettes sur le marché, ainsi que l'apparition des divers jeux électroniques utilisant la télévision

Les techniques d'intégration évoluent dans le sens d'une intégration toujours plus poussée, à tel point qu'il devient à ce jour possible d'envisager l'intégration de véritables mini-ordinateurs. En 1977 les microprocesseurs les plus complexes (6800, 8080, Z 80) contiennent environ 10.000 transistors. En 1978 cette limite est passée à 30.000 avec l'apparition du 8086 de INTEL, et on annonce pour 1979 des produits contenant jusqu'à 75.000 transistors (MC 68000). La microinformatique se trouve soumise à une course incessante à l'intégration (les possibilités d'intégration doublent tous les ans) et on ne sait pas encore où cette course peut s'arrêter.

Il va sans dire que les répercussions de ce phénomène sont considérables. Cette poussée du hardware remet en cause la structure des machines. L'unité centrale devenant très bon marché et de plus en plus puissante il faut maintenant envisager des machines où la puissance de calcul n'est plus centralisée mais éclatée ; c'est l'apparition des machines dites réparties.

Le concepteur de machines informatiques voit aussi son rôle évoluer. Du fait du haut niveau d'intégration atteint (on en arrive au VLSI) certaines parties du système comme la gestion des interruptions et le mécanisme de protection mémoire seront

implantées sous forme hardware. De plus le schéma logique du calculateur ne peut plus être conçu indépendamment de sa réalisation sous forme électronique. Maintenant ces 2 étapes interagissent entre elles et doivent donc être menées en parallèle.

L'architecte de machines ne peut donc plus se contenter d'assembler judicieusement des boîtiers standards représentant des fonctions logiques plus ou moins complexes. C'est à lui que revient maintenant la tâche d'imposer aux fabricants de circuits intégrés ses besoins spécifiques et il lui faut donc absolument être au courant des techniques utilisées.

L'intégration pose des contraintes nouvelles pour la structure interne des machines. Ces contraintes peuvent être d'ordre électronique (vitesse de transfert des portes logiques, consommation, ...), mais surtout d'ordre topologique (nombre de niveaux de connexions autorisés, planéarité, minimisation de la longueur de certaines liaisons, ...), et économique (le facteur de rendement de fabrication décroît de façon exponentielle avec la surface de la puce de silicium).

Le but de ce projet est de nous confronter à tous ces problèmes afin de les appréhender et de former des concepteurs capables de réaliser des machines intégrées, ce qui nécessite, outre une solide formation en architecture des calculateurs, certaines connaissances en électronique, et une bonne assimilation du processus technologique mis en oeuvre lors de la réalisation de ces circuits intégrés.

II - CONCEPTION D'UNE UNITE ARITHMETIQUE ET LOGIQUE

II - I CAHIER DES CHARGES

L'unité arithmétique et logique (en abrégé UAL) à réaliser travaille sur 8 bits et autour de 2 bus à précharge : un bus général, le bus DATA, et un bus local à l'UAL, le bus ADOP.

Cette UAL dispose de deux accumulateurs A et B chargés par l'intermédiaire du bus ADOP, mais pouvant émettre sur les deux bus (voir le schéma général de la figure 2-1).

Le cadencement est assuré par deux phases $\phi 1$ et $\phi 2$:

- en $\phi 1$:
 - . chargement des accumulateurs
 - . entrée des 2 opérandes dans l'opérateur arithmétique et début du calcul
 - . donnée forcée sur les bus à précharge
- en $\phi 2$:
 - . précharge des bus
 - . fin du calcul de l'UAL et positionnement des flags.

Le circuit doit en outre être semi-statique. C'est-à-dire

que la phase ϕ_2 peut être allongée indéfiniment, alors que la phase ϕ_1 ne peut pas dépasser une certaine durée. Cela suppose qu'aucune information interne ne soit volatile en ϕ_2 .

L'UAL doit être capable de réaliser les fonctions suivantes :

- l'addition et la soustraction binaire sur 2 opérandes
- les opérations OU, ET et OU exclusif entre 2 opérandes
- les décalages droite et gauche sur 1 opérande
- la complémentation, le complément à 2, l'incrémentatio
la décrémentatio, et le transfert sur 1 opérande
- la multiplication binaire où le multiplicande est dans l'accumulateur B, le multiplicateur dans l'accumulateur A, et le résultat sur 16 bits dans les deux accumulateurs.
- la rotation de digits entre les accumulateurs A et B : si H et L sont respectivement les indices poids fort et poids faible, alors il faut pouvoir effectuer $Bl \rightarrow Ah \rightarrow Al \rightarrow Bl$, et $Bl \rightarrow Al \rightarrow Ah \rightarrow Bl$, où A et B représentent le contenu des accumulateurs A et B
- l'ajustement nécessaire après une addition ou une soustraction décimale
- la génération d'un zéro
- le calcul de la parité d'une donnée présente sur un bus.

REMARQUE

Lorsqu'une opération porte sur un seul opérande, c'est toujours le même bus qui doit acheminer cet opérande.

L'UAL doit aussi fournir les 5 flags suivants : le demi-report (HC), le report (C), le signe du résultat (S), le débordement (D), et le test de la sortie à zéro (Z).

Si E1 et E2 sont les deux entrées de l'opérateur arithmétique et logique, E1 reçoit le bus DATA échantillonné par $\phi 1$, et E2 reçoit le bus ADOP complémenté ou non, le bus ADOP décalé à droite, ainsi qu'une donnée représentant la correction à effectuer lorsqu'il faut faire un ajustement après une opération décimale (figure 3-1).

Le décalage droit cablé sur l'entrée de l'opérateur arithmétique permet de réaliser très simplement la multiplication binaire par une série d'additions et de décalages.

Afin de voir comment fonctionne l'UAL prenons un exemple. Pour cela voyons comment se déroule l'addition binaire entre, une donnée provenant de l'accumulateur A, et une donnée issue de la sortie de l'opérateur arithmétique, qui peut ainsi se boucler sur lui-même.

en $\phi 1$: accu A \rightarrow bus DATA \rightarrow entrée E1,
sortie opérateur \rightarrow bus ADOP \rightarrow entrée E 2 par
voie directe, commande d'addition dans l'opéra-

teur arithmétique

en $\phi 2$: fin calcul et mémorisation des flags.

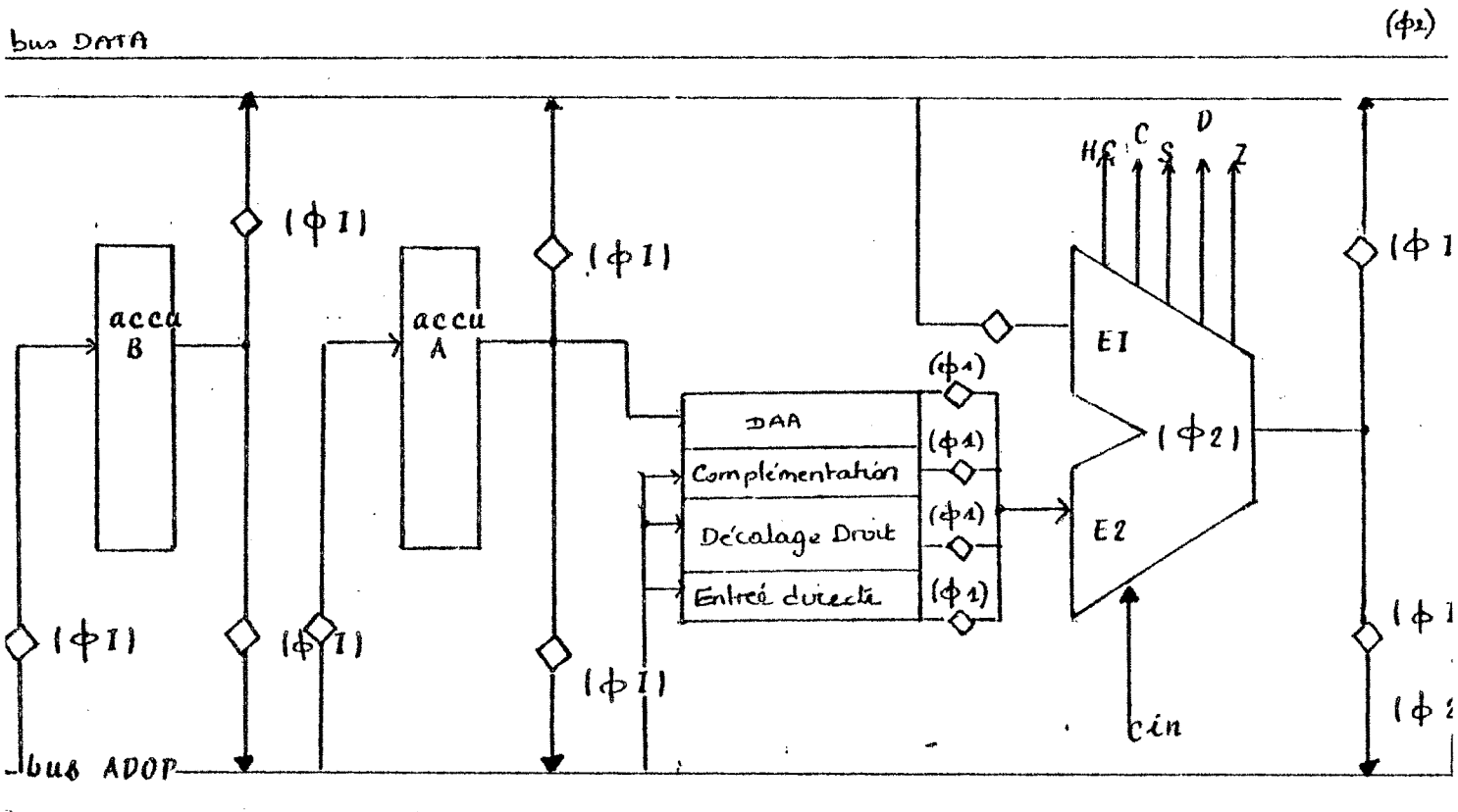


Figure 2-1

Configuration pour l'UAL du P68

La sortie de l'opérateur arithmétique pouvant boucler sur ses entrées il faut donc nécessairement introduire une barrière temporelle à l'intérieur de cet opérateur arithmétique. Nous verrons par la suite comment cette barrière temporelle a été réalisée compte tenu des autres contraintes.

II - 2 L'OPERATEUR ARITHMETIQUE ET LOGIQUE

II 2-1 GENERALITES SUR LES OPERATEURS ARITHMETIQUES

soient A et B deux nombres binaires de n bits mis sous la forme :

$$A = A_0 + 2 A_1 + 2^2 A_2 + 2^3 A_3 + \dots + 2^{n-2} A_{n-2} + 2^{n-1} A_{n-1}$$

$$B = B_0 + 2 B_1 + 2^2 B_2 + \dots + 2^{n-2} B_{n-2} + 2^{n-1} B_{n-1}$$

Addition binaire : Posons $A + B = C$

$$\text{avec } C = C_0 + 2 C_1 + 2^2 C_2 + \dots + 2^{n-1} C_{n-1}$$

Si R_i est le report entrant de l'étage i et R_{i+1} le report sortant on obtient les relations suivantes :

$$C_i = A_i \oplus B_i \oplus R_i$$

$$R_i = \text{Majorité } (A_i, B_i, R_i)$$

$$= A_i B_i + (A_i \oplus B_i) R_i$$

L'expression de la retenue sortante comporte deux termes

- $\alpha = A_i B_i$ qui représente la retenue g n r e dans l' tage d'additionneur

- $\beta = (A_i \oplus B_i) R_i$ qui repr sente la retenue propag e par l' tage

Posons :

$$P_i = A_i \oplus B_i \quad (P \text{ comme } \underline{\text{propagateur}})$$

$$G_i = A_i B_i \quad (G \text{ comme } \underline{\text{g n rateur}})$$

alors :

$$R_{i+1} = G_i + P_i R_i$$

$$= G_i + (P_i + G_i) R_i$$

$$\text{et } R_{i+1} = G_i + P^i R_i \quad \text{o  } P^i = P_i + G_i = A_i + B_i$$

Ce qui d termine le sch ma g n ral d'un  tage d'additionneur propos  par la figure 2-2

Appliquons la relation $R_{i+1} = G_i + P_i R_i$ aux p  tages poids faibles

$$R_1 = G_0 + P_0 R_0$$

$$R_2 = G_1 + P_1 R_1 + G_1 + P_1 (G_0 + P_0 R_0) = G_1 + P_1 G_0 + P_1 G_1 + P_1 P_0 R_0$$

$$R_3 = G_2 + P_2 R_2 = G_2 + P_2 G_1 + P_2 P_1 G_0 + P_2 P_1 P_0 R_0$$

$$R_p = G_p + P_p G_{p-1} + P_p P_{p-1} G_{p-2} + \dots + P_p P_{p-1} \dots P_1 P_0 R_0$$

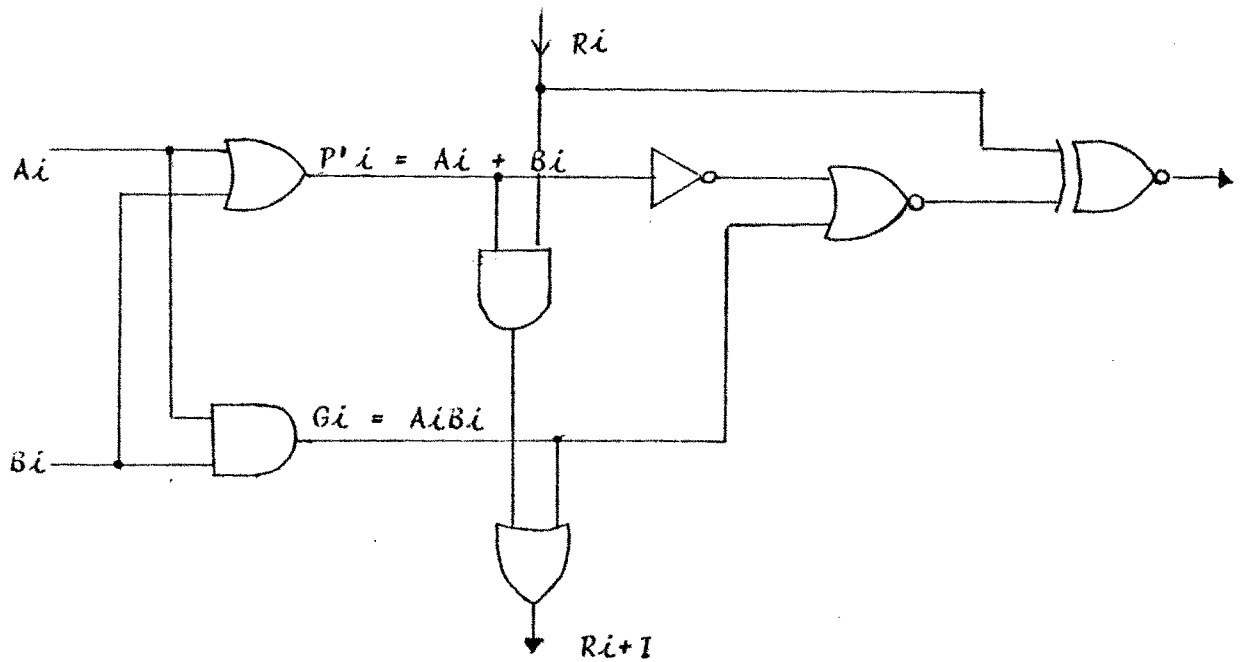


Figure 2-2

Schéma d'un étage d'additionneur

Si on dispose d'un circuit spécial, très rapide, réalisant la fonction R_p , on peut accélérer la propagation de la retenue en formant des groupes de p bits, dont la retenue est calculée par ce circuit dit d'anticipation.

Un exemple portant sur 8 bits est donné figure 2-3 où on forme des groupes de 4 bits.

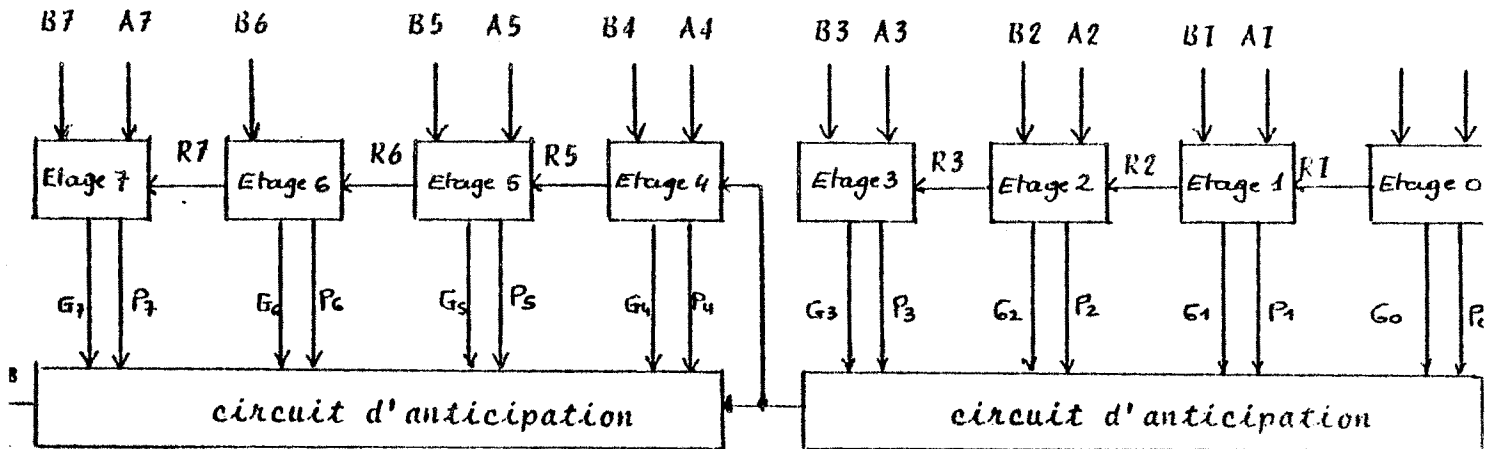


Figure 2-3

Circuit d'anticipation de la retenue
sur 4 étages

soient :

T le temps de propagation de la retenue à travers n
étage d'additionneur

T' le temps de propagation de la retenue dans le
circuit d'anticipation

Le problème est de déterminer, compte tenu des
temps T et T' , le nombre p de bits que l'on doit grouper,
sachant que le travail s'effectue sur n bits.

Soit T_{max} le temps maximal de propagation de la

retenue

$$T \max = \text{Max} \left\{ \left[\frac{n-1}{p} \right] T' + \left(n-1 - \left[\frac{n-1}{p} \right] p \right) T, \left(\left[\frac{n-1}{p} \right] - 1 \right) T' + (p-1) T \right\}$$

où le symbole $[x]$ représente la partie entière de x .
 Cette formule est liée au fait qu'il existe deux possibilités pour calculer le cheminement le plus défavorable de la retenue suivant les cas étudiés (figure 2-4).

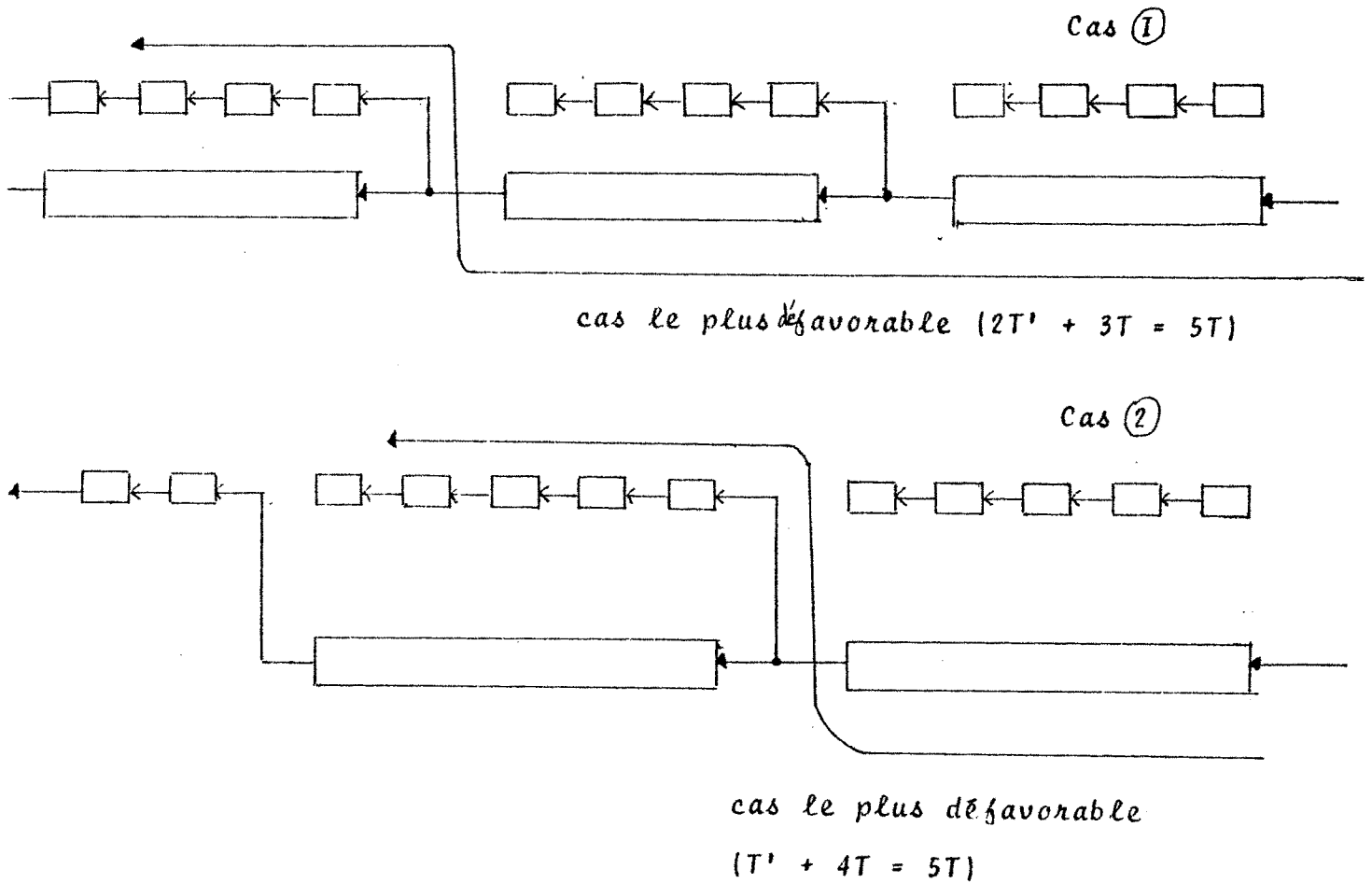


Figure 2-4

Détermination de $T \max$ dans le cas simple où $T' = T$

La recherche de la configuration optimale revient à la détermination de (ou des) valeur(s) de p qui minimise(nt) T_{\max} , n , T , et T' étant connus.

Soustraction binaire : Prenons les mêmes notations que pour l'addition et posons $A - B = C$. On obtient les relations ci-dessous :

$$C_i = A_i \oplus B_i \oplus R_i$$

$$R_{i+1} = A_i B_i + (A_i \oplus B_i) R_i$$

ou

$$\overline{R_{i+1}} = A_i \overline{B_i} + \overline{(A_i \oplus B_i)} \overline{R_i}$$

Il est possible de réaliser un circuit qui fasse l'addition et la soustraction en commutant deux retenues différentes correspondant à ces deux opérations. Mais ce système a le désavantage de ralentir la propagation de la retenue

Aussi réalise-t-on le plus fréquemment la soustraction binaire en complémentant le soustracteur B ainsi que la retenue entrante dans l'étage de plus faible poids, et en effectuant une addition binaire.

Dans la relation $\overline{R_{i+1}} = A_i \overline{B_i} + \overline{(A_i \oplus B_i)} \overline{R_i}$ si on fait $B'_i = \overline{B_i}$ on retrouve la relation correspondant à l'addition binaire mais pour des retenues complémentées

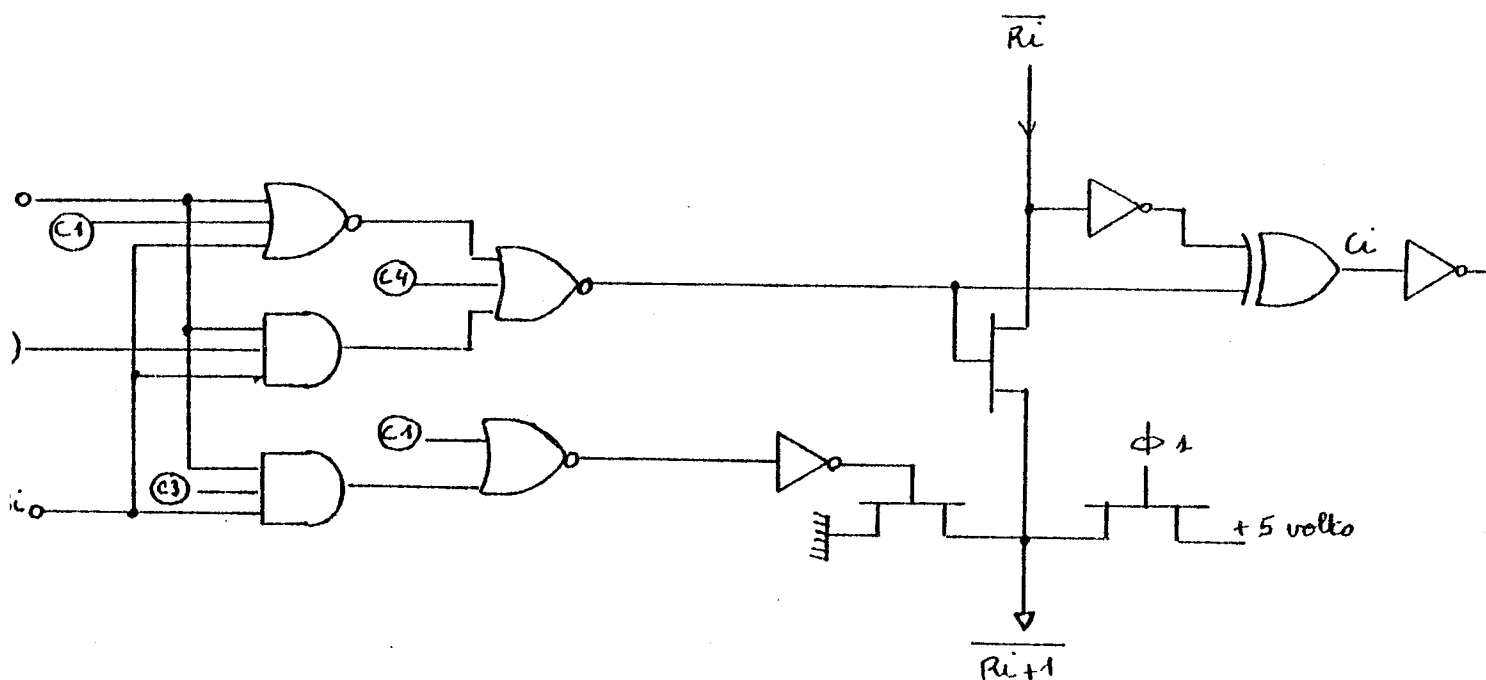
$\overline{R_{i+1}} = A_i \oplus B_i + (A_i \oplus B_i) \overline{R_i}$. Le résultat C_i reste alors correct puisque $C_i = A_i \oplus B_i \oplus R_i = A_i \oplus B_i \oplus R_i$.

Dans ce cas le même circuit de propagation de la retenue peut calculer la retenue pour l'addition et la soustraction binaires. Il faut cependant noter que pour la soustraction binaire la retenue calculée est complémentée.

II - 2-2 ETUDE DE L'OPERATEUR ARITHMETIQUE ET

LOGIQUE DU MC6800

Le P68 réalisant toutes les instructions du MC6800, les UAL de ces deux microprocesseurs ont beaucoup de points communs. Pour se donner une base de départ il paraît intéressant d'étudier l'opérateur arithmétique et logique du MC6800. La figure 2-5 donne le schéma d'un étage de l'additionneur 8 bits.



C1	C2	C3	C4	C_i
0	1	1	0	$A_i \oplus B_i \oplus R_i$
0	1	0	0	$A_i \oplus B_i$ si $R_i = 1$
0	0	0	0	$A_i + B_i$ si $R_i = 1$
1	1		0	$A_i - B_i$ si $R_i = 0$
0		1	1	$R_i = A_{i-1} B_{i-1}$

Figure 2-5

Un étage d'additionneur du MC6800

La première constatation est pour la présence d'un circuit de propagation de la retenue entièrement dynamique qui apporte donc tous les avantages propres à ce genre de circuit : rapidité

té, faible consommation et surface occupée réduite (il correspond en gros à un NOR à 2 entrées).

Pour étudier le fonctionnement de ce circuit de report dynamique plaçons nous dans le cas d'une addition binaire correspondant au profil 0,1,1,0 pour les commandes C1, C2, C3 et C4 (figure 2-6)

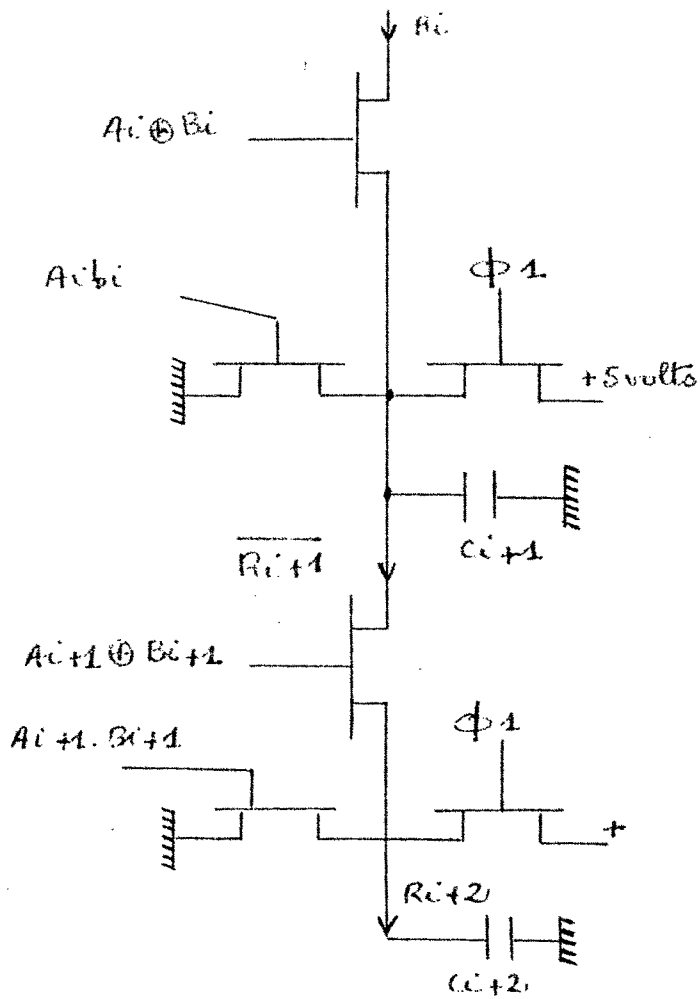


Schéma électrique

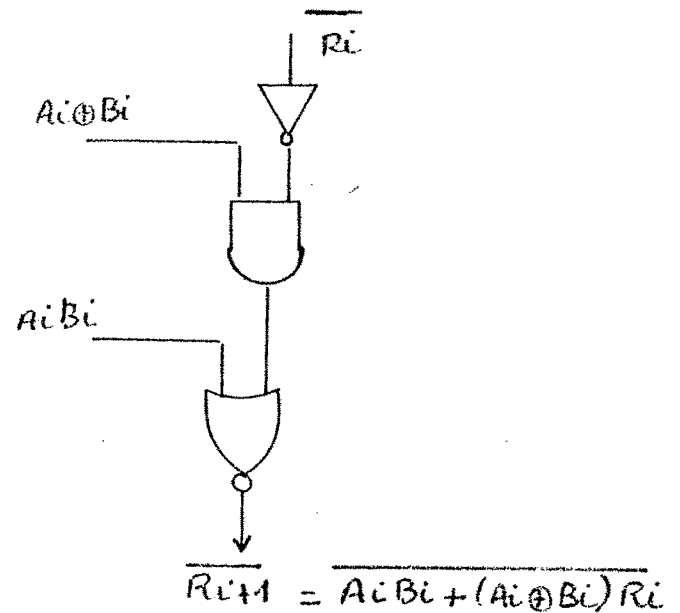


Schéma logique équivalent

Figure 2-6

Circuit de report dynamique du 6800 dans le cas d'une addition binaire.

Sur la phase $\phi 1$ a lieu la précharge de toute la ligne de report, ainsi que le calcul des fonctions $A_i B_i$ et $A_i \theta B_i$. Précharger une ligne signifie charger le condensateur qu'elle forme avec le substrat.

Durant la phase $\phi 2$ si $A_i B_i = 1$

il y a mise à la masse de la portion de ligne correspondant à $\overline{R_{i+1}}$, donc décharge de la capacité C_{i+1} . Ce "0" généré localement peut se propager vers $\overline{R_{i+2}}$ si $A_{i+1} \theta B_{i+1} = 1$ (décharge de la capacité C_{i+2}), mais ne peut pas se propager vers les étages inférieurs puisque $A_i \theta B_i = 0$ lorsque $A_i B_i = 1$. On assiste donc à l'élaboration, puis éventuellement la propagation d'une retenue vers les étages supérieurs.

Le cas le plus défavorable pour la vitesse de calcul des retenues correspond au profil $A_i B_i = 0$, et $A_i \theta B_i = 1$ pour tout i , avec $\overline{R_0} = 0$. Dans ce cas il va y avoir décharge de toute la ligne de report selon le schéma de la figure 2-7, où les résistances représentent les MOS série conducteurs.

La décharge de cette ligne de report se fait proportionnellement au carré du nombre de résistances en série, donc au carré du nombre d'étages de l'additionneur. Ceci a pour effet de pénaliser fortement la propagation de la retenue lorsque le nombre d'étages à traverser est élevé. C'est pourquoi dans le 6800 la chaîne de report dynamique comporte un trigger en son milieu afin d'accélérer la propagation ainsi que le montre la figure 2-8.

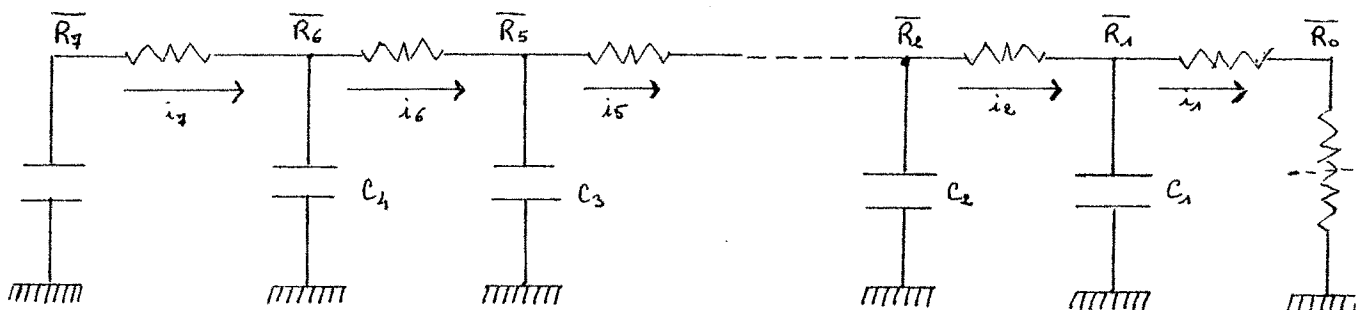


Figure 2-7

Schéma de décharge de la ligne de report dans le cas le plus défavorable.

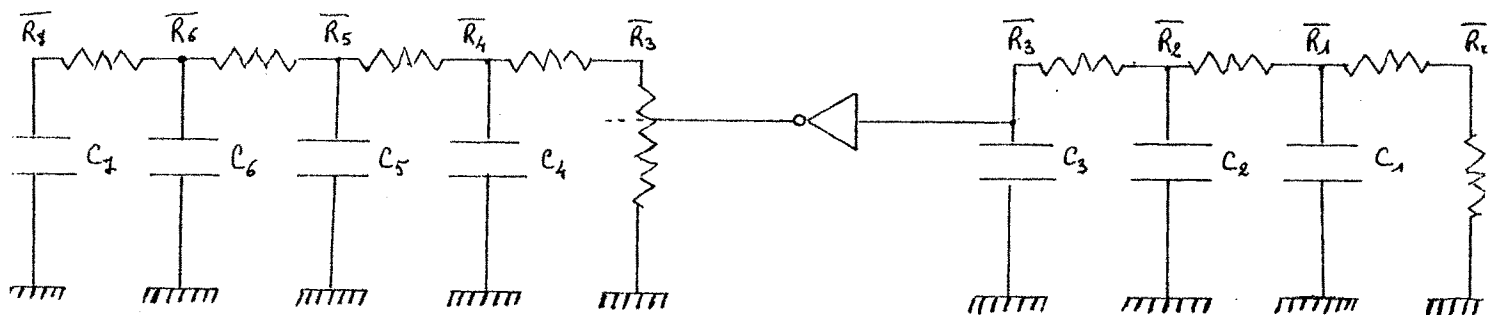


Figure 2-8

Schéma de décharge de la ligne de report, dans le cas le plus défavorable, lorsqu'on place un trigger en son milieu.

Pour accroître la vitesse de propagation de la retenue on peut minimiser la valeur des résistances série. Cela s'effectue en augmentant la géométrie des divers MOS série qui atteignent ainsi 4 à 5 fois la taille d'un MOS signal courant de géométrie moyenne dans le cas du 6800.

L'UAL travaille autour de 2 bus à précharge, l'un local qui peut être mis à zéro par la commande C5, et l'autre général. L'une des entrées de l'additionneur reçoit le bus local échantillonné par la phase $\phi 1$ tandis que l'autre entrée est reliée à un circuit de sélection lui-même rattaché au bus général (figure 2-9). Ce circuit de sélection est un simple aiguilleur réalisé avec des

MOS série ce qui limite au maximum la surface occupée.

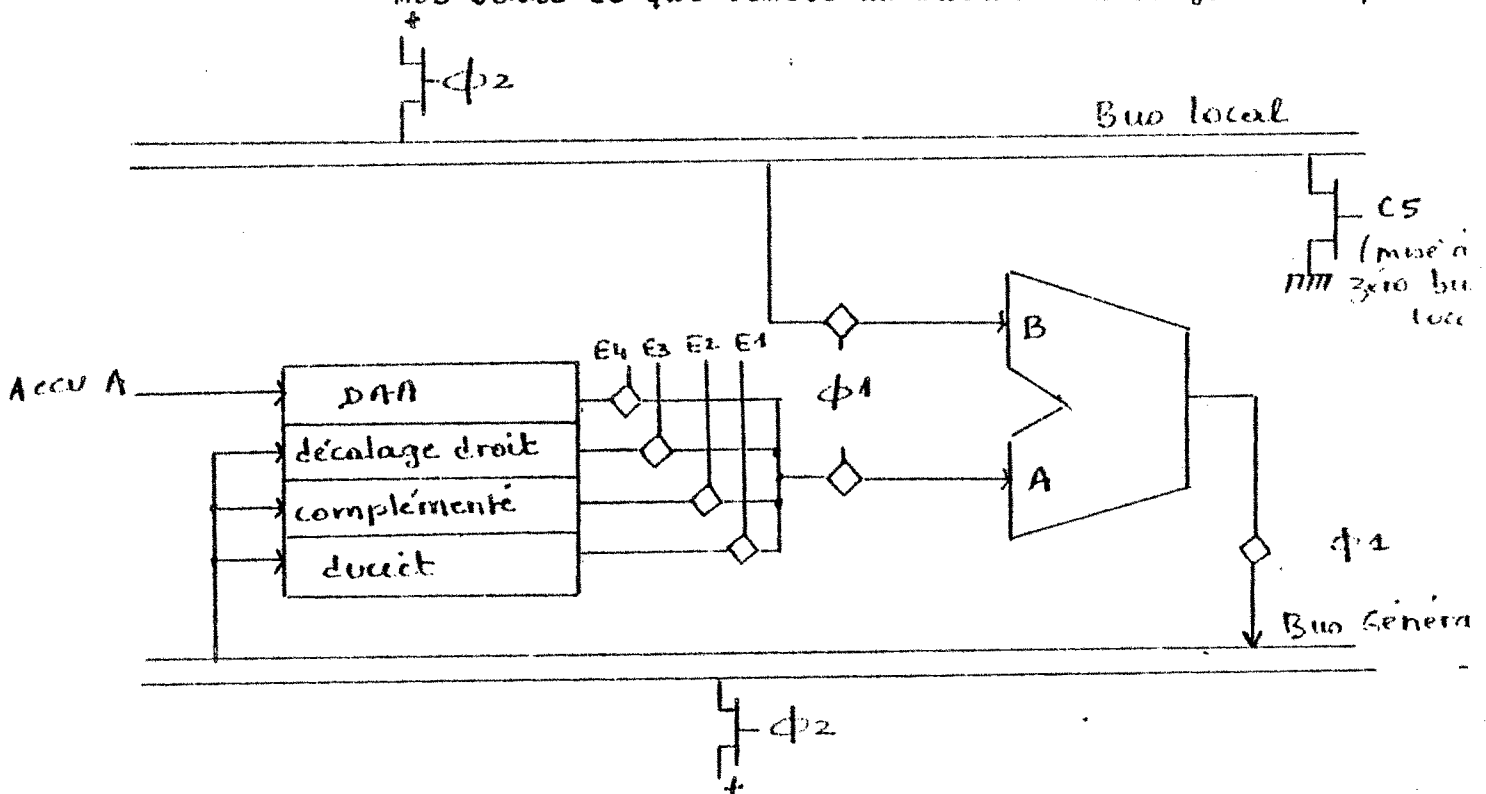


Figure 2-9

Sélection des entrées de l'additionneur du 6800

Le résultat d'une opération peut être, sur la phase Φ_1 , forcé sur le bus général pour être acheminé jusqu'à un des différents registres.

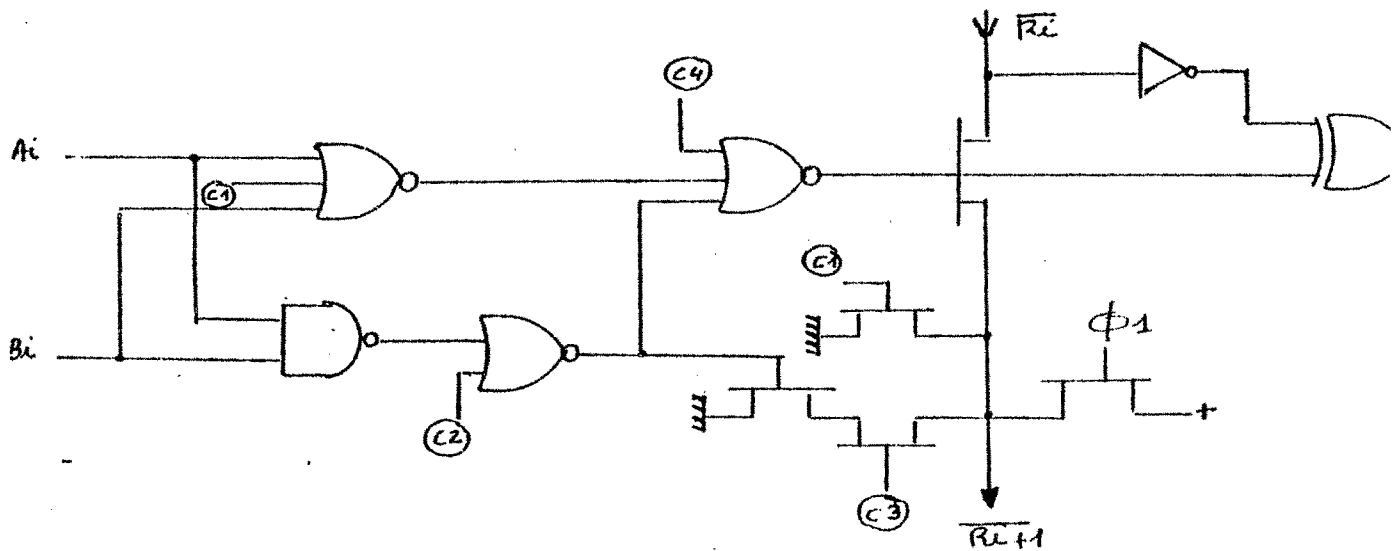
Le tableau de la figure 2-10 donne les principales opérations réalisées par l'opérateur arithmétique et logique du 6800. Il faut remarquer que lorsqu'aucune donnée n'est forcée sur un bus, celui-ci reste chargé et prend la valeur hexadécimale "FF".

Bus Général	Bus local	E1	E2	E3	C1	C2	C3	C4	C5		opération réalisée
A	B	1	0	0	0	1	1	0	0	Cin	addition binaire
A	B	0	1	0	0	1	1	0	0	$\overline{\text{Cin}}$	soustraction binaire
A	B	1	0	0	0	1	0	0	0	1	OU exclusif logique
A	B	1	0	0	0	0	0	0	0	1	OU logique
A	B	1	0	0	1	1	1	0	0	0	ET logique
A	"FF"	1	0	0	0	1	1	1	0	bit entrant	décalage gauche de A
A	"00"	0	0	1	1	1	1	0	1	bit sortant	décalage droit de A
A	"00"	1	0	0	0	1	1	0	1	1	incrémementation
A	"00"	0	1	0	0	1	1	0	1	1	complément à 2 ($\bar{A}+1$)
A	"FF"	1	0	0	0	1	1	0	1	0	décrémementation ($A+"FF"$)
A	"FF"	0	1	0	1	1	1	0	0	0	} complémentation (2 possibilités)
A	"00"	0	1	0	0	1	1	0	0	0	

Figure 2-10

Principales opérations réalisées par l'UAL du 6800

Une remarque peut être soulevée. Sur le schéma logique de la partie additionneur du 6800 on peut introduire une optimisation en mettant en commun la porte ET comme le montre la figure 2-11. La modification entraîne une minimisation des capacités d'entrée de l'opérateur donc une diminution de la charge de ces entrées.



R_0	C_1	C_2	C_3	C_4	C_i
Re	0	0	1	0	$A_i \oplus B_i \oplus R_i$
1	0	0	0	0	$A_i \oplus B_i$
1	0	1		0	$A_i + B_i$
0	1	0		0	$A_i B_i$
	0	0	1	1	$A_{i-1} B_{i-1} = R_i$

Figure 2-11

Une modification du schéma du 6800

Cette optimisation permet d'économiser 2 portes logiques (le ET et un inverseur), tout en réalisant les mêmes fonctions que précédemment. Par contre elle a le désavantage de charger capacitivement la ligne de propagation de la retenue, et d'introduire un MOS série supplémentaire.

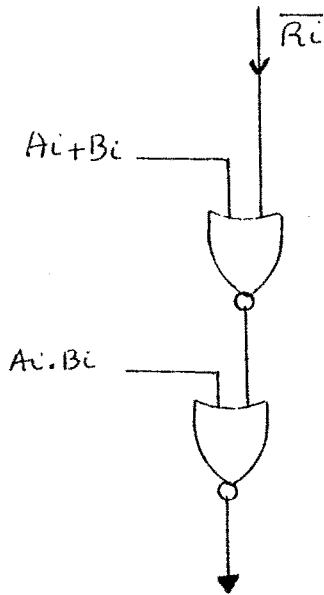
II - 2-3 DEFINITION DE L'UAL DU P68

Le cadencement du P68 est assuré par deux phases $\phi 1$ et $\phi 2$ de fréquence maximale 2 mégahertz. Afin d'éviter des conflits il n'y a pas de recouvrement, c'est-à-dire que les deux phases ne peuvent pas être dans l'état logique "1" simultanément.

L'UAL dispose donc d'un temps de cycle ($\phi 1 + \phi 2$) de 500 nanosecondes durant lequel l'opérateur arithmétique et logique doit être capable de réaliser les opérations qui lui sont assignées.

Le temps moyen de traversée d'un NOR est de 10 nanosecondes, en faisant le calcul sur n NORs en série, et en prenant le temps total de propagation divisé par n. Sachant que l'opérateur arithmétique travaille en parallèle sur 8 bits, et que le temps de cycle imparti est de 500 ns, il n'est pas nécessaire d'anticiper la propagation de la retenue. Un simple calcul série, étage par étage, de la retenue devrait suffire.

A ce stade on a le choix entre un circuit de report statique ou dynamique comme celui du MC6800. Si on utilise un circuit dynamique la précharge a lieu comme dans le MC6800, en $\phi 1$, en même temps que l'entrée des opérands. Pour avoir un positionnement correct des différentes retenues, il faut attendre la fin de la précharge, c'est-à-dire la fin de la phase $\phi 1$. C'est donc sur le départ de la phase $\phi 2$ que le circuit de propagation se trouve positionné. Un circuit de report statique ne nécessite aucune précharge et peut fonctionner dès que les entrées sont stables. En prenant pour le circuit de propagation, celui décrit dans la figure 2-12 à base de NORs, il faut traverser $7 \times 2 = 14$ couches logiques, dans le cas le plus défavorable, pour positionner la retenue entrante du dernier étage d'additionneur. Si on admet que le temps moyen de traversée d'un NOR est de 10 nanosecondes, il faut 140 nanosecondes pour propager la retenue dans les sept étages. En admettant aussi que les fonctions A_i B_i et A_i+B_i se stabilisent 100 nanosecondes après $\phi 1$, la retenue entrante du dernier étage d'additionneur est alors positionnée $100 \text{ ns} + 140 \text{ ns} = 240 \text{ ns}$ après le début de $\phi 1$. Cette phase ayant une durée de 250 ns, le circuit de propagation s'avère plus rapide, puisque la stabilisation de la retenue entrante du dernier étage se fait sur la fin de la phase $\phi 1$.



$$\overline{R_{i+1}} = \overline{A_i \cdot B_i + (A_i + B_i) \cdot \overline{R_i}}$$

Le circuit de propagation de la retenue est réalisé à base de NORs car elle est la porte de base de la technologie LOCOS donc la plus rapide.

Figure 2-12

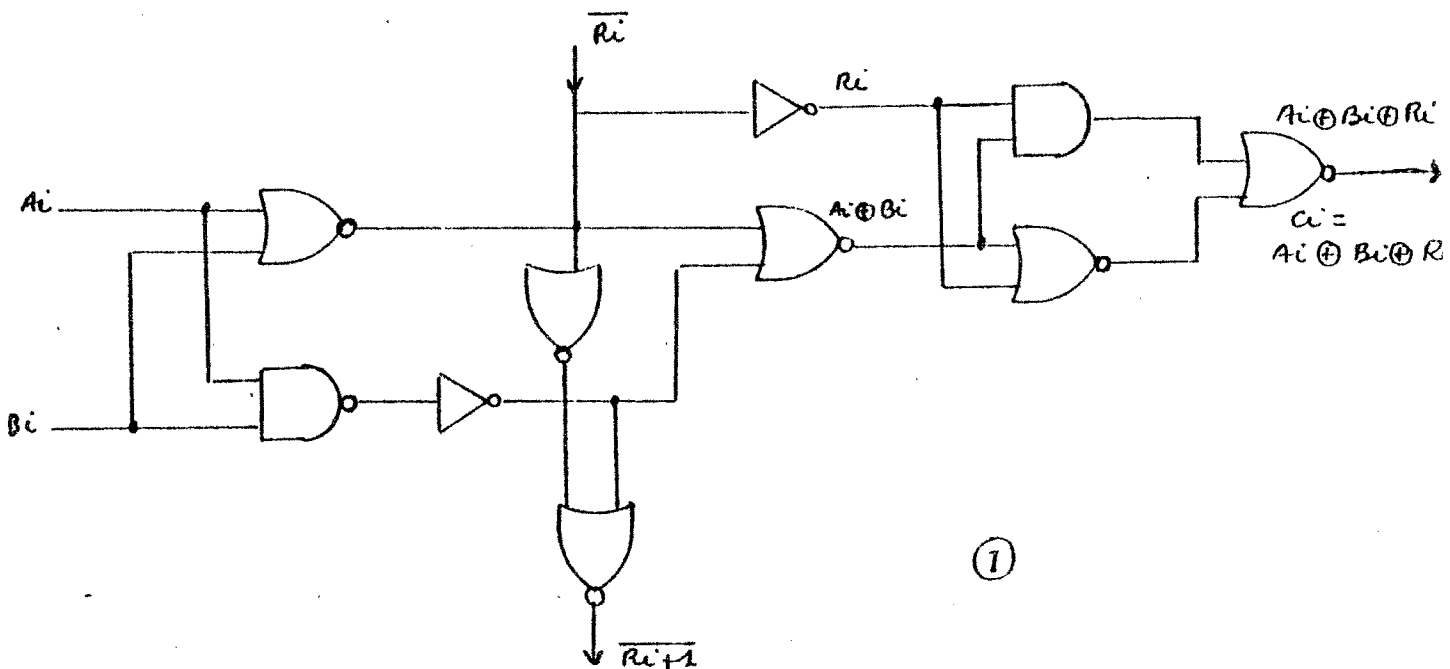
Circuit de report

statique à base de portes NOR.

Une première simulation électrique confirme les résultats précédents. Il faut cependant relever le fait que les capacités de sortie des NORs ont été déterminées à priori, aucun dessin n'ayant été fait. Le temps donné par cette simulation ne peut être qu'indicatif. Seul l'évaluation, à partir du dessin final; des diverses résistances et capacités, pourra donner un résultat correct.

Pour cette partie du circuit l'accent n'étant pas mis sur la consommation mais sur la vitesse on décide donc de l'emploi du

circuit de report statique de la figure 2-12. Il faut maintenant définir un opérateur arithmétique et logique utilisant ce circuit de propagation. La figure 2-13 donne deux possibilités qui peuvent paraître très semblables, si ce n'est au niveau de l'évaluation de la capacité liée à $\overline{R_i}$. Dans le schéma (1) la retenue entrante attaque un inverseur avant d'aller sur un OU exclusif, et dans le schéma (2) on économise cet inverseur en attaquant directement un ET inclusif, dont la capacité d'entrée peut être élevée. Dans cette optique la première solution paraît meilleure car elle minimise la capacité attachée à $\overline{R_i}$, et par suite le temps de propagation de la retenue.



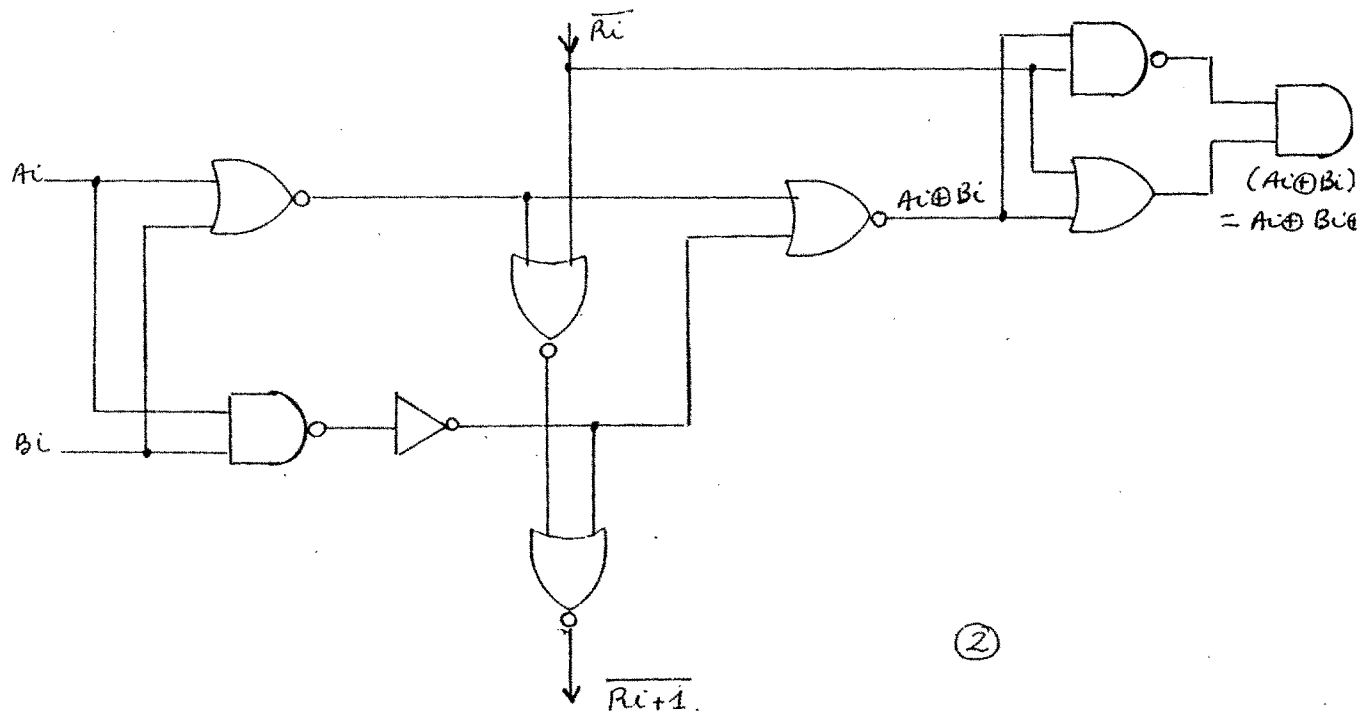


Figure 2-13

Additionneur utilisant un circuit de report statique

L'additionneur ainsi défini réalise aussi la soustraction binaire, puisque l'un des opérandes peut être complémenté avant d'arriver sur l'entrée.

Il faut maintenant "greffer" sur cet étage d'additionneur les opérations logiques OU exclusif, OU, ET, ainsi que le décalage gauche. On remarque que :

$$\begin{aligned}
 - C_i &= A_i \oplus B_i \oplus R_i = A_i \oplus B_i \text{ si } R_i = 0 \\
 &= \overline{A_i \oplus B_i} \text{ si } R_i = 1
 \end{aligned}$$

$$\begin{aligned}
 - \overline{A_i \ominus B_i} &= \overline{\overline{A_i + B_i} + A_i B_i} \\
 &= A_i + B_i \text{ si } A_i B_i = 0
 \end{aligned}$$

$$\begin{aligned}
 - \overline{\overline{A_i \ominus B_i}} &= \overline{A_i + B_i} + A_i B_i \\
 &= A_i B_i \text{ si } \overline{A_i + B_i} = 0
 \end{aligned}$$

Si on peut forcer $\overline{R_i}$ à zéro ou à un, et si on peut forcer les fonctions $A_i B_i$ et $\overline{A_i + B_i}$ à zéro, alors l'additionneur peut réaliser les trois fonctions logiques de base ci-dessus.

Le schéma de la figure 2-14 s'inspire de ces constatations. Les commandes C1 et C2 permettent de forcer à zéro respectivement les fonctions $\overline{A_i + B_i}$ et $A_i B_i$, tandis que les commandes C3 et C4 mettent $\overline{R_i}$ à un, ou à zéro.

Pour les opérations portant sur un seul opérande, c'est le bus ADOP qui achemine cet opérande. Dans ce cas le bus DATA ne véhicule aucune donnée et n'a donc pas été déchargé puisque aucune porte de communication n'est ouverte. Par suite ce bus contient l'information "FF" en notation hexadécimale. Comme le bus DATA communique, par un simple échantillonnage de la phase ϕ_1 , avec une des entrées de l'opérateur arithmétique et logique, cette entrée reçoit donc la donnée hexadécimale "FF", lors des opérations ne portant que sur un seul opérande.

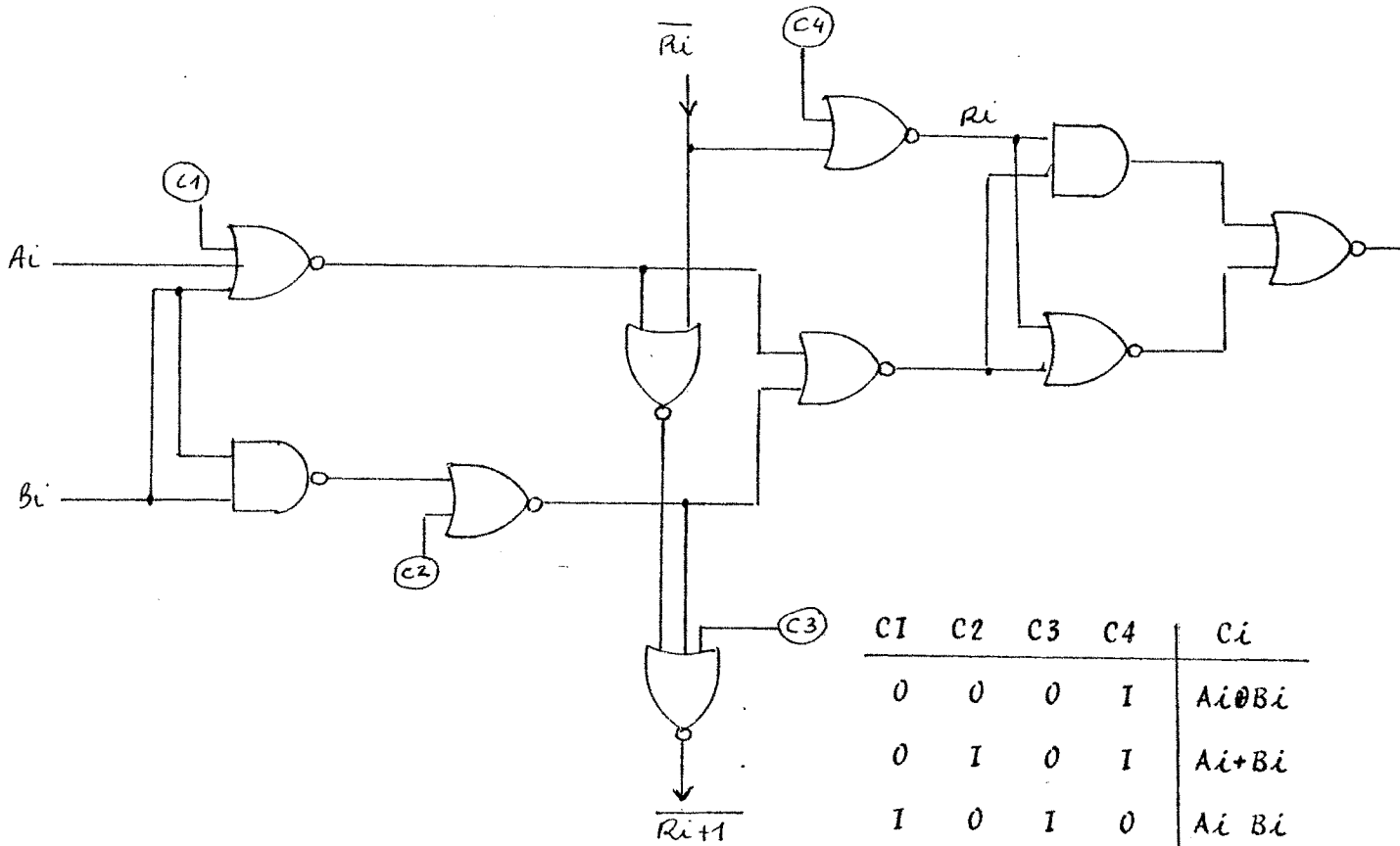
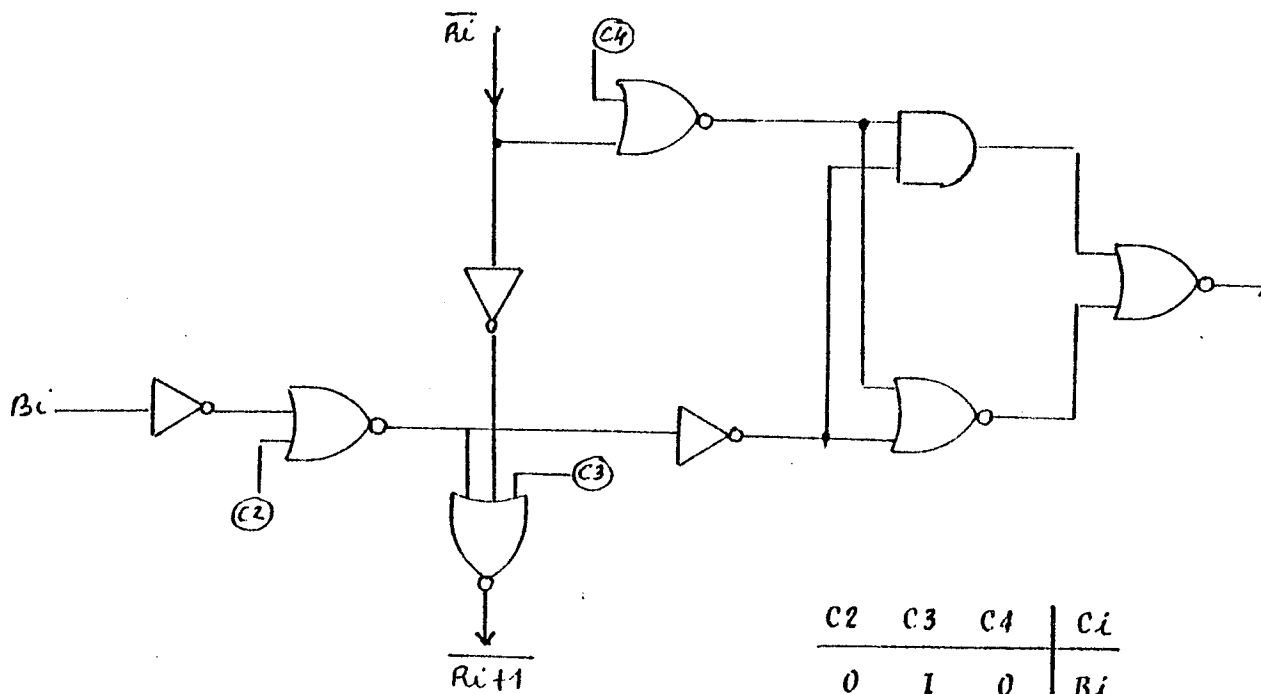


Figure 2-14

Schéma d'opérateur arithmétique et logique

Soient A et B les deux données présentes sur les deux entrées de l'opérande. Pour les opérations avec un seul opérande $A = "FF"$; l'étage d'additionneur de la figure 2-14 se réduit alors à celui de la figure 2-15.



C2	C3	C4	Ci
0	1	0	Bi
0	0	1	\overline{Bi}

Figure 2-15

Schéma logique de l'opérateur lorsque A = "FF"

Les opérations de transfert, et complémentation peuvent alors se faire très facilement, en jouant sur les commandes C3 et C4 comme le montre le tableau joint à la figure.

Pour réaliser le décalage gauche, il faut nécessairement passer par le circuit de propagation de la retenue, si on ne veut pas ajouter un chemin supplémentaire (à moins que l'on veuille ajouter la donnée à elle-même ce qui est exclu car il faut sortir la donnée sur les 2 bus à la fois). Ceci nécessite l'introduction d'une nouvelle commande C5 permettant d'isoler la ligne de report entre 2 étages, et d'effectuer $Ci = Ri$ (figure 2-16).

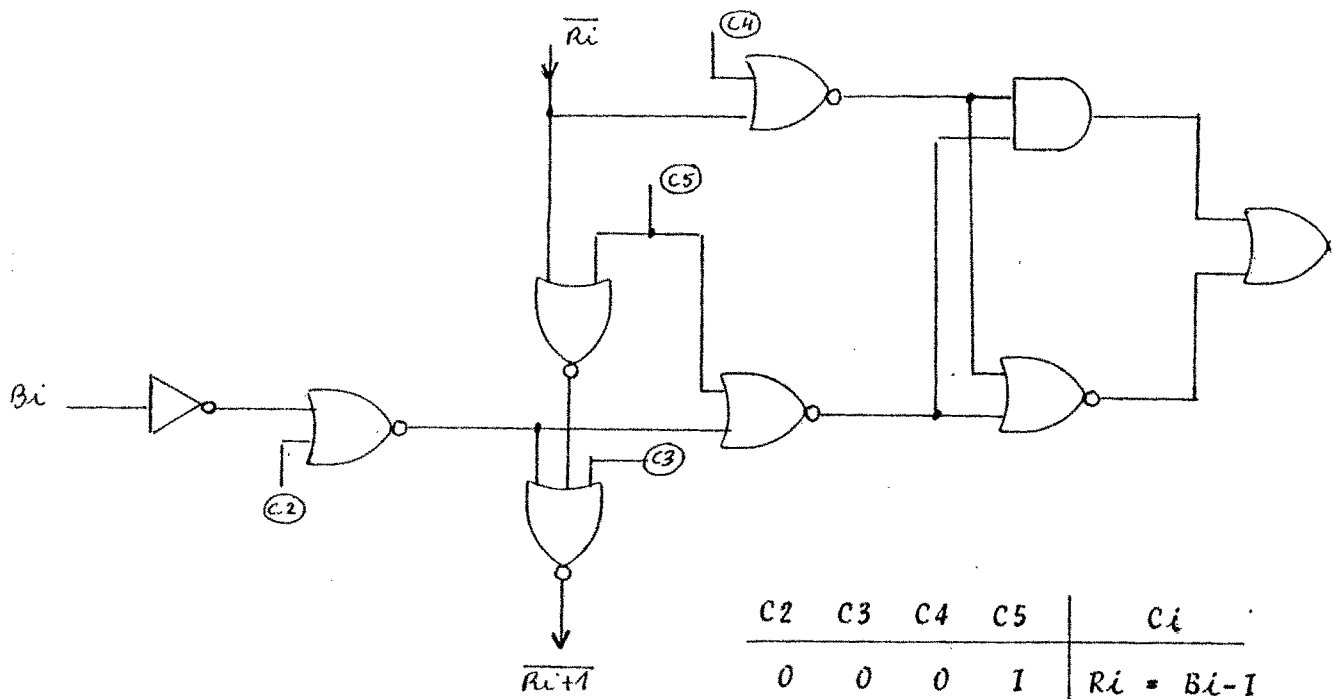


Figure 2-16

Introduction de la commande C5 pour réaliser le décalage gauche

Il faut encore pouvoir réaliser l'incrément, la décrémentation, et le complément à 2.

La décrémentation s'effectue simplement en ajoutant la valeur hexadécimale "FF" dans le cas de la représentation en complément à 2 : $B + \text{"FF"} = B - 1$.

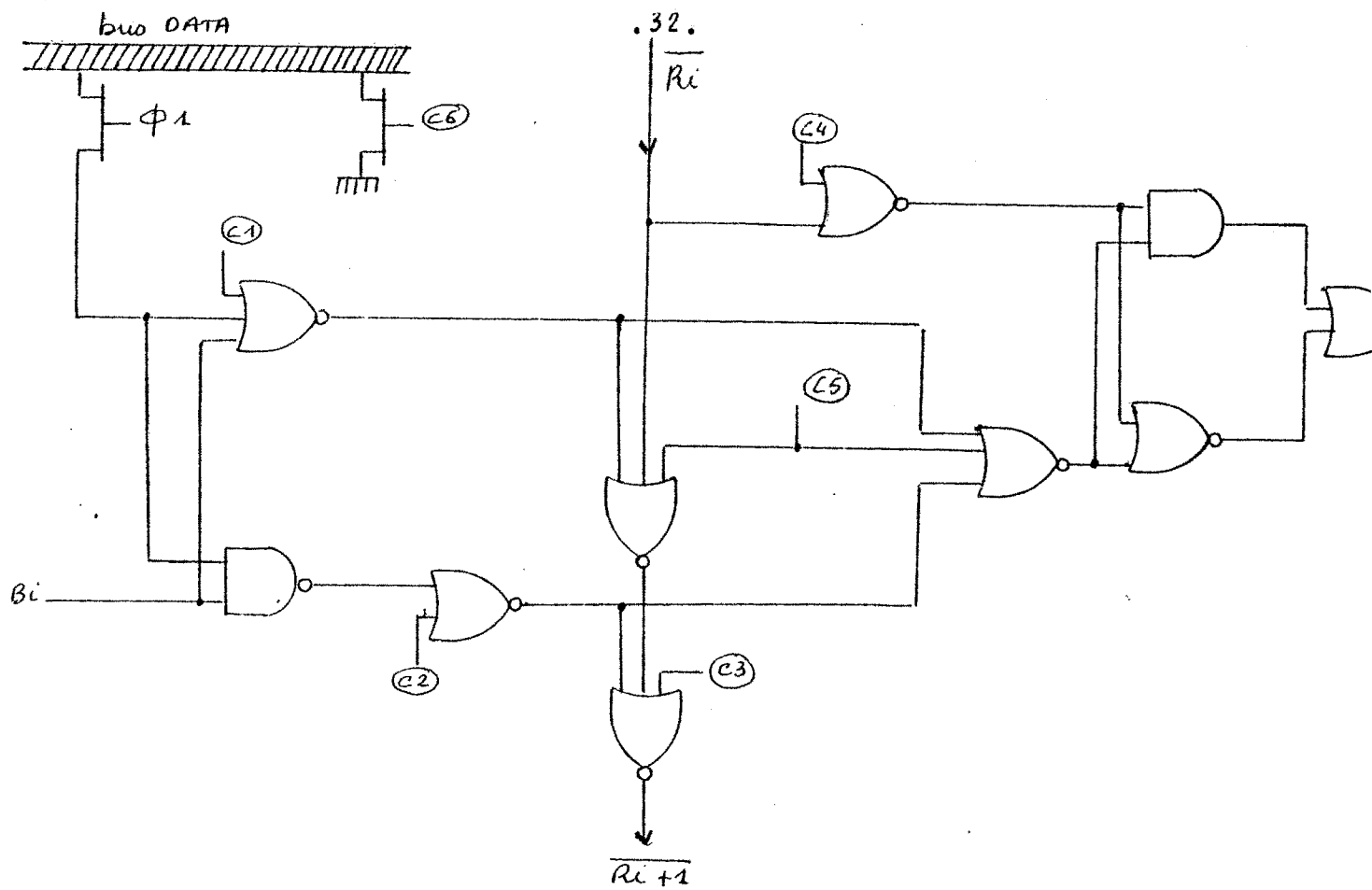
Quant à l'incrément et au complément à 2 d'une donnée D , il faut réaliser respectivement $D+1$, ou $\bar{D}+1$. Cela ne peut se faire qu'en forçant le bus DATA à zéro et en exécutant une addition avec retenue entrante : $B+A+1 = B + \text{"0"}+1 = B+1$.

Suivant que l'on rentre le bus ADOP complémenté ou non on effectue le complément à 2, ou l'incrémentation de la donnée D présente sur ce bus. Ceci entraîne l'introduction d'une nouvelle commande C_6 , qui force le bus DATA à zéro.

On obtient donc le schéma complet de l'opérateur arithmétique et logique de la figure 2.17.

On peut maintenant essayer de minimiser le nombre de commandes. Dans le tableau de la figure 2-17 on remarque que la commande C_3 ne sert que pour réaliser la fonction logique $A_i B_i$ en forçant $\overline{R_{i+1}}$ à zéro. Il existe une autre façon pour forcer $\overline{R_{i+1}}$ à zéro. En effet si $C_1 = 1$ et $C_5 = 0$ alors $\overline{R_i} = 0$ entraîne $\overline{R_{i+1}} = 0$. Donc en mettant la retenue entrante à zéro on peut, dans ce cas, forcer à zéro tous les $\overline{R_i}$, et par la même supprimer la commande C_3 .

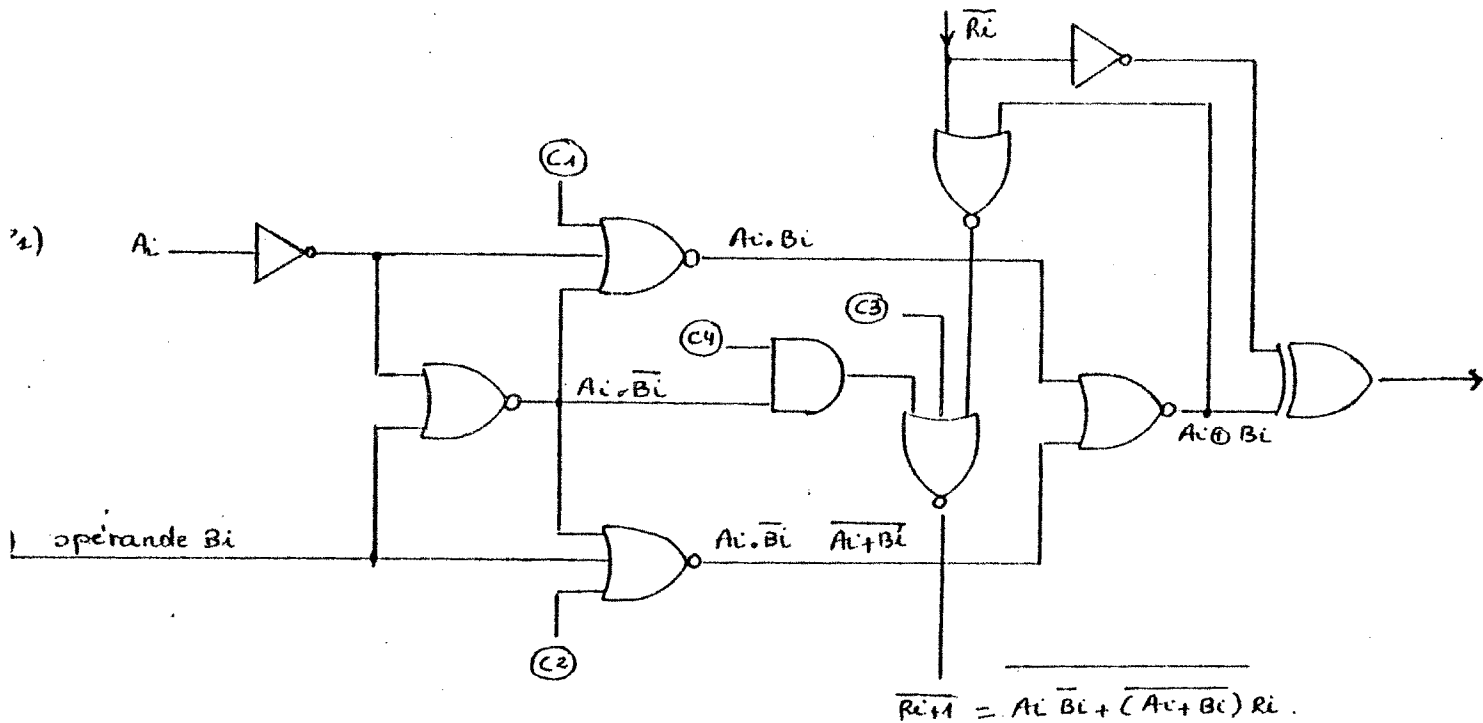
Le nombre de commandes peut encore être ramené au nombre de quatre sans pour autant effectuer un décodage localisé de ces commandes. La figure 2-18 donne le schéma définitif de l'opérateur du P68 ainsi que le profil des 4 commandes pour chaque opération. L'inverseur placé entre le report entrant et le OU exclusif sert à diminuer la capacité liée au report afin d'augmenter sa vitesse de propagation.



R_0	C_1	C_2	C_3	C_4	C_5	C_6	C_i
C_{in}	0	0	0	0	0	0	$A_i \oplus B_i \oplus R_i$
φ	0	0	0	1	0	0	$A_i \oplus B_i$
φ	0	1	0	1	0	0	$A_i + B_i$
0	1	0	1	0	0	0	$A_i \cdot B_i$
0	φ	0	1	0	0	0	B_i (A = "FF")
φ	φ	0	0	1	0	0	$\overline{B_i}$ (A = "FF")
bit entrant	φ	0	0	0	1	0	$B_i - 1$ (A = "FF")
1	φ	0	0	0	0	0	$B_i - 1$ (A = "FF")
0	0	0	0	0	0	1	$B_i + 1$ (A = "0")

Figure 2-17

Schéma non optimisé de l'opérateur complet



Les fonctions représentées sur le schéma correspondent à des commandes inactives c'est-à-dire $(C1, C2, C3, C4) = (0, 0, 0, 1)$.

Le tableau ci-contre a été défini dans le cas où l'entrée A de l'opérateur reçoit l'opérande OP1 tandis que l'entrée B peut recevoir OP2 complémenté ou non.

Figure 2-18
Opérateur du P68

A_i	B_i	C1	C2	C3	C4	$\overline{R_0}$	$\overline{R_i+I}$	$\overline{S_i}$	opération
$OP1_i$	$OP2_i$	0	0	0	1	$\overline{C_{in}}$	$A_i\overline{B_i} + \overline{(A_i\oplus B_i)}$	$A_i\oplus B_i$	addition : $OP1+OP2+C_{in}$
$OP1_i$	$OP2_i$	0	0	0	1	C_{in}	$A_i\overline{B_i} + \overline{(A_i\oplus B_i)}$	$A_i\oplus B_i$	soustraction : $OP1-OP2-C_{in}$
$OP1_i$	$\overline{OP2_i}$	0	0	0	0	1	$\overline{(A_i\oplus B_i)}$	$A_i\oplus B_i$	disjonction : $OP1\oplus OP2$
$OP1_i$	$OP2_i$	1	0	1	0	0	$= I \ \Delta_i \ R_0 = 0$	$R_i = 0$	$OP1\oplus OP2$
$OP1_i$	$OP2_i$	1	0	1	0	0	0	$(A_i+B_i)\oplus R_i$	OU logique : $OP1+OP2$
$OP1_i$	$OP2_i$	0	1	0	0	1	$\overline{(A_i\oplus B_i)}R_i$	$\overline{(A_i\oplus B_i)}R_i$	ET logique : $OP1.OP2$
							$= I \ \Delta_i \ R_0 = 0$	$= A_i B_i \ \Delta_i$	
								$R_i = 0$	

Tableau de la figure 2-18

Pour les opérations portant sur un seul opérande (OP2), l'entrée A de l'opérateur reçoit la donnée hexadécimale "FF" (OP1 = "FF"). Le schéma de l'opérateur se ramène ainsi à celui représenté figure 2-18 bis dans lequel la commande n'apparaît plus.

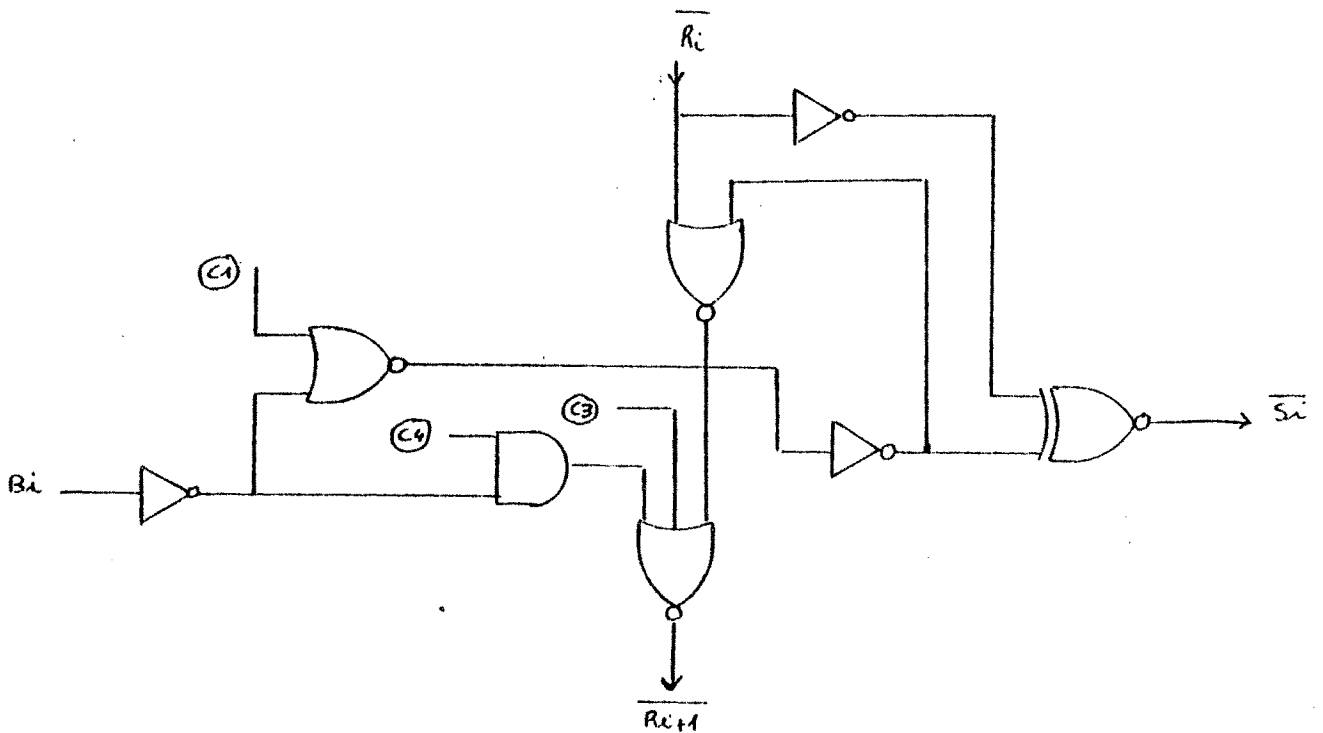


Figure 2-18 (bis)

Schéma de l'opérateur de la figure 2-18 lorsque

$$A_i = 1$$

CP2	B _i	C1	C3	C4	R ₀	R _{i+1}	S _i	opération
	$\overline{OP2i}$	1	0	1	$\overline{\text{bit entrant}}$	B _i	$I \oplus R_i = \overline{R_i} = B_i - I$	décalage gauche
	OP2i	0	0	0	0	$\overline{B_i R_i}$	$\overline{B_i \oplus R_i}$	incrémentatation
	$\overline{OP2i}$	0	0	0	0	$\overline{B_i R_i}$	$\overline{B_i \oplus R_i}$	complément à 2 (OP2i) OP2+1

Ce nouvel opérateur permet donc de réaliser le décalage gauche, l'incrémentatation et le complément à 2 sans avoir à forcer l'opérande OPI à zéro, d'où l'économie d'une commande.

Tableau de la figure 2-18 (bis)

Le schéma de l'opérateur arithmétique et logique étant défini, il faut maintenant déterminer quels seront les éléments semi-statiques de cet opérateur qui permettent un allongement indéfini de la phase $\phi 2$ sans perte d'information. Un élément de mémorisation semi-statique est représenté sur la figure 2-19 : au temps $T1$ a lieu le chargement du point mémoire, et au temps $T2$ se fait le bouclage qui permet de conserver l'information précédemment chargée.

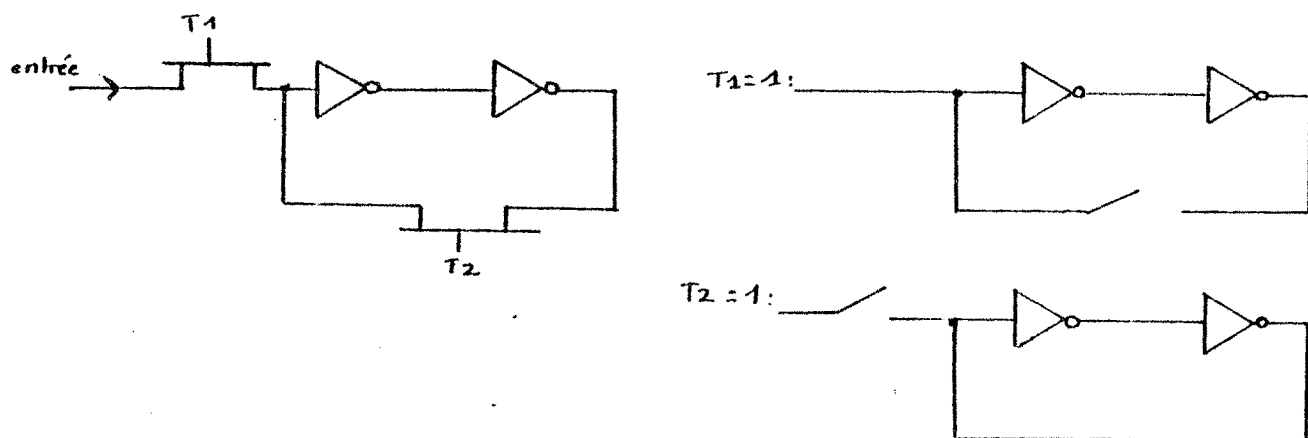


Figure 2-19

Point de mémoire semi-statique

On a le choix entre mettre des éléments de mémorisation semi-statiques sur :

- chacune des deux entrées de l'opérateur arithmétique
- ou sur la sortie de cet opérateur

La deuxième solution offre l'avantage de n'utiliser qu'un

seul élément de mémorisation (une seule donnée à mémoriser), mais par contre introduit une phase spéciale issue de la décomposition de la phase ϕ_2 en une phase normale ϕ_{2N} , et une phase allongée ϕ_{2L} , comme le montre la figure 2-20. En effet la phase ϕ_2 ne peut être allongée que d'un multiple de sa période de base. Si ϕ_{2N} représente cette période de base, et ϕ_{2L} l'allongement de cette phase, on retrouve le dessin de la figure 2-21.

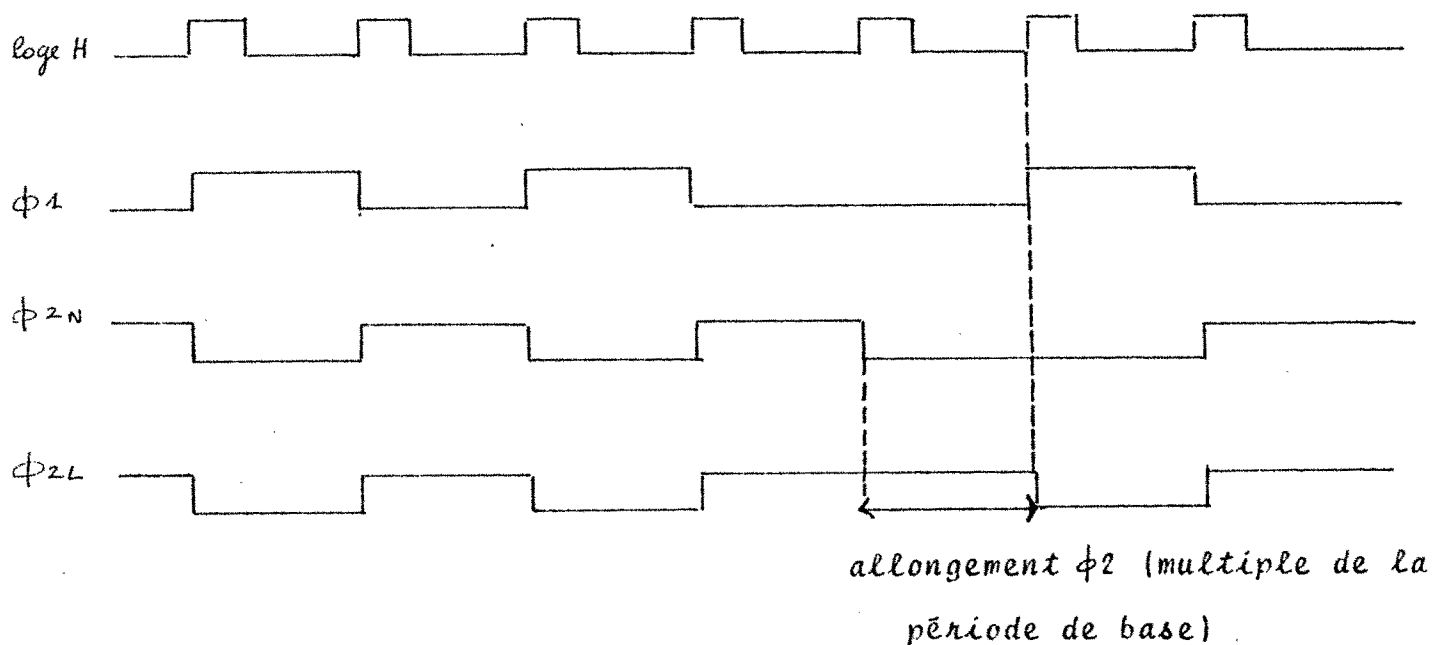


Figure 2-20

Allongement de la phase ϕ_2

Sur la phase ϕ_1 les opérandes sont acheminés vers les deux entrées de l'opérateur arithmétique puis il y a un début de calcul (ce calcul ne se termine que durant la phase ϕ_2). Le

point mémoire semi-statique placé sur la sortie de l'opérateur ne peut donc pas être chargé sur $\phi 1$, mais sur $\phi 2$ afin de mémoriser un résultat correct. Le bouclage du point mémoire doit aussi se faire sur cette même phase. D'où l'idée de charger le point mémoire sur la phase $\phi 2N$, et d'effectuer le bouclage sur la phase $\phi 2L$ qui correspond à un allongement de cette phase, et sur laquelle il faut nécessairement mémoriser les informations volatiles à conserver (figure 2-21).

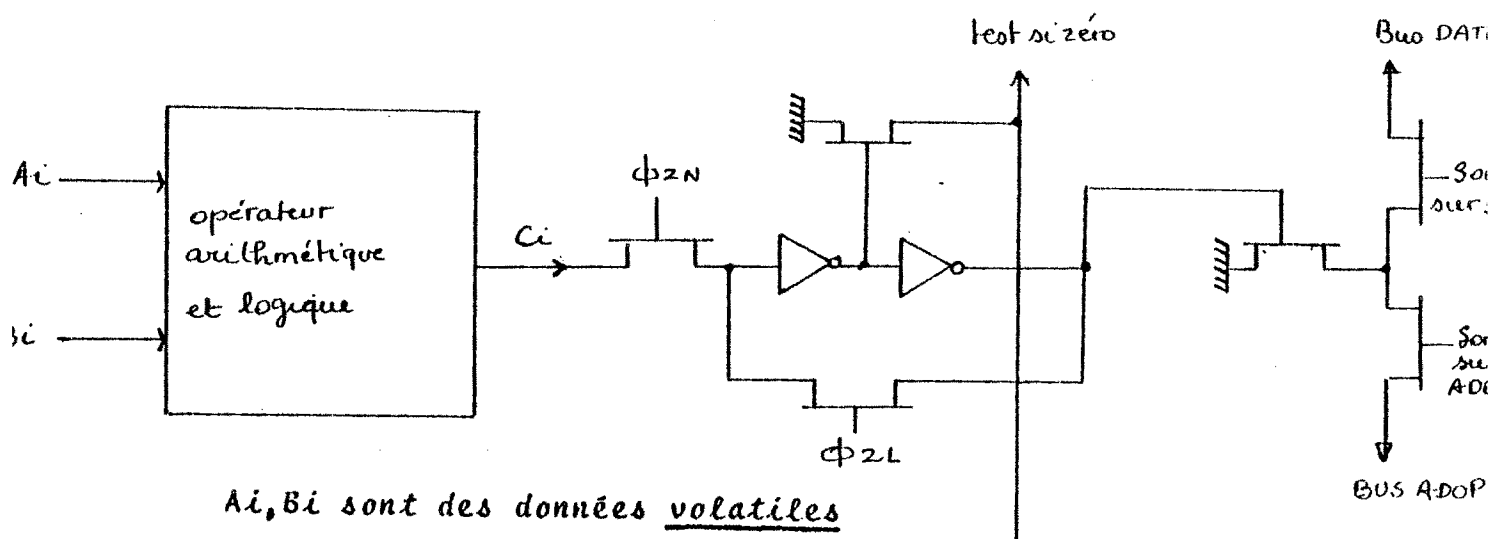


Figure 2-21

Elément de mémorisation en sortie de l'opérateur.

Le calcul des différents flags s'effectue comme suit :

- la retenue sortante (C) est issue du circuit de report (R7), ainsi que la demi-retenu (R3) après passage à travers un

inverseur de puissance

- l'indicateur de débordement (D) est calculé en formant le OU exclusif des retenues R7 et R6 fournies par la chaîne de propagation

- le signe (S) est égal au bit poids fort du résultat de l'opération (C7)

- le test si résultat nul est obtenu en faisant le NOR de la sortie C de l'opérateur (figure 2-21).

L'opérande A de l'opérateur arithmétique correspond à la donnée présente sur le bus DATA échantillonnée par la phase $\phi 1$.

Quant à l'opérande B il est issu de l'aiguillage entre la donnée présente sur le bus ADOP, son complément, cette donnée décalée à droite, et la correction nécessaire lors d'un ajustement décimal.

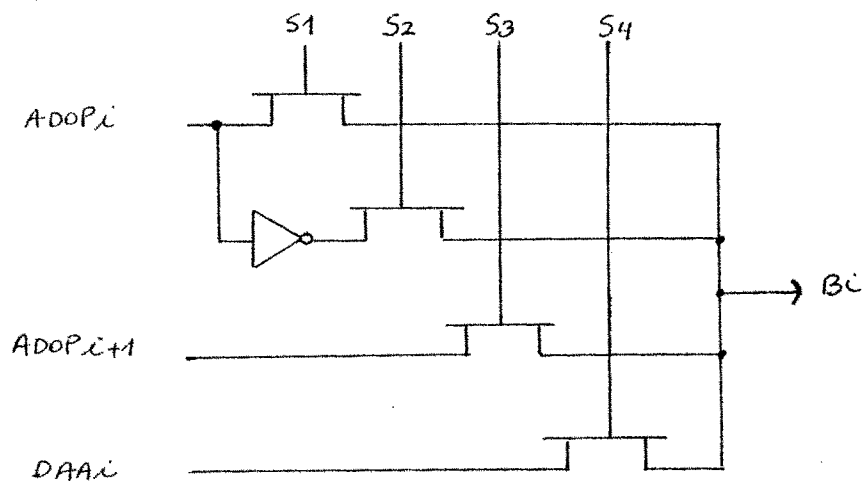


Figure 2-22

Aiguillage avec des MOS série.

La manière la plus simple mais qui nécessite 4 commandes mutuellement exclusives, est donnée sur la figure 2-22. C'est ce qui est utilisée dans le 6800.

On peut aussi réaliser un codage complet afin de réduire le nombre de commandes à deux (figure 2-23), ceci au prix d'un décodage local coûteux.

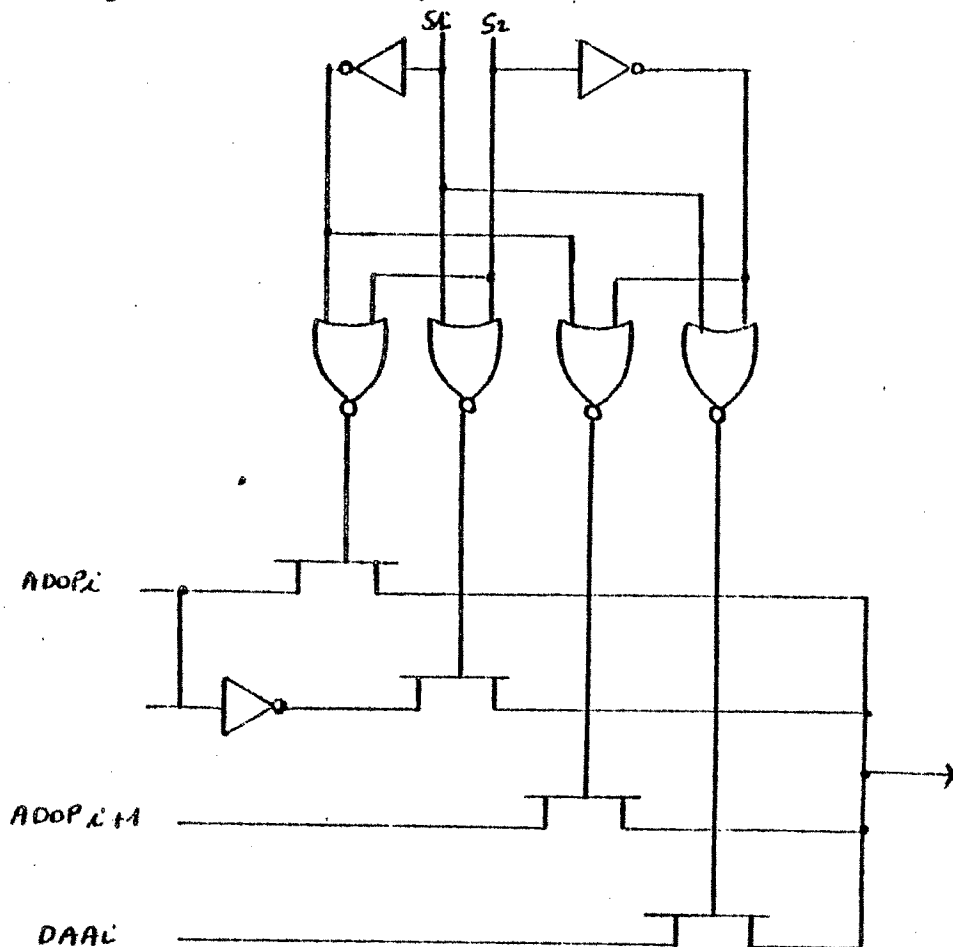


Figure 2-23

Aiguillage avec codage des commandes.

S1	S2	Bi
0	0	\overline{ADOPi}
0	1	DAAi
1	0	ADOPi
1	1	ADOPi+1

On peut encore effectuer un codage partiel, mais sans utiliser de transistors série. La figure 2-24 en donne un exemple

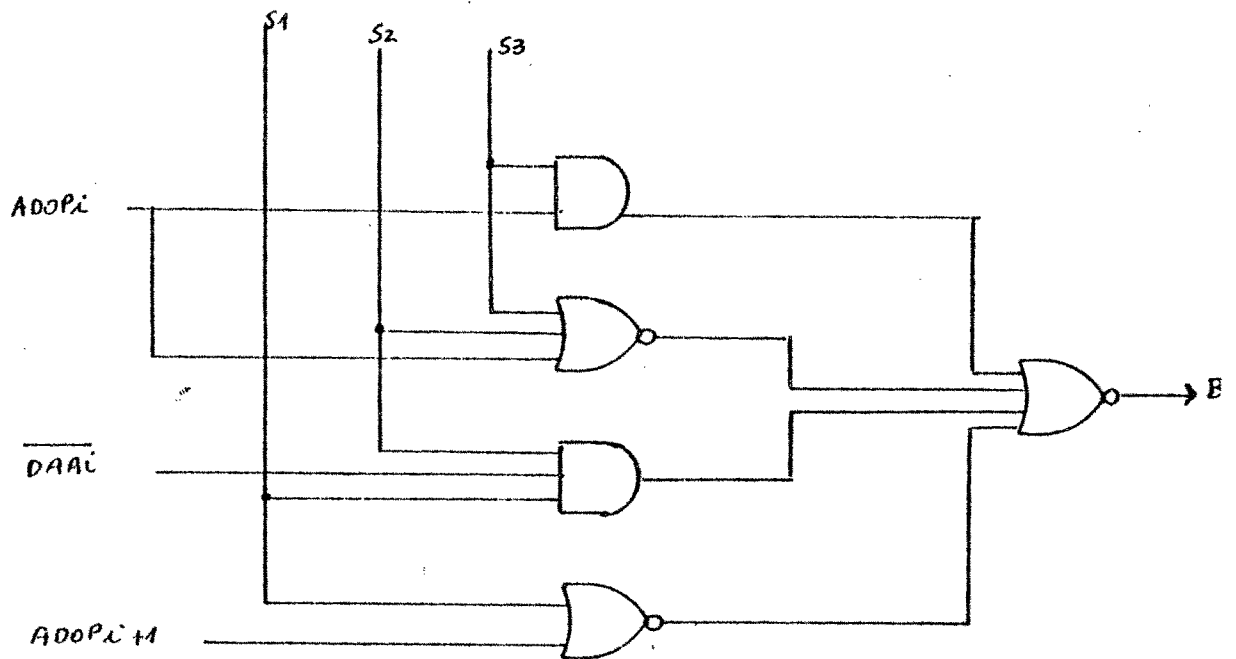


Figure 2-24

Circuit de sélection avec codage partiel des commandes.

S1	S2	S3	B_i
1	0	0	$ADO P_i$
1	0	1	$\overline{ADO P_i}$
1	1	0	DAA_i
0	1	0	$ADO P_{i+1}$

Un décodage local des commandes, même partiel, s'avère coûteux du point de vue surface occupée. La surface gagnée en économisant une commande est perdue au profit d'une partie du décodage

Le premier système semble donc être celui qui occupe le moins de surface.

II - 3 LE CIRCUIT DE PARITE ET LES ACCUMULATEURS

II - 3-1 LE CIRCUIT DE PARITE

La parité permet de détecter des erreurs lors de la transmission d'informations. Pour cela elle détermine si il exist un nombre pair (parité paire), ou impair (parité impaire) de 1 dans le profil binaire correspondant à l'information à tester.

Une façon simple pour calculer la parité d'une donnée est de travailler bit après bit. Plaçons nous sur le bit de rang i , et appelons p_i la parité entrante et p_{i+1} la parité sortante, toutes deux codées sur un seul bit :

On voit que :

- si $bit_i = 0$ alors $p_{i+1} = p_i$ (parité inchangée)
- si $bit_i = 1$ alors $p_{i+1} = \overline{p_i}$ (parité complémentée)

En effet dans ce cas la rencontre d'un nombre pair de 1 ne modifie pas la parité, tandis que la rencontre d'un nombre impair de 1 la complémente. Si on prend la parité initiale égale à zéro, la parité finale vaudra toujours zéro si la parité est paire et un si elle est impaire (figure 2-25).

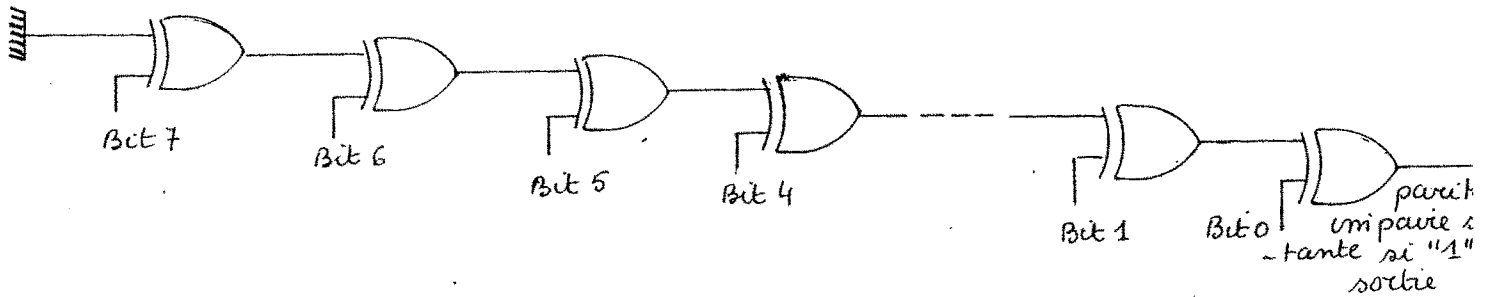


Figure 2-25

Calcul de la parité pour une donnée sur 8 bits

La parité se calcule donc très simplement en mettant des OU exclusif en série.

Un OU exclusif occupe beaucoup de place. On a vu dans le paragraphe précédent que le système de sélection choisi pour l'opérande B comporte 4 commandes et peu de portes logiques (figure 2-23). Pour la parité c'est le contraire : elle comporte une porte logique qui occupe une grande surface, mais n'a besoin d'aucune commande. Il faut toujours chercher à trouver un équilibre afin de minimiser la surface de silicium occupée. En implantant ces deux circuits au même endroit on peut trouver un bon compromis : le circuit de parité viendra se placer sous les fils amenant les commandes du circuit de sélection.

REMARQUES

① Le OU exclusif peut être réalisé comme l'indique la figure 2-26. Dans ce cas la tension de sortie correspondant à l'état "1" vaut 3,7 volts au lieu de 5 volts, à cause de la perte de seuil dû à l'effet de substrat des MOS série.

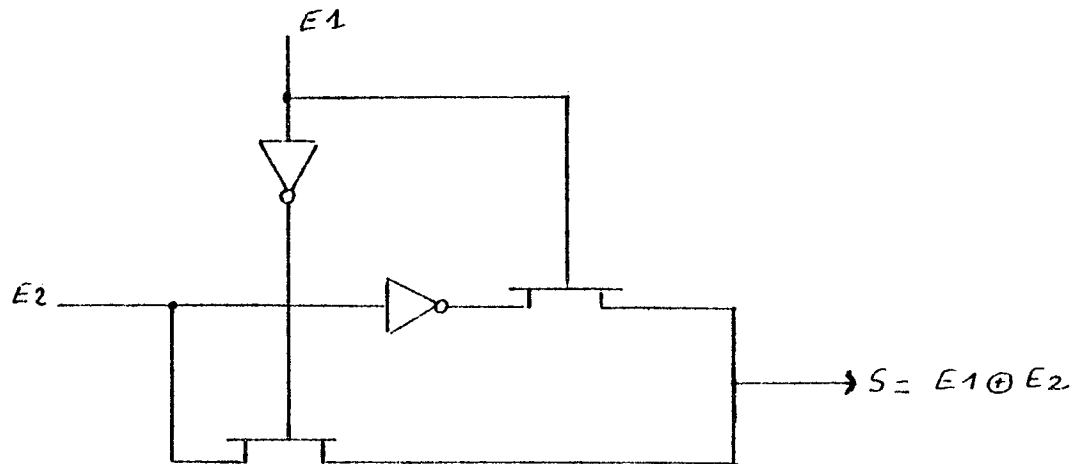
Figure 2-26

Schéma de OU exclusif

On peut alors envisager un circuit de parité utilisant cette porte (figure 2-27-a). Lorsque tous les bits sont dans l'état "1" on obtient le circuit équivalent de la figure 2-27-b. La tension correspondant à l'état "1" se dégrade de plus en plus jusqu'à être confondue avec un "0" logique. Un tel circuit ne fonctionne pas, et il est donc à proscrire.

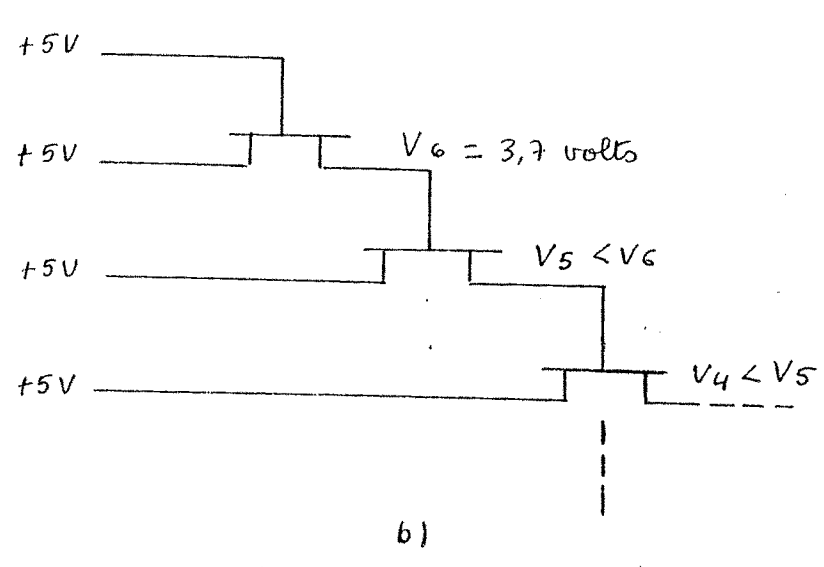
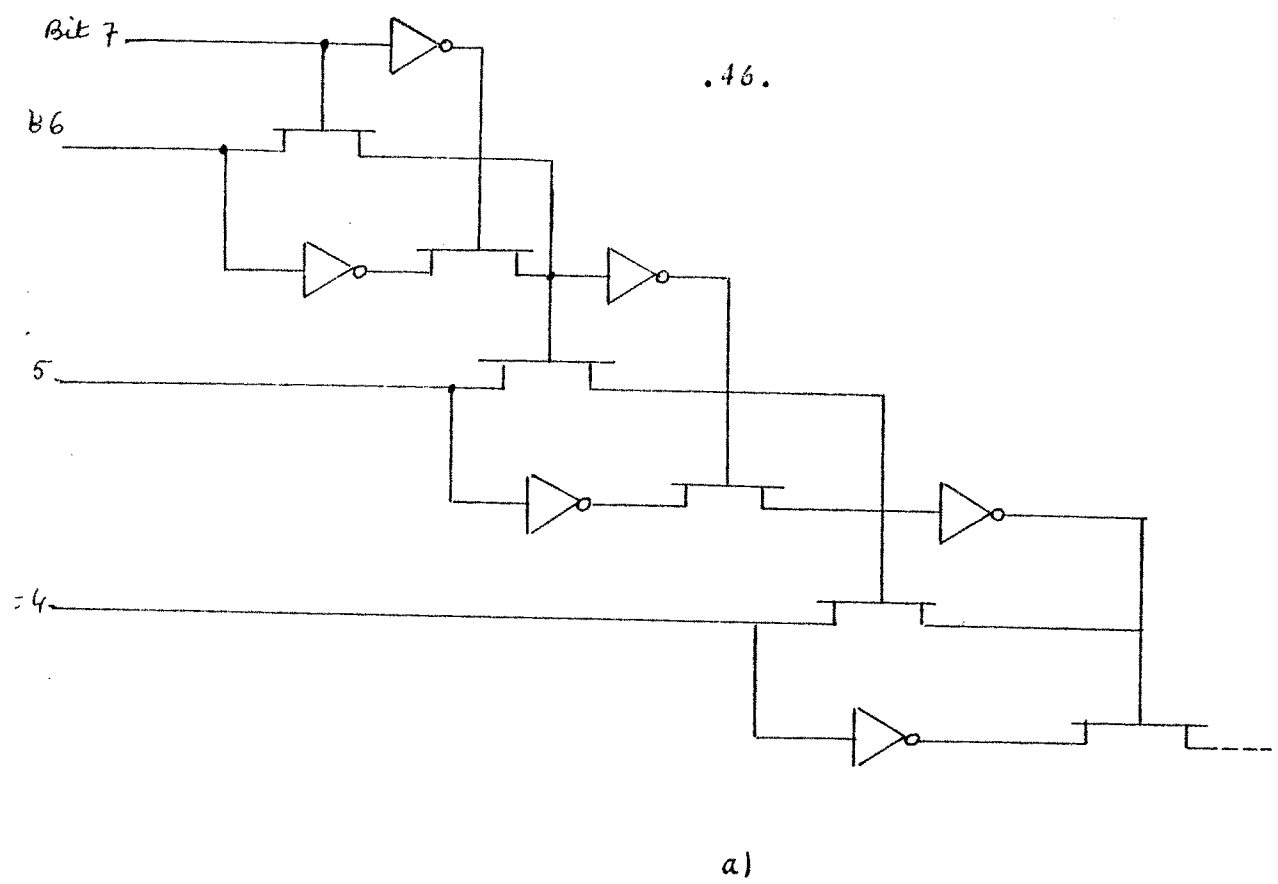


Figure 2-27
exemple de montage incorrect détériorant
le niveau des "1" logiques.

② On aurait encore pu envisager le circuit dynamique de la figure 2-28.

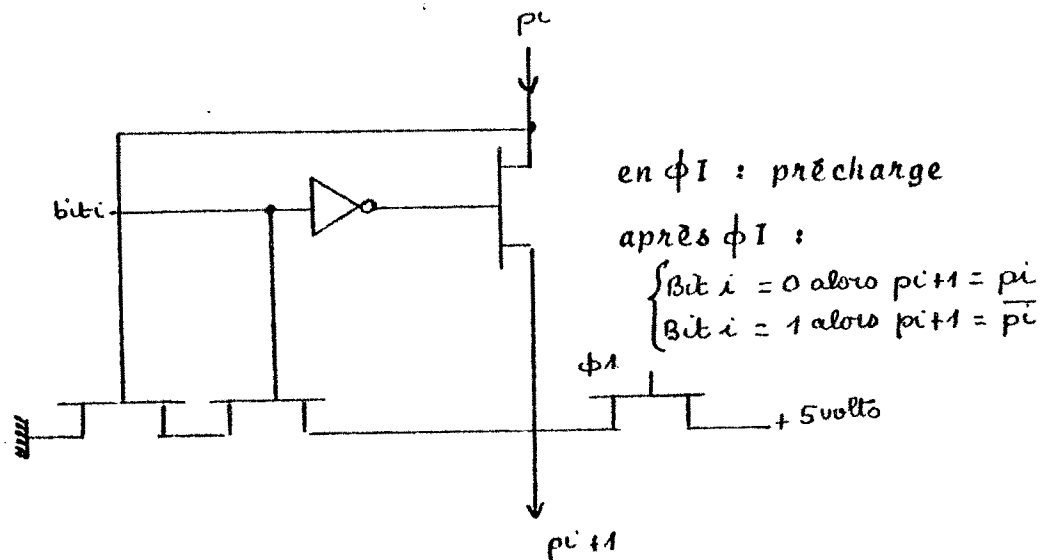


Figure 2-28

Circuit dynamique de calcul de la parité

Mais il y a un cas où ce circuit dynamique ne marche pas. En effet si, lors de la précharge $p_i = \text{bit } i = 1$, le noeud p_{i+1} est mis à zéro. La précharge finie, le noeud p_i peut, après un temps de calcul, passer à zéro. Dans ce cas le noeud p_{i+1} doit prendre l'état "1", ce qui est impossible puisqu'il est à zéro, et que le MOS de précharge est bloqué.

Cet exemple illustre les limites de fonctionnement d'un circuit dynamique : pendant la précharge il ne doit pas y avoir de mise à zéro temporaires, car lors du calcul seuls les zéros peuvent se propager ; en effet il est impossible de remettre à

"1" un noeud précédemment déchargé.

Dans ce cas particulier la difficulté peut être levée en utilisant deux lignes complémentaires pour la propagation de la parité (figure 2-29).

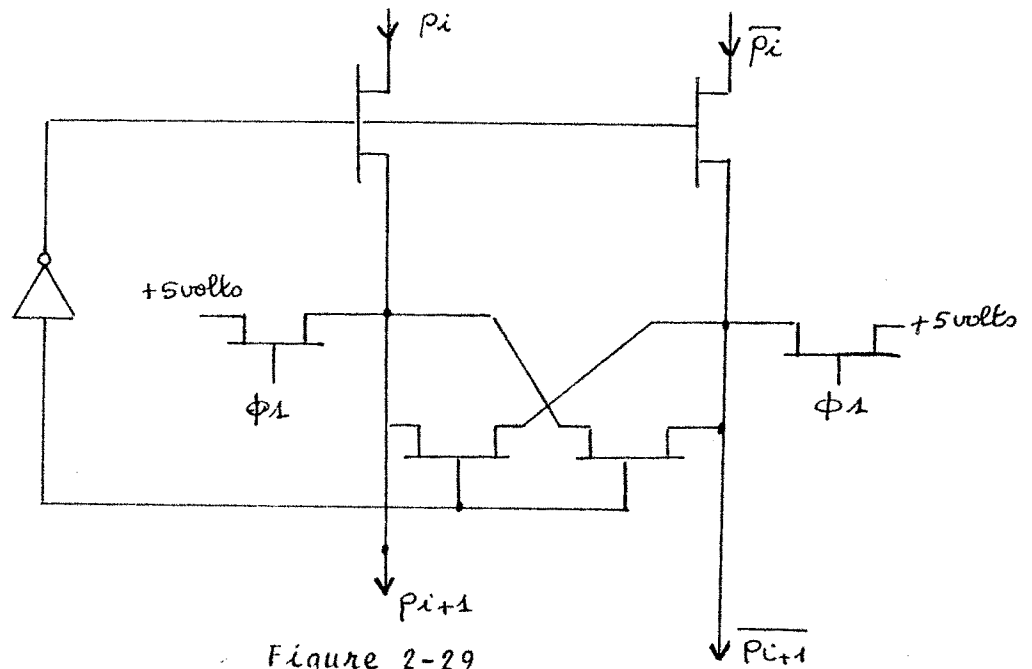


Figure 2-29

Circuit dynamique correct pour le calcul de la parité.

Ce circuit dynamique comporte 8 transistors, contre 7 pour un OU exclusif statique composé de deux NORs et un ET. Il occupe donc un peu plus de place, mais est par contre beaucoup plus rapide que le circuit statique. Comme on dispose de 500 ns pour calculer la parité, c'est donc le circuit statique qui a été choisi car le circuit dynamique exige 1 fil supplémentaire (pour $\overline{P_i}$) ainsi qu'une commande de précharge.

II - 3-2 CORRECTION APRES UNE ADDITION/SOUSTRACTION

DECIMALE.

Le résultat d'une addition ou d'une soustraction décimale doit nécessairement se trouver dans l'accumulateur A. C'est en testant le contenu de cet accumulateur, ainsi que le report (C), et le demi-report (HC) positionnés par l'addition/soustraction décimale, que l'on peut déterminer la correction à effectuer.

Lorsqu'on fait une opération arithmétique décimale sur 8 bits, on effectue en fait l'opération arithmétique parallèle de deux nombres décimaux.

Par la suite toute notation hexadécimale ou décimale sera entourée de doubles guillemets. Par exemple le nombre binaire 01101011 aura pour représentation hexadécimale "6B".

II - 3-2-1 CORRECTION APRES UNE ADDITION

DECIMALE.

Pour l'ajustement après une addition décimale

il faut corriger les chiffres qui sont supérieurs à 9. Pour cela on ajoute 6 à ce chiffre car en hexadécimal $F-9 = 6$ (on saute ainsi les chiffres de A à F). Chaque fois qu'on ajoute 6 il y a un report sortant propagé.

Désignons par A_h et A_l , respectivement les 4 bits poids fort et poids faible de l'accumulateur A. Le tableau de la figure 2-30 donne tous les cas de correction possibles, suivant la donnée présente dans l'accumulateur A, et les valeurs de C (retenue), HC (demi-retendue).

C		HC		Correction	
0	"0" - "9"	0	"0" - "9"	accu A + "00"	0
0	"0" - "8"	0	"A" - "F"	accu A + "06"	0
0	"0" - "9"	1	"0" - "3"	accu A + "06"	0
0	A-F	0	0 9	accu A + "60"	1
0	9-F	0	A - F	accu A + "66"	1
0	A-F	1	0 - 3	accu A + "66"	1
1	0-2	0	0 - 9	accu A + "60"	1
1	0-2	0	A - F	accu A + "66"	1
1	0-3	1	0 - 3	accu A + "66"	1

Figure 2-30

Tableau des différentes corrections à réaliser après une addition décimale.

La figure 2-31 fournit un schéma logique, permettant de réaliser la correction nécessaire après une addition décimale.

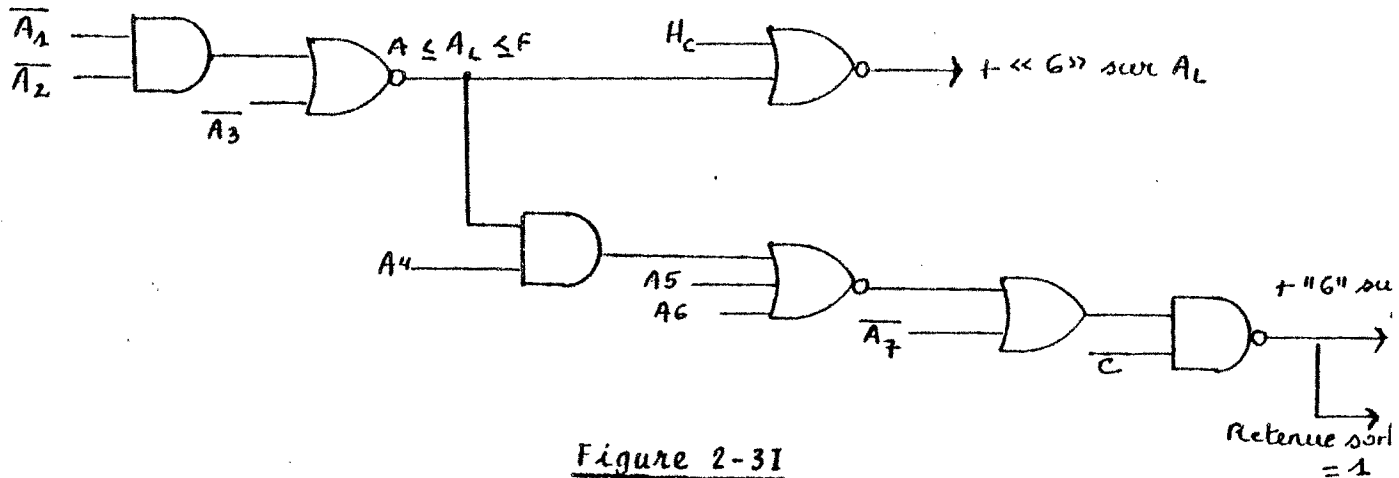


Figure 2-31

Circuit de correction après une addition décimale.

II - 3-2-2 CORRECTION APRES UNE SOUSTRACION

 DECIMALE.

Soient X et Y deux chiffres décimaux (sur 4 bits), et Z la différence $X - Y$.

L'opérateur arithmétique fait : $X - Y = X + Y + 1 = Z$.

Pour les corrections à effectuer il faut considérer 2 cas :

1) $X \geq Y$: alors "0" $\leq Z \leq$ "9",

la retenue sortante vaut 1, et il n'y a aucune correction à faire.

2) $X < Y$: alors "7" $\leq Z \leq$ "F",

la retenue sortante est à zéro, et il faut ajouter "A" au résultat obtenu.

EXEMPLES :

1) "9" - "0" = "9" + "F" + 1 = "9"

2) "0" - "9" = "0" + "6" + 1 = "7"

et "7" + "A" = "1"

En tenant compte de ces résultats on obtient le tableau de la figure 2-32 après une soustraction binaire portant sur un octet.

C	AH	HC	AL	Correction à faire	Retenue à positionner
I	0 - 9	I	0 - 9	accu A + "00"	0
0	7 - F	I	0 - 9	accu A + "A0"	I
I	0 - 8	0	7 - F	accu A + "FA"	0
0	6 - F	0	7 - F	accu A + "9A"	I

Figure 2-32

Différentes corrections à effectuer après une soustraction décimale.

La figure 2-33 donne le schéma logique correspondant au tableau de la figure 2-32.

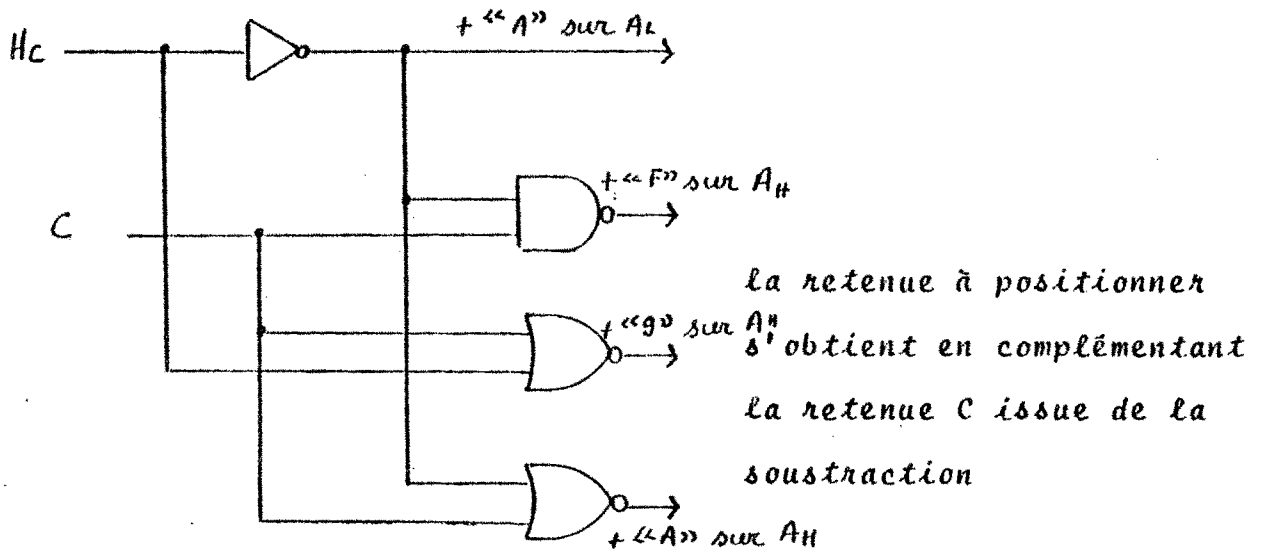


Figure 2-33

Circuit de correction après une soustraction
décimale.

Le circuit de correction va permettre de générer, sur l'entrée B de l'opérateur arithmétique, la donnée à ajouter à l'accumulateur A pour réaliser l'ajustement de la donnée que contient cet accumulateur.

Après optimisation et mise en commun des 2 circuits, on obtient le circuit de correction de la figure 2-34 qui est toujours actif, et qui utilise la commande ADD/SOOS pour déterminer si la correction survient après une addition, ou une soustraction (ADD/SOOS = 1 : correction après addition ;

ADD/SOUS = 0 : correction après soustraction).

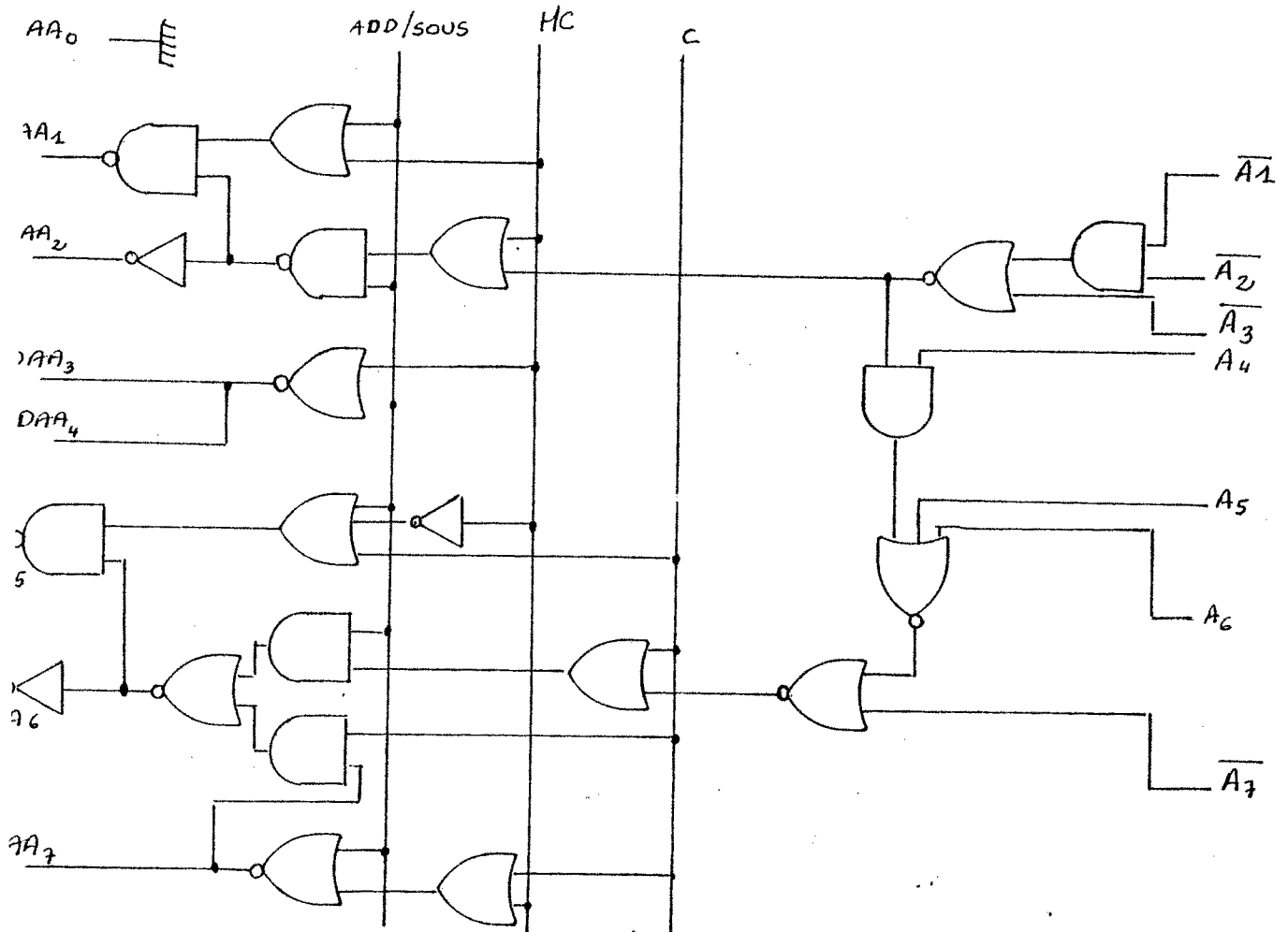


Figure 2-34

Circuit de DAA

11 - 3-3 LES DEUX ACCUMULATEURS

Chaque accumulateur est chargé, à partir du bus ADOP, pendant la phase 1, et mémorise la donnée qu'il contient sur la phase 2. Sur les phases 1 suivantes la donnée précédemment chargée peut alors passer sur un des deux bus à précharge. La figure 2-35 illustre ce fonctionnement. La sortie sur les bus à précharge se fait par l'intermédiaire de deux MOS à enrichissement reliés à la masse. L'un des deux, ou MOS de décharge, est mis en commun pour les deux sorties, tandis que le deuxième transistor réalise l'aiguillage. C'est un montage simple qui minimise le matériel utilisé mais qui a le désavantage de détériorer le niveau des "1" logiques. En effet lorsque le MOS le plus près du bus est conducteur, tandis que le MOS de décharge ne l'est pas, on introduit une division capacitive entre la capacité liée au bus et celle liée à la liaison entre les deux MOS (voir figure 2-35).

Pour la multiplication binaire et la rotation de digits l'accumulateur A doit pouvoir se décaler d'une position vers la droite. Ceci nécessite donc l'introduction d'un tampon, qui sera réalisé de façon dynamique afin de minimiser sa surface. La figure 2-36 donne le schéma pour deux bits. En 2 le tampon est systématiquement chargé par la donnée contenue dans l'accumulateur, pour ensuite, s'il le faut, effectuer le décalage sur la phase 1 en

forçant le tampon, de façon décalée, dans l'accumulateur.

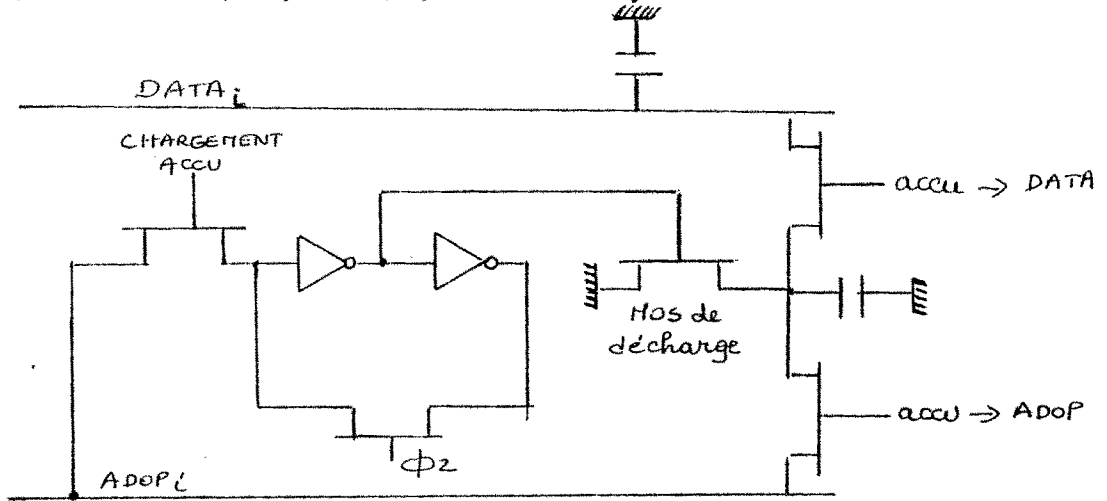
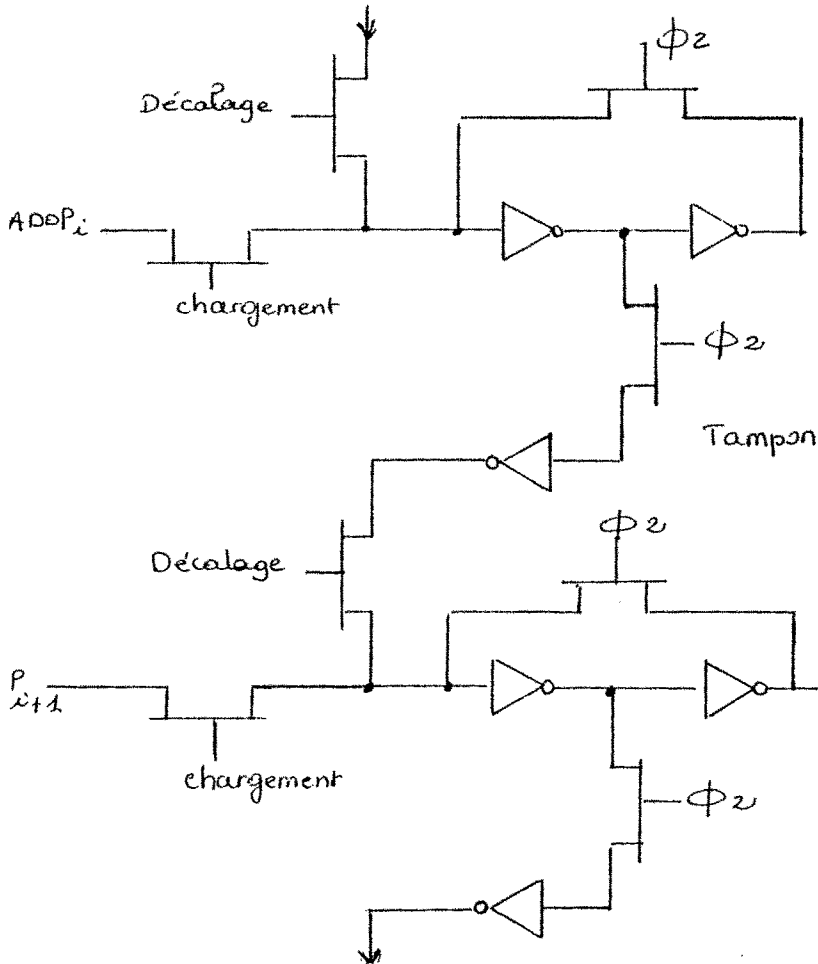


Figure 2-35

Un élément d'accumulateur



NOTE

Il faut calculer la géométrie du point mémoire de façon à ne pas le faire basculer lors du chargement du tampon en ϕ_2 .

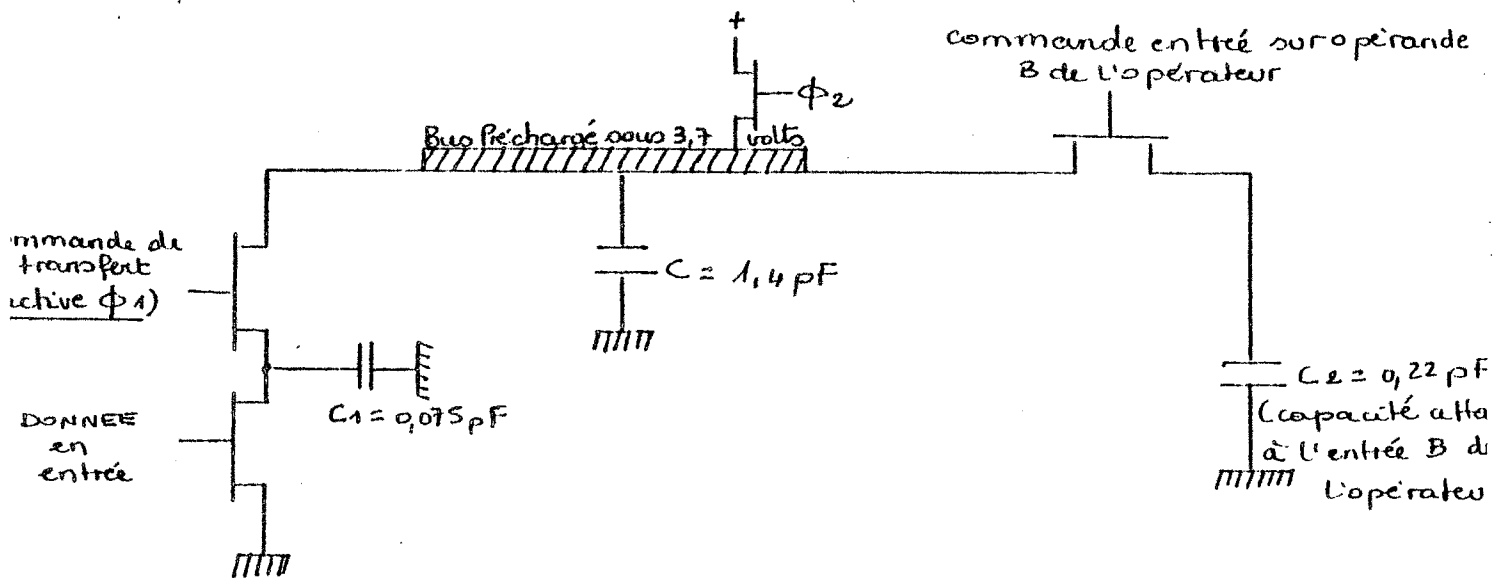
Figure 2-36

Tampon dynamique de l'accumulateur

RECAPITULATION

Le schéma logique complet de l'UAL du P68 est donné dans le paragraphe I de l'annexe avec le profil des différentes commandes pour chaque opération. Dans ce paragraphe figure aussi le dessin d'implantation final où apparaissent les 6 masques nécessaires au processus de fabrication.

La simulation électrique réalisée à partir du dessin des masques a fait apparaître un problème au niveau du bus ADOP. En effet celui-ci est peu capacitif, et lors de l'entrée d'un opérande dans l'opérateur, via le bus ADOP, on obtient le schéma de fonctionnement suivant :



Sur ϕI on a 2 divisions capacitives :

1) entrée de la DONNEE sur le bus ADOP (division capacitive faisant intervenir C1)

2) entrée du bus ADOP sur l'entrée B de l'opérateur (division capacitive faisant intervenir C2).

La division capacitive totale a pour effet de détériorer la tension de précharge du bus dans le rapport.

$$V' = \frac{C}{C + C1 + C2} V \text{ avec } V = 3,7 \text{ volts}$$

La tension correspondant au "1" logique passe ainsi de 3,7 volts à 3,0 volts, tension qui devient inacceptable pour des raisons d'immunité aux bruits et de géométrie des transistors attaqués. Ce problème a été résolu en introduisant un MOS de précharge à déplétion pour le bus ADOP. Ainsi ce bus est-il préchargé sous 5 volts au lieu de 3,7. Mais l'inconvénient de cette méthode réside dans le fait que ce MOS de précharge reste conducteur en dehors de la phase de précharge et qu'il faut adapter les émetteurs sur le bus ADOP afin qu'ils délivrent une tension inférieure à 0,2 volt pour le niveau logique "0".

III - ETUDE ET COMPARAISON DES OPERATIONS ARITHMETIQUES

ET LOGIQUES DE QUELQUES MICROPROCESSEURS.

III - I LES OPERATIONS ARITHMETIQUES ET LOGIQUES DANS

QUELQUES MICROPROCESSEURS.

L'opération arithmétique et logique est le coeur de l'unité arithmétique et logique (UAL). C'est lui qui détermine les caractéristiques et les performances de cette dernière. En règle générale cet opérateur doit être capable de réaliser l'addition et la soustraction, ainsi que les fonctions logiques ET, OU, OU exclusif avec éventuellement les décalages droite et gauche.

Dans un souci de simplification et de clarification les opérateurs qui suivent ne sont pas décrits dans leurs moindres détails : des circuits spéciaux permettant, par exemple, d'effectuer des traitements de données un peu particulier n'ont pas été mentionnés.

III - I-1 LE 8085 DE INTEL

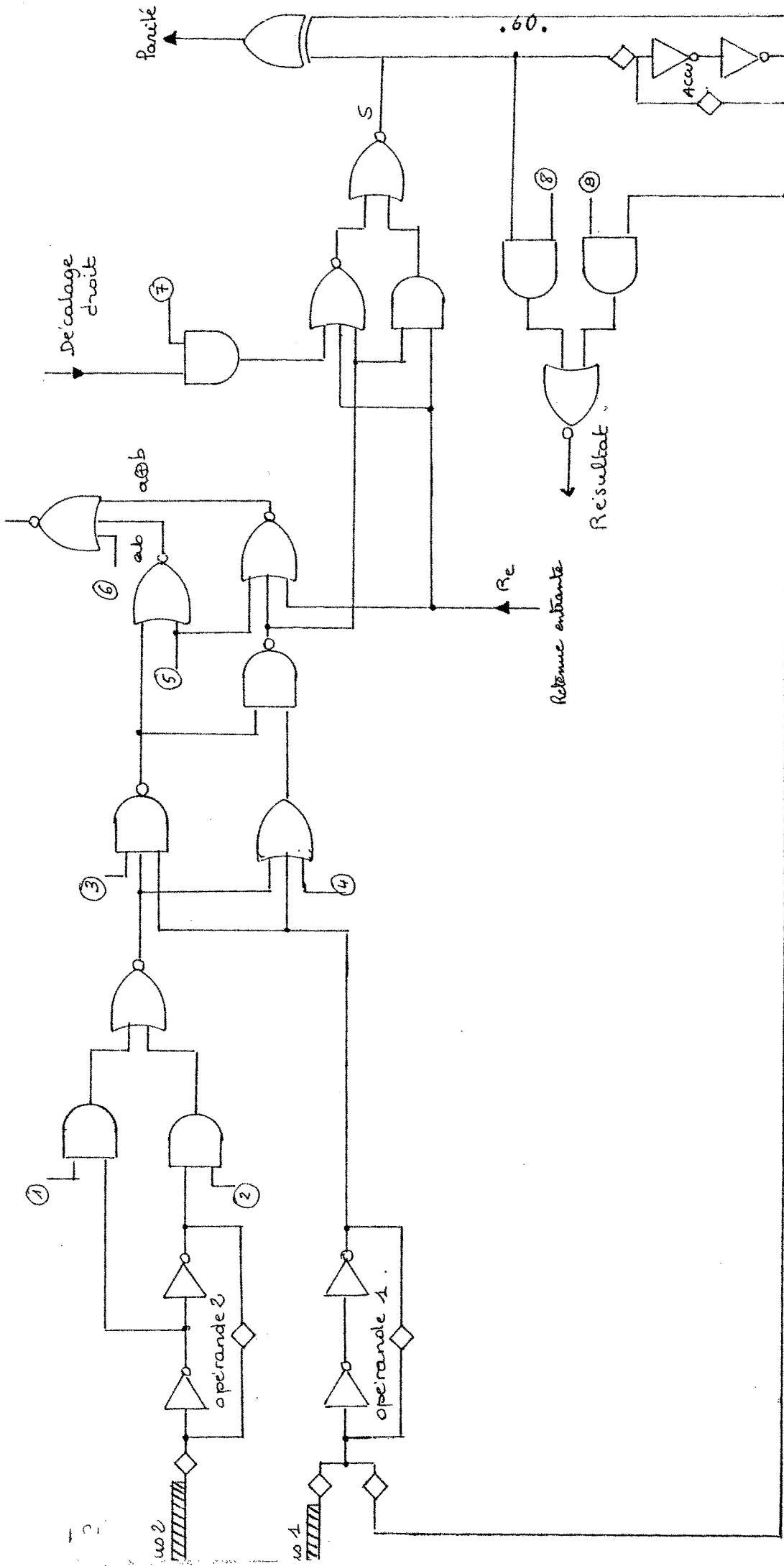


Figure 4-1

Opérateur arithmétique et logique du 8085

Le circuit de report est statique : 2 portes NOR à 3 entrées par étage.

Deux registres semi-statiques autres que l'accumulateur sont placés sur les 2 entrées de l'opérateur, ce qui le rend statique lui aussi puisqu'il peut mémoriser un résultat.

Un circuit de calcul de la parité a été placé sur la sortie. Si on veut déterminer la parité d'une donnée il faut donc la faire transiter par l'opérateur.

Fonctionnement :

Les commandes 1 et 2 permettent de faire entrer une donnée directe ou complémentée dans l'opérateur.

La commande 7 sert au décalage droit.

Les commandes 8 et 9 réalisent le multiplexage de la sortie de l'opérateur et de l'accumulateur, ce qui permet d'économiser un ampli de sortie analogue à celui de la figure 3-2.

1 = 3 = 1
2 = 4 = 5 = 6 = 7 = 0 } addition

1 = 3 = 6 = 1
2 = 4 = 7 = 0
5 = } OU exclusif

2 = 6 = 1
1 = 3 = 4 = 7 = 0
5 =

} OU

2 = 3 = 4 = 5 = 1
1 = 6 = 7 = 0

} ET

Les émetteurs sur les bus sont du type PUSH-PULL comme le montre la figure 3-2

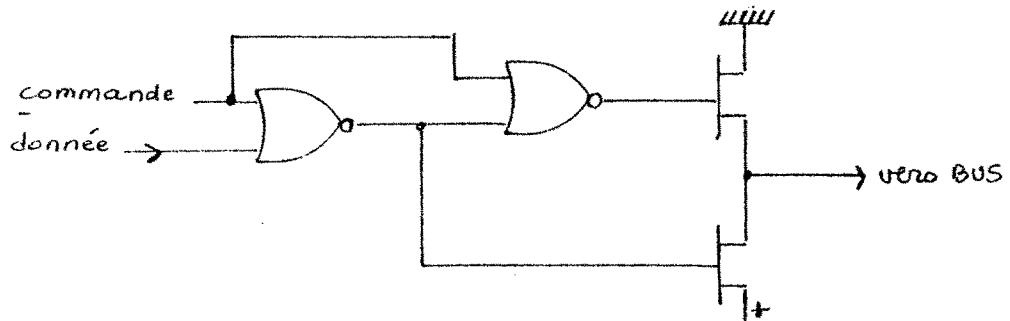


Figure 3-2.

Commande d'un amplificateur PUSH-PULL

III - 1-2 LE Z80 DE ZILOG

L'opérateur arithmétique et logique du Z80 (figure 3-3) travaille sur 4 bits alors que la largeur du chemin de données est de 8 bits. Toute opération sur 8 bits est donc réalisée en 2 coups

successifs : d'abord sur les 4 bits poids faible puis ensuite sur les 4 bits poids fort. Ce système complique le circuit de sélection des entrées de l'opérateur (figure 3-4) puisqu'il faut effectuer un multiplexage des données en entrée.

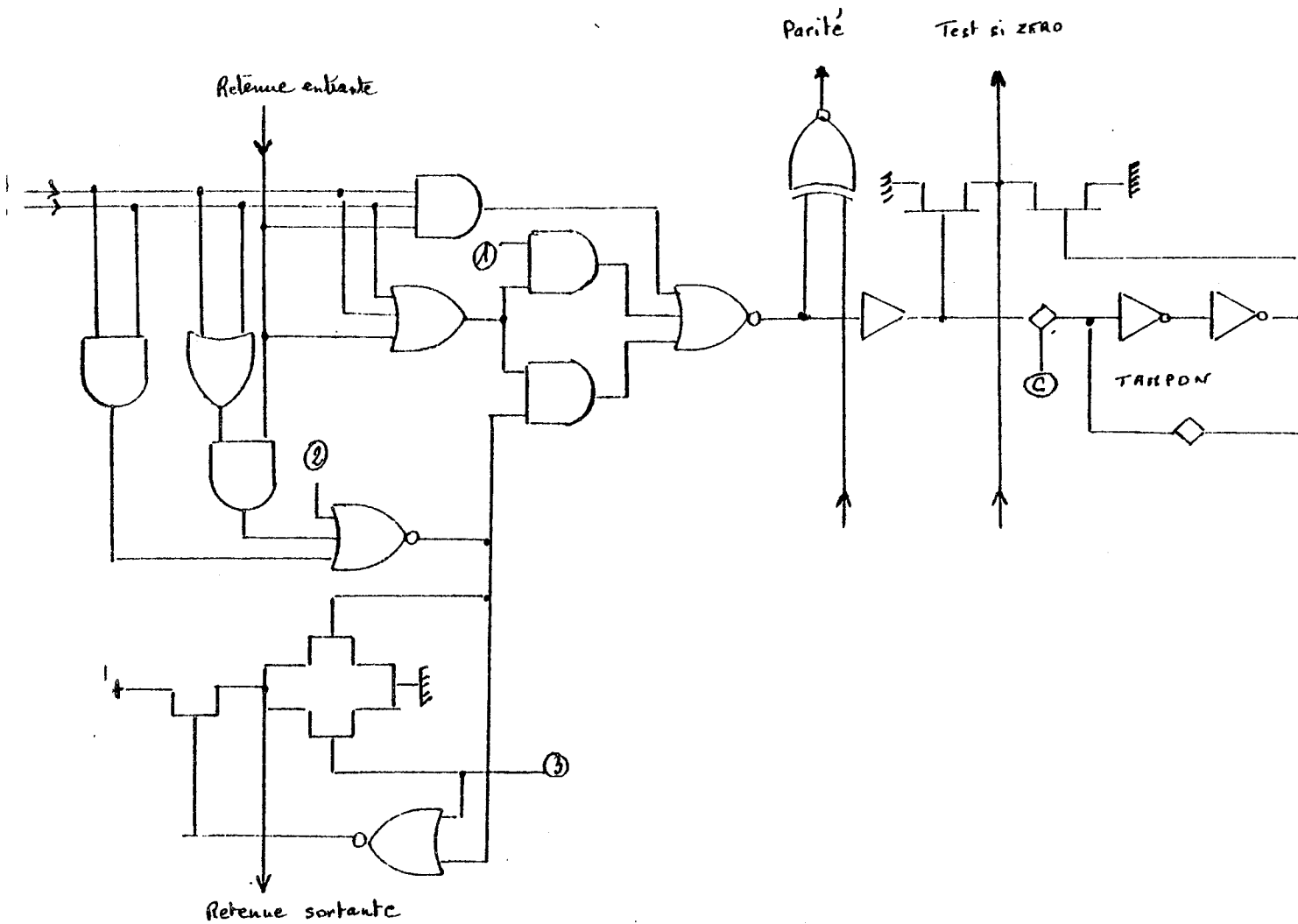


Figure 3-3

Opérateur arithmétique et logique du Z80

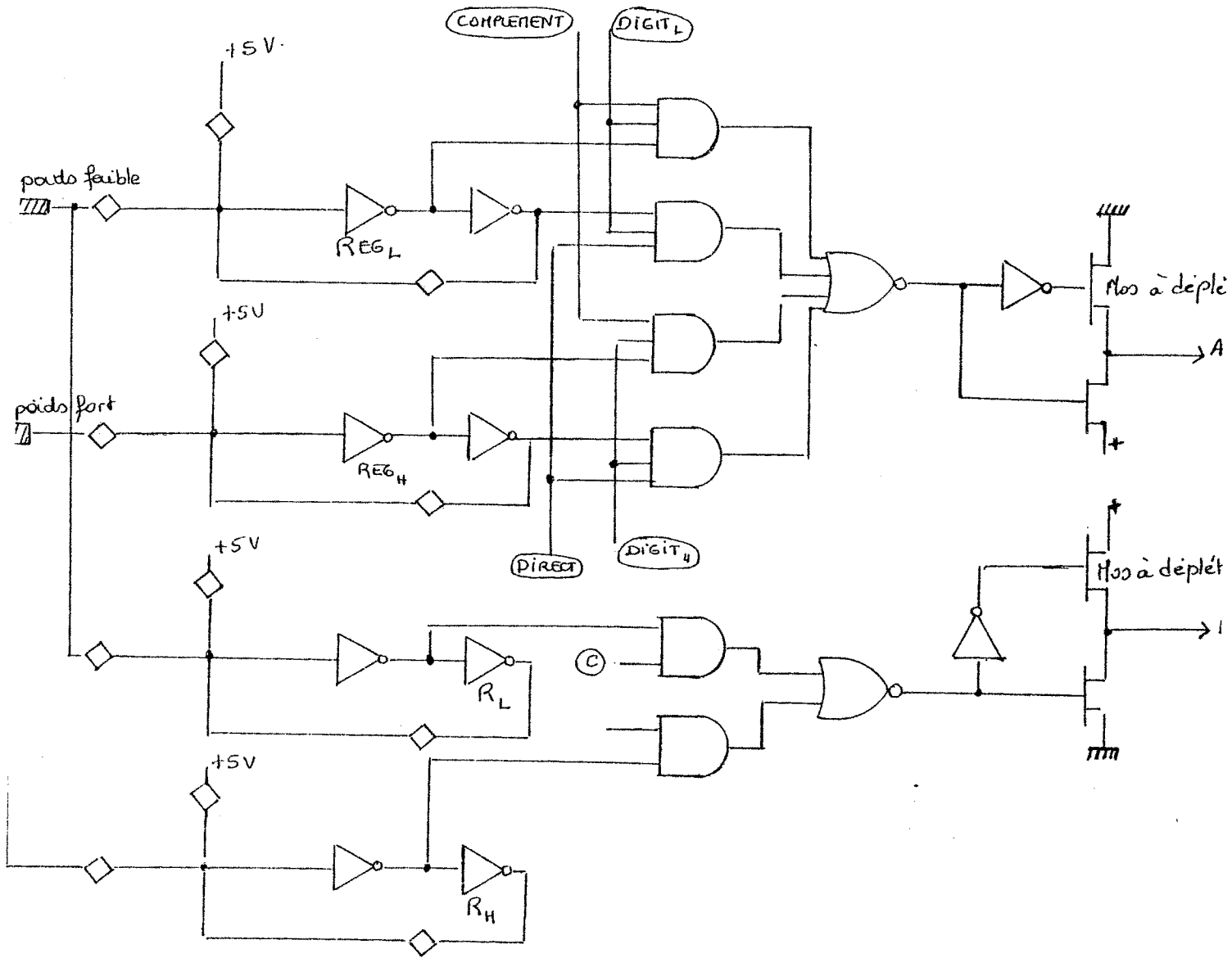


Figure 3-4

Circuit de sélection des entrées de l'opérateur.

Afin d'accroître la vitesse de traitement des amplis PUSH-PULL ont été placés sur chaque entrée de l'opérateur ainsi

que sur le circuit de propagation de la retenue. Dans ce dernier cas l'ampli sert aussi à changer la polarité de la retenue sortante (Rs). Il faut noter que la retenue entrante (Re) attaque 3 grosses grilles (un ET à 3 entrées, un ET à 2 entrées, ainsi qu'un OU à 3 entrées) ce qui augmente sa capacité et pénalise le temps de stabilisation de cette retenue, d'où l'introduction d'amplificateurs PUSH-PULL sur la ligne de report afin d'accroître la vitesse de propagation de cette retenue.

Chaque entrée de l'opérateur attaque aussi ces mêmes 3 grosses grilles, ce qui explique la présence des amplis PUSH-PULL sur ces entrées.

Le circuit de sélection des entrées de l'opérateur est très gros et occupe donc beaucoup de place.

REMARQUE :

C'est la même commande C qui autorise le chargement du tampon et l'entrée du digit poids faible de l'accumulateur dans l'opérateur.

FONCTIONNEMENT :

$I = 2 = 3 = 0$ } addition

$I = 2 = 0$
 $3 = 1$
 $Cin = 0$ } OU exclusif

$$\left. \begin{array}{l} 2 = 1 \\ 1 = 3 = 0 \\ C_{in} = 1 \end{array} \right\} \text{ ET}$$

$$\left. \begin{array}{l} 1 = 3 = 1 \\ 2 = \\ C_{in} = 0 \end{array} \right\} \text{ OU}$$

NOTE :

On remarque une constante dans le schéma logique général. En effet il est largement fait appel à un NOR comportant des portes ET, OU en entrée. Cette solution est bien adaptée à la technologie MOS car utilisant la porte de base la plus complexe, mais a le désavantage d'offrir des capacités élevées pour les signaux d'entrée.

III - 1-3 LE CPI600 DE GENERAL INSTRUMENT

L'étude a été faite par Monsieur ZIAD dans son rapport de D.E.A.

L'opérateur arithmétique et logique travaille sur 8 bits alors que les opérations ont lieu sur 16 bits. Chaque traitement est donc effectué en 2 coups successifs : d'abord sur les

8 bits poids faible, puis ensuite sur les 8 bits poids fort.

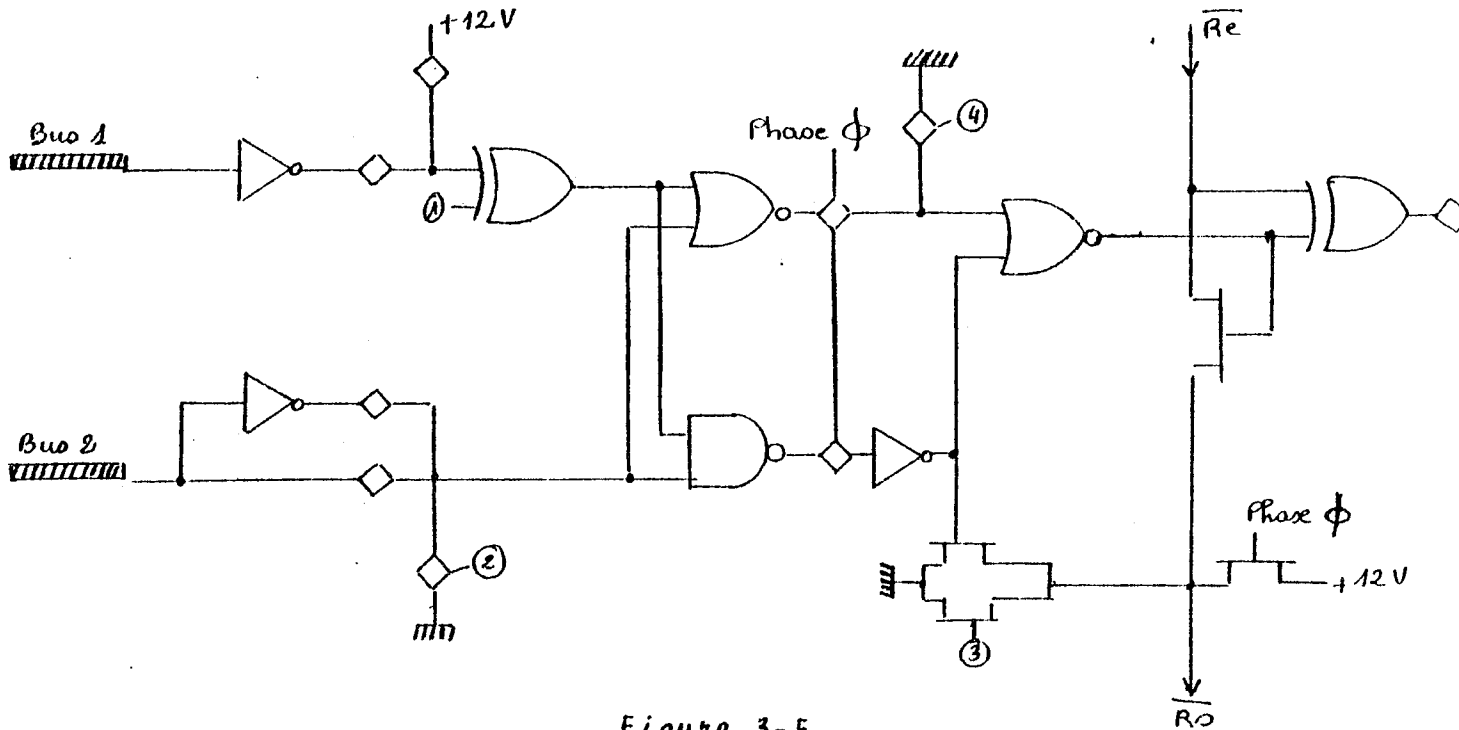


Figure 3-5

Opérateur arithmétique et logique du CPI600

La propagation de la retenue se fait à l'aide d'un circuit dynamique. Il faut toutefois noter que la ligne de report comporte un trigger en son milieu comme dans le MC6800.

Les entrées de l'opérateur, ainsi que la sortie, ne comportent aucun point mémoire. L'opérateur arithmétique et logique ne peut donc mémoriser aucune donnée, et est d'un fonctionnement entièrement dynamique.

Cet opérateur comporte une barrière temporelle placée juste avant le circuit de report dynamique. Ceci détermine le fonctionnement sur les 3 phases suivantes :

- a) entrée des opérandes et début du calcul
- b) précharge de la ligne de report et fermeture de la barrière temporelle (les 2 parties de l'opérateur communiquent).
- c) propagation du report et fin du calcul.

Ce mode de fonctionnement a l'avantage de réduire la durée de la phase de précharge : les données en entrée étant stabilisées et un calcul partiel effectué, les fonctions contrôlant le circuit de report sont stabilisées après la traversée de 2 couches électriques seulement (1 MOS série et 1 porte logique). Ceci limite la consommation puisque le temps où les MOS de précharge sont reliés à la masse, soit momentanément par 1 donnée non stable, soit ultérieurement par 1 donnée stabilisée, est réduit au minimum.

Ce mode de fonctionnement détermine une vitesse légèrement plus grande que celle du MC6800 (travail en 3 phases au lieu de 2). Mais cet inconvénient disparaît lorsqu'on travaille en 2 coups consécutifs car il est alors possible de faire du recouvrement de phases comme l'indique la figure 3-6.

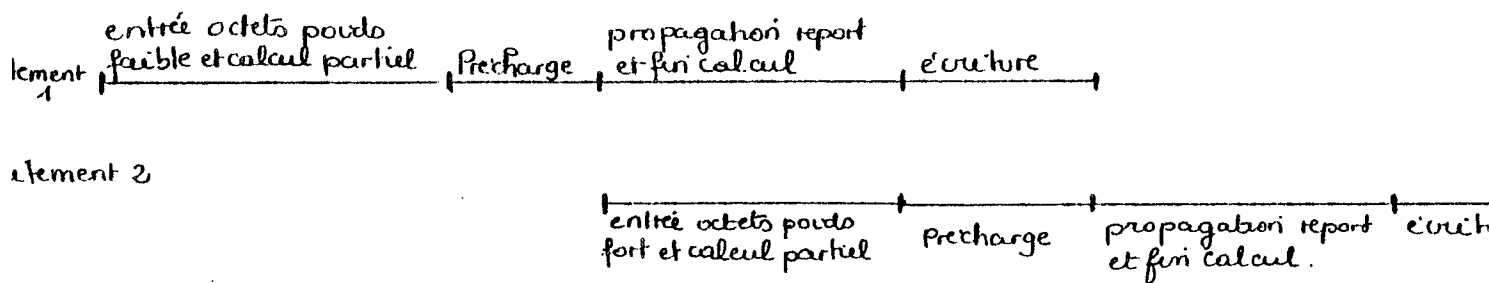


Figure 3-6

Recouvrement des phases dans le cas d'un travail en 2 coups consécutifs.

Opérations réalisées par cet opérateur lorsque sur les 2 entrées apparaissent les données complémentées.

$$\left. \begin{array}{l} 2 = 3 = 4 = 0 \\ 1 = 1 \end{array} \right\} \text{addition}$$

$$\left. \begin{array}{l} 2 = 4 = 0 \\ 1 = 3 = 1 \end{array} \right\} \text{OU exclusif}$$

$$\left. \begin{array}{l} 1 = 2 = 0 \\ 3 = 4 = 1 \end{array} \right\} \text{OU logique}$$

III - 1-4 LE 2650 DE SIGNETICS

Le circuit de sélection des entrées (figure 3-7)

permet de choisir une donnée parmi 4 sur une des 2 entrées tandis que l'autre reçoit la sortie d'un multiplexeur 2 bits complémentée ou non. Sa surface est importante : il occupe 2 fois plus de place que l'opérateur arithmétique et logique lui-même.

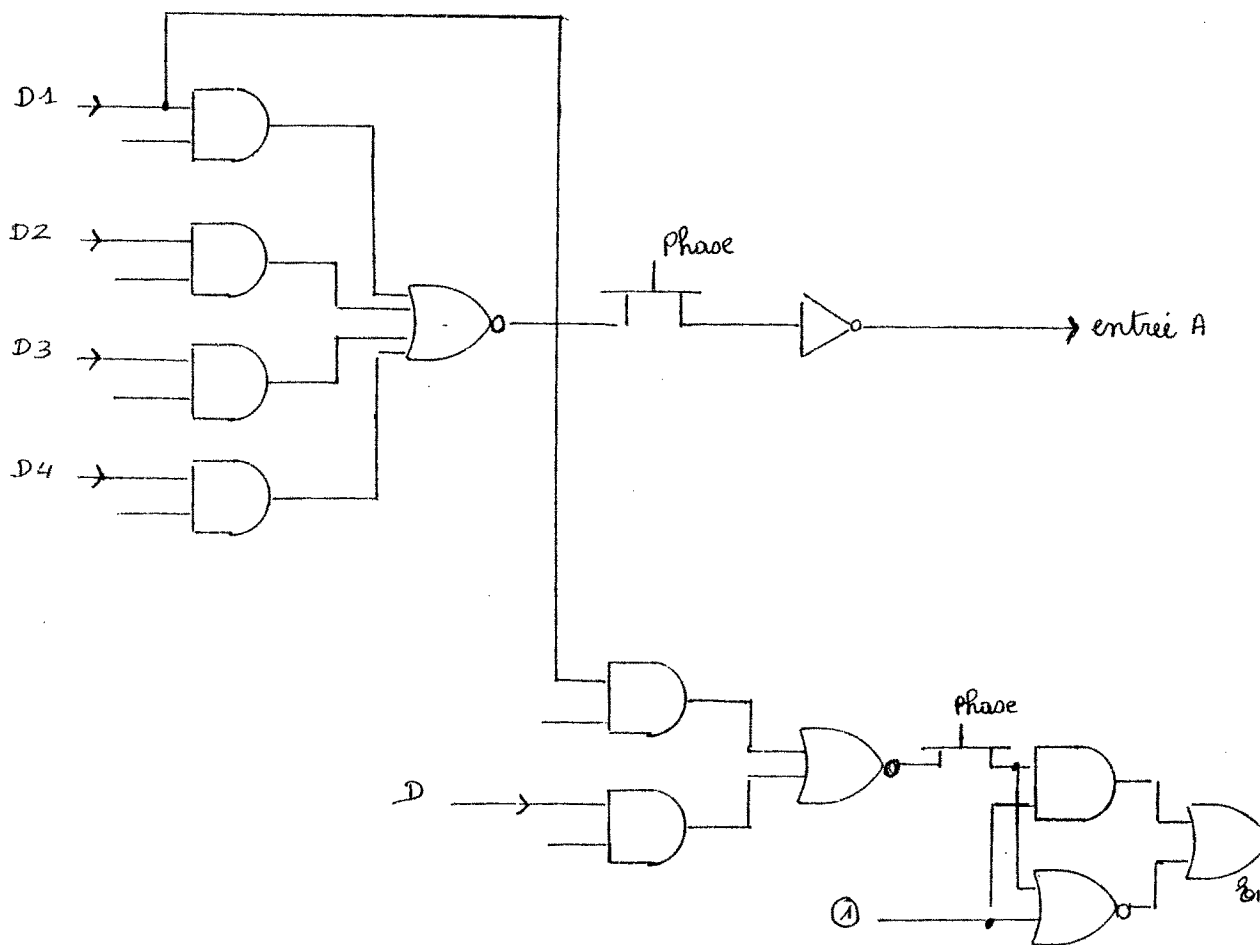


Figure 3-7

Circuit de sélection des entrées de l'opérateur du 2650.

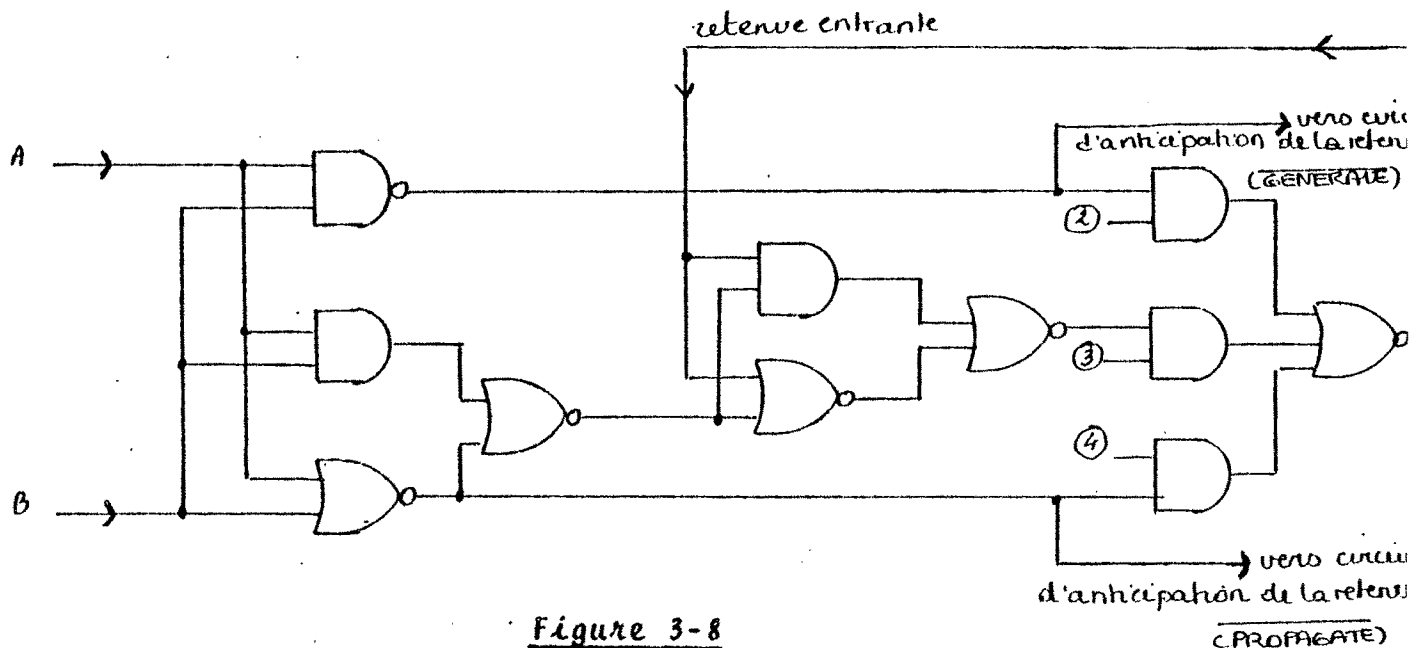
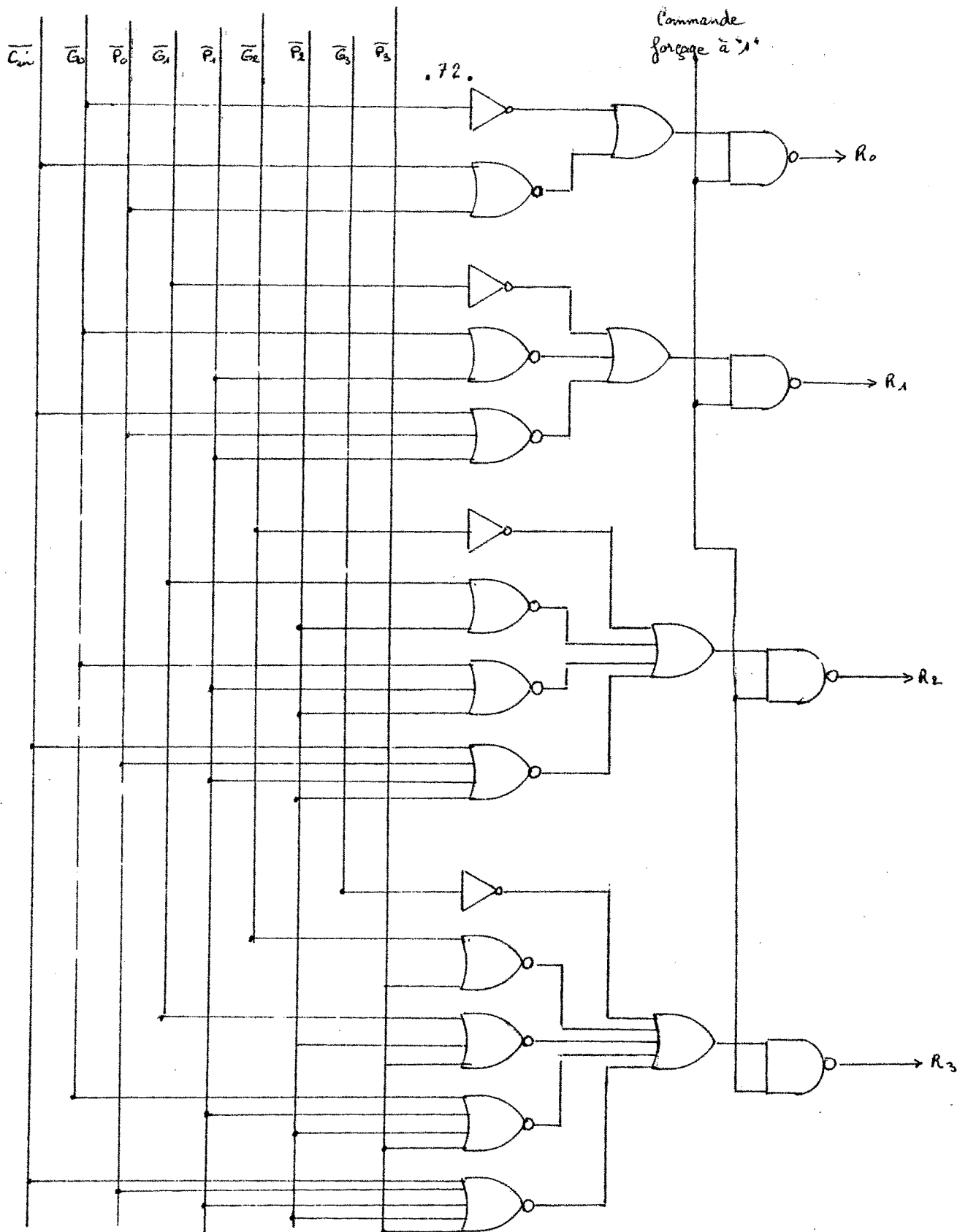


Figure 3-8
Opérateur Arithmétique et logique
du 2650.

L'opérateur arithmétique et logique (figure 3-8) travaille sur 8 bits et comporte un circuit d'anticipation de la retenue (figure 3-9) réalisé de manière statique et occupant plus de surface que l'opérateur lui-même. Ce circuit d'anticipation est d'ailleurs très mal implanté puisqu'il se trouve séparé de l'opérateur arithmétique par les amplis de sortie sur le bus, ce qui oblige à placer pour chaque étage, 3 longues connexions afin de faire passer les signaux GENERATE et PROPAGATE ainsi que la retenue calculée.



Le circuit d'anticipation du 2650 comporte 2 circuits comme celui-ci mis en série. Après stabilisation des signaux P et G il faut donc traverser 4 couches électriques (2+2) avant de positionner la retenue de l'étage poids fort.

Figure 3-9

Circuit d'anticipation de la retenue du 2650.

Les principales configurations sont les suivantes :

$$\left. \begin{array}{l} 1 = 3 = 1 \\ 2 = 4 = 0 \end{array} \right\} \text{addition (si } 1 = 0 \text{ alors c'est la sous-} \\ \text{traction)}$$

$$\left. \begin{array}{l} 1 = 3 = 2 = 0 \\ 4 = 1 \end{array} \right\} \text{OU logique}$$

$$\left. \begin{array}{l} 1 = 3 = 4 = 0 \\ 2 = 1 \end{array} \right\} \text{ET logique}$$

III - 2 QUELQUES PRINCIPES A DEGAGER DE L'APERCU

PRECEDENT.

III - 2-1 CIRCUIT DE PROPAGATION DE LA RETENUE

Pour un circuit statique le temps de propagation de la retenue est proportionnel au nombre d'étages à traverser. Si le nombre d'étages est fixé, l'obtention d'un opérateur arithmétique et logique rapide passe par l'optimisation du temps de propaga

tion de la retenue à travers un étage. On peut aussi introduire un circuit d'anticipation de la retenue qui est complexe et occupe beaucoup de place. Il faut alors faire un compromis entre la surface occupée et la vitesse désirée.

Pour les circuits MOS il existe 2 types de circuits de propagation de la retenue :

- le circuit statique qui nécessite la traversée d'au moins 2 couches électriques par étage si on veut garder la même polarité en entrée et en sortie.

- le circuit dynamique présenté précédemment qui est plus rapide tout en autorisant une faible consommation et occupe moins de surface. Par contre un tel circuit ne permet aucun allongement indéfini de la phase de propagation (risque de décharge des capacités de ligne).

Malgré tous ses avantages le circuit dynamique n'est utilisé que dans les cas où le circuit statique tient difficilement les contraintes imposées. Il ne se rencontre jamais dans les opérateurs ayant moins de 8 étages. En dessous le circuit statique offre une vitesse suffisante pour une surface occupée raisonnable.

Les opérateurs arithmétiques et logiques n'ont presque jamais maintenant plus de 8 étages et ne comportent aucun circuit d'anticipation de la retenue. Le calcul d'une retenue anticipée requiert un circuit supplémentaire. Le gain en vitesse est alors trop faible vis à vis de l'augmentation de surface. Un seul échapp

à cette règle, c'est le 2650 de SIGNETICS ; mais il ne peut pas servir de modèle car son architecture anarchique conduit à penser qu'il a été obtenu par assemblage de blocs déjà existants, et le circuit d'anticipation apparaît plus comme un palliatif que comme une option prise au départ.

III - 2-2 LES OPERATEURS ARITHMETIQUES ET LOGI-

QUES SERIE-PARALLELE.

Un opérateur série, au lieu de travailler en parallèle sur toute la largeur du chemin de données, travaille en série bit après bit. Le matériel se trouve alors réduit au minimum mais par contre la vitesse de traitement est augmentée d'autant.

Entre ces 2 extrêmes existe une solution de compromis, qui consiste à effectuer q opérations en série sur p bits en parallèle, si $n = pxq$ est la largeur du chemin de données. C'est le cas des microprocesseurs 280 et CPI600 où chaque traitement est réalisé en 2 coups successifs, l'opérateur travaillant en parallèle sur $\frac{n}{2}$ bits.

On pourrait s'attendre à une dégradation du temps d'exécution des instructions, mais il n'en est rien car le

Z80 figure parmi les microprocesseurs 8 bits les plus rapides. Nous allons examiner de près l'unité arithmétique et logique (UAL) de ces 2 microprocesseurs afin de comprendre leur fonctionnement.

a) UAL Z80 :

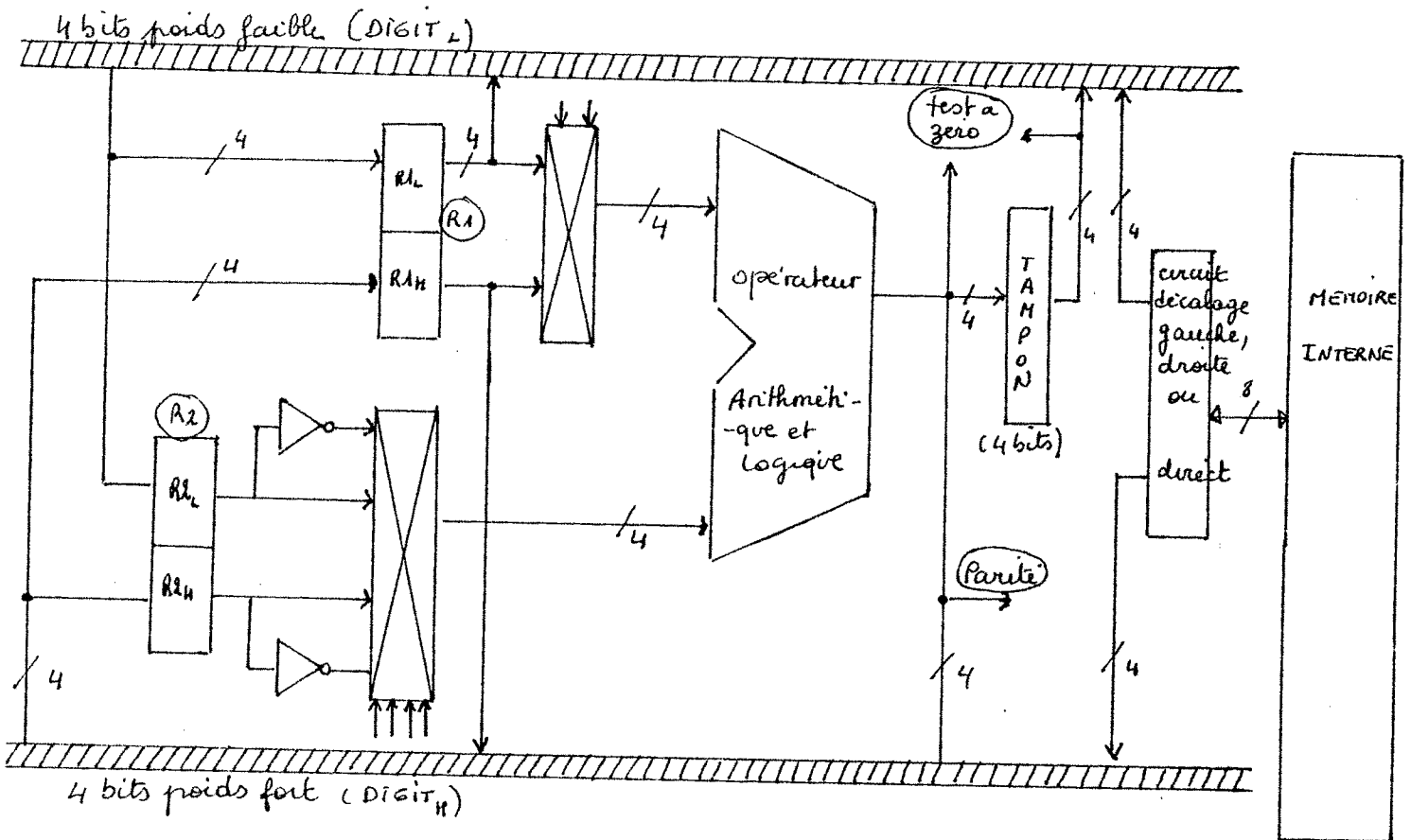


Figure 3-10

UAL Z80

Le tampon placé sur la sortie de l'opérateur permet de mémoriser le résultat partiel correspondant à l'opération sur les 4 bits poids faibles. La commande de chargement de ce tampon

a lieu en même temps que l'entrée des 2 digits (données sur 4 bits) poids faible dans l'opérateur (voir remarque paragraphe III - 1-2) qui, rappelons le, ne comprend aucune barrière temporelle (simple circuit combinatoire).

La sortie du résultat d'une opération se fait sur 8 bits : 4 bits du tampon plus les 4 bits correspondant au résultat de l'opération sur les 4 bits poids fort. Le bus local à l'UAL ne véhicule que des données sur 8 bits et non les 2 digits poids faible ou poids fort de 2 opérandes. Aussi a-t-il fallu multiplexer la sortie des registres d'entrée R1 et R2, de l'opérateur arithmétique et logique, afin de réaliser un traitement en 2 coups successifs. Cette solution consistant à travailler en série économise donc 4 étages mais, par contre, ajoute un important circuit de sélection sur les entrées de l'opérateur, ainsi qu'un registre tampon de 4 bits.

La mémoire interne est la même que celle où l'opérateur pourrait travailler sur 8 bits en parallèle. Sa structure, son mode d'adressage, et ses sorties ne changent pas.

NOTE :

L'accumulateur se trouve banalisé dans la mémoire interne

Déroulement d'une opération entre l'accumulateur et une donnée issue de la mémoire interne :

- 1) chargement de l'accumulateur dans le registre R1
- 2) lecture donnée et chargement du registre R2
- 3) opération sur les 4 bits poids faible et chargement tampon
- 4) opération sur les 4 bits poids fort
- 5) sortie du résultat sur 8 bits et écriture dans la mémoire interne.

Vitesse de traitement de cette UAL :

Posons :

T_p = temps de propagation de la retenue à travers un étage

T_{lec} = temps de lecture d'une donnée et chargement d'un registre d'entrée (R1 ou R2)

T_{calcul} : temps de traversée ou de calcul d'un étage de l'opérateur

T_{ecr} : temps d'écriture (sur 8 bits) du résultat d'une opération

soit T le temps d'exécution d'une opération sur un opérateur 4 bit

$$T = 2T_{lec} + 2(3T_p + T_{calcul}) + T_{ecr}$$

si T' est le temps d'exécution d'une opération sur un opérateur 8 bits

$$T' = 2T_{lec} + 7T_p + T_{calcul} + T_{ecr}$$

La dégradation de la vitesse d'exécution vaut :

$$\frac{T-T'}{T'} = \frac{T_{calcul} - T_p}{T'}$$

Si on fait la grossière approximation

$$T_{lec} = T_{ecr} = T_{calcul}$$

et

$$T_{calcul} = 3 T_p$$

alors

$$\frac{T-T'}{T'} = \frac{2 T_p}{19 T_p} = \frac{2}{19} \approx 10 \%$$

La perte de vitesse qui s'élève à 10 % reste faible devant le gain important en surface.

b) L'UAL du CPI600

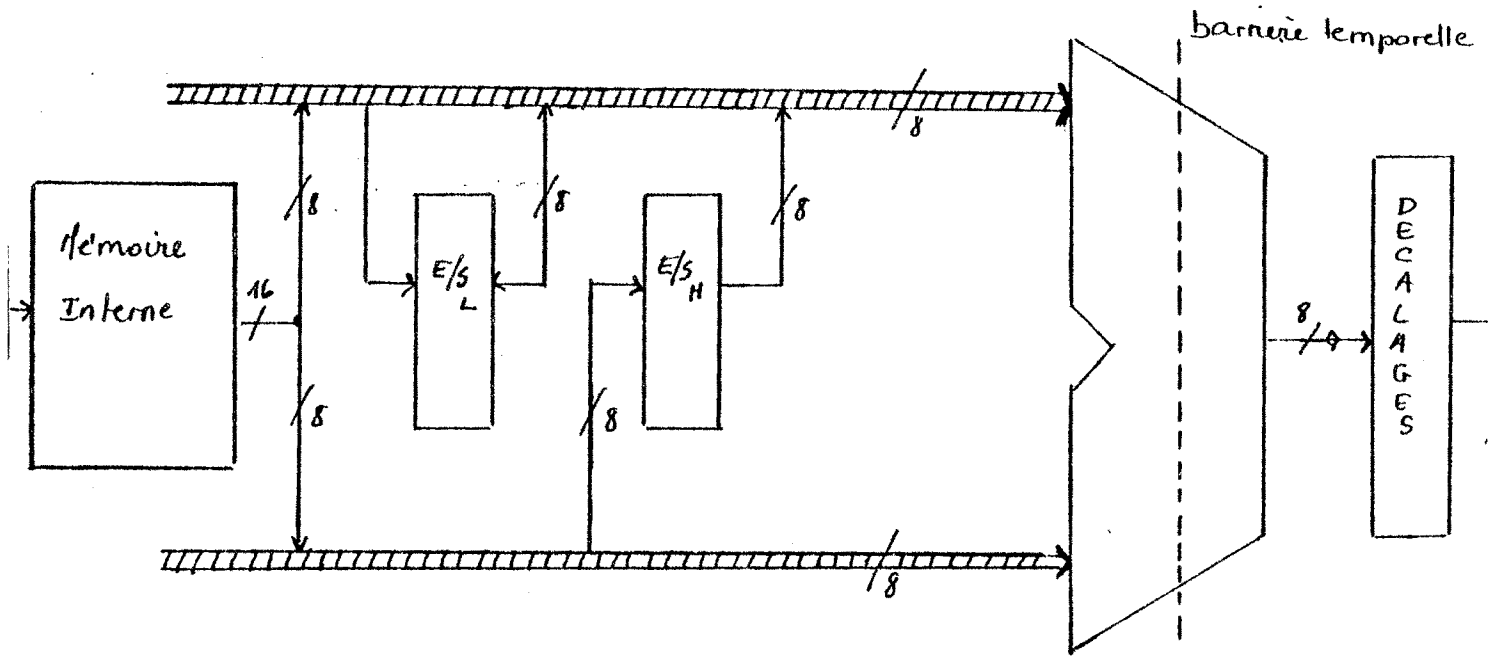


Figure 3-11

UAL du CPI600

Toute donnée à écrire dans la mémoire interne doit passer par l'opérateur arithmétique et logique. Même les données externes doivent transiter par l'opérateur.

Les 2 bus de 8 bits peuvent acheminer soit 2 données différentes sur 8 bits à destination de l'opérateur arithmétique et logique, soit une donnée sur 16 bits de la mémoire interne vers les buffers d'entrée/sortie poids faible et poids fort.

Dans cette configuration tous les registres sont totalement banalisés. L'opérateur ne comprenant aucun tampon permettant de mémoriser une donnée, l'adressage de la mémoire interne se trouve compliqué. En effet, en lecture, il faut pouvoir sortir les octets poids fort ou poids faible de 2 données différentes, ou bien sortir les octets poids fort et poids faible d'une même donnée pour effectuer une écriture 16 bits avec la mémoire externe par exemple. Par contre une écriture ne peut avoir lieu que sur un octet à la fois, et une lecture sur 16 bits de la mémoire externe se fait en deux coups successifs.

Le nombre d'étages de l'opérateur est réduit à 8 au lieu de 16, mais le système d'adressage de la mémoire interne se trouve compliqué. C'est la solution inverse de celle du 780 où on introduit un multiplexage des entrées de l'opérateur sans toucher au système de lecture et d'écriture de la mémoire interne.

Évaluation de la dégradation de vitesse

On reprend le cas d'une opération entre un registre de la mémoire interne et une donnée externe. On conserve les notations précédentes.

Déroulement de l'opération considérée compte-tenu du recouvrement de cycles :

- 1) lecture octets poids faible des 2 opérands et calcul partiel
- 2) précharge de la ligne de report (temps de précharge : $T_{\text{précharge}}$)
- 3) propagation de la retenue, fin calcul (T_{calcul}) et chargement du tampon d'écriture
- +
- lecture octets poids fort des 2 opérands et calcul partiel (T_{calcul})
- 4) écriture résultat
- +
- précharge de la ligne de report
- 5) propagation de la retenue, fin calcul et chargement du tampon d'écriture
- 6) écriture résultat octet poids fort

Évaluation des vitesses d'exécution :

$$\begin{aligned}
 T &= T_{lec} + T_{pr\u00e9charge} + 8T_p + T_{calcul} + T_{ecr} + 8T_p \\
 &\quad + T_{calcul} + T_{ecr} \\
 &= T_{lec} + T_{pr\u00e9charge} + 16T_p + 2 T_{calcul} + 2 T_{ecr}
 \end{aligned}$$

$$T' = T_{lec} + T_{pr\u00e9charge} + 16T_p + T_{calcul} + T_{ecr}$$

D\u00e9gradation de la vitesse :

$$\frac{T - T'}{T'} = \frac{T_{calcul} + T_{ecr}}{T'}$$

En faisant la grossi\u00e8re approximation

$T_{lec} = T_{ecr} = T'_{pr\u00e9charge} = 3 T_p$ et T_{calcul} on obtient :

$$\frac{T - T'}{T'} = \frac{4 T_p}{26 T_p} = \frac{2}{13} \approx 15 \%$$

La perte de vitesse est sup\u00e9rieure \u00e0 celle du 780. Cela est d\u00fb au mode de fonctionnement de la pr\u00e9charge qui ne peut pas avoir lieu en m\u00eame temps que l'entr\u00e9e des op\u00e9randes.

La m\u00e9thode consistant \u00e0 ex\u00e9cuter une op\u00e9ration en 2 traitements successifs permet aussi de r\u00e9aliser une \u00e9conomie au niveau des bus. On n'introduit qu'un seul bus de n bits que l'on peut utiliser, soit pour v\u00e9hiculer une donn\u00e9e de n bits, soit pour acheminer 2 donn\u00e9es diff\u00e9rentes de $\frac{n}{2}$ bits vers l'op\u00e9rateur arithm\u00e9tique et logique comme dans le cas du 780.

III - 2-3 MEMOIRE INTERNE OU REGISTRES INDEPENDANTS.

La solution consistant à regrouper les registres dans une mémoire interne apparaît séduisante car, d'une part elle réduit la surface de l'élément de mémorisation, et d'autre part elle permet de mettre en commun les amplificateurs de sortie sur les bus (les émetteurs peuvent être très gros).

Cependant le fait de banaliser les registres dans une RAM interne ne simplifie pas pour autant le système de d'adressage de ces registres (figure 3-12). En effet il est pratiquement impossible d'utiliser le système de décodage de la figure 3-12-a : il faudrait pour cela que le code opération contienne un champ spécial comportant le numéro du registre utilisé ce qui va à l'encontre des impératifs de compaction du code opération (il doit tenir sur un octet). C'est donc le système de décodage de la figure 3-12-b qui est utilisé : on accède de façon indépendante à chaque mot de la RAM interne. Ce dernier système d'adressage diffère très peu de celui utilisé pour des registres indépendants. Dans ce cas, d'ailleurs, compte tenu des contraintes de timings moins sévères les signaux de synchronisation de lecture (LEC) et d'écriture (ECR) peuvent souvent être activés sur la même phase ;

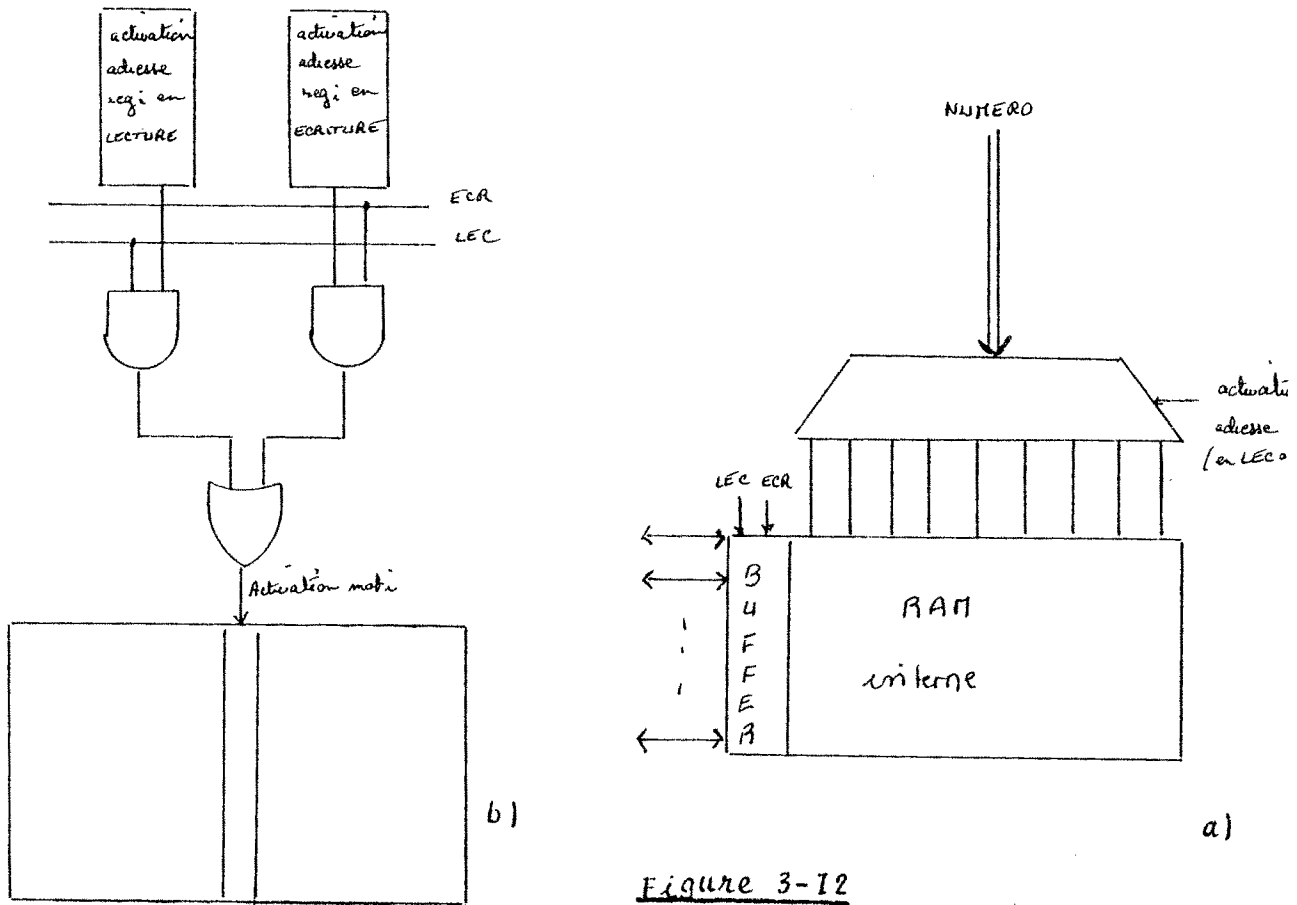


Figure 3-12

Systemes d'adressage d'une RAM interne

on peut alors remplacer ces 2 fils de synchronisation par un seul d'où une économie d'un fil horizontal dans tout le séquenceur situé au-dessus des registres indépendants mis côte à côte de façon ordonnée et répétitive.

Il s'ajoute aussi le fait qu'une RAM interne est plus lente que des registres indépendants. Pour tenir les temps imposés il faut avoir recours à des anticipations de lecture par exemple. Tout se complique aussi très vite si on veut avoir accès à deux

registres en même temps ; le double accès mémoire coûte très cher car il faut dupliquer aussi bien les fils de sélection et de transfert des données, que les amplificateurs de sortie sur les bus.

Ainsi l'introduction d'une mémoire interne n'implique pas forcément un gain de surface. Cette solution devient intéressante lorsque le nombre de registres dépasse la quinzaine.

La non banalisation des registres nécessite des amplificateurs de sortie sur les bus pour chaque registre. La taille de ces émetteurs est liée à la capacité du bus considéré et à la vitesse de transfert souhaitée. Pour réduire la surface occupée par les amplificateurs on peut jouer sur la structure du microprocesseur (bus local de faible dimension) ainsi que sur l'implantation (réduction de la capacité du bus par le choix du conducteur le moins capacitif).

Le choix entre une RAM interne et des registres indépendants dépend donc du nombre de registres, de la vitesse de travail requise, des possibilités d'accès multiples, ainsi que du chemin de données (taille et nombre des bus). Aussi ce choix doit il être fait au moment de la définition de la structure du produit car il conditionne fortement cette structure.

IV - OUTILS D'AIDE A L'IMPLANTATION

Afin de minimiser le plus possible la surface occupée, dans les microprocesseurs actuels la partie opérateur arithmétique et logique est entièrement implantée à la main. Cette façon de faire se justifie par la nécessité de mettre 10.000 transistors sur une seule puce de silicium de 30 mm² qui implique une densité d'intégration incompatible avec des méthodes d'implantation systématiques, c'est-à-dire sous forme de structures répétitives.

Si la tendance actuelle se poursuit (possibilités d'intégration doublées tous les ans) on sera bientôt capable de mettre 100.000 transistors sur une même puce de silicium. Il devient alors impensable de dessiner tous ces transistors "à la main", le temps passé en implantation étant trop grand. Il faudra trouver un nouveau compromis entre les notions surface occupée et rapidité de réalisation. Une telle densité d'intégration autorise, par exemple la possibilité de mettre plusieurs processeurs sur une même puce de silicium, et par la même l'implantation de plusieurs opérateurs arithmétiques et logiques obéissant à des cahiers des charges différents. Il apparaît donc nécessaire de disposer d'une méthode d'implantation suffisamment souple et rapide, même si c'est au détriment de la surface occupée.

Le but de ce paragraphe est de fournir des éléments de départ pour une telle approche, dans le cadre de la technologie N-MOS grille silicium LOCOS utilisée.

IV - 1 DESCRIPTION D'UNE STRUCTURE REPETITIVE

La technologie grille silicium permet 3 types de connexions mais n'autorise que 2 sortes de croisement : aluminium sur diffusion ou aluminium sur silicium. En effet le croisement d'une liaison diffusée et d'une liaison silicium forme un transistor (se référer au processus de fabrication de la partie II de l'annexe). Lorsqu'on veut définir une structure quelconque il se présente 2 sortes de liaisons : les connexions en aluminium formant une nappe de fils parallèles et les connexions en diffusion ou silicium qui passent sous cet ensemble de fils aluminium tout en conservant, eux aussi, un certain parallélisme.

La seule structure répétitive qui soit facilement automatisable et paramétrable reste la matrice de décodage ou ROM. C'est une matrice à m lignes et n colonnes. Les lignes reçoivent les profils binaires à décoder et les colonnes supportent les différentes sorties (figure 4-1).

Sur la représentation graphique les croix repèrent la présence d'un MOS signal dont la source est reliée à la masse, le

drain à la liaison en aluminium verticale, et la grille à la liaison en silicium horizontale.

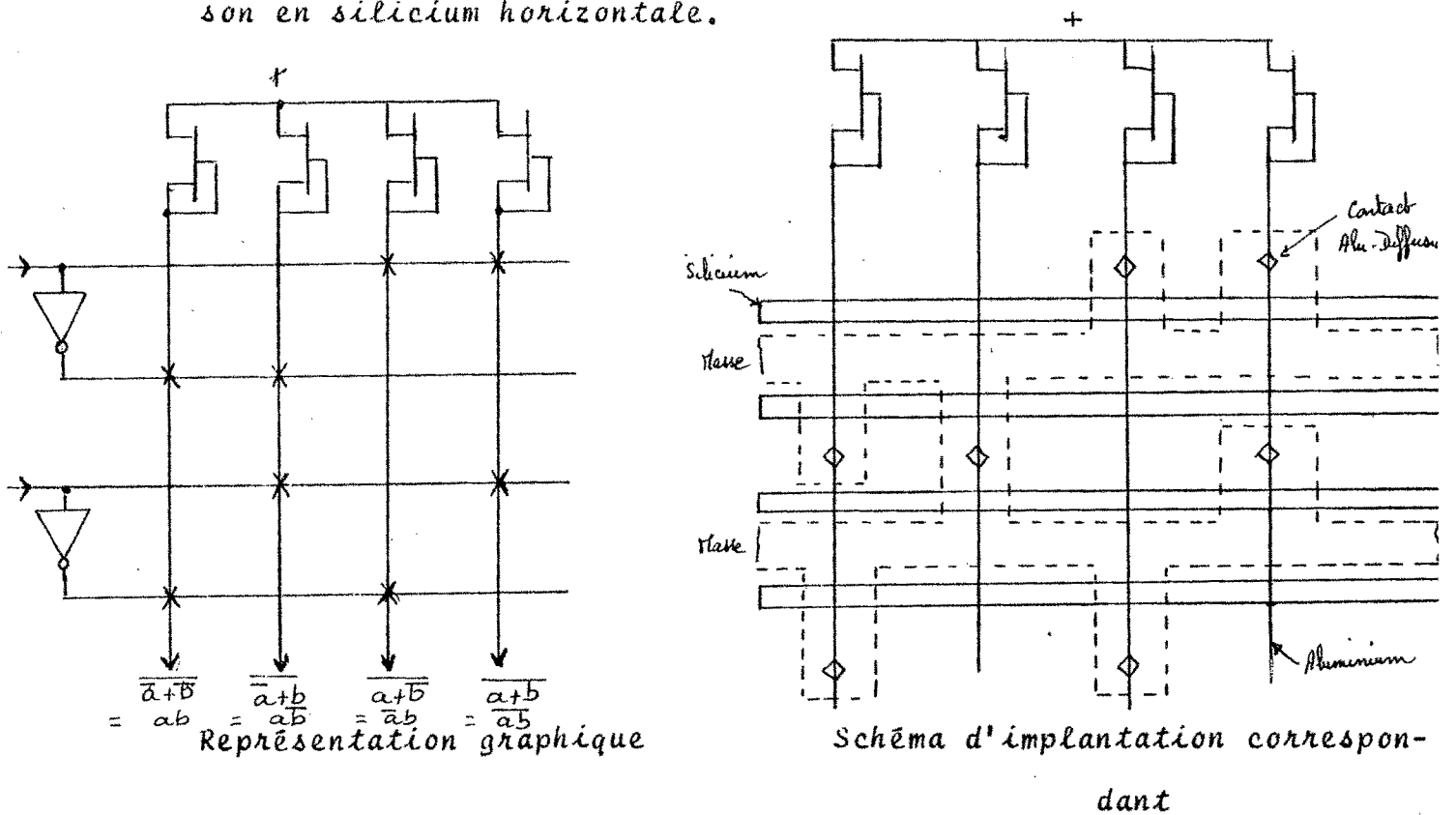


Figure 4-1

Matrice de décodage.

Chaque sortie réalise le NOR des signaux d'entrée reliés à la colonne par une croix. Les signaux d'entrée arrivent horizontalement par des liaisons en silicium tandis que les sorties sont disponibles sur les connexions en aluminium verticales. Des liaisons diffusées assurent la propagation de la masse ainsi que la présence des MOS signaux.

On peut penser à imbriquer différentes matrices de façon à réaliser une fonction logique complexe définie à base de portes NOR. On peut ainsi déjà réaliser n'importe quelle fonction logique

sous une forme matricielle se prêtant bien à l'autorisation. L'inconvénient d'une telle méthode réside d'une part dans l'obligation de réaliser une fonction logique uniquement à base de portes NOR, et d'autre part dans l'augmentation considérable de la surface occupée.

Cependant la structure décrite ci-dessus peut fort bien moyennant quelques petites modifications, se prêter à la réalisation des portes ET à 2 entrées, ainsi que le montre la figure 4-2. Cette nouvelle porte autorise plus de facilité et de souplesse dans la réalisation des fonctions logiques du fait de la combinaison possible des portes NOR, et des portes ET à 2 entrées.

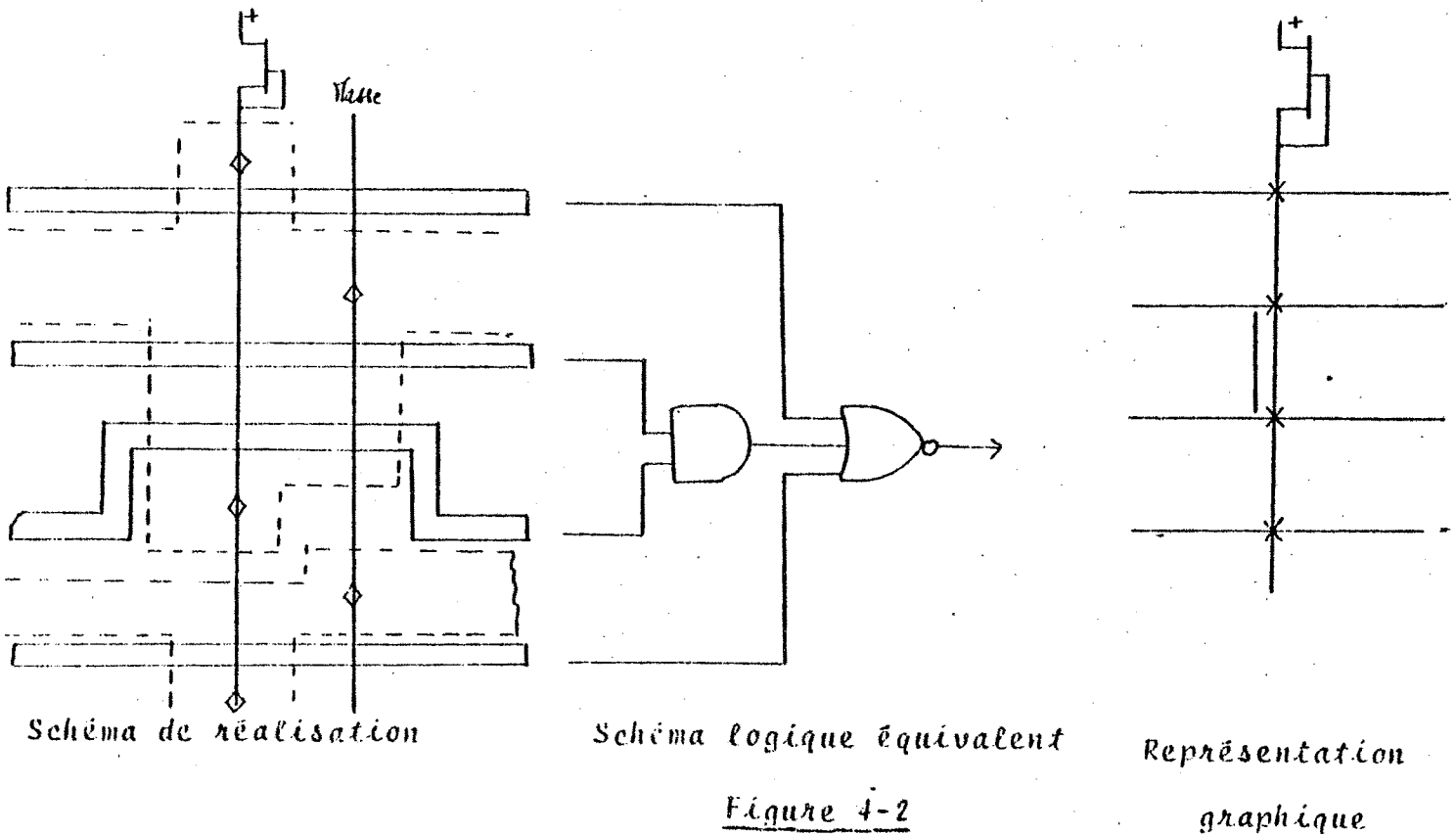


Figure 4-2

Présentation de la porte de base

IV - 2 REALISATION D'OPERATEURS ARITHMETIQUES ET

LOGIQUES SOUS FORME MATRICIELLE.

L'opérateur doit pouvoir réaliser l'addition binaire et les fonctions logiques ET, OU, OU exclusif.

Le circuit de report statique classique à base de portes NOR est décrit à la figure 4-3. Il peut parfois être trop lent pour réaliser un opérateur à 8 étages, lorsque les temps de transfert exigés sont serrés. Dans le cas le plus défavorable il faut en effet traverser 16 couches électriques avant de positionner la retenue sortante. Afin d'accélérer la propagation de la retenue on peut ne traverser qu'une seule couche électrique par étage. Ceci a bien entendu pour effet de changer la polarité du report entre 2 étages consécutifs et par conséquent de déterminer un schéma de l'opérateur différent pour les étages pairs et impai.

Voici un résumé des travaux de QUATSE et KEIR sur ce sujet. Prenons les mêmes conventions qu'au paragraphe III - 2-1 c'est-à-dire qu'un nombre binaire X est représenté sous la forme

$$X = x_0 + 2x_1 + 2^2x_2 + 2^3x_3 + \dots + 2^nx_n$$

Soit R_i la retenue sortante de l'étage $i-1$. Exprimons R_{2i} et R_{2i+1} sous forme d'une série de sommes :

$$R_{2i} = G_{2i-1} + P_{2i-1} R_{2i-1} = G_{2i-1} + \overline{P_{2i-1}} + \overline{R_{2i-1}}$$

$$\begin{aligned} \overline{R_{2i+1}} &= \overline{G_{2i} + P_{2i} R_{2i}} = \overline{P_{2i} G_{2i} + P_{2i} R_{2i}} = \overline{P_{2i} (G_{2i} + R_{2i})} \\ &= \overline{P_{2i}} + \overline{G_{2i} + R_{2i}} \end{aligned}$$

si on pose :

$$\overline{P_{2i-1}} + \overline{R_{2i-1}} = X_{2i-1}$$

$$\overline{Y_{2i}} = \overline{G_{2i} + R_{2i}}$$

alors

$$X_{2i-1} = \overline{P_{2i-1} + P_{2i-2} + \dots + 2i-2}$$

$$\overline{Y_{2i}} = \overline{G_{2i} + G_{2i-1} + X_{2i-1}}$$

Conditions initiales de ces formules de récurrence :

$$R_0 = G_{-1} + X_{-1} = C_{in} \Rightarrow G_{-1} \text{ ou } X_{-1} = C_{in}$$

$$\overline{R_1} = \overline{P_0 + Y_0} = \overline{P_0 + G_0 + C_{in}} \Rightarrow \overline{Y_0} = \overline{G_0 + C_{in}}$$

Pour deux étages consécutifs de l'opérateur on aboutit au schéma de la figure 4-3 réalisé uniquement à base de portes NOR.

Le calcul du report sortant nécessite maintenant 2 liaisons au lieu d'une entre 2 étages consécutifs : on propage soit le couple $(\overline{P}, \overline{Y})$, soit le couple (G, X) . C'est la contrepartie à payer pour n'avoir qu'une seule couche électrique à traverser par étage.

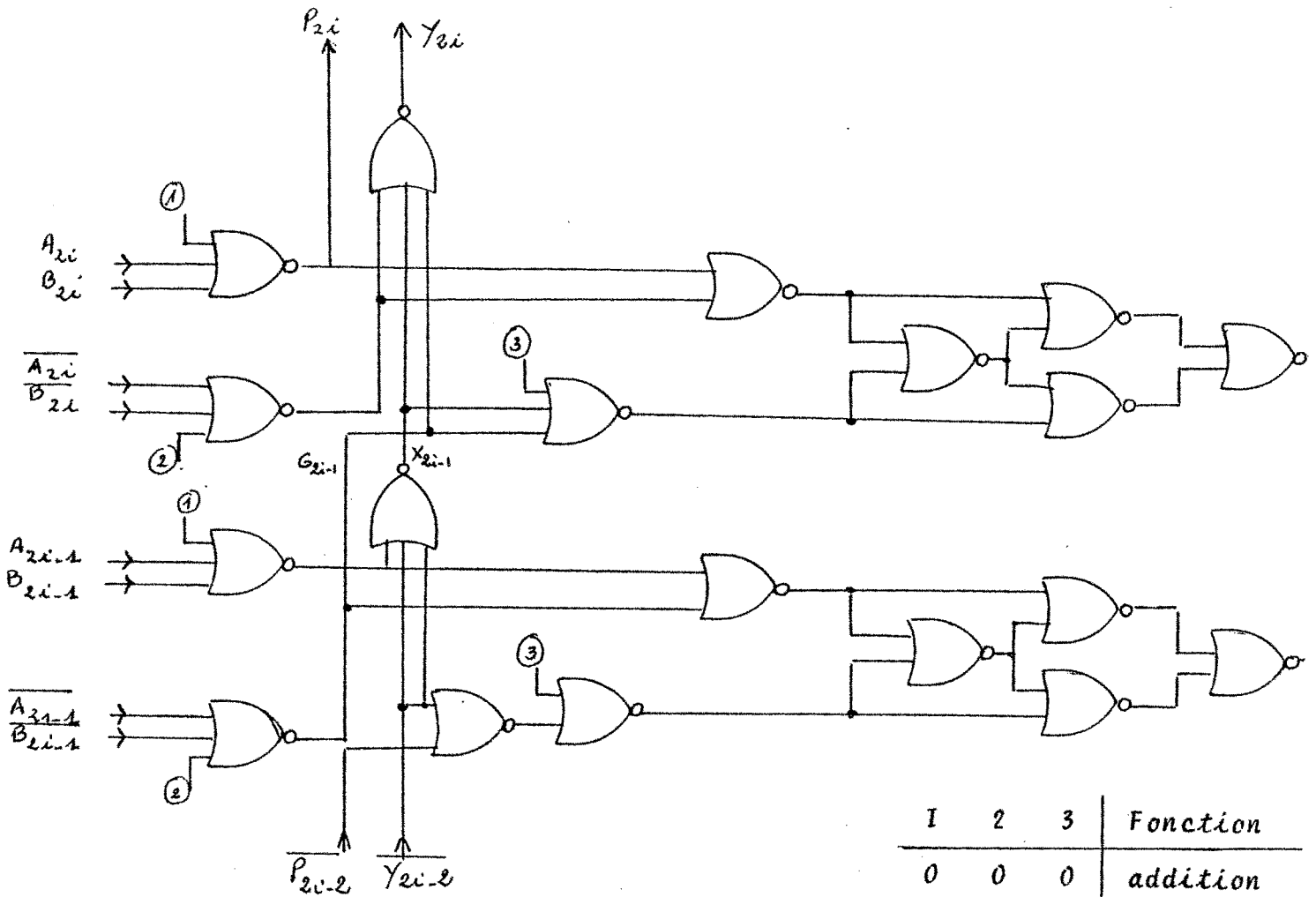


Figure 4-3

Opérateur réalisé à base de portes

NOR.

I	2	3	Fonction
0	0	0	addition
0	0	1	OU exclusif
0	1	1	OU
1	0	0	ET

La figure 4-4 donne un schéma d'implantation possible pour cet opérateur. La structure sous forme de matrices imbriquées y est utilisée. Les lignes horizontales sont en aluminium tandis que les fils verticaux sont en silicium. Cette approche simplifie beaucoup l'implantation car le dessin réel se déduit directement du schéma en forme de grille ainsi défini.

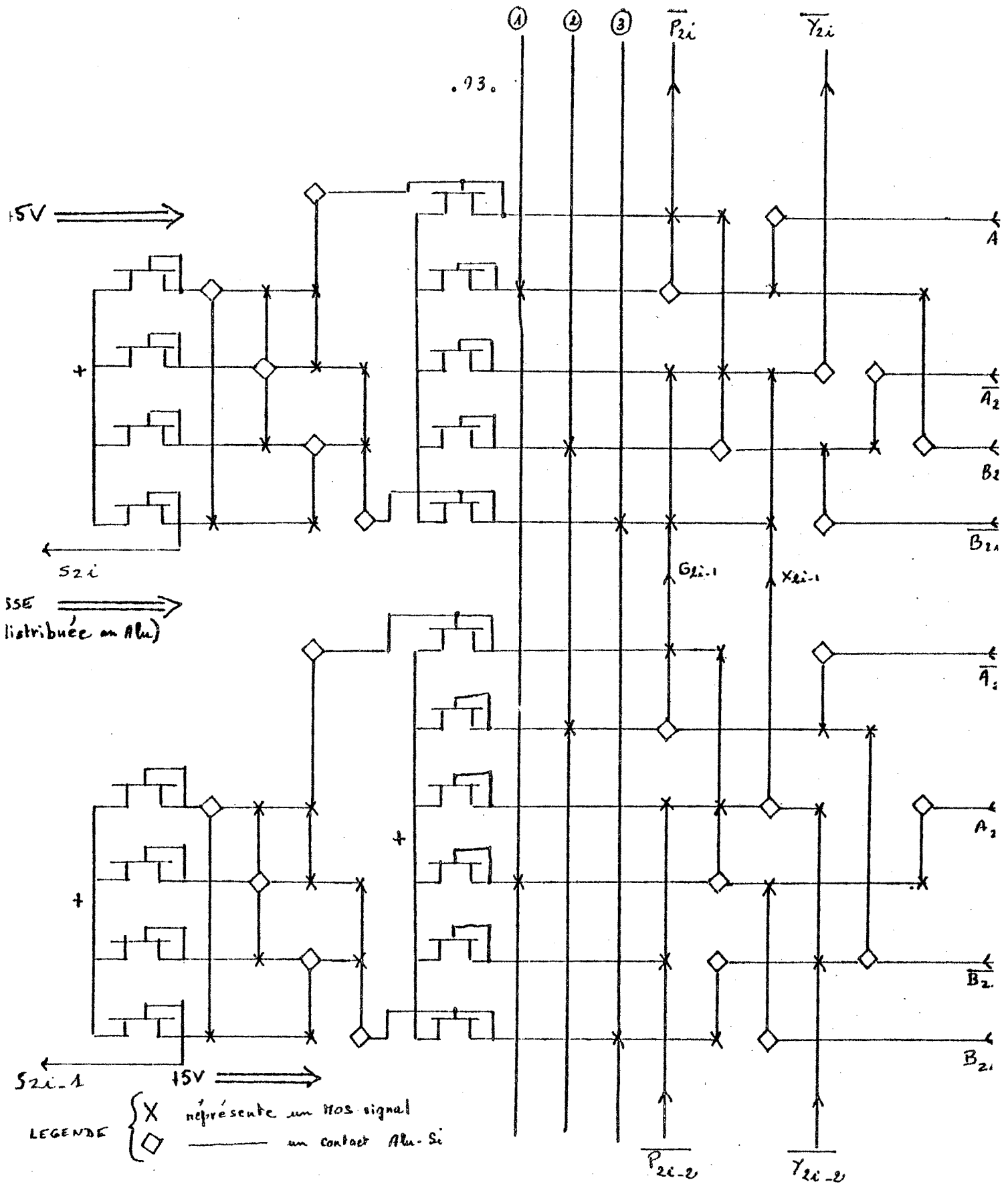


Schéma d'implantation, sous forme de matrices,
de l'opérateur.

Cette représentation matricielle peut être travaillée afin de réduire la surface occupée. On dispose donc d'une représentation simple permettant déjà d'appréhender les problèmes d'implantation : réduction de surface, diminution de la longueur des liaisons, mise en commun des masses et des alimentations,....

Le circuit de la figure 4-4 peut se simplifier en remarquant que $\overline{P_i} + G_i = \overline{A_i \ominus B_i}$. La sortie S_i peut être calculée sans passer par un ET inclusif qui comporte 4 portes NOR. Pour cela cherchons les fonctions X'_{2i+1} et $'_{2i}$ telles que

$$\begin{cases} R_{2i} = G_{2i-1} + X_{2i-1} = G_{2i-1} + X'_{2i-1} \\ \overline{R_{2i+1}} = \overline{P_{2i}} + \overline{Y_{2i}} = \overline{P_{2i}} + \overline{Y'_{2i}} \end{cases}$$

Une solution possible est :

$$\begin{cases} X'_{2i-1} = G_{2i-1} + \overline{X_{2i-1}} \\ Y'_{2i} = \overline{P_{2i}} + X_{2i} \end{cases}$$

$$\begin{aligned} \overline{X'_{2i-1}} &= \overline{G_{2i-1} + \overline{X_{2i-1}}} = \overline{G_{2i-1}} + \overline{\overline{P_{2i-1}} + \overline{P_{2i-2}} + \overline{Y'_{2i-2}}} \\ &= \overline{A_{2i-1} \ominus B_{2i-1}} + \overline{R_{2i-1}} \end{aligned}$$

$$Y'_{2i} = \overline{P_{2i}} + G_{2i} + G_{2i-1} + X'_{2i-1} = \overline{A_{2i} \ominus B_{2i}} + R_{2i}$$

$$\begin{aligned} S_i &= A_i \ominus B_i \ominus R_i = (\overline{A_i \ominus B_i}) R_i + (\overline{A_i \ominus B_i}) \overline{R_i} \\ &= (\overline{A_i \ominus B_i} + R_i) R_i + \overline{A_i \ominus B_i + R_i} \\ &= \overline{X'_i} R_i + \overline{Y'_i} \\ &= \overline{X'_i + R_i} + \overline{Y'_i} \end{aligned}$$

Si on remarque que $\overline{X'_i} \overline{Y'_i} = \overline{Y'_i}$ alors $S_i =$

$\overline{X'_i + (\overline{Y'_i} + R_i)}$, fonction qui peut être réalisée avec

seulement 2 portes NOR.

Les conditions initiales obéissent au système

$$P-1 = Cin \text{ ou } \gamma^0-1 = Cin$$

$$G-1 = Cin \text{ ou } X^0-1 = Cin$$

La figure 4-5 donne le schéma du nouvel opérateur. Il faut toutefois noter que cet opérateur ne réalise pas la fonction logique OU exclusif.

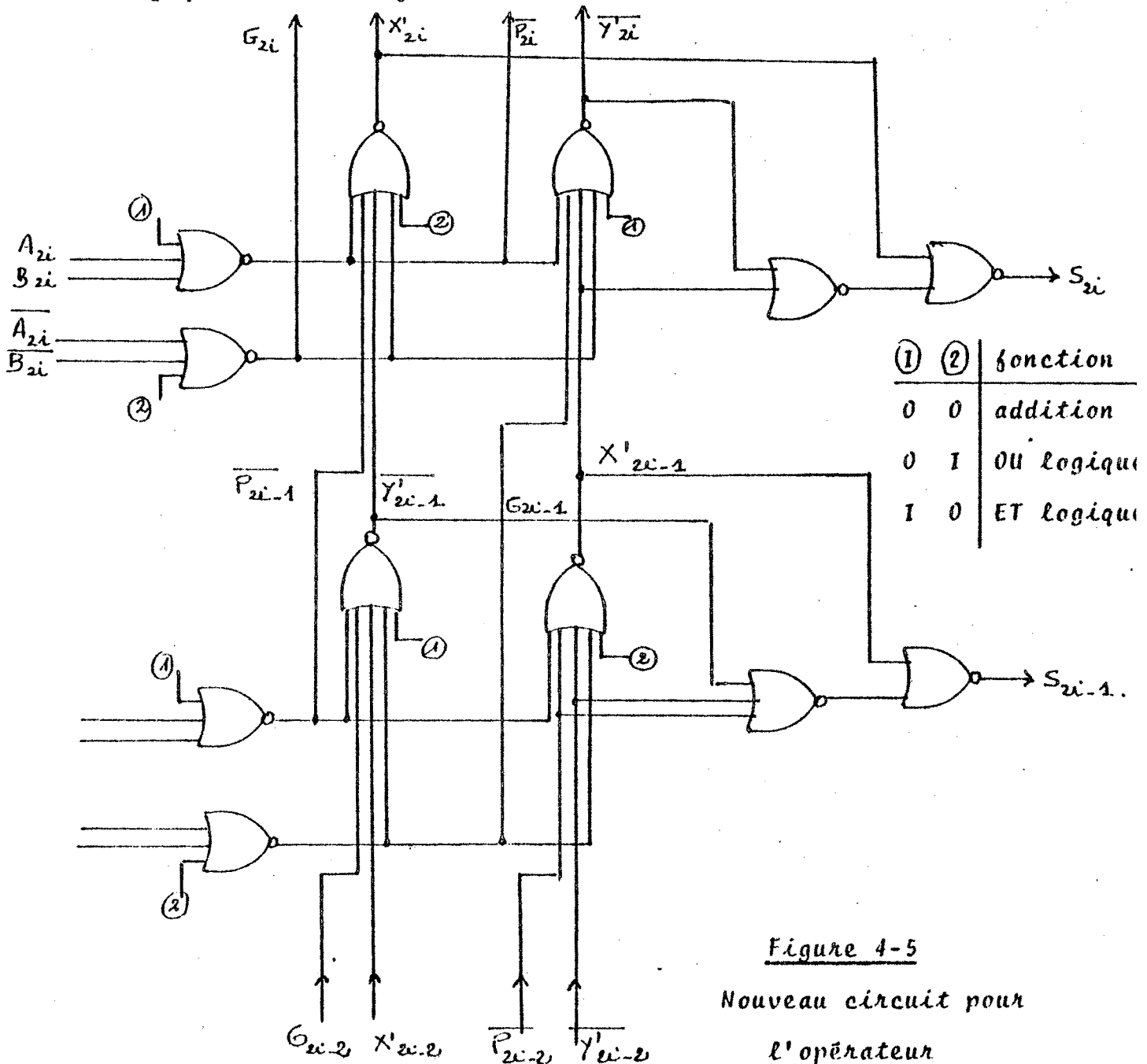


Figure 4-5
Nouveau circuit pour
l'opérateur

Le nouveau circuit amène un gain de 3 portes NOR mais, par contre, nécessite 4 connexions entre 2 étages consécutifs afin d'assurer la propagation des 2 couples (P, Y') et (G, X') indispensables pour déterminer les nouvelles fonctions X' et Y' calculées à chaque étage.

Voyons maintenant les possibilités qu'offre l'introduction des portes ET à 2 entrées. Ceci nous amène à définir un autre schéma pour l'opérateur comme l'indique la figure 4-6.

Ce circuit comporte 7 portes électriques par étage au lieu des 9 ou 10 de la figure 4-4. La figure 4-7 donne deux implantations possibles pour cet opérateur. On peut y voir apparaître certaines règles. A savoir que la barre d'un ET ne peut pas couper une liaison de masse diffusée. Le placement de ces ET réclame beaucoup plus d'attention puisque, sur la grille, 2 ET différents ne peuvent pas avoir une seule verticale commune (ce qui voudrait dire qu'une liaison de masse serait coupée) ; ils ont soit aucune soit 2 verticales communes. Bien sûr cette règle n'est pas impérative et doit être modulée suivant les dessins, en particulier compte tenu de la distribution de la masse.

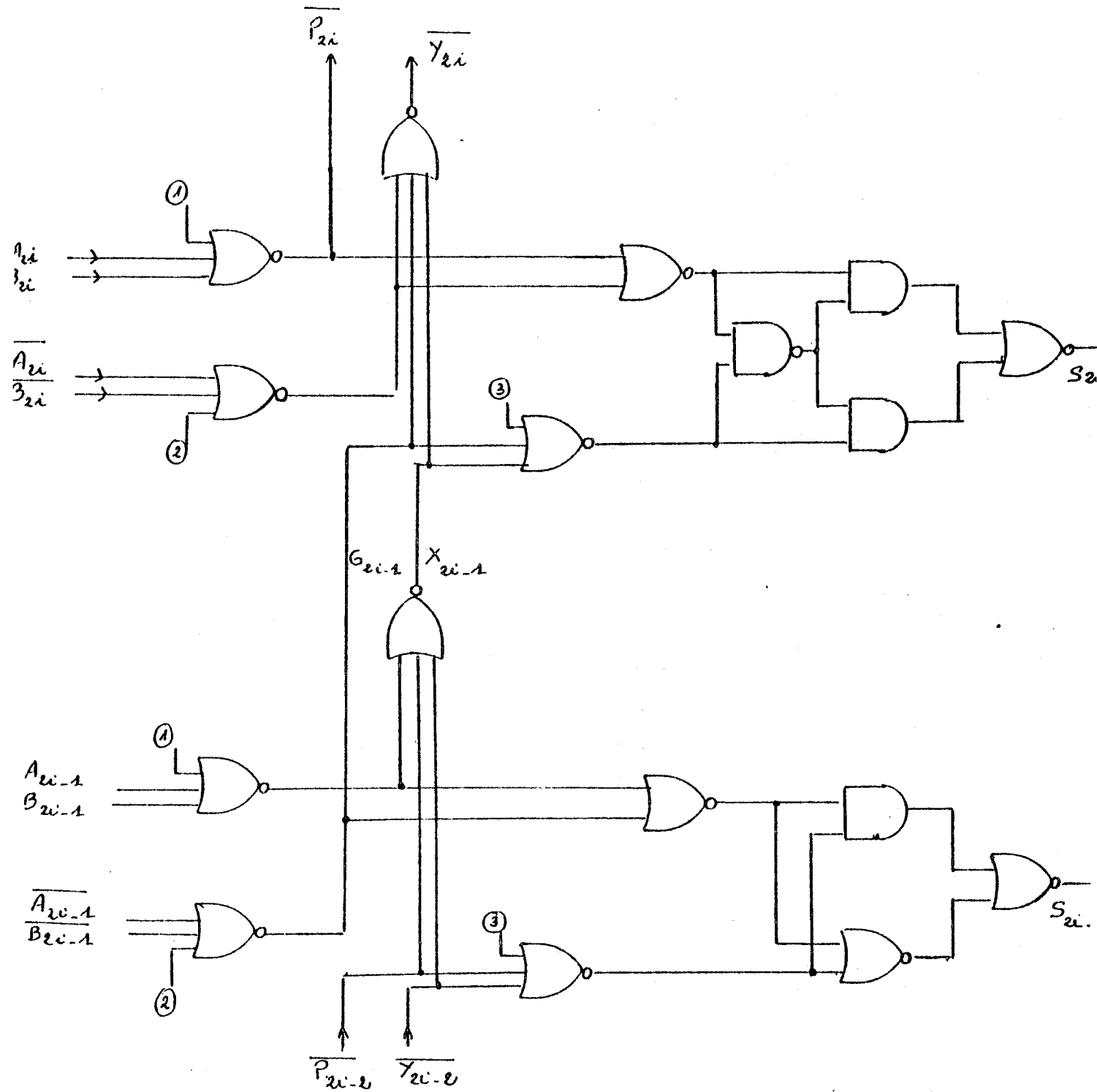
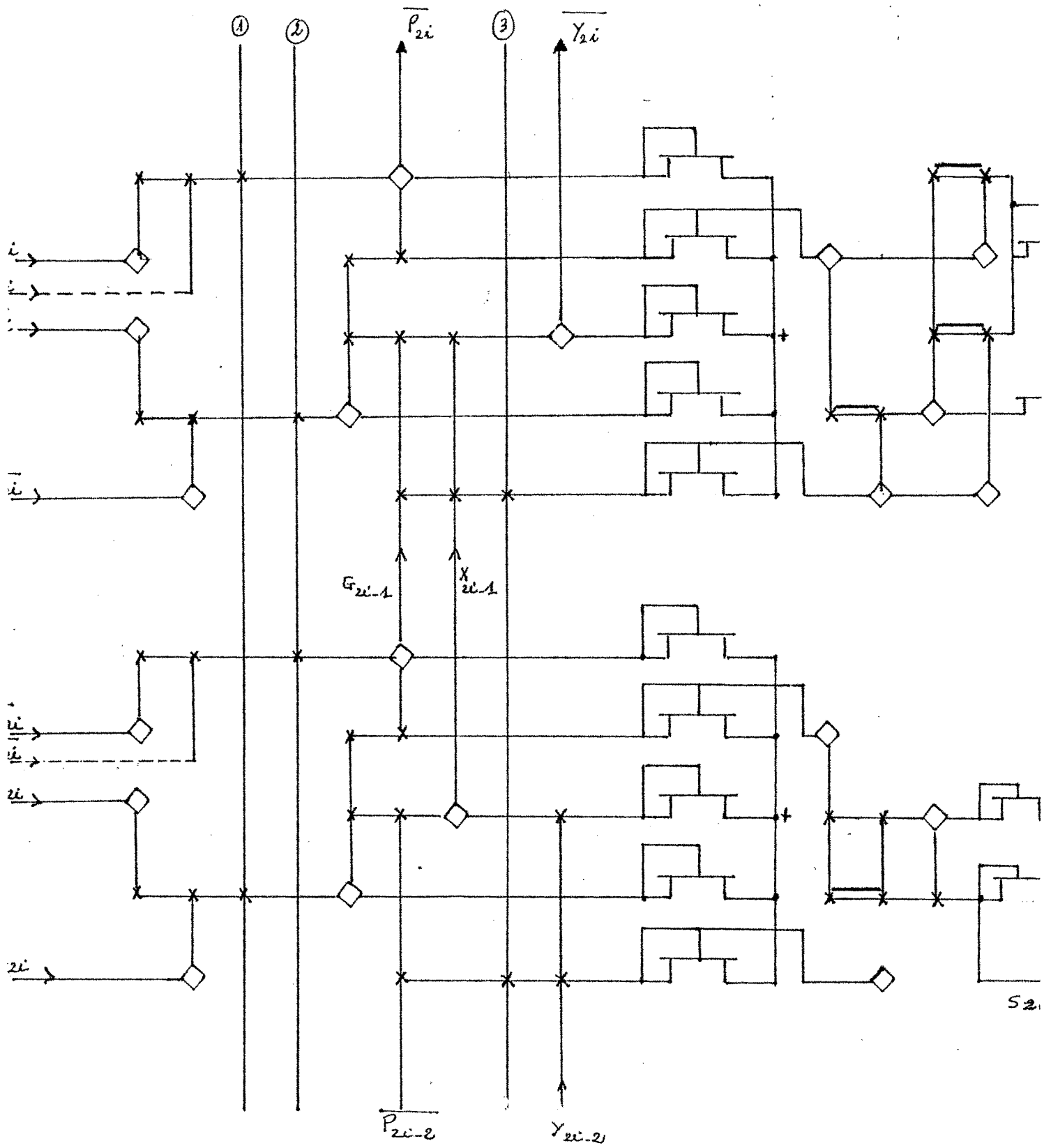
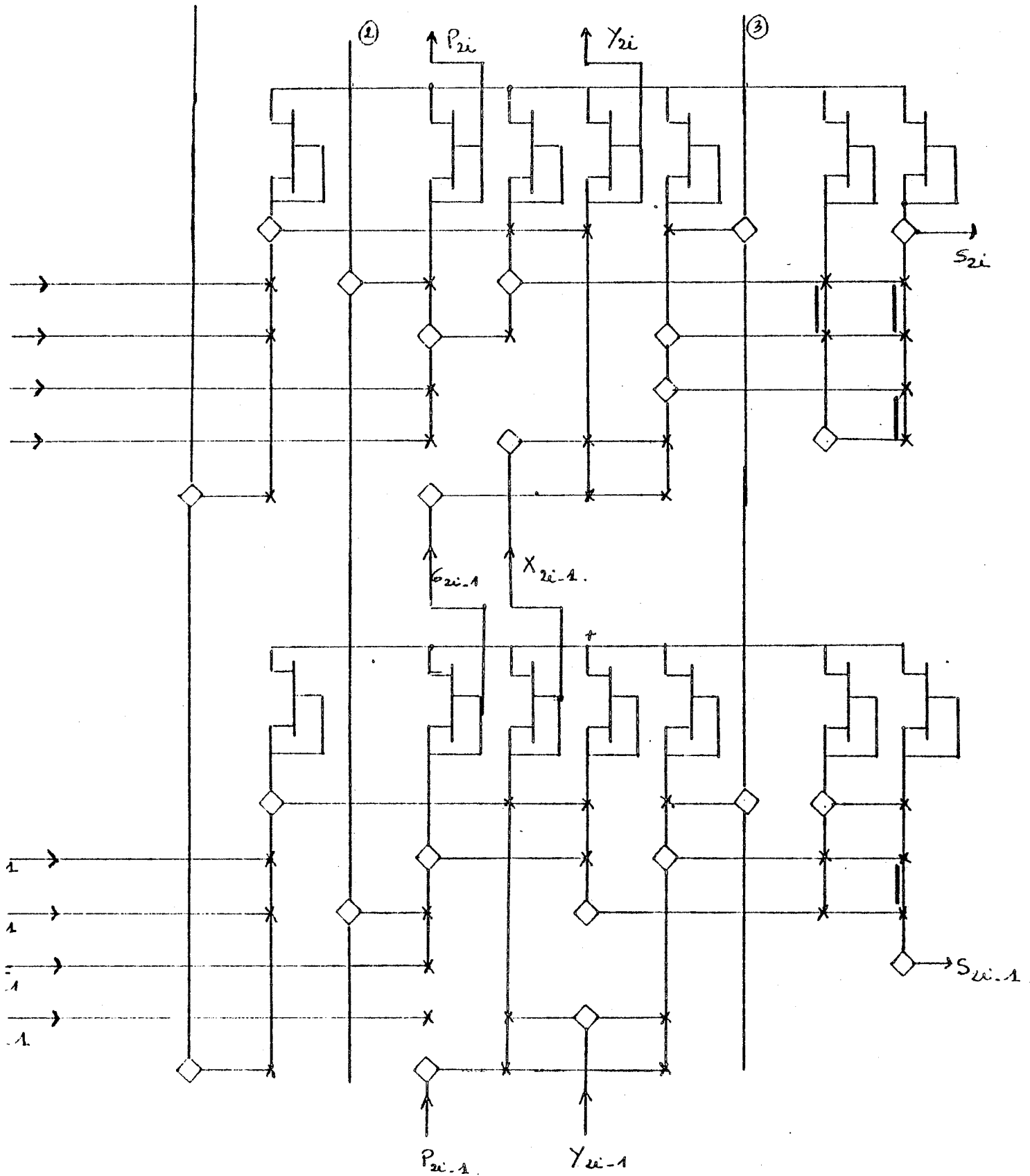


Figure 4-6

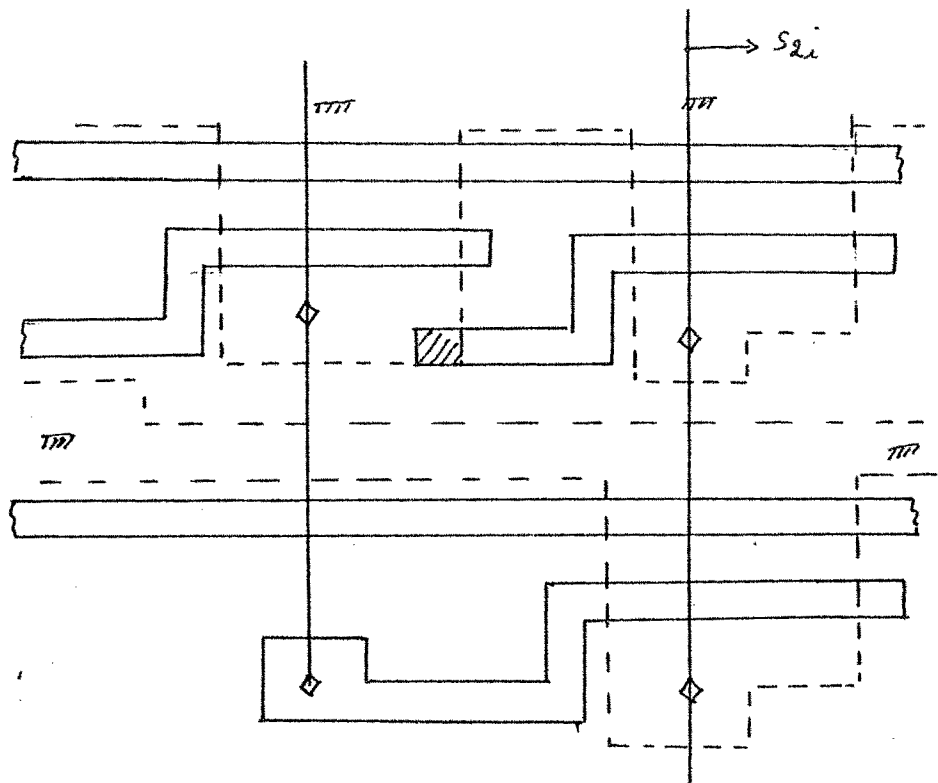
Schéma d'opérateur comportant des ET à 2 entrées.



a) Implantation matricielle avec les fils en Alu horizontaux



b) Implantation matricielle avec les fils en alu verticaux



Détail du ET inclusif du b)

Figure 4-7

Implantation de l'opérateur de la figure 4-6

Le point qui apparaît dans la figure 4-7-a illustre très bien les possibilités d'optimisation qui sont à notre disposition. La représentation matricielle utilisée n'est qu'un schéma symbolique permettant d'appréhender et de faciliter l'implantation. Mais il faut toujours avoir présent à l'esprit les réalités et les contraintes d'implantation afin, le cas échéant, de trouver des solutions originales à certains problèmes.

Dans le cas de la figure 4-7-a, sans ce précontact, il aurait fallu rajouter 1 ligne d'aluminium supplémentaire comme le montre la figure 4-8.

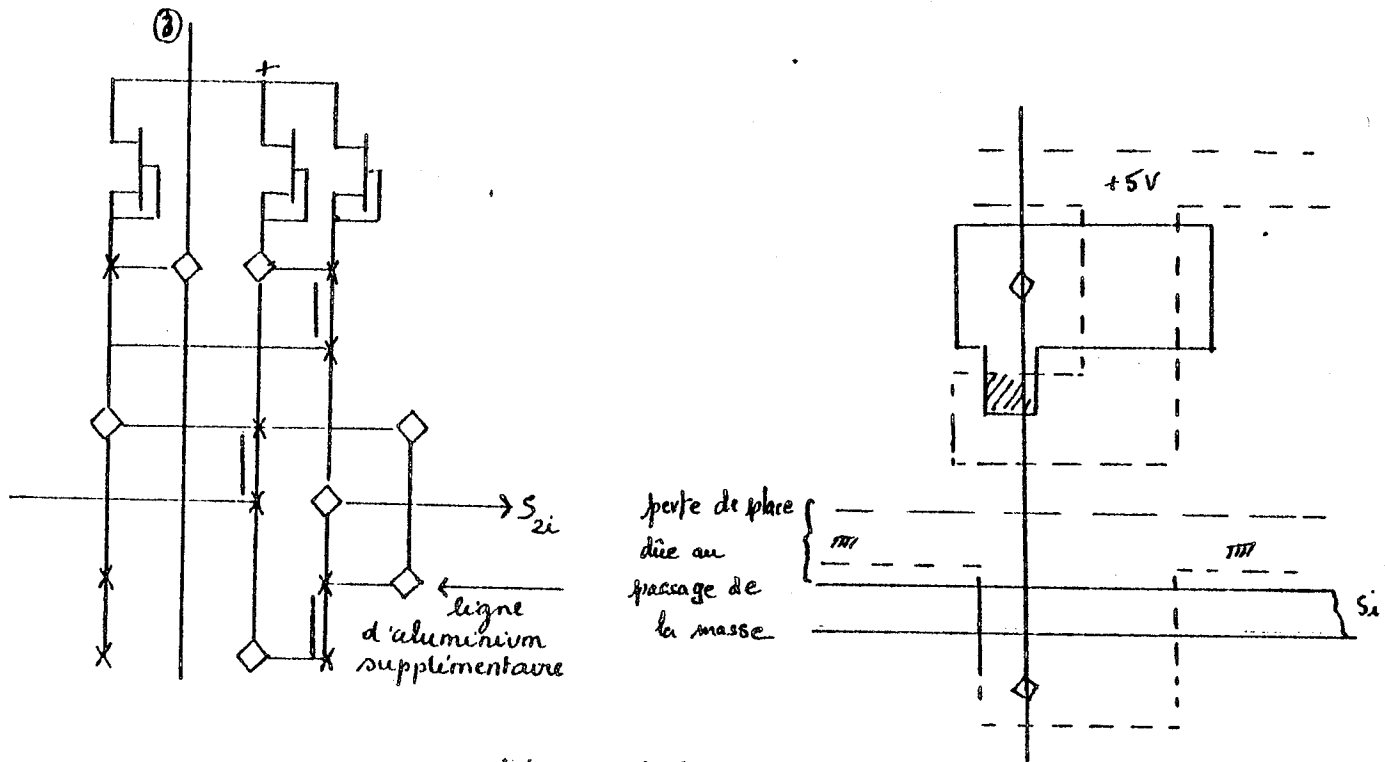
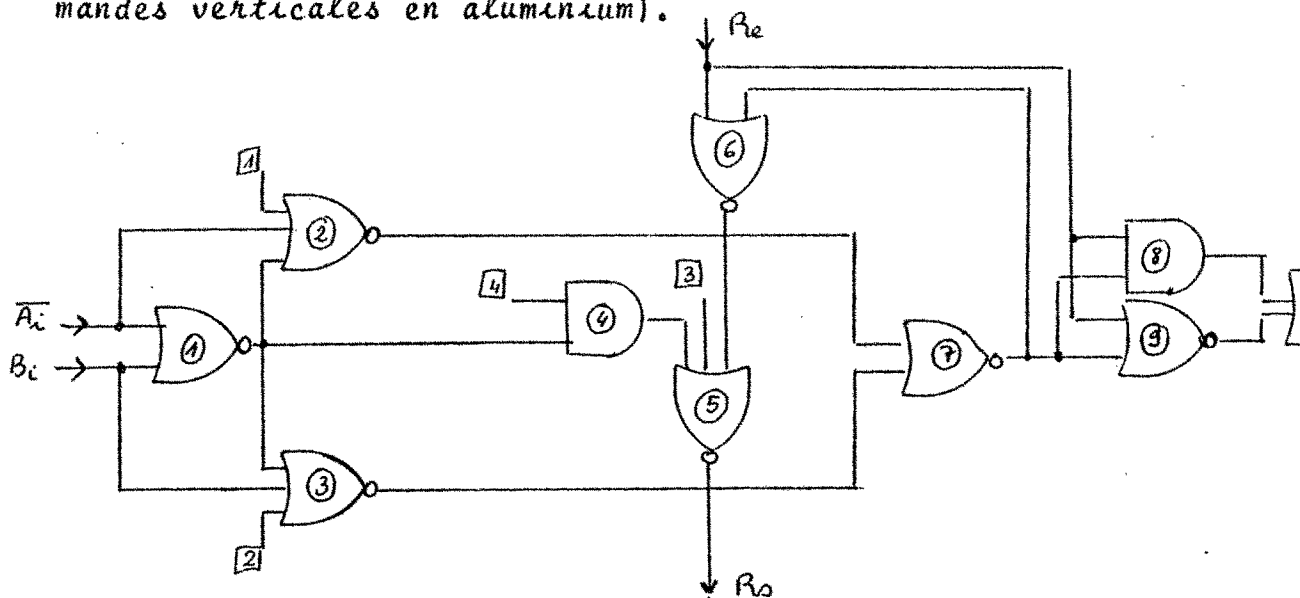


Figure 4-8

Possibilités d'optimisation des
dessins.

IV - 3 EVALUATION DE CETTE REPRESENTATION MATRICIEL

Dans le but de tester et d'évaluer cette méthode d'implantation on va l'appliquer à la réalisation de l'opérateur du P68. Ceci peut se faire sans changer le schéma logique puisqu'il ne comporte que des portes NOR et des portes ET à 2 entrées. On pourra donc faire une estimation assez réaliste de la perte de surface en comparant avec le circuit implanté "à la main". La figure 4-9 donne une matrice d'implantation où les fils en aluminium sont verticaux afin de respecter la compatibilité avec le circuit réalisé manuellement (2 bus horizontaux en diffusion et les commandes verticales en aluminium).



a) Schéma logique

b) Matrice d'implantation comportant les flags de sortie de l'opérateur

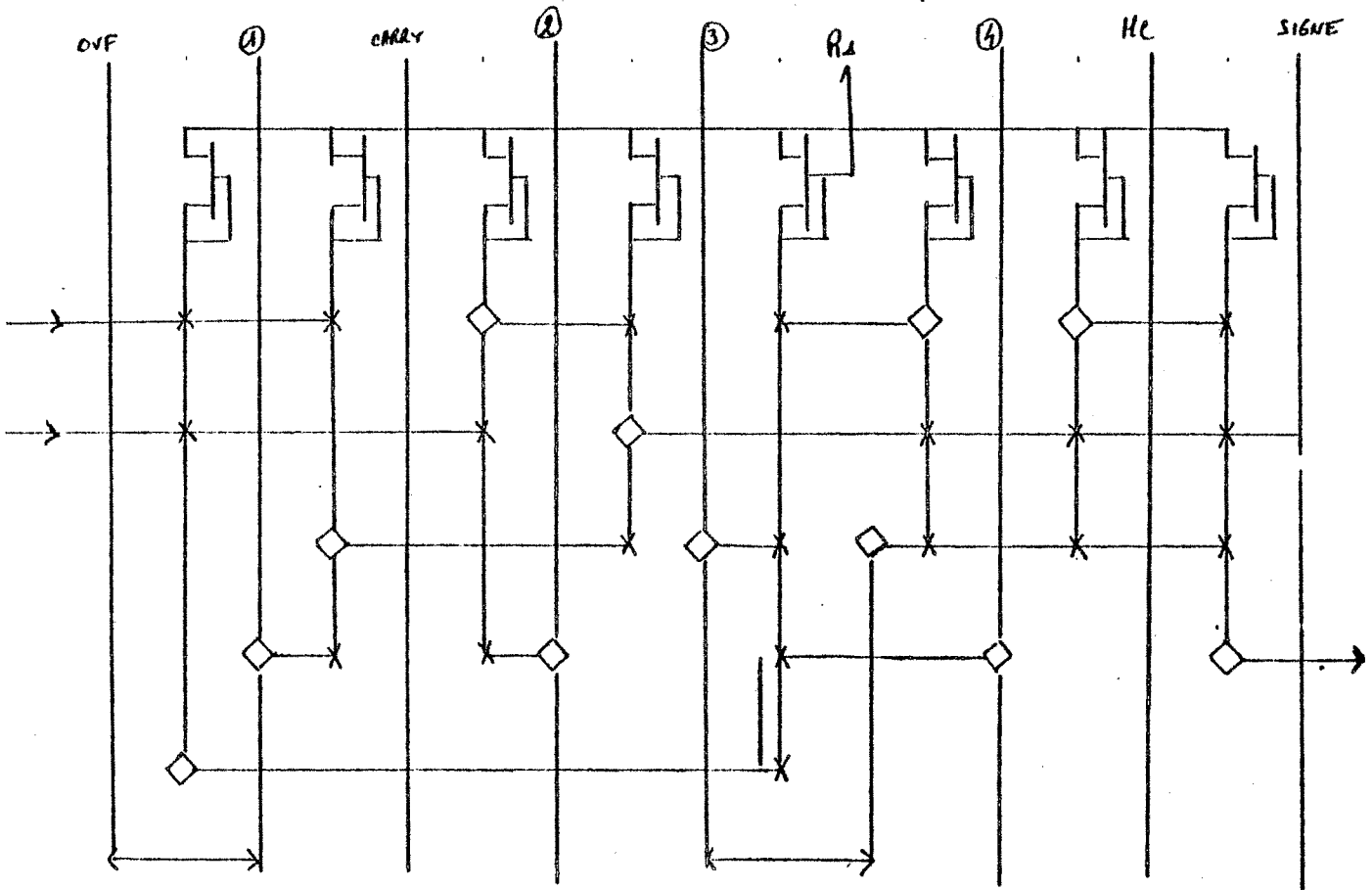


Figure 4-9

Implantation matricielle de l'opérateur du P68.

Les dimensions de ce circuit compte tenu des 2 bus en diffusion horizontaux ainsi que de la distribution des masses et des alimentations sont estimés comme suit :

hauteur H' 180 microns

longueur L 300 microns

Pour le circuit implanté "à la main" on a :

$$\begin{cases} H = 150 \text{ microns} \\ L = 300 \text{ microns} \end{cases}$$

L'augmentation de surface est déterminée par le rapport suivant :

$$\frac{H' \times L' - H \times L}{H \times L} = \frac{180 \times 300 - 150 \times 300}{150 \times 300} = \frac{30}{150}$$

L'emploi de la méthode d'implantation matricielle entraîne donc une augmentation de surface de 20 %. Pour fixer les idées un tel rapport implique qu'un circuit de 5x6 mm entièrement implanté à la main, verra ses dimensions passer à 6x6mm avec une réalisation plus automatisée.

Ce chiffre de 20 % doit s'apprécier sous certaines réserves. En effet il ne peut pas se généraliser hâtivement car il n'a été obtenu qu'à partir d'un seul exemple. Le schéma logique utilisé se prête bien à la représentation sous forme matricielle il n'y a pas trop de "trous" dans la grille, par conséquent peu de place perdue, et le nombre d'entrées en silicium n'est pas trop élevé (s'il avait fallu, à la fois, acheminer les entrées directes et complémentées la hauteur de la figure aurait été modifiée du fait de la présence d'une ligne (ou même deux) en silicium supplémentaire).

Cette représentation matricielle permet aussi, moyennant quelques notations supplémentaires, de réaliser des circuits dynamiques. La figure 4-10 en donne un exemple ; il s'agit d'un circuit d'anticipation du report entièrement dynamique. Les circuits d'anticipation du report ne sont jamais utilisés parce qu'ils occupent trop de surface. Le fonctionnement dynamique offre une solution à ce problème puisque le circuit qu'on obtient est peu encombrant tout en étant rapide.

Pour 3 bits on a :

$$\begin{aligned} K2 &= G2 + P2 G1 + P2 P1 G0 + P2 P1 P0 C1n \\ &= \overline{P2} + \overline{P1} \overline{G2} + \overline{P0} \overline{G1} \overline{G2} + \overline{C1n} \overline{G0} \overline{G1} \overline{G2} \end{aligned}$$

On voit apparaître certaines contraintes pour l'implantation des "MOS série". En effet, comme pour les ET à 2 entrées, ils ne peuvent pas couper une liaison de masse et doivent donc avoir deux ou aucune lignes horizontales en commun. De plus deux "MOS série" comportant chacun 2 contacts Alu-Di et étant sur une même verticale doivent être séparés par au moins 2 lignes horizontales afin de pouvoir les placer tous les deux (voir dessin). Bien entendu cette dernière contrainte n'est plus valable lorsqu'on peut couper la liaison de masse séparant ces 2 "MOS série".

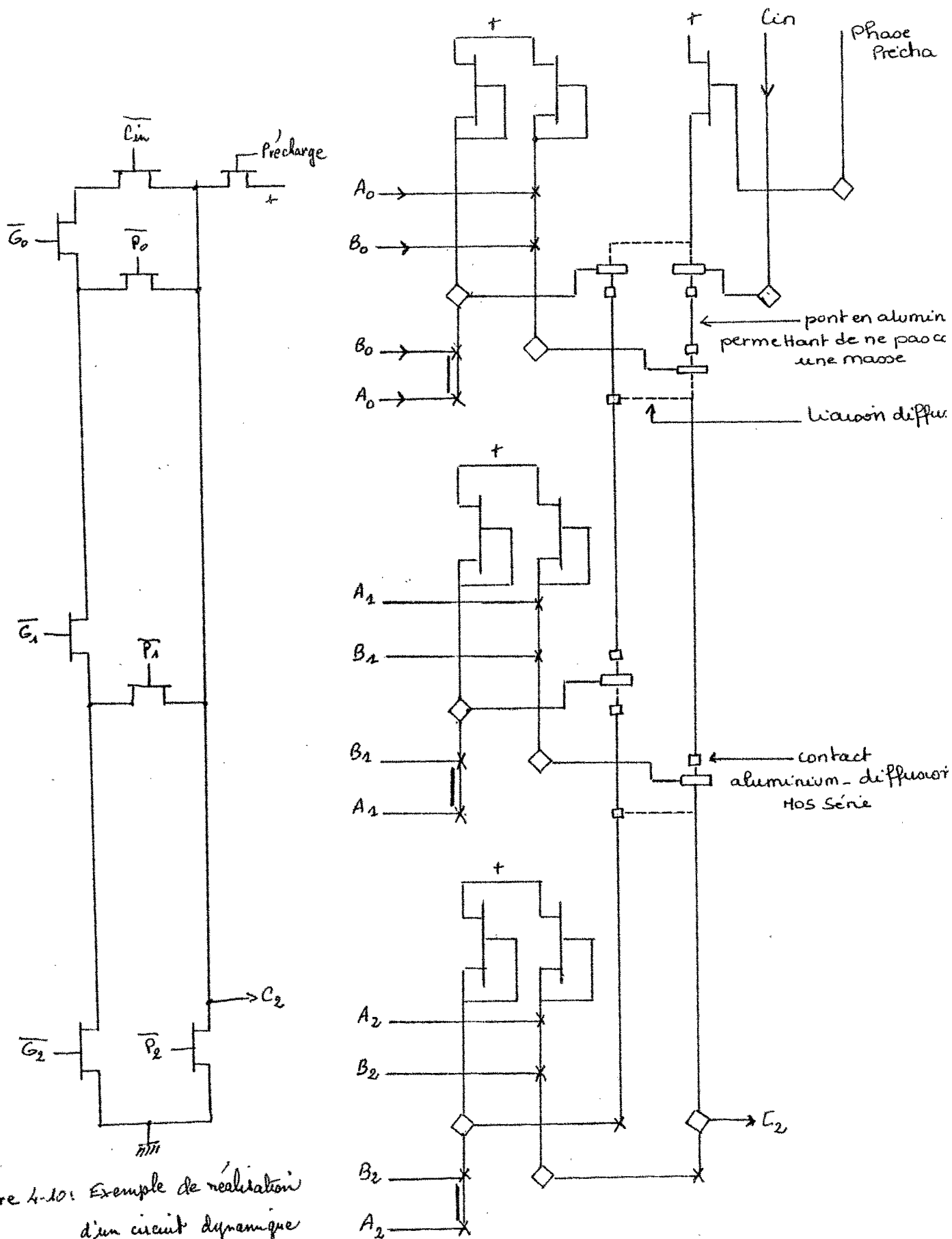


Figure 4-10: Exemple de réalisation d'un circuit dynamique sous forme matricielle

Cette représentation matricielle apparaît donc comme un outil efficace permettant de résoudre la plupart des problèmes tout en restant dans le domaine du raisonnable pour la surface occupée. On peut d'ailleurs, suivant les besoins, penser à développer d'autres concepts compatibles avec cette structure en forme de grille qui fait l'intérêt de cette méthode.

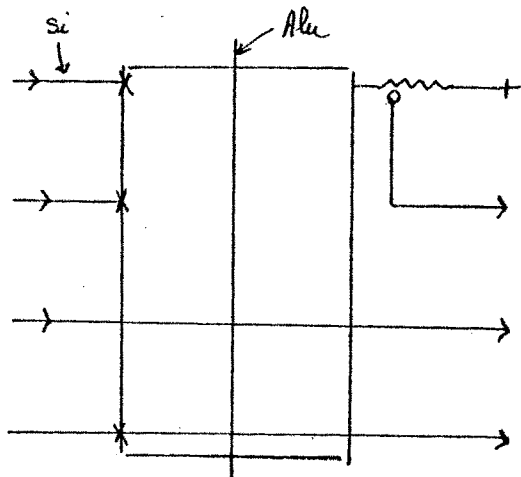
IV - 4 AUTRES METHODES D'IMPLANTATION

IV - 4 - 1 OPTIMISATION DE LA PRECEDENTE

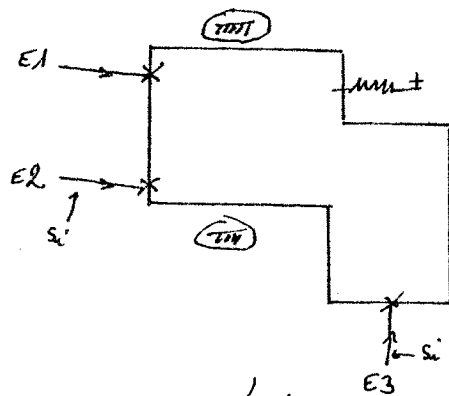
Le problème consiste à trouver une nouvelle méthode d'implantation permettant de réduire la surface occupée. Dans le principe précédent l'augmentation de surface est dû en grande partie au fait que chaque porte logique possède une connexion d'aluminium qui assure la liaison entre le MOS de charge et les divers MOS signaux. Or une porte logique simple peut fort bien être réalisée uniquement en utilisant les 2 niveaux de diffusion et de silicium. Le fait d'introduire systématiquement un fil en aluminium augmente donc la surface puisque la nappe de fils en aluminium est plus grande que si on avait réalisé certaines portes sans liaison aluminium. De plus on peut encore espérer gagner de la place en implantant certains MOS de charge dans les parties non

occupées de la grille.

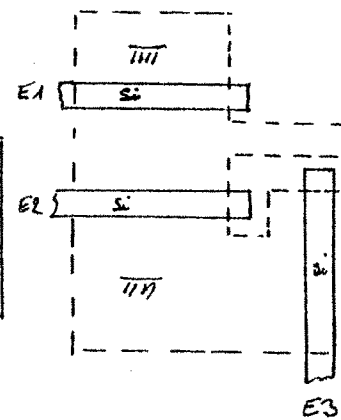
Dans ce but on va définir une porte logique comme un "module déformable" pouvant recevoir des entrées et délivrer certains de ces signaux d'entrée en sortie ainsi que la fonction réalisée par la porte elle-même (figure 4-11). La croix indique la présence d'un MOS signal tandis que le rond repère la sortie de la porte logique attaquant une autre porte. La résistance reliée au plus matérialisé le MOS de charge.



Porte nécessitant un fil alu pour relier les différents MOS signaux



Porte ne nécessitant aucun fil Alu pour relier les différents MOS signaux



Réalisation

Figure 4-11

Portes logiques sous forme de "modules déformables"

Ces nouvelles portes peuvent être placées sur une grille analogue à celle décrite précédemment à ceci près que les fils en aluminium n'ont pas forcément un pas fixe. En effet avec cette représentation les fils en silicium n'ont pas une direction fixe (parallèle ou verticale) ; ils possèdent donc un degré de liberté de plus, et c'est ce qui permet de réaliser des portes sans avoir à relier les MOS signaux par un fil en aluminium, cette liaison se faisant par l'intermédiaire du niveau en diffusion. Aussi lors de la réalisation d'une fonction complexe comportant peu de commandes, les niveaux de diffusion et de silicium sont dessinés en premier afin de gagner le maximum de place car c'est eux qui déterminent la taille du bloc final. Les liaisons en aluminium doivent suivre et s'adapter au dessin ainsi réalisé. Un bon exemple de ce processus est fourni par la réalisation de l'opérateur du P68 (figure 4-12).

Les portes du schéma logique sont numérotées, puis ces numéros sont reportés dans les modules correspondants lors de l'implantation. Deux modules qui se chevauchent ont leurs sorties qui sont reliées : c'est le cas d'un ET qui attaque une porte NOR.

Les masses et les alimentations ainsi que les signaux dont on a besoin sont entourés d'un cercle sur le dessin afin de prévoir la distribution des fils en aluminium distribuant ces signaux.

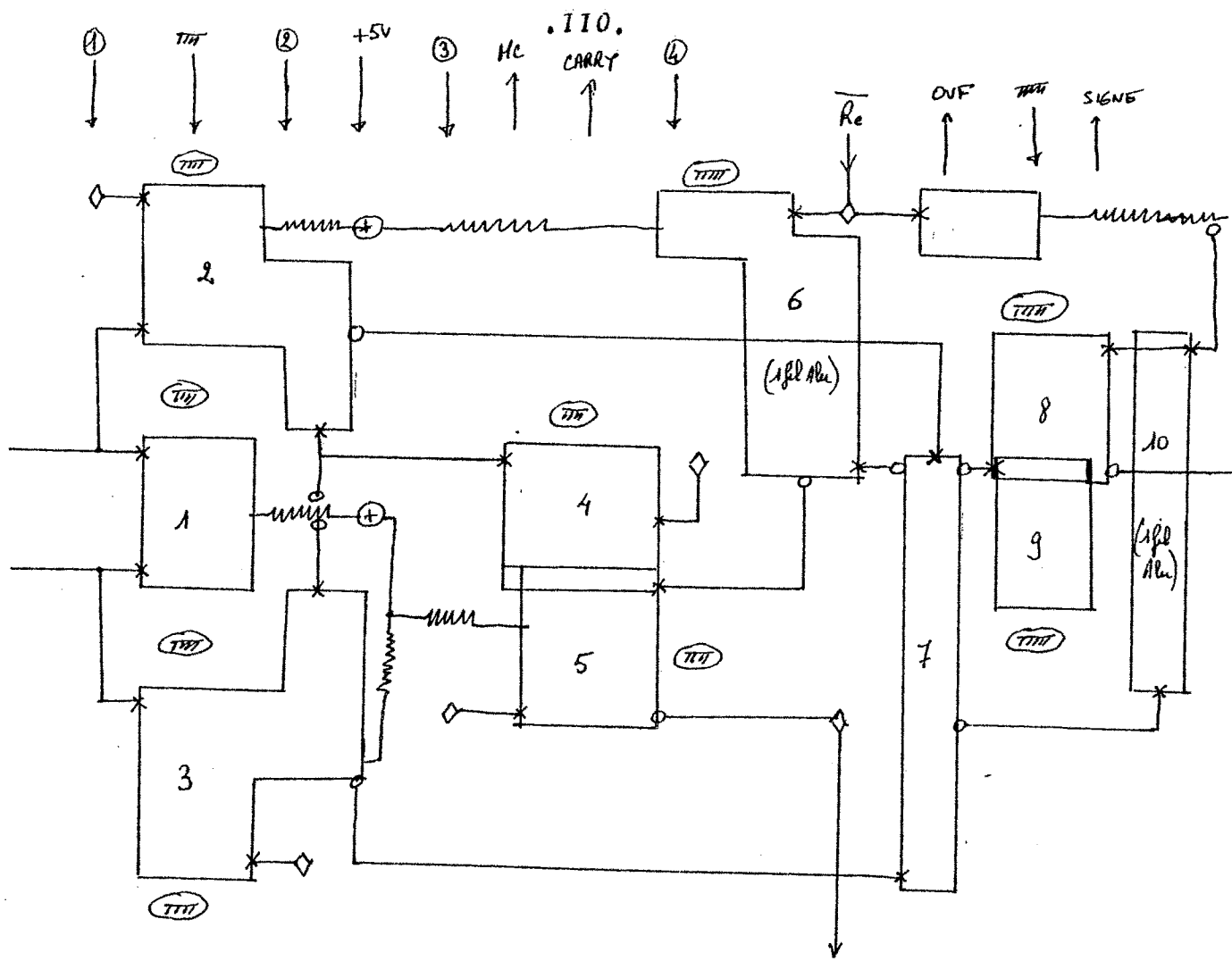


Figure 4-12:

Schéma d'implantation de l'opérateur des P&S

Note : Une optimisation apparaît avec le placement de la commande 4 qui attaque une porte logique entre 2 niveaux de la grille. Ceci est possible car la porte attaquée est un ET.

Figure 4-12

Cette méthode d'implantation nécessite des outils d'implantation de type conversationnel permettant de créer et d'effacer les MOS signaux, les MOS de charge, les différentes liaisons et contacts afin d'optimiser le plus possible la place occupée.

La surface occupée par la figure 4-12 est estimée comme suit :

$$\left\{ \begin{array}{l} \text{hauteur } H' = 5 \times 22 + \bar{e} \times 14 = 2 \times 15 = 168 \text{ microns} \\ \text{longueur } L' = 15 \times 20 = 300 \text{ microns} \end{array} \right.$$

L'augmentation de surface par comparaison avec l'implantation "à la main" est conforme au rapport ci-dessous :

$$\frac{H' \times L' - H \times L}{H \times L} = \frac{170 \times 300 + 150 \times 300}{150 \times 300} = \frac{20}{150}$$

Cette nouvelle méthode d'implantation entraîne donc une augmentation de surface d'environ 15 %. Ce pourcentage favorable s'explique par la plus grande liberté laissée au dessinateur qui peut maintenant déformer ses portes, placer ses MOS de charge et distribuer ses masses comme il l'entend. Mais ceci est obtenu au détriment de l'implantation car les objets manipulés ne sont plus des représentations (croix, losange, ..) mais le dessin de base du transistor.

IV - 4-2 LA METHODE MD-MOS DU CNET

Le CNET a développ  une m thode d'implantation qui s'apparente beaucoup   la I^2L . En effet ce proc d  permet de d finir des MOS multi-drains dont la grille est reli e   une source de courant. La figure 4-27 donne le sch ma d'une porte MD-MOS : sur la repr sentation graphique la croix rep re l'un des drains du MOS multi-drains tandis que le losange repr sente un contact aluminium-silicium, le silicium formant la grille du MOS multi-drains.

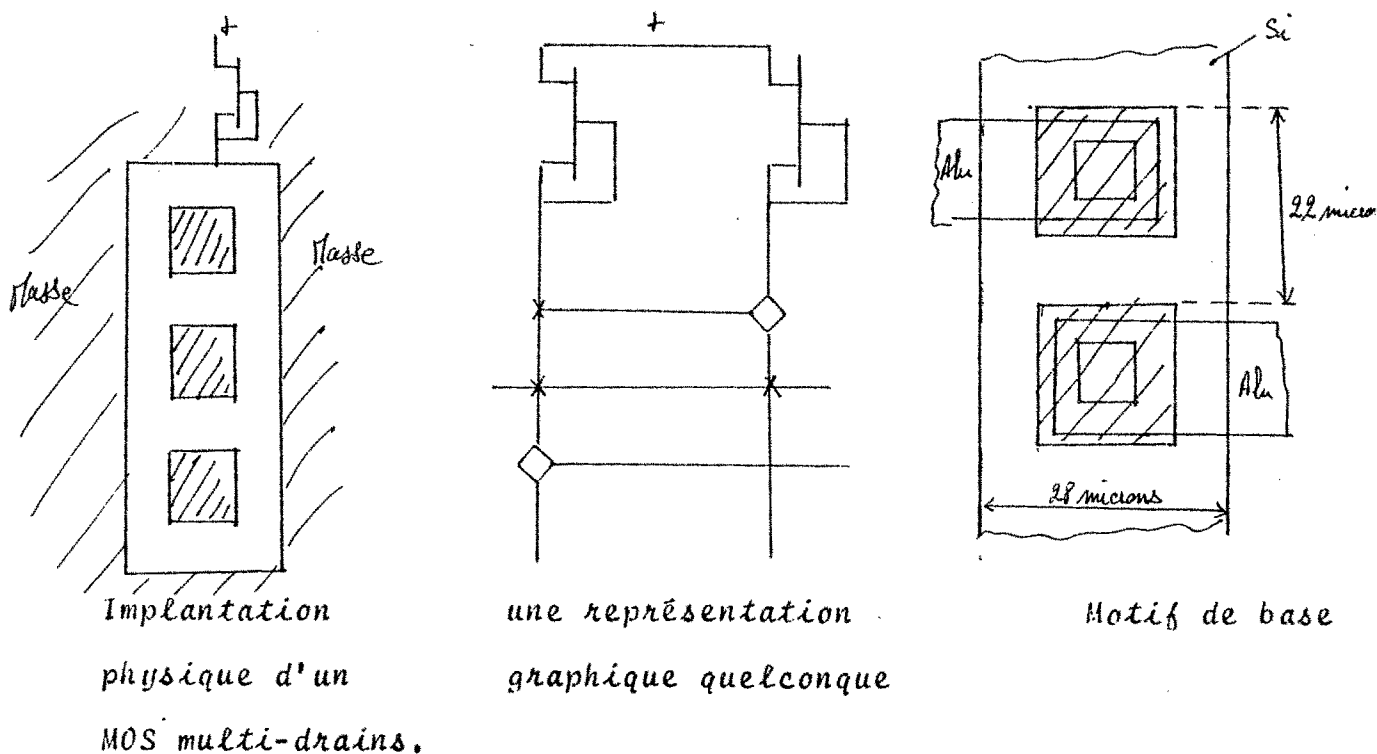


Figure 4-27

M thode d'implantation MD-MOS du CNET

La hauteur du motif de base MD-MOS est la même que celle du motif sous forme de ROM décrit précédemment (22 microns), mais par contre le motif MD-MOS a une largeur minimale de 28 microns tandis que celle du motif ROM dépend de la géométrie des MOS signaux (en général 19 microns).

En MD-MOS les liaisons en aluminium sont horizontales tandis que dans la structure sous forme de ROM elles sont verticales. On pourra utiliser cette remarque afin de résoudre au mieux les problèmes d'implantation en utilisant simultanément et complémentirement ces 2 méthodes.

IV - 4-3 MATRICES DE NANDS

Au lieu de définir des matrices de portes NOR on aurait aussi bien pu définir des matrices de portes NAND. Cette solution n'a pas été retenue car elle impose une limitation du nombre des entrées. En effet la surface d'une porte NAND est proportionnelle au carré du nombre de ses entrées, ce qui pose des problèmes de surface lorsque ce nombre devient important (supérieur à 3).

De plus dans le schéma d'implantation, tout signal, autre que les signaux d'entrée de la porte NAND, doit obligatoi-

rement se trouver à l'extérieur du faisceau formé par ces signaux d'entrée. Cette difficulté peut être levée en déplétant le MOS signal formé par la "liaison parasite" (figure 4-28).

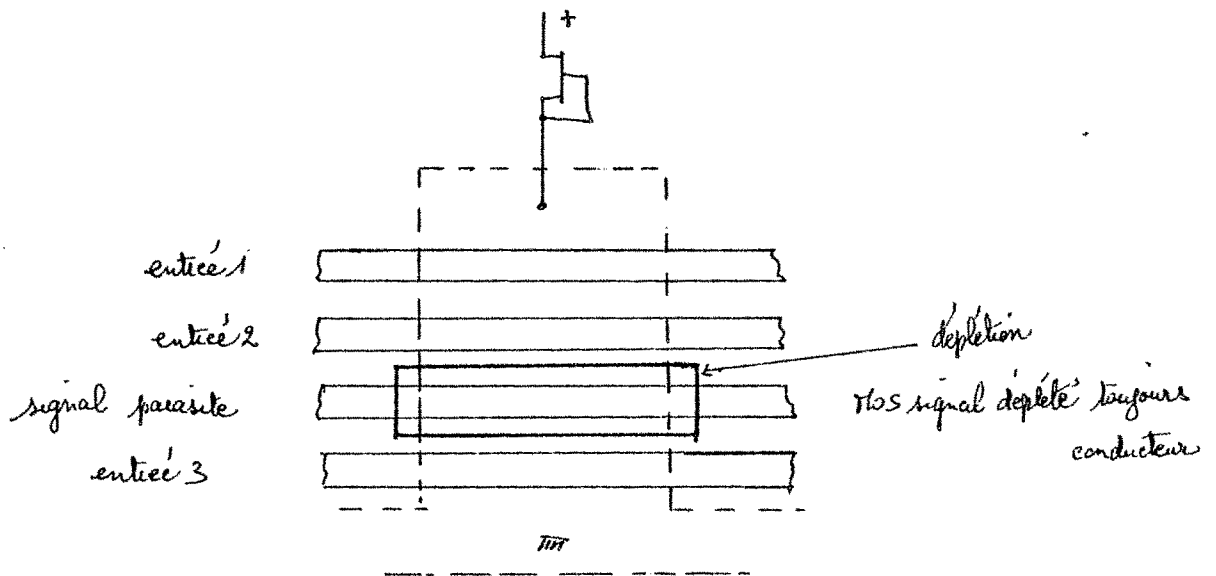


Figure 4-28

Schéma d'implantation d'une matrice de NANDs.

Le MOS signal parasite déplété est toujours conducteur et n'intervient plus dans la fonction NAND. Par contre il introduit une résistance série supplémentaire qui entraîne une augmentation des géométries des autres MOS signaux. Si le nombre de signaux à propager dans la matrice est grand, la surface du NAND devient très vite disproportionnée et entraîne l'abandon de cette méthode.

V - QUELQUES REFLEXIONS SUR L'ARCHITECTURE INTEGREE

V - I LES BUS DANS LES CIRCUITS INTEGRES

Ce sont les bus qui assurent toute la circulation de l'information à l'intérieur d'un circuit intégré. De ce fait ils interviennent pour une large part dans la vitesse finale du produit.

Dans un microprocesseur existe en général un bus principal reliant les plots données à l'opérateur arithmétique et logique et aux différents registres, registre instruction compris. Par voie de conséquence ce bus est très long et présente donc une capacité et une résistance élevées. Comme ce bus est fréquemment utilisé (plusieurs fois au cours d'une même instruction) il apparaît intéressant de réaliser ce bus avec un matériau dont la constante de temps RC soit la plus faible possible, en l'occurrence l'aluminium. Mais il se peut que pour des raisons d'implantation cette condition ne puisse être respectée ou que la grandeur du bus pénalise trop les temps de transfert. On doit alors faire appel à des techniques de remplacement qui consistent à :

- utiliser un bus à précharge qui permet d'augmenter la vitesse de transfert du fait que la propagation d'un "0" est plus rapide que celle d'un "1".

- décomposer le bus en plusieurs bus : par exemple on peut penser à créer un bus spécial autorisant le chargement du registre instruction à partir des plots données d'entrée afin de réduire la capacité du bus

- découper le bus en segments reliés entre eux par des portes de transfert. Le bus peut alors être utilisé comme un bus général en reliant entre eux tous les segments, mais aussi, comme un ensemble de petits bus locaux liés chacun à un ensemble logique donné et travaillant indépendamment les uns des autres. Un exemple de cette structure est fourni par le MC2. Une telle approche a le mérite de concilier les 2 aspects universalité du bus et vitesse de traitement : une donnée présente sur le bus peut être acheminée vers n'importe quel module logique connecté au bus mais tous ces modules peuvent travailler séparément les uns des autres sur leur bus local afin de déterminer un haut degré de parallélisme dans le traitement interne.

Quel que soit la solution envisagée le problème des bus doit être pensé au départ, au moment de la définition de l'architecture de la machine à réaliser, mais en prenant en considération les contraintes liées à l'implantation. Il est en effet très difficile de reprendre la distribution des bus lorsqu'on en est au

stade de l'implantation et que les simulations électriques font apparaître une vitesse de transfert trop lente sur les bus. Il faut alors avoir recours à des artifices tels que anticipation de la lecture des données, augmentation de la taille et de la structure des émetteurs, duplication du bus, qui sont lourds et pénalisant autant pour la surface occupée que pour le temps passé en implantation et en conception.

Un chemin de données autorisant la plus grande rapidité est un chemin composé uniquement de bus privés comme c'est le cas pour le CPI600 de General Instrument. Un bus est dit privé lorsqu'il n'est relié qu'à un seul émetteur. Les avantages du bus privé, sont sa vitesse à cause de sa capacité réduite au minimum (un seul émetteur et longueur réduite), et son absence de commande en entrée (une seule commande toujours active). Ces bus privés sont attachés à un circuit fonctionnel : dans le 780 le registre adresse possède un bus privé tandis que dans le 2650 de SIGNETICS c'est la sortie de l'opérateur arithmétique et logique. Plus le nombre de bus privés est grand et plus le degré de parallélisme au niveau des traitements internes augmente.

Il existe 3 types de bus suivant la façon dont la donnée en entrée est forcée. Par ordre de vitesse croissante il y a les bus :

- à push-pull sur lesquels un amplificateur de type Push-Pull force un état "0" ou "1",

- à push-pull avec précharge ainsi nommés à cause du fait qu'on stabilise le bus dans un état intermédiaire entre le "0" et le "1" avant de forcer la donnée,
- et enfin le bus à précharge qui est mis dans l'état "1" avant l'entrée d'une donnée et qui, soit reste dans l'état "1", soit passe à "0" ensuite.

L'inconvénient du bus à précharge est qu'il fonctionne de façon dynamique ce qui signifie qu'au bout d'un certain laps de temps il y a disparition de la donnée présente sur le bus. Il ne peut donc pas être utilisé pour mémoriser une donnée.

Pour des bus rapides il faudra donc prendre des bus en aluminium et à précharge tandis que des bus plus lents et plus courts pourront être en silicium ou en diffusion et de type push-pull avec ou sans précharge.

L'émetteur d'un bus à précharge se compose de 2 MOS série reliés à la masse. L'un reçoit la donnée complémentée, l'autre la commande d'activation (figure 5-1).

La taille des 2 MOS série est déterminée par la largeur de leur canal, soit $W1$ et $W2$. Si on fait varier la taille des 2 MOS série tout en gardant leur somme constante on s'aperçoit que le temps de décharge du bus est minimal lorsque les deux transistors sont de taille égale (figure 5-1). Il ne sert donc à rien d'augmenter démesurément la taille d'un des 2 MOS série en cro-

yant gagner beaucoup en rapidité, il est préférable d'agrandir un peu chacun des 2 MOS série tout en leur gardant une taille à peu près semblable.

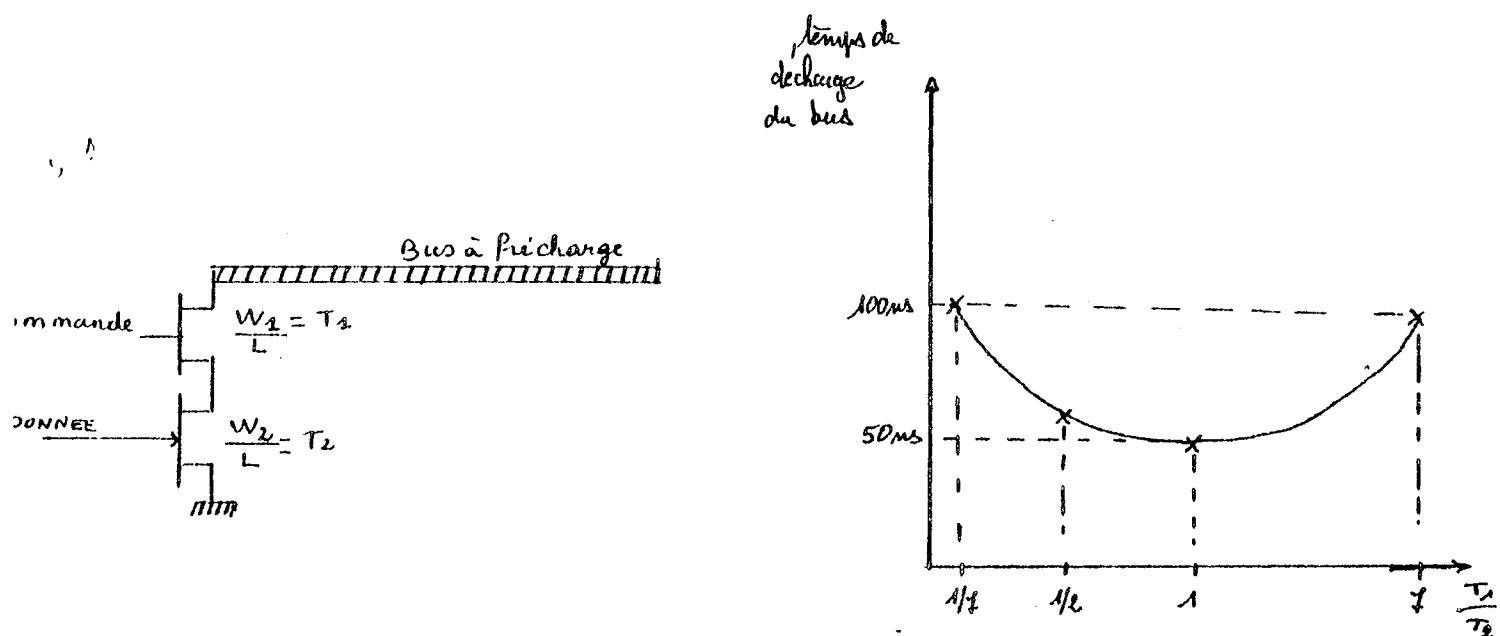


Figure 5-1

Décharge d'un bus

Lorsqu'on veut être plus rapide on peut faire appel aux émetteurs de la figure 5-2-a qui ne nécessitent qu'un seul MOS série mais qui occupent plus de place et ne permettent pas la mise en commun du MOS de décharge comme dans la figure 5-2-b.

Sur la figure 5-2-a les commandes d'entrée sur les bus sont actives sur le niveau zéro tandis que sur la figure 5-2-b elles sont actives sur le niveau 1. L'établissement d'un "0" étant plus rapide que l'établissement d'un "1" ceci a pour effet de dimi-

nuer le temps d'activation des émetteurs et donc d'accroître la vitesse de transfert des bus de la figure 5-2-a.

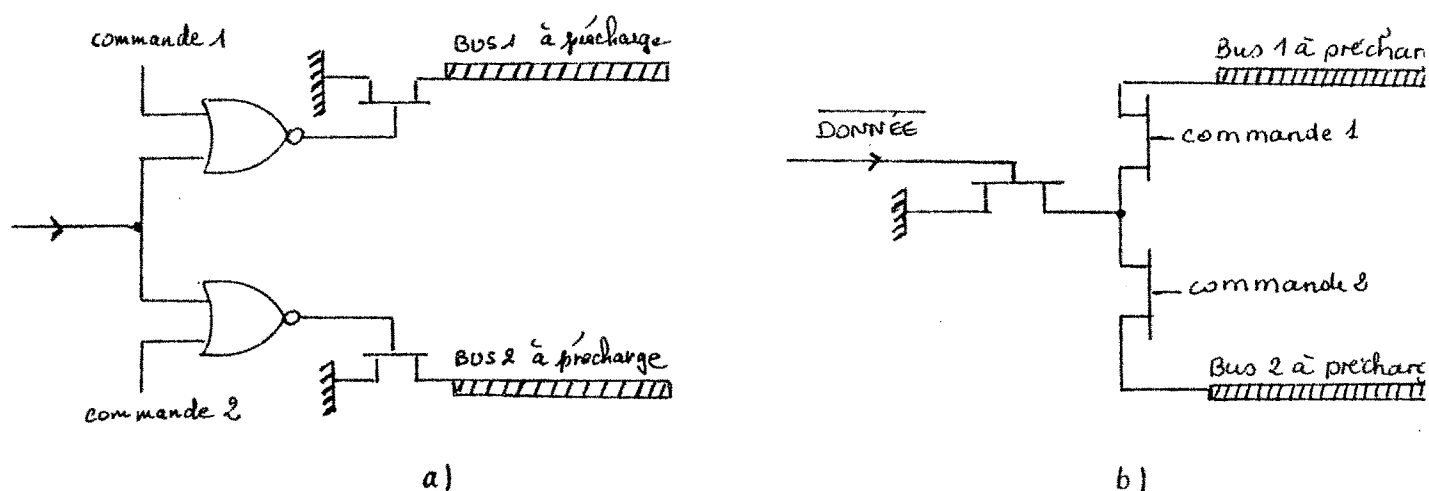


Figure 5-2.

Emetteur permettant d'entrer une donnée sur 2 bus différents.

Dans le P68 les émetteurs du registre d'entrée IN sur les bus DATA et ADOP étaient initialement ceux de la figure 5-2-b. Les vitesses de transfert sur ces bus dans le sens IN DATA et IN ADOP étant devenues critiques il a fallu transformer les émetteurs pour les rendre conformes à la figure 5-2-a. Pour le bus DATA le temps de transfert est ainsi passé de 150 nanosecondes à 100 nanosecondes, d'où un gain en vitesse d'environ 30 %.

Le même problème peut se poser pour la communication entre 2 bus. La façon la plus simple pour réaliser une communication bi-directionnelle entre 2 bus est de placer un MOS série entre ceux-ci. Mais lorsque la vitesse et les capacités mises en jeu sont grandes il peut être préférable d'utiliser le système de la figure 5-3 qui illustre un cas de figure pour deux bus à précharge.

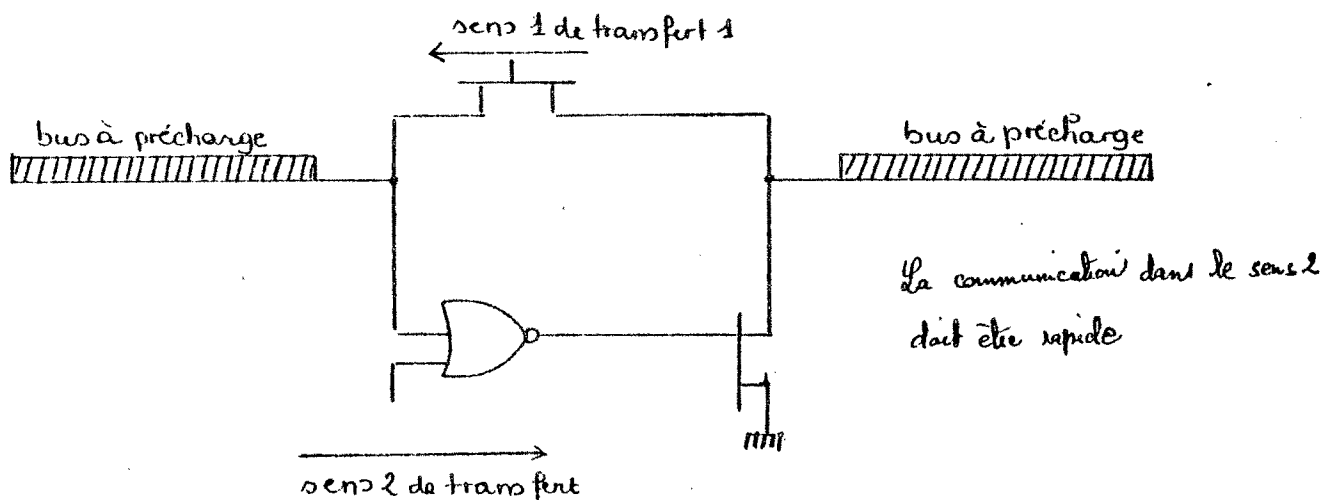


Figure 5-3

Communication entre 2 bus à précharge.

V - 2 LES ELEMENTS DE MEMORISATION

Le plus connu des éléments de mémorisation non banalisés

est la classique bascule R-S représentée figure 5-4. Son inconvénient majeur réside dans la surface importante qu'elle occupe.

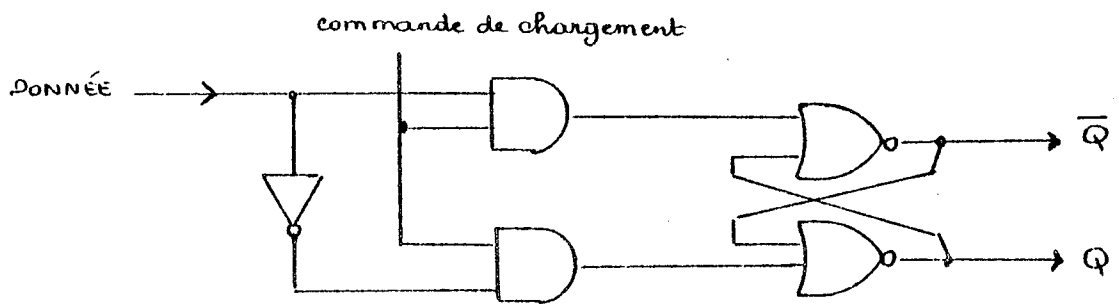


Figure 5-4
Bascule R-S.

Le point mémoire semi-statique de la figure 5-5 offre une solution au problème de la surface occupée mais introduit une commande supplémentaire permettant d'assurer le fonctionnement statique de la cellule.

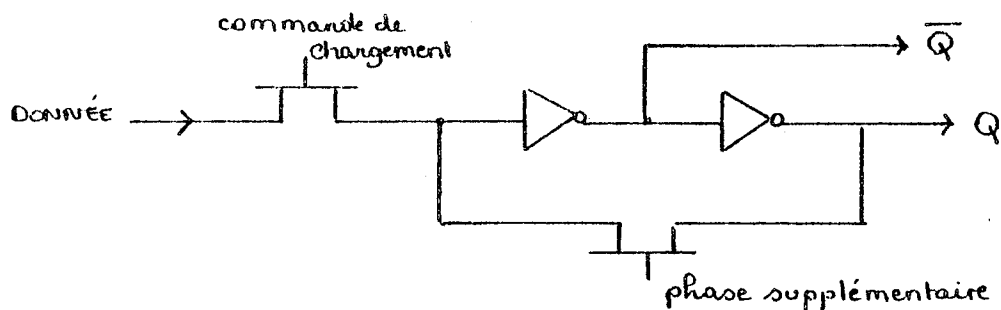
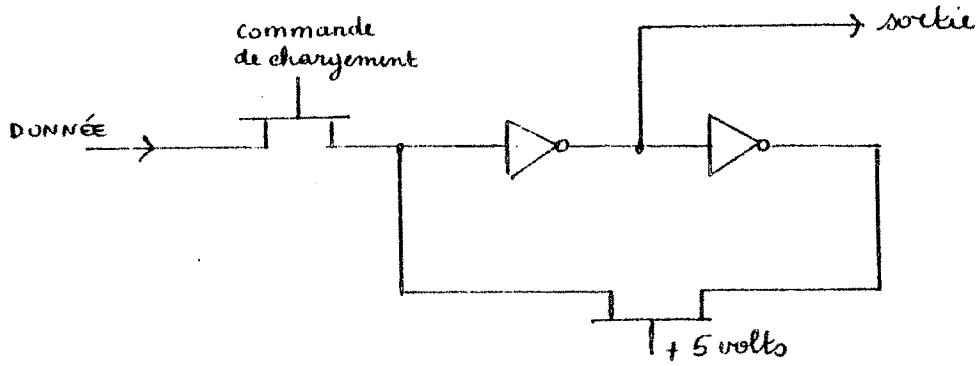


Figure 5-5
Point mémoire semi-statique

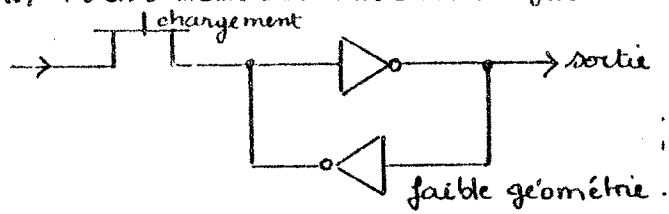
L'élément de mémorisation de la figure 5-6-a s'affranchit de cette phase supplémentaire. Le MOS série assurant le bouclage du pont mémoire reçoit l'alimentation sur sa grille et est donc toujours conducteur. Il est assimilable à une résistance série et son rôle est de limiter le courant fourni par une donnée entrant, voulant faire basculer le point mémoire de l'état logique 0 à l'état logique 1. Si ce courant est suffisamment faible la capacité de grille du premier inverseur peut se charger et faire ainsi basculer le point mémoire. Ce basculement se fait d'autant plus facilement que la résistance du MOS dont la grille est reliée à la masse est plus grande. Dans les cas où le circuit d'entrée ne peut fournir qu'un courant réduit cet élément de mémorisation peut être utilisé alors que celui de la figure 5-6-b ne peut pas l'être.

L'économie d'un fil de phase est très important pour la surface occupée, mais est aussi indirectement intéressant par le fait qu'il permet de réduire la capacité attachée à cette phase donc de soulager la sortie des amplificateurs correspondants.

Prenons l'exemple d'un séquenceur câblé à rendre statique sur une certaine phase. Il faut donc introduire un élément de mémorisation partout où apparaît cette phase. Ce dernier point mémoire permettant de faire l'économie de la phase statique réduit considérablement sa capacité de sortie ainsi que son système de distribution à travers le séquenceur (figure 5-7).



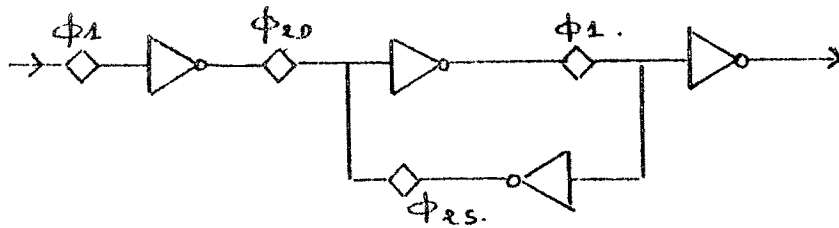
a) Point mémoire basculant facilement



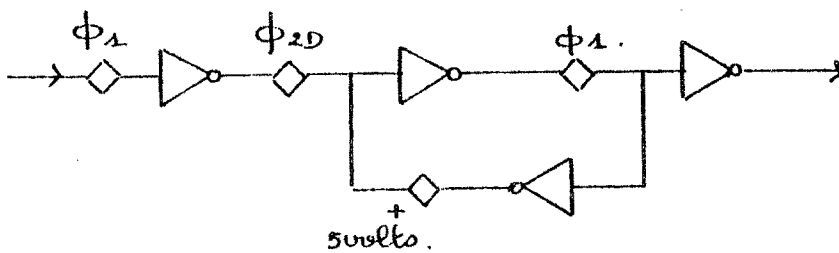
b) Point mémoire nécessitant un fort courant d'entrée pour basculer.

Figure 5-6

Points mémoire sans phase statique



Point mémoire semi-statique



Point mémoire permettant l'économie de Φ_{2S}

Figure 5-7

Séquenceur câblé statique sur la phase 2

V - 3 LES COMMANDES DANS LES CIRCUITS INTEGRES

Les commandes des différents blocs fonctionnels d'un circuit intégré ont besoin d'être stabilisées rapidement car elles introduisent un retard dans le fonctionnement des modules correspondants. La commande activation des adresses du MC6800 en est un parfait exemple. Cette commande est en silicium et doit longer 2 côtés consécutifs du circuit où se trouve les plots d'adresse. Sa longueur atteint donc 8 mm et un signal met environ 500 nanosecondes pour se propager sur ce fil, ce qui représente la moitié du cycle de base de ce microprocesseur. Si ce fil avait été en aluminium, ce temps aurait très certainement été divisé par 10 au moins, d'où un gain fort appréciable.

Cette nécessité d'être rapide implique de disposer de commandes en aluminium. Mais c'est là que la recherche de la vitesse pour les commandes s'oppose à la même recherche pour les bus. En effet dans beaucoup de cas les commandes et les bus vont se croiser ce qui oblige de les réaliser dans deux niveaux différents. Il va falloir faire un choix : soit passer les commandes en aluminium et passer les bus en silicium ou en diffusion (cas de l'opérateur arithmétique et logique du 280), soit l'inverse (cas des opérateurs de 6800 et du 2650).

Mais avec les nouvelles technologies qui se développent (polysilicure de platine) et dans lesquelles la résistance des liaisons en silicium approche celle des liaisons en aluminium, ce problème n'est plus aussi crucial.

Pour les commandes existe un compromis vitesse-consommation. Si on veut des commandes rapides il faut utiliser des amplificateurs de type PUSH-PULL mais avec des transistors de charge à déplétion afin d'obtenir 5 volts pour le niveau logique correspondant au "1". Dans ce cas, même au repos, il y a une consommation qui est d'autant plus importante que le MOS de charge de l'amplificateur fournit plus de courant. Le montage de la figure 5-8-a offre une solution à ce problème : dans ce montage le MOS de charge est relié à la phase d'activation au lieu d'être relié à la masse. A vitesse égale la consommation se trouve réduite puisque pendant la période de repos qui correspond à 0, l'élément de charge se trouve relié à la masse et ne fournit aucun courant.

Le schéma de la figure 5-8-a peut encore être amélioré afin d'accroître la vitesse. Pour cela il faut introduire un bootstrap comme le montre la figure 5-8-b. Pour appréhender son fonctionnement il faut bien comprendre comment est réalisé un condensateur. Pour réaliser une capacité à partir d'un transistor on réunit source et drain ensemble. La capacité du condensateur ainsi formé est donc variable (figure 5-9) : en l'absence de canal la capacité est négligeable, tandis qu'elle est maximale lorsque

le canal relie drain et source.

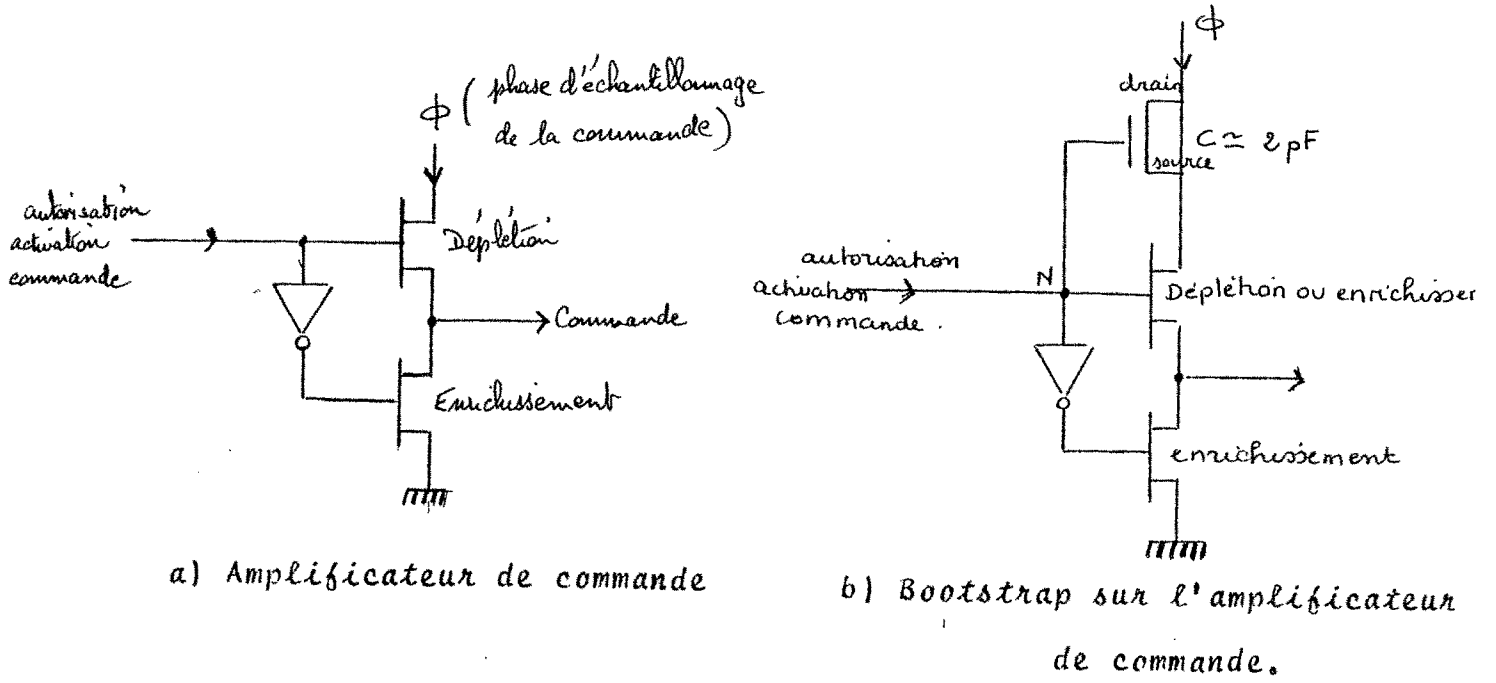


Figure 5-8

Amplificateur de commande alimenté par une phase.

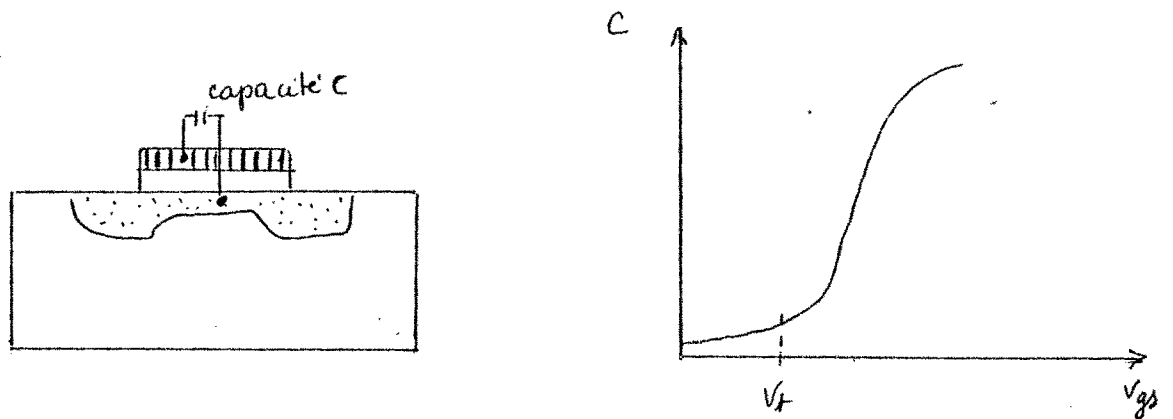


Figure 5-9

Transistor MOS utilisé comme condensateur.

Fonctionnement de l'ampli de la figure 5-8-b

La phase d'activation n'arrive que lorsque le noeud N est stabilisé, c'est-à-dire lorsque la capacité est chargée ou déchargée. Deux cas sont alors possibles :

- si le noeud N est haut (c'est-à-dire sous 5 volts) alors la capacité joue le rôle d'une capacité de bootstrap, forçant N à monter au-dessus de 5 volts.

- si le noeud N est bas, ce qui signifie l'absence d'un canal induit, la valeur de la capacité est négligeable. La phase n'a alors aucune influence sur le noeud N qui reste inférieur à la tension de seuil V_t .

Il faut noter que dans ce montage le MOS de charge peut être à enrichissement. En effet avec le bootstrap le noeud N monte au-dessus de 5 volts ce qui permet au MOS de charge à enrichissement de délivrer une tension de 5 volts en sortie. Dans ce cas la consommation est réduite à son minimum puisque le MOS de charge à enrichissement n'est pas conducteur lorsqu'il faut transmettre un zéro (la tension de grille est inférieure à V_t).

L'inconvénient d'un tel amplificateur réside dans le fait que la phase doit être capable de fournir un courant important. Son propre amplificateur devra donc être étudié avec soin en tenant compte du fort courant qu'il devra être capable de délivrer.

V- 4 COMPROMIS VITESSE SURFACE-OCCUPEE POUR UN

CIRCUIT D'ANTICIPATION.

C'est à partir d'un exemple de réalisation d'un incrémenteur/décrémenteur que cette notion va être étudiée.

Les équations (I) et (II) régissent respectivement le report de l'incrémenteur et du décrémenteur.

(I)

$$\begin{cases} s_i = d_i \oplus r_i \\ r_{i+1} = d_i \cdot r_i \end{cases}$$

(II)

$$\begin{cases} s_i = d_i \ominus r_i = d_i \oplus \bar{r}_i \\ r_{i+1} = \bar{d}_i \cdot \bar{r}_i \end{cases}$$

On peut donc obtenir le même circuit de propagation de la retenue pour les 2 opérations en permutant d_i en \bar{d}_i et r_i en \bar{r}_i (figure 5-10)

Dans un incrémenteur/décrémenteur 8 bits il faut attendre que la retenue ait traversé les 7 étages de faible poids avant de pouvoir calculer la sortie de l'étage poids fort. En anticipant partiellement la propagation de la retenue qui se fait alors sur 3 fils au lieu d'un on peut augmenter la vitesse de propagation à détriment, bien sûr, de la surface occupée. La figure 5-11 donne

schéma de l'incrémenteur/décrémenteur des 8 bits poids faible de l'adresse du P68 réalisé par Edouard PRESSON.

L'augmentation de la vitesse s'est faite au détriment, d'une part, de la surface occupée (circuit plus gros et 3 fils de propagation), et d'autre part, du temps d'implantation (le circuit n'a pas une structure répétitive pour les différents étages).

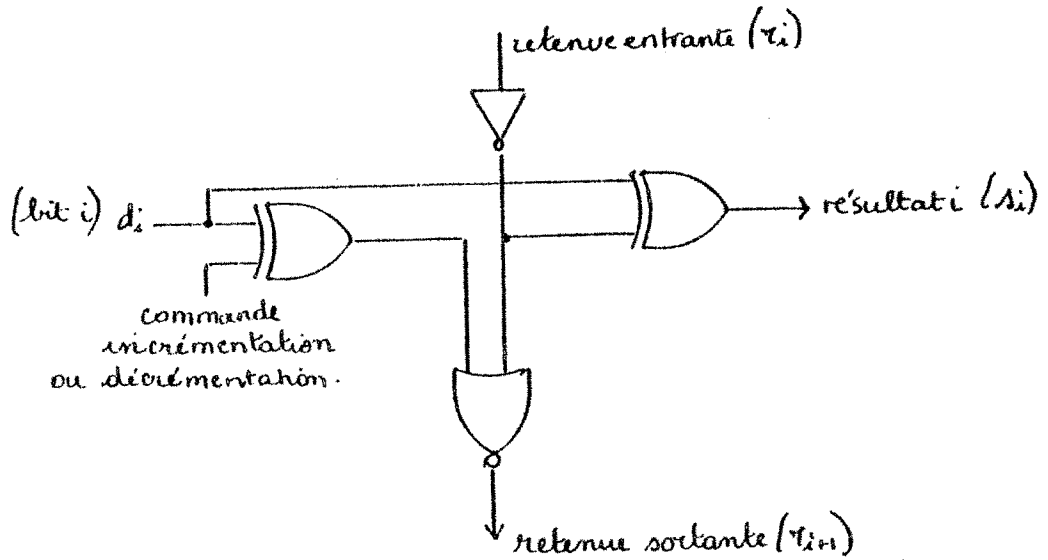


Figure 5-10

Schéma d'un étage d'un incrémenteur
décrémenteur.

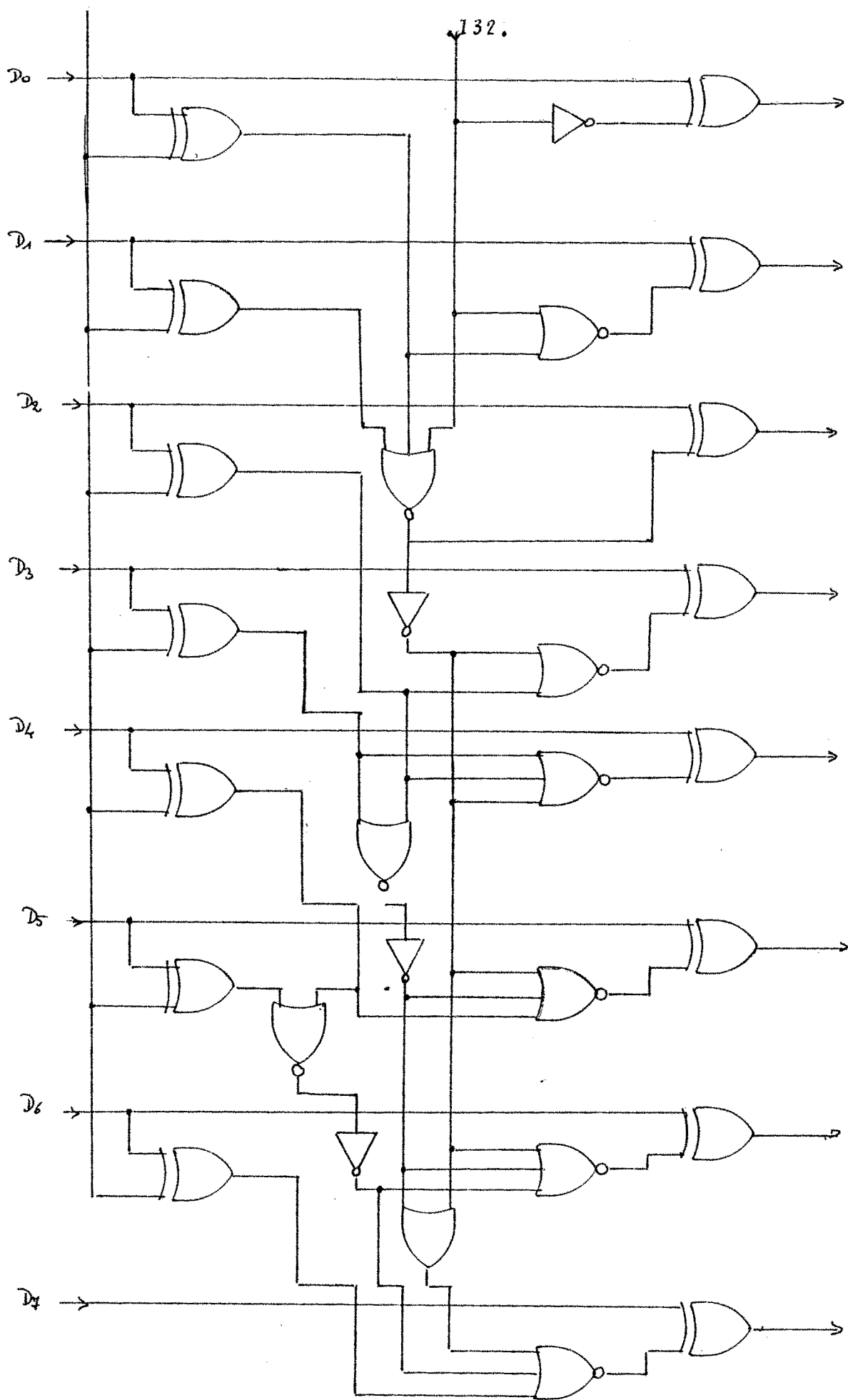


Figure 5-11

Incrémenteur/Décrémenteur octet poids faible de l'adresse du P68

VI - CONCLUSION

Les possibilités d'intégration augmentant sans cesse les circuits VLSI vont devoir contenir des systèmes de plus en plus complexes. Pour intégrer de tels systèmes il faudra disposer d'outils d'aide à la réalisation suffisamment souples et performants. Les techniques de CAO actuelles sont insuffisantes et mal adaptées pour résoudre des cas complexes : les programmes de simulation électrique sont inaptes à prendre en compte des circuits importants ; les problèmes d'implantation et de dessin des masques n'ont pas encore trouvés de solutions satisfaisantes ; quant à la génération des séquences de test elle demeure un point critique.

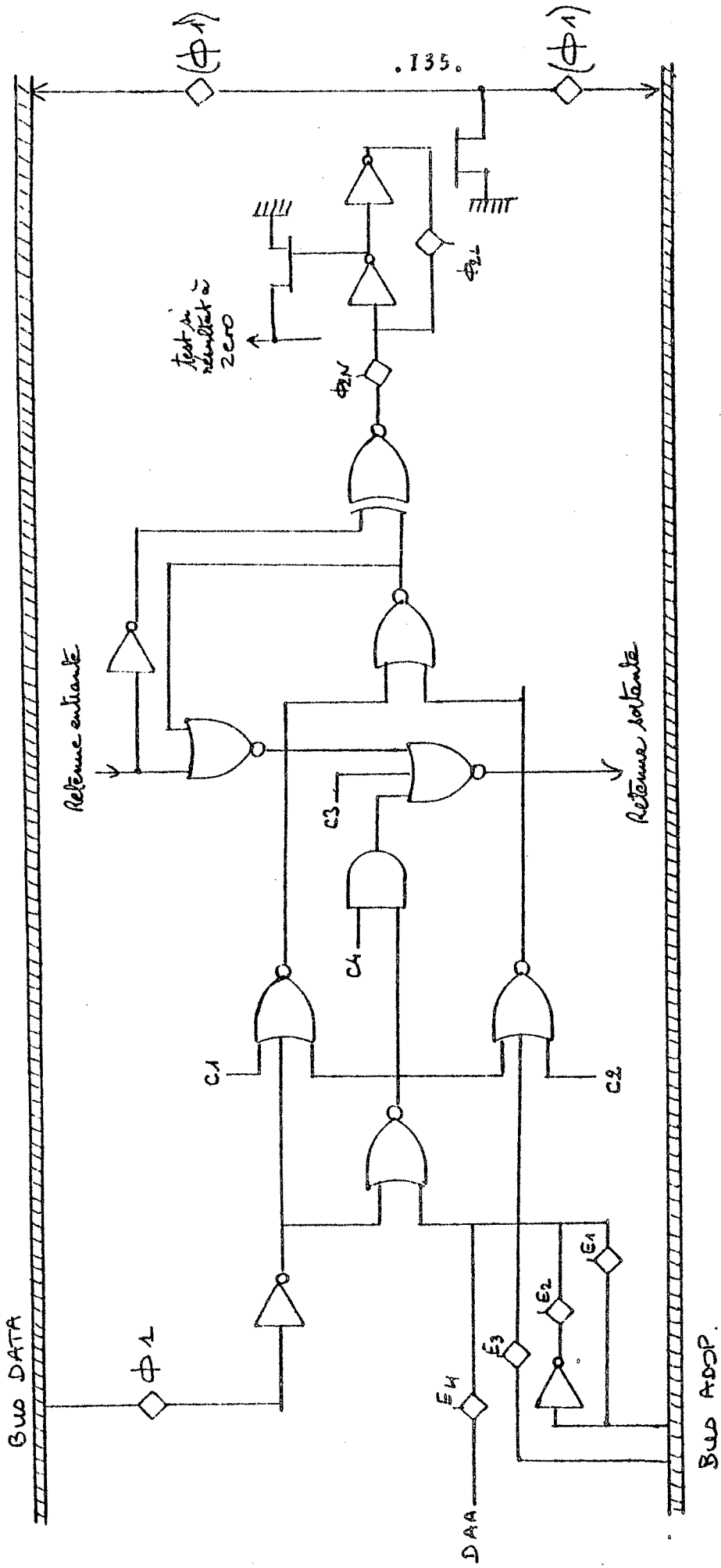
C'est donc dans cette direction que doivent porter les efforts si on veut être capable de tirer pleinement parti des possibilités d'intégration. Cela passe par la définition d'un langage commun aux problèmes logiques et électriques ainsi qu'aux problèmes d'implantation et de dessin des masques. Voilà matière à des thèses futures.....

A N N E X E

Pour mes confrères informaticiens qui auraient oublié leur cours d'électronique ou qui ne sont pas encore familiarisés avec le LSI, le chapitre II de l'annexe donne quelques rappels d'électronique ainsi qu'une présentation de la technologie LOCOS utilisée.

I - UAL DU P68

I - I SCHEMA DE L'UAL DU P68



I - 2 PROFIL DES COMMANDES POUR LES DIFFERENTES OPERATIONS

DATA	ADOP	E1	E2	E3	E4	C1	C2	C3	C4	Ro	opération
OPI	OP2	0	1	0	0	0	0	0	1	\overline{Cin}	addition
OPI	OP2	1	0	0	0	0	0	0	1	Cin	soustraction
OPI	OP2	0	1	0	0	0	0	0	0	1	disjonction
OPI	OP2	1	0	0	0	1	0	1	∅	0	OU
OPI	OP2	1	0	0	0	0	1	0	0	1	ET
"FF"	D	0	1	0	0	1	∅	0	1	bit en haut	décalage gauche
"FF"	D	1	0	0	0	0	∅	0	0	0	incrémentati
"FF"	D	0	1	0	0	0	∅	0	0	0	complément à 2
											(5 + 1)
"FF"	D	0	1	0	0	0	∅	0	1	1	décrémentati
											(D + "FF")
"FF"	D	1	0	0	0	0	0	0	0	1	transfert
"FF"	D	0	1	0	0	0	0	0	0	0	
"FF"	D	1	0	0	0	0	1	0	0	0	
"FF"	D	0	1	0	0	0	0	0	0	1	complémentati
"FF"	D	1	0	0	0	0	0	0	0	0	
"FF"	D	0	1	0	0	0	1	0	0	0	
"FF"	"FF"	1	0	0	0	0	∅	1	∅	0	forçage sortie
"ΦΦ"	"ΦΦ"	∅	∅	∅	∅	1	1	0	0	1	à zéro

I - 3 SCHEMA D'IMPLANTATION

II - PRESENTATION D'UNE TECHNOLOGIE ET D'UNE FAMILLE, LA NMOS

II - I QUELQUES RAPPELS

Un semi-conducteur est un élément dont les atomes possèdent 4 électrons sur leur couche périphérique. C'est le cas par exemple du germanium (symbole Ge), du carbone (symbole C), et du silicium (symbole Si).

Un semi-conducteur pur est un mauvais isolant à la température ordinaire. La résistivité du cristal diminue lorsque la température s'élève.

Dans un cristal de silicium chaque atome se trouve au centre d'un tétraèdre dont les 4 sommets sont 4 atomes identiques de silicium. Chaque atome de silicium met en commun ses 4 électrons périphériques avec les 4 atomes de silicium voisins. Cette mise en commun est appelée liaison covalente ou covalence.

Sous l'effet de l'agitation thermique quelques liaisons covalentes sont rompues :

- certains électrons périphériques deviennent électrons libres (charge $- e$),
- les atomes de silicium ayant perdu un électron deviennent des ions positifs (charge $+ e$).

Ce phénomène s'appelle l'ionisation thermique.

Un électron libre arrivant à proximité d'un ion positif de silicium peut être capté par ce dernier qui redevient un atome neutre. Ceci s'appelle une recombinaison.

Dans le cristal semi-conducteur un équilibre s'établit, car les phénomènes d'ionisation thermique et de recombinaison existent simultanément.

II - I-I NOTION DE TROU

L'électron devenu libre a brisé une liaison covalente et laissé une place vacante. On donne à cette place vacante le nom de trou.

Lors d'une ionisation thermique il y a génération d'une paire électron-trou tandis que lors d'une recombinaison il y a disparition de cette paire.

Considérons la figure 2-1 où est représenté un modèle plan de cristal de silicium. Les flèches représentent :

- l'ionisation thermique de l'atome A, (1)
- l'ionisation thermique de l'atome B, (2)
- une recombinaison donnant un atome neutre en A, (3)

Nous obtenons alors la figure 2-2, sur laquelle est représenté l'atome A neutre, le déplacement de l'électron libre issu de A, ainsi que l'ion positif B.

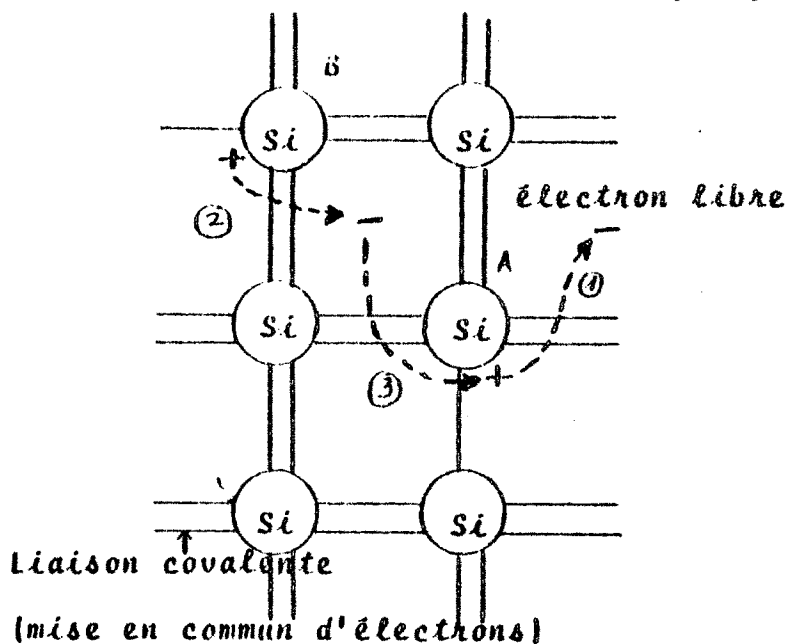


Figure 2-1

Ionisations thermiques
et recombinaisons dans
un cristal de silicium.

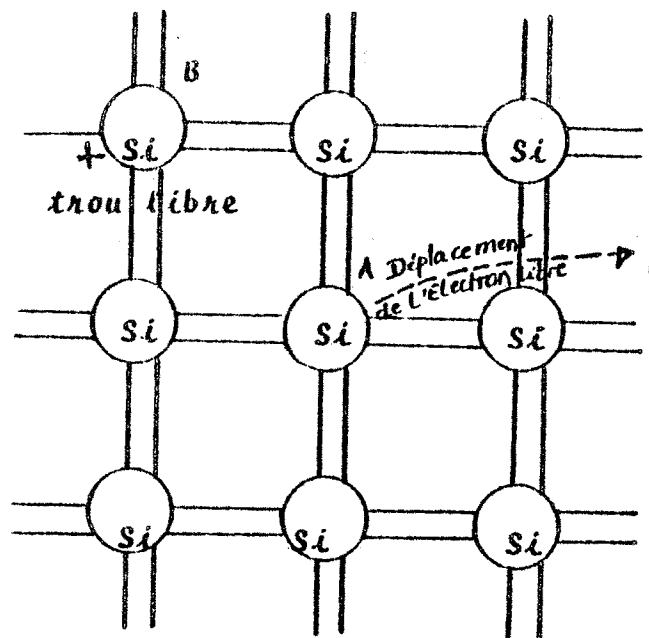


Figure 2-2

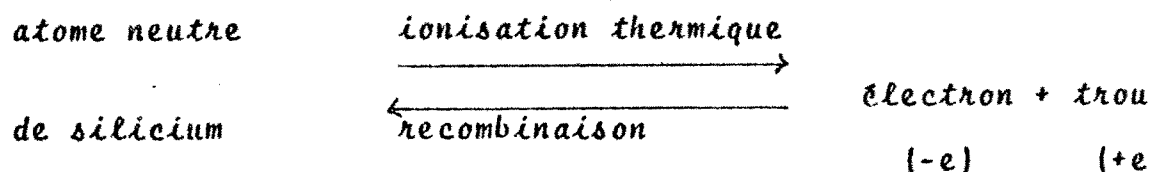
Etat du cristal de silicium
après la figure 2-1

Dans un cristal semi-conducteur seuls les électrons libres sont mobiles : les mécanismes (1), (2) et (3) mettent en jeu des électrons qui se déplacent, ce qui entraîne l'ionisation d'atomes qui eux sont fixes.

- Sur la figure 2-2 apparaissent deux charges + et - :
- l'électron libre s'est déplacé de A en C
 - et tout se passe comme si la charge + s'était elle aussi déplacée de A en B ; le trou apparaît ainsi comme une charge mobile se déplaçant en sens inverse des électrons.

Il y a donc deux mécanismes de déplacement des électrons. Le premier est un déplacement direct de l'électron libre et le second un déplacement d'un atome à un autre qu'il convient de représenter par un trou. Ce dernier devient ainsi une charge mobile positive, de charge élémentaire $+e$.

Cette représentation est très commode. Elle permet, en particulier, de traduire simplement la neutralité électrique du cristal.



A l'équilibre électrons et trous apparaissent et disparaissent en quantités égales.

II - 1-2 LA JONCTION P-N

Si dans un cristal pur de silicium, on injecte un type donné d'impuretés (c'est à dire d'atomes différents des atomes de silicium), le cristal semi-conducteur présente une conductivité

électrique beaucoup plus grande. Il est dit dopé et l'opération ainsi décrite s'appelle le dopage.

Dans un cristal dopé à température ordinaire, les concentrations en électrons libres et en trous sont différentes. Le cristal semi-conducteur dopé par des impuretés pentavalentes (atomes comportant 5 électrons périphériques) est appelé cristal de type N ; les électrons libres sont les plus nombreux et sont appelés porteurs majoritaires tandis que les trous sont appelés par opposition porteurs minoritaires. Un cristal semi-conducteur dopé par des impuretés trivalentes (dont l'atome comporte 3 électrons périphériques) est appelé cristal de type P ; les trous sont porteurs majoritaires et les électrons libres porteurs minoritaires.

Il faut retenir qu'un cristal de type N renferme surtout des électrons libres, porteurs de charges négatives, alors qu'un cristal de type P contient surtout des trous, porteurs de charges positives.

La figure 2-3 représente un composant appelé diode à jonction P-N. Il est constitué d'un monocristal semi-conducteur comportant une région de type P et une région de type N.

Pour l'obtenir industriellement, on dépose par exemple une couche de phosphore (impureté pentavalente) sur un monocristal de silicium de type P (figure 2-4). Chauffés à haute température, vers 1200°C, en atmosphère inerte, les atomes de phosphore pénètrent dans le cristal de silicium et y créent une région de type N. Ce procédé de fabrication est appelé diffusion. Par définition

on appelle jonction P-N la surface de s paration des r gions dop es N et P du monocrystal.

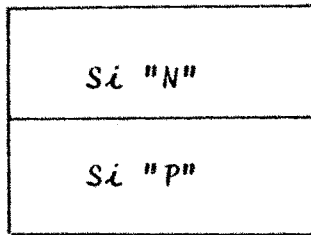


Figure 2-3

Diode   jonction P-N

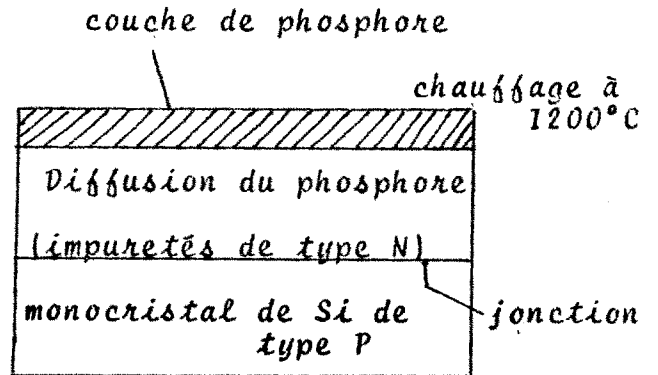


Figure 2-4

Proc d  de diffusion

La diode   jonction P-N conduit si la r gion P est port e   un potentiel positif par rapport   celui de la r gion N. On dit alors que la diode est polaris e en sens direct.

Le sch ma d'une diode   jonction P-N est donn  figure 2-5. La fl che indique le sens du courant qui circule lorsque la diode est polaris e en sens direct.

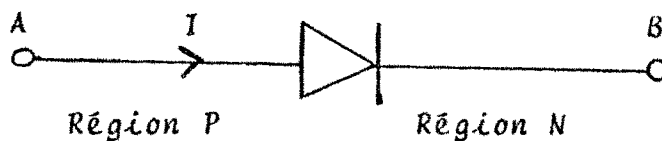


Figure 2-5

Sch ma d'une diode   jonction P-N

Il faut retenir que :

- le courant circule facilement dans le sens de la flèche,
- en sens direct la tension est faible (environ 0,7 volt pour une diode au silicium),
- en sens inverse le courant est très faible (de l'ordre du microampère).

II - 2 LE TRANSISTOR MOS

II - 2-1 DESCRIPTION

La figure 2-6 donne une vue en coupe d'un transistor MOS à canal N. Sur un substrat semi-conducteur de type P, très légèrement dopé sont diffusées deux régions de type N fortement dopées appelées source (abréviation S) et drain (abréviation D). Sur ces deux régions espacées d'une dizaine de microns seulement sont connectés des conducteurs assurant les liaisons. Entre ces deux régions de type N se trouve une mince couche isolante de silice (symbole chimique Si O₂) surmontée d'un conducteur, la

grille, ou gate en anglais, en aluminium ou en silicium polycristallin.

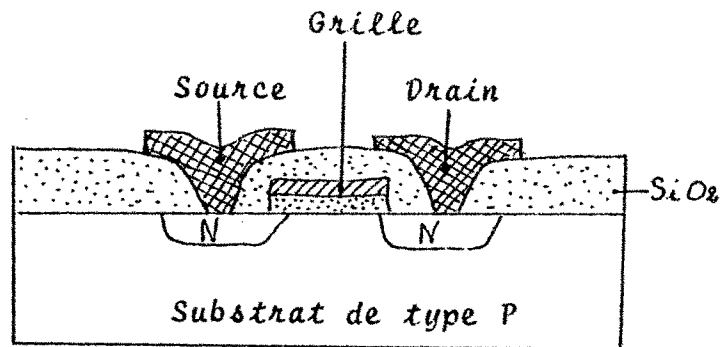


Figure 2-6

Coupe d'un transistor MOS

II - 2-2 PRINCIPE DE FONCTIONNEMENT

Le substrat est en général relié à la masse. Dans ce cas les deux jonctions P-N, substrat-source et substrat-drain sont polarisées en inverse, lorsqu'on travaille avec des tensions positives.

Appliquons une tension positive sur la grille. La grille qui forme un condensateur avec le substrat, se charge positivement. Les électrons libres du substrat, attirés par les charges positives de la grille viennent s'accumuler sur la face supérieure du substrat entre source et drain. Le substrat étant peu dopé la concentration en électrons excède même celle des trous. Localement à la partie supérieure du substrat les porteurs minoritaires électrons libres deviennent porteurs majoritaires. Le substrat dans cette région devient de type N. Il se forme une couche d'inversion (voir figure 2-7) et un canal induit de type N reliant la source au drain. Si le drain est porté à un potentiel positif par rapport à la source (V_{DS} positif) un courant de drain i_D circule à travers le canal.

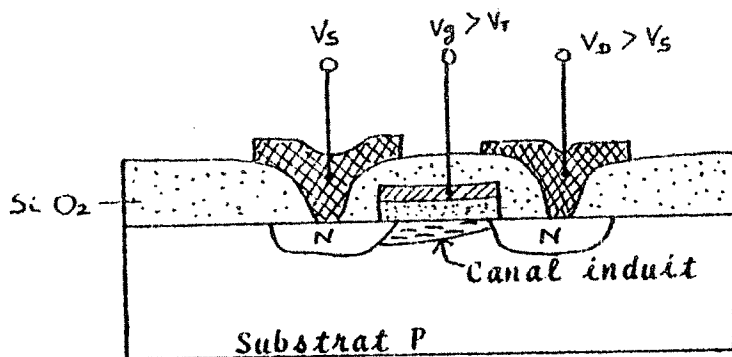


Figure 2-7

Formation d'une
couche d'inversion
entre drain et source

Des charges mobiles se trouvent de façon continue de la source au drain et permettent le passage du courant entre la source et le drain. V_t représente la tension de grille minimum de formation du canal.

Lorsque la tension de grille devient inférieure à une tension de seuil V_t positive, le substrat entre source et drain reste de type P. Les deux jonctions P-N substrat-source et substrat-drain étant polarisés en inverse le courant de drain I_d devient négligeable.

Nous voyons donc que le courant de drain I_d qui circule à travers le canal est contrôlé par la tension appliquée sur la grille.

Si on inverse les dopages (substrat de type N, drain et source de type P), on obtient du MOS canal P moins rapide que le Mos canal N du fait que la mobilité des trous est plus faible que celle des électrons.

Le transistor ainsi décrit fait partie de la catégorie des transistors à effet de champ ainsi nommée à cause de l'apparition de la couche d'inversion sous l'effet du champ électrique de grille.

Il existe 2 types de transistors MOS :

1) Le MOS à enrichissement décrit ci-dessus. Son nom est lié au fait que le substrat s'enrichit en électrons (ou en trous) pour former le canal induit.

2) Le MOS à déplétion ou appauvrissement dans lequel une couche très mince de type N (ou P) est diffusée entre source et drain (voir figure 2-8) pour constituer un canal de type N. La seule différence de fonctionnement avec le MOS à enrichissement précédent est que la tension de seuil V_t devient négative. Pour une tension de grille nulle il existe un courant de drain I_d important.

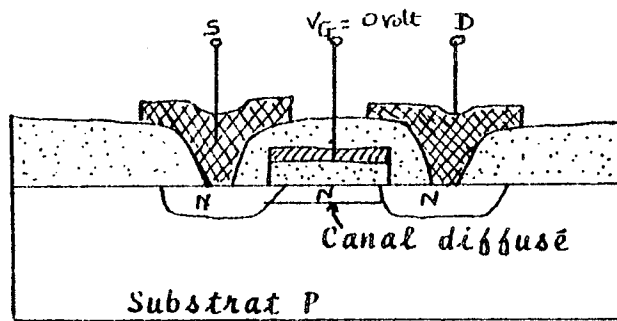


Figure 2-8

MOS à déplétion

Lorsque la tension de grille V_G est suffisamment négative les électrons libres entre source et drain sont repoussés dans le substrat et le canal se trouve coupé.

Pour le MOS à déplétion la tension de seuil V_t vaut -3,5 volts.

La figure 2-9 donne la représentation symbolique d'un MOS à enrichissement (figure 2-9-a), d'un MOS à déplétion (figure 2-9-b) avec leurs caractéristiques, ainsi que la représentation générale à tous les types de MOS (figure 2-9-c).

REMARQUES

- La flèche qui est reliée au substrat indique le type du canal induit et par conséquent le type de MOS.
- En général le substrat et la source sont reliés à la masse.

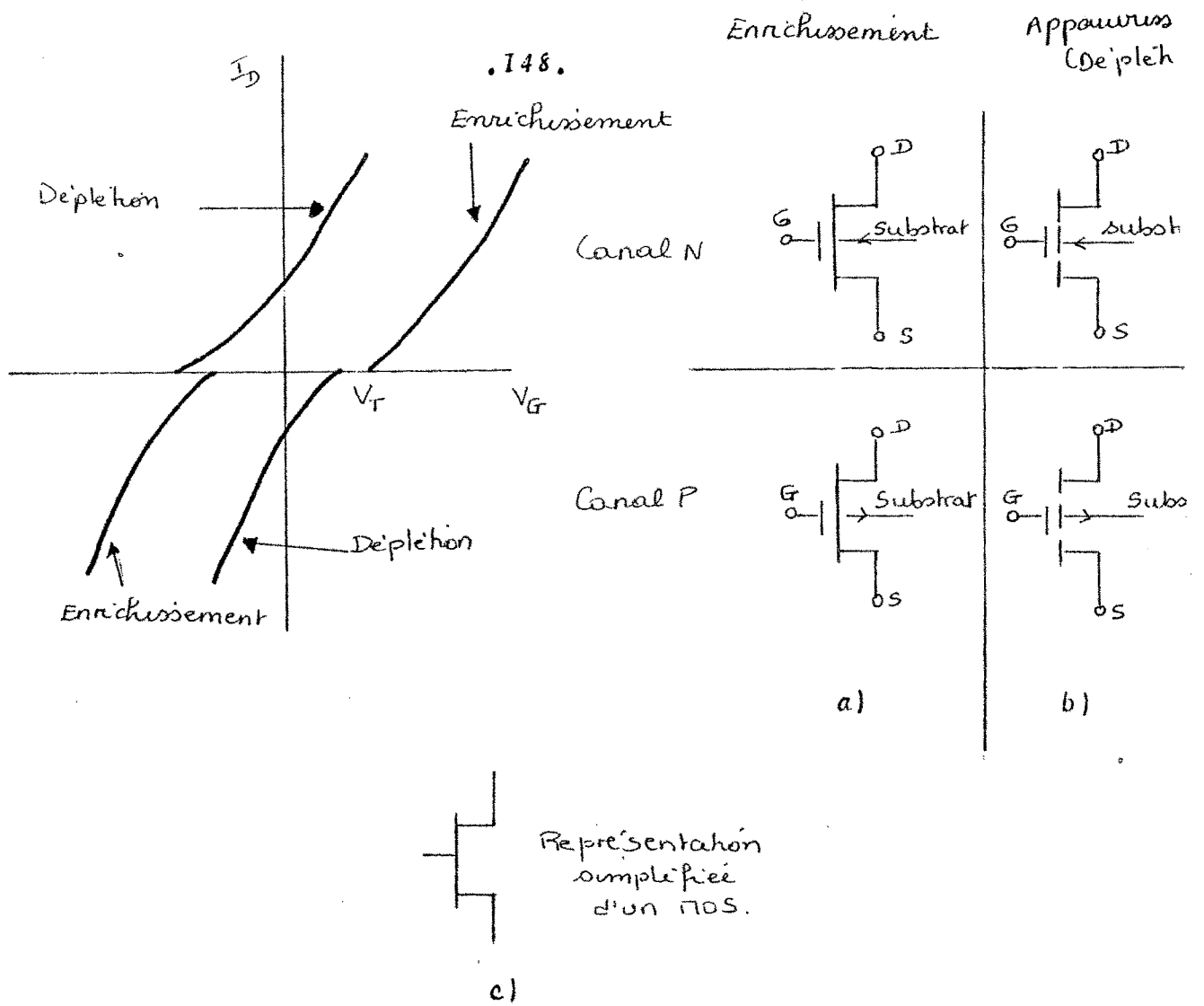


Figure 2-9

Représentation symbolique des différents MOS ainsi que leurs caractéristiques comparées.

II - 2-3 MODELISATION DU MOS

Examinons le montage de la figure 2-10 représentant un MOS à enrichissement. Le substrat est relié à la source et est pris comme référence des tensions, ce qui détermine le réseau de caractéristiques de la figure.

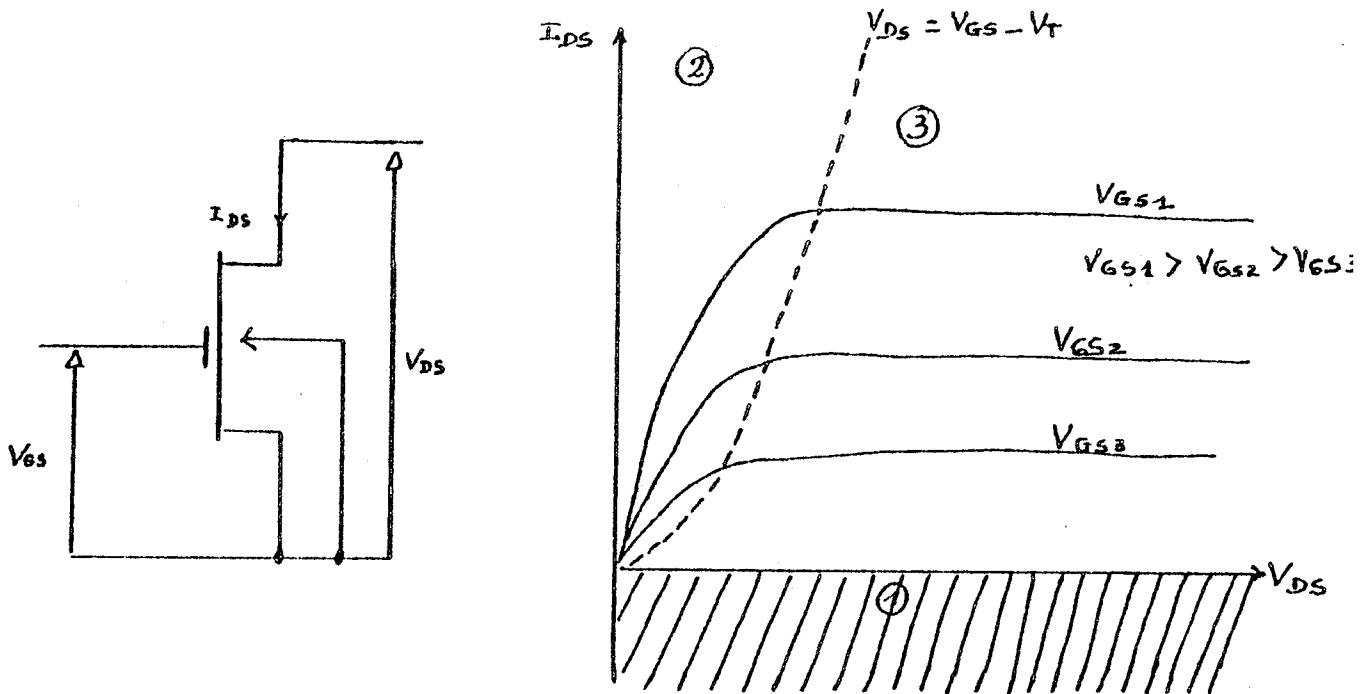


Figure 2-10

Caractéristiques (I_{DS} , V_{DS})
du transistor MOS

Il apparaît trois régimes de fonctionnement suivant les valeurs relatives de V_{gs} et V_{ds} .

1) $I_{ds} = 0$: c'est le régime coupé ou bloqué caractérisé par le fait que la tension V_{gs} est inférieure à la tension de seuil V_t .

2) $I_{ds} = K \gamma (2 (V_{gs} - V_t) V_{ds} - (V_{ds})^2)$: c'est le régime triode ou non saturé

Dans ce cas $V_{gs} > V_t$ mais $V_{ds} \leq V_{gs} - V_t$

3) $I_{ds} = K \gamma (V_{gs} - V_t)^2$: c'est le régime saturé qui se produit lorsque $V_{gs} > V_t$ et $V_{ds} \geq V_{gs} - V_t$

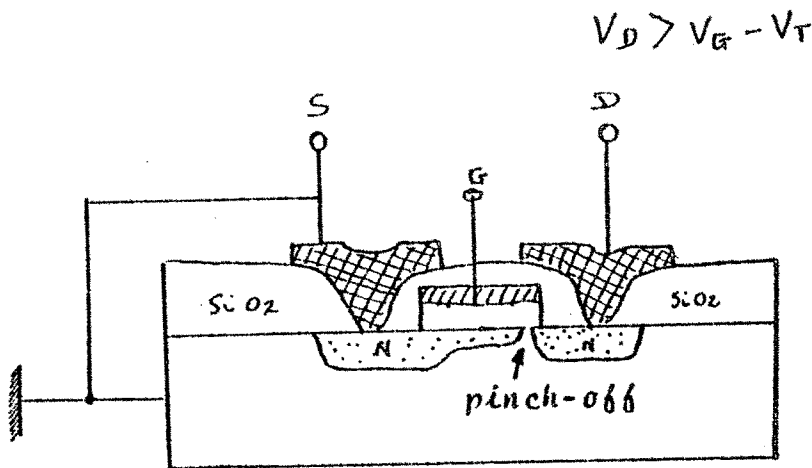
Il faut être conscient que la distinction entre ces trois modes de fonctionnement est une simplification pour l'étude du MOS, et que ces trois régimes s'enchaînent continuellement.

Le régime bloqué correspond à une absence de canal induit ; aucun courant ne peut circuler entre la source et le drain.

Lorsque V_{gs} devient supérieur à V_t il y a formation d'un canal induit permettant le passage du courant de la source au drain. Le courant de drain I_{ds} croît linéairement avec V_{gs} car le nombre de porteurs de charge du canal augmente linéairement avec V_{gs} . D'où le nom de régime triode, le transistor se comportant comme une résistance.

Le cas saturé correspondant à un courant I_{ds} à peu près constant s'explique par la figure 2-11. La tension V_{gs}

étant fixée, si V_{ds} devient supérieur à $V_{gs} - V_t$ alors la partie du canal proche du drain se trouve coupée sur une petite distance. En effet, près du drain le substrat a un potentiel de V_{ds} et $V_{gs} - V_{ds}$ substrat est alors inférieur à la tension de seuil V_t . On retrouve localement les conditions du régime coupé. Le champ électrique étant très intense le long du canal les électrons s'accumulent vers la zone coupée dite de pinch-off. Cette zone étant très étroite et le champ électrique intense, les électrons sont injectés vers le drain. C'est ce dernier phénomène qui limite l'intensité du courant I_{ds} .



Expérimentalement on observe que la largeur de la coupure reste à peu près constante lorsqu'on augmente la tension grille.

Figure 2-II

Transistor MOS en régime saturé

La figure 2-12 montre quelles sont les capacités parasites, que l'on peut faire intervenir dans le modèle du MOS, qui sont fondamentales pour son fonctionnement.

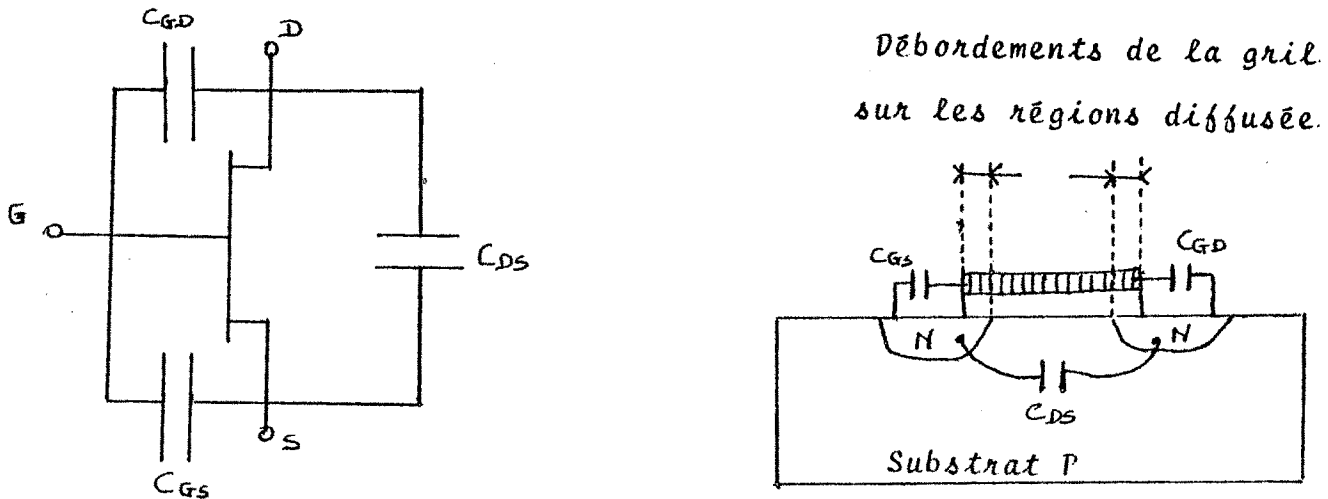


Figure 2-12

Capacités internes du MOS

Il est intéressant de remarquer que la capacité C_{ds} est nulle dans le cas où il n'y a pas saturation.

On peut utiliser le MOS comme capacité en réunissant source et drain et en considérant la capacité $C = C_{gs} + C_{ds}$. Cette capacité est maximale lorsque le canal est formé et relie drain et source.

II - 2-4 REALISATION INDUSTRIELLE

La filière technologique utilisée pour le projet P 68 est la LOCOS appartenant à la famille NMOS (MOS dont le canal est de type N) à triple implantation ionique et à appauvrissement en charge. Le conducteur de grille est en silicium fortement dopé, ce qui se traduit par de multiples avantages comme des tensions de fonctionnement réduites, des dimensions plus faibles, et une vitesse accrue.

On part d'une rondelle de silicium dopé légèrement P sur la surface de laquelle on va réaliser une centaine de circuits intégrés comprenant chacun quelques milliers de transistors élémentaires (figure 2-13).

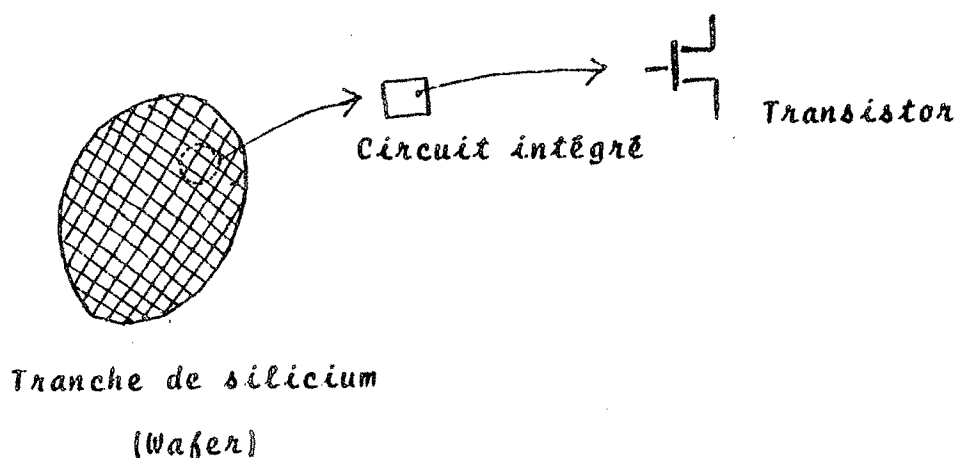
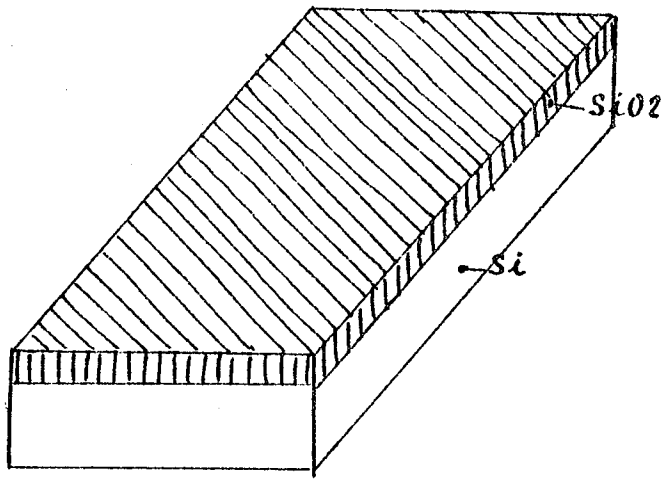


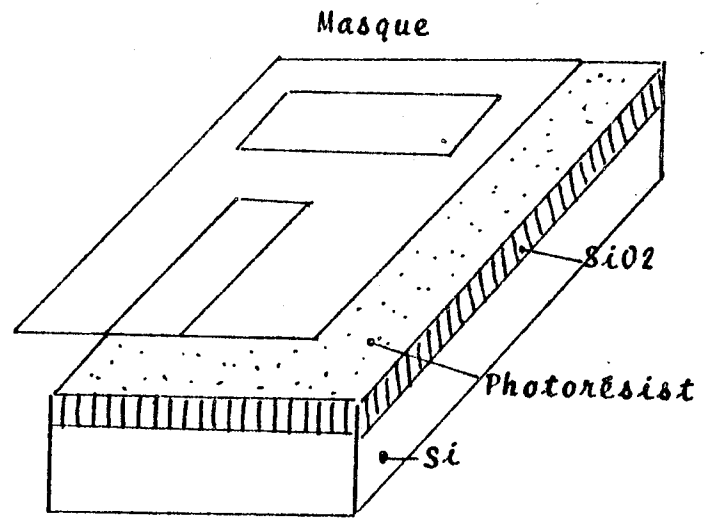
Figure 2-13

De la rondelle de silicium au transistor

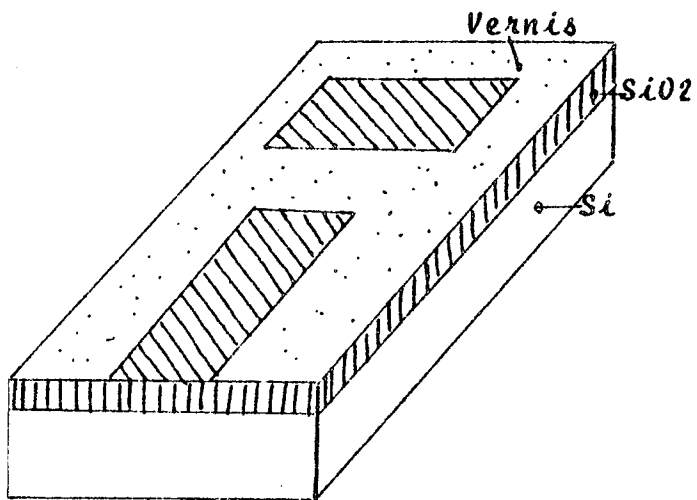
Rappelons d'abord ce qu'est une opération de photo-gravure en prenant comme exemple la gravure d'une couche de silice (figure 2-14). Sur un substrat de silicium préalablement oxydé sur toute sa surface (a) on dépose par centrifugation un vernis photosensible, appelé photorésist, durci ensuite par cuisson. Au-dessus on place une plaque de verre comportant des motifs opaques (c'est le masque) et on insole (b). Le photo-résist non protégé par les zones opaques du masque se polymérise sous l'action de la lumière. On dissout ensuite les parties non polymérisées (c) puis on attaque l'oxyde mis à nu afin d'avoir accès au silicium (d).



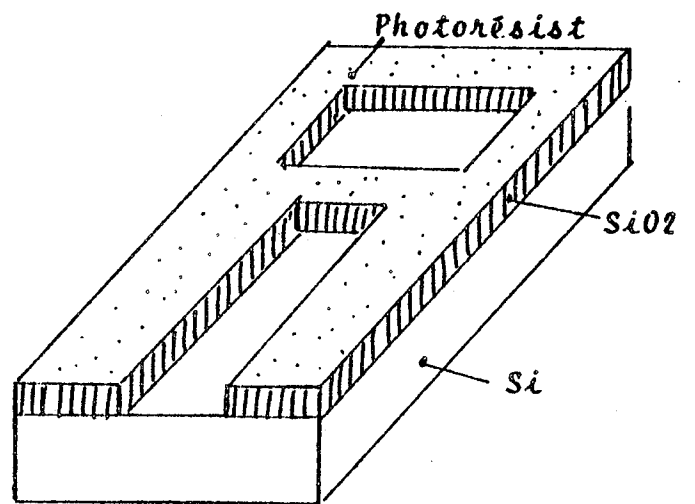
a)
oxydation



b)
insolation



c)
Développement du
photorésist



d)
Attaque du SiO2

Figure 2-14

Opération de photogravure

Pour ce qui va suivre il est nécessaire de se reporter à la figure 2-15 qui représente une coupe de la tranche de silicium suivant les différentes étapes de réalisation du circuit intégré.

Le substrat de silicium dopé P est soumis à une oxydation thermique puis recouvert d'un dépôt de nitrure de silicium Si_3N_4 (1) auquel on fait subir une opération de gravure à l'aide du premier masque ou masque Locos (2).

Dans le but d'éliminer les transistors parasites en rehaussant leur tension de seuil on effectue une implantation ionique d'ions P, opération appelée "stop channel" en anglais. Profitant du fait que le nitrure de silicium réalise le masquage de l'oxygène on réalise une oxydation thermique (3) puis on élimine les couches de nitrure et d'oxyde mince (4). Le futur oxyde mince de grille est obtenu à l'aide d'une troisième oxydation (5).

Afin de réduire les capacités parasites de jonction, il faut utiliser des substrats à haute résistivité, c'est-à-dire très faiblement dopés P. Les transistors réalisés sur de tels substrats ont une tension de seuil négative de l'ordre de -0,5 volt. Une deuxième implantation ionique dite d'ajustement permet de rehausser cette tension de seuil jusqu'à 0,6 volt.

Une troisième implantation ionique contrôlée par le masque numéro deux, appelé aussi masque déplétion, va abaisser la tension de seuil des futurs transistors à déplétion jusqu'à -3,5 volts (6).

Le 3ème masque ou masque des précontacts détermine des ouvertures dans l'oxyde mince afin d'assurer les contacts entre les diffusions et le silicium polycristallin (7).

Le quatrième masque contrôle la gravure du silicium polycristallin après le dépôt. Celui-ci formera soit les grilles des transistors (sur oxyde mince), soit les liaisons en silicium (sur oxyde épais) (8). Puis on élimine la couche d'oxyde mince partout sauf sous les couches de silicium polycristallin qui assurent une protection. Ensuite profitant de l'imperméabilité de la silice aux impuretés de dopage on effectue une diffusion de phosphore (de type N) afin de former les sources et drains des différents transistors ainsi que les liaisons diffusées (9). Cette diffusion permet en même temps de doper le silicium polycristallin et donc de le rendre conducteur.

Par oxydation on réalise le dépôt de l'oxyde d'isolement ou oxyde intermédiaire. Le cinquième masque ou masque des contacts va servir à ouvrir des trous dans cette couche de silice afin d'assurer les contacts aluminium-silicium et aluminium, suivie d'une gravure des interconnexions correspondantes à l'aide du masque d'aluminium.

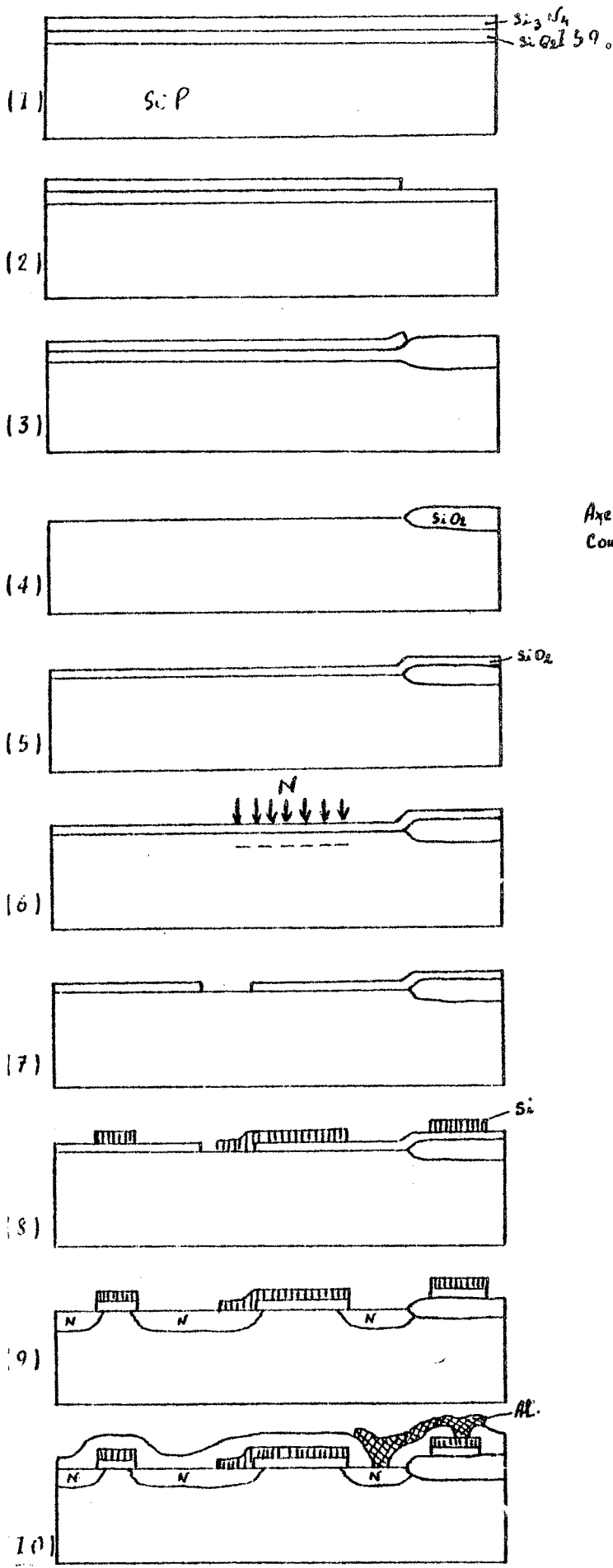
On effectue enfin un dépôt d'oxyde pyrolytique de passivation puis on réalise la gravure des plots de soudure.

REMARQUES

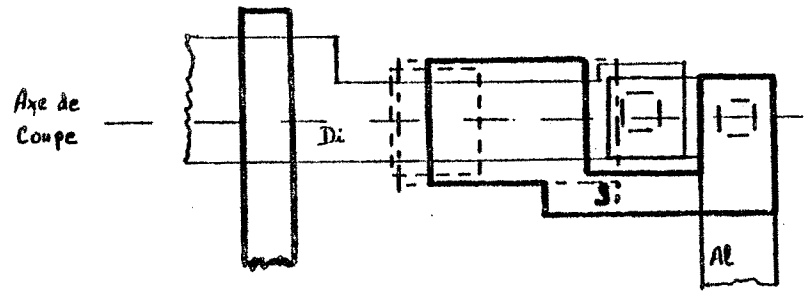
- Il existe trois types de liaisons possibles (les liaisons en diffusion, silicium polycristallin, et aluminium) ne formant que 2 niveaux d'interconnexion : le niveau aluminium et le niveau silicium ou diffusion. En effet une liaison diffusée et une liaison en silicium ne peuvent pas se croiser sous peine de former un transistor : au point de croisement, le silicium coupant la liaison diffusée pour former le canal d'un transistor dont il est la grille.

- Il n'y a pas de différence physique entre source et drain. Cependant nous prendrons toujours comme source le point le plus négatif.

La conception d'un circuit intégré s'arrête à la réalisation des différents masques entrant dans le processus de fabrication, et à la mise au point du produit final. Le processus technologique, qui utilise les masques pour faire subir à des plaquettes de silicium les différentes opérations chimiques, relève du domaine industriel.



vue en coupe des différentes étapes de fabrication



vue de dessus du dessin des différents masques.

LEGENDE

- Masque LOCOS
- - - Masque Déplétion
- - - Masque précontact
- Masque silicium poly
- Masque des contacts
- Masque aluminium

Figure 2-15
Filière LOCOS à grille silicium

II - 3 ELEMENTS ENTRANT DANS LA CONCEPTION D'UNE

----- FONCTION LOGIQUE -----

II - 3-1 REALISATION DE PORTES LOGIQUES DE BASE -----

a) L'inverseur :

L'inverseur est l'élément de base intervenant dans la réalisation des circuits logiques. Etant donné deux états logiques (notés "0" et "1") définis arbitrairement par deux niveaux de tensions différents (dans notre cas 0,2 volt et 5 volts), lorsqu'on applique un état sur l'entrée, l'inverseur fournit l'autre état, ou état complémentaire, en sortie.

Le signal d'entrée est appliqué sur la grille d'un MOS appelé MOS signal (figure 2-16). L'élément de charge R_l varie suivant le type d'inverseur considéré.

Raisonnons avec des tensions positives ce qui correspond à l'utilisation de MOS de type N. La tension correspondant à l'état "0" est inférieure à la tension de seuil V_t du MOS signal, tandis que la tension correspondant à l'état logique "1" est supérieure à cette tension de seuil.

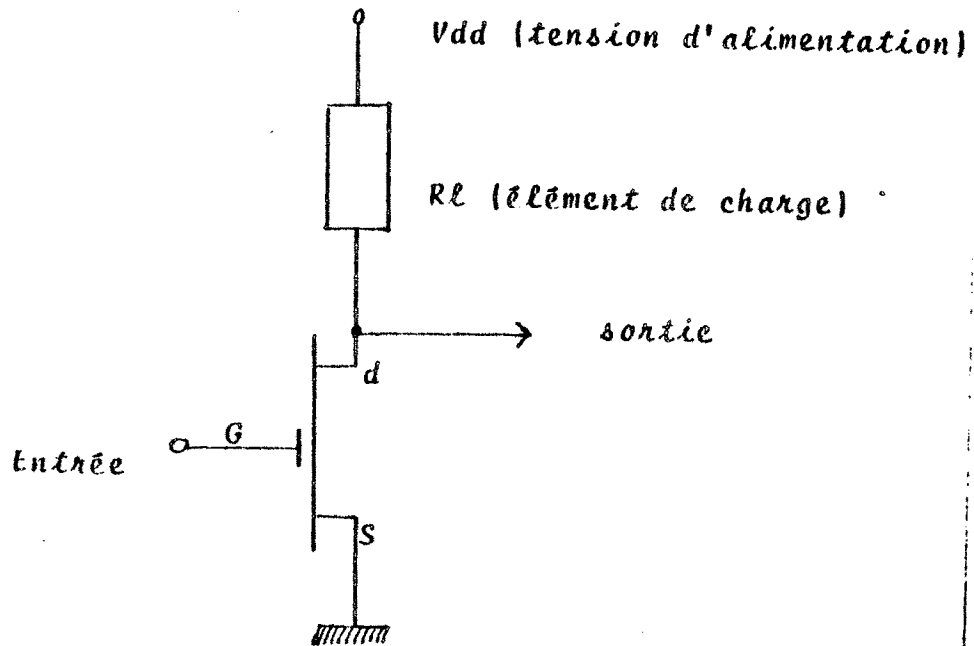


Figure 2-16

Structure d'un inverseur
MOS

Prenons par exemple, ce qui est notre cas, une tension de seuil de 0,6 volt. Lorsque sur l'entrée est appliquée une tension de 5 volts le MOS signal devient conducteur (formation d'un canal induit, qui donne naissance à un courant de drain), ce qui a pour effet de ramener la tension de sortie à un potentiel voisin de la masse (figure 2-17-a).

Si on applique une tension de 0,2 volt sur l'entrée, le MOS signal se bloque (courant de drain nul) et la tension de sortie est égale à la tension d'alimentation V_{dd} (figure 2-17-b).

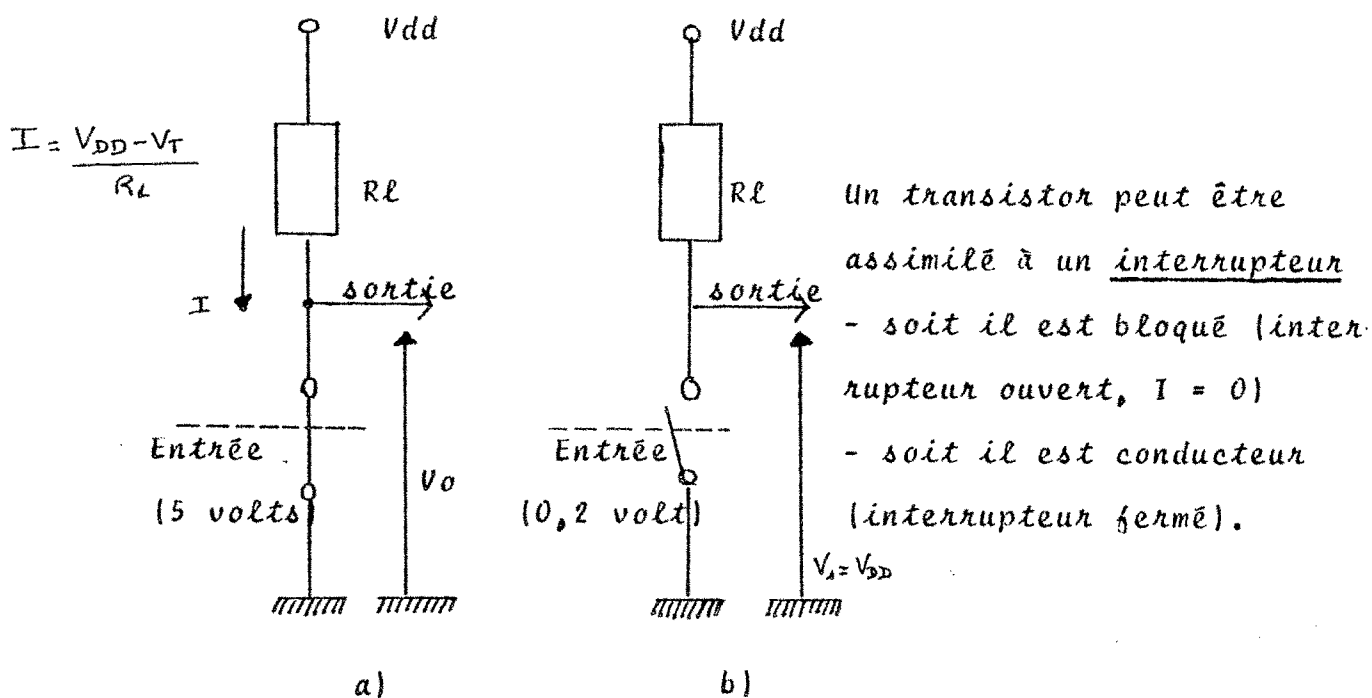


Figure 2-17

Fonctionnement d'un inverseur

Dans de rares cas l'élément de charge R_L est constitué d'une simple résistance. La difficulté réside alors dans l'intégration de cette résistance qui occupe une surface considérable.

C'est pourquoi il est préférable d'utiliser un MOS, appelé MOS de charge, pour réaliser cet élément de charge R_L . Il existe principalement trois types d'inverseurs correspondant chacun à une version différente du MOS de charge (figure 2-18).

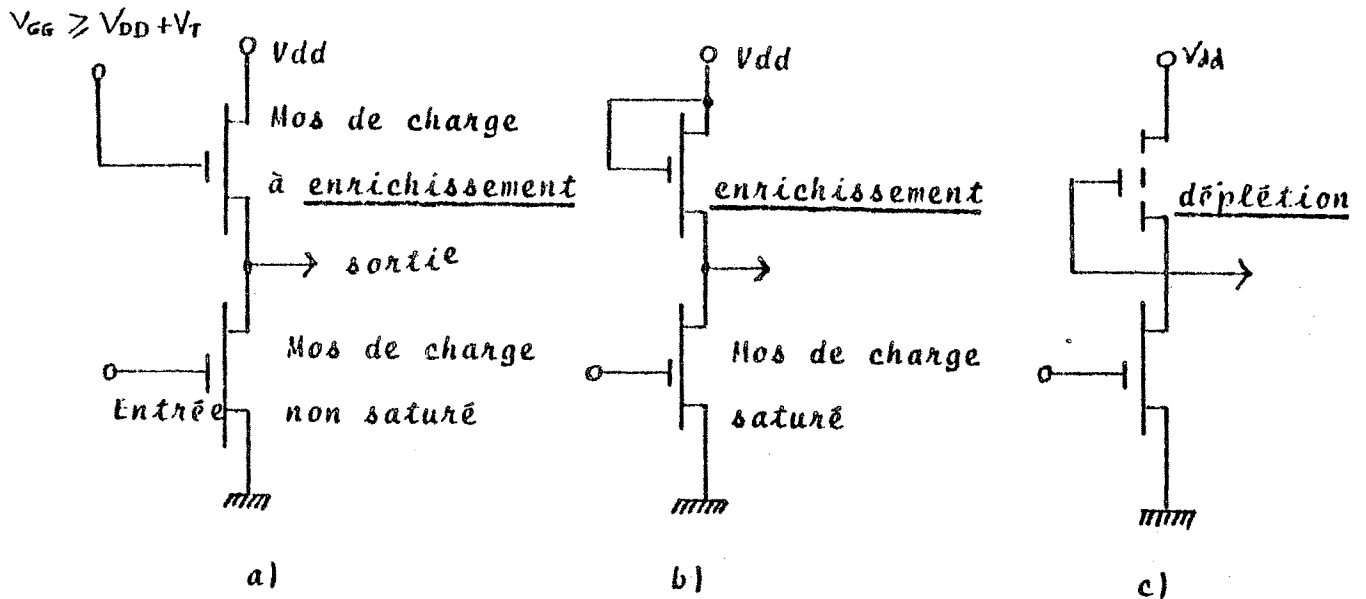


Figure 2-18

Montages fondamentaux d'inverseurs

L'inverseur a nécessite deux tensions d'alimentation V_{GG} et V_{DD} telles que $V_{GG} \geq V_{DD} + V_T$. L'inverseur b n'emploie qu'une seule tension d'alimentation V_{DD} mais moins rapide que le précédent car le MOS de charge fonctionne dans sa zone de saturation alors que précédemment il fonctionnait dans sa zone triode. De plus le montage b a l'inconvénient d'avoir un niveau, "1" de sortie proche de $V_{DD} - V_T$ (perte d'un seuil).

L'inverseur c est utilisé dans la filière LOCOS. Son MOS de charge est formé d'un MOS à déplétion polarisé à $V_{GS} = 0$, ce qui permet d'obtenir une tension de sortie égale à V_{DD} pour le niveau "1".

La vitesse de propagation de l'inverseur se trouve accrue car le courant que peut fournir le MOS de charge pendant une transition (passage de l'état "0" à l'état "1" est supérieur à celui d'une charge résistive (figure 2-19).

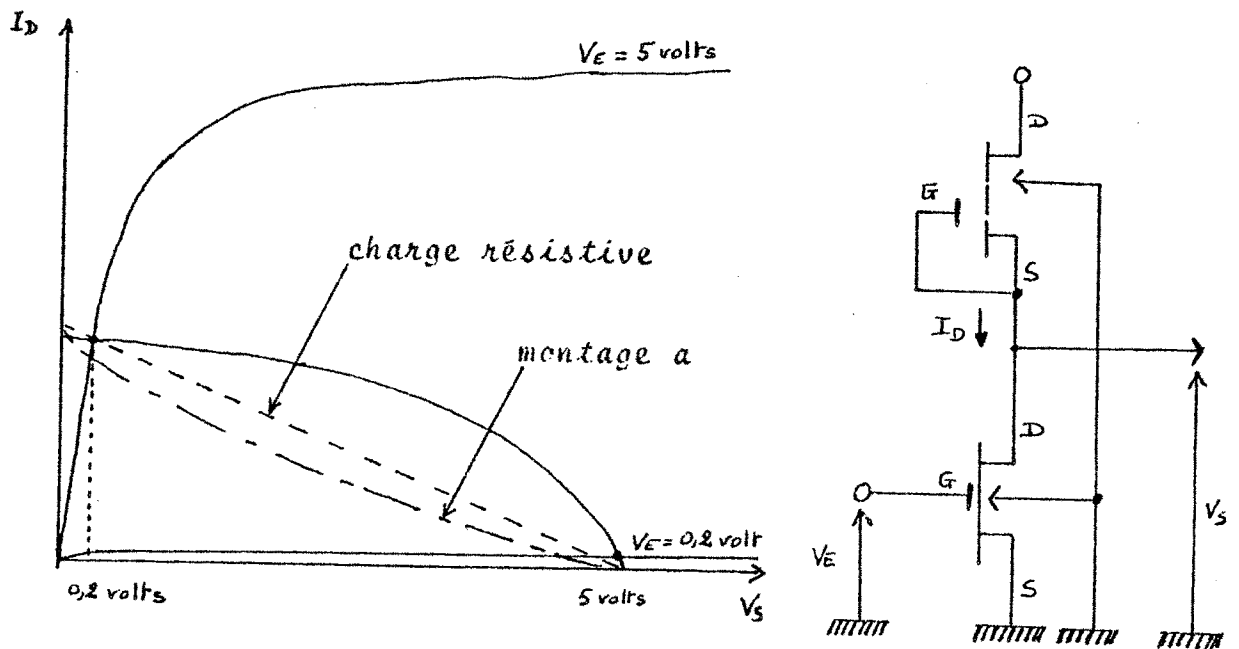


Figure 2-19

Droites de charge des différents inverseurs.

b) Le OU logique complémenté (NOR)

Le NOR à n entrées s'obtient en mettant en parallèle n MOS signaux reliés à la masse, chaque grille recevant une entrée. Si un seul des MOS signaux est conducteur, c'est-à-dire si une seule des entrées est à 5 volts (état "1"), la sortie se trouve reliée à la masse et prend l'état "0".

La figure 2-20 représente un NOR à 3 entrées E1, E2 et E3.

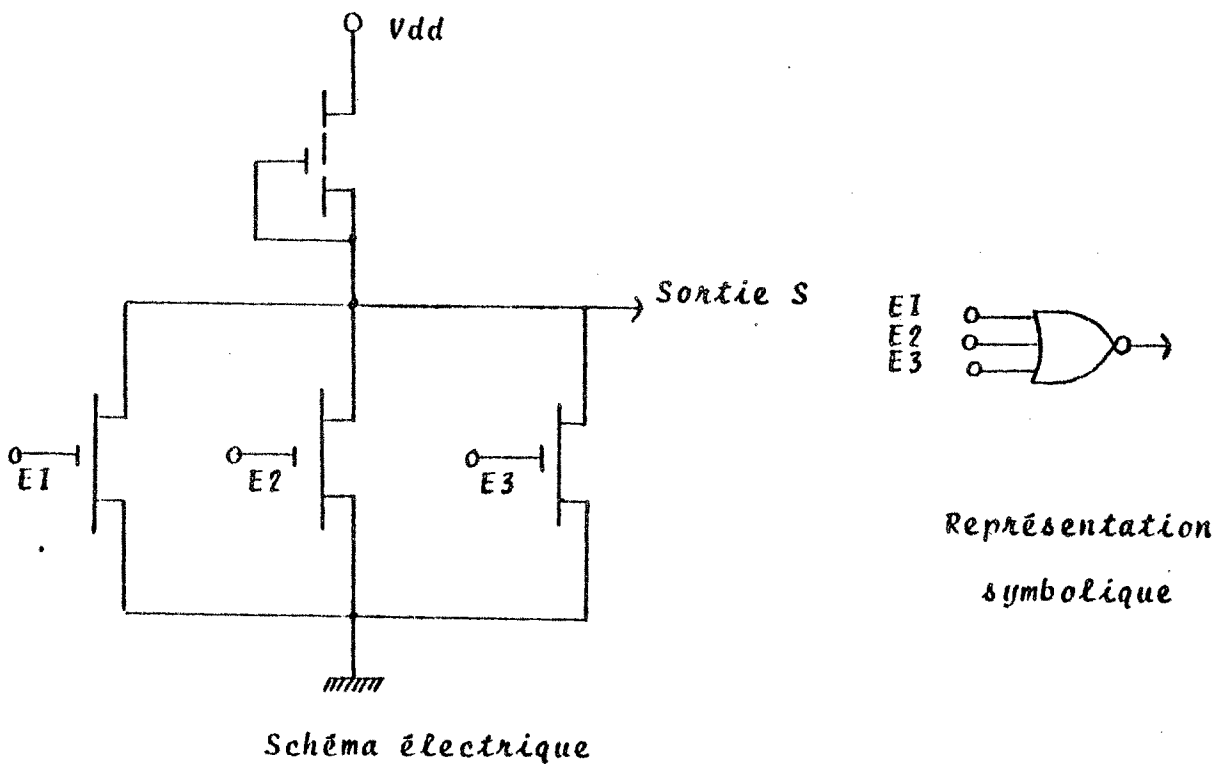


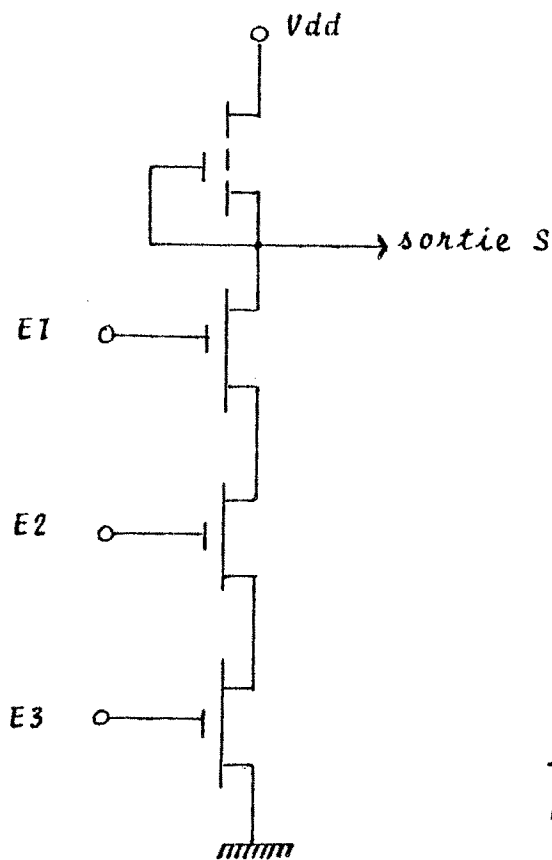
Figure 2-20

NOR à 3 entrées E1, E2, et E3.

c) Le ET complémenté ou NAND

Le NAND à n entrées s'obtient en mettant n MOS signaux en série entre le MOS de charge et la masse, chaque grille étant reliée à une des n entrées. Si tous les MOS de signaux sont conducteurs c'est-à-dire si toutes les entrées sont à 5 volts (état "1"), la sortie se trouve reliée à la masse par l'intermédiaire des n MOS signaux et prend l'état logique "0".

La figure 2-21 représente un NAND à 3 entrées E1, E2, et E3.



Représentation
symbolique

Figure 2-21

NAND à 3 entrées E1, E2 et E3

II - 3-2 DETERMINATION DES CARACTERISTIQUES D'UNE

PORTE LOGIQUE

II - 3-2-1 FACTEUR DE PENTE INTERNE ET FACTEUR

GEOMETRIQUE

On remarque, dans les équations du paragraphe II - 2-3 donnant les différentes expressions du courant de drain I_{ds} , que ce courant est toujours proportionnel à un terme K appelé facteur de pente interne et à un terme γ appelé facteur géométrique.

Si μ est la mobilité des porteurs de charge et C_{ox} la capacité de grille par unité de surface, alors $K = \mu \frac{C_{ox}}{2}$. Le terme K est donc une constante dépendant de la technologie.

Pour expliquer le terme γ considérons la figure 2-22 qui représente une vue de dessus d'un transistor. Elle fait apparaître deux grandeurs géométriques (donc lises au dessin final sur la puce de silicium) : la largeur électrique W du canal, et la

la longueur électrique L du canal. Le facteur géométrique δ est égal au rapport $\frac{W}{L}$, ce qui explique son nom car il représente la géométrie physique du MOS.

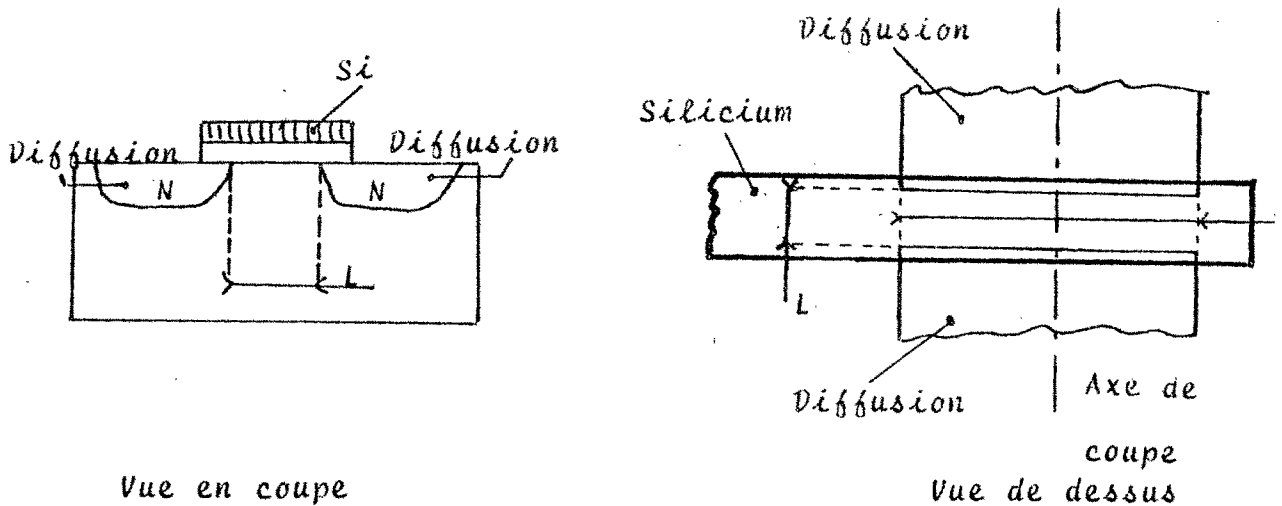


Figure 2-22

Vue de dessus et en coupe

d'un transistor MOS à canal N

Le terme δ permet donc de définir de façon précise les caractéristiques électriques d'un MOS (courant, tensions) compte tenu de sa géométrie.

Il faut retenir que le courant de drain I_{ds} est :

- proportionnel à W : ce qui est logique puisque le nombre d'électrons traversant le canal est proportionnel à W .
- inversement proportionnel à L : la vitesse des électrons traversant le canal est proportionnelle au champ électrique, lui-même inversement proportionnel à la longueur L du canal.

Ces deux paramètres W et L ne peuvent pas être réduits indéfiniment. Leurs valeurs minimales W_{min} et L_{min} déterminent la finesse du processus technologique.

II - 3-2-2 DETERMINATION DES GEOMETRIES D'UN

INVERSEUR

Le MOS à l'état conducteur présente une résistance drain-source notée R_{ds} (ou R_{on}) qui dépend de la géométrie du canal donc du rapport $\frac{W}{L}$.

Lorsque le MOS travaille dans sa région triode cette résistance est donnée par l'expression ci-dessous conformément aux équations simplifiées mentionnées auparavant :

$$R_{ds} = \frac{d(V_{ds})}{d(I_{ds})} \quad \text{et} \quad R_{ds} = \frac{1}{2 K \gamma (V_{gs} - V_t - V_{ds})}$$

Considérons l'inverseur de la figure 2-23 auquel on applique une tension d'entrée de 5 volts correspondant au "1" logique. La sortie de cet inverseur attaque les entrées d'autres portes identiques dans le cas général. Dans ce cas il faut que la tension de sortie de l'état bas V_o soit inférieure à la tension de seuil V_t d'un MOS signal, soit 0,6 volt. Si on

fixe un niveau logique "0" de tension maximale 0,2 volt (ce qui détermine un fonctionnement triode pour le MOS signal) on calcule la géométrie γ_{signal} de ce transistor par la relation :

$$R_{on} = \frac{V_o}{I} \text{ où } I \text{ représente le courant fourni par le MOS de charge}$$

Le MOS de charge travaillant en mode saturé ($V_{ds} > V_{gs} - V_t$), si γ_{charge} représente sa géométrie, le courant I est donné par la formule :

$$I = K \gamma_{\text{charge}} (V_{gs} - V_t)^2 = K \gamma_{\text{charge}} (-3,5)^2 = 12,25 K \gamma_{\text{charge}}$$

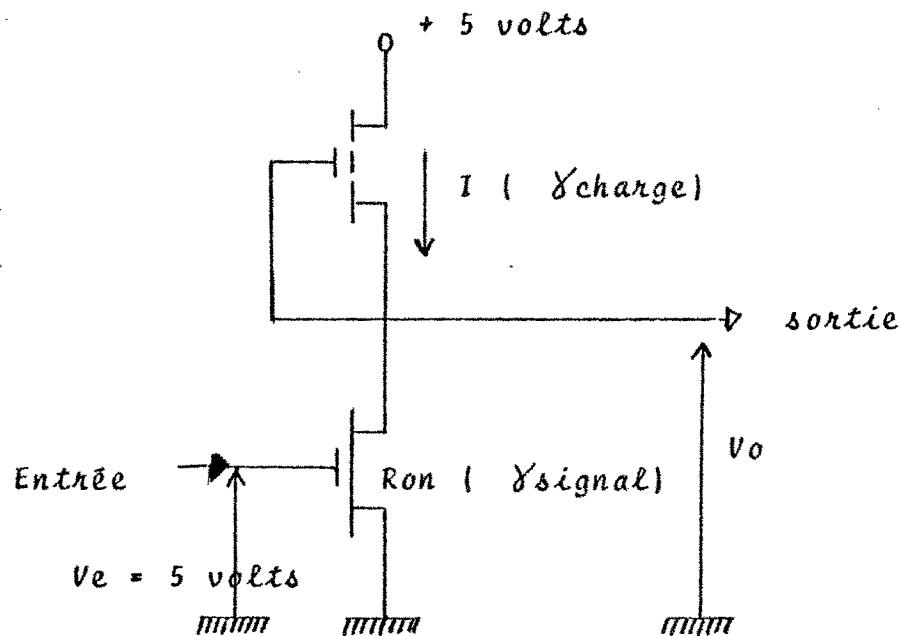


Figure 2-23.

Inverseur attaqué par une tension de 5 volts et délivrant une tension de sortie V_o .

Dans l'équation $\frac{V_0}{R_{on}} = I$, si on remplace R_{on} et I par leurs expressions on trouve une relation qui lie les géométries du transistor de charge et du transistor signal.

$$\gamma_{signal} = \frac{12,25}{2 (V_e - V_t - V_0) V_0} \gamma_{charge}$$

Si on prend

$$\begin{cases} V_e = 5 \text{ volts} \\ V_t = 0,6 \text{ volt} \\ V_0 = 0,2 \text{ volt} \end{cases} \quad \text{alors } \gamma_{signal} = 1,3 \gamma_{charge}$$

D'après cette formule si on fixe la géométrie d'un des transistors, la géométrie de l'autre transistor est parfaitement déterminée. Le plus souvent c'est la géométrie du MOS de charge qui est fixée de façon à satisfaire les contraintes de vitesse imposées à l'inverseur.

Pour cela étudions l'inverseur en commutation. Dans le cas le plus général on suppose que l'inverseur est chargé par une capacité, appelée capacité de sortie, pour étudier son fonctionnement en dynamique. C'est le cas par exemple lorsqu'un inverseur en attaque un second ; la fonction du premier consiste en réalité à charger ou décharger la capacité grille-substrat du MOS signal du second inverseur (figure 2-24).

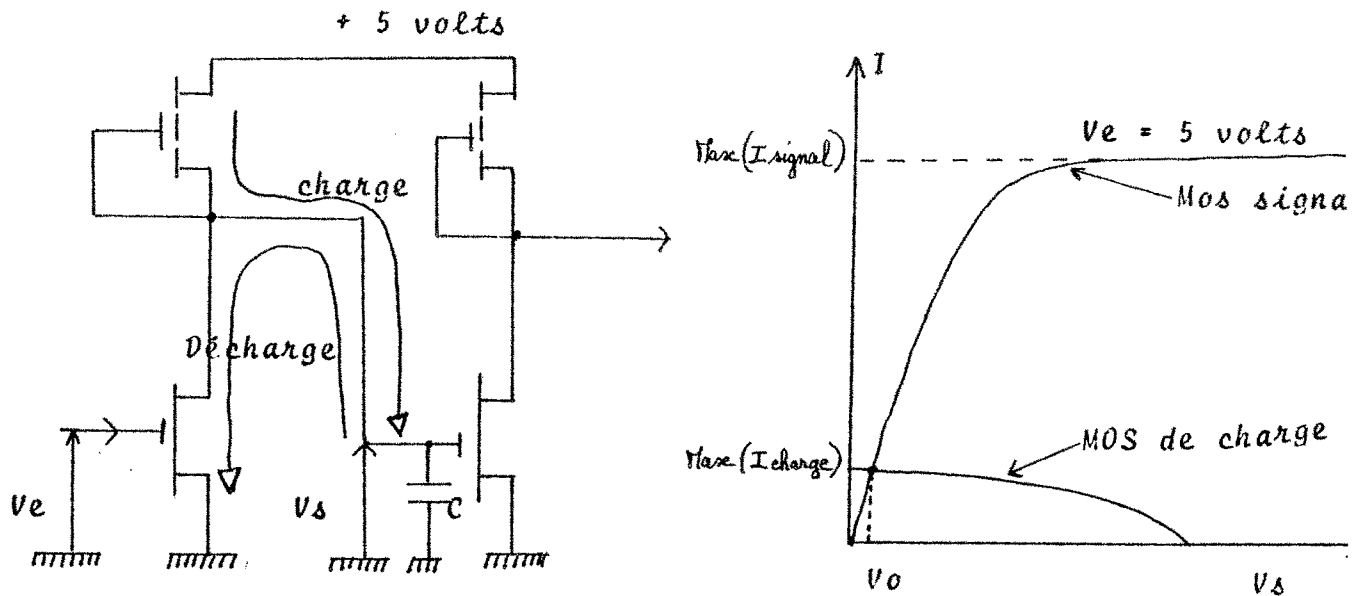


Figure 2-24

L'inverseur en commutation ainsi que la droite de charge du MOS de charge

Deux cas sont à envisager :

a) arrivée d'un front montant (passage du "0" au "1" logique) :

Le MOS signal devenant conducteur est traversé par un courant qui décharge la capacité de sortie C .

b) arrivée d'un front descendant (passage du niveau "1" au niveau "0") :

Le MOS signal se bloque et c'est le MOS de charge qui

intervient afin de fournir le courant nécessaire à la charge de la capacité C.

Pour l'établissement d'un "0" il faut donc décharger la capacité de sortie via le MOS signal tandis que pour forcer un "1" il faut charger cette même capacité à travers le MOS de charge. Celui-ci ne pouvant fournir qu'un courant moindre par rapport au MOS signal (géométrie plus petite), la charge de la capacité de sortie est par conséquent plus longue que sa décharge.

En prenant le cas le plus défavorable la vitesse d'un inverseur ainsi que des autres portes logiques de base sera le temps de propagation (Tpd) du "1" logique qui dépend du courant I que peut fournir le MOS de charge suivant la relation :

$$I \cdot T_{pd} = C \cdot V_{dd}$$

Connaissant la vitesse de l'inverseur et la capacité de sortie on détermine la géométrie du MOS de charge d'après la formule :

$$\gamma_{charge} = \frac{I}{12,25 K} \times \frac{C \cdot V_{dd}}{T_{pd}} = \frac{5}{12,25 K} \times \frac{C}{T_{pd}} \text{ si } V_{dd} = 5 \text{ volts}$$

II - 3-2-3 LES GEOMETRIES DU NOR ET DU NAND

Nous ne nous intéressons qu'au rapport entre les géométries du MOS de charge et des MOS signaux.

Les MOS signaux du NOR étant mis en parallèle leur géométrie est la même que celle du MOS signal d'un inverseur ayant même MOS de charge

$$\text{Soit } \gamma_{\text{signal}} = 7,3 \gamma_{\text{charge}}$$

Dans le cas du NAND on considère que les MOS signaux mis en série sont tous identiques et ont pour géométrie γ_s (figure 2-25). Si n est le nombre d'entrée on prend aussi comme hypothèse que chaque MOS signal a une tension drain-source de $\frac{V_o}{n}$ lorsqu'ils sont tous conducteurs.

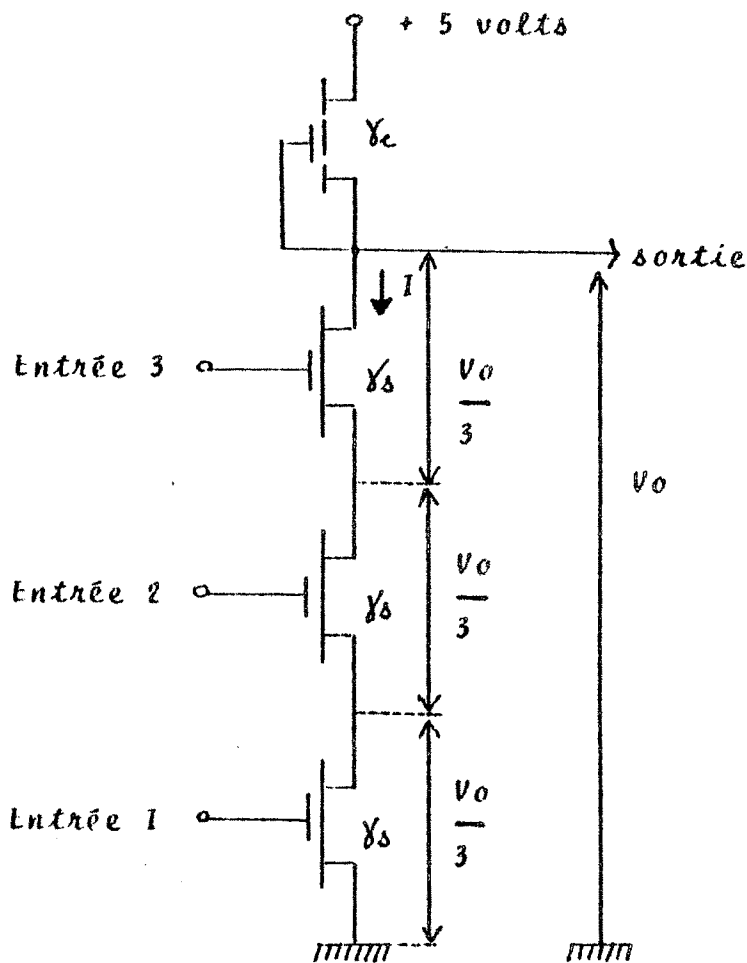
En numérotant chaque MOS signal de manière croissante de la masse vers le MOS de charge, le MOS signal de numéro i a une résistance drain-source R_i donnée par :

$$R_i = \frac{I}{2 K \gamma_s \left(V_e - \frac{i}{n} V_o - V_t - \frac{V_o}{n} \right)} = \frac{I}{2 K \gamma_s \left(V_e - \frac{i+1}{n} V_o - V_t \right)}$$

La résistance totale R est alors :

$$R = \sum_{i=1}^n R_i = \frac{I}{2 K \gamma_s} \sum_{i=1}^n \frac{I}{V_e - \frac{i+1}{n} V_o - V_t}$$

avec $V_o = R \cdot I$ où I est le courant fourni par le MOS de charge.



Si V_1, V_2, V_3 sont les tensions appliquées respectivement sur les entrées 1, 2 et 3 on a :

$$V_1 = V_2 = V_3 = V_e = 5 \text{ volts}$$

$$\gamma_s = \frac{12,25 \text{ n}}{2 (V_e - V_t - V_o) V_o} \gamma_c$$

Figure 2-25

Géométries d'un NAND à 3 entrées

On peut obtenir une expression simplifiée pour R en remarquant qu'il nous suffit d'avoir un majorant pour V_o et par conséquent un majorant de R puisque I est constant si la géométrie

γ_c du MOS de charge est fixée

$$\text{pour } i \in [1, n] \quad \frac{I}{V_e - \frac{i+1}{n} V_o - V_t} \leq \frac{I}{V_e - \frac{n+1}{n} V_o - V_t}$$

$$\begin{aligned} \text{et } \frac{I}{2 K \gamma_s} \sum_{i=1}^n \frac{I}{V_e - \frac{i+1}{n} V_o - V_t} &\leq \frac{I}{2 K \gamma_s} \sum_{i=1}^n \frac{I}{V_e - \frac{n+1}{n} V_o - V_t} \\ &= \frac{n}{2 K \gamma_s (V_e - \frac{n+1}{n} V_o - V_t)} \end{aligned}$$

V_o étant faible devant V_{dd} ($V_o < V_t < V_e$) on peut faire l'approximation :

$$R = \frac{n}{2 K \gamma_s (V_e - \frac{n+1}{n} V_o - V_t)} \approx \frac{n}{2 K \gamma_s (V_e - V_o - V_t)}$$

La relation $V_o = R.I.$ permet de trouver l'équation liant γ_s et γ_c .

$$\gamma_s = \frac{12,25 n}{2 (V_e - V_o - V_t) V_o} \gamma_c$$

La géométrie d'un MOS signal de NAND à n entrées est n fois la géométrie du MOS signal d'un inverseur ayant même MOS de charge.

Par exemple si on prend :

$$\left\{ \begin{array}{l} V_e = 5 \text{ volts} \\ V_t = 0,6 \text{ volt} \\ V_o = 0,2 \text{ volt} \\ \text{et } n = 3 \end{array} \right.$$

alors

$$s = 7,3 \times 3 \chi_c = 21,9 \chi_c$$

REMARQUE :

La surface d'un NOR croît proportionnellement avec le nombre de ses entrées tandis que la surface d'un NAND croît proportionnellement avec le carré de ses entrées. C'est pourquoi on ne trouve que très rarement des portes NAND ayant plus de 3 entrées.

Le NOR et le NAND étant les portes logiques de base on essaiera de mettre le plus possible les fonctions sous la forme

$$\sum_i \left(\prod_j \left(\sum_k x_{ijk} \right) \right)$$

La figure 2-26 donne un exemple de réalisation pour la fonction $y = \overline{X1 X2 + X3 + X4 (X5 + X6)}$

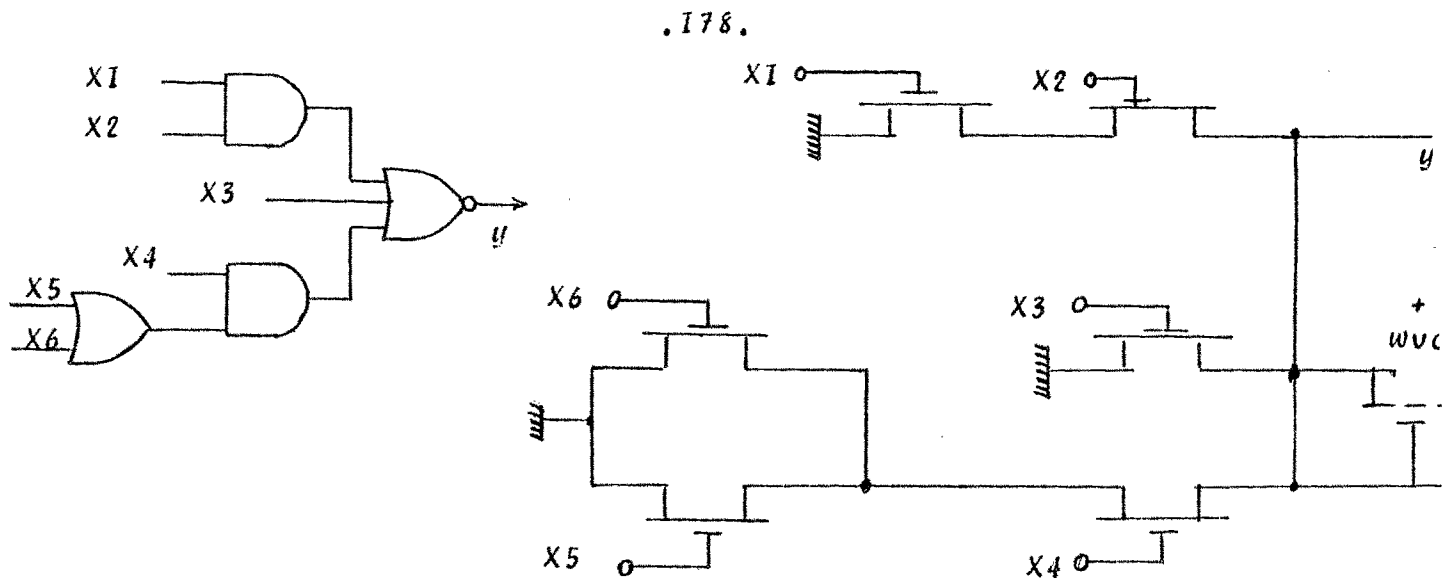


Figure 2-26

Exemple de fonction facilement réalisable

II - 3-3 FONCTIONNEMENT DYNAMIQUE

C'est un fonctionnement propre aux MOS qui utilise la capacité grille substrat d'un transistor pour mémoriser temporairement une information. Cette capacité reliée à un interrupteur peut prendre 2 états : soit elle est déchargée, soit elle est chargée lorsque l'interrupteur s'ouvre et l'isole du circuit d'entrée. Lorsque la capacité grille substrat est déchargée, le MOS correspondant est bloqué, et lorsqu'elle est chargée ce même transistor est conducteur. Cette capacité ne peut pas mémoriser indéfiniment une information car à la longue elle se décharge sous l'action des courants de fuite.

On peut ainsi réaliser très facilement des registres à décalage dynamique (figure 2-27).

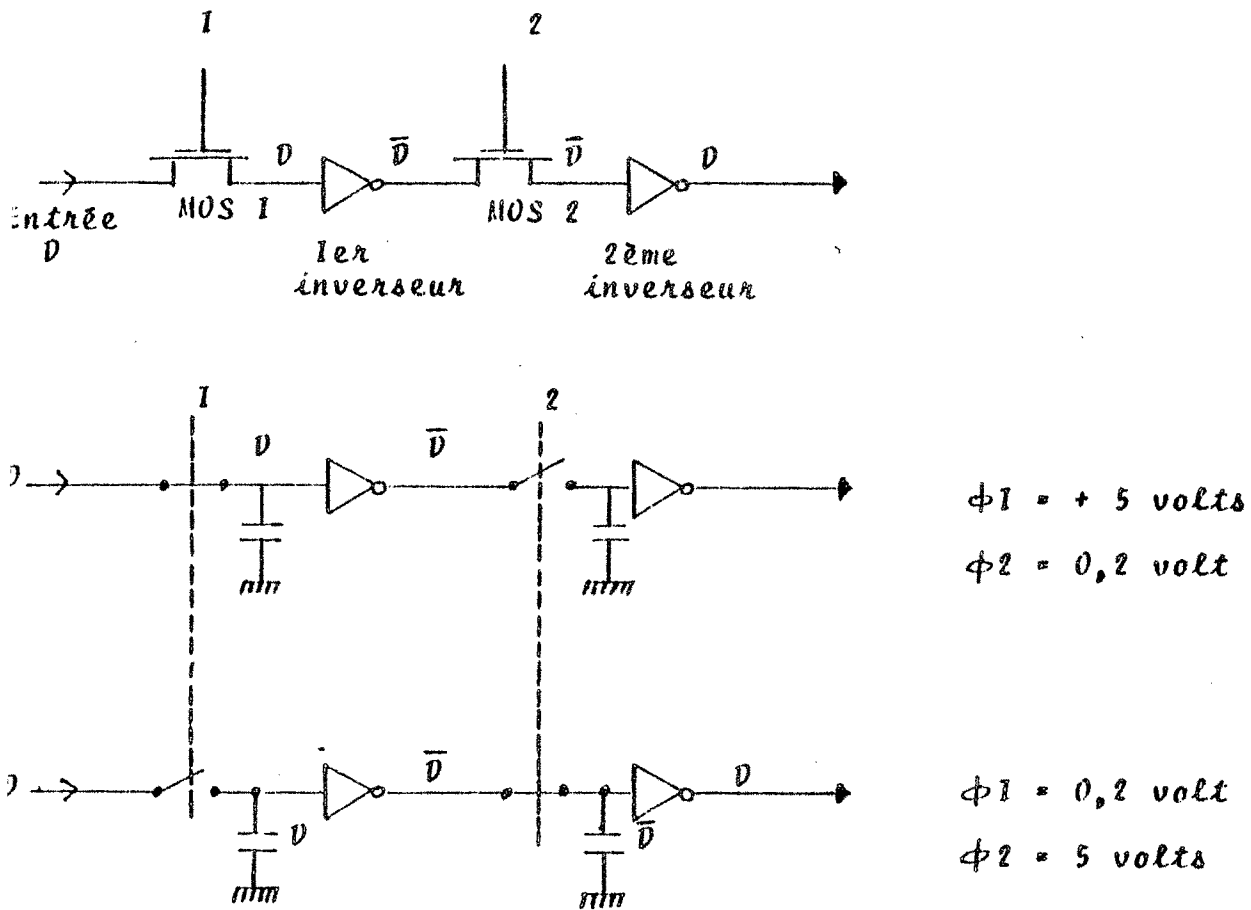


Figure 2-27

Principe de registre à décalage dynamique

Lorsque la phase $\phi 1$ qui attaque la grille du MOS numéro 1 est haute ce transistor est conducteur et laisse passer la donnée présente en entrée. Quand cette phase passe au niveau bas le MOS 1 se bloque mais la donnée en entrée se trouve mémori-

sée par la capacité grille-substrat du premier inverseur. Lorsque la phase $\phi 2$ devient haute à son tour le MOS 2 laisse passer la sortie du premier inverseur qui représente la donnée en entrée complémentée. La phase $\phi 2$ passant dans l'état bas la capacité de grille du second inverseur mémorise à son tour la donnée mais sous forme complémentée.

Ce fonctionnement dynamique autorise la réalisation de bus à précharge. La capacité C mémorisant l'information à transmettre est constituée, par le bus lui-même qui peut être un des 3 types de liaisons, mais aussi par les différentes grilles attaquées par ce bus (figure 2-28).

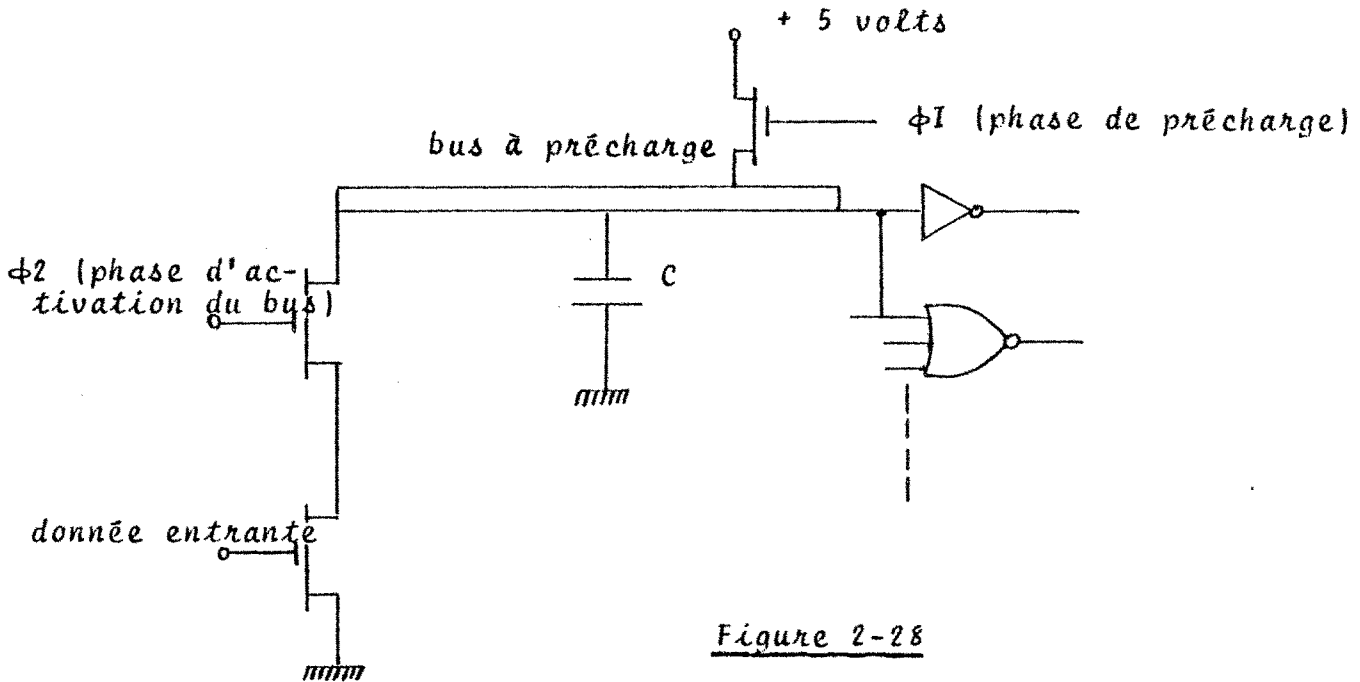


Figure 2-28
Bus à précharge

Sur la phase $\phi 1$:

- la capacité C est chargée (sous 3,7 volts à cause de l'effet de substrat linéarisé); cette opération s'appelle la précharge du bus-

- la donnée entrante est stabilisée.

Sur la phase $\phi 2$ la donnée entrante est transférée sur le bus : elle décharge le bus si elle est au potentiel de 5 volts tandis qu'elle le laisse inchangé si elle est portée au potentiel de 0,2 volt.

Sur le bus on récupère donc la donnée entrante complé-
mentée.

Les caractéristiques d'un circuit dynamique sont :

- la faible consommation : si les phases ne se recou-
vrent pas le MOS de précharge n'est jamais relié à la masse

- le faible encombrement : la géométrie des différents transistors est indépendante du courant fourni par le MOS de pré-charge puisque ce dernier se bloque lorsque les autres MOS sont conducteurs. La géométrie de ces différents transistors est uni-
quement déterminée par la vitesse de propagation imposée

- la vitesse : le cas le plus défavorable consiste à propager un zéro en déchargeant une capacité ce qui est très rapide.

Bibliographie :

(1) HENRY, CRINON, LACOUR

Conception de circuits intégrés à transistors MOS par la méthode de l'ESPALIER

*Colloque international sur la microélectronique avancée,
Paris, avril 1970*

(2) BERTAILS, ZIRPHILE

A standardized Approach for the reduction of LSI Design Time and Automatic Rules Cheking

IEEE Journal of solide-state circuits, Août 1977.

(3) MAJOS, LARDY

The multidrain MOS transistor

ESSCIRC, Septembre 1978, Amsterdam

(4) OLATWAN

*Etude de la structure interne et du fonctionnement d'un microproces-
seur 16 bits*

Rapport DEA, IMAG, juin 1977

AUTORISATION DE SOUTENANCE

VU les dispositions de l'article 3 de l'arrêté du 16 Avril 1974,

VU le rapport de présentation de Monsieur :

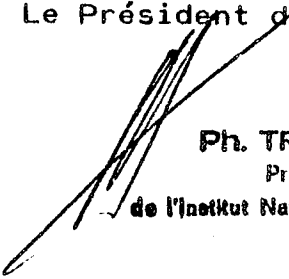
- F. ANCEAU, Professeur à l'Institut National
Polytechnique de GRENOBLE

Monsieur Alain D U R E T

est autorisé à présenter une thèse en soutenance pour l'obtention du
titre de DOCTEUR de TROISIEME CYCLE, spécialité "Génie Informatique".

Grenoble, le 26 Novembre 1979

Le Président de l'I.N.P.G. 27


Ph. TRAYNARD
Président
de l'Institut National Polytechnique