



HAL
open science

CONTRIBUTION À CONCEPTION D'UN MODULATEUR SIGMA-DELTA PASSE-BANDE À TEMPS CONTINU POUR LA CONVERSION DIRECTE DE SIGNAUX RADIOFREQUENCES

Emilie Avignon

► **To cite this version:**

Emilie Avignon. CONTRIBUTION À CONCEPTION D'UN MODULATEUR SIGMA-DELTA PASSE-BANDE À TEMPS CONTINU POUR LA CONVERSION DIRECTE DE SIGNAUX RADIOFREQUENCES. Micro et nanotechnologies/Microélectronique. Université Pierre et Marie Curie - Paris VI, 2007. Français. NNT: . tel-00290176v1

HAL Id: tel-00290176

<https://theses.hal.science/tel-00290176v1>

Submitted on 25 Jun 2008 (v1), last revised 11 Jul 2008 (v2)

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



**ÉCOLE
SUPÉRIEURE
D'ÉLECTRICITÉ**



Thèse

présentée pour obtenir le grade de

DOCTEUR DE L'UNIVERSITÉ PIERRE ET MARIE CURIE

Spécialité : électronique

par

Émilie AVIGNON

**CONTRIBUTION À CONCEPTION D'UN MODULATEUR
SIGMA-DELTA PASSE-BANDE À TEMPS CONTINU POUR LA
CONVERSION DIRECTE DE SIGNAUX RADIOFREQUENCES**

soutenue le 18/12/07 devant le jury composé de :

MM. Georges ALQUIÉ	Président
Marc BELLEVILLE	Rapporteurs
Thierry PARRA	
Dominique DALLET	Examineurs
Sylvie GUESSAB	
Jean-Marc GUEBHARD	
Richard KIELBASA	Directeur de thèse

SUPÉLEC

Thèse préparée au Département Signaux et Systèmes Électroniques

*À ma mère,
Avec tout mon cœur.*

Remerciements

Ce travail de thèse a été réalisé au département Signaux et Systèmes Électroniques (SSE) de SUPÉLEC. Je remercie Monsieur Jacques OKSMAN, ancien chef du département, pour son accueil au sein de l'équipe. Je remercie bien sûr également Monsieur Gilles FLEURY qui a plus tard pris le relais à ce poste.

Je remercie Monsieur Georges ALQUIÉ, professeur à l'université Pierre et Marie Curie, d'avoir présidé mon jury de thèse ainsi que Messieurs Thierry PARRA, professeur à l'Université Paul Sabatier de Toulouse et le docteur Marc BELLEVILLE, chercheur au département Conception et Intégration dans les Systèmes du CEA-LETI, d'avoir accepté de rapporter sur mon travail. Je remercie également Messieurs Dominique DALLET, professeur des universités à l'ENSEIRB, Jean-Marc GUEBHARD, ingénieur en conception de circuits intégrés au CEA de Bruyères-le-Chatel et Mademoiselle Sylvie GUESSAB, professeur adjoint au département SSE d'avoir fait partie du jury en qualité d'examineurs.

J'exprime toute ma gratitude à mon directeur de thèse Monsieur Richard KIELBASA, professeur au département SSE et responsable du groupe Systèmes Électroniques, qui a toujours su apporter l'éclairage scientifique qui m'a permis d'avancer. Je lui dois également d'avoir appris ce qu'est un travail de recherche dans tous ses aspects. Je souhaite également exprimer ma reconnaissance à Sylvie GUESSAB pour le remarquable investissement personnel qu'elle a fourni pour encadrer ce travail de thèse. Je loue tout à la fois son aide sur le plan technique et scientifique, mais aussi ses efforts de relecture attentifs du manuscrit.

Je remercie les personnes avec qui nous avons travaillé au CEA DAM de Bruyères-le-Châtel et sans qui ce travail n'aurait pas existé : Jean RUSSAT, Carmen TAHMI et Jean-Marc GUEBHARD qui a été notre partenaire le plus direct et m'a fait profiter de son expérience en conception de circuits intégrés analogiques pour mener à bien le travail de thèse.

En outre, je souhaite remercier toutes les personnes du département qui ont de près ou de loin contribué à ce travail de thèse. En particulier Philippe BÉNABÈS, pour ses diagnostics avisés sur les dysfonctionnements du modulateur Sigma-Delta, Alain BONNOIT pour ses remarques pertinentes sur le manuscrit et Messieurs Francis TRÉLIN et Luc BATALIE pour leur incontournable soutien technique. Je remercie Fabienne SURAUD pour son efficacité et sa sympathie et je remercie également Karine EL RASSI qui a pris sa suite. D'un point de vue humain, il m'a été agréable en toutes occasions de rencontrer l'ensemble des personnes du laboratoire : Jérôme JUILLARD, Caroline LELANDAIS-PERRAULT, Morgan ROGER, et bien sûr les thésards anciens ou nouveaux : Sorore, Tudor, Esmail, Yoan, Davud, et plus récemment Alexia, Mohammad, et Zhiguo. Parmi ceux-là, je remercie plus particulièrement Ali pour son amitié et son soutien.

Enfin, je ne saurais trop remercier tous ceux qui me sont chers, ma mère, mais aussi mes cousines, éloignées par la distance, mais proches par le cœur, de m'avoir soutenu et encouragé.

Résumé

La conversion analogique-numérique sigma-delta passe-bande à temps continu constitue une approche intéressante pour la numérisation directe de signaux radiofréquences. Pour faire un premier pas vers des systèmes de conversion rapides et agiles basés sur cette approche, la faisabilité d'un convertisseur sigma-delta passe-bande à fréquence centrale ajustable sur une bande de fréquence limitée est étudiée au travers de la conception d'un circuit intégré prototype en technologie GaAs P-HEMT 0.2 μm .

L'architecture du modulateur sigma-delta comprend un filtre de boucle à structure parallèle, afin d'assurer à la fois la stabilité et la précision du dispositif, un sommateur et un comparateur. Les filtres passe-bande, constitutifs du filtre de boucle, sont du type Gm-LC à résistance négative. Le retard optimal théorique pour cette architecture est de $1,25 T_e$ (T_e : période d'échantillonnage) et ce retard est approximativement atteint grâce à un comparateur verrouillable ($1,12 T_e$). Le réglage de la fréquence centrale s'opère par le biais de varicaps dans le résonateur d'entrée.

La simulation du circuit au niveau transistor permet d'évaluer une résolution de 10 bits sur une bande de 4 MHz pour une fréquence centrale de 750 MHz et une fréquence de sur-échantillonnage de 3 GHz. La fréquence centrale du modulateur peut être abaissée à 725 MHz où la résolution atteint 9 bits. La consommation est estimée à 5,7 W. Le circuit a été implanté et la surface de la puce s'élève à 12 mm^2 .

Ce travail présente une méthodologie de conception basée sur des simulations multi-niveaux (transistor, fonctionnel). Cette approche permet d'isoler l'impact des non-idéalités de chacun des blocs au niveau circuit sur le fonctionnement général du modulateur. Des solutions sont proposées pour la correction de ces défauts. La robustesse du circuit a aussi fait l'objet d'une étude en termes de dispersions technologiques et d'éléments parasites introduits par l'implantation. Des remèdes sont proposés pour pallier ces problèmes.

Mots clés : conversion analogique-numérique, modulateur sigma-delta, réception radiofréquence, circuits intégrés analogiques, GaAs P-HEMT.

Abstract

The continuous-time bandpass delta-sigma analog-to-digital conversion is an interesting approach for direct conversion of radiofrequencies signals. To go towards fast and reconfigurable conversion systems, the feasibility of a delta-sigma band-pass converter with a tunable central frequency on a limited bandwidth is studied through the design of an integrated circuit in a GaAs P-HEMT technology.

The modulator architecture includes a loop filter, which has a parallel structure to ensure the stability as well as the precision of the device, an adder and a comparator. The loop filter is composed of several Q-enhanced Gm-LC resonators. The optimal delay for this architecture ($1.25T_e$, with T_e the sampling period) is approximately reached through a latched comparator ($1,12 T_e$). The adjustment of the central frequency is carried out through one tunable capacity on the front-end resonator.

The transistor level simulation in the nominal case shows a resolution of 10 bits in a useful bandwidth of 4 MHz, for a central frequency of 750 MHz and a 3 GHz sampling frequency. The central frequency of the modulator can be adjusted at 730 MHz where the resolution reaches 9 bits. Consumption is estimated to be 5,7 W. The layout of the chip occupies 12 mm^2 .

This work presents a design methodology based on multi-level simulations (transistor, functional). This approach makes it possible to isolate the impact from circuit level non-idealities on the general behaviour of the modulator. Solutions are proposed to correct these drawbacks. The circuit sensitivity was also studied in terms of technological dispersions and parasitic elements introduced by the layout.

Key Words : analog-to-digital conversion, delta-sigma modulation, radiofrequency reception, analogical integrated circuit, GaAs P-HEMT.

Avant-propos

Cette thèse a été réalisée dans le cadre d'un contrat entre le CEA-DAM de Bruyères-le-Chatel et l'École Supérieure d'Électricité de Paris pour la réalisation d'un convertisseur analogique-numérique agile de signaux radiofréquences. Le CEA a assuré le suivi de l'étude et a réalisé l'implantation du circuit.

Abréviations

<i>BAW</i>	Bulk Acoustic Wave
<i>BiCMOS</i>	Bipolar & <i>CMOS</i>
<i>CAN</i>	Convertisseur Analogique-Numérique
<i>CMOS</i>	Complementary Metal Oxide Semiconductor
<i>CNA</i>	Convertisseur Numérique-Analogique
<i>DR</i>	Dynamic Range
<i>DSP</i>	Densité Spectrale de Puissance
<i>ENOB</i>	Effective Number Of Bits
<i>ERBW</i>	Effective Resolution BandWith
<i>FoM</i>	Facteur de mérite d'un modulateur
<i>Gm – C</i>	Filtre à base de transconductances et capacités
<i>Gm – LC</i>	Filtre à base de transconductances, capacités et inductances
<i>HBT</i>	Heterojunction Bipolaire Transistor
<i>HEMT</i>	High Electron Mobility transistor
<i>HZ</i>	Half-delay Zero
<i>IP3</i>	Produit d'intermodulation d'ordre 3
<i>FI</i>	Fréquence Intermédiaire
<i>LNA</i>	Low Noise Amplifier
<i>LSB</i>	Less Significant Bit
<i>MASH</i>	Multi stAge noise SHaping
<i>MESFET</i>	MEtal Semiconductor Field Effect Transistor
<i>MODFET</i>	MOdulation Doped Field Effect Transistor
<i>MOS</i>	Metal Oxide Semiconductor
<i>MOSFET</i>	Metal Oxide Semiconductor Field-Effect Transistor
<i>MSCL</i>	Multi Stage Closed Loop modulators
<i>NRZ</i>	Non Return to Zero
<i>NTF</i>	Noise Transfert Function
<i>OL</i>	Oscillateur Local
<i>OSR</i>	OverSampling Ratio
<i>RF</i>	Radio Fréquence
<i>RZ</i>	Return to Zero
<i>SAW</i>	Surface Acoustic Wave
<i>SCI → I</i>	Source de courant contrôlée en courant
<i>SCV → I</i>	Source de courant contrôlée en tension
<i>SCV → V</i>	Source de tension contrôlée en tension

<i>SFDR</i>	Spurious Free Dynamic Range
<i>SNDR</i>	Signal to Noise and Distortion Ratio
<i>SNR</i>	Signal to Noise Ratio
<i>STF</i>	Signal Transfer Function
<i>SOI</i>	Silicon-On-Insulator
<i>SOS</i>	Silicon-On-Sapphyre
$\Sigma\Delta$	Sigma Delta
<i>VCO</i>	Voltage Controlled Oscillator

Notations

A_v	Gain en tension
B_U	Bande de fréquence utile du modulateur
B_A	Bande d'agilité du modulateur
Δ	Pas de quantification
C_{cor}	Condensateur de correction
C_{gs}	Capacité grille-source d'un transistor FET
C_{gd}	Capacité grille-drain d'un transistor FET
C_{ds}	Capacité drain-source d'un transistor FET
C_{var}	Capacité variable
τ	Retard de boucle
ϵ	Erreur de quantification
ϵ_s	Permittivité d'un semi-conducteur
f_0	Fréquence centrale du modulateur
f_e	Fréquence d'échantillonnage
f_t	Fréquence de transition d'un transistor
$H(z)$	Transmittance en temps discret du filtre de la boucle du modulateur
$G(s)$	Transmittance en temps continu du filtre de la boucle du modulateur
$G_{BO}(s)$	Gain en boucle ouverte du modulateur
g_{ds}	Conductance de sortie d'un transistor FET
g_m	Transconductance d'un transistor
G_m	Transconductance d'un amplificateur différentiel
G_{neg}	Conductance négative
I_0	Courant de polarisation
I_s	Courant de saturation des diodes
N	Résolution du CAN et CNA de la boucle du modulateur sigma-delta
n	Ordre du modulateur sigma-delta
Q	Facteur de qualité du résonateur
Q_L	Facteur de qualité d'une inductance intégrée
Q_{cor}	Facteur de qualité de l'inductance avec compensation
$PH(s)$	Transmittance d'un filtre passe-haut de correction
P_e	Puissance du signal d'entrée
P_b	Puissance du bruit
R_{cor}	Résistance de correction
R_{ds}	Résistance de sortie d'un transistor FET
R_0	Résistance de sortie parasite
R_C	Résistance de charge
R_{lin}	Résistance de linéarisation

R_s	Résistance modélisant les pertes ohmiques dans l'inductance intégrée
T_e	Période d'échantillonnage
V_{bi}	Potentiel de construction d'une jonction
V_{bias}	Tension statique de polarisation
V_{DD}	Tension d'alimentation positive
V_{SS}	Tension d'alimentation négative
V_{ds}	Tension entre le drain et la source d'un transistor
V_{gs}	Tension entre le grille et la source d'un transistor
v_{in}	Tension dynamique d'entrée
v_{out}	Tension dynamique de sortie
v_d	Tension différentielle à l'entrée
V_{ref}	Tension de référence
V_t	Tension de seuil des diodes et transistors
Y_e	Admittance d'entrée
Y_s	Admittance de sortie
Z_e	Impédance d'entrée
Z_s	Impédance de sortie

Table des matières

Résumé	5
Abstract	6
Avant-propos	7
Abréviations	8
Notations	10
Introduction	16
1 La modulation sigma-delta passe-bande à temps continu	20
1.1 Introduction	20
1.2 Principe de la modulation sigma-delta	20
1.2.1 Structure du modulateur sigma-delta	20
1.2.2 Quantification et bruit de quantification	22
1.2.3 Grandeurs caractéristiques	23
1.2.4 Modèle linéaire du modulateur sigma-delta	23
1.2.5 Mise en forme du bruit de quantification	24
1.2.6 Stabilité du modulateur	25
1.2.7 Du modulateur passe-bas au modulateur passe-bande	28
1.2.8 Stabilité d'un modulateur sigma-delta passe-bande	28
1.3 Performances des modulateurs sigma-delta	29
1.3.1 Rapport signal sur bruit	29
1.3.2 Résolution	29
1.3.3 Rapport signal sur bruit et distorsions	30
1.3.4 Dynamique libre des raies parasites	30
1.3.5 Dynamique d'entrée du modulateur	30
1.3.6 Bande passante à -3 dB	31
1.3.7 Facteurs de mérite	31
1.4 Les différentes architectures de modulateurs	31
1.4.1 Modulateur classique	31
1.4.2 Modulateur en cascade	32
1.5 Du modulateur sigma-delta à temps discret au modulateur à temps continu	34
1.6 Etude de la stabilité d'un modulateur sigma-delta à temps continu	37
1.6.1 Tracé du lieu des pôles et zéros	37
1.6.2 Utilisation du critère de Nyquist	37
1.7 Etat de l'art de la modulation sigma-delta à temps continu	39
1.8 Conclusion	39

2	Proposition d'une architecture à fréquence centrale ajustable	41
2.1	Introduction	41
2.2	Architectures envisageables	42
2.2.1	Objectif	42
2.2.2	Démarche	42
2.2.3	Choix des paramètres de l'architecture à temps discret	42
2.2.4	Calcul des architectures à temps continu	46
2.2.5	Imperfections du CNA	51
2.3	Architecture proposée	52
2.4	Stabilité et performances	56
2.4.1	Choix pour le réglage	56
2.4.2	Stabilité	56
2.4.3	Performances	58
2.5	Evolution vers une structure autoadaptative	60
2.6	Conclusion	62
3	La technologie GaAs	63
3.1	Introduction	63
3.2	Choix de la technologie	63
3.2.1	Critères de choix	63
3.2.2	Les différents types de matériaux pour l'intégration	64
3.2.3	Les différents types de transistors	66
3.2.4	Technologie retenue	67
3.3	Dispositifs disponibles dans la technologie OMMIC	68
3.3.1	Présentation générale de la technologie OMMIC	68
3.3.2	Transistor P-HEMT	68
3.3.3	Diodes	75
3.3.4	Inductances intégrées	77
3.3.5	Condensateurs intégrés	81
3.3.6	Résistances intégrées	82
3.3.7	Interconnexions	84
3.4	Montages différentiels	85
3.4.1	Structures de base	86
3.4.2	Montage cascode	88
3.4.3	Amplificateur différentiel à transconductance	89
3.4.4	Décaleurs de tension	92
3.4.5	Source de courant de polarisation	93
3.4.6	Condensateur de liaison	94
3.5	Conclusion	95
4	Conception des blocs du modulateur sigma-delta	96
4.1	Introduction	96
4.2	Les résonateurs	98
4.2.1	Choix d'une structure de résonateurs	98
4.2.2	Conception des résonateurs Gm-LC	99
4.2.3	Caractéristiques des circuits résonateurs	106
4.2.4	Robustesse des résonateurs	109
4.2.5	Conclusion	112
4.3	Le sommateur	112
4.3.1	Spécifications attendues	112

4.3.2	Circuit sommateur et résultats de simulations	112
4.3.3	Robustesse du sommateur	113
4.3.4	Conclusion	116
4.4	Le comparateur	116
4.4.1	Spécifications attendues	116
4.4.2	Choix d'une structure de comparateur	116
4.4.3	Circuit comparateur et résultats de simulation	117
4.4.4	Robustesse du comparateur	119
4.4.5	Conclusion	120
4.5	Conclusion	120
5	Le modulateur complet	122
5.1	Introduction	122
5.2	Simulation du modulateur au niveau transistor	122
5.2.1	Cas nominal	122
5.2.2	Situation par rapport à l'état de l'art	128
5.3	Testabilité	128
5.3.1	Objectifs du test	128
5.3.2	Conception et testabilité	129
5.3.3	Test du circuit	130
5.4	Dessin du masque du modulateur et rétrosimulation	131
5.4.1	Règles d'implantation	131
5.4.2	Rétrosimulations	133
5.5	Robustesse du modulateur	135
5.5.1	Méthodologie	135
5.5.2	Comparateur	136
5.5.3	Résonateurs	137
5.5.4	Sommateur	139
5.5.5	Simulation globale	140
5.5.6	Augmentation de la fréquence centrale du modulateur	141
5.6	Conclusion	143
6	Conclusion	145
A	Brassage de source passe-bande	150
A.1	Introduction	150
A.2	Principe du brassage de source passe bande	150
A.3	Architecture proposée	151
B	Compléments sur la technologie	154
B.1	Introduction	154
B.2	Composants	154
B.2.1	Diodes	154
B.2.2	Bobines	155
B.3	Les différents niveaux de matériaux	156
B.4	Les paramètres de simulations statistiques	157
C	Dimensionnement d'un résonateur Gm-C à 1 GHz	158
C.1	Introduction	158
C.2	Le principe de la simulation d'inductance	158
C.3	Dimensionnement du circuit	160

D Résultats de mesures sur les résonateurs	163
D.1 Introduction	163
D.2 Caractéristiques des circuits	163
D.3 Préparation des mesures	164
D.3.1 Circuit imprimé	164
D.3.2 Ajouts	164
D.4 Mesures sur CIR2	165
D.4.1 Résultats attendus	165
D.4.2 Résultats obtenus	167
D.4.3 Commentaires	167
D.5 Mesures sur CIR3	168
D.5.1 Résultats attendus	168
D.5.2 Résultats obtenus	169
D.5.3 Commentaires	170
D.6 Masques des résonateurs	171
E Calcul des performances	174

Introduction

Les architectures de récepteurs radiofréquences ont relativement peu évolué depuis l'invention du superhétérodyne (ou simplement hétérodyne) par Lucien Levy en 1917 (commercialisation vers 1926). Les progrès ont concerné les technologies des composants plus que la structure du récepteur : passage des tubes aux transistors, passage des filtres à inductances et capacités à des filtres céramiques ou à onde de surface, etc. Le passage de la modulation d'amplitude aux modulations angulaires (phase ou fréquence) s'est effectué au prix d'adaptations limitées de la structure générale. L'apparition de la transmission de signaux numériques n'a pas, au départ, modifié fondamentalement cette structure.

Le synoptique simplifié d'un récepteur hétérodyne est présenté à la figure 1.

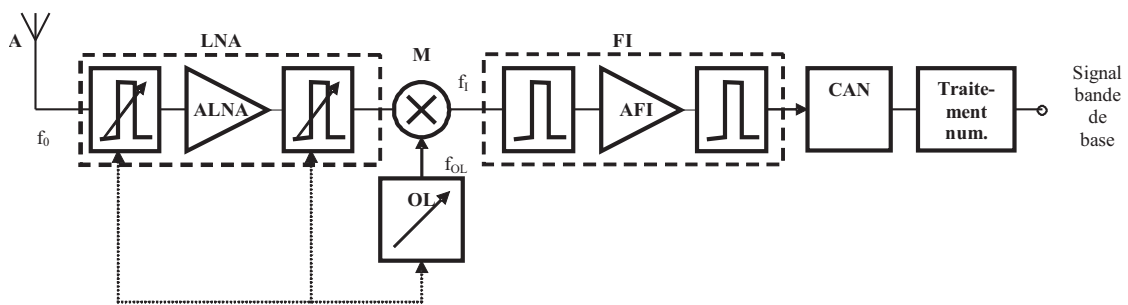


FIG. 1 Architecture d'un récepteur hétérodyne

L'antenne (A) est un générateur délivrant un signal radiofréquence à un amplificateur sélectif à faible bruit (LNA), constitué d'un amplificateur (A_{LNA}) et de deux filtres RF. La fréquence centrale de cet amplificateur est ajustable afin de limiter la bande donc l'intermodulation et le bruit mais également pour rejeter la fréquence image résultant du changement de fréquence réalisé en aval.

Le mélangeur (M) associé à son filtre de sortie réalise un changement de fréquence à une fréquence intermédiaire fixe f_I .

Le générateur de fréquence (OL) délivre un signal à une fréquence permettant de sélectionner la fréquence d'entrée désirée. Il est réalisé à l'aide d'un oscillateur local ou d'un synthétiseur de fréquences.

Le signal à la fréquence intermédiaire f_I est amplifié par une chaîne d'amplificateurs sélectifs (FI) qu'on peut interpréter, bien que cela ne soit pas l'usage, comme des filtres actifs.

La transposition à fréquence intermédiaire, voire en bande de base, peut s'effectuer en une ou plusieurs étapes selon les types de récepteurs. Le signal à la fréquence intermédiaire peut être démodulé directement par des circuits analogiques ou numérisé par un convertisseur analogique-numérique (CAN). Quelles que soient les modalités de son architecture, le récepteur hétérodyne présente un inconvénient majeur : les mélangeurs pour la transposition à fréquence intermédiaire sont sources de bruit, de non-linéarité et peuvent dans certains cas ramener du bruit d'offset.

Position du problème

Les structures traditionnelles sont aujourd'hui remises en question en raison de l'évolution des systèmes de télécommunication vers la diffusion de débits d'information de plus en plus grands, exploitant les possibilités offertes par l'intégration de traitements numériques complexes pour des applications de radio logicielle, de radio reconfigurable ou de radio cognitive.

En parallèle, les recherches sur la numérisation des signaux radiofréquences, ont permis d'améliorer des structures classiques (flash, pipeline, SAR) ou de faire évoluer des principes qui a priori n'étaient pas adaptés à la numérisation des signaux à fréquence élevée. Le passage du convertisseur sigma-delta passe-bas à capacités commutées vers le convertisseur sigma-delta passe-bande à temps continu est caractéristique de ce type d'évolution. La figure 2 représente la structure schématique d'un tel convertisseur. Elle est constituée :

- de filtres passe-bande à temps continu,
- d'amplificateurs ($A_{\Sigma\Delta}$),
- d'un convertisseur analogique-numérique,
- d'un convertisseur numérique-analogique,
- d'une horloge qui détermine la valeur de la fréquence de sur-échantillonnage.

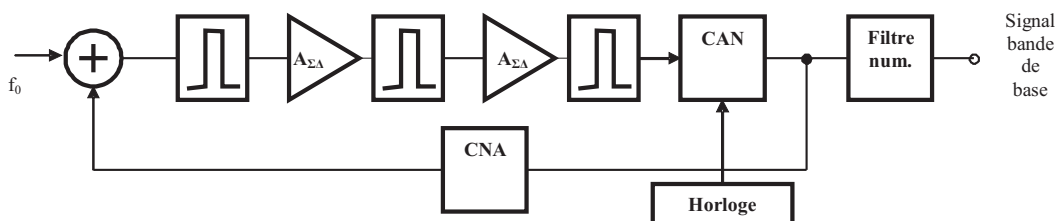


FIG. 2 *Convertisseur analogique-numérique sigma-delta à temps continu.*

Une telle structure ne suit donc pas, à priori, l'évolution de la fréquence centrale du signal d'entrée. Dans le but de suivre ces évolutions sur une certaine bande de fréquence (bande d'agilité), on peut imaginer de rendre ajustable la fréquence centrale d'un ou plusieurs filtre passe-bande (Figure 3). Un certain nombre d'éléments de l'architecture du convertisseur sigma-delta est alors commun à l'architecture du récepteur hétérodyne. Il s'agit des éléments suivants :

- le(s) filtre(s) passe-bande à fréquence centrale fixe,
- le(s) filtre(s) passe-bande à fréquence centrale ajustable,
- le convertisseur analogique-numérique,
- les amplificateurs ($A_{\Sigma\Delta}$).

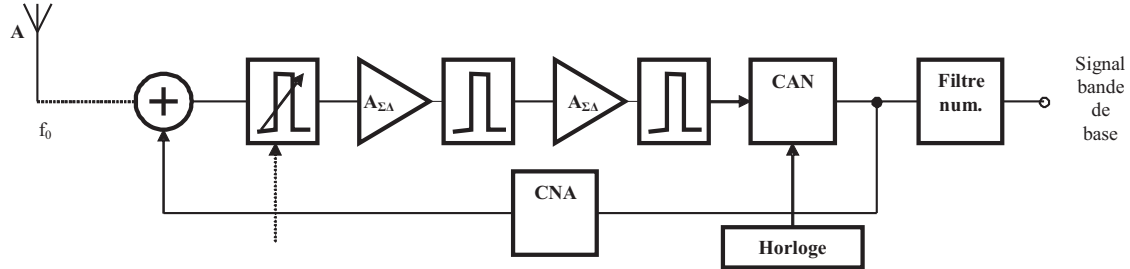


FIG. 3 *Convertisseur analogique-numérique sigma-delta à temps continu à fréquence centrale ajustable.*

Dans une certaine mesure, nous trouvons ainsi des analogies entre les deux architectures et les deux modes de fonctionnement :

- la sélection fine d’un canal fréquentiel d’entrée s’opère dans le convertisseur sigma-delta comme dans le récepteur hétérodyne grâce aux filtres passe-bande réglables,
- l’horloge détermine grossièrement la fréquence centrale de travail du convertisseur sigma-delta et remplit ainsi le rôle d’un oscillateur local dans un récepteur hétérodyne.

On peut ainsi légitimement se demander s’il ne serait pas possible de fusionner la fonction de réception avec la fonction de conversion en les incluant dans la boucle d’un sigma delta, de manière à simplifier ou à améliorer la fonction globale de réception (c’est-à-dire amplification-sélection) et la fonction de numérisation.

Cette démarche nous conduirait à des architectures de conversion directe sans les mélangeurs qui sont sources d’erreur dans les architectures traditionnelles.

Sujet de la thèse

Pour la conversion directe de signaux radiofréquences sur une bande réduite, c’est-à-dire une dizaine de mégahertz au maximum, la conversion sigma-delta passe-bande à temps continu constitue une approche intéressante, car elle laisse présager une précision accrue en raison du sur-échantillonnage et de la mise en forme du bruit de quantification.

L’intégration de ce type de dispositifs présente des difficultés étudiées dès le début des années 90 au travers de la réalisation de circuits modulateurs sigma-delta. Ces réalisations montrent que la difficulté majeure réside dans l’intégration des résonateurs (Gm-C ou Gm-LC) avec des composants passifs de bonne qualité. Par ailleurs, la vitesse de fonctionnement est limitée par la technologie.

Les réalisations de modulateurs sigma-delta dans le domaine des radiofréquences sont, jusqu'alors, à fréquence centrale fixe. Dans ce contexte, nous avons exploré la faisabilité d'un convertisseur sigma-delta passe-bande à fréquence centrale ajustable au travers de la conception, en technologie GaAs P-HEMT $0.2 \mu m$ d'un circuit intégré prototype. L'un des objectifs de cette étude était de mieux percevoir la complexité et les performances pouvant être atteintes avec cette approche. Un autre objectif était de développer une base méthodologique pour la conception de ce type de circuit.

Ce travail de thèse s'est effectué dans le cadre d'une collaboration entre Supélec et le CEA DAM de Bruyères le Châtel. Le CEA a assuré le suivi de l'étude et pris en charge l'implantation physique et l'envoi des circuits en fabrication.

Organisation du mémoire

Le **chapitre 1** rappelle les concepts élémentaires de la modulation sigma-delta. Les principes de l'étalement spectral par sur-échantillonnage et de la mise en forme du bruit de quantification sont introduits ainsi que les méthodes d'étude de la stabilité des modulateurs, le passage du domaine discret au domaine continu et l'état de l'art.

Le **chapitre 2** propose une architecture de modulateur passe-bande à temps continu d'ordre 6 à fréquence centrale ajustable permettant la conversion de signaux dont la fréquence centrale pourrait varier. Une méthode d'asservissement de cette architecture sur le signal d'entrée y est également proposée, en se basant sur l'état de l'art des publications dans le domaine.

Le **chapitre 3** décrit un panel des technologies existantes pour la conception de circuits radiofréquence. Ensuite, les particularités physiques de la technologie GaAs sont développées de même que certaines structures préférentiellement utilisées en radiofréquence.

Le **chapitre 4** présente la conception de chacun des blocs élémentaires du modulateur au niveau transistor ainsi que les études de robustesse associées.

Le **chapitre 5** détaille les résultats obtenus sur le modulateur complet ainsi que la robustesse de celui-ci vis à vis des dispersions technologiques et de l'implantation.

La **conclusion** fait le bilan général sur le travail effectué et les enseignements pouvant être tirés pour la conception de ce type de système, puis ouvre des perspectives quand à l'amélioration de l'agilité du système.

Chapitre 1

La modulation sigma-delta passe-bande à temps continu

1.1 Introduction

La conversion sigma-delta s'est imposée dans les applications audiofréquences et vidéofréquences car elle permet un bon compromis entre la précision obtenue, la surface et le coût d'intégration. Avec l'évolution des technologies d'intégration et l'accroissement des connaissances sur la théorie du modulateur sigma-delta, il est possible d'envisager des applications dont les fréquences de travail ont largement dépassé la gamme audio. Cette amélioration est due à la transposition des architectures classiques passe-bas à temps discret aux architectures passe-bande à temps continu.

Ce chapitre introduit les concepts nécessaires à l'étude du comportement des modulateurs sigma-delta, comme les principes de sur-échantillonnage et de mise en forme du bruit de quantification et les conditions de stabilité, mais aussi les outils mathématiques pour la conception de modulateurs à temps continu. En dernière partie se trouve l'état de l'art des réalisations de modulateurs à temps continu.

1.2 Principe de la modulation sigma-delta

1.2.1 Structure du modulateur sigma-delta

L'architecture générale d'un convertisseur analogique-numérique de type sigma-delta est présentée à la figure 1.1. Elle est constituée d'une boucle appelée modulateur, suivi d'un filtre numérique. Le modulateur contient un filtre analogique (dit "filtre de boucle") suivi d'un convertisseur analogique-numérique (CAN) dans le chemin direct, ainsi qu'un convertisseur numérique-analogique (CNA) dans le chemin de retour. L'architecture est dite monobit ou multibit en fonction de la résolution du CAN de boucle (ainsi, si le CAN est un comparateur, l'architecture est monobit).

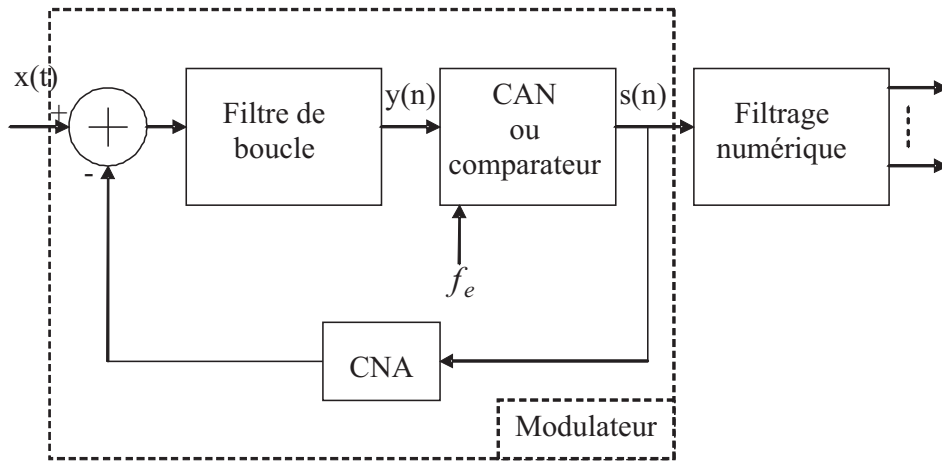


FIG. 1.1 Schéma général d'un convertisseur sigma-delta

Cette architecture présente deux spécificités qui permettent d'atteindre des résolutions de conversion élevées :

- La fréquence d'échantillonnage f_e du CAN du modulateur est très supérieure à la fréquence de Shannon (on parle de suréchantillonnage) afin de réduire le bruit de quantification sur la bande utile du signal à convertir. En effet, la densité spectrale du bruit est uniforme sur la bande et inversement proportionnelle à f_e (voir § 1.2.3). Un ralentissement de cadence (décimation) est ensuite opéré par le filtre numérique.
- Le modulateur effectue une mise en forme du bruit de quantification en repoussant celui-ci en dehors de la bande utile (voir § 1.2.4). Dans un second temps, le filtre numérique préserve la bande utile, mais réduit le bruit hors bande. On obtient alors une résolution plus élevée que celle du CAN de boucle.

Outre son intérêt en terme de résolution, ce type d'architecture, bouclée, offre généralement une bonne robustesse vis-à-vis des dispersions technologiques.

Le filtre de boucle peut être passe-bas ou passe-bande et implémenté à temps discret ou à temps continu selon le type de conversion à effectuer :

- Pour la conversion de signaux de fréquence centrale inférieure à 100 kHz environ, le filtre de boucle est généralement passe-bas (le modulateur est alors dit passe-bas) et à temps discret (circuit à capacités commutées cadencé par f_e).
- Pour la conversion de signaux de plus hautes fréquences, le filtre de boucle est à temps continu car il n'est plus possible à de telles fréquences d'échantillonnage de réaliser des filtres à capacités commutées. Le filtre de boucle est alors souvent un résonateur et le modulateur est dit passe-bande.

1.2.2 Quantification et bruit de quantification

La quantification est l'étape au cours de laquelle un signal analogique, préalablement échantillonné et bloqué, est associé à un niveau discret équivalent à un nombre fini de bits. Cette quantification introduit un bruit qui lui est propre et qui est l'écart entre la valeur réelle et le niveau discret qui lui a été associé. La figure 1.2 a) montre la relation entre la sortie d'un quantificateur idéal par rapport à son entrée.

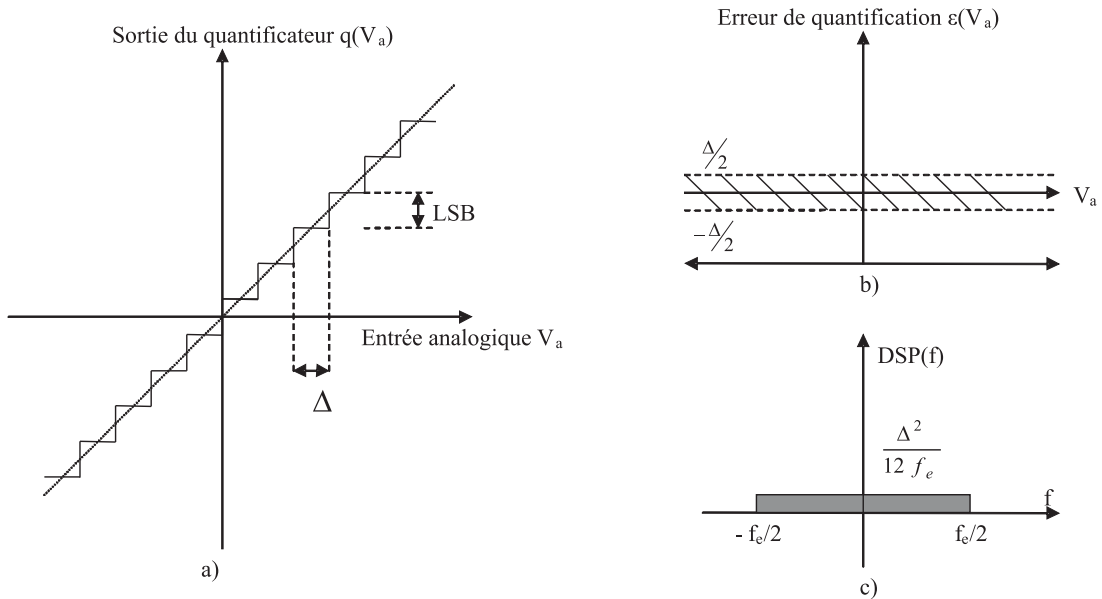


FIG. 1.2 Quantification : a) sortie du quantificateur, b) bruit de quantification, c) puissance du bruit de quantification

En fonction de l'échantillon V_a maintenu par le bloqueur, le quantificateur associe le niveau discret le plus proche $q(V_a)$. Le pas de quantification (ou quantum) désigne la tension analogique associée au bit de poids le plus faible. On l'exprime par [1] :

$$\Delta = \frac{2V_{ref}}{M} \quad (1.1)$$

$M = 2^N - 1$ est le nombre de niveaux du quantificateur, N étant le nombre de bits du quantificateur. $2V_{ref}$ représente la plage d'entrée maximale en tension du quantificateur. Voici l'expression de l'erreur due à une quantification :

$$\varepsilon(V_a) = q(V_a) - V_a \quad (1.2)$$

V_a étant le signal appliqué à l'entrée du quantificateur et $q(V_a)$ la sortie du quantificateur. Cette erreur est comprise entre $-\Delta/2$ et $\Delta/2$ pour une quantification par arrondi. Elle peut être considérée comme un processus aléatoire et assimilée à un bruit supposé blanc. La valeur quadratique moyenne

de l'erreur pour une quantification par arrondi s'écrit :

$$E(\varepsilon^2) = \frac{1}{\Delta} \int_{-\Delta/2}^{\Delta/2} \varepsilon^2 d\varepsilon = \frac{\Delta^2}{12} \quad (1.3)$$

En assimilant l'erreur à un processus aléatoire, stationnaire et ergodique, la puissance spectrale de l'erreur est égale à sa variance, donc :

$$P_\varepsilon = \int_{-f_{e/2}}^{f_{e/2}} DSP_b(f) df = \frac{\Delta^2}{12} \quad (1.4)$$

Et par suite sa densité spectrale s'exprime :

$$DSP_b(f) = \frac{\Delta^2}{12 \cdot f_e} \quad (1.5)$$

La densité spectrale de bruit est ainsi répartie uniformément sur le spectre et dépend du pas de quantification, ainsi que de la fréquence de suréchantillonnage. Plus le quantificateur aura de niveaux, plus la fréquence de suréchantillonnage sera élevée et plus la puissance de bruit sur la bande utile sera faible, comme l'illustre la figure 1.2 c).

1.2.3 Grandeurs caractéristiques

Un modulateur sigma-delta est caractérisé par :

- le type de réalisation : à temps discret ou à temps continu,
- la fonction du filtre de boucle : passe-bas ou passe-bande,
- l'ordre n qui est défini par l'ordre du filtre de boucle,
- le nombre de niveaux de quantification N qui est le nombre de bits des CAN et CNA,
- le rapport de sur-échantillonnage OSR, dont la définition est donnée ci-dessous.

La définition de l'OSR (OverSampling Rate) pour un modulateur passe-bas s'écrit :

$$OSR = \frac{f_e}{2f_{max}} \quad (1.6)$$

où f_{max} est la fréquence maximale du spectre du signal à convertir et f_e est la fréquence d'échantillonnage. De cette formule découle logiquement la formule de l'OSR pour un modulateur passe-bande :

$$OSR = \frac{f_e}{f_B} \quad (1.7)$$

où f_B est la largeur de la bande utile autour de la fréquence centrale du signal à convertir f_0 .

1.2.4 Modèle linéaire du modulateur sigma-delta

Le modèle de Bennett, modèle linéaire du modulateur sigma-delta s'utilise couramment. Représenté à la figure 1.3, il consiste à substituer au quantificateur une source de bruit blanc additive et uniforme. Cette approximation est valable si les conditions suivantes sont vérifiées [2][3][4] :

1. les niveaux de quantification sont nombreux et équirépartis sur la plage d'utilisation,

2. le quantificateur ne sature pas,
3. la répartition de l'amplitude du signal d'entrée est relativement uniforme sur toute la plage de fonctionnement.

Ce modèle est surtout applicable pour les modulateur d'ordre élevé (supérieur à 2) ou multibit.

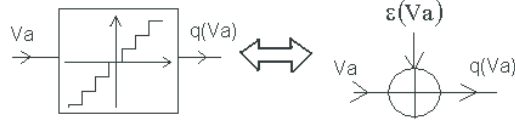
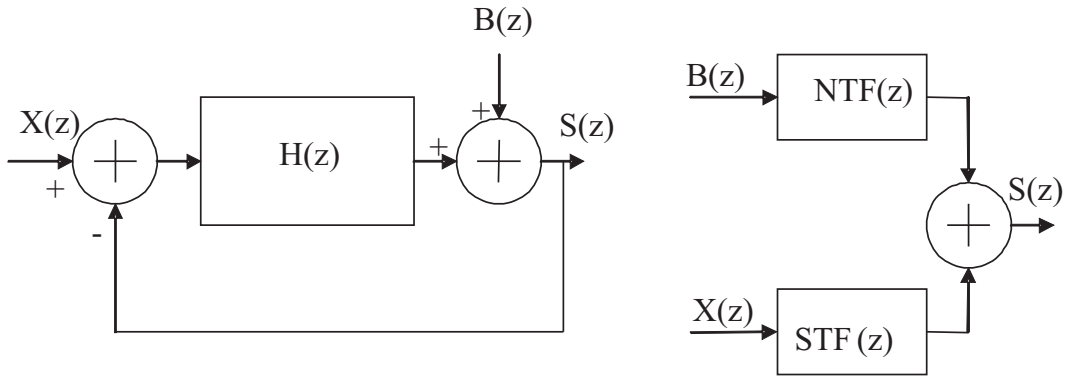


FIG. 1.3 *Modèle linéaire du quantificateur*

1.2.5 Mise en forme du bruit de quantification

Dans un modulateur sigma-delta, la mise en forme du bruit de quantification dépend du filtre de boucle. Par la modélisation du bruit de quantification comme un bruit blanc additionnel (figure 1.4 a) et b)), il est possible d'exprimer la sortie du modulateur par la formule 1.8.



a) *Modèle simplifié du modulateur*

b) *Equivalence du modèle simplifié*

FIG. 1.4 *Modèle simplifié du modulateur*

$$S(z) = STF(z) X(z) + NTF(z) B(z) \tag{1.8}$$

Où $S(z)$ est la sortie du modulateur, $X(z)$ le signal d'entrée, $B(z)$ le bruit de quantification et $STF(z)$ et $NTF(z)$ les fonctions de transfert vis-à-vis du signal et du bruit qui s'écrivent respectivement :

$$STF(z) = \frac{H(z)}{1 + H(z)} \tag{1.9}$$

$$NTF(z) = \frac{1}{1 + H(z)} \tag{1.10}$$

On peut alors définir la fonction de transfert de bruit de façon à ce qu'elle réalise la mise en forme de bruit souhaitée. La figure 1.5 représente la mise en forme du bruit de quantification dans un cas passe-bas (a) et dans un cas passe-bande (b).

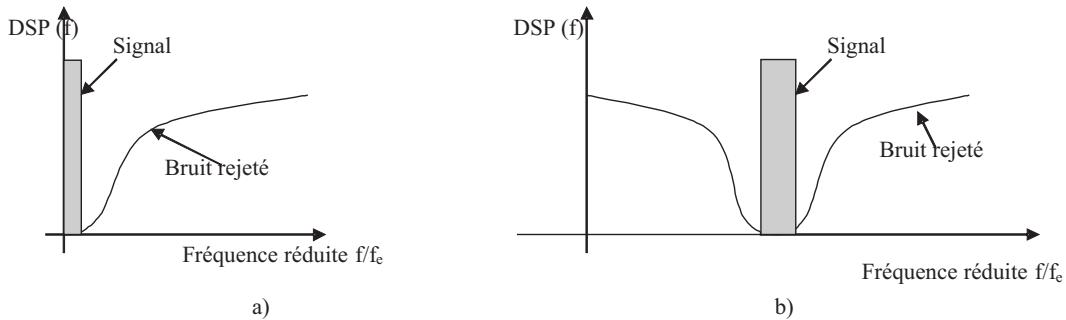


FIG. 1.5 Mise en forme du bruit de quantification : a) cas passe-bas, b) cas passe-bande

1.2.6 Stabilité du modulateur

Pour concevoir et analyser un modulateur sigma-delta, on utilise habituellement un modèle simplifié du quantificateur : le quantificateur est alors interprété comme un additionneur de bruit blanc non corrélé à son signal d'entrée. Bien que cette modélisation du quantificateur ne représente pas la réalité, elle offre une évaluation suffisante des performances atteintes avec un modulateur sigma-delta d'ordre n en fonction de son rapport de suréchantillonnage. Cependant, elle ne permet pas d'analyser son comportement non-linéaire et interdit toute étude de stabilité satisfaisante. Un modèle enrichi du quantificateur 1 bit est utilisé pour analyser le comportement instable des modulateurs. Le quantificateur est modélisé par un amplificateur ayant un gain variable η suivi d'une source de bruit blanc additif. Ce modèle est basé sur le théorème de Kalman sur la stabilité des systèmes non linéaires [5]. Le domaine de stabilité s'étudie alors sur le plan complexe par l'emplacement des pôles et des zéros [6, 7, 8].

A partir de ce modèle, le synoptique du modulateur est alors présenté sur la figure 1.6.

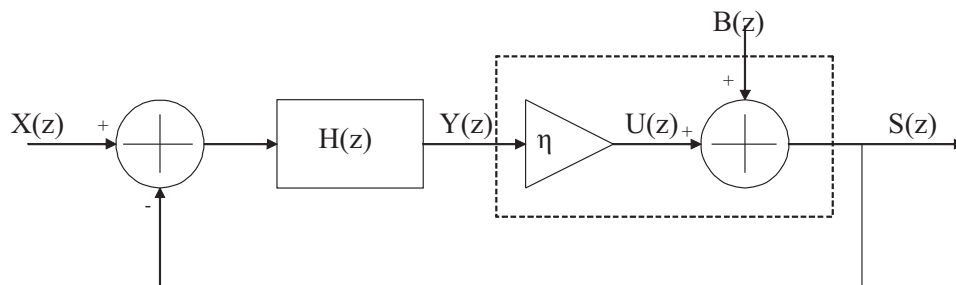


FIG. 1.6 Modèle quasi linéaire du modulateur

Le calcul de η peut se faire en pratique, en déterminant la valeur pour laquelle l'erreur et le signal

sont décorrélés. Cette valeur optimale de η est déterminée par 1.11 [9].

$$\eta_{opt} = \frac{\langle y, s \rangle}{\langle y, y \rangle} = \frac{\text{cov}(y, s)}{\text{var}(y)} = \lim_{N \rightarrow \infty} \frac{\sum_{n=0}^N y(n) s(n)}{\sum_{n=0}^N y(n)^2} \quad (1.11)$$

La formule ci-dessus montre que η_{opt} dépend de y , qui dépend lui-même du signal d'entrée du modulateur x . Ainsi, la variation de η , en fonction du signal d'entrée peut mener à l'instabilité bien que le modèle linéaire simple prévoie une architecture stable.

La fonction de transfert vis-à-vis du bruit devient alors :

$$NTF(z) = \frac{1}{1 + \eta H(z)} \quad (1.12)$$

et la fonction de transfert du signal devient :

$$STF(z) = \frac{\eta H(z)}{1 + \eta H(z)} \quad (1.13)$$

Le lieu des zéros de l'expression $1 + \eta H(z)$ apporte des informations sur le comportement du modulateur. Afin d'étudier la stabilité de celui-ci, il faut au préalable déterminer la valeur η_0 obtenue pour une entrée nulle, comme sur la figure 1.7.

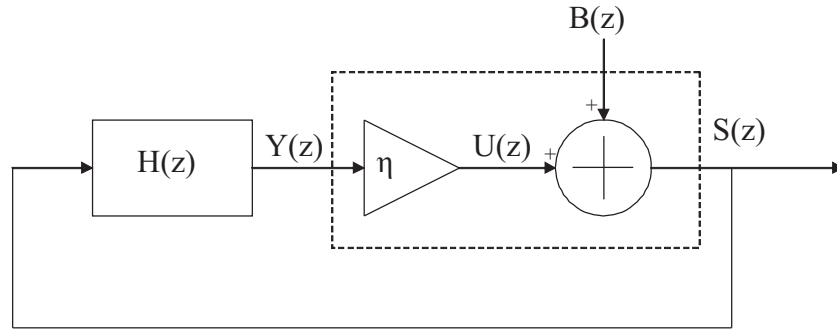


FIG. 1.7 *Modèle quasi linéaire du modulateur en l'absence de signal d'entrée*

Quand le signal d'entrée est nul, la puissance moyenne du signal de sortie S est égale à la puissance totale de bruit du modulateur dans la bande utile :

$$\overline{S^2} = \overline{(NTF \cdot B)^2} \quad (1.14)$$

Dans le cas d'un modulateur monobit où le signal de sortie S est codé sur 1 bit, avec les niveaux de référence ± 1 V, sa puissance moyenne est égale à l'unité, et la puissance moyenne du bruit égale à $1/3$ (cf eq 1.4). L'équation 1.14 devient alors :

$$\overline{(NTF \cdot B)^2} = \frac{2}{3} \int_0^{0.5} \left| \frac{1}{1 + \eta H(e^{j2\pi\nu})} \right|^2 d\nu = 1 \quad (1.15)$$

où ν est la fréquence normalisée $\left(\frac{f_0}{f_e}\right)$.

La résolution de l'équation 1.15 permet de déterminer la valeur de η_0 . On note que cette équation ne peut pas être résolue formellement pour un ordre supérieur à 2. Des méthodes numériques doivent alors être utilisées.

Un modulateur sera :

- **complètement instable** si un de ses pôles est hors du cercle unité pour $\eta = \eta_0$,
- **inconditionnellement stable** si le lieu de ses pôles est complètement à l'intérieur du cercle unité pour $\eta < \eta_0$
- **conditionnellement stable** dans tout autre cas.

La figure 1.8 montre le lieu des pôles (dans le plan complexe) de la fonction NTF d'un modulateur du 2^{ème} ordre passe-bas quand le gain η varie de 2 à 0. Tous les pôles se situent à l'intérieur du cercle unité, le modulateur est donc **inconditionnellement stable**.

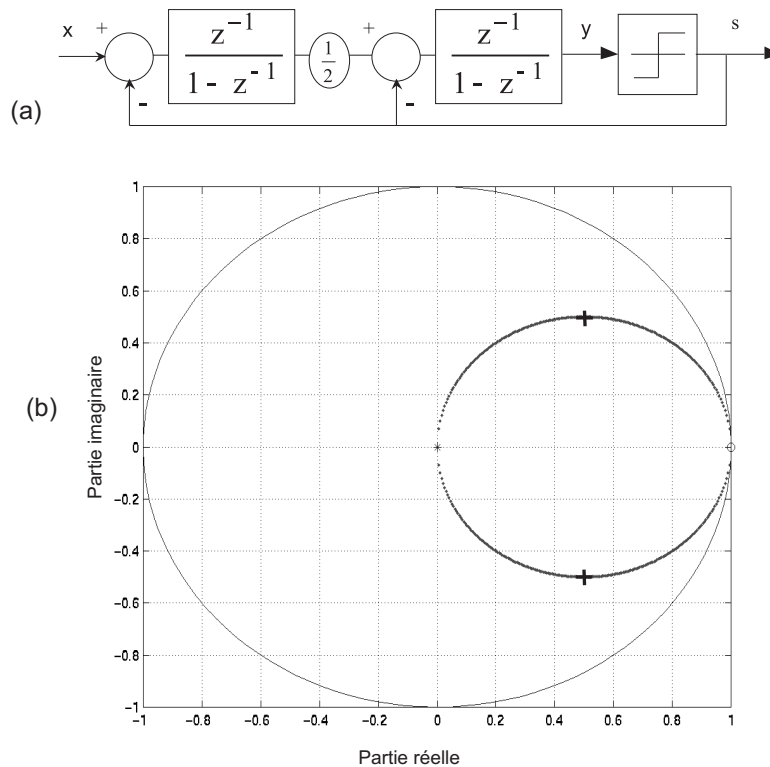


FIG. 1.8 (a) Modulateur passe-bas d'ordre 2, (b) Position des pôles en fonction du gain du comparateur d'un modulateur sigma-delta du 2^{ème} ordre.

La figure 1.9 montre le lieu des pôles (dans le plan complexe) de la fonction NTF d'un modulateur du 3^{ème} ordre passe-bas quand le gain η varie de 0 à 1. La valeur de η_0 est 1 et pour cette valeur, deux des pôles sont situés à l'extérieur du cercle unité (+ sur la figure 1.9). Ce modulateur est **complètement instable**. Par conséquent, le gain de boucle doit être strictement limité pour un modulateur d'ordre trois ou supérieur [9].

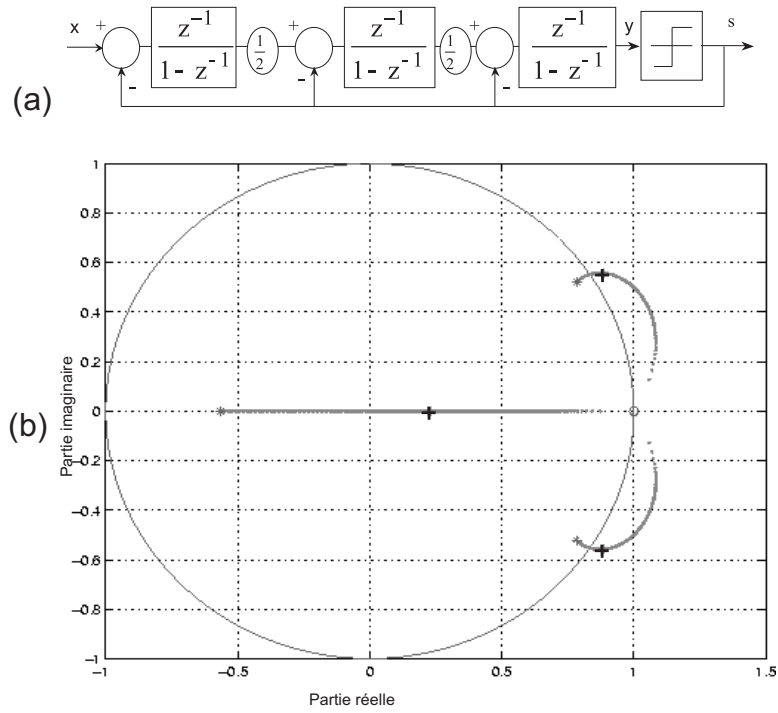


FIG. 1.9 (a) Modulateur passe-bas d'ordre 3 instable, (b) Position des pôles en fonction du gain du comparateur d'un modulateur sigma-delta du 3^{ème} ordre.

1.2.7 Du modulateur passe-bas au modulateur passe-bande

La différence entre un modulateur sigma-delta passe-bas et un modulateur sigma-delta passe-bande réside essentiellement dans la fonction de mise en forme de bruit NTF(z). Le bruit de quantification doit être minimal non plus à la fréquence nulle, mais à une fréquence f_0 correspondant à la fréquence centrale du signal d'entrée. Le passage du passe-bas au passe-bande s'obtient en remplaçant le filtre passe-bas de la boucle du modulateur par un filtre passe-bande.

Un modulateur passe-bande peut-être obtenu en substituant z^{-1} par $-z^{-1} \frac{z^{-1} - \frac{p}{2}}{1 - \frac{p}{2} z^{-1}}$ dans le filtre de boucle d'un modulateur passe-bas où $p = 2 \cos \left(2\pi \frac{f_0}{f_e} \right)$ [10]. On obtient alors pour fonction de transfert élémentaire passe-bande :

$$H(z) = \frac{\frac{p}{2} z^{-1} - z^{-2}}{1 - p z^{-1} + z^{-2}} \quad (1.16)$$

Le rapport $\frac{f_e}{f_0} = 4$ est privilégié car il conduit à la réalisation de filtres numériques plus simples. Par ailleurs ce cas conduit à des fréquences d'échantillonnage plus basses.

1.2.8 Stabilité d'un modulateur sigma-delta passe-bande

L'étude de la stabilité des modulateurs sigma-delta passe-bande s'inspire fortement des travaux effectués dans le cas du passe-bas. La stabilité est conservée en effectuant la substitution $z^{-1} \rightarrow -z^{-2}$ (cette substitution correspondant au cas $\frac{f_e}{f_0} = 4$), c'est-à-dire qu'un modulateur passe-bas stable produit un modulateur passe-bande stable. Ceci peut s'expliquer par le fait que l'équivalence introduit

une variation de la phase des pôles de la NTF et non pas des modules. Or les conditions de stabilité sont liées au module des pôles.

1.3 Performances des modulateurs sigma-delta

Les performances d'un modulateur s'évaluent à l'aide de nombreuses grandeurs. Les plus fréquemment données dans les publications sont le rapport signal sur bruit (SNR : *Signal to Noise Ratio*) et la plage d'amplitude permise pour les signaux d'entrée (DR : *Dynamic Range*). La grandeur permettant au mieux de définir les performances d'un modulateur est le facteur de mérite d'un modulateur sigma-delta, car il prend en compte les performances obtenues mais aussi les caractéristiques de la réalisation comme la puissance consommée et la surface occupée. Mais le facteur de mérite est rarement annoncé dans les publications.

1.3.1 Rapport signal sur bruit

Le rapport signal sur bruit (SNR : *Signal to Noise Ratio*) est donné par la relation :

$$SNR(dB) = 10 \log \left(\frac{P_{signal}}{P_{bruit}} \right) \quad (1.17)$$

P_{signal} est la puissance du signal d'entrée et P_{bruit} est la puissance de bruit sur la bande utile. Le SNR dépend de l'amplitude du signal d'entrée considéré, qui est généralement un signal sinusoïdal. On donne en général pour un modulateur le SNR maximal obtenu.

1.3.2 Résolution

La résolution, ou nombre de bits effectifs (ENOB : *Effective Number of Bits*) représente le nombre de niveaux de quantification d'un système de conversion classique (de type Nyquist) qui serait équivalent au convertisseur sigma-delta. L'ENOB est donc calculé directement à partir de l'expression du rapport signal sur bruit d'une conversion classique :

$$SNR(dB) = 6.02N + 1.76 \quad (1.18)$$

où N est le nombre de bits équivalents d'un convertisseur classique. On note que cette expression est celle du SNR maximal pouvant être atteint, car il est calculé en considérant à l'entrée du CAN un signal sinusoïdal d'amplitude égale à la pleine échelle. La valeur du SNR chute lorsque l'on diminue l'amplitude des signaux d'entrée.

Pour évaluer le nombre minimal de bits effectifs de résolution d'un convertisseur sigma-delta, on utilise l'expression précédente, soit :

$$ENOB = \frac{SNR(dB) - 1.76}{6.02} \quad (1.19)$$

1.3.3 Rapport signal sur bruit et distorsions

Le rapport signal sur bruit et distorsions (*SNDR*) est le rapport de la puissance du signal à la sortie du modulateur sur la somme de la puissance du bruit et des harmoniques :

$$SNDR(dB) = 10 \log \left(\frac{P_{signal}}{P_{[bruit+harmoniques]}} \right) \quad (1.20)$$

1.3.4 Dynamique libre des raies parasites

La dynamique libre de raies parasites ou SFDR (Spurious Free Dynamic Range) est le rapport entre l'harmonique fondamental et le premier harmonique. Cette grandeur est peu utilisée pour l'évaluation des performances d'un sigma-delta.

1.3.5 Dynamique d'entrée du modulateur

On l'appelle DR : *Dynamic Range*. Cette valeur s'exprime en *dB* et détermine la plage d'amplitude des signaux d'entrée pouvant être appliqués à un modulateur. C'est la différence en *dB* entre l'amplitude du signal d'entrée pour laquelle le SNDR maximal est diminué de 3dB et l'amplitude du signal d'entrée pour laquelle le SNDR est nul. Pour accéder à cette dernière valeur, on est amené en pratique à prolonger la droite du SNDR jusqu'à ce qu'elle coupe l'axe des abscisses. Le Dynamic Range (*DR*) se détermine alors graphiquement (figure 1.10). Les signaux appliqués en entrée du modulateur sont sinusoïdaux.

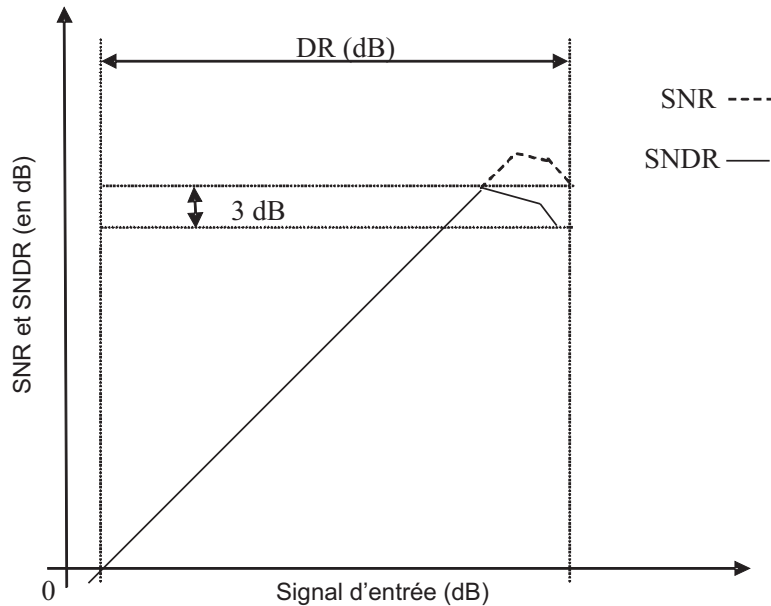


FIG. 1.10 *SNR/SNDR et DR.*

1.3.6 Bande passante à -3 dB

L'ERBW (Effective Resolution BandWith) est la valeur de la fréquence pour laquelle le $SNR(dB)$ a diminué de 3 dB. Cette valeur indique la bande de fréquence sur laquelle le convertisseur peut être utilisé.

1.3.7 Facteurs de mérite

Plusieurs définitions existent pour le facteur de mérite d'un convertisseur sigma-delta. Son rôle est de comparer des convertisseurs en prenant en compte des grandeurs citées précédemment [11] :

$$FoM = \frac{2^{ENOB} \cdot 2 \cdot ERBW}{P_m} \quad (1.21)$$

P_m est la puissance consommée par le convertisseur en W. Une autre définition du facteur de mérite tient compte de la surface S du coeur du circuit en mm² :

$$FoM = \frac{2^{ENOB} \cdot 2 \cdot ERBW}{P_m \cdot S} \quad (1.22)$$

1.4 Les différentes architectures de modulateurs

Il existe plusieurs architectures de modulateurs sigma-delta. Elles permettent de réaliser des modulateurs d'ordre élevé pour une augmentation de la résolution. Deux grandes familles sont à distinguer :

- les modulateurs classiques,
- les modulateurs en cascade.

Ces architectures peuvent être monobit ou multibit, à filtre passe-bas, passe-bande ou mixte.

1.4.1 Modulateur classique

La figure 1.11 présente l'architecture classique d'un modulateur à rebouclage multiple.

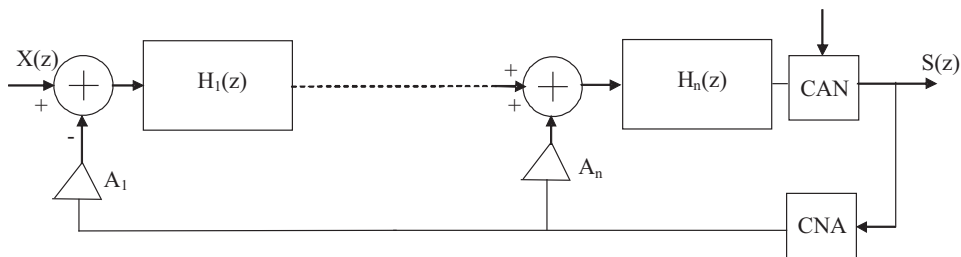


FIG. 1.11 *Modulateur multiboucle*

L'inconvénient de ce type d'architecture est que la stabilité est difficile à maintenir pour des ordres élevés. On préfère alors les modulateurs en cascades bien plus stables puisque constitués de modulateur d'ordre 1 ou 2.

1.4.2 Modulateur en cascade

Les modulateurs en cascade se composent de plusieurs modulateurs simples mis en cascade pour réaliser un modulateur d'ordre élevé. Chaque modulateur traite une partie du bruit du modulateur précédent. Il existe plusieurs architectures de modulateur en cascade, décrites notamment dans [12] :

- Les **MASH** (Multi Stage noise SHaping modulator) [13][14]. Les structures MASH (figure 1.12) sont des structures de modulateur sigma-delta d'ordre élevé, dérivées du modulateur le plus simple (simple intégrateur ou simple résonateur). Chaque modulateur d'ordre 1, en cascade avec les autres modulateurs, traite le bruit de quantification de l'étage précédent. Un étage de pré-traitement numérique, fonctionnant à la fréquence d'échantillonnage du système, est nécessaire pour adapter les multiples sorties à l'entrée du filtre de décimation. Cet étage constitue un des inconvénients majeurs de cette structure.

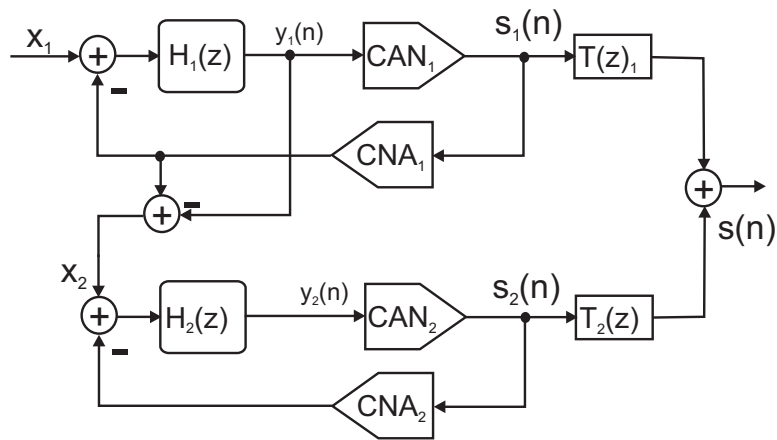


FIG. 1.12 Modulateur de type MASH

- Les **nFOC** (n First Order Converter) [15]. Les structures nFOC sont dérivées de la structure MASH (figure 1.13). Elles se composent de modulateurs d'ordre 1 montés en cascade. Chaque étage traite, non plus le bruit de quantification comme dans l'architecture MASH, mais l'entrée du comparateur de l'étage précédent. Les résultats obtenus sont comparables à une structure MASH et l'inconvénient majeur réside dans la mise en oeuvre d'un étage de pré-traitement numérique.

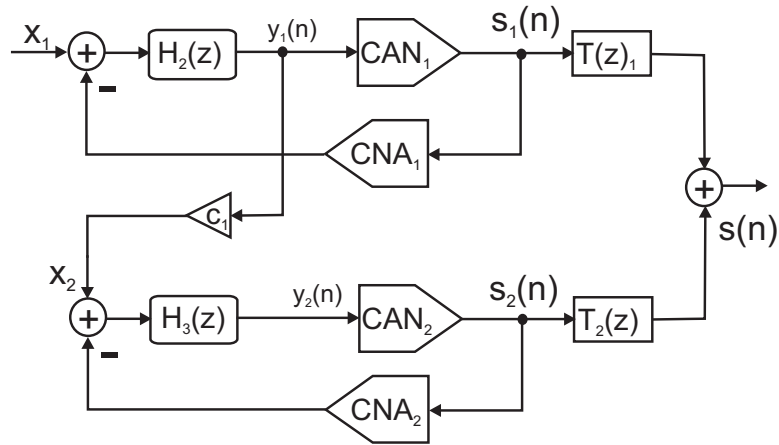


FIG. 1.13 Modulateur de type *nFOC*

- Les **structures mixtes** qui ne sont plus composées uniquement de modulateurs simples, mais de modulateurs d'ordre différents. Les architectures mixtes permettent de réaliser des modulateurs à large bande (assemblage passe-bande avec passe-bas) (voir figure 1.14) [16].

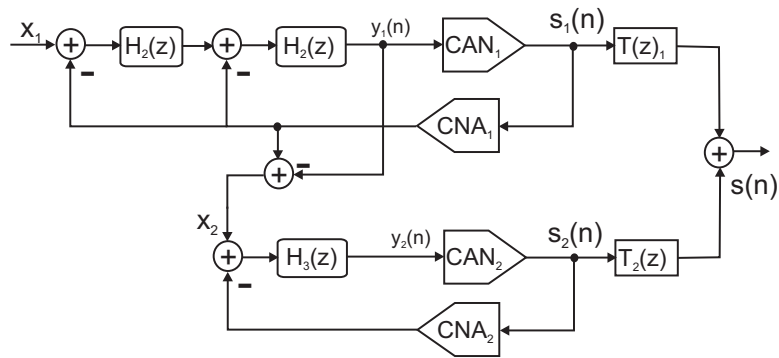


FIG. 1.14 Modulateur de type *mixte 2-1*

- Les **MSCL** (Multi Stage Closed Loop) [12]. Dans l'architecture MSCL, chaque modulateur traite le bruit de quantification du modulateur précédent ainsi que la somme des sorties de tous les modulateurs (figure 1.15). De ce fait l'étage de pré traitement numérique n'est pas nécessaire. Le rebouclage de toutes les sorties fait de cette architecture une architecture en cascade rebouclée, alors que les structures MASH et *nFOC* sont dites non rebouclées.

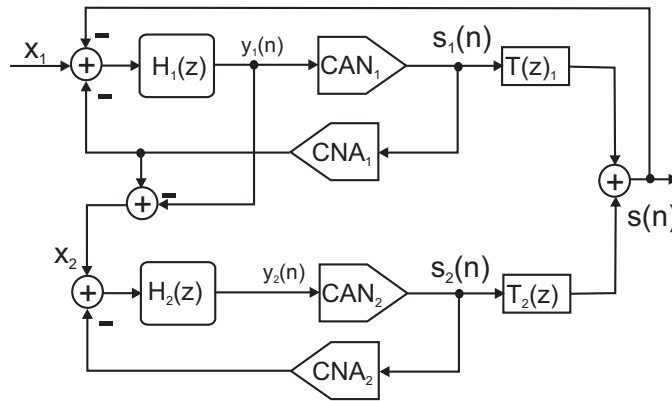


FIG. 1.15 Modulateur MSCL d'ordre 2

Les architectures MASH, nFOC et MSCL permettent d'atteindre de bonnes performances et sont plus stables que les architectures classiques car composées de modulateurs simples.

1.5 Du modulateur sigma-delta à temps discret au modulateur à temps continu

L'approche temps continu pour les modulateurs sigma-delta a permis d'envisager le travail à des fréquences supérieures à la dizaine de MHz, ce qui était impossible avec les modulateurs discrets réalisés à partir de capacités commutées. Ces filtres à temps continu sont aujourd'hui réalisés de diverses façon, dépendant des applications. Ils peuvent être de type SAW, BAW, Gm-C, Gm-LC, voire pour certaines applications hyperfréquences réalisés par des lignes de transmissions [17, 18].

Le modulateur sigma-delta à temps continu est intrinsèquement un système à temps discret en raison de l'échantillonnage effectué à l'entrée du quantificateur. L'analogie entre le modulateur à temps discret et le modulateur à temps continu est représenté à la figure 1.16

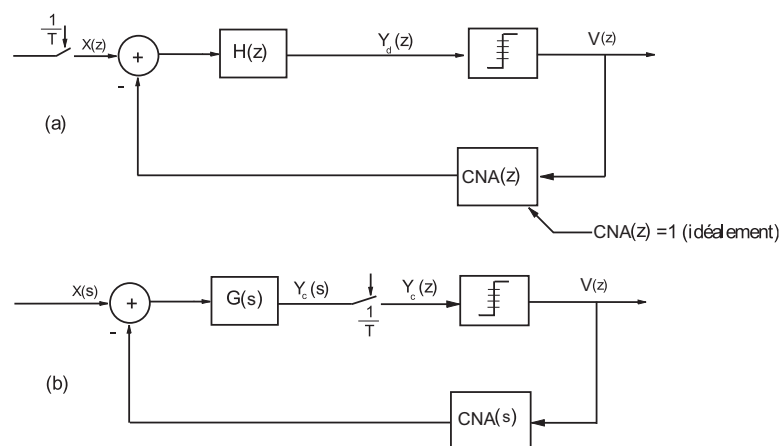


FIG. 1.16 Modulateur sigma-delta (a) à temps discret, (b) à temps continu.

Cette analogie fait que la fonction de transfert de boucle de la sortie du quantificateur à l'entrée

du modulateur a une équivalence exacte dans le domaine z . On utilise pour la calculer la méthode de l'invariance impulsionnelle, qui implique qu'aux instants d'échantillonnage les échantillons du modulateur à temps discret sont égaux aux échantillons du modulateur à temps continu.

L'équivalence temps discret-temps continu s'obtient donc en résolvant l'équation :

$$H(z) = Z_T\{L^{-1}[CNA(s) \cdot G(s)]\}, \quad (1.23)$$

avec

$CNA(s)$: transformée de Laplace de la réponse à un échantillon du CNA ,

Z_T : la transformée en Z , après échantillonnage à la période T_e

L^{-1} : la transformée de Laplace inverse.

Les réponses du CNA peuvent être de plusieurs type (figure 1.17) :

- *NRZ* (*Non-Return to Zero*) : la réponse du CNA est maintenue durant un cycle d'horloge,
- *RZ* (*Return to Zero*) : la réponse du CNA est maintenue durant un demi cycle d'horloge (le premier),
- *HZ* (*Half Delay Return to Zero*) la réponse du CNA est maintenue durant un demi cycle d'horloge (le deuxième).

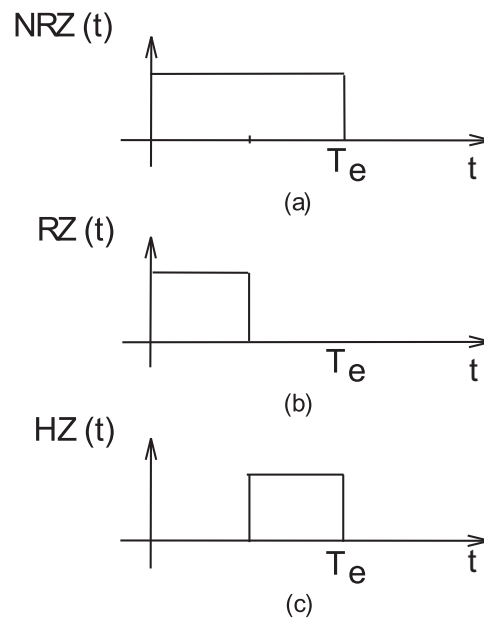


FIG. 1.17 Réponse temporelle du CNA : (a) NRZ, (b) RZ, (c) HZ.

Dans le cas d'un CNA de type *NRZ*, nous obtenons la fonction de transfert classique d'un bloqueur d'ordre zéro.

$$CNA(s) = \frac{1 - e^{-T_e s}}{s} \quad (1.24)$$

Dans ce cas, l'équation exprimant l'équivalence temps discret-temps continu (équation 1.23) s'écrit :

$$H(z) = (1 - z^{-1})Z_T \left[L^{-1} \left\{ \frac{G(s)}{s} \right\} \right] \quad (1.25)$$

Ce qui revient à appliquer la méthode de l'invariance indicelle à l'expression du filtre de boucle.

Dans le cas où les retards des CAN (τ_{CAN}) et CNA (τ_{CNA}) ne sont pas nuls, il n'est pas possible de trouver un équivalent mathématique temps discret - temps continu à moins d'ajouter des termes supplémentaire en z^{-n} . La conformité entre la fonction de transfert de bruit à temps discret et à temps continu est alors maintenue. Pour cela, dans un cas NRZ, on calcule les termes supplémentaires en z^{-n} à partir de l'expression [19, 20] :

$$H(z) = (1 - z^{-1}) Z_T \left\{ L^{-1} \left[\frac{G(s) CNA(s)}{s} \right] \right\} + D(z) \quad (1.26)$$

Avec :

$$D(z) = - \sum_k a_k z^{-k} \quad (1.27)$$

La mise en oeuvre pratique de ces termes en z^{-n} s'effectue par des rebouclages comme représentés à la figure 1.18.

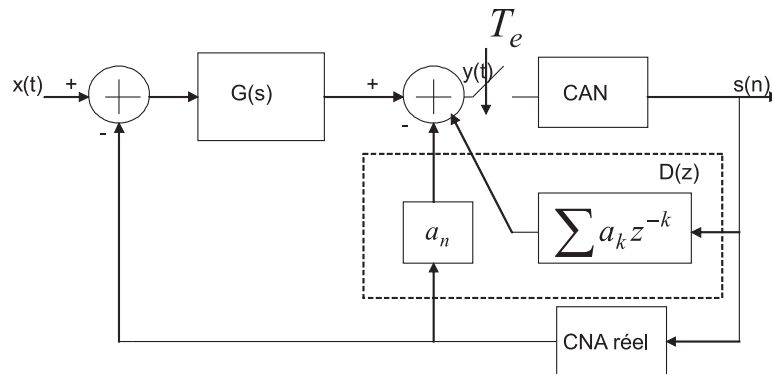


FIG. 1.18 Mise en oeuvre du rebouclage rapide

Il n'est pas nécessaire d'implémenter le terme en z^{-n} , on peut utiliser le retard en z^{-n} du CNA réel et ainsi se contenter d'un simple facteur de gain entre la sortie du CNA et l'entrée du CAN. Dans les architectures calculées par la suite, nous verrons que seul ce terme est à implémenter les autres termes étant négligeables.

1.6 Etude de la stabilité d'un modulateur sigma-delta à temps continu

1.6.1 Tracé du lieu des pôles et zéros

Pour étudier la stabilité d'un modulateur à temps continu, la première solution consiste à effectuer la transformation du temps continu vers le temps discret afin d'étudier le lieu des pôles et des zéros de la NTF en temps discret (voir § 1.4.3).

1.6.2 Utilisation du critère de Nyquist

Modèle linéaire du modulateur sigma-delta à temps continu

D'une manière générale, le modulateur sigma-delta est un système bouclé fortement non linéaire à cause de la quantification en temps et en amplitude induite par le CAN autour duquel il est bâti. Néanmoins des travaux [21, 22] ont permis d'établir un modèle linéaire du modulateur sigma-delta permettant ainsi l'étude de sa stabilité par des méthodes classiques de l'automatique. Le modèle présenté à la figure 1.19 est constitué de :

- de la fonction de transfert du filtre de boucle $G(s)$,
- d'un retard τ_{CAN} , d'un échantillonnage temporel et d'un bruit blanc additif $B(s)$ modélisant le CAN,
- d'une fonction de transfert en sinus cardinal pour les réponses du CNA avec maintien et d'un retard pur τ_{CNA} du au temps de conversion.

Ce modèle est particulièrement adapté pour un grand nombre de bits de quantification et pour les modulateurs d'ordre élevé.

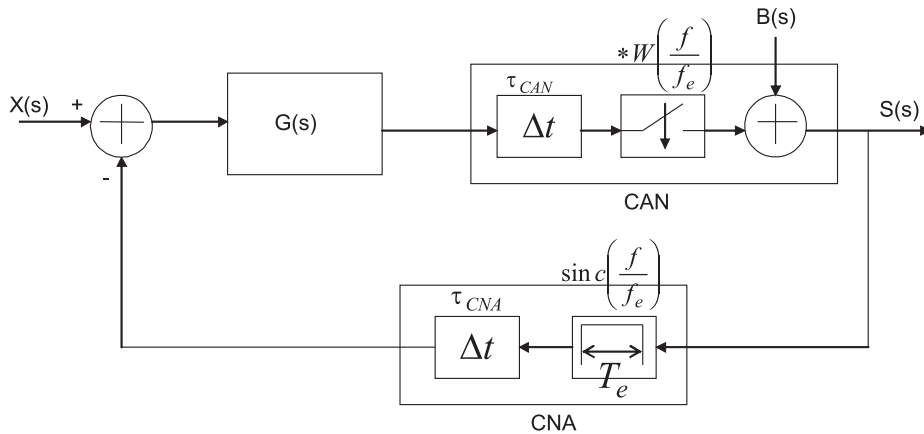


FIG. 1.19 Modèle linéaire d'un modulateur Sigma-Delta

Simplifications

Ce modèle peut se simplifier pour les raisons suivantes :

- L'effet de l'échantillonnage, c'est à dire le repliement spectral est négligeable car le filtre $G(s)$ joue le rôle de filtre anti-repliement. De plus un filtre anti-repliement est souvent présent à l'entrée des récepteurs.

- L'effet du sinus cardinal peut se négliger en raison de son évanescence et du fort rapport de sur-échantillonnage des modulateurs sigma-delta.

Ces simplifications donnent lieu au modèle de la figure 1.20

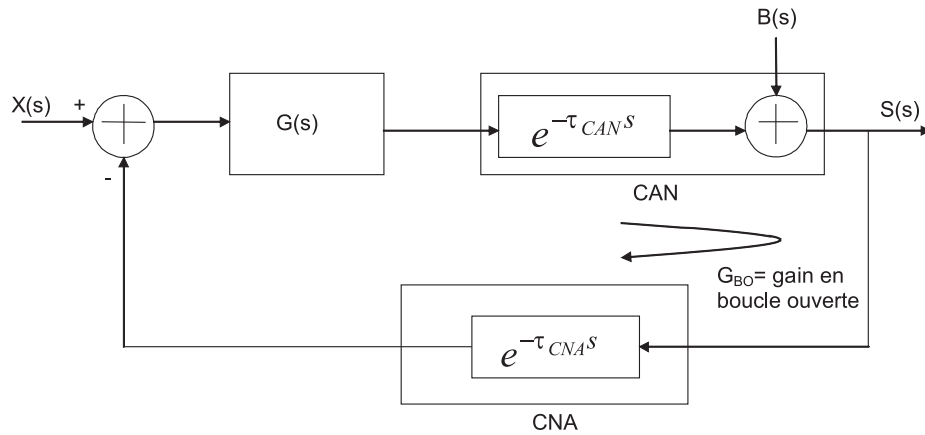


FIG. 1.20 Modèle linéaire simplifié du modulateur

La transmittance en boucle ouverte s'écrit alors :

$$G_{BO}(s) = G(s) e^{-\tau s} \quad (1.28)$$

où τ est le retard global du CAN et du CNA. On note que pour un retard supérieur à une période d'échantillonnage, le changement de signe de la contre-réaction permet une avance de phase de 180° . Ce changement de signe s'opère très simplement en inversant la sortie du CAN.

Tracé du lieu de Nyquist

Pour étudier la stabilité de ce système par le critère de Nyquist simplifié, la première étape est de vérifier que le gain en boucle ouverte ne possède aucun pôle à partie réelle positive. Une fois cette condition vérifiée, la stabilité du modulateur peut s'étudier par le critère du revers dont l'énoncé est :

Un système de régulation automatique dont la transmittance G_{BO} en boucle ouverte ne possède aucun pôle à partie réelle positive ($P=0$), est stable en boucle fermée si, et seulement si, en parcourant son lieu de Nyquist $G_{BO}(j\omega)$ dans le sens des ω croissant de 0 à $l'\infty$, on laisse le point critique $(-1, +j0)$ à sa gauche.

Diagrammes de Bode

Le retard (terme en exponentiel) induit de nombreuses rotations autour de l'origine qui rendent parfois difficile l'étude du comportement du lieu de transfert au voisinage de -1. Dans le cas passe-bande, un corollaire au critère de stabilité de Nyquist est :

Dans toute bande de fréquence où le gain est positif, l'excursion de phase doit être inférieure à 360° pour assurer que le point -1 ne soit pas entouré.

1.7 Etat de l'art de la modulation sigma-delta à temps continu

De nombreuses réalisations de modulateurs sigma-delta à temps continu ont été publiées ces dernières années. Le tableau 1.1 répertorie certaines des publications les plus significatives, qu'il s'agisse de modulateurs passe-bas ou de modulateurs passe-bande. Cet état de l'art permet un certain nombre de remarques utiles pour le choix de la technologie et de l'architecture :

- La fréquence maximale des signaux pouvant être convertis s'élève pour le moment à 2 GHz, et ce dans une technologie très avancée (SiGe BiCMOS 130 nm).
- Pour des signaux à convertir d'une fréquence inférieure à la centaine de mégahertz, la structure privilégiée pour les filtres est du type AOP-C, alors que pour des fréquences supérieures, on constate l'utilisation de résonateurs Gm-C, mais surtout Gm-LC.
- Les technologies employées sont diverses, toutefois pour les applications radiofréquences, les technologies les plus représentées sont les technologies III-V (InP, GaAs) et bipolaire (SiGe HBT).
- Pour des fréquences de travail du même ordre de grandeur, les technologies III-V ont une consommation plus élevée (quelques Watts) que les technologies bipolaires (quelques centaines de milliWatts).
- Concernant les modulateurs passe-bande, le rapport entre la fréquence de suréchantillonnage et la fréquence centrale est toujours de 4. D'une part, cette valeur, en plus de simplifier la réalisation du post-traitement numérique, permet de travailler à une fréquence centrale la plus élevée possible (contrairement à 8, 16 ou 32). D'autre part, les propriétés architecturales avec un tel rapport sont maintenant bien connues grâce à un grand nombre de publications.
- Toutes les réalisations sont du type monobit, les structures multibit posant le problème de la réalisation d'un brassage des sources de courant dans le CNA de la chaîne de retour. Nous évoquerons ce problème par la suite (cf annexe A).

1.8 Conclusion

Ce chapitre a permis une introduction aux principes de bases de la modulation sigma-delta qui sont l'étalement spectral du bruit de quantification sur la bande utile grâce au suréchantillonnage du modulateur, et la mise en forme de celui-ci par un filtre de boucle et un rebouclage.

Puis les grandeurs caractéristiques et les performances d'un modulateur sigma-delta ont été définies. Les méthodes de calcul des architectures de modulateurs à temps discret et de leur équivalent à temps continu sont brièvement présentées ainsi que plusieurs méthodes de vérification de la stabilité des architectures à temps continu.

Réf	Ordre	f_0	f_e	filtres	SNR	Technologie	Consommation
[23]	10 LP	dc - 100 MHz	1 - 2,5 GHz		74 dB sur 25 MHz	InP HBT	6 W
[24]	2 LP	dc - 40 MHz	3,2 GHz	AOP-C	55 dB sur 50 MHz	InP HBT	1 W
[25]	4 BP	1 GHz	4 GHz	Gm-LC	52 dB sur 20 MHz	0,5 μ m SiGe HBT	450 mW
[26]	10 BP	30 - 100 MHz	/	/	/	InP HBT	/
[27]	2 BP	40 - 70 MHz	160 - 280 MHz	Gm-C	45 dB max sur 200 kHz	0,8 μ m	/
[28]	4 BP	800 MHz	3,2 GHz	Gm-LC	66 dB sur 100 kHz	AlGaAs/GaAs HBT	1,8 W
[29]	4 BP	1 GHz	4 GHz	Gm-LC	53 dB sur 4 MHz	0,5 μ m SiGe HBT	350 mW
[30]	2 BP	950 MHz	3,8 GHz	Gm-LC	57 dB sur 200 kHz	0,5 μ m SiGe HBT	135 mW
[31]	4 BP	140 - 210 MHz	4 GHz	Gm-C	78 dB sur 1 MHz	AlInAs/GaInAs HBT	3,5 W
[32]	2 LP	dc - 5 MHz	500 MHz	AOP-C	60 dB sur 5 MHz	0,5 μ m GaAs E/D HEMT	475 mW
[33]	2 LP	dc - 100 MHz	5 GHz	AOP-C	43 dB sur 100 MHz	0,4 μ m InGaP/InGaAs HEMT	400 mW
[34]	3 LP	dc - 1,1 MHz	/	/	84 dB sur 1,1 MHz	0,5 μ m CMOS	62 mW
[35]	4 BP	2 GHz	40 GHz	Gm-LC		130 nm SiGe BiCMOS	1,6 W
[36]	4 BP	1,3 GHz	4,3 GHz		62 dB sur 1 MHz	InP HBT	6,2 W
[37]	6 BP	300 MHz	1.2 GHz	Gm-LC	89 dB sur 4 MHz	CMOS 0.35 μ m	/

TAB. 1.1 *Etat de l'art de la modulation à temps continu*

Pour finir, un état de l'art de la modulation sigma-delta à temps continu permet de définir des orientations générales pour la conception (choix de la technologie, architecture, type de circuit) en fonction des domaines visés (fréquences des signaux à convertir, fréquences de suréchantillonnage maximale).

Chapitre 2

Proposition d'une architecture à fréquence centrale ajustable

2.1 Introduction

Ce chapitre propose une architecture de modulateur sigma-delta passe-bande à temps continu dont la fréquence centrale est réglable pour un ajustement sur plusieurs valeurs de fréquence du signal d'entrée. La démarche qui a conduit à proposer cette architecture consiste à :

1. fixer un cahier des charges des caractéristiques et performances attendues du modulateur à concevoir en fonction de l'état de l'art de la modulation passe-bande à temps continu présenté au chapitre précédent,
2. sélectionner théoriquement les architectures qui répondraient a priori aux exigences de précision,
3. évaluer les différentes architectures par des considérations théoriques (stabilité) et pratiques (imperfections du CNA, simplicité de réalisation des filtres),
4. vérifier la stabilité et les performances de l'architecture choisie lorsque la fréquence centrale varie.

En fin de chapitre un bref état de l'art permet d'imaginer l'implantation de l'architecture proposée dans une structure auto-ajustable.

Remarque 1 : La résolution des différents modulateurs simulés est évaluée grâce à la procédure exposée en annexe E. Nous estimons la précision sur les résultats présentés dans ce chapitre et au chapitre 5 à ± 0.5 bit, car elle dépend, entre autres paramètres, du nombre de points sur lequel s'effectue le calcul, mais aussi du signal injecté à l'entrée. En effet, si par exemple la fréquence du signal d'entrée est un multiple entier de la fréquence d'échantillonnage, le bruit de quantification présente un certain nombre d'harmoniques corrélés à ce signal d'entrée [38] et perturbe le calcul de la résolution.

2.2 Architectures envisageables

2.2.1 Objectif

L'objectif de ce travail est d'explorer la faisabilité d'un dispositif de conversion pour des signaux de type radiofréquence dont la fréquence centrale pourrait varier. A notre connaissance, les réalisations de modulateurs sigma-delta passe-bande à temps continu dans le domaine des radiofréquences ne présentent pas de possibilité d'ajustement de la fréquence centrale (voir tableau 1.1). D'autre part, la technologie avec laquelle est conçu ce dispositif sera utilisée en limite de ses performances conduisant à des caractéristiques qui ne correspondent pas nécessairement à une application connue. Dans le cas présent, nous avons fixé comme caractéristiques de départ :

- une fréquence centrale (f_0) de 750 MHz,
- une fréquence de sur-échantillonnage ($f_e = 4f_0$) de 3 GHz,
- une bande utile (f_B) de 5 MHz,
- une bande d'agilité (f_A) de 50 MHz.

La résolution pour ce dispositif devra être plus élevée que celle atteinte dans des dispositifs classiques employés en radiofréquence (FLASH par exemple), c'est-à-dire supérieure à 9-10 bits.

2.2.2 Démarche

Dans un premier temps, il s'agit de déterminer une architecture permettant de répondre aux objectifs fixés grâce aux étapes suivantes :

1. A partir de l'expression de la puissance du bruit de quantification d'un modulateur à temps discret, l'ordre et le nombre de niveaux de quantification nécessaires pour répondre aux exigences de précision sont déterminés.
2. Les filtres de boucle à temps discret, puis leur équivalent à temps continu, sont calculés avec un logiciel intitulé ADOC (Analog-to-Digital Oversampled Converters). Ce logiciel, développé au laboratoire, permet aussi bien le calcul formel d'architecture que la simulation de leur comportement. Certaines imperfections, liées à la réalisation, peuvent être prises en compte comme le retard introduit par les CAN et CNA.
3. Des architectures de plusieurs types peuvent être envisagées : série ou parallèle, monobit ou multibit. Des considérations sur la réalisation pratique du circuit permettent de déterminer l'architecture la plus appropriée.

Dans un deuxième temps, la stabilité et les performances de l'architecture, réglable sur la fréquence centrale du signal d'entrée, doivent être vérifiées aux bornes de la bande d'agilité.

2.2.3 Choix des paramètres de l'architecture à temps discret

Architecture MSCL

Les contraintes liées à la technologie ne permettent pas d'augmenter indéfiniment la fréquence de sur-échantillonnage pour augmenter la résolution. On est alors obligé d'augmenter l'ordre du mo-

dulateur. Cependant, les modulateurs d'ordre supérieur à 2 se révèlent instables dans le cas simple boucle et très sensibles aux non-idéalités dans le cas multiboucle. Ainsi pour concevoir des architectures stables d'ordre élevé, le choix se porte sur les architectures cascadées et plus particulièrement sur l'architecture MSCL (*Multi Stage Closed Loop*) [39], car sa sortie est exploitable sans traitement numérique (voir § 1.4.2). Ainsi, l'architecture de départ pour nos calculs en temps discret est l'architecture MSCL présentée à la figure 2.1.

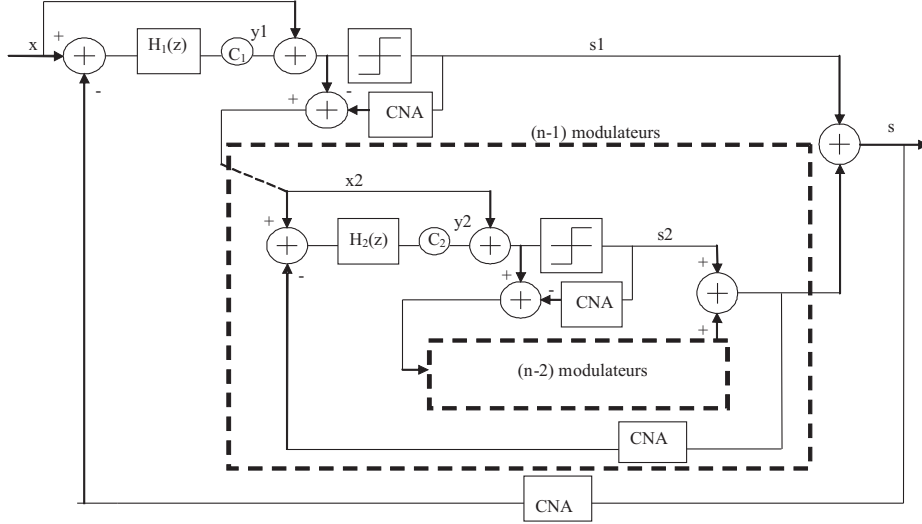


FIG. 2.1 Structure MSCL générale d'ordre $2n$ passe-bande

C'est à partir de la transmittance de bruit de cette architecture que l'on évalue la résolution du modulateur en fonction nombre de bits de quantification et de l'ordre du modulateur. Cette structure peut se ramener à une architecture monoboucle comportant un filtre de transmittance :

$$H(z) = \prod_{j=1}^n (1 + c_j H_j(z)) - 1 \quad (2.1)$$

où n est le nombre de filtre passe-bande. L'ordre du modulateur MSCL correspond au double du nombre de filtre dans ce cas. Chaque filtre $H_j(z)$ a pour transmittance :

$$H_j(z) = \frac{\frac{p_j}{2} z^{-1} - z^{-2}}{1 - p_j z^{-1} + z^{-2}} \quad (2.2)$$

avec :

$$p_j = 2 \cos \left(2\pi \frac{f_j}{f_e} \right) \quad (2.3)$$

f_j est la fréquence centrale de chaque résonateur et c_j un facteur de gain associé à chacun des filtres.

Choix des fréquences centrales f_j

La répartition des fréquences centrales f_j est en règle générale optimisée sur la bande de fréquence utile du signal en minimisant l'expression de la puissance de bruit [12]. Cette optimisation prend en compte des facteurs de qualité infinis. Les fréquences centrales optimales dans ce cas sont récapitulées

dans le tableau 2.1 en fonction de l'ordre du modulateur. D'autres travaux en cours permettront de déterminer les fréquences centrales optimales dans le cas où le facteur de qualité est fini [40].

Pour l'architecture que nous souhaitons concevoir, les fréquences centrales sont optimisées sur la bande d'agilité du modulateur et non sur sa bande utile. La raison à ce choix est que l'architecture devra avoir sa fréquence centrale ajustable, par conséquent l'emplacement de la bande utile du signal sur la bande d'agilité va varier. Il vaut donc mieux minimiser la puissance de bruit sur l'ensemble de la bande d'agilité.

paramètres	ordre 2 (1 résonateur)	ordre 4 (2 résonateurs)	ordre 6 (3 résonateurs)
f_j	f_0	$f_0 \pm 0.58f_B$	f_0 et $f_0 \pm 0.77f_B$

TAB. 2.1 Répartition des fréquences f_j minimisant la puissance de bruit sur f_B [12]

Choix des coefficients c_j

Les coefficients c_j dans cette architecture sont des facteurs de gain associés à chacun des filtres $H_j(z)$ qui déterminent la précision et la marge de stabilité du modulateur [41]. Leur impact sur la précision du modulateur s'explique en calculant la puissance de bruit sur une bande de fréquence Δf autour de f_0 (qui sera égale dans nos calcul à $f_A/2$) :

$$P_{bruit} = \int_{f_0 - \Delta f}^{f_0 + \Delta f} |NTF(f)|^2 DSP_b(f) df \quad (2.4)$$

où :

$$NTF(z) = \prod_{j=1}^n NTF_j(z) \quad (2.5)$$

et :

$$NTF_j(z) = \frac{1}{1 + c_j F_j(z)} \quad (2.6)$$

L'expression finale de la puissance de bruit en sortie du modulateur, en faisant l'approximation au premier ordre que les f_j sont toutes identiques, est alors donnée par [12] :

$$P_{bruit} = \frac{8 \cdot \Delta^2 \cdot \pi^{2n}}{(2n+1)} \left(\frac{f_A}{f_e}\right)^{2n+1} \prod_{j=1}^n \frac{1}{c_j} \quad (2.7)$$

où Δ est le quantum de quantification et f_A la bande d'agilité du modulateur. La formule 2.7 permet de mettre en évidence le fait que la puissance de bruit est inversement proportionnelle à c_j . Les coefficients c_j devront être les plus élevés possible, mais des valeurs trop élevées conduisent à l'instabilité. La pratique permet de définir pour chaque ordre de modulateur la valeur limite de c_j au-delà de laquelle l'architecture est instable. Le tableau 2.2 présente des valeurs de c_j conseillées en fonction de l'ordre du modulateur. Ces valeurs ont été déterminées par des simulations paramétriques dans [41] et [40].

paramètres	ordre 2 (1 résonateur)	ordre 4 (2 résonateurs)	ordre 6 (3 résonateurs)
c_j	1	0.6	0.45

TAB. 2.2 Choix des coefficients c_j en fonction de l'ordre du modulateur

Détermination de l'ordre $2n$ et du nombre de bits N du modulateur

Le rapport signal sur bruit théorique attendu s'exprime par :

$$SNR(dB) = 10 \log \left(\frac{P_{signal}}{P_{bruit}} \right) \quad (2.8)$$

où P_{bruit} , donné par l'équation 2.7, est dépendant de N le nombre de bits des CAN et CNA, de n le nombre de résonateurs du modulateur (ce qui correspond à la moitié de son ordre) et de l' OSR , le rapport de sur-échantillonnage.

Cette expression nous permet d'évaluer la résolution pouvant être atteinte en fonction de l'ordre du modulateur et du nombre de niveau de quantification. Dans notre cas, l' OSR est de 15 (f_0/f_A), ce qui consiste à évaluer la résolution sur toute la bande d'agilité. En effet, en pratique, la sortie du modulateur sera filtrée par un filtre numérique de largeur de bande correspondant à la bande d'agilité. La figure 2.2 présente les résolutions obtenues, avec les valeurs de c_j spécifiques à l'ordre du modulateur et pour des ordres et des niveaux de quantification différents.

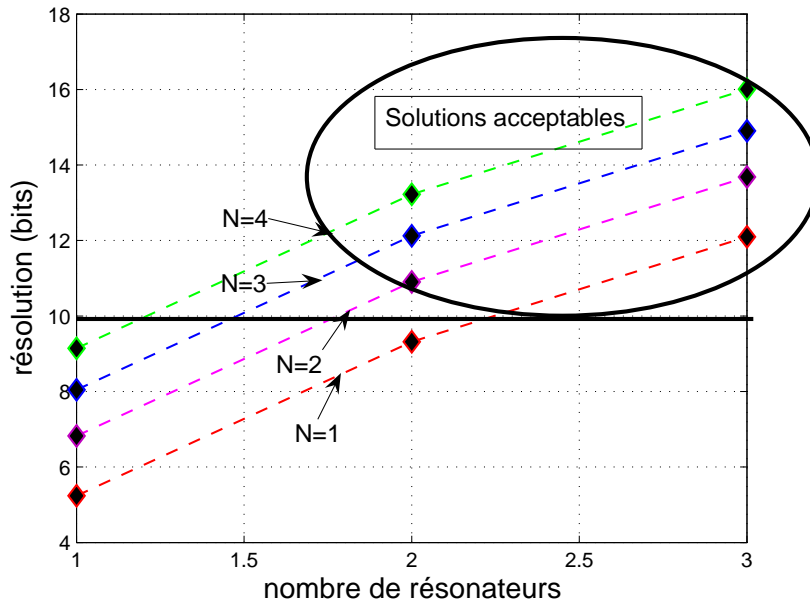


FIG. 2.2 Résolution du modulateur en fonction de l'ordre et du nombre de bits du CAN

D'après la figure 2.2, les architectures de modulateur présentant une résolution supérieure à 10 bits sur la bande d'agilité et donc sur la bande utile sont :

- le modulateur d'ordre 4 avec CAN et CNA d'au moins 2 bits,
- le modulateur d'ordre 6 monobit ou multibit.

2.2.4 Calcul des architectures à temps continu

Pour le calcul de l'architecture monoboucle à temps continu à partir de l'expression du filtre de boucle à temps discret, la méthode présentée au §1.5 a été implémentée dans le logiciel ADOC lors de travaux précédents. Ce logiciel utilise entre autre Maple comme outils de calcul formel. Plusieurs possibilités pour l'ordre du filtre de boucle à temps discret et le nombre de bits du CAN ont été déterminées précédemment (figure 2.2). Ces paramètres sont nécessaires pour le calcul, comme le sont les paramètres suivants :

- le facteur de qualité des filtres de boucle à temps continu,
- le retard de boucle dû aux CAN et CNA. Suivant ce retard, la valeur du coefficient de rebouclage rapide (polynôme $D(z)$) va changer (voir §1.5) et figure 2.5.

Contrairement aux filtres à temps discret, les filtres à temps continu n'ont pas un facteur de qualité infini. Ils ont la forme canonique suivante :

$$G(s) = \frac{A_0 s}{s^2 + \frac{\omega_0}{Q_0} s + \omega_0^2} \quad (2.9)$$

Il faut donc imposer pour le calcul un facteur de qualité Q qui soit réalisable d'un point de vue technologique. Nous avons considéré qu'une valeur de 25 était largement atteignable, au regard de l'état de l'art des résonateurs intégrés [42, 30, 43, 44].

Le retard de boucle maximal dû aux CAN et CNA doit être supérieur à une période d'échantillonnage, car on obtient dans ce cas de meilleures résolutions qu'avec un retard inférieur à T_e [20] et la réalisation s'en trouve simplifiée.

Avec ces paramètres, il est possible de calculer l'architecture à temps continu monoboucle, par exemple d'ordre 6, tel qu'indiqué sur la figure 2.3.

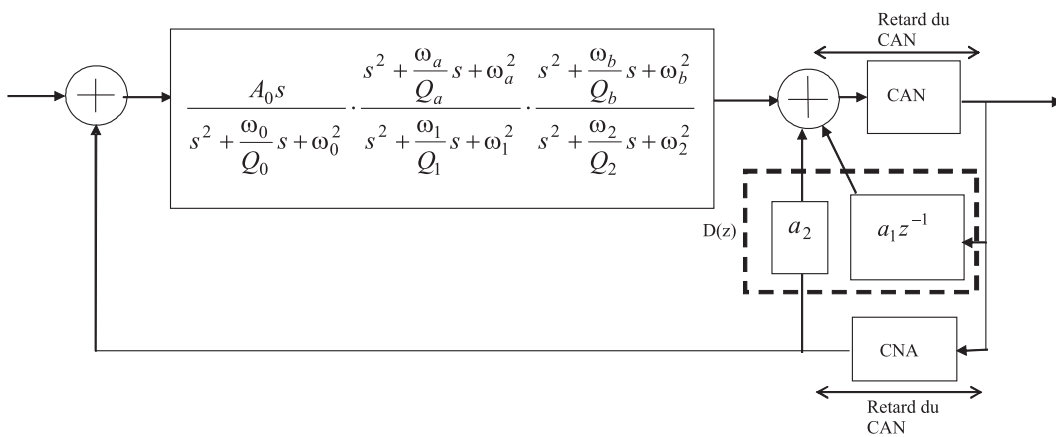


FIG. 2.3 Forme canonique d'une architecture temps continu monoboucle d'ordre 6 avec retard

Deux structures sont alors envisageables pour l'implantation des filtres de boucle à temps continu :

- les structures avec cellules de filtrage en **série**,
- les structures avec cellules de filtrage en **parallèle**.

Retard de boucle

Le retard de boucle du à l'ensemble CAN + CNA influe sur les performances du modulateur, en particulier sur la marge de gain et la résolution de celui-ci. Une étude détaillée dans [19] a permis de trouver le retard maximal autorisé pour conserver des performances identiques au cas sans retard, et même les retards optimaux permettant d'améliorer la résolution dans le cas de CNA RZ et de CNA NRZ.

La **marge de gain** renseigne sur le **degré de stabilité** du modulateur. Pour la définir, on introduit à la sortie du filtre de boucle du modulateur un coefficient multiplicatif γ tel que présenté à la figure 2.4. La marge de gain g_R pour une résolution donnée est le rapport entre le coefficient γ maximal conduisant le modulateur à la limite de la stabilité et le coefficient γ minimal permettant d'obtenir une certaine résolution. On l'exprime par :

$$g_R = \frac{\gamma_{\max}}{\gamma_R} \quad (2.10)$$

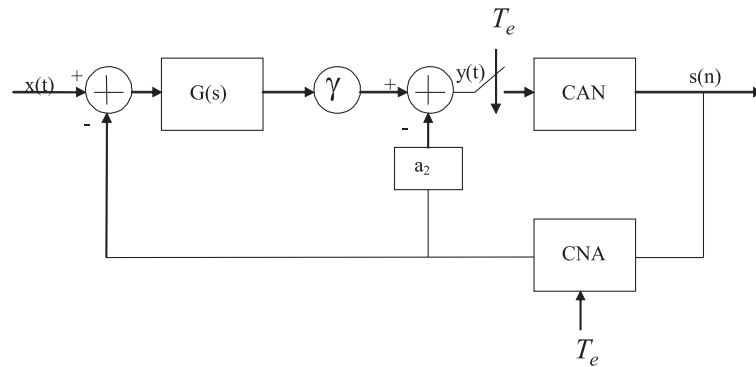


FIG. 2.4 Topologie d'un modulateur mettant en évidence la marge de gain

Pour la réalisation pratique d'un modulateur sigma-delta passe-bande à temps continu travaillant à des fréquences élevées, le choix d'un CNA NRZ est plus approprié en raison de sa moindre sensibilité à la gigue d'horloge [45], c'est donc la solution que nous avons retenue. Dans ce cas, l'étude paramétrique menée sur un modulateur passe-bande d'ordre 8 à la fréquence centrale $f_0 = 0.25f_e$ [41] et illustrée à la figure 2.5 démontre que :

- la marge de gain pour une résolution théorique donnée est toujours maximale pour un retard de $1.25T_e$ (figure 2.5 A),
- le retard maximal autorisé pour conserver la même résolution que dans le cas sans retard est de $1.4T_e$ (figure 2.5 B),
- la résolution est dégradée pour un retard inférieur à une période d'échantillonnage (figure 2.5 B),

- la résolution est maximale pour un retard de boucle de $1.25T_e$ (figure 2.5 B).

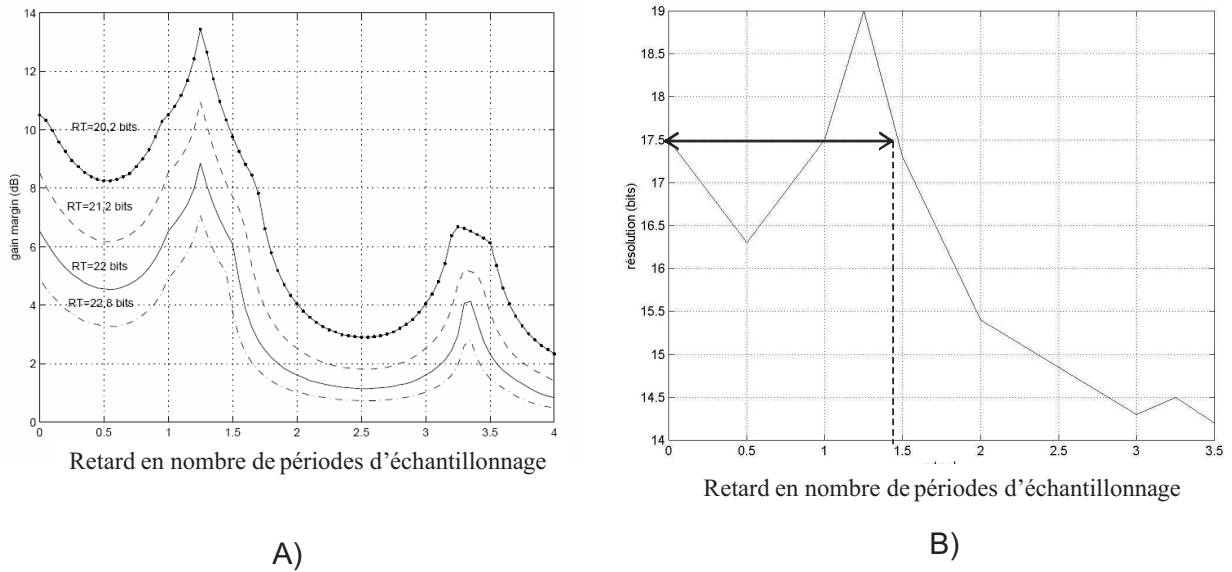


FIG. 2.5 A) Effet du retard sur la marge de gain pour $f_0 = 0.25f_e$ B) Résolution en fonction du retard CAN + CNA pour $f_0 = 0.25f_e$

Ces résultats concernant les retards optimaux et maximaux autorisés peuvent s'appliquer quel que soit l'ordre du modulateur à condition qu'il fonctionne avec un CNA NRZ et que sa fréquence centrale soit de $f_0 = 0.25f_e$. Ainsi le retard de boucle du modulateur devra s'approcher de $1.25T_e$ pour deux raisons :

- obtenir une résolution maximale,
- avoir une plus grande marge de stabilité (marge de gain) pour la réalisation pratique.

Pour le calcul de l'architecture à temps continu, le retard influe sur les termes de rebouclage rapide, mais pas sur les expressions du filtre de boucle. Nous avons considéré un retard de $1.5T_e$ pour le calcul de notre architecture. Pour la conception du circuit, il sera souhaitable d'avoir un retard de boucle de $1.25T_e$ pour augmenter la résolution. Le rebouclage rapide, prévu réglable, sera alors ajusté en amont.

Remarque 2 : dans le cas d'un retard des CAN et CNA supérieur à une période d'échantillonnage, la rétroaction des architectures doit être positive pour créer une avance de 180 degrés et compenser une partie de ce retard [21]. Ceci est réalisable simplement en pratique en rebouclant sur l'entrée du modulateur la sortie complémentaire du CAN.

Structure série

La structure série se compose d'une cellule résonante simple suivi de cellules biquadratiques. Ces dernières sont réalisables à partir de cellules simples rebouclées sur elle même. La structure série est une structure monoboucle et risque de présenter des problèmes de stabilité pour des ordres élevés.

Nous avons cependant retenu (voir figure 2.2) deux solutions qui pourraient être implantées avec des architectures séries, il s'agit :

- d'un modulateur d'ordre 4 avec CAN et CNA d'au moins 2 bits,
- d'un modulateur d'ordre 6 avec CAN et CNA 1 bit ou plus.

Les structures séries calculées sont présentées sur les figures 2.6 et 2.7. Le retard de boucle pour le calcul est de $1.5T_e$ et les facteurs de qualité pris égaux à 25. Les coefficients c_j sont choisis selon l'ordre (voir tableau 2.2). Les expressions des fonctions de transfert sont normalisées par rapport à la fréquence d'échantillonnage ($f_e = 3GHz$).

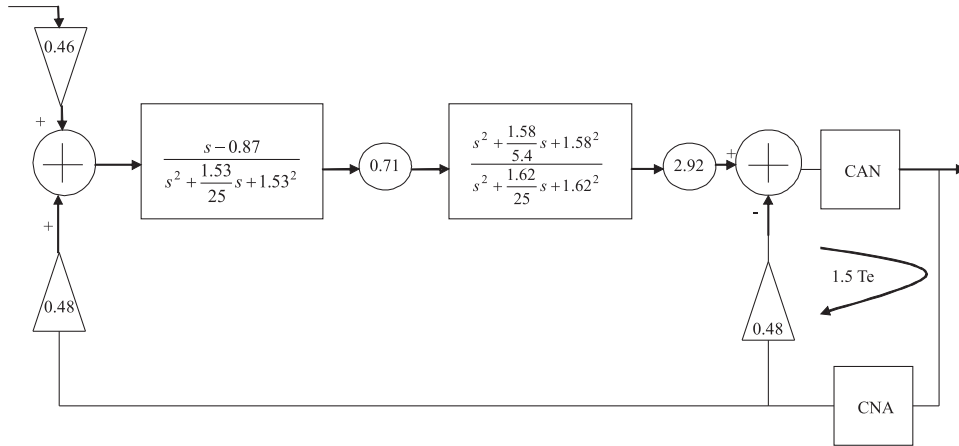


FIG. 2.6 Modulateur d'ordre 4 série

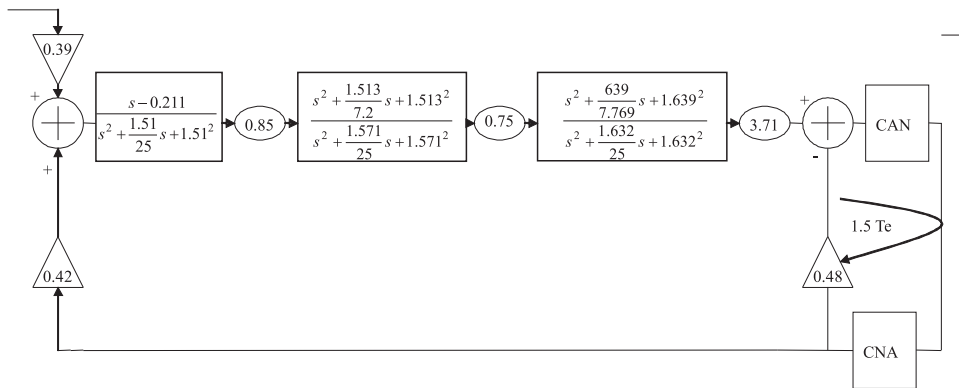


FIG. 2.7 Modulateur d'ordre 6 série

La résolution pouvant être obtenue à partir de ces architectures sur une bande utile de 5 MHz lorsque l'on applique un signal d'entrée sinusoïdal d'amplitude 100 mV pour des niveaux de contre-réaction ± 300 mV est indiquée dans le tableau 2.3.

Conditions de simulation	Modulateur	Résolution (bits)
Signal d'entrée : 100 mV	Ordre 4 + CAN 2bits	10.0
Niveaux de sortie : ± 300 mV	Ordre 6 série + comparateur	9.8
Nombre de points : 32768		
Bande utile : 5 MHz		

TAB. 2.3 Performances des architectures séries

Structure parallèle

Les architectures monoboucles ou multiboucles peuvent présenter des problèmes de stabilité pour des ordres élevés, lorsque l'on augmente le gain pour améliorer la résolution [10]. Une autre façon d'implanter le filtre de boucle est la structure parallèle, proposée par le département S.S.E. Dans l'architecture parallèle, représentée à la figure 2.8, la branche supérieure est la succession de résonateurs à facteur de qualité élevé assurant un gain élevé dans la bande, alors que la branche inférieure constituée d'un résonateur à faible facteur de qualité assure la stabilité du modulateur [46]. Le calcul de cette architecture s'effectue à partir de l'architecture série du même ordre. Un équivalent en parallèle du bloc de cellule biquadratique est obtenu par optimisation sous les contraintes suivantes :

- garantir un fort gain dans la bande utile,
- vérifier le critère simplifié de stabilité de Nyquist (voir § 1.6.2), c'est-à-dire la phase quand le gain est aux alentours de 0 dB doit être comprise dans l'intervalle $[-180^\circ + 180^\circ]$, et la pente du gain en haute fréquence doit être égale à -1 [22].

Cette transformation n'est pas une équivalence exacte mais le gain et la phase du filtre en parallèle adhère sur la bande utile au gain et à la phase du filtre de référence (voir figure 2.9).

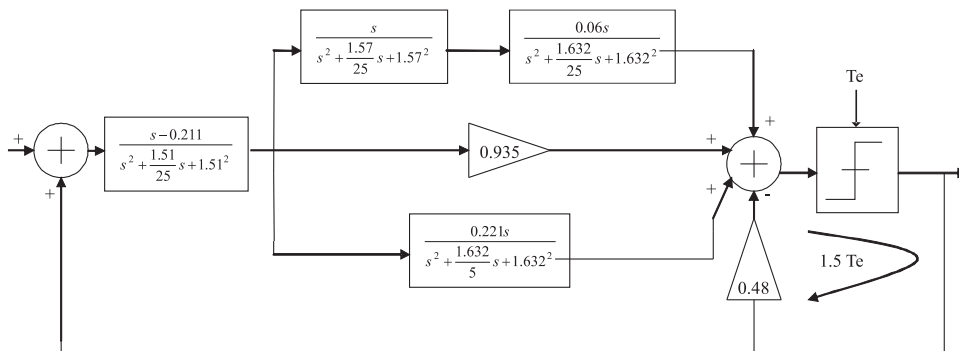


FIG. 2.8 Modulateur d'ordre 6 parallèle

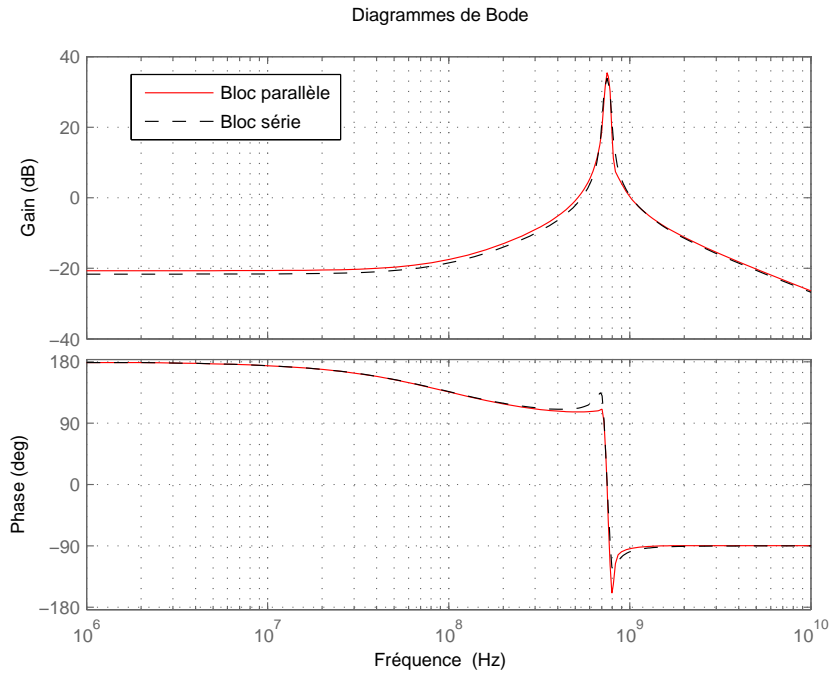


FIG. 2.9 Caractéristique de Bode des filtres de boucle série et parallèle

La résolution pouvant être obtenue à partir de cette architecture, sur une bande utile de 5 MHz, lorsque l'on applique un signal d'entrée sinusoïdal d'amplitude 100 mV, pour des niveaux de contre-réaction ± 300 mV, est indiquée dans le tableau 2.4.

Conditions de simulation	Modulateur	Résolution (bits)
Signal d'entrée : 100 mV Niveaux de sortie : ± 300 mV Nombre de points : 32768 Bande utile : 5 MHz	Ordre 6 parallèle + comparateur	10.3

TAB. 2.4 Performances de l'architecture parallèle d'ordre 6 avec comparateur

2.2.5 Imperfections du CNA

La précision du modulateur dépend de la précision du signal rebouclé et ainsi de la linéarité du CNA dans la chaîne de retour. Classiquement pour un modulateur N bits, le CNA est constitué de $2^N - 1$ sources de courant commutées dont le courant de sortie est sommé dans une résistance. Les dispersions technologiques sur les sources de courant, les résistances et les phénomènes d'injection de charges sont responsables des non-linéarités du CNA.

Les erreurs liées aux sources du CNA se divisent en deux catégories :

- l'erreur statique est l'erreur sur la valeur nominale des sources.
- l'erreur dynamique dépend de l'état précédent et de la relation qui existe entre des sources voisines.

Il est difficile de prendre en compte au niveau système l'impact des erreurs dynamiques. En revanche, il est possible de modéliser au niveau système l'erreur statique sur les sources. Une telle modélisation est disponible dans le logiciel ADOC, ce qui nous a permis de simuler le comportement d'un modulateur avec de telles erreurs. La déviation des niveaux du CNA pour une technologie classique dans un pire cas est évaluée à 10 %. Dans ce cas la résolution obtenue pour un modulateur parallèle d'ordre 6 à 3 niveaux de quantification est présentée dans le tableau 2.5 dans le cas idéal, avec des erreurs statiques sur les sources du CNA et enfin avec un algorithme de brassage de source du type passe-bande [47].

Conditions de simulation		Résolution (bits)
Signal d'entrée : 1 V	CAN 3 bits : cas idéal	13.0
Niveaux de sortie : ± 1 V	CAN 3 bits : erreurs statiques de 10%	9.5
Nombre de points : 65536	CAN 3 bits : brassage de sources passe-bande	13.3
	<i>Compareur</i>	<i>10.3</i>

TAB. 2.5 Résolution du modulateur avec CAN 3 bits

D'après ces résultats, et d'après certaines études [45, 48], l'avantage d'une structure à trois niveaux de quantification est perdu par rapport à une structure monobit, à moins d'implémenter l'algorithme de source passe-bande ou d'augmenter le nombre de niveaux de quantification. Ces deux solutions sont coûteuses en surface d'implantation, en consommation, et en développement. Une étude de la mise en oeuvre d'un brassage de source pour un CNA à trois niveaux de quantification, présentée en annexe A, révèle la complexité des circuits numériques à concevoir et implanter. Ainsi pour des performances pratiquement égales, on préfère implanter une architecture monobit plutôt qu'une architecture multibit sans correction des erreurs des sources de courant du CNA.

2.3 Architecture proposée

Le modulateur à concevoir doit avoir les caractéristiques suivantes :

- une fréquence centrale ajustable en fonction du signal d'entrée,
- une résolution d'environ 10 bits sur la bande utile.

Par ailleurs, nous avons cherché à ce que l'implantation physique du circuit soit la plus simple possible sans pour autant perdre en résolution. Ceci nous a conduit à effectuer quelques modifications sur l'architecture retenue calculée par le logiciel ADOC (figure 2.8).

L'architecture initialement retenue est à structure de filtres en parallèle, d'ordre 6 et monobit. Ce choix s'est fait pour les raisons suivantes :

- la réalisation des cellules résonantes de l'architecture parallèle à partir de composants passifs L et C est plus simple que la réalisation de cellules biquadratiques,
- la structure parallèle est plus stable que l'architecture série,
- une solution monobit est à la fois meilleure en terme de résolution et plus facile à mettre en oeuvre qu'une solution multibit sans brassage des sources du CNA.

Ensuite des modifications ont été apportées à cette architecture, présentée à la figure 2.8, dans le but de simplifier l'implantation ou de prévoir l'ajustement de la fréquence centrale de l'architecture. Ces modifications sont :

- La suppression du terme négatif au numérateur du premier résonateur. Ce terme, résultant du calcul des fonctions de transfert à temps continu à partir de l'architecture à temps discret introduit une avance de phase dans la boucle qui n'est pas aisément réalisable avec des composants électroniques. Son absence dans la réalisation du modulateur ne nuit pas à son fonctionnement, le retard maximal autorisé étant de $1.5T_e$. Les caractéristiques de Bode (figure 2.10) permettent d'observer une modification de la phase après suppression de ce terme, mais les caractéristiques sur la bande utile restent similaires.
- L'uniformisation du gain de boucle sur chacun des résonateurs (figure 2.12) afin de faciliter l'implantation,
- Le rebouclage rapide est prévu nul dans un premier temps après une évaluation des performances en fonction de sa valeur (figure 2.11). Il a cependant été prévu à l'implantation car la réalisation donnera lieu à un retard de boucle imprévisible.
- Le gain de la branche centrale est pris égal à 1, ce qui correspond d'un point de vue électronique à une simple liaison et ne nécessite pas de circuit.
- L'emplacement des différents résonateurs dans l'architecture a également été modifiée en prévision de l'ajustement de la fréquence centrale du modulateur (voir §2.4). En effet dans la branche haute du modulateur, se trouvent les résonateurs dont les fréquences centrales se trouvent aux bornes de la bande d'agilité. Grâce à ces résonateurs, la stabilité sera maintenue lorsque la fréquence centrale du résonateur d'entrée va varier.

Avec ces modifications la résolution reste quasiment inchangée par rapport à l'architecture d'origine comme le démontre le tableau 2.6. La résolution est calculée, comme précédemment avec un signal d'entrée sinusoïdal d'amplitude 100 mV, avec des niveaux de retour de ± 300 mV. La figure 2.13 présente dans ce cas le spectre en sortie du modulateur. L'architecture finalement proposée est celle de la figure 2.12.

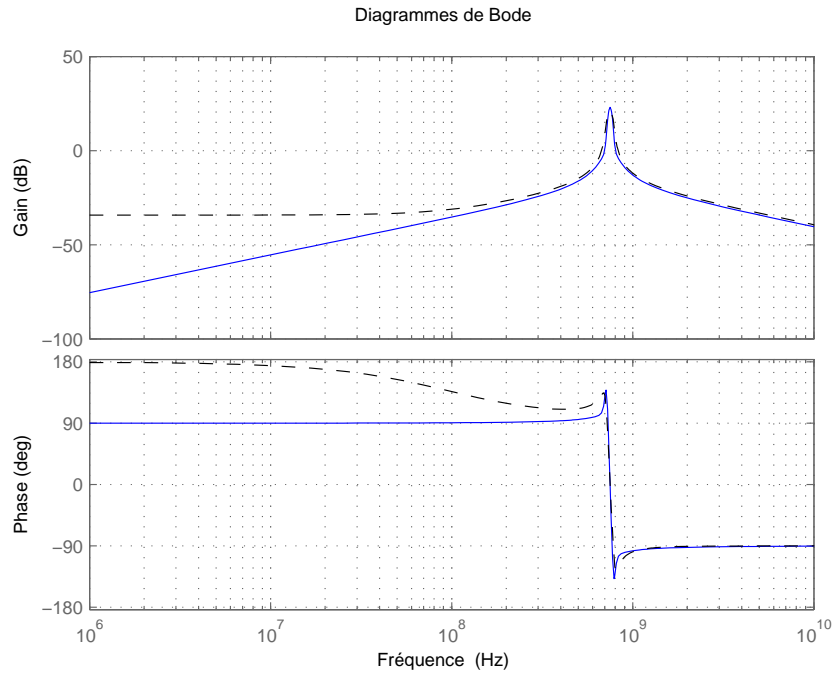


FIG. 2.10 Caractéristique de Bode des filtres de boucle série et parallèle après modifications

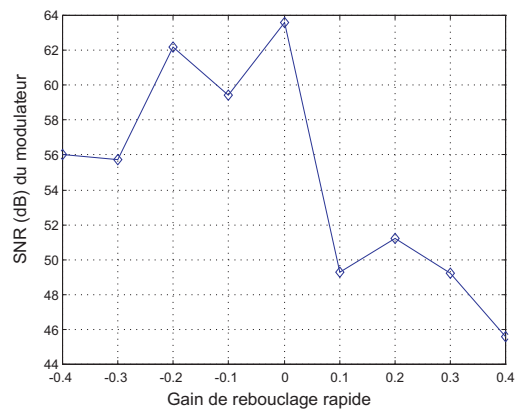


FIG. 2.11 SNR du modulateur en fonction du gain de rebouclage

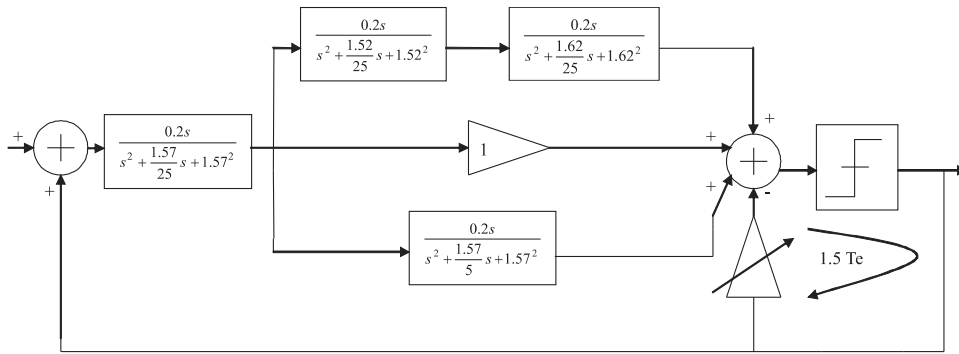


FIG. 2.12 Architecture proposée pour le modulateur

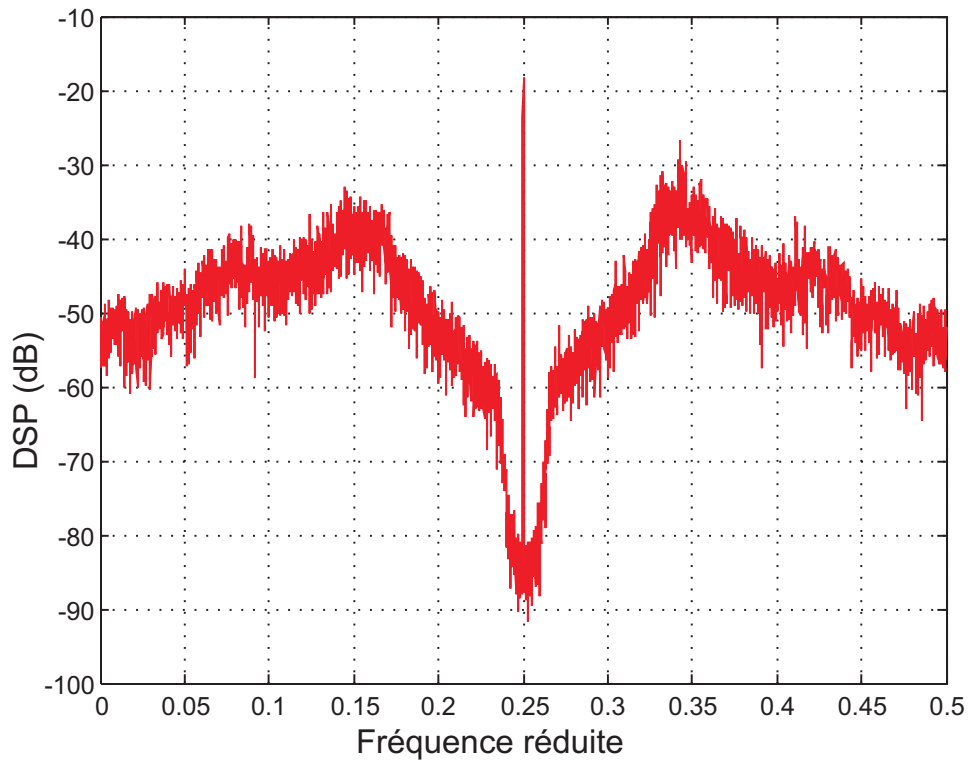


FIG. 2.13 Spectre en sortie du modulateur avec une sinusoïde de 100 mV à 750 MHz

Conditions de simulation	Modulateur	Résolution (bits)
Signal d'entrée : 100 mV Niveaux de sortie : ± 300 mV Nombre de points : 32768 Bande utile : 5 MHz	Ordre 6 parallèle modifiée + comparateur	9.9

TAB. 2.6 Performances de l'architecture parallèle d'ordre 6 modifiée avec comparateur

2.4 Stabilité et performances

2.4.1 Choix pour le réglage

L'architecture d'ordre 6 parallèle ayant été retenue, plusieurs solutions sont à priori envisageables pour un modulateur pouvant s'ajuster sur plusieurs valeurs de fréquence du signal d'entrée :

1. par ajustement de la fréquence centrale de tous les résonateurs,
2. par ajustement de la fréquence centrale de l'un des résonateurs.

La première solution exigerait une variation simultanée de la fréquence d'échantillonnage pour conserver le même rapport de sur-échantillonnage, ce qui s'avère compliqué à mettre en oeuvre à cause notamment des étages de traitement numérique qui suivent le modulateur. La seconde solution n'exigerait pas de changement de la fréquence d'horloge. Elle serait applicable avec un réajustement de la fréquence centrale du résonateur d'entrée. Cette solution, outre sa simplicité, présente aussi l'avantage, grâce à la sélectivité du filtre d'entrée d'atténuer fortement les produits d'intermodulation et les bruits situés hors bande dès l'entrée du modulateur pour éviter qu'ils ne se répercutent sur le restant de la chaîne de conversion.

Pour évaluer cette solution, nous avons procédé de la manière suivante : dans chaque cas la fréquence centrale du filtre d'entrée est placée aux bornes de la bande d'agilité pour vérifier la stabilité et les performances du modulateur.

2.4.2 Stabilité

La stabilité du modulateur en fonction de la variation de la fréquence centrale du résonateur d'entrée est vérifiée par le tracé du lieu des pôles de la fonction de transfert de bruit en temps discret. Deux étapes sont préalables à ce tracé :

1. le calcul de la fonction de transfert de bruit en temps discret grâce aux outils mathématiques présent dans ADOC. Pour cela on calcule le filtre de boucle $H(z)$, l'équivalent en temps discret de $G(s)$ avec un retard de $1.5T_e$, ces fonctions de transfert résultantes sont présentées ci-dessous (eq 2.11, 2.12 et 2.13),
2. la détermination du coefficient η_0 présenté au §1.2.6. Dans notre cas $\eta_0 \approx 6.5$. Cette valeur est obtenue par approximation numérique de l'équation 1.15.

Le calcul des fonctions de transfert des filtres de boucle équivalents en temps discret dans le cas où le résonateur se trouve aux bornes de la bande d'agilité donne pour chacune des configurations :

$$H_{f_0}(z) = \frac{0.09302z^8 + 0.003432z^7 + 0.1268z^6 + 0.01338z^5 - 0.05833z^4 + 0.01566z^3 - 0.1475z^2 + 0.005879z - 0.05254}{z^{10} - 0.02146z^9 + 3.539z^8 - 0.05855z^7 + 4.689z^6 - 0.05342z^5 + 2.755z^4 - 0.0163z^3 + 0.6051z^2} \quad (2.11)$$

$$H_{f_0 + f_{A/2}}(z) = \frac{0.092344z^8 + 0.0031303z^7 + 0.12636z^6 + 0.01256z^5 - 0.057072z^4 + 0.014914z^3 - 0.1459z^2 + 0.0057482z - 0.052085}{z^{10} - 0.075299z^9 + 3.5349z^8 + 0.19301z^7 + 4.6804z^6 + 0.16409z^5 + 2.7491z^4 + 0.046068z^3 + 0.60387z^2} \quad (2.12)$$

$$H_{f_0 - f_{A/2}}(z) = \frac{0.093676z^8 + 0.003731z^7 + 0.12731z^6 + 0.014196z^5 - 0.059563z^4 + 0.016404z^3 - 0.14898z^2 + 0.0062074z - 0.052978}{z^{10} - 0.1184z^9 + 3.5424z^8 - 0.31059z^7 + 4.6969z^6 - 0.27135z^5 + 2.7606z^4 - 0.078792z^3 + 0.60629z^2} \quad (2.13)$$

Lorsque la retroaction du modulateur est positive (car retard supérieur à T_e), la fonction de transfert de bruit a alors pour équation :

$$NTF(z) = \frac{1}{1 - \eta H(z)} \quad (2.14)$$

Ainsi, pour que le modulateur soit stable (cf §1.2.6), il faut que le lieu des racines de $1 - \eta H(z)$ soit situé à l'intérieur du cercle unité pour $\eta < \eta_0$. On observe sur les figures 2.14, 2.15, 2.16 que tous les pôles de la NTF se situent à l'intérieur du cercle unité pour η variant de 0 à 6.5, quelle que soit la fréquence centrale du résonateur d'entrée (750 MHz, 725 MHz, 775 MHz). L'emplacement des pôles pour $\eta_0 = 6.5$ est marqué par le signe (+). La stabilité est donc vérifiée lorsque la fréquence centrale du résonateur d'entrée varie.

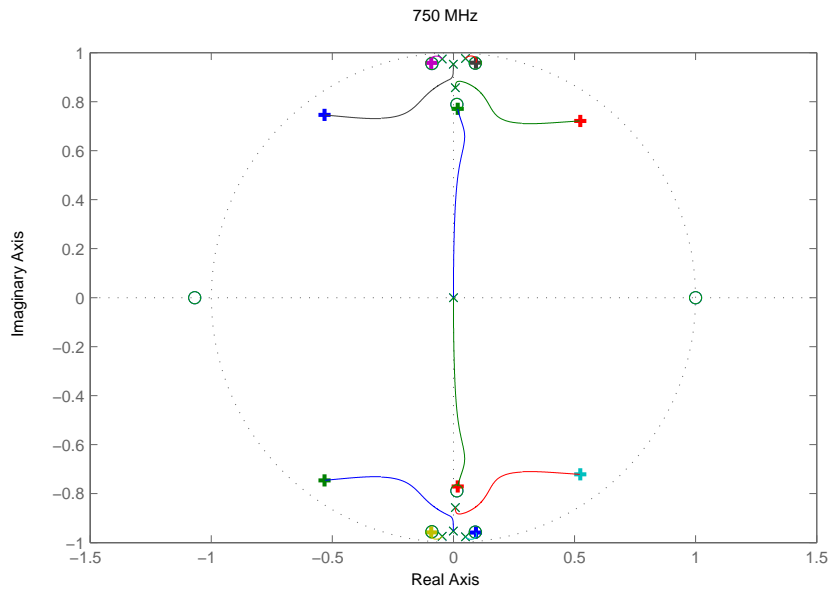


FIG. 2.14 Lieu des pôles de la $NTF(z)$ pour la fréquence centrale du résonateur d'entrée de f_0

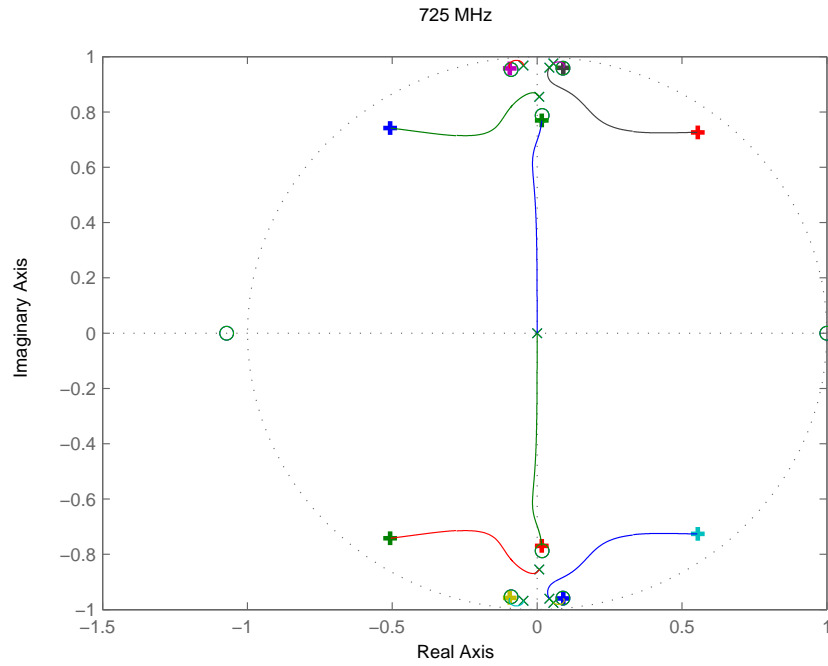


FIG. 2.15 Lieu des pôles de la $NTF(z)$ pour la fréquence centrale du résonateur d'entrée de $f_0 - f_A/2$

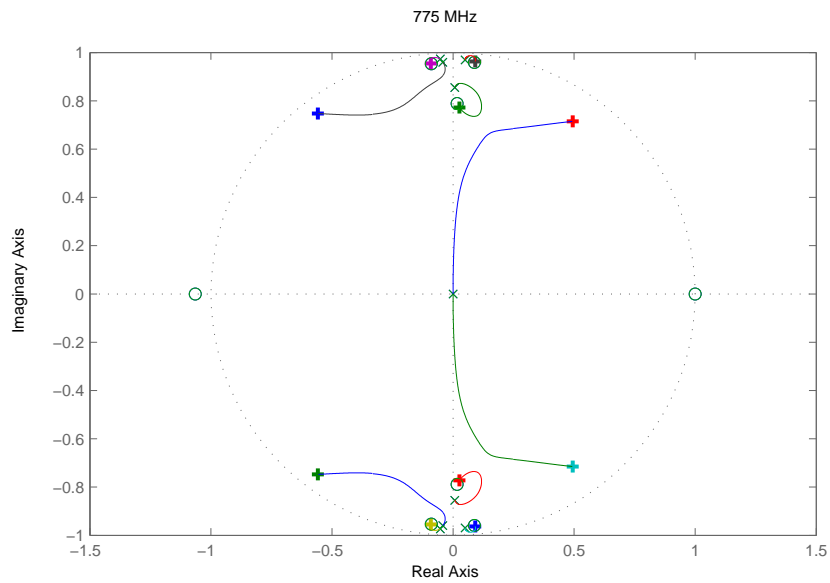


FIG. 2.16 Lieu des pôles de la $NTF(z)$ pour la fréquence centrale du résonateur d'entrée de $f_0 + f_A/2$

2.4.3 Performances

Le tracé du lieu des pôles de la fonction de transfert de bruit lorsque la fréquence centrale du résonateur d'entrée se trouve aux bornes de la bande d'agilité f_A démontre que le modulateur reste stable. La résolution de l'architecture choisie est alors évaluée sur la bande utile autour de la fréquence

centrale avec un signal d'entrée d'amplitude 100 mV et un signal de retour du comparateur de ± 300 mV, pour les fréquences centrales du résonateur d'entrée :

- f_0 , c'est à dire 750 MHz,
- $f_0 + \frac{f_A}{2}$, soit 775 MHz,
- $f_0 - \frac{f_A}{2}$, soit 725 MHz.

Les simulations au niveau système pour ces fréquences donnent lieu aux spectres des figures 2.13 et 2.17 A) et B) mettant en évidence le changement de la mise en forme de bruit en fonction du changement de fréquence du résonateur d'entrée.

Les résolutions obtenues sont présentées dans le tableau 2.7. La résolution du modulateur reste approximativement la même aux bornes de la bande d'agilité qu'au centre. Ainsi l'architecture retenue, présentée à la figure 2.12, permet un certain ajustement de la fréquence centrale sans dégradation majeure de la résolution. Elle a donc fait l'objet d'une conception au niveau transistor présentée dans les chapitres suivants.

Conditions de simulation	Rés.(bits) à f_0	Rés.(bits) à $f_0 + B_A/2$	Rés.(bits) à $f_0 - B_A/2$
Signal d'entrée : 100 mV Nombre de points : 32768 Niveaux de sortie : ± 300 mV	10	9.8	9.8

TAB. 2.7 Résolution du modulateur d'ordre 6 parallèle aux extrémités de la bande d'agilité

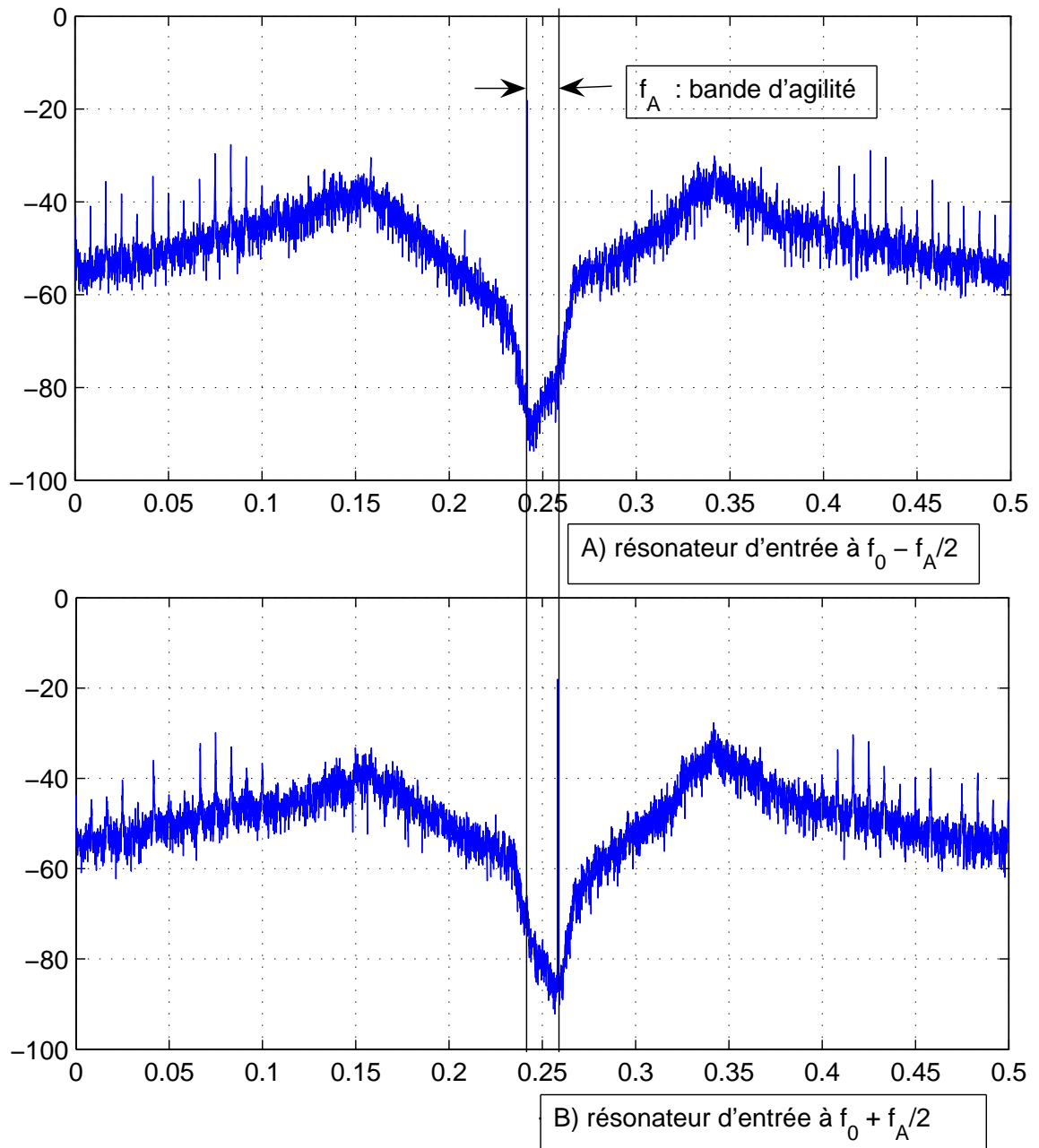


FIG. 2.17 Spectre aux bornes de la bande d'agilité

2.5 Evolution vers une structure autoadaptative

Afin de rendre le modulateur sigma-delta adaptable automatiquement à plusieurs valeurs de fréquence du signal d'entrée, un asservissement de la fréquence centrale et du facteur de qualité du résonateur d'entrée sur ce signal devrait être envisagé. Un certain nombre de publications [49, 50, 51]

traitent de l'asservissement des filtres RF. Un synoptique général simplifié (figure 2.18) montre comment pourrait s'effectuer ces asservissements grâce à un oscillateur contrôlé en tension (VCO). Cet exemple peut s'appliquer aux résonateurs de type Gm-LC dont le facteur de qualité est amélioré par une résistance négative et la fréquence centrale réglable par une tension appliquée sur des varicaps.

Le réglage de la fréquence centrale s'effectuerait par un circuit de type PLL accroché sur le signal d'entrée (partie basse de la figure 2.18).

Le réglage du facteur de qualité (partie haute de la figure 2.18) s'effectuerait par un courant de retour i_Q résultant de deux branches : la branche du haut qui tend à régler un facteur de qualité infini et la branche du bas qui fait en sorte que l'enveloppe de sortie du VCO soit proche d'une valeur fixée V_{ref} pour que la résistance négative fonctionne dans sa zone linéaire.

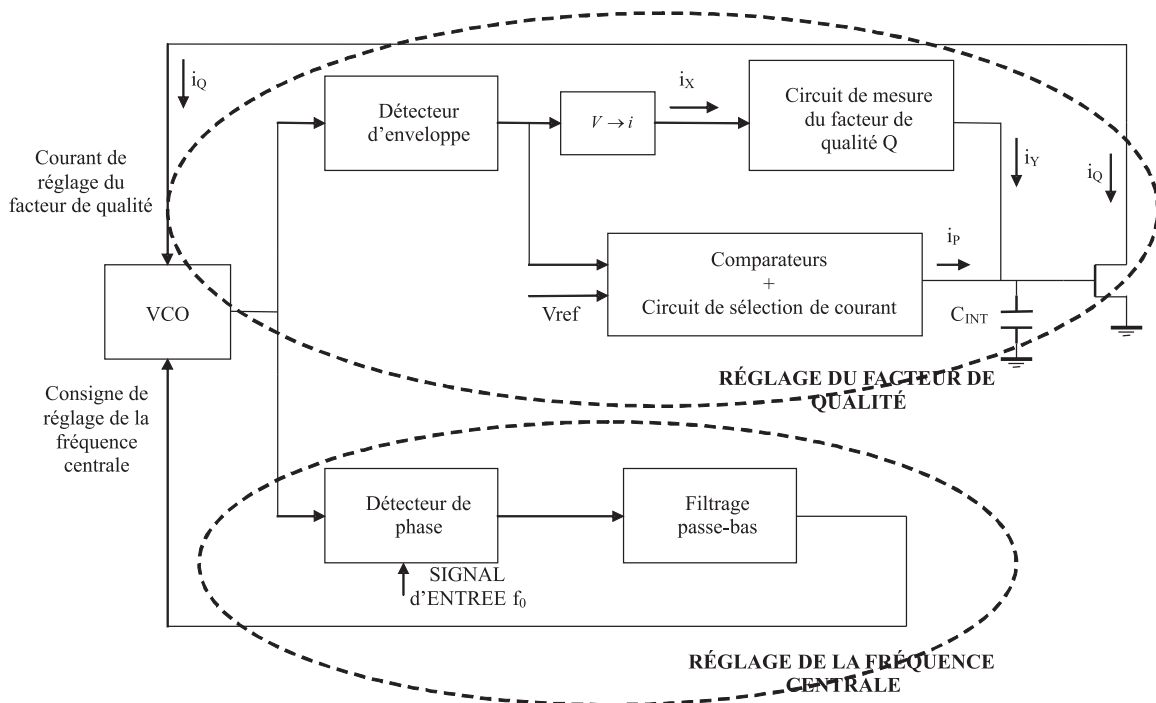


FIG. 2.18 Système de réglage du facteur de qualité et de la fréquence centrale

L'oscillateur contrôlé en tension doit être identique au résonateur d'entrée que l'on souhaite régler. Sa fréquence centrale est réglable par l'intermédiaire d'une tension et son facteur de qualité par l'intermédiaire d'un courant. Ces deux consignes pourraient alors être appliquées au résonateur d'entrée du modulateur sigma-delta (figure 2.19).

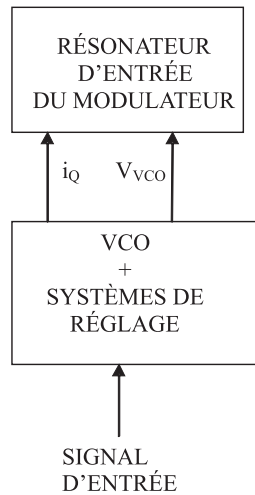


FIG. 2.19 Asservissement du résonateur d'entrée

2.6 Conclusion

L'objectif de ce chapitre était de présenter une architecture de modulateur sigma-delta passe-bande à temps continu qui pourrait s'ajuster sur une certaine gamme de fréquence du signal à convertir grâce à son résonateur d'entrée. Plusieurs architectures ont été présentées. En raison de sa stabilité et de sa simplicité de réalisation, l'architecture de type parallèle monobit d'ordre 6 a été retenue. Cette architecture, calculée grâce au logiciel ADOC développé au laboratoire, a été modifiée en vue de faciliter l'implantation physique et le réglage de la fréquence centrale. L'étude de sa stabilité par le tracé du lieu des pôles de la NTF et des simulations au niveau système nous ont permis de vérifier que cette architecture est viable aussi bien pour une fréquence centrale de 750 MHz qu'aux bornes de la bande d'agilité (725 et 775 MHz).

Un bref état de l'art a été établi sur les méthodes qui pourraient être appliquées à cette structure afin de la rendre auto-ajustable par un asservissement du facteur de qualité et de la fréquence centrale sur le signal d'entrée.

Compte tenu de la fréquence d'échantillonnage à laquelle le modulateur doit fonctionner (3 GHz), il est important de choisir pour sa réalisation une technologie ayant des fréquences de travail élevées, comme par exemple les technologies III-V. Le chapitre suivant a pour objet de développer les particularités de la technologie choisie qui est l'Arseniure de Gallium.

Chapitre 3

La technologie GaAs

3.1 Introduction

Les technologies intégrées ont constamment évolué depuis le premier transistor en germanium mis au point en 1947 par Shockley jusqu'aux derniers processeurs sur silicium aujourd'hui disponibles sur le marché comprenant jusqu'à 1.7 milliards de transistors.

Cette évolution s'est diversifiée, d'une part, par l'exploration de substrats autres que le silicium (matériaux III-V), et d'autre part, par l'amélioration des méthodes d'épitaxie permettant d'obtenir de plus faibles longueurs de grille pour les transistors, et ainsi d'augmenter les fréquences de fonctionnement. L'apparition des transistors à hétérojonction a aussi été une avancée remarquable pour la conception de circuits devant fonctionner à des fréquences élevées.

Ce chapitre se propose de présenter brièvement les technologies intégrées envisageables avec leurs domaines d'application, leurs avantages et inconvénients. Parmi ces technologies, le CEA a pu mettre à notre disposition la technologie GaAs P-HEMT $0.2 \mu m$ du fondeur OMMIC. Les dispositifs disponibles dans cette technologie (inductances, capacités, transistors à effet de champ, diodes...) sont présentés avec leurs caractéristiques physiques, leur modèle équivalent et les règles essentielles de dimensionnement.

La dernière partie de ce chapitre traite, à partir notamment de rappels sur des structures de bases (montages source commune, grille commune et drain commun), des avantages présentés par certaines structures dérivées (montages cascode, différentiel...) ou améliorées (linéarisation, sources de courant à haute impédance de sortie...). Ces structures sont particulièrement adaptées à la conception de circuits radiofréquences.

3.2 Choix de la technologie

3.2.1 Critères de choix

Les critères de choix d'une technologie pour une conception donnée sont multiples, les principaux étant :

- La **fréquence maximale** à laquelle le circuit doit fonctionner. L'adéquation d'une technologie en terme de vitesse pour une application donnée peut être évaluée en premier lieu grâce à sa

fréquence de transition. On rappelle que la fréquence de transition est la fréquence pour laquelle le gain en courant avec un montage en court circuit en sortie vaut 1 (0dB). Une approximation de la fréquence de transition est donnée, pour un transistor à effet de champ, par [52] :

$$f_t \approx \frac{3}{2} \frac{\mu_n}{2\pi l^2} (V_{gs0} - V_T) \quad (3.1)$$

Où μ_n est la mobilité des porteurs, l la longueur de grille des transistors et V_T la tension de seuil du transistor. La fréquence de transition dépend donc directement à la fois de la mobilité des porteurs dans le substrat et de la longueur de grille. A partir des éléments du schéma équivalent, la fréquence de transition peut aussi s'exprimer [53] :

$$f_t = \frac{gm}{2\pi C_{gs}} \quad (3.2)$$

où gm est la transconductance du transistor et C_{gs} est la capacité grille-source du transistor.

- Les exigences en terme de **consommation** et d'**alimentation** varient suivant les applications. Les contraintes sont sévères s'il s'agit de concevoir des circuits fonctionnant sur batterie avec une forte autonomie et plus faibles pour des circuits destinés à des applications raccordées à une source de tension locale.
- Le **coût**. Les filières les plus matures (silicium) sont aussi les moins coûteuses, mais elles possèdent rarement tous les avantages proposées par les autres filières (vitesse, puissance délivrée...), sauf peut-être pour la filière SiGe.
- La **densité d'intégration** : certaines technologies ne permettent pas l'intégration d'un grand nombre de circuits numériques et analogiques sur la même puce pour des raisons d'encombrement ou de consommation.
- La **qualité des composants passifs** est un critère important pour la conception de circuits analogiques. Toutefois, il est possible, par le biais de méthodes connues (compensation des facteurs de qualité) de compenser les défauts de ces composants, ou encore de réaliser des circuits faisant intervenir des rapports de valeurs de composants (capacités commutées).
- Les **conditions d'utilisation** du circuit sont un critère important. Sa présence dans un milieu radioactif, à perturbation magnétique ou à très hautes températures peut par exemple altérer son fonctionnement si la technologie employée n'est pas adaptée.
- La **puissance commandée** par les composants implantés. Les applications de puissance conditionne le choix de certaines technologies.

3.2.2 Les différents types de matériaux pour l'intégration

La majorité des circuits intégrés sont aujourd'hui réalisés sur silicium. D'autres substrats, moins employés, permettent par leur structure physique d'atteindre de meilleures performances.

Substrats de type silicium

Dans le substrat en silicium proprement dit, la mobilité des porteurs reste limitée (tableau 3.1). Une variante consiste à épitaxier une couche d'un alliage de germanium et silicium ($Si_{1-x}Ge_x$), où x

est le pourcentage de germanium, sur le substrat en silicium afin d'augmenter la mobilité des porteurs et donc la vitesse de fonctionnement des circuits (la mobilité des porteurs dans le germanium est trois fois supérieure à celle dans le silicium). On parle alors de technologie BiCMOS SiGe, comprenant des transistors bipolaires dont la base est dopée au germanium et des transistors CMOS [54].

Substrats de type SOI

Les substrats de type SOI (*Silicon On Insulator*) diffèrent des technologies sur silicium standards par le fait que la couche de silicium active est isolée du substrat par du SiO_2 (isolant). Selon l'épaisseur de la couche active de silicium, on parle de technologie SOI "totalement désertée" (couche de silicium active : 20 nm) ou "partiellement désertée" (couche de silicium active : 100 nm) [55]. Cette deuxième catégorie est moins performante, mais plus robuste, car moins dépendante du processus de fabrication. Quelques avantages de l'introduction d'une couche d'isolant entre la zone active de silicium et le substrat sont :

- que l'isolant permet de diminuer les capacités de jonction des transistors. En effet, le bas des zones de diffusions de sources et de drain sont en contact avec l'isolant qui a une permittivité plus faible (3.8 pour le SiO_2) que le silicium (11.6), ce qui conduit à de plus faibles valeurs des capacités de jonction. Dans ces conditions, la fréquence maximale de fonctionnement des transistors est accrue.
- La présence de l'isolant permet d'améliorer la qualité des composants passifs (meilleur facteur de qualité pour les inductances)
- L'effet "latch-up" est supprimé car les courants parasites ne peuvent circuler dans la couche isolante.
- La résistance aux radiations est accrue, car seule la couche active de silicium y est sensible.

Substrats de type SOS

Les substrats de type SOS (*Silicon On Sapphire*) utilisent un isolant à base de saphir (Al_2O_3) aussi appelé corindon. Cet isolant, meilleur encore, améliore encore les propriétés déjà citées pour le SOI.

Substrats de type III-V

Ce type de substrat a été développé pour les applications micro-ondes et pour les circuits hauts débits dans les liaisons optiques. Ces substrats tirent leur nom du fait qu'on forme un alliage entre la colonne III et la colonne V du tableau périodique des éléments (aluminium, indium, phosphore, gallium, arsenic...) pour donner naissance aux matériaux tels que l'arseniure de gallium ($GaAs$), le phosphore d'indium (InP), le nitrure de gallium (GaN) et d'autres types d'alliages plus complexes. Les propriétés de cet alliage sont :

- une mobilité accrue des électrons (tableau 3.1),
- le substrat obtenu étant semi-isolant (large gap), il possède partiellement les propriétés décrites pour le SOI.

On note toutefois que si, dans les substrats III-V, la mobilité des électrons est grandement améliorée par rapport à la mobilité dans le silicium, la mobilité des trous est dégradée au point d'interdire de réaliser des transistors de type P dans ces technologies.

Les substrats de type GaN apparus récemment possèdent encore de meilleures propriétés : leur gap élevé permet de fournir de forts courants à hautes fréquences ou la réalisation de composants originaux pour l'optoélectronique.

	μ_n ($cm^2/V \cdot s$)	bande interdite (eV)
<i>Si</i>	2000	1.12
<i>GaAs</i>	9000	1.43
<i>InP</i>	4600	1.35

TAB. 3.1 *Caractéristiques comparées des substrats III-V et silicium*

3.2.3 Les différents types de transistors

Le comportement des composants électroniques à semi-conducteurs est conditionné par la nature des interfaces ou jonctions qui en séparent les différentes parties constitutives (métalliques, diélectriques ou semi-conductrices) et par la façon dont les porteurs, électrons ou trous, longent ou traversent ces interfaces. Deux types de jonctions sont à distinguer : les **homojonctions** et les **hétérojonctions**.

Les homojonctions semi-conducteur/semi-conducteur sont les plus courantes jusqu'à la fin des années 80. Le semi-conducteur utilisé est alors généralement du silicium à dopage différent suivant l'interface, aussi bien pour les transistors **bipolaires** que pour les transistors à **effet de champ**. Ces filières sont aujourd'hui les plus matures (NMOS, CMOS, bipolaires et BiCMOS). L'arséniure de gallium comprend la filière à effet de champ de type MESFET (voir § 3.3.2).

Les hétérojonctions, qui ont vus le jour au milieu des années 80, sont des jonctions où se trouvent juxtaposés deux semi-conducteurs différents. Cette possibilité de combiner, au sein d'un même composant, des semi-conducteurs de structures de bandes différentes, apporte des degrés de liberté supplémentaires (changement de la largeur de gap, accroissement de la mobilité des porteurs) permettant de développer des composants nouveaux à performances améliorées, dont les transistors HEMT (transistor à effet de champs amélioré) et HBT (bipolaire).

Le tableau 3.2 [56] présente les fréquences de transition atteintes par les technologies de type CMOS sur silicium, sur SOI, BiCMOS et GaAs. La fréquence de transition, inversement proportionnelle à la longueur de grille, est la grandeur qui renseigne le mieux sur la vitesse maximale de fonctionnement des circuits.

La figure 3.1 récapitule les substrats et les différents types de composants possibles et leur do-

Technologie	f_t (GHz)
CMOS 0.35 μm	10
CMOS 0.12 μm	55
BiCMOS SiGe 0.25 μm	70
BiCMOS SiGe 0.13 μm	150
CMOS SOI 90 nm	150
GaAs P-HEMT 0.2 μm	63

TAB. 3.2 Comparaison des performances dynamiques des transistors

maines d'applications respectifs.

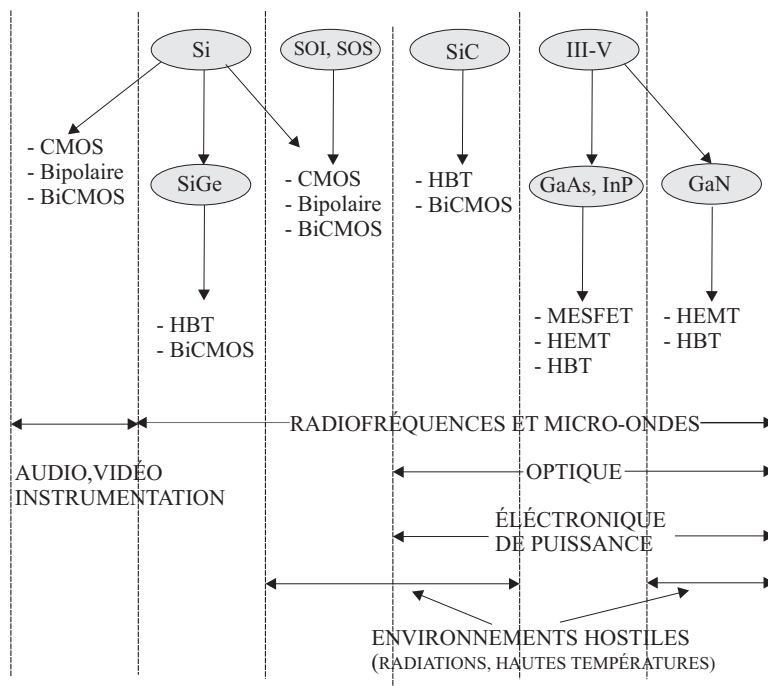


FIG. 3.1 Technologies intégrées et domaines d'applications

3.2.4 Technologie retenue

Notre objectif est de concevoir un circuit prototype de type modulateur sigma-delta pour la conversion directe de signaux radiofréquences autour de 750 MHz (cf chapitre 2). La technologie retenue par le CEA en amont du projet est une technologie GaAs P-HEMT 0.2 μm fournie par la société OMMIC. Les performances affichées sont compatibles avec les fréquences de travail visées. Cependant l'impossibilité d'intégrer des fonctions logiques complexes nous conduit à faire le choix d'une architecture monobit adaptée.

La suite de ce chapitre détaille les propriétés de la technologie GaAs P-HEMT 0.2 μm .

3.3 Dispositifs disponibles dans la technologie OMMIC

3.3.1 Présentation générale de la technologie OMMIC

La technologie GaAs P-HEMT $0.2 \mu m$ a été développée par le fondeur OMMIC spécifiquement pour des applications dans le domaine des micro-ondes et pour les circuits rapides pour les liaisons optiques. Sa fréquence de transition (f_t) se situe autour de 63 GHz. Les transistors disponibles dans cette technologie ont une longueur de grille de $0.18 \mu m$ qui n'est pas modifiable, et peuvent être de deux types : enrichis (E) ou déplétés (D). Leur structure physique contient une couche supplémentaire, qui leur donne le nom de P-HEMT (Pseudomorphic HEMT). Ces propriétés ont baptisé la filière ED02AH.

Les dispositifs réalisables dans cette technologie sont caractérisés suivant leur structure physique, leurs équations de fonctionnement, leur modèle petits signaux et les règles de dimensionnement. Ces dispositifs sont :

- les transistors P-HEMT (enrichis ou dépletés),
- les diodes : deux longueurs d'électrodes sont possibles en fonction de l'usage prévu,
- les inductances,
- les condensateurs, de deux types, l'un pour réaliser de fortes valeurs de capacités, l'autre pour des capacités de précision,
- les résistances, également de deux types, pour de fortes valeurs et pour des valeurs précises.

Pour ne pas nuire à la lisibilité du chapitre, un certain nombre d'équations sont placées en annexe B.

3.3.2 Transistor P-HEMT

Transistor HEMT et P-HEMT

Les transistors de type **MESFET** sont les premiers transistors à effet de champ à avoir été intégrés dans la filière GaAs. Leur structure est relativement simple (figure 3.2 A)). Elle se compose d'un substrat GaAs et d'une couche de GaAs dopée n. Les drains et sources sont formés par implantation et de l'or est utilisé pour le métal d'interconnexion. La métallisation de grille se fait avec un métal comme le titane ou le tungstène [57]. On note que la grille forme avec la couche GaAs dopée n une jonction métal-semiconducteur. Ceci est très important, car cette barrière Schottky remplace l'oxyde placé sous la grille dans les transistors de type MOS (SiO_2), car il n'y a pas d'oxyde pour la filière GaAs.

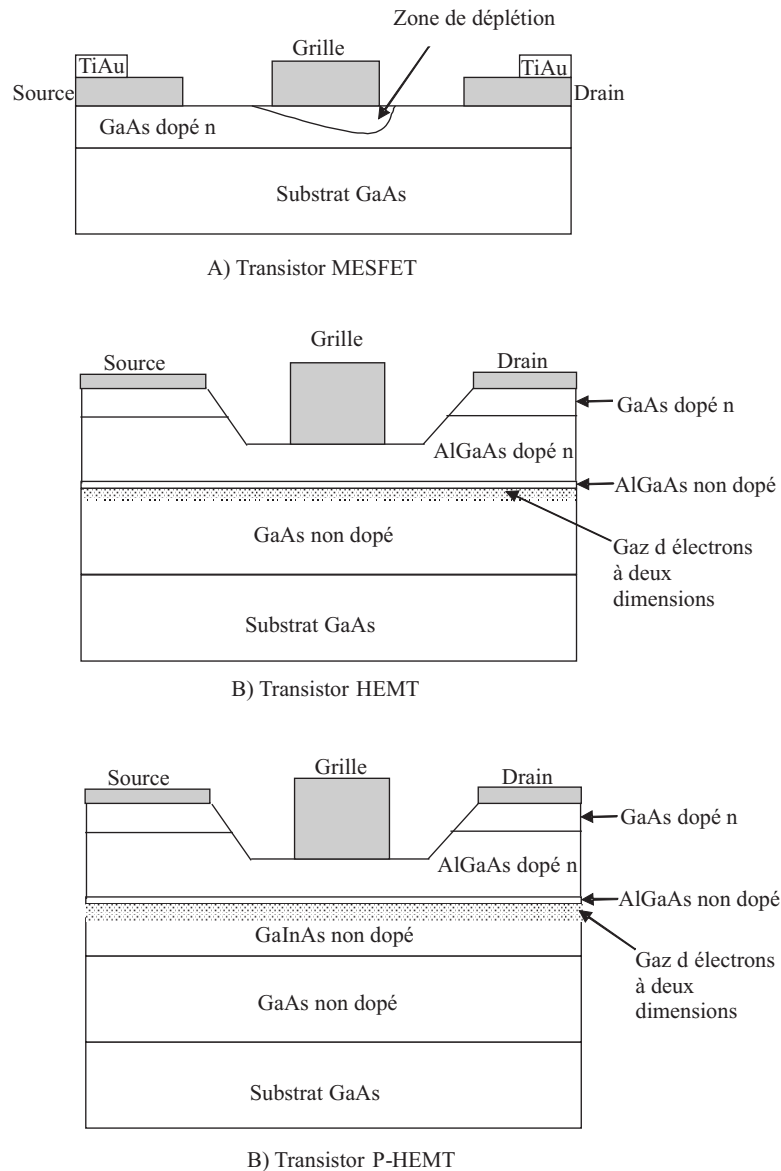


FIG. 3.2 *Vue en coupe des différents types de transistor dans la filière GaAs*

Les transistors MESFET ont pour inconvénient que la mobilité des électrons est limitée dans le GaAs par les impuretés des atomes introduits pour doper la couche. Il est donc préférable d'avoir un flux d'électrons se déplaçant dans une couche GaAs non dopée, où aucune impureté ne trouble leur déplacement. C'est le principe utilisé dans les transistors de type **HEMT** (*High Electron Mobility Transistor*). Les transistors de type HEMT se constituent d'une couche dopée AlGaAs adjacente à une couche non dopée GaAs. On les appelle donc en raison de l'empilement de couches dopées et non dopées les **MODFET** (*Modulation Doped Field Effect Transistor*). Les électrons sont fournis par la couche dopée AlGaAs, mais le flux d'électrons se produit dans la couche non dopée GaAs. Ceci est possible car la discontinuité des gaps entre les deux matériaux fait que les électrons fournis par les donneurs dans le AlGaAs restent dans le GaAs confinés dans un puits quantique [53] (figure 3.3). Les électrons sont électrostatiquement contraints de rester proches des atomes donneurs et restent donc

proches de la frontière entre les deux matériaux et sont nommés gaz d'électrons à deux dimensions. Ceci a donné lieu à l'acronyme **TEGFET** (*Two-dimensional Electron Gas Field Effect Transistor*). Leur structure physique est présentée sur la figure 3.2 B). Une très fine couche de AlGaAs non dopée est incluse entre le AlGaAs dopé et le GaAs non dopé. Cette couche permet d'isoler les atomes donneurs d'électrons de la couche AlGaAs des électrons du canal dans la couche GaAs non dopé. Naturellement, plus cette couche est épaisse, meilleure est l'isolation du canal, mais trop épaisse elle peut freiner le transfert des électrons de la couche donneuse vers le canal. En outre, comme il est difficile de faire de bons contacts ohmiques sur du AlGaAs, une couche fortement dopée GaAs est déposée sur celui-ci pour faciliter la fabrication de contacts ohmiques.

Une autre variante de transistor dans la filière GaAs a encore de meilleures propriétés. Il s'agit des transistors de type **P-HEMT**. Ils utilisent comme couche conductrice une couche de InGaAs plutôt que de GaAs car la mobilité des électrons y est plus grande et la discontinuité du gap avec le AlGaAs est plus grande également, ce qui conduit à un meilleur confinement des électrons [58]. Les HEMT de ce type sont qualifiés de pseudomorphiques alors que les autres sont dits conventionnels. La structure d'un P-HEMT de la technologie OMMIC est présentée sur la figure 3.2 C).

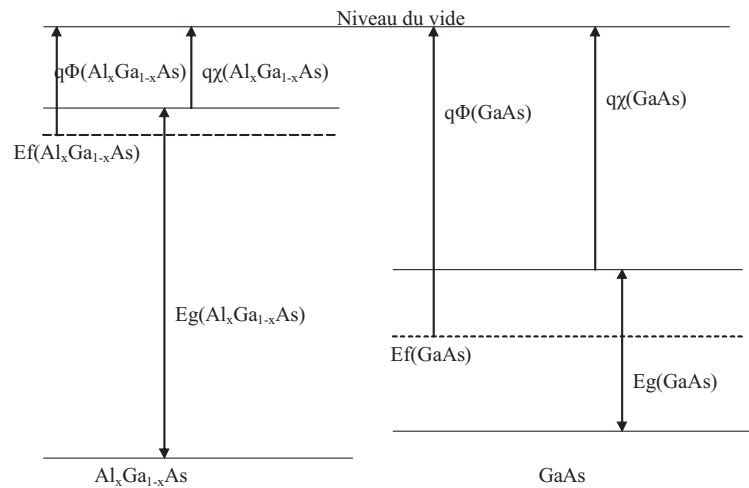


FIG. 3.3 Diagramme de bande d'une hétérojonction $Al_xGa_{1-x}As$ avant contact

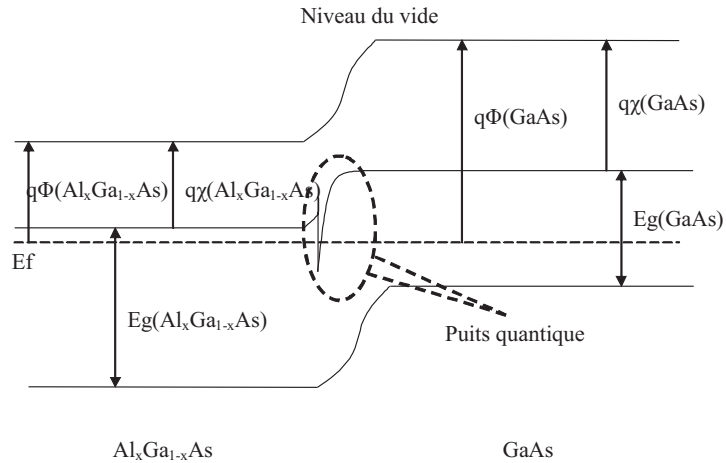


FIG. 3.4 Diagramme de bande d'une hétérojonction $Al_xGa_{1-x}As$ après contact

Types de transistor P-HEMT

Comme annoncé précédemment, deux types de transistors sont disponibles dans cette technologie : les P-HEMT enrichis (E) et les P-HEMT déplétés (D). L'intérêt d'avoir ces deux types de transistors est de pouvoir, en fonction de leur tension de seuil et pour une même polarisation, les faire fonctionner dans des régimes différents. Par exemple, dans la conception de circuits logiques DCFL, les transistors E sont utilisés en commutation et les transistors D en charge active. De même au chapitre 4, nous verrons que les transistors E sont plus adaptés pour la réalisation de la partie "accélération de la différence" du comparateur que les transistors D.

Les transistors disponibles dans la technologie ED02AH ont pour tension de seuil :

- $V_T = 0.1V$ pour les transistors enrichis (E), appelés aussi FET OFF.
- $V_T = -0.9V$ pour les transistors déplétés (D), aussi appelés FET ON.

Les performances de ces deux types de transistors sont présentées dans le tableau 3.3.

Caractéristiques	Minimale	Nominale
f_t du HEMT ON (GHz)	51	60
f_t du HEMT OFF (GHz)	54	63
gm du HEMT ON (ms/mm)	360	440
gm du HEMT OFF (ms/mm)	360	440

TAB. 3.3 Caractéristiques du transistor HEMT

Dans la technologie GaAs P-HEMT $0.2 \mu m$ seules les largeurs de grille des transistors peuvent être dimensionnées, les longueurs sont fixées à $0.2 \mu m$. La largeur maximale autorisée pour les transistors est de $400 \mu m$. L'implantation des grilles de transistors se fait sous forme de doigts, plus ces doigts sont nombreux et plus les résistances parasites sont faibles. La taille minimale d'un doigt est de $15 \mu m$.

Modèle en grands signaux

Les équations de fonctionnement des HEMT découlent du modèle Shichman et Hodges (S & H) établies pour le MOS et adaptées pour le JFET. Ce modèle a été amélioré à maintes reprises [59][60][61][62][63][64][65]. Les améliorations apportées tentent en général de mieux modéliser la transition entre la zone ohmique et la zone saturée. Les équations les plus complexes nécessitent de déterminer de nombreux paramètres. Pour le concepteur, le dimensionnement des transistors peut s'effectuer simplement avec les équations données par 3.3 pour la zone ohmique et 3.4 pour la zone saturée.

$$I_{gs} = \beta V_{ds} [2(V_{gs} - V_T) - V_{ds}] (1 + \lambda V_{ds}) \quad (3.3)$$

dans la zone ohmique de polarisation : $V_{ds} < V_{gs} - V_T$

$$I_{ds} = \beta (V_{gs} - V_T)^2 (1 + \lambda V_{ds}) \quad (3.4)$$

dans la zone saturée de polarisation : $V_{ds} > V_{gs} - V_T$

où V_T , β et λ sont des paramètres dépendant de la structure physique du transistor, de son type et de ses dimensions.

Modèle en petits signaux

Le modèle en petits signaux conditionne la conception de circuits en hautes fréquences. Ce modèle linéaire permet d'envisager le comportement d'un circuit en tenant compte des capacités parasites qui limitent ses performances. Le dimensionnement doit donc s'effectuer de manière à minimiser l'influence de ces capacités. Certaines structures doivent être privilégiées (§ 3.4). Le modèle petits signaux du transistor fourni par le fondeur est présenté à la figure 3.5.

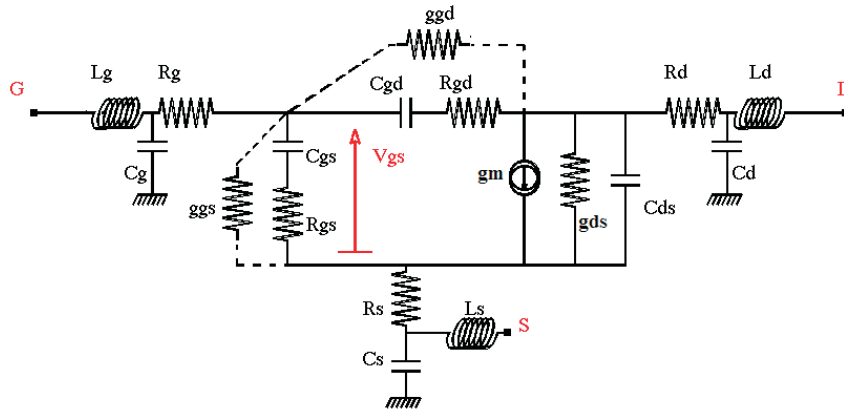


FIG. 3.5 *Modèle en petits signaux du transistor HEMT*

Les paramètres de ce modèle sont :

La transconductance : La transconductance g_m est définie comme la variation du courant I_{ds} en fonction de la tension V_{gs} à V_{ds} constant. La transconductance d'un transistor est ainsi

directement proportionnelle à la largeur de grille de celui-ci ($gm \propto w_{transistor}$), comme on peut le déduire des équations 3.4 et 3.3.

La conductance de sortie : La conductance de sortie g_{ds} est définie comme la variation du courant I_{ds} en fonction de V_{ds} à V_{gs} constant.

La capacité grille-source : La capacité C_{gs} décrit l'interaction capacitive sous la grille, entre la grille et la source. Sa valeur est majoritairement déterminée par la capacité de la zone de charge d'espace de la jonction Schottky grille-source. L'expression de la capacité C_{gs0} , c'est à dire la capacité de la jonction en l'absence de polarisation pour les transistors P-HEMT est très complexe [65]. Les valeurs nous sont fournies par le fondeur dans des tables en fonction de la polarisation du transistor. Pour le dimensionnement du transistor, le fait important est que C_{gs} est directement proportionnel à la largeur de la grille (w) et au nombre de doigts du transistor (Nbd) :

$$C_{gs} = C_{gs0}w + NbdC_{gse} \quad (3.5)$$

où $C_{gse}=1.5$ fF et C_{gs0} ne dépasse pas 1200 fF/mm.

La capacité grille-drain : La capacité C_{gd} est définie comme l'interaction capacitive dans le semi-conducteur entre la grille et le drain. Elle reflète la variation de la quantité de charge dans la zone de charge d'espace de la jonction Schottky à tension V_{gs} constante. L'influence du dimensionnement sur la valeur de C_{gd} est la même que pour C_{gs} : la valeur de C_{gd} est directement proportionnelle à w et Nbd . Or un bon dimensionnement est important car cette capacité détériore les performances dynamiques :

1. par rétroaction à haute fréquence : C_{gd} relie alors directement l'entrée du transistor à sa sortie et peut provoquer des instabilités.
2. par effet Miller : une partie de C_{gd} (ou multiple de C_{gd}) se trouve ramenée à l'entrée du montage augmentant sa capacité d'entrée.

La capacité drain-source : La capacité C_{ds} a pour origine l'interaction capacitive entre les deux régions du canal sous les contacts ohmiques de drain et de source. Sa valeur est plus faible que les valeurs de C_{gs} et C_{gd} quand le transistor est en régime saturé, mais elle peut être six fois plus élevée lorsque $V_{gs} > V_{ds}$.

Les résistances R_{gs} , R_{gd} et R_{ds} Même si le contact de la grille avec le semi-conducteur crée une zone déplétée sous la grille, les zones qui sont à la périphérie de celle-ci ne sont pas totalement déplétées. Elles sont à l'origine des résistances R_{gs} , R_{gd} et R_{ds} . La valeur de ces résistances est inversement proportionnelle à la largeur de grille.

Les éléments parasites d'accès : Un certain nombre d'éléments modélisant les accès aux transistors peuvent être pris en compte pour une analyse plus fine des comportements dynamiques : les résistances d'accès R_d et R_s , les inductances d'accès L_g , L_d et L_s et les capacités d'accès C_g , C_d et C_s . Un ordre de grandeur pour chacun de ces éléments est donné dans le tableau 3.4.

Éléments	valeur
Lg	38 pH
Ld	38 pH
Ls	10 pH
Cg	20 fF
Cd	20 fF
FET ON $R_s = R_d$	0.54 ohm.mm
FET OFF $R_s = R_d$	0.65 ohm.mm

TAB. 3.4 *Ordre de grandeur des éléments d'accès*

L'expression de la résistance d'accès R_g démontre l'intérêt de prendre un nombre de doigts (N_{bd}) maximal :

$$R_g = R_{g0} \times \frac{w}{N_{bd}^2} \quad (3.6)$$

où $R_{g0} = 220 \Omega$ pour 1 doigt de 1 mm.

Les conductances g_{gd} et g_{gs} sont les conductances grille-drain et grille-source lorsque :

- la jonction grille-drain est polarisée en direct ($V_{gd} \gg 0.2V$) ou fortement inversée ($V_{gd} \ll -V_T$).
- la jonction grille-source est polarisée en direct ($V_{gs} \gg +0.2V$) ou fortement inversée ($V_{gs} \ll -V_T$).

Ces conductances sont nulles lorsque le transistor est en régime normal de fonctionnement.

Modèle non linéaire pour la simulation

Le modèle non linéaire proposé par le fondeur pour les simulations sous Pspice est le modèle dit "TOM2" (fig 3.6). Il se compose de deux modèles du FET en GaAs ("level 5") en parallèle pour obtenir une meilleure approximation de la transconductance en fonction de la tension grille-source ($gm = f(V_{gs})$) et une meilleure approximation de la conductance de sortie en fonction de la fréquence ($g_{ds} = f(freq)$).

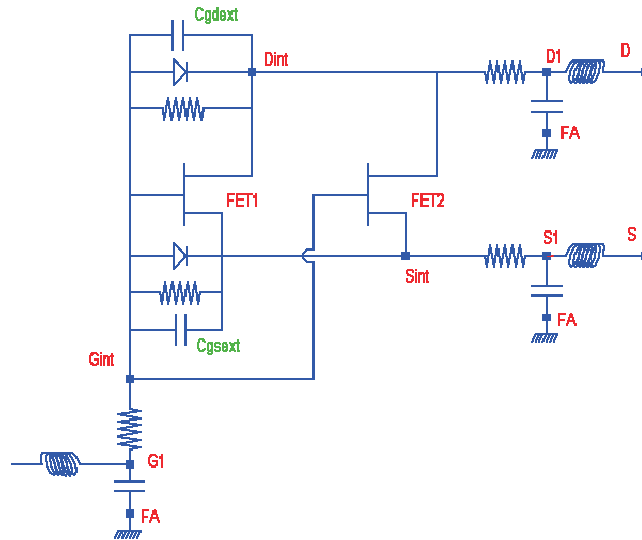


FIG. 3.6 Modèle du HEMT pour le simulateur

3.3.3 Diodes

Les diodes peuvent être utilisées :

- pour des décalages en tensions, quand elles sont polarisées en direct,
- ou bien comme capacités variables lorsqu'elles sont polarisées en inverse.

Structure physique

Les diodes sont de type Schottky. Deux types de diodes peuvent être implantées sur le semi-conducteur $GaAs$ (figure 3.7A) et B)) avec pour électrodes :

1. le métal de grille des transistors (GM) de longueur $0.2 \mu m$.
2. le métal BE, c'est à dire un alliage à base de platine, de titane et d'or ($TiPtAu$) et de longueur $3 \mu m$.

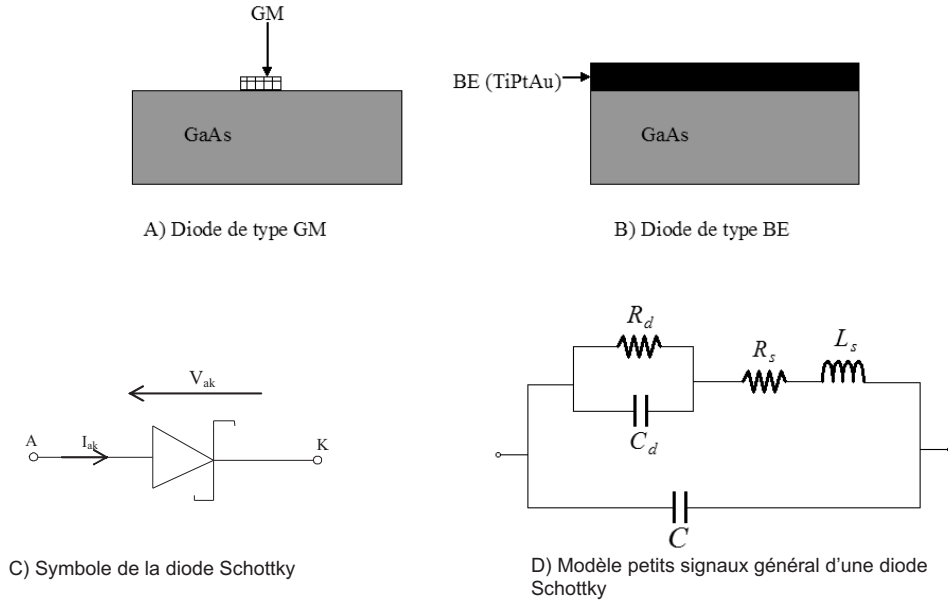


FIG. 3.7 Structure physique des diodes en technologie OMMIC, symbole général et modèle petits signaux général

Les diodes ont donc des longueurs d'électrode fixes, mais des largeurs variables. La largeur maximale autorisée pour les diodes est de $400 \mu m$ et l'implantation des électrodes des diodes est interdite comme pour les transistors. Les diodes du deuxième type (électrode BE) permettent de réaliser des décalages en tension plus importants et de meilleures capacités variables.

Modèle en grands signaux

Le symbole de la diode Schottky est présenté à la figure 3.7 C). Pour les diodes de types BE et GM, deux modèles non linéaires (cf annexe B) permettent de modéliser leur comportement. Ils sont composés d'une ou plusieurs diodes classiques dont l'expression du courant la traversant s'écrit :

$$I_{ak} = I_s \left[\exp \left(\frac{qV_{ak}}{n_d \cdot k \cdot T} \right) - 1 \right] \quad (3.7)$$

où I_s est le courant de saturation de la diode, n_d le coefficient d'injection de la diode qui est égal à 1.35 pour les diodes de type BE et 1.3 pour les diodes de type GM, T la température, $q/k = 11679$ pour les deux types de diodes, et V_{ak} la tension à ses bornes.

Le courant de saturation de la diode dépend directement des dimensions de celle-ci et s'exprime en femto-ampère (fA) par :

$$I_s = 9 \cdot w + 1474 \cdot N_{bd} \quad (3.8)$$

où w est la largeur de l'électrode et N_{bd} le nombre de doigts de celle-ci.

Par conséquent la tension de décalage (V_d) aux bornes de la diode s'exprime :

$$V_d = \frac{n_d \cdot k \cdot T}{q} \cdot \ln \left(\frac{I_{diode}}{9 \cdot w + 1474 \cdot N_{bd}} + 1 \right) \quad (3.9)$$

La largeur des diodes doit donc être faible pour avoir un décalage en tension maximal.

Modèle en petits signaux

Le modèle en petits signaux d'une diode Schottky est présenté à la figure 3.7 D). La résistance différentielle R_d diminue avec la largeur w de l'électrode. La capacité différentielle (C_d) qui résulte de la zone de déplétion sous la grille s'exprime par :

$$C_d = S \left[\frac{qN_d\epsilon_s}{2(V_{bi} - V)} \right]^{1/2} \quad (3.10)$$

où S est la surface de la section, N_d la concentration en donneur de la jonction, V_{bi} le potentiel de construction qui dépend du dopage de la jonction, ϵ_s la permittivité du semi-conducteur et V la tension qui est appliquée sur la grille. Ces éléments du circuit sont en série avec la résistance série (R_s) et l'inductance série (L_s), éléments parasites liés à l'accès à la diode. La capacité (C) s'exprime en fonction des dimensions de la section :

$$C = \frac{\epsilon S}{L} \quad (3.11)$$

où L est la longueur de la section.

Fonctionnement en capacité variable

La barrière Schottky formée crée à l'équilibre en dessous du contact une zone de déplétion, car les électrons quittent le semi-conducteur pour rejoindre le métal. Quand la diode est polarisée en inverse, la largeur de la zone désertée augmente avec la tension inverse, de ce fait la capacité diminue. On peut donc utiliser la diode comme une capacité C_{var} qui va varier en fonction de la tension inverse V , elle est environ égale à :

$$C_{var} = C + C_d \quad (3.12)$$

où C est la capacité "géométrique" de la jonction et C_d la capacité résultant de la zone de déplétion sous la grille, zone dont la profondeur dépend du potentiel V appliqué. C'est cette dernière capacité qui permet la réalisation de varicaps.

Les capacités C et C_d sont directement proportionnelles à la surface de la section (equations 3.14 et 3.15), ainsi pour obtenir à la fois la plus grande capacité possible et la plus grande plage de variation, la largeur de l'électrode (w) doit être maximisée.

3.3.4 Inductances intégrées

Structure physique

Le nombre de niveaux de métaux et le type d'enroulement des inductances peut varier [66]. La réalisation des inductances intégrées dans la technologie étudiée s'effectue par un dépôt de métal ($TiPtAu$) de $1.25 \mu m$ d'épaisseur en spirale carrée, que l'on appellera *ruban*, sur l'isolant SiO_2 . Le retour de la spirale s'effectue avec le métal de la couche inférieure d'épaisseur $0.65 \mu m$ (figure 3.8c)).

Les valeurs d'inductances minimales et maximales que l'on peut réaliser dans cette technologie sont $1nH < L < 10nH$.

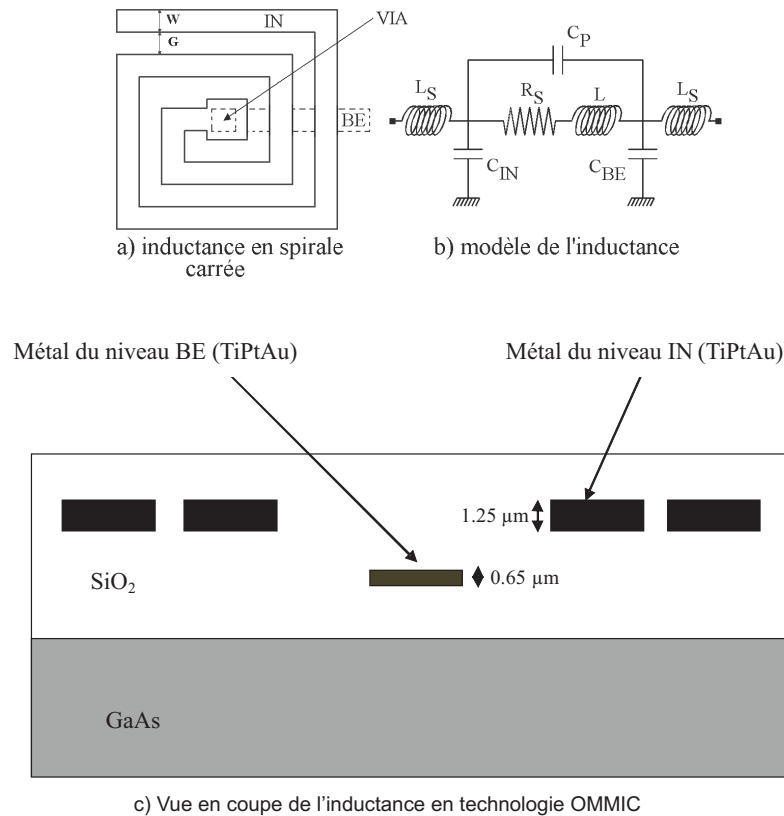


FIG. 3.8 *Vue de dessus, modèle petits signaux et vue en coupe de l'inductance dans la technologie OMMIC*

La figure 3.8a) présente le schéma de la inductance en spirales carrées vue de dessus et la figure 3.8b) son modèle en petits signaux. Les grandeurs à dimensionner, sachant que l'épaisseur de la trace e_{trace} est imposée par le fondeur, sont :

1. la largeur de la trace de métal W , les limites de dimensionnement sont $5 \mu m < W < 15 \mu m$,
2. l'espace séparant deux traces de métal G que l'on appelle aussi *gap*, les limites de dimensionnement sont $5 \mu m < G < 15 \mu m$
3. la longueur de la trace P

La valeur des éléments du modèle dépend directement des dimensions précédemment citées de la inductance. Les éléments du modèle sont :

L'inductance L_{tot} : La valeur de l'inductance de la inductance intégrée peut-être évaluée par de nombreuses formules [42][66], la plus employée étant celle de Greenhouse [67]. Le fondeur fournit aussi ses propres équations, permettant le calcul de l'inductance en fonction des dimensions (e_{trace} , G , W , P). Ces équations se trouvent en annexe B. L'inductance totale (L_{tot}) s'exprime

comme la somme de l'inductance résultant du bobinage (L) et des inductances d'accès (L_s) :

$$L_{tot} = L + 2L_s \quad (3.13)$$

La capacité C_p : La capacité parasite parallèle C_p modélise le couplage entre deux traces métalliques adjacentes. Elle diminue lorsque le gap (G) augmente (voir annexe B).

Les pertes (R_s) : Les effets résistifs dans la trace de métal composent en majeure partie la résistance parasite série R_s . Ces pertes augmentent avec la fréquence à cause de l'effet de peau. En régime continu (où $R_s = R_{DC}$), et en régime harmonique lorsque l'épaisseur de peau est plus large que la largeur de la trace, toute la section de la trace conduit le courant et les pertes résistives sont dues uniquement à la résistivité ρ du métal employé. Pour les fréquences au-dessus desquelles l'épaisseur de peau est égale à l'épaisseur de la trace, c'est à dire pour $f > f_b$ (voir annexe B), la section effective se réduit, ce qui se traduit par une augmentation des pertes. La figure 3.9 présente l'évolution de la résistance R_s en fonction des fréquences d'utilisation pour une inductance de 5 nH avec le dimensionnement $W = 15 \mu m$ et $G = 10 \mu m$.

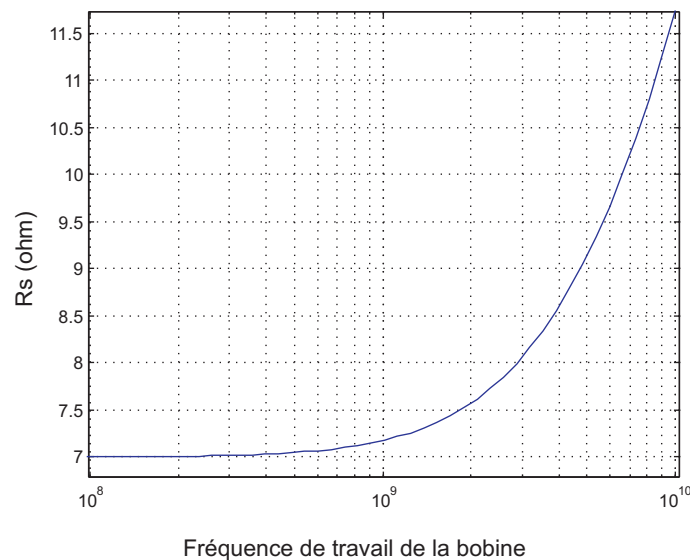


FIG. 3.9 Evolution de la résistance R_s en fonction de la fréquence

Dimensionnement de l'inductance

Comme pour tout autre composant et de façon plus critique encore, le dimensionnement de l'inductance va déterminer ses performances. Pour obtenir des inductances de bonne qualité les règles de dimensionnement suivantes sont à observer :

1. Choisir une largeur de trace (W) la plus élevée possible afin de minimiser les pertes R_s . Ceci conduit à augmenter la longueur de la trace P (figure 3.10).

2. Choisir une taille de gap (G) la plus élevée possible pour diminuer la capacité de couplage C_p , ce qui conduit également à augmenter la longueur de la trace (figure 3.11). Pour limiter la surface occupée par l'inductance on peut choisir une valeur de gap intermédiaire à condition de vérifier que la fréquence propre de l'inductance ne nuit pas à l'application voulue. A titre d'illustration, pour le dimensionnement suivant : $L = 5$ nH, $W = 15$ μ m, $G = 10$ μ m, la capacité C_p a une valeur de 6.3 fF ce qui conduit à une fréquence propre d'environ 9 GHz.

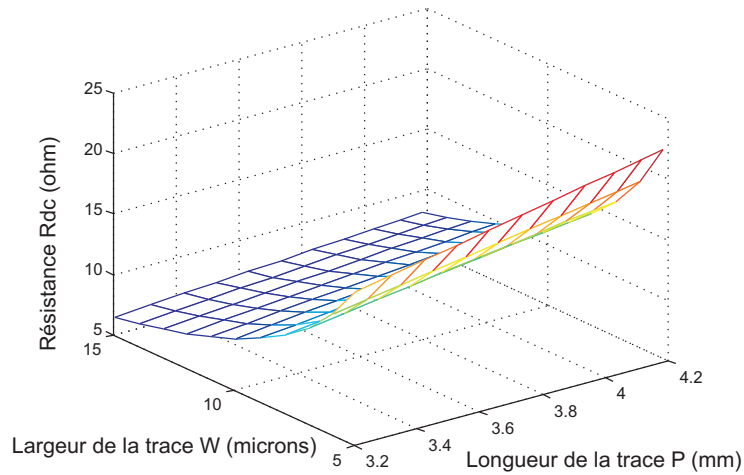


FIG. 3.10 Résistance de perte statique R_{DC} en fonction de P et W avec $G = 10\mu$ m et $L = 5$ nH

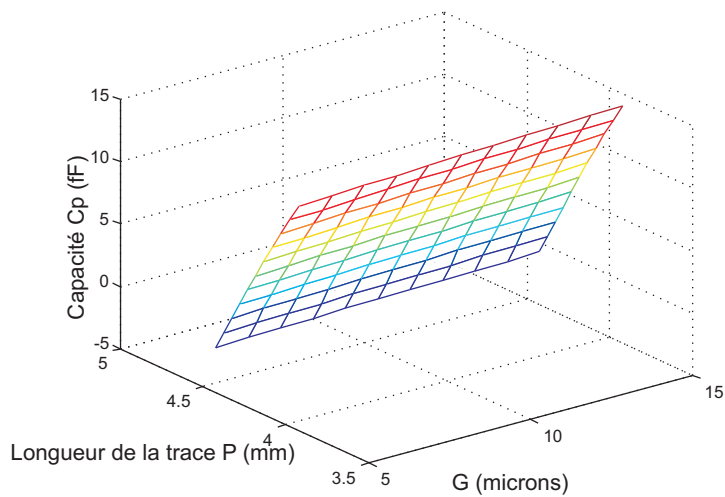


FIG. 3.11 Capacité parasite C_p en fonction de P et G avec $W = 15\mu$ m et $L = 5$ nH

3.3.5 Condensateurs intégrés

Structure physique

La structure physique des condensateurs proposés dans la technologie OMMIC peut être de deux types :

- Les condensateurs à diélectrique nitrure de silicium (SiN) : ils sont fabriqués en utilisant la fine couche (150nm) de SiN entre la première couche de métal (BE) et la couche de métal TE (voir figure 3.12A) et B)).
- Les condensateurs à diélectrique $SiN + SiO_2$: ils sont fabriqués en utilisant la fine couche de SiN et la couche de SiO_2 (850 nm) entre le premier niveau de métal BE et le métal d'interconnexion IN (figure 3.12).

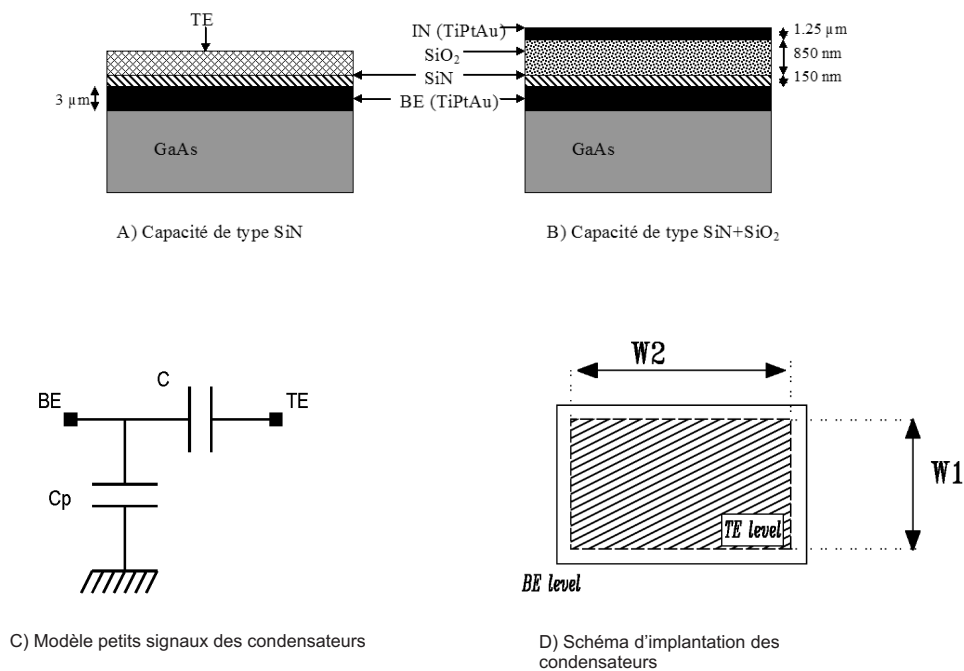


FIG. 3.12 Structure physique des condensateurs dans la technologie OMMIC, modèle petits signaux, schéma d'implantation

Les capacités du type A) permettent la réalisation de plus fortes valeurs (au-delà de 1 pF), alors que les capacités du type B) permettent la réalisation de capacité de précision (de l'ordre de 0.1 pF). Le tableau 3.5 présente la capacitances des différents type de condensateurs.

Capacitance	Minimale	Nominale	Maximale
SiN (pF/mm^2)	345	400	455
SiN + SiO ₂ (pF/mm^2)	40	49	60

TAB. 3.5 Capacitance des couches implantées

Les valeurs de capacités minimales et maximales que l'on peut réaliser dans cette technologie sont $0.1 \text{ pF} < C < 10 \text{ pF}$.

Modèle petits signaux

Le modèle équivalent petits signaux des capacités est présenté à la figure 3.12 C).

la capacité C dépend de la surface des métaux en regard. L'expression de cette capacité est la somme d'un terme capacitif prépondérant dû aux armatures métalliques en regard et d'une constante appelée capacité périmétrique due aux effets de bords.

$$C = \alpha S + \beta P \quad (3.14)$$

avec $\beta = 5 \times 10^{-4}$ et

$$\alpha = \frac{\varepsilon_0 \varepsilon_R}{e} \quad (3.15)$$

où ε_0 est la permittivité du vide, ε_R est la permittivité relative de l'isolant et e l'épaisseur d'isolant. La surface des armatures en regard est donné par (fig ??) :

$$S = W_1 \times W_2 \quad (3.16)$$

la capacité parasite C_p dépend du couplage métal-plan de masse (voir § sur les interconnexions).

Dimensionnement

Les grandeurs à dimensionner pour les capacités sont W_1 et W_2 la largeur et la longueur de la surface capacitive (figure 3.12 D)) Généralement on préfère dimensionner des condensateurs carrés élémentaires. L'association de ces condensateurs en parallèle peuvent servir à la réalisation de capacités plus élevées. Ceci permet de mieux maîtriser les effets de bords. Par ailleurs, pour symétriser les éléments parasites, on implante les condensateurs en tête-bêche.

3.3.6 Résistances intégrées

Structure physique

Deux types de résistances sont proposées dans la technologie OMMIC :

- Les résistances "implantées" : elles sont constituées de la couche épitaxiale active, c'est à dire l'hétérostructure (Ga,Al)As - (Ga,In)As - GaAs utilisée pour les transistors (voir figure 3.13 A)). Elles permettent de réaliser des résistances de plus fortes valeurs.
- Les résistances NiCr : Elles sont fabriquées à partir d'une fine couche de *NiCr* appelée MD. Elles sont plus linéaires que les résistance utilisant la couche active car elles ne sont pas sensibles aux éventuelles variations de tension. On les utilise pour réaliser des résistances de précision.

Le tableau 3.6 présente la résistivité des couches utilisées.

Résistivités	Minimale	Nominale	Maximale
NiCr (Ohms/carrée)	35	40	45
GaAs (Ohms/carrée)	180	195	215

TAB. 3.6 Résistivités des couches implantées

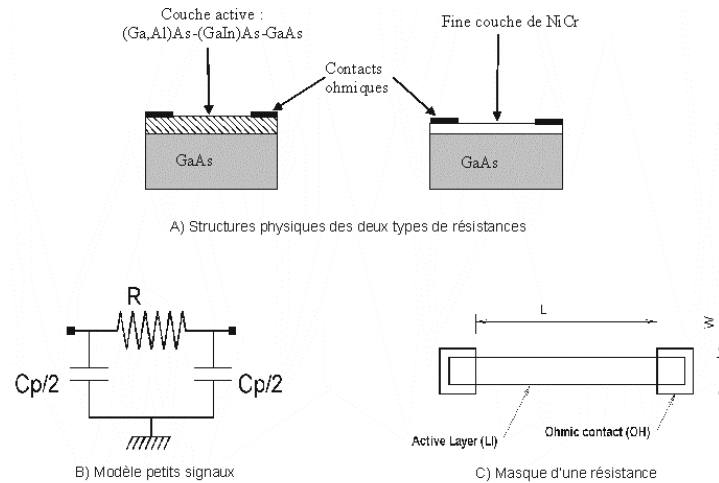


FIG. 3.13 Vue en coupe des résistances, modèle petits signaux, schéma d'implantation

Modèle petits signaux

Le schéma équivalent petits signaux des résistances intégrées est présenté à la figure 3.13 B). Le modèle se compose de :

La résistance R dont la valeur dépend des dimensions de la piste résistive (figure 3.13 C)). La résistance se calcule de la façon suivante, W est en μm :

$$R(\Omega) = \frac{2000R_{couche_active} + R_{contact_ohmique}L}{W - 1} \quad (3.17)$$

où R_{couche_active} représente la résistivité du NiCr ou de l'GaAs et $R_{contact_ohmique}$ la résistivité du contact ohmique. Une attention particulière doit être portée à la largeur de la piste W pour s'assurer qu'elle pourra supporter les courants qui la traverse.

Des capacités parasites C_p qui résultent du couplage entre la piste résistive et le plan de masse.

Dimensionnement

Les grandeurs à dimensionner pour réaliser la résistance (figure 3.13 C)) sont :

- L la longueur de la piste résistive, et
- W la largeur de la piste résistive.

Aucune limite n'est donnée pour les valeurs de résistance réalisables.

3.3.7 Interconnexions

Structure physique

Les lignes de connexions sont réalisées avec les niveaux IN et BE de métaux. Les connexions entre les blocs élémentaires du circuit peuvent engendrer une détérioration du fonctionnement du circuit global car elles introduisent des éléments parasites résistifs, capacitifs ou inductifs en fonction de la largeur du ruban.

Capacités parasites

L'expression approchée de la capacité résultant du couplage des armatures ligne/plan de masse à travers le substrat est donnée par :

$$C(pF) = S [8,48 + 0.003H_{sub}] 10^{-7} + P [7,5176 - (4,776 \cdot 10^{-3} \cdot H_{sub})] 10^{-5} \quad (3.18)$$

où S est la surface de la connexion, P est le périmètre de la connexion, et H_{sub} est l'épaisseur du substrat (100 μm dans notre cas). Cette expression donne un résultat en pF par mm ou en fF par μm . Par exemple une ligne utilisant le métal IN de longueur 400 μm , de largeur 8 μm , sur un substrat d'épaisseur 100 μm réalise une capacité C_p de 60 fF.

Les croisements de lignes de connexion créent aussi des capacités parasites : la capacité résultant d'un croisement IN/BE est de 35 fF.

Résistances parasites

Dans la technologie utilisée, les lignes de connexion peuvent être de deux types : IN et BE. Leur résistivité sont différentes, et on peut être amené à les utiliser alternativement pour la même connexion pour réaliser des croisements. Il faut donc dans ce cas tenir compte aussi de la résistance de contact entre ces deux métaux.

type de ligne	résistivités
métal BE (Ohms/carré)	0.067
métal IN (Ohms/carré)	0.0275
contact IN/BE (Ohms)	0.16

TAB. 3.7 Résistivités des lignes de connexion

La résistance parasite peut être évaluée en connaissant la résistivité des matériaux de connexion.

$$R_{tot} = nR_{contact_IN/BE} + N_{BE}R_{BE} + N_{IN}R_{IN} \quad (3.19)$$

où n est le nombre de contact entre les métaux IN et BE

$R_{contact_IN/BE}$ est la résistance de contact entre IN et BE,

N_{BE} est le nombre de carré de métal BE,

R_{BE} est la résistivité du métal BE,

N_{IN} est le nombre de carré de métal IN,

R_{IN} est la résistivité du métal IN.

A titre d'exemple, la ligne évoquée au paragraphe précédent (longueur = 400 μm , largeur = 8 μm , épaisseur du substrat = 100 μm) de type IN a une résistance équivalente R_p de 1.4 Ω .

Dimensionnement

Comme les expressions des éléments parasites le laissent prédire, il faut d'une façon générale :

- préférer les connexions les moins résistives (de type IN),
- limiter la longueur des interconnexions,
- maximiser leurs largeurs pour diminuer les résistances parasites.

3.4 Montages préférentiels

La technologie GaAs HEMT 0.2 μm ne dispose pas de transistors de type P, les architectures classiques du CMOS ne sont pas transposables. Par ailleurs, compte-tenu de la fréquence à laquelle les circuits constitutifs du modulateur devront fonctionner, il est crucial d'une part de choisir des montages adaptés aux fréquences élevées et d'autre part d'effectuer un dimensionnement correct (pour diminuer C_{gs} , C_{gd} ...). La suite de ce chapitre n'aborde pas le dimensionnement de façon détaillée mais présente un certain nombre de montages adaptés aux hautes fréquences.

Les montages de base sont d'abord rappelés : les montages source commune, grille commune, et drain commun. Leur rôle respectif est brièvement commenté. Leurs avantages et inconvénients sont analysés à partir d'un modèle petits signaux simplifié. Ce modèle comprend les éléments les plus importants (C_{gs} , C_{gd} , g_m et g_{ds}) pour la compréhension du comportement du montage en régime harmonique. Les éléments d'accès (R_d , R_s , C_g , C_d , C_s , L_g ...) évoqués au § 3.3.2 ont de faibles valeurs et ne peuvent être dimensionnés par le concepteur et la capacité C_{ds} présente des valeurs très inférieures à celles de C_{gs} et C_{gd} lorsque le transistor est en zone saturée, c'est pourquoi ces éléments ne sont pas pris en compte dans les calculs. A titre d'exemple, les impédances de sortie des différents montages de base sont calculées à 1 GHz, pour les valeurs indicatives $g_{ds} = 0.5$ mS, $g_m = 5$ mS, $C_{gd} = 0.05$ pF et $C_{gs} = 0.1$ pF.

Les montages que nous appelons préférentiels sont des primitives de conception et présentent un certain nombre d'avantages dans le cadre de la conception radiofréquence en GaAs. Ces montages préférentiels sont :

- le cascode,
- l'amplificateur différentiel à transconductance,
- le décaleur de tension,
- les sources de courant à haute impédance de sortie,
- les condensateurs de liaison.

3.4.1 Structures de base

Montage source commune (SCV \rightarrow I)

Ce montage réalise la fonction source de courant commandée en tension (SCV \rightarrow I) que nous appellerons par la suite **transconductance**. L'entrée se fait sur la grille du transistor et la sortie en courant sur le drain de celui-ci. La figure 3.14 présente en A) la fonction visée par ce type de montage, en B) le montage en source commune et en C) le modèle en petits signaux simplifié.

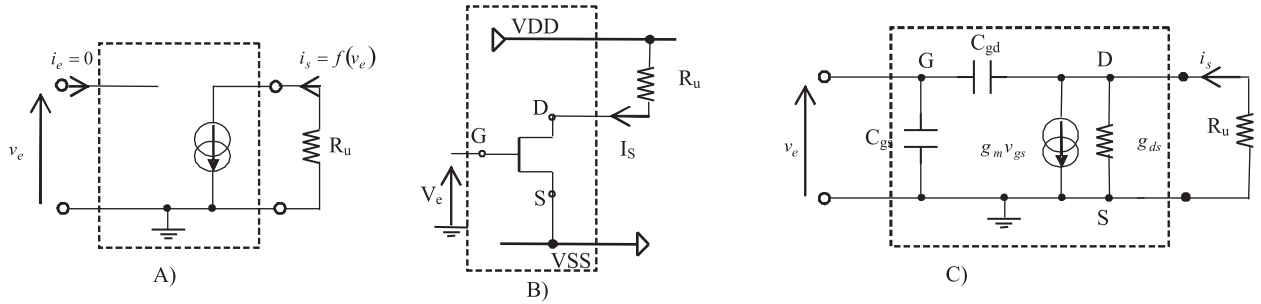


FIG. 3.14 Montage source commune

L'inconvénient de ce montage pour son utilisation en hautes fréquences est qu'il est affecté par l'effet Miller. En effet, la capacité C_{gd} est ramenée à l'entrée en proportion du gain en tension (A_v) du montage, comme cela est visible sur l'expression de l'admittance d'entrée :

$$Y_e = j\omega C_{gs} + j\omega C_{gd}(1 - A_v) \quad (3.20)$$

où A_v est le gain en tension : $A_v = -g_m R_u$.

L'impédance d'entrée de l'étage qui charge le montage source commune (R_u) est déterminant pour l'utilisation de ce montage en haute fréquence. Cette charge devra être la plus faible possible pour ramener une moindre proportion de C_{gd} à l'entrée.

L'impédance de sortie de ce montage est relativement élevée (equation 3.21) puisqu'elle dépend en premier lieu de la conductance de sortie g_{ds} qui est faible :

$$Z_s = \frac{1}{g_{ds} + j\omega C_{gd}} \quad (3.21)$$

A titre d'exemple, le calcul de l'impédance de sortie du montage source commune, avec les valeurs de g_{ds} et C_{gd} donné en introduction, donne $Z_s = 2 \text{ k}\Omega$.

Montage grille commune (SCI \rightarrow I)

Ce montage réalise une source de courant commandée en courant (SCI \rightarrow I) de gain idéalement égal à -1. L'entrée en courant se fait par la source du transistor et la sortie en courant par le drain de celui-ci. La figure 3.15 représente en A) la fonction visée, en B) le montage en grille commune et en C) le modèle en petits signaux simplifié.

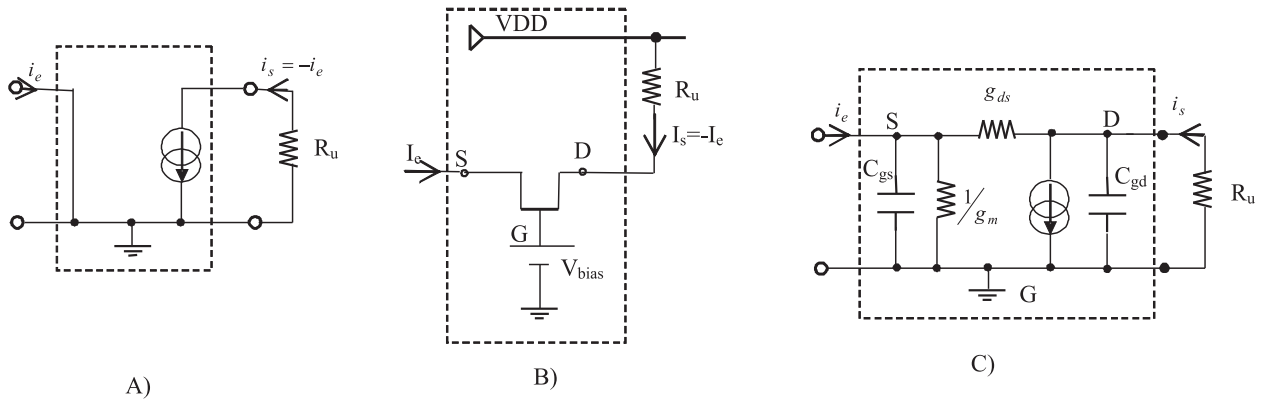


FIG. 3.15 Montage grille commune

L'expression simplifiée de l'admittance d'entrée est :

$$Y_e = g_m + j\omega C_{gs} \quad (3.22)$$

La seule capacité présente en entrée est donc C_{gs} . L'absence d'effet Miller au premier ordre laisse présager une plus grande rapidité que le montage source commune. De plus, comme l'admittance d'entrée ne dépend pas de la charge en sortie, ce montage se caractérise par une bonne **unidirectionnalité**.

Comme pour le montage source commune, l'impédance de sortie de ce montage reste forte :

$$Z_s = \frac{1}{j\omega C_{gd} + j\omega C_{gs} \left(\frac{g_{ds}}{j\omega C_{gs} + g_{ds} + g_m} \right)} \quad (3.23)$$

L'application numérique à 1 GHz avec les valeurs de g_{ds} , C_{gs} , C_{gd} et g_m citées en début de paragraphe donne $Z_s = 8 \text{ k}\Omega$.

Montage drain commun (SCV \rightarrow V)

Ce montage réalise la fonction de source de tension commandée en tension (SCV \rightarrow V) avec un gain idéalement égal à l'unité, appelé aussi **suiveur de tension**. L'entrée se fait sur la grille du transistor et la sortie sur sa source. La figure 3.16 représente en A) la fonction réalisée en B) le montage en drain commun, en C) le modèle petits signaux au premier ordre et la figure D) nous permet de mieux visualiser le montage comme une SCV \rightarrow V (si $Z_s \ll R_u$)

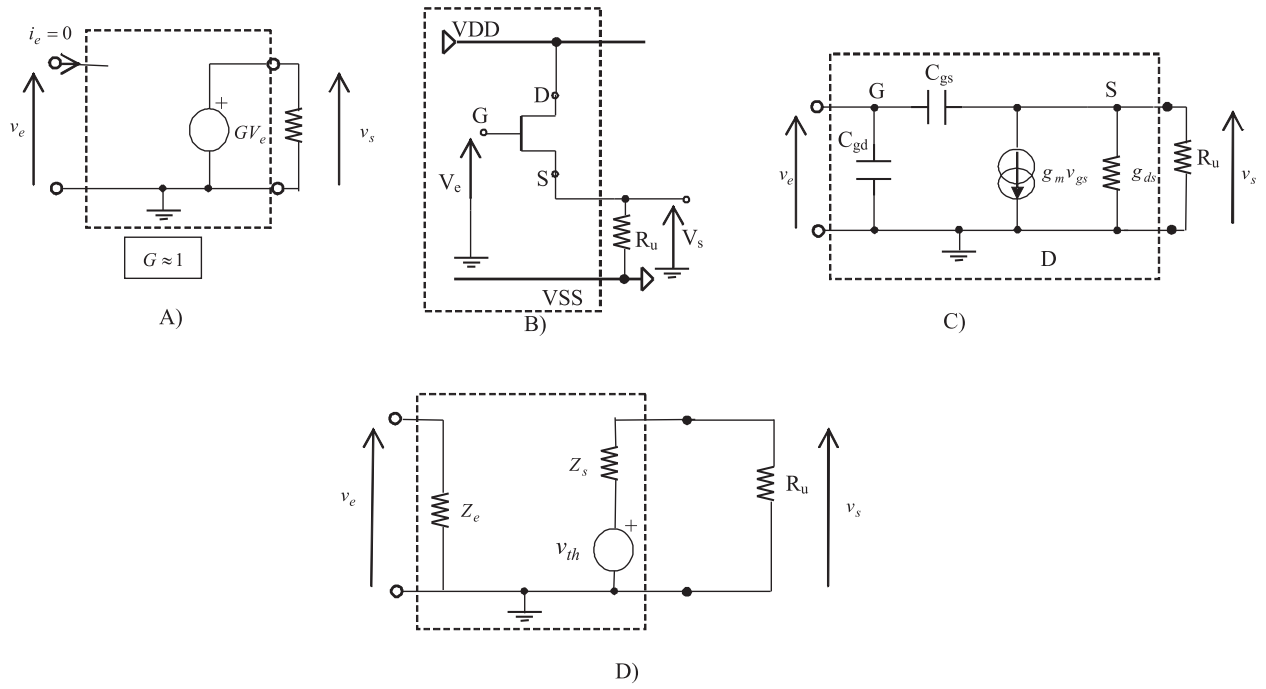


FIG. 3.16 Montage drain commun

L'expression simplifiée de l'admittance d'entrée est :

$$Y_e = j\omega C_{gd} + j\omega C_{gs} (1 - A_v) \quad (3.24)$$

$$\text{avec } A_v = \frac{g_m R_u}{1 + g_m R_u}$$

Lorsque le gain en tension A_v est proche de l'unité, on peut considérer que l'admittance d'entrée ne dépend que de C_{gd} qui est plus faible que C_{gs} . Ce montage présente donc de bonnes performances dynamiques qui dépendent peu de la charge en sortie.

L'autre avantage de ce type de montage est sa faible impédance de sortie que l'on exprime par :

$$Z_s = \frac{1}{g_{ds} + j\omega C_{gs} + g_m} \quad (3.25)$$

L'application numérique à 1 GHz avec les valeurs de g_{ds} , C_{gs} , C_{gd} et g_m citées en début de paragraphe donne une impédance de sortie de $Z_s = 180 \Omega$, ce qui est beaucoup plus faible que pour les montages source commune et grille commune. C'est pourquoi ce montage est classiquement utilisé pour des **adaptations en tension**.

La figure 3.16 D) met en évidence le montage drain commun en tant que source de tension avec son impédance d'entrée Z_e , son impédance de sortie Z_s et sa source de tension équivalente v_{th} :

$$v_{th} = \frac{1}{j\omega C_{gs} (g_m + g_{ds}) + 1} v_e \quad (3.26)$$

3.4.2 Montage cascode

Le montage cascode est obtenu par la mise en cascade des montages source commune (SCV \rightarrow I) et grille commune (SCI \rightarrow I) (fig 3.17 A) et B)) pour réaliser globalement une SCV \rightarrow I qui présente

les avantages de ces deux montages sans leurs inconvénients :

1. le montage source commune est faiblement chargé ce qui diminue la proportion de la capacité C_{gd} ramenée à l'entrée.
2. le montage grille commune améliorant l'isolation entrée/sortie, la charge placée en sortie du montage peut être quelconque.
3. l'impédance de sortie peut être maximisée, ce qui se révèle intéressant dans certain type de montages. On cherche par exemple dans la conception de gyrateur Gm-C à maximiser l'impédance de sortie de l'étage à transconductance pour obtenir un bon facteur de qualité. L'admittance de sortie du montage cascode s'écrit :

$$Y_{s_cascode} = j\omega C_{gd} + (j\omega C_{gs} + Y_{s_source_commune}) \left(\frac{g_{ds}}{j\omega C_{gs} + Y_{s_source_commune} + g_{ds} + g_m} \right) \quad (3.27)$$

où $Y_{s_source_commune}$ est l'admittance de sortie du montage source commune. A titre d'exemple, l'application numérique à 1 GHz avec les valeurs de g_{ds} , C_{gs} , C_{gd} et g_m citées en début de paragraphe donne $Z_{s_cascode} = 8 \text{ k}\Omega$

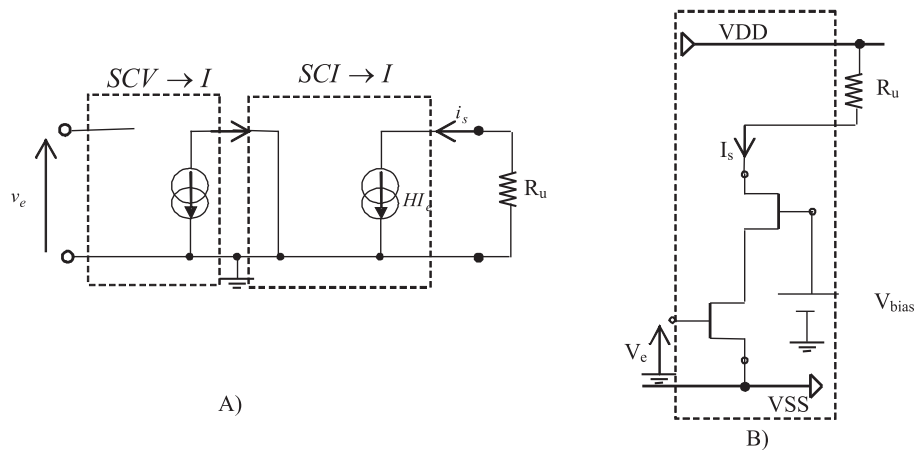


FIG. 3.17 Montage cascode

3.4.3 Amplificateur différentiel à transconductance

L'amplificateur différentiel à transconductance se compose de deux montages en source commune (SCV → I). Il associe symétriquement deux transistors de largeur de grille w polarisés par une source de courant I_0 pour réaliser une transconductance de valeur g_m . La figure 3.18 présente en A) la fonction réalisée et en B) l'amplificateur différentiel à transconductance.

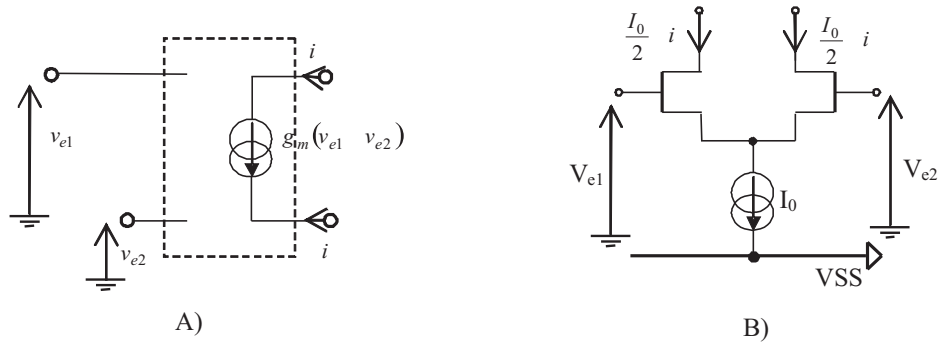


FIG. 3.18 Amplificateur différentiel à transconductance

Ce montage peut ensuite être chargé par des étages divers : des résistances pour effectuer une conversion courant-tension ou des impédances de filtrages (RC, LC...). Un des avantages par rapport à un simple montage en source commune est la suppression des termes de non-linéarité du second ordre. Le courant dynamique dans les transistors en fonction de la tension différentielle d'entrée (V_d) s'exprime par :

$$2\Delta I = \sqrt{2BwI_0}V_d \sqrt{1 - \frac{V_d^2 Bw}{2I_0}} \quad (3.28)$$

où B est une constante. Le développement en série de McLaurin permet de réexprimer ce courant sous la forme :

$$2\Delta I = \sqrt{2BwI_0}V_d + 0 - \frac{1}{2\sqrt{2}} \frac{(Bw)^{\frac{3}{2}}}{I_0} V_d^3 + 0 - \dots \quad (3.29)$$

où le terme de décalage et le terme de non-linéarité sont également éliminés. L'amélioration de la linéarité peut se révéler insuffisante. Il faut donc envisager des méthodes complémentaires pour accroître cette plage de linéarité.

Linéarisation par résistance

Choisir un courant de polarisation élevé permet d'avoir une plus grande plage de linéarité puisqu'il minimise le terme en puissance de 3 (equation 3.29). On peut toutefois encore améliorer la linéarité des amplificateurs à transconductance par l'emploi de résistance de linéarisation (fig 3.19).

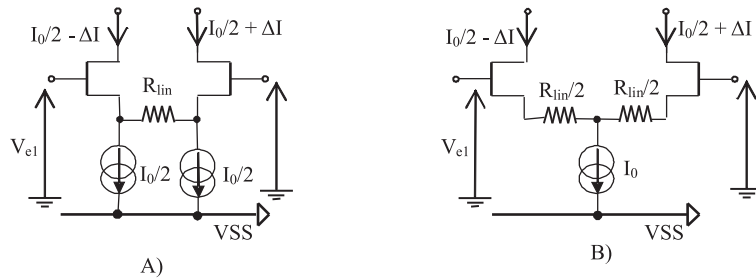


FIG. 3.19 Linéarisation de l'amplificateur différentiel

Le gain en courant différentiel simplifié (ou transconductance G_m) s'exprime alors par :

$$A_{id} = G_m = \frac{gm}{1 + gm \frac{R_{lin}}{2}} \quad (3.30)$$

Lorsque les résistances de linéarisation sont fortes, le terme gm n'est plus prépondérant, le montage est linéarisé. L'inconvénient est que le gain de conversion s'en trouve diminué, à moins d'augmenter le courant de polarisation, ce qui augmente la consommation.

Amélioration de la bande passante d'un amplificateur différentiel

Cette amélioration consiste à mettre en parallèle sur les résistances de linéarisation une capacité qui va étendre la bande passante de l'amplificateur différentiel. L'inconvénient est que pour les très hautes fréquences la résistance de linéarisation se trouve court-circuitée par la capacité.

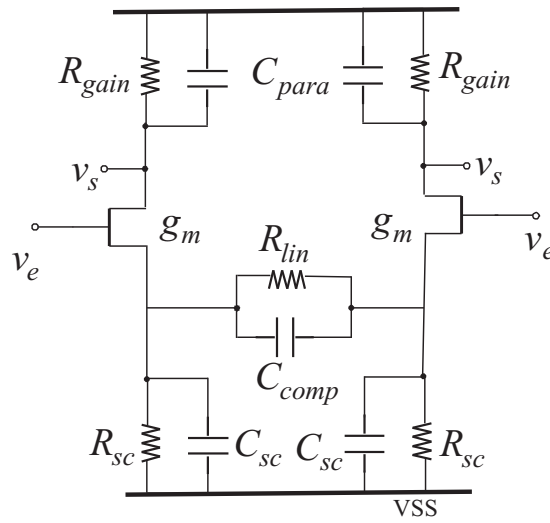


FIG. 3.20 Extension de la bande passante d'un amplificateur par ajout d'une capacité C_{comp} sur la résistance de linéarisation R_{lin}

On considère sur la figure 3.20 un schéma simplifié d'amplificateur où gm et R_{gain} sont dimensionnés pour obtenir le gain souhaité. C_{para} représente la capacité parasite qui limite la bande passante. C_{sc} et R_{sc} sont les capacités et résistances de l'impédance de sortie des sources de courant de polarisation. R_{lin} est la résistance de linéarisation de l'amplificateur et C_{comp} permet d'accroître la bande passante. On peut établir, avec ce schéma simplifié, que la fonction de transfert de cet amplificateur est :

$$A(j\omega) = G_c \cdot \frac{1}{1 + j\omega C_{para} R_{gain}} \cdot \frac{1}{1 + j\omega \frac{(C_{sc} + 2C_{comp}) R_{sc} R_{lin}}{g_m R_{sc} R_{lin} + R_{lin} + 2R_{sc}}} \cdot \left(j\omega \frac{(C_{sc} + 2C_{comp}) R_{sc} R_{lin}}{R_{lin} + 2R_{sc}} + 1 \right) \quad (3.31)$$

où G_c est le gain statique :

$$G_c = R_{gain} g_m \frac{(R_{lin} + 2R_{sc}) (g_m R_{sc} R_{lin} + R_{lin} + 2R_{sc})}{(R_{sc} R_{lin})^2} \quad (3.32)$$

La fonction de transfert de l'amplificateur se compose donc de deux termes passe-bas et d'un terme passe-haut. Les fréquences de coupure sont :

$$f_{cpb1} = \frac{1}{2\pi C_{para} R_{gain}} \quad (3.33)$$

où f_{cpb1} est la fréquence de coupure de l'amplificateur avant correction.

$$f_{cpb2} = \frac{g_m R_{sc} R_{lin} + R_{lin} + 2R_{sc}}{(C_{sc} + 2C_{comp}) R_{sc} R_{lin}} \quad (3.34)$$

où f_{cpb2} est la fréquence de coupure de l'amplificateur après correction.

$$f_{cph} = \frac{R_{lin} + 2R_{sc}}{(C_{sc} + 2C_{comp}) R_{sc} R_{lin}} \quad (3.35)$$

où f_{cph} est la fréquence de coupure du terme passe-haut qui permet d'accroître la bande passante. A la simple observation de ces fréquences de coupure, on constate que si l'impédance de sortie des sources de courant de polarisation n'est pas prise en compte dans le calcul alors la compensation pourra être mal adaptée et faire apparaître une surtension ou réduire la bande passante.

3.4.4 Décaleurs de tension

Il est nécessaire dans de nombreuses architectures de décaler la tension de repos en sortie afin de pouvoir attaquer l'étage suivant. On utilise pour cela des montages tels que celui de la figure 3.21. Le schéma A présente la fonction réalisée, le schéma B le décaleur et le schéma C le modèle en petits signaux simplifiés.

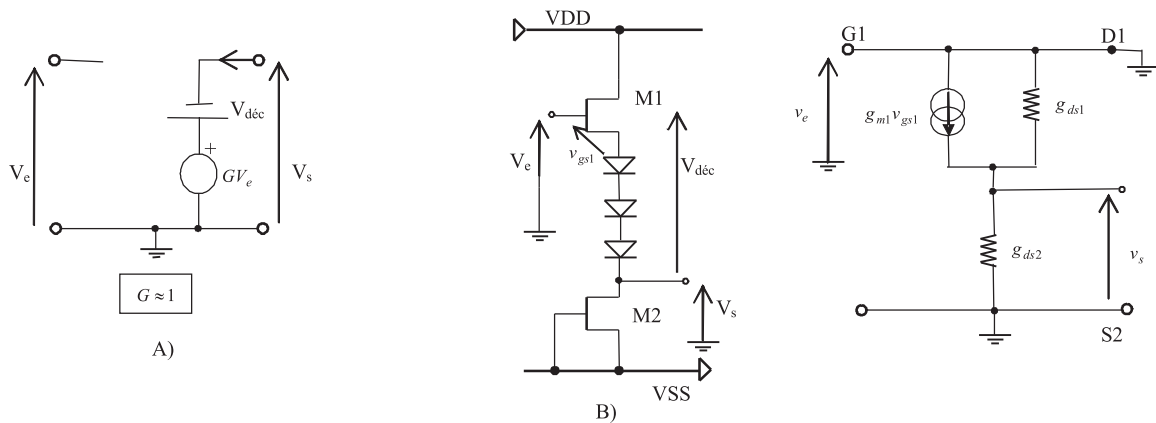


FIG. 3.21 Décaleur

Ce montage est en fait un montage drain commun dans lequel des diodes réalisent le décalage statique. Les grandeurs à dimensionner dans ce montage sont le courant de polarisation, le nombre de diodes n ainsi que leur taille pour obtenir à la fois le décalage voulu et une valeur de gain la plus proche possible de l'unité. Pour le dimensionnement des diodes, nous avons vu en début de chapitre que la taille de leur électrode conditionne la tension de décalage à leurs bornes. Pour le

dimensionnement du gain, on utilise le modèle petits signaux simplifié et les équations de type S & H. On peut calculer le gain petits signaux du décaleur en exprimant le courant circulant dans les diodes :

$$g_{m1}v_{gs1} + g_{ds1}v_{ds1} = g_{m2}v_{gs2} + g_{ds2}v_{ds2} \quad (3.36)$$

$$g_{m1}(v_e - v_s) - g_{ds1}v_s = g_{ds2}v_s \quad (3.37)$$

$$\frac{v_s}{v_e} = \frac{g_{m1}}{g_{m1} + g_{ds1} + g_{ds2}} \quad (3.38)$$

où g_{m1} est la transconductance de M1 et g_{ds1} et g_{ds2} les conductances de sortie des transistors M1 et M2. Les valeurs de transconductance et de conductance de sortie étant pratiquement proportionnelles à la largeur de grille des transistors, il faudra pour faire tendre le gain de cet étage vers l'unité prendre de petites largeurs de grille w_1 et w_2 pour les transistors M1 et M2.

3.4.5 Source de courant de polarisation

Les sources de polarisation statiques présentes dans la plupart des circuits doivent généralement avoir une impédance forte. Les réalisations de ces sources de polarisation à haute impédance de sortie peuvent être à deux ou trois étages [?] (figure 3.22). Ce paragraphe présente le dimensionnement d'une source à deux étages.

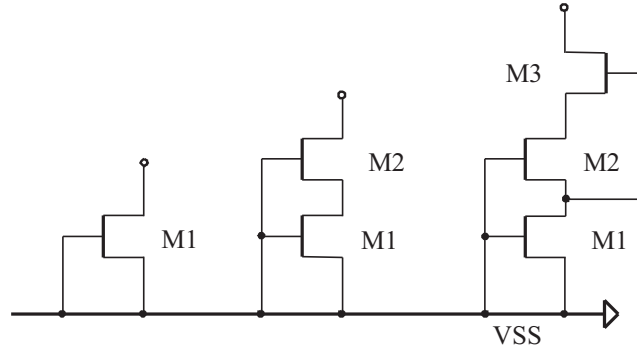


FIG. 3.22 Sources de courant

La transconductance et la conductance des transistors calculées à partir des équations Shichman et Hodges en zones ohmique et saturée sont récapitulées dans le tableau 3.8 :

	Zone ohmique	Zone saturée
g_m	BwV_{ds}	$\sqrt{2BwI_{ds}}$
g_{ds}	$Bw(V_{gs} - V_T - V_{ds})$	$\frac{\lambda I_{ds}}{1 + \lambda I_{ds}} \approx \lambda I_{ds}$

TAB. 3.8 Expression des conductances et transconductances pour les zones ohmique et saturée

Dans la source de courant à deux étages, le transistor M1 est en zone ohmique puisque :

$$\begin{cases} V_{gs1} > V_T \text{ car } V_{gs1} = 0 \\ V_{gd1} > V_T \text{ car } V_{gd1} = V_{gs2} \text{ et } V_{gs2} > V_T \text{ sinon M2 est bloqué} \end{cases} \quad (3.39)$$

Et Le transistor M2 fonctionne en zone saturée :

$$\begin{cases} V_{gs2} > V_T \\ V_{gd2} < V_T \text{ car } V_{g2} \text{ est sur l'alimentation négative} \end{cases} \quad (3.40)$$

Pour que la source de courant fonctionne correctement, il faut veiller à ce que le drain de M2 ne soit pas polarisé par une tension trop faible, sans quoi il pourrait se trouver en zone ohmique. L'impédance de sortie de la source de courant s'exprime :

$$R_{out} = R_{ds2} + g_{m2}R_{ds1}R_{ds2} + R_{ds1} \quad (3.41)$$

$$R_{out} \approx g_{m2}R_{ds1}R_{ds2} \quad (3.42)$$

Soit, en fonction de l'expression des transconductances g_m et des conductances g_{ds} :

$$R_{out} \approx \sqrt{2Bw_2I_{ds2}} \frac{1}{Bw_1(V_{gs1} - V_T - V_{ds1})} \frac{1}{\lambda I_{ds2}} \quad (3.43)$$

Il faut donc, pour maximiser l'impédance de sortie de la source, un transistor M1 de faible largeur de grille pour un transistor M2 de forte largeur de grille. La règle de dimensionnement pratique pour ce genre de source est, par exemple pour une source à trois étages de prendre les tailles de transistor w pour M1, $2w$ pour M2, $3w$ pour M3. La valeur exacte du courant de polarisation est atteinte par tâtonnement en simulation. La figure 3.23 présente la caractéristique DC d'une source de courant simple et d'une source de courant haute impédance.

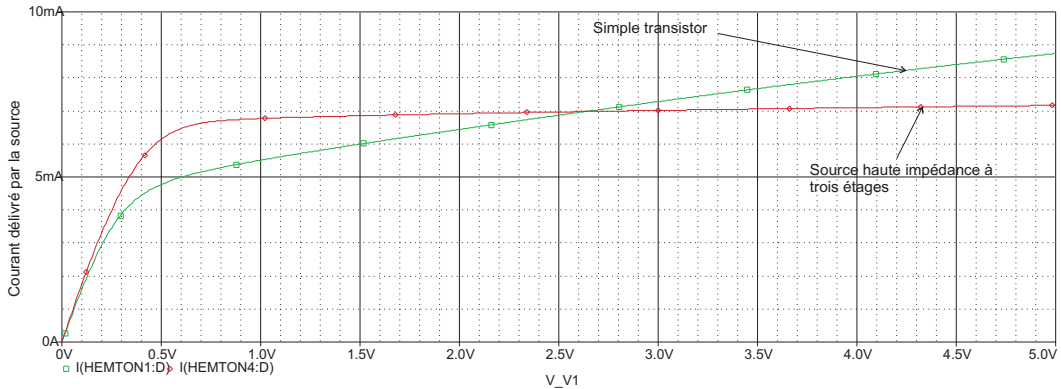


FIG. 3.23 Caractéristique statique des sources de courant

3.4.6 Condensateur de liaison

Le condensateur de liaison est un moyen traditionnel pour coupler des étages en s'affranchissant de la composante continue. La capacité ne doit pas être trop élevée dans un souci d'économie de surface, mais pas trop faible non plus pour ne pas atténuer les signaux aux fréquences de travail.

3.5 Conclusion

Ce chapitre a introduit la technologie GaAs P-HEMT $0.2\mu m$ mise à notre disposition par le CEA pour la conception d'un modulateur sigma-delta passe-bande à temps continu devant fonctionner à une fréquence d'échantillonnage de 3 GHz. Les dispositifs disponibles (transistors, diodes, inductances, capacités...) dans cette technologie sont présentés suivant leur structure physique, leurs modèles (petits signaux, grands signaux), et leurs ordres de grandeurs. Des règles de bases de dimensionnement sont également abordées.

Les propriétés d'un certain nombre de montage de base (cascode, paire différentielle, décaleur...) qui serviront de primitives de conception ont été rappelées.

Chapitre 4

Conception des blocs du modulateur sigma-delta

4.1 Introduction

Pour la conception du circuit, plusieurs types d'architectures de modulateurs passe-bande à temps continu et plusieurs technologies ont été envisagés. On souhaite que la conversion puisse s'effectuer pour un signal d'entrée dont la fréquence peut varier de 50 MHz autour de 750 MHz. Ces considérations, présentées au chapitre 2, nous ont conduit à faire les choix architecturaux suivants pour le modulateur :

- Un type monobit, compte-tenu de la difficulté de réalisation d'un dispositif de brassage des sources de courants pour un dispositif multibit dans une technologie autre que le CMOS.
- Un sixième ordre pour atteindre une précision supérieure à d'autres dispositifs travaillant dans la même gamme de fréquence comme par exemple les convertisseurs FLASH.
- Une architecture parallèle, pour sa plus grande stabilité et la simplicité de réalisation de résonateurs purs plutôt que de cellules biquadratiques.
- Un résonateur d'entrée à fréquence centrale réglable pour assurer l'adaptation du dispositif à l'évolution de la fréquence centrale du signal à convertir.

L'architecture retenue est présentée sur la figure 4.1 et les performances pouvant être atteintes dans le tableau 4.1.

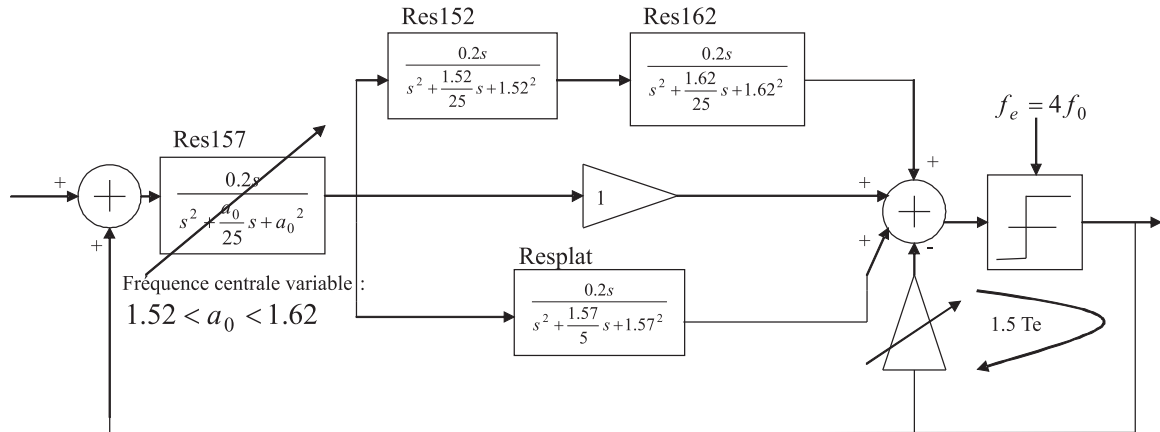


FIG. 4.1 Architecture du modulateur idéal

Conditions de simulations	Performances à 750 Mz	à 725 MHz	à 775 MHz
Bande utile : 4 MHz	SNR = 63.6 dB	61 dB	63.2 dB
Signal d'entrée : 100 mV	Résolution = 10.3 bits	9.8 bits	10.2 bits
Niveaux de sortie : ± 300 mV			
Nombre de points : 8192			

TAB. 4.1 Performances du modulateur sigma-delta idéal

Les différents blocs fonctionnels à concevoir pour ce modulateur sont :

- un résonateur à fréquence centrale variable,
- des résonateurs à fréquence centrale fixe,
- un sommateur,
- un comparateur de retard supérieur à T_e , fonctionnant à la fréquence d'échantillonnage de 3 GHz ($f_e = 4f_0$).

La technologie GaAs P-HEMT $0.2 \mu m$ a été mise à notre disposition par le CEA pour la conception de ce circuit. Ses particularités ont été décrites au chapitre précédent. La démarche adoptée pour la conception de chacun des blocs est de les simuler séparément au niveau transistor dans le cas nominal dans un modulateur sigma-delta au niveau fonctionnel (idéal) afin de valider leur fonctionnement. Les performances sont alors comparées à celle dans le cas idéal à 750 MHz (tableau 4.1). Puis la robustesse des blocs est testée individuellement par rapport :

- aux dispersions technologiques globales (simulations pire cas et Monte-Carlo),
- aux variations de températures,
- aux éléments parasites introduits par le layout pour les résonateurs qui y sont le plus vulnérables.

Les simulations pire cas s'effectuent d'abord séparément sur chacun des paramètres, ce qui nous permet de déterminer les paramètres les plus critiques. Ces paramètres sont :

- les tensions de seuil des diodes (V_t diodes),
- les tensions de seuil des transistors (V_t FET ON),
- les courants de drain à V_t constant des transistors (I_{dss} FET ON),
- le courant de saturation des diodes (I_s diodes),
- les capacités grille-sources des transistors (C_{gs} FET ON),
- les résistances implantées (utilisant la couche active de *GaAs*),
- les capacités

Le pire cas général est celui portant sur tous les paramètres, de façon à être le plus éloigné possible de la valeur nominale de notre intérêt (fréquence centrale, gain...). Les simulations de Monte-Carlo permettent ensuite de déterminer un pourcentage approximatif de circuits dont les caractéristiques permettraient un fonctionnement correct du circuit. Le jeu de paramètres servant aux simulations pire cas et Monte-Carlo ainsi que d'autres informations concernant ces simulations sont données en annexe B. Les résultats de cette étude permettront au chapitre 5 d'évaluer la robustesse du modulateur complet.

4.2 Les résonateurs

4.2.1 Choix d'une structure de résonateurs

Plusieurs types de résonateurs analogiques étaient envisageables. Les résonateurs les plus couramment employés sont présentés.

Résonateurs Gm-LC

Ces résonateurs, composés d'amplificateurs à transconductance et de capacités et inductances intégrées nécessitent une surface importante pour l'intégration. En revanche ils peuvent avoir une meilleure linéarité que les autres dispositifs grâce aux techniques de linéarisation de l'amplificateur à transconductance. Il a aussi été démontré qu'à consommation égale les résonateurs Gm-LC ont une meilleure dynamique que les Gm-C présentés ci-dessous [43, 44]. Habituellement le mauvais facteur de qualité des inductances est compensé par une résistance négative [42, 30].

Résonateurs Gm-C

Une alternative intéressante aux inductances intégrées qui ont de faibles facteurs de qualité et occupent une surface importante est de concevoir des résonateurs avec des inductances dites "actives". Deux tendances sont à distinguer concernant la réalisation de ce type d'inductance. Une tendance est d'utiliser les capacités grille-source (C_{gs}) des transistors, l'inductance se compose alors uniquement de transistors [68], mais cette méthode comporte des risques car il est difficile d'évaluer avec exactitude les capacités C_{gs} qui sont de plus non linéaires. L'autre tendance consiste à utiliser des capacités intégrées avec des amplificateurs à transconductance [69, 70]. Mais là encore, si l'on doit travailler à hautes fréquences, les capacités intégrées sont faibles devant les capacités parasites et cela nuit à la précision sur la fréquence centrale du résonateur [71].

Résonateurs AOP-C

Ces filtres actifs sont basés sur des amplificateurs opérationnels et des capacités intégrés. Ce type d'architecture ne permettrait pas de travailler aux fréquences voulues à cause des temps de réponse trop élevés des AOP.

Résonateurs de type SAW et BAW

Les filtres à ondes de surface (SAW) sont fréquemment employés dans les systèmes de communication sans fils à des fréquences intermédiaires (FI) de 70 MHz à 400 MHz, mais ils peuvent aussi être utilisés pour le filtrage RF de 400 MHz à 2.4 GHz [72]. Leurs inconvénients sont le volume qu'ils occupent (2 x 1.6 x 0.6 mm dans le meilleur des cas) et leurs pertes d'insertion. Les filtres à ondes de volume (BAW) offrent de plus grandes possibilités d'intégration et peuvent travailler à des fréquences plus élevées (jusqu'à 20 GHz). Nous ne retiendrons aucune de ces deux solutions, car la réalisation de tels résonateurs n'est pas possible en GaAs.

Parmi ces types de résonateurs, le choix se fait donc entre les structures Gm-C et les structures Gm-LC. Nous avons étudié ces deux solutions et avons retenu les résonateurs de type Gm-LC. Le travail de dimensionnement mené sur une architecture de résonateur Gm-C à gyrateur est présenté en annexe C. Nous traiterons dans la suite uniquement des résonateurs Gm-LC.

4.2.2 Conception des résonateurs Gm-LC

Architecture du résonateur

Pour limiter les phénomènes de non-linéarités il est préférable de choisir des architectures différentielles telle que l'architecture générale présentée à la figure 4.2. Elle est composée d'un amplificateur à transconductance dont le courant de sortie vient alimenter un bloc résonant LC disposé suivant des arrangements variables comme le montre la figure 4.3.

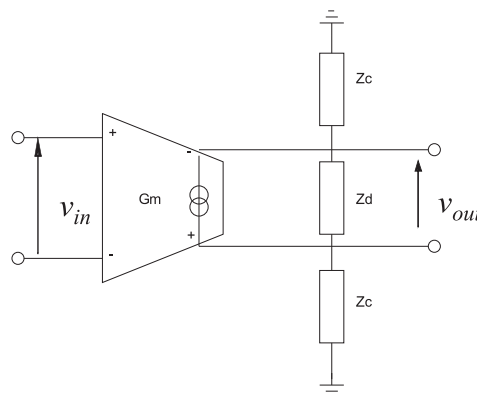


FIG. 4.2 Architecture générale de résonateur Gm-LC

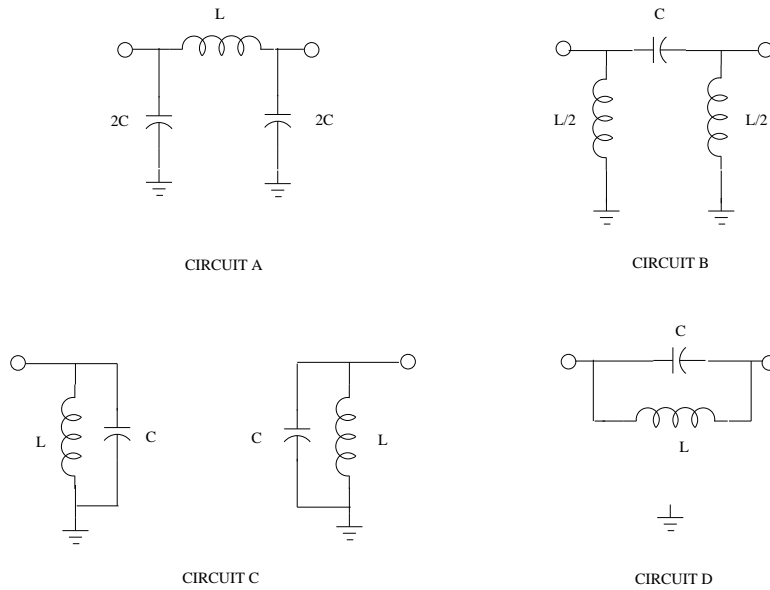


FIG. 4.3 Types de circuit LC pour résonateurs $Gm-LC$

Le circuit du type B est dans notre cas la meilleure configuration car les inductances, reliées à un potentiel fixe, permettent de s'affranchir d'un étage de stabilisation en mode commun [37]. Le circuit de type C présente aussi cette propriété, mais nécessite plus de surface d'implantation en raison de la taille des inductances. L'expression de la fonction de transfert du résonateur de type B s'écrit :

$$\frac{V_{out}(s)}{V_{in}(s)} = \frac{\frac{Gm}{C}s}{s^2 + \frac{1}{LC}} \quad (4.1)$$

Cette fonction de transfert est celle d'un résonateur idéal à facteur de qualité infini. En pratique, les inductances à intégrer ont un faible facteur de qualité (entre 2 et 4 à 750 MHz), ce qui est dû en majeure partie à la résistivité de la trace de métal qui compose l'inductance et que l'on modélise par la résistance parasite série R_s (chapitre 3). La fonction de transfert du résonateur devient alors :

$$G(s) = \frac{\frac{Gm}{C}s + \frac{R_s Gm}{LC}}{s^2 + \frac{R_s}{L}s + \frac{1}{LC}} \quad (4.2)$$

Le résonateur réel présente ainsi du fait des pertes dans les inductances :

- un facteur de qualité bien en dessous de la valeur souhaitée,
- un terme passe-bas pouvant entraîner l'instabilité du modulateur.

Chacun de ces défauts a été corrigé de façon à obtenir les performances souhaitées :

- par l'ajout d'une résistance négative pour améliorer le facteur de qualité,
- par l'ajout d'un filtre passe-haut pour compenser le terme passe-bas et rétablir la stabilité.

Compensation du facteur de qualité

Pour atteindre la valeur souhaitée du coefficient de qualité, les pertes de l'inductances ont été compensées par une résistance négative [42]. La figure 4.4 présente l'architecture du résonateur avec

compensation du facteur de qualité.

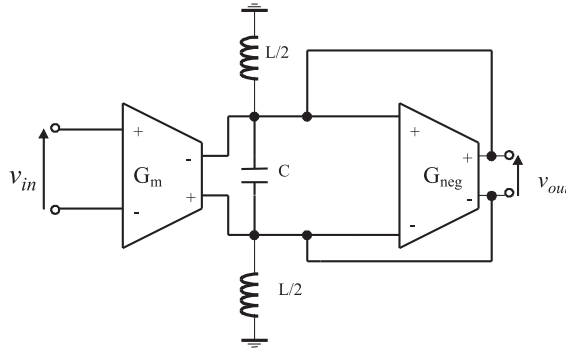


FIG. 4.4 Résonateur avec compensation du facteur de qualité

La fonction de transfert de ce résonateur est :

$$G(s) = \frac{\frac{G_m}{C}s + \frac{R_s G_m}{LC}}{s^2 + \left(\frac{R_s}{L} - \frac{G_{neg}}{C}\right)s + \frac{1 - G_{neg} R_s}{LC}} \quad (4.3)$$

où G_{neg} est la valeur de la transconductance négative ajoutée au circuit. La compensation par résistance négative décale la fréquence centrale du résonateur, c'est pourquoi la valeur de la capacité C doit être calculée en fonction de la compensation. Tout réglage ultérieur de la compensation du facteur de qualité fera varier la fréquence centrale du résonateur de quelques pourcents.

Correction des termes passe-bas

Les termes passe-bas des résonateurs introduisent des déphasages dans le modulateur susceptibles de conduire à l'instabilité. Une étude de la stabilité du modulateur sigma-delta par le tracé du lieu des pôles de la fonction de transfert de bruit en temps discret permet de mettre ce phénomène en évidence. Préalablement au tracé du lieu des pôles, conformément à la méthode énoncée au §1.2.6, il faut calculer le filtre de boucle $H_{G_m-LC}(z)$, filtre équivalent en temps discret du bloc de filtres à structure parallèle en temps continu avec un retard de $1.5T_e$. Cette fonction de transfert équivalente est donnée par l'équation 4.4 et a été calculée à partir des grandeurs récapitulées dans le tableau 4.2. Les noms des résonateurs sont indiqués sur la figure 4.1

	Res157	Res152	Res162	Resplat
G_m (mS)	3	3.2	2.8	3.2
G_{neg} (mS)	7.8	8.3	7.4	4.1
C (pF)	2×2.5	2×2.65	2×2.37	2×2.65
L (nH)	2×4	2×4	2×4	2×4
R_s (Ω)	2×7.12	2×7.12	2×7.12	2×7.12

TAB. 4.2 Grandeurs des résonateurs

$$H_{Gm-LC} = \frac{0.1005z^8 + 0.044z^7 + 0.1532z^6 + 0.105z^5 - 0.0241z^4 + 0.0853z^3 - 0.1277z^2 + 0.0233z - 0.0482}{z^{10} - 0.0215z^9 + 3.534z^8 - 0.0586z^7 + 4.676z^6 - 0.0534z^5 + 2.744z^4 - 0.0163z^3 + 0.6021z^2} \quad (4.4)$$

Ensuite, la valeur de η_0 a été déterminé par approximation numérique de l'équation 1.15, $\eta_0 \approx 20$. Pour que le modulateur soit stable, le lieu des pôles de la $NTF_{Gm-LC}(z)$ doit se situer à l'intérieur du cercle unité pour $\eta < \eta_0$. La figure 4.5 représentant le tracé du lieu des pôles pour η variant de 0 à l'infini ne vérifie pas cette condition. Le modulateur est complètement instable car quatre des pôles (+) se trouvent hors du cercle unité pour $\eta = \eta_0$.

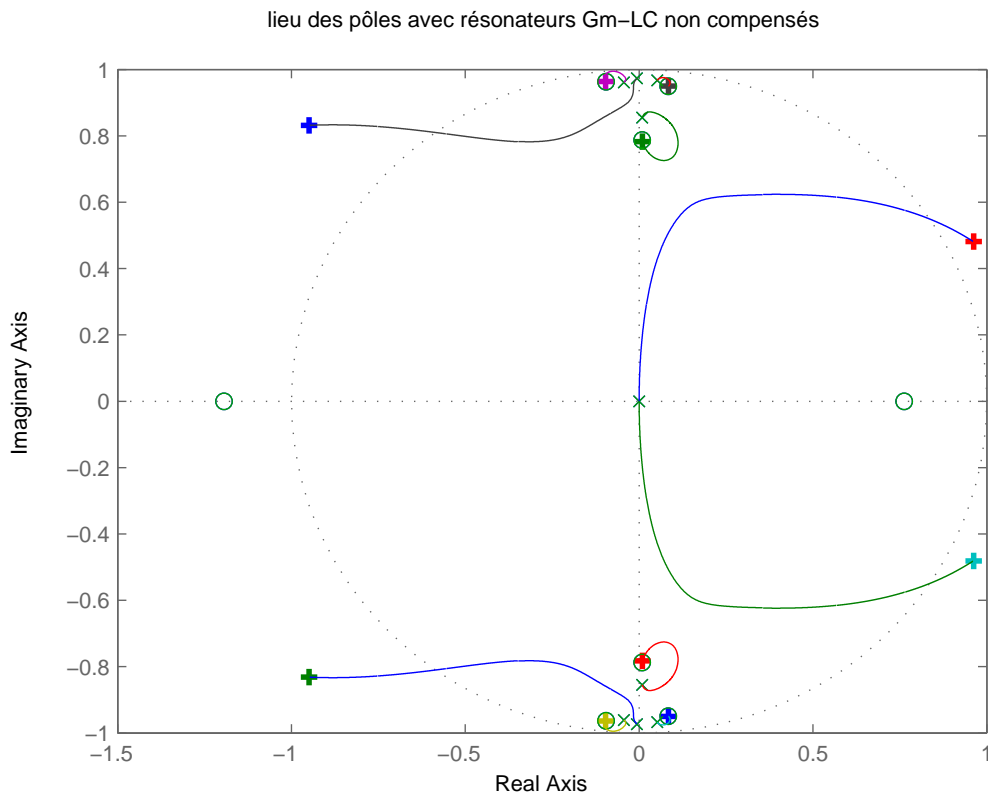


FIG. 4.5 Tracé du lieu des pôles avec les termes passe-bas dus à l'inductance

L'instabilité a été corrigée par l'ajout de filtre passe-haut à l'entrée de chacun des résonateurs. En technologie GaAs, les contraintes liées à la polarisation statique impliquent pratiquement d'utiliser des liaisons capacitives entre certains étages, on peut donc compenser l'imperfection passe-bas du résonateur sans coût additionnel [73]. Cette solution s'impose par sa simplicité par rapport à la réoptimisation de l'architecture présentée dans d'autres travaux [37]. Le calcul des capacités et résistances des filtres passe-hauts s'effectue à partir des fonctions de transfert des résonateurs :

$$G(s)PH(s) = \frac{\frac{R_s G_m}{LC} \left[\frac{G_m L}{R_s G_{neg}} s + 1 \right]}{s^2 + \left(\frac{R_s}{L} - \frac{G_{neg}}{C} \right) s + \frac{1 - G_{neg} R_s}{LC}} \times \frac{R_{cor} C_{cor} s}{1 + R_{cor} C_{cor} s} \quad (4.5)$$

$$R_{cor} C_{cor} = \frac{L}{R_s} \quad (4.6)$$

La stabilité est maintenue pour des valeurs de R_{cor} et C_{cor} variant de 20% autour de leur valeur nominale (figure 4.6, 4.7 et 4.8). La valeur de η_0 est proche à nouveau de 6.5. Le lieu des pôles se situe à l'intérieur du cercle unité pour $\eta < \eta_0$, ce qui indique la stabilité. On constate sur ces figures une variation de l'emplacement des pôles se situant à droite à l'intérieur du cercle unité due à la variation de compensation des termes passe-bas.

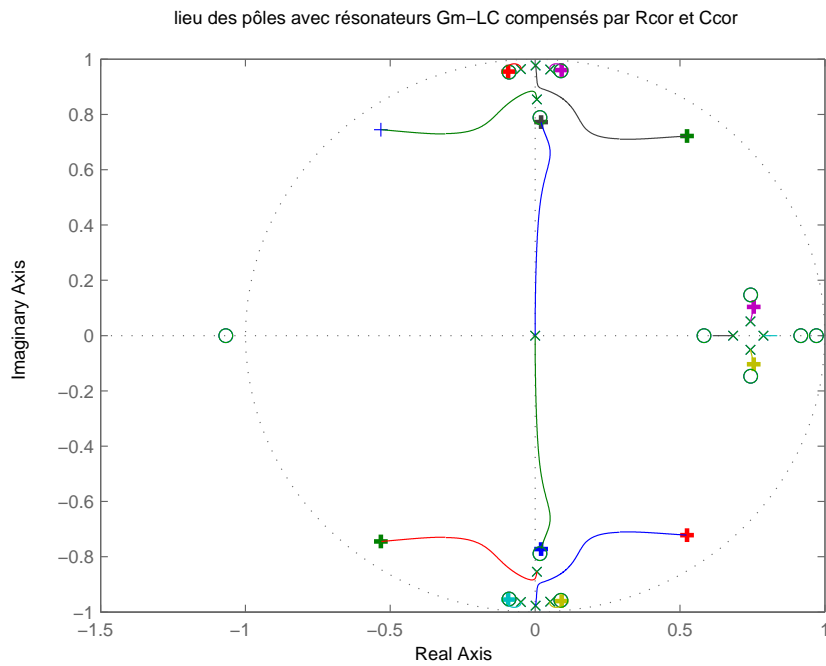


FIG. 4.6 Correction des termes passe-bas par filtres passe-haut

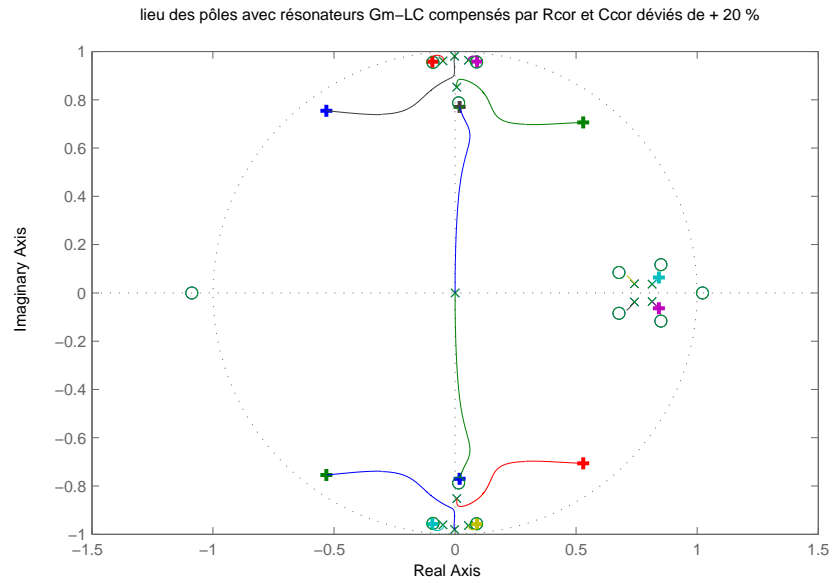


FIG. 4.7 Correction des termes passe-bas par filtres passe-haut, avec erreur de +20% sur $R_{cor}C_{cor}$

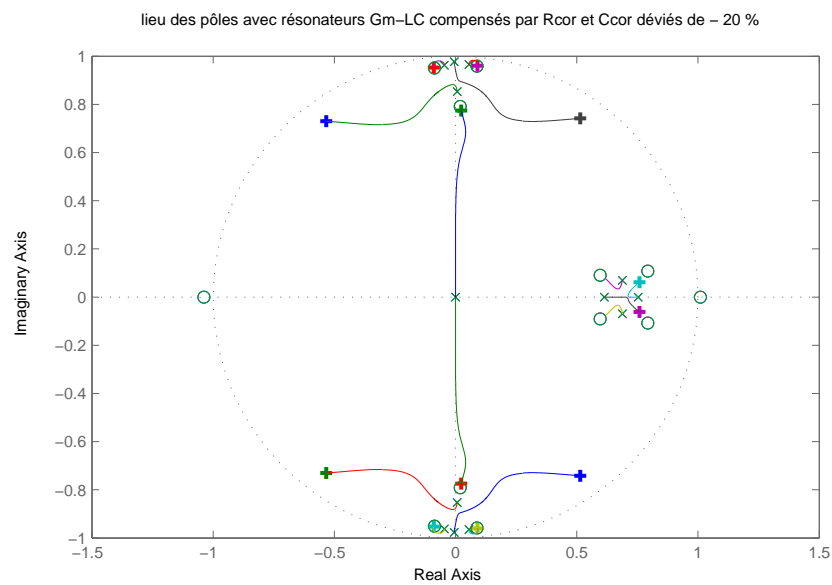


FIG. 4.8 Correction des termes passe-bas par filtres passe-haut, avec erreur de -20% sur $R_{cor}C_{cor}$

Réglage de la fréquence centrale

Le réglage de la fréquence centrale s'effectue par l'intermédiaire de diodes polarisées en inverse (varicaps). C'est une méthode classique pour la réalisation de VCO [74, 75]. Les diodes utilisées sont de type Schottky et leur électrode a été choisie de taille maximale afin d'avoir la plus grande plage de variation possible (figure 4.10). Les diodes Schottky ont été disposées en tête-bêche pour agrandir

la zone de variation linéaire de la capacité.

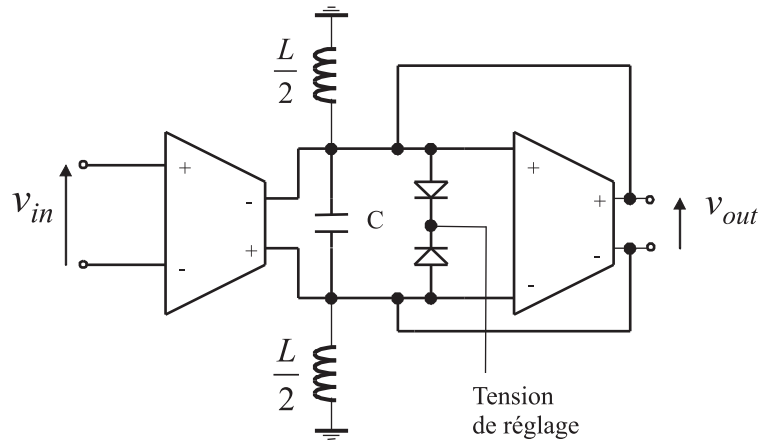


FIG. 4.9 Résonateur à fréquence centrale variable

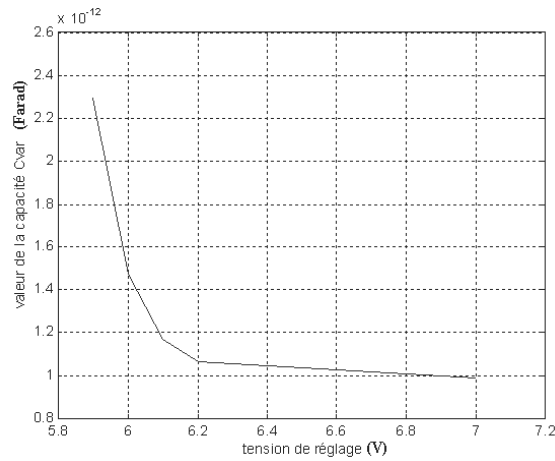


FIG. 4.10 Plage de variation de la varicap

La fonction de transfert d'un tel résonateur est de la forme :

$$G(p) = \frac{\frac{Gm}{(C+C_{var})}p + \frac{GmR_s}{L(C+C_{var})}}{p^2 + \left(\frac{R_s}{L} - \frac{G_{neg}}{C+C_{var}}\right)p + \frac{1}{L(C+C_{var})}} \quad (4.7)$$

Le réglage de la fréquence centrale va donc entraîner une variation du gain et du facteur de qualité des résonateurs. C'est pourquoi, si l'on veut rester conforme aux spécifications, un réglage simultané du gain et de la résistance négative est nécessaire. A cet effet, un réglage de ces grandeurs par l'intermédiaire des sources de polarisation a été prévu et sera exposé dans la suite de ce chapitre.

Par ailleurs, la variation de C_{var} entraîne une variation du terme passe-bas, il convient alors de vérifier que la correction par R_{cor} et C_{cor} maintient toujours la stabilité. Nous pouvons répondre

à priori qu'elle sera maintenue, car $C_{var} > 0$, ainsi lorsque C_{var} augmente le terme passe-bas va diminuer et la compensation reste suffisante.

4.2.3 Caractéristiques des circuits résonateurs

Le schéma du circuit du résonateur est présenté à la figure 4.12. Il se compose de deux amplificateurs à transconductance linéarisés par une résistance (§3.4.3). L'un de ces amplificateurs réalise le gain G_m et l'autre réalise la transconductance négative G_{neg} . Chaque source de polarisation est constituée de trois transistors avec le dimensionnement de largeur de grille suivant la progression $w-2w-3w$, ce qui permet d'obtenir une forte impédance de sortie pour un amortissement le plus faible possible. A l'entrée des résonateurs, sont placés les filtres passe-haut (§4.2.2) et en sortie se trouvent des décaleurs de tensions (§3.4.4) pour abaisser la polarisation.

Pour dimensionner les éléments passifs, un protocole automatique simple a été mis au point sous matlab et est présenté sur l'organigramme de la figure 4.11. Cette façon de procéder permet de trouver un bon compromis de dimensionnement entre la surface occupée par les inductances, les valeurs de la résistance négative (G_{neg}) et les capacités à intégrer (C). Car si, par exemple, une valeur faible d'inductance permet de réduire la surface d'implantation, la résistance négative s'en trouve accrue ce qui conduit à concevoir des sources de courant de polarisation de valeur plus élevée ce qui augmente la consommation du circuit. Par ailleurs, la valeur des capacités intégrées doit être suffisamment grande face aux capacités parasites. Ainsi des contraintes sont imposées sur les valeurs de C et de G_{neg} . Si ces contraintes ne sont pas respectées, il convient de choisir une autre valeur d'inductance. Les grandeurs finalement retenues sont indiquées dans le tableau 4.2.

Un premier envoi en fonderie d'un circuit résonateur de ce type à 1 GHz (voir annexe D) nous a permis de mettre en évidence la difficulté d'obtenir avec précision la fréquence centrale voulue. Cette incertitude provient aussi bien des erreurs de fabrications que des parasites dus à l'implantation. Ainsi, bien que l'architecture du modulateur à concevoir (figure 4.1) ne possède qu'un seul résonateur à fréquence centrale variable, tous les résonateurs ont été munis de varicap qui permettront de rattraper des écarts de fréquence. De plus, comme les variations de fréquence entraînent des variations du gain et du facteur de qualités, ces derniers doivent également pouvoir être corrigés. A cet effet, des points de réglages sont prévus sur la grille des transistors des sources de polarisation des gains et des résistances négatives (figure 4.12).

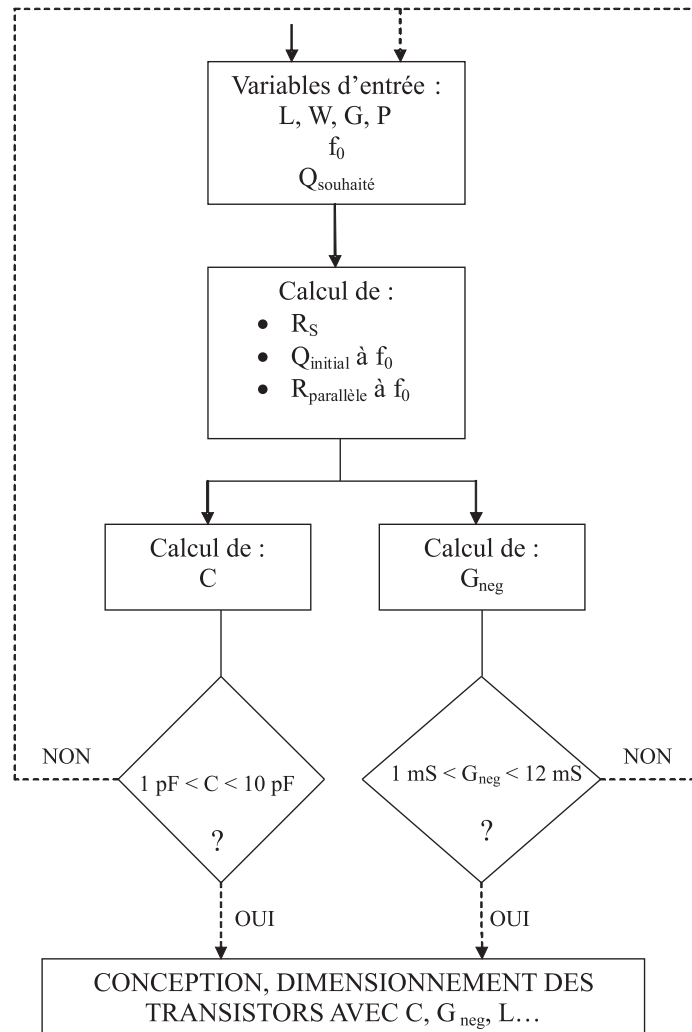


FIG. 4.11 Diagramme pour le dimensionnement des éléments passifs

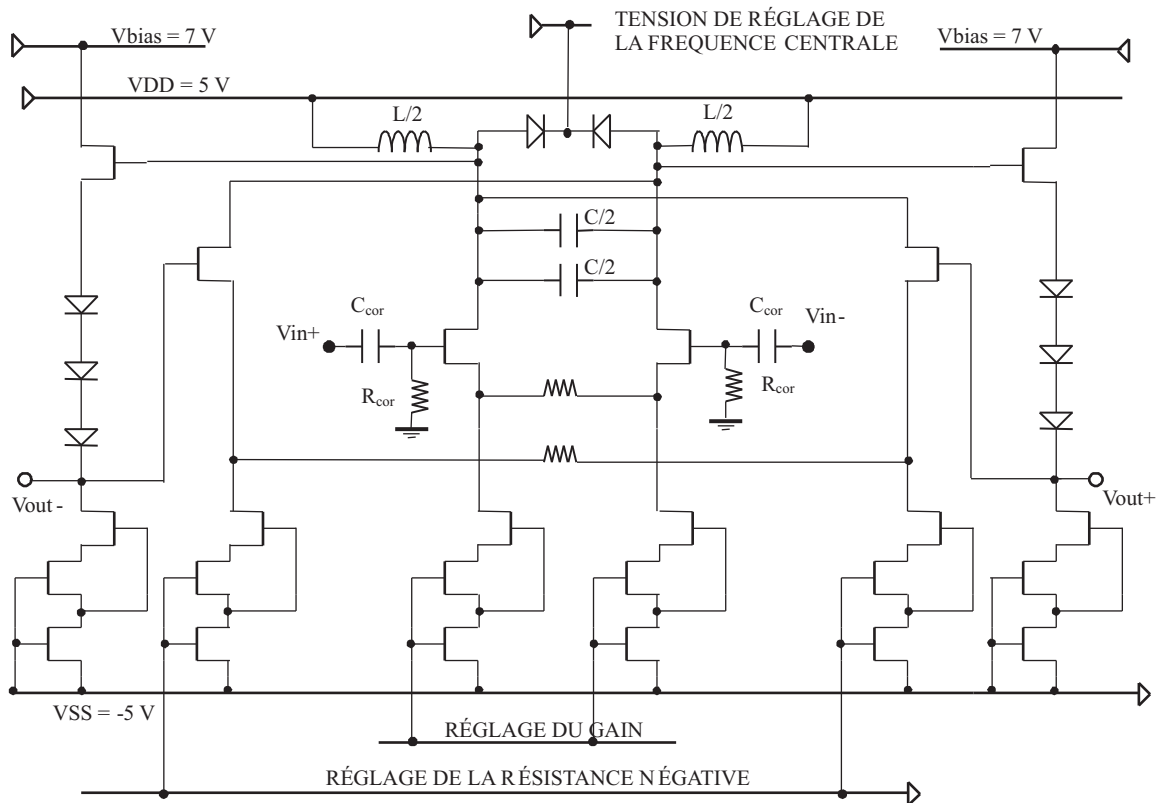


FIG. 4.12 *Circuit du résonateur*

Les caractéristiques de chacun des résonateurs sont présentées dans le tableau 4.3. Les fréquences centrales, gains et facteur de qualité sont proches des valeurs visées (cf figure 4.1), autant que le dimensionnement des largeurs de transistors peut le permettre. Une simulation des résonateurs dans la boucle idéale avec un signal sinusoïdal d'entrée de fréquence 750 MHz et d'amplitude 100 mV, avec des niveaux de sortie de ± 300 mV, permet d'établir un SNR de 61 dB, soit 9.9 bits de résolution. Cette valeur de résolution, comparée à celles du tableau 4.1 permet de considérer les résonateurs conçus comme acceptables pour cette application.

Chaque résonateur a une plage de variation en fréquence d'environ 20 MHz qui pourra servir à l'agilité du modulateur ou à la correction des écarts sur les fréquences centrales. Cette plage de variation est difficile à accroître pour deux raisons :

- la taille des diodes varicaps est à son maximum,
- les réglages du gain et de la résistance négative doivent permettre de garder les mêmes performances, ce qui s'avère impossible si par exemple le facteur de qualité a trop chuté.

Les circuits résonateurs conçus consomment 500 mW environ chacun. Ceci est dû en grande partie aux exigences de linéarités qui conduisent à concevoir des sources de courant de polarisation de valeurs élevées. A titre indicatif, ces valeurs se situent entre 4 mA et 16 mA, valeurs très élevées par rapport à d'autres technologies comme par exemple le CMOS où les courants de polarisation

	f_0 (MHz)	Q	G(dB)	Plage de réglage de f_0 (MHz)
Res157	751.6	24	6.3	[728 - 751]
Res152	736.2	32	9.3	[679.2 - 736.2]
Res162	778.037	31.8	8.9	[753.35 - 778]
Resplat	744.732	3.6	-8.88	/

TAB. 4.3 *Caractéristiques des résonateurs*

dépassent rarement $100 \mu A$.

4.2.4 Robustesse des résonateurs

Le résonateur d'entrée Res157 est utilisé à titre d'illustration pour l'étude de la robustesse de tous les résonateurs (cf figure 4.1). Cette étude s'effectue par rapport :

- aux dispersions technologiques avec dans un premier temps les simulations pire cas (tableau 4.4) , puis les simulations Monte-Carlo (figure 4.13) ,
- aux variations de température (tableau 4.5),
- aux éléments parasites du layout (tableau 4.6).

Paramètres pire cas	Fréquence centrale (MHz)	Gain maximal (dB)	Facteur de qualité
Nominal	751.6	6.3	25
Vt diodes	731.13	2.3	16
Vt FET ON	744.7	28.2	219
I_{dss} FET ON	749.9	4.6	22
I_s diodes	751.6	6.3	25
C_{gs} FET ON	751.6	6.3	25
Résistances GaAs	751.6	6.3	25
Capacités MIM	751.6	6.3	25
Pire cas	805.37	-20.5	2.72

TAB. 4.4 *Pire cas du résonateur Res157*

Les simulations pire-cas récapitulées dans le tableau 4.4 permettent d'identifier les paramètres les plus critiques, ce sont :

- les tensions de seuil des transistors,
- les tensions de seuil des diodes.

Ces sensibilités sont liées à l'architecture du résonateur : la variation des courants délivrés par les sources de polarisation à cause de la dispersion technologique sur les tensions de seuil des transistors entraîne une modification de la compensation du facteur de qualité, c'est pourquoi on observe une grande disparité dans les facteurs de qualité obtenus ($Q = 2.7$ à $Q = 219$). Ces écarts importants par rapport aux valeurs nominales entraîneraient une dégradation des performances du modulateur. D'autre part, une forte variation des tensions de seuil des diodes conduit à ce que le circuit soit dans une zone non linéaire.

La figure 4.13 présentant l'histogramme d'une simulation de Monte-Carlo sur 200 tirages montre que 77 % des résonateurs ont leur fréquence centrale comprise entre 740 et 760 MHz.

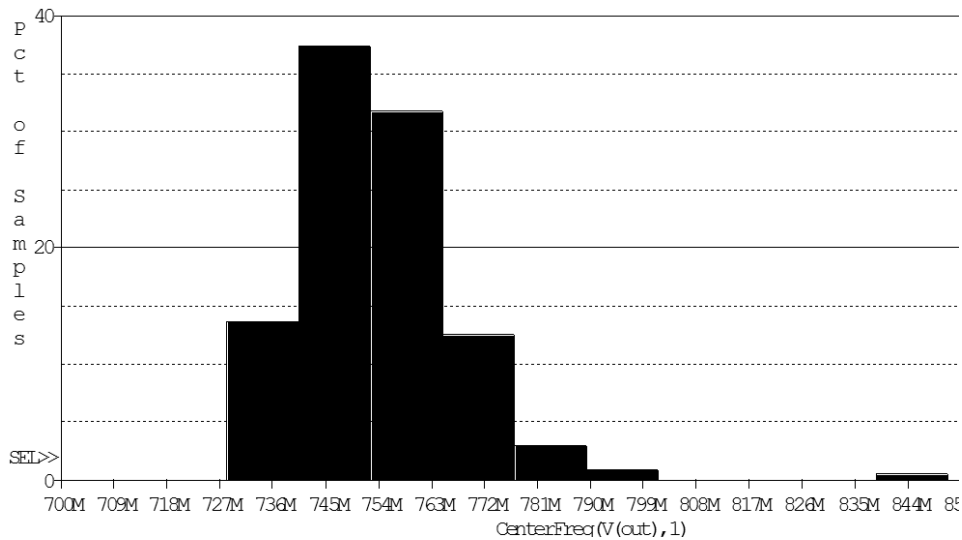


FIG. 4.13 Simulation Monte-Carlo sur les résonateurs

La sensibilité aux variations en température est présentée dans le tableau 4.5. Le comportement du résonateur est simulé pour les températures suivantes : 0°C , 27°C , 125°C , 200°C . La température décale les tensions de seuil des diodes et des transistors entraînant une déviation de la fréquence centrale et une chute du gain et du facteur de qualité.

Température ($^{\circ}\text{C}$)	Gain (dB)	Fréquence centrale (MHz)
0	9.55	748.17
27	6.3	751.6
125	-0.3	760
200	-3.1	765.5

TAB. 4.5 Variation des caractéristiques de Res157 en fonction de la température

Le calcul des éléments parasites des lignes de connexion pour le raccordement aux alimentations des résonateurs est effectué à partir du layout réalisé ultérieurement et présenté au chapitre 5, § 5.4.1, conformément aux formules données au chapitre 3, § 3.3.7. Leur impact sur les performances des résonateurs est présenté dans le tableau 4.6.

Les performances des résonateurs avec ces connexions sont très éloignées de celles attendues dans le cas nominal (tableau 4.3). Ceci est dû en particulier à la résistance équivalente des fils de connexion qui, en série avec l'inductance, dégrade considérablement le facteur de qualité. La compensation du facteur de qualité n'est alors plus suffisante. Nous proposons plusieurs solutions pour limiter ces effets :

1. élargir les fils de connexion (par exemple en (1) et (2)). En effet, plus les liaisons sont larges,

Résonateurs	Gain (dB)	Fréquence centrale (MHz)
Res157	-5.9	734.5
Res152	-11.8	679.2
Res162	-5.2	760
Resplat	-14.5	731.14

TAB. 4.6 *Caractéristiques des résonateurs en fonction des connexions aux alimentations*

moins les résistances équivalentes sont fortes (puisqu'il s'agit de résistances par carrés)

2. préférer un dessin de masque du type de la figure 4.14B plutôt que 4.14A. Avec la configuration du type B, les courants issus des bobines se compensent lorsque les connexions se rejoignent, car ils sont en opposition de phase. Les résistances parasites entrant en jeu sont alors celles avant la jonction et sont plus faibles car les longueurs sont diminuées.
3. si ces remèdes ne sont pas suffisants, tenir compte dès la conception des longueurs de liaison pour une compensation adaptée du facteur de qualité.

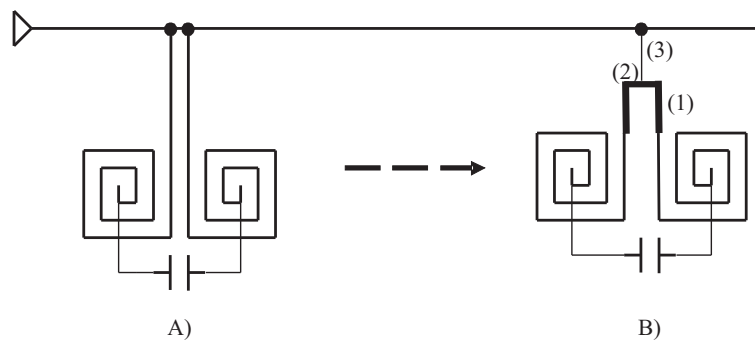


FIG. 4.14 *Modification des connexions aux alimentations*

Dans le cas présent, les corrections apportées sur le layout permettent d'améliorer les performances tel que le montre le tableau 4.7.

Résonateurs	Gain (dB)	Fréquence centrale
Res157	-0.5	744.43 MHz
Res152	0.8	729.45 MHz
Res162	0.87	772.68 MHz
Resplat	-10.5	743.019 MHz

TAB. 4.7 *Caractéristiques des résonateurs avec les corrections sur le masque*

Compte-tenu de la dérive des performances déjà apportée par les dispersions technologiques (imprévisibles), il vaut mieux se contenter des corrections apportées sur le layout plutôt que de revoir précisément la conception en tenant compte des éléments parasites. Les points de réglage permettront aussi de recalibrer les dérives.

4.2.5 Conclusion

Les circuits résonateurs conçus sont fonctionnels dans la boucle du modulateur sigma-delta dans le cas nominal. Leur point faible est la tension de seuil des transistors et des diodes qui varie aussi bien en fonction des erreurs de fabrication qu'en fonction de la température. Pour corriger des erreurs des points de réglages sont prévus sur les sources de polarisation des transconductances négatives et des transconductances de gain. D'autre part, une attention particulière doit être portée au layout pour que les éléments parasites induits par les connexions aux alimentations ne dévient pas la fréquence centrale.

4.3 Le sommateur

4.3.1 Spécifications attendues

Le sommateur doit avoir les caractéristiques suivantes :

- un gain proche de l'unité,
- disposer de quatre entrées différentielles, dont trois servent à la sommation des signaux issus des résonateurs et la quatrième à la sortie du modulateur dans le cas où le rebouclage rapide s'avère utile,
- une bande passante bien supérieure à la fréquence centrale du modulateur (750 MHz), soit plus élevée que 2 GHz,
- une zone de linéarité suffisante vis-à-vis de l'amplitude des signaux d'entrée du sommateur dans le modulateur. Ces signaux d'entrée, que l'on estime par des simulations paramétriques dans le cas où les niveaux de sortie du modulateur sont de ± 300 mV, sont inférieurs à 200 mV, de l'ordre de 100 mV.

La technologie GaAs, destinée à la conception de circuits radiofréquences, doit permettre de concevoir des dispositifs à large bande passante. Le gain et la linéarité sont simplement liés au dimensionnement des transistors et des résistances de linéarisation. Ainsi, nous avons pu choisir une architecture classique de sommateur.

4.3.2 Circuit sommateur et résultats de simulations

Le schéma du circuit sommateur est présenté à la figure 4.15. Il se compose de quatre amplificateurs différentiels à transconductance, de source de courant à hautes impédances de sortie et de décaleurs, du même type que pour les résonateurs. Le courant de sortie des transconductances, proportionnel aux tensions d'entrée est sommé dans une résistance R . L'expression de la tension différentielle de sortie, dans le cas où les transistors sont parfaitement appariés, est :

$$V_{out+} - V_{out-} = RG_m \sum_{i=1}^4 (V_{ini+} - V_{ini-}) \quad (4.8)$$

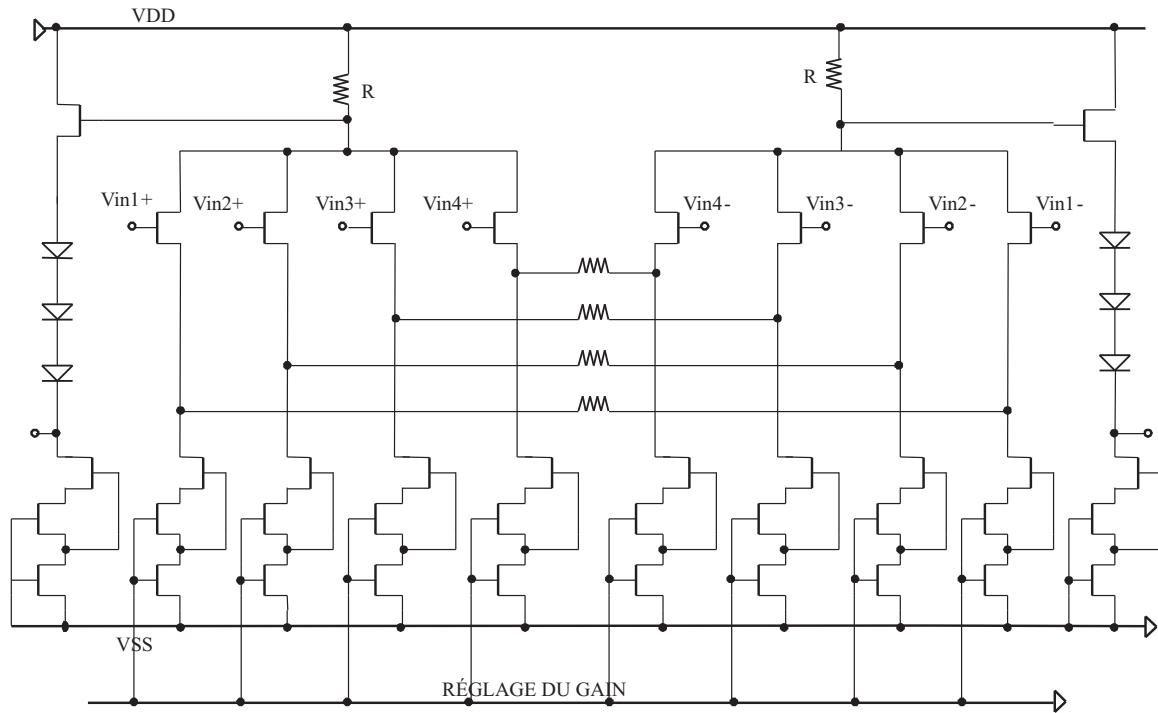


FIG. 4.15 Circuit sommateur

Le tableau 4.8 indique les caractéristiques obtenues.

Gain	bande passante (GHz)	Gm (mS)
0.9	6.5	4.5

TAB. 4.8 Caractéristiques du sommateur

Le gain obtenu est proche de l'unité (0.9). La bande passante de 6.5 GHz à -3 dB s'avère suffisamment large. L'étude en robustesse présentée dans la suite démontre la nécessité de points de réglage qui sont prévus sur chaque source de polarisation. Le test du circuit sommateur dans un modulateur sigma-delta idéal permet de démontrer sa viabilité avec un SNR de 61.4 dB et une résolution de 9.9 bits.

4.3.3 Robustesse du sommateur

La robustesse du sommateur est étudiée par rapport aux dispersions technologiques et aux variations de température. Les caractéristiques pouvant être affectées par ces variations sont le gain du sommateur dans la bande utile, sa bande passante, sa linéarité. Le tableau 4.9 présente le résultat des simulations pire cas. La linéarité du sommateur est évaluée pour une amplitude des signaux d'entrée comprise entre [-100 mV, 100 mV], on donne l'écart en pourcentage avec la droite issue de la tangente de la caractéristique de la transconductance.

Les caractéristiques qui se trouvent affectés par les dispersions technologiques sont surtout le gain et la linéarité du sommateur. La bande passante n'est pas modifiée. Le paramètre ayant le plus

Paramètres pire cas	Gain	Bande passante (GHz)	linéarité en % sur [-100 mV, 100 mV]
Nominal	0.9	6.5	0.5
Vt diodes	0.9	6.5	0.5
Vt FET ON	0.8	33.1	11
I_{dss} FET ON	0.9	6.5	0.5
I_s diodes	0.9	6.5	0.5
C_{gs} FET ON	0.9	6.5	0.5
Résistances GaAs	0.9	6.5	0.5
Capacités MIM	0.9	6.5	0.5
Pire cas	0.7	48.6	17

TAB. 4.9 *Pire cas du sommateur*

d'influence sur la dégradation des performances est la tension de seuil des transistors.

La figure 4.16 montre les résultats des simulations Monte-Carlo. Dans 75 % des cas le gain du sommateur se situe dans la gamme [0.8, 0.9], c'est à dire proche de l'unité.

La distribution des gains met en évidence un phénomène d'écrtage qui nécessite des points de réglages des sources de polarisation. Ceci s'explique de la façon suivante :

- lorsque les tensions de seuil des transistors sont plus élevées que prévues, les sources de polarisation délivrent un courant moins important entraînant une chute du gain (barres de l'histogramme à gauche de la valeur nominale),
- lorsque les tensions de seuil des transistors sont plus faibles que la valeur nominale, le courant délivré par les source de polarisation augmente et fait fortement chuter la tension de polarisation sur les drains des transistors des paires différentielles qui ne se trouvent plus dans le bon régime de fonctionnement (ils passent en zone ohmique). C'est pourquoi on observe des barres de l'histogramme pour des valeurs indiquant de très faibles gains, voire des gains négatifs.

Le sommateur a été dimensionné au mieux pour atteindre un gain proche de l'unité. Afin de compenser les effets de saturation, des points de réglage ont été prévus. La figure 4.17 présente le résultat de simulation de Monte Carlo avec réglage du point de polarisation. On constate que le gain a diminué, mais la distribution retrouve une allure plus proche d'une Gaussienne, car il n'y plus de saturation.

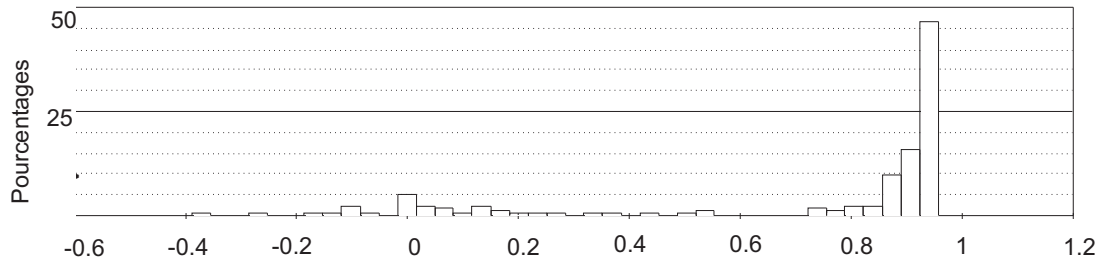


FIG. 4.16 Gain du sommateur lors de la simulation Monte-Carlo sans réglage

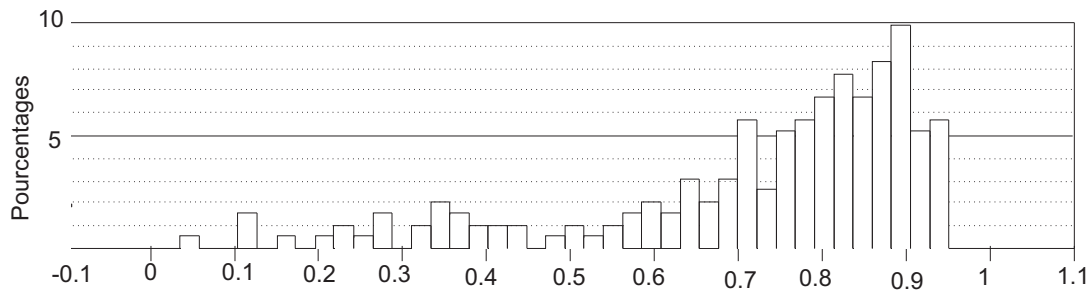


FIG. 4.17 Gain du sommateur lors de la simulation Monte-Carlo avec réglage

L'impact des variations en température sur le fonctionnement du sommateur est aussi étudié. Les résultats sont récapitulés dans le tableau 4.10.

Température ($^{\circ}C$)	Gain	linéarité en % sur [-100 mV, 100 mV]
0	0.875	0.52
27	0.875	0.54
125	0.86	0.65
200	0.85	0.79

TAB. 4.10 Caractéristiques du sommateur en fonction de la température

L'augmentation de la température tend à augmenter les tensions de seuils des transistors conduisant à des courants de polarisation plus faible et ainsi :

- diminue le gain,
- détériore la linéarité.

4.3.4 Conclusion

La polarisation statique du sommateur est très sensible aux variations de tension de seuil des transistors pouvant le faire entrer dans une zone d'écrêtage. Des points de réglages permettent dans ce cas de ramener le circuit dans le bon régime de fonctionnement. La variation de polarisation statique en sortie du sommateur n'influera pas sur le fonctionnement du modulateur car ses signaux de sortie sont envoyés sur le comparateur qui fonctionne en mode différentiel. La linéarité se dégrade très légèrement en fonction de la température.

4.4 Le comparateur

4.4.1 Spécifications attendues

La structure retenue pour le modulateur est monobit. Les caractéristiques attendues pour ce comparateur sont :

- un retard supérieur à une période d'échantillonnage (plus de 330 ps),
- des niveaux de sortie suffisants, quelques centaines de mV au moins, et stables et reproductibles,
- des temps de montée/descente courts (pas plus d'un sixième de la période d'échantillonnage soit 55 ps).

4.4.2 Choix d'une structure de comparateur

Deux types de comparateur peuvent être envisagé :

Les comparateurs RZ (Return à Zéro) effectuent la comparaison et fournissent le résultat de cette comparaison durant une demi-période d'échantillonnage. Ce type de fonctionnement a pour avantage que le retour à 0 systématique supprime la mémoire de l'état précédent, facilitant la comparaison suivante. Les inconvénients pour le modulateur sont que les largeurs des impulsions étant plus faible, il faut concevoir des filtres à plus fort gain [19] et que ce type de comparateur est plus sensible à la gigue d'horloge [45].

Les comparateurs NRZ (Non Retour à Zéro) fournissent le résultat de la comparaison pendant une période, ils sont donc moins agiles puisqu'ils conservent la mémoire de l'état précédent. En revanche ils permettent d'obtenir des niveaux plus stables, un gain de boucle plus élevé et sont moins sensibles à la gigue d'horloge. C'est donc celui qui a été retenu.

D'une façon générale un comparateur comporte les étages suivants (figure 4.18) :

- un étage de réduction de seuil, dont le rôle est d'amplifier le signal pour faciliter la prise de décision. Son dimensionnement dépend de l'amplitude des signaux à comparer.
- un étage d'accélération de la divergence issue du premier étage qui permet la récupération d'un état haut ou d'un état bas. Nous l'appelons étage de **verrouillage**.
- un étage de mise en forme pour une sortie logique.

Ces étages élémentaires fonctionnent avec une horloge de synchronisation. Selon les applications on peut enchaîner plusieurs étages élémentaires pour atteindre le retard voulu ou pour améliorer la

précision.

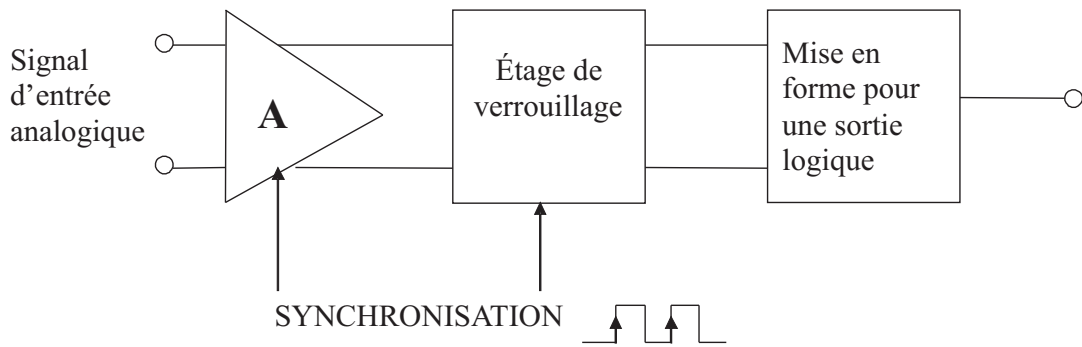


FIG. 4.18 Schéma général d'un comparateur

4.4.3 Circuit comparateur et résultats de simulation

La structure choisie est du type SCFL (Single Coupled FET Logic) et son dimensionnement a été effectué grâce à un modèle petit signal [76, 77, 78]. Elle se compose d'un étage d'amplification et d'un étage de verrouillage (figure 4.19).

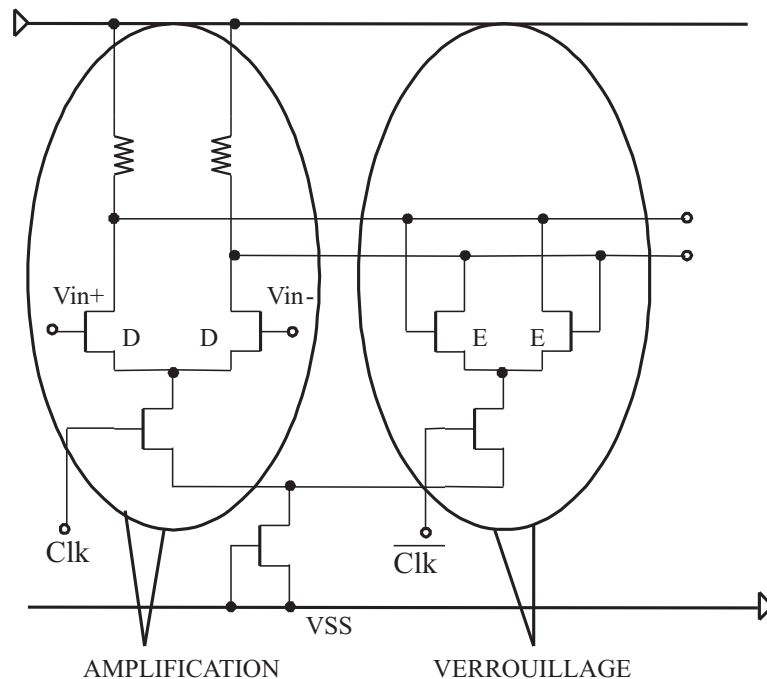


FIG. 4.19 Circuit comparateur élémentaire

La partie amplification du signal est réalisée à l'aide d'une paire différentielle à transistors déplétés (D), alors que la partie verrouillage est réalisée à partir de transistors enrichis (E). En effet, les transistors déplétés ont une tension de seuil trop faible pour pouvoir commuter convenablement dans l'étage de verrouillage. Les grandes lignes du dimensionnement sont les suivantes :

- Il est important de réaliser une amplification suffisante du signal d'entrée pour que la comparaison soit plus facile. Pour cela les transistors d'amplification ont une grande largeur de grille ($400 \mu m$).
- Le verrouillage doit se faire rapidement ce qui incite à prendre des transistors de verrouillage à large grille, mais cela conduit à ralentir l'étage d'amplification à cause de leur capacité C_{gs} . Le dimensionnement s'effectue donc dans ce cas en fonction de l'amplitude du signal à convertir.
- Les résistances de l'étage amplificateur déterminent les niveaux de sortie du comparateur. Il ne faut pas les choisir trop élevées sous peine d'obtenir une différence de tension trop forte entre les deux branches au moment du verrouillage et de générer un courant sur la grille des transistors de verrouillage (car V_{gd}) trop élevé.
- Les sources de courant doivent être suffisamment élevées pour permettre de polariser correctement les transistors en commutation.

L'étage élémentaire présenté à la figure 4.19 fournit un signal composé de deux phases :

- une phase d'échantillonnage du signal qui est une recopie amplifiée du signal d'entrée,
- une phase de verrouillage du signal.

La structure du comparateur, présentée à la figure 4.19, est constituée de 3 blocs :

- un bloc effectuant la comparaison, constitué d'un étage d'amplification et d'un étage de verrouillage,
- un bloc permettant de maintenir le résultat de la comparaison pendant une période d'échantillonnage,
- un bloc effectuant la mise en forme de la sortie faisant office de CNA.

Une seule entrée d'horloge est prévue pour tous les étages, la commutation des transistors se fait par rapport à un niveau de référence, ce qui évite le développement d'un circuit numérique pour le non recouvrement des horloges. L'allure des signaux en sortie est représentée à la figure 4.20.

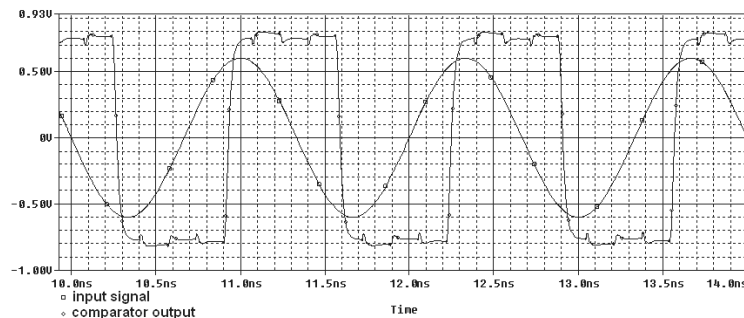
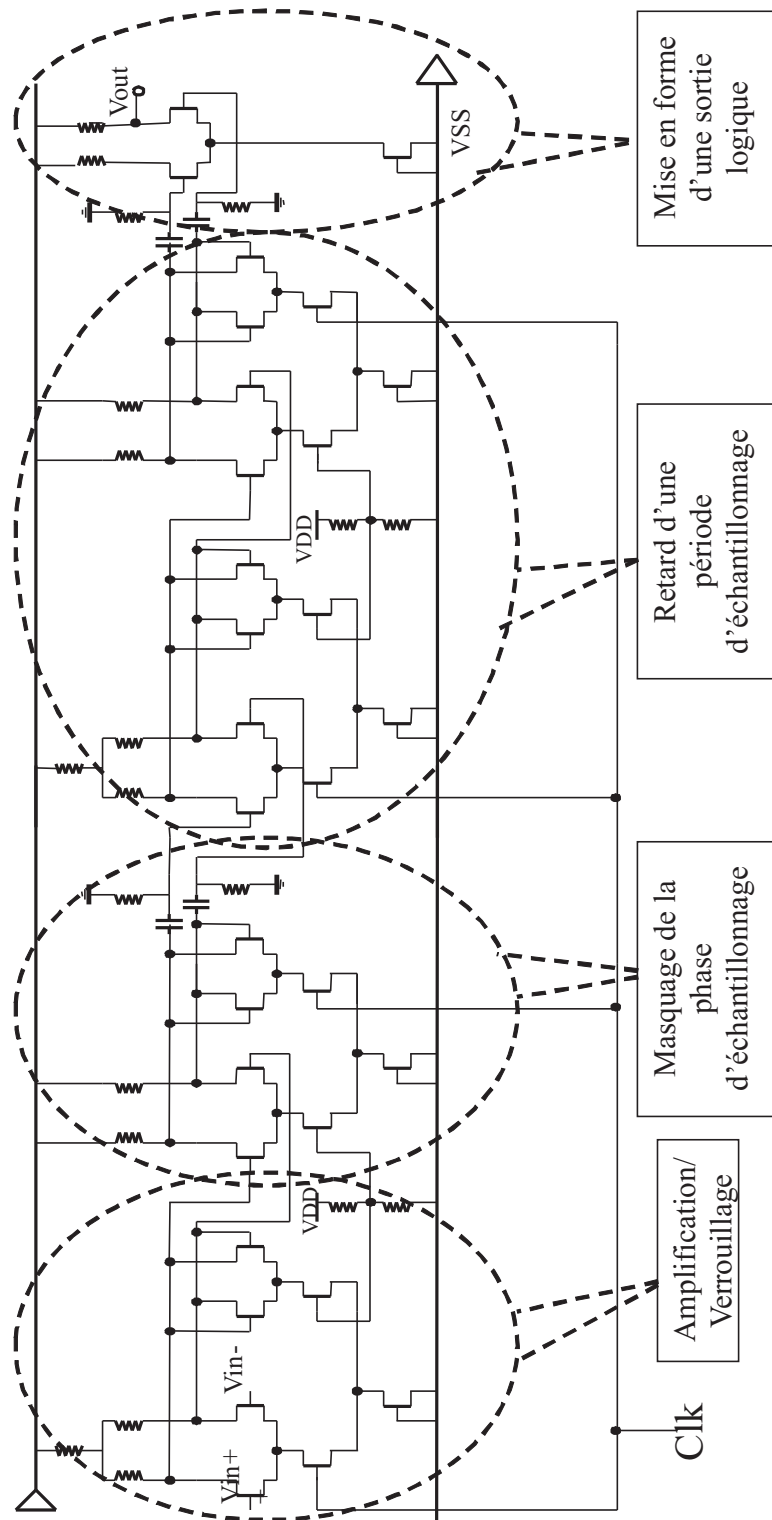


FIG. 4.20 *Signal de sortie du comparateur*

Le comparateur testé dans le modulateur sigma-delta idéal permet d'atteindre un SNR de 63.75 dB soit une résolution de 10.29 bits.

FIG. 4.21 *Circuit compareur*

4.4.4 Robustesse du comparateur

La robustesse du comparateur est étudiée par rapport aux dispersions technologiques et aux variations de température. Les caractéristiques pouvant être affectées par ces variations sont le temps

de réponse du comparateur, ses niveaux de sortie et sa polarisation en sortie. Le tableau 5.7 présente le résultat des simulations pire-cas.

	niveaux de sortie
cas nominal	$\pm 360mV$
Vt diodes	$\pm 360mV$
Vt FET ON	$\pm 570mV$
I_{dss} FET ON	$\pm 175mV$
I_s diodes	$\pm 360mV$
C_{gs} FET ON	$\pm 360mV$
Résistances GaAs	$\pm 360mV$
Capacités CMIM	$\pm 360mV$
pire cas	$\pm 325mV$

TAB. 4.11 *Simulations pire-cas du comparateur*

Les caractéristiques affectées par les dispersions technologiques sont les niveaux de sortie du comparateur. Le tableau 5.7 démontre que ce sont avant tout les variations des résistances et des diodes qui sont responsables de ces écarts.

La température jouant sur les tensions de seuils des diodes jouera sur la composante continue en sortie du comparateur. Ces variations n'ont pas grande importance puisque la sortie du comparateur est injectée à l'entrée du résonateur Res157 comprenant à son entrée un filtre passe-haut.

4.4.5 Conclusion

Le comparateur conçu peut fonctionner dans un modulateur sigma-delta et paraît suffisamment robuste puisque les caractéristiques variant avec la température et les dispersions technologiques sont les niveaux de sortie qui n'ont pas une grande influence sur le fonctionnement du modulateur. Les temps de réponse ne varient pas en fonction des dispersions technologiques et de la température.

4.5 Conclusion

L'objectif étant de concevoir un modulateur dont la fréquence centrale doit pouvoir s'adapter aux valeurs de fréquences du signal d'entrée comprises entre 725 MHz et 775 MHz, ce chapitre a présenté la conception de chacun des blocs élémentaires d'une architecture réglable par son résonateur d'entrée en technologie GaAs P-HEMT 0.2 μm :

- quatre résonateurs avec compensation du facteur de qualité, dont trois avec fréquences centrales réglables pour d'une part permettre le réglage de la fréquence centrale du modulateur par le résonateur d'entrée, et d'autre part permettre de corriger des décalages sur les fréquences centrales dûs aux dispersions technologiques sur les autres résonateurs,
- un sommateur,

- un comparateur de retard supérieur à une période d'échantillonnage.

Chaque bloc conçu a fait l'objet d'une simulation au niveau transistor dans un modulateur sigma-delta idéal permettant de valider son fonctionnement. Le tableau 4.12 récapitule les performances obtenues à l'insertion de chacun de ces blocs au niveau transistor dans un modulateur au niveau fonctionnel (idéal) pour un signal d'entrée d'amplitude 100 mV et sur une bande utile de 5 MHz autour de la fréquence centrale.

Blocs insérés	Performances obtenues
Cas idéal	63.6 dB soit 10.3 bits
Résonateurs	61 dB soit 9.9 bits
Sommeur	61.4 dB soit 9.9 bits
Comparateur	63.8 dB soit 10.3 bits

TAB. 4.12 *Performances du modulateur à l'insertion des blocs*

Le SNR obtenu dans le cas de l'insertion du comparateur au niveau transistor dans le modulateur idéal (63.8 dB) est plus élevé que dans le cas du modulateur idéal. Ceci s'explique que pour le cas idéal, nous avons initialement choisi un retard de $1.5 T_e$, alors que le comparateur au niveau transistor a un retard inférieur à $1.5 T_e$ et peut donc conduire à de meilleures performances.

L'étude de la robustesse de ces blocs vis-à-vis des dispersions technologiques et des variations de température a révélé une sensibilité particulière aux tensions de seuil des transistors et des diodes nécessitant l'ajout de points de réglages de la polarisation statique dans le circuit. Une amélioration possible serait de prévoir un asservissement de ces points de réglage.

Par ailleurs, l'importance d'une implantation de qualité a été mise en évidence pour les résonateurs, car ce sont les blocs les plus sensibles aux éléments parasites. Des solutions ont été proposées pour minimiser ces éléments parasites et ainsi limiter la dégradation des performances.

L'étude des performances du modulateur complet et de sa robustesse est présentée au chapitre 5.

Chapitre 5

Le modulateur complet

5.1 Introduction

Le chapitre précédent a présenté la conception des blocs élémentaires d'un modulateur sigma-delta passe-bande monobit du sixième ordre :

- les résonateurs,
- le sommateur,
- le comparateur.

Ce chapitre expose les résultats de simulation sur le modulateur complet au niveau transistor, propose un dispositif de test pour la future puce et détaille un modèle haut niveau du modulateur permettant d'évaluer la dégradation des performances en fonction des erreurs de fabrication et des éléments parasites du masque.

5.2 Simulation du modulateur au niveau transistor

5.2.1 Cas nominal

Tous les résultats de simulations ont été obtenus avec le logiciel PSpice. Le modulateur complet, composé de 210 transistors, est présenté à la figure 5.1. Il fonctionne à une fréquence d'échantillonnage de 3 GHz pour une fréquence centrale de 750 MHz. Les signaux de sortie du modulateur sont de ± 360 mV et il est alimenté en ± 5 V. Les entrées/sorties des blocs constitutifs sont polarisés autour de 0. Une simulation dans le cas nominal, avec un signal sinusoïdal en entrée de fréquence 750 MHz et d'amplitude 150 mV, est effectuée sur 1200 ns, ce qui représente 3600 points, dont les 2048 derniers servent à évaluer la résolution. Le spectre de sortie obtenu par cette simulation est présenté à la figure 5.2. Les performances sont récapitulées dans le tableau 5.1 et la courbe de la figure 5.3 représente l'évolution du SNR en fonction de l'amplitude des signaux d'entrée appliqués au modulateur. Cette figure nous permet d'évaluer un DR de 60 dB. Pour des signaux d'entrée compris dans cette gamme d'amplitude, les signaux intermédiaires du modulateur ne dépassent pas une amplitude de 200 mV. Le calcul des résolutions s'effectue suivant la procédure présentée à l'annexe E. Une imprécision de 0.5 bit sur la résolution est à prendre en compte (voir remarque au § 2.1).

Conditions de simulation	SNR et Rés.	DR	Puissance évaluée
Amplitude d'entrée : 150 mV Sinusoïde d'entrée : 750 MHz Nombre de points : 2048 Niveaux de sortie : ± 360 mV Bande utile : 4 MHz Fréquence d'échantillonnage : 3 GHz	61.8 dB (10 bits)	60 dB 280 mV max	5.7 W

TAB. 5.1 Performances du modulateur sigma-delta

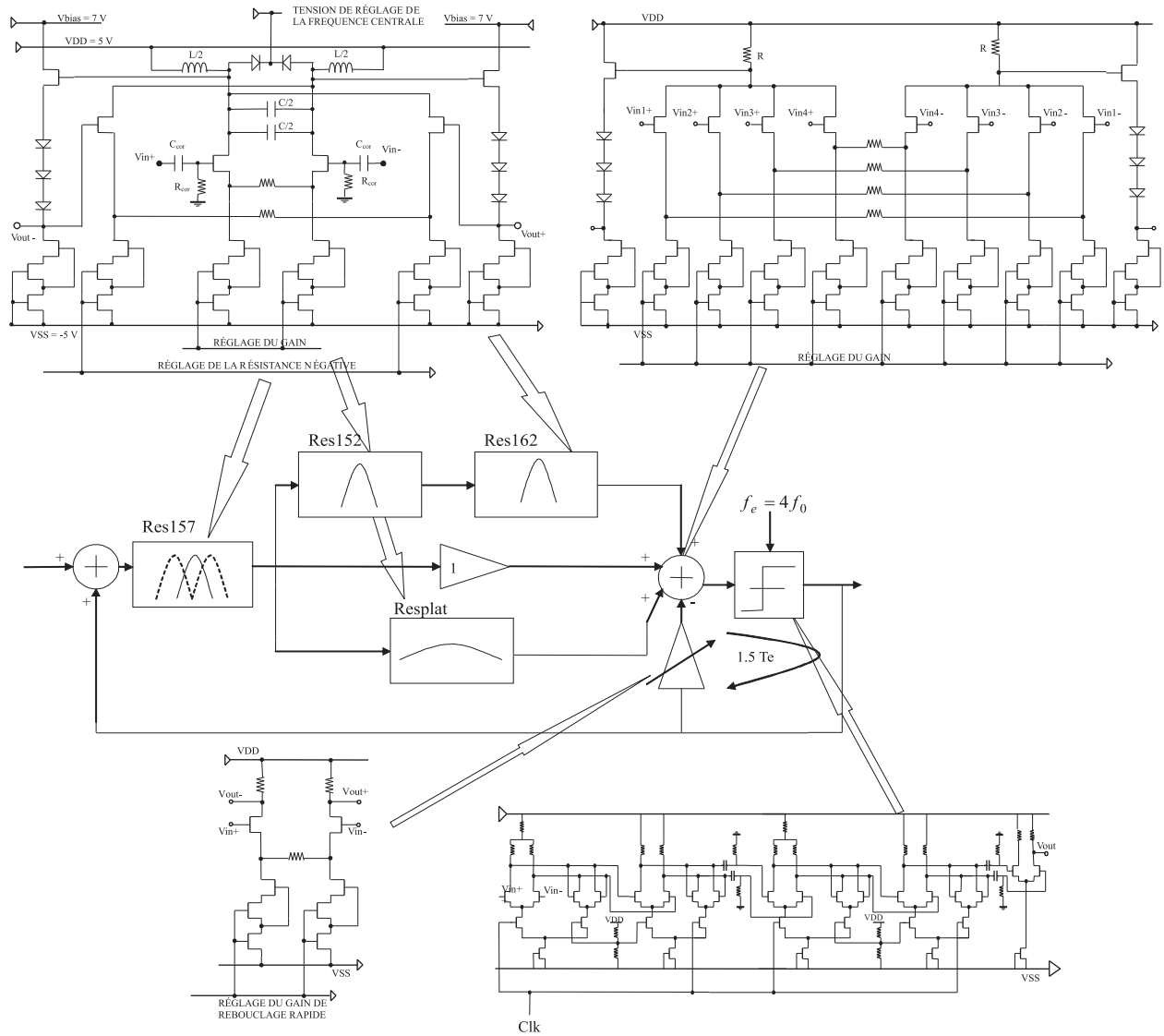


FIG. 5.1 Modulateur sigma-delta

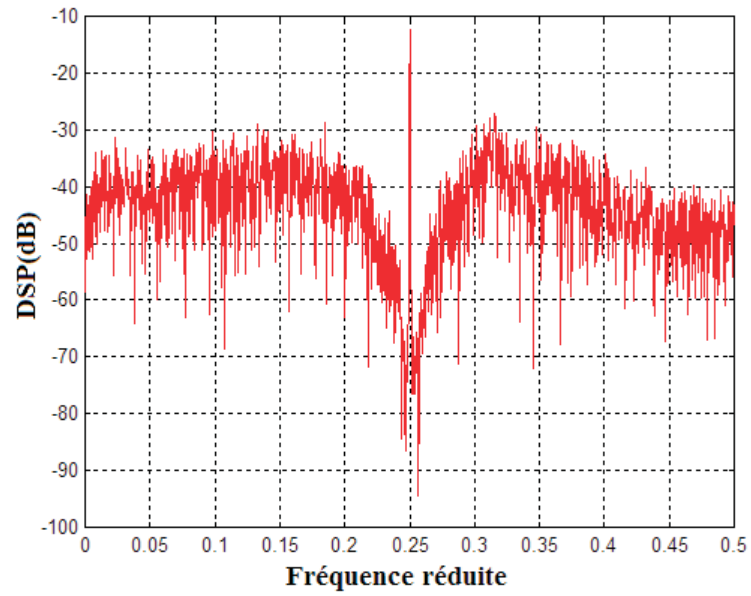


FIG. 5.2 Spectre en sortie dans le cas nominal

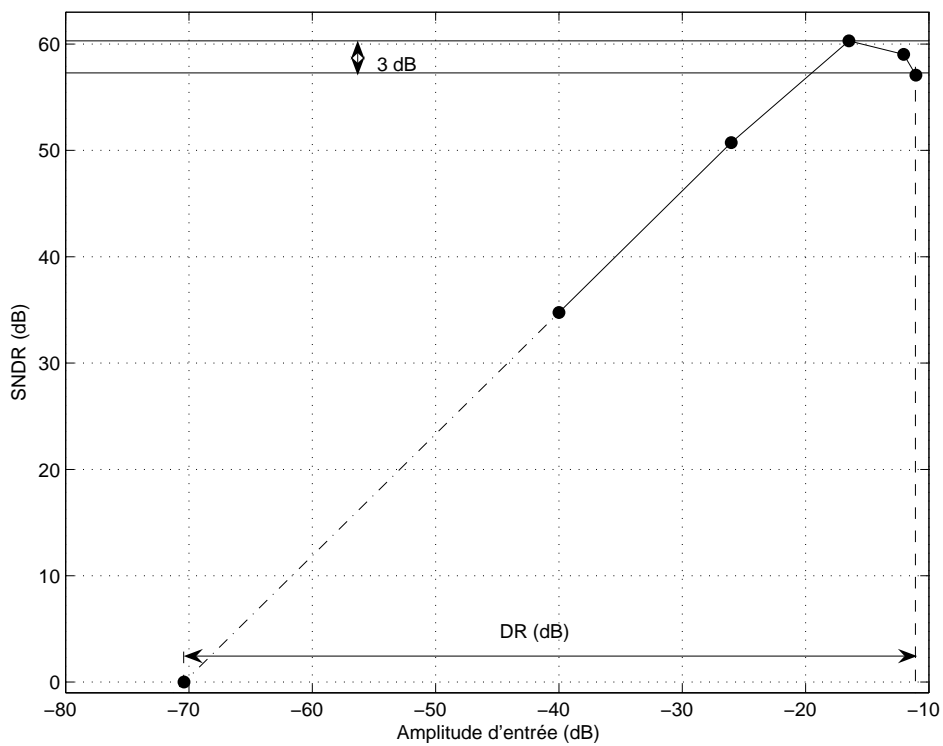


FIG. 5.3 Dynamic range (DR) du modulateur

Linéarité

Une façon de tester la linéarité d'un système sélectif est d'envoyer à l'entrée de ce système deux signaux sinusoïdaux à des fréquences différentes. Si le système n'est pas linéaire, il se trouve en sortie

des composantes fréquentielles inexistantes dans le signal d'entrée. Ces composantes résultent de l'intermodulation. Nous testons la linéarité du modulateur avec des sinusoïdes d'amplitude 100 mV aux fréquences :

$$\begin{cases} f_1 = 755 \text{ MHz} \\ f_2 = 745 \text{ MHz} \end{cases} \quad (5.1)$$

Si le modulateur n'est pas tout à fait linéaire, les produits d'intermodulation d'ordre 3 récapitulés dans le tableau 5.2 doivent se trouver en sortie. Leur amplitude dépend du degré de non-linéarité du modulateur. Deux de ces signaux doivent pouvoir s'observer sur le spectre en $2f_1 - f_2$ et en $2f_2 - f_1$. Les spectres en sortie du modulateur pour deux amplitudes des signaux à f_1 et f_2 sont présentés à la figure 5.4. Il s'agit du spectre obtenu pour des amplitudes d'entrée de 50 mV (a) et pour des amplitudes d'entrée de 150 mV (b).

$2f_1 - f_2$	$2f_1 + f_2$	$2f_2 - f_1$	$2f_2 + f_1$
765 MHz	2,255 GHz	735 MHz	2,245 GHz

TAB. 5.2 Produits d'intermodulation d'ordre 3

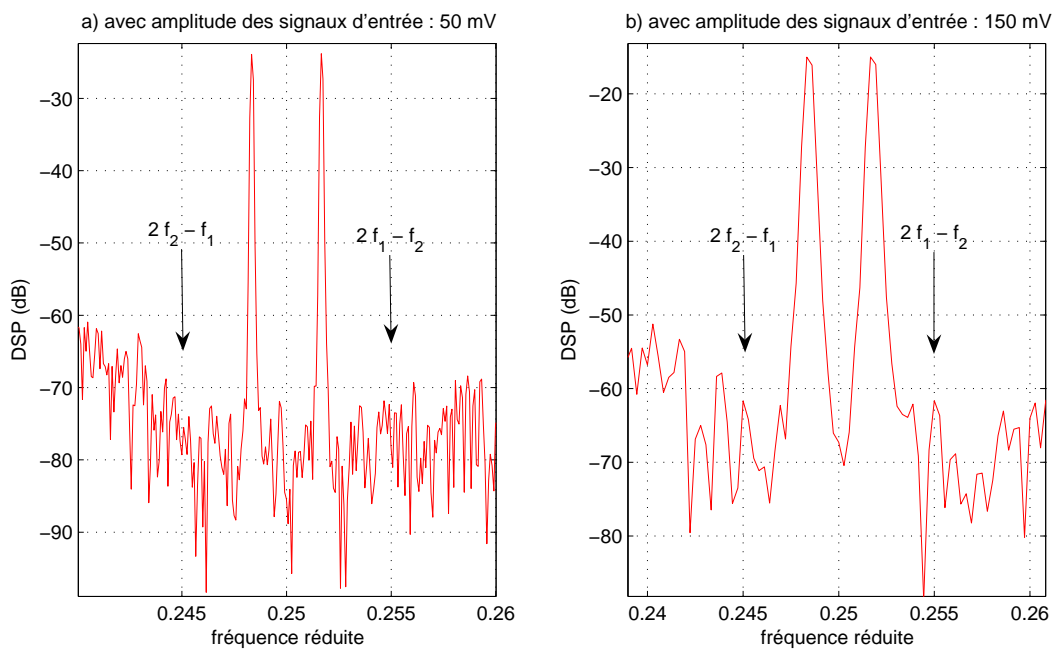


FIG. 5.4 Spectre en sortie pour l'évaluation de la linéarité

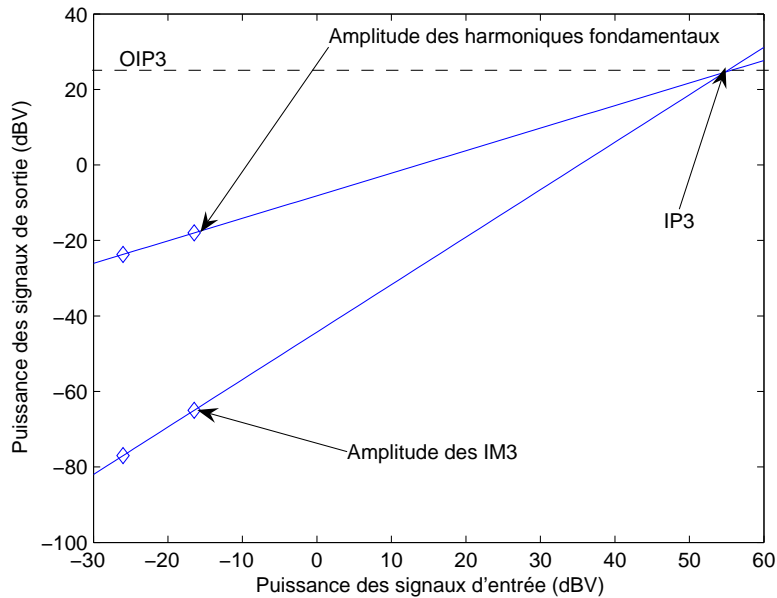


FIG. 5.5 Recherche du point d'intersection OIP3

Les composantes générées par l'intermodulation à 765 MHz sont observables dans les deux cas. Les valeurs d'amplitudes de ces composantes sont exploitées pour le tracé des droites permettant de déterminer l'OIP3, à savoir le point d'intersection du troisième ordre en sortie (Output 3-rd Order Intercept Point). Les droites en question, présentées à la figure 5.5 sont :

- la droite correspondant à l'amplitude des harmoniques fondamentaux en sortie
- la droite correspondant à l'amplitude des produits d'intermodulation d'ordre 3 en sortie.

La valeur obtenue pour l'OIP3 est de 25 dBV. Il est difficile de comparer ce résultat avec d'autres réalisations de modulateurs sigma-delta du même type aux mêmes fréquences, car cette valeur n'apparaît pas souvent dans les publications. Pour ordre de grandeur on retiendra qu'un OIP3 d'une trentaine de dBV (36 dBV) pour une réalisation d'un modulateur sigma-delta en CMOS $0.35 \mu\text{m}$ [79] permet de définir le modulateur comme "linéaire".

Les non-linéarités du modulateur sont liées essentiellement aux amplificateurs différentiels à transconductance. La structure différentielle permettant de s'affranchir du terme de non-linéarité du second ordre mais pas du troisième ordre. Il serait possible d'améliorer la linéarité du modulateur en augmentant la valeur des résistances de linéarisation et des courants de polarisation au détriment, cependant, de la consommation.

Réglabilité en fréquence

Par réglage de la fréquence centrale du résonateur d'entrée, le modulateur doit pouvoir s'adapter à des valeurs du signal d'entrée comprise entre 725 MHz et 775 MHz. L'ajustement de la fréquence centrale nécessite un réglage simultané de la résistance négative qui s'effectue par variation de la tension de polarisation sur les grilles des transistors de polarisation des résonateurs Gm-LC. Compte-

tenu de la plage de variation maximale des varicaps, il n'est pas possible de couvrir toute la gamme de fréquence 725 MHz à 775 MHz. Les plages de variation en fréquence centrale des résonateurs sont rappelées dans le tableau 4.3. En pratique, nous redéfinissons la bande d'agilité du modulateur de $f_A = 20$ MHz autour de 740 MHz. Les deux configurations de réglage aux extrémités ($f_0 + \frac{f_A}{2}$ et $f_0 - \frac{f_A}{2}$) de cette bande pour le résonateur d'entrée donnent lieu aux performances du tableau 5.3. Le spectre obtenu avec une fréquence centrale de 731 MHz est présenté à la figure 5.6.

Conditions de simulation	en $f_0 - \frac{f_A}{2}$ (731 MHz)	en $f_0 + \frac{f_A}{2}$ (751 MHz)
Signal d'entrée : 1500 mV	55.38 (8.9 bits)	61.8 dB (10 bits)
Nombre de points : 4096		
Niveaux de sortie : ± 360 mV		
Bande utile : 4 MHz		
Fréquence d'échantillonnage : 3 GHz		

TAB. 5.3 Performances du modulateur sigma-delta aux extrémités de la bande d'agilité

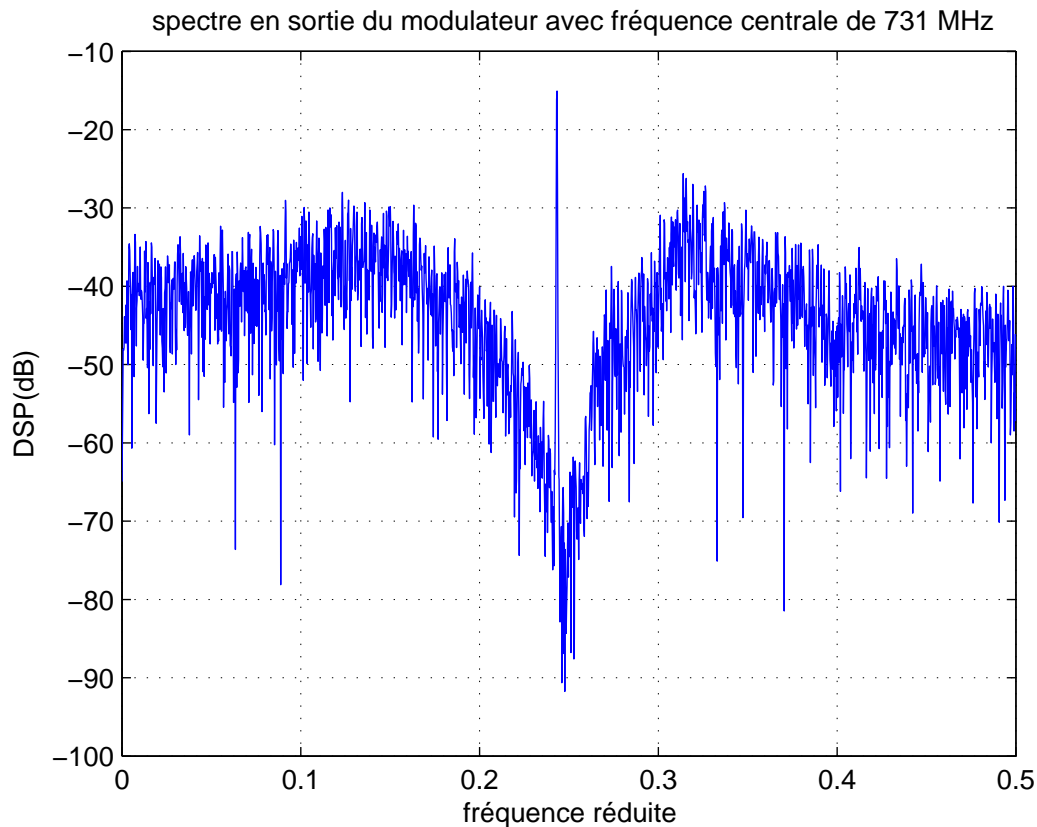


FIG. 5.6 Spectres en sortie avec fréquence centrale de 731 MHz

A 731 MHz de fréquence centrale les performances du modulateur sont dégradés d'environ 1 bit.

5.2.2 Situation par rapport à l'état de l'art

La recherche bibliographique sur l'état de l'art a concerné exclusivement les réalisations de modulateurs sigma-delta passe-bande à temps continu ayant des fréquences centrales supérieures à 500 MHz. Le tableau 5.4 présente les performances de ces réalisations comparée à celle obtenues avec ce travail. Bien-sûr cette comparaison est à considérer avec précaution car nous n'avons pas encore effectué de réalisation du circuit et les résultats présentés sont ceux obtenus en simulation. Par rapport à l'ensemble des réalisations, l'originalité du modulateur conçu réside dans son architecture d'ordre 6 et de type parallèle dans une technologie classique III-V qui a habituellement un faible niveau d'intégration. Par ailleurs, le modulateur conçu présente la particularité du réglage de sa fréquence centrale.

Publications	Technologie	f_0	f_e	$SNR(dB)$	Amplitudes max.
[30]	0.5 μm Si BJT	950 MHz	3.8 GHz	57 dB @ 200 kHz	300 mV
[29]	0.5 μm SiGe HBT	1 GHz	4 GHz	53 dB @ 4 MHz	250 mV
[28]	AlGaAs/GaAs HBT	800 MHz	3.2 GHz	66 dB @ 100 kHz	850 mV
[36]	InP HBT	1.3 GHz	4.3 GHz	62 dB @ 1 MHz	non mentionnée
[35]	SiGe BiCMOS	2 GHz	40 GHz	non mentionnée	900 mV
Ce travail	GaAs P-HEMT 0.2 μm	750 MHz	3 GHz	61.8 dB @ 4 MHz	280 mV

TAB. 5.4 Performances du modulateur

On remarquera que :

- Le rapport signal sur bruit sur une bande utile de 4 MHz est plus élevé que celui obtenu lors des réalisations antérieures [30][29][28]. Ces résultats seront à confirmer avec la réalisation du circuit prototype.
- La dissipation de puissance, estimée à 5.7 W, est de l'ordre de grandeur des réalisations faites avec des technologies similaires, comme l'InP (6.2 W) [36] (voir tableau 1.1).
- La fréquence centrale est moins élevée que celles des meilleures publications (950 MHz). Une des réalisations [35] présente une fréquence centrale de travail bien plus élevée (2 GHz), cependant la technologie utilisée a une fréquence de transition de 150 GHz contre 63 GHz pour l'GaAs P-HEMT 0.2 μm .
- La dynamique d'entrée du modulateur, relativement faible par rapport à l'ensemble des réalisations pourrait être améliorée par un redimensionnement de l'étage de sortie du comparateur.

5.3 Testabilité

5.3.1 Objectifs du test

Les objectifs du test sont de vérifier le fonctionnement du modulateur en deux étapes :

- La vérification fonctionnelle : cette étape consiste à vérifier le fonctionnement du modulateur de façon qualitative, c'est-à-dire vérifier que le signal de sortie est approximativement celui injecté en entrée.

- L'évaluation des performances.

5.3.2 Conception et testabilité

La stratégie de tests doit se construire dès la conception du circuit. Cette prise en compte doit permettre la **commandabilité**, c'est-à-dire le fait d'appliquer les grandeurs pour le test et l'**observabilité**, le fait de récupérer certaines grandeurs propres au test. Pour cela, chaque signal doit pouvoir être injecté ou mesuré sans perturbation du fonctionnement du circuit.

Parmi les méthodes de mesures envisageables il y a :

- Les tests sous pointes qui consistent à venir prendre la mesure au coeur même du circuit par l'intermédiaire d'un plot RF composé de trois parties (signal au centre, masse de chaque côté). La pointe vient alors prendre la mesure sur le plot. L'inconvénient de cette méthode est la place prise par les plots RF au milieu du circuit.
- Les tests sur les signaux ramenés à l'extérieur de la puce. Les points à tester sont reliés par une connexion à un plot de sortie du circuit. Dans ce cas les pistes et le plot vont charger les circuits mesurés, ce qui conduit à prévoir des adaptations d'impédances. Pour limiter le nombre de plots de sortie sur la puce, les tests peuvent aussi s'effectuer au travers d'un multiplexeur intégré, une des sorties étant sélectionnée au gré de l'utilisateur.

Afin de limiter la surface d'implantation, il est préférable d'envisager la méthode de mesure où les signaux sont ramenés en sortie à travers un plot en prévoyant dès la conception des étages d'adaptation d'impédance. En effet, un plot RF occupe à lui seul $200\ \mu\text{m}$ par $400\ \mu\text{m}$.

Pour ce circuit, la testabilité a été étudiée par les opérations suivantes :

1. recensement des blocs à tester de façon isolée,
2. recensement des points critiques du circuit en particulier les points de polarisation sur des blocs sensibles et la prévision des réglages,
3. prévision des adaptations d'impédances pour ne pas charger les sorties lors des tests,
4. dans certains cas, prévoir l'ajout de capacité de découplage pour annuler l'effet des fils de raccordement aux alimentations.

Pour le modulateur sigma-delta, la prise en compte du test lors de la conception comprend l'ajout de suiveurs sur chacun des blocs élémentaires pour ne pas charger les sorties, et l'insertion de points de réglage pour :

- régler toutes les transconductances (gains, compensation du facteur de qualité des inductances)
Pour cela, la tension de réglage s'applique sur la grille des transistors des sources de polarisation,
- régler les fréquences centrales des résonateurs. La tension de réglage est appliquée entre les deux diodes varicaps.

Pour le test, la puce devra être montée sur un support adéquat. Les plots d'entrée/sortie et d'alimentation seront reliés par des fils au système de mesure. Des capacités de découplage à la fois sur la puce et à l'extérieur de la puce pour annuler l'effet de l'inductance des fils de raccordement aux alimentations qui risquerait de déplacer la fréquence centrale des résonateurs.

5.3.3 Test du circuit

Vérification fonctionnelle

Le signal de sortie du modulateur est un train binaire dont les caractéristiques dépendent du signal injecté à l'entrée. L'ajout d'un filtre passe-bande en sortie du modulateur permet de vérifier qualitativement que tous les signaux ont une forme correcte et d'effectuer le réglage manuel d'un certain nombre de paramètres (fréquences centrales, selectivités, gains) sans traitement numérique de la sortie. Le filtre sera réalisé en éléments discrets.

Évaluation des performances

Après la vérification fonctionnelle, on détermine les performances du modulateur (SNR, résolution, dynamique d'entrée...) par traitement numérique du train binaire de sortie.

Banc d'acquisition des signaux

Un synoptique du banc d'acquisition des signaux est représenté à la figure 5.7.

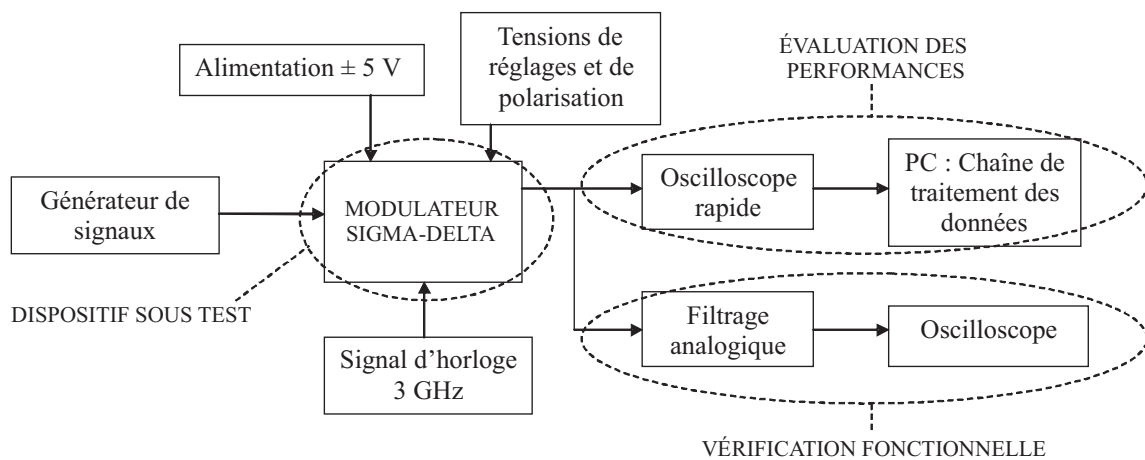


FIG. 5.7 Synoptique de test

L'injection du signal d'horloge de 3 GHz peut être problématique. En effet, s'agissant d'un signal de fréquence très élevé, il est susceptible d'être dégradé, par exemple par les plots d'entrée, jusqu'à son arrivée au circuit. Il est donc souhaitable d'ajouter sur la puce même un circuit d'adaptation du signal d'horloge.

L'acquisition du train binaire de sortie par l'oscilloscope rapide est une opération critique en raison de l'absence de synchronisation entre l'horloge de cadencement du circuit et l'acquisition des signaux.

5.4 Dessin du masque du modulateur et rétrosimulation

5.4.1 Règles d'implantation

L'implantation d'un circuit doit tenir compte de contraintes diverses :

- de la surface d'implantation disponible,
- de la sensibilité du circuit aux retards,
- de la testabilité.

Le modulateur a été implanté par des spécialistes du CEA (figure 5.8). La taille du masque représente 12 mm^2 . Une attention particulière a été portée sur les points suivants :

1. la longueur des interconnexions est minimisée, donc la distance entre les blocs concernés,
2. les éléments sont implantés le plus symétriquement possible,
3. les longueurs des interconnexions transmettant un signal différentiel sont symétrisées,
4. le nombre de croisements est limité.

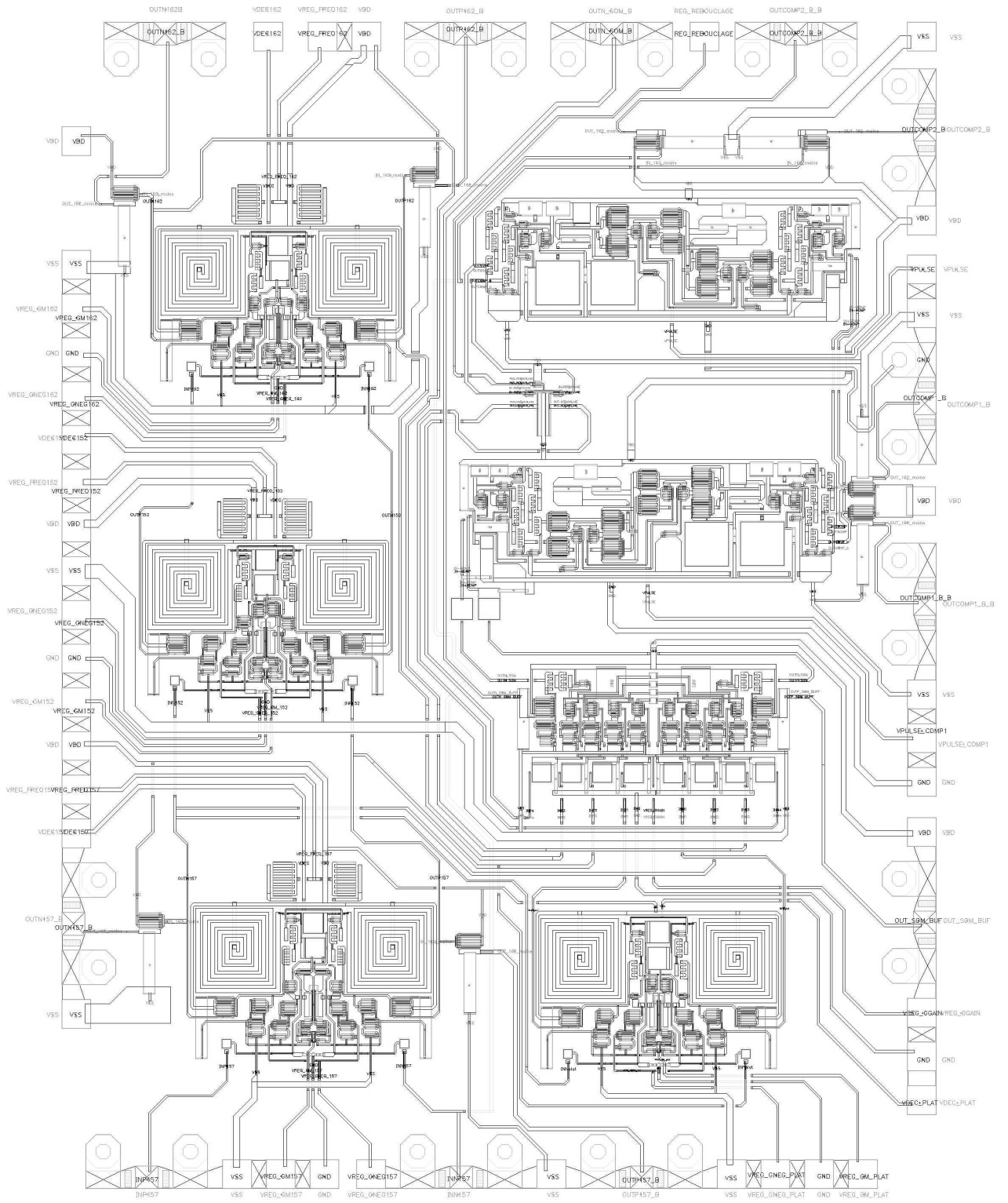


FIG. 5.8 Masque du modulateur

5.4.2 Rétrosimulations

Comme nous l'avons vu au chapitre 3, les connexions introduisent dans le circuit un certain nombre d'éléments parasites susceptibles d'en perturber le fonctionnement. Pour le circuit modulateur, l'extraction de ces éléments parasites s'est faite manuellement par la mesure des longueurs de connexion et par le recensement du nombre de croisements. Elle est récapitulée dans le tableau 5.5. On rappelle que les niveaux IN et BE sont les niveaux de métaux avec lesquels sont réalisés les connexions (IN : TiPtAu, BE : TiPtAu). Les capacités (C_p) et résistances parasites (R_p) sont calculées avec les formules données au chapitre 3. Nous avons calculé pour chaque connexion la fréquence de coupure f_c résultant des résistances et capacités parasites. Les numéros de liaison sont indiqués sur la figure 5.9.

Ces éléments parasites sont pris en compte dans une nouvelle simulation dont le spectre de sortie est présenté à la figure 5.10. Même si les fréquences de coupure (f_c) paraissent très élevées à première vue, on constate sur ce spectre que la mise en forme de bruit est dégradée et engendre une perte de résolution de 2 bits (voir tableau 5.6). Ceci étant dû aux nombreuses constantes de propagation introduites par les parasites du layout, il est envisageable de corriger ces effets en réoptimisant les filtres passe-haut présents à l'entrée des résonateurs ou en en ajoutant de nouveaux.

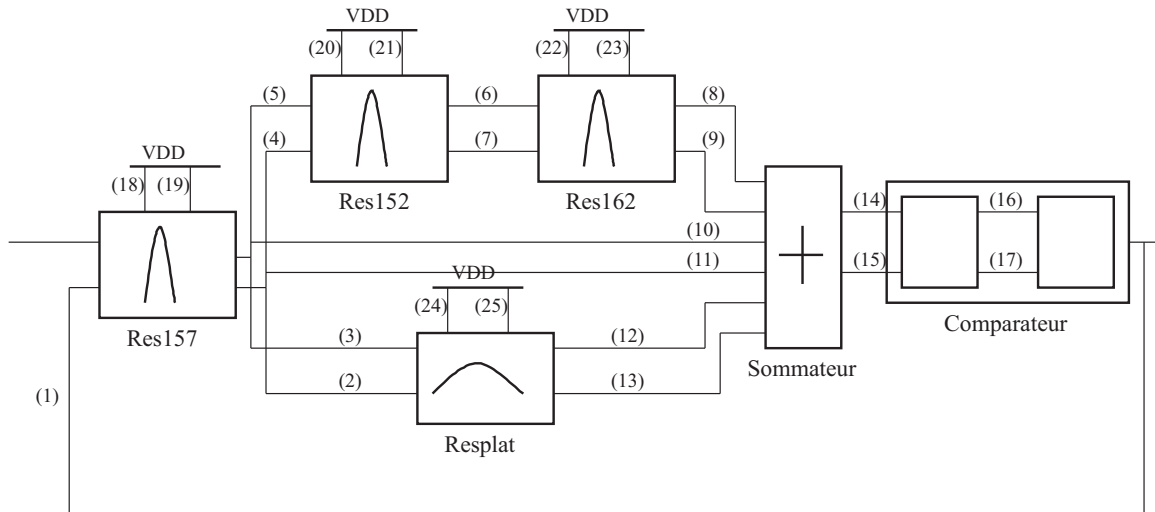


FIG. 5.9 Numérotation des interconnexions du circuit

Liaisons	Type	Largeurs (μm)	Longueurs (μm)	C_p (fF)	R_p (ohm)	f_c (GHz)
(1)	BE	9.5	3100	449	22	16
(2)	IN-BE-IN-BE-IN	8	150 – 60 – 1450 – 104 – 1393	467	12.3	27
(3)	IN-BE-IN	8	420 – 214 – 1450	309	8.5	60
(4)	IN-BE-IN	5 – 7.5 – 5	862 – 273 – 100	181.5	15.5	56.5
(5)	IN-BE-IN	8	862 – 63 – 100	144.9	3.9	281
(6)	IN-BE-IN	8	256 – 342 – 100	104	4.4	348
(7)	IN	4.5	600	87.5	3.7	492
(8)	IN-BE-IN	8	4777 – 82 – 100	734	17.8	12
(9)	IN-BE-IN	8	2200 – 100 – 100	355	9	50
(10)	IN-BE-IN	8	2000 – 217 – 100	343	9.3	50
(11)	IN-BE-IN	8	1741 – 100 – 100	288	7.5	74
(12)	IN-BE-IN	8	450 – 100 – 100	97.2	3	545
(13)	IN-BE-IN	8	450 – 100 – 100	97.2	3	545
(14)	IN-BE-IN	8	576 – 40 – 635	186	4.8	178
(15)	IN	8	400	60	1.4	1900
(16)	IN-BE-IN-BE-IN	8	641 – 146 – 345 – 45 – 45	181	6	146
(17)	IN-BE-IN-BE-IN	8	472 – 145 – 356 – 30 – 30	153	5	208
(18)	IN-IN	10.5 – 17	300 – 1200	235	2.7	250
(19)	IN-IN	10.5 – 17	300 – 1200	235	2.7	250
(20)	IN-IN	10 – 23	230 – 831	172	7.6	122
(21)	IN-IN	10 – 23	300 – 831	183	8	109
(22)	IN-BE-IN	10 – 18	286 – 30 – 390	113	2.9	485
(23)	IN-BE-IN	10 – 18	286 – 30 – 390	113	2.9	485
(24)	IN-BE-IN-BE-IN	10 – 18	430 – 55 – 300 – 30 – 1530	383	5	83
(25)	IN-BE-IN-BE-IN	10 – 18	430 – 55 – 300 – 30 – 1530	383	5	83

TAB. 5.5 *Extraction des éléments parasites*

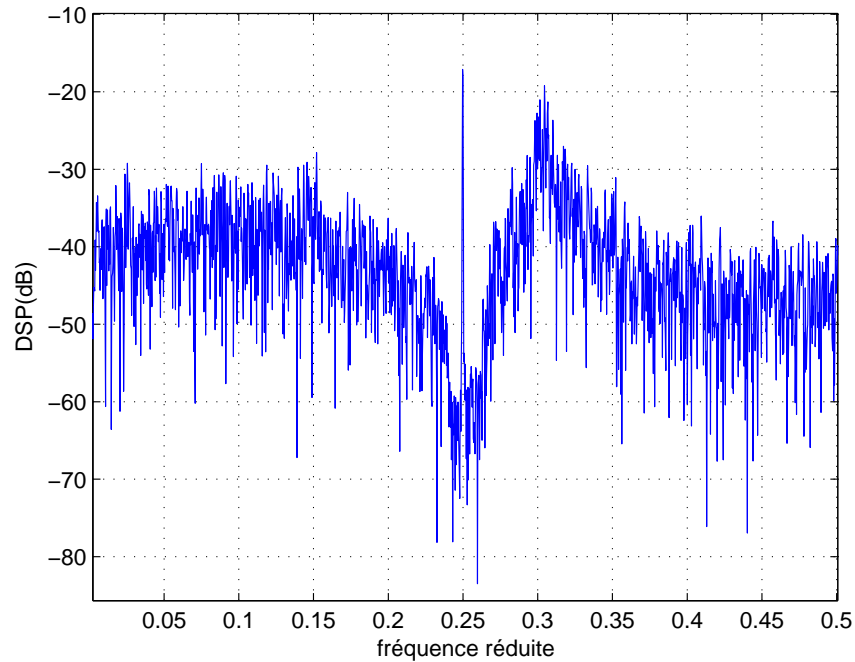


FIG. 5.10 Simulation intégrant les interconnexions du modulateur

Conditions de simulation	SNR et Rés.
Amplitude d'entrée : 100 mV	46.4 dB (7.4 bits)
Sinusoïde d'entrée : 750 MHz	
Nombre de points : 4096	
Niveaux de sortie : ± 360 mV	
Bande utile : 4 MHz	
Fréquence d'échantillonnage : 3 GHz	

TAB. 5.6 Performances du modulateur sigma-delta avec éléments parasites des interconnexions

5.5 Robustesse du modulateur

5.5.1 Méthodologie

Une seule simulation du modulateur dans le cas nominal dure 60 heures de simulation, il est donc impossible d'envisager des simulations du type Monte-Carlo pour juger de la robustesse du modulateur complet. La démarche consiste alors à établir des modèles comportementaux prenant en compte les défauts de chacun des blocs. Ces modèles comportementaux peuvent être établis dans des outils divers tels que le VHDL-AMS, Simulink ou PSpice. Par soucis de cohérence, nous les avons établi en PSpice dans la continuité du travail de conception. Ces modèles nous ont servi à étudier au premier ordre l'impact des erreurs de fabrication sur l'ensemble du circuit.

5.5.2 Comparateur

Les simulations concernant la robustesse du comparateur, exposées au chapitre 4, ont démontré que les caractéristiques influencées par les dispersions technologiques sont les niveaux de sortie du comparateur.

Le retard total et le temps de montée ne varient pas (tableau 5.7). On établit donc un modèle comportemental prenant en compte la variation des niveaux de sortie du comparateur, le retard fixé et le temps de montée fixé. Le décalage du point de polarisation en sortie du comparateur n'est pas pris en compte puisque dans le circuit les capacités de liaisons isolent le circuit des composantes statiques. La figure 5.11 présente ce modèle.

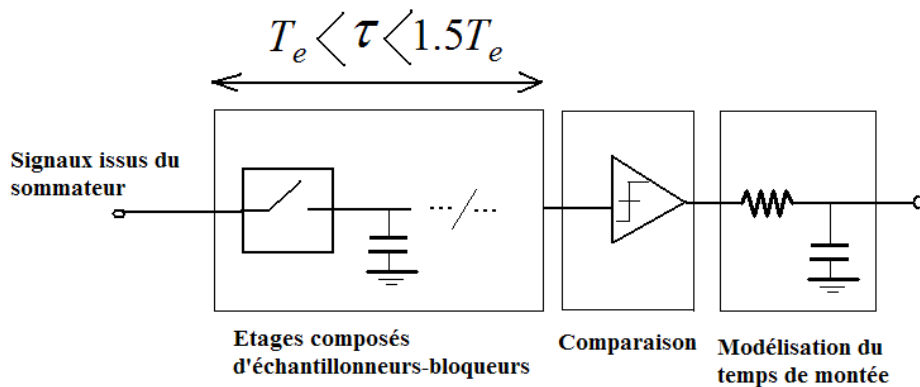


FIG. 5.11 Modélisation du comparateur

Le tableau 5.7 présente les caractéristiques du comparateur dans le cas nominal et dans le pire cas, déterminés pour une sinusoïde d'amplitude d'entrée de 600 mV. On effectue les simulations dans ces deux cas (tableau 5.8).

D'une façon générale, la baisse des niveaux de sortie du CNA fait chuter la dynamique d'entrée du modulateur. Ainsi pour une même amplitude du signal d'entrée, le SNR sera moins élevé avec un modulateur dont les niveaux de sortie du CNA sont plus faibles (figure 5.12). Dans le cas de notre circuit, les niveaux de sortie sont ceux du comparateur. On constate d'après le tableau 5.8 une diminution de 1 bit sur la résolution avec des niveaux de sortie du comparateur plus faibles, correspondant au pire-cas.

	retard	temps de montée	niveaux de sortie
cas nominal	374ps ($1.12T_e$)	39.5ps	$\pm 380mV$
pire cas	374ps ($1.12T_e$)	39.5ps	$\pm 325mV$

TAB. 5.7 Caractéristiques du comparateur

	cas nominal	pire cas
Amplitude d'entrée : 100 mV	61.8 dB (10 bits)	56 dB (9.0 bits)
Sinusoïde d'entrée : 750 MHz		
Fréquence d'échantillonnage : 3 GHz		
Bande utile : 4 MHz		

TAB. 5.8 Incidence du pire cas comparateur sur le modulateur

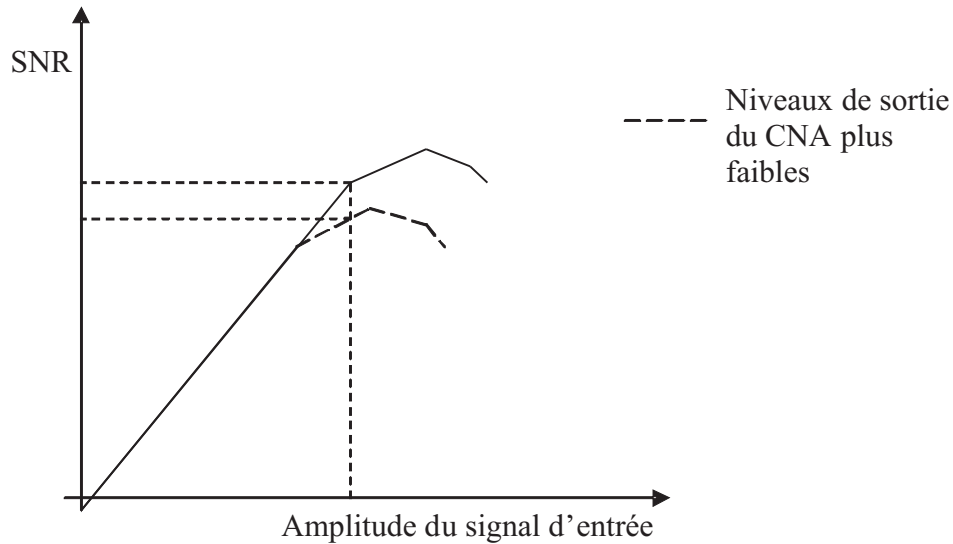


FIG. 5.12 Diminution du DR en fonction des niveaux de sortie du CNA

5.5.3 Résonateurs

Les résonateurs ont pour paramètres critiques :

- les tensions de seuil V_t des diodes,
- les tensions de seuil V_t des transistors,
- les courants drain source à tension de seuil constante (I_{dss}).

Ces dispersions de fabrication changent les valeurs de gain, la linéarité des étages à transconductance et la polarisation en sortie du résonateur. Ainsi le gain maximal, la fréquence centrale et le facteur de qualité s'en trouvent dégradés. Le tableau 5.9 récapitule les pires cas obtenus pour chacun des résonateurs. Les notations des résonateurs sont établis sur la figure 5.1.

On se propose de voir l'incidence de tel pire cas sur le modulateur en remplaçant alternativement chacun des résonateurs idéaux par la fonction de transfert pire cas obtenue (figure 5.13). On obtient alors le tableau de performances 5.10.

	Fréquence centrale (MHz)	Gain maximal (dB)	Facteur de qualité
Res157 nominal	751	6.3	24
Res157 pire cas	805	-20.5	2.7
Res152 nominal	736	9.3	32.4
Res152 pire cas	749	-15.5	6.0
Res162 nominal	778	8.9	31.8
Res162 pire cas	827	-20.25	2.8
Resplat nominal	744	-8.89	3.6
Resplat pire cas	790	-17.3	3.9

TAB. 5.9 Pire cas résonateurs

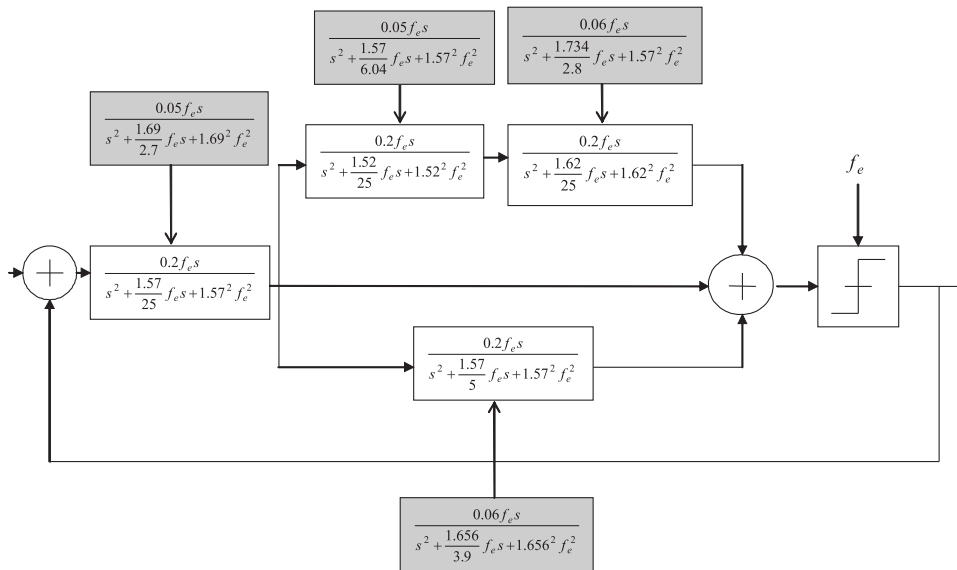


FIG. 5.13 Sensibilité du modulateur aux pires cas des résonateurs

Résonateur remplacé	SNR (dB) @ 4 MHz
Res157 pire cas	51.7 (8.3 bits)
Res152 pire cas	55 (8.9 bits)
Res162 pire cas	54.5 (8.8 bits)
Resplat pire cas	61.8 (10 bits)

TAB. 5.10 Incidence des pires cas résonateurs sur le modulateur

Un pire-cas sur le résonateur d'entrée dégrade considérablement la résolution (tableau 5.10), alors qu'un pire cas sur le résonateur de la branche parallèle inférieure est presque sans incidence. On note que dans cette modélisation fonctionnelle les erreurs de non-linéarité ne sont pas prises en compte et sont elles aussi susceptibles de dégrader les performances du modulateur.

5.5.4 Sommateur

La bande passante du sommateur s'avère assez élevée (6.5 GHz), on montre que son influence sur le comportement du modulateur est négligeable [80]. En revanche les études pires-cas et Monte-Carlo du chapitre précédent ont montré que le gain et la linéarité de ce bloc pouvaient être considérablement dégradés. Une modélisation du sommateur permet d'évaluer la chute de performance qui serait due au sommateur. La figure 5.14 présente la modélisation du sommateur dans le cas idéal et la figure 5.15. la modélisation du sommateur réel.

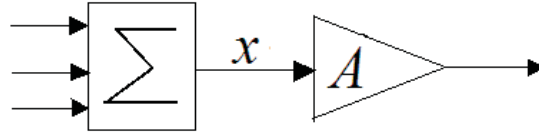


FIG. 5.14 Modélisation du sommateur parfait

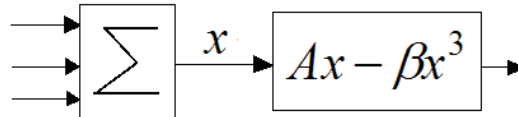


FIG. 5.15 Modélisation du sommateur non linéaire

L'expression de la sortie du sommateur est la somme d'un terme proportionnel à l'entrée et d'un terme d'ordre 3, puisque le courant de sortie de la paire différentielle est du type :

$$2i = \sqrt{2BwI_0}V_d + 0 - \frac{1}{2\sqrt{2}} \frac{(Bw)^{\frac{3}{2}}}{I_0} V_d^3 + 0 - \dots \quad (5.2)$$

On fait l'hypothèse que le terme en V_d^2 est nul, car le sommateur fonctionne en différentiel et l'on considère que les transistors sont parfaitement appariés. Pour évaluer les paramètres de la modélisation, c'est à dire A qui est le gain du sommateur et β qui est la constante du terme d'ordre 3, on se reporte au cas nominal et au pire cas du sommateur et l'on approche au mieux leur caractéristique DC pour obtenir les valeurs du tableau 5.11. Les performances obtenues avec ces paramètres sont récapitulées dans le tableau 5.12.

	A	β
cas idéal	1	0
cas nominal	0.9	0.085
pire-cas	0.7	0.4

TAB. 5.11 Paramètres de modélisation du sommateur

	Cas nominal	Pire-cas
Amplitude d'entrée : 100 mV Sinusoïde d'entrée : 750 MHz Fréquence d'échantillonnage : 3 GHz Bande utile : 4 MHz	58.3 dB (9.4 bits)	57.5 dB (9.3 bits)

TAB. 5.12 Performances du modulateur en fonction du sommateur

On constate que la dégradation du gain et de la linéarité du sommateur ont peu d'influence sur les performances du modulateur. Ceci s'explique en partie par le fait que les signaux internes au modulateur sont de l'ordre de 100 mV et se trouvent encore dans la zone relativement linéaire du sommateur.

5.5.5 Simulation globale

Les défauts des différents blocs ont une incidence plus ou moins forte sur le comportement du modulateur ainsi que les éléments parasites du layout. Une simulation globale comportementale permet d'avoir une idée sur la robustesse du modulateur. La simulation est effectuée dans le cas suivant :

- le comparateur est en pire-cas,
- le sommateur est en pire-cas,
- des tirages sont pris au hasard pour chacun des résonateurs sur 100 tirages d'une simulation Monte-Carlo,
- les éléments parasites dus aux interconnexions du masque sont prises en compte.

Résonateur	tirage	fréquence centrale (MHz)	Gain (dB)	facteur de qualité
Res157	14	758.6	28.7	261
Res152	28	731.1	5.3	21
Res162	73	762.0	7.8	27
Resplat	36	753.3	-9.7	4

TAB. 5.13 Performances des résonateurs échantillons

On obtient ainsi le spectre de la figure 5.16 ainsi que les performances du tableau 5.14

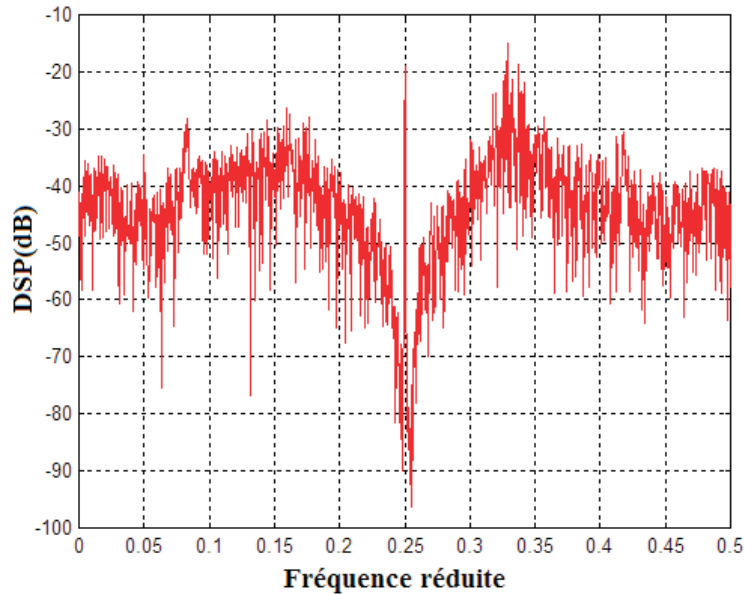


FIG. 5.16 *spectre issu de la simulation globale*

	SNR et résolution
Amplitude d'entrée : 100 mV	60.7 dB (9.8 bits)
Sinusoïde d'entrée : 750 MHz	
Fréquence d'échantillonnage : 3 GHz	
Bande utile : 4 MHz	

TAB. 5.14 *Performances issues de la simulation globale*

Cette simulation nous démontre toutefois que le circuit n'a pas de sensibilité excessive :

- aux variations de gain,
- aux variations de fréquences centrales,
- aux erreurs de non-linéarité,
- à la baisse des niveaux de sortie du comparateur.

Nous constatons, en comparant les spectres des figures 5.16 et 5.6 que l'effet des éléments parasites dûs aux interconnexions ne semblent pas être pris en compte dans la simulation globale, où la résolution atteint 10 bits (tableau 5.14), ce qui correspond pratiquement au cas nominal. Cette simulation comportementale pourrait être améliorée en prenant en compte les impédances d'entrée et sortie de chaque bloc pour mieux se rapprocher du cas réel.

5.5.6 Augmentation de la fréquence centrale du modulateur

Le comparateur présente un retard fixe de 374 ps, ce qui représente à 3 GHz de fréquence d'échantillonnage un retard relatif de $1.12T_e$ et à 4 GHz d'échantillonnage un retard relatif de $1.5T_e$. Plusieurs publications ont démontré qu'un modulateur sigma-delta peut fonctionner efficacement avec un tel

retard [19]. Ainsi, une transposition des circuits comparateur et sommateur dans un modulateur fonctionnant à 4 GHz serait envisageable sous réserve de redimensionner les résonateurs Gm-LC pour une fréquence centrale autour de 1 GHz. De tels résonateurs ont déjà fait l'objet d'une réalisation présentée en annexe D.

Pour permettre d'effectuer une transposition de la fréquence centrale du modulateur autour de 1 GHz, il est nécessaire de s'assurer que les circuits comparateur et sommateur déjà disponible sont suffisamment rapides. Une simulation mixte (figure 5.18) avec ces circuits au niveau transistor et les résonateurs en modèle à haut niveau permet de s'assurer que le modulateur reste fonctionnel sans perte majeure en terme de résolution (5.15). Le spectre obtenu est présenté à la figure 5.18.

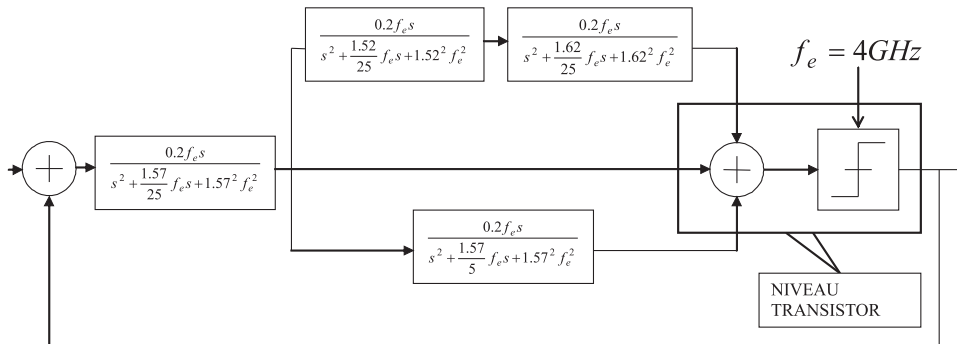


FIG. 5.17 Simulation mixte à 1 GHz

	SNR et résolution
Amplitude d'entrée : 150 mV	58.7 dB (9.5 bits)
Sinusoïde d'entrée : 1GHz	
Fréquence d'échantillonnage : 4 GHz	
Bande utile : 4 MHz	

TAB. 5.15 Performances du modulateur sigma-delta à 1GHz

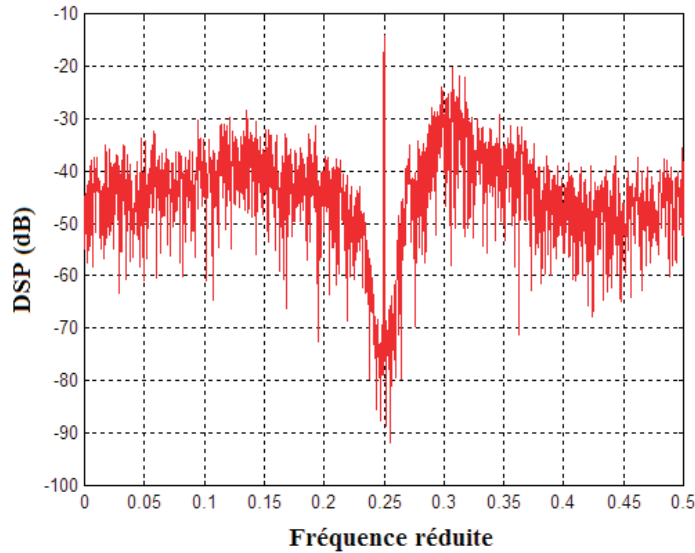


FIG. 5.18 *Spectre en sortie à 1 GHz*

Revoir le modulateur en utilisant une partie des circuits existants pour un fonctionnement à une fréquence centrale de 1 GHz est donc possible. D'un point de vue technologique, à cette fréquence, les inductances présenteraient des facteurs de qualité plus élevés et la plage de variation des varicaps seraient plus étendues. Cependant, le retard relatif du comparateur à 4 GHz étant le retard maximal ($1.5 T_e$), chaque retard supplémentaire dans la boucle du modulateur, dû par exemple aux éléments parasites de l'implantation risque d'entraîner l'instabilité. C'est pourquoi il nous a paru préférable de conserver une fréquence centrale de 750 MHz.

5.6 Conclusion

Ce chapitre a exposé les résultats de simulation au niveau transistor d'un modulateur sigma-delta passe-bande monobit du sixième ordre. Avec une résolution de 10 bits à 750 MHz de fréquence centrale sur une bande utile de 4 MHz, ce modulateur se positionne en bonne place par rapport à l'état de l'art des réalisations de modulateur passe-bande dans le domaine des radiofréquences. Ces résultats seront à confirmer par une réalisation prochaine. En outre, le modulateur conçu présente la particularité du réglage de sa fréquence centrale par l'intermédiaire de son résonateur d'entrée. Les simulations au niveau transistor, avec une sinusoïde en entrée d'amplitude 100 mV, montre que la fréquence centrale peut-être abaissée à 731 MHz où la résolution est alors de 8.6 bits et augmentée jusqu'à 751 MHz où la résolution est évaluée à 9.9 bits.

L'effet néfaste des éléments parasites de l'implantation sur le fonctionnement du modulateur a été mis en évidence par une rétrosimulation. La perte de résolution est de l'ordre de 2 bits. Les effets des éléments parasites devront donc être compensés, soit par un redimensionnement des filtres passe-haut à l'entrée des résonateurs, soit par l'ajout d'autres filtres correcteurs.

Un modèle comportemental du modulateur prenant en compte les défauts de chacun des blocs

élémentaires permet d'évaluer sa sensibilité aux variations des fréquences centrales, aux variations des gains, aux variations des niveaux de sortie du comparateur et à certaines non linéarité du circuit (sommateur). Ce modèle permet de conclure que le modulateur n'a pas de sensibilités majeures à ces diverses variations. Des améliorations pourraient cependant être apportées à ce modèle. Notamment pour la prise en compte des éléments parasites du layout, une modélisation des impédances d'entrée/sortie de chaque bloc du circuit devrait être ajoutée.

En dernière partie de ce chapitre, les résultats d'une simulation mixte, avec les comparateur et sommateur au niveau transistor et les résonateurs en modèle à haut niveau, permettent de démontrer la faisabilité du modulateur à 1 GHz dans la technologie GaAs P-HEMT 0.2 *μm*. Bien que comportant des avantages (meilleurs facteurs de qualité des bobines à 1 GHz, plus grandes plages de variation des fréquences centrales), le travail à cette fréquence comporte un risque car le retard dans la boucle dû au comparateur est le retard maximal autorisé. Tout retard supplémentaire, engendré par exemple par les éléments parasites dûs à l'implantation pourrait conduire le modulateur à l'instabilité.

Chapitre 6

Conclusion

Résultats

Dans ce travail de thèse, nous avons étudié la faisabilité d'un système de conversion directe de signaux radiofréquences basé sur un modulateur sigma-delta passe-bande à temps continu, avec une fréquence centrale ajustable. Pour cela, nous avons conçu un circuit prototype dans une technologie GaAs P-HEMT $0.2 \mu\text{m}$.

Le filtre de boucle du modulateur a une structure de type parallèle pour assurer à la fois la précision et la stabilité du dispositif. Il est réalisé à l'aide de filtre passe-bande Gm-LC à résistance négative. Le retard théorique optimal pour cette architecture, avec une fréquence de sur-échantillonnage quatre fois supérieure à la fréquence centrale ($f_e = 4f_0$), est de $1,25 T_e$. Ce retard est approximativement atteint au niveau transistor grâce à un comparateur verrouillable. Son retard est de $1.12 T_e$ ce qui n'entraîne pas de dégradations notables de la résolution.

La fréquence centrale du modulateur peut être réglée de 731 MHz à 751 MHz pour une fréquence de sur-échantillonnage de 3 GHz. Les résolutions, obtenues par simulations du circuit au niveau transistor dans le cas nominal, sont de 9 bits à 731 MHz et 10 bits à 751 MHz sur une bande de 4 MHz. Ces valeurs s'approchent des valeurs obtenues par des simulations au niveau système. La dynamique maximale des signaux pouvant être appliqués à l'entrée est de 150 mV. La consommation est estimée à 5,7 W. Le circuit a été implanté en vue d'un départ en fabrication et la surface de la puce s'élève à 12 mm^2 .

Bien que la comparaison soit difficile, il semble que la résolution du modulateur conçu (10 bits) est plus élevée que celles présentées dans les publications sur les réalisations de modulateurs sigma-delta passe-bande à temps continu (environ 9 bits). En outre, aucune de ces réalisations de modulateur n'a sa fréquence centrale ajustable. Nous espérons que les mesures sur le circuit confirmeront ces améliorations. Des réalisations ont été publiées à des fréquences centrales plus élevées mais dans des technologies plus avancées. La forte consommation du circuit est comparable à celles obtenues dans des technologies similaires.

Enseignements

La méthodologie adoptée pour la conception a consisté à valider séparément chacun des blocs au niveau transistor dans le modulateur au niveau fonctionnel. Cette démarche permet d'évaluer aisément l'impact des non-idéalités de chacun des blocs sur la structure et de les corriger.

La robustesse du circuit a été étudiée grâce à des simulations pire-cas et Monte-Carlo. Les dispersions technologiques sur les valeurs des sources de polarisation entraînent de considérables dégradations des performances. Pour une réalisation industrielle, il conviendrait de prévoir des circuits de compensation.

L'importance de l'implantation a été mise en évidence par des rétro-simulations du circuit prenant en compte les éléments parasites du masque : une simulation, après extraction des éléments parasites du masque montre une dégradation de la résolution d'environ deux bits. Pour ce type de circuit, la disposition des blocs et la symétrie des connexions doivent être soigneusement optimisée. Pour les résonateurs Gm-LC, l'effet néfaste des inductances équivalentes des lignes de connexion aux plots d'alimentation a été mis en évidence. Des remèdes ont été proposés.

Les retards parasites dans la boucle du modulateur sont sources d'instabilité ou de dégradation des performances. Ces retards peuvent provenir de la non-idéalité de certaines fonctions, comme par exemple les termes passe-bas des résonateurs, mais aussi des éléments parasites introduits par l'implantation. Pour neutraliser l'effet de ces retards, deux approches sont possibles :

- Réoptimiser l'architecture à haut niveau pour intégrer en amont l'effet des retards, ce qui aboutit à diminuer le retard maximal autorisé des CAN et CNA.
- Compenser matériellement ces retards à l'aide, par exemple, de filtres passe-haut.

Cette deuxième approche a été privilégiée.

Quelle que soit la méthode adoptée, deux itérations d'implantation sont nécessaires. L'implantation initiale est analysée pour déterminer les éléments critiques du circuit. Ceci donne lieu à des modifications : redimensionnement des blocs, optimisation des pistes de connexion les plus critiques, ajout éventuel de certains composants par exemple pour la compensation de retard. Ces modifications conduisent à une nouvelle version du masque.

Perspectives

A cours terme : réalisation

Le circuit sera envoyé en fonderie après les étapes de vérifications suivantes :

-
- la validation des modifications apportées au masque au travers de nouvelles rétro-simulations,
 - la confirmation de la robustesse du circuit par des études statistiques complémentaires.

Les tests nous permettront d'évaluer les performances réelles du circuit et de les comparer aux résultats de simulation.

A moyen terme : améliorations

Diverses améliorations peuvent être apportées en conservant l'architecture générale du circuit, en modifiant certains paramètres ou en adoptant de nouvelles solutions au niveau circuit. Elles concernent la fréquence centrale de fonctionnement, la surface d'implantation, l'adaptabilité en fréquence, la consommation et la résolution.

Une étude complémentaire consistant à augmenter la fréquence centrale des résonateurs au niveau fonctionnel en conservant les circuits comparateur et sommateur au niveau transistor montre qu'une fréquence centrale de 1 GHz est théoriquement possible. Pour valider cette affirmation un redimensionnement des résonateurs Gm-LC reste à faire. L'avantage de cette augmentation de la fréquence centrale, outre l'accroissement de la vitesse de conversion, serait d'avoir une plus grande plage de variation de celle-ci, car les valeurs des capacités d'accord fixes seraient plus faibles comparées aux valeurs des capacités de varicaps. Elle permettrait également d'obtenir de meilleurs facteurs de qualité pour les filtres passe-bande Gm-LC. Cependant elle réduit la marge de sécurité vis-à-vis des retards dans la boucle dont la somme pourrait, en raison des dispersions technologiques, dépasser le retard maximal autorisé ($1,5T_e$).

Pour d'autres réalisations, l'architecture pourrait être reconsidérée avec non plus des résonateurs de type Gm-LC, mais de type Gm-C. Cette voie a été abordée au cours du travail de thèse, mais abandonnée par manque de temps. Bien que moins robustes en haute fréquence en raison de capacités parasites fortes devant les capacités intégrées, ces résonateurs comporteraient un certain nombre d'avantages :

- une surface d'implantation réduite,
- de meilleurs facteurs de qualité,
- une plage de variation en fréquence plus étendue qu'avec des résonateurs à varicaps.

Le réglage simultané de la fréquence centrale et du facteur de qualité du résonateur d'entrée, conformément aux méthodes présentées dans le chapitre 2, rendrait le système adaptable automatiquement à l'évolution en fréquence du signal d'entrée.

L'utilisation d'autres technologies (SiGe par exemple) permettrait :

- de diminuer la consommation,
- d'ouvrir à d'autres solutions pour l'implantation des résonateurs,

-
- de développer l’implantation d’un brassage de source sur une structure multibit pour augmenter la résolution du modulateur.

A long terme : autres voies

La possibilité de réglage d’un modulateur sigma-delta passe-bande à temps continu devrait apporter de nouvelles perspectives pour la conversion directe de signaux radiofréquences. En revanche, comme pour les structures de récepteurs à leurs débuts, un réel effort d’adaptation est à prévoir. En particulier, de nombreux facteurs conduisent à dégrader les performances du modulateur. Parmi ceux-ci se trouvent : la gigue d’horloge, les non-linéarités, les déphasages entre blocs, les dispersions liés à la réalisation physique du circuit et les problèmes liés à l’implantation. Ces facteurs ont fait l’objet d’études plus ou moins approfondies. Il serait intéressant de les appliquer ou de les adapter à l’aide de modélisations et de simulations à haut niveau, peu coûteuses en temps de calcul, au cas particulier de la modulation sigma-delta passe-bande à temps continu.

L’étude systématique des limites théoriques de l’ajustabilité des modulateurs sigma-delta passe-bande à temps continu reste à faire. Le but sera d’investiguer et de comparer divers types d’architectures afin de déterminer les plages maximales de variation de la fréquence centrale de fonctionnement n’entraînant pas de dégradations notables de la résolution pour une valeur de la fréquence de sur-échantillonnage donnée.

Liste des publications

E. Avignon, S. Guessab, R. Kielbasa, J-M. Guebhard, N. Fel, J. Russat " Réalisation d'un résonateur Gm-LC à fréquence centrale ajustable en technologie AsGa", TAISA'05, 12-13 oct 2005, Marseille.

E. Avignon, S. Guessab, R. Kielbasa, J-M. Guebhard, N. Fel, J. Russat " Analyse et compensation des imperfections des blocs élémentaires d'un modulateur sigma-delta à temps continu en technologie AsGa" TAISA'06, 19-20 oct 2006, Strasbourg.

E. Avignon, S. Guessab, R. Kielbasa, J-M. Guebhard, N. Fel, J. Russat, "Design of a 3 GHz 6th order delta-sigma modulator in a 0.2 μm GaAs technology" IASTED Conference on Circuits Signals and Systems, 20-22 nov. 2006, San-Francisco.

Annexe A

Brassage de source passe-bande

A.1 Introduction

Lors de la conception d'un modulateur sigma-delta, le nombre de bits des CAN et CNA et le type de ceux-ci doit être choisi en fonction de la précision que l'on souhaite atteindre. Si une implémentation multibit semble à priori plus avantageuse en terme de résolution, il a été démontré qu'avec quelques dixièmes de pourcentages de désappariement cette solution se révèle plus mauvaise qu'une solution monobit [45]. Un brassage des sources de courant du (ou des) CNA est alors indispensable.

Au cours de la conception du circuit, nous avons essayé d'évaluer la viabilité d'une solution multibit avec un brassage de sources passe bande du CNA. La méthode de brassage explorée a été publiée dans [47]. La complexité du dispositif à mettre en oeuvre a été évaluée par un codage VHDL pour la génération de l'architecture au niveau portes logiques élémentaires par le logiciel AMBIT sous CADENCE.

A.2 Principe du brassage de source passe bande

Ce brassage fonctionne sur deux jeux de sources de courant. Le principe est le suivant : deux registres, chacun d'eux étant associé à un jeu de source, mémorisent la position des dernières sources sélectionnées. Le premier registre est utilisé pour les coups d'horloge impairs et le deuxième pour les coups d'horloge pairs. La direction de sélection des sources change tous les deux coups d'horloge. Une machine à 4 états décide du registre à utiliser et de la direction de sélection. Ainsi, pour deux coup d'horloge consécutifs, nous ne sélectionnons pas le même jeu de source et les directions de sélection sont alternées. La figure A.1 représente le processus de sélection des sources dans le cas d'un CNA à 8 niveaux (7 sources).

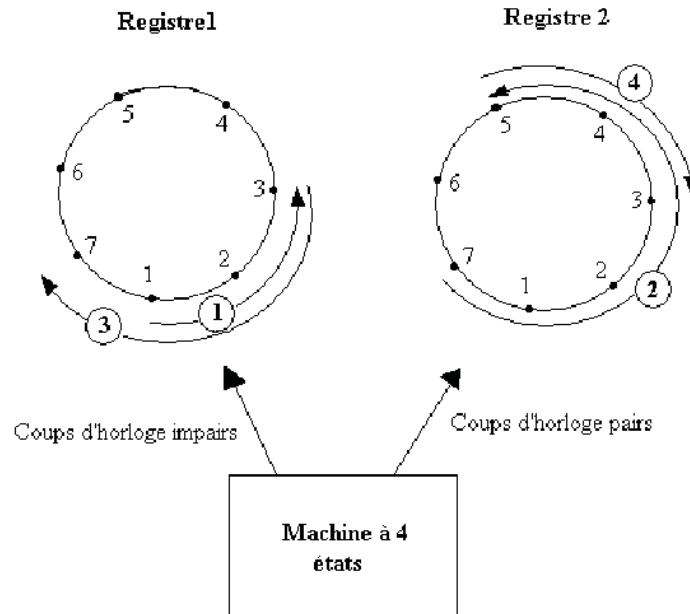


FIG. A.1 Synoptique du brassage de source

Le tableau ci-dessous présente des valeurs à coder et donne en fonction du coup d’horloge le registre utilisé et l’identité des sources sélectionnées. Les asterix signalent la mémoire de la dernière source sélectionnée pour chaque registre.

Valeurs à coder	Coup d'horloge	Registre utilisé	Etats des registres et sources sélectionnées								
			*								
										*	R1
3	1	R1 droite	1	1	1	0	0	0	0	*	R2
					*					*	R1
6	2	R2 droite	1	1	1	1	1	0	1	*	R2
					*			*		*	R1
4	3	R1 gauche	1	1	1	0	0	0	1	*	R2
										*	R1
3	4	R2 gauche	0	0	1	1	1	0	0	*	R2
					*					*	R1
										*	R2

FIG. A.2 Tableau d’illustration de l’algorithme de brassage passe-bande

Le résultat de cet algorithme de sélection des sources est la mise en forme passe-bande de l’erreur d’appariement des sources.

Par ailleurs, utiliser deux jeux de sources, un pour les fronts d’horloge pairs et l’autre pour les fronts d’horloge impairs permet d’éteindre les source une fois sur deux et ainsi de réduire les effets des non-linéarités dynamiques.

A.3 Architecture proposée

Pour mettre en oeuvre ce brassage, nous proposons l’architecture de la figure A.3. Cette architecture permet le brassage de deux jeux de 4 sources.

La **machine à états** (4 états codés par $\acute{n}E1E0\acute{z}$) décide du registre à utiliser et de la direction de sélection des sources. Ainsi les quatre états agissent de la façon suivante :

- $E1E0 = 00$ on opère une sélection à droite du premier jeu de source à partir de la dernière source sélectionnée grâce au registre **mux4 1**
- $E1E0 = 01$ on opère une sélection à droite du deuxième jeu de source à partir de la dernière source sélectionnée grâce au registre **mux4 1bis**
- $E1E0 = 10$ on opère une sélection à gauche du premier jeu de source à partir de la dernière source sélectionnée grâce au registre **mux4 2**
- $E1E0 = 11$ on opère une sélection à gauche du deuxième jeu de source à partir de la dernière source sélectionnée grâce au registre **mux4 2bis**

Les éléments mémoires (**mémoire4 1**, **mémoire4 2**, **mémoire4 1bis**, **mémoire4 2bis**) calcule et garde l'emplacement de la dernière source sélectionnée en réalisant :

- pour les mémoires de sélection à droite (**4 1** et **4 1bis**) l'opération suivante : **memo4 1**«**memo4 1+V-1**
- pour les mémoires de sélection à gauche (**4 2** et **4 2bis**) l'opération suivante : **memo4 2**«**memo4 2+V-1**

Ces opérations sont réalisées grâce à l'élément Somme. Cet élément fait la somme du nombre de source qui ont été sélectionnée ($Y3Y2Y1Y0$) et fournit ainsi V . Chaque multiplexeur 2 vers 1 (**mux2 1s0**, **mux2 1s1**, **mux2 1s2**, **mux2 1s3**, **mux2 1s0bis**, **mux2 1s1bis**, **mux2 1s2bis**, **mux2 1s3bis**) opère une sélection des sources en fonction d' $E1$.

- $E1 = 0$ sélection à droite
- $E1 = 1$ sélection à gauche

Cette architecture a fait l'objet d'un codage en VHDL pour évaluer sa complexité en termes de portes logiques grâce au logiciel AMBIT : il est nécessaire pour mettre en oeuvre le brassage de source d'implanter une soixantaine de bascule D et environ 130 portes de type NAND, NOR, inverseur. On évalue en conséquence une partie numérique dédiée au brassage de sources s'élevant à environ 2900 transistors, contre 210 transistors pour le modulateur sigma-delta complet (Gm-LCs, sommateur et un simple comparateur). La partie numérique se trouve alors bien plus conséquente et plus complexe que le modulateur même que nous souhaitons réaliser, d'autant plus qu'il faudrait développer spécialement une bibliothèque numérique.

C'est pourquoi, nous avons choisi d'adopter une architecture de modulateur monobit.

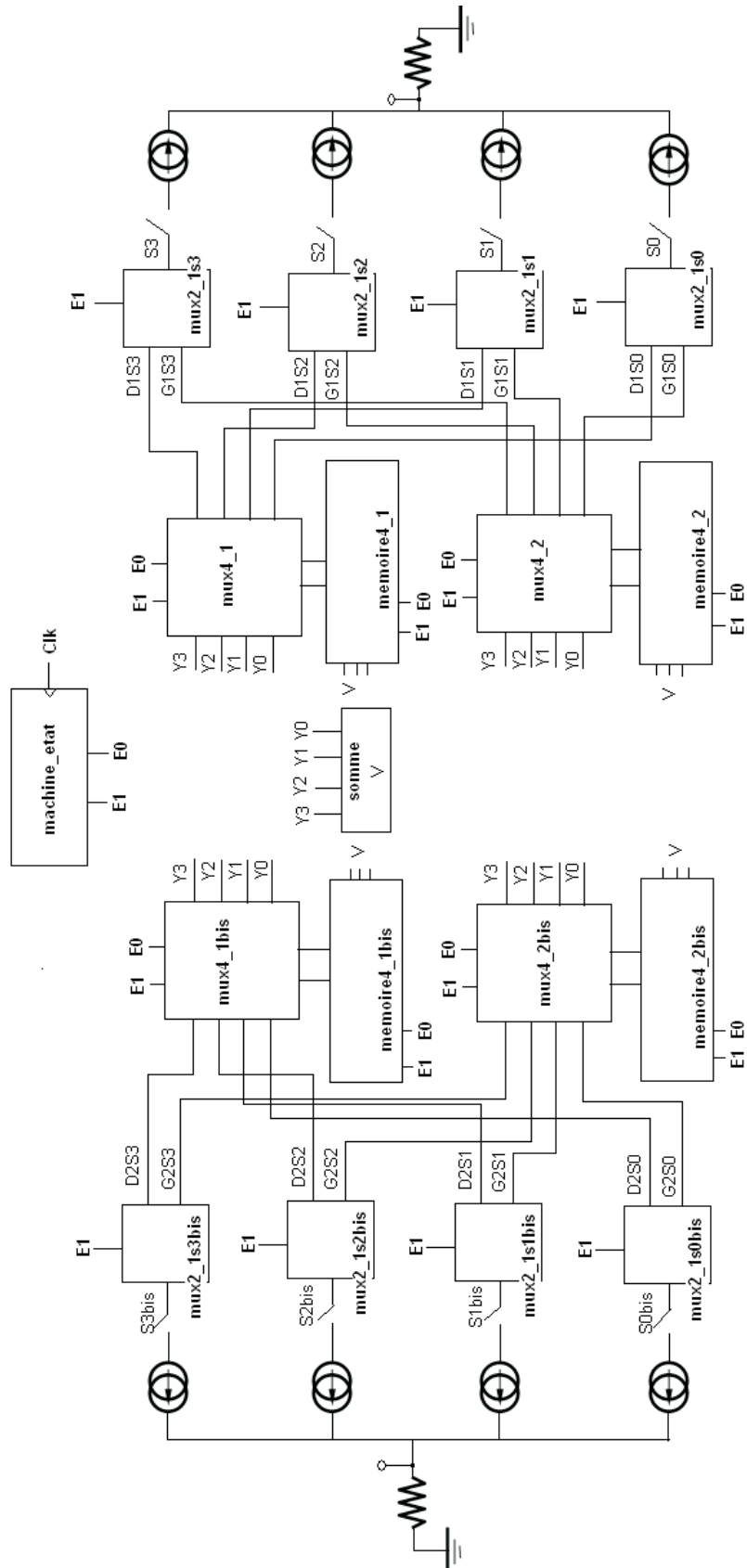


FIG. A.3 Architecture proposée pour le brassage passe-bande

Annexe B

Compléments sur la technologie

B.1 Introduction

Cette annexe constitue un complément sur la technologie GaAs P-HEMT $0.2 \mu m$ du fondeur OM-MIC. Le lecteur y trouvera des modèles complémentaires, des équations servant au dimensionnement des éléments actifs et passifs et des données sur les paramètres de dispersions.

B.2 Composants

B.2.1 Diodes

Les deux types de diode disponibles présentées au chapitre 3 ont pour modèles non linéaire le modèle de la figure B.1 pour les diodes de type GM et le modèle de la figure B.2 pour les diodes de type BE.

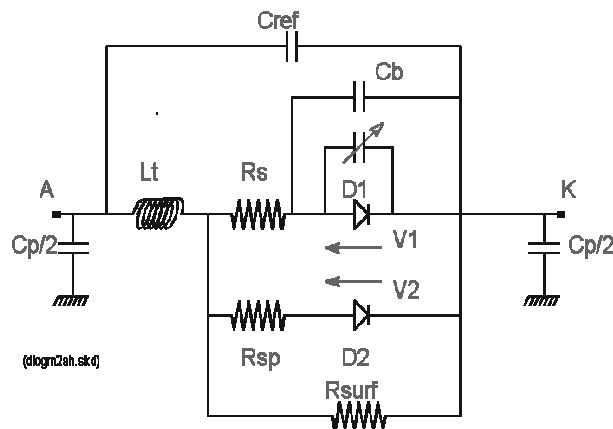


FIG. B.1 *Modèle non linéaire de la diode de type GM*

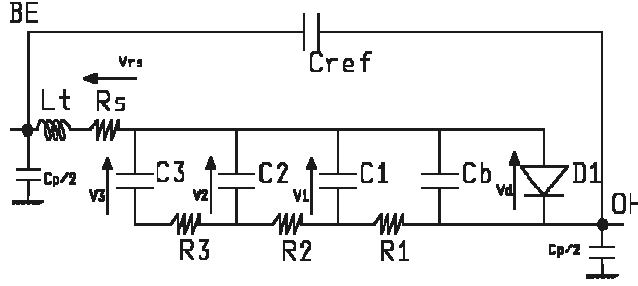


FIG. B.2 Modèle non linéaire de la diode de type BE

B.2.2 Bobines

Les éléments constitutifs du modèle de la bobine sont représentés à la figure ??.

L'inductance totale L_{tot} s'exprime comme la somme de l'inductance résultant du bobinage (L) et des inductances d'accès (L_s) :

$$L_{tot} = L + 2L_s \quad (\text{B.1})$$

Les inductances d'accès L_s s'expriment :

$$L_s = K \times P \times L \quad (\text{B.2})$$

où $K = 0.021$, P est la longueur de la trace, et L est la valeur de l'inductance suivant les dimensions du bobinage :

$$L = \frac{P}{1 + 2 \times K \times P} \times \left[\alpha_L + \frac{P}{\beta_L} - \frac{P^2}{\gamma_L} \right] \quad (\text{B.3})$$

avec les constantes α_L , β_L et γ_L qui dépendent du dimensionnement du bobinage :

$$\alpha_L = 0.448 + \frac{1.59}{W} \quad (\text{B.4})$$

$$\beta_L = [1.28 + 0.0111 \times W^2] + \frac{G}{4.94 + 0.0913 \times W} \quad (\text{B.5})$$

$$\gamma_L = \frac{1}{(0.048 - 0.00253 \times W)} + G \times (5.1 - 0.169 \times W) \quad (\text{B.6})$$

On peut aussi exprimer directement la valeur de l'inductance totale en fonction des dimensions :

$$L_{tot} = P \left[\alpha_L + \frac{P}{\beta_L} - \frac{P^2}{\gamma_L} \right] \quad (\text{B.7})$$

La capacité C_p modélise le couplage entre deux traces métalliques adjacentes, elle s'exprime :

$$C_p = \alpha_{C_p} - \frac{\beta_{C_p}}{P} \quad (\text{B.8})$$

avec :

$$\alpha_{C_p} = \frac{W}{(0.104 + 0.025W)} - \frac{WG}{(1.51 + 0.457W)} \quad (\text{B.9})$$

et :

$$\beta_{C_p} = 4.79 + 2.58W - G \left(1.84 - \frac{6.82}{W} \right) \quad (\text{B.10})$$

La résistance R_s modélise les pertes de l'inductance. Sa valeur est dépendante de la fréquence de travail de la bobine. La fréquence limite f_b pour laquelle la largeur de la trace est égale à l'épaisseur de peau s'exprime :

$$f_b = \frac{\rho}{(e_{trace})^2 \pi \mu_0} \quad (\text{B.11})$$

où ρ est la résistivité de la trace de métal ($2.44 \times 10^{-8} \Omega m^{-1}$ pour l'or) et μ_0 est la perméabilité magnétique du matériau. On évalue dans l'application qui nous concerne cette fréquence f_b à 3.95 GHz.

Une approximation des pertes R_s de l'inductance en fonction de la fréquence est donnée dans [81] :

$$R_s(f) \approx R_{DC} \sqrt{\frac{f}{f_b} + \frac{1}{1 + \frac{f}{f_b}}} \quad (\text{B.12})$$

Où R_{DC} est la résistance en régime continu de la spire, donnée par :

$$R_{DC} = P (\alpha_{R_{DC}} - \beta_{R_{DC}} P) \quad (\text{B.13})$$

où :

$$\alpha_{R_{DC}} = 0.268 + \frac{28.13}{W} \quad (\text{B.14})$$

$$\beta_{R_{DC}} = 0.00312 + \frac{0.583}{W} \quad (\text{B.15})$$

B.3 Les différents niveaux de matériaux

La figure B.3 présente une vue en coupe des différents niveaux de matériaux dans la technologie AsGa HEMT 0.2 μm .

- Le niveau **LI** constitue l'isolation entre les composants actifs (P-HEMTs, diodes, résistances), c'est le substrat *GaAs*.
- Le niveau **OH** sert à établir les contacts ohmique. Il consiste en une couche *AuGeNi* déposée sur la région du contact. Son épaisseur est de 0.27 μm .
- Le niveau **MD** est une fine couche de métal *SiN* déposée sur le substrat d'épaisseur 0.03 μm .
- Le niveau **BE** est une couche d'épaisseur 650 nm de l'alliage *TiPtAu*.
- Les niveaux **GM** et **LE** servent à la métallisation de grille (épaisseur : 360 nm).
- Le niveau **CG** : *Si₃N₄*.
- Le niveau **CO** est une couche de *SiO₂* de 850 nm.
- Le niveau **IN** est une couche d'épaisseur 1.25 μm de l'alliage *TiPtAu*.

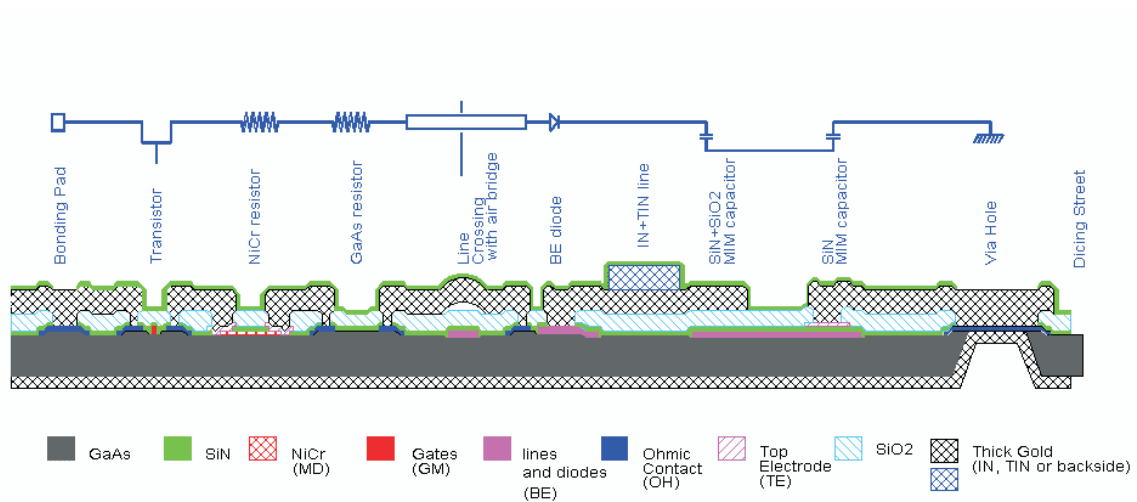


FIG. B.3 *Vue en coupe des niveaux de métaux de la technologie OMMIC*

B.4 Les paramètres de simulations statistiques

Les dispersions technologiques se classent en deux catégories :

- les **dispersions locales**, qui sont les dispersions entre composants identiques sur la même puce,
- les **dispersions globales**, qui sont les dispersions entre composants similaires mais issus de tranches de wafer différentes.

Les dispersions locales sont appelés DEV, les dispersions globales LOT. Elles sont répertoriées dans le tableau B.4 pour chacun des composants.

Generator number	Technological parameter	LOT std.dev.	DEV std.dev.
0	BE Diodes Threshold Voltage	0.158V	0.0158V
1	FET OFF Threshold Voltage	0.08V	0.03V
2	FET OFF Drain-Source Current (at fixed Vt)	12%	0.8%
3	FET ON Threshold Voltage	0.10V	0.03V
4	FET ON Drain-Source Current (at fixed Vt)	11%	1%
5	BE and GM Diodes Saturation Current	10%	1%
6	FETs Gate-Source Capacitance (Cgs)	7.5%	0.75%
7	GaAs Resistances	2.5%	0.14%
8	MIM Capacitances	3.0%	0.3%
9	NiCr Resistances	3.5%	0.35%

FIG. B.4 *Tableau de paramètres*

Annexe C

Dimensionnement d'un résonateur Gm-C à 1 GHz

C.1 Introduction

Le faible facteur de qualité des inductances disponibles dans la technologie GaAs P-HEMT 0.2 μm ainsi que l'espace occupé par celle-ci nous a conduit à chercher une autre manière de concevoir les résonateurs pour le convertisseur sigma-delta à réaliser. Il est possible de concevoir des résonateurs avec des inductances dites "actives" à partir de capacités et d'amplificateurs à transconductance. Deux méthodes sont répertoriées dans la littérature. L'une consiste à utiliser les capacités parasites des transistors, l'inductance se compose alors uniquement de transistors [68][70], mais nous considérons cette méthode peu robuste car les paramètres parasites peuvent très difficilement être évalués avec exactitude. L'autre tendance est de réaliser, dans des technologies diverses, des inductances actives à partir de transistors et de capacités intégrées [69]. Dans cette annexe est expliqué le principe de la simulation d'inductance, puis les étapes de conception des résonateurs sont développées et enfin quelques résultats de simulation sont présentés.

C.2 Le principe de la simulation d'inductance

L'architecture basique d'un résonateur à inductance active est présentée à la figure C.1. L'inductance active est encadrée et se compose de deux amplificateurs à transconductance et d'un condensateur.

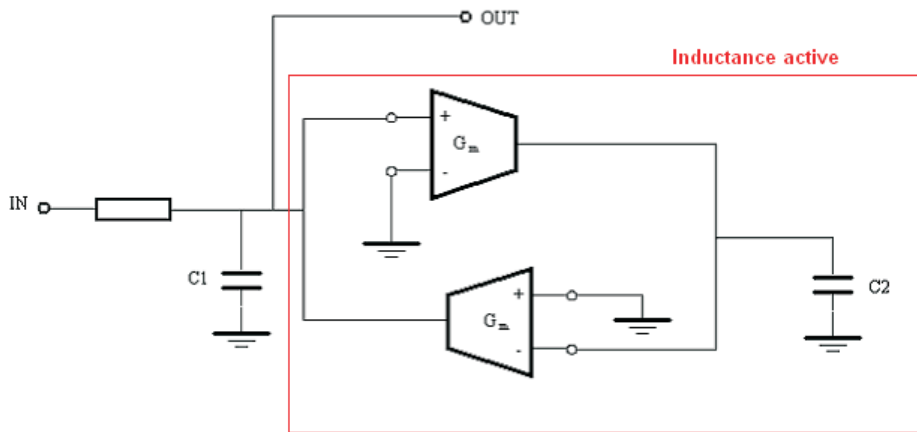


FIG. C.1 principe de l'inductance active

L'expression de l'impédance de l'inductance simulée est :

$$Z = \frac{jC_2\omega}{G_m^2} \quad (\text{C.1})$$

Ainsi par analogie, l'expression de l'inductance est :

$$L = \frac{C_2}{G_m^2} \quad (\text{C.2})$$

Il est donc à priori possible de régler la valeur de l'inductance grâce à la transconductance, ce qui est utile dans les dispositifs nécessitant des résonateurs à fréquence centrale ajustable.

Des paramètres importants sont à prendre en compte lors du dimensionnement d'un résonateur Gm-C, comme l'impédance de sortie des amplificateurs à transconductance et les atténuations éventuelles liées par exemple à un décaleur de tension. La figure C.2 permet de visualiser l'action de ces paramètres.

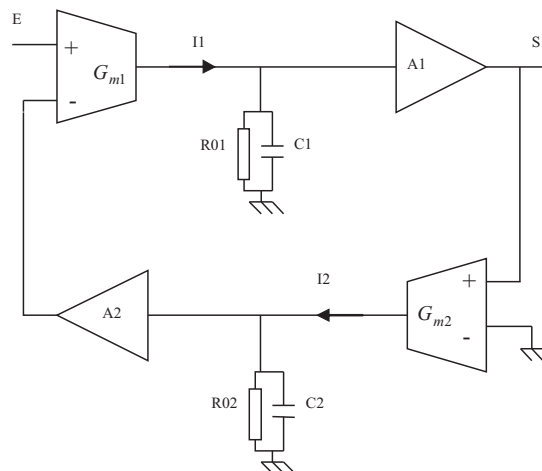


FIG. C.2 Modèle du résonateur Gm-C

A_1 et A_2 sont les atténuations des décaleurs (cf figure C.2). G_{m1} et G_{m2} sont les gains en courant des amplificateurs à transconductance et C_1 et C_2 sont les capacités comprenant les capacités parasites de sortie des amplificateurs à transconductance ($C_{parasites}$) et les capacités intégrées (C_{10} et C_{20}). $\left\{ \begin{array}{l} C_1 = C_{10} + C_{parasites} \\ C_2 = C_{20} + C_{parasites} \end{array} \right.$

On exprime ainsi la fonction de transfert du résonateur :

$$\frac{S}{E} = \frac{\frac{A_1 G_{m1}}{R_{02} C_1 C_2} + \frac{A_1 G_{m1}}{C_1} p}{p^2 + \frac{C_1 R_{01} + C_2 R_{02}}{R_{01} R_{02} C_1 C_2} p + \frac{A_1 A_2 G_{m1} G_{m2}}{C_1 C_2} + \frac{1}{C_1 C_2 R_{02} R_{01}}} \quad (C.3)$$

De cette expression, on déduit les caractéristiques du résonateur Gm-C : sa pulsation de résonance (ω_0) et son facteur de qualité (Q) :

$$\omega_0 = \sqrt{\frac{A_1 A_2 G_{m1} G_{m2}}{C_1 C_2} + \frac{1}{C_1 C_2 R_{01} R_{02}}} \quad (C.4)$$

$$Q = \frac{R_{01} R_{02} \sqrt{A_1 A_2 G_{m1} G_{m2} C_1 C_2}}{C_1 R_{01} + C_2 R_{02}} \quad (C.5)$$

Ces expressions permettent d'observer la façon dont sont reliées les valeurs des composants avec les caractéristiques du résonateur. Notamment, il est évident que pour que le résonateur ait un bon facteur de qualité, il faut que les résistances de sortie R_{01} et R_{02} soient élevées. Ainsi, une grande attention sera portée lors de la conception du circuit à l'impédance de sortie des amplificateurs à transconductance (résistances et capacités parasites).

C.3 Dimensionnement du circuit

Deux exigences de conception sont à respecter pour atteindre les caractéristiques voulues :

1. maîtriser la fréquence centrale f_0 ,
2. assurer un facteur de qualité Q élevé.

Pour répondre à la première exigence, il faut choisir des valeurs de capacités intégrées qui soient élevées par rapport aux capacités parasites.

Pour répondre à la deuxième exigence, il faut faire en sorte d'avoir de fortes résistances de sortie des amplificateurs à transconductance ($R_{01} = R_{02} = 10 \text{ k}\Omega$ environ), en préférant des structures cascades pour les sources de courant et les paires différentielles.

Ces deux exigences amènent à un compromis : pour avoir des valeurs de capacités élevées C , il faut, conformément à la formule C.2, prendre des valeurs élevées de transconductance G_{m1} et G_{m2} . Pour la suite du raisonnement, nous considérons que $G_{m1} = G_{m2} = G_m$. Pour augmenter la valeur de G_m on est amené :

- soit à augmenter la largeur de grille des transistors,

- soit à augmenter les courants de polarisation, donc augmenter les largeurs de grille également,
- soit diminuer la résistance de linéarisation

Dans les deux premiers cas la résistance de sortie R_0 va baisser entraînant une chute du facteur de qualité alors que dans le troisième cas on perd en dynamique d'entrée.

Pour dimensionner les sources de courant et le montage cascode, on pourra se référer au chapitre 3.

Un résonateur Gm-C a été dimensionné et est présenté à la figure C.3. La figure C.4 présente le gain dynamique obtenu. Il présente les caractéristiques suivantes :

- $f_0 = 1.03$ GHz,
- $G_{max} = 31.7$ dB
- $Q = 35.6$.

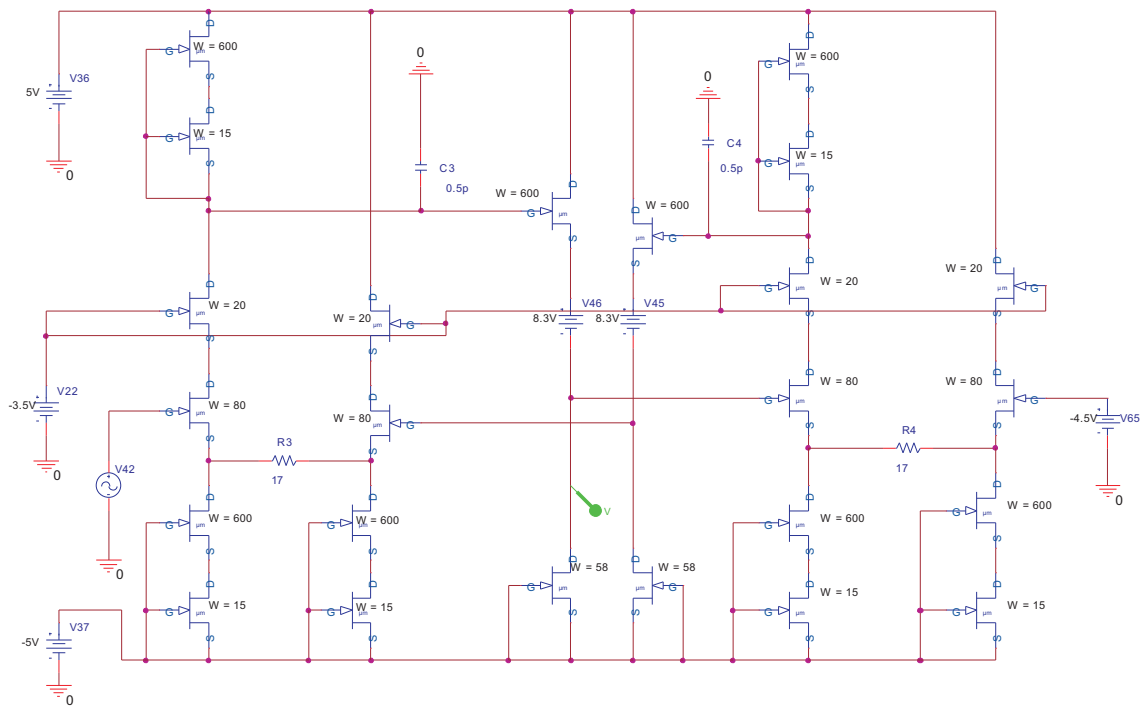


FIG. C.3 Résonateur Gm-C en technologie GaAs P-HEMT $0.2 \mu\text{m}$

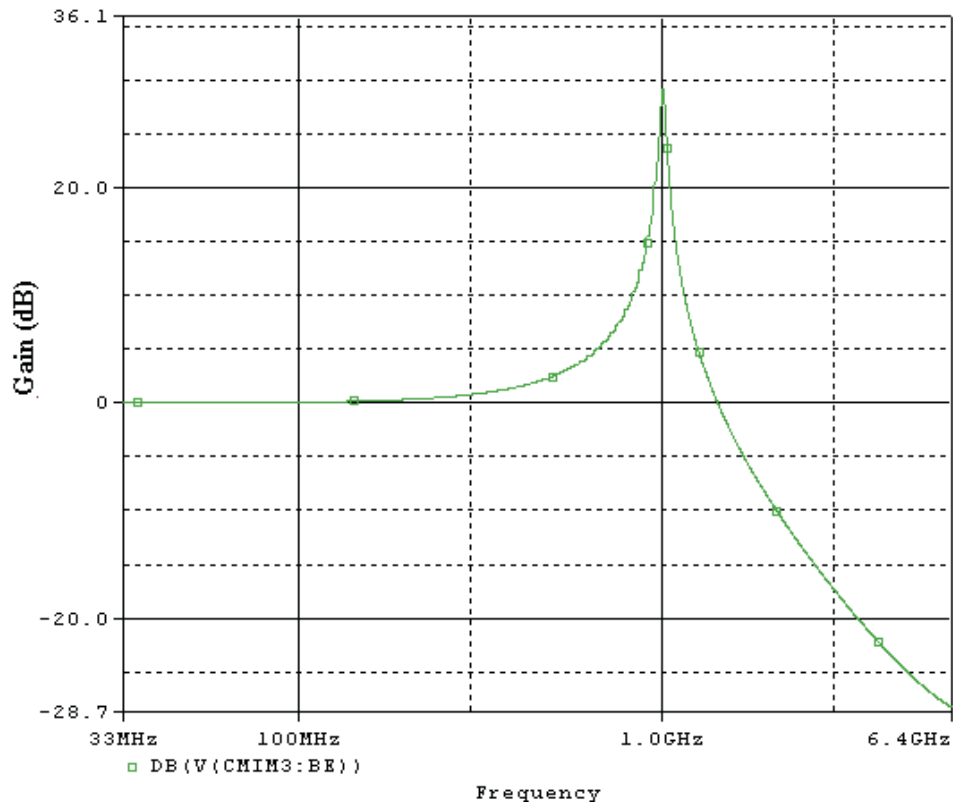


FIG. C.4 gain dynamique du gyrateur

Les caractéristiques obtenues semblent répondre aux critères (bon facteur de qualité, fréquence centrale atteinte), mais les capacités intégrées (0.5 pF) sont très faibles devant les capacités parasites (de l'ordre de 0.1 pF).

Inclure des résonateurs à inductances active plutôt que des résonateurs Gm-LC aurait les avantages suivants :

- gain de surface,
- plusieurs degrés de réglage de la fréquence centrale.

Cependant, il est très difficile de dimensionner le circuit pour avoir une sensibilité moindre aux capacités parasites tout en gardant un fort coefficient de qualité et une dynamique d'entrée suffisante.

Annexe D

Résultats de mesures sur les résonateurs

D.1 Introduction

Trois circuits résonateurs ont été réalisés, en technologie *AsGa* HEMT $0.2 \mu m$, chez le fondeur OMMIC :

- CIR1 : un simple résonateur de type Gm-LC,
- CIR2 : un résonateur de type Gm-LC à fréquence centrale variable ayant fait l'objet d'une publication [82],
- CIR3 : un résonateur de type Gm-LC à résistance négative.

Les masques de ces circuits ont été dessinés par le CEA et se trouvent dans l'annexe suivante. Les puces de taille $4.5 mm^2$ ont été mises en boîtier Flatpack 24 broches.

Cette annexe traite des préparatifs liés à la mesure (réalisation du circuit imprimé, adaptation d'impédance, ajout de capacités de découplage...) et des résultats de mesures. Les écarts entre les caractéristiques obtenues et les caractéristiques attendues sont commentés.

D.2 Caractéristiques des circuits

Les caractéristiques nominales des circuits conçus sont récapitulées dans les tableaux D.1 D.2 et D.3

Gain (dB)	Facteur de qualité	Fréquence centrale f_0 (GHz)
4.2	2.4	1

TAB. D.1 *Caractéristiques du résonateur CIR1*

Gain (dB)	Facteur de qualité	Plage de réglage (GHz)	Tension de réglage (V)
[3-4.2]	[2-3]	[0.9-1]	[3.65-5]

TAB. D.2 *Caractéristiques du résonateur CIR2*

Gain (dB)	Facteur de qualité	Fréquence centrale f_0 (GHz)
21	17	1

TAB. D.3 *Caractéristiques du résonateur CIR3*

D.3 Préparation des mesures

D.3.1 Circuit imprimé

Le circuit imprimé a été conçu et réalisé par le CEA à l'aide du logiciel Appcad. Il comporte les éléments suivants :

- des capacités de liaison en sortie de 1 nF afin de ne pas dégrader le matériel de mesure,
- des capacités de découplage de $1\text{ }\mu\text{F}$,
- des inductances de 33 nH .

Par la suite, d'autres composants ont été ajoutés au grès des besoins en polarisation du circuit. Les résistances d'adaptation de $50\text{ }\Omega$ en entrée du circuit n'ont pas été ajoutées au circuit imprimé mais placées au bout du câble de mesure.

Le boîtier Flatpack n'a pas été soudé sur le circuit imprimé, mais monté dans un boîtier plus grand.

D.3.2 Ajouts

Adaptation d'impédance

Les impédances de sortie des résonateurs sont élevées (environ $10\text{ k}\Omega$). Ces impédances, raccordées à une capacité (sonde ou boîtier), constituent un filtre passe-bas qui va couper ou atténuer les signaux de sortie. Il est alors indispensable d'abaisser l'impédance de sortie du circuit pour pouvoir effectuer les mesures. Nous utilisons pour cela un étage suiveur de type drain commun.

Découplage des fils de bonding

Les fils de bonding peuvent être modélisés par des inductances équivalentes d'environ 1 nH par mm . Ainsi, les inductances équivalentes viennent s'ajouter aux inductances implantées sur la puce et déplace la fréquence centrale des résonateurs. L'ajout de deux capacités de découplage de 1 nF au plus près des inductances intégrées permet de neutraliser les effets parasites inductifs des fils de bonding. D'autres capacités de découplage auraient même dues être ajoutées sur la puce.

La photo D.1 est celle de la puce CIR2. En A) nous pouvons observer le résonateur, avec les inductances en spirales carrées et son montage suiveur. En B) apparaissent les capacités ajoutées au plus près des inductances.

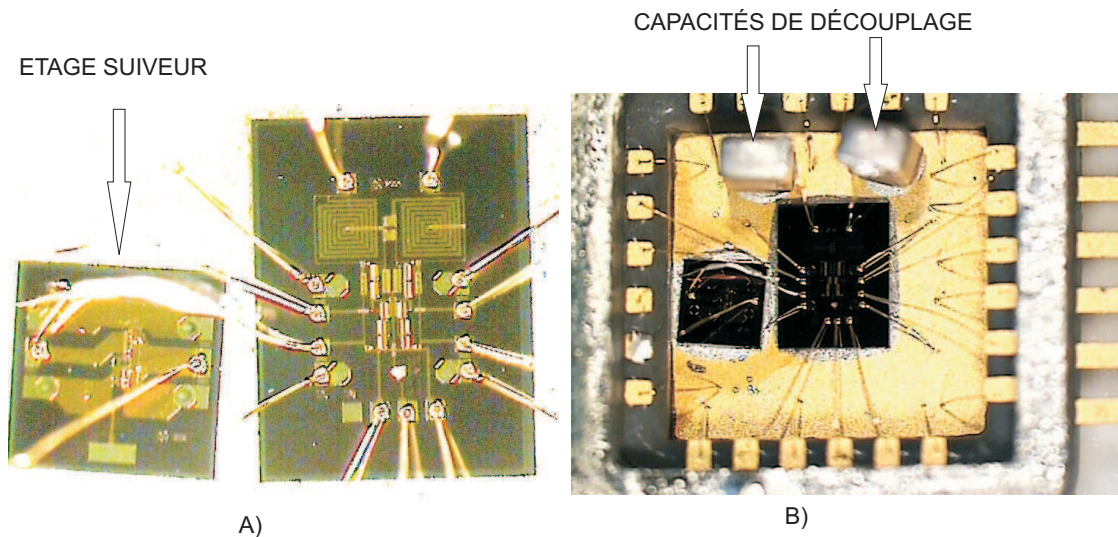


FIG. D.1 Photos du résonateur au microscope

Dans la suite de cette annexe les résultats de mesures sont abordés de la façon suivante :

1. par une simulation prenant en compte l'environnement de mesure, nous déterminons les résultats attendus,
2. puis nous les comparons aux résultats obtenus,
3. enfin nous commentons les écarts.

D.4 Mesures sur CIR2

D.4.1 Résultats attendus

Nous avons récapitulé dans le tableau D.2 les performances atteintes dans le cas nominal par ce circuit. Pour avoir une bonne estimation des résultats de mesure attendus, nous faisons une simulation du même circuit dans l'environnement de mesures, c'est à dire avec :

- l'étage suiveur,
- l'impédance d'entrée d'une sonde ($R = 1M\Omega$, $C = 0.1pF$) en sortie du résonateur,
- les divers résistances de polarisation,
- les composants du circuit imprimé,
- les inductances de bonding et les capacités de correction.

Ce qui correspond à la schématique créée avec Orcad et présentée à la figure D.2.

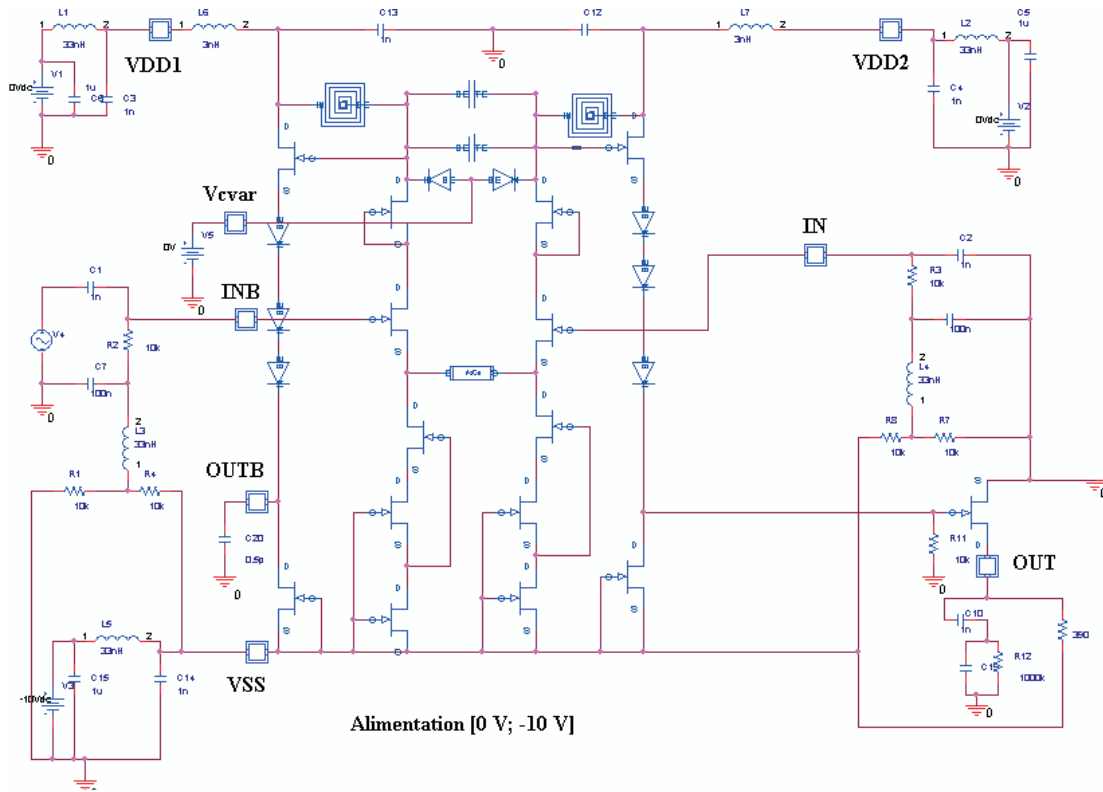


FIG. D.2 Schématique de CIR2 avec l'environnement de mesure

Nous obtenons alors, pour différentes tensions de réglage de la varicap, les caractéristiques fréquentielle de la figure D.3.

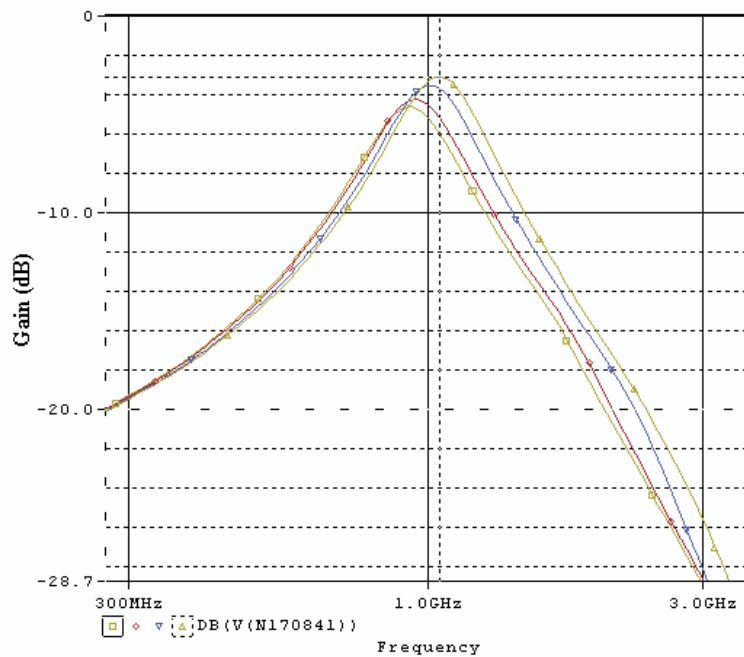


FIG. D.3 Résultats de simulation pour CIR2 dans l'environnement de mesure

Nous récapitulons les performances attendues pour plusieurs tensions de réglage de la varicap, dans le tableau D.4.

Gain (dB)	Facteur de qualité	Plage de réglage (GHz)
-5 ; -3	2.5-2.6	0.932-1.095

TAB. D.4 *Caractéristiques attendues pour CIR2 dans l'environnement de mesure*

D.4.2 Résultats obtenus

Les mesures sont effectuées en sortie simple avec l'analyseur de réseau HP8753C. Pour des raisons pratiques, le circuit a été alimenté en $[-10V\ 0V]$, les tensions de réglages V_{var} sont donc négatives. La figure D.4 présente les résultats de la mesure du coefficient de transmission s_{21} (gain) à l'analyseur de réseau en sortie simple. La fréquence est réglable de 800 MHz à 865 MHz.

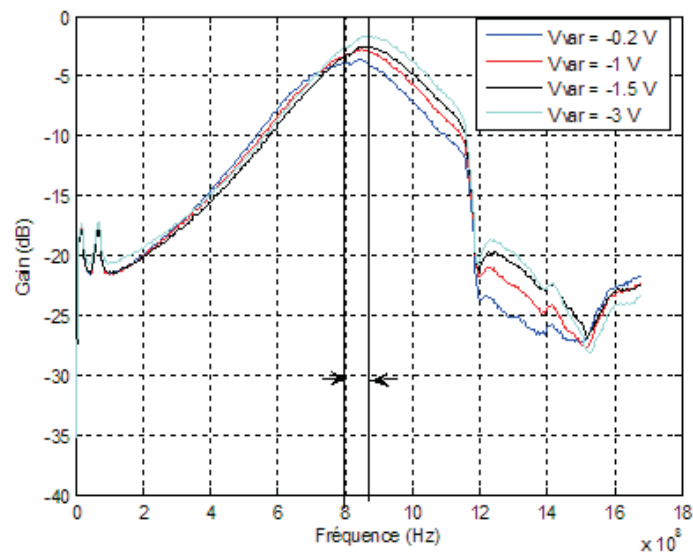


FIG. D.4 *Résultats de mesures pour CIR2*

D.4.3 Commentaires

Un décalage en fréquence de 100 MHz par rapport à la fréquence attendue est constaté, décalage probablement dû aux dispersions sur la technologie. Cet écart est certainement dû aux éléments parasites induits par les pistes intégrées et par la dispersion de fabrication. La discontinuité à 1,2 GHz n'a pas pu être expliquée.

D.5 Mesures sur CIR3

D.5.1 Résultats attendus

De même que pour CIR2, nous avons effectué pour ce circuit une simulation dans l'environnement de mesure dont la schématique sous Orcad est présentée à la figure D.5.

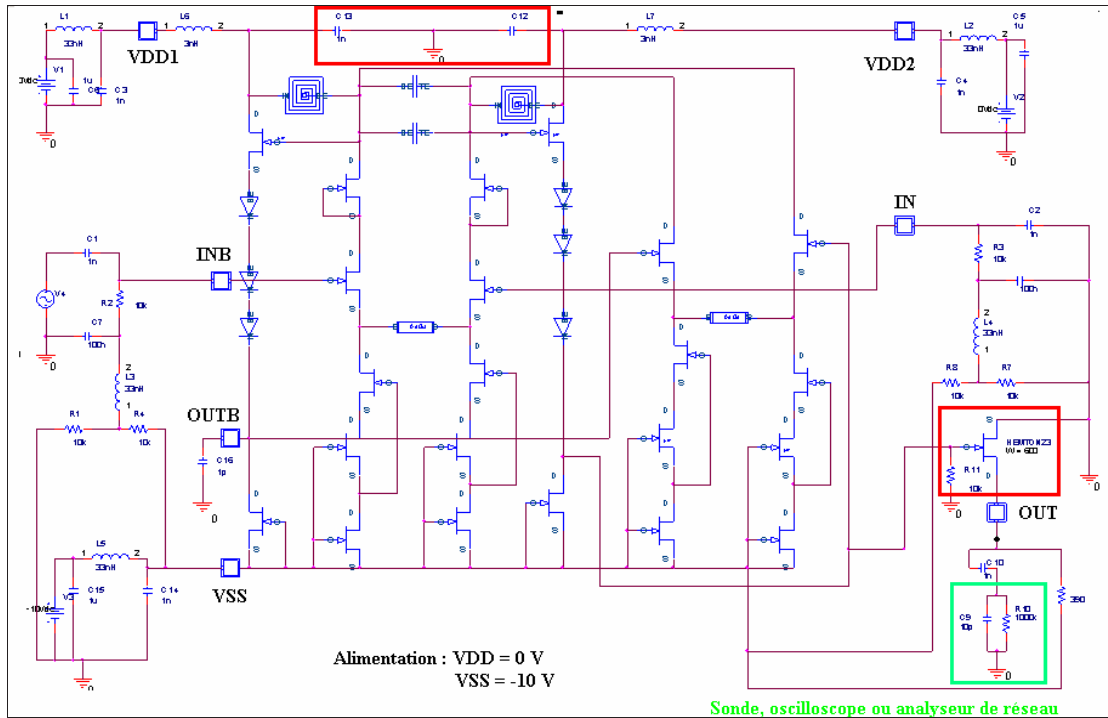


FIG. D.5 Schématique de CIR3 avec l'environnement de mesure

Nous distinguons cependant deux cas :

1. la sortie OUTB est reliée au boîtier, ce qui induit une capacité parasite de l'ordre 0.5 pF et la sortie OUT est reliée au montage suiveur,
2. la sortie OUTB n'est pas reliée et la sortie OUT est reliée au montage suiveur.

Ces deux cas donnent des résultats très différents, car la capacité parasite se trouve sur la résistance négative. Les figures D.6 et D.7 illustrent les résultats de simulation.

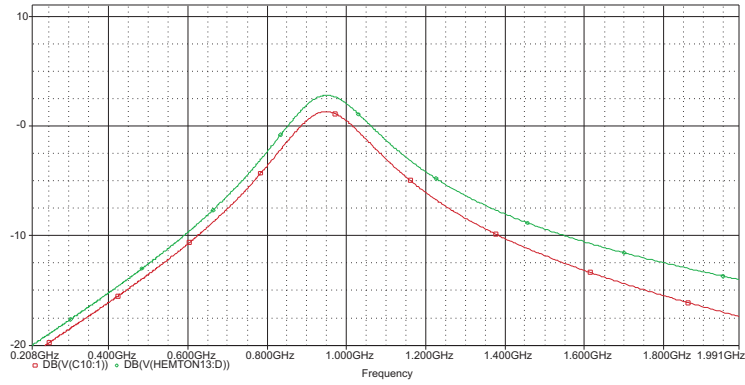


FIG. D.6 Gain dynamique de CIR3 avec dispositif de mesure haute impédance (sonde ou oscilloscope) avec raccordement au boîtier

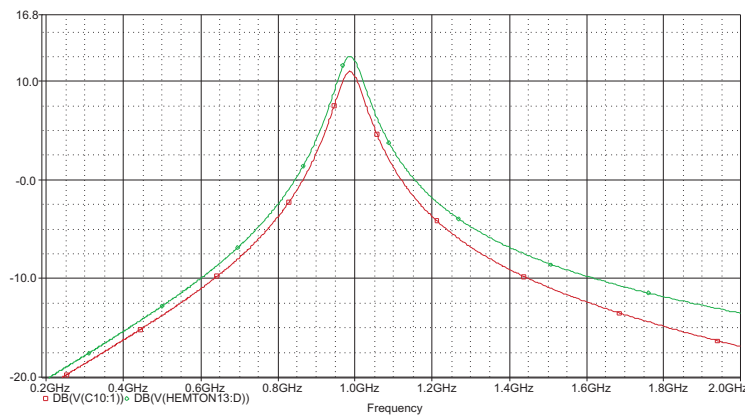


FIG. D.7 Gain dynamique de CIR3 avec dispositif de mesure haute impédance (sonde ou oscilloscope) sans raccordement au boîtier

Les performances attendues dans les deux cas sont récapitulées dans le tableau D.5.

Cas	Gain (dB)	Facteur de qualité	Fréquence centrale f_0 (GHz)
Avec raccordement au boîtier	2.5	3	0.975
Sans raccordement au boîtier	10.5	12.6	0.977

TAB. D.5 Caractéristiques attendues pour CIR3 dans l'environnement de mesure

D.5.2 Résultats obtenus

Nous avons vu au paragraphe précédent, que de sectionner le raccordement de la sortie OUTB au boîtier devrait améliorer considérablement les performances du résonateur. La figure D.8 représente la caractéristique fréquentielle du résonateur avec et sans raccordement au boîtier. Nous n'avons constaté qu'une légère amélioration dont les caractéristiques sont récapitulées dans le tableau D.6.

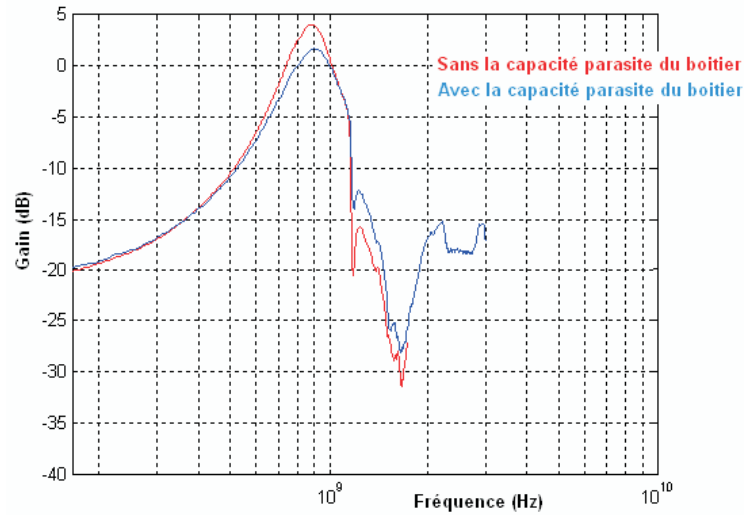


FIG. D.8 Résultat de mesures sur CIR3

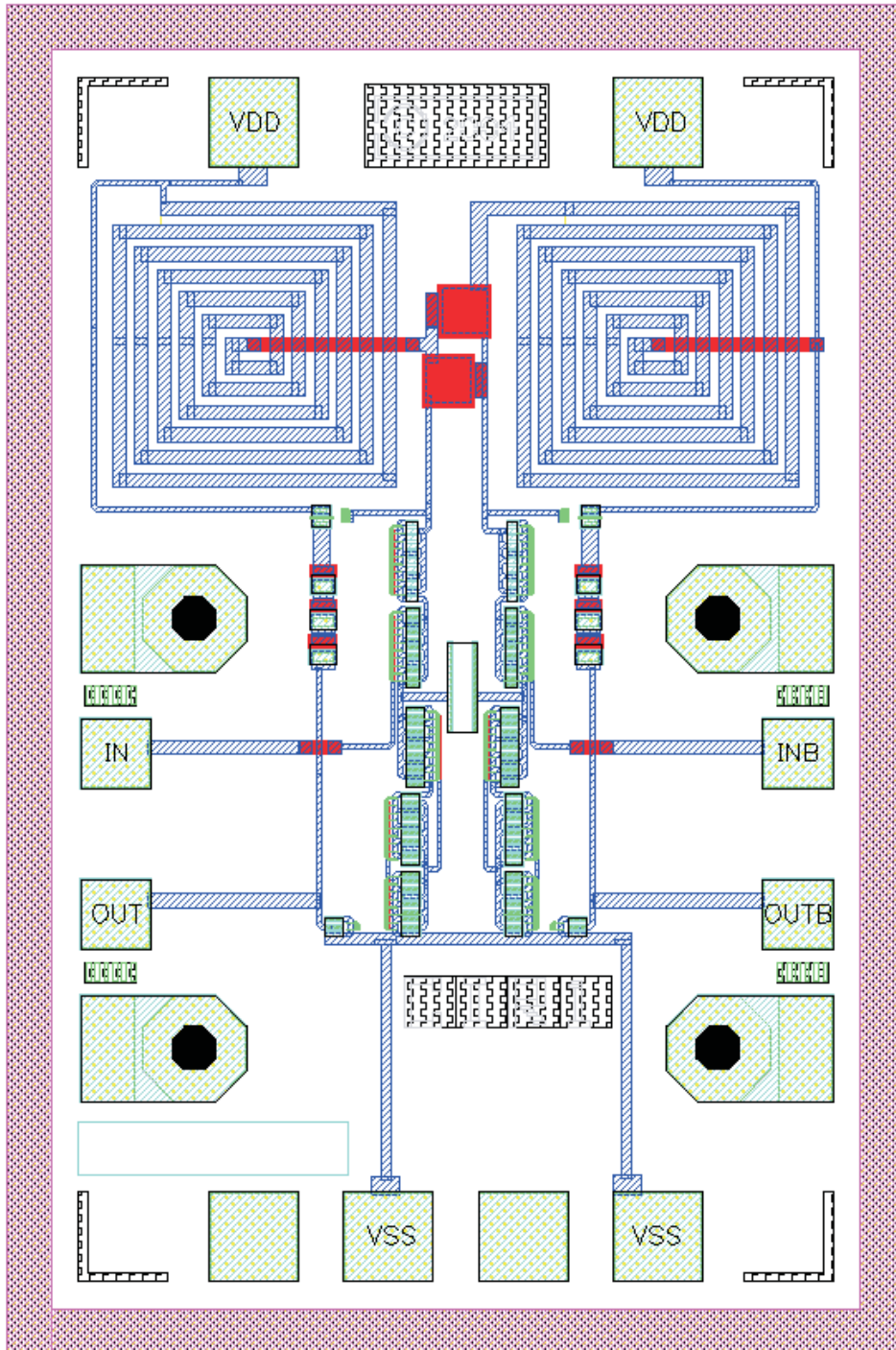
Cas	Gain (dB)	Facteur de qualité	Fréquence centrale f_0 (GHz)
Avec raccordement au boîtier	1.5	3	0.9
Sans raccordement au boîtier	4	3.73	0.879

TAB. D.6 Résultats de mesures pour CIR3

D.5.3 Commentaires

Nous avançons pour expliquer le décalage entre les résultats attendus et les résultats mesuré le fait que la compensation à résistance négative s'effectue pour une valeur de fréquence centrale précise et nous n'avons en raison des dispersions de fabrication aucune connaissance de celle-ci à priori. Il est donc indispensable de prévoir des réglages à la fois sur la fréquence centrale et sur la résistance négative. Par ailleurs, les fils de raccordement externes à la puce ne sont pas les seuls à ajouter une inductance parasite. En effet les fils internes sont aussi susceptibles de ramener une inductance parasite. C'est pourquoi d'autres capacités de découplage auraient dues être ajoutées au circuit dès la phase de conception.

D.6 Masques des résonateurs

FIG. D.9 résonateur G_m -LC

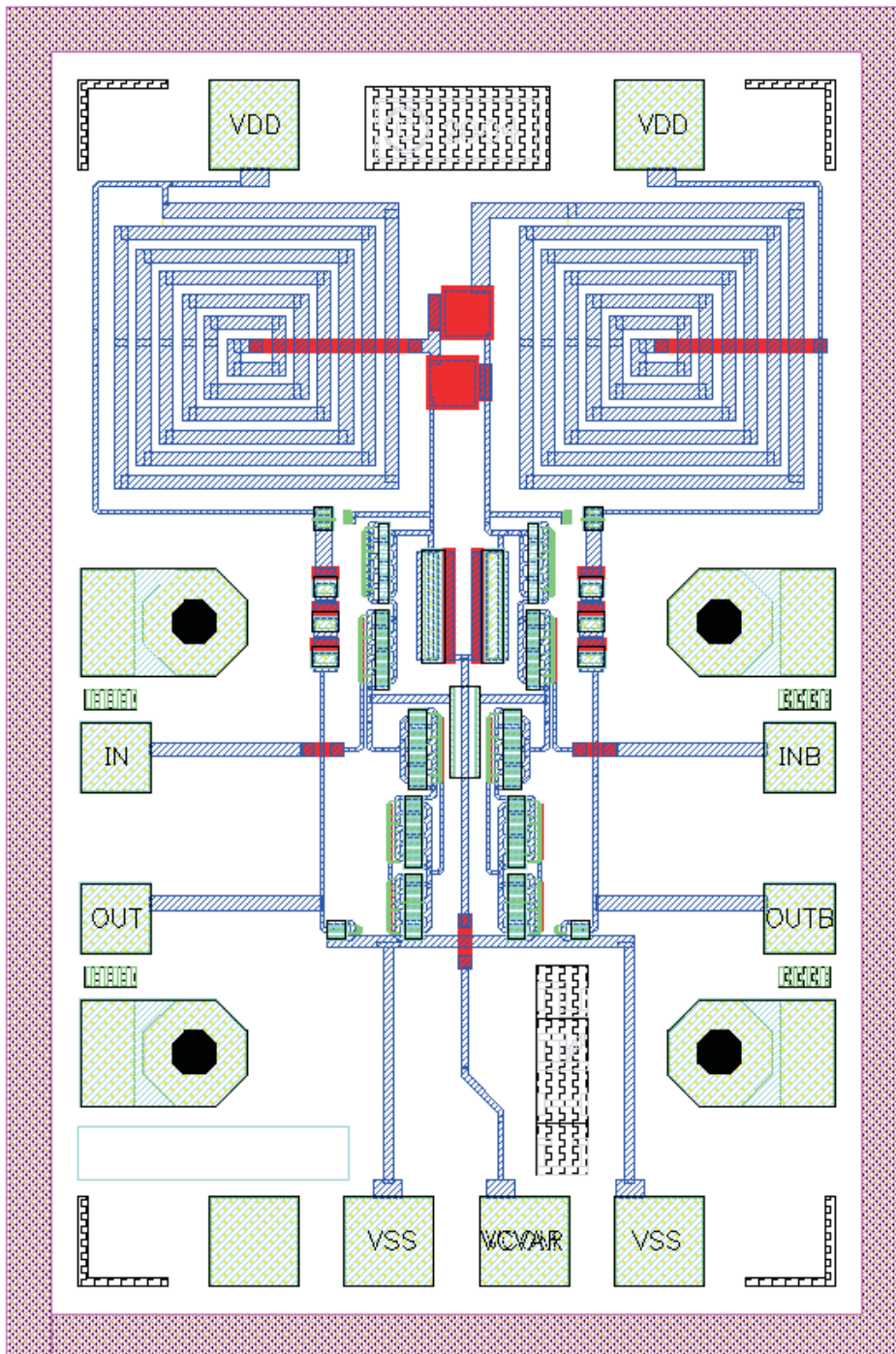


FIG. D.10 résonateur G_m -LC à fréquence centrale variable

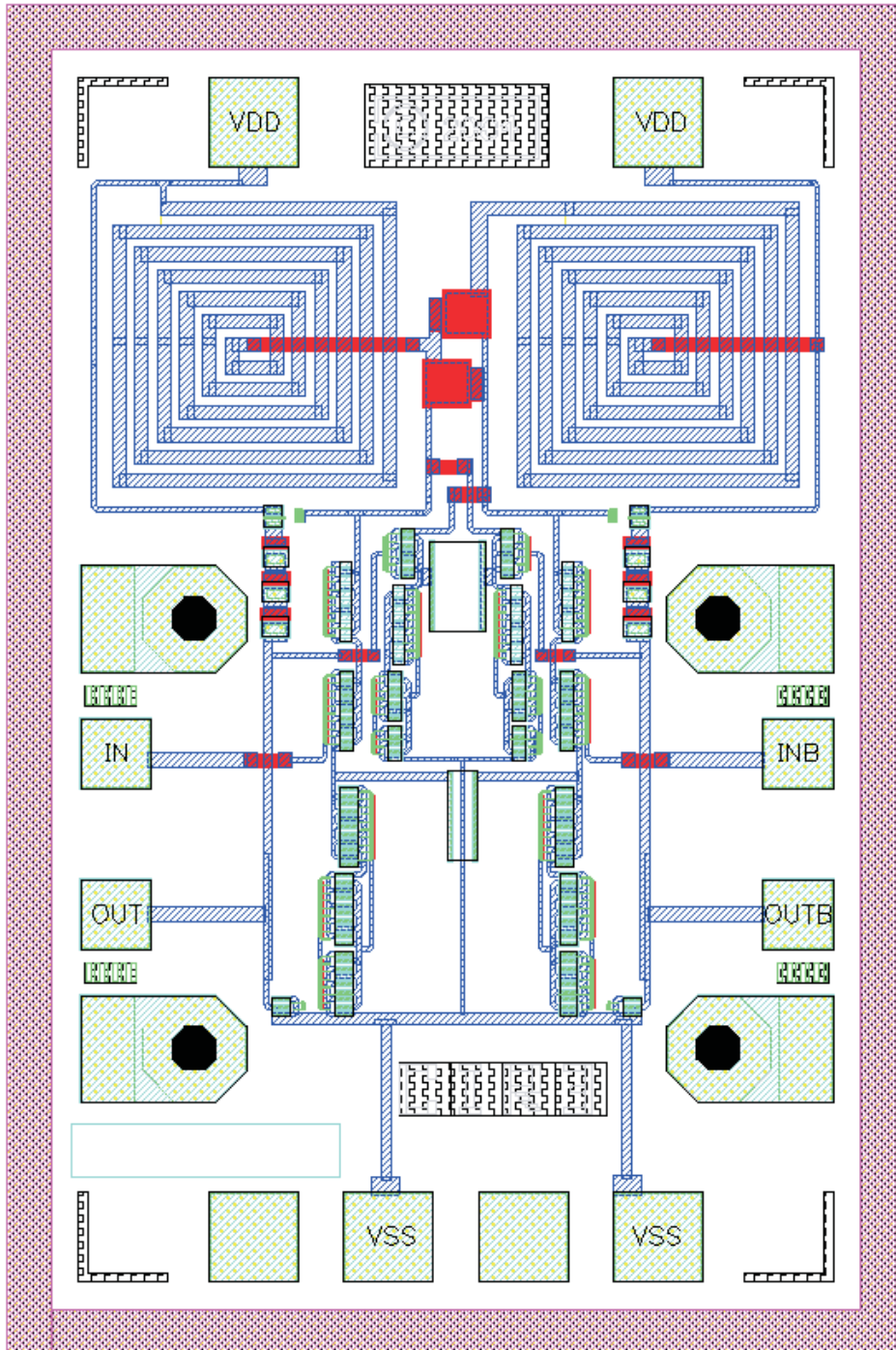


FIG. D.11 résonateur G_m -LC à compensation du facteur de qualité

Annexe E

Calcul des performances

Les performances les plus couramment annoncées lorsque l'on souhaite évaluer l'efficacité d'un modulateur sigma-delta sont le SNR (en dB), la résolution (en bits) qui y est reliée par une relation simple (equation E.6) et le DR (en dB) qui renseigne sur la plage d'amplitude des signaux d'entrée qui peuvent être traités. Ces performances se déterminent la plupart du temps en injectant des signaux sinusoïdaux à l'entrée. Un certain nombre d'étapes sont préalables à l'évaluation de ces performances.

Première étape : calcul de la densité spectrale de bruit

La première étape pour calculer n'importe laquelle des performances est de récupérer le train binaire de sortie du modulateur pour effectuer à partir de celui-ci le calcul de la densité spectrale de bruit. Il est important de disposer d'un nombre de points suffisants pour avoir une résolution fréquentielle qui nous permet d'observer tous les éléments du spectre. On diminue le pas de calcul fréquentiel en augmentant le nombre de points. Le nombre de points est défini par :

$$N_p = \frac{T_{simulation}}{T_e} \quad (\text{E.1})$$

où $T_{simulation}$ est la durée de la simulation et T_e la période d'échantillonnage. La résolution fréquentielle a alors pour valeur :

$$df = \frac{F_e}{N_p - 1} \quad (\text{E.2})$$

Choix des signaux d'entrée

Les signaux appliqués en entrée du modulateur sont de type sinusoïdaux. Mais quelques conditions doivent être réunies pour un fonctionnement correct du modulateur :

1. L'amplitude des signaux doit être inférieure aux niveaux de sortie du comparateur. En pratique une amplitude égale à environ 2/3 de la dynamique maximale du comparateur permet d'observer le meilleur SNR. Pour les signaux d'amplitude faible, le modulateur risque d'entrer dans un cycle limite.
2. La fréquence centrale d'une sinusoïde appliquée à l'entrée d'un modulateur sigma-delta peut parfois poser problème si elle correspond à la fréquence centrale de celui-ci ou si elle en est un

multiple entier. En effet, on observe alors en sortie un certain nombre d'harmoniques corrélés au signal d'entrée [38] qui gêne l'évaluation de la puissance de bruit sur une bande. On peut alors être amené à traiter ces signaux d'entrée en leur ajoutant un **dither** ou bien en cassant la multiplicité de la fréquence du signal d'entrée. Par exemple, on prendra 749999994 Hz au lieu de 750 000 000 Hz.

Récupération du train binaire de sortie

Dans le cas où l'on récupère la sortie d'un modulateur réel, on peut considérer que les premiers points ne sont pas valides car ils correspondent au temps d'établissement d'un fonctionnement correct du modulateur. Il convient alors de les supprimer. Pour savoir dans quelle proportion cette opération est nécessaire, il suffit de regarder les signaux temporels à différents endroit du circuit pour déterminer à partir de quel instant le comportement du modulateur est stable. Le nombre de points conservés devra être en puissance de deux pour le calcul de la fft.

Par ailleurs, il est très important de récupérer le signal de sortie du modulateur aux instants exacts d'échantillonnage. Par exemple avec une fréquence d'échantillonnage de 3 GHz, le signal de sortie doit être enregistré tous les 333.3 ps. Les instants de récupération doivent donc être clairement définis dans le profil de simulation.

Calcul de la densité spectrale de bruit

Le calcul du spectre s'effectue à base de transformée de Fourier rapide (FFT) Le programme de calcul doit disposer :

- un nombre de points en puissance de 2,
- un nombre de points suffisant pour avoir une résolution fréquentielle suffisante.

Deuxième étape : calcul du SNR et de la résolution

Suppression de l'harmonique du signal d'entrée

La première grandeur à calculer lorsque l'on souhaite calculer les performances du modulateur est la puissance de bruit sur la bande utile.

On notera au passage la différence entre le SNR et le SNDR. Le premier est le rapport signal sur bruit, et le second le rapport signal sur bruit et distorsions harmoniques. On rappelle que les distorsion harmoniques sont liées au signal d'entrée. Pour calculer le SNR, il conviendrait de les identifier et de les supprimer. Cependant sur une bande faible (4 MHz dans notre cas), les distorsions harmoniques sont absentes et le SNR et le SNDR ont même valeur.

Il faut au préalable, pour le calcul de la puissance de bruit sur la bande utile avoir supprimé l'harmonique dans le spectre dûe au signal d'entrée. Algorithmiquement il s'agit sur le spectre :

- de déterminer l'indice de la fréquence du signal entrée apparaissant sur le spectre
- de supprimer quelques points avant et après cet indice afin d'effacer toute trace du signal,
- de remplacer ces points par des morceaux de droite.

La figure E.1 montre un spectre de sortie du modulateur avant et après la suppression de l'harmonique du signal d'entrée.

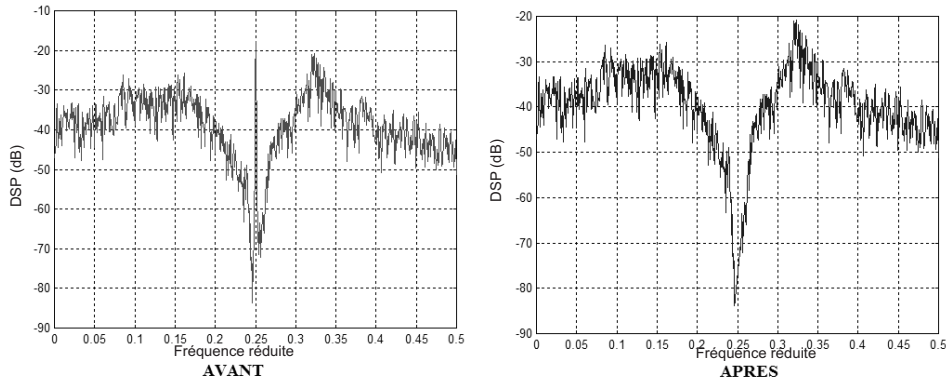


FIG. E.1 Exemple de suppression d'un harmonique

Pour qu'une telle approximation ne soit pas préjudiciable à la précision de l'évaluation des performances, il faut un nombre de points suffisant sur la bande et ne pas effectuer de moyennage de spectre.

Puissance de bruit

Le calcul de la puissance de bruit s'effectue en sommant les points de la densité spectrale de puissance sur la bande utile et en multipliant par la résolution fréquentielle.

$$P_{br} = \sum_{k=k_{f_0}-k_{f_{B/2}}}^{k_{f_0}+k_{f_{B/2}}} dsp(k) \times df \quad (\text{E.3})$$

où k est l'indice d'un point sur le spectre, k_{f_0} l'indice correspondant à la fréquence centrale sur le spectre et $k_{f_{B/2}}$ l'indice correspondant à la moitié de la bande utile.

Puissance de signal

De même que l'on effectue la somme des points de la densité spectrale de puissance pour le bruit, on effectue la somme des points correspondant au signal d'entrée, qui seront remplacés.

$$P_s = \sum_{k=k_{f_0}-k_{sig}}^{k_{f_0}+k_{sig}} dsp(k) \times df \quad (\text{E.4})$$

k_{sig} : numéro de l'indice correspondant à l'extrémité de la bande de fréquence que le signal d'entrée occupe sur le spectre de sortie. Ce numéro est de l'ordre de 5 pour une sinusoïde simple mais dépend des spectres.

Rapport signal sur bruit

A partir des puissance de bruit et de signal calculées précédemment, le SNR s'évalue par l'expression :

$$SNRdB = 10 \log \left(\frac{P_s}{P_{br}} \right) \quad (\text{E.5})$$

Nombre de bits effectifs

A partir du SNR, on évalue la résolution par la formule suivante :

$$N = \frac{(SNRdB - 1.76)}{6.02} \quad (\text{E.6})$$

Conclusion

Nous estimons la précision sur les valeurs de résolution présentés dans la thèse à ± 0.5 bit, car elle dépendent, entre autres paramètres, du nombre de points sur lequel s'effectue le calcul, mais aussi du signal injecté à l'entrée. Pour un convertisseur sigma-delta complet, le calcul de la résolution devrait en outre prendre en compte la non-idéalité du post-filtrage numérique.

Bibliographie

- [1] George I Bourdopoulos, Aristodemos Pnevmatikakis, Vassilis Anastossopoulos, Théodore L Deliyannis. *Delta-Sigma Modulators*. Imperial College, 2003.
- [2] PW Wong. Quantization noise, fixed-point multiplicative roundoff noise, and dithering. *Acoustics, Speech, and Signal Processing [see also IEEE Transactions on Signal Processing]*, *IEEE Transactions on*, 38(2) :286–300, 1990.
- [3] Chou, W. and Gray, RM. Modulo sigma-delta modulation. *Communications, IEEE Transactions on*, 40(8) :1388–1395, 1992.
- [4] Sripad, A. and Snyder, D. A necessary and sufficient condition for quantization errors to be uniform and white. *Acoustics, Speech, and Signal Processing [see also IEEE Transactions on Signal Processing]*, *IEEE Transactions on*, 25(5) :442–448, 1977.
- [5] R.T. Baird and T.S. Fiez. Linearity enhancement of multi-bit A/D and D/A converters using data weighted averaging. *IEEE Circuits & Systems II, CASII-42* :753–62, 12 95.
- [6] T. Ritoniemi, T. Karema, and H. Tenhunen. Design of stable high order 1-bit sigma-delta modulators. *Circuits and Systems, 1990., IEEE International Symposium on*, pages 3267–3270, 1990.
- [7] E.F. Stickvoort. Some remarks on the stability and performances of the noise shaper or delta-sigma modulator. *IEEE trans. on Communications*, 36(10) :1157–1162, 11 88.
- [8] R.T. Baird and T.S. Fiez. Stability analysis of high-order delta-sigma modulation for ADC's. *IEEE trans. on Circuits and Systems*, 41(1) :59–62, 01 94.
- [9] R. Schreier and G.C. Temes. *Understanding Delta-sigma data converters*. IEEE Press, 2005.
- [10] R. Schreier, M. Snelgrove. Bandpass Delta-Sigma Modulation. *IEEE Electronics Letters*, 25(23), 89.
- [11] P. Allier. *Interface analogique numérique asynchrone : une nouvelle classe de convertisseurs basés sur la quantification du temps*. PhD thesis, Institut national polytechnique de Grenoble, 2003.
- [12] P. Bénabès. *Etude de nouvelles structures de convertisseurs sigma-delta passe-bande*. PhD thesis, Supélec, Service des mesures, Université Paris XI, 1994.

- [13] Uchimura, K. and Hayashi, T. and Kimura, T. and Iwata, A. VLSI-A to D and D to A converters with multi-stage noise shaping modulators. *Acoustics, Speech, and Signal Processing, IEEE International Conference on ICASSP'86.*, 11, 1986.
- [14] Williams III, LA and Wooley, BA. Third-order cascaded sigma-delta modulators. *Circuits and Systems, IEEE Transactions on*, 38(5) :489–498, 1991.
- [15] DB Ribner. A comparison of modulator networks for high-order oversampled $\Sigma\Delta$ analog-to-digital converters. *Circuits and Systems, IEEE Transactions on*, 38(2) :145–159, 1991.
- [16] Benabes, P. and Gauthier, A. and Billet, D. New wideband sigma-delta convertor. *Electronics Letters*, 29(17) :1575–1577, 1993.
- [17] L. Hernandez and P. Rombouts and E. Prefasi and M. Garcia and C. Lopez. A jitter insensitive continuous-time $\Delta\Sigma$ modulator using transmission lines. *Proc. of Conf. IEEE*, pages 109–12, 04.
- [18] L. Hernandez and E. Prefasi and P. Rombouts. Sixth-order programmable bandwidth bandpass sigma-delta modulator implemented with transmission lines. *Elec. letters*, 40(25), Dec. 04.
- [19] A. Yahia and P. Benabes and R. Kielbasa. A new technique to compensate the influence of the feedback DAC delay in continuous-time bandpass DS converters. *Proc. IEEE Instrumentation and Measurement Technology Conference*, pages 716–719, May 2001.
- [20] P. Benabes and P. Aldebert and A. Yahia and R. Kielbasa. Influence of the Feedback DAC Delay on Continuous Time Band-pass Sigma-Delta converter. *Electronics letters*, 36(4) :292–3, Feb. 2000.
- [21] C. Flouzat. *Modulateurs sigma-delta passe-bande en temps continu*. PhD thesis, THALES Systèmes aéroportés (PRM), Université Paris XI, 2003.
- [22] J-L. Degouy and P. Benabes and C. Flouzat and J-M. Hode and R. Kielbasa. A new s-domain approach for designing continuous-time converters. *Proc. IEEE IMTC*, pages 744–749, May 2001.
- [23] M. Inerfield, W. Skones, S. Nelson, D. Ching, P. Cheng, and C. Wong. High dynamic range InP HBT delta-sigma analog-to-digital converters. *Solid-State Circuits, IEEE Journal of*, 38(9) :1524–1532, 2003.
- [24] J.F. Jensen, G. Raghavan, A.E. Cosand, R.H. Walden. A 3.2 GHz second-order delta-sigma modulator implemented in InP HBT technology. *IEEE Journal of solid-state circuits*, 30(10), oct. 95.
- [25] JA Cherry and W.M.W. Gao. On the design of a fourth-order continuous-time LC delta-sigma modulator for UHF A/D conversion. *Circuits and Systems II : Analog and Digital Signal Processing, IEEE Transactions on [see also Circuits and Systems II : Express Briefs, IEEE Transactions on]*, 47(6) :518–530, 2000.
- [26] W. Skones, P. Cheng, D. Ching, M. Inerfield, S. Nelson, and C. Wong. High dynamic range InP HBT delta-sigma analog-to-digital converters. *Gallium Arsenide Integrated Circuit (GaAs IC) Symposium, 2002. 24th Annual Technical Digest*, pages 279–282, 2002.

- [27] Omid Shoaiei, Martin Snelgrove. Design and implementation of a tunable 40 MHz-70 MHz Gm-C bandpass $\Delta\Sigma$ modulator. *IEEE Trans. on Circuits and Systems-II :Analog and digital signal processing*, 44(7), july 97.
- [28] Arun Jayaraman, Peter Asbeck, Kevin Nary, Steve Beccue, Keh-Chung Wang. Bandpass Delta-Sigma Modulator with 800 MHz Center Frenquency. *IEEE Gallium Arsenide Circuit Symposium*, pages 95–98, octobre 97.
- [29] W. Gao, A. Cherry, W. Martin Snelgrove. A 4 GHz Fourth-Order SiGe HBT Band Pass Delta-Sigma Modulator. *IEEE Symposium on VLSI Circuits Digest of Technical Papers*, pages 174–175, Juin 98.
- [30] W. Gao, W. Martin Snelgrove. A 950 MHz IF Second-Order Integrated LC Bandpass Delta-Sigma Modulator. *IEEE Journal of solid-state circuit*, 33(5), Mai 98.
- [31] Cosand, AE and Jensen, JF and Choe, HC and Fields, CH. IF-sampling fourth-order band-pass/spl Delta//spl Sigma/modulator for digital receiver applications. *Solid-State Circuits, IEEE Journal of*, 39(10) :1633–1639, 2004.
- [32] Feng, S. and Sauerer, J. and Seitzer, D. Implementation of GaAs E/D HEMT analog components for oversampling analog/digital conversion. *Gallium Arsenide Integrated Circuit (GaAs IC) Symposium, 1994. Technical Digest 1994., 16th Annual*, pages 228–231, 1994.
- [33] A. Olmos, T. Miyashita, M. Nihei, E. Charry, Y. Watanabe. A 5 GHz continuous time sigma-delta modulator implemented in 0.4 μm InGaP/InGaAs HEMT Technology. *IEEE International symposium on circuits and systems*, 1 :575–578, june 98.
- [34] Shouli Yan, Edgar Sanchez-Sinencio. A continuous-time $\Sigma\Delta$ modulator with 88-dB dynamic range and 1.1 MHz signal bandwith. *IEEE Journal of solid-state circuits*, 39(1), january 04.
- [35] T. Chalvatzis, S. P. Voinigescu. A low noise 40-GS/s Continuous-Time Bandpass Delta-Sigma ADC Centered at 2 GHz. *IEEE Symposium on Radio Frequency Integrated Circuits*, Juin 06.
- [36] T.S Kaplan, J.F. Jensen, C.H. Fields and M.C.F. Chang. A 1.3 GHz IF digitizer using a 4th order continuous time bandpass delta-sigma modulator. *IEEE Custom Integrated Circuits Conference*, pages 127–130, Septembre 03.
- [37] S. Benabid. *Contribution à la conception d'un convertisseur sigma-delta passe-bande à temps continu dans une technologie standard CMOS*. PhD thesis, Supélec, Département Signaux et Systèmes Electronique, Université Paris XI, 2005.
- [38] Pablo R. Perez-Alcazar, Andres Santos. Relationship between sampling rate and quantization noise. *IEEE*, 2002.
- [39] Benabes, P. and Gauthier, A. and Kielbasa, R. A Multistage Closed-loop Sigma-Delta modulator (MSCL). *Analog Integrated Circuits and Signal Processing*, 11(3) :195–204, 1996.
- [40] Beydoun Ali. *Contribution à l'étude et à la conception de systèmes de numérisation hautes performances*. PhD thesis, Supélec, Service des mesures, Université Paris XI, 2007.

- [41] A. Yahia. *Contribution à la conception automatisée de convertisseurs analogique-numérique sigma-delta passe-bande rapides*. PhD thesis, Supélec, Service des mesures, Université Paris XI, 2001.
- [42] W. B. Kuhn, W. Stephenson and Aicha Elshabini-Riad. A 200 MHz CMOS Q-Enhanced LC Bandpass Filter. *IEEE Journal of Solid State Circuit*, 31, August 96.
- [43] Spyros Pipilos, Yannis P. Tsvividis, Josef Fenk, Yannis Papananos. A Si 1.8 GHz RLC Filter with Tunable Center Frequency and Quality Factor. *IEEE Journal of solid state circuits*, 31(10), octobre 96.
- [44] WB Kuhn, FW Stephenson, and A. Elshabini-Riad. Dynamic range of high-Q OTA-C and enhanced-Q LC RF bandpass filters. *Circuits and Systems, 1994., Proceedings of the 37th Midwest Symposium on*, 2, 1994.
- [45] E. Najafi Aghdam. *Nouvelles techniques d'appariement dynamique dans un CNA multibit pour les convertisseurs sigma-delta*. PhD thesis, Supélec, dept. signaux et systèmes électroniques, Université Paris XI, 2006.
- [46] C. Lelandais-Perrault, P. Bénabès, J-L. Degouy, R. Kielbasa. A parallel structure of a continuous-time filter for band-pass sigma-delta A/D converters. *IEEE ICECS*, 3 :954–957, 2003.
- [47] P. Benabes, A. Gauthier, L. Lebrusquet et R. Kielbasa. Implémentation d'un CNA brassé pour un convertisseur $\Sigma\Delta$ multi-bit faible tension. *Journées faible tension - faible consommation*, Mai 1999.
- [48] E. Najafi Aghdam, P. Bénabès. A hardware efficient 3-bit second-order dynamic elements matching circuit clocked at 300 MHz. *IEEE International Symposium on Circuits and Systems*, pages 2977–2980, Mai 2006.
- [49] D. Li, Y. Tsvividis. Design techniques for automatically tuned integrated gigahertz-range active LC filters. *IEEE Journal of solid state circuits*, 37(8), août 2002.
- [50] Spyros Pipilos, Yannis Tsvividis, Josef Fenk, Yannis Papananos. A Si 1.8 GHz RLC Filter with tunable center frequency and quality factor. *IEEE Journal of solid-state circuits*, 31(10) :1517–1525, Octobre 96.
- [51] D. Li, Y. Tsvividis. A loss-control feedback loop for VCO indirect tuning of RF integrated filters. *IEEE Transactions on circuits and systems*, 47 :169–175, Mars 2000.
- [52] M. Villegas. *Radiocommunications numériques/2 Conception de circuits intégrés et microondes*. DUNOD, 02.
- [53] C. Meliani. *Circuits intégrés amplificteurs à base de transistors HEMT pour les transmissions numériques à très haut débit*. PhD thesis, Laboratoire Alcatel OPTO+/France Telecom RetD, Université Paris VII, 2003.
- [54] Peter Ashburn. *SiGe Heterojunction Bipolar Transistors*. Wiley, 03.

- [55] Alexandre Valentian. *Etude de la technologie SOI partiellement désertée à très basse tension pour minimiser l'énergie dissipée et application à des opérateurs de calcul*. PhD thesis, ENST, 2005.
- [56] CMP, Circuits Multi-Projets. . *Réunion annuelle CMP*, janvier 08.
- [57] D. Haigh, J. Everard. *GaAs technology and its impact on circuits and systems*. IEE Circuits and Systems series 1, 1989.
- [58] Ralph Williams. *Modern GaAs processing methods*. Artech House, 90.
- [59] W.R Curtice. A MESFET Model for Use in the Design of GaAs Integrated Circuits. *IEEE Transactions on Microwave Theory and Techniques*, 28(5) :448–456, Mai 80.
- [60] A. Materka and T. Kacprzak. Computer Calculation of Large-Signal GaAs FET Amplifiers Characteristics. *IEEE Transactions on Microwave Theory and Techniques*, 33(2) :129–135, Février 85.
- [61] H.Statz, P. Newman, I.W. Smith, R.A. Pucel, H.A. Haus. GaAs FET Device and Circuit Simulation in Spice". *IEEE Transactions on Electron Devices*, 34 :160–169, Février 87.
- [62] Lawrence E. Larson. An Improved GaAs MESFET Equivalent Circuit Model for Analog Integrated Circuit Model for Analog Integrated Circuit Applications. *IEEE Journal of Solid State Circuits*, (4), Août 87.
- [63] W.R Curtice. GaAs FET Modeling and Nonlinear CAD. *IEEE Transactions on Microwave Theory and Techniques*, 36(2) :220–230, Février 88.
- [64] A.J. McCamant, G.D. McCormack, and D.H. Smith. An Improved GaAs FET Model for SPICE. *IEEE Transactions on Microwave Theory and Techniques*, 38(6) :822–824, Juin 90.
- [65] I. Angelov. Extension of the Chalmers Nonlinear HEMT and MESFET Model. *IEEE Transactions on Microwave Theory and Techniques*, 44, Octobre 96.
- [66] Sunderarajan S. Mohan, Maria del Mar Hershenson, Stephen P. Boyd and Thomas H. Lee. Simple Accurate Expressions for Planar Spiral Inductances. *IEEE Journal of Solid State Circuit*, 34(10) :1419–1424, Octobre 99.
- [67] H.M. Greenhouse. Design of Planar Rectangular Microelectronic Inductors. *IEEE Transactions on Parts, Hybrid and Packaging*, PHP-10(2) :101–109, Juin 74.
- [68] R. Kaunisto, P. Alinikula, K. Stadius. Q-enhancing technique for high speed active inductors. *IEEE International Symposium on Circuits and Systems*, 5 :735–738, Mai 94.
- [69] C. Toumazou, D. G. Haigh. Integrated microwave continuous-time active filter using fully tunable GaAs transconductors. *IEEE International Symposium on Circuits and Systems*, 3 :1765–1768, Juin 91.
- [70] U. Yodprasit, J. Ngarmnil. Q-enhancing technique for RF CMOS active inductor. *IEEE International Symposium on Circuits and Systems*, 5 :589–592, Mai 00.

- [71] Yannis P. Tsividis. Integrated Continuous-Time Filter Design - An Overview. *IEEE Journal of solid state circuits*, 29(3), Mars 94.
- [72] Hélène Trézéguet. Les filtres à ondes de surface. *Electronique*, (156), Mars 05.
- [73] E. Avignon, S. Guessab, R. Kielbasa, J-M. Guebhard, J. Russat. Design of a 3 GHz 6th order delta-sigma modulator in a 0.2 μm GaAs technology. *IASTED Conference on Circuits Signals and Systems*, Novembre 06.
- [74] Sean C. Kelly, James A. power, Mike O'Neill. Selection and Modeling of Integrated RF Varactors on a 0.35- μm BiCMOS Technology. *IEEE Transactions on semiconductor manufacturing*, 17(2), 2004.
- [75] Wallace Ming Yip Wong, Ping Shing Hui, Zhiheng Chen, Keqiang Shen, Jack Lau, Philip C. H. Chan and Ping-Keung Ko. A Wide Tuning Range Gated Varactor. *IEEE Journal of Solid-State Circuits*, 35(5), Mai 2000.
- [76] S. Feng, D. Seitzer. Characterization and Design of GaAs SCFL Latched Comparators Based on Improved Linearized Models. *IEEE Transactions on Circuits and Systems—Fundamental Theory and Applications*, 42(6), juin 95.
- [77] S. Feng, D. Seitzer. Input Voltage Sensibility of GaAs/GaAlAs HEMT Latched Comparator. *Electronics Letters*, 28(3), Janvier 92.
- [78] S. Feng and D. Seitzer. Design on high performance GaAs latched comparator for dataconversion applications. *Circuits and Systems, 1992. ISCAS'92. Proceedings., 1992 IEEE International Symposium on*, 1, 1992.
- [79] Breems, LJ and van der Zwan, EJ and Huijsing, JH. A 1.8-mW CMOS $\Sigma\Delta$ modulator with integrated mixer for A/D conversion of IF signals. *Solid-State Circuits, IEEE Journal of*, 35(4) :468–475, 2000.
- [80] E. Avignon, S. Guessab, R. Kielbasa, J-M. Guebhard, J. Russat. Analyse et compensation des imperfections des blocs élémentaires d'un modulateur sigma-delta à temps continu en technologie AsGa. *TAISA'06*, oct 06.
- [81] Edward Daniel McCloskey. *Q-Enhanced LC Resonators for Monolithic, Low-Loss Filters in Gallium Arsenide Technology*. PhD thesis, Virginia Polytechnic Institute, 2001.
- [82] E. Avignon, S. Guessab, R. Kielabasa, J-M. Guebhard, N. Fel, J. Russat. Réalisation d'un résonateur Gm-LC à fréquence centrale ajustable en technologie AsGa. *TAISA'05*, oct 05.

Table des figures

1	Architecture d'un récepteur hétérodyne	16
2	Convertisseur analogique-numérique sigma-delta à temps continu.	17
3	Convertisseur analogique-numérique sigma-delta à temps continu à fréquence centrale ajustable.	18
1.1	Schéma général d'un convertisseur sigma-delta	21
1.2	Quantification : a) sortie du quantificateur, b) bruit de quantification, c) puissance du bruit de quantification	22
1.3	Modèle linéaire du quantificateur	24
1.4	Modèle simplifié du modulateur	24
1.5	Mise en forme du bruit de quantification : a) cas passe-bas, b) cas passe-bande	25
1.6	Modèle quasi linéaire du modulateur	25
1.7	Modèle quasi linéaire du modulateur en l'absence de signal d'entrée	26
1.8	(a) Modulateur passe-bas d'ordre 2, (b)Position des pôles en fonction du gain du comparateur d'un modulateur sigma-delta du 2 ^{ieme} ordre.	27
1.9	(a) Modulateur passe-bas d'ordre 3 instable, (b)Position des pôles en fonction du gain du comparateur d'un modulateur sigma-delta du 3 ^{ieme} ordre.	28
1.10	<i>SNR/SNDR</i> et <i>DR</i>	30
1.11	Modulateur multiboucle	31
1.12	Modulateur de type MASH	32
1.13	Modulateur de type nFOC	33
1.14	Modulateur de type mixte 2-1	33
1.15	Modulateur MSCL d'ordre 2	34
1.16	Modulateur sigma-delta (a) à temps discret, (b) à temps continu.	34
1.17	Réponse temporelle du CNA : (a) <i>NRZ</i> , (b) <i>RZ</i> , (c) <i>HZ</i>	35
1.18	Mise en oeuvre du rebouclage rapide	36
1.19	Modèle linéaire d'un modulateur Sigma-Delta	37
1.20	Modèle linéaire simplifié du modulateur	38
2.1	Structure MSCL générale d'ordre 2n passe-bande	43
2.2	Résolution du modulateur en fonction de l'ordre et du nombre de bits du CAN	45
2.3	Forme canonique d'une architecture temps continu monoboucle d'ordre 6 avec retard	46
2.4	Topologie d'un modulateur mettant en évidence la marge de gain	47
2.5	A) Effet du retard sur la marge de gain pour $f_0 = 0.25f_e$ B) Résolution en fonction du retard CAN + CNA pour $f_0 = 0.25f_e$	48
2.6	Modulateur d'ordre 4 série	49
2.7	Modulateur d'ordre 6 série	49
2.8	Modulateur d'ordre 6 parallèle	50
2.9	Caractéristique de Bode des filtres de boucle série et parallèle	51
2.10	Caractéristique de Bode des filtres de boucle série et parallèle après modifications	54
2.11	<i>SNR</i> du modulateur en fonction du gain de rebouclage	54

2.12	Architecture proposée pour le modulateur	55
2.13	Spectre en sortie du modulateur avec une sinusoïde de 100 mV à 750 MHz	55
2.14	Lieu des pôles de la $NTF(z)$ pour la fréquence centrale du résonateur d'entrée de f_0	57
2.15	Lieu des pôles de la $NTF(z)$ pour la fréquence centrale du résonateur d'entrée de $f_0 - f_A/2$	58
2.16	Lieu des pôles de la $NTF(z)$ pour la fréquence centrale du résonateur d'entrée de $f_0 + f_A/2$	58
2.17	Spectre aux bornes de la bande d'agilité	60
2.18	Système de réglage du facteur de qualité et de la fréquence centrale	61
2.19	Asservissement du résonateur d'entrée	62
3.1	Technologies intégrées et domaines d'applications	67
3.2	Vue en coupe des différents types de transistor dans la filière GaAs	69
3.3	Diagramme de bande d'une hétérojonction $Al_xGa_{1-x}As$ avant contact	70
3.4	Diagramme de bande d'une hétérojonction $Al_xGa_{1-x}As$ après contact	71
3.5	Modèle en petits signaux du transistor HEMT	72
3.6	Modèle du HEMT pour le simulateur	75
3.7	Structure physique des diodes en technologie OMMIC, symbole général et modèle petits signaux général	76
3.8	Vue de dessus, modèle petits signaux et vue en coupe de l'inductance dans la technologie OMMIC	78
3.9	Evolution de la résistance R_s en fonction de la fréquence	79
3.10	Résistance de perte statique R_{DC} en fonction de P et W avec $G = 10\mu m$ et $L = 5nH$	80
3.11	Capacité parasite C_p en fonction de P et G avec $W = 15\mu m$ et $L = 5nH$	80
3.12	Structure physique des condensateurs dans la technologie OMMIC, modèle petits signaux, schéma d'implantation	81
3.13	Vue en coupe des résistances, modèle petits signaux, schéma d'implantation	83
3.14	Montage source commune	86
3.15	Montage grille commune	87
3.16	Montage drain commun	88
3.17	Montage cascode	89
3.18	Amplificateur différentiel à transconductance	90
3.19	Linéarisation de l'amplificateur différentiel	90
3.20	Extension de la bande passante d'un amplificateur par ajout d'une capacité C_{comp} sur la résistance de linéarisation R_{lin}	91
3.21	Décaleur	92
3.22	Sources de courant	93
3.23	Caractéristique statique des sources de courant	94
4.1	Architecture du modulateur idéal	97
4.2	Architecture générale de résonateur Gm-LC	99
4.3	Types de circuit LC pour résonateurs Gm-LC	100
4.4	Résonateur avec compensation du facteur de qualité	101
4.5	Tracé du lieu des pôles avec les termes passe-bas dus à l'inductance	102
4.6	Correction des termes passe-bas par filtres passe-haut	103
4.7	Correction des termes passe-bas par filtres passe-haut, avec erreur de +20% sur $R_{cor}C_{cor}$	104
4.8	Correction des termes passe-bas par filtres passe-haut, avec erreur de -20% sur $R_{cor}C_{cor}$	104
4.9	Résonateur à fréquence centrale variable	105
4.10	Plage de variation de la varicap	105
4.11	Diagramme pour le dimensionnement des éléments passifs	107

4.12	Circuit du résonateur	108
4.13	Simulation Monte-Carlo sur les résonateurs	110
4.14	Modification des connexions aux alimentations	111
4.15	Circuit sommateur	113
4.16	Gain du sommateur lors de la simulation Monte-Carlo sans réglage	115
4.17	Gain du sommateur lors de la simulation Monte-Carlo avec réglage	115
4.18	Schéma général d'un comparateur	117
4.19	Circuit comparateur élémentaire	117
4.20	Signal de sortie du comparateur	118
4.21	Circuit comparateur	119
5.1	Modulateur sigma-delta	123
5.2	Spectre en sortie dans le cas nominal	124
5.3	Dynamic range (DR) du modulateur	124
5.4	Spectre en sortie pour l'évaluation de la linéarité	125
5.5	Recherche du point d'intersection OIP3	126
5.6	Spectres en sortie avec fréquence centrale de 731 MHz	127
5.7	Synoptique de test	130
5.8	Masque du modulateur	132
5.9	Numérotation des interconnexions du circuit	133
5.10	Simulation intégrant les interconnexions du modulateur	135
5.11	Modélisation du comparateur	136
5.12	Diminution du DR en fonction des niveaux de sortie du CNA	137
5.13	Sensibilité du modulateur aux pires cas des résonateurs	138
5.14	Modélisation du sommateur parfait	139
5.15	Modélisation du sommateur non linéaire	139
5.16	spectre issu de la simulation globale	141
5.17	Simulation mixte à 1 GHz	142
5.18	Spectre en sortie à 1 GHz	143
A.1	Synoptique du brassage de source	151
A.2	Tableau d'illustration de l'algorithme de brassage passe-bande	151
A.3	Architecture proposée pour le brassage passe-bande	153
B.1	Modèle non linéaire de la diode de type GM	154
B.2	Modèle non linéaire de la diode de type BE	155
B.3	Vue en coupe des niveaux de métaux de la technologie OMMIC	157
B.4	Tableau de paramètres	157
C.1	principe de l'inductance active	159
C.2	Modèle du résonateur Gm-C	159
C.3	Résonateur Gm-C en technologie GaAs P-HEMT 0.2 μm	161
C.4	gain dynamique du gyrateur	162
D.1	Photos du résonateur au microscope	165
D.2	Schématique de CIR2 avec l'environnement de mesure	166
D.3	Résultats de simulation pour CIR2 dans l'environnement de mesure	166
D.4	Résultats de mesures pour CIR2	167
D.5	Schématique de CIR3 avec l'environnement de mesure	168
D.6	Gain dynamique de CIR3 avec dispositif de mesure haute impédance (sonde ou oscil- loscope) avec raccordement au boîtier	169

D.7	Gain dynamique de CIR3 avec dispositif de mesure haute impédance (sonde ou oscilloscope) sans raccordement au boîtier	169
D.8	Résultat de mesures sur CIR3	170
D.9	résonateur Gm-LC	171
D.10	résonateur Gm-LC à fréquence centrale variable	172
D.11	résonateur Gm-LC à compensation du facteur de qualité	173
E.1	Exemple de suppression d'un harmonique	176

Liste des tableaux

1.1	Etat de l'art de la modulation à temps continu	40
2.1	Répartition des fréquences f_j minimisant la puissance de bruit sur f_B [12]	44
2.2	Choix des coefficients c_j en fonction de l'ordre du modulateur	45
2.3	Performances des architectures séries	50
2.4	Performances de l'architecture parallèle d'ordre 6 avec comparateur	51
2.5	Résolution du modulateur avec CAN 3 bits	52
2.6	Performances de l'architecture parallèle d'ordre 6 modifiée avec comparateur	55
2.7	Résolution du modulateur d'ordre 6 parallèle aux extrémités de la bande d'agilité	59
3.1	Caractéristiques comparées des substrats III-V et silicium	66
3.2	Comparaison des performances dynamiques des transistors	67
3.3	Caractéristiques du transistor HEMT	71
3.4	Ordre de grandeur des éléments d'accès	74
3.5	Capacitance des couches implantées	81
3.6	Résistivités des couches implantées	83
3.7	Résistivités des lignes de connexion	84
3.8	Expression des conductances et transconductances pour les zones ohmique et saturée	93
4.1	Performances du modulateur sigma-delta idéal	97
4.2	Grandeurs des résonateurs	101
4.3	Caractéristiques des résonateurs	109
4.4	Pire cas du résonateur Res157	109
4.5	Variation des caractéristiques de Res157 en fonction de la température	110
4.6	Caractéristiques des résonateurs en fonction des connexions aux alimentations	111
4.7	Caractéristiques des résonateurs avec les corrections sur le masque	111
4.8	Caractéristiques du sommateur	113
4.9	Pire cas du sommateur	114
4.10	Caractéristiques du sommateur en fonction de la température	115
4.11	Simulations pire-cas du comparateur	120
4.12	Performances du modulateur à l'insertion des blocs	121
5.1	Performances du modulateur sigma-delta	123
5.2	Produits d'intermodulation d'ordre 3	125
5.3	Performances du modulateur sigma-delta aux extrémités de la bande d'agilité	127
5.4	Performances du modulateur	128
5.5	Extraction des éléments parasites	134
5.6	Performances du modulateur sigma-delta avec éléments parasites des interconnexions	135
5.7	Caractéristiques du comparateur	136
5.8	Incidence du pire cas comparateur sur le modulateur	137

5.9	Pire cas résonateurs	138
5.10	Incidence des pires cas résonateurs sur le modulateur	138
5.11	Paramètres de modélisation du sommateur	139
5.12	Performances du modulateur en fonction du sommateur	140
5.13	Performances des résonateurs échantillons	140
5.14	Performances issues de la simulation globale	141
5.15	Performances du modulateur sigma-delta à 1GHz	142
D.1	Caractéristiques du résonateur CIR1	163
D.2	Caractéristiques du résonateur CIR2	163
D.3	Caractéristiques du résonateur CIR3	164
D.4	Caractéristiques attendues pour CIR2 dans l'environnement de mesure	167
D.5	Caractéristiques attendues pour CIR3 dans l'environnement de mesure	169
D.6	Résultats de mesures pour CIR3	170