



HAL
open science

Conception électrique et implantation de circuits intégrés

Venkata Subba Rao Malladi

► **To cite this version:**

Venkata Subba Rao Malladi. Conception électrique et implantation de circuits intégrés. Modélisation et simulation. Institut National Polytechnique de Grenoble - INPG, 1982. Français. NNT: . tel-00300500

HAL Id: tel-00300500

<https://theses.hal.science/tel-00300500>

Submitted on 18 Jul 2008

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THESE

présentée à

l'Institut National Polytechnique de Grenoble

pour obtenir le grade de

DOCTEUR INGENIEUR

Génie Informatique

par

MALLADI Venkata Subba Rao



CONCEPTION ELECTRIQUE ET IMPLANTATION

DE CIRCUITS INTEGRES



Thèse soutenue le 28 janvier 1982 devant la commission d'examen.

G. VEILLON

Président

F. DEVOS

P. GENTIL

J.L. LARDY

G. SAUCIER

Examineurs

Rapporteurs

Président : Daniel BLOCH

Vice-Présidents : René CARRÉ
Hervé CHERADAME
Marcel IVANES

PROFESSEURS DES UNIVERSITES

ANCEAU François	E.N.S.I.M.A.G
BARRAUD Alain	E.N.S.I.E.G
BESSON Jean	E.N.S.E.E.G
BI IMAN Samuel	E.N.S.E.R.G
BLOCH Daniel	E.N.S.I.E.G
BOIS Philippe	E.N.S.H.G
BONNETAIN Lucien	E.N.S.E.E.G
BONNIER Etienne	E.N.S.E.E.G
BOUVARD Maurice	E.N.S.H.G
BRISSONNEAU Pierre	E.N.S.I.E.G
BUYLE-BODIN Maurice	E.N.S.E.R.G
CAVAIGNAC Jean-François	E.N.S.I.E.G
CHARTIER Germain	E.N.S.I.E.G
CHENEVIER Pierre	E.N.S.E.R.G
CHERADAME Hervé	M.C.P.P
CHERUY Arlette	E.N.S.I.E.G
CHIAVERINA Jean	M.C.P.P
COHEN Joseph	E.N.S.E.R.G
COUMES André	E.N.S.E.R.G
DURAND Francis	E.N.S.E.E.G
DURAND Jean-Louis	E.N.S.I.E.G
FELICI Noël	E.N.S.I.E.G
FOULARD Claude	E.N.S.I.E.G
GENTIL Pierre	E.N.S.E.R.G
GUERIN Bernard	E.N.S.E.R.G
GUYOT Pierre	E.N.S.E.E.G
IVANES Marcel	E.N.S.I.E.G
JAUSSAUD Pierre	E.N.S.I.E.G
JOUBERT Jean-Claude	E.N.S.I.E.G
JOURDAIN Geneviève	E.N.S.I.E.G
LACOURNE Jean-Louis	E.N.S.I.E.G
LATOMBE Jean-Claude	E.N.S.I.M.A.G
LEROY Philippe	E.N.S.H.G
LESIEUR Marcel	E.N.S.H.G
LESPINARD Georges	E.N.S.H.G
LONGEQUEUE Jean-Pierre	E.N.S.I.E.G
MAZARE Guy	E.N.S.I.M.A.G
MOREAU René	E.N.S.H.G
MORET Roger	E.N.S.I.E.G
MOSSIERE Jacques	E.N.S.I.H.A.G
PARIAUD Jean-Charles	E.N.S.E.E.G
PAUTHENET René	E.N.S.I.E.G
PERRET René	E.N.S.I.E.G
PERRET Robert	E.N.S.I.E.G

PIAU Jean-Michel	E.N.S.H.G
POLOUJADOFF Michel	E.N.S.I.E.G
POUPOT Christian	E.N.S.E.R.G
RAMEAU Jean-Jacques	E.N.S.E.E.G
RENAUD Maurice	M.C.P.P
ROBERT André	M.C.P.P
ROBERT François	E.N.S.I.M.A.G
SABONNADIÈRE Jean-Claude	E.N.S.I.E.G
SAUCIER Gabrielle	E.N.S.I.M.A.G
SCHLENKER Claire	E.N.S.I.E.G
SCHLENKER Michel	E.N.S.I.E.G
SERMET Pierre	E.N.S.E.R.G
SOUQUET Jean-Louis	E.N.S.E.E.G
SILVY Jacques	M.C.P.P
SOHM Jean-Claude	E.N.S.E.E.G
VEILLON Gérard	E.N.S.I.M.A.G
ZADWORNY François	E.N.S.E.R.G

PROFESSEURS ASSOCIÉS

GANDINI Alessandro	M.C.P.P
MAXWORTHY Thony	E.N.S.H.G
MROVEC Stanislas	E.N.S.E.E.G
PARRIAUX Olivier	E.N.S.I.E.G
PEISNER Janos	E.N.S.E.R.G

PROFESSEURS E.N.S MINES SAINT ETIENNE

RIEU Jean
SOUSTELLE Michel

CHERCHEURS DU C.N.R.S (Directeurs et Maîtres de recherche)

FRUCHART Robert	Directeur de recherche
ALLIBERT Michel	Maître de recherche
ANSARA Ibrahim	Maître de recherche
CARRE René	Maître de recherche
DAVID René	Maître de recherche
DRIOLE Jean	Maître de recherche
KAMARINOS Georges	Maître de recherche
KLEITZ Michel	Maître de recherche
LANDAU Ioan-Doré	Maître de recherche
MERMET Jean	Maître de recherche
MUNIER Jacques	Maître de recherche
VERDILLON André	Maître de recherche

CHERCHEURS DU MINISTRE DE L'INDUSTRIE

(Directeurs et Maîtres de recherche - E.N.S Mines Saint Etienne)

LESBATS Pierre	Directeur de recherche
BISCONDI Michel	Maître de recherche
KOBYLANSKI André	Maître de recherche
LE COZE Jean	Maître de recherche
THEVENOT François	Maître de recherche
TRAN MINH Canh	Maître de recherche
LALAUZE René	Maître de recherche
LANCELOT Francis	Maître de recherche

PERSONNALITES HABILITEES A DIRIGER DES TRAVAUX DE RECHERCHE

(Décision du Conseil Scientifique)

E.N.S.E.E.G

BERNARD Claude
BONNET Roland
CAILLET Marcel
CHATILLON Catherine
COULON Michel
EUSTATHOPOULOS Nicolas
HAMMOU Abdelkader
JOURD Jean-Charles
MALMEJAC Yves (CENG)
RAVAINE Denis
SAINFORT (CENG)
SARRAZIN Pierre
TOUZAIN Philippe
URBAIN Georges (Laboratoire des Ultraréfractaires, ODEILLO)

E.N.S.M Saint Etienne

GUILHOT Bernard
THOMAS Gérard
DRIVER Julian

E.N.S.E.R.G

BOREL Joseph
CHEHIKIAN Alain

E.N.S.I.E.G

BORNARD Guy
DESCHIZEAUX Pierre
GLANGEAUD François
LEJEUNE Gérard
PERARD Jacques

E.N.S.H.G

DELHAYE Jean-Marc

E.N.S.I.M.A.G

A qui ?

Bien sûr à mes parents

Je tiens à remercier :

- Madame G. SAUCIER, Professeur à l'ENSIMAG, d'avoir bien voulu m'accueillir dans son équipe de recherche et d'avoir assuré l'encadrement technique et scientifique de ce travail,

- Monsieur G. VELLON, Professeur et Directeur de l'ENSIMAG, de l'honneur qu'il m'a fait en acceptant de présider le jury de cette thèse,

- Monsieur J.L. LARDY, Chef du Département des "Méthodes et Conception des Circuits" du Centre Norbert Segard (CNET Meylan) d'avoir accepté d'être le rapporteur de cette thèse et d'avoir bien voulu me faire profiter de ses remarques constructives,

- Monsieur F. DEVOS, Professeur à l'Institut d'Electronique Fondamentale de la Faculté des Sciences d'Orsay,

et Monsieur P. GENTIL, Professeur à l'ENSER Grenoble qui ont accepté d'être membres du jury de cette thèse.

Je remercie vivement le Ministère de l'Education du Gouvernement Indien de m'avoir accordé une bourse d'études dans le cadre du programme "Indo-French Technical Exchange" et le Ministère des Affaires Etrangères du Gouvernement Français d'avoir permis mon séjour en France pour mes études.

Je tiens également à adresser mes plus vifs remerciements

- à tous mes collègues avec qui divers échanges de vues m'ont permis d'enrichir ma culture scientifique et technique et qui m'ont beaucoup aidé dans la préparation de cette thèse. Qu'il me soit permis de remercier particulièrement Messieurs G. SERRERO et A. VERDILLON dont j'ai pu apprécier les qualités scientifiques et humaines au cours de notre étroite collaboration,

- à toutes les personnes qui ont assuré la réalisation technique de cet ouvrage :

Madame G. DUFFOURD qui en a assuré la dactylographie si soigneusement,

Monsieur IGLESIAS et toute l'équipe de reprographie de l'IMAG qui en ont assuré le tirage.

Enfin qu'il me soit permis de saluer chaleureusement et affectueusement tous mes amis qui s'efforcent de contribuer à mon bien-être.

TABLE DES MATIÈRES

PREMIÈRE PARTIE : CONCEPTION DES CIRCUITS INTÉGRÉS AU NIVEAU ÉLECTRIQUE

INTRODUCTION	15
I - DIMENSIONNEMENT D'UN INVERSEUR	22
I - 1. Modèle du transistor MOS N et des paramètres physiques connus dans une technologie donnée	22
I-1.1. Modèle du transistor MOS N	
I-1.2. Paramètres physiques connus dans une technologie donnée	
I - 2. Objectifs	27
I - 3. Calcul de la capacité de sortie	29
I - 4. Calcul de la résistance de la sortie	31
I - 5. Calcul des résistances de drain et source	31
I - 6. Calcul de la résistance à l'ouverture du transistor MOS de signal	32
I - 7. Calcul du courant fourni par le transistor MOS de charge	34
I - 8. Calcul de β_r	37
I - 9. Calcul de β_c	39
I - 10. Calcul de β_s , W_c , L_c , W_s et L_s	40
I - 11. Calcul du facteur de correction à β_c	40
I - 12. Effet du R_L , R_d et R_s	41
I - 13. Calculs paramétrés	41
I - 14. Généralisation aux différents types de portes logiques	43

II - ETUDE DES POINTS DE MEMORISATION	47
II - 1. Présentation générale de l'étude	47
II - 2. Analyse électrique	47
II-2.1. Etude de la structure 1	
II-2.2. Etude de la structure 2	
II-2.3. Etude de la structure 3	
II-2.4. Etude de la structure 4	
II - 3. Analyse temporelle	56
II-3.1. Transition 0 à 1	
II-3.2. Transition 1 à 0	
II - 4. Autres facteurs de comparaison entre ces structures	67
II-4.1. Immunité au bruit	
II-4.2. Implantation	
II-4.3. Autres facteurs	
III - CONCEPTION ELECTRIQUE DU PLA	69
III - 1. Principe général	69
III - 2. Modélisation électrique d'un PLA	70
III - 3. Conception électrique	76
CONCLUSIONS	84

DEUXIÈME PARTIE : CONCEPTION TOPOGRAPHIQUE (IMPLANTATION) DES CIRCUITS INTÉGRÉS

INTRODUCTION	89
I - PRESENTATION DU PROBLEME	91
II - ETUDE BIBLIOGRAPHIQUE	92
II - 1. Placement	92
II-1.1. Introduction	
II-1.2. Problèmes connus	
II-1.3. Méthodes de placement	
II-1.4. Recherche d'une solution optimale	
II-1.4.1. <i>Méthode énumérative</i>	
II-1.4.2. <i>Méthode semi-énumérative</i>	
II-1.5. Recherche d'une solution approchée	
II-1.5.1. <i>Méthodes constructives</i>	
II-1.5.2. <i>Construction par paire</i>	
II-1.5.3. <i>Méthode de développement en cluster</i>	
II-1.5.4. <i>Méthode de développement du noyau</i>	
II-1.6. Méthodes itératives	
II-1.6.1. <i>Echange des éléments</i>	
II-1.6.2. <i>Echange par paire</i>	
II-1.6.3. <i>Changement d'orientation d'un élément</i>	
II-1.6.4. <i>Translation d'un élément</i>	
II-1.6.5. <i>Méthode par relaxation</i>	
II-1.7. Méthode stochastique	
II-1.8. Méthode constructive plus itérative	
II-1.9. Conclusions	
II - 2. Tracé	105
II-2.1. Introduction	
II-2.2. Préparation du tracé	
II-2.3. Méthodes de tracé des connexions	
II-2.3.1. <i>Algorithme de recherche par ligne</i>	
II-2.3.2. <i>Algorithme de recherche par ligne</i>	
II-2.3.3. <i>Algorithme d'expansion par ligne</i>	
II-2.3.4. <i>Méthode par assignation de canaux</i>	
II-2.3.5. <i>Méthode par zone saturée</i>	
II-2.4. Conclusion	

III - IMPLANTATION MULTI-NIVEAUX	128
III - 1. Introduction	128
III - 2. Principe général	129
III - 3. Méthode descendante	132
III - 4. Méthode ascendante	133
III - 5. Représentation des éléments de base	133
III - 6. Placement du circuit au niveau blocs	134
III-6.1. Définition des blocs	
III-6.2. Définition d'un canal d'interconnexion	
III-6.3. Estimation de la largeur des canaux d'interconnexion	
III-6.4. Détermination du nombre minimum des lignes de coupes X, Y	
III-6.5. Estimation du nombre de croisements	
III-6.6. Estimation de la longueur totale des interconnexions	
III-6.7. Traitement des connexions multi-terminaux	
III-6.8. Placement initial constructif	
III-6.9. Amélioration itérative du placement	
III-6.10. Complexité de cet algorithme	
III-6.11. Remarques	
CONCLUSIONS	158
BIBLIOGRAPHIE	159
ANNEXE 1	167
ANNEXE 2	175

AVANT-PROPOS

L'augmentation sans cesse croissante du nombre des composants sur une pastille de silicium, grâce à l'avancement des technologies entraînant une réduction dans la diminution des dispositifs de base et l'amélioration des techniques de conception des circuits, permet d'obtenir des circuits intégrés de haute complexité (VLSI). Les avantages de ces circuits sont :

- (i) miniaturisation
- (ii) moins de consommation
- (iii) haute fiabilité
- (iv) une performance élevée

D'ailleurs le domaine d'utilité de ces circuits n'est pas limité à l'informatique proprement dite : les microprocesseurs, micro-ordinateurs, mémoire morte, les contrôleurs des périphériques etc. Quel que soit le domaine d'utilité, ces circuits peuvent concevoir, quand cela est nécessaire ou souhaitable, un haut degré d'intégration des dispositifs de base.

Donc la conception de tels circuits intégrés nécessite d'une part une approche structurée et d'autre part des outils CAO afin de réduire les délais et les erreurs de conception.

Les cinq étapes principales dans la conception des circuits intégrés sont :

- (i) conception architecturale
- (ii) conception logique
- (iii) conception électrique
- (iv) conception topographique
- (v) conception des tests.

Dans cet ouvrage sont abordés, dans la première partie des aspects concernant la conception électrique et dans la deuxième partie des aspects pour la conception topographique. Les méthodes proposées dans ces deux parties sont illustrées dans les deux annexes avec quelques exemples typiques.

INTRODUCTION

Nous avons vu précédemment que la conception d'un circuit comprend différentes étapes : la conception architecturale, la conception logique, la conception électrique, la conception topographique. Nous allons montrer dans ce chapitre les relations entre la conception logique, la conception électrique et la conception topographique. Il est clair qu'à un même circuit logique, caractérisé par la fonction booléenne à réaliser, correspondra un très grand nombre de schémas électriques. Ces schémas seront différents selon la technologie utilisée et la performance désirée. Considérons une porte logique réalisant la fonction NON-OU; la figure 1 montre 3 réalisations électriques, la première en technologie I²L, la seconde en technologie NMOS à déplétion en charge, la troisième en technologie CMOS.

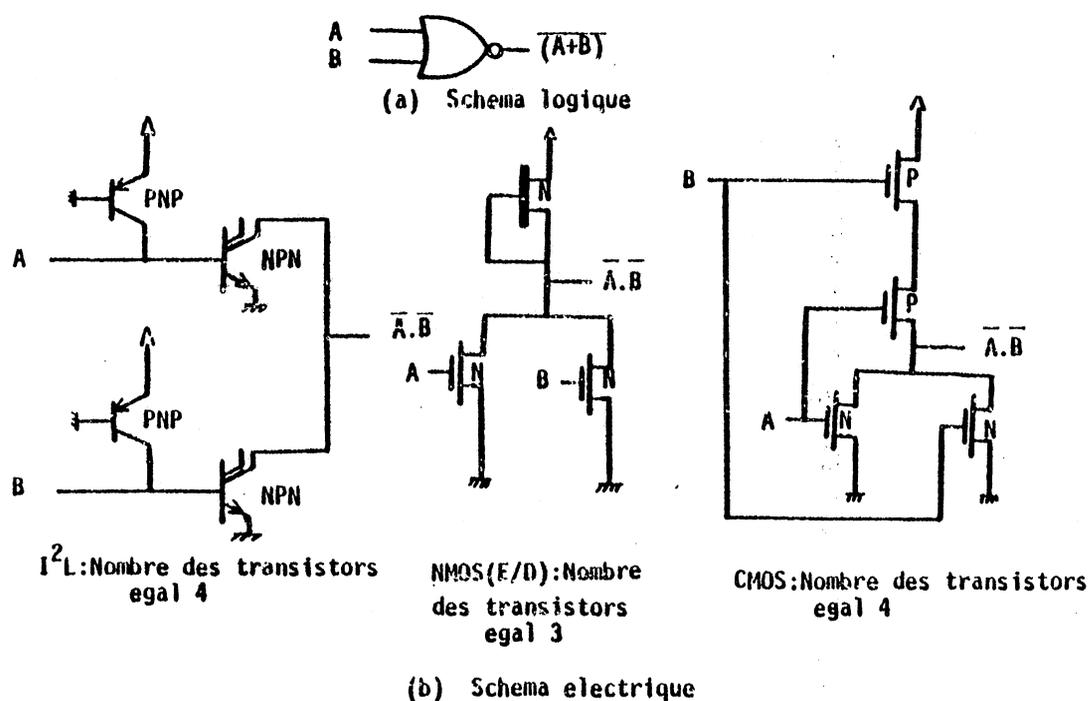


Figure 1

Dans une même technologie, il existera des réalisations différentes d'un même dispositif élémentaire : considérons, dans la technologie NMOS, un dispositif très simple validant un signal A avec une phase d'horloge ϕ_i . La figure 2 donne deux réalisations de base de ce dispositif.

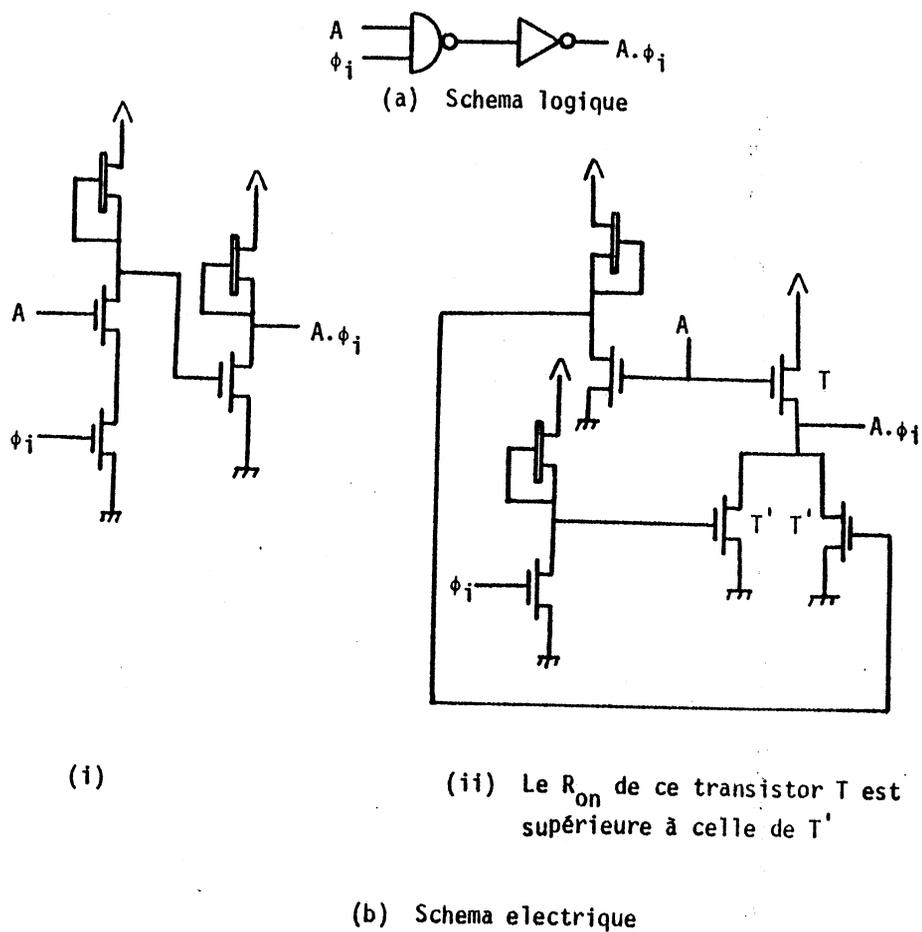


Figure 2

Comment peut-on caractériser ces différentes réalisations ? On peut essentiellement les distinguer par les caractéristiques temporelles et les caractéristiques de connectique par rapport à leur environnement.

LES CARACTERISTIQUES TEMPORELLES

Il est connu qu'un dispositif de base sera caractérisé par son temps de réponse. Ces temps de réponse ou retard étant directement liés au nombre de portes traversées par le signal et ainsi aux caractéristiques temporelles de chaque porte. Considérons les 3 réalisations avec les inverseurs données en figure 3.

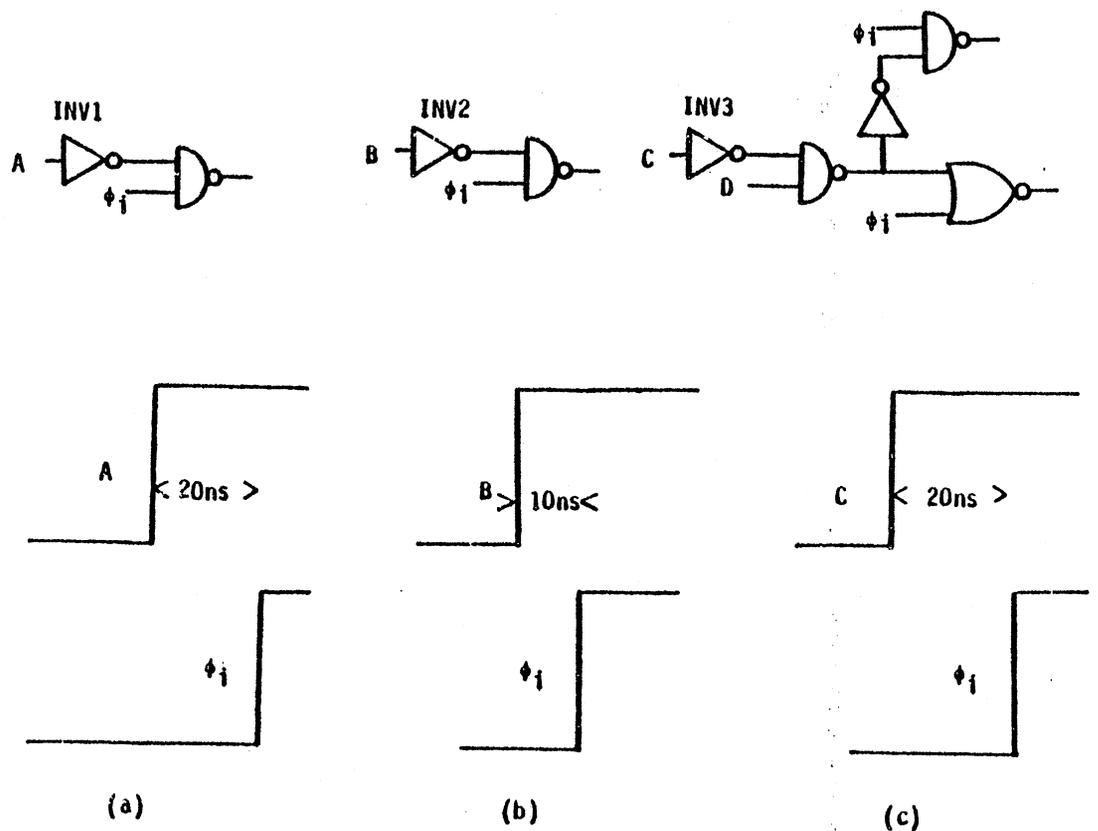


Figure 3

Dans le cas a), le signal ϕ_i a un retard de 20 ns sur le signal A, donc l'inverseur INV1 peut avoir un temps de réponse allant jusqu'à 20 ns.

Dans le cas b), ϕ_i n'a que 10 ns de retard sur B, donc l'inverseur INV2 a un temps de réponse maximum de 10 ns.

Dans le cas c), ϕ_i a 20 ns de retard sur C, mais la sortie de INV3 traverse une autre porte, NAND1. Si NAND1 et INV3 ont le même temps de réponse, INV3 a un temps de réponse maximum de 10 ns.

Il est clair que ces réalisations électriques ont des implantations topographiques distinctes et qu'un gain de performance se traduira par une surface silicium plus importante.

La figure 4 montre les réalisations topographiques des inverseurs 1 et 2. On voit l'accroissement de surface de l'inverseur 2 (rapide) par rapport à l'inverseur 1 (lent).

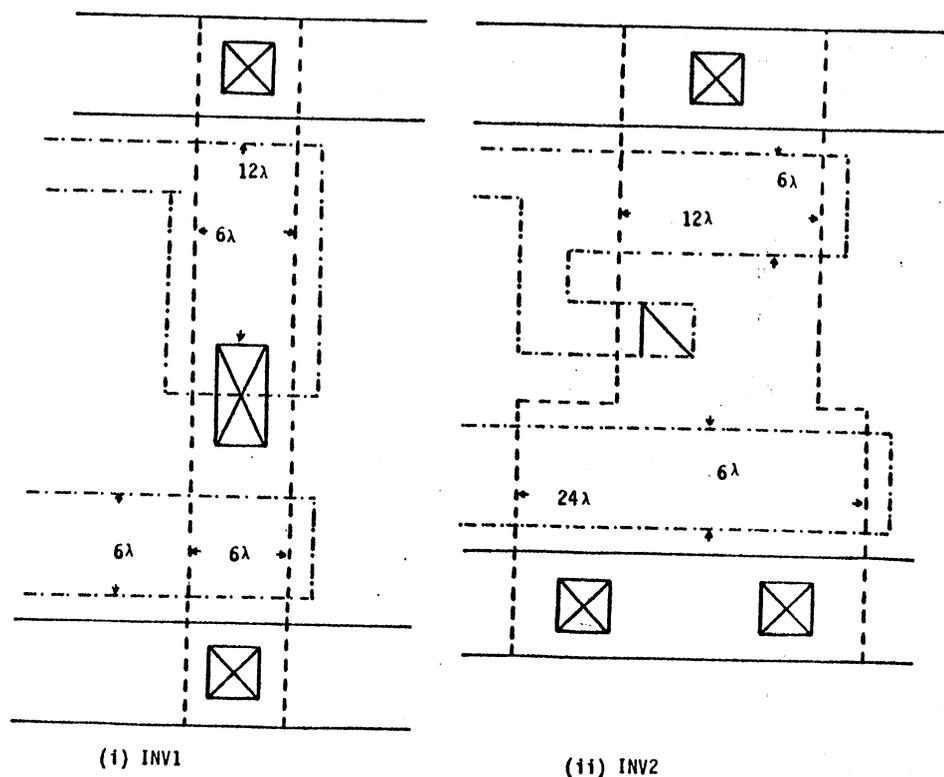


Figure 4

LES CARACTERISTIQUES DE CONNECTIQUE

Les entrées ainsi que les sorties d'un dispositif de base doivent être caractérisées par rapport aux éléments auxquels elles sont connectées. Considérons la porte NON-OU de la figure 5. Les 3 entrées de cette porte qui sont absolument symétriques par rapport à cette porte sont connectées :

- l'une à une sortie d'un interrupteur,
- la deuxième à la sortie d'un inverseur avec transistor de charge à déplétion,
- la troisième à la sortie d'un inverseur push-pull.

De même les 2 sorties symétriques par rapport à la porte de base sont reliées à 2 types d'entrées ;

- . S1 est relié à un interrupteur,
- . S2 à l'entrée d'une autre porte NAND.

Le type d'élément auquel est connectée chaque entrée et chaque sortie, ainsi que la longueur des connexions en sortie, par exemple S-S1 et S-S2, définit le comportement topographique requis pour une porte.

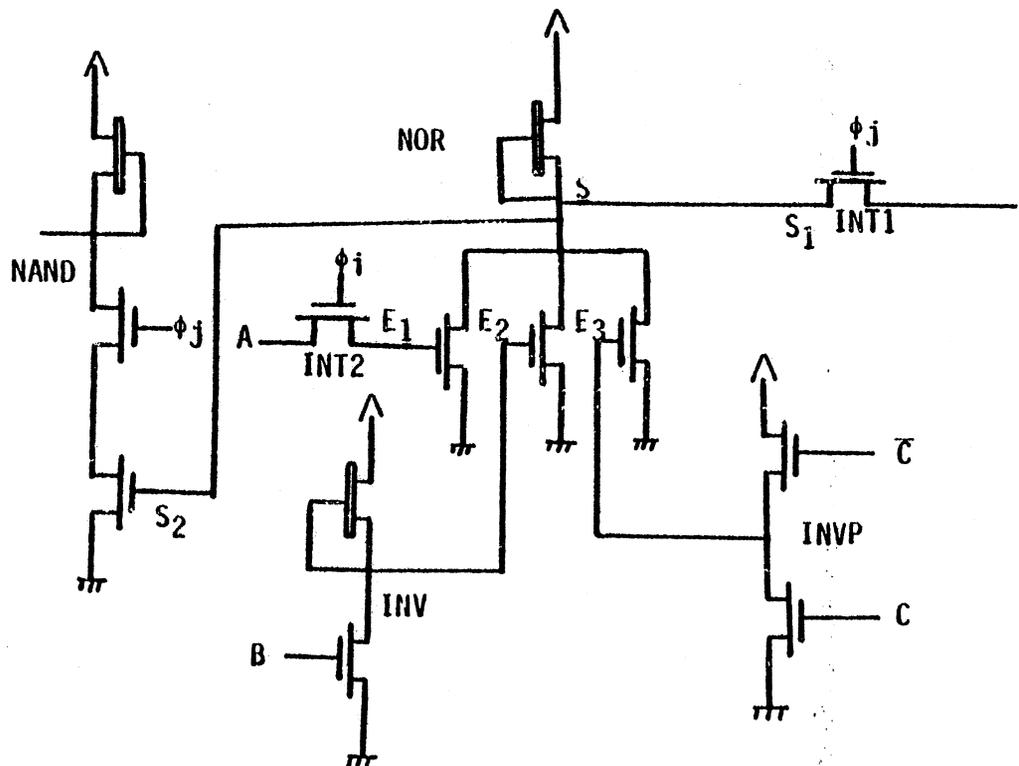


Figure 5

Les caractéristiques d'un circuit intégré telles que nous venons de les évoquer dépendent des paramètres technologiques liés à la fabrication. Les paramètres électriques caractérisant une technologie sont :

- les caractéristiques concernant la résistance et les capacités des matériaux,
- les coefficients de variations avec la température,
- les courants de fuites,
- l'effet de polarisation de substrat,
- les tensions de seuil,
- les valeurs des courants I_{ds} , etc.

VERS UNE METHODOLOGIE DE CONCEPTION ELECTRIQUE

Il est clair que le concepteur est placé devant un problème difficile lors de la conception de son circuit. En effet, si une optimisation est recherchée (performance, surface) chaque porte doit être étudiée. La solution peut consister à constituer une bibliothèque de base où un certain nombre de solutions types sont répertoriées. On trouve, par exemple, pour chaque type de portes logiques, dans une technologie donnée, 3 solutions : la solution rapide, la solution à performance moyenne, la solution "lente". Le concepteur choisira alors en fonction des compromis (surface par exemple).

Nous cherchons ici, dans une optique de conception descendante optimisée, à formuler les objectifs logiques pour un dispositif de base (caractéristiques temporelles, de connectique) puis nous chercherons une solution topographique satisfaisante. Les paramètres seront les paramètres représentatifs de la technologie donnée. Nous donnerons donc une méthode de calcul rapide et paramétrée, donnant selon la technologie, les dimensions d'un dispositif de base.

Dans le §1, l'étude du dimensionnement d'un inverseur et des portes logiques est présentée dans cette optique.

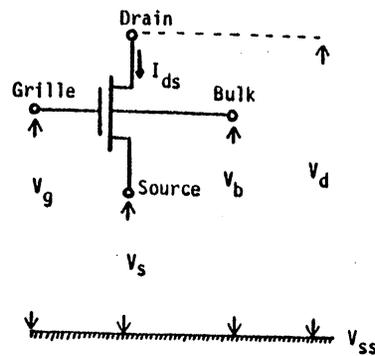
Dans le §2, 4 structures de points de mémorisation sont comparées et évaluées.

Dans le §3, le problème de modélisation électrique du PLA est abordé : un modèle est proposé et la conception électrique est discutée.

I - DIMENSIONNEMENT D'UN INVERSEUR

I - 1. MODELE DU TRANSISTOR MOS N ET PARAMETRES PHYSIQUES

I - 1.1. Modèle du transistor MOS de type N



Représentation schématique d'un transistor MOS

Figure 6

V_{TH} est la tension du seuil du transistor; c'est une fonction de V_S et V_B . $V_{TH'0}$ est la tension du seuil quand $V_S = 0$ et V_B à un potentiel négatif fixe.

Le transistor fonctionne en trois modes :

- (i) Quand $V_{GS} < V_{TH}$, le transistor est bloqué et $I_{ds} = 0$.
- (ii) Quand $V_{GS} > V_{TH}$ et $V_{DS} < V_{GS} - V_{TH}$ le transistor fonctionne dans le mode non saturé

$$I_{ds} = k \cdot \beta \left[(V_{GS} - V_{TH}) V_{DS} - \frac{1}{2} V_{DS}^2 \right]$$

avec V_{TH} fonction de V_S et V_B .

$$\text{ou } k = \frac{\mu_n \epsilon_{ox}}{t_{ox}} \quad \text{et } \beta = \frac{W}{L}$$

μ_n mobilité moyenne des électrons à la surface, due au champ électrique transversal créé par V_{GS} .

ϵ_{OX} - permittivité d'oxyde mince

t_{OX} - épaisseur d'oxyde mince

W - largeur du canal du transistor

L - longueur du canal du transistor

(iii) Quand $V_{GS} > V_{TH}$ et $V_{DS} > V_{GS} - V_{TH}$ le transistor fonctionne dans le mode saturé.

$$I_{ds} = K \cdot \frac{\beta}{2} [V_{GS} - V_{TH}]^2$$

avec K, β comme en (ii) et V_{TH} fonction de V_S .

Variation du V_{TH} avec V_{SB}

Pour le transistor MOS de signal, la source du transistor et le bulk (substrat) sont au même potentiel dans la cas où le bulk est à la masse. Dans le cas où le bulk est polarisé en inverse, V_{TH0} est corrigé avec

$$V_{TH0} = V_{TH'0} + K [(V_{SB} + 2\phi F)^{1/2} - (2\phi F)^{1/2}]$$

où $V_{TH'0}$ est la tension du seuil quand $V_{SB} = 0$

ϕF : potentiel du fermi (0.4V)

$$K = \frac{t_{OX}}{\epsilon_{OX}} (2q\epsilon_S N)^{1/2}$$

où ϵ_S : permittivité du bulk

N : concentration des ions impurs

q : charge électrique d'un électron.

Les valeurs de k pour MOS enrichi et déplété sont 0.4 et 0.8 respectivement. Cette différence est due à la différence de concentration des ions impurs (N) dans ces deux types de transistors.

Les différentes valeurs de V_{TH0} pour différentes tensions de polarisation du substrat peuvent être obtenues directement à partir de la courbe de la figure 7. Notons que V_{TH0} est constant pour tous les transistors signaux et pour tous les modes de fonctionnement car $V_S = 0$ et le bulk est polarisé en inversé avec une tension fixe pour un circuit. Par exemple, à partir de la figure 7, on obtient un V_{TH0} de 0.97 quand $V_{Bulk} = -2.5V$.

Pour les MOS commandés où le V_{SB} n'est pas constant, la tension du seuil V_{TH0} doit être corrigée avec la variation du potentiel de la source. Pour faciliter les calculs on fait une approximation linéaire de cette variation avec V_S . Ainsi à chaque étape du fonctionnement V_{TH} est calculée par

$$- V_{TH} = V_{TH0} + 0.084 V_S \text{ quand } V_{Bulk} = -2.5V$$

$$- V_{TH} = V_{TH'0} + 0.125 V_S \text{ quand } V_{Bulk} = 0V.$$

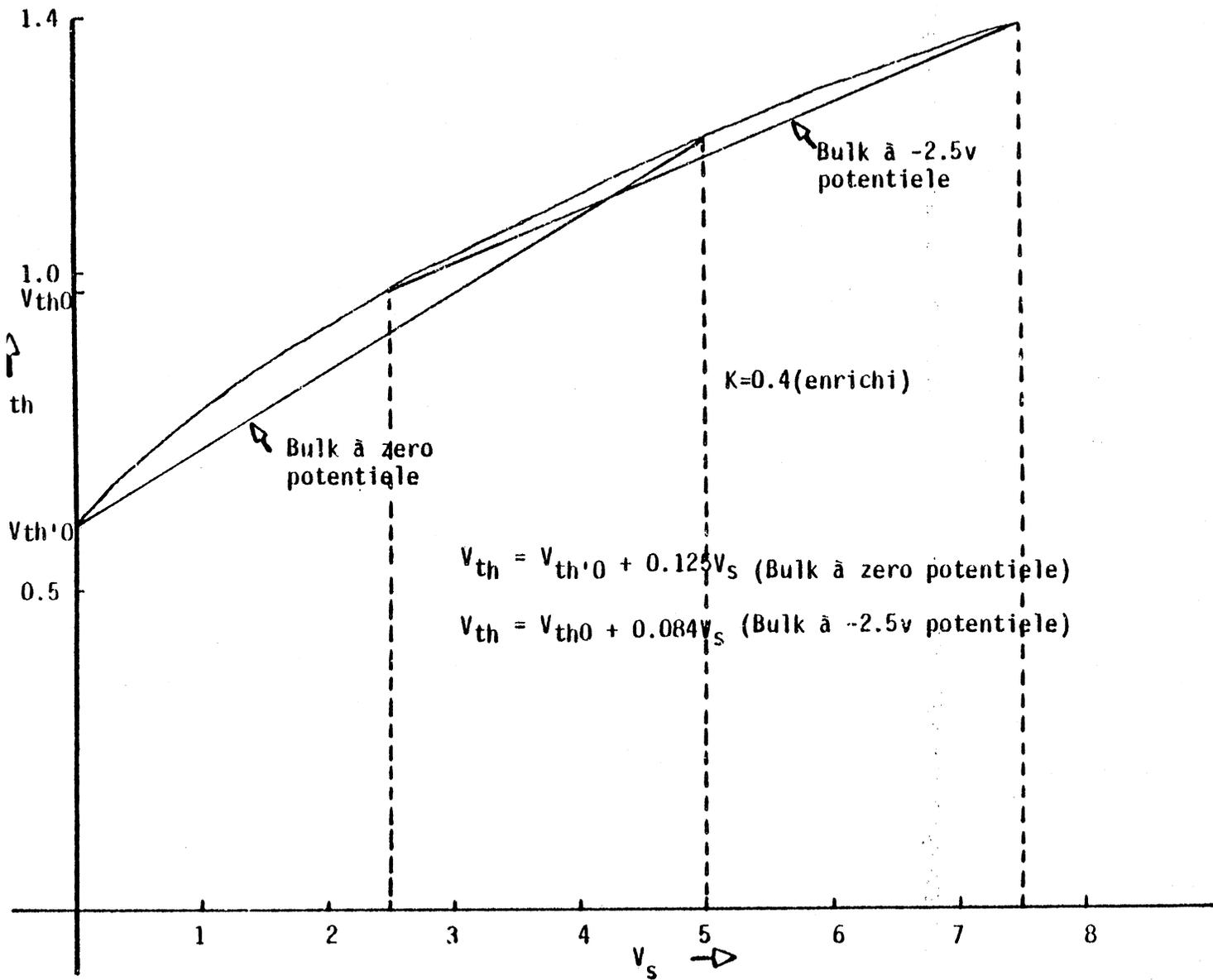
Pour les transistors MOS de charge, on effectue le même type de correction sur V_{TH} . Comme ces transistors sont déplétés, les facteurs de multiplications de V_S dans les expressions pour V_{TH} sont différents de ceux des transistors enrichis.

Donc, V_{TH} dans ce cas est donnée par

$$- V_{TH} = V_{TH0} + 0.17 V_S \text{ quand bulk à } -2.5V$$

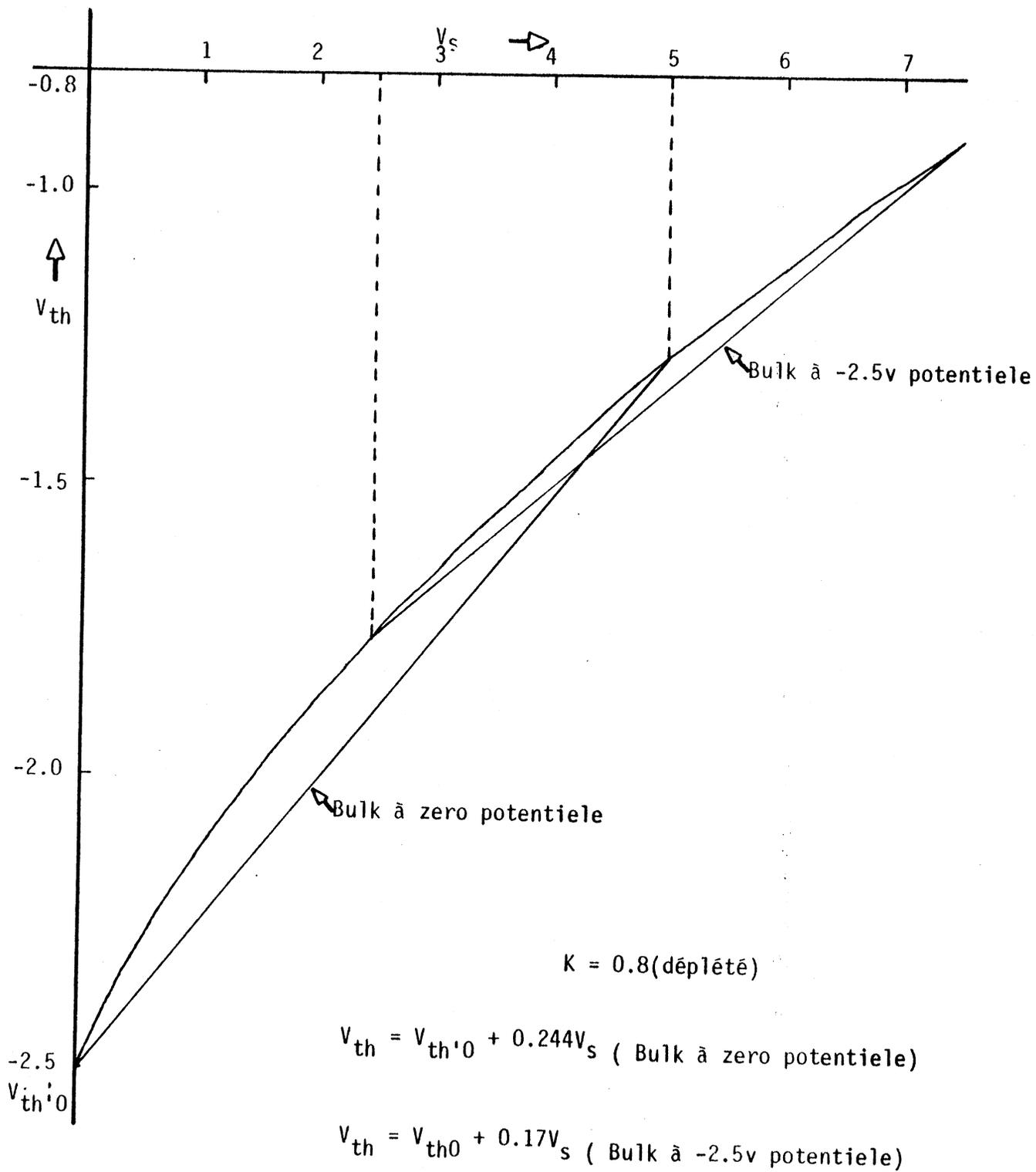
$$- V_{TH} = V_{TH'0} + 0.244 V_S \text{ quand bulk à } 0V$$

ces deux facteurs sont obtenus à partir de la figure 8.



Variation du V_{th} avec V_s pour MOS enrichi

Figure 7



Variation du V_{th} avec V_s pour MOS dépîlété

Figure 8

I - 1.2. Les paramètres physiques en technologie MOS: (des ordres de grandeur sont donnés entre parenthèses pour des transistors de type N)

- valeur d'alimentation, V_{DD} (+5V)
- tension du seuil du transistor MOS de signal, V_{THS} (0.6)
- tension du seuil du transistor MOS de charge, V_{THL} (-2.5V)
- épaisseur d'oxyde mince, t_{ox} ($1 \times 10^{-1} \mu$)
- permittivité de silicium, ϵ_{ox} ($34.515 \cdot 10^{-12}$ farads/meter)
- mobilité des électrons à la surface, μ_n ($800 \cdot 10^{-4}$ meter²/V-Sec)
- résistance de Silicium polycristallin, $R_{p/\square}$ (15 - 100 Ω/\square)
- résistance d'Aluminium, $R_{Alu/\square}$ (0.03 Ω/\square)
- capacité de Silicium polycristallin, $C_{Si-poly/\mu^2}$ ($0.4 \cdot 10^{-4}$ pf/ μ^2)
- capacité d'Aluminium, C_{Alu/μ^2} ($0.3 \cdot 10^{-4}$ pf/ μ^2)
- capacité de jonctions, C_{j/μ^2} ($1 \cdot 10^{-4}$ pf/ μ^2) pour $V = 0$
- capacité d'oxyde mince, $C_{Oxmince/\mu^2}$ ($4 \cdot 10^{-4}$ pf/ μ^2)

I - 2. OBJECTIFS DE L'ETUDE

On cherche à déterminer les 4 paramètres de dimensions d'un inverseur, à savoir :

- W_S , largeur du canal du MOST de signal
- L_S , longueur du canal du MOST de signal
- W_C , largeur du canal du MOST de charge
- L_C , longueur du canal du MOST de charge

de façon à atteindre les objectifs de fonctionnement logiques fixés.

Remarquons qu'il n'est pas nécessaire de calculer ces 4 paramètres; il suffit d'évaluer β_r , β_s , β_c définis par :

$$\beta_s = \frac{W_s}{L_s}$$

$$\beta_c = \frac{W_c}{L_c}$$

$$\beta_r = \frac{\beta_s}{\beta_c}$$

Ces paramètres seront déterminés en fonction des contraintes logiques suivantes :

- tension correspondant au niveau '0' (V'0')
- tension correspondant au niveau '1' (V'1')
- temps de montée (Δt_m)
- temps de descente (Δt_d)
- nombre de sorties (f_o)
- longueur maximale des interconnexions et type de matériaux employé ($l_{Si-poly}$, l_{Alu}).

Les deux dernières contraintes logiques (nombre de sorties et longueur d'interconnexions) mènent en fait à déterminer la capacité de sortie de la porte.

Nous allons évaluer successivement :

- la capacité de sortie C_L
- la résistance dans la sortie R_L
- les résistances des drain et source R_d , R_s
- la résistance à l'ouverture du MOST de signal R_{on}
- le courant fourni par le transistor MOS de charge I_c

Ceci nous permettra d'évaluer β_r , puis β_c et β_s .

I - 3. CALCUL DE LA CAPACITE DE LA SORTIE (C_L)

Cette valeur de C_L dépend de trois facteurs :

$$C_L = C_{ds} + C_{ln} + C_{fo}$$

(i) Capacité C_{ds} du transistor MOS de signal

Etant données les dimensions W_s et L_s de MOST de signal, la profondeur de jonction d et la longueur l du drain (figure 9), le C_{ds} , en l'absence de tension positive sur la grille, est calculé de la façon suivante pour une tension V_D donnée :

$$C_{ds} = (0.5 * W_s * l + 2 * W_s * d + 2 * l * d) C_j / \mu^2$$

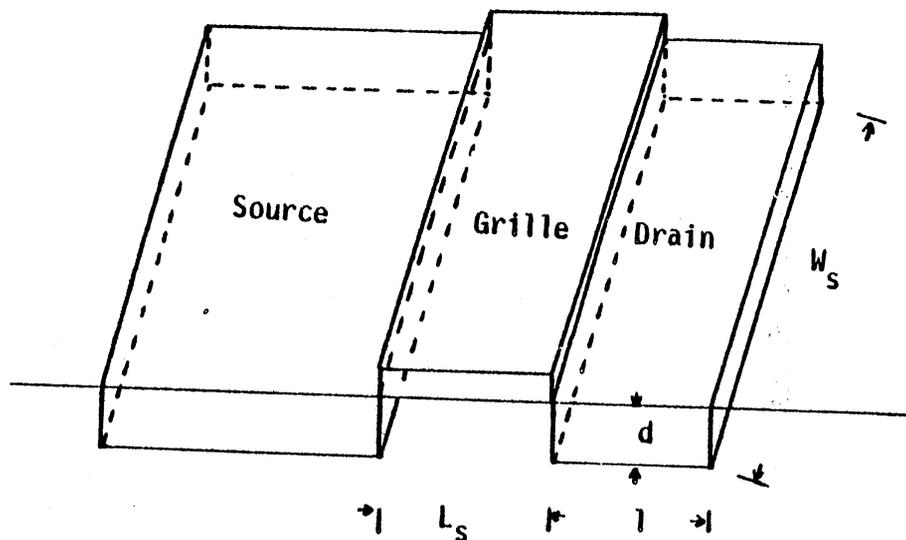


Figure 9

(ii) Capacité C_{1n} des lignes de connexions

Cette valeur dépend de l'épaisseur d'oxyde et de la largeur des matériaux d'interconnexions (Alu, Silicium polycristallin) et de la longueur des connexions entre la sortie de cet inverseur et les entrées des MOST de signal des autres portes logiques.

$$C_{1n} = (l_{\text{conn Alu}} * 3\lambda) C_{\text{Alu}/\mu^2} + (l_{\text{conn Si-poly}} * 2\lambda) C_{\text{Si-poly}/\mu^2}$$

où - $l_{\text{conn Alu}}$ et $l_{\text{conn Si-poly}}$ sont les longueurs de lignes en Alu et Silicium polycristallin,
- 3λ et 2λ sont respectivement leurs largeurs minimum.

(iii) Capacité C_{f_0} des grilles à relier avec la sortie

Suivant la valeur de f_0 le nombre de sorties de l'inverseur, C_{f_0} est obtenu par :

$$C_{f_0} = 1,5(f_0 * W_g * L_g) C_{\text{Oxmince}/\mu^2}$$

où le facteur 1,5 permet de tenir compte de l'effet Miller

- W_g et L_g correspondent à la largeur et à la longueur des grilles qui sont reliées avec la sortie. En pratique, W_g et L_g ne sont pas les mêmes pour les f_0 grilles à relier avec la sortie.

Afin de faciliter les calculs, W_g et L_g sont fixées à leurs valeurs minimales (2λ) et une sortie reliée à une grille de surface $K \cdot 2\lambda$, 2λ est comptée comme K sorties, ce qui modifie f_0 , et permet d'obtenir f_0^a , ou nombre de sorties ajusté.

Par exemple, quand la sortie est reliée à deux grilles dont les dimensions sont $4\lambda * 2\lambda$ et $2\lambda * 6\lambda$

$$f_0^a = \frac{(4\lambda * 2\lambda) + (2\lambda * 6\lambda)}{2\lambda * 2\lambda}$$

$$= 5$$

On a donc $C_{f_0} = 1,5(f_0^a \cdot 4\lambda^2) C_{\text{Oxmince}/\mu^2}$

I - 4. CALCUL DE LA RESISTANCE DANS LA SORTIE (R_L)

La R_L de la sortie d'inverseur est due à la résistance des lignes d'interconnexions. A cause de la faible résistance de l'Aluminium R_L est présent seulement lorsque les sorties sont reliées en Silicium polycristallin.

$$R_L = (l_{\text{conn Si-poly}} / 2\lambda) * R_{\text{Si-poly}} / \square$$
 où 2λ est la largeur minimum des lignes en Si-poly.

I - 5. CALCUL DES RESISTANCES DE DRAIN ET SOURCE (R_d, R_s)

Les R_d et R_s sont des résistances de drain et source en diffusion du MOST de signal. Ceux-ci sont évalués de la manière suivante :

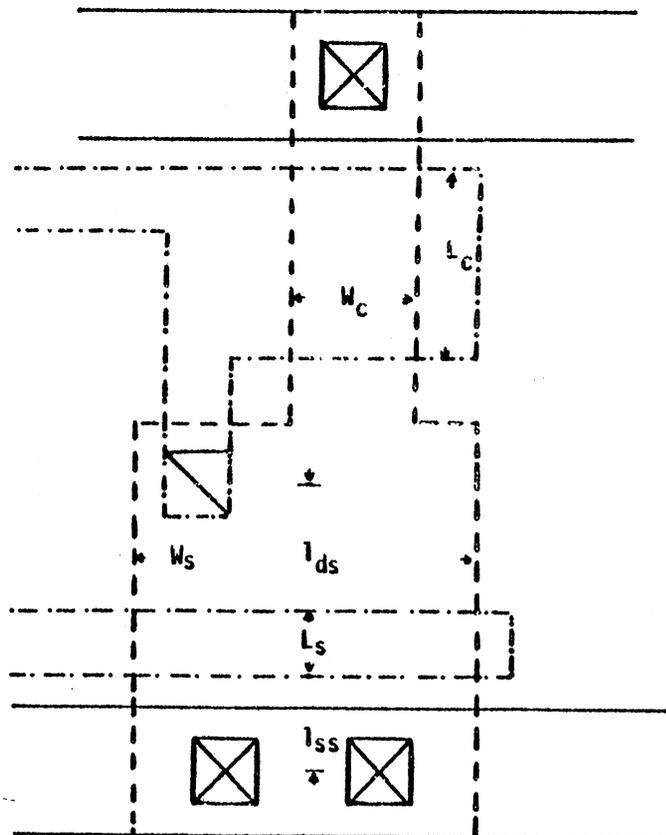


Figure 10

l_{sc}, R_{ds}, l_{ss} : longueurs de diffusions

W_L, W_S : largeurs de diffusion

$$R_d = (l_{sc}/W_c + l_{ds}/W_s) R_{diffu/\square}$$

$$R_s = (l_{ss}/W_s) R_{diffu/\square}$$

Cependant, notons que les valeurs de R_d, R_s sont beaucoup plus petites que celles du R_{on} du MOST de signal.

I - 6. CALCUL DE LA RESISTANCE A L'OUVERTURE DU TRANSISTOR MOS DE SIGNAL (R_{on})

Ce transistor est enrichi et a une tension de seuil positive ($V_{THS} = 0.6V$). Quand le signal d'entrée est au niveau '0', le transistor est bloqué. Avec le signal d'entrée au niveau '1', le transistor conduit et fonctionne dans le mode non-saturé. La résistance de celui-ci est obtenue par :

$$R_{on} = \frac{1}{K \beta_s (V_1 - V_{THS})}$$

où $K = \frac{\epsilon_{ox}}{t_{ox}} \mu$

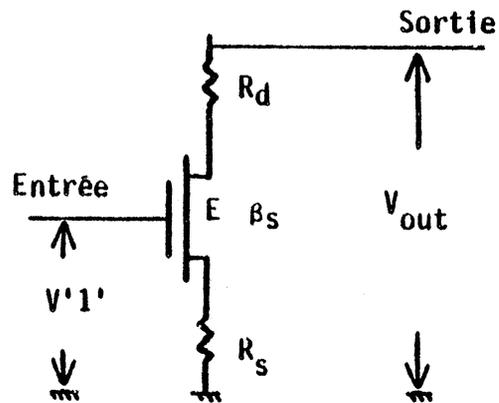


Figure 11

Notons que :

- (i) d'une part R_{on} est inversement proportionnelle à β_s ,
- (ii) d'autre part, R_{on} dépend de la valeur de tension de $V'1'$.

- quand $V'1' = V_{DD}$

$$R_{on} = \frac{1}{K \beta_s (V_{DD} - V_{THS})}$$

C'est le cas lorsque le signal d'entrée est fourni directement par une porte logique utilisant les charges déplétées.

$$- \text{Quand } V'1' = \left[\frac{V_{DD} - V_{TH0}}{1 + \beta_E} \right]$$

$$R_{on} = \frac{(1 + \beta_E)}{K \beta_S (V_{DD} - V_{TH0} (2 + \beta_E))}$$

où la tension du seuil V_{TH} d'un transistor enrichi est exprimée par $V_{TH} = V_{TH0} + \beta_E V_{sortie}$

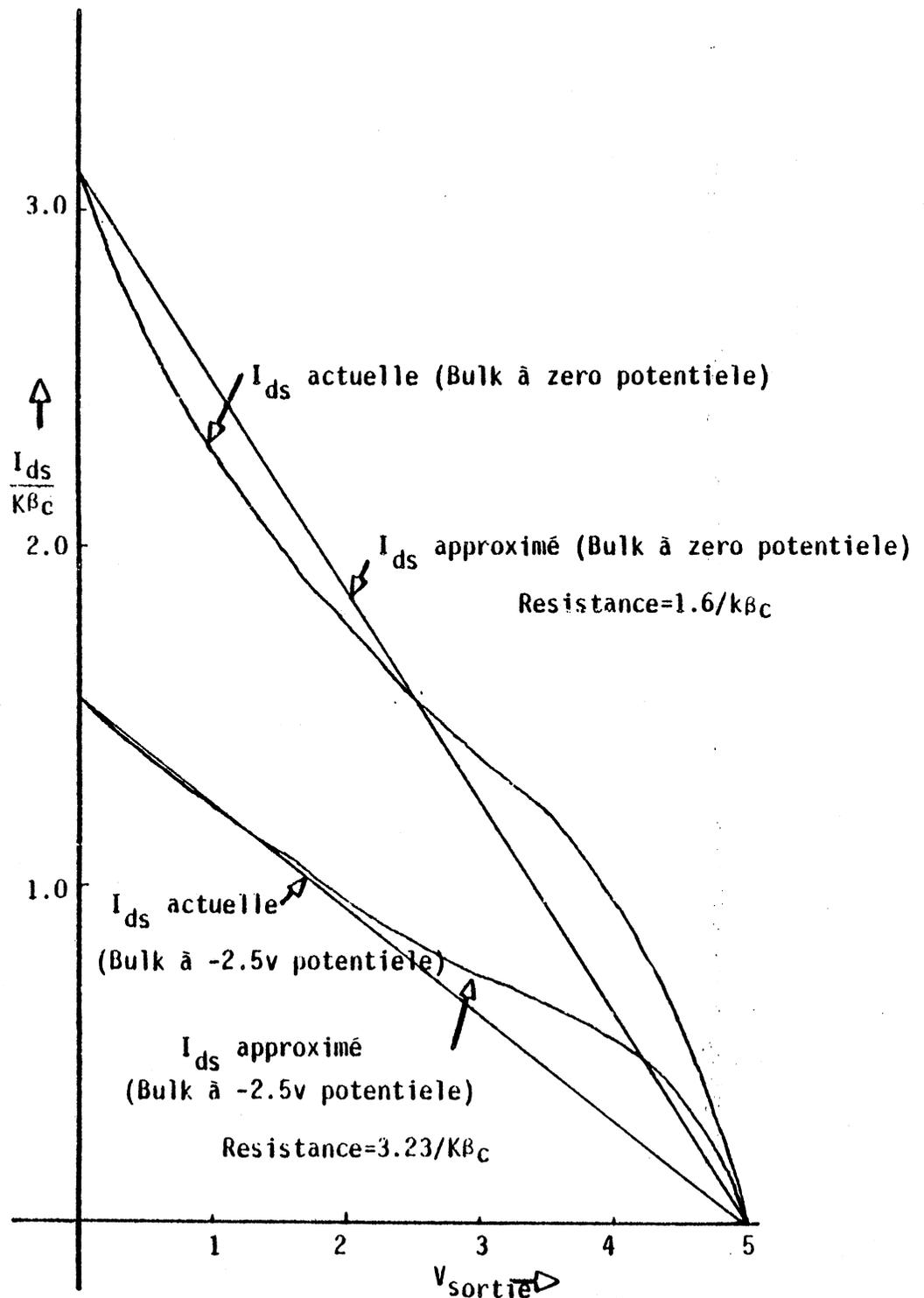
C'est le cas où le signal d'entrée est fourni par un transistor MOS commandé.

I - 7. CALCUL DU COURANT FOURNI PAR LE TRANSISTOR MOS DE CHARGE (I_C)

Ce transistor est déplété et sa tension de seuil est négative ($V_{THL} = -2.5V$), donc il conduit toujours quand $V_{GS} = 0$. La figure 12 montre le courant fourni par ce transistor pour différentes tensions de la sortie. Notons que le transistor fonctionne au départ dans le mode saturé jusqu'à $V_{sortie} < V_{saturé}$ et ensuite dans le mode non saturé.

Afin de faciliter les calculs on approche la caractéristique du courant par une droite. La pente de cette droite est égale à la conductivité moyenne de ce transistor.

Donc le transistor MOS de charge est considéré comme une résistance R (voir figure 13).



Courant du transistor MOS de charge

(i) $V_{bulk}=0v$ (ii) $V_{bulk}=-2.5v$

Figure 12

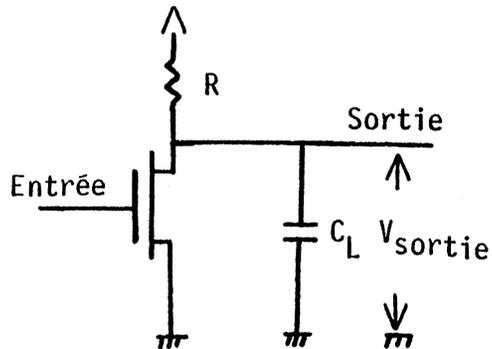


Figure 13

La valeur de cette résistance est égale

(a) $1.6/(K\beta_c)$ quand $V_{Bulk} = 0V$

(b) $3.23/(K\beta_c)$ quand $V_{Bulk} = -2.5V$. Le courant I_{ds} fournit par ce

Le courant fournit par ce transistor à la sortie avec une tension V_s est égal

(a) $K\beta_c \left(\frac{V_{DD} - V_s}{1.6} \right)$ quand $V_{Bulk} = 0V$

(b) $K\beta_c \left(\frac{V_{DD} - V_s}{3.23} \right)$ quand $V_{Bulk} = -2.5V$.

Remarquons qu'avec l'augmentation de $|V_{THL}|$ la résistance R diminue. Pour une tension de la sortie V_s , le courant I_{ds} varie proportionnellement avec $\beta_c \left(\frac{W_c}{L_c} \right)$.

Donc les circuits avec $|V_{THL}|$ élevé sont rapides. L'inconvénient, évident dans la suite, est l'augmentation de β_r avec $|V_{THL}|$ pour maintenir le même niveau '0'.

Conclusion

Le comportement électrique du MOST de charge varie en dépendant de

- (i) V_{THL}
- (ii) V_{Bulk}
- (iii) β_C

V_{THL} et V_{Bulk} sont constantes pour une technologie. Donc on fera varier β_C pour obtenir différentes valeurs de I_{ds} .

I - 8. CALCUL DE β_T

Considérons le schéma équivalent de la figure 14 quand l'entrée du transistor MOS de signal est au niveau '1'.

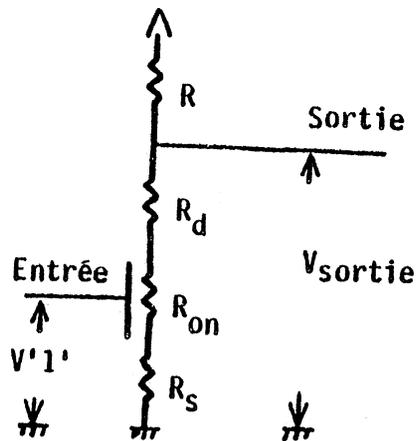


Figure 14

$$\begin{aligned}
 V'0' &= \frac{V_{DD}(R_d + R_{on} + R_s)}{(R + R_d + R_{on} + R_s)} \\
 &= \frac{V_{DD}}{1 + \frac{R}{R_d + R_{on} + R_s}}
 \end{aligned}$$

$$= \frac{V_{DD}}{1 + \frac{3.23}{K \cdot \beta_C (R_d + \frac{1}{K \beta_S (V_{DD} - V_{TH0})} + R_s)}}$$

$$\beta_{rmin} = \frac{(V_{DD} - V'_{O'}) (1 + K \beta_S (R_d + R_s) (V_{DD} - V_{TH0}))}{3.23 V'_{O'} (V_{DD} - V_{TH0})}$$

Quand les dimensions des transistors sont inférieures à 100μ ,
 $K \beta_S (R_d + R_s) (V_{DD} - V_{TH0}) \ll 1$.

De plus, $V_{DD} \gg V'_{O'}$

$$\text{Donc } \beta_{rmin} \approx \frac{K_1}{(V_{DD} - V_{TH0}) V'_{O'}} \quad \text{où } K_1 = \frac{V_{DD}}{3.23}$$

Notons que quand $V'_{O'} = \frac{V_{DD} - V_{TH0}}{1 + \beta_E}$

$$\beta_{rmin} = \frac{K_1 (1 + \beta_E)}{[V_{DD} - V_{TH0} (2 + \beta_E)] V'_{O'}}$$

car $\beta_E (0.084) \ll 1$, dans ce cas

$$\beta_{rmin} = \frac{K_1}{(V_{DD} - 2V_{TH0}) V'_{O'}}$$

I - 9. CALCUL DE β_c

Considérons le schéma équivalent de la figure 15 quand l'entrée du transistor MOS de signal est au niveau '0'

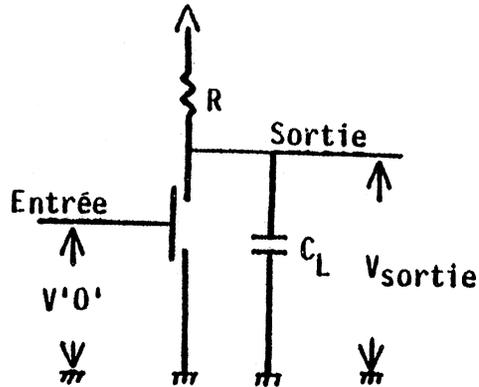


Figure 15

Puisque R est constant et directement proportionnel à β_c la valeur de la sortie à un instant t est donnée par :

$$V_S(t) = V_{DD} [1 - e^{-t/R C_L}]$$

Donc $\Delta_{tm} = \{1 + (V'1' - V'0' - 3.16)\} R C_L$ pour les valeurs positives de $(V'1' - V'0' - 3.16)$

$$= (1 + V'1' - V'0' - 3.16) \frac{V_{DD}}{K \beta_c (V_{THL0})^2} C_L$$

$$\beta_{cmin} = \frac{(1 + V'1' - V'0' - 3.16) V_{DD} C_L}{K \Delta_{tm} (V_{THL0})^2} \quad \text{pour les valeurs positives de}$$

$$(V'1' - V'0' - 3.16)$$

I - 10. CALCUL DE β_S , W_C , L_C , W_S et L_S

β_{rmin} , β_{cmin} étant définis, on a $\beta_{smin} = \beta_{rmin} * \beta_{cmin}$

Les valeurs de W_C , L_C , W_S , L_S sont calculées ainsi :

(i) Quand β_C ou $\beta_S < 1$

- W_C ou W_S est fixé à la valeur minimum ($=2\lambda$)

- L_C ou L_S est obtenu par W_C/β_C ou W_S/β_S

(ii) Quand β_C ou $\beta_S > 1$

- L_C ou L_S est fixé à la valeur minimum ($=2\lambda$)

- W_C ou W_S est obtenu par $L_C * \beta_C$ ou $L_S * \beta_S$

I - 11. CALCUL DU FACTEUR DE CORRECTION DE β_C

Après un premier calcul des valeurs de β_r , β_C et β_S , β_{cmin} doit être corrigé à cause de sa dépendance à β_S . Pour éviter ces calculs répétitifs un facteur de correction à inclure directement dans la valeur de β_C est calculé.

Quand β_S calculé, est supérieur à 1, les valeurs de β_C et β_S sont corrigées en ajoutant aux valeurs précédentes $\Delta\beta_C$ et $\Delta\beta_S$, calculées dans la suite :

$$\Delta\beta_{C_n} = K' [\Delta\beta_{S_a} (1+2d) * 2\lambda * C_j / \mu^2]$$

$$\Delta\beta_{S_n} = \beta_r * \Delta\beta_{C_n}$$

Les suffixes a, n indiquent respectivement l'ancienne et la nouvelle valeur.

Ainsi les valeurs corrigées sont

$$\beta_{C_n} = \beta_{C_a} + \Delta\beta_{C_n}$$

$$\beta_{S_n} = \beta_{S_a} + \Delta\beta_{S_n}$$

Cette correction est effectuée tant que $\Delta\beta_s$ est < 1 . En pratique, il faut corriger β_c et β_s une ou deux fois pourⁿavoir une haute précision.

I - 12. EFFET DE R_L , R_d , R_s

Notons que l'effet de R_L n'est pas pris en compte par R_L n'aura pas d'influence lorsque le MOST de charge est assimilé à un générateur du courant. Mais, en réalité quand le MOST de charge est dans le mode non saturé cette résistance s'ajoute à celle du R_{on} du MOST de charge. Comme $R_{on} \gg R_L$, on peut négliger l'effet de R_L dans ces calculs.

De même, comme $R_d, R_s \ll R_{on}$, R_d et R_s ne sont pas pris en compte dans le calcul de β_r .

I - 13. CALCULS PARAMETRES

Les calculs présentés ci-dessus permettent en remplaçant les différentes variables par leur valeur numérique, d'obtenir rapidement la dimension d'un inverseur. Cependant, il conviendrait de recommencer tous ces calculs à chaque modification de l'une de ces variables. C'est pourquoi nous proposons ci-dessous des calculs paramétrés dans lesquels l'influence d'une variation de paramètre apparaît clairement.

Les paramètres pouvant être modifiés sont :

- (i) la valeur de niveau '0'
- (ii) le nombre des sorties
- (iii) la longueur des interconnexions
- (iv) le temps de montée.

Les variations de ces paramètres sont exprimées en pourcentage par rapport à leurs anciennes valeurs. Ces variations peuvent être positives ou négatives. Quand il y a plusieurs paramètres modifiés, les facteurs de correction doivent s'appliquer séquentiellement sur $\beta_r, \beta_c, \beta_s$.

(i) Pour la valeur du niveau '0' ($V'0'$)

Pour x% de variation de $V'0'$ la nouvelle valeur de β_r est obtenue en multipliant β_r par $1/(1+(x/100))$ et celle de β_c en multipliant β_c par $[1-(x \cdot V'0')/(100(V'1'-V'0'))]$

Ensuite β_s est calculé à partir de nouvelles valeurs de β_r , β_c . Par exemple, les anciennes valeurs de β_r , β_c , β_s sont 4, 1, 4 et $V'0' = 0.2V$ et $V'1' = 5V$. Pour 25% de diminution de $V'0'$ les nouvelles valeurs sont

$$\beta_r = 4/(1-1/4) \simeq 5.33$$

$$\beta_c = 1[1+(0.05/4.8)] = 1.01$$

$$\beta_s = \beta_r \cdot \beta_c \simeq 5.38$$

(ii) Pour le nombre des sorties (f_0^a)

Le troisième facteur intervenant dans C_L varie en fonction du nombre de sorties. Mais cela ne change pas la valeur de β_r , β_c et β_s sont modifiés en conséquence.

Pour une variation de x% de f_0^a , β_c est multiplié par

$$[1 + (((x/100)f_0^a * 4\lambda^2 * C_{Oxmince}/\mu^2)/C_L)]$$

avec λ , $C_{Oxmince}$, μ , C_L ayant la même signification que précédemment.

(iii) Longueur des interconnexions (l_{Alu} ou $l_{Si-poly}$)

Le deuxième facteur intervenant dans C_L varie avec la longueur d'interconnexion. L'effet de cette variation sur β_c et par conséquent sur β_s est considéré pour les lignes d'Alu et Si-poly simultanément.

Pour une variation de x% de ligne en Alu et J% de ligne en Si-poly le β_c est multiplié par

$$[1 + ((x/100)l_{connAlu} * 3\lambda * C_{Alu}/\mu^2 + (J/100)l_{connSi-poly} * 2\lambda * C_{Si-poly}/\mu^2)/C_L]$$

Ensuite β_s est modifié en conséquence.

(iv) Le temps de montée (Δ_{tm})

Pour x% de variation de Δ_{tm} , β_c est modifié en le multipliant par $1/(1+x/100)$ et β_s en conséquence.

Les formules et les facteurs de modifications précédents tiennent compte des variations en technologie NMOS à déplétion en charge. Ces expressions deviennent très simples et commodes à utiliser une fois les variables fixes remplacées par leurs valeurs numériques. Ces facteurs de modification sont introduits pour accélérer les calculs.

I - 14. GENERALISATION DES CALCULS POUR TOUS LES TYPES DE PORTES LOGIQUES

Le type de calculs qui vient d'être développé peut être généralisé pour toutes les portes logiques de la manière suivante.

Les portes logiques, en général, sont représentées comme dans la figure 16.

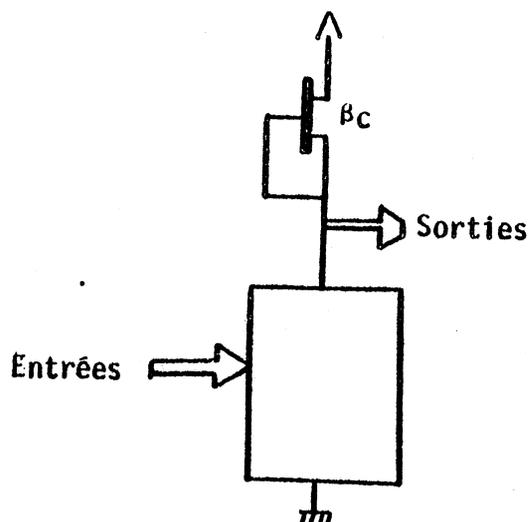


Figure 16

Ce rectangle englobe tous les transistors MOS de signal qui sont reliés aux entrées d'une manière définie par la fonction logique de la porte. Mais ces MOST de signal sont reliés entre eux, soit en série, soit en parallèle, soit en série et en parallèle.

Les données supplémentaires nécessaires sont :

- (i) La fonction logique
- (ii) Le nombre d'entrées
- (iii) Les types de signaux de niveau '1' en entrée (V_{DD} ou $V_{DD}-V_{TH}$) et les nombres d'entrées de chaque type.

Les β_r , β_c sont calculés de la même façon que dans l'inverseur.

Ensuite, β_c est modifié en connaissant la configuration des transistors MOS de signal à partir de la fonction logique.

- Quand toutes les entrées des MOST de signal sont reliées en parallèles β_c est multiplié par $1 + \frac{f_i - 1}{C_L} C_{ds}$; c'est le cas des portes NOR.
- Quand les f_i entrées des MOST de signal sont reliés en série, β_c est multiplié par $[1 - \frac{f_i - 1}{f_i} \cdot \frac{C_{ds}}{C_L}]$; c'est le cas des portes NAND.
- Quand une partie des entrées, par exemple m , des MOST de signal sont reliés en série et le reste en parallèle β_c est multiplié par

$$\left[1 + \frac{(m-1)(f_i-m)+1}{m(f_i-m)+1} \frac{C_{ds}}{C_L} \right]$$

- Quand les MOST de signal sont reliés autrement, le facteur de modification de β_c est calculé comme suit :

Dans la configuration des MOST de signal, chaque MOST de signal est remplacé par une capacité C_{DS} . A partir de cet configuration la capacité totale entre la sortie et la masse est calculée.

Mettons que cette valeur est égale à C_{TDS} , donc le facteur de modification de β_c est

$$\left(1 + \frac{C_{TDS} - C_{dsmin}}{C_L} \right)$$

Après avoir calculé β_r , β_c le calcul de β_s , pour chaque transistor MOS de signal, est fait de la manière suivante :

D'abord β_s^T est obtenu à partir de β_r , β_c . Ensuite, β_s^T est employé pour calculer β_s pour chaque transistor MOS de signal, en fonction de la logique des portes, et du nombre des entrées (fan-in).

- Quand la fonction logique est NON-OU, β_s (pour chaque transistor MOS de signal) est égal à β_s^T .
- Quand la fonction logique est NON-ET, β_s (pour chaque transistor MOS de signal) est égal à $f_i * \beta_s^T$ où f_i est le nombre des entrées (fan-in).
- Dans les autres cas il faut calculer le nombre de variables maximum n , apparaissant dans les monômes de la fonction logique de la porte. Ensuite, β_s (pour chaque transistor MOS de signal de cette porte logique) est égal à $\beta_s^T * n$. Par exemple pour une porte effectuant un NON-OU entre deux 'ET' (porte à 4 entrées): $n=2$.

II - ÉTUDE DES POINTS DE MÉMORISATION

II - 1. PRESENTATION GENERALE DE L'ETUDE

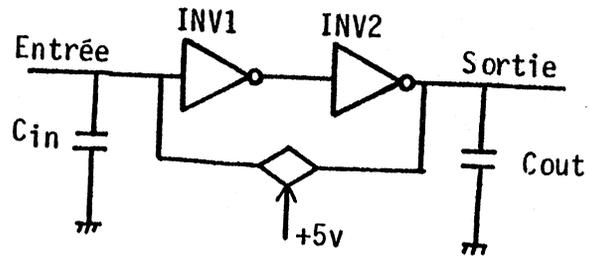
L'emploi fréquent de points de mémorisation dans les circuits intégrés nécessite une structure simple, performante et peu encombrante. La structure avec deux inverseurs tête bêche, nécessitant un fort courant d'écriture, ne sera que peu utilisée.

D'autres structures utilisées sont montrées dans la figure 17. Pour ces quatre structures nous montrerons à partir de l'analyse électrique, des résultats de simulation électrique et des dessins d'implantation, que la structure 4 est la plus performante.

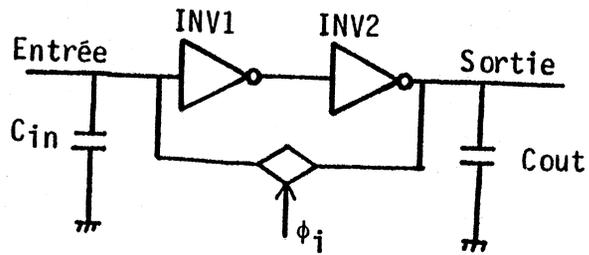
II - 2. ANALYSE ELECTRIQUE

Les quatre structures sont composées de 2 inverseurs (T_1-T_2 et T_3-T_4) et d'un transistor T_{FB} intervenant dans la boucle de réaction. La réalisation des 2 inverseurs est la même dans ces quatre structures. Par contre, T_{FB} diffère. A cause du fonctionnement électrique, le transistor T_{FB} de la structure 1 peut être enrichi ou déplété; dans la structure 2, le T_{FB} ne peut être qu'enrichi. Le T_{FB} dans les structures 3 et 4 doit être déplété; mais suivant les caractéristiques souhaitées le T_{FB} déplété peut être plus ou moins déplété, ou même naturel ($V_{TH} \approx 0V$).

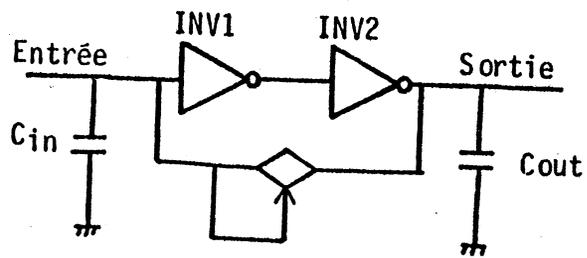
Les quatre configurations possibles pour le T_{FB} sont données dans la figure 18.



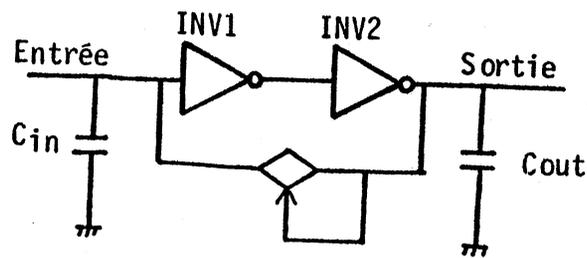
(a) Structure 1



(b) Structure 2

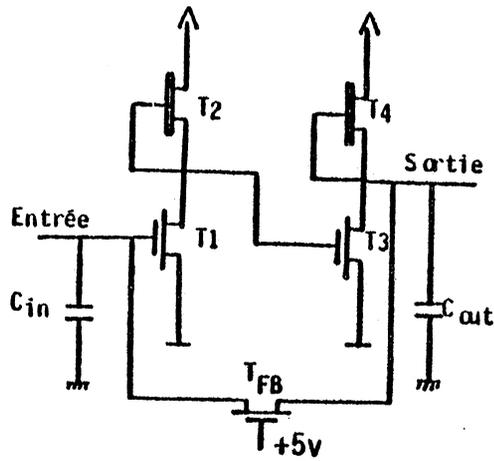


(c) Structure 3

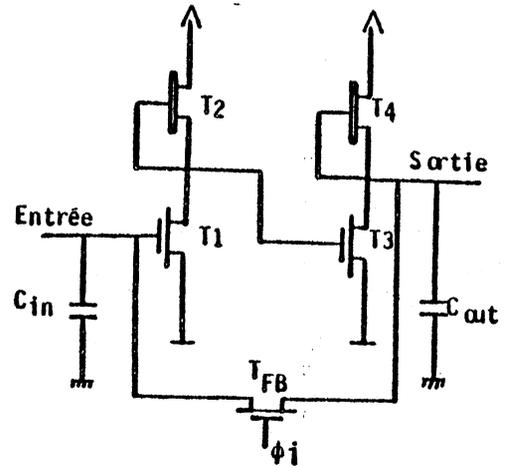


(d) Structure 4

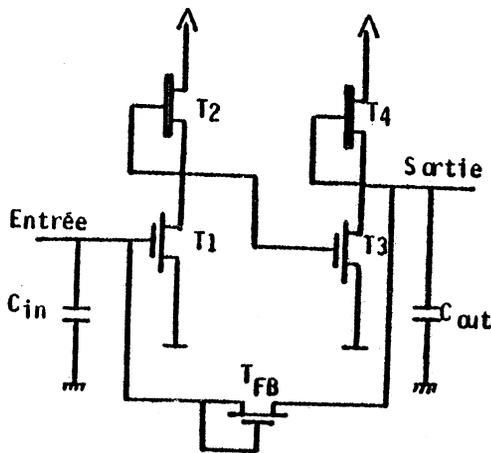
Figure 17(a)



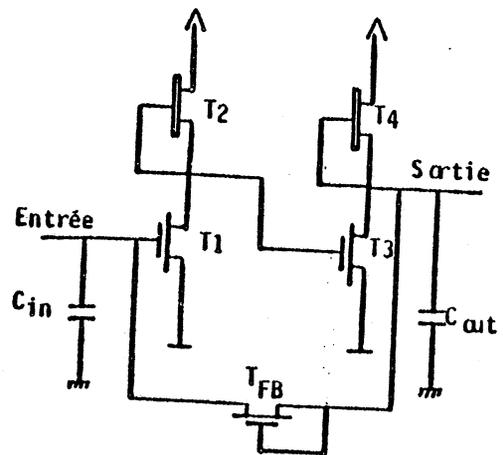
(a) Structure 1



(b) Structure 2



(c) Structure 3



(d) Structure 4

Les dimensions (W/L) des transistors sont:

$$T_1 : 10/6 ; T_2 : 25/8 ; T_3 : 6/6 ; T_4 : 30/8 ;$$

$$T_{FB} : 40/6 \text{ (Structure (1) et structure (2))}$$

$$20/6 \text{ (Structure (3) et structure (4))}$$

La capacité de la sortie, C_{out} : 0.03pf

Figure 17(b)

	Entrée (état à t_n)	Sortie (état à t_{n-1})
	V_{in}	V_{out}
(1)	Niveau '0'	Niveau '0'
(2)	Niveau '1'	Niveau '0'
(3)	Niveau '0'	Niveau '1'
(4)	Niveau '1'	Niveau '1'

Figure 18

Les configurations (1) et (4) ne sont pas à étudier car l'état de la bascule à t_n est le même que l'état à t_{n-1} .

Entre les configurations (2) et (3), la configuration (2) est la plus critique.

Ceci est dû au fait que le temps de montée de la sortie de la bascule du niveau '0' au niveau '1' est plus long que celui de descente du niveau '1' au niveau '0'. Cette variation est due aux deux types de transistors utilisés dans les inverseurs formant la bascule. Donc ici, nous allons analyser la configuration (2). La configuration (3) peut être analysée de la même manière.

Les paramètres logiques définis sont :

La valeur du Niveau '0' : 0.2V

La valeur du Niveau '1' : 4.75V

L'alimentation : 5V

La tension du seuil pour le transistor enrichi : 0.93
(V_{THE0})

La tension du seuil pour le transistor déplété : -1.76
(V_{THD0})

II - 2.1. Etude de la structure 1

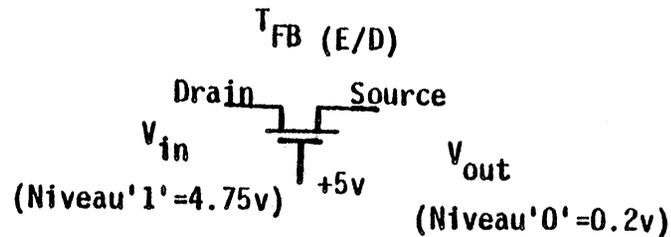


Figure 19

(a) T_{FB} enrichi

$$V_{DS} = V_{in} - V_{out}$$

$$V_{GS} = +5 - V_{out}$$

$$V_{GS} - V_{TH} = 5 - V_{out} - V_{TH}$$

$$V_{TH} = V_{THE0} + \beta_E V_{out}$$

La condition $V_{GS} > V_{TH}$ et $V_{DS} > V_{GS} - V_{TH}$ est remplie pendant le temps où la sortie remonte du niveau '0' au niveau '1'. Par conséquent le transistor fonctionne dans le mode saturé. Le courant drain-source est donné par

$$I_{ds} = k \frac{\beta}{2} (V_{GS} - V_{TH})^2 \quad (1)$$

avec $\beta = \frac{W}{L}, k = \frac{\epsilon_{OX}}{t_{OX}} \mu$; ϵ_{OX} , t_{OX} , μ sont fixés par la fabrication.

V_{GS} , V_{GH} sont remplacées par les valeurs ci-dessus.

$$I_{ds} = \frac{K \cdot \beta}{2} [5 - V_{out}(1 + \beta_E) - V_{THE0}]^2$$

Pour $V_{out} = 0.5V$, $V_{in} = 4.75$, $V_{THE0} = 0.93$, $\beta_E = 0.084$,

au démarrage $I_{ds} = 7.44 \beta$.

(b) T_{fb} déplété

Puisque V_{TH} , pour un transistor déplété, est négatif, la condition $V_{GS} > V_{TH}$ et $V_{DS} < V_{GS}$ est remplie pendant la durée où la sortie remonte du niveau '0' au niveau '1'. Le mode de fonctionnement de ce transistor T_{FB} est non-saturé. Le courant drain-source est donné par

$$I_{ds} = k\beta [(V_{GS} - V_{TH})(V_{DS}) - \frac{1}{2}(V_{DS})^2] \quad (2)$$

Remplaçant V_{GS} et V_{DS} par les valeurs ci-dessus en (a),

et V_{TH} par $V_{THD0} + \beta_D V_{out}$

$$I_{ds} = k\beta [(5 - V_{out}(1+\beta_D) - V_{THD0})(V_{in} - V_{out}) - \frac{1}{2}(V_{in} - V_{out})^2]$$

Pour une valeur de $V_{out} = 0.5V$, $V_{in} = 4.75V$, $V_{THD0} = 1.76V$ et $\beta_D = 0.17$

Au démarrage $I_{ds} = 20.36\beta$

$$\text{Résistance} = \frac{1}{k\beta(V_{GS} - V_{TH} - V_{DS})} \quad (3)$$

On remplace V_{GS} et V_{DS} par les valeurs ci-dessus

$$\text{Résistance} = \frac{1}{k\beta(5 - V_{in} - V_{THD0} - \beta_D V_{out})}$$

Pour une valeur de $V_{out} = 0.5V$, $V_{in} = 4.75V$, $V_{THD0} = -1.76V$ et $\beta_D = 0.17$

$$R = \frac{1}{k\beta 2.67}$$

Notons que l'équation servant à évaluer la résistance est dépendante de V_{out} ; R augmente avec V_{out} . Etant donné que V_{in} et V_{THD0} sont fixes, le transistor T_{FB} fonctionne comme une résistance ayant une valeur $1/(2.75k\beta)$ quand $V_{out} = 0.5V$. Cette valeur peut varier en changeant β , c'est-à-dire le W/L du T_{FB} .

II - 2.2. Etude de la structure 2

Le fonctionnement électrique du T_{FB} est le même que celui de la structure 1 compte tenu du fait que dans cette structure le T_{FB} doit être enrichi.

La différence provient du fait que la grille du T_{FB} est reliée à une phase d'horloge au lieu d'une alimentation. Ce type de structure est utilisé dans les circuits semi-statiques où les données sont chargées dans une phase d'horloge et rafraichies dans une autre.

Pendant le temps de chargement des données, le T_{FB} sera bloqué par l'absence de tension positive sur la grille; pendant le temps de rafraichissement des données, le T_{FB} sera bloqué par l'absence de tension positive sur la grille; pendant le temps de rafraichissement le T_{FB} fonctionne comme dans la structure 1 (a).

II - 2.3. Etude de la structure 3

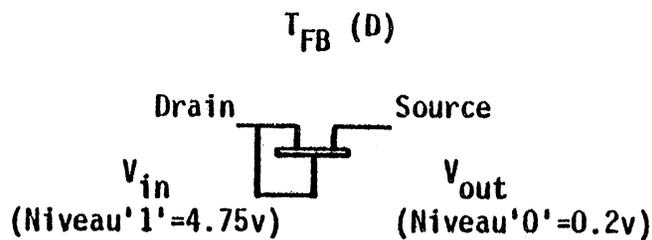


Figure 20

$$V_{DS} = V_{in} - V_{out}$$

$$V_{GS} = V_{in} - V_{out}$$

$$\begin{aligned}
 V_{GS} - V_{TH} &= V_{in} - V_{out} - V_{TH} \quad (V_{TH} \text{ est négative pour le transistor déplété}) \\
 &= V_{in} - V_{out} + |V_{TH}|
 \end{aligned}$$

La condition $V_{GS} > V_{TH}$ et $V_{DS} < V_{GS} - V_{TH}$ est remplie et le transistor fonctionne dans le mode non saturé. Le courant drain-source et la résistance sont donnés par l'équation (1), (3).

On remplace V_{DS} , V_{GS} par les valeurs ci-dessus.

$$I_{ds} = k \beta [V_{in} - V_{out}] \left[\frac{1}{2} V_{in} - V_{out} (0.5 - \beta_D) + |V_{THD0}| \right]$$

$$\text{Résistance} = \frac{1}{k\beta(|V_{THD0} + \beta_D V_{out}|)}$$

Pour $V_{out} = 0.5V$, $V_{in} = 4.75V$ $V_{THD0} = -1.76V$ et $\beta_D = 0.17$

Au démarrage $I_{ds} = k\beta 20.02$

$$\text{Résistance} = \frac{1}{k\beta 2.42}$$

II - 2.4. Etude de la structure 4

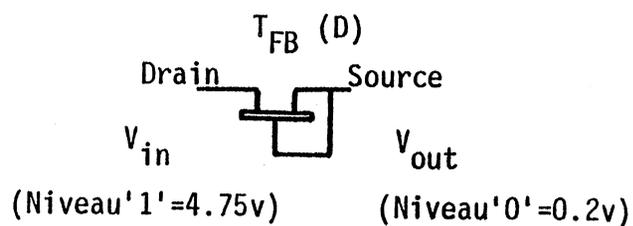


Figure 21

$$V_{DS} = V_{in} - V_{out}$$

$$V_{GS} = 0$$

$$\begin{aligned} V_{GS} - V_{TH} &= -V_{TH} \quad (V_{TH} \text{ est négative pour le transistor déplété}) \\ &= |V_{TH}| \\ &= (|V_{THD0} + \beta_D V_{out}|) \end{aligned}$$

Dans cette structure le transistor T_{FB} fonctionne au départ dans le mode saturé et dans le mode non saturé à partir du moment où $V_{DS} < V_{GS} - V_{TH}$, c'est-à-dire où $V_{in} - V_{out} < |V_{TH}|$.

Dans le mode saturé le courant drain-source est donné par (1).
On remplace V_{GS} par la valeur ci-dessous.

$$I_{ds} = \frac{k \cdot \beta}{2} (|V_{THD0} + \beta_D V_{out}|)^2$$

Pour $V_{THD0} = -1.76V$, $V_{out} = 0.5V$ et $\beta_D = 0.17$.

Au démarrage

$$I_{ds} = 2.92k\beta$$

Dans le mode non saturé le courant drain-source et la résistance sont donnés par les équations (1), (3). On remplace V_{DS} , V_{GS} par les valeurs ci-dessous.

$$\begin{aligned} I_{ds} &= k\beta(V_{in} - V_{out}) \left[|V_{THD0}| - \frac{1}{2} V_{in} + V_{out} (0.5 + \beta_D) \right] \\ \text{Résistance} &= \frac{1}{k\beta \left[|V_{THD0}| - V_{in} + V_{out} (1 + \beta_D) \right]} \end{aligned}$$

Pour $V_{in} = 4.75V$, $V_{out} = 3.75V$, $V_{THD0} = -1.76V$ et $\beta_D = 0.17$

$$I_{ds} = 2.64 k\beta$$

$$\text{Résistance} = \frac{1}{2.14k\beta}$$

La variable dans les expressions concernant les I_{ds} et la résistance contient deux facteurs :

- $\frac{\epsilon_{OX}}{t_{OX}}$ μ , le 1er, est constant pour une technologie donnée;
- $\frac{W}{L}$ le second rapport entre la largeur et la longueur du canal du transistor, varie.

Il en est de même pour I_{ds} et la résistance, si on choisit W/L différent.

II - 3. ANALYSE TEMPORELLE

II - 3.1. Transition 0 à 1

Pour expliquer le comportement temporel de ces quatre structures, il faut considérer (i) le temps de basculement, (ii) le temps de chargement de la sortie.

Le temps de basculement est dû (i) au temps de chargement des capacités C_{in} et C_{GS} de T_1 et au temps de déchargement des capacités C_{DS} de T_1 et C_{GS} de T_3 , (ii) au temps de basculement des transistors de signaux T_1 et T_3 dans la figure 17. Le temps de chargement de la sortie est dû au C_{out} . Le premier facteur n'est pas pris en compte car :

- (i) le temps de chargement de C_{in} et C_{GS} de T_1 dépend du circuit fournissant le signal d'entrée,
- (ii) le temps de déchargement de C_{DS} de T_1 et C_{GS} de T_3 est plus petit que le temps de chargement de C_{out} ,
- (iii) le temps de basculement des transistors de signaux T_1 et T_3 est très petit.

Ainsi, pour étudier ces quatre structures, le deuxième facteur est pris en compte. Néanmoins, le premier facteur induit un délai dans le signal de sortie de la bascule.

Pour expliquer l'effet de T_{FB} sur les délais dûs à ce deuxième facteur, le schéma équivalent à chacune de ces quatre structures (dans le cas de la transition 0 à 1) est illustré dans la figure 22.

Dans la figure 23, les courbes montrent les valeurs de courant de la T_{FB} dans les structures 1, 3, 4 pour des tensions différentes de V_{out} , V_{IN} ayant été fixé à 4.75V.

Les valeurs du courant sont normalisées à $K\beta$ ($=\mu\frac{\epsilon_{OX}}{t_{OX}} \cdot \frac{W}{L}$)

Dans la structure 2, T_{FB} ne contribue pas à la remontée de la sortie car T_{FB} est bloqué pendant la durée de chargement des données sur l'entrée de la bascule.

T_{FB} dans la structure 1(a) fournit un courant en fonction de la valeur de la sortie. Mais la valeur du courant diminue avec la remontée de la sortie. Comme ce T_{FB} est enrichi, la contribution du courant à la sortie est présent tant que la tension de la sortie est inférieure à $(5-V_{TH})V$. Ceux-ci expliquent une meilleure performance, seulement en ce qui concerne le début dans le temps de montée de la sortie. Dans la structure 1(b), quand T_{FB} est déplété, le T_{FB} sert de résistance variable avec V_{in} .

Dans la structure 3, le T_{FB} montre une résistance fixe, indépendante de V_{in} .

Ainsi, le courant fournit à C_{out} pour charger dépend de la tension de la sortie. Cela explique le comportement de la caractéristique de sortie pour la structure 3 par rapport à la structure 4, en figure 24.

Dans la structure 4, T_{FB} fonctionne comme un générateur de courant jusqu'à ce que $|V_{in} - V_{out}| > (V_{TH})$. Ensuite, ce transistor montre une résistance qui diminue proportionnellement à la différence de $(V_{in} - V_{out})$. Donc, la structure 4 a une meilleure performance électrique comparativement aux autres structures.

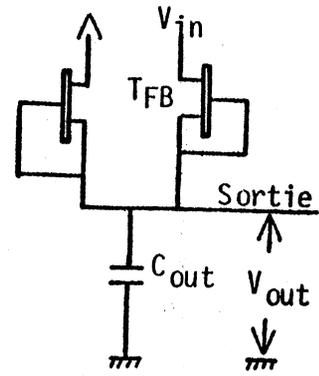
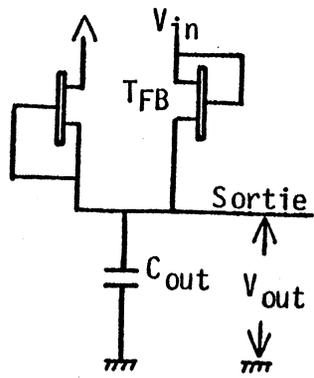
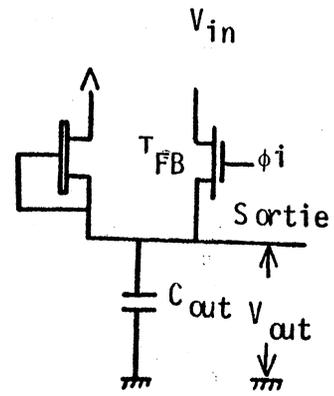
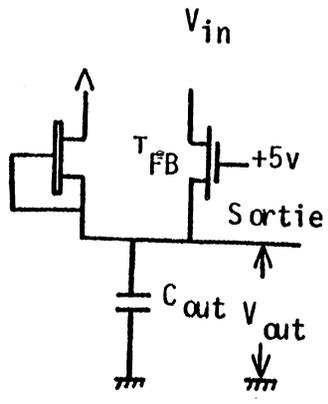


Figure 22

II - 3.2. Transition 1 à 0

Si l'on suit le même raisonnement, les comportements électriques de ces quatre structures peuvent être expliqués pour la transition de 1 à 0. On peut démontrer que dans ce cas le comportement de la structure 3 est meilleur que celui de la structure 4. Notons que la structure 1 a une meilleure performance au départ. Comme le temps de montée est plus critique que le temps de descente avec les transistors déplétés en charges, la structure 4 a une meilleure performance temporelle que les 3 autres structures.

Ces quatre structures sont simulées sur un simulateur électrique MSINC, utilisant les dimensions de transistors donnés dans la figure 22. La figure 24 montre le signal d'entrée validé avec une phase d'horloge ϕ_i . La figure 25 montre le signal de sortie pour les structures 1 a, 3, 4. Les figures 26 et 27 montrent le courant de T_{FB} respectivement pour les structures 1 et 4.

La figure 28 montre que pour un T_{FB} petit (20/6), la structure 4 répond correctement à la variation du signal d'entrée, par contre, la structure 1 n'arrive pas à suivre. Tous ces faits montrent que la structure 4 est plus performante que les 3 autres structures.

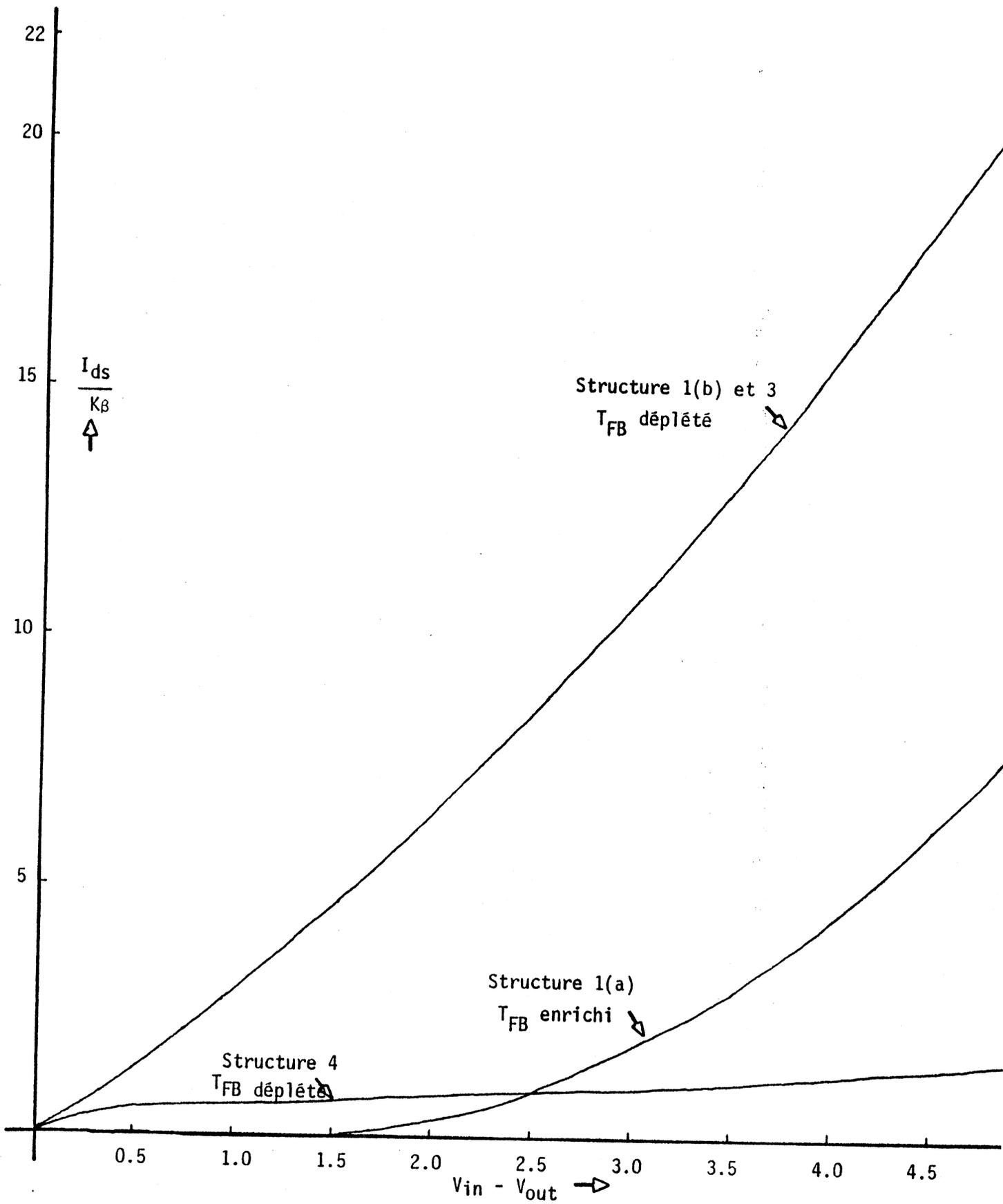
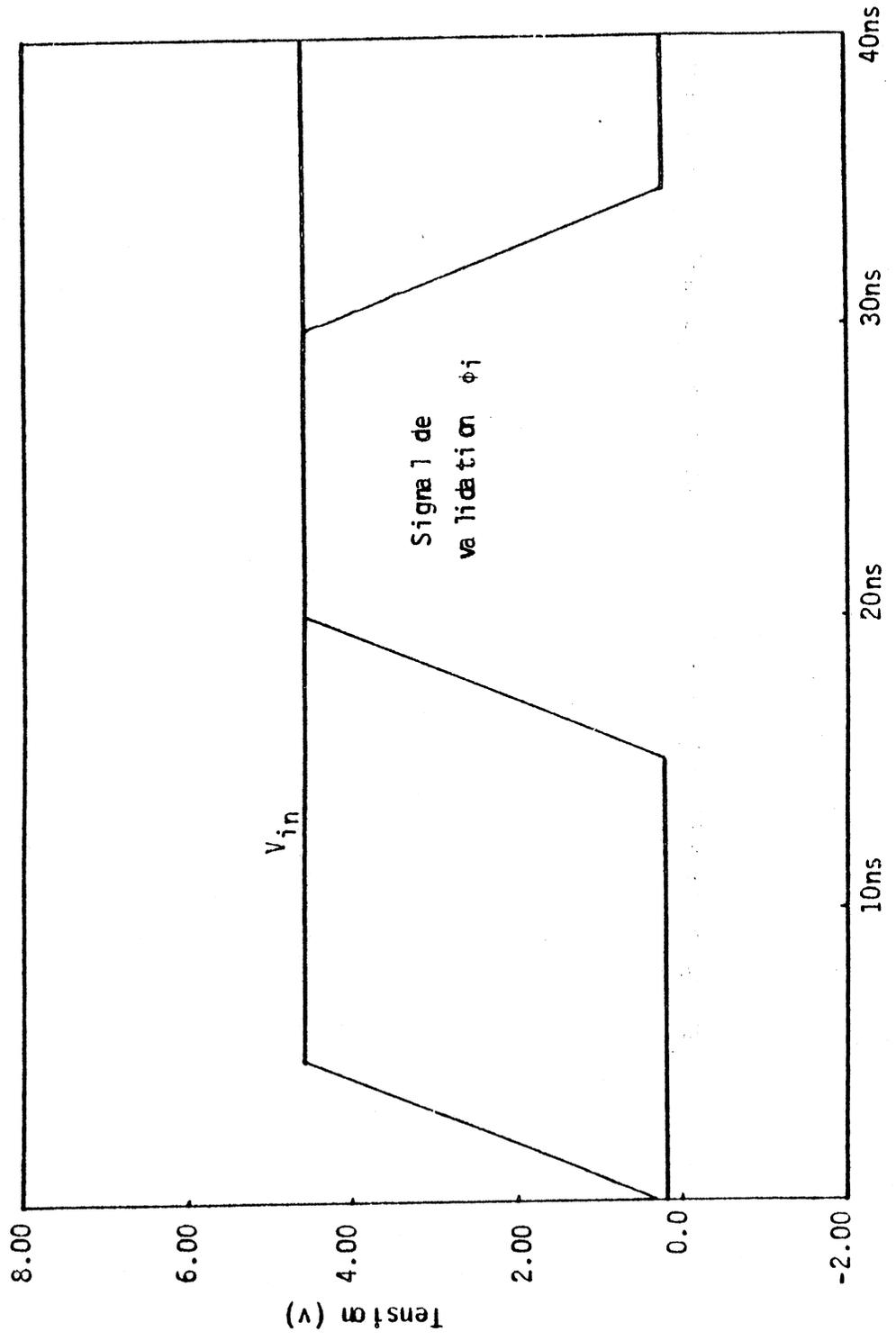


Figure 23



Temps

Figure 24

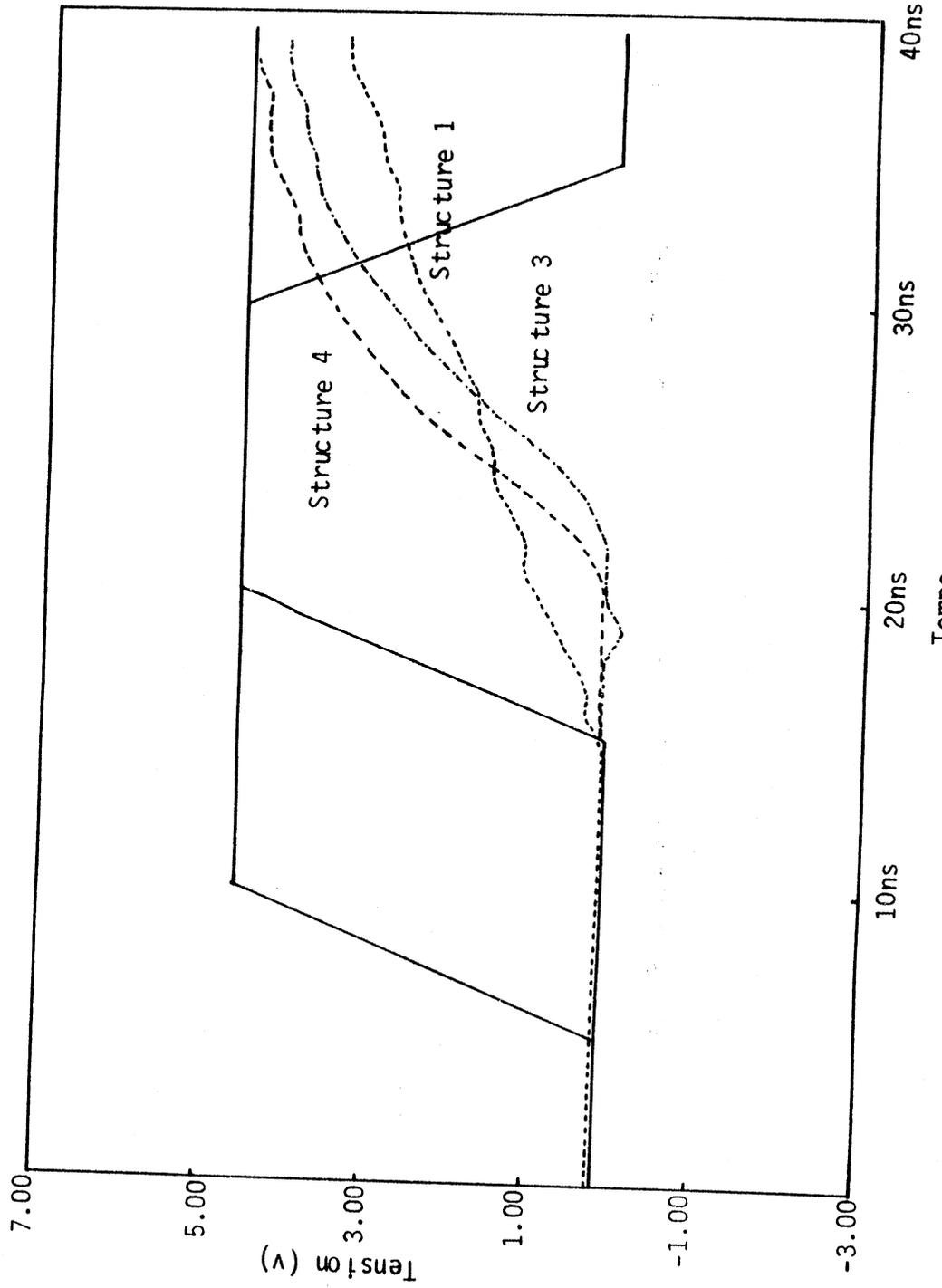
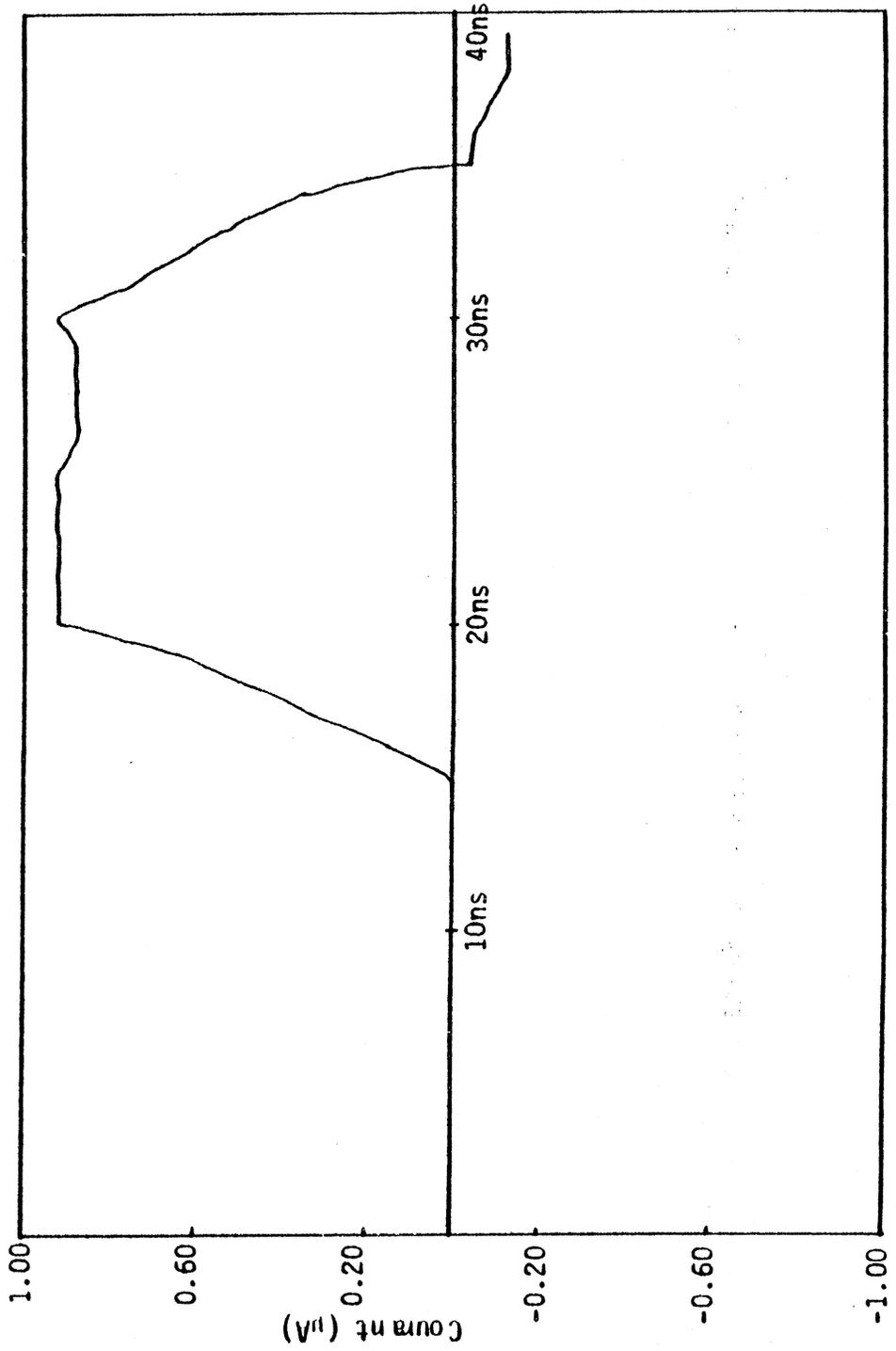
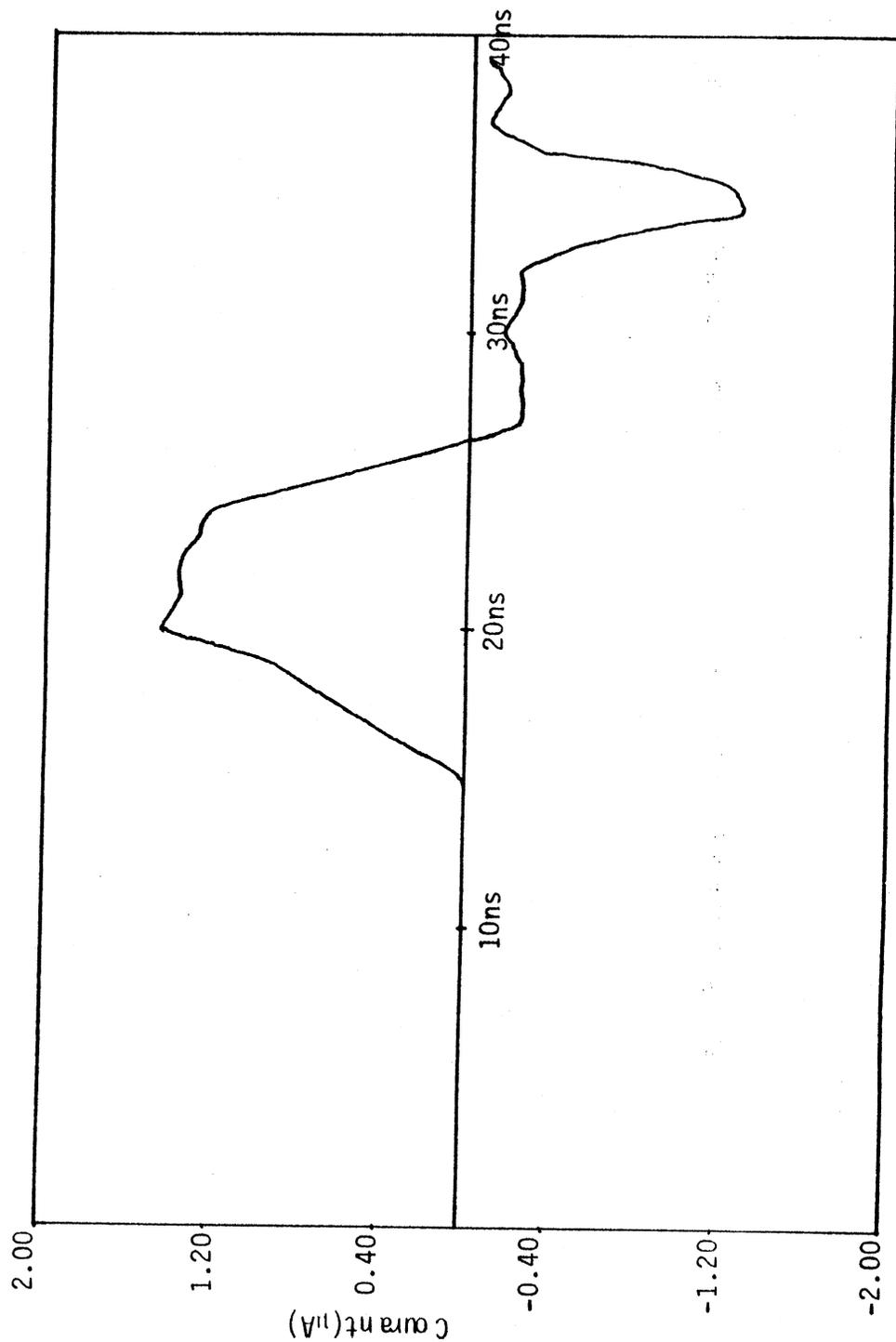


Figure 2E

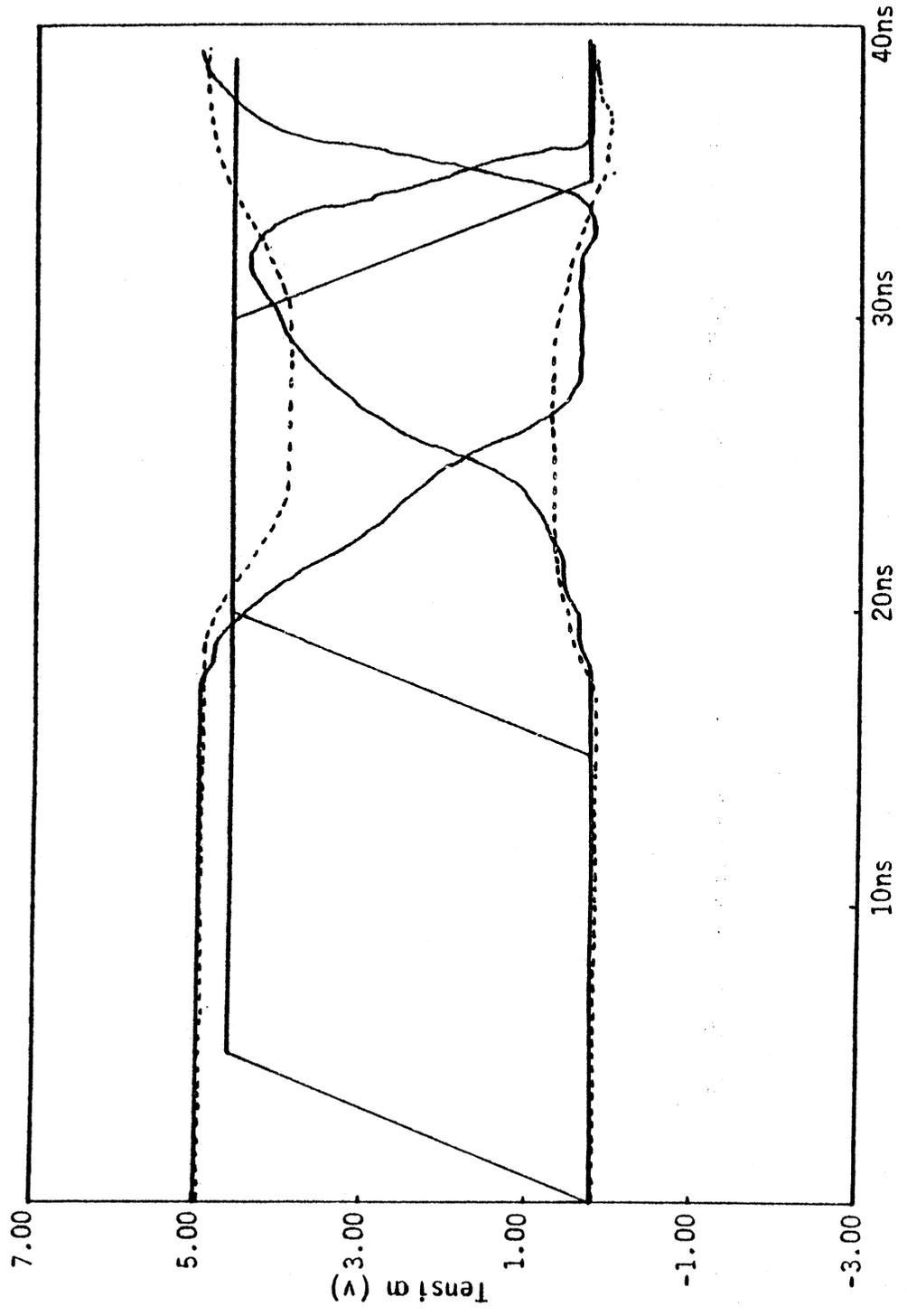


Temps

Figure 26

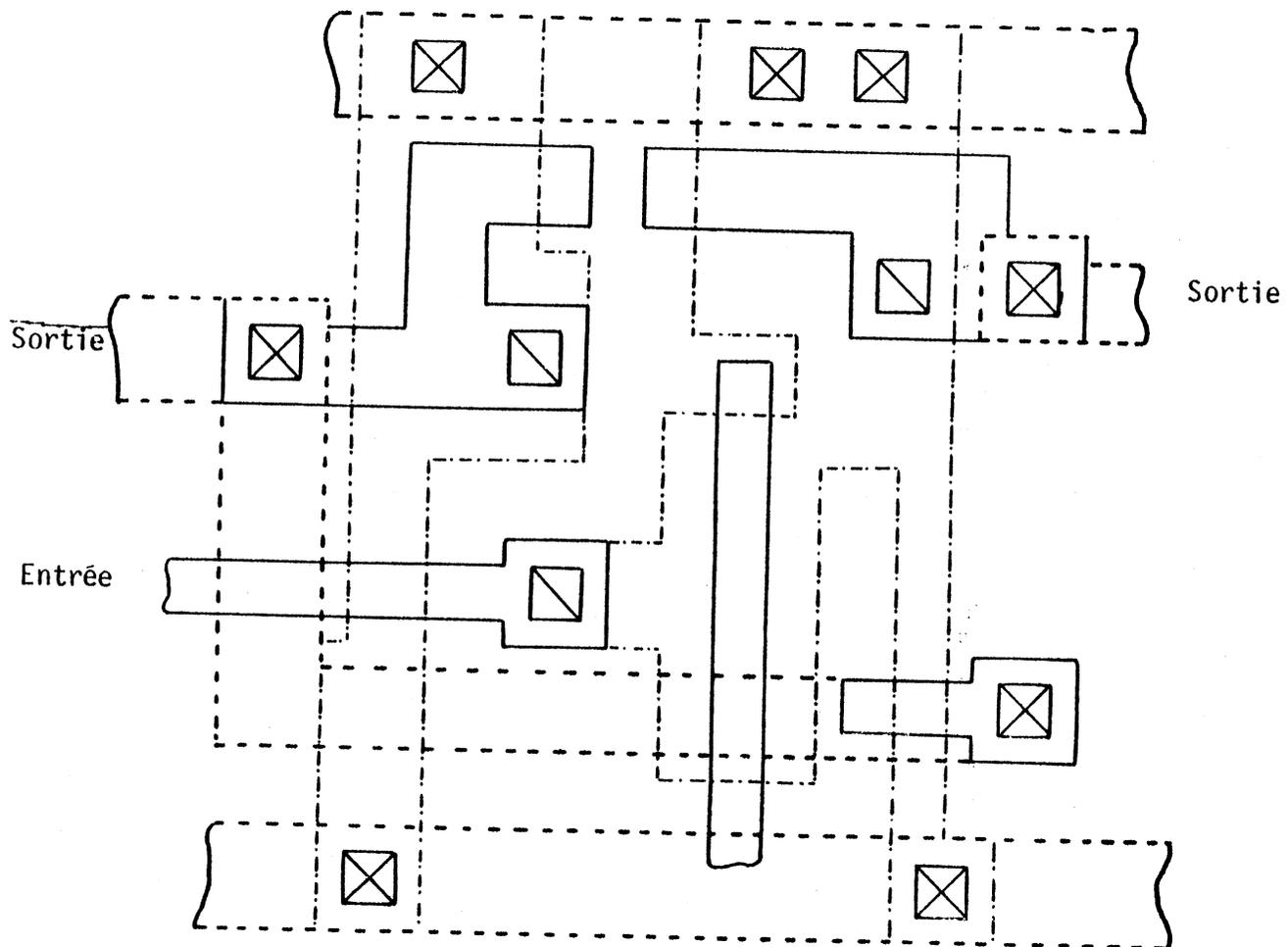


Temps
Figure 27

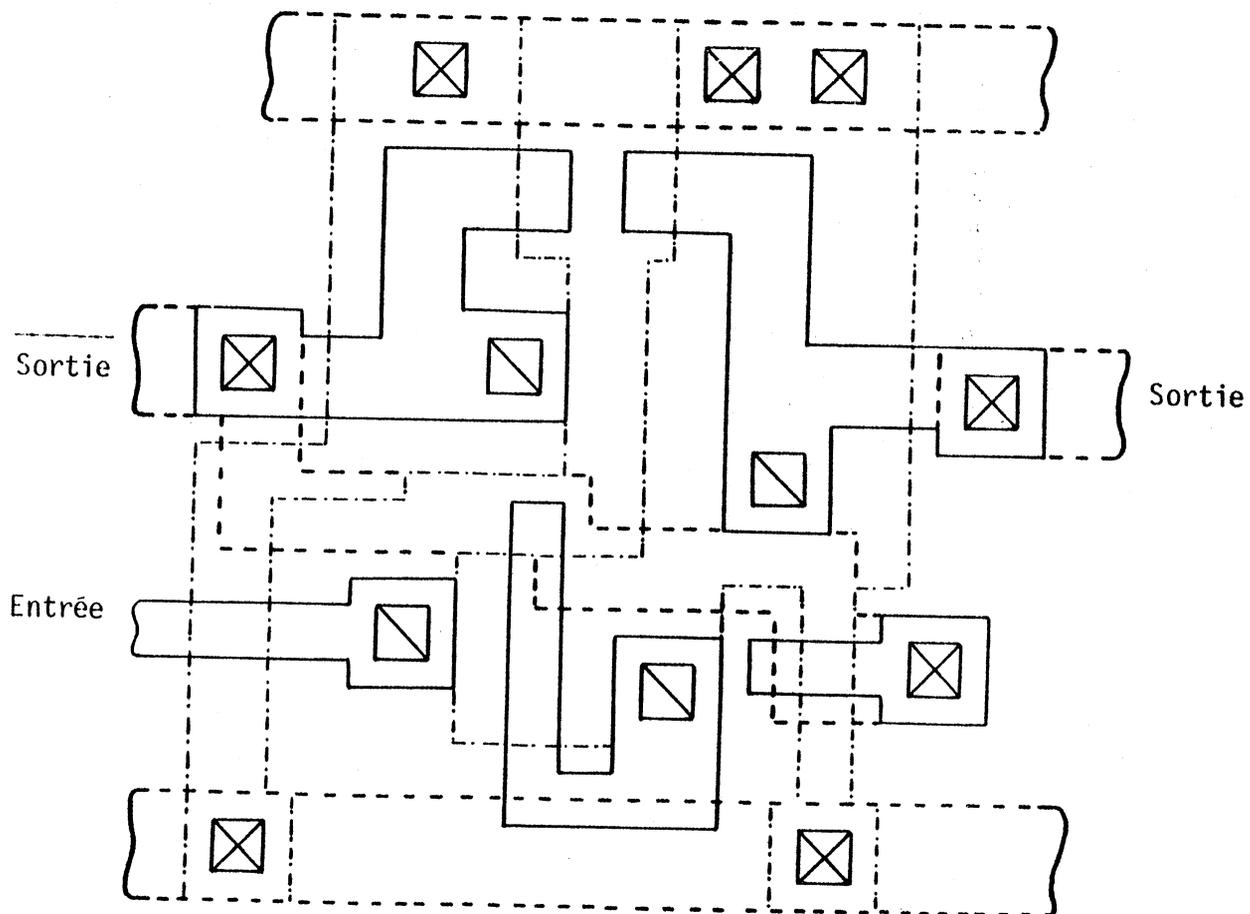


Temps

Figure 28



(a) Dessin au micron de la structure (2)



(b) Dessin au micron de la structure (4)

II - 4. AUTRES FACTEURS DE COMPARAISON ENTRE CES STRUCTURES

II - 4.1. Immunité au bruit transitoire pendant l'opération de lecture sur la bascule

La structure 4 offre une meilleure immunité au bruit. En augmentant la tension du seuil du transistor T_{FB} (déplété) l'immunité au bruit augmente au détriment de la vitesse. Par exemple, un T_{FB} (déplété) avec un $V_{TH} = -0.5V$ donnera une meilleure immunité au bruit qu'un T_{FB} (déplété) avec un $V_{TH} = -2.5V$.

II - 4.2. Implantation

Les dessins au micron pour ces quatre structures ont été faits en utilisant les règles de dessins λ , avec $\lambda = 3$. Ces dessins, dans la figure 29, indiquent que la surface nécessaire pour une cellule de bascule, avec les structures 3 et 4, est inférieure à celle des structures 1 et 2. De plus, la structure 2 a besoin de 5 connections avec l'environnement, au lieu de 4. Cela peut entraîner une augmentation de la complexité du problème d'interconnexion automatique entre les cellules de structure 2.

Les avantages supplémentaires offerts par les structures (1), (3) et (4) vis-à-vis de la structure 2 sont (i) une réduction de la charge d'horloge, (ii) la répartition plus facile des micro-opérations. Les micro-opérations de lecture et écriture des bascules peuvent être exécutées dans une des phases d'horloge. Quel que soit l'enchaînement des micro-opérations celles-ci peuvent être effectuées dans toutes les phases d'horloge sans aucune restriction.

III - CONCEPTION ÉLECTRIQUE DU PLA

III - 1. PRINCIPE GÉNÉRAL

La structure classique d'un PLA est illustrée dans la figure 30.

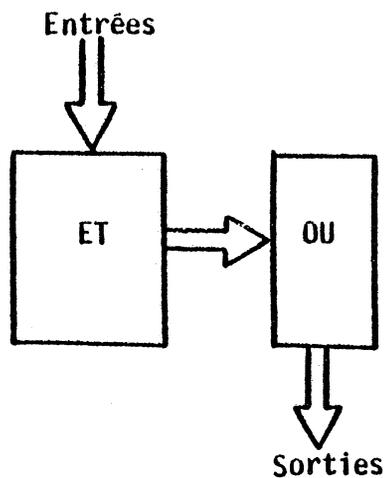


Figure 30

Les réalisations topographiques et électriques sont variées. Les différentes solutions cherchent à optimiser la surface et le temps de réponse. En effet, ces 2 paramètres sont moins bons qu'en logique aléatoire. La structure répétitive, la facilité de conception logique et d'implantation du PLA rendent par contre ce composant très intéressant.

La conception électrique d'un PLA comprend (i) la modélisation électrique qui permettra d'étudier le comportement temporel du PLA (le temps de réponse, le délai etc); (ii) le calcul des caractéristiques temporelles.

III - 2. MODELISATION ELECTRIQUE D'UN PLA

Une modélisation électrique fine considèrerait l'ensemble des éléments actifs et passifs constituant un PLA.

Un tel modèle serait difficile, voire impossible, à manier quelle que soit la méthode utilisée.

D'autre part, il existe toujours une partie des éléments actifs et passifs qui sont soit dans un état invariant, soit dans un état n'ayant pas d'effet sur la sortie.

Par exemple, considérons une fonction logique simple réalisée avec un PLA (figure 31) et sa modélisation électrique fine (figure 32).

R_p : Résistance des lignes en Silicium polycristallin

C_p : Capacité des lignes en Silicium polycristallin

C_{Alu} : Capacité des lignes en alu

T_S : Transistor Signal

T_C : Transistor charge.

La résistance d'alu n'est pas considérée car sa valeur est négligeable.

Bien que l'exemple de la figure 31 soit simple et loin d'un cas réel, sa modélisation électrique fine (figure 32) est assez compliquée.

D'autre part, les équations logiques de la figure 32 montrent que les signaux d'entrée E_1, E_2, E_3, E_4 activant S_1 n'agissent pas sur $TS_2, TC_2, TS_8, TS_{11}, TC_6, TS_7, TS_9, TC_7$ et TC_9 ; une modélisation électrique fine englobant tous les éléments constituant du PLA n'augmente donc pas la précision. Ainsi un modèle simplifié et moins encombrant est développé.

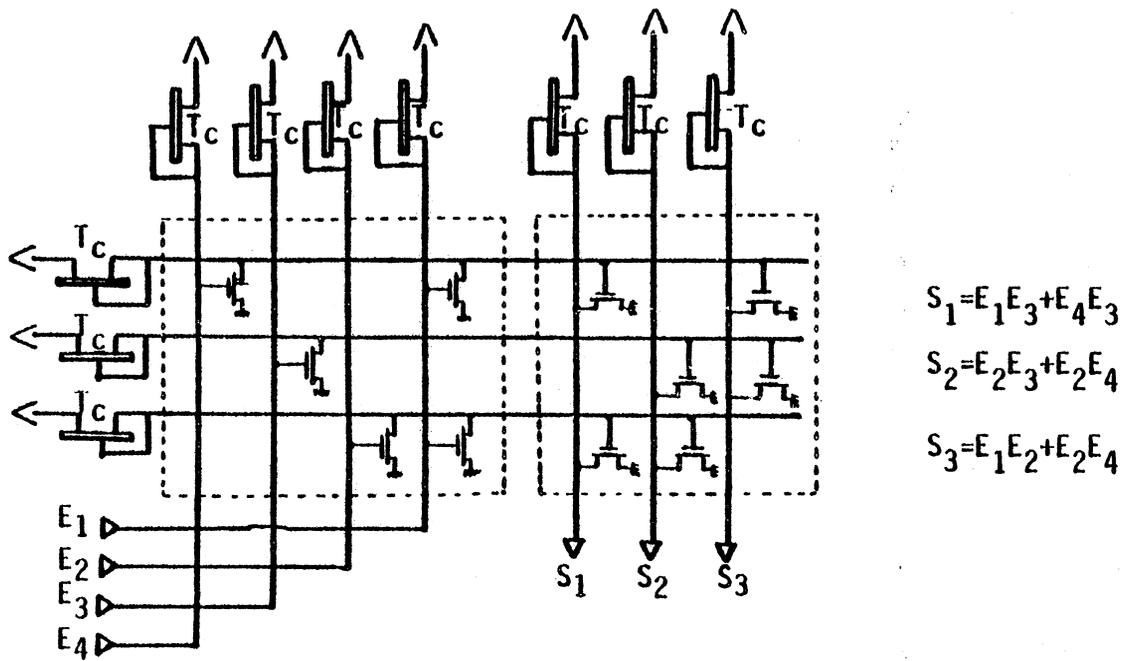
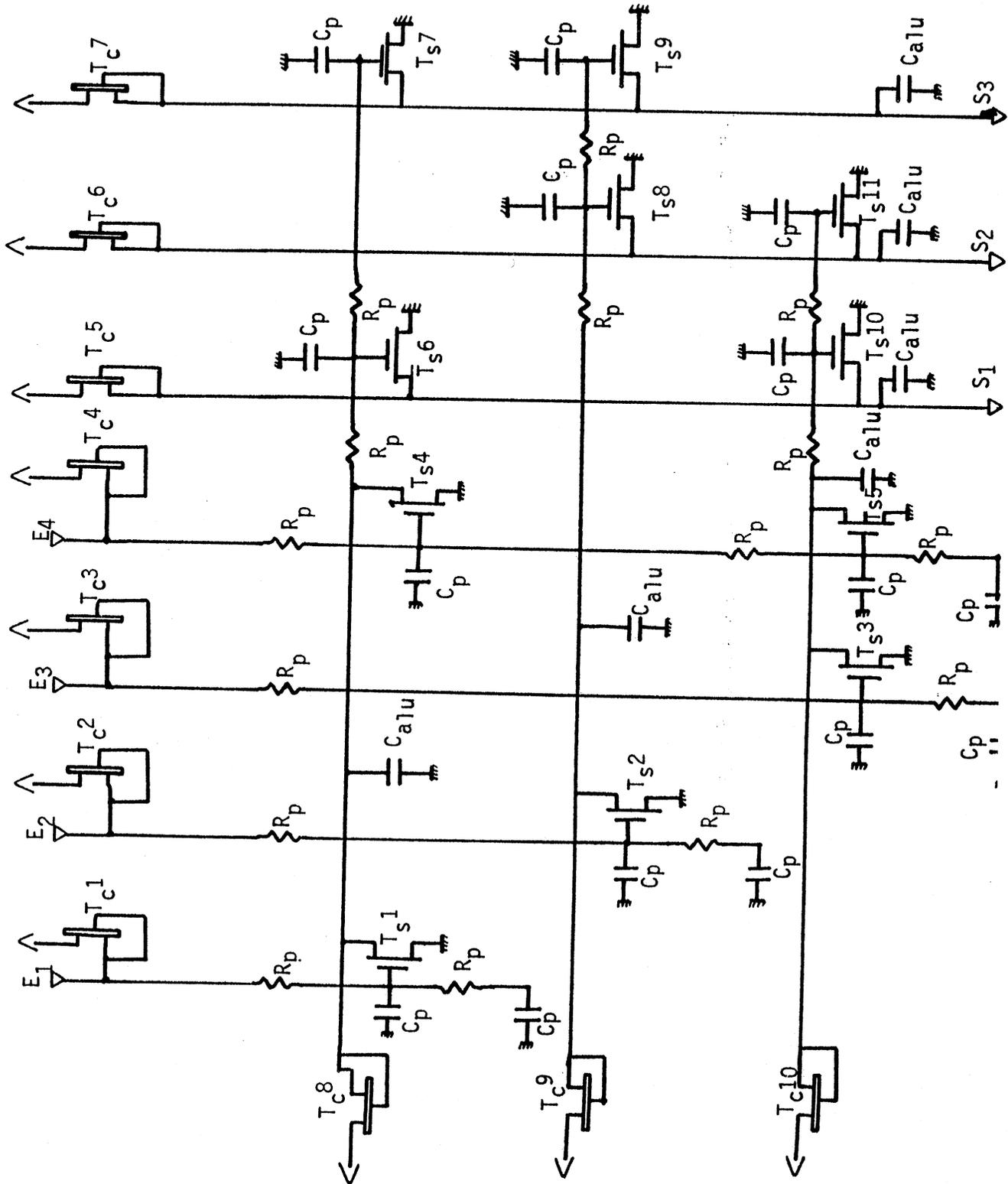


Figure 31

Figure 32



Pour développer ce modèle, le fonctionnement électrique, et par conséquent le fonctionnement temporel, du PLA est divisé en trois parties.

- (i) t_1 : temps de chargement des lignes d'entrées de la partie 'et' en silicium polycristallin
- (ii) t_2 : temps de chargement des lignes de sortie de la partie 'et' en Alu et des lignes d'entrée de la partie 'ou' en Silicium polycristallin
- (iii) t_3 : temps de chargement des lignes de sortie de la partie 'ou' en Alu.

Les caractéristiques topographiques du PLA sont (i) E, le nombre d'entrées, (ii) M, le nombre des différents monômes des équations logiques, (iii) S, le nombre de sorties.

La figure 34 montre les dimensions minimums de pas nécessaires pour une ligne d'entrée et une ligne de sortie.

Le temps T_1 dépend de la longueur de la ligne d'entrée (sur M) et du nombre de transistors reliés à cette ligne. Ces deux facteurs seront représentés par une résistance et une capacité comme définies dans la figure 35.

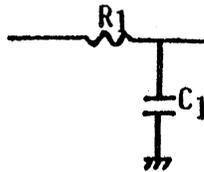


Figure 35

$$R1 = \left(\frac{\Delta\ell}{2\lambda} * M + \frac{\Delta m}{2\lambda} * \Gamma M/8\right) * R_{poly}/\square$$

$$C1 = (\Delta\ell * 2\lambda * M + \Delta m * 2\lambda * \Gamma M/8) * C_{poly}/\mu^2 \\ + (C_{GS} * M * FRP'ET')$$

où FRP'ET' : facteur de remplissage dans la partie 'et'
(FRP < 1)

C_{GS} : capacité due à la grille du transistor
signal (= $4\lambda * 2\lambda * C_{oxmince}/\mu^2$)

d : le nombre integer minimum supérieur à d .

Le temps t_2 dépend de la longueur de la ligne de sortie de la partie 'et' (sur E) et de la longueur de la ligne d'entrée de la partie 'ou' (sur S), et du nombre de transistors reliés aux deux parties de cette ligne. La représentation équivalente est la suivante

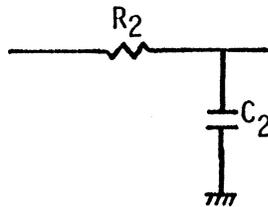


Figure 36

$$R_2 = \left(\frac{\Delta\ell}{2\lambda} * S + \frac{\Delta m}{2\lambda} * \Gamma S/8\right) R_{poly}/\square$$

$$C_2 = (\Delta W * 4\lambda * E) * C_{A1u}/\mu + (\Delta\ell * 2\lambda * S + \Delta m * 2\lambda * \Gamma S/8) * C_{poly}/\mu^2 \\ + (C_{DS} * E * FRP'ET') + (C_{GS} * S * FRP'ou')$$

$$\text{où } C_{DS} = (2 * 5\lambda * d + 2 * 4\lambda * d + 4 * 5\lambda^2) * C_{diffu}/\mu^2$$

d : profondeur de diffusion

$$\approx 0.5\mu \text{ pour } \lambda = 3\mu$$

FRP'ou' : facteur de remplissage dans la partie 'ou' (FRP'ou' < 1).

Le temps t_3 dépend de la longueur de la ligne de sortie de la partie 'ou' (sur M) et du nombre de transistors reliés à cette ligne. Ceci se traduit par la capacité C_3 .

$$C_3 = (\Delta W * 4\lambda * M) * C_{Alu}/\mu^2 + C_{DS} * \Gamma M * FRP'ou'$$

Au dessus, la résistance due à l'Alu n'est pas prise en compte à cause de sa faible résistance ($\approx 0.03 \Omega/\square$).

La résistance maximum entre la source de chaque transistor MOS du singal et le rappel de masse est donnée par

$$R_d = (4 * \frac{\Delta l}{2} + \frac{\Delta m}{2*2}) * R_{diffu}/\square$$

Les 3 parties du fonctionnement électrique étant définies, le modèle électrique complet est le suivant :

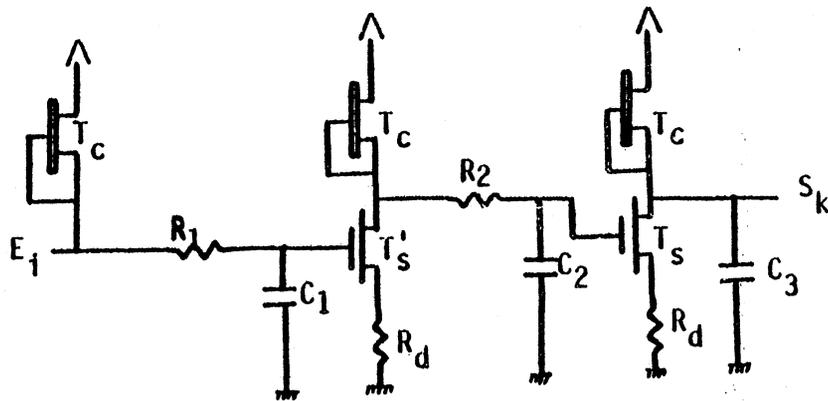


Figure 37

Ce modèle recouvre le fonctionnement électrique pour une ligne d'entrée et une ligne de sortie. Grâce à la symétrie dans le PLA le même modèle sera valable quelle que soit la ligne d'entrée et la ligne de sortie. Les valeurs R_1 et R_2 dépendent du nombre de monômes M et du nombre de sorties S , constants pour un PLA donné. La partie variable dans C_1, C_2, C_3 dépend des facteurs de remplissage. Dans le cas où une haute précision est désirée :

- (i) les facteurs $M * FRP'ET'$, $E * FRP'ET'$,
 $S * FRP'ou'$ et $M * FRP'ou'$
 dans les expressions de C_1, C_2, C_3 doivent être remplacés par le nombre exact de transistors présents dans chaque cas.
- (ii) La résistance R_{on} de TS' et TS'' peut être divisée par le nombre des transistors en parallèle qui commutent en même temps. Par exemple, une ligne de monôme dans la partie 'ET' est reliée à n' ($\leq E$) transistors, et une ligne de sortie dans la partie 'ou' est reliée à n'' ($\leq S$) transistors. Dans ce cas optimiste, la résistance R_{on} de TS' doit être divisée par n' et celle de TS'' par n'' . Mais dans le cas général ou pire cas, la résistance R_{on} de TS' et TS'' est celle d'un transistor signal uniquement, indépendamment du nombre des transistors qui commutent dans le même temps.

Les facteurs de remplissage $FRP'ET'$ et $FRP'ou'$ sont obtenus par

$$FRP'ET' = (\text{nombre de transistors signals présents dans la partie 'et'}) / (E * M)$$

$$FRP'ou' = (\text{nombre de transistors signals présents dans la partie 'ou'}) / (M * S).$$

La valeur minimale de $FRP'ET'$ est $1/M$.

La valeur minimale de $FRP'ou'$ est $1/S$.

Les expressions pour R_1, R_2 et C_1, C_2, C_3 sont paramétrées avec E, M, S afin de pouvoir étudier le fonctionnement électrique d'une partie du PLA. Par exemple en utilisant $E = E_1, M = 1$ et $S = S/2$, le modèle donne le comportement électrique de la sortie $S/2$ reliée à la ligne du premier monôme pour un ensemble d'entrées E_1 .

III - 3. CONCEPTION ELECTRIQUE

La conception électrique du PLA proprement dit sera faite de la manière suivante :

à partir de ce modèle, il existe deux paramètres qui peuvent être optimisés dans la conception électrique :

- (i) les dimensions de transistors MOS de signaux et
- (ii) les dimensions de transistors MOS de charge.

Les dimensions obtenues à partir de la figure 34 pour le transistor MOS de signal sont (i) largeur (ℓ), 2λ , (ii) longueur (W), 4λ . La longueur (ℓ) est définie par la largeur minimale des lignes de silicium polycristallin. La valeur minimale de la largeur (W) sera fixée par la valeur minimale de la diffusion.

La largeur (W) de TS peut varier entre 2λ et 4λ sans augmentation des dimensions minimales du PLA. Bien que la réduction de W de TS de 4λ à 2λ augmente la vitesse, pour le même rapport de β_r , la valeur de niveau '0' va augmenter à cause d'une augmentation de R_{on} de TS; ceci n'est pas souhaitable. D'autre part, l'augmentation des dimensions de TS augmente les dimensions minimales, et par conséquent la surface nécessaire pour la réalisation physique. Donc, dans la conception électrique du PLA, en pratique, la largeur et la longueur de TS seront dictées par les dimensions minimales du pas de PLA.

Le deuxième facteur qui peut varier est la dimension de MOS de charge déplétée dans chaque ligne et colonne du PLA. En augmentant le rapport β_c entre la largeur W_c et la longueur L_c de MOS de charge, la vitesse de fonctionnement sera augmentée. Mais l'augmentation de β_c est limitée par β_s/β_r (β_s est le rapport de la largeur W_s et la longueur L_s de TS) afin d'avoir un bon niveau '0'.

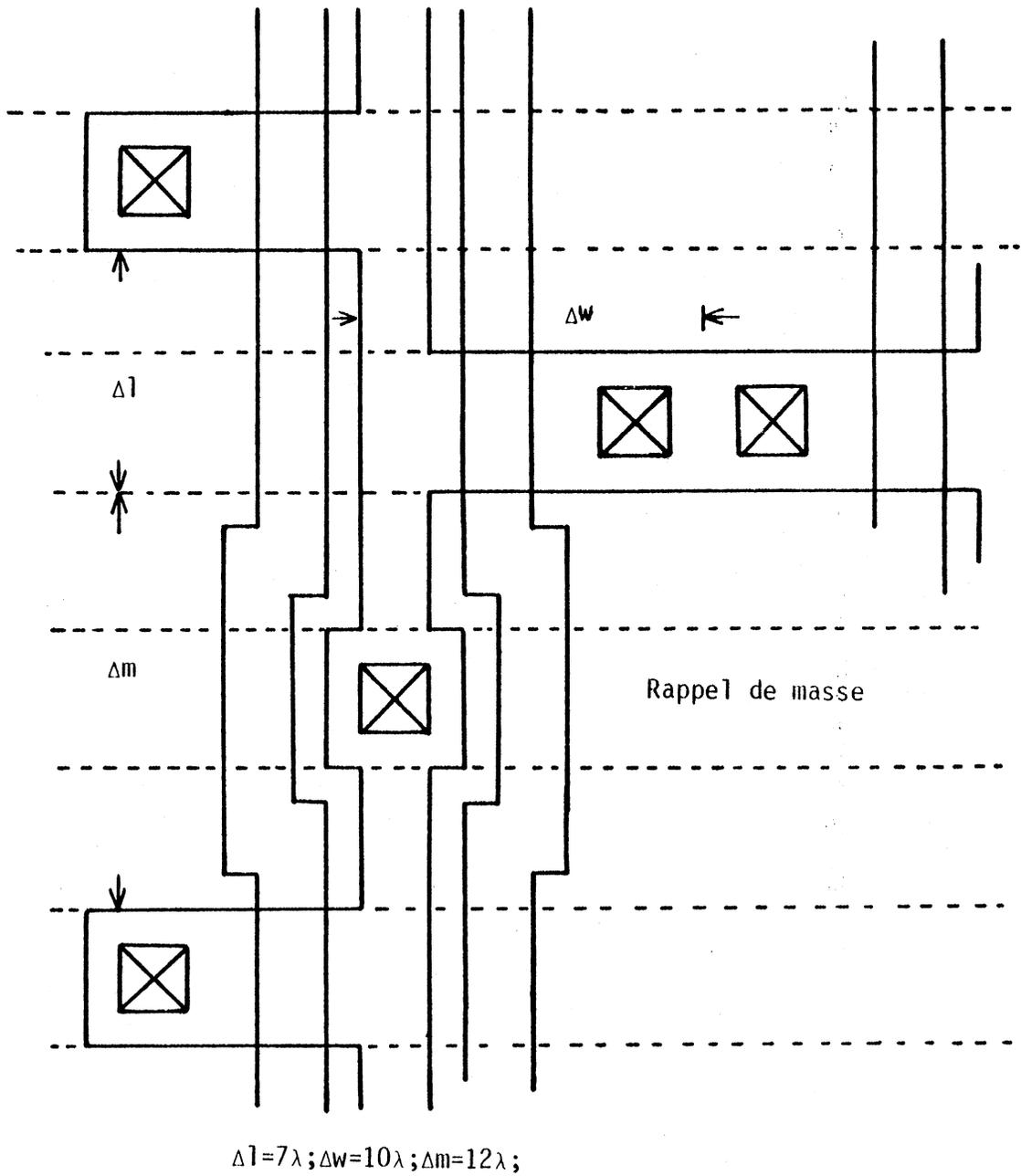


Figure 34

Donc, les W_s et L_s de TS seront déterminés premièrement à partir des dimensions minimales du pas de PLA. Ensuite, le β_r est calculé en fonction de la valeur de niveau '0'. Et puis le β_c , le W_c et le L_c de TC seront fixés, car tous les TS ont les mêmes dimensions et par conséquent ceux de TC aussi. A partir de ces valeurs de TC et TS le temps de réponse total du PLA est calculé en utilisant le modèle présenté ci-dessus.

Ce type de conception peut être utilisé (i) quand les valeurs de E , M , S ne sont pas élevées pour avoir un temps de réponse modéré (ii) quand le temps de réponse n'est pas très important.

Pour les PLA ayant des valeurs E , M , S élevées et pour avoir un temps de réponse minimal, les modifications dans la conception sont faites en fonction des valeurs E , M , S .

Pour effectuer ces modifications l'effet de E , M , S sur le modèle sera considéré.

A partir des expressions pour R_1 , C_1 , R_2 , C_2 , C_3 l'influence de E , M , S sur ces facteurs est le suivant :

- . Augmentation de $E \Rightarrow$ Augmentation de C_2
- . Augmentation de $M \Rightarrow$ Augmentation de R_1 , C_1 , C_3
- . Augmentation de $S \Rightarrow$ Augmentation de R_2 , C_2

Deuxièmement les trois parties t_1 , t_2 , t_3 dans le temps de réponse total, ne sont pas du même type. Quand t_1 , t_3 sont des temps de montée, t_2 est le temps de descente et vice-versa. Mais le temps de montée du niveau '0' au niveau '1' est beaucoup plus grand que le temps de descente du niveau '1' au niveau '0'. Donc, précharger les lignes avant l'activation des signaux d'entrée, diminue le temps de réponse total. Les lignes à précharger sont munies de transistors de charge enrichis commandés au lieu de transistors de charge déplétés. Les dimensions de ces transistors ne sont pas dépendants des transistors de signaux. Ainsi la résistance de précharge peut varier en fonction du temps de précharge disponible.

A cause de la différence du fonctionnement en t_1 , t_2 , t_3 , soit les lignes d'entrées et de sorties, soit les lignes de monômes peuvent être préchargées.

Quand le PLA fonctionne avec t_1 , t_3 comme temps de descente et t_2 comme temps de montée, les lignes de monômes peuvent être préchargées pour les valeurs de E et/ou S élevées. Mais l'inconvénient est la nécessité d'inverser les signaux de sortie pour avoir au niveau '1' des signaux d'activation à la sortie du PLA. Dans ce cas, le modèle sera le suivant :

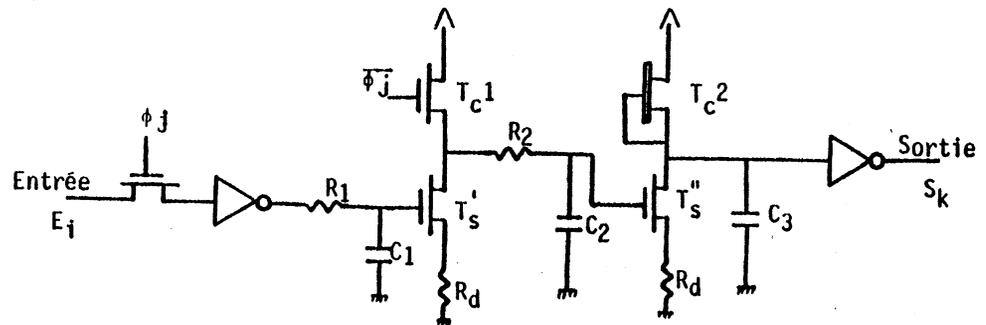
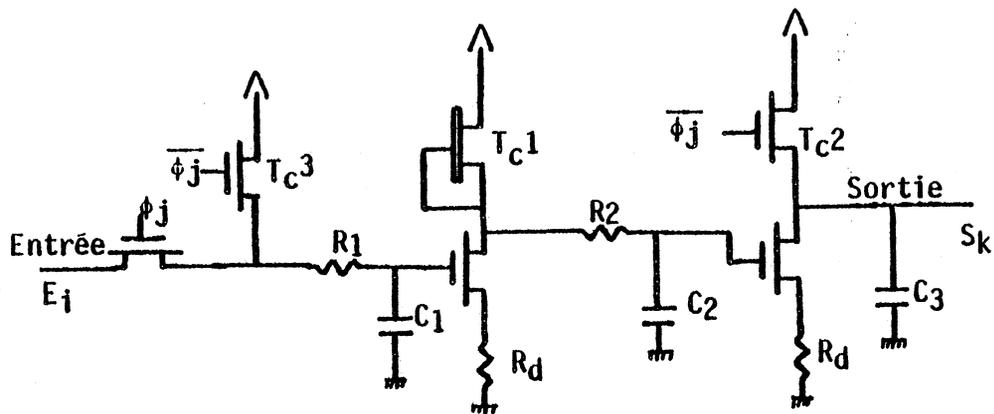
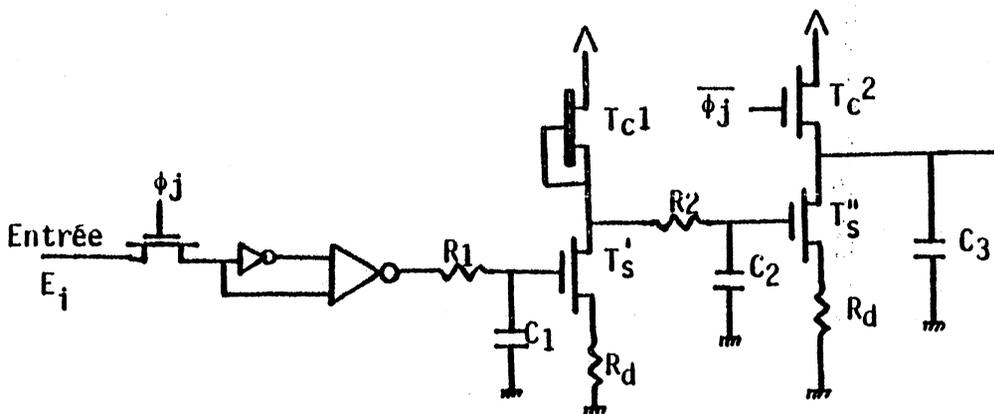


Figure 38

Dans l'autre mode de fonctionnement, c'est-à-dire t_1 , t_3 comme temps de montée et t_2 comme temps de descente, nous avons pour une valeur de M élevée (i) soit des lignes d'entrée et de sortie pouvant être préchargées, soit uniquement des lignes de sorties pouvant être préchargées. Dans le dernier cas l'amplificateur de puissance peut être utilisé pour réduire la partie t_1 (pour charger C_1 à travers R_1) dans le temps de réponse. Ces deux cas sont illustrés dans la figure 39.



(a) Les lignes d'entrées et sorties sont préchargés



(b) Les lignes de sorties sont préchargés

Figure 39

Les transistors enrichis ne peuvent pas précharger jusqu'à V_{DD} car ils sont bloqués quand $V_{GS} < V_{TH}$. Avec les lignes remontant vers le niveau '1' les résistances R_{on} de ces transistors augmentent de plus en plus. Pour compenser ce désavantage les lignes seront préchargées et la valeur maintenue avec un transistor MOS déplété de W/L faible. La figure 40 illustre l'incorporation des transistors enrichis et déplétés pour précharger les lignes d'entrées et de sorties pour une valeur de M élevée.

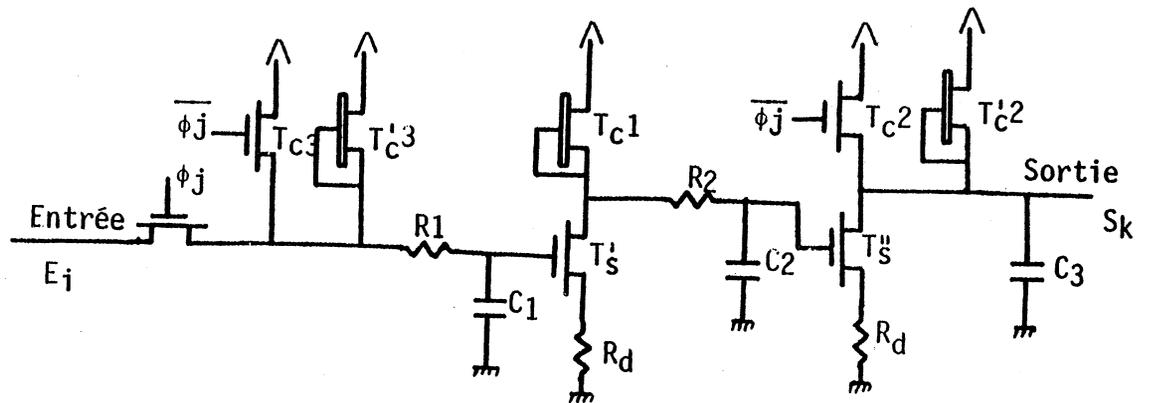


Figure 40

Il faut également noter que cette technique de réduction du temps de réponse se fait au prix d'une augmentation de surface nécessaire pour ces transistors de charge.

Bien que les techniques d'optimisation topographique des PLA réduisent la surface en dehors de la surface des transistors de charges et des amplificateurs, elles ne réduisent pas dans la même proportion ce temps de délai à cause des raisons suivantes :

- (i) Le nombre minimum de dispositifs actifs (TS) ne diminue pas. Quelquefois il peut même augmenter.
- (ii) Par conséquent, la réduction des valeurs de R_1 , C_1 , R_2 , C_2 , C_3 ne sera pas dans la même proportion que la réduction de surface.

Les modèles et le fonctionnement électrique sont expliqués avec les lignes d'entrée en Silicium polycristallin, des lignes de sortie en Alu et des lignes de monômes en Alu et Silicium polycristallin. Dans d'autres cas, les modèles peuvent être modifiés suivant le type des matériaux employés.

CONCLUSIONS

Les méthodes présentées dans cette partie pour la conception électrique des portes logiques, des points de mémorisation et les PLA soulignent les différents aspects à considérer dans la conception des circuits intégrés au niveau électrique.

La méthode de calcul des géométries des transistors MOS dans les portes logiques permet d'aboutir à un outil CAO dont l'approche de paramétrisation facilite les calculs répétitifs surtout quand on considère des réseaux de portes logiques.

L'ensemble des quatre types de points de mémorisation, en soulignant la supériorité de la structure 4, permet de faire un choix quand cela est possible.

La modélisation et la conception des PLA présentent un intérêt lorsque la conception des circuits intégrés est basée sur des dispositifs ayant une structure répétitive.

De plus, les portes logiques, les points de mémorisation et les PLA sont des éléments principaux, quel que soit le circuit intégré à concevoir.

DEUXIÈME PARTIE

CONCEPTION TOPOGRAPHIQUE (IMPLANTATION)

INTRODUCTION

L'implantation des circuits intégrés est une des étapes les plus importantes de la conception. Cette étape consiste à transformer les schémas logiques et électriques en dessins de masques en respectant les règles de dessin technologiques. Cette étape, devient de plus en plus fastidieuse avec l'augmentation du nombre des éléments à placer sur la pastille de silicium, si elle est manuelle. Les performances et le rendement des circuits dépendent de la qualité de l'implantation. Ici nous n'aborderons que les méthodes automatiques.

La diversité dans les méthodes d'implantation provient :

- . de la dépendance de la technologie,
- . des variations des contraintes,
- . des variations des méthodologies de conception.

L'implantation en général contient cinq phases :

- 1) Définition topographique des éléments.
- 2) Placement de ces éléments suivant certaines contraintes.
- 3) Tracé des connexions nécessaires entre ces éléments de manière préétablie.
- 4) Vérification du dessin de masques pour supprimer les violations des règles de dessin technologiques.
- 5) Extraction du schéma logique et électrique à partir des masques.

Ces cinq phases sont effectuées dans cet ordre. En présence d'une erreur ou d'une modification il est nécessaire d'effectuer un retour en arrière. Les trois premières phases font la synthèse topographique du circuit et les deux dernières font l'analyse de cette topographie. La synthèse va influencer sur les performances; l'analyse assure un fonctionnement correct. Le but de la synthèse est de trouver une solution topographique optimale ou proche de l'optimal.

La complexité de la partie synthèse dépend d'une part du nombre des éléments et d'autre part du nombre des critères à optimiser. Par contre, celle de l'analyse dépend seulement du nombre des éléments. Ainsi la synthèse sera une étape coûteuse en temps. Nous considérons ici les problèmes de la synthèse et en particulier le problème du placement des éléments et de tracés des connexions.

Dans le §1, le problème est présenté dans toute sa généralité. Dans le §2, les principaux travaux effectués dans ce domaine sont exposés. Dans le §3 notre méthode de placement par l'approche multi-niveaux est expliquée.

I - PRÉSENTATION DU PROBLÈME

Les dessins des éléments d'un ensemble E étant définis, le problème du placement consiste à attribuer une position à chaque élément, sur la pastille en minimisant un ou plusieurs critères suivants :

- la longueur des connexions
- la surface des circuits
- le nombre des croisements des interconnexions.

Ces trois critères sont assez souvent employés, bien que cette liste ne soit pas exhaustive, et ont une interprétation propre à chaque technologie.

Ici nous nous sommes intéressés au problème du placement sur un plan continu avec une géométrie variable des éléments; ni la surface du circuit, ni les coordonnées des éléments sur la pastille ne sont pas fixés a priori. Il s'agit donc d'un problème de placement très général, englobant de nombreux cas particuliers.

A partir d'une solution de placement estimée bonne et de la description des interconnexions de ces éléments, le problème de tracé est de définir le chemin physique pour chaque interconnexion. Le nombre des couches de connexions varie entre 1 et 3 sans tenir compte des passages diffusés supplémentaires mis en place en cas de nécessité.

Les deux critères à optimiser sont :

- la minimisation de la longueur de chaque connexion et par conséquent la minimisation de la longueur totale des connexions;
- la minimisation de la surface inutile générée pendant le tracé.

Comme dans le placement on peut ajouter des critères au fur et à mesure de leur nécessité. Une caractéristique souhaitée du tracé est de pouvoir tracer 100% de connexions sans intervention humaine.

II - ÉTUDE BIBLIOGRAPHIQUE

II - 1. PLACEMENT

II - 1.1. Introduction

Etant donnés n éléments avec leur graphe de connectivité, le problème consiste à placer ces éléments soit sur m positions ($m \geq n$), soit sur une surface S ($S \supseteq S_1 \cup S_2 \cup \dots \cup S_n$ où S_1, S_2, \dots, S_n sont des surfaces individuelles de chaque élément) en tenant compte de diverses contraintes physiques (taille et forme des éléments, interconnexions...) de façon à faciliter le tracé ultérieur de toutes les connexions. Cette facilité d'interconnexion peut être mesurée par de nombreux critères. Le choix d'une "meilleure" solution passe par la définition d'une fonction objective tenant compte de ces critères. Leur diversité rend difficile l'élaboration de cette fonction objective, qui serait sans doute très lourde à manipuler dans ce problème de placement. On se limite donc en général à minimiser un critère relativement simple comme la longueur des connexions. On constate que ces critères simples conduisent à des solutions acceptables.

Dans ce cas général une fonction objective linéaire avec les différents critères est définie comme suit :

$$f = \alpha_1 C_1 + \alpha_2 C_2 + \alpha_3 C_3 + \dots + \alpha_n C_n$$

où $C_1, C_2 \dots C_n$ sont des valeurs des critères normalisés;

$\alpha_1, \alpha_2 \dots \alpha_n$ sont des coefficients de poids des critères. Leurs valeurs varient entre $-1 \leq \alpha \leq 1$. Par cette définition on peut faire varier l'importance relative en faisant varier les valeurs des coefficients α .

Cette fonction objective est linéaire; l'optimisation des critères (valeur maximale ou minimale) devra se traduire par une optimisation de la fonction (maximum ou minimum). Notons que les coefficients α peuvent avoir des signes opposés (une partie des critères à minimiser et l'autre partie à maximiser).

Quelques problèmes mathématiques connus, associés au problème du placement, facilitent la formulation de celui-ci. Nous allons citer les problèmes mathématiques les plus classiques.

II - 1.2. Problèmes mathématiques connus

Les problèmes mathématiques connus d'assignation linéaire, d'assignation quadratique et du voyageur de commerce, liés au problème de placement, sont examinés. On suppose que les nombre d'éléments n et de positions m sont égaux, en ajoutant au besoin des éléments fictifs pour se ramener à ce cas.

a) Le problème d'assignation linéaire

Etant donné a_{ij} le coût de l'affectation de l'objet i à la place j ($i, j = (1, 2, \dots, n)$), on cherche la permutation p sur $\{1, 2, \dots, n\}$ telle que le coût total $\sum_i a_{ip(i)}$ soit minimum ($p(i)$ étant la place assignée à l'objet i).

Il faut noter que a_{ij} dépend uniquement de l'objet i et de la place j , et par conséquent ne dépend pas de l'affectation des autres objets.

b) Problème d'assignation quadratique

C'est une généralisation du problème d'assignation linéaire. Etant données la matrice "coût" $C = [C_{ij}]$ (où C_{ij} mesure l'affinité entre les objets i et j) et la matrice "distances" $D = [d_{ij}]$ (d_{ij} étant la distance entre les places i et j), C et D de dimension $n \times n$, on cherche la permutation p sur $\{1, \dots, n\}$ qui minimise le coût global $\sum_{i,j} C_{ij} d_{p(i) p(j)}$ ($C_{ij} d_{p(i) p(j)}$ représente le coût de l'affectation de i et j aux places $p(i)$ et $p(j)$).

c) Problème du voyageur de commerce

Un voyageur de commerce doit visiter n villes (un seul passage dans chaque ville) et revenir à son point de départ, en ayant parcouru la distance minimum. Etant donné a_{ij} la distance entre les villes i et j , on cherche le cycle hamiltonien $t = \{(i_1, i_2), (i_2, i_3), \dots, (i_{n-1}, i_n), (i_n, i_1)\}$ tel que la distance totale $\sum_{(i,j) \in t} a_{ij}$ soit minimum. ((i,j) représente une arête du cycle entre les villes i et j).

Les problèmes de placement que l'on peut traiter à l'aide de ces outils mathématiques sont :

(i) Placement des opérateurs, sur une puce communiquant avec l'environnement mais n'ayant aucune interaction directe entre eux; l'affectation des plots d'entrées et sorties, mise en place des amplificateurs des plots d'entrées et sorties. Ces problèmes peuvent être formulés dans les mêmes termes que l'assignation linéaire.

(ii) Placement des opérateurs de même taille et fixes sur des positions déterminées d'une puce avec minimisation de la longueur totale des connexions. Ce problème peut se ramener au problème d'assignation quadratique où C_{ij} représente le nombre des connexions entre les opérateurs i et j et $d_{p(i) p(j)}$ la distance rectilinéaire entre les positions $p(i)$, $p(j)$ de ces opérateurs.

(iii) Recherche d'une chaîne de longueur minimale réalisant une connexion à multi-terminaux. Ce problème se traduit en terme de problème de voyageur du commerce où i_1, i_2, \dots, i_n sont des noeuds de connexion et a_{ij} est la distance entre les noeuds i et j . La fonction objective à minimiser sera $\sum_{i,j \in t} a_{ij} - a_{1n}$.

Il n'est pas envisageable de résoudre ces problèmes en énumérant les $n!$ permutations, sauf éventuellement pour des valeurs petites de n . Des méthodes déterminant des solutions moins coûteuses sont proposées par Munkres [MU 57] (solution optimale) et Kurtzberg [KU 62] (solution approchée) pour le problème de l'assignation linéaire, par Little [LI 63] (solution optimale par la méthode du "branch and bound") et par Rosenkrantz [RO 76] (solution approchée par des méthodes heuristiques) pour le problème du voyageur de commerce, par Gilmore [GI 62] et Lawler [LA 63] (solution optimale par la méthode "branch and bound") et Steinberg [ST 62] (solution approchée) pour le problème de l'assignation quadratique.

La méthode proposée par Steinberg consiste à décomposer le problème d'assignation quadratique en des problèmes d'assignation linéaire. Pour cela, on partitionne l'ensemble des objets en sous-ensembles, tels qu'il n'existe aucune interaction entre les objets d'un même sous-ensemble (pas d'interconnexion entre les éléments d'une même partition). Le coût du placement d'un objet i est donc indépendant de la position des autres objets d'un même sous-ensemble. Le coût global d'un placement initial est optimisé en minimisant le coût du placement des objets dans chaque sous-ensemble, c'est-à-dire qu'on résoud un problème d'assignation linéaire dans chaque partition. La figure 1 décrit l'algorithme général de cette méthode.

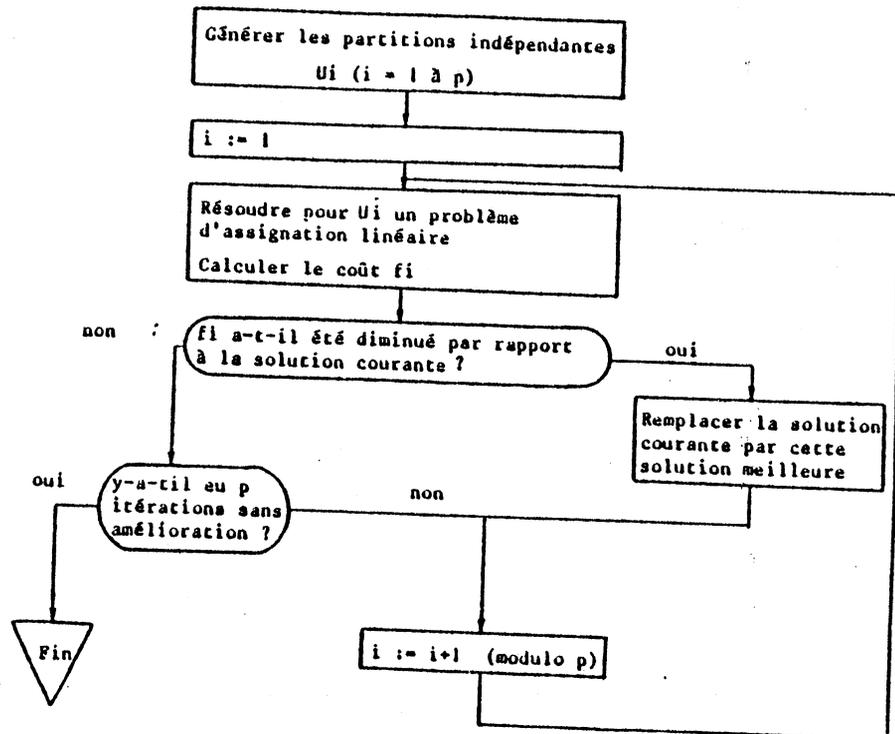


Figure 1 Algorithme général de la méthode de Steinberg

II - 1.3. Méthodes de placement

Les méthodes de placement peuvent être classées en deux catégories :

- les méthodes conduisant à une solution optimale,
- les méthodes conduisant à une solution pas toujours optimale (approchée) en restant néanmoins acceptable.

Les méthodes de la première catégorie conduisent à la meilleure solution au prix d'un temps de calcul prohibitif qui les rend impraticables sauf pour des circuits de très faible complexité. En revanche, les méthodes de la deuxième catégorie, applicables à la résolution du problème de placement, présentent un grand intérêt pratique.

II - 1.4. Recherche d'une solution optimale

II - 1.4.1. Méthode énumérative

On construit un arbre sur n niveau, la racine étant le niveau 0, pour énumérer les $n!$ combinaisons du placement des n objets.

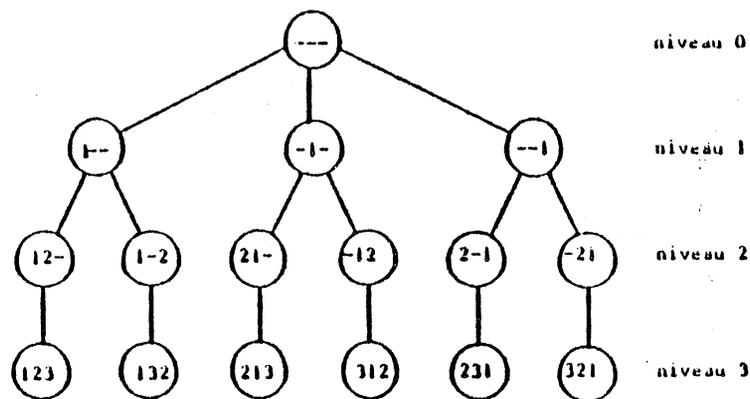


Figure 2 Exemple de construction de l'arbre complet pour $n=3$

Au $k^{\text{ième}}$ niveau, k objets ont été placés et il reste $(n-k)$ positions possibles pour l'élément suivant, c'est-à-dire que $(n-k)$ branches partent de chaque noeud du niveau k vers le niveau $k+1$. La solution est générée au $n^{\text{ième}}$ niveau.

II - 1.4.2. Méthode semi-énumérative : "branch and bound"

Cette méthode, introduite par Little [LI 63] pour résoudre le problème du voyageur de commerce, consiste à développer une partie de l'arbre complète pour rechercher la solution optimale. Tout d'abord on évalue un coût minimum nécessaire sans rechercher la solution particulière. Le coût de la solution définitif sera supérieur à ce minimum. Ensuite l'arbre est développé par niveaux comme défini précédemment. Mais dans cette méthode l'arbre est développé par rapport à un seul noeud à la fois. Un tel noeud aura un coût partiel minimum à ce niveau. Les coûts partiels des autres noeuds sont stockés pour servir dans le cas d'un

retour arrière. Le retour en arrière du K ième niveau au $K-1$ ième est effectué s'il existe au moins une solution partielle au k ième niveau ayant son coût inférieur aux solutions du k -ième niveau. Donc cette méthode conduit dans la pratique, sans construire l'arbre complet à une solution optimale quand le nombre d'objets est limité ($n < 15$). Son efficacité dépend de la précision avec laquelle le coût partiel est évalué, ce qui permet d'élaguer plus ou moins l'arbre complet. Cependant, il faut noter qu'une grande précision dans l'évaluation de la solution partielle réduit la partie de l'arbre à rechercher. Divers algorithmes basés sur cette méthode, ainsi que leurs applications sont clairement exposés dans [HA 72] et [RE 77].

II - 1.5. Recherche d'une solution approchée

II - 1.5.1. Méthodes constructives [HA 72]

La méthode de placement constructif consiste à sélectionner un élément suivant une règle (en général, l'élément le plus connecté à un ou plusieurs éléments de l'ensemble déjà placé), puis à le positionner en optimisant une fonction objective (on minimise, par exemple, la longueur des interconnexions). Les règles de sélection et de positionnement permettent de définir différentes méthodes.

II - 1.5.2. Construction par paire

L'élément le plus connecté à l'un des éléments déjà positionnés est choisi, puis placé le plus près possible de cet élément de manière à minimiser la longueur des connexions. Le placement est initialisé en choisissant comme noyau la paire d'éléments ayant le plus grand nombre de connexions communes. Cette méthode, assez peu utilisée, est illustrée dans [KU 65].

II - 1.5.3. Méthode de développement par agrégation

L'élément le plus connecté aux éléments déjà positionnés est choisi, puis placé de manière à ce que les interconnexions soient le plus court possible, par exemple en utilisant la notion de barycentre. On affecte à chacun des éléments positionnés un poids, fonction du nombre de connexions avec l'élément sélectionné et on calcule leur barycentre. L'élément sélectionné est alors placé à ce barycentre, ou lorsque cette position est occupée par un autre élément, le plus près possible de ce barycentre.

La figure 3 décrit l'algorithme général correspondant à cette méthode. Voir dans [KH 77] [PR 78] [PR 78] des applications de cette méthode à la construction d'un placement initial.

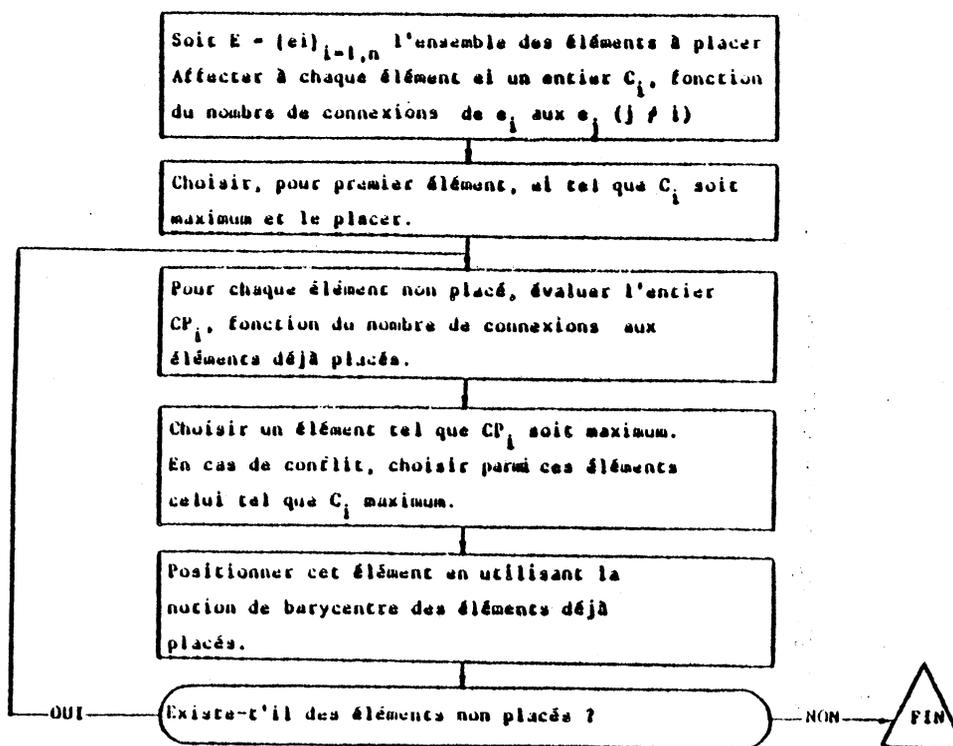


Figure 3 Algorithme de la méthode de développement en cluster

II - 1.5.4. Méthode de développement du noyau

A partir de certains critères préétablis le premier élément (noyau) est choisi et placé. Ensuite une couche d'éléments est placée autour de ce noyau. Le noyau pour les éléments de niveau suivant est l'ensemble de l'ancien noyau plus les éléments du niveau précédent. Ce procédé est répété jusqu'à ce qu'il n'y ait plus d'éléments à placer. Le choix des éléments et leurs positionnement dans chaque niveau dépend du critère défini à priori. Cela permet de construire une solution initiale qui croît plus ou moins uniformément dans les quatre directions. Cette méthode est bien adaptée aux problèmes de placement des éléments sur une pastille du silicium car la forme du circuit est plus ou moins carrée. Cette méthode est employé dans [PR 79].

II - 1.6. Méthodes itératives

Un placement initial, obtenu préalablement est transformé en modifiant l'emplacement d'un élément ou en échangeant certains éléments de manière à réduire le coût du placement final (surface, longueur et nombre de croisements des connexions à tracer..). La transformation est effectuée jusqu'à ce que le placement ne soit plus amélioré.

II - 1.6.1. Echange de n éléments à la fois

A chaque itération, un nombre n des éléments sont permutés, et les critères sont évalués. La solution est meilleure quand n est grand, mais le temps de calcul augmente avec n. De plus, quand les éléments n'ont pas la même géométrie et les mêmes dimensions on ne peut pas effectuer l'échange des n éléments à la fois. En général, la valeur de n est choisie égale à 4 ou 5 pour avoir un compromis entre la qualité de la solution et le temps de calcul [GO 79].

Le nombre d'itérations à effectuer pour le cas exhaustif est

$N_{c_n} * n_{c_2}$ où N est le nombre des éléments à placer.

11 - 1.6.2. Echange par paire

A chaque itération, le placement est modifié par l'échange de deux éléments. Deux algorithmes d'itérations sont possibles :

- effectuer tous les échanges que permet la méthode et conserver la meilleure solution. On réitère, à partir de cette configuration jusqu'à ce qu'il n'y ait plus d'amélioration;
- effectuer les échanges que permet la méthode jusqu'à la première amélioration. On réitère à partir de cette configuration améliorée jusqu'à ce qu'aucun échange ne soit plus accepté.

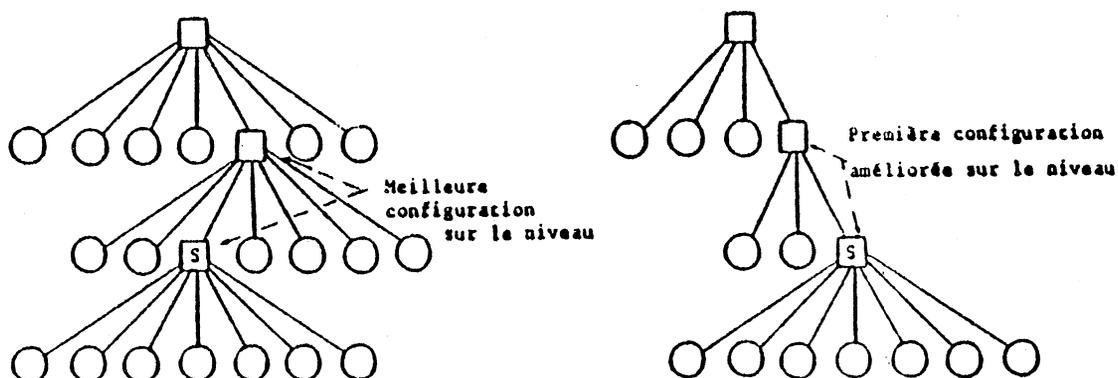


Figure 4 Arbres développés par les deux méthodes d'itération

Ces deux algorithmes ne conduisent en général pas à la même solution et ne peuvent pas être comparés de manière absolue.

Le choix des éléments à échanger peut être réalisé de diverses manières :

- échange systématique des $n(n-1)/2$ paires obtenues lors d'un placement de n éléments [LE 80];
- choix pseudo-aléatoire des paires d'éléments à échanger [LU 80];
- échange d'éléments vérifiant une certaine propriété :

- . éléments voisins [WI 74];
 - . éléments fortement connectés [GL 59];
 - . éléments tels que chacun des deux éléments se trouve dans le voisinage du barycentre calculé en supprimant l'autre élément (force directed pairwise relaxation) [WI 74];
- Une variante de cette méthode, consistant à effectuer simultanément deux échanges, est proposée dans [SM 80].

II - 1.6.3. Méthode par relaxation

Considérons un ensemble de n éléments placés : $n-1$ éléments étant fixés, un élément est déplacé vers le barycentre des $n-1$ éléments auxquels il est connecté (le poids associé à un élément est fonction du nombre de connexions avec l'élément déplacé). La méthode consiste à modifier le placement en considérant à chaque itération un élément différent, et s'arrête quand les modifications effectuées ne réduisent plus le coût du placement [FIS 67][GO 79]. La simplicité de cette méthode vient du fait que le nombre maximal d'itérations est égal à n .

II - 1.7. Méthode stochastique [HA 72]

On génère, suivant la méthode de Monte Carlo, plusieurs placements dont on évalue les coûts.

La meilleure des solutions générées est retenue : le calcul s'arrête de deux manières :

- . après un temps fixé à l'avance, c'est-à-dire après un nombre fixé de solutions générées,
- . quand la solution retenue est satisfaisante, c'est-à-dire que son coût est inférieur ou égal à une valeur fixée à l'avance.

II - 1.8. Changement d'orientation d'un élément

Le placement est transformé en appliquant à chacun des éléments des opérations de rotation ou de symétrie [PR 78][LAU 79][MA 81]. Cette méthode est intéressante en particulier pour le placement de cellules ou de blocs rectangulaires.

II - 1.9. Méthode constructive + itérative

L'utilisation d'une méthode constructive suivie d'une méthode itérative permet en général d'obtenir un bon placement. La méthode constructive délivre un placement initial qui ne peut clairement pas constituer une solution satisfaisante. En effet, un élément est placé en fonction des seuls éléments déjà positionnés et par conséquent pas en fonction de tous les éléments. Ce placement initial est ensuite amélioré au moyen d'un algorithme itératif. La plupart des méthodes de placement exposées dans la littérature sont basées sur ce principe.

Notons qu'en général les résultats obtenus après amélioration itérative d'un placement initial construit sont meilleurs qu'avec un placement initial aléatoire [GO 78]. Il peut aussi être intéressant de construire plusieurs solutions initiales et de les soumettre à une procédure itérative pour en conserver la meilleure [GO 79].

II - 1.10. Conclusion

La complexité croissante des circuits rend les problèmes de placement de plus en plus critiques. La méthode la plus couramment utilisée dans la pratique consiste à construire rapidement un placement initial (construction par paire ou développement en cluster) et de l'améliorer par une méthode itérative (échange par paire).

La complexité des algorithmes employés varie de n^2 (n désignant le nombre d'éléments à placer) pour les échanges par paire et certaines méthodes constructives à n^4 pour la méthode du "Branch and Bound".

Cependant, ces ordres de complexité ne reflètent que partiellement les temps de calculs requis par ces méthodes. Par exemple, le placement constructif, bien que du même ordre de complexité que l'échange par paire, traite plus rapidement les problèmes où le nombre d'éléments à placer est grand. De même, l'évaluation d'une méthode ne doit pas négliger la façon dont les critères que l'on veut optimiser (longueur et nombre de croisements des connexions, surface,...) sont évalués. En tout état de cause, cette méthode ne produit en général pas une solution optimale mais une solution localement optimale souvent acceptable.

II - 2. TRACE

II - 2.1. Introduction

Une fois le placement des éléments réalisé, le problème du tracé peut être fractionné en quatre étapes successives :

- déterminer la liste des connexions,
- affecter chaque connexion à une couche,
- déterminer l'ordre du tracé,
- réaliser le tracé effectif sur chaque couche.

Nous aborderons très brièvement les trois premiers points qui préparent le tracé effectif et nous nous intéresserons de manière plus détaillée aux méthodes les plus courantes de tracé de connexions : algorithmes de Lee et principales variantes, algorithme de recherche par ligne, algorithme d'expansion par ligne, méthode par assignation de canaux, méthode par zone saturée. Elles consistent à déterminer le chemin suivi par une connexion physique entre deux points.

II - 2.2. Préparation du tracé

La liste des éléments et la description de leurs interconnexions définissent les types de connexions à tracer. Il existe deux types de connexions :

- (i) les connexions a deux terminaux,
- (ii) les connexions multi-terminaux.

Dans le dernier cas la longueur d'une connexion dépend d'une part du nombre des noeuds de la connexion et d'autre part du tracé des connexions entre ses noeuds. Les trois façons, souvent utilisées, pour tracer une connexion multi-terminale sont :

- (i) recherche d'un arbre minimal couvrant cette connexion,
- (ii) recherche d'un arbre de Steiner avec les points du Steiner minimum [AK 72][HA 66],
- (iii) recherche d'une chaîne minimale couvrant cette connexion.

Dans ces trois méthodes on détermine un ensemble des connexions à deux terminaux couvrant cette connexion et de longueur totale minimale. Le choix d'une méthode ou de l'autre est fait suivant les contraintes imposées.

Une fois déterminée la liste des connexions à tracer, leur implantation dépend beaucoup de la technologie utilisée [FL 74]. Si sur une couche les croisements de connexions sont impossibles, on devra utiliser deux ou plusieurs niveaux. Pour un tracé en bi-couches, on trace par exemple le plus grand nombre de connexions sur une couche puis on termine le tracé sur l'autre; on obtient par cette méthode un nombre réduit de contacts de passage. Une autre politique peut être employée pour le tracé multicouches : on définit des classes de connexions suivant leur tendance directionnelle et on affecte chaque classe à une couche. Abel [ABE 72] décrit plusieurs méthodes et conclue qu'il n'en n'existe pas, dans tous les cas, une supérieure aux autres.

On examine ensuite chaque couche pour déterminer l'ordre dans lequel chaque connexion doit être tracée. Des algorithmes basés sur la longueur des connexions (choix de la plus courte, choix de la plus longue..) et simples à exécuter ont été développés [AK 72]. Une autre méthode consiste à construire le rectangle minimum autour d'une connexion et de dénombrer les extrémités (des autres connexions) qu'il contient. Ces valeurs affectées à chacune des connexions et considérées dans l'ordre croissant déterminent alors l'ordre de tracé. La figure 5 illustre cette méthode proposée par Akers.

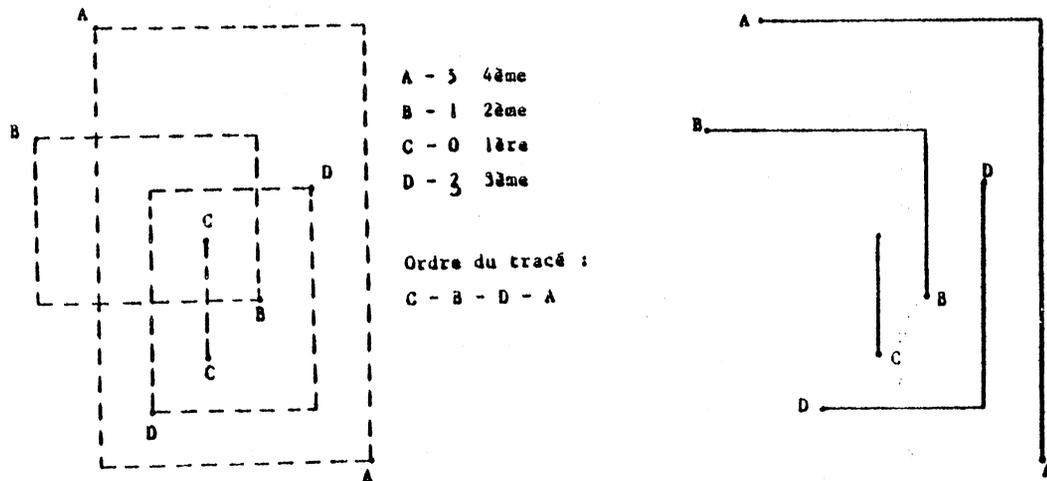


Figure 5 Exemple de détermination de l'ordre du tracé

Les modifications nécessaires pour tenir compte des interactions entre connexions compliquent beaucoup ces algorithmes et accroissent les temps de calcul même pour les cas simples [ABE 72] [KU 79].

II - 2.3. Méthodes de tracé des connexions

II - 2.3.1. Algorithme de Lee [LE 61] [RU 74]

L'algorithme de Lee est sans doute la méthode la plus connue pour rechercher un chemin entre deux points A et B disposés sur un plan. Cet algorithme est en fait utilisé le plus souvent sur une grille rectangulaire, chaque case pouvant être vide, ou contenir un obstacle fixe ou une connexion.

Le processus est initialisé avec l'un des points A ou B à relier (les deux points ne sont pas équivalents quant au calcul nécessaire pour déterminer le chemin entre A et B). Une onde est développée autour du point choisi (par exemple A) : un 1 est stocké dans chaque case vide adjacente à A. Puis un 2 est stocké dans chaque case vide adjacente aux cases contenant un 1. Et ainsi de suite jusqu'à l'une des deux situations suivantes :

- le processus se bloque, c'est-à-dire qu'au k^{ième} pas, on ne peut plus trouver de case vide adjacente à celles contenant K-1. Il n'existe dans ce cas aucun chemin entre A et B;
- le point B est atteint : le plus court chemin entre A et B a été déterminé. La connexion est alors considérée comme un obstacle pour les suivantes.

La figure 6 illustre sur un exemple cette méthode.

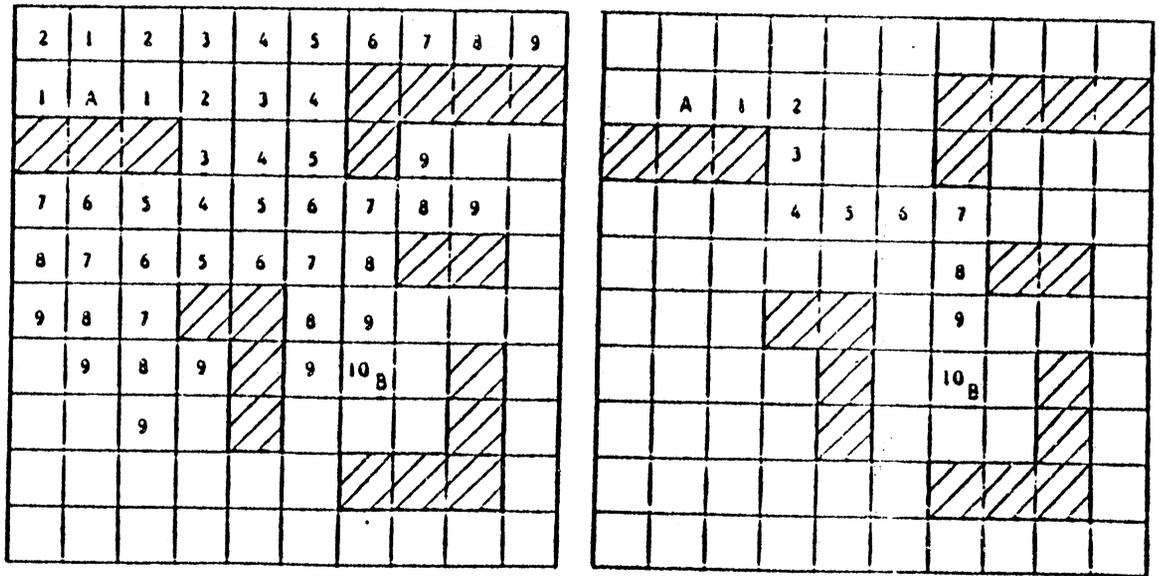


Figure 6 Illustration de l'algorithme de Lee

Quand le chemin existe, on trace la connexion en remontant de B vers A, en choisissant une des cases adjacentes du pas précédent. Si en théorie, le choix d'une case plutôt qu'une autre importe peu, en pratique quelques règles sont utilisées. Le nombre de coudes de la connexion est minimisé en effectuant le moins possible de changement de direction. Quand un changement de direction est nécessaire, à cause d'un obstacle, il pourra être effectué selon une règle de priorité précédemment définie. Ceci permet de privilégier une direction et d'obtenir des réseaux uniformes.

La phase d'expansion de l'algorithme de Lee précédemment exposé prend environ 90% du temps utilisé pour le tracé. Plusieurs modifications simples de l'algorithme original permettent une réduction de ce temps.

- Un choix judicieux du point autour duquel l'onde est développée peut permettre, comme l'illustre la figure 7, un gain appréciable en temps. En règle générale, on choisira comme départ le point le plus éloigné du centre du circuit.

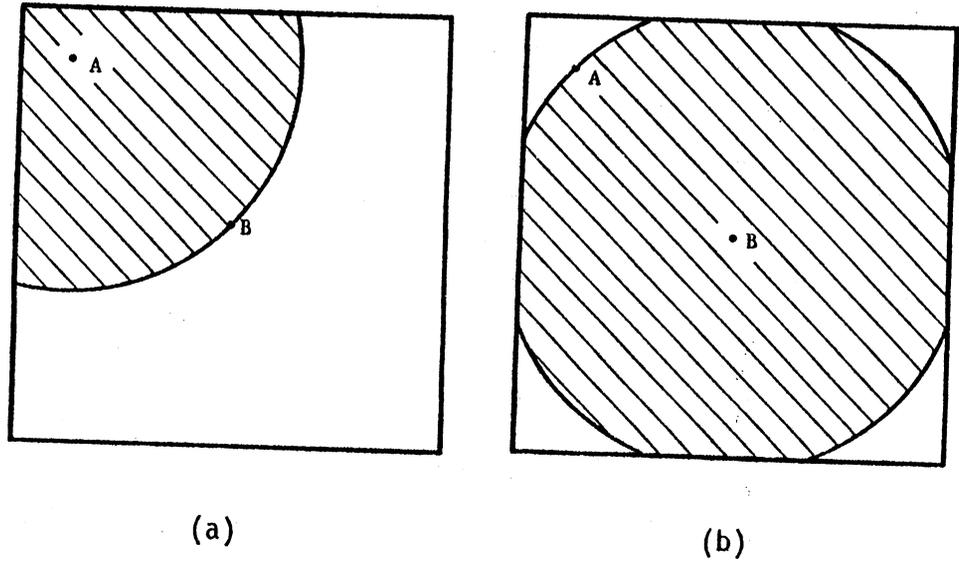


Figure 7 (a) Point de départ A

(b) Point de départ B

- Les deux points A et B sont considérés simultanément comme point de départ, et l'onde est développée autour de chacun d'eux (figure 8).

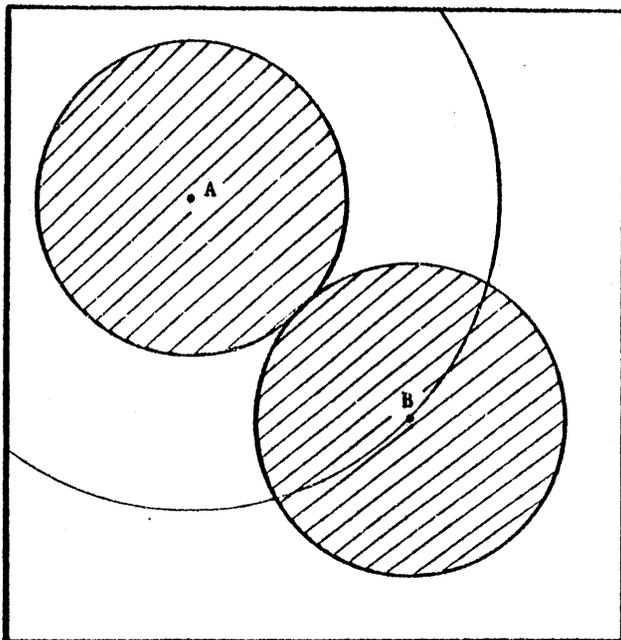


Figure 8 L'onde est développée simultanément
à partir de A et de B

- Un moyen pratique efficace consiste à limiter la zone de recherche du chemin à une fenêtre rectangulaire contenant A et B. Si aucun chemin n'est obtenu à l'intérieur de cette fenêtre, on pourra l'agrandir et continuer la recherche (figure 9).

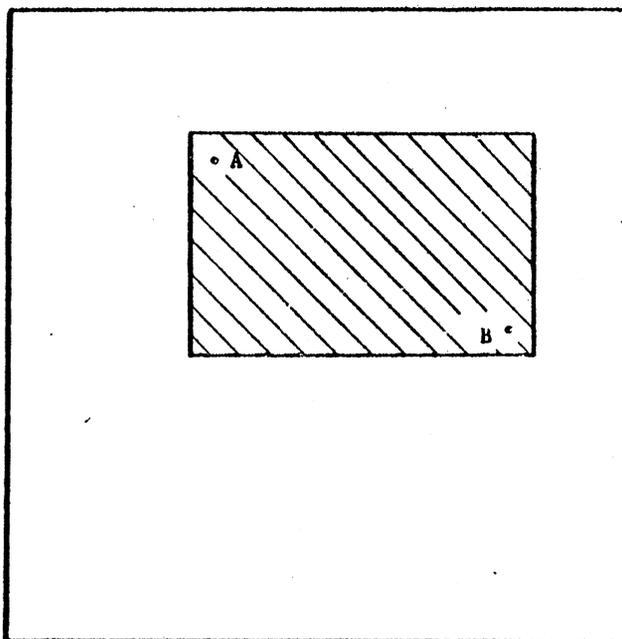


Figure 9 Limitation de l'expansion à
un rectangle

La méthode proposée dans [TA 80] considère une zone de recherche du chemin en forme de L (figure 10) dont on fait varier la largeur l à chaque itération.

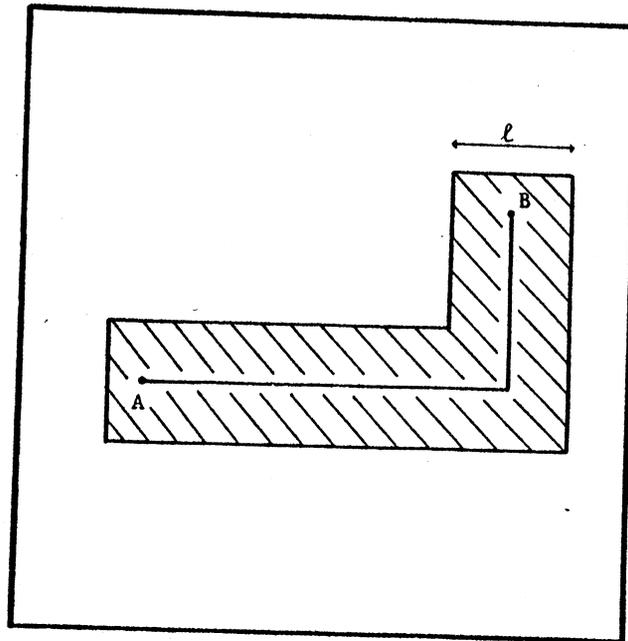


Figure 10 Limitation de l'expansion à une zone en forme L

L'algorithme (figure 11) consiste à rechercher le plus grand nombre de connexions (par la méthode de Lee) dans les zones de largeur fixée et de réitérer le procédé en augmentant la valeur de L . Cela a pour effet d'établir un pourcentage élevé ($< 90\%$) de connexions : en effet, chaque étape détermine des chemins dont le tracé est d'autant plus simple que L est petit, ce qui facilite le tracé des connexions suivantes. De plus, un gain en temps d'environ 25% est réalisé.

- Au lieu de développer une onde autour du point de départ, l'expansion est effectuée le long des directions horizontale et verticale le plus loin possible (figure 12). L'expansion continue ensuite perpendiculairement à l'axe le plus long obtenu précédemment, à partir de chacune des cases de cet axe. Cette modification proposée par Mikami [MI 68] permet de réduire de moitié le temps d'expansion.

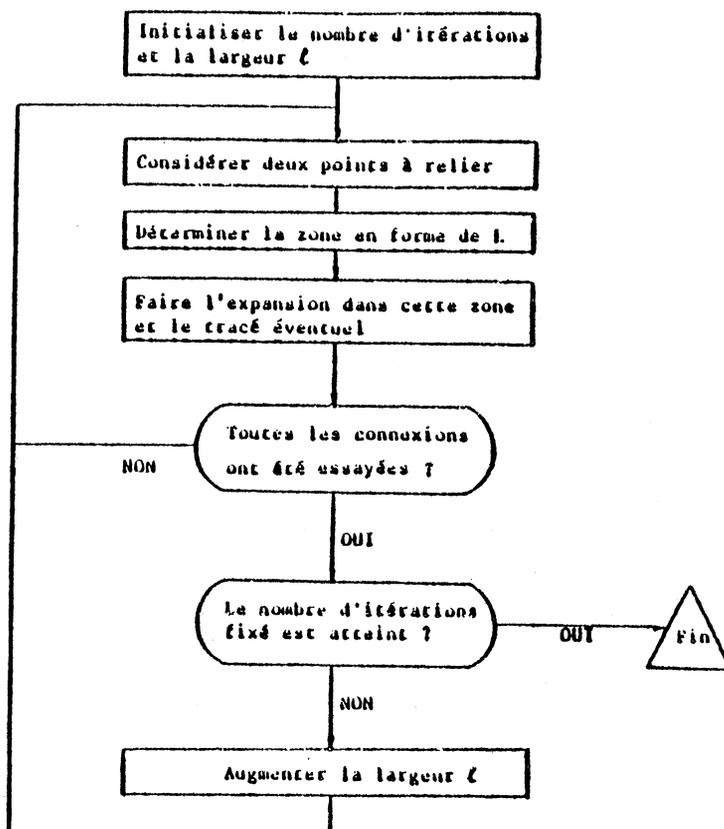
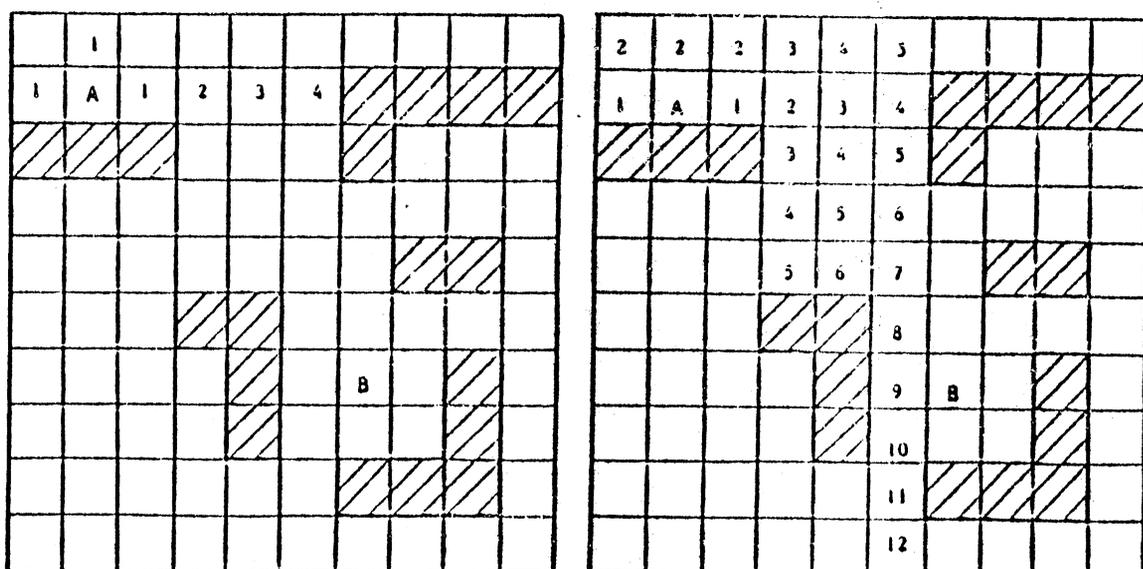


Figure 11 Variante de l'algorithme de Lee



Expansion verticale et horizontale

Expansion à partir des cases de l'axe horizontal

Figure 12 Variante de l'algorithme de Lee

Un gros inconvénient de la méthode de Lee est la place mémoire importante utilisée. En effet, chaque case de la grille est stockée en mémoire à l'aide de plusieurs bits indiquant son état (vide, obstacle, atteinte) et son rang dans l'expansion lorsqu'elle est atteinte. Une remarque [AK 67] a permis de diminuer le nombre de bits nécessaires pour coder chaque case : il est suffisant de pouvoir distinguer un "prédécesseur" d'un "successeur" lors de l'expansion pour réaliser le tracé de la connexion, une fois déterminé un chemin entre A et B. Cela permet un étiquetage de chaque case plus simple (le rang dans l'expansion est supprimé) pour lequel un "prédécesseur" a une étiquette différente d'un "successeur". La séquence 0-0-1-1-0-0-1-1... est satisfaisante. L'utilisation de cet étiquetage codé sur deux bits est illustré par la figure 13 :

- 00 case disponible
- 01 obstacle
- 10 case atteinte étiquetée 0
- 11 case atteinte étiquetée 1

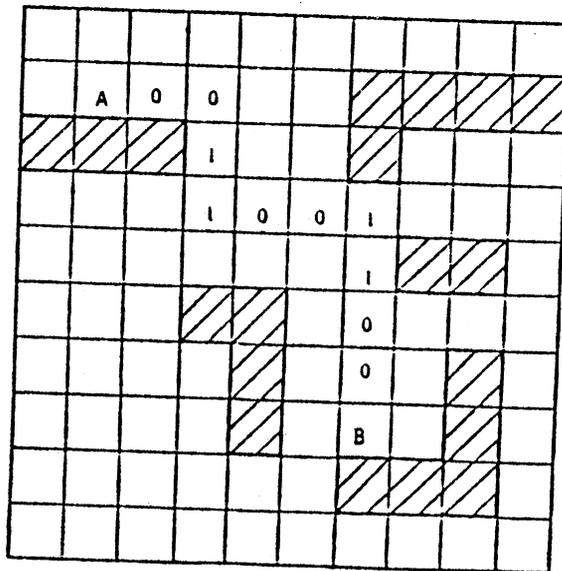


Figure 13 Utilisation d'un étiquetage minimum dans l'algorithme de Lee

Comme nous l'avons précédemment exposé, une connexion une fois tracée devient un obstacle fixe pour les autres et peut par conséquent allonger intempestivement une autre connexion, voire empêcher son tracé. Pour éviter ce type de conflit, Rubin dans [RU74] détermine pour chaque connexion le chemin le plus court (chemin alors privilégié) et supprime les croisements en déformant sans trop s'écarter du chemin privilégié ou en retraçant certaines des connexions en ayant alors une "vision" globale du circuit.

L'intérêt de la méthode de Lee réside dans le fait que, quand une solution existe, la plus courte est déterminée. Cependant, cette méthode est d'autant plus coûteuse que le nombre de cases occupées est faible.

Aussi, il sera préférable de déterminer le maximum de connexions par des méthodes moins onéreuses et d'utiliser l'algorithme de Lee pour achever le tracé.

II - 2.3.2. Algorithme de recherche par ligne (line-search algorithm)

La recherche d'un chemin n'est pas effectuée point par point (utilisation d'une grille) comme dans la méthode précédente, mais au moyen d'un balayage par lignes, ce qui ne nécessite pas le stockage du plan. On ne génère pas une onde autour d'un point mais des lignes de dégagement pour le franchissement d'un obstacle.

Considérons le point A et les segments vertical et horizontal l_1 et l_2 (figure 14) dont les extrémités sont les obstacles rencontrés (bord du circuit, autre composant, autre connexion). Considérons ensuite les droites perpendiculaires à l_1 et l_2 en des points déterminés suivant un pas fixé à l'avance (a, b, c, d, e, f, g, h, i, j, k). Si le point B à relier n'appartient pas à l'une de ces droites, on détermine celles (appelées lignes de dégagement) qui permettent de franchir les obstacles rencontrés par l_1 et l_2 (a, e, f, g, k).

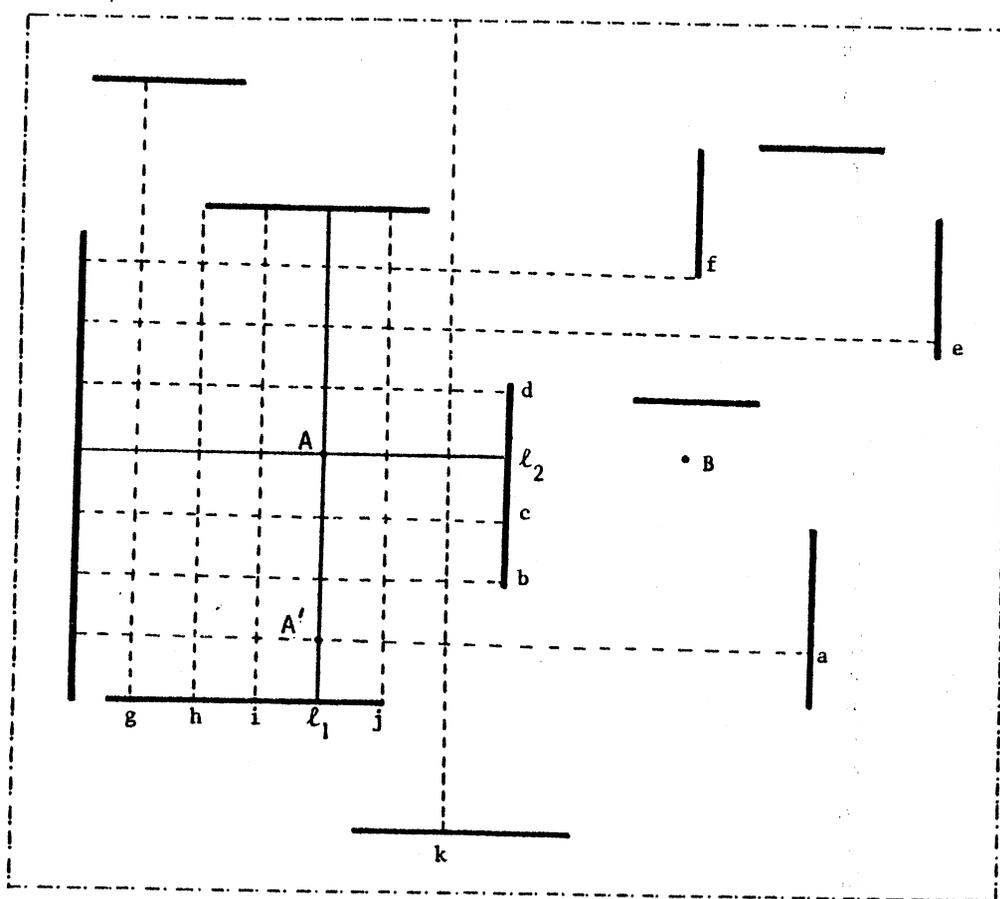


Figure 14 Méthode de recherche par ligne

L'une de ces droites est choisie (par exemple a) et l'on construit l'ensemble de ses perpendiculaires. Si un chemin n'est pas déterminé, on réitère le procédé à partir d'un point de dégagement sur A . Dans la pratique, les lignes de dégagement sont générées à partir des deux points A et B à relier, ce qui définit un réseau de segments verticaux et horizontaux. Lorsque deux segments générés à partir de A et B se croisent, un chemin est alors établi et la connexion est définie.

L'algorithme consiste donc à rechercher des points de dégagement, à construire des lignes de dégagement, à déterminer si elles se croisent, puis à répéter si possible ce procédé jusqu'à ce qu'un chemin soit trouvé.

Cet algorithme, plus rapide et moins encombrant que les algorithmes basés sur la méthode de Lee, ne trouve cependant pas toujours une solution même s'il en existe une. De plus, le chemin déterminé peut ne pas être le plus court.

II - 2.3.2. Algorithme d'expansion par ligne (line-expansion algorithm)

Comme dans la méthode précédente, des droites verticales ou horizontales sont construites (lignes d'expansion), mais au lieu de ne considérer qu'une seule ligne de dégagement, une zone d'expansion est définie : c'est l'ensemble des points atteints par toutes les lignes d'expansion générées.

Soit le segment l_1 (figure 15) contenant le point A et limité par les obstacles b_{01} et b_{02} . L'ensemble des droites perpendiculaires à l_1 (suivant un pas fixé) limitées par les obstacles b_{11}, \dots, b_{15} définit une zone d'expansion $ZE1$. Les bords de $ZE1$, qui ne sont pas des obstacles, sont appelés lignes actives. Ces lignes, que les connexions peuvent traverser permettent de générer de nouvelles zones d'expansion, et par conséquent de nouvelles lignes actives. Par exemple, a_{15} permet de construire la zone ZEa_{15} au moyen de lignes verticales et définit a_{21} , a_{22} et a_{23} .

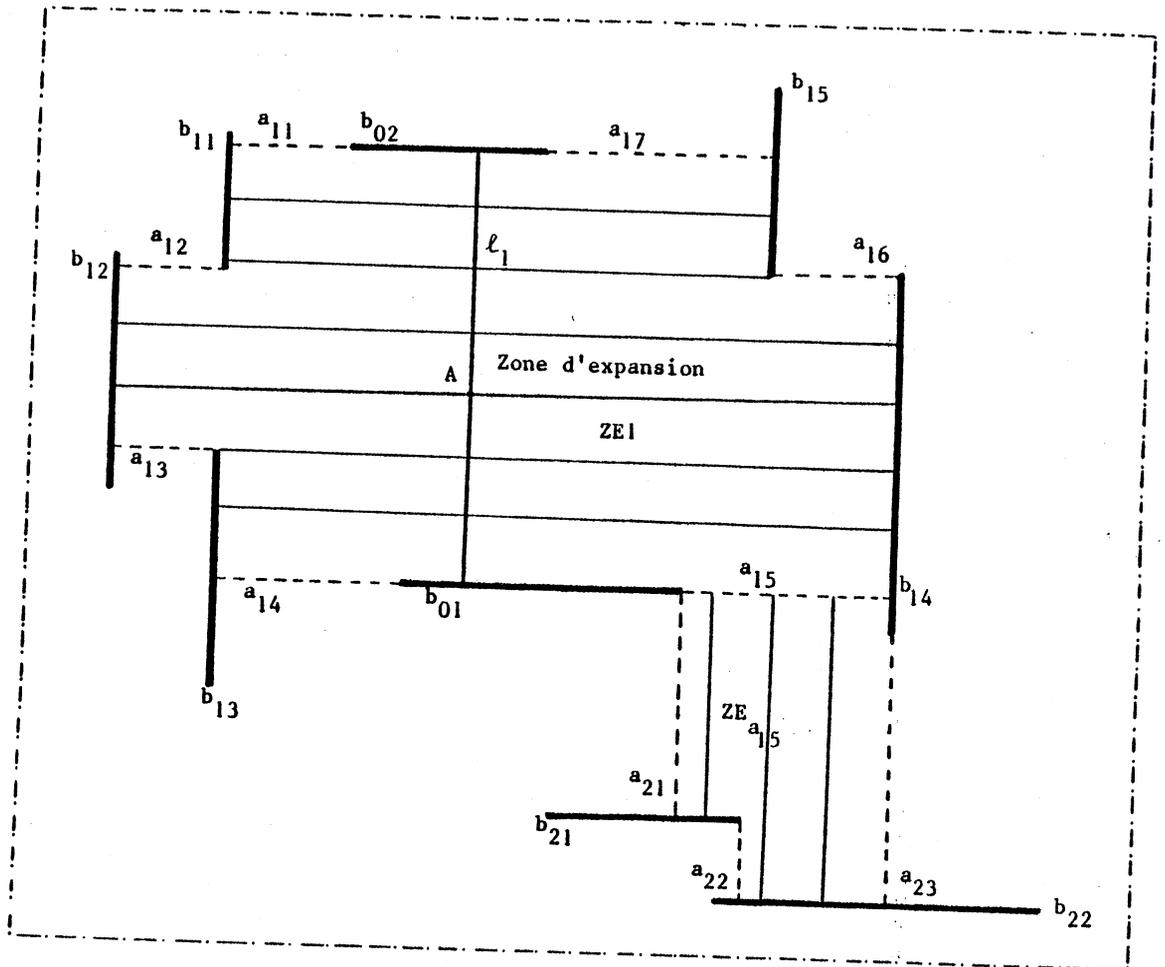


Figure 15 Méthode d'expansion par ligne

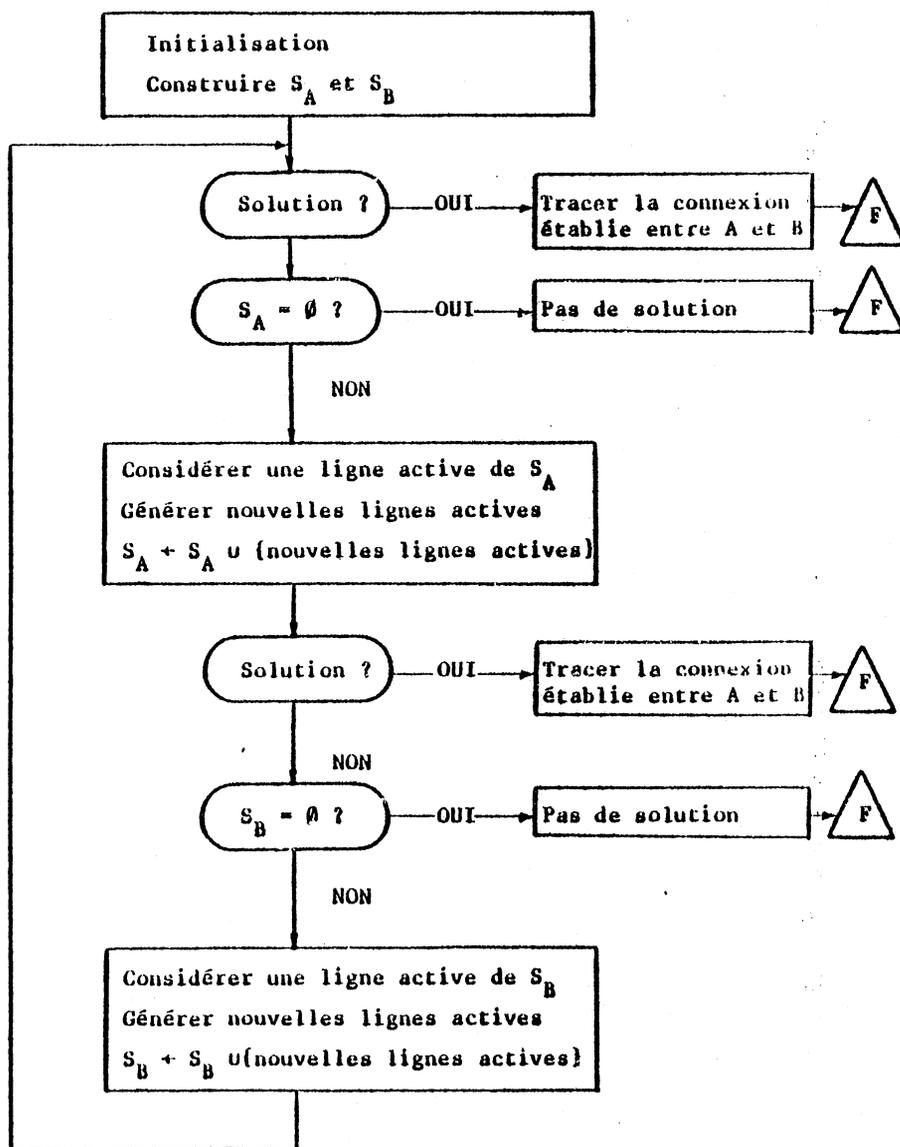


Figure 16 Algorithme d'expansion par ligne

L'expansion à partir des lignes actives n'est effectuée que dans un seul sens : il n'y a pas de recouvrement de zones d'expansion. De plus, les lignes actives une fois définies sont considérées comme des obstacles pour les expansions suivantes. Remarquons que la direction de l'expansion d'une ligne active est orthogonale aux lignes d'expansion qui l'ont générée.

Dans la pratique, deux zones d'expansion sont construites à partir d'un segment passant par A et d'un segment passant par B. Ces deux zones sont élargies par la procédure d'expansion décrite ci-dessus jusqu'à l'une des deux situations suivantes lorsqu'il existe un chemin :

- une des lignes actives d'une zone est confondue avec une ligne active (devenue obstacle franchissable) de l'autre zone,
- un des points à relier se situe dans la zone d'expansion générée à partir de l'autre point.

On peut alors construire un chemin entre A et B.

L'organigramme de l'algorithme d'expansion entre les points A et B est décrit figure 16. S_A et S_B sont les ensembles des lignes actives définies à partir de A et de B.

Plusieurs stratégies permettent le choix d'une ligne active pour l'élargissement de la zone d'expansion :

- on explore toutes les possibilités d'un même niveau d'expansion avant de passer au niveau suivant,
- on considère une seule ligne active à chaque niveau d'expansion et remonte au niveau précédent au cas de blocage (retour-arrière),
- les lignes actives sont choisies suivant une méthode heuristique, par exemple en établissant une priorité en fonction de la proximité des lignes actives de chaque zone.

Cette méthode présente, par rapport à la recherche par ligne, l'avantage de toujours trouver une solution s'il en existe une. De plus, elle permet grâce au faible encombrement de la mémoire, de traiter des circuits de grande complexité et à forte densité de connexions.

II - 2.3.4. Méthode par assignation de canaux (channel routing)

Dans cette méthode introduite par Hashimoto et Stevens [HA 71] des canaux d'interconnexion sont définis verticalement et horizontalement. La capacité de chaque canal est fixée par le nombre maximum de pistes disponibles, chaque piste permettant le tracé d'une ou plusieurs connexions ne se recouvrant pas. Une première étape affecte les connexions (sous forme de segments horizontaux et verticaux) à chaque canal, sans tenir compte de leur capacité. Une deuxième étape répartit ensuite les segments dans les canaux de façon à occuper le minimum de pistes et à assurer la continuité d'une même connexion (trous de passage d'une couche à une autre).

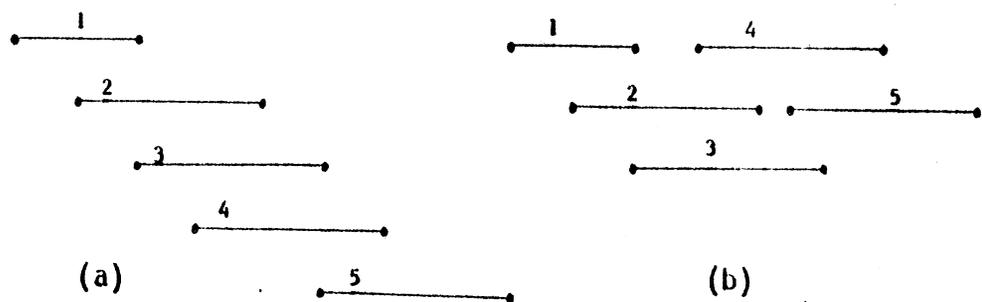


Figure 17 (a) Les 5 segments
 (b) Occupent 3 pistes

Le tracé effectif est réalisé le plus tard possible pour pouvoir utiliser au mieux la surface disponible et réduire le nombre de passage d'une couche à l'autre.

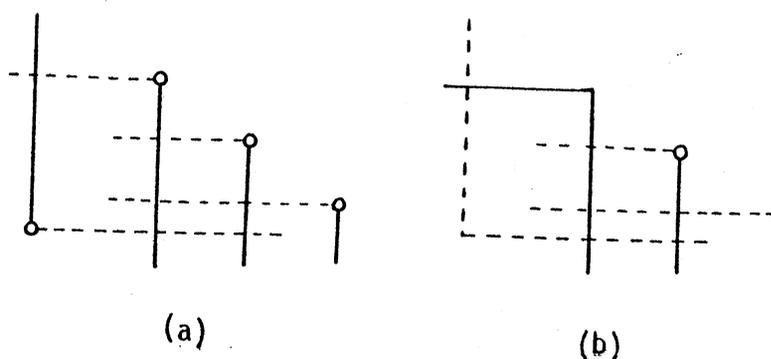


Figure 18 Réduction du nombre de trous de passage

(a) 4 trous

(b) 1 trou

Fisher dans [FI78] propose une classification des différents types de conflits entre connexions (capacité, passages d'une couche à l'autre) résultant de la première étape et accroît l'efficacité de la méthode originale en remplaçant la deuxième étape par autant de procédures que de classes de conflits définies.

La notion de canaux d'interconnexion est exploitable pour résoudre le tracé lors d'une approche hiérarchisée de l'implantation de circuits intégrés [PR 79]. Le circuit complexe est partitionné en blocs ou cellules rectangulaires de complexité moindre. L'interconnexion de ces blocs se fait à travers des canaux définis par le placement, ces canaux pouvant être modifiés pour faciliter le tracé.

Cette méthode ne produit pas les solutions les plus courtes mais permet une bonne répartition des connexions et donc une meilleure utilisation de l'espace disponible.

II - 2.3.5. Méthode par zone saturée (saturated zone method)

Une zone saturée, définie par Wu et Schmidt [WU 76], est une portion du plan ne contenant pas les extrémités d'une même connexion non tracée. Si toutes les connexions entre les points de deux zones saturées adjacentes sont tracées, l'union de ces deux zones forme une nouvelle zone saturée (figure 19).

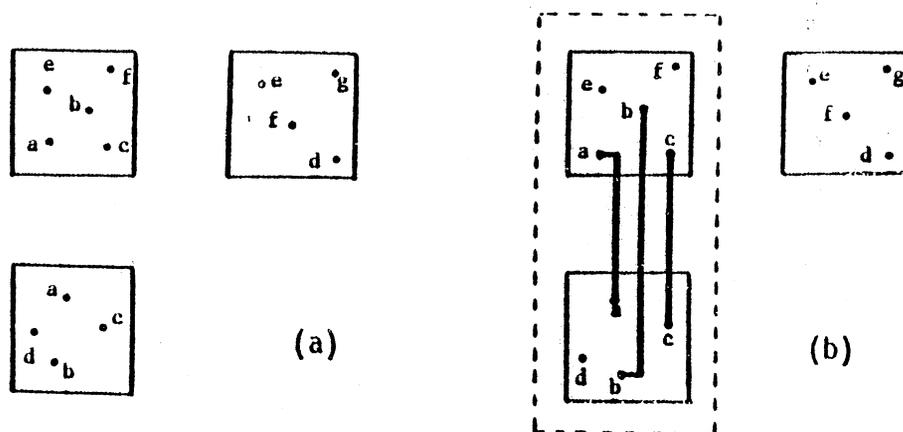


Figure 19 Combinaison de deux zones saturées

(a) 3 zones

(b) 2 zones

En combinant ainsi les zones saturées adjacentes, on obtient finalement, lorsque toutes les connexions sont tracées, une zone saturée couvrant le plan tout entier (carte ou circuit). La méthode consiste donc à considérer simultanément les zones saturées adjacentes, ce qui revient globalement à sélectionner les connexions des plus courtes aux plus longues et permet de traiter simultanément des connexions susceptibles d'utiliser les mêmes ressources physiques (chemin, passage d'une couche à l'autre). Cinq procédures spécialisées sont utilisées pour le tracé.

- La procédure 1* traite les connexions entre deux points alignés verticalement ou horizontalement (figure 20-a).
- La procédure 2* construit des chemins (figure 20-b) entre deux points non alignés verticalement ou horizontalement.
- La procédure 3* détermine les connexions comportant trois coudes (figure 20-c) par la méthode d'expansion par ligne. Durant cette étape, le canal entre les deux zones saturées adjacentes verticalement (horizontalement) n'est pas utilisé pour le tracé de segments horizontaux (verticaux). Ceci permet de préserver, si possible, ce canal pour le tracé ultérieur de connexions horizontales (verticales).
- La procédure 4* considère les connexions comportant 2, 3 ou 4 coudes et dont un segment occupe le canal précédemment défini (figure 20-d).
- La procédure 5* recherche les connexions à quatre coudes par la méthode d'expansion par ligne avec possibilité d'utiliser le canal défini précédemment. Les procédures 1, 2 et 4 traitent simultanément les connexions des zones considérées, ce qui permet d'éviter certains blocages. Ces cinq procédures sont appliquées tour à tour pour chaque paire de zones saturées adjacentes.

Il est important de définir une stratégie pour sélectionner les zones saturées à traiter. Dans la solution adoptée par Lorenzetti et Smith II dans [LO 80], on commence le traitement en considérant chaque extrémité de connexion comme une zone saturée. Les zones adjacentes d'une même ligne (ou colonne) sont alors combinées dans un ordre prédéfini (exemple figure 22).

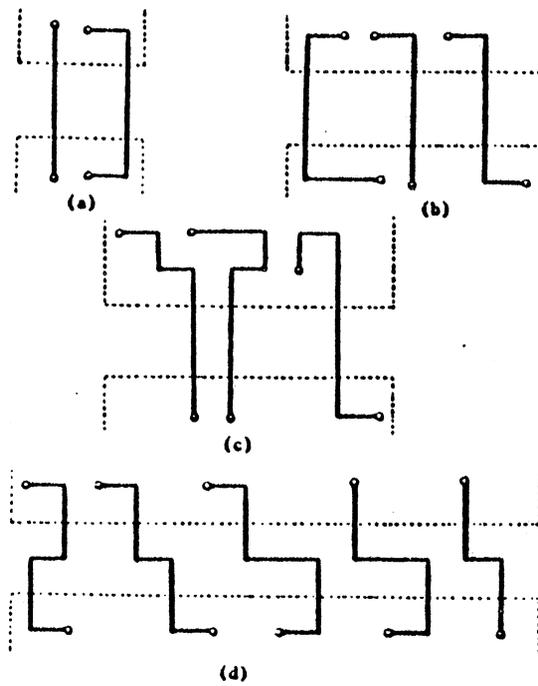


Figure 20 Classement des connexions entre deux zones adjacentes

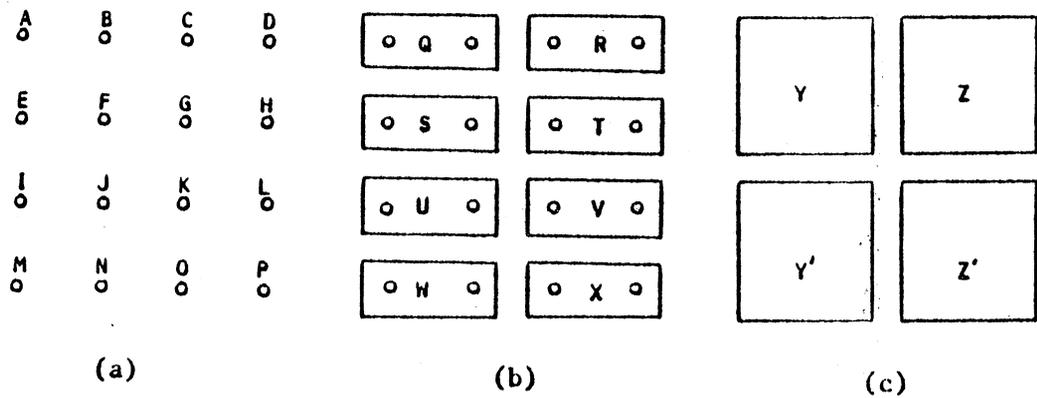


Figure 21 (a) Repartition initiale des zones

(b) Combinaison des zones adjacentes d'une même ligne

(c) Combinaison des zones adjacentes d'une même colonne

Cette méthode, par le mode de sélection des connexions qu'elle impose, permet un traitement parallèle local, ce qui réduit le nombre de cas de blocage par rapport aux méthodes entièrement séquentielles.

II - 2.4. Conclusion

L'étude précédente nous montre qu'un bon outil de tracé automatique doit remplir quatre conditions :

- connexions de longueur minimale,
- rapidité d'exécution,
- encombrement mémoire peu important,
- et surtout tracé de toutes les connexions.

Aucune des méthodes exposées ne satisfait simultanément à ces quatre points : l'algorithme de Lee est encombrant et peu rapide, les algorithmes de balayage par lignes ou d'utilisation de canaux ne déterminent pas toujours le tracé de longueur minimale. De plus, elles ne garantissent pas un taux de réussite de 100%. Dans la pratique, l'efficacité du tracé est augmentée en combinant ces méthodes : Hightower et Boyd [H180] résolvent le problème de tracé de connexions entre cellules par l'assignation de canaux et l'algorithme de Lee définit les connexions de passage à travers les cellules. Dans l'algorithme de recherche par ligne traite le plus grand nombre de connexions et l'algorithme de Lee est utilisé pour tracer les restantes.

Dans les méthodes précédentes, une connexion, une fois tracée, devient un obstacle pour les suivantes et peut entraîner des cas de blocage. Le circuit est alors terminé manuellement au prix de grandes difficultés et d'un accroissement de temps de conception. Pour éviter cet inconvénient, deux solutions sont proposées :

- une analyse fine des effets du tracé d'une connexion sur la suite du processus met en évidence les blocages, et permet alors de définir une stratégie pour les éliminer;
- le tracé n'est pas effectué séquentiellement mais "globalement". Les connexions définies sont susceptibles de modifications en fonction du tracé des autres connexions.

L'application des méthodes précédentes en tenant compte de ces deux principes permet alors de définir un outil de tracé entièrement automatique.

III - IMPLANTATION MULTI-NIVEAUX

III - 1. INTRODUCTION

Avec l'augmentation du nombre des éléments, la solution à l'implantation obtenue par les méthodes précédentes est de plus en plus loin de la solution optimale, pour les deux raisons suivantes :

- 1) La nature exponentielle de ce problème.
- 2) Ne pas tenir compte des quelques caractéristiques inhérentes à la structure topographique des circuits.

Les autres inconvénients sont :

- (i) d'optimiser le placement avec un seul critère; souvent soit la longueur des connexions, soit la surface;
- (ii) ne pas considérer l'influence du tracé sur ces critères.

Par exemple dans les méthodes [PR 79] [ER 80] les algorithmes de bipartitionnement ont ces deux inconvénients. Considérons les figures 22(a) et (b) qui sont les topographies du circuit avant le tracé et après le tracé. La figure 22(c) montre que la surface totale est réduite même quand la longueur totale des connexions est augmentée. Donc dans la suite, nous allons développer une méthode de placement basé sur l'approche multiniveaux en tenant compte des largeurs des canaux d'interconnexion. Ces derniers reflètent l'influence du tracé sur le placement.

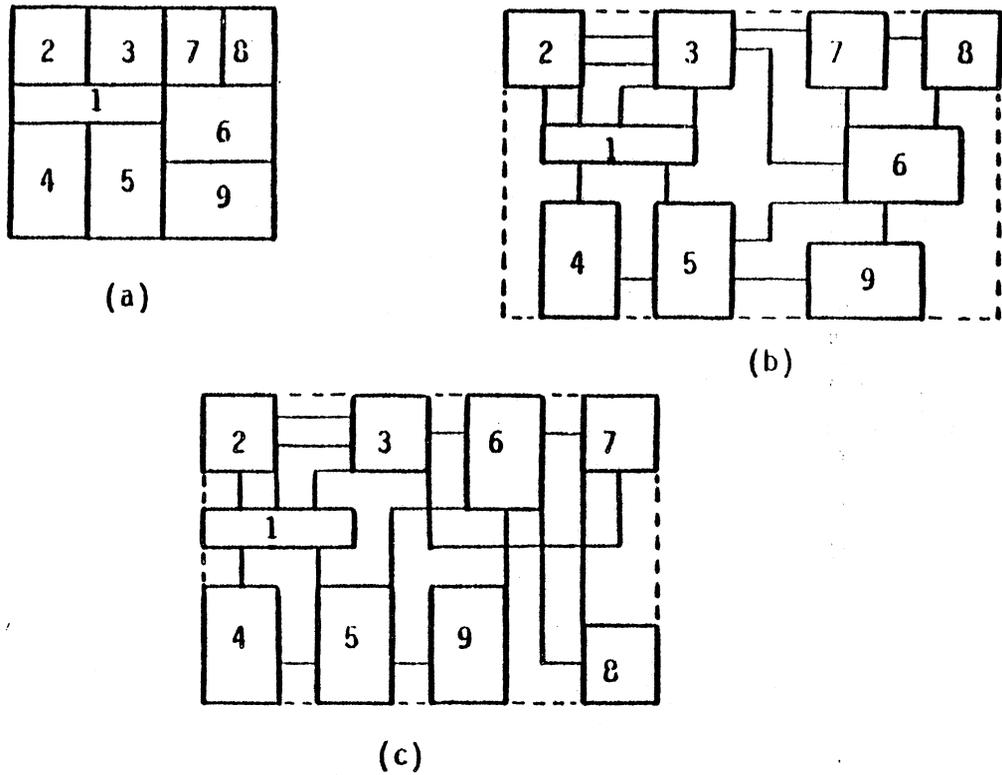


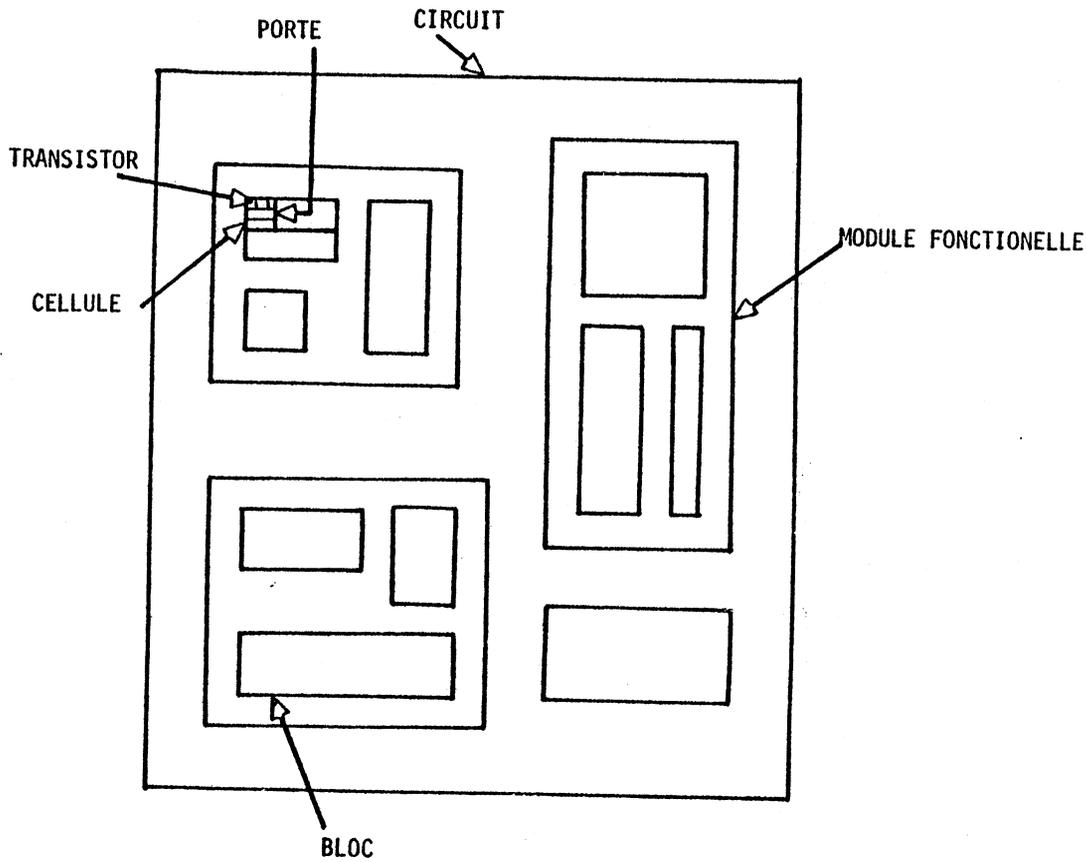
Figure 22

III - 2. PRINCIPE GENERAL

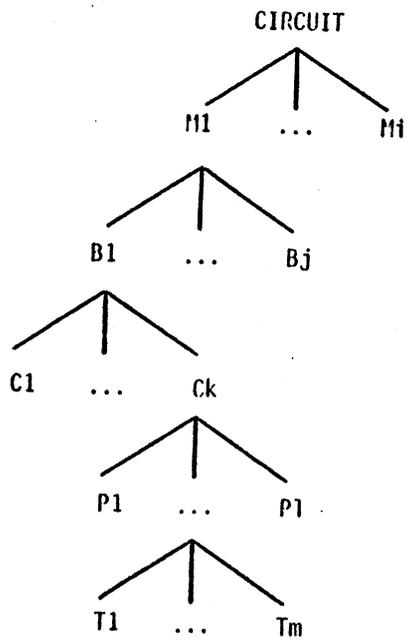
Dans l'approche multi-niveaux, un circuit est défini récursivement à partir des éléments de base. Ainsi, en fonction du nombre des éléments de base à placer et de la structure du circuit, le nombre des niveaux de récursion peut être varié.

Ce nombre doit être choisi afin de réduire à un niveau

- (i) le nombre des éléments à traiter à la fois,
- (ii) le nombre des connexions à traiter à un niveau supérieur à celui-ci. Par exemple, un circuit défini avec quatre niveaux de récursion est illustré dans la figure 23.



(a)



M:Module fonctionnelle
 B:Bloc
 C:Cellule
 P:Porte
 T:Transistor

(b)

Figure 23

La définition récursive d'un circuit dans cette méthode d'implantation est la suivante :

```

<circuit> := <module fonctionnel>* | <bloc>* | <cellule>*
          | <module fonctionnel>* <bloc>* <cellule>* | <module fonctionnel>*
          <bloc>* | <bloc>* <cellule>*

<module fonctionnel> := <bloc>* | <cellule>* | <bloc>* <cellule>*
<bloc> := <cellule>* | <porte>* | <cellule>* <porte>*
<cellule> := <porte>* | <transistor>* | <porte>* <transistor>*
<porte> := <transistor>*

```

Cette définition permet de structurer l'implantation du circuit dans les deux méthodes :

- (i) méthode ascendante,
- (ii) méthode descendante.

Un élément à un niveau est traité avec des éléments d'un niveau en dessous. A chaque niveau on peut obtenir une répartition des éléments d'un niveau en dessous, afin d'avoir la connectivité minimum. A tous les niveaux, sauf au niveau des portes, les éléments peuvent être décrits avec les 4 caractéristiques suivantes :

- la surface
- la forme
- la connectivité avec les autres éléments
- l'orientation préétablie si elle existe.

Donc cette méthode est indépendante de la réalisation des éléments de base.

III - 3. METHODE DESCENDANTE

L'implantation descendante est moins classique car a priori la connaissance des caractéristiques d'un élément E est difficile, bien que ce ne soit pas impossible, sans avoir à connaître les caractéristiques des éléments constitutants E. Ce problème est résolu de la façon suivante :

- la surface et la connectivité d'un élément E peuvent être calculées quand le circuit à implanter est défini récursivement comme illustré précédemment. Elles peuvent aussi être calculées à partir des distributions statistiques;
- les points d'entrées et sorties d'un élément E sont fixés à partir de l'implantation des éléments à ce niveau. Pour introduire une souplesse, chaque point d'entrée ou de sortie est défini par un domaine X ou Y, c'est-à-dire au lieu de définir un point d'entrée ou de sortie avec des coordonnées X, Y situées à la périphérie d'un élément, on définit un domaine X_{\min} à X_{\max} avec Y fixe ou vice versa. Dans ce cas, les positions définitives des points d'entrées ou de sorties sont fixées à l'étape du traitement des éléments du niveau en dessous.

Dans cette méthode, la solution obtenue à un niveau est mise en question au cours du traitement des éléments en dessous et modifiée si cela est nécessaire.

Cette méthode est intéressante car la surface nécessaire pour le circuit est obtenue au départ. Ainsi, à partir de la surface permise de la pastille de silicium, on peut effectuer les modifications de circuit si c'est nécessaire.

Les inconvénients sont :

- (i) Un traitement complexe.
- (ii) La solution finale n'est pas toujours compacte.

III - 4. METHODE ASCENDANTE

Dans cette méthode les caractéristiques d'un élément E à un niveau sont définies à partir des éléments déjà implantés à un niveau en dessous constituant E. Ainsi les caractéristiques d'un élément E sont définies d'une manière déterministe et l'erreur d'une définition probabiliste est éliminée. Mais les inconvénients sont :

- tant que tous les éléments à un niveau sont implantés, on ne peut pas procéder à l'implantation d'un niveau au dessus;
- on n'aura pas, à priori, connaissance de la qualité de la solution finale. Ainsi, dans le pire cas on est obligé de faire des modifications significatives dans la définition du circuit et par conséquent dans son implantation.

Donc, une bonne méthode d'implantation est de commencer par la méthode descendante et de terminer avec la méthode ascendante.

III - 5. REPRESENTATION DES ELEMENTS DE BASE

Les primitives opérateurs, dans l'implantation multi-niveaux sont des transistors ou portes logiques ou les deux. Leur représentation peut se faire de deux façons :

- au micron
- symbolique

Chacune représente les avantages complémentaires. La représentation symbolique est bien adaptée pour l'implantation automatique des circuits pour des raisons évidentes.

Notons qu'au niveau des éléments de base, les détails technologiques apparaissent dans leur implantation.

Dans le reste de cette partie nous nous consacrerons au problème d'implantation d'un circuit au niveau des blocs.

III - 6. PLACEMENT DES BLOCS

III - 6.1. Définition des blocs

Les blocs sont rectangulaires et leurs dimensions sont un multiple intégral du pas de grille sur laquelle ils seront placés. Le pas de grille est déterminé à partir de la représentation des éléments primitifs, par exemple le symbolisme MD-MOS [SE82] impose un certain pas de grille.

Leur taille et la structure des interconnexions sont définies soit par les cellules composant les blocs, soit par la définition du circuit. Donc, au niveau bloc, un circuit est considéré comme un ensemble de blocs rectangulaires et d'interconnexions, la position des points de connexion sur chaque bloc étant fixée et bien définie. Les restrictions sur la taille des blocs sont :

- (i) les deux dimensions ne doivent pas dépasser \sqrt{s} où s est la surface totale du circuit;
- (ii) la variation des tailles de bloc ne doit pas être très grande.

Ces deux règles heuristiques sont imposées pour réduire la possibilité d'avoir des solutions qui ne sont pas acceptables (voir figure 24(a) et (b)).

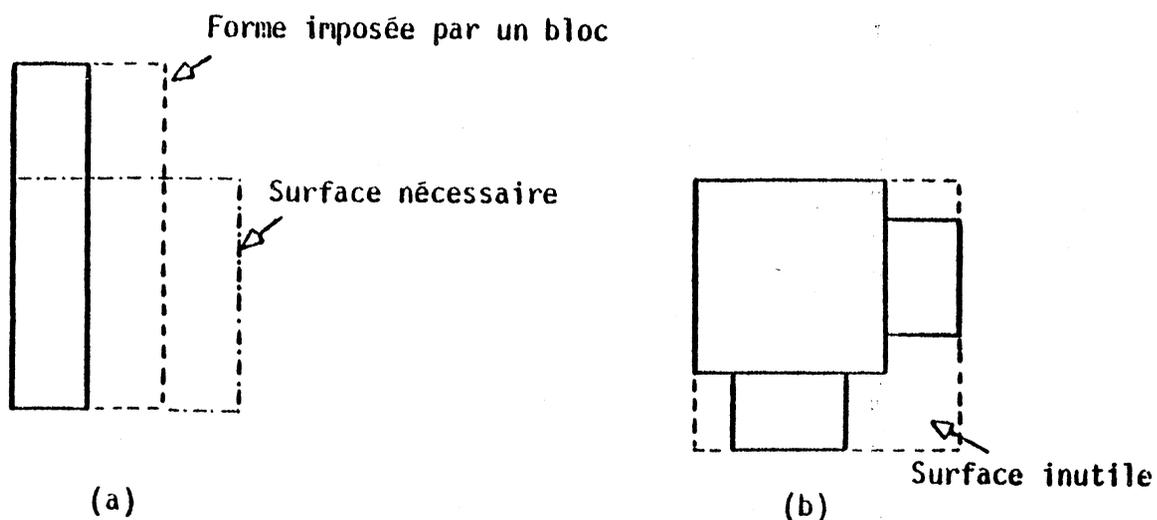


Figure 24

III - 6.2. Définition d'un canal d'interconnexion

Définition 1

Les côtés de deux blocs distincts sont opposés s'il existe un segment vertical ou horizontal joignant les deux blocs sans traverser aucun autre bloc (figure 25).

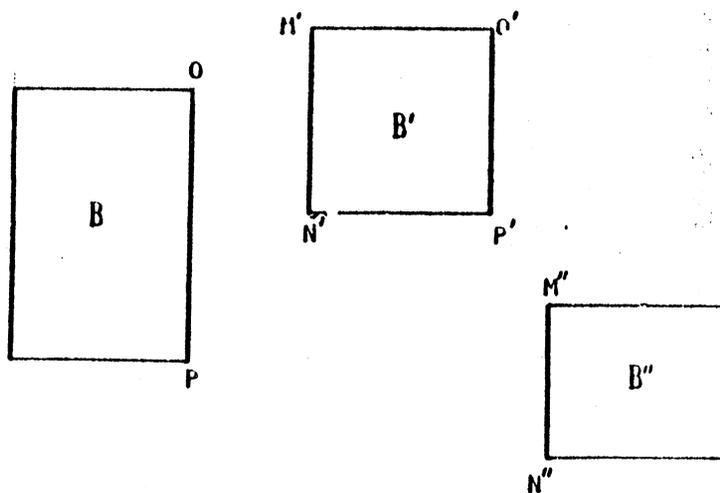


Figure 25 Les côtés (O P) et (M' N') sont opposés,
les côtés (O' P') et (M'' N'') ne le sont pas.

Définition 2

Un canal d'interconnexion est défini comme l'espace entre les parties recouvrantes de deux côtés opposés de deux blocs, pour permettre de tracer des connexions. Quand le segment, comme défini au dessus, joignant les deux côtés opposés de deux blocs est vertical, le canal d'interconnexion est horizontal. Quand ce segment est horizontal le canal est vertical (figure 26). La largeur d'un canal est égale au nombre de pistes.

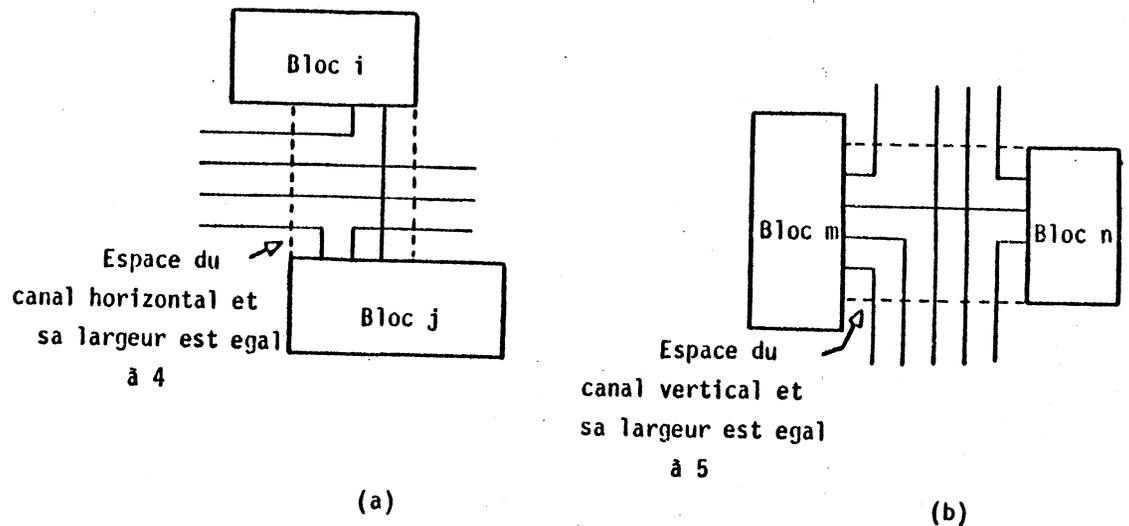


Figure 26

Un canal d'interconnexion est simple s'il n'existe pas de bloc entre les deux côtés opposés constituant le canal. Dans tout autre cas, on dira que le canal est composé (figure 27).

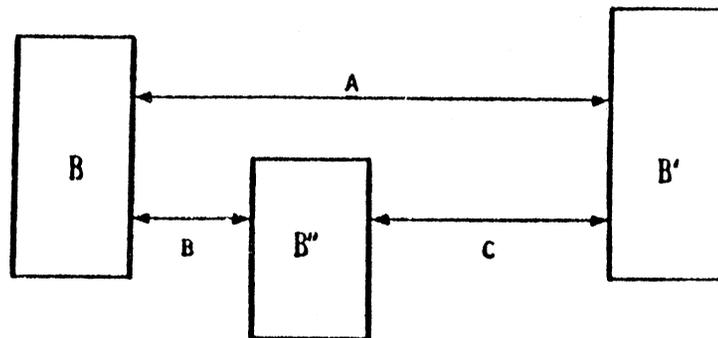


Figure 27 (a) Canal composé
(b),(c) Canal simple

III - 6.3. ESTIMATION DE LA LARGEUR DES CANAUX D'INTERCONNEXION

Les canaux d'interconnexion sont utilisés pour permettre le tracé effectif des connexions entre les blocs. La surface du circuit est la somme des surfaces de ces canaux et des blocs eux-mêmes. Bien qu'une évaluation exacte de la largeur de ces canaux ne soit pas possible avant le tracé des connexions, une estimation est nécessaire durant le placement. En effet, une solution qui ne tiendrait pas compte des canaux d'interconnexion s'avèrerait moins efficace au moment du tracé. De plus, cette estimation doit être aussi exacte que possible pour permettre le tracé de toutes les connexions sans perte de surface.

Définition 4

Une connexion reliant deux côtés opposés sera appelée intra-connexion.

Canaux simples

Trois facteurs seront considérés pour déterminer la largeur W d'un canal simple d'interconnexion entre les blocs B et B' (figure 28).

- a) Le nombre et la position des intra-connexions entre les côtés opposés des blocs B et B' (figure 28 a).
- b) Le nombre et la position des connexions reliant les côtés opposés de B et B' aux autres blocs ou aux autres côtés de B et B' (figure 28 b).
- c) Le nombre de connexions non reliées aux côtés opposés de B et B' et traversant le canal dans sa longueur (figure 28 c).

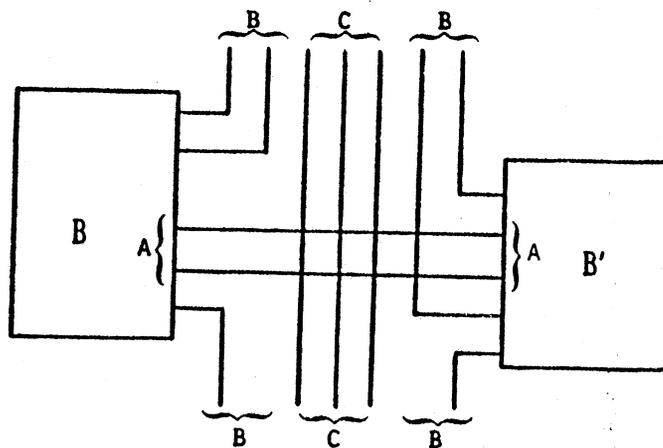


Figure 28 Les trois facteurs contribuant à la largeur des canaux d'interconnexion

La contribution des facteurs a) et b) à la largeur du canal peut être directement calculée à partir de la description des côtés opposés de B et B'. La contribution du facteur c) dépend des positions relatives des autres blocs et est estimée par la méthode suivante.

Considérons une ligne de coupe horizontale le long de la grille (figure 29) partageant le circuit en 2 parties et traversant orthogonalement les canaux verticaux.

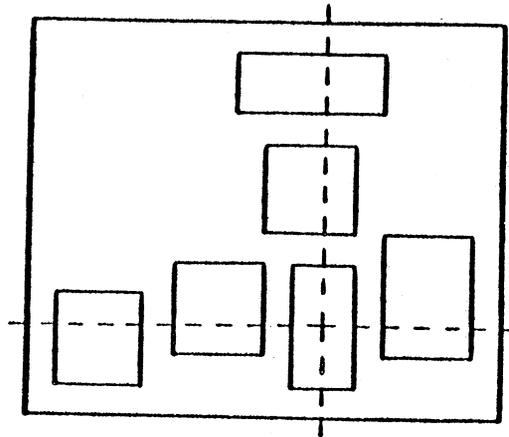


Figure 29 Canaux d'interconnexion à des lignes de coupe horizontale et verticale particulière

On détermine alors le nombre de connexions contribuant au facteur c) pour une ligne de coupe. La contribution de ces connexions est alors déduite directement de la description de ces deux parties mais la distribution des connexions c) dans les canaux n'est pas unique, et on choisit celle qui minimise le nombre de croisements et la longueur des connexions. Si au moment du tracé réel, un canal se révèle trop étroit, il existe alors pour cette ligne de coupe un autre canal d'interconnexion plus large que nécessaire (le nombre des connexions traversant la ligne de coupe étant fixé).

Détermination du nombre minimum des lignes de coupes X, Y

Soient C_{Hi} et C_{Vj} des lignes de coupe horizontales et verticales. Ces lignes sont définies par X, Y_{\min}, Y_{\max} et Y, X_{\min}, X_{\max} respectivement car ces lignes sont considérées sur toute la longueur et la largeur du circuit.

On définit ces lignes seulement par leurs coordonnées fixes, c'est-à-dire par la coordonnée X pour C_{Hi} et la coordonnée Y pour C_{Vj} . Pour évaluer tous les canaux d'interconnexions il suffit de considérer un ensemble minimum de lignes tel que deux lignes adjacentes n'aient pas les mêmes canaux intersectés. Le nombre de ces lignes NC_H et NC_V est calculé de la manière suivante :

Soient (X_{\min_i}, Y_{\min_i}) des coordonnées absolues minimum d'un bloc i . Pour calculer NC_H , on trie les coordonnées X_{\min_i} de tous les blocs ($i=1$ à N) dans l'ordre croissant. Ensuite on ajoute au début et à la fin de cette liste X_0 et X_{\min} du circuit. Parmi ces X , on recherche le nombre de X en dénombrant les X_{\min_i} qui ont les adjacents tels que $X_{\min_{i-1}} \neq X_{\min_i} \neq X_{\min_{i+1}}$. De la même manière le nombre NC_V est calculé avec les coordonnées Y des lignes CV_j .

Ces nombres des lignes NC_H et NC_V sont nécessaires et suffisants pour évaluer tous les canaux d'interconnexions.

Canaux composés

Dans le cas d'un canal composé (figure 30), sa longueur est calculée de la façon suivante :

- (i) W' est calculée pour le canal composé entre B et B' considéré comme un canal simple, ne tenant pas en compte le bloc B'' interposé entre B et B' (figure 31).

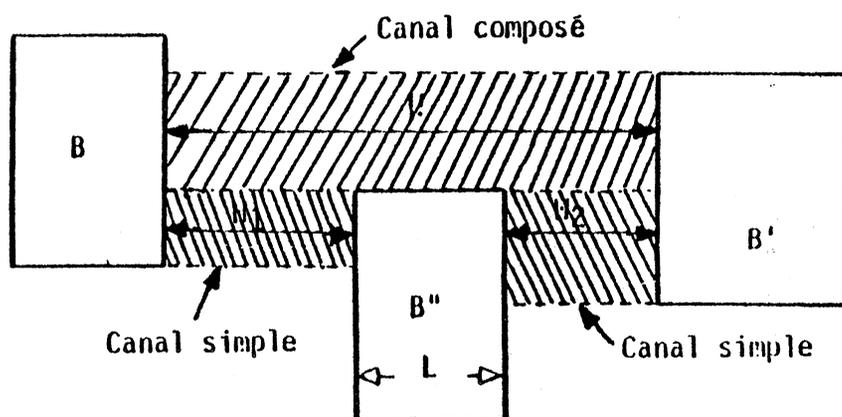


Figure 30

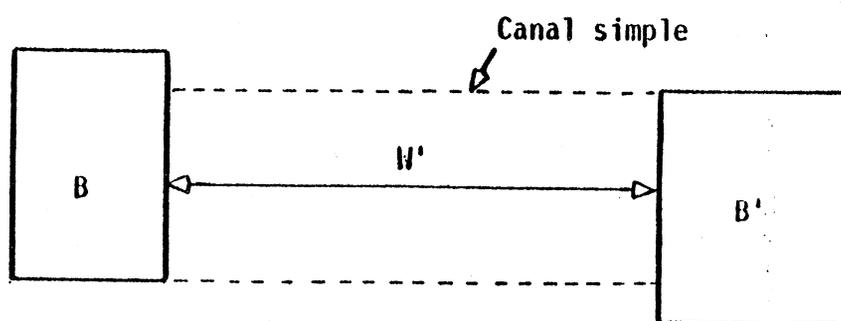


Figure 31

- (ii) W_1 et W_2 , les largeurs des canaux simples entre B, B' et le bloc B'', interposées entre ces blocs sont calculées (figure 32).

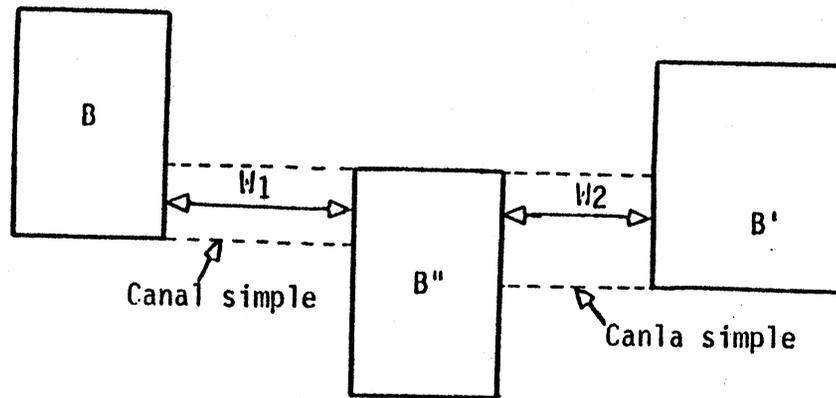


Figure 32

- (iii) On calcule la dimension appropriée 'L' du bloc interposé (B'').
- (iv) Les valeurs $W' + L$ et $W_1 + W_2 + L$ sont calculées. La valeur maximum entre $W' + L$ et $W_1 + W_2 + L$ donne la largeur de ce canal composé.

L'estimation de tous les canaux d'interconnexion est effectuée en considérant NC_H lignes de coupe horizontale et NC_V lignes de coupe verticale qui traversent perpendiculairement les canaux.

III - 6.4. Estimation du nombre de croisements

Le tracé effectif des connexions n'étant pas défini durant l'étape de placement, l'estimation de NC, nombre de croisements que l'on se propose de minimiser, est difficile. La valeur NC est en fait la valeur maximum du nombre de croisements pour un placement donné et des connexions de longueur minimum. On pourra obtenir un tracé comportant moins de croisements que NC en utilisant dans certains cas des connexions plus longues (pour permettre d'éviter certains croisements).

Pour calculer NC, une connexion entre deux blocs est considérée comme un segment euclidien par les coordonnées de ses extrémités situées sur les blocs à relier. Chacun des segments appartient à l'une des classes suivantes :

- (i) S_1 , segments ne traversant aucun bloc (figure 33 a)
- (ii) S_2 , segments ne traversant qu'un seul bloc (figure 33 b)
- (iii) S_3 , segments traversant plus d'un bloc (figure 33 c).

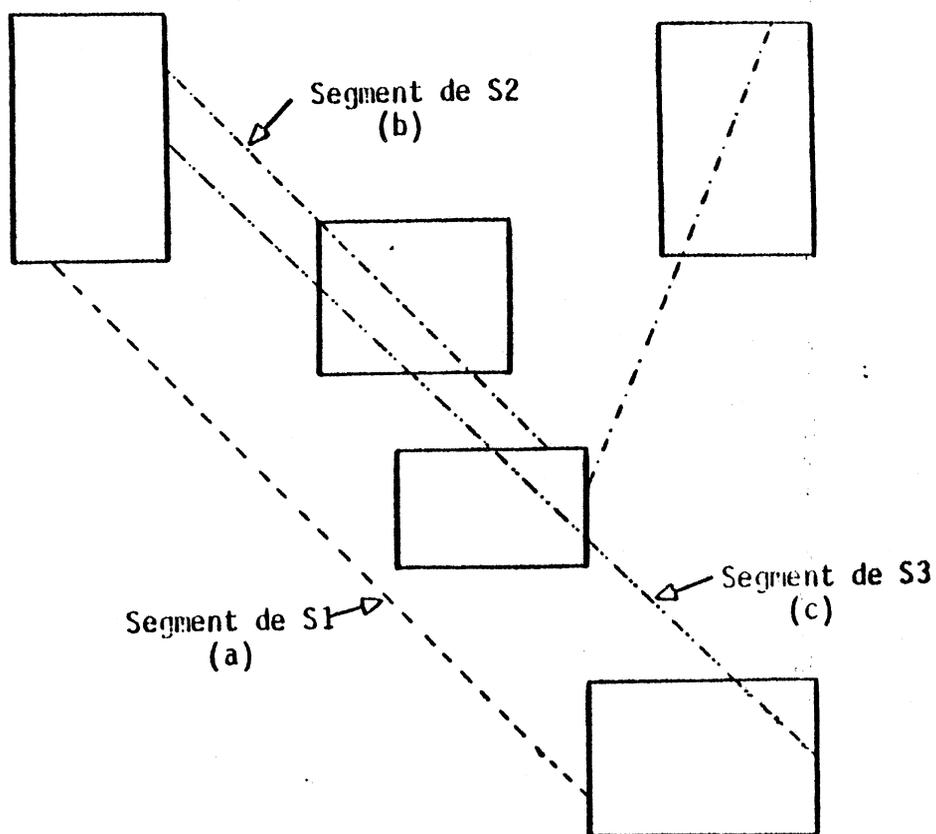


Figure 33

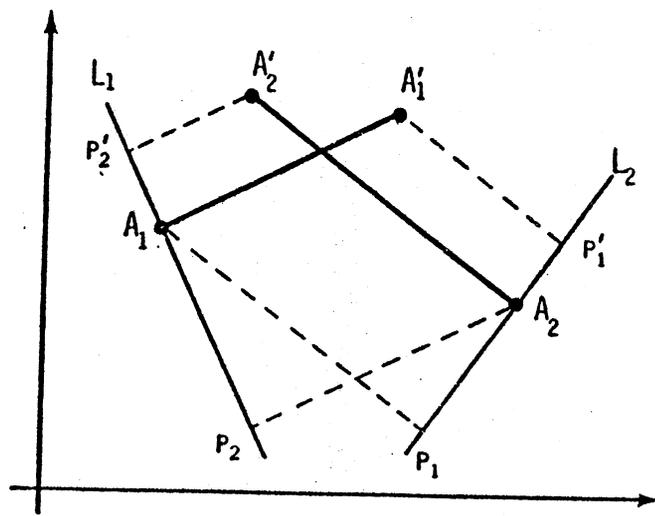


Figure 34 Condition d'intersection entre
 $A_1 A_1'$ et $A_2 A_2'$

Critère C d'existence d'une intersection entre deux segments

Nous définissons un critère simple (C) pour indiquer si deux segments ont ou non une intersection.

Soient $A_1 A_1'$ et $A_2 A_2'$ deux segments dont les extrémités $A_1 (x_1, y_1)$, $A_1'(x_1', y_1')$, $A_2(x_2, y_2)$, $A_2'(x_2', y_2')$ sont distinctes (figure 34).

Soient L_1 et L_2 les perpendiculaires à $A_1 A_1'$ et $A_2 A_2'$ et passant respectivement par A_1 et A_2 .

Soient P_1 et P_1' les projections orthogonales de A_1 et A_1' sur L_2 .

Soient P_2 et P_2' les projections orthogonales de A_2 et A_2' sur L_1 .

Les deux segments se croisent si les deux conditions suivantes sont satisfaisantes :

Les segments $P_1 P_1'$ et $P_2 P_2'$ contiennent A_2 et A_1 respectivement.

Ces conditions s'expriment facilement à l'aide des produits scalaires des vecteurs :

$$\overrightarrow{A_1 A_1'} \cdot \overrightarrow{A_1 A_2} \text{ et } \overrightarrow{A_1 A_1'} \cdot \overrightarrow{A_1 A_2'} \text{ sont de signes opposés}$$

$$\overrightarrow{A_2 A_2'} \cdot \overrightarrow{A_2 A_1} \text{ et } \overrightarrow{A_2 A_2'} \cdot \overrightarrow{A_2 A_1'} \text{ sont de signes opposés}$$

où

$$\overrightarrow{A_1 A_2} (x_2 - x_1, y_2 - y_1), \overrightarrow{A_1 A_2'} (x_2' - x_1, y_2' - y_1),$$

$$\overrightarrow{A_2 A_1} (x_1 - x_2, y_1 - y_2), \overrightarrow{A_2 A_1'} (x_1' - x_2, y_1' - y_2),$$

$$\overrightarrow{A_1 A_1'}^\perp (-(y_1' - y_1), x_1' - x_2) \text{ orthogonal de } \overrightarrow{A_1 A_1'}$$

$$\overrightarrow{A_2 A_2'}^\perp (-(y_2' - y_2), x_2' - x_1) \text{ orthogonal de } \overrightarrow{A_2 A_2'}$$

On déduit alors le système suivant d'équations qui exprime le cas général d'une intersection entre A_1A_1' et A_2A_2' .

$$[-(y_1'-y_1)(x_2-x_1)+(x_1'-x_1)(y_2-y_1)][-(y_1'-y_1)(x_2'-x_1)+(x_2'-x_1)(y_2'-y_1)] < 0$$

$$[-(y_2'-y_2)(x_1-x_2)+(x_1'-x_2)(y_1-y_2)][-(y_2'-y_2)(x_1'-x_2)+(x_2'-x_2)(y_1'-y_2)] < 0$$

Les coordonnées des points étant entières, la méthode précédente ne manipule pas de quantités réelles, ce qui simplifie calculs et comparaisons à 0. Les problèmes dus à l'utilisation de calculs réels sont ainsi évités.

NC2, contribution des segments de S_2 à NC

Considérons les segments de S_2 traversant un bloc B'' et les canaux d'interconnexion verticaux définis entre B , B' et B'' . Soit SS' un tel segment (figure 35). Soit R le rectangle ayant ce segment comme diagonale. Le rectangle R et le bloc B'' peuvent ou non se recouvrir entièrement. Dépendant de la manière dont R et B'' se recouvrent, on définit RB , RB_1 et RB_2 comme le montre la figure 35. l et l' sont des horizontales passant respectivement par S et S' .

La connexion SS' devra être tracée autour de B'' (par le haut ou par le bas), ce qui génère un nombre $NC2$ de croisements que l'on calcule comme suit :

- a) B est entièrement inclus dans R (figure 35 a) : il existe deux plus courts chemins pour connecter S et S' . Considérant les connexions ayant une extrémité sur B'' , le nombre de croisements est évalué, pour les deux tracés, comme une fonction de la position de l'autre extrémité par rapport à l et l' , et des intra-connexions. $NC2$ est incrémenté de la plus petite des deux valeurs.

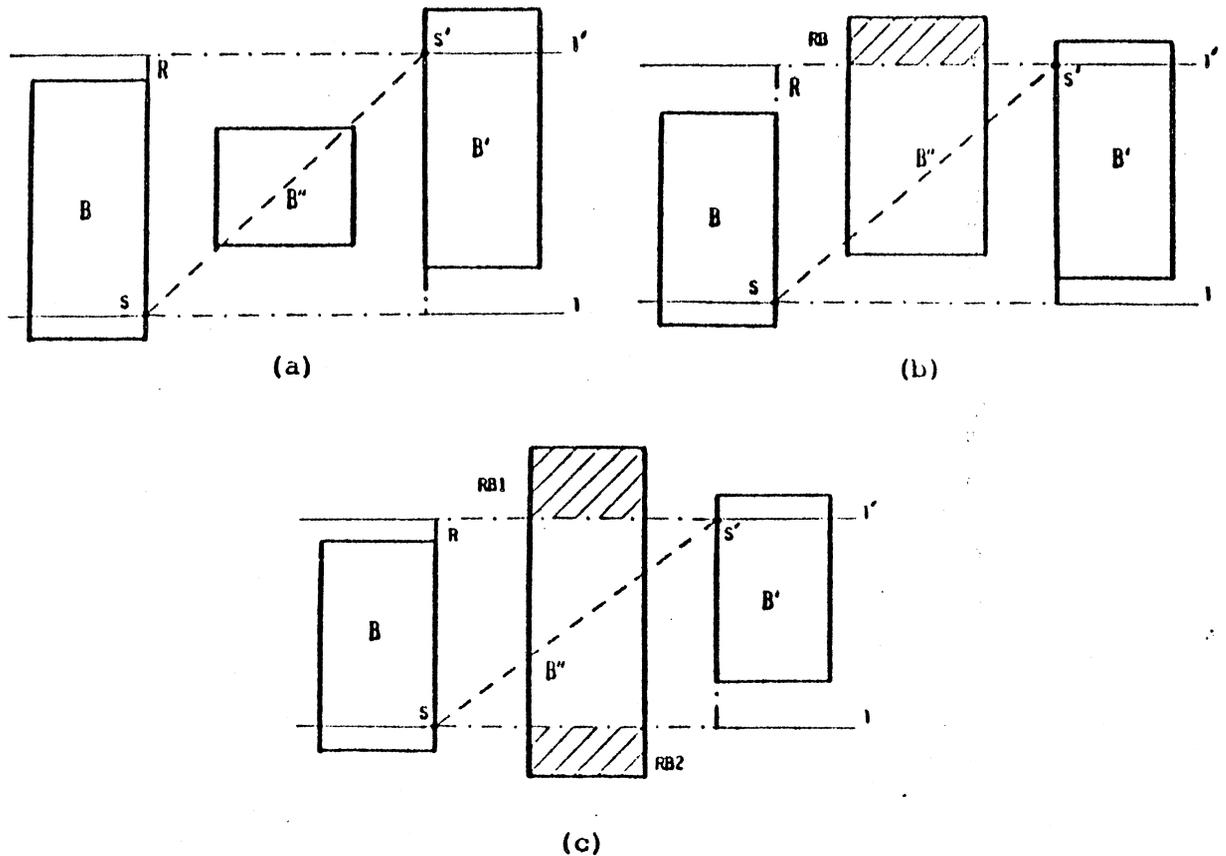


Figure 35 Position relatives de R et B'' dans les différents cas

b) Soit RB la partie de B'' non incluse dans R (figure 35 b) : le chemin le plus court est du côté où B'' est entièrement inclus dans R (en bas dans l'exemple). Le nombre de croisements est calculé pour ce chemin comme dans le cas a) et est ajouté à NC2.

c) Soient AB_1 et AB_2 les parties de B'' non incluses dans R (figure 35 c) : le chemin le plus court est du côté où RB_i ($i=1,2$) est le plus petit (RB_2 dans l'exemple). Le nombre de croisements est calculé comme dans les cas précédents et est ajouté à NC2.

Les cas particuliers (figure 36) où le bloc B'' est l'un des blocs connectés peuvent être identifiés au cas de la figure 35 b).

De la même manière, on calcule la contribution à NC des segments de S_2 traversant un bloc et les canaux horizontaux adjacents. Pour cela on considère les verticales passant par les deux points à relier.

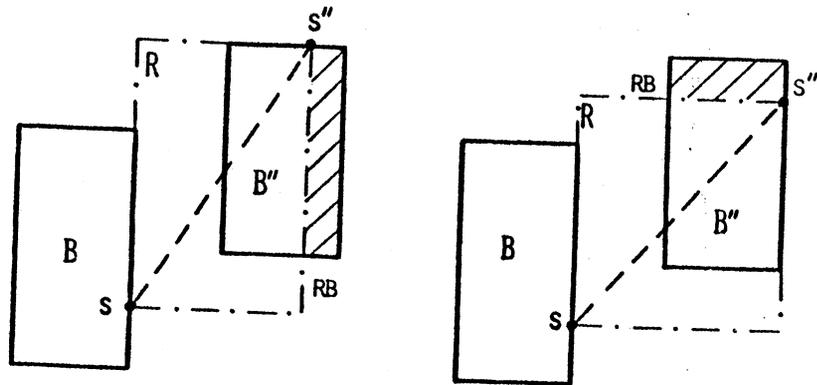


Figure 36 Cas particulier de la figure 35(b)

NC3, contribution des segments de S_3 à NC

Comme pour les segments de S_2 , les segments de S_3 sont partitionnés en 3 classes (figure 37).

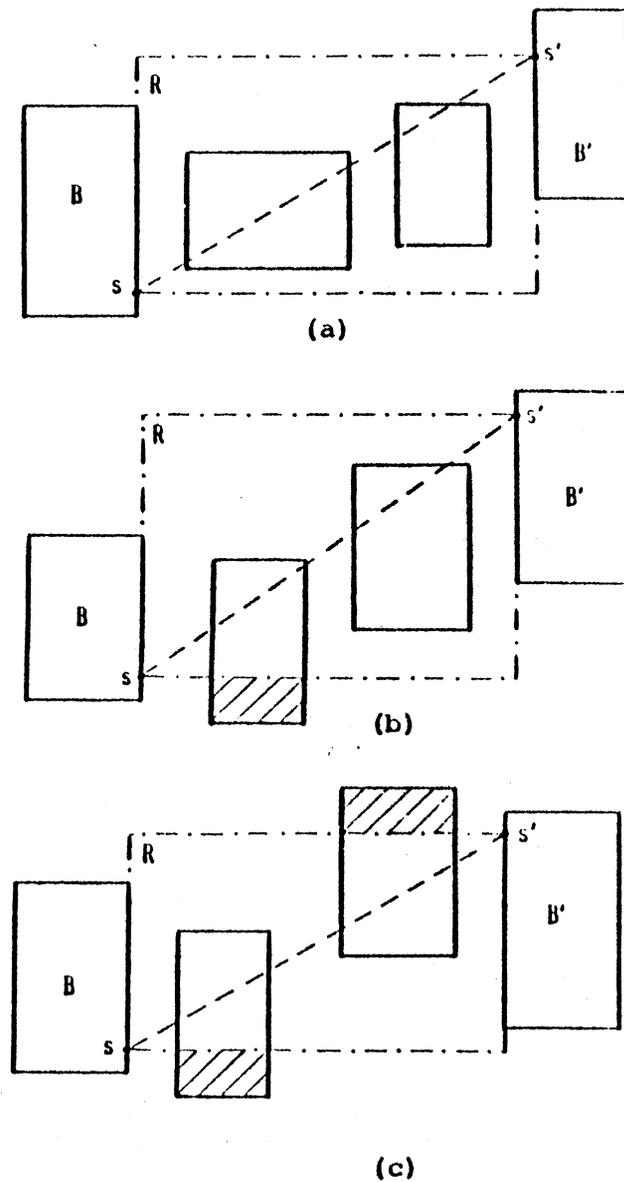


Figure 37 Les trois cas de segments de S_3

- a) Tous les blocs traversés par le segment sont entièrement inclus dans R (figure 37 a).
- b) Il existe des parties de blocs traversés non entièrement incluses dans R, d'un seul côté (figure 37 b).
- c) Il existe des parties de blocs traversés non entièrement incluses dans R, de chaque côté (figure 37 c).

Dans les cas a) et b) la contribution de S_3 à NC_3 est calculée comme pour les segments de S_2 a) et S_2 b). Dans le cas c), on calcule la somme des RBH et RBB séparément. NC_3 est calculé sur le côté le plus petit de RBH et RBB comme dans le cas $S_2(c)$.

Estimation globale de NC

En utilisant le critère C le nombre NC_1 de croisement entre toutes les paires possibles de segments est calculé, sauf pour les cas suivants :

Lorsqu'un des deux segments appartient à S_2 ou S_3 et que le bloc traversé contient une extrémité de l'autre segment (de la paire considérée), les croisements seront pris en compte durant l'évaluation de NC_2 ou NC_3 .

Ensuite, les méthodes précédentes sont appliquées aux segments de S_2 et S_3 pour le calcul de NC_2 et NC_3 .

La valeur globale NC, pour un placement donné, est la somme de NC_1 , NC_2 et NC_3 .

Estimation de la longueur minimum des interconnexions IL

IL et NC sont évalués simultanément. On estime au demi-périmètre de R (défini précédemment) la longueur des connexions correspondant aux segments de S_1 , S_2a-b et S_3a-b .

Ce demi-périmètre est pondéré par les dimensions de R_{Bi} dans les cas S_2c et S_3c .

La valeur IL est la somme des longueurs de connexions pour l'ensemble des segments.

III - 6.7. Traitement des connexions multi-terminaux

Les connexions multiples sont considérées comme une chaîne de segments consécutifs dont l'ordre est déterminé lors du placement initial constructif (partie suivante). Il existe alors deux types de points de connexion sur un bloc :

- i) point simple,
- ii) point double.

Un point de connexion simple est extrémité d'un seul segment, un point double de deux segments.

Remarquons que le critère C ne détecte pas d'intersection entre deux segments consécutifs de la chaîne, ce qui est souhaitable.

III - 6.8. Placement initial constructif

Ce placement nous permet de définir les positions relatives des blocs, le nombre des intra-connexions étant le plus grand possible. Durant cette étape, les deux critères concernant la largeur des canaux et la longueur des interconnexions ne sont pas pris en compte, dans la mesure où on ne peut pas estimer ces valeurs sans connaître un placement global des blocs. L'ordre des segments consécutifs des chaînes constituant les connexions ayant plus de deux sommets est déterminé, mais il pourra être modifié lors de l'amélioration itérative du placement.

La méthode consiste à sélectionner un premier bloc qui devient ensuite le noyau autour duquel un niveau de blocs est placé pendant le pas suivant de la construction. Le niveau de bloc suivant est ensuite construit autour d'un nouveau noyau constitué du noyau des blocs du précédent niveau (figure 38). Ce processus est itéré jusqu'à ce que tous les blocs soient placés. Au moment de placer un bloc, l'ordre de la liste partielle des segments des connexions ayant plusieurs sommets est déterminé en fonction des blocs déjà placés.

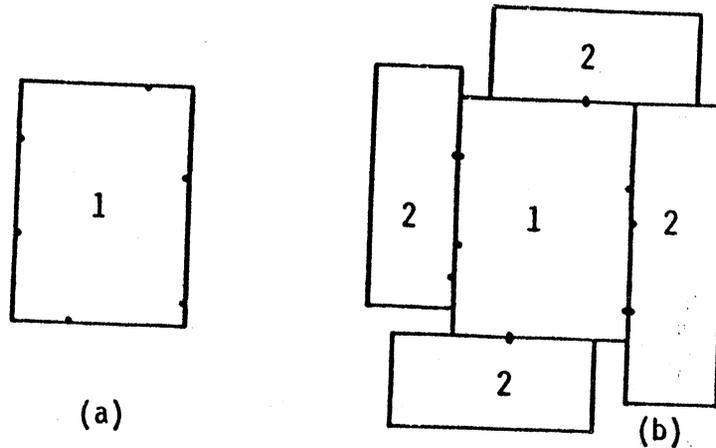


Figure 38 (a) Le premier bloc choisi constitue le noyau du niveau suivant
 (b) Placement des blocs du niveau 2 autour du bloc de niveau 1

A la fin de cette étape, ces blocs constituent le noyau du niveau suivant

Examinons maintenant quelques notions nécessaires pour expliciter l'algorithme de placement constructif décrit (figure 40).

Le critère C1, pour un bloc n'ayant aucun point de connexion avec l'environnement extérieur, est défini comme une fonction de sa surface et du nombre de ses points de connexions. C1 est utilisé pour la sélection du premier bloc.

Le critère C2, pour un bloc quelconque, est défini comme une fonction de sa surface et du nombre de points de ses intra-connexions avec les blocs déjà placés.

La contrainte CN, pour un bloc quelconque, est satisfaite s'il existe au moins un côté opposé à l'un des blocs du noyau.

Détermination d'un segment constituant une connexion multiple

Lorsque, sur un bloc que l'on vient de placer, il existe un point appartenant à une connexion multiple, on recherche tout d'abord, pour former le segment de la chaîne, un point simple appartenant à cette connexion et situé dans le noyau. Si deux points satisfont cette condition, on choisit celui dont le segment résultant est le plus court (figure 39 a). Si aucun point n'est déterminé, la recherche est alors appliquée aux blocs du même niveau et n'appartenant pas encore au noyau (figure 39 b).

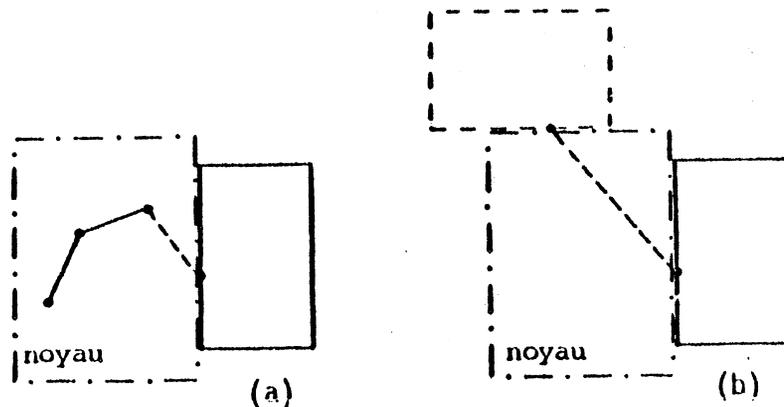


Figure 39 Détermination d'un segment constituant une connexion multiple

Cet algorithme nous permet d'obtenir un placement initial dont le nombre d'interconnexions est grand, ce qui entraîne une réduction de la longueur des connexions.

La largeur des canaux d'interconnexion entre les blocs est alors évaluée, ce qui donne le placement initial pour l'étape suivante : amélioration itérative.

- 1) Sélectionner le premier bloc, C1 maximum.
- 2) Constituer le noyau à l'aide des blocs déjà placés.
- 3) Sélection d'un bloc dans le niveau : parmi les blocs satisfaisant CN, sélectionner celui tel que C2 est maximum, et le placer en contact avec le noyau de manière à ce que la longueur des intra-connexions soit minimum.
Si aucun bloc n'a été sélectionné alors aller à 5).
- 4) Pour chaque point appartenant à une connexion multiple, déterminer, si possible, le segment correspondant dans la chaîne. Aller à 3).
- 5) S'il existe au moins un bloc non placé alors aller à 2).
(Construction du niveau suivant).
- 6) Fin du placement initial constructif.

Figure 40. Algorithme de placement initial constructif

III - 6.9. Amélioration itérative du placement

L'algorithme d'amélioration itérative modifie la topologie du circuit et l'arbre des segments dans les chaînes constituant les connexions ayant plusieurs sommets. Les critères sont évalués sur la nouvelle configuration obtenue, qui remplace la précédente si elle est meilleure. L'algorithme est appliqué aussi longtemps qu'il améliore le circuit.

Les critères mis en oeuvre dans cette étape sont, par ordre décroissant d'importance, les suivants :

- *Surface du circuit* : La surface totale ST du circuit est la surface du rectangle minimum contenant les blocs et les canaux d'interconnexion. La surface utile SU du circuit est la somme des surfaces des canaux d'interconnexion (évaluée par la méthode exposée en 3.5.2) et des blocs (évaluée à partir de la description des blocs). Le critère de surface est donc pris en compte en minimisant SU et ST-SU.

- *Nombre de croisements et longueur des interconnexions* :
Le nombre des croisements NC et la longueur des interconnexions IC, (évalués par les méthodes exposées en 3.5.2 et 3.5.3) sont minimisés.
- *Forme du circuit* : Soit RT le rapport largeur sur longueur du circuit global désiré (RT=1 pour une forme carrée). On minimise alors $RT - l/L$, où l et L sont les dimensions (largeur et Longueur) du rectangle minimum contenant le circuit, pour un placement des blocs donné.

Les transformations topologiques effectuées sur le circuit sont :

- 1) Echange par paire de tous les blocs géométriquement interchangeables, une paire à la fois.
- 2) Rotation, quand elle est possible, de tous les blocs, un à la fois.
- 3) Symétrie, quand elle est possible, de tous les blocs, un à la fois.

Chaque pas est itéré jusqu'à ce que l'amélioration s'arrête.

On applique de plus une transformation de l'ordre des segments constituant les connexions multiples.

- 4) Pour chaque connexion multiple, échange par pair des points extrémités des segments pour en modifier l'arche.

La séquence 1 à 4 est exécutée jusqu'à ce qu'il n'y ait plus amélioration pour aucun des quatre pas.

III - 6.10. La complexité

Le problème de placement a trois variables :

- (i) NB, nombre des blocs
- (ii) NT, nombre des connexions à deux terminaux
- (iii) MT, nombre des connexions à multi-terminaux.

Ces trois variables prennent différentes valeurs suivant le problème de placement. Dans la méthode de placement détaillée précédemment, il n'y a pas de restriction sur les emplacements. La complexité d'un algorithme est définie par la variation

- (i) de l'encombrement de la mémoire
- (ii) du temps de computation avec le nombre des éléments.

L'encombrement de la mémoire pour cet algorithme est obtenu par

$$C_1 NB + C_2 \cdot 2 \cdot NT + C_3 \cdot n \cdot MT$$

où C_1 , C_2 et C_3 sont des constantes définies par les caractéristiques de la machine sur laquelle cet algorithme est codé.

n est le nombre maximum des segments dans une connexion à multi-terminaux.

Donc l'encombrement de la mémoire pour cet algorithme est linéaire avec NB, NT et MT.

La variation du temps de computation, avec NB, NT, MT est évaluée de la manière suivante :

- le placement constructif des NB blocs par niveau prend

$$K_1 \frac{1}{2} \cdot NB(NB+1) \text{ temps}$$

- l'amélioration itérative du placement en effectuant des échanges par paires prend

$$K_2 \frac{1}{2} NB(NB-1) \text{ temps}$$

- l'évaluation des critères :

- (i) pour les canaux d'interconnexions prend

$$K_3 NB \text{ temps.}$$

(ii) Pour la longueur des interconnexions prend $K_4(NT+n MT)$ temps.

(iii) Pour le nombre des croisements prend $K_5 \frac{(NT+n MT)((NT+n MT)-1)}{2}$ temps

(iv) Pour la surface prend $K_6 \cdot NB$ temps.

Notons que $K_1, K_2, K_3, K_4, K_5, K_6$ sont définies par les caractéristiques de la machine sur laquelle cet algorithme est codé et mis au point.

Donc, le temps de computation de cet algorithme varie avec

- NB^3 pour des nombres de blocs NB,
- $NB^2 NT^2$ pour des nombres de connexions à deux terminaux NT,
- $NB^2 n^2 MT^2$ pour des nombres de connexions à multi-terminaux MT.

III - 6.11. Remarques

Le placement initial constructif reflète bien la connectivité du circuit, et constitue par conséquent un meilleur point de départ qu'un placement aléatoire pour l'étape suivante d'amélioration itérative.

La méthode proposée de construction par niveaux autour d'un noyau produit généralement un placement équilibré (forme carrée ou rectangulaire dont le rapport largeur par longueur est proche de 1).

La solution obtenue après amélioration dépend de l'ordre de priorité donné aux critères. Pour une application particulière, cet ordre peut être modifié.

Cette méthode tient compte de divers aspects qui facilitent l'étape suivante de tracé automatique des connexions.

Les programmes correspondants sont actuellement développés en Pascal sur Multics au CIGG et devraient sous peu conduire à une évaluation chiffrée de l'efficacité de la méthode proposée (voir Annexe 2).

CONCLUSIONS GÉNÉRALES

Les aspects étudiés dans la première partie sont illustrés à l'aide de la technologie NMOS. Dans la même voie, on peut aborder les aspects de la conception électrique dans d'autres technologies. Basé sur cette méthode, un outil de CAO, ayant un but de synthèse, est éventuellement envisagé. Cela sera réalisé en toute généralité afin d'employer les technologies courantes (NMOS, CMOS, I2L....). Remarquons que ce type d'outil de synthèse est l'un des premiers à être proposé.

La deuxième partie présente les aspects d'implantation, avec une méthode de placement originale, par l'approche multi-niveaux.

Le travail restant à faire est :

- (i) de tester cette méthode rigoureusement sur plusieurs exemples afin de chiffrer la qualité de cette méthode,
- (ii) de définir une méthode de tracé avec des canaux d'interconnexions, estimés dans l'étape de placement.

Une extension de ce travail est la prise en compte des éléments de forme polygone et des connexions en multi-couches.

BIBLIOGRAPHIE

- [AB 80] Abbas El Gamal
 "Stochastic Models for Interconnections in Integrated Circuits"
 Vol.1, IEEE International Conference on Circuits and Computers,
 Octobre 1980, New York, USA, pp.77-79.
- [AB 81] Abbas El Gamal
 "Two-dimensional stochastic model for interconnections in
 master slice integrated circuits", IEEE Trans. Circuits and
 Systems, Vol.CAS-28, n°2, Février 1981.
- [AB 81] Abbas El Gamal, Zahir A. Syed
 "A stochastic model for interconnections in custom integrated
 circuits", IEEE Trans. Circuits and Systems, Vol.CAS-28, n°9
 Septembre 1981, pp.888-894.
- [ABE 72] L. Abel
 "On the automated layout of multi-layer planar wiring and
 a related graph coloring problem", Coordinated Sc. Lab.
 Rep. n°R-546, University of Illinois, Janvier 1972.
- [AK 72] S.B. Akers
 "Routing", Design Automation of Digital Systems, Edited
 by M.A. Breuer, Vol.1, Prentice Hall, 1972, pp.283-333.
- [AKE 67] S.B. Akers Jr
 "A modification of Lee's path connection algorithm", IEEE
 Trans. Electro. Comp., Vol.EC-16, Février 1967, pp.97-98.
- [CH 81] Chi-Song Horng
 "An automatic/Interactive layout planning system for arbitrary-
 sized rectangular building blocks", 18th Design Automation
 Conference, Nashville, USA, June 1981, pp.293-300.
- [DO 79] W.E. Donath
 "Placement and average interconnection lengths of computer
 logic", IEEE Trans. circuits and Systems CAS-26, n°4,
 Avril 1979, pp.272-277.
- [DO 81] W.E. Donath
 "Wire length distribution for placements of computer logic",
 IBM Journal of R & D, Vol.25, n°3, Mai 1981, pp.152-155.
- [DO 81] W.E. Donath, W.F. Mikhail
 "Wiring space estimation for rectangular Gate arrays",
 1st VLSI conference, Aot 1981, Edinburgh, G.B., pp.301-310.

- [ED 80] Ed Seewann
"Switching speeds of MOS inverters", IEEE Journal of Solid State Circuits, Vol.SC-15, n°2, Avril 1980, pp.246-252.
- [ER 80] Eric Alan Slutz
"Shape determination and placement algorithms for hierarchical integrated circuit layout", Technical Report n°199, Août 1980 Computer Systems Laboratory, Stanford University USA.
- [FI 67] C.J. Fisk, D.L. Coskey and L.L. West
"ACCEL : Automated Circuit Card Etching Layout", Proc. IEEE, Vol.55, n°11, 1967, pp.1971-1982.
- [FIS 78] R.S. Fisher
"A multi-pass, multi-algorithm approach to PCB routing", 15th Design Automation Conference, Las Vegas, Nevada, June 1978, pp.87-91.
- [FL 74] J. FLORICICA
"Algorithmes d'implantation et tracé des connexions par fils isolés", Thèse de 3e cycle, USMG-INP de Grenoble, Juin 1974.
- [FO 73] L. Forbes
"N-channel ion-implanted enhancement/depletion FET circuit and fabrication technology", IEEE Journal of solid state circuits, June 1973.
- [GI 62] P.C. Gilmore
"Optimal and suboptimal algorithms for the quadratic assignment problem", J. SIAM, Vol.10, n°2, 1962, pp.305-313.
- [GL 59] R.H. Glaser
"A quasi-simplex method for designing suboptimal packages for electronic building blocks", Proc. 1959 comp. Appl. Symp. Armour Research Foundation, Illinois Inst. of Tech., pp.100-111.
- [GO 78] S. Goto, E.S. Kuh
"An approach to the two-dimensional placement, problem in circuit layout", IEEE Tr. on Circ. and syst., Vol.Cas-25, n°4, April 1978, pp.208-214.
- [GO 79] S. Goto
"A two-dimensional algorithm for the master slice LSI layout problem", 16th D.A. Conf. San Diego, California, June 1979, pp.11-17.
- [HA 66] M. Hanan
"On steiner's problem with restilinear distance", SIAM Journal of Applied Math., Vol.14, n°2, March 1966, pp.255-265.

- [HA 72] M. Hanan, J.M. Kurtzberg
"Placement techniques", Design Automation of Digital Systems,
Edited by M.A. Breuer, Vol.1, Prentice Hall, 1972, pp.211-282.
- [HAS 71] A. Hashimoto, J. Stevens
"Wire routing by optimizing channel assignment within large
apertures", 8th Design Automation Workshop, 1971, pp.155-169.
- [HAY 80] J. Hayes
"MOS Scaling", Computer, Vol. n° Janvier 1980, pp.
- [HE 80] W. Heyns, W. Sansen, H. Beke
"A line-expansion algorithm for the general routing problem
with a guaranteed solution", 17th Design Automation Conference,
Minneapolis, Minnesota, June 1980, pp.243-249.
- [HI 69] D.W. Hightower
"A solution to line-routing problems on the continuous plane",
6th Design Automation Workshop, 1969, pp.1-24.
- [HI 80] D.W. Hightower, R.L. Boyd
"A generalized Channel router", 17th Design Automation
Conference, Minneapolis, Minnesota, June 1980, pp.12-21.
- [ICAN] "Complementary MOS Transistor Logic Integrated Circuits",
RCA integrated circuits application note, ICAN-5593, pp.1-17.
- [KH 77] K.H. Khohani, A.M. Patel
"The Chip Layout Problem : a placement procedure for LSI",
14th Design Automatic Conference, 1977, pp.291-297.
- [KN 78] R.W. Knepper
"Dynamic depletion mode : an E/D MOSFET circuit method for
improved performance", IEEE Journal of Solid State Circuits,
Vol.SC-13, n°5, Octobre 1978, pp.542-548.
- [KR 56] J.B. Krustal
"On the shortest spanning subtree of a graph and the traveling
salesman problem", Proc. Amer. Math. Soc., Vol.7, 1956,
pp.48-50.
- [KU 62] J.M. Kurtzberg
"On Approximation Methods for the Assignment Problem",
J. ACM, Vol.9, n°4, 1962, pp.419-439.
- [KU 65] J.M. Kurtzberg
"Algorithms for Blackplane Formation", Microelectronics
in Large Systems, Spartan Books, 1965, pp.51-76.

- [KU 79] K.G. Kulkarni, V. Jayakumar
"Ordering of connections for Automatic Routing", IEEE Tr.
On Computers, Vol.C-28, n°10, Octobre 1979, pp.791-794.
- [LA 63] E.L. Lawler
"The Quadratic Assignment Problem", Management Science,
Vol.9, 1963, pp.586-599.
- [LA 81] Lai-Chering Suen
"A Statistical model for net length estimation", 18th
Design Automation Conference, Nashville, USA, June 1981,
pp.769-771.
- [LAU 79] V. Lauther
"A min-cut placement algorithm for general cell assemblies
based on a graph representation", 16th D.A. Conf. San Diego
California, June 1979, pp.1-9.
- [LE 61] C.Y. Lee
"An Algorithm for Path Connections and its Applications",
IRE Trans. Electro. Comp., Vol.EC-10, Septembre 1961,
pp.346-365.
- [LE 80] A. Leblond, G. Serréro, A. Verdillon
"Automatic Layout of Symbolic MD-MOS Circuits", 1st ICC
Conference, Port Chester, New York, Octobre 1980, pp.772-776.
- [LI 63] J.D.C. Little, K.G. Murty, D.W. Sweeney and C. Karel
"An Algorithm for the Traveling Salesman Problem", J. Oper.
Res., Vol.11, 1963, pp.972-989.
- [LO 80] M.J. Lorenzetti, R.J. Smith II
"An implementation of a saturated zone multi-layer printed
circuit board router", 17th Design Automation Conference,
Minneapolis, Minnesota, June 1980, pp.255-262.
- [LU 80] F. Luebbert, M. Ulrey
"Gate assignment and pack placement : two approaches compared",
17th DA Conference, Minneapolis, Minnesota, June 1980,
pp.472-482.
- [MA 79] R. Malladi
"Etude de la structure et du fonctionnement interne du micro-
processeur INTEL 8085", Rapport du DEA, Juin 1979, ENSIMAG
Grenoble.
- [MA 81] R. Malladi, G. Serrero
"Implantation Automatique des Circuits : Placement et Inter-
connections", Rapport de Recherche n°238, IMAG, Mars 1981.

- [MA 81] R. Malladi, G. Serrero, A. Verdillon
 "Automatic Placement of Rectangular Blocks with the Inter-connection Channels", 18th Design Automation Conference, Nashville, Tennessee, June 1981, pp.419-425.
- [MA 81] R. Malladi, G. Serrero
 "OASIS - An Automatic Design Tool for Symbolic Layout of Circuits", 8th European Solid State Circuits Conference, Septembre 1981, University of Friburg, West Germany, pp.31-33.
- [MA 81] R. Malladi, G. Serrero
 "Placement et Interconnexion pour l'Implantation Automatique des Circuits", Journal de l'Onde Electrique, Paris, Vol.62, n°1, Janvier 1982, pp.
- [MAS 72] T. Masuhara et al
 "A high performance n-channel MOS LSI using depletion type load elements", IEEE Journal of Solid State Circuits, Vol.SC-7, n°3, June 1972, pp. 224-231.
- [ME 80] C.A. Mead, L.A. Connway
 "Introduction to VLSI Systems", Addison-Wesley, Reading Mass, 1980.
- [MEY 80] R.G. Meyer
 "MOS Crystal Oscillator Design", IEEE Journal of Solid State Circuits, Vol.SC-15, n°2, Avril 1980.
- [MI 68] K. Mikami, K. Tabushi
 "A computer program for optimal routing of printed circuit connectors", IFIPS Proc., 1968, pp.1475-1478.
- [MU 57] J. Munkres
 "Algorithms for the Assignment and Transportation Problems", J. SIAM, Vol.5, 1957, pp.32-38.
- [NI 80] I. Nishioka et al
 "An automatic routing system for high density multilayer printed wiring boards", 17th Design Automation Conference, Minneapolis, Minnesota, June 1980, pp.520-527.
- [PR 78] B.T. Preas, C.W. Gwyn
 "Methods for Hierarchical Automatic Layout of Custom LSI Circuit Masks", Design Automation Conference, 1978, pp.206-212.
- [PR 79] B.T. Preas, W.M. Van Cleemput
 "Routing algorithms for hierarchical IC Layout", Proc. ISCAS, Tokyo, 1979.
- [PR 79] B.T. Preas, W.M. Vancleemput
 "Placement algorithms for arbitrary shaped blocks", 16th Design Automation Conference, 1979, pp.474-480.

- [QU 79] N.R. Quinn, Melvin A. Breuer
 "A force directed component placement procedure for printed circuit boards", IEEE Transactions on Circuits and Systems Vol.CAS-26, n°6, June 1979, pp.377-388.
- [RE 77] E.M. Reingold, J. Nievergelt and N. Deo
 "Combinatorial Algorithms, Theory and Practice", Prentice Hall, 1977, pp.121-130.
- [RO 76] D.J. Rosenkrantz, R.E. Stearns and P.M. Lewis
 "An Analysis of Several Heuristics for the Traveling Salesman Problem", Tech. Rep. of the Gr. Sch. of Industrial Administration, Carnegie-Mellon University, Pittsburgh 1976.
- [RU 74] F. Rubin
 "An Iterative Technique for Printed Wire Routing", 11th Design Automation Workshop, 1975, pp.308-313.
- [RU 74] F. Rubin
 "The Lee Path Connection Algorithm", IEEE Trans. on Comp. Vol.C-23, n°9, Septembre 1974, pp.907-914.
- [SE 82] G. Serrero
 "Implantation Symbolique et Automatisée des Circuits Intégrés", Thèse de Docteur Ingénieur, INPG-Université de Grenoble, A paraître.
- [SO 81] J. Soukup, J.C. Roule
 "An Hierarchical Routing", Journal of Digital Systems, Vol.5, n°3, 1981, pp.265-289.
- [SO 81] J. Soukup
 "Circuit Layout", Proceedings of IEEE Transactions, Vol.69 n°10, Octobre 1981, pp.1281-1304.
- [SM 80] V.K. Smith, R.J. Smith II, P.A. Preston
 "COMET - A Fast Component Placeré", 17th D.A. Conf. Minneapolis Minnesota, June 1980, pp.465-471.
- [ST 61] L. Steinberg
 "The Backboard Wiring Problem : A Placement Algorithm", SIAM Rev. Vol.3, n°1, 1961, pp.37-50.
- [TA 80] F. Tada, K. Yoshimura, T. Kagata, T. Shirakawa
 "A fast maze router with iterative use of variable search space restriction", 17th Design Automation Conference, Minneapolis, Minnesota, June 1980, pp.250-254.

- [WI 74] D.C. Wilson, R.J. Smith II
"An experimental Comparison of Force Directed Placement
Techniques", Design Automation Workshop, 1974, pp.194-199.
- [WU 76] W. Wu, D.C. Schmidt
"A floating via router on a saturated zone strategy",
IEEE Tr. on Circ. and Syst., Decembre 1976, pp.830-835.
- [YU 76] H.N. Yu et al
"/ m MOSFET VLSI Technology : part 1. An overview", IEEE
Journal of Solid-State Circuits, Vol.SC-14, n°2, Avril 1979,
pp.240-246.

ANNEXE 1

Les calculs pour la conception des portes et du PLA sont illustrés par les exemples suivants :

a)

1. Un inverseur (Inv1) avec la description topographique suivante est à concevoir :

- nombre des sorties : 4
- longueur des connexions } En Alu 100λ
dans la sortie } En Si-poly 250λ
- les dimensions de quatre grilles à relier avec la sortie de cet inverseur sont :
($3\lambda \times 6\lambda$), ($2\lambda \times 4\lambda$), ($5\lambda \times 2\lambda$) et ($3\lambda \times 8\lambda$).

Les caractéristiques désirées de cet inverseur sont les suivantes :

- le niveau '0' à 0.25V
- le niveau '1' à 5V
- le temps de montée 30 ns.

$$C_{dsmin} = 30 \times 10^{-4} \text{ pf}$$

$$C_{ln} = 0.2610 \text{ pf}$$

$$f_0^a = 15$$

$$C_{fa_0} = 0.324 \text{ pf}$$

$$C_L = 0.588 \text{ pf}$$

$$R_L = 3.750 \text{ K}\Omega$$

$$B_{rmin} = 1.54$$

$$B_{cmin} = 2.3$$

$$B_{smin} = 3.54$$

$$\Delta\beta_{Cn} = 0.0237$$

$$\Delta\beta_{Cn} = 0.0366$$

$$\text{Donc } \beta_C = 2.32 \quad L_C = 2\lambda (=6\mu) \quad W_C = 4.64\lambda (=14\mu)$$

$$\beta_S = 3.58 \quad L_S = 2\lambda (=6\mu) \quad W_S = 7.16\lambda (=22\mu)$$

2. Un inverseur (INV2), avec la description topographique suivante, est à concevoir à l'emploi des calculs paramétrés à partir des dimensions de INV1.

- Nombre des sorties : 5
- Longueur des connexions } En Alu 150λ
dans la sortie } En Si-poly 200λ
- Les dimensions de Cinq grilles à relier avec la sortie de cet inverseur sont $(4\lambda \times 5\lambda)$, $(3\lambda \times 5\lambda)$, $(2\lambda \times 7\lambda)$, $(7\lambda \times 12\lambda)$ et $(6\lambda \times 9\lambda)$.

Les caractéristiques désirées de cet inverseur sont les suivantes :

- le niveau '0' à 0.25V
- le niveau '1' à 5V
- le temps de montée 40 ns.

$$C_{dsmin} = 30 \times 10^{-4} \text{ pf}$$

$$f_0^a = 46.75$$

Car V'0' est le même que dans INV1,

$$B_{rmin} = 1.54$$

$$B_{cmin} \text{ pour INV1} = 2.3$$

Les facteurs de corrections suivants sont appliqués sur le B_{Cmin} de inv1 pour obtenir le B_{Cmin} de inv2.

(1) $\frac{1}{1+0.33}$ pour la variation du temps de montée

(2) $(1+0.0077)$ pour la variation de la longueur des lignes d'interconnexion.

(3) $(1+1.1665)$ pour la variation du nombre f_0^a .

$$\begin{aligned} \text{Donc } \beta_{\text{cmin}_{\text{inv}2}} &= \left(\frac{1}{1+0.33}\right)(1+0.0077)(1+1.1665) \beta_{\text{cmin}_{\text{inv}1}} \\ &= 3.78 \end{aligned}$$

$$\beta_{\text{smin}} = 5.82$$

$$\Delta \beta_{\text{c}_n} = 0.034$$

$$\Delta \beta_{\text{s}_n} = 0.052$$

$$\text{Donc } \beta_{\text{cmin}} = 3.814$$

$$\beta_{\text{smin}} = 3.872$$

$$L_{\text{c}} = 2\lambda (=6\mu); W_{\text{c}} = 7.628\lambda (\sim 22\mu)$$

$$L_{\text{s}} = 2\lambda (=6\mu); W_{\text{s}} = 11.744\lambda (\sim 35\mu)$$

3. Une porte NOR, avec la description topographique suivante, est à concevoir en utilisant la méthode de calcul généralisée :
- . nombre d'entrées : 4
 - . nombre de sorties : 3
 - . longueur des connexions dans la sortie : $\left. \begin{array}{l} \text{en Alu } 300\lambda \\ \text{en Si-poly } 120\lambda \end{array} \right\}$
 - . les dimensions de trois grilles à relier avec la sortie de cette porte sont $(2\lambda \times 4\lambda)$, $(7\lambda \times 12\lambda)$, $(4\lambda \times 6\lambda)$.

Les caractéristiques désirées de cette porte sont les suivantes :

- . le niveau '0' à 0.2V
- . le niveau '1' à 5V
- . le temps de montée 40 ns.

$$\begin{aligned} C_{dsmin} &= 4 \times 30 \times 10^{-4} \text{ pf} \\ &= 120 \times 10^{-4} \text{ pf} \end{aligned}$$

$$C_{In} = 0.8154 \text{ pf}$$

$$f_0^a = 29$$

$$C_L = 1.245 \text{ pf}$$

$$R_L = 1.8 \text{ K}\Omega$$

$$\beta_{rmin} = 1.93$$

$$\beta_{cmin} = 3.63$$

$$\beta_{smin} = 7.0$$

$$\Delta\beta_{Cn} = 0.17$$

$$\Delta\beta_{SN} = 0.32$$

$$\text{Donc } \beta_C = 3.8 \quad L_C = 2\lambda (=6\mu); \quad W_C = 7.6\lambda (=22\mu)$$

$$\beta_S = 7.32 \quad L_S = 2\lambda (=6\mu); \quad W_S = 14.64\lambda (=44\mu)$$

Les quatre MOS transistor de signal auront les mêmes dimensions ($L_S = 6\mu$ et $W_S = 44\mu$).

b) Pour un PLA, avec la description topographique suivante, calculer le temps de retard.

- nombre d'entrées : 8
- nombre de monômes : 14
- nombre de sorties : 20
- FRP 'ET' : 0.6
- FRP 'OU' : 0.4
- le niveau '0' : 0.2V
- la longueur de MOST de signal : 2λ
- la largeur de MOST de signal : 4λ

Les valeurs des paramètres calculées pour le PLA sont les suivantes :

$$R_1 = 1.83 \text{ K}\Omega$$

$$R_2 = 2.64 \text{ K}\Omega$$

$$R_d = 340\Omega$$

$$C_1 = 0.33 \text{ pf}$$

$$C_2 = 0.54 \text{ pf}$$

$$C_3 = 0.28 \text{ pf}$$

$$\beta_s = 2.0$$

$$\beta_r = 1.98$$

$$\beta_c = 1.01$$

$$R_{on} = 4.49 \text{ K}\Omega$$

$$R_c = 115.82 \text{ K}\Omega$$

$$R'_c = 58.5 \text{ K}\Omega$$

(R'_c est la résistance du MOST de charge ($\beta'_c = 2$) de la porte fournissant le signal d'entrée).

Notons que β_c et par conséquent β_r actuels sont 1 et 2 respectivement.

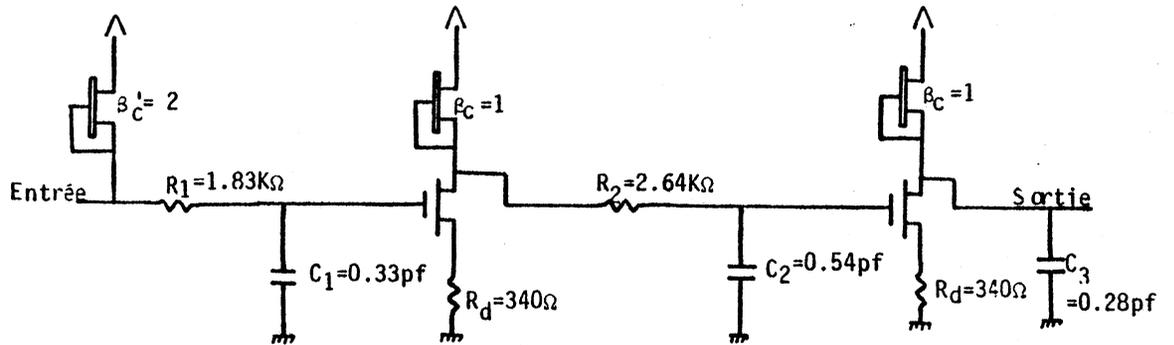


Figure 1

Pour calculer le temps de retard, considérons le schéma suivant, pour le 0 à 1 transition du signal d'entrée

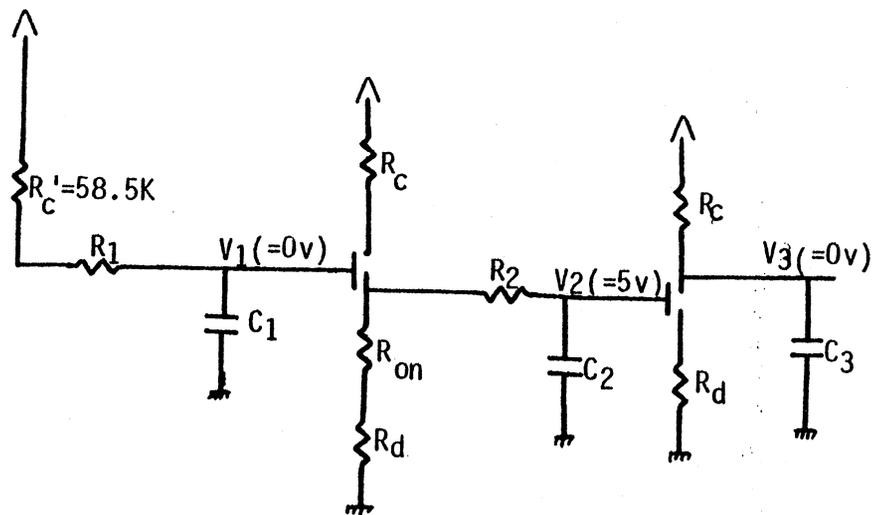


Figure 2

$$t_1 = 2(R'_C + R_1) C_1 = 40 \text{ ns (temps de montée de } V_1)$$

$$t_2 = 2(R_2 + R_{on} + R_d) C_2 = 8.08 \text{ ns (temps de descente de } V_2)$$

$$t_3 = 2(R_C C_3) = 64.8 \text{ ns (temps de montée de } V_3)$$

$$\begin{aligned} \text{Le retard total} &= t_1 + t_2 + t_3 \\ &= 112.68 \text{ ns} \end{aligned}$$

Pour le 1 à 0 transition du signal d'entrée, considérons le schéma suivant :

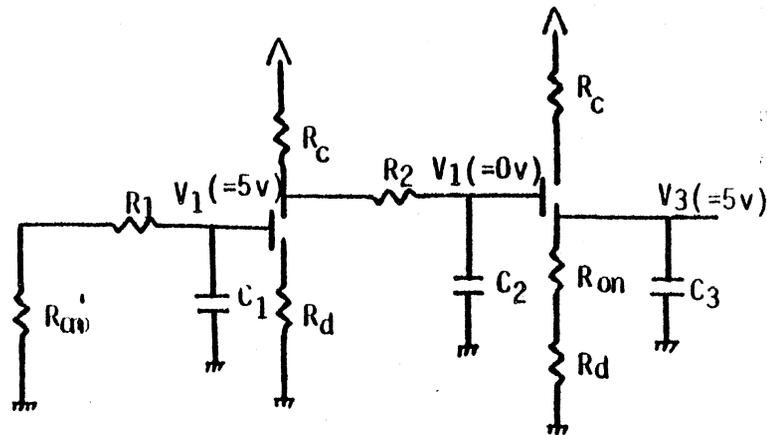


Figure 3

$$t_1 = 2(R_1 + R_{on}') C_1 = 2.6 \text{ ns (temps de descente de } V_1)$$

(R_{on}' est la résistance du MOST du signal de la porte fournissant le signal d'entrée)

$$t_2 = 2(R_c + R_2) C_2 = 128 \text{ ns (temps de montée de } V_2)$$

$$t_3 = 2(R_{on} + R_d) C_3 = 2.7 \text{ ns (temps de descente de } V_3)$$

Le retard total = 133.3 ns.

ANNEXE 2

Un exemple comprenant 9 blocs et 86 connexions est construit. Parmi ces connexions il y a 12 connexions externes (plots d'entrées et de sorties) et 3 connexions multi-terminaux. Les dimensions, la surface et la répartition de ces connexions sur ces blocs sont les suivantes :

Numéro du bloc	Longueur (en pas de grille)	Largeur (en pas de grille)	Surface mm ²	Nombre de connexions		
				Deux terminaux	Multi terminaux	Externe
1	4 x 16	4 x 19	1.492992	5	2	3
2	4 x 12	4 x 12	0.746476	6	1	-
3	4 x 10	4 x 28	1.451520	10	1	1
4	4 x 34	4 x 10	1.762560	8	1	5
5	4 x 14	4 x 18	1.306368	7	2	1
6	4 x 8	4 x 16	0.663552	3	3	-
7	4 x 14	4 x 16	1.161216	7	2	-
8	4 x 40	4 x 8	1.652880	6	3	2
9	4 x 20	4 x 8	0.829440	6	1	-

Un pas de grille (=6λ) (figure 1) est fixé à partir de deux lignes d'Alu adjacentes.

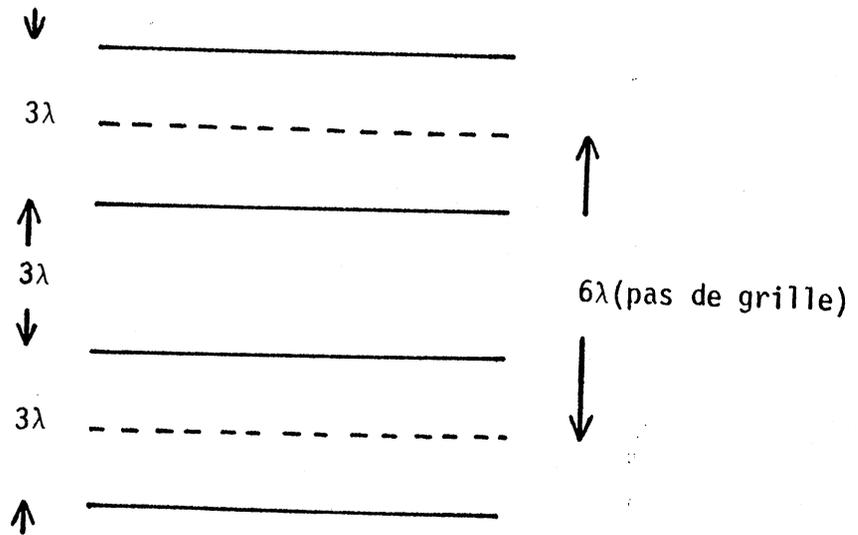


Figure 1

La description des connexions sur ces blocs est donnée dans les pages suivantes. Pour illustrer l'algorithme de placement d'un circuit au niveau des blocs, on a considéré trois cas :

- a) Tout d'abord on obtient une solution de placement englobant tous les blocs dans un rectangle minimale. Ensuite les différentes connexions entre ces blocs sont tracées.
- b) Une solution initial est construite à partir de l'algorithme décrit dans la partie précédente. Le tracé est fait pour des connexions.
- c) La solution initial obtenue est améliorée en effectuant une translation sur $B_6, B_3, B_7, B_2, B_5, B_9$ et une symétrie sur B_1, B_3, B_8 .

Notons que

- (i) dans le cas a), la solution du placement sans tracé est inférieure à celles des cas b) et c);
- (ii) dans le cas c), la solution du placement avec tracé est nettement inférieure à celle des cas a) et b);
- (iii) dans le cas b), la solution du placement avec tracé est inférieure à celle dans le cas a).

Donc cela démontre que

- (i) Un placement minimal (sans tracé) ne produit toujours pas une solution minimale après le tracé.
- (ii) Un placement minimal en tenant compte de l'effet du tracé donne une solution minimale même après le tracé.

Donc, un placement obtenu à partir de l'algorithme décrit dans la partie précédente donne une solution minimale, bien que celle là ne soit pas optimale globalement. Le taux de réussite du tracé automatiquement sera élevé car le nombre des pistes nécessaires pour tracer est évalué au niveau du placement.

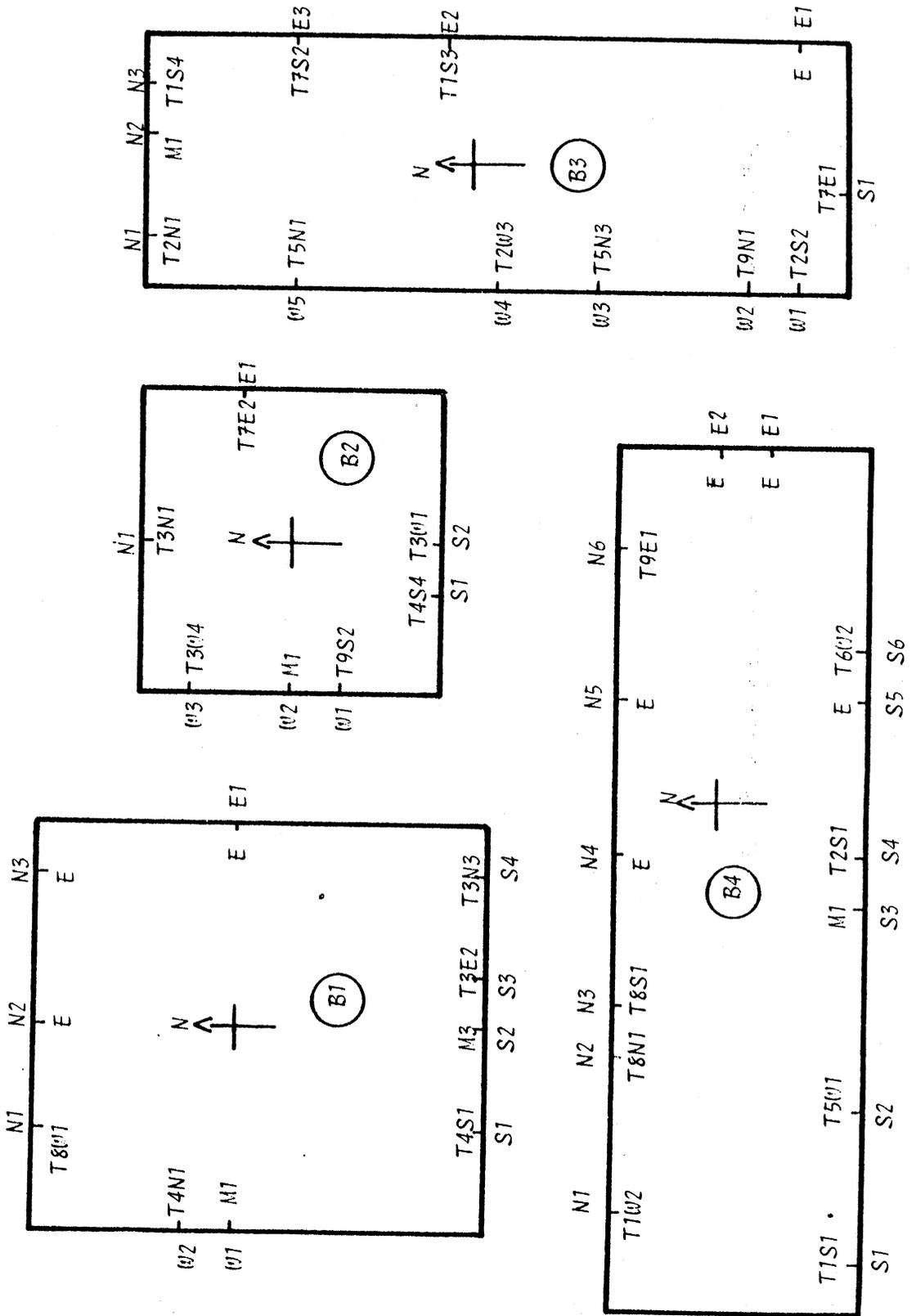


Figure 2(a) Description des blocs et des interconnexions

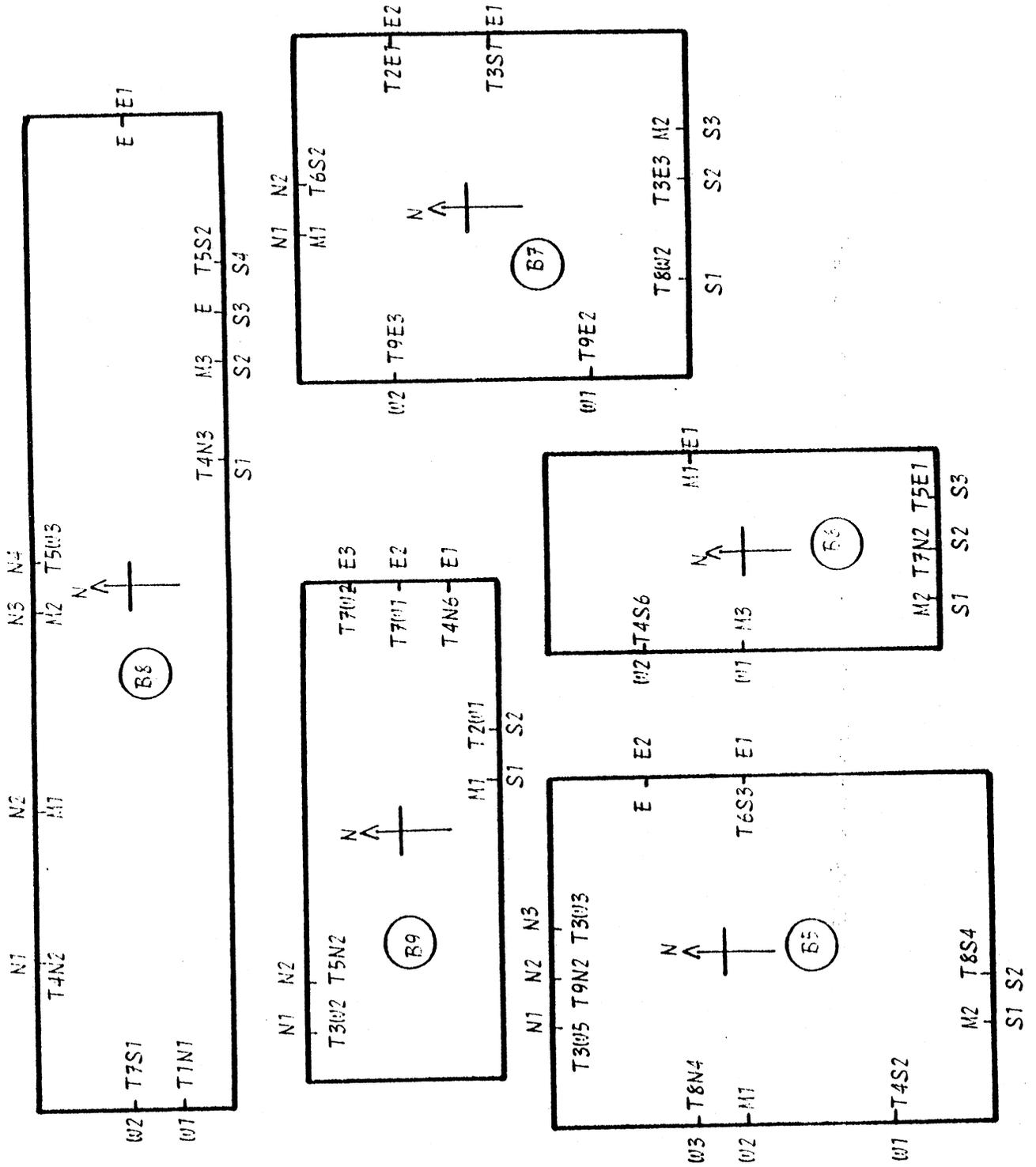


Figure 2(b) Description des blocs et des interconnexions

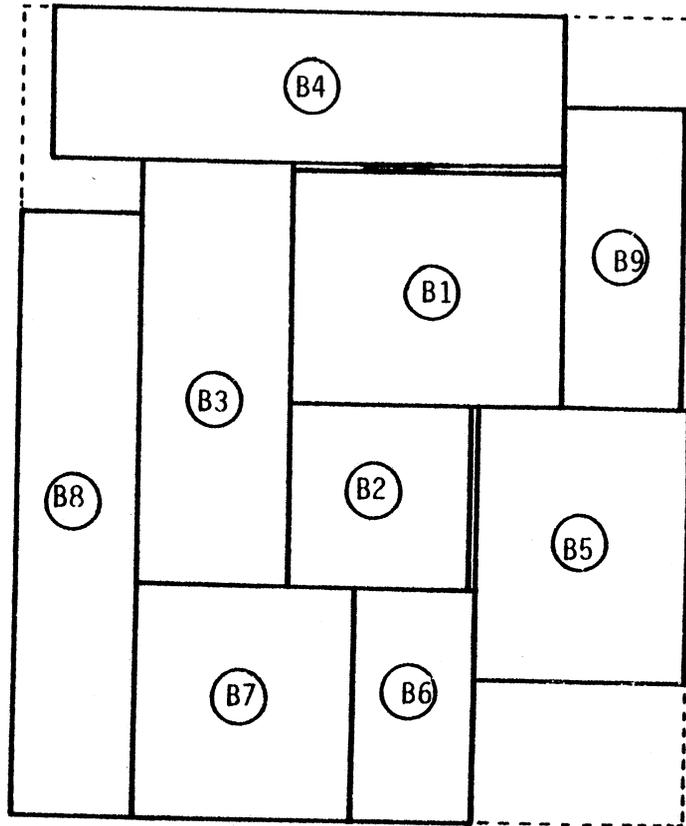


Figure 3 Cas(a) Solution du placement
avec une minimum rectangle englobante
Surface = 12.3418 mm²

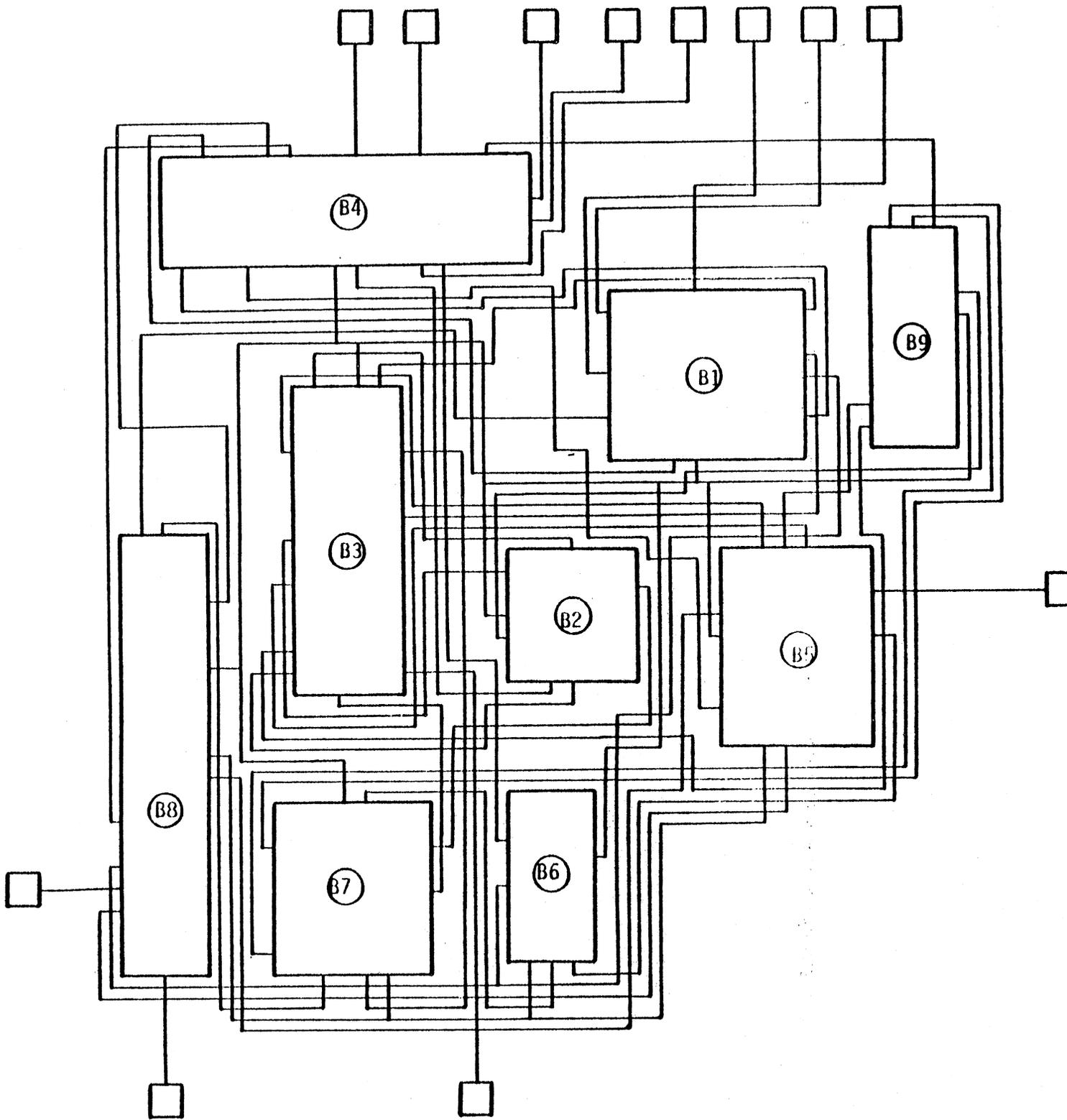


Figure 4 Cas(a) Solution après tracé

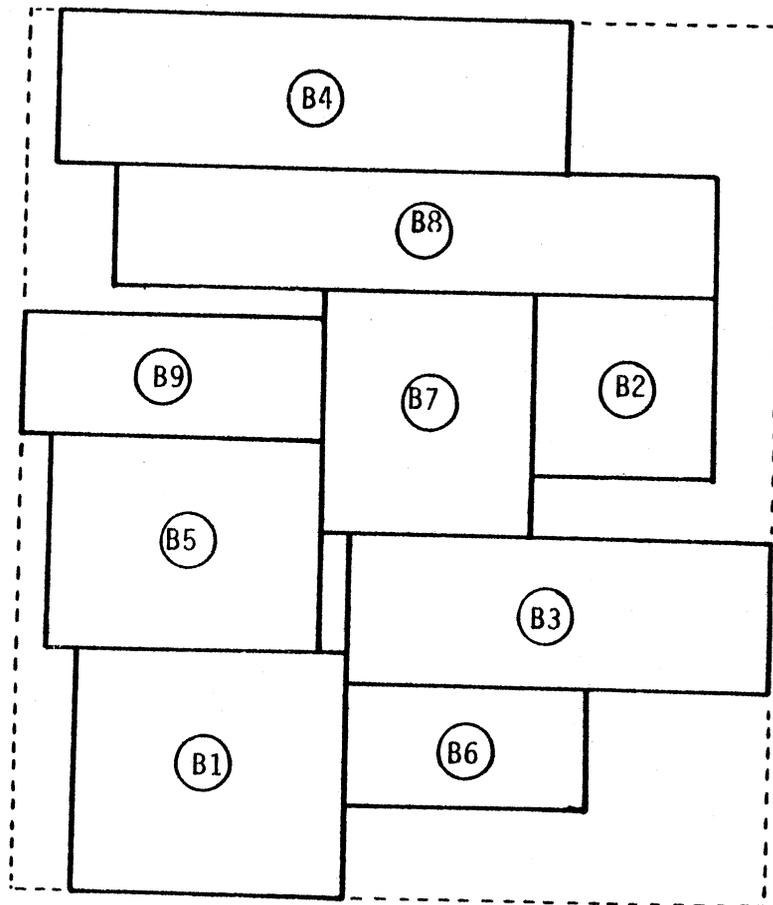


Figure 5 Cas(b) Solution du placement
construite avec l'algorithme

Surface = 15.0336 mm²

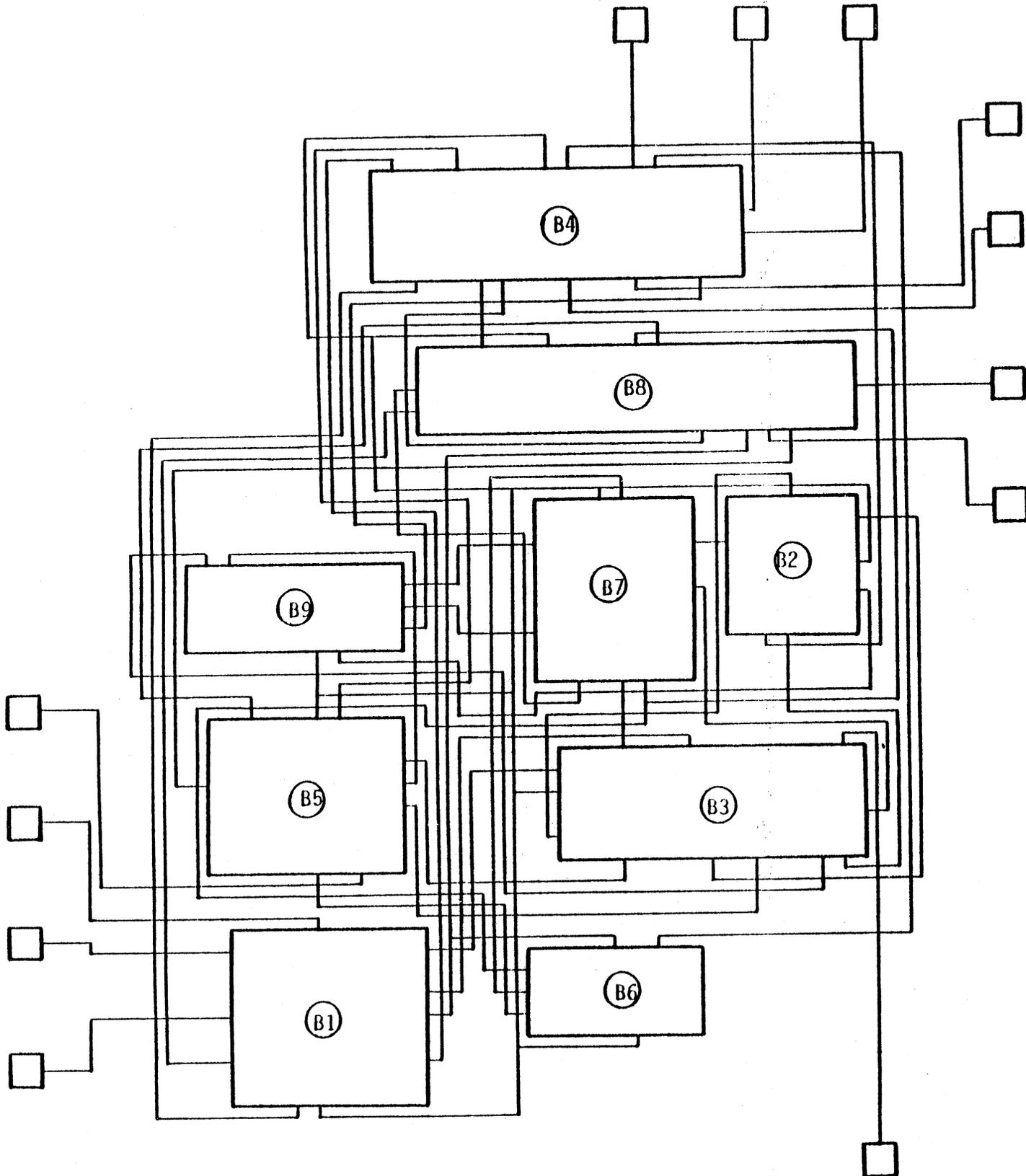


Figure 6 Cas(b) Solution après tracé
6.95% de la surface moins que dans le Cas(a)

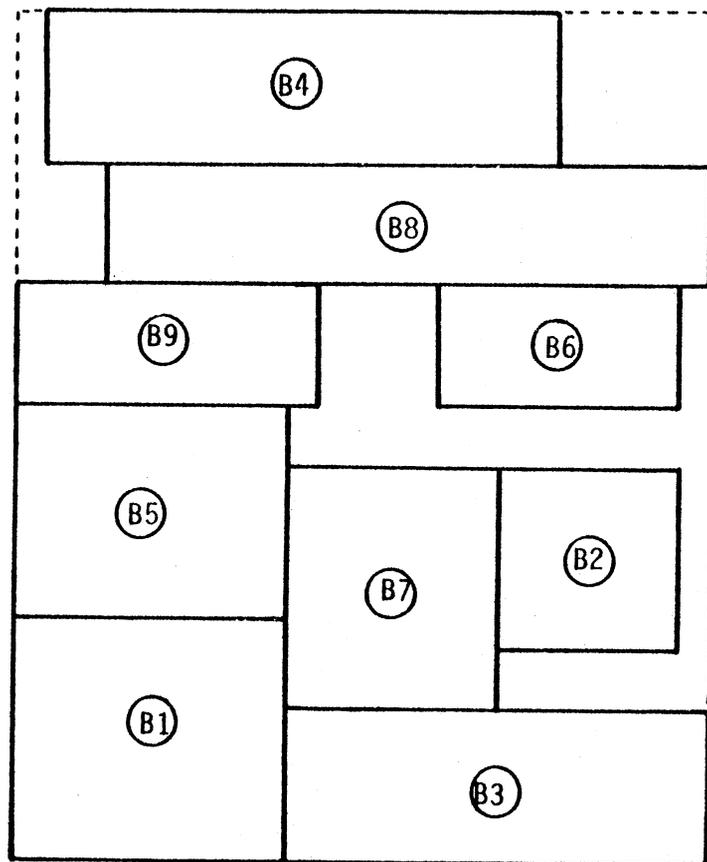


Figure 7 Cas(c) Amélioration du placement
de Cas(b)

Surface = 13.3539 mm²

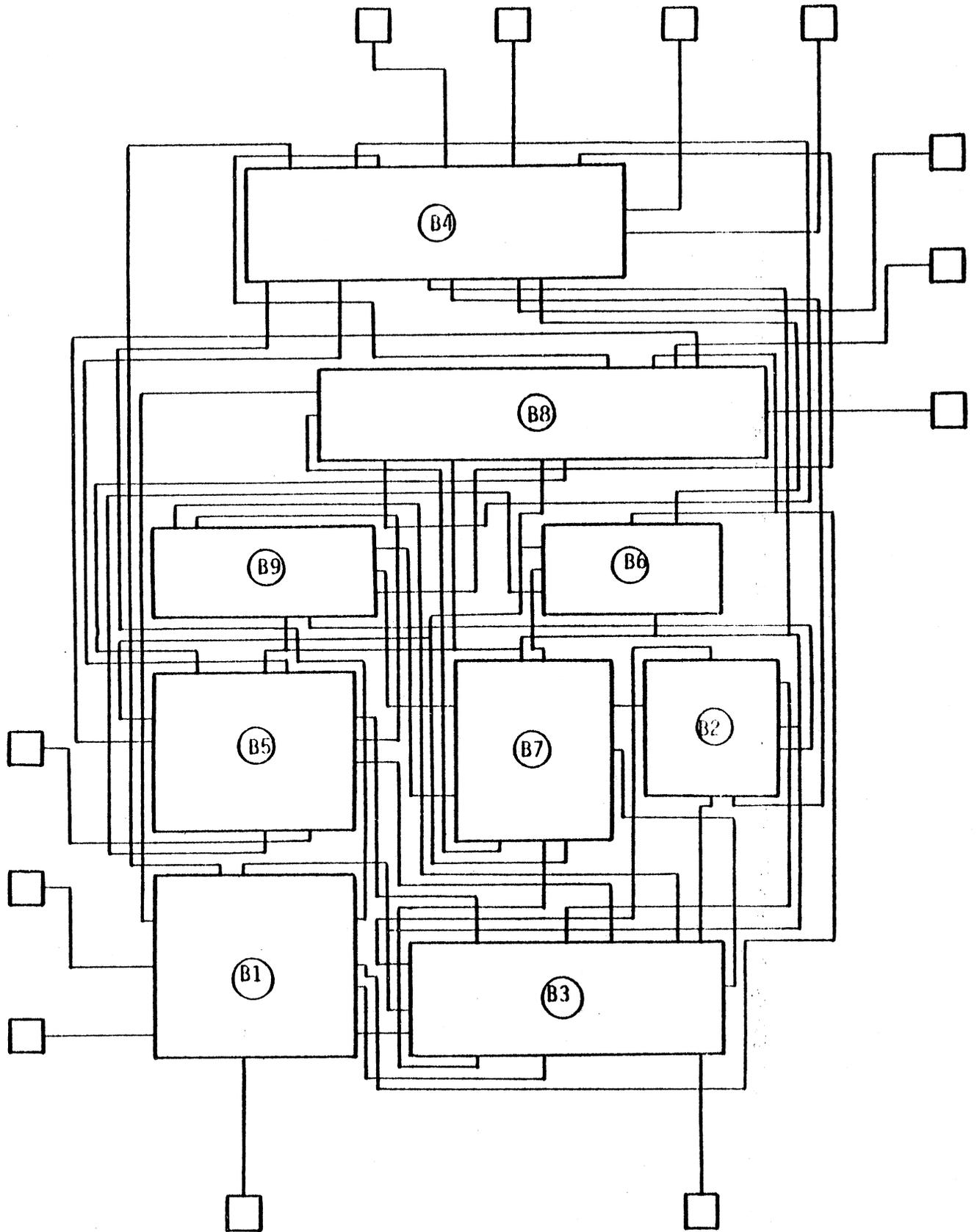


Figure 8 Cas(c) Solution après tracé

10.36% de la surface moins que dans le Cas(b)

16.58% de la surface moins que dans le Cas(a)

A U T O R I S A T I O N D E S O U T E N A N C E

VU les dispositions de l'article 3 de l'arrêté du 16 avril 1974

VU les rapports de présentation de

- . Madame G. SAUCIER, Professeur
- . Monsieur J.L LARDY, Ingénieur

Monsieur M A L L A D I Venkata Subba Rao

est autorisé à présenter une thèse en soutenance pour l'obtention du diplôme de
DOCTEUR-INGENIEUR, Spécialité "Génie Informatique".

Fait à Grenoble, le 7 janvier 1982

Le Président de l'I.N.P.-G. rλ

D. BENOICH
Président
de l'Institut National Polytechnique
de Grenoble

