



**HAL**  
open science

# Évaluations électriques et temporelles des PLA complexes COMPLETE: COM plex PLA Electrical and Temporal Evaluator

Abbas Dandache

► **To cite this version:**

Abbas Dandache. Évaluations électriques et temporelles des PLA complexes COMPLETE: COM plex PLA Electrical and Temporal Evaluator. Modélisation et simulation. Institut National Polytechnique de Grenoble - INPG, 1983. Français. NNT: . tel-00307779

**HAL Id: tel-00307779**

**<https://theses.hal.science/tel-00307779>**

Submitted on 29 Jul 2008

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

# THESE

*présentée à*

**l'Institut National Polytechnique de Grenoble**

*pour obtenir le grade de*  
**DOCTEUR DE 3<sup>ème</sup> CYCLE**  
**«Informatique»**  
**(option microélectronique)**

*par*

**Abbas DANDACHE**



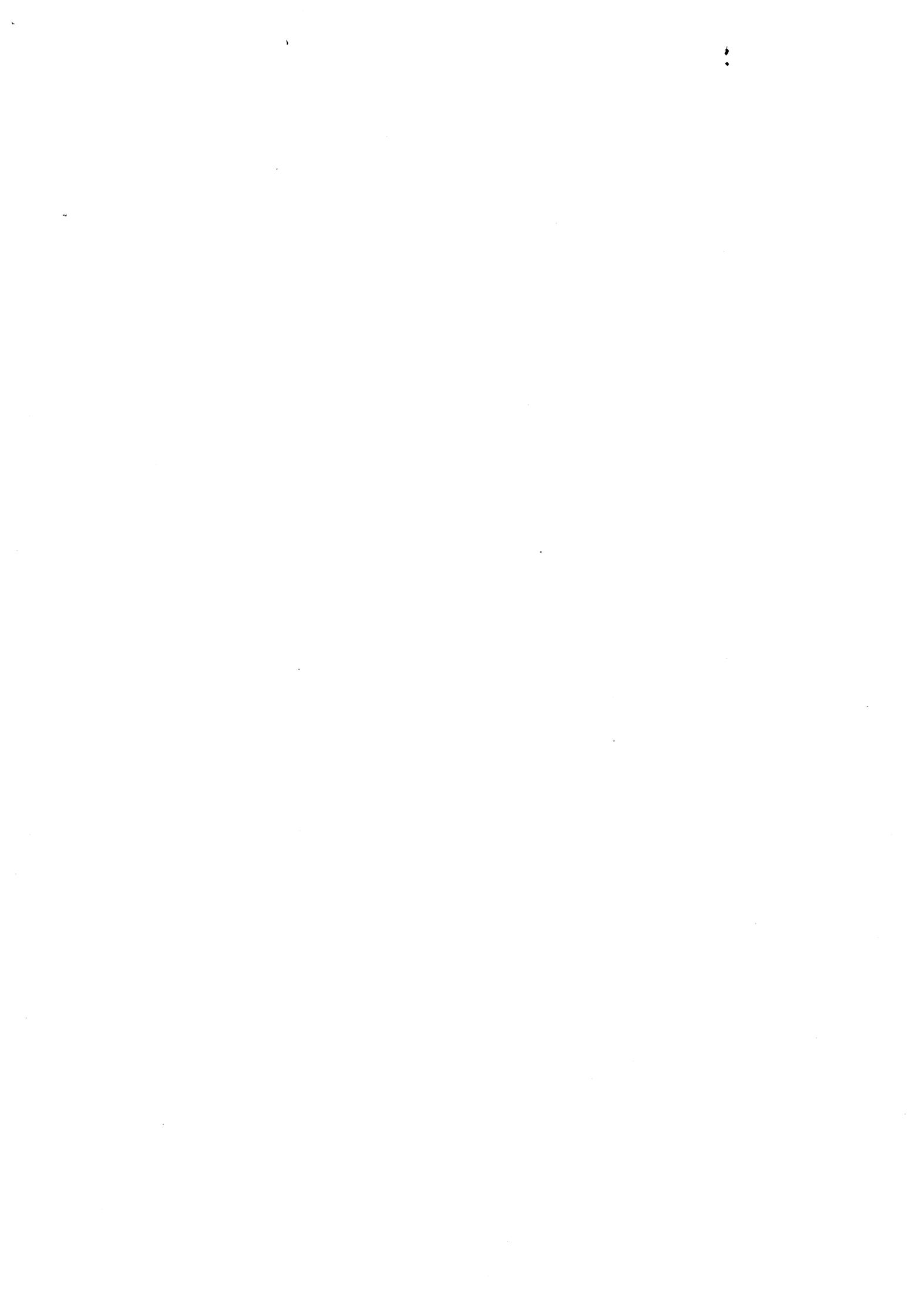
**EVALUATIONS ELECTRIQUES ET TEMPORELLES  
DES PLA COMPLEXES.  
(COMPLETE)**

**(COM plex PLA Electrical and Temporal Evaluator )**



**Thèse soutenue le 21 novembre 1983 devant la commission d'examen.**

<b>F. ANCEAU</b>	<b>Président</b>
<b>D. ETIEMBLE</b>	
<b>P. GENTIL</b>	<b>Examineurs</b>
<b>J. LARDY</b>	
<b>E. MACKOWIAK</b>	



**INSTITUT NATIONAL POLYTECHNIQUE DE GRENOBLE**

**Année universitaire 1982-1983**

**Président de l'Université : D. BLOCH**

**Vice-Président : René CARRE  
Hervé CHERADAME  
Marcel IVANES**

**PROFESSEURS DES UNIVERSITES :**

<b>ANCEAU François</b>	<b>E.N.S.I.M.A.G.</b>
<b>BARRAUD Alain</b>	<b>E.N.S.I.E.G.</b>
<b>BAUDELET Bernard</b>	<b>E.N.S.I.E.G.</b>
<b>BESSON Jean</b>	<b>E.N.S.E.E.G.</b>
<b>BLIMAN Samuel</b>	<b>E.N.S.E.R.G.</b>
<b>BLOCH Daniel</b>	<b>E.N.S.I.E.G.</b>
<b>BOIS Philippe</b>	<b>E.N.S.H.G.</b>
<b>BONNETAIN Lucien</b>	<b>E.N.S.E.E.G.</b>
<b>BONNIER Etienne</b>	<b>E.N.S.E.E.G.</b>
<b>BOUVARD Maurice</b>	<b>E.N.S.H.G.</b>
<b>BRISSONNEAU Pierre</b>	<b>E.N.S.I.E.G.</b>
<b>BUYLE BODIN Maurice</b>	<b>E.N.S.E.R.G.</b>
<b>CAVAIGNAC Jean-François</b>	<b>E.N.S.I.E.G.</b>
<b>CHARTIER Germain</b>	<b>E.N.S.I.E.G.</b>
<b>CHENEVIER Pierre</b>	<b>E.N.S.E.R.G.</b>
<b>CHERADAME Hervé</b>	<b>U.E.R.M.C.P.P.</b>
<b>CHERUY Arlette</b>	<b>E.N.S.I.E.G.</b>
<b>CHIAVERINA Jean</b>	<b>U.E.R.M.C.P.P.</b>
<b>COHEN Joseph</b>	<b>E.N.S.E.R.G.</b>
<b>COUMES André</b>	<b>E.N.S.E.R.G.</b>
<b>DURAND Francis</b>	<b>E.N.S.E.E.G.</b>
<b>DURAND Jean-Louis</b>	<b>E.N.S.I.E.G.</b>
<b>FELICI Noël</b>	<b>E.N.S.I.E.G.</b>
<b>FOULARD Claude</b>	<b>E.N.S.I.E.G.</b>
<b>GENTIL Pierre</b>	<b>E.N.S.E.R.G.</b>
<b>GUERIN Bernard</b>	<b>E.N.S.E.R.G.</b>
<b>GUYOT Pierre</b>	<b>E.N.S.E.E.G.</b>
<b>IVANES Marcel</b>	<b>E.N.S.I.E.G.</b>
<b>JAUSSAUD Pierre</b>	<b>E.N.S.I.E.G.</b>
<b>JOUBERT Jean-Claude</b>	<b>E.N.S.I.E.G.</b>
<b>JOURDAIN Geneviève</b>	<b>E.N.S.I.E.G.</b>
<b>LACOUME Jean-Louis</b>	<b>E.N.S.I.E.G.</b>
<b>LATOMBE Jean-Claude</b>	<b>E.N.S.I.M.A.G.</b>

.../...

LESSIEUR Marcel	E.N.S.H.G.
LESPINARD Georges	E.N.S.H.G.
LONGEQUEUE Jean-Pierre	E.N.S.I.E.G.
MAZARE Guy	E.N.S.I.M.A.G.
MOREAU René	E.N.S.H.G.
MORET Roger	E.N.S.I.E.G.
MOSSIERE Jacques	E.N.S.I.M.A.G.
PARIAUD Jean-Charles	E.N.S.E.E.G.
PAUTHENET René	E.N.S.I.E.G.
PERRET René	E.N.S.I.E.G.
PERRET Robert	E.N.S.I.E.G.
PIAU Jean-Michel	E.N.S.H.G.
POLOUJADOFF Michel	E.N.S.I.E.G.
POUPOT Christian	E.N.S.E.R.G.
RAMEAU Jean-Jacques	E.N.S.E.E.G.
RENAUD Maurice	U.E.R.M.C.P.P.
ROBERT André	U.E.R.M.C.P.P.
ROBERT François	E.N.S.I.M.A.G.
SABONNADIÈRE Jean-Claude	E.N.S.I.E.G.
SAUCIER Gabrielle	E.N.S.I.M.A.G.
SCHLENKER Claire	E.N.S.I.E.G.
SCHLENKER Michel	E.N.S.I.E.G.
SERMET Pierre	E.N.S.E.R.G.
SILVY Jacques	U.E.R.M.C.P.P.
SOHM Jean-Claude	E.N.S.E.E.G.
SOUQUET Jean-Louis	E.N.S.E.E.G.
VEILLON Gérard	E.N.S.I.M.A.G.
ZADWORNY François	E.N.S.E.R.G.

**PROFESSEURS ASSOCIES**

BASTIN Georges	E.N.S.H.G.
BERRIL John	E.N.S.H.G.
CARREAU Pierre	E.N.S.H.G.
GANDINI Alessandro	U.E.R.M.C.P.P.
HAYASHI Hirashi	E.N.S.I.E.G.

**PROFESSEURS UNIVERSITE DES SCIENCES SOCIALES (Grenoble II)**

BOLLIET Louis  
Chatelin Françoise

**PROFESSEURS E.N.S. Mines de Saint-Etienne**

RIEU Jean  
SOUSTELLE Michel

**CHERCHEURS DU C.N.R.S.**

FRUCHART Robert  
VACHAUD Georges

Directeur de Recherche  
Directeur de Recherche

.../...

<b>ALLIBERT Michel</b>	<b>Maître de Recherche</b>
<b>ANSARA Ibrahim</b>	<b>Maître de Recherche</b>
<b>ARMAND Michel</b>	<b>Maître de Recherche</b>
<b>BINDER Gilbert</b>	
<b>CARRE René</b>	<b>Maître de Recherche</b>
<b>DAVID René</b>	<b>Maître de Recherche</b>
<b>DEPORTES Jacques</b>	
<b>DRIOLE Jean</b>	<b>Maître de Recherche</b>
<b>GIGNOUX Damien</b>	
<b>GIVORD Dominique</b>	
<b>GUELIN Pierre</b>	
<b>HOPFINGER Emil</b>	<b>Maître de Recherche</b>
<b>JOUD Jean-Charles</b>	<b>Maître de Recherche</b>
<b>KAMARINOS Georges</b>	<b>Maître de Recherche</b>
<b>KLEITZ Michel</b>	<b>Maître de Recherche</b>
<b>LANDAU Iuan-Dore</b>	<b>Maître de Recherche</b>
<b>LASJAUNIAS J.C.</b>	
<b>MERMET Jean</b>	<b>Maître de Recherche</b>
<b>MUNIER Jacques</b>	<b>Maître de Recherche</b>
<b>PIAU Monique</b>	
<b>PORTESEIL Jean-Louis</b>	
<b>THOLENCE Jean-Louis</b>	
<b>VERDILLON André</b>	

**CHERCHEURS du MINISTERE de la RECHERCHE et de la TECHNOLOGIE (Directeurs et Maîtres de Recherches, ENS Mines de St. Etienne)**

<b>LESBATS Pierre</b>	<b>Directeur de Recherche</b>
<b>BISCONDI Michel</b>	<b>Maître de Recherche</b>
<b>KOBYLANSKI André</b>	<b>Maître de Recherche</b>
<b>LE COZE Jean</b>	<b>Maître de Recherche</b>
<b>LALAUZE René</b>	<b>Maître de Recherche</b>
<b>LANCELOT Francis</b>	<b>Maître de Recherche</b>
<b>THEVENOT François</b>	<b>Maître de Recherche</b>
<b>TRAN MINH Canh</b>	<b>Maître de Recherche</b>

**PERSONNALITES HABILITEES A DIRIGER des TRAVAUX de RECHERCHE (Décision du Conseil Scientifique)**

<b>ALLIBERT Colette</b>	<b>E.N.S.E.E.G.</b>
<b>BERNARD Claude</b>	<b>E.N.S.E.E.G.</b>
<b>BONNET Rolland</b>	<b>E.N.S.E.E.G.</b>
<b>CAILLET Marcel</b>	<b>E.N.S.E.E.G.</b>
<b>CHATILLON Catherine</b>	<b>E.N.S.E.E.G.</b>
<b>CHATILLON Christian</b>	<b>E.N.S.E.E.G.</b>
<b>COULON Michel</b>	<b>E.N.S.E.E.G.</b>
<b>DIARD Jean-Paul</b>	<b>E.N.S.E.E.G.</b>
<b>EUSTAPOPOULOS Nicolas</b>	<b>E.N.S.E.E.G.</b>
<b>FOSTER Panayotis</b>	<b>E.N.S.E.E.G.</b>

GALERIE Alain	E.N.S.E.E.G.
HAMMOU Abdelkader	E.N.S.E.E.G.
MALMEJAC Yves	E.N.S.E.E.G. (CENG)
MARTIN GARIN Régina	E.N.S.E.E.G.
NGUYEN TRUONG Bernadette	E.N.S.E.E.G.
RAVAINE Denis	E.N.S.E.E.G.
SAINFORT	E.N.S.E.E.G. (CENG)
SARRAZIN Pierre	E.N.S.E.E.G.
SIMON Jean-Paul	E.N.S.E.E.G.
TOUZAIN Philippe	E.N.S.E.E.G.
URBAIN Georges	E.N.S.E.E.G. (Laboratoire des ultra-réfractaires ODEILLON)
GUILHOT Bernard	E.N.S. Mines Saint Etienne
THOMAS Gérard	E.N.S. Mines Saint Etienne
DRIVER Julien	E.N.S. Mines Saint Etienne
BARIBAUD Michel	E.N.S.E.R.G.
BOREL Joseph	E.N.S.E.R.G.
CHOVET Alain	E.N.S.E.R.G.
CHEHIKIAN Alain	E.N.S.E.R.G.
DOLMAZON Jean-Marc	E.N.S.E.R.G.
HERAULT Jeanny	E.N.S.E.R.G.
MONLLOR Christian	E.N.S.E.R.G.
BORNARD Guy	E.N.S.I.E.G.
DESCHIZEAU Pierre	E.N.S.I.E.G.
GLANGEAUD François	E.N.S.I.E.G.
KOFMAN Walter	E.N.S.I.E.G.
LEJEUNE Gérard	E.N.S.I.E.G.
MAZUER Jean	E.N.S.I.E.G.
PERARD Jacques	E.N.S.I.E.G.
REINISCH Raymond	E.N.S.I.E.G.
ALEMANY Antoine	E.N.S.H.G.
BOIS Daniel	E.N.S.H.G.
DARVE Félix	E.N.S.H.G.
MICHEL Jean-Marie	E.N.S.H.G.
OBLED Charles	E.N.S.H.G.
ROWE Alain	E.N.S.H.G.
VAUCLIN Michel	E.N.S.H.G.
WACK Bernard	E.N.S.H.G.
BERT Didier	E.N.S.I.M.A.G.
CALMET Jacques	E.N.S.I.M.A.G.
COURTIN Jacques	E.N.S.I.M.A.G.
COURTOIS Bernard	E.N.S.I.M.A.G.
DELLA DORA Jean	E.N.S.I.M.A.G.
FONLUPT Jean	E.N.S.I.M.A.G.
SIFAKIS Joseph	E.N.S.I.M.A.G.
CHARUEL Robert	U.E.R.M.C.P.P.
CADET Jean	C.E.N.G.
COEURE Philippe	C.E.N.G. (LETI)

.../...

**DELHAYE Jean-Marc**  
**DUPUY Michel**  
**JOUVE Hubert**  
**NICOLAU Yvan**  
**NIFENECKER Hervé**  
**PERROUD Paul**  
**PEUZIN Jean-Claude**  
**TAIEB Maurice**  
**VINCENDON Marc**

**C.E.N.G. (STT)**  
**C.E.N.G. (LETI)**  
**C.E.N.G. (LETI)**  
**C.E.N.G. (LETI)**  
**C.E.N.G.**  
**C.E.N.G.**  
**C.E.N.G. (LETI)**  
**C.E.N.G.**  
**C.E.N.G.**

**LABORATOIRES EXTERIEURS**

**DEMOULIN Eric**  
**DEVINE**  
**GERBER Roland**  
**MERCKEL Gérard**  
**PAULEAU Yves**  
**GAUBERT C.**

**C.N.E.T.**  
**C.N.E.T. (R.A.B.)**  
**C.N.E.T.**  
**C.N.E.T.**  
**C.N.E.T.**  
**I.N.S.A. Lyon**



Je tiens à remercier,

- Monsieur F.ANCEAU, professeur à l'Institut National Polytechnique de Grenoble, qui a bien voulu me faire l'honneur de présider le jury de cette thèse, pour ses conseils et ses relectures détaillées tout au long de cette étude.
- Messieurs D.ETIEMBLE, professeur à l'Institut de Programmation de Paris,  
P.GENTIL, professeur à l'Institut National Polytechnique de Grenoble et Directeur du Centre Interuniversitaire de Microélectronique,  
J.LARDY, Responsable de l'Equipe de conception au CNET (Meylan),  
E.MACKOWIAK, Responsable du développement des circuits avancés à EFCIS (Grenoble),  
qui ont bien voulu accepter de participer au jury de cette thèse malgré leurs nombreuses occupations.
- Monsieur J.P.SCHOELLKOPF, pour avoir implémenté le système d'édition de texte, qui a été utilisé pour la frappe de ce document.
- Monsieur DEPEY, chef du service "Structures Logiques Bipolaires" à la direction technique de la division circuits intégrés de THOMSON CSF, pour les discussions constructives que j'ai eu avec lui.
- Monsieur A.CHOVET, maître-assistant à l'INPG, qui m'a aidé à entrer dans le domaine de recherche.
- tous mes collègues, membres de l'Equipe de Recherche en Architecture des ordinateurs et particulièrement P.MARCHAL et S.CHUQUILLANQUI, pour les nombreuses discussions et leurs sympathies.
- Madame H.DIAZ, pour sa gentillesse permanente.
- Le Service de Reprographie de l'IMAG dont la compétence et l'efficacité n'est plus à présenter.
- mon frère H.DANDACHE, professeur à la faculté de science du LIBAN, pour son soutien tout au long de mes études.
- Mademoiselle H.GAGOUD, pour son soutien moral.



A mes parents

A ma patrie

الى اهلبي

الى بلادي



## **RESUME**

Nous présentons une étude des évaluations électriques et temporelles des PLA (NMOS, CMOS, BIPOLAIRE) complexes.

Un outil prototype d'évaluation, capable de calculer les paramètres électriques et topologiques et d'estimer le temps de propagation dans les PLA, pour une technologie donnée et pour une programmation spécifique, a été réalisé.

Les paramètres qui donnent des degrés de liberté seront isolés; le concepteur a ainsi la possibilité de choisir les compromis de réalisation d'un PLA particulier à partir d'abaques générées par le système.

L'utilisateur peut alors choisir l'organisation d'un PLA particulier en fonction de sa consommation, de sa fiabilité logique et de son temps de réponse.

## **MOTS CLES**

CAO, VLSI, Evaluations des paramètres, Temps de propagation dans les PLA.

## **ABSTRACT**

This work introduces the electrical and topological parameters necessary to evaluate electrical performance and delay time in NMOS static, CMOS, BIPOLAIRE PLA.

An evaluation tool was built, which for any given technology and specific programming of a PLA is capable of calculating the electrical and topological parameters as well as estimating delay times.

Parameters which imply degrees of freedom are selected: the designer thus doing able to choose a design compromis for a given PLA a system generated abacuses.

The user is therefore able to choose a PLA organization from requirements of power consumption, silicon area, logic reliability and delay time.

## **KEYWORDS:**

CAD system, VLSI, Parameters evaluation, PLA delay time.

## TABLE DES MATIERES

I - INTRODUCTION -----	1
II - PLA STATIQUES EN NMOS	
II.1. Initialisation des paramètres	
1.1. Introduction -----	6
1.2. Les capacités dans un PLA NMOS -----	10
1.3. Les paramètres	
a. Les paramètres d'origine -----	13
b. Les paramètres d'un point de PLA -----	15
c. Les paramètres à calculer indépendants du contenu d'un PLA particulier ----	15
d. Les spécifications d'un PLA particulier -----	18
e. Les paramètres à calculer dépendant du PLA particulier	
1. Introduction -----	19
2. Calcul des capacités -----	21
1.4. Méthode de calcul -----	25
a. Le transistor MOS -----	26
b. Tension de seuil -----	29
c. Effet du substrat linéarisé -----	30
d. Calcul de la dimension du transistor de charge -----	32

II.2. Estimation du temps de propagation de PLA	
2.1. Introduction -----	39
2.2. Calcul du temps de montée d'une porte ---	39
2.3. Les conditions de simplification -----	43
2.4. Justification de l'hypothèse (c) -----	46
a. attaque par un front montant -----	47
b. attaque par un front descendant -----	49
c. comparaison -----	50
2.5. Calcul du temps de propagation -----	53
II.3. Etude de la variation des paramètres	
(tpla, n, k, gamac) -----	56
3.1. La variation de (tpla)	
en fonction de (n) -----	58
3.2. La variation de (tpla)	
en fonction de (k) -----	58
3.3. La variation de (gamac)	
en fonction de (n et k) -----	60
3.4. La variation de (tpla)	
en fonction de (gamac) -----	65
3.5. Procédure de choix des paramètres	
par l'utilisateur -----	69
II.4. PLA dynamiques -----	70

### III - PLA EN TECHNOLOGIE CMOS

III.1. Introduction -----	76
III.2. Types des PLA CMOS	
2.1. PLA statiques -----	78
2.2. PLA dynamiques -----	79
a. Structure DOMINO -----	80
a.1. PLA Pipe-Line -----	82
a.2. PLA à deux phases -----	84
b. Structure NP-CMOS -----	85
2.3. PLA semi-statiques -----	87
III.3. Formules de base de l'évaluateur électrique	
3.1. Introduction -----	88
3.2. Calcul des capacités -----	89
a. Temps de descente -----	90
b. Temps de montée -----	91
III.4. Retard d'une porte CMOS	
4.1. Temps de descente -----	92
a. Zone saturée -----	93
b. Zone ohmique -----	94
4.2. Temps de montée -----	95

### III.5. Retard d'une porte CMOS chargée par un RC

5.1. Temps de descente -----	96
a. Zone saturée -----	96
b. Zone ohmique -----	98
5.2. Temps de montée -----	101

### III.6. Temps de propagation de PLA dynamiques en CMOS

6.1. Introduction -----	102
6.2. Calcul des capacités -----	103
2.1. Capacités de la matrice ET -----	103
a. Capacité de la ligne d'entrée -----	104
b. Capacité de sortie pendant	
le temps de montée -----	104
c. Capacité de sortie pendant	
le temps de descente -----	105
2.2. Capacités de la matrice OU -----	106
6.3. Temps de précharge de la matrice ET -----	107
a. Temps de montée de la matrice ET -----	107
b. Retard de la ligne d'entrée -----	112
6.4. Temps de décharge de la matrice ET -----	113
a. Temps de descente de la matrice ET -----	113
6.5. Retard entre les décharges	
des deux matrices -----	116
6.6. Temps de décharge de la matrice OU -----	117
a. Temps de descente -----	117
b. Temps de montée -----	118
6.7. Conclusion -----	119

#### IV - PLA EN TECHNOLOGIE BIPOLAIRE

IV.1. Introduction -----	120
IV.2. Les capacités d'une porte ECL -----	123
a. Les capacités des transistors -----	123
b. Les capacités des lignes de connexion -----	126
IV.3. Temps de réponse dans un PLA BIPOLAIRE ECL ---	127
3.1. Le temps de montée -----	127
a. Transistor bloqué -----	129
b. Transistor conducteur -----	129
c. Exemple d'application -----	132
3.2. Le temps de descente -----	135
3.3. Temps de propagation dans le PLA -----	136
IV.4. Améliorations possibles -----	138
V - CONCLUSION -----	139
VI - ANNEXES	
VI.1. ANNEXE 1 -----	142
VI.2. ANNEXE 2 -----	145
VI.3. ANNEXE 3 -----	151
VII - REFERENCES -----	155



## I- INTRODUCTION

Un PLA (Réseau Logique Programmable) est un circuit combinatoire simple qui permet la réalisation régulière de fonctions booléennes. Un PLA est caractérisé par le nombre de ses entrées, le nombre de ses monômes, le nombre de ses sorties et par deux tableaux matriciels: un tableau ET et un tableau OU [MEA].

Les PLA sont devenus des composants importants de la conception des systèmes VLSI [FLE]. Leur utilisation pour l'intégration à grande échelle réduit les coûts de conception et améliore la sûreté de fonctionnement [MEA, JON].

La souplesse d'emploi et la régularité des PLA leur donnent divers avantages:

- Les PLA sont utilisés soit comme décodeurs ou encodeurs, soit dans la réalisation d'automate d'états finis en rebouclant leurs sorties sur leurs entrées [MEA].

- La régularité d'implantation des PLA améliore leur testabilité [MAK], les PLA peuvent même devenir totalement testables (TSC) [WAN]. Différentes solutions de test sont données par [OST].

- La déformabilité topologique des PLA améliore le problème de la connexion de leurs entrées et de leurs sorties avec les autres blocs voisins [ANC].

- La régularité des PLA facilite aussi le problème d'optimisation pour réduire leur surface en cas de faible taux de remplissage [ANC]. Ce problème d'optimisation est résolu par différentes techniques:

a- Les techniques d'optimisation logique qui agissent sur la réalisation des fonctions logiques pour diminuer le nombre de monômes [AUG].

b- Les techniques d'optimisation topologique qui agissent sur la topologie d'implantation pour réduire la surface occupée.

Le système "PAOLA" [CH1,CH2] met en oeuvre ces techniques. Ce système a été développé à l'IMAG par l'Equipe de Recherche en Architecture d'Ordinateurs.

Ce système optimise la topologie et génère automatiquement le dessin des masques des PLA complexes. Ces techniques agissent sur le compactage des matrices ET-OU par brisure et réorganisation des lignes d'entrée et des lignes de sortie en conservant le même nombre de transistors du PLA.

"PAOLA" permet aussi de modifier la forme d'un PLA en l'allongeant par duplication de monômes, ce qui simplifie le problème de sa connexion avec les blocs environnants.

"PAOLA" permet une réduction de la surface occupée par un PLA de 30 à 50 pour cent, cette optimisation dépend du taux de remplissage du PLA avant son optimisation.

L'évolution des différentes technologies (NMOS, CMOS, BIPOLAIRE, ...) est suivie par une évolution parallèle des méthodes de conception des circuits intégrés.

La conception, au niveau électrique, nécessite des outils particuliers tels que des simulateurs de circuits. Les simulateurs analogiques (SPICE, MSINC, ...) constituent la base de ces outils. La complexité des algorithmes de simulation est telle qu'elle ne peut s'appliquer que difficilement à des circuits intégrés dotés d'un grand nombre de transistors. Ceci a justifié l'ouverture de recherches vers une nouvelle génération de simulateurs et d'autres outils de conception électrique.

Un outil d'évaluations électrique et temporelle de PLA va être développé pour les différentes technologies:

- NMOS.
- CMOS.
- Bipolaire.

Cet outil est un sous-système de "PAOLA" [CH3] (figure I.1). Il consiste à calculer les paramètres électriques et topologiques et à estimer le temps de propagation dans les PLA pour une technologie donnée et pour une programmation spécifique (figure I.2).

La variation des valeurs de ces paramètres donne les diverses possibilités de réalisation d'un PLA.

L'utilisateur peut alors choisir l'organisation d'un PLA en fonction de sa consommation, de sa fiabilité logique (niveau logique bas) et de son temps de réponse (figure I.3).

Ce travail se situe dans le prolongement des travaux, sur les PLA NMOS, de Messieurs BONNET et TANT (projet d'ingénieur ENSERG et DEA).

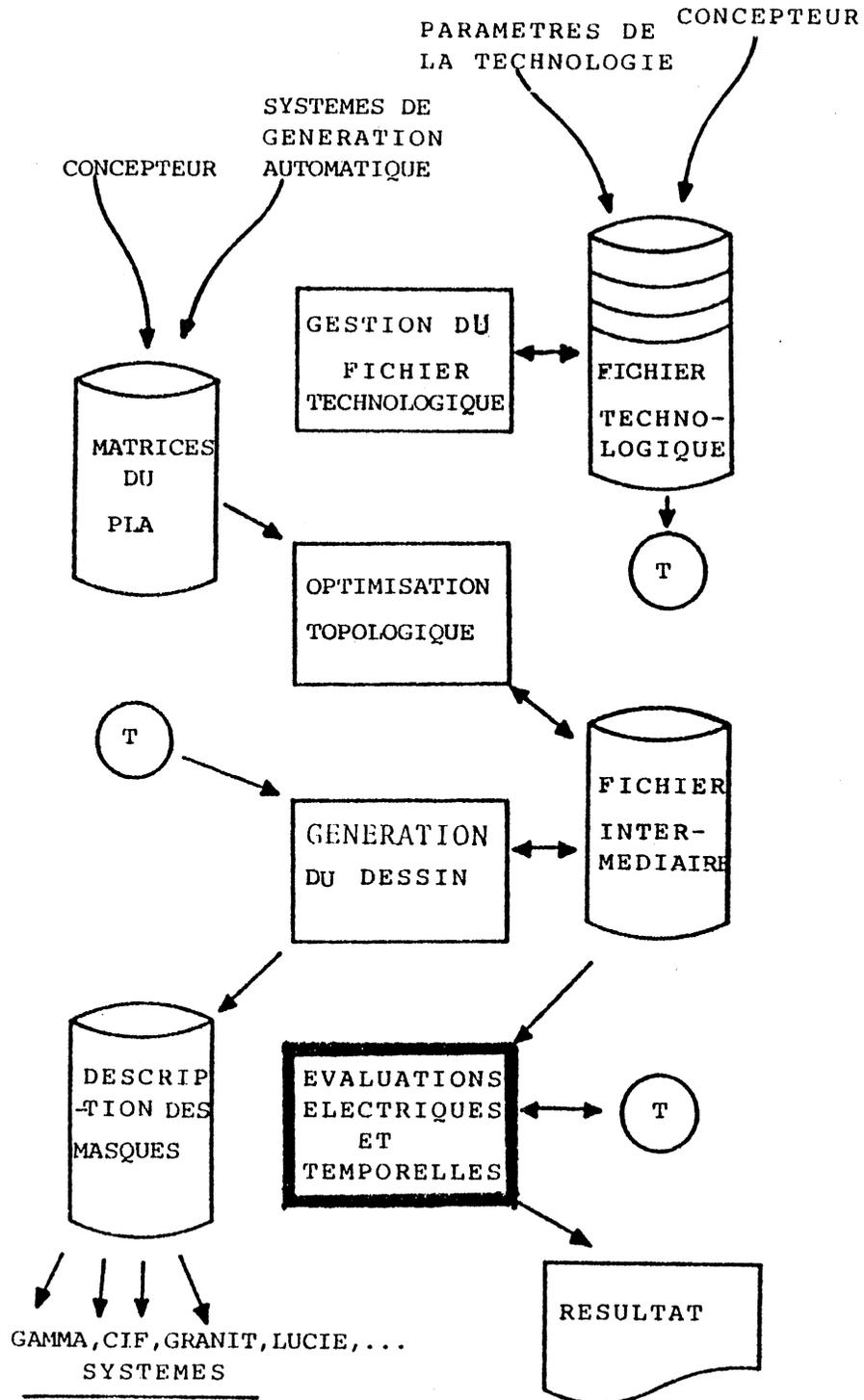


Figure I.1- SYSTEME PAOLA.

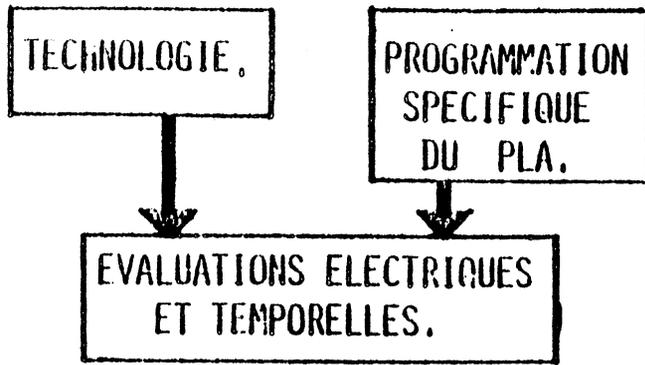


Figure 1.2- Evaluations électriques et temporelles du PLA.

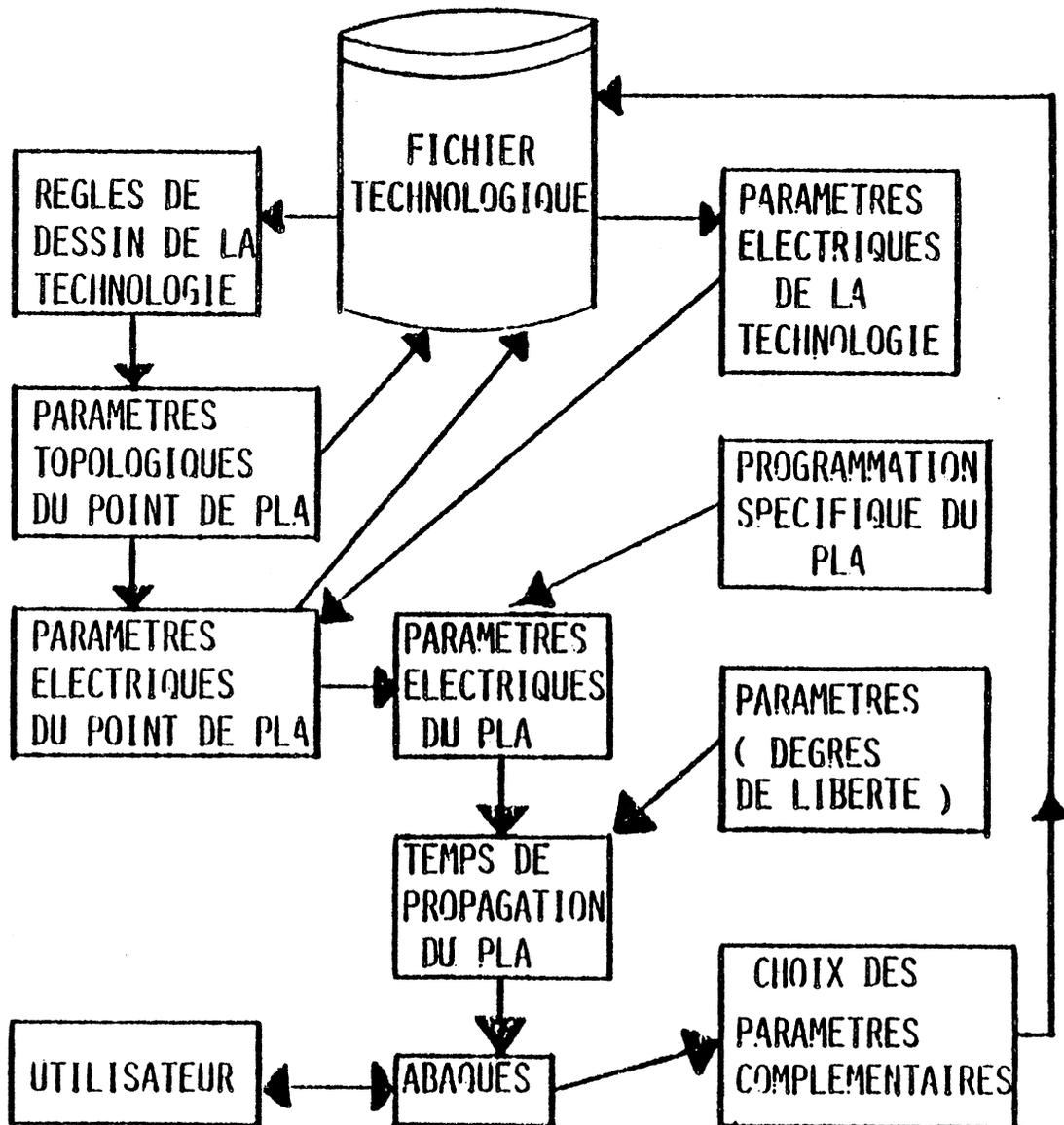


Figure 1.3- Méthode d'évaluations électriques et temporelles du PLA.

## II- PLA statiques en NMOS

### II.1- Initialisation des paramètres

#### II.1.1- Introduction

Cette partie concerne les évaluations électriques et temporelles des PLA statiques en technologie NMOS.

La structure électrique des PLA NMOS statiques (figure II.1) est de type NOR.

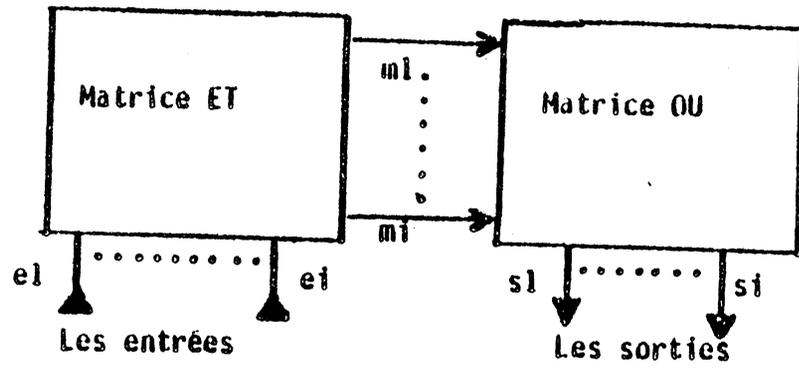
C'est une structure facile à concevoir qui permet d'avoir une vitesse plus grande qu'une structure de type NAND [CHO].

De plus, cette structure permet d'intégrer l'outil d'évaluations électriques et temporelles au système "PAOLA".

Dans la figure II.1b, les colonnes de la matrice ET contiennent des entrées en silicium polycristallin tandis que les colonnes de masse sont réalisées en diffusion. Il peut y avoir plusieurs entrées dans la même colonne.

Les lignes de cette matrice correspondent soit à des monômes soit à des rappels de masse en métal. Un transistor de charge est connecté à chaque monôme.

La matrice OU est identique à la matrice ET avec une rotation de 90 degrés.



a- Structure globale d'un PLA.

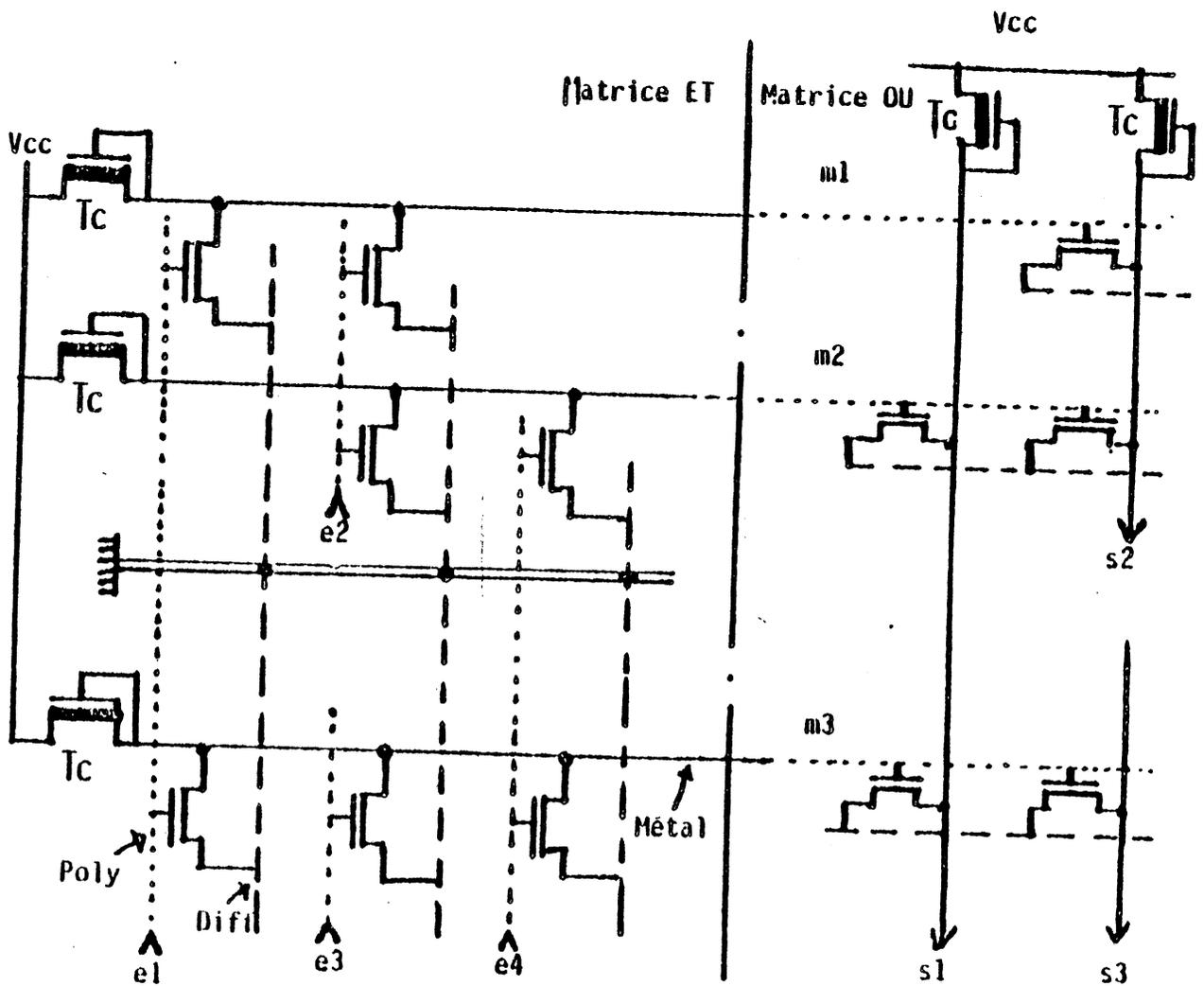


Figure -II.1- b- Schéma électrique d'un PLA NMOS statique.

On distingue trois ensembles de paramètres nécessaires à la conception d'un PLA:

- Les paramètres électriques de la technologie utilisée.
- Les règles de dessin de la technologie utilisée.
- La programmation spécifique du PLA.

Leur dépendance, ou les degrés de liberté, de ces paramètres entre eux, déterminent les différentes possibilités pour réaliser un PLA donné.

Les règles de dessin de la technologie utilisée permettent de calculer les cotes de dessin d'un point de PLA (brique) qui caractérisent sa topologie.

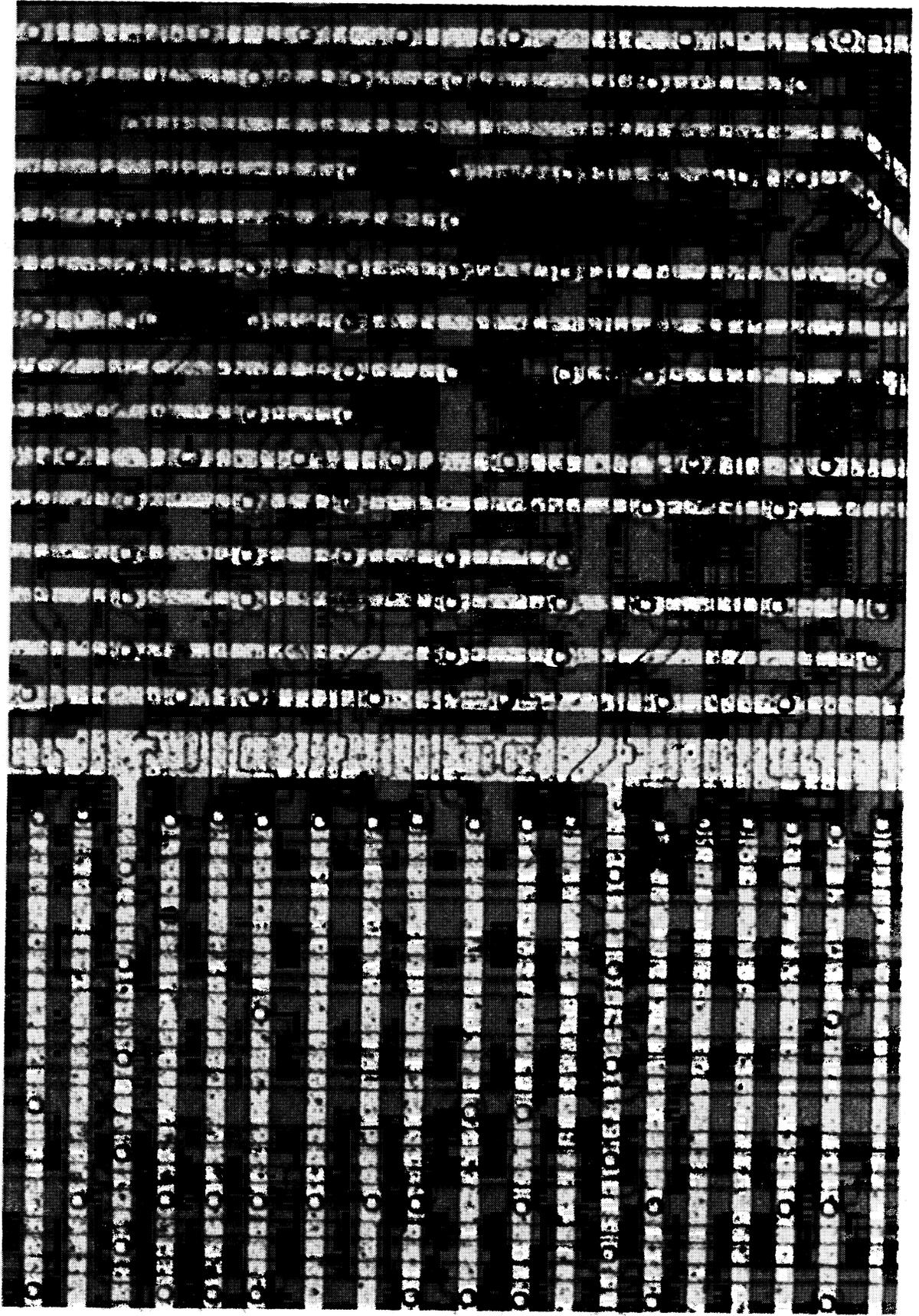
Pour une technologie donnée on peut calculer les paramètres électriques qui concernent le point de PLA.

La programmation spécifique d'un PLA est donnée sous forme matricielle. A partir de cette information les paramètres qui caractérisent l'implantation du PLA peuvent être calculés.

Ensuite, à partir des caractéristiques d'une brique et de la programmation d'un PLA particulier, on peut calculer les paramètres électriques et topologiques qui caractérisent le PLA.

Puis, à partir de ces paramètres électriques et topologiques on peut estimer le temps maximal de propagation dans ce PLA.

La variation des valeurs des paramètres électriques et topologiques provoque une modification du temps de propagation.



PLA de génération de commandes du Z80.



Cette variation donne plusieurs possibilités pour réaliser un PLA en fonction de sa consommation, de sa surface et de sa fiabilité logique (niveau logique bas). Ceci permet à l'utilisateur d'introduire ses choix concernant un fonctionnement donné du PLA.

Nous allons introduire ces paramètres et les enchaînements qui servent à automatiser les relations entre les paramètres et le temps de propagation dans un PLA particulier.

La géométrie d'implantation d'un PLA NMOS va être d'abord introduite pour en déduire les capacités qui existent et qui vont servir dans le calcul du temps de propagation.

### II.1.2- Les capacités dans un PLA NMOS

Compte tenu de l'implantation des PLA (figure II.2) trois niveaux technologiques principaux sont utilisés. Ce sont:

- Le silicium polycristallin.
- La diffusion N+.
- Le métal.

Les capacités qui correspondent à chaque niveau vont être considérées.

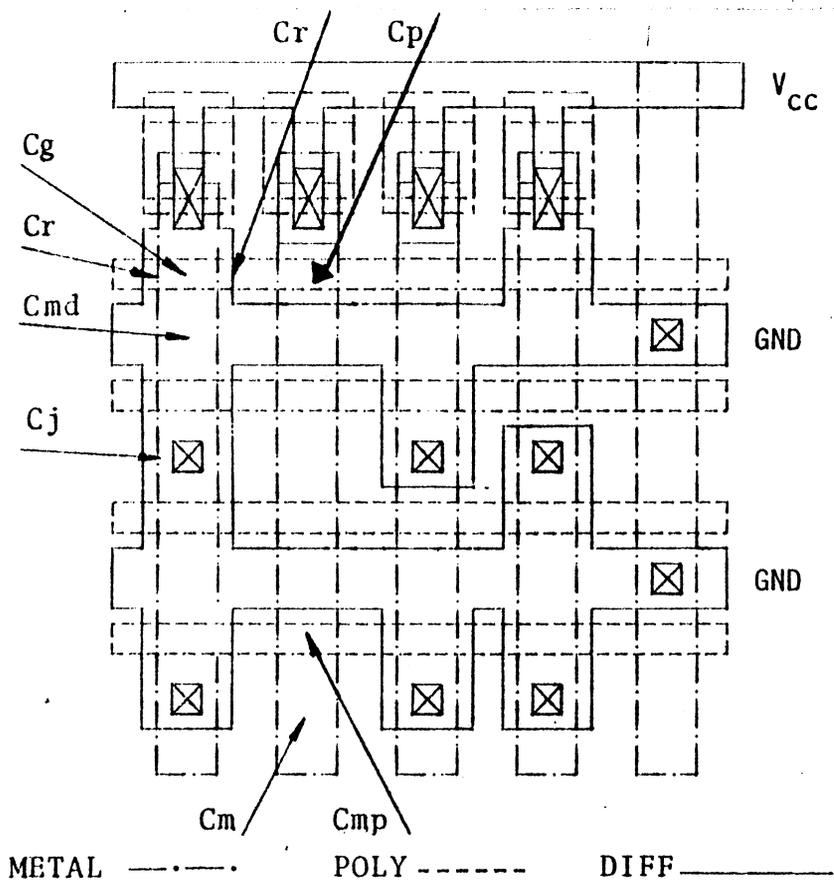


Figure II.2- Les capacités dans une matrice de PLA.

Le silicium polycristallin:

Les capacités rattachées à ce niveau sont:

- La capacité de grille ( $c_g$ ) qui se trouve entre le silicium polycristallin et le substrat (sur oxyde mince). Dans le cas d'un transistor cette capacité varie avec la tension  $v_{ds}$  comme le montre la figure II.3.

On peut la majorer par ( $z.l.cox$  carrée) pour faciliter le calcul.

Elle devient alors une constante pour la suite des calculs.

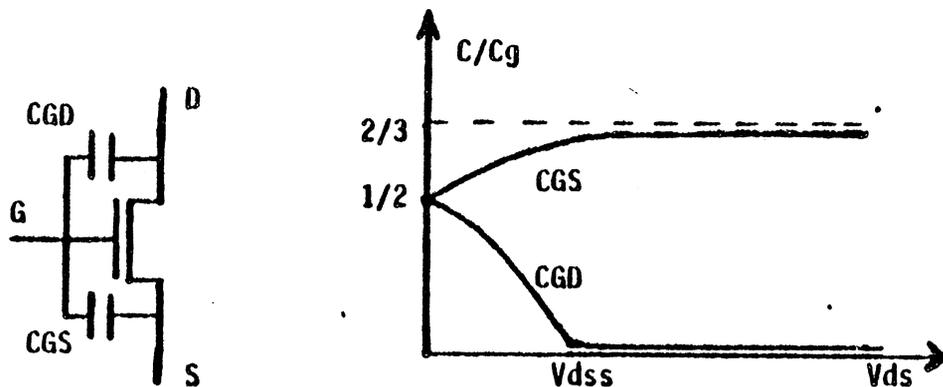


Figure II.3- La variation des capacités de transistor MOS en fonction de la tension drain source  $V_{ds}$ .

- La capacité de recouvrement entre la grille et la diffusion de source et de drain d'un transistor, que l'on négligera dans notre calcul.

- La capacité du polysilicium sur oxyde épais par rapport au substrat ( $c_p$ ).

Elle est liée à la masse par le substrat. Elle reste constante avec les variations de tension.

- La capacité entre le métal et le polysilicium ( $c_{mp}$ ).

#### La diffusion:

Les capacités rattachées à ce niveau sont:

- La capacité de jonction ( $c_j$ ) qui se trouve entre la diffusion et le substrat. Elle varie avec la tension. On utilise une valeur moyenne qui la rend constante pour le calcul.

- La capacité entre la diffusion et le métal ( $c_{md}$ ).

#### Le métal:

- La capacité du métal par rapport au substrat ( $c_m$ ).

### II.1.3 Les paramètres

La technologie et les spécifications du PLA donnent des paramètres à partir desquels on calcule d'autres paramètres électriques et topologiques qui caractérisent le fonctionnement de ce PLA. Ces paramètres utilisés se regroupent en différentes catégories:

- les paramètres d'origine.
- les paramètres d'un point de PLA.
- les paramètres à calculer indépendants d'un PLA particulier.
- les spécifications d'un PLA particulier.
- les paramètres à calculer dépendants d'un PLA particulier.
- les paramètres à imposer.

#### a- Les paramètres d'origine

Les paramètres initiaux sont les paramètres électriques et les règles de dessin spécifiques à la technologie considérée.

Ce sont les suivants:

#### Les paramètres électriques:

- Les tensions d'alimentation (vcc, vss).
- La tension de polarisation du substrat (vb).
- Les tensions de seuil des transistors enrichis et

déplétés (vts, vtc).

- Les coefficients d'effet du substrat linéarisé des transistors enrichis et déplétés (betas, betac).
- La mobilité ( $\mu$ ).
- Le facteur de forme des portes ( $\gamma_{mas}/\gamma_{mac}$ ).
- La capacité unitaire de l'oxyde mince ( $c_{ox}$ ).
- La capacité unitaire entre la diffusion et le substrat ( $c_{nd}$ ).
- La capacité unitaire entre le métal (ou polysilicium) et le substrat ( $c_c$ ).
- La capacité unitaire entre le métal et le polysilicium ( $c_{0mp}$ ).
- La capacité unitaire entre le métal et la diffusion ( $c_{0md}$ ).
- Profondeur de la diffusion ( $x_j$ ).
- La résistance carrée de la diffusion ( $r_d$ ).
- La résistance carrée du polysilicium ( $r_p$ ).

Les paramètres géométriques (règles de dessin):

- Garde poly/contact ( $dz_{pc}$ ).
- Garde contact/contact ( $dz_{cc}$ ).
- Largeur de contact ( $s_{xd}$  en X et  $s_{yd}$  en Y).
- Garde diffusion/poly ( $dz_{dp}$ ).
- Largeur min diff ( $l_{zd}$ ).
- Largeur min poly ( $l_{zp}$ ).
- Débordement diff/contact ( $bz_{dc}$ ).
- Garde métal/métal ( $dz_{mm}$ ).
- Débordement métal/contact
- Garde diff/diff ( $dz_{dd}$ ).
- Débordement poly/diff (grille  $bz_{pd}$ ).
- Largeur min des lignes de métal ( $l_{lm}$ ).

b- Les paramètres d'un point de PLA (brique)

Ce sont des paramètres, calculés à partir des règles de dessin d'une technologie donnée, qui définissent la topologie du point de PLA (figure II.4). En général on cherche à avoir un point de PLA le plus proche possible d'un carré minimum pour faciliter les connexions entre les matrices ET et OU, en gardant le même pas des monômes, car le point de PLA subit une rotation de 90 degrés dans la matrice OU par rapport à celui de la matrice ET.

Pour améliorer la vitesse on cherche à rendre maximum le rapport entre la largeur et la longueur du transistor signal dans un point de PLA minimum, sauf si l'utilisateur impose d'autres choix qui modifient les dimensions du point de PLA et du transistor signal. Ce point de PLA est caractérisé par :

- La largeur de sa ligne de masse ( $l_{ld}$ )
- La largeur de sa ligne de poly ( $l_{lp}$ )
- Les dimensions du canal du transistor signal ( $l_s, z_s$ )
- Les dimensions du point de PLA ( $l_x, l_y$ ).

c- Les paramètres à calculer indépendants  
du contenu d'un PLA particulier

Il existe un certain nombre de paramètres qui sont indépendants de la programmation du PLA.

Ces paramètres ne dépendent en fait que des paramètres électriques, des règles de dessin, de la technologie, et des caractéristiques du point de PLA.

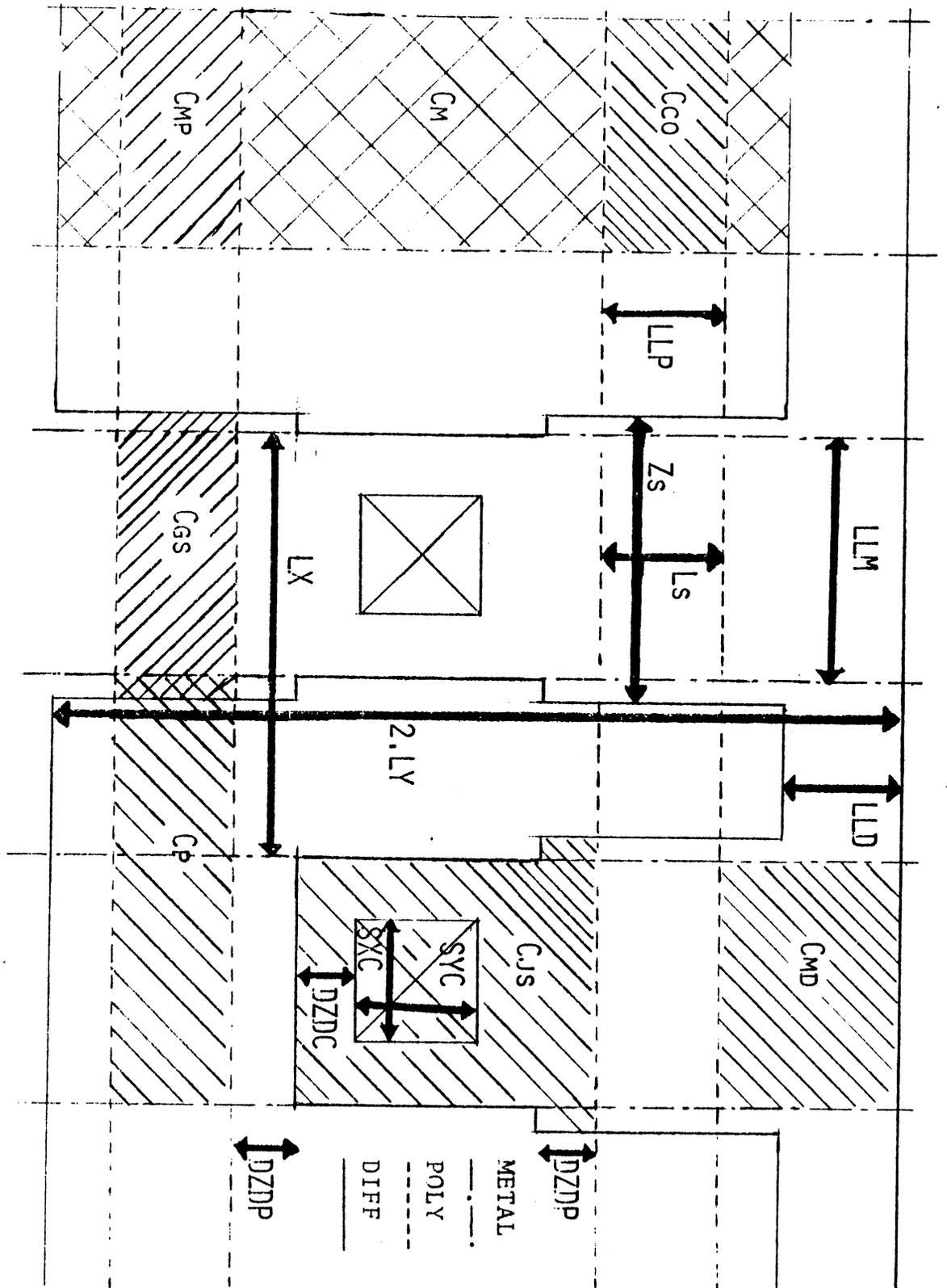


Figure II. Les capacités dans un point de PLA.

Il est donc possible de calculer les paramètres électriques d'un point de PLA avant de connaître le contenu et la taille du PLA donné.

Ces paramètres qui concernent le point de PLA [B01,B02], sont les suivants:

- La résistance de la ligne de poly d'un point de PLA (rpl).

$$r_{pl} = r_p \cdot \frac{l_x}{l_{lp}}$$

- La résistance de la ligne de diffusion d'un point de PLA (rdl).

$$r_{dl} = r_d \cdot \frac{l_x}{l_{ld}}$$

- La capacité grille pour le transistor signal (cgs) illustrée par la figure II.4.

$$c_{gs} = c_{ox} \cdot (\text{la surface de la grille} = z_s \cdot l_s).$$

- La capacité de jonction drain du transistor signal (cjs). cjs dépend de la surface du fond et de la surface du bord de zone de déplétion du drain du transistor de signal.

$$c_{js} = c_{nd} \cdot (\text{surface du fond} + \text{surface du bord}).$$
$$\text{surface du fond} = z_s \cdot dz_{dp} + (axc+2 \cdot dz_{dc}) \cdot (syc+2 \cdot dz_{dc})$$
$$\text{surface du bord} = x_j \cdot (\text{abs}(axc+2 \cdot dz_{dc} - z_s) + 2 \cdot dz_{dp} + z_s + 3 \cdot (syc+2 \cdot dz_{dc}))$$

- La capacité de polysilicium/substrat (cp).

$$cp = cc \cdot (\text{surface de poly} = lx \cdot llp).$$

- La capacité métal/polysilicium (cmp).

$$cmp = c0mp \cdot (\text{surface de recouvrement mét/poly} = llm \cdot llp).$$

- La capacité métal/diffusion (cmd).

$$cmd = c0md \cdot (\text{surface mét/diff} = llm \cdot (lld + dzdp)).$$

- La capacité métal/substrat (cm).

$$cm = cc \cdot (\text{surface mét/sub} = 0,5 \cdot llm \cdot (2 \cdot ly - lld - 2 \cdot llp))$$

- La capacité de correction (cco) est la capacité de polysilicium/substrat. Mais elle dépend seulement de la surface de la grille. cco sert à réduire la capacité cg d'une quantité déjà calculée dans cp.

$$cco = cc \cdot (\text{surface de la grille} = zs \cdot llp).$$

#### d Les spécifications d'un PLA particulier

L'organisation des PLA se présente sous la forme de deux matrices ET et OU (figure II.1) avec des entrées, des monômes et des sorties. Des transistors sont répartis sur certains points d'intersection (entre les entrées et les monômes d'une part et entre les monômes et les sorties d'autre part). Les paramètres qui définissent un PLA particulier résultent des deux matrices d'un PLA. Ils sont les suivants:

- Le nombre d'entrées (nbent)
- Le nombre de monômes (nbmono)
- Le nombre de sorties (nbsort)
  
- La longueur de chaque ligne de polysilicium d'entrée de la matrice ET exprimée en nombre de pas du PLA (npe).
  
- Le nombre de grilles de transistors sur chaque ligne de polysilicium d'entrée de la matrice ET (nte).
  
- La longueur de chaque monôme de métal dans la matrice ET exprimée en nombre de pas (npm).
  
- Le nombre de drains de transistors sur chaque monôme de métal de la matrice ET (ntm).
  
- La longueur de chaque ligne de métal de sortie de la matrice OU exprimée en nombre de pas (nps).
  
- Le nombre de drains de transistors sur chaque ligne de métal de sortie de la matrice OU (nts).
  
- La longueur de chaque monôme de polysilicium dans la matrice OU exprimée en nombre de pas (ns).
  
- Le nombre de grilles de transistors sur chaque monôme de polysilicium de la matrice OU (s).

¶

e- Les paramètres à calculer dépendants  
du PLA particulier

1- Introduction

Le temps de réponse d'un PLA va être estimé pour un

point et une organisation topologique particulière du PLA d'une technologie donnée. Pour cela il nous faut calculer d'autres paramètres électriques et topologiques du PLA à partir des paramètres d'origine, de ceux d'une brique et de ceux d'un PLA particulier.

Ce sont les suivants:

- Les dimensions du canal du transistor de charge ( $z_c, l_c$ )

- Le nombre de monômes entre deux rappels de masse ( $n$ )

- Le niveau zéro ( $v_0 = v_{ts}/k$ ), dans lequel ( $k$ ) représente le facteur de sécurité du niveau zéro:

$$v_0 = \text{deltav}_1 + \text{deltav}_2$$

- ( $\text{deltav}_1$ ) est la tension aux bornes du transistor signal à l'état zéro lorsque ce transistor est saturé.

- ( $\text{deltav}_2$ ) est la chute de tension maximale dans la ligne de masse.

$$\text{Posons: } k_p = \frac{\text{deltav}_1}{\text{deltav}_2} \quad \text{et} \quad \text{gamac} = \frac{z_c}{l_c}$$

Il y a en tout huit paramètres à calculer:

$$(z_c, l_c, \text{gamac}, v_0, \text{deltav}_1, \text{deltav}_2, k_p, n)$$

Seuls deux de ces paramètres sont indépendants et nous donnent deux degrés de liberté. Nous avons choisi de partir du couple ( $v_0, n$ ).

Ceci permet à l'utilisateur de choisir le point de fonctionnement du PLA sous la forme d'un compromis entre son temps de réponse et la surface qu'il occupe. Car nous allons voir au paragraphe II.3.1 et II.3.2 que le temps de réponse augmente quand  $n$  augmente ou  $v_0$  diminue.

Dans le but de se rapprocher des motivations du concepteur nous considérerons plutôt le rapport ( $k$ ) comme paramètre initial ( $k = v_{ts}/v_0$ ).

Ces deux paramètres ( $k, n$ ) sont respectivement limités par la valeur maximale de la tension  $V_0$  (on pose comme valeur limite  $k=2$  ce qui correspond à  $v_{ts}/2$ ) et par le nombre total de monômes du PLA.

De manière à déterminer la relation qui lie ces deux paramètres, on fixe le niveau zéro ( $k$ ) et on fait varier le nombre de monômes entre deux rappels de masse ( $n$ ); il en résulte une variation de la dimension du transistor de charge ( $\gamma(n)$ ) et du temps de réponse du PLA ( $t(n)$ ).

## 2- Calcul des capacités

Une fois les valeurs de  $k$  et  $n$  fixées, d'autres paramètres électriques sont à calculer (figure II.5). Ils dépendent des caractéristiques d'un PLA particulier et sont:

- La capacité grille du transistor de charge ( $c_{gc}$ ).

$$c_{gc} = c_{ox} \cdot \gamma(\text{surface de la grille} = zc.lc).$$

- La capacité de jonction source du transistor de charge (cjc). cjc dépend de la surface du fond et de la surface du bord de zone de déplétion de la source du transistor de charge.

$$c_{jc} = c_{nd} \cdot (\text{surface du fond} + \text{surface du bord}).$$

$$\text{surface du fond} = z_c \cdot 2 \cdot l_c$$

$$\text{surface du bord} = 2 \cdot (z_c + 2 \cdot l_c) \cdot x_j$$

- Les capacités réparties sur la ligne de poly d'entrée de la matrice ET sont cp, cmp, cgs par pas. La capacité (cmp) agit en capacité Miller; elle sera multipliée par deux (variations opposées et égales de vg et vd) et ramenée à la masse.

Pour (npe) pas et (nte) transistors, on aura donc la capacité de la ligne poly d'entrée de la matrice ET (ceet):

$$c_{eet} = n_{pe} \cdot (2 \cdot c_{mp} + c_p) + n_{te} \cdot (c_{gs} - c_{co}).$$

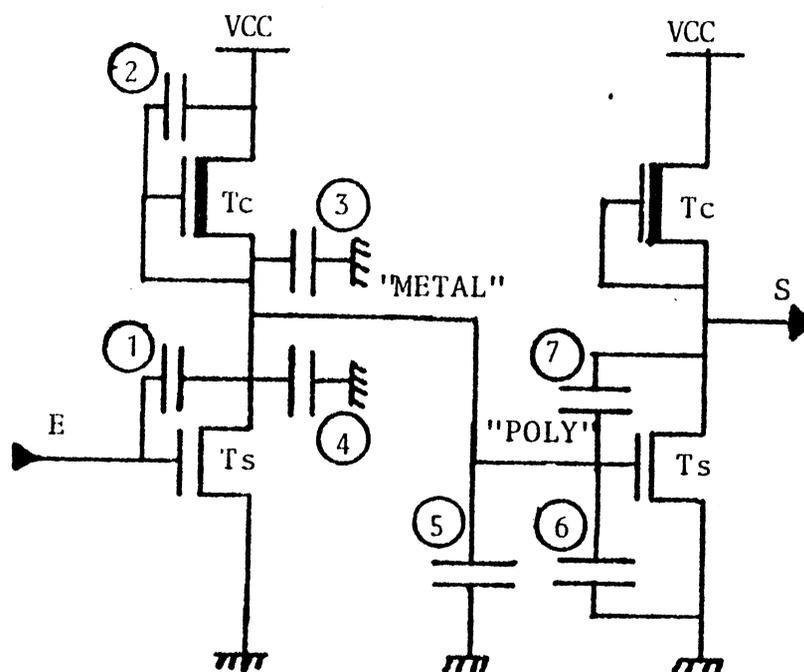


Figure II.5- Les capacités des deux portes d'un PLA NMOS.  
La première porte est dans la matrice ET.  
La deuxième porte est dans la matrice OU.

- La capacité de la ligne poly d'entrée de la matrice OU est (cl).

cl est calculée de la même manière que (ceet) en remplaçant (npe,nte) par (ns,s):

$$cl = ns.(2.cmp+cp) + s.(cgs-cco).$$

- La capacité des connexions (métal poly) des sorties de la matrice ET et des entrées de la matrice OU est (cbet). cbet contient les capacités (cm,cmp,cmd) sur la ligne métal "ET" et (cp,cmp) sur la ligne poly "OU". La capacité (cmp), capacité 1 figure II.5, sur la ligne métal agit en effet Miller; mais pas celle de la ligne poly, capacité 7, parce que pendant que le signal descend à l'entrée de la matrice OU sa sortie reste à la masse.

On ajoute à cette capacité (cbet) la capacité de liaison (cli) de la connexion entre les deux matrices. Elle peut être donnée par l'utilisateur ou équivalente à une capacité d'un contact ply-métal (cc.surface du contact).

On obtient donc la capacité (cbet):

$$cbet = npm.(cm+cmd+2.cmp) + ns.(cp+cmp).$$

- La capacité de sortie de la matrice ET pendant son temps de descente est (cdet).

La capacité (CGD) (1) varie de zéro à  $cgs/2$  quand (vs) varie de (vcc) à zéro ( $CGD=cgs/2.(1-vs/vcc)$ ). On prend sa valeur moyenne égale à  $(cgs/4)$ .

la capacité (CGD) (2) varie de  $(cgc/2)$  à zéro. On prend sa valeur moyenne égale à  $(cgc/4)$ .

Les capacités (3,4) sont (cjc,cjs).

La capacité (CGS) (6) prend comme valeur (cgs/2) parce que (TS2) est en zone ohmique. Donc la capacité (CGD) (7) est (cgs/2).

Pour (ntm et s) transistors on obtient (cdet):

$$cdet = ntm.(cgs/4+cjs) + cgc/4 + cjc + cbet + s.cgs$$

- La capacité des liens de sortie de la matrice OU est (cbou); elle est calculée de la même manière que (cbet), en remplaçant (npm) par (nps):

$$cbou = nps.(cm+cmd+2.cmp).$$

- La capacité de sortie de la matrice OU pendant son temps de montée est (cmou) en supposant que le PLA est chargé par une porte.

Comme (TS1) est bloqué, il reste donc (cjs) (4). Pour (nts) transistor on obtient une capacité (nts.cjs).

Le transistor (TC2) est saturé. La capacité (CGD) (2) est nulle. La capacité 3 est (cjc).

La capacité 6 est maximisée par (2/3.cgs). La capacité (CGD) (7) est maximisée par (cgs/2). CGD agit en effet Miller. Elle devient 2.cgs/2.

On ajoute à cette capacité (cmou) la capacité de charge (cch) à la sortie du PLA. Elle peut être donnée par l'utilisateur ou équivalente à une capacité d'entrée d'une porte standard.

On obtient donc la capacité (cmou):

$$cmou = nts.cjs + cjc + cbou + 5/3.cgs + cch.$$

#### II.1.4 Méthode de calcul

En vue d'estimer le temps de propagation du PLA, on va suivre une méthode qui enchaîne le calcul des composantes de ce temps de propagation.

Cette méthode est générale pour toutes les technologies et les règles de dessin.

Auparavant on a dit que pour estimer le temps de propagation du PLA on fixe le facteur de sécurité (k) et on fait varier le nombre des monômes entre deux rappels de masse (n).

Donc à partir de (k) et (n) données la méthode consiste à calculer les paramètres topologiques du transistor de charge (zc,lc) puis les performances.

(k,n)---> (gamac,zc,lc)-----> (temps)

Quelques équations qui concernent le transistor MOS vont être introduites pour pouvoir calculer la dimension du transistor de charge.

### Le transistor MOS

Le transistor MOS [MEA,LYO] est un transistor à effet de champ dont la grille en polysilicium est isolée du canal semi-conducteur par une mince couche d'oxyde.

Deux régions symétriques dans le substrat par rapport à la grille sont diffusées de type N pour un transistor de canal N et réalisent son drain et sa source, figure II.6.

Le transistor NMOS conduit quand le canal N existe entre son drain et sa source.

Le canal (peuplé en électrons) résulte d'une tension positive appliquée à la grille.

Il apparaît alors un champ électrique ( $E_y$ ) normal à la grille, orienté vers le substrat, qui attire les électrons vers la grille jusqu'à ce qu'apparaisse un phénomène d'inversion qui crée le canal.

Le canal est formé et la tension qui est appliquée sur la grille est la tension de seuil ( $v_t$ ).

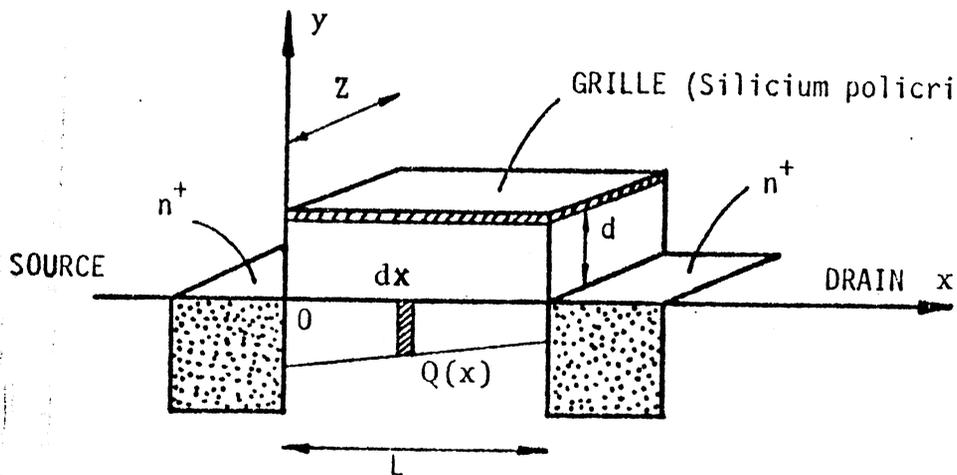


Figure II.6- Le transistor MOS.

Maintenant si l'on applique une tension positive sur le drain ( $v_{ds}$ ) par rapport à la source, un courant ( $I_{ds}$ ) traverse le canal.

Ce courant est constant le long du canal [15]; on peut le calculer sur une tranche  $dx$ . Si dans cette tranche la charge mobile est  $Q(x)$ . Le courant sur la largeur du canal ( $z$ ) est:

$$I_{ds} = z \cdot \frac{dQ(x)}{dt} = z \cdot \frac{dQ(x)}{dx} \cdot \frac{dx}{dt}$$

$dx/dt$  représente la vitesse de déplacement dans le canal de cette charge  $Q(x)$ , qui est aussi:

$$\frac{dx}{dt} = \mu \cdot E_x(x) = -\mu \cdot \frac{dv(x)}{dx}$$

$v(x)$ : potentiel du canal au point ( $x$ ) par rapport au substrat.

$E_x$ : champ électrique parallèle au canal.

La quantité de charges mobiles au point ( $x$ ) est égale [GRO, RIC]:

$$Q(x) = -cox \cdot (v_{gs} - v_t - v(x)).$$

On obtient l'expression du courant en zone ohmique:

$$I_{ds} \cdot dx = z \cdot cox \cdot \mu \cdot (v_{gs} - v_t - v(x)) \cdot dv(x).$$

On va voir au prochain paragraphe qu'on peut assimiler (vt) à vt0+beta.v(x). Cette simplification de l'expression de (vt) permet d'intégrer le courant sur la longueur du canal (l). Ce courant est constant, donc l'intégrale est Ids.l. L'expression du courant devient:

$$I_{ds.l} = \int_0^{v_{ds}} (z \cdot \mu \cdot \text{cox} \cdot (v_{gs} - v_{t0} - (1 + \beta) \cdot v(x))) \cdot dv(x)$$

On suppose que (mu) moyen est constant, on obtient Ids en zone ohmique:

$$I_{ds} = \frac{z}{1} \cdot \mu \cdot \text{cox} \cdot \left( (v_{gs} - v_{t0}) - \frac{1 + \beta}{2} \cdot v_{ds} \right) \cdot v_{ds}$$

Cette expression du courant est valable dans la zone ohmique. La limite de cette expression du courant est atteinte lorsque la tension vds égal à vds (tension de saturation). Le courant atteint sa valeur maximum en fonction de (vds), on obtient:

$$\frac{d(I_{ds})}{d(v_{ds})} = 0 \rightarrow v_{ds} = v_{dss} = \frac{v_{gs} - v_{t0}}{1 + \beta}$$

En zone saturée l'expression du courant devient:

$$I_{ds} = \frac{z}{1} \cdot \frac{\mu}{2} \cdot \text{cox} \cdot (v_{gs} - v_{t0})^2$$

b- Tension de seuil

La tension de seuil d'un transistor MOS est la tension nécessaire sur sa grille pour avoir l'inversion forte dans le canal sur la courbure des bandes ( $f_{ib}$ ), c'est à dire la création de charges mobiles en surface:

$$f_{ib} = -2.f_{if}$$

$$f_{if} = \frac{E_f - E_i}{q} = \frac{KT}{q} \cdot \ln\left(\frac{N_a}{n_i}\right).$$

$E_f$ : niveau de Fermi.

$E_i$ : niveau intrinsèque.

$N_a$  : concentration d'accepteurs.

$n_i$  : concentration d'électrons dans le semiconducteur intrinsèque.

$$v_{t0p} = V_{FB} + f_{ib} - \frac{Q_{ss} + Q_b}{C_{ox}}$$

$Q_{ss}$ : charge fixe positive sur l'interface silicium/oxyde.

$Q_b$ : charge dans la zone dépletée à l'inversion forte.

$$Q_b = -q.N_a.x_d = -(2.e.b_s.N_a.a_b_s(f_{ib}))^{1/2}$$

$Q_b$  dépend de la tension de polarisation du substrat par rapport à la source ( $v_{bs}$ ). On remplace dans l'équation de  $Q_b$   $f_{ib}$  par  $f_{ib} + v_{bs}$ , on obtient la tension de seuil ( $v_t$ ):

$$v_t = v_{t0p} + k_1 \cdot ((f_{ib} + v_{bs})^{1/2} - (f_{ib})^{1/2})$$

$$k_1 = \frac{(2.e.b_s.q.N_a)^{1/2}}{C_{ox}}$$

c- Effet du substrat linéarisé

Pour calculer le coefficient d'effet de substrat linéarisé (beta), on trace la courbe de  $v_t(v_{bs})$  (figure II.7).

Le diagramme de Memelink assimile la tension  $v(x)$  à la tension  $v_{bs}$  entre le substrat et un point quelconque du canal.

On linéarise la courbe entre deux points correspondant à la zone de fonctionnement. Nous prendrons comme origine la polarisation du substrat ( $v_p$ ) et comme valeur maximale l'alimentation plus la polarisation du substrat ( $v_a+v_p$ ).

La pente de la droite entre ces deux points ( $v_t(v_p)$  et  $v_t(v_p+v_a)$ ) définit l'effet de substrat linéarisé (beta).

$$\text{Donc } \beta = \frac{v_t(v_p+v_a) - v_t(v_p)}{v_a}$$

En remplaçant par l'expression de  $v_t$ . On obtient beta en fonction de  $k_1$ :

$$\beta = \frac{k_1 \cdot ((f_{ib}+v_p+v_a)^{1/2} - (f_{ib}+v_p)^{1/2})}{v_a}$$

Compte tenu de la courbure de  $v_t(v_{bs})$  à l'origine des tensions, on améliore l'approximation de l'effet de substrat linéarisé par une polarisation du substrat. En effet on effectue une translation de l'axe ( $v_t$ ) sur une distance ( $v_p$ ) et on choisit  $v_{t0}=v_t(v_p)$ , ce qui amène à considérer une partie plus "plate" de la relation  $v_t(v_{bs})$  (figure 11b).

L'expression de la tension de seuil par rapport à l'effet de substrat linéarisé est:

$$v_t = v_{t0} + \text{beta} \cdot v(x).$$

remarque: le  $v_{t0}$  introduit par cette simplification diffère de la tension de seuil  $v_{t0p}$  du CMOS.

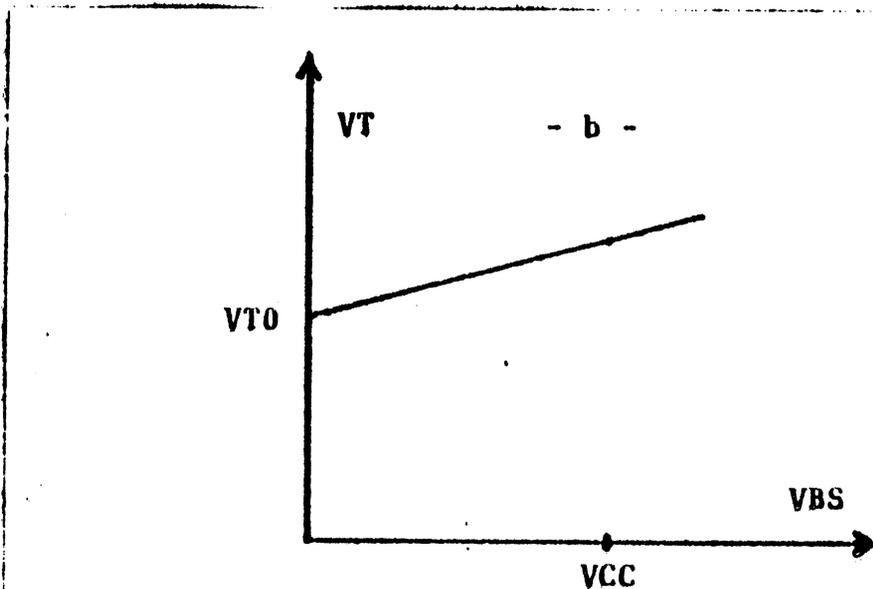
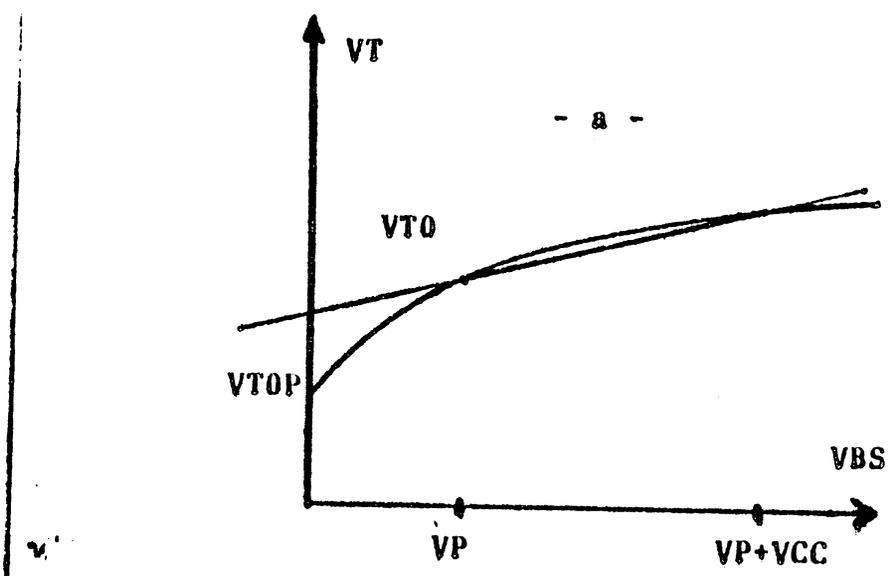


Figure II.7- Linéarisation de  $V_T(V_{BS})$ .

d- Calcul de la dimension du transistor de charge

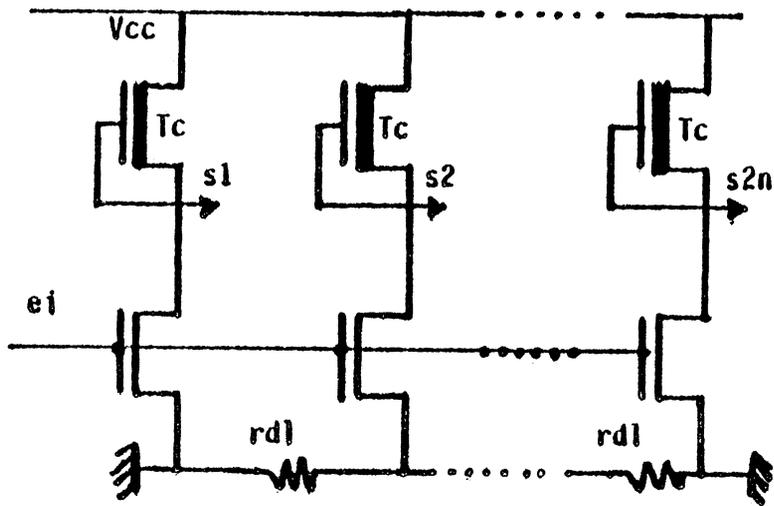
Le calcul de la dimension du transistor de charge est effectué de manière à avoir de bons niveaux logiques à la sortie d'une porte NMOS.

Le niveau logique haut à la sortie de la porte est obtenu lorsque le transistor signal est bloqué, la tension de la sortie est alors  $v_{cc} - v_{tc}$ .

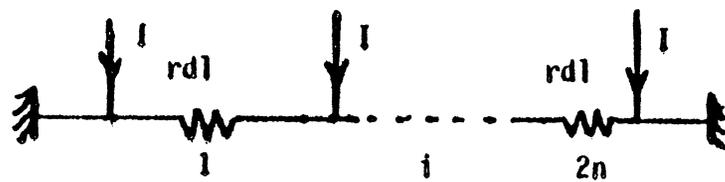
Le problème se pose pour un niveau logique bas compte tenu du fait que le transistor signal dans un PLA NMOS est relié à la véritable masse du circuit à travers une zone diffusée N+ qui présente une résistance ( $r$ ) (figure II.8a).

Il en résulte une déperdition du niveau zéro équivalent à la chute de tension ( $\Delta v_2$ ) dans la résistance ( $r$ ) qui s'ajoute à celle dans le transistor de signal ( $\Delta v_1$ ) (figure II.9).

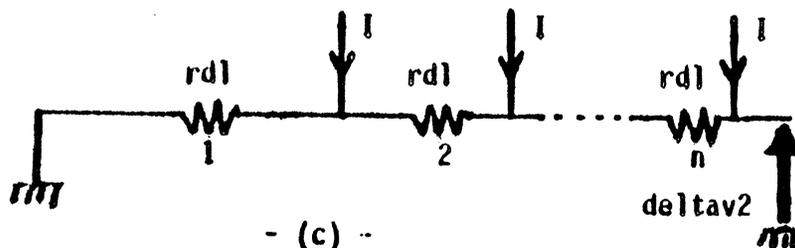
Cette déperdition dépend du courant qui traverse la porte. On calcule la dimension du transistor de charge afin de limiter le courant pour avoir un bon niveau zéro. Les paramètres ( $\Delta v_1$ ,  $\Delta v_2$ ) qui sont dépendants de la dimension du transistor de charge vont être calculés.



- (a) -



- (b) -



- (c) -

Figure II.8- Schéma électrique des portes de PLA NMOS qui ont la même connexion diffusée à la masse.

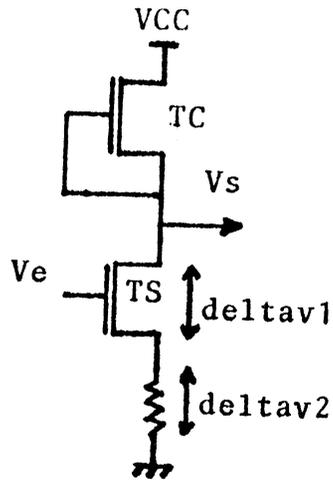


Figure II.9- Schéma électrique d'une porte de PLA NMOS qui a la connexion diffusée à la masse.

Calcul de deltav1

La sortie de la porte est au niveau bas, le transistor signal (TS) est en zone ohmique mais le transistor de charge (TC) est saturé. En égalisant les expressions des courants (I(sat) de TC et I(ohm) de TS) dans les deux transistors on obtient l'expression (a) de (deltav1) en fonction de (gamac=zc/lc):

$$I(\text{sat}) = \frac{k_c \cdot \text{gamac} \cdot (v_{tc})^2}{\text{betac}+1}$$

$$I(\text{ohm}) = k_s \cdot \text{gamas} \cdot (2 \cdot (v_{cc} - v_{ts}) \cdot \text{deltav1} - (\text{betas}+1) \cdot \text{deltav1}^2)$$

(a)  $\text{deltav1} = p - q$

$$p = \frac{v_{cc} - v_{ts}}{\text{betas}+1}$$

$$q = \left( \frac{v_{cc} - v_{ts}}{\text{betas}+1} \right)^2 - \frac{k_c \cdot \text{gamac} \cdot (v_{tc})^2}{k_s \cdot \text{gamas} \cdot (\text{betas}+1) \cdot (\text{betac}+1)} \Big)^{1/2}$$

calcul de  $\Delta V_2$

Du fait de l'implantation des portes dans un PLA NMOS, le cas le plus défavorable [B02] pour la chute de tension ( $\Delta V_2$ ) entre deux rappels de masse se produit lorsque chaque porte débite un courant maximum (I) dans la diffusion (figure II.8b). Ce courant est le courant qui passe dans le transistor de charge à l'état saturé. On obtient un schéma électrique équivalent à n (nombre de monomes entre deux rappels de masse) générateurs de courant qui débitent dans la diffusion. Compte tenu de la symétrie du problème la moitié des transistors vont débiter sur un côté et l'autre moitié sur l'autre côté, le schéma équivalent devient alors celui de la figure II.8c.

En sommant toutes les chutes de tension dans les résistances ( $r_1 \cdot I_1 + \dots + r_1 \cdot I_1$ ), on obtient  $\Delta V_2$ :

$$\Delta V_2 = \frac{n \cdot (n+2)}{8} \cdot I \cdot r_{d1}$$

Comme (I) est le courant du transistor de charge à l'état saturé, on a:

$$I = I_{ds(sat)} = \frac{k_c \cdot \gamma_{mac} \cdot (V_{TC})^2}{\beta_{act1}}$$

On obtient donc l'expression (b) finale de ( $\Delta V_2$ ):

$$(b) \Delta V_2 = \frac{n \cdot (n+2)}{8} \cdot \frac{k_c \cdot \gamma_{mac} \cdot (V_{TC})^2}{\beta_{act1}} \cdot r_{d1}$$

A la résistance ( $r_{d1}$ ) s'ajoute la résistance due au problème de routage [CH3] des sorties de la matrice OU.

D'autres relations sont à définir pour calculer la dimension du transistor de charge:

(c) facteur de pente d'un transistor:

$$k(s,c) = \frac{\mu(s,c) \cdot c_{ox}}{2}$$

(d)  $k_p = \frac{\text{deltav1}}{\text{deltav2}}$

(e)  $\text{deltav1} + \text{deltav2} = v_0 = \frac{v_{ts}}{k}$

De (d) et (e) on obtient (f) et (g):

(f)  $\text{deltav1} = \frac{v_{ts}}{k} \cdot \frac{k_p}{1+k_p}$

(g)  $\text{deltav2} = \frac{v_{ts}}{k} \cdot \frac{1}{1+k_p}$

Des deux précédentes équations (b) et (g) on peut déduire la première équation (i) de gamac en fonction de (kp):

(i)  $\text{gamac} \cdot (1+k_p) = \frac{a}{n \cdot (n+2)}$

avec:  $a = \frac{8 \cdot (\text{bétac}+1)}{k_c \cdot r_{d1} \cdot v_{tc}^2} \cdot \frac{v_{ts}}{k}$

Des deux précédentes équations (a) et (f) on peut déduire la deuxième équation (j) de gamac en fonction de (kp):

$$(j) \text{ gamac} = b \cdot \left( c - \frac{d \cdot kp}{1+kp} \right) \cdot \frac{kp}{1+kp}$$

avec:

$$b = \frac{k_a \cdot (\beta_{act} + 1) \cdot \text{gamaa}}{k_c \cdot (v_{tc})^2}$$

$$c = 2 \cdot (v_{cc} - v_{ts}) \cdot \frac{v_{ts}}{k}$$

$$d = (\beta_{ast} + 1) \cdot \left( \frac{v_{ts}}{k} \right)^2$$

$$u = \frac{a}{n \cdot (n+1)}$$

On obtient donc deux équations (i,j) et deux inconnues (gamac, kp) dont la résolution donne:

$$k_p = \frac{-(b-u) + \left( (b-u)^2 + 4.(b-d).u \right)^{1/2}}{2 . (b-d)}$$

$$\text{gamac} = b . (c - d.v) . v$$

$$\text{avec } v = \frac{k_p}{1+k_p}$$

Si gamac > 1 on fixe lc=llp sinon on fixe           zc=lzp  
llp=largeur ligne de poly

En donnant une valeur à (k) on fixe (v0).

Pour chaque valeur de (n) on peut déduire la valeur de gamac d'où le temps de réponse du PLA.

La présentation graphique (exemple courbe 2 p 64) de cette relation permet au concepteur de choisir le compromis qu'il désire entre la surface, le temps de réponse du PLA et l'immunité au bruit de ses sorties.

## II.2 Estimation du temps de propagation de PLA

### II.2.1- Introduction

Comme il y a plusieurs entrées et sorties dans un PLA, le temps de propagation dans le PLA est assimilé au retard maximal qui correspond au plus long chemin entre une entrée de la matrice ET et une sortie de la matrice OU.

La méthode pour étudier ce problème se décompose en deux parties :

Premièrement : Les conditions de simplification.

Deuxièmement : Méthode de calcul pour trouver le retard maximal.

Le calcul du temps de montée d'une porte ( $t_m$ ) va être d'abord introduit.

### II.2.2- calcul du temps de montée d'une porte ( $t_m$ ).

Le transistor de charge d'une porte traverse deux zones de fonctionnement pendant la transition de zéro à un, l'une est la zone de saturation, l'autre est la zone ohmique (figure II.12).

Le temps de montée d'une porte est la somme des temps de montée dans ces deux zones.

Pendant la zone de saturation on a la relation suivante:

$$v_{ds} \geq v_{dss} \quad \text{et} \quad v_{ds} = v_{cc} - v_s$$

$$v_{dss} = -v_{tc} - \beta_{tac} \cdot v_s$$

c'est à dire:  $v_{cc} - v_s \geq -v_{tc} - \beta_{tac} \cdot v_s$

$v_s$ : tension de sortie de la porte.

La frontière de ces deux zones est atteinte lorsque  $v_s = v_f$ , où l'on a ( $v_{ds} = v_{dss}$ ).

$$v_{cc} + v_{tc}$$

Alors:  $v_f = \frac{v_{cc} + v_{tc}}{1 - \beta_{tac}}$

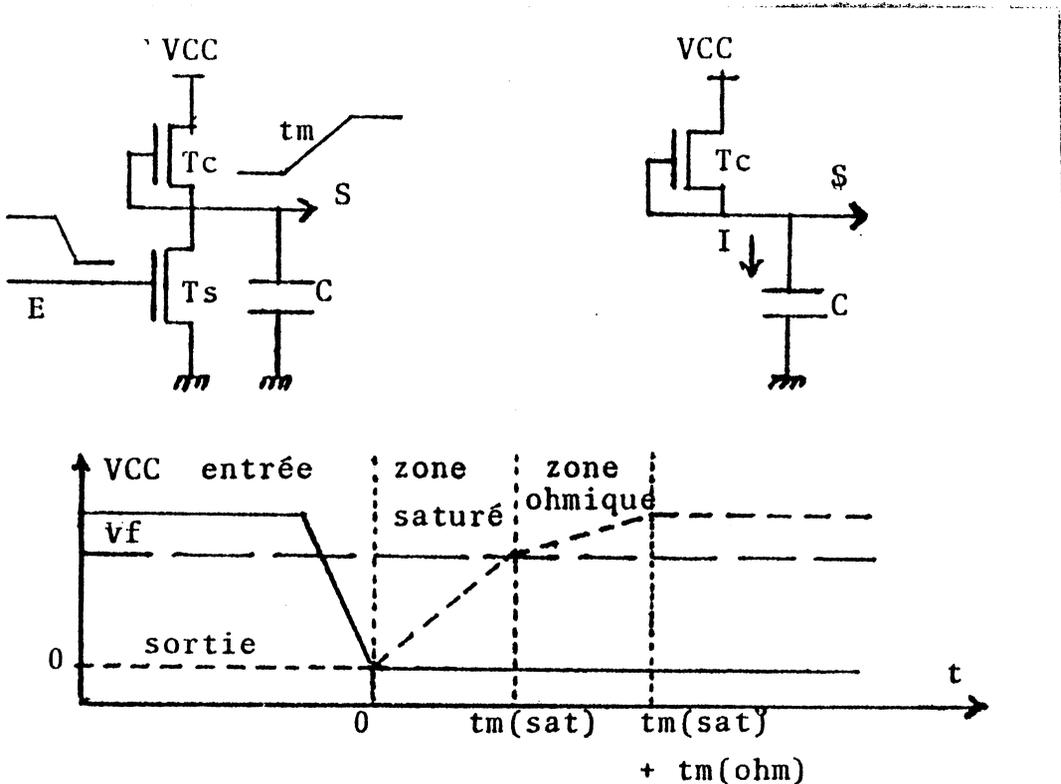


Figure II.12- Temps de montée d'une porte NMOS.

Le temps de montée en sortie de la porte  $t_m(\text{sat})$ , dans la zone saturée, est calculé entre les deux niveaux de tension zéro et  $v_f$ . On obtient la relation suivante:

Le courant de saturation du transistor de charge:

$$I(\text{sat}) = \frac{k_c \cdot \gamma_{\text{mac}}}{\beta_{\text{act1}}} \cdot (v_{\text{tc}} + \beta_{\text{ac}} \cdot v_s)^2$$

$$I(\text{sat}) = c \cdot \frac{d(v_s)}{dt}$$

Après intégration on obtient:

$$t_m(\text{sat}) = \frac{c \cdot (v_{\text{cc}} + v_{\text{tc}}) \cdot (\beta_{\text{act1}})}{k_c \cdot \gamma_{\text{mac}} \cdot v_{\text{tc}} \cdot (v_{\text{tc}} + \beta_{\text{ac}} \cdot v_{\text{cc}})}$$

Dans la zone ohmique ( $t_m(\text{ohm})$ ), la tension drain-source devient:

$$v_{\text{ds}} \leq v_{\text{dsa}}$$

Le temps de montée à la sortie de la porte ( $t_m(\text{ohm})$ ) dans la zone ohmique est calculé entre les deux niveaux de tension  $v_f$  et  $0,9 \cdot v_{\text{cc}}$ , on obtient:

$$I(\text{ohm}) = k_c \cdot \gamma_{\text{mac}} \cdot (2 \cdot (v_{\text{gs}} - v_{\text{ts}}) - (\beta_{\text{act1}}) \cdot v_{\text{ds}}) \cdot v_{\text{ds}}$$

On remplace  $v_{\text{gs}}$  et  $v_{\text{ds}}$  par leur valeurs dans  $I(\text{ohm})$ , on obtient:

$$I(\text{ohm}) = k_c \cdot \gamma_{\text{mac}} \cdot (-2 \cdot (v_{\text{tc}} + \beta_{\text{ac}} \cdot v_s) - (\beta_{\text{act1}}) \cdot (v_{\text{cc}} - v_s)) \cdot (v_{\text{cc}} - v_s)$$

$$I(\text{ohm}) = c \cdot \frac{d(v_s)}{dt}$$

Après intégration on obtient:

$$t_m(\text{ohm}) = \frac{c \cdot \ln(\text{ABS}(1 + 18 \cdot \text{betac} + 20 \cdot v_{tc}/v_{cc}))}{2 \cdot k_c \cdot \text{gamac} \cdot \text{ABS}(v_{tc} + \text{betac} \cdot v_{cc})}$$

Cette relation est vraie pour  $v_f \leq 0,9 \cdot v_{cc}$ .

Cette zone de fonctionnement existe pour toutes les technologies où  $v_{tc} \leq -1,4$  volts.

Donc le temps de montée est la somme des temps de montée dans les deux zones:

si  $v_{tc} \leq -1,4$  volts alors :  $t_m = t_m(\text{sat}) + t_m(\text{ohm})$ .

Pour les technologies que nous considérons:

$v_{cc} = 5$  volts.  $v_{tc} \leq -1,4$  volts.

$\text{betac} =$  de l'ordre de 0,2

Alors:

$\text{ABS}(v_{tc}) = -v_{tc}$ .

$\text{ABS}(v_{tc} + \text{betac} \cdot v_{cc}) = -v_{tc} - \text{betac} \cdot v_{cc}$ .

$\text{ABS}(1 + 18 \cdot \text{betac} + 20 \cdot v_{tc}/v_{cc}) = -1 - 18 \cdot \text{betac} - 20 \cdot v_{tc}/v_{cc}$

Après avoir remplacé ces trois égalités dans ( $t_m$ ) on obtient:

$t_m = c \cdot$

$\frac{(\text{betac} + 1) \cdot (1 + v_{cc}/v_{tc}) - 0,5 \cdot \ln(-1 - 18 \cdot \text{betac} - 20 \cdot v_{tc}/v_{cc})}{\text{gamac} \cdot k_c \cdot (v_{tc} + \text{betac} \cdot v_{cc})}$

### II.2.3- Les conditions de simplification

Nous établirons quelques simplifications nécessaires pour calculer le temps de propagation dans le PLA en restant proche du résultat réel.

Les conditions de simplification sont:

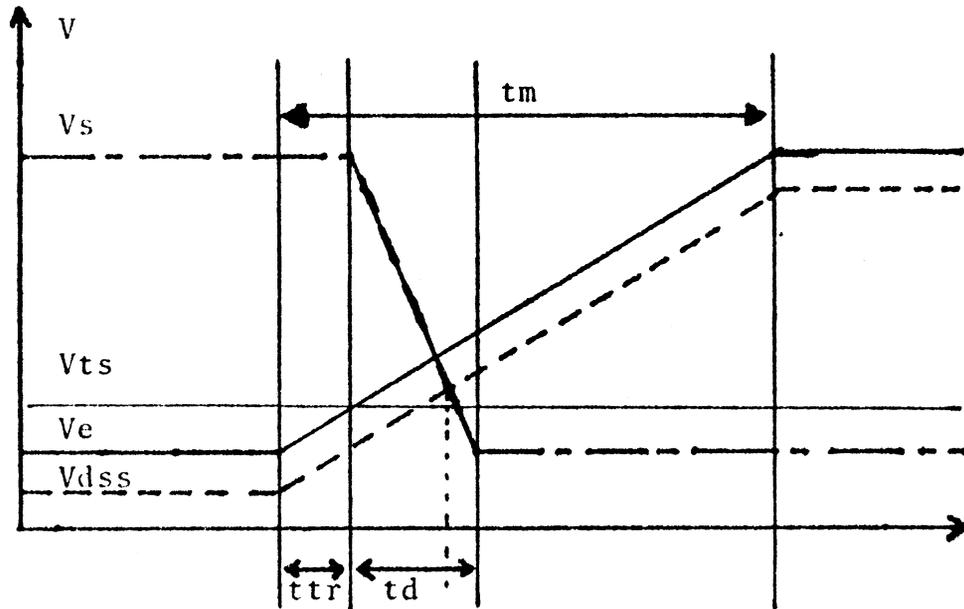
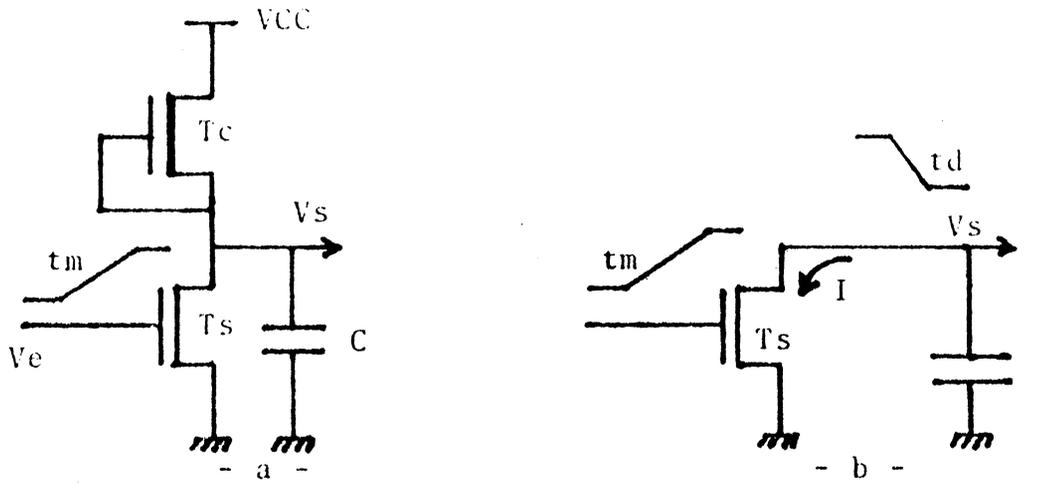
a- On suppose que les valeurs de capacités ne dépendent pas de la variation de tension à leurs bornes pour un gamac donné.

b- On considère que la zone de saturation du transistor de signal est beaucoup plus grande que sa zone ohmique.

c- On suppose que le signal est plus retardé lorsqu'il correspond à un front montant en sortie du PLA.

La condition (a) est valable dans la mesure où l'on prend pour chaque capacité qui varie avec la tension, sa valeur moyenne ou maximale.

La condition (b) est valable si le temps de montée de la tension de grille est plus important que le temps de descente de la porte, figure II.10 (ce qui produit une inversion apparente du principe de causalité).



Vs Vdss zone saturée  $\longleftrightarrow$  Vs Vdss zone ohmique

- c -

Figure II.10- Le temps de descente est plus court que le temps de montée.

Les conditions (a) et (b) simplifient le calcul du temps de descente d'une porte de PLA.

La condition (b) impose une relation entre la valeur de  $(v_{gs}-v_{ts})$  et le temps de montée de la tension de grille ( $t_m$ ):

On doit avoir:  $v_{gs}-v_{ts} = t/t_m \cdot v_{cc} - v_{ts}$ .

Comme le transistor de signal est saturé, on obtient le courant (I):

$$I = \frac{k_s \cdot \gamma_{mas} \cdot t}{\beta_{est} + 1} \cdot \left( \frac{v_{cc} - v_{ts}}{t_m} \right)^2.$$

$$I = -c \cdot \frac{d(v_s)}{dt} \quad 0 \leq v_s \leq v_{cc}.$$

On néglige le courant du transistor de charge parce que la résistance du transistor de charge est beaucoup plus importante que celle du transistor de signal.

Après l'intégration de  $(dv_s/dt)$  avec une capacité (c) constante, l'expression de la variation du temps de descente ( $t_d$ ) en fonction de temps de montée ( $t_m$ ) de la tension grille [BRY] s'écrit:

$$t_d = \left( \frac{3 \cdot (\beta_{est} + 1) \cdot c \cdot (t_m)^2}{k_s \cdot \gamma_{mas} \cdot v_{cc}} \right)^{1/3}$$

$t_m$ : temps de montée de la tension de grille.

Si la condition (c) est justifiée, on se limitera à calculer le temps de retard des signaux des fronts montants à la sortie du PLA.

Sinon il faut tenir compte des deux cas :

- fronts montants
- fronts descendants

Cette hypothèse va être justifiée par quelques principes.

#### II.2.4- Justification de l'hypothèse (c)

La justification de cette hypothèse (le signal est plus retardé lorsqu'il correspond à un front montant en sortie du PLA) peut être obtenue par le calcul du temps de réponse dans les deux cas de front montant et de front descendant.

Quelques principes de base vont être introduits:

- Le temps de montée d'une porte NMOS est plus long que son temps de descente [MEA].
- Le front montant à la sortie d'une porte commence quand le front descendant à son entrée a presque atteint zéro volt.
- On suppose que les fronts montant et descendant à la sortie de l'amplificateur d'attaque, des lignes d'entrées de la matrice ET, sont parfaits ( $t_m=t_d=0$ ).

a- Premier cas: attaque par un front montant

- A l'entrée de la matrice ET, le front montant subit un retard ( $t_{\text{eet}}$ ) du type R.C dans la ligne de poly.

- A la sortie de la matrice ET le signal sera inversé.  
Ce signal subit les retards suivants:

a- Le temps de transit ( $t_{\text{tr}}$ ) entre le signal d'attaque à l'entrée de la matrice ET et le début de signal inversé à la sortie de la matrice ET.

$v_{\text{ts}}$

$$t_{\text{tr}} = \frac{v_{\text{ts}}}{v_{\text{cc}}} \cdot t_{\text{eet}}.$$

$v_{\text{cc}}$

b- Le temps de descente dans la matrice ET ( $t_{\text{det}}$ ).

c- Le retard dans la ligne de poly dans la matrice OU ( $t_1$ ).

- A la sortie de la matrice OU, le signal subit une deuxième inversion avec un temps de montée ( $t_{\text{mou}}$ ).

Donc le temps de propagation dans le PLA est la somme des retards suivants, figure II.11:

$$t_{\text{plal}} = t_{\text{tr}} + t_{\text{det}} + t_1 + t_{\text{mou}}$$

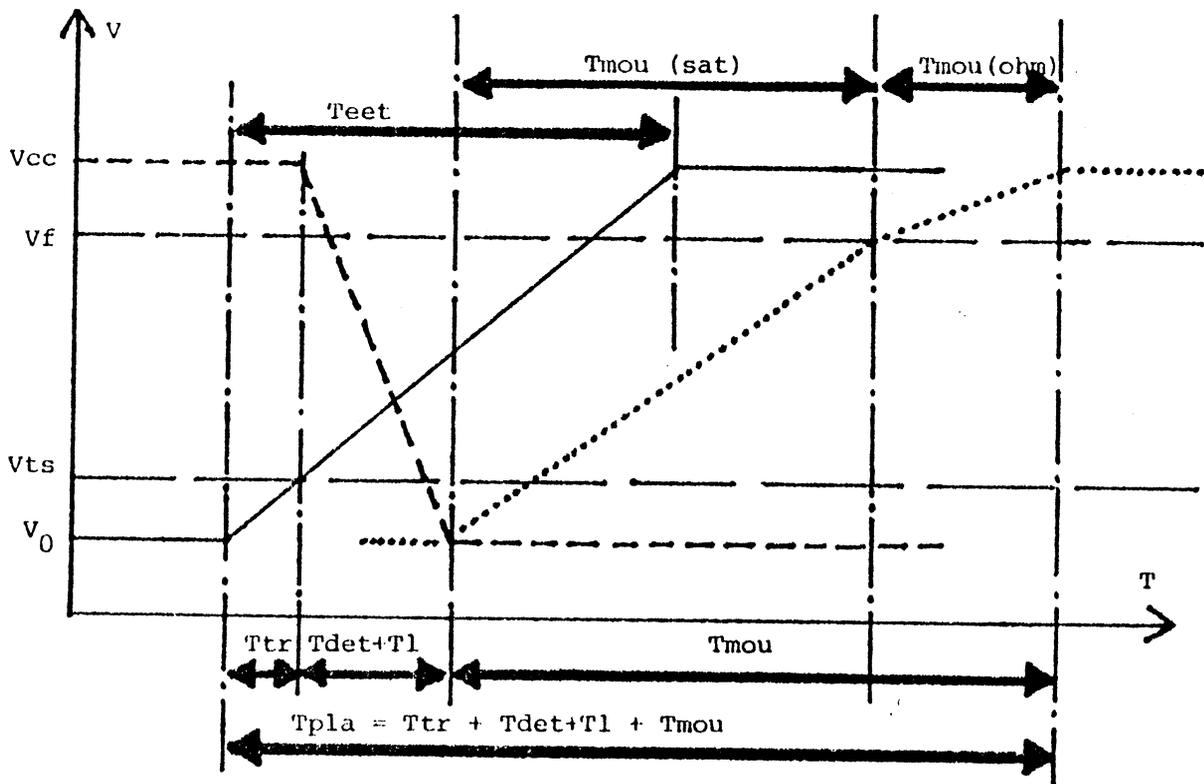


Figure II.11- temps de propagation dans un PLA NMOS statique.

b- Deuxième cas: attaque par un front descendant

- A l'entrée de la matrice ET le front descendant subit un retard ( $t_{eet}$ ) du type R.C dans la ligne de poly.

- A la sortie de la matrice ET le signal sera inversé. Ce signal subit les retards suivants:

a- le temps de montée dans la matrice ET ( $t_{met}$ )

b- le retard dans la ligne de poly dans la matrice OU ( $t_l$ ).

- A la sortie de la matrice OU, le signal est inversé avec un retard correspondant au temps de descente de la matrice OU ( $t_{dou}$ ).

Donc le temps de propagation dans le PLA est la somme des retards suivants:

- Le temps d'entrée de la matrice ET ( $t_{eet}$ ).

- Le temps de transit dans la matrice OU.

$$t_{tr} = \frac{v_{ts}}{v_{cc}} \cdot (t_{met} + t_l).$$

- Le temps de descente dans la matrice OU ( $t_{dou}$ ).

$$\text{Alors: } t_{plq2} = t_{eet} + \frac{v_{ts}}{v_{cc}} \cdot (t_{met} + t_l) + t_{dou}.$$

c- Comparaison

Nous allons comparer (tpla1) par rapport à (tpla2) pour démontrer la condition (c)  $tpla1 \succ tpla2$ , qui peut s'écrire:

$$\frac{v_{ts}}{v_{cc}} \cdot teet + t_{det} + t_1 + t_{mou} \succ \frac{v_{ts}}{v_{cc}} \cdot teet + \frac{v_{ts}}{v_{cc}} \cdot (t_{met} + t_1) + t_{dou}$$

Ou sous une autre forme:

$$t_{mou} - t_{dou} \succ \left(1 - \frac{v_{ts}}{v_{cc}}\right) \cdot teet - \left(1 - \frac{v_{ts}}{v_{cc}}\right) \cdot t_1 + \frac{v_{ts}}{v_{cc}} \cdot t_{met} - t_{det}$$

Comme  $v_{ts}=0.6$  et  $v_{cc}=5$  on peut négliger  $v_{ts}/v_{cc}$  devant 1, on obtient:

$$t_{mou} - t_{dou} \succ teet - t_1 + \left(\frac{v_{ts}}{v_{cc}}\right) \cdot (t_{met} - t_{det})$$

Comme le temps de montée de la matrice OU est très grand devant son temps de descente on néglige ( $t_{dou}$ ) devant ( $t_{mou}$ ):

$$t_{mou} \gg t_{dou}$$

On obtient:

$$(a) \quad t_{mou} \succ teet - t_1 + \left(\frac{v_{ts}}{v_{cc}}\right) \cdot (t_{met} - t_{det})$$

Dans le cas: ( $teet \ll v_{ts}/v_{cc} \cdot t_{met}$ ), l'inégalité (a) devient:

$$t_{mou} \succ v_{ts}/v_{cc} \cdot t_{met} = 0,1 \cdot t_{met}$$

Dans le cas: ( $t_{eet} \gg v_{ts}/v_{cc} \cdot t_{met}$ ), ce qui implique ( $t_{eet} \gg v_{ts}/v_{cc} \cdot t_{met} - t_{det}$ ).

L'inégalité (a) devient;

$$t_{mou} > t_{eet} - t_l$$

Comme ( $t_l > 0$ ), une condition suffisante pour que (a) soit vraie est que:

$$(b) \quad t_{mou} > t_{eet}.$$

Nous allons montrer que l'inégalité (b) est vérifiée dans les cas pratiquement utilisés.

l'expression du temps de montée est;

$$t_{mou} = c_{ou}.$$

$$\frac{(\beta_{ac} + 1) \cdot (1 + v_{cc}/v_{tc}) - 0,5 \cdot \ln(-1 - 18 \cdot \beta_{ac} - 20 \cdot v_{tc}/v_{cc})}{\dots}$$

$$g_{amc} \cdot k_c \cdot (v_{tc} + \beta_{ac} \cdot v_{cc})$$

Minimisons  $t_{mou}$  en donnant une valeur minimale à ( $v_{tc} = -4$  volts), et ( $g_{amc} = 2$ ), on obtient:

$$t_{mou} \approx c_{ou} \cdot 1E+5.$$

Par contre nous allons maximiser:  $t_{eet} = \eta_{pe} \cdot r_{pl} \cdot c_{eet}$ .  
Pour cela nous allons prendre un grand PLA (150 monômes, et  $\eta_{pe} = 150$ ). En maximisant  $r_{pl} = 100$  ohm, on obtient:

$$t_{eet} \leftarrow c_{eet} \cdot 1,5E+4$$

Maintenant nous allons montrer, après avoir simplifié les expressions de  $c_{mou}$  et de  $c_{eet}$ , que:

$$c_{mou} \cdot 1E+5 > c_{eet} \cdot 1,5E+4.$$

Qui peut aussi s'écrire:  $cmou \geq 0,15 \cdot ceet$

Nous allons comparer les deux capacités  $cmou$  et  $ceet$ :

On a:  $ceet = npe \cdot (2 \cdot c_{mp} + c_p) + nte \cdot (c_{gs} - c_{co})$ .

Une borne maximale de  $nts$  est donnée par  $npe/2$  (le nombre maximal de transistors connectés sur une ligne, est la moitié de sa longueur comptée en nombre de pas), on obtient:

$$ceet = npe \cdot (2 \cdot c_{mp} + c_p + (c_{gs} - c_{co})/2) = npe \cdot C1.$$

Avec  $C1 = 2 \cdot c_{mp} + c_p + (c_{gs} - c_{co})/2$

De même:

$$cmou = nts \cdot c_{js} + nps \cdot (2 \cdot c_{mp} + c_m + c_{md}) + c_{jct} + 5/3 \cdot c_{gs} + c_{ch}$$

qui peut s'écrire (pour  $nps = 2 \cdot nts$ ):

$$cmou \leq nts \cdot (c_{js} + 2 \cdot (2 \cdot c_{mp} + c_m + c_{md})) = nts \cdot C2.$$

Avec  $C2 = 2 \cdot (2 \cdot c_{mp} + c_m + c_{md} + c_{js}/2)$ .

Comme:

$cm$  a le même ordre de valeur que  $cp$ .

$(c_{md} + c_{js}/2)$  a le même ordre de valeur que  $((c_{gs} - c_{co})/2)$ .

On obtient donc que  $(C2)$  est équivalent à  $(2 \cdot C1)$

d'où l'expression  $(cmou \geq 0,15 \cdot ceet)$  devient:

$$nts \geq 0,075 \cdot npe \quad \text{ou} \quad 13 \cdot nts \geq npe$$

Pour justifier la condition (c), il suffit donc que  $nts$  (nombre de drains de transistors connectés à la sortie de la matrice OU), soit 13 fois plus petit que  $npe$  (nombre de pas de la ligne d'entrée). Ce qui est généralement le cas des PLA que nous avons rencontrés.

### II.2.5-Calcul du temps de propagation

#### (détermination du chemin électrique le plus long)

La condition (c) qui correspond à attaquer le PLA par des fronts montants, donne le temps de propagation maximal.

Pour calculer ce temps, après avoir calculé toutes les capacités, il suffit de trouver le chemin électrique le plus long.

Pour trouver ce chemin, une stratégie de calcul en huit étapes va être présentée:

a- Première étape, calcul du retard de chaque entrée de la matrice ET.

Il s'agit d'un retard (teet) de type R.C, sa valeur est [WIL]:  $teet = R.C$

La résistance et la capacité de chaque ligne d'entrée sont calculées en fonction de sa longueur en nombre de pas (npe) et du nombre des grilles de transistor (nte) attaquées par la ligne; on obtient (teet):

teet; temps d'entrée de la matrice ET.

$teet = (rpl \cdot npe) \cdot ceet.$

rpl: résistance d'un pas dans la ligne de poly.

b- Deuxième étape, détermination de l'entrée la plus lente connectée à chaque monôme (temono):

$$temono = \max(teet) \quad \text{par monôme.}$$

Le temps de transit (ttr) résulte de temono:.

$$ttr = \frac{vts}{vcc} \cdot temono.$$

c- Troisième étape, calcul du temps de descente de chaque monôme dans la matrice ET (tdet) et du retard de la ligne poly correspondante dans la matrice OU (t1). On calcule la longueur et le nombre de transistors de chaque monôme pour calculer la capacité, puis (tdet) et (t1):

$$tdet = \left( \frac{3 \cdot cdet \cdot (temon)^2}{ks \cdot gamac \cdot vcc} \right)^{1/3}$$
$$t1 = (rpl \cdot ns) \cdot cl.$$

d- Quatrième étape, calcul du retard total à la sortie de chaque monôme (tmono) qui est la somme de:

$$tmono = ttr + tdet + t1$$

e- Cinquième étape, détermination de l'entrée la plus lente de chaque sortie de la matrice OU (teou):

$$teou = \max(tmono) \quad \text{pour chaque sortie de la matrice OU.}$$

f- Sixième étape, calcul du temps de montée de chaque sortie dans la matrice OU ( $t_{mou}$ ).

On calcule la longueur en nombre de pas ( $n_{ps}$ ) et le nombre de transistors ( $n_{ts}$ ) de chaque sortie pour calculer la capacité ( $c_{mou}$ )

Pour calculer le temps de montée, on remplace dans la relation de ( $t_m$ ), déjà calculée, ( $c$ ) par ( $c_{mou}$ ).

g- Septième étape, calcul du retard total de chaque sortie ( $t_s$ ) qui est la somme de:

$$t_s = t_{eou} + t_{mou}.$$

On ajoute les deux temps ( $t_{eou} + t_{mou}$ ) car le front montant commence quand le front descendant précédent a presque atteint zéro volt (condition c).

h- Dernière étape, le temps de propagation est le retard le plus long qui correspond à la sortie la plus lente.

Donc le temps de propagation du PLA ( $t_{pla}$ ) est le maximum de ( $t_s$ );

$$t_{pla} = \max(t_s) \quad \text{pour la matrice OU.}$$

### II.3- Etude de la variation des paramètres (tpla,n,k,gamac)

Nous étudierons la variation des paramètres qui caractérisent le fonctionnement des PLA, l'un par rapport à l'autre à partir de leur formule de base.

Ces paramètres sont les suivants (tpla,n,k,gamac):

- La variation du temps de propagation (tpla) en fonction du nombre de monômes entre deux rappels de masse (n).
- La variation de (tpla) en fonction du facteur de sécurité (k) du niveau zéro ( $k=wts/v0$ ).
- La variation de (tpla) en fonction de gamac.
- La variation de gamac en fonction du nombre de monômes entre deux rappels de masse (n) et du facteur de sécurité (k).

A titre d'exemple considérerons les règles de dessin du "CMP" (Circuit-Multi-Projet) pour un PLA particulier qui a les caractéristiques suivantes:

- nbent = 10 nombre maximum d'entrées.
- nbmono = 27 nombre maximum de monômes.
- nbsort = 11 nombre maximum de sorties.
- Les configurations des deux matrices ET et OU donnent les autres paramètres:  
(nte, npe, s, ns, ntm, npm, nts, nps).

En vue d'avoir le meilleur temps de propagation possible en diminuant la résistance du transistor signal, on prend  $\gamma_{mas}$  le plus grand possible (déduit des règles géométriques).

Cette diminution de la résistance a pour conséquence:

- L'augmentation du nombre de monômes entre deux rappels de masse ( $n$ ).
- La diminution du temps de propagation ( $t_{pla}$ ).

En vue de diminuer la résistance, on prend aussi la ligne de masse ( $l_{ld}$ ) et la ligne de poly ( $l_{lp}$ ) les plus larges possibles.

Dans notre exemple les valeurs numériques sont:

- $\gamma_{mas} = 2,5$
- $l_{ld} = 4 \lambda$  largeur de la ligne de masse.
- $l_{lp} = 2 \lambda$  largeur de la ligne de poly.

Après avoir fixé ( $l_{ld}, l_{lp}, \gamma_{mas}$ ) et les paramètres initiaux des règles "CMP"; il ne reste, pour calculer le temps de propagation du PLA, qu'à choisir:

- le facteur de sécurité du niveau zéro ( $k$ )
- le nombre de monômes entre deux rappels de masse ( $n$ ).

On donne plusieurs valeurs à ( $k$ ) qui est limité par ( $v_{ts}/v_0 - k > 2$ ).

### II.3.1- La variation de (t<sub>pla</sub>) en fonction de (n)

L'augmentation de la résistance dans la ligne de masse, qui résulte de l'augmentation de (n), provoque l'augmentation du temps de propagation du PLA (t<sub>pla</sub>).

La variation de t<sub>pla</sub> devient importante par rapport à la variation de n quand n est grand parce que la déperdition de tension dans la ligne de masse devient comparable à celle dans le transistor signal.

Dans notre exemple la courbe 1 montre l'augmentation de temps de propagation du PLA (t<sub>pla</sub>) avec le nombre de monômes entre deux rappels de masse (n).

### II.3.2- La variation de (t<sub>pla</sub>) en fonction de (k)

Le temps de propagation du PLA augmente avec le facteur de sécurité (k) du niveau zéro.

L'augmentation de ce facteur (k), pour une résistance (R<sub>ON</sub>) constante de transistor signal, nécessite l'augmentation de la résistance du transistor de charge pour avoir une division de tension plus grande qui correspond à (k) plus grand.

L'augmentation de la résistance du transistor de charge diminue son courant. La diminution de ce courant, qui charge les capacités, provoque l'augmentation du temps de propagation du PLA.

Dans notre exemple la courbe 1 montre l'augmentation du (t<sub>pla</sub>) avec (k).

# Temps

(en micro seconde)

Temps de propagation du PLA en fonction du nombre  $N$  de monomes entre deux rappels de masse pour différents facteurs de securite  $k$  du niveau zero.

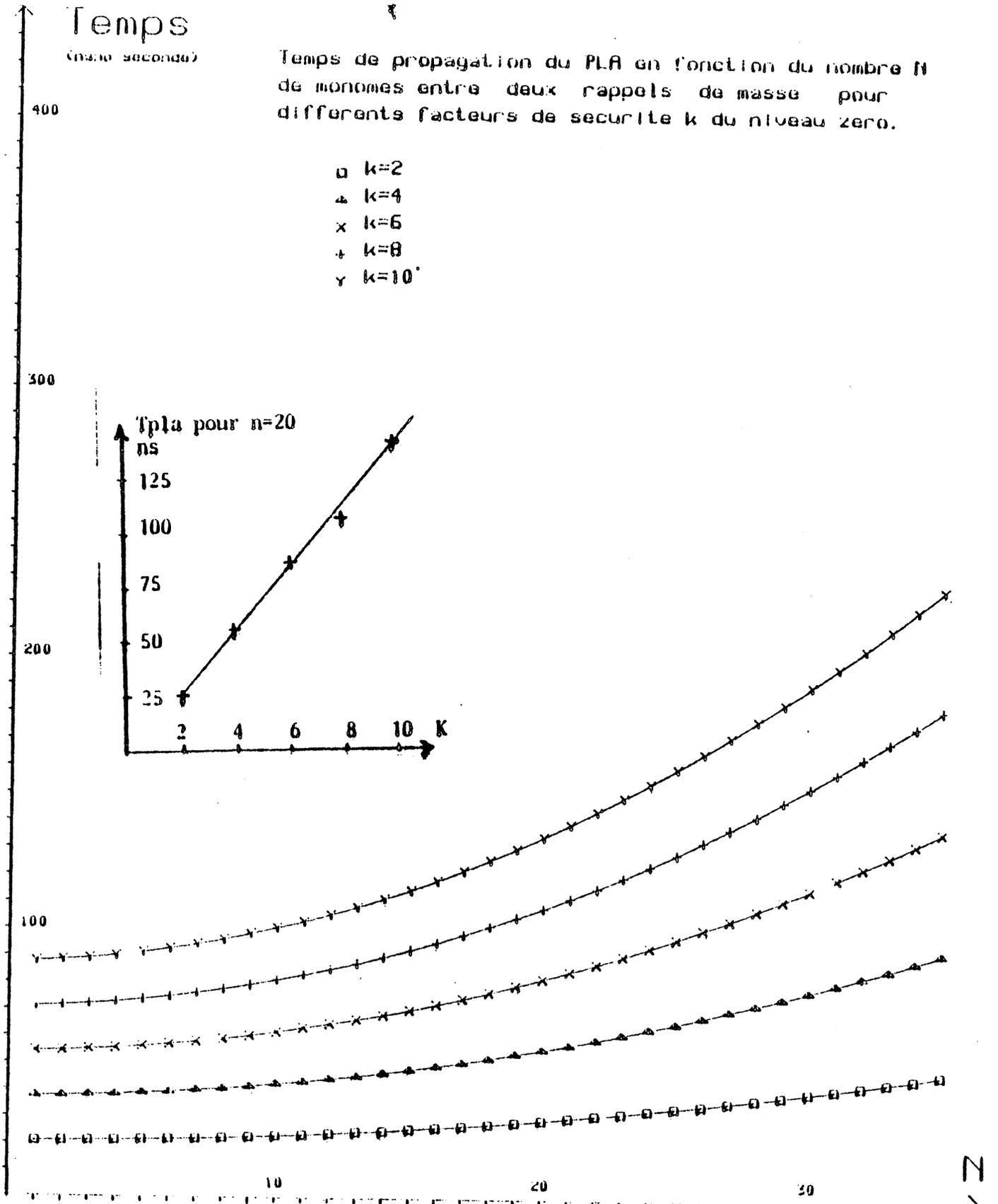
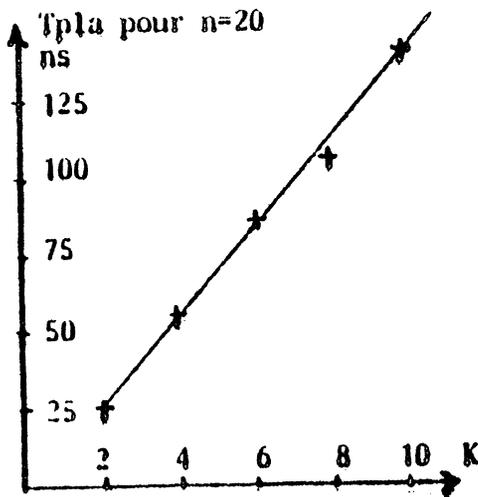
- $k=2$
- △  $k=4$
- ×  $k=6$
- +  $k=8$
- γ  $k=10$

400

300

200

100



II.3.3- La variation de gamac en fonction de (n et k)

Gamac diminue quand: (k) ou (n) augmente.

Les augmentations de (k) et de (n) ont le même effet de diminuer le rapport des résistances du diviseur de tension constitué par l'inverseur (sortant "0").

Pour augmenter ce rapport de résistances, celle du transistor de charge doit augmenter. Ceci diminue donc gamac.

La relation mathématique qui lie gamac (calcul des dimensions du transistor de charge) à n et k est:

$$\text{gamac} = b \cdot \left( c - \frac{d \cdot k_p}{1+k_p} \right) \cdot \frac{k_p}{1+k_p}$$

Avec:

$$b = \frac{(\text{betac}+1) \cdot k_s \cdot \text{gamas}}{k_c \cdot (v_{tc})^2}$$

$$c = 2 \cdot (v_{cc}-v_{ts}) \cdot \frac{v_{ts}}{k}$$

$$d = (\text{betas}+1) \cdot \left( \frac{v_{ts}}{k} \right)^2$$

$$k_p = x + y$$

$$x = -\left( b - \frac{a}{n \cdot (n+2)} \right)$$

$$y = \frac{\left( (b - \frac{a}{n \cdot (n+2)})^2 + 4 \cdot (b - (\beta_{ast} + 1)) \cdot (\frac{v_{ts}}{k})^2 \right)^{1/2} \cdot \frac{a}{n \cdot (n+2)}}{2 \cdot (b - (\beta_{ast} + 1)) \cdot (\frac{v_{ts}}{k})^2}$$

Avec:  $a = \frac{\beta \cdot (\beta_{act} + 1) \cdot v_{ts}}{k_c \cdot r \cdot (v_{tc})^2}$

On suppose que:  $b \gg (\beta_{ast} + 1) \cdot (v_{ts}/k)^2$

Ceci est vrai si  $\gamma_{mas} \gg (\frac{v_{tc} \cdot v_{ts}}{k})^2$

Cette approximation est vraie pour toutes les technologies où  $v_{tc} > -3$  volts.

Dans notre cas:  $v_{ts} = 0,6$  volts.

$\gamma_{mas} = 2,5$ .

$v_{tc} = -1,4$  volts.

$k = 2$ .

On obtient:  $\gamma_{mas} = 2,5$

$((v_{tc} \cdot v_{ts})/k)^2 = 0,2$  ce qui justifie l'inégalité.

Avec cette approximation on obtient les relations suivantes:

$$k_p = \frac{a}{b \cdot n \cdot (n+2)}$$

$$\gamma_{mac} = \frac{p}{k \cdot (q + n \cdot (n+2))} - \left( \frac{h}{k \cdot (q + n \cdot (n+2))} \right)^2$$

Avec:

$$p = \frac{16 \cdot (v_{cc} - v_{ts}) \cdot (\beta_{act} + 1)}{k_c \cdot r} \cdot \left( \frac{v_{ts}}{v_{tc}} \right)^2$$

$$q = \frac{a}{b} = \frac{8 \cdot v_{ts}}{k_s \cdot \gamma_{mas} \cdot r}$$

$$h = \left( (v_{ts} \cdot (\beta_{as} + 1) \cdot (a)^2 / b) \right)^{1/2}$$

La relation  $\gamma_{mac} = f(n, k)$  explique dans notre exemple la courbe 2.

#### Limite maximum de $\gamma_{mac}$ ( $\gamma_{mac0}$ )

Pour avoir un  $\gamma_{mac}$  grand, il faut diminuer (n) et (k).  
Mais (k) est limité par ( $v_{ts}/v_0 = k \geq 2$ ). Prenons  $k_{min}=2$ .

Pour (n) minimum (n=1), la source du transistor signal est directement connectée à la masse.

Ceci revient à considérer un inverseur sans dégradation de masse avec un transistor de charge toujours saturé et  $k=2$ . Dans ces conditions  $\gamma_{mac}$  est maximum:

$$\gamma_{mac} = \gamma_{mac0}$$

gamac0 résulte de l'égalisation de deux courants (Ids(TC)-Ids(TS)) qui traversent les transistors de charge et de signal à l'état zéro d'un inverseur.

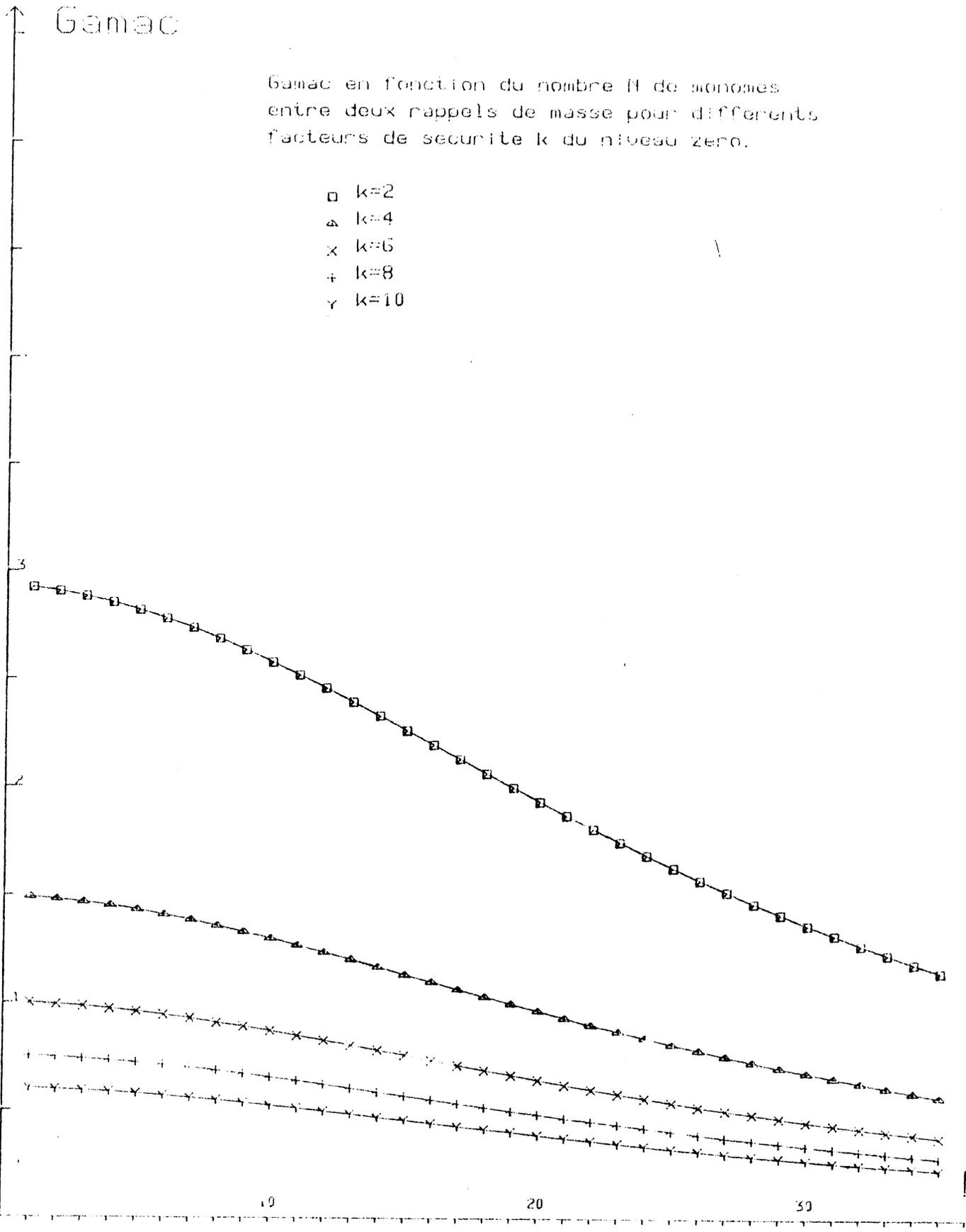
$$gamac0 = 2 \cdot (1 + \beta_{tas}) \cdot gamas \cdot \frac{k_a (v_{cc} - v_{ts}) v_{ts}}{k_c (v_{tc})^2 k}$$

Avec:  $k=2$

Comme:  $v_{ts} \ll v_{cc}$  et  $k_a = k_c$

On obtient:

$$gamac0 = v_{cc} \cdot (1 + \beta_{tac}) \cdot gamas \cdot \frac{v_{ts}}{(v_{tc})^2}$$



II.3.4- La variation de (t<sub>pla</sub>) en fonction de gamac

Le temps de propagation de PLA diminue quand gamac augmente.

L'augmentation de gamac entraîne la diminution de la résistance du transistor de charge.

Le courant qui le traverse augmente. Ce qui entraîne une diminution du temps de propagation du PLA.

La condition (a) (les capacités restent constantes pour un gamac donné) peut être généralisée quand gamac varie.

Toutefois la variation de la capacité (c<sub>gc</sub>) avec gamac provoque une légère variation de la capacité (c<sub>det</sub>).

La relation du temps de propagation du PLA en fonction de gamac s'obtient en développant chaque terme de (t<sub>tr</sub>, t<sub>l</sub>, t<sub>det</sub>, t<sub>no</sub>):

- Le temps de transit (t<sub>tr</sub>) est indépendant de gamac.

$$t_{tr} = \frac{v_{ts}}{v_{cc}} \cdot (r_{pl} \cdot n_{pe}) \cdot c_{det}.$$

- Le temps dans la ligne de poly entre les deux matrices est indépendant de gamac (t<sub>l</sub>).

- le temps de descente dans la matrice ET est indépendant de gamac.

$$t_{det} = \left( \frac{3 \cdot c_{det} \cdot (t_{emono})^2}{k_s \cdot g_{mac} \cdot v_{cc}} \right)^{1/3}$$

On peut écrire:  $t_{tr} + t_l + t_{det} = A_1 = \text{constant}$ .

- Le temps de montée dans la matrice OU dépend de gamac.

$$t_{mou} = \frac{A_2}{g_{mac}}$$

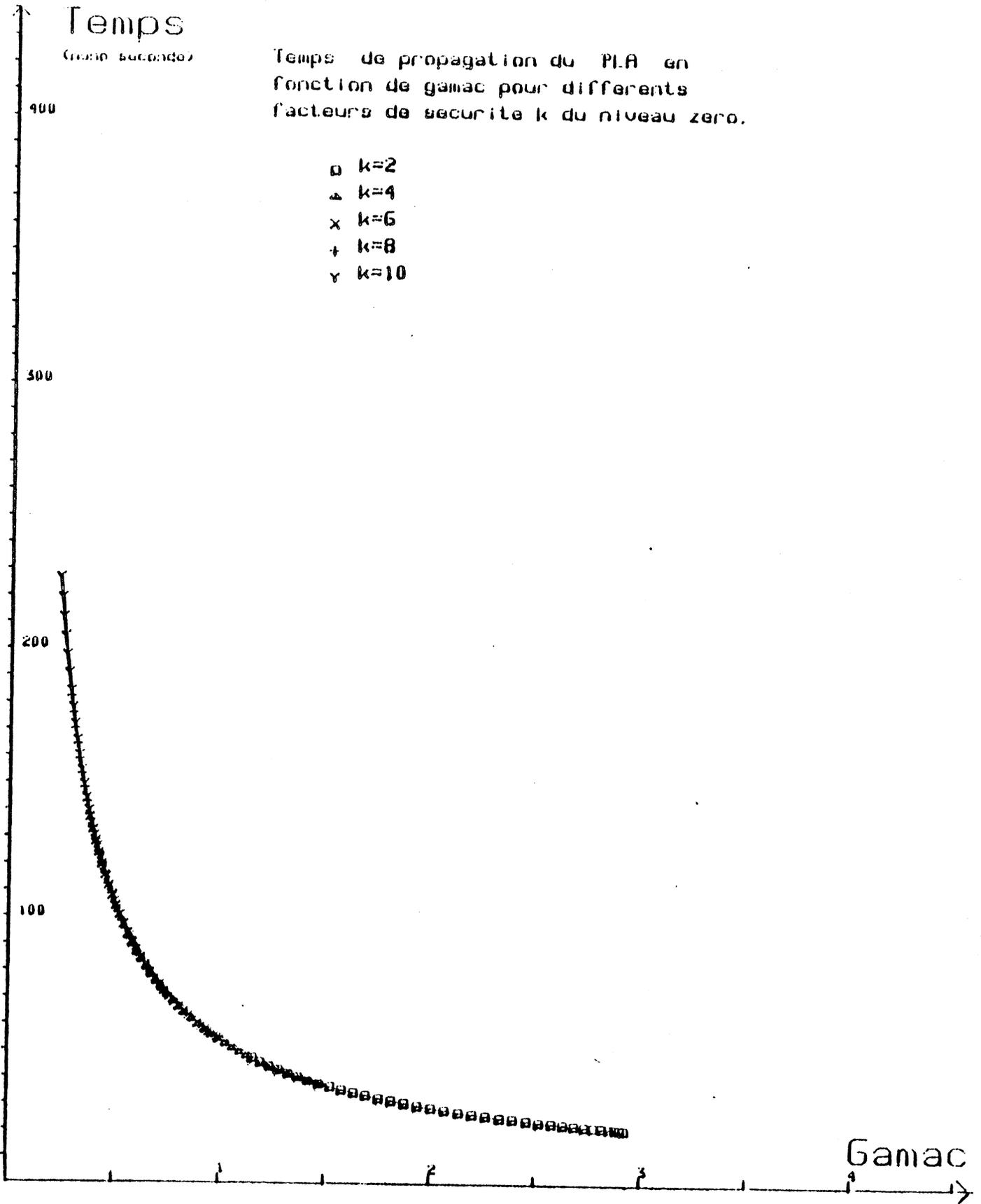
$$A_2 = \frac{c_{mou} \cdot v_{cc} \cdot v_{tc}}{k_c(v_{tc} + \beta_{ac} \cdot v_{cc}) \cdot v_{tc}} \left( 1 + 0,5 \cdot \ln(-1 - 18 \cdot \beta_{ac} - 20 \cdot \dots) \right)$$

On peut donc écrire  $t_{pla}(g_{mac})$ :

$$t_{pla} = A_1 + \frac{A_2}{g_{mac}}$$

Une variation hyperbolique de ( $t_{pla}$ ) est ainsi obtenue en fonction de ( $g_{mac}$ ).

Dans notre exemple la courbe 3 montre la diminution de temps de propagation du PLA ( $t_{pla}$ ) par rapport à  $g_{mac}$ .



Temps

(en secondes)

Temps de propagation du P.I.A. en fonction de gamac pour différents facteurs de sécurité k du niveau zero.

- k=2
- △ k=4
- × k=6
- + k=8
- γ k=10

- COURBE 3 -

Normalisation de cette formule

La relation  $t_{pla}(gamac)$  donne un temps minimal ( $t_0$ ) de propagation pour un  $gamac$  maximal ( $gamac_0$ ):

$$t_0 = \frac{A_2}{gamac_0} + A_1$$

On peut en déduire une relation de  $(t_{pla}/t_0)$  en fonction de  $(gamac/gamac_0)$ :

$$\frac{t_{pla}}{t_0} = \frac{A_2/gamac + A_1}{A_2/gamac_0 + A_1}$$

$$\frac{t_{pla}}{t_0} = p \cdot \frac{gamac_0}{gamac} + g$$

Avec:

$$x = \frac{A_1}{A_2} \cdot gamac_0$$

$$p = \frac{1}{1+x}$$

$$g = \frac{x}{1+x}$$

Donc  $t_{pla}/t_0$  varie de manière inversement proportionnelle par rapport à  $gamac/gamac_0$  avec le coefficient ( $p$ ).

Dans notre exemple:  $t_0(n=1, k=2) = 20 \text{ ns}$   
 $t(n=16, k=4) = 50 \text{ ns}$   
 $t(n=30, k=10) = 230 \text{ ns}$

### II.3.5- Procédure de choix des paramètres par l'utilisateur

Les paramètres de réalisation du PLA peuvent être calculés par le système ou imposés par l'utilisateur.

De manière à laisser le plus grand choix possible à l'utilisateur, le système va d'abord lui fournir une abaque qui caractérise les différentes possibilités pour réaliser son PLA particulier; c'est à dire les relations entre le temps de propagation, la dimension du transistor charge, le nombre de m $\ddot{o}$ nomes entre deux rappels de masse et le facteur de sécurité du niveau zéro (courbes 1,2,3).

Au vu de cette abaque l'utilisateur choisit le temps de propagation qu'il désire obtenir pour son PLA,

Le système prend cette valeur comme une donnée. Il fournit de nouveau à l'utilisateur les différentes combinaisons, de valeurs des paramètres (gamac,n,k), correspondantes à ce temps pour réaliser ce PLA, desquels l'utilisateur choisit une combinaison.

Il est évident que le temps de propagation du PLA reste borné inférieurement par un temps minimal ( $t_0$ ) donné par l'abaque.

### II.4- PLA dynamiques

Dans les PLA dynamiques, on peut améliorer le temps de commutation entre les deux matrices ET et OU en ajoutant des amplificateurs "bootstrap" sur les lignes inter matrices (figure II.13). Ces amplificateurs sont situés à la sortie de la matrice ET pour charger les lignes d'entrées de la matrice OU. Le bootstrap donne une tension grille-source du transistor de charge de l'ordre de  $v_{cc}$ . Ceci augmente le courant disponible.

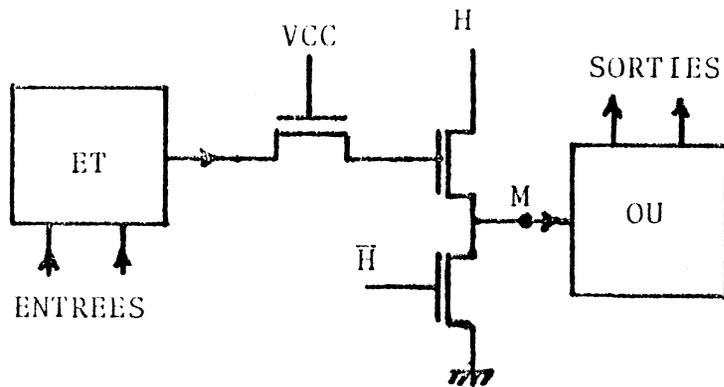


Figure II.13- Amplificateur Booth-Strap entre les deux matrices.

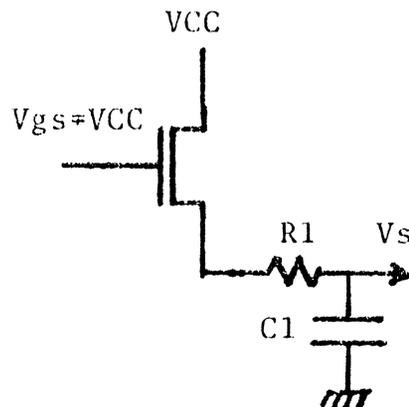


Figure II.14- Schéma électrique équivalent du Booth-Strap pour  $H=V_{CC}$ .

Pendant le temps de montée le transistor de signal est bloqué. Tandis que le transistor de charge conduit dans les zones ohmique et saturée.

Le schéma électrique (figure II.14) est équivalent à celui d'un transistor de charge qui charge la capacité de la ligne (c1) à travers sa résistance interne (r1).

Calculons le temps de montée dans ces deux zones.

a- Zone saturée

Le courant dans le transistor de charge en zone saturée est:

$$v_{cc} - v_{ts} \approx v_{ds} < 0,9 \cdot v_{cc}$$

$$I(\text{sat}) = \frac{\mu_n \cdot C_{ox} \cdot \gamma_{mac}}{2 \cdot (\beta_{act} + 1)} \cdot (v_{cc} - v_{tc})^2$$

Le courant pour charger la capacité s'écrit:

$$I(\text{sat}) = C_1 \cdot \frac{d(v_s)}{dt}$$

Mais (v<sub>s</sub>) est:  $v_s = v_{ds} + R_1 \cdot I(\text{sat})$ .

On obtient donc:

$$I(\text{sat}) = C_1 \cdot \frac{d(v_{ds} + R_1 \cdot I(\text{sat}))}{dt}$$

Le courant (I(sat)) est indépendant du temps (t) et de la tension drain source du transistor de charge (vds).

Donc la dérivée du courant par rapport au temps est nulle.

Cette égalité de courant devient:

$$I(\text{sat}) = C1 \cdot \frac{d(vds)}{dt}$$

Le temps de montée en zone saturée (t<sub>mr</sub>(sat)) s'obtient en intégrant l'égalité I(sat) entre les deux niveaux de tension (0,9.vcc) et (vcc-vtc):

$$t_{mr}(\text{sat}) = \frac{C1 \cdot 2 \cdot (\beta + 1) \cdot (v_{tc} - 0,1 \cdot v_{cc})}{\mu \cdot c_{ox} \cdot \gamma \cdot (v_{cc} - v_{tc})}$$

b- Zone ohmique

En zone ohmique la tension de sortie ( $v_s$ ) est:

$$v_s = v_{ds} + r \cdot I(\text{ohm}).$$

avec  $0,2 \cdot v_{cc} \leq v_{ds} \leq v_{c-v_{tc}}$ .

L'expression du courant ( $I(\text{ohm})$ ) dépend de la tension ( $v_{ds}$ ):

$$I(\text{ohm}) = \mu \cdot c_{ox} \cdot \gamma \cdot \frac{(v_{cc} - v_{tc} - v_{ds}) \cdot v_{ds}}{2} \cdot \beta_{act+1}$$

Le courant devient:

$$I(\text{ohm}) = C_1 \cdot \frac{d(v_{ds} + R_1 \cdot I(\text{ohm}))}{dt}$$

$$I(\text{ohm}) = C_1 \cdot \frac{d(v_{ds})}{dt} + C_1 \cdot R_1 \cdot \frac{d(I(\text{ohm}))}{dt}$$

En remplaçant  $I(\text{ohm})$  par sa valeur, en fonction de ( $v_{ds}$ ), l'on obtient:

$$\frac{d(I(\text{ohm}))}{dt} = \mu \cdot c_{ox} \cdot \gamma \cdot \frac{(v_{cc} - v_{tc} - (\beta_{act+1}) \cdot v_{ds}) \cdot v_{ds}}{2} \cdot \frac{d(v_{ds})}{dt}$$

En remplaçant  $I(\text{ohm})$  et  $d(I(\text{ohm}))/dt$  par leurs valeurs, en fonction de  $(v_{ds})$ , dans l'égalité du courant, on obtient:

$$\mu \cdot \text{cox} \cdot \text{gamac} \cdot (v_{cc} - v_{tc} - \frac{\text{betac} + 1}{2} \cdot v_{ds}) \cdot v_{ds} = C1 \cdot (1 + R1 \cdot \mu \cdot \text{cox} \cdot \text{gamac} \cdot (v_{cc} - v_{tc} - (\text{betac} + 1) \cdot v_{ds})) \cdot \frac{d(v_{ds})}{dt}$$

On pose:

$$a = \mu \cdot \text{cox} \cdot \text{gamac}.$$

$$b = v_{cc} - v_{tc}.$$

$$c = \text{betac} + 1.$$

On obtient:

$$C1 \cdot (1 + R1 \cdot a \cdot b - R1 \cdot c \cdot v_{ds}) \cdot \frac{d(v_{ds})}{dt} = \frac{a \cdot c}{2} \cdot (v_{ds} - \frac{2 \cdot b}{c} \cdot v_{ds}) \cdot v_{ds}$$

Puis:

$$\frac{d(v_{ds})}{dt} = \frac{C1 \cdot (1 + a \cdot b \cdot R1) \cdot d(v_{ds})}{a \cdot c / 2 \cdot (2 \cdot b / c - v_{ds}) \cdot v_{ds}} - \frac{C1 \cdot a \cdot R1 \cdot c \cdot d(v_{ds})}{a \cdot c / 2 \cdot (2 \cdot b / c - v_{ds})}$$

Après développement de l'expression en facteurs simples, on obtient l'égalité suivante:

$$\frac{d(v_{ds})}{dt} = \frac{C1}{a \cdot b} \cdot \left( \frac{1 + a \cdot b \cdot R1 \cdot (1 - c/2)}{2 \cdot b / c - v_{ds}} - \frac{1 + a \cdot b \cdot R1}{v_{ds}} \right) \cdot d(v_{ds})$$

Une relation logarithmique du temps de montée ( $t_{mr}(ohm)$ ) en zone ohmique s'obtient en intégrant cette égalité entre les deux niveaux de tension ( $0,2.v_{cc}$ ) et ( $v_{cc}-v_{tc}$ ):

$$t_{mr}(ohm) = t_m(ohm) + t_r(ohm).$$

C1

$$t_m = \frac{C1}{\mu_{cox} \cdot \gamma_{mac} \cdot (v_{cc} - v_{tc})} \cdot (2 \cdot (\beta_{ac} + 1) \cdot (v_{tc} - 0,1 \cdot v_{cc}))$$

$$+ \ln\left(\frac{(9 - \beta_{ac}) \cdot v_{cc} - 10 \cdot v_{tc}}{(1 - \beta_{ac}) \cdot v_{cc}}\right)$$

$$t_r(ohm) = R1 \cdot a \cdot b \cdot (t_m(ohm) - \frac{C1 \cdot c \cdot (9 - \beta_{ac}) \cdot v_{cc} - 10 \cdot v_{tc}}{2 \cdot a \cdot b \cdot 5(1 - \beta_{ac})(v_{cc} - v_{tc})} \cdot \ln(\dots))$$

Le temps de montée ( $t_{mr}$ ) résulte de la somme de deux temps, (pour tout  $v_{tc} < + 3,5$ ), en zone saturée ( $t_{mr}(sat)$ ) et en zone ohmique ( $t_{mr}(ohm)$ ):

$$t_{mr} = t_{mr}(sat) + t_{mr}(ohm).$$

### III- PLA en technologie CMOS

#### III.1- Introduction

Cette partie concerne les évaluations électriques et temporelles des PLA réalisés en technologie CMOS. La structure des PLA CMOS que nous étudierons est la suivante:

La matrice ET est constituée de portes NOR dont les entrées sont des transistors n ( $T_n$ ).

La matrice OU est constituée de portes NOR ou NAND avec respectivement des entrées  $T_n$  ou  $T_p$  (figure III.1).

Cette structure de matrices utilisant des transistors monocanaux est compatible avec le système "PAOLA NMOS" [CH3].

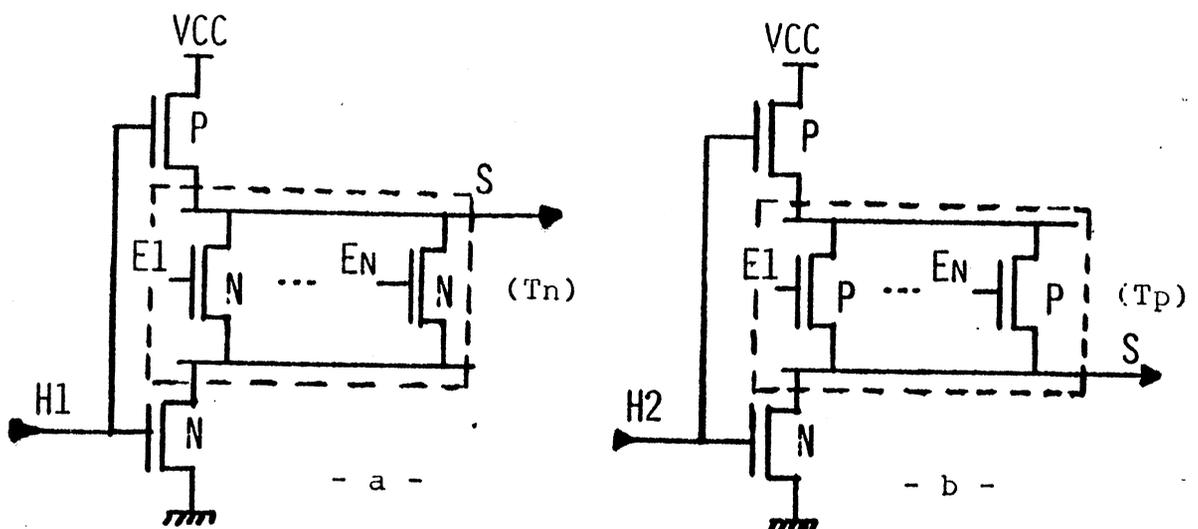


Figure III.1- (a) Une matrice de transistors  $T_n$ .

(b) Une matrice de transistors  $T_p$ .

Ces PLA peuvent être réalisés de différentes manières:

- statiques.
- dynamiques.
- semi-statiques.

L'objet de cette étude se décompose en trois parties:

Première partie: présentation de trois types de fonctionnement des PLA CMOS.

Deuxième partie: définition d'un évaluateur électrique qui permet le calcul du temps de propagation dans ces circuits. Cet évaluateur se ramène à l'étude d'une porte dynamique en CMOS.

Troisième partie: présentation d'une méthode d'évaluation des performances électriques et temporelles des PLA CMOS.

Avec cette dernière étape nous calculerons le temps de propagation dans un PLA et nous verrons les possibilités de réaliser un PLA en fonction de ses caractéristiques électriques et temporelles. Ces possibilités dépendent des paramètres électriques que l'on peut prendre comme degrés de liberté.

### III.2- Types des PLA CMOS

#### III.2.1- PLA statiques

Les PLA statiques sont combinatoires. Ils conservent le niveau logique de sortie tant que le signal d'entrée persiste. Il existe deux types de PLA constitués de portes CMOS statiques, (logique proportionnelle et logique non proportionnelle, figure III.2): chacun d'eux possède des avantages et des inconvénients. Les inconvénients sont: pour le premier type la grande surface occupée par le PLA, et pour le deuxième sa consommation électrique statique.

Le problème de surface se pose dans le cas de structure en portes classiques CMOS (figure III.2a) qui fonctionnent en logique non proportionnelle.

Le problème de la consommation électrique se pose dans le cas de structure de PLA en logique proportionnelle (figure III.2b) qui implique une consommation en courant statique comme dans le cas des PLA en technologie nMOS.

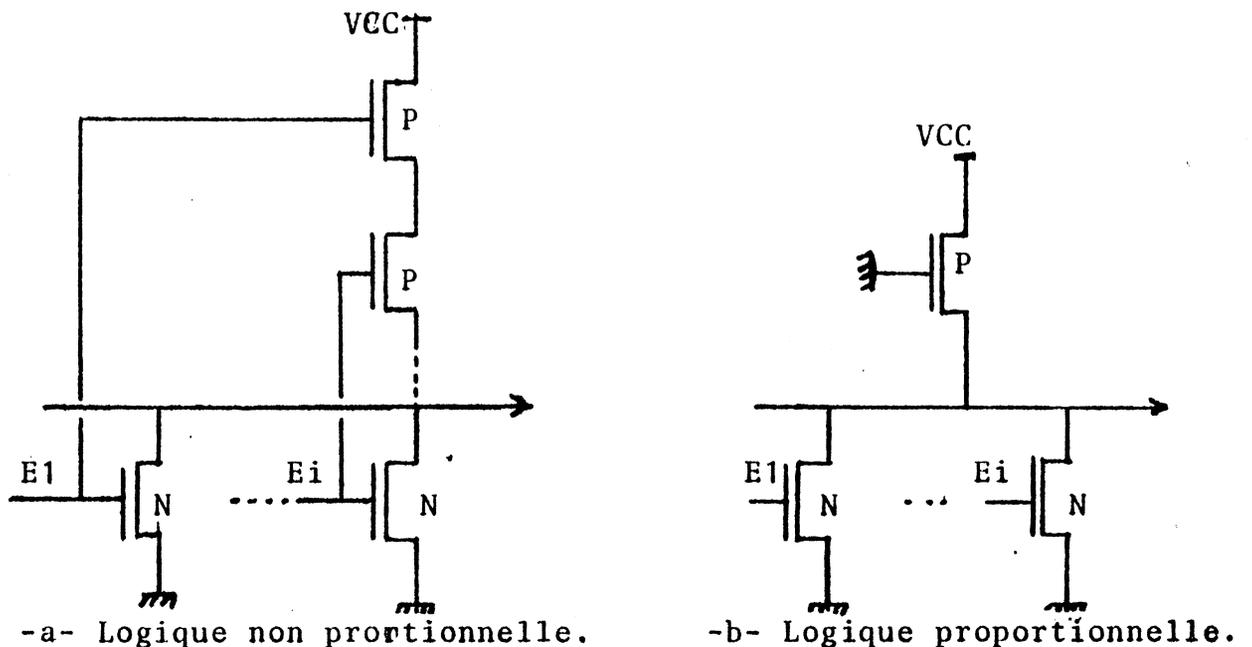


Figure III.2- Portes NOR statiques en CMOS.

### III.2.2- PLA dynamiques

L'absence de courant statique pendant un niveau logique "stable" et la réduction de la surface occupée par rapport aux structures statiques caractérisent les structures dynamiques en technologie CMOS (figure III.3).

Le problème essentiel pour les PLA dynamiques est le temps de conservation de l'information dans les capacités parasites.

Ce temps impose la fréquence minimale de fonctionnement.

Il existe des PLA à deux phases, quatre phases ou plus.

Nous allons présenter les logiques dynamiques de type "DOMINO" [KRA] et "NP-CMOS" [GON].

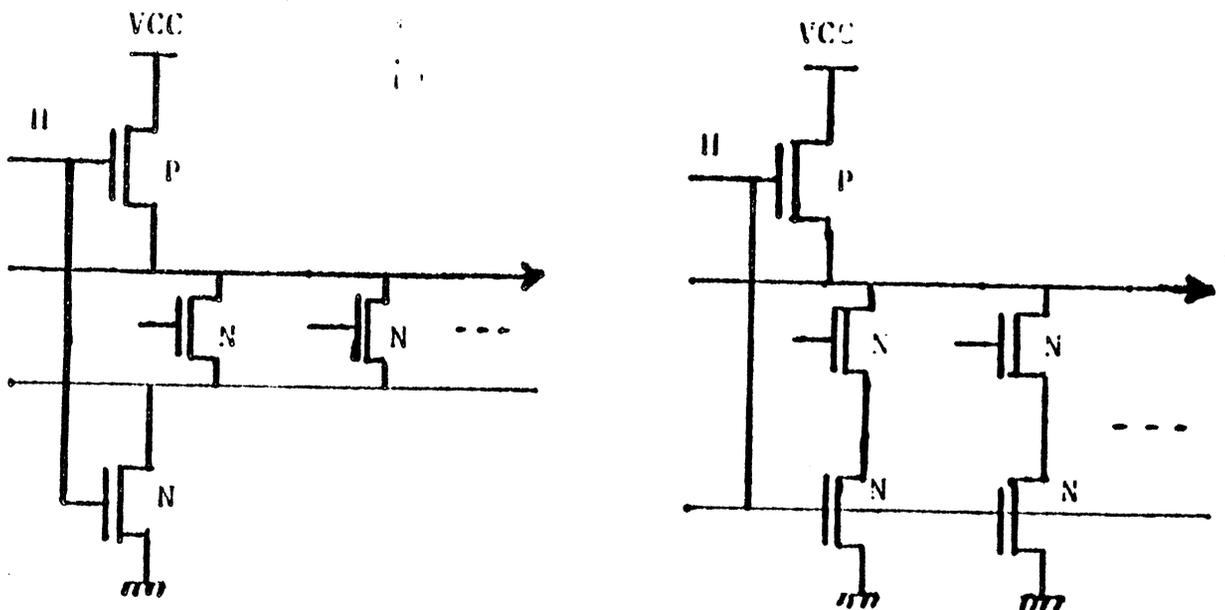


Figure III.3- PLA dynamiques en CMOS.

a- Structure DOMINO

Dans la structure "DOMINO" (figure III.4a) une opération logique se déroule sur deux phases:

La première phase est définie par l'horloge (H) au niveau bas. Les sources des transistors  $T_n$  sont isolées de la masse, et les sorties se préchargent à un niveau haut.

La deuxième phase est définie par l'horloge (H) au niveau haut. Les sources des transistors  $T_n$  sont connectées à la masse, l'état de la sortie dépend alors de l'existence d'un chemin permettant sa décharge dans le réseau de transistors  $T_n$ .

Un assemblage de blocs identiques ne peut directement fonctionner. En effet pendant la phase de précharge ( $H=0$ ), les sorties "s1" et "s2" sont à "1". Au début de la phase de décharge ( $H=1$ ), tous les transistors des portes sont conducteurs, ce qui provoque la décharge avant l'évaluation.

La solution à ce problème consiste à mettre un inverseur entre deux étages NOR (ce qui en fait des OR) (figure III.4b). Celui-ci va empêcher la décharge du deuxième NOR avant celle du premier.

Pour réaliser des PLA en structure "DOMINO", deux problèmes se posent:

Le premier est le fait d'ajouter des inverseurs entre les deux étages NOR, ce qui donne la structure logique: NOR-NOT-NOR qui fournit seulement le produit des variables. Or un PLA réalise une somme de produits de variables.

le deuxième est l'obligation de n'utiliser que des structures à base parallèle pour construire les matrices de PLA (contrainte PAOLA).

Nous allons, dans ce qui suit, détailler deux solutions:

- les PLA Pipe-Line à quatre phases.
- les PLA à deux phases en deux horloges.

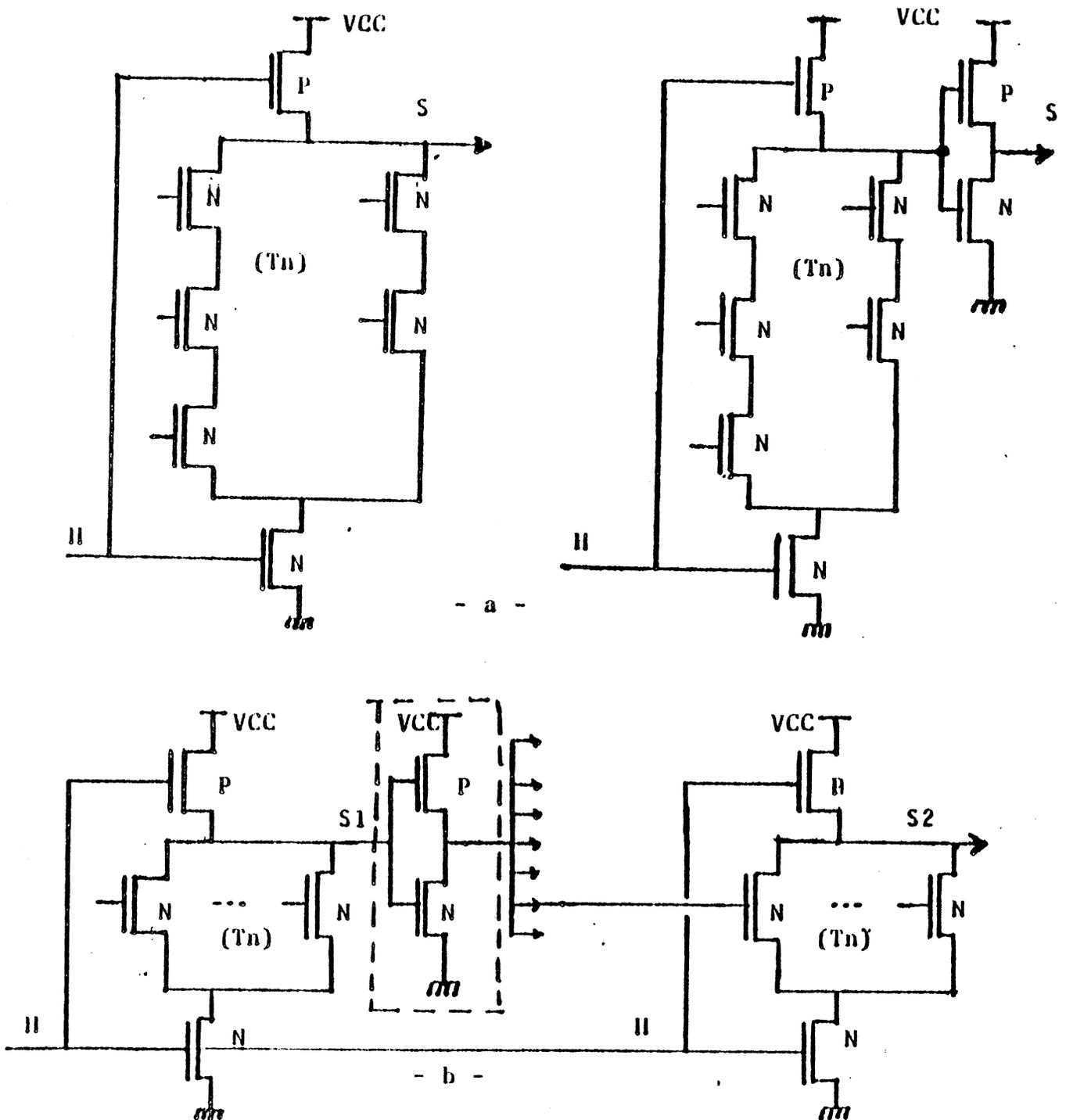


Figure III.4- Structure DOMINO.

a.1- PLA Pipe-Line

Nous utilisons la structure de la logique NOR-NOR en ajoutant des latches entre deux niveaux de portes (figure III.5) pour éviter la décharge prématurée de la matrice OU.

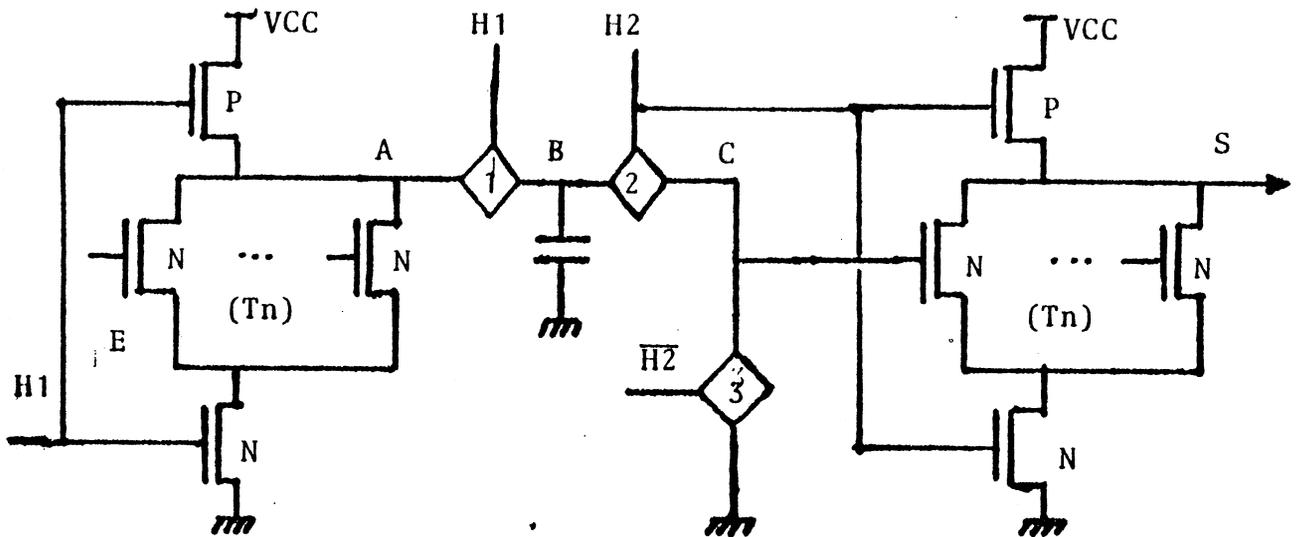


Figure III.5- PLA Pipe-Line.

L'opération logique se déroule maintenant en quatre phases, comme le montre la figure III.6.

Pendant la première phase  $\phi_1$ : ( $H_1=0$  ,  $H_2=1$ ). Le premier NOR est en état de précharge tandis que le deuxième est en état de décharge.

Pendant la seconde phase  $\phi_2$ : ( $H_1=0$  ,  $H_2=0$ ). Le deuxième NOR passe de l'état de décharge à l'état de précharge. Ces entrées prennent un niveau bas. Le premier NOR reste à l'état de précharge.

Pendant la troisième phase phi3: (H1=1 , H2=0). Le premier NOR passe à état de décharge tandis que le deuxième reste en état de précharge. La capacité parasite au point B mémorise l'information du premier NOR.

Pendant la quatrième phase phi4: (H1=0 , H2=0). Le PLA revient à l'état initial. C'est pendant cette phase que l'information au point B se conserve pour la transférer au point C. Ce transfert sera validé dans la phase suivante (première phase).

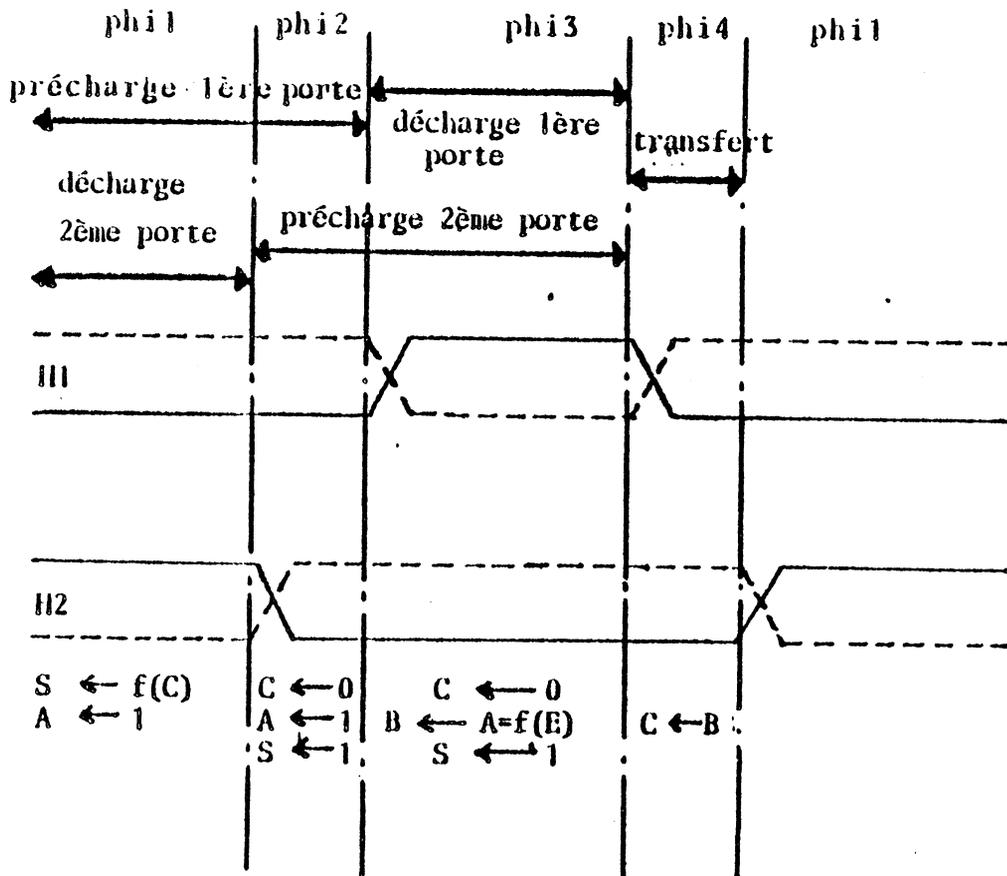


Figure III.6- Chronogrammes du PLA Pipe-Line.

a.2- PLA à deux phases en deux horloges

Ce genre de PLA, qui est décrit par la figure III.7, nous permet de garder la structure de la logique NOR-NOR sans inversion intermédiaire. Pour éviter le problème de la décharge du second NOR par la précharge du premier, on retarde l'horloge H2 par rapport à H1 d'un certain temps ( $\tau$ ). Ce temps ( $\tau$ ) doit assurer que l'influence de la transition (H1 0--->1) se produit strictement avant celle des transitions de (H2 0--->1). ( $\tau$ ) correspond au temps maximal de décharge de la matrice ET.

Le NAND-NOT entre les deux NOR sert à bloquer les transistors Tn de la seconde matrice pendant la précharge de la première.

Les PLA en structure "DOMINO" sont logiquement des: NOR-NOR. Nous appelons ce mode de fonctionnement mode deux phases et non mode trois phases car aucune opération n'est exécutée pendant le temps ( $\tau$ ).

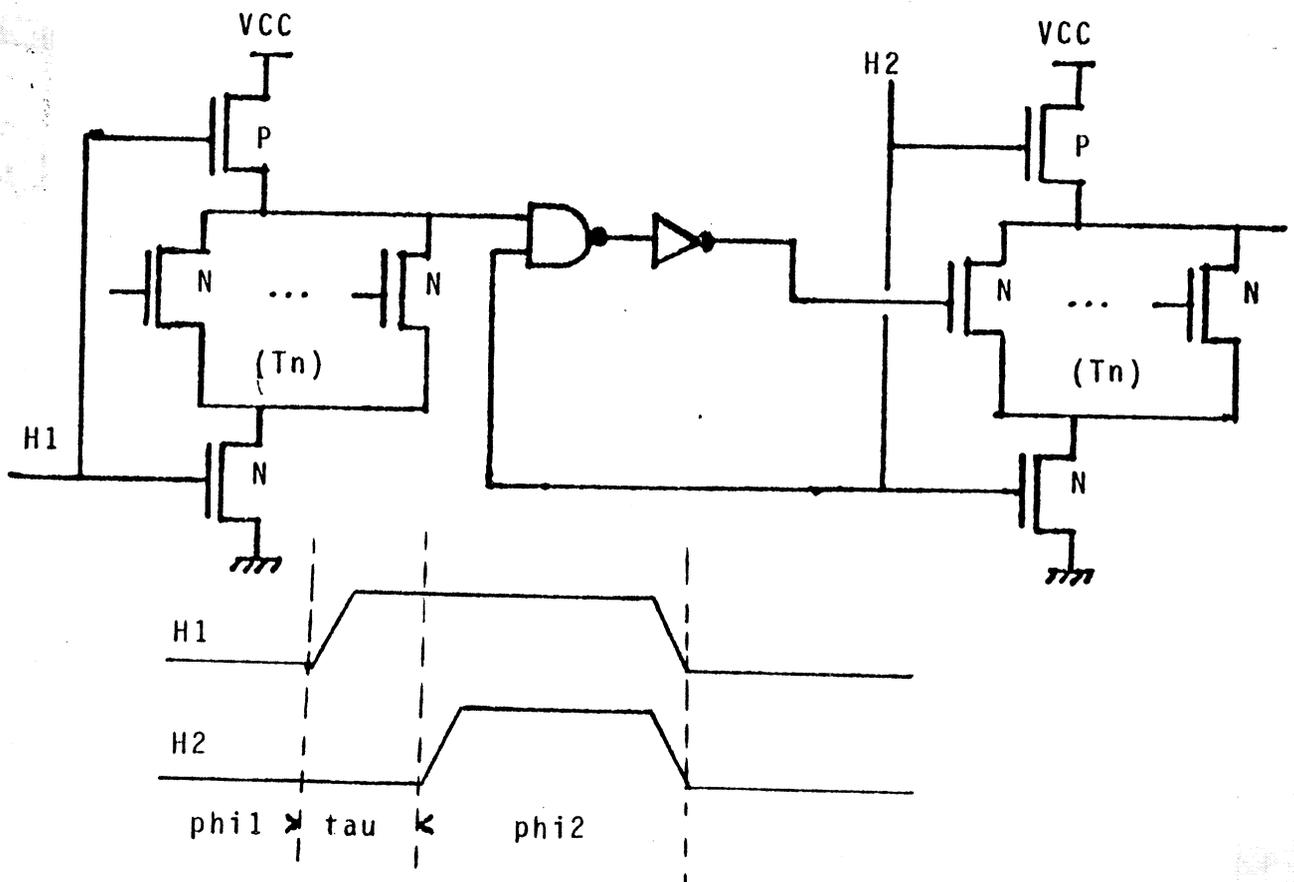


Figure III 7- PLA à deux phases en deux horloges

b- Structure NP-CMOS

La logique "NP-CMOS" (figure III.8) utilise des blocs en cascade qui sont constitués alternativement de transistors nMOS ( $T_n$ ) et pMOS ( $T_p$ ). Ces blocs peuvent être connectés directement sans inversion.

L'opération logique se déroule en deux phases:

Pendant la première phase: ( $H=0$  et  $-H=1$ ). Les deux blocs sont en états de précharge. Leurs sorties correspondant aux transistors  $T_n$  sont à "1" et celles correspondant aux transistors  $T_p$  sont à "0".

Pendant la deuxième phase: ( $H=1$  et  $-H=0$ ), les sorties des deux blocs s'évaluent successivement par rapport aux entrées.

La structure "NP-CMOS" en NOR ( $T_n$  en parallèle) - NAND ( $T_p$  en parallèle) permet la réalisation de fonctions logiques en produits de variables.

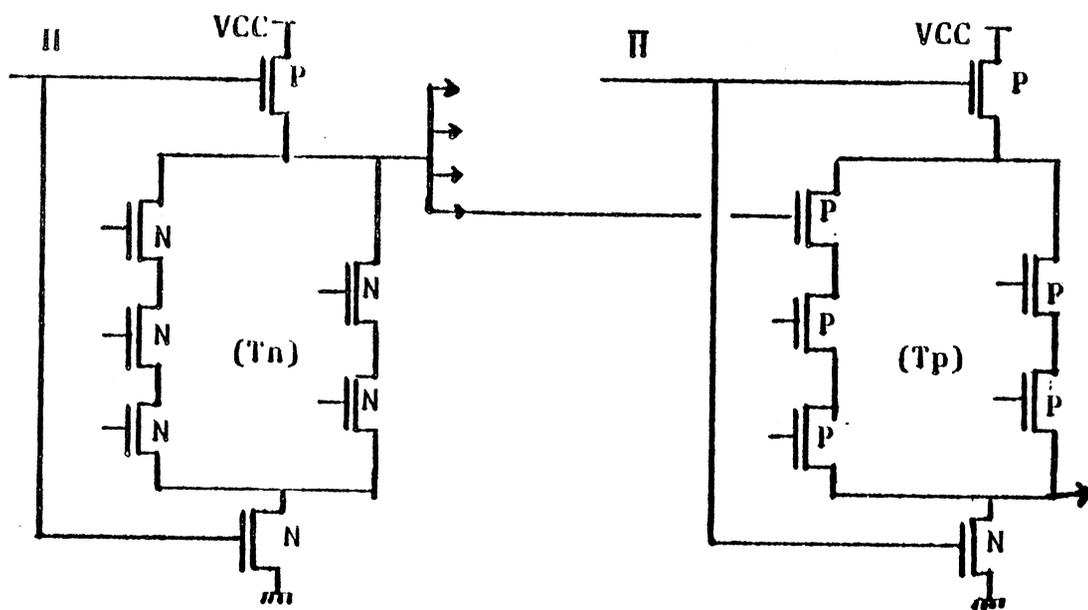


Figure III,8- Structure NP-CMOS.

Pour réaliser des PLA "NP-CMOS", nous devons inverser les sorties de la matrice ET. Nous obtenons alors une logique NOR-NOT-NAND (figure III.9). Les sorties de la matrice ET seront inversées par des NAND. Les transistors  $T_p$  seront donc bloqués durant la précharge de la matrice OU.

L'opération logique se déroule sur les deux phases:

Pendant la première phase  $\phi_1$ : ( $H_1=0$ ,  $H_2=1$ ). Les deux blocs sont en état de précharge.

Pendant la seconde phase  $\phi_2$ : ( $H_1=1$ ,  $H_2=0$ ). Les sorties des deux blocs s'évaluent par rapport aux entrées.

En vue d'assurer l'évaluation successive des sorties des deux blocs, nous introduisons un temps ( $\tau$ ). Ce temps ( $\tau$ ) doit assurer que l'influence de la transition ( $H_1$  0--->1) se produit strictement avant celle des transitions de ( $H_2$  1--->0). ( $\tau$ ) correspond au temps maximal de décharge de la matrice ET. Pendant le temps ( $\tau$ )  $H_1=1$ ,  $H_2=1$ .

Les PLA "NP-CMOS" sont logiquement des: NOR-NOT-NAND.

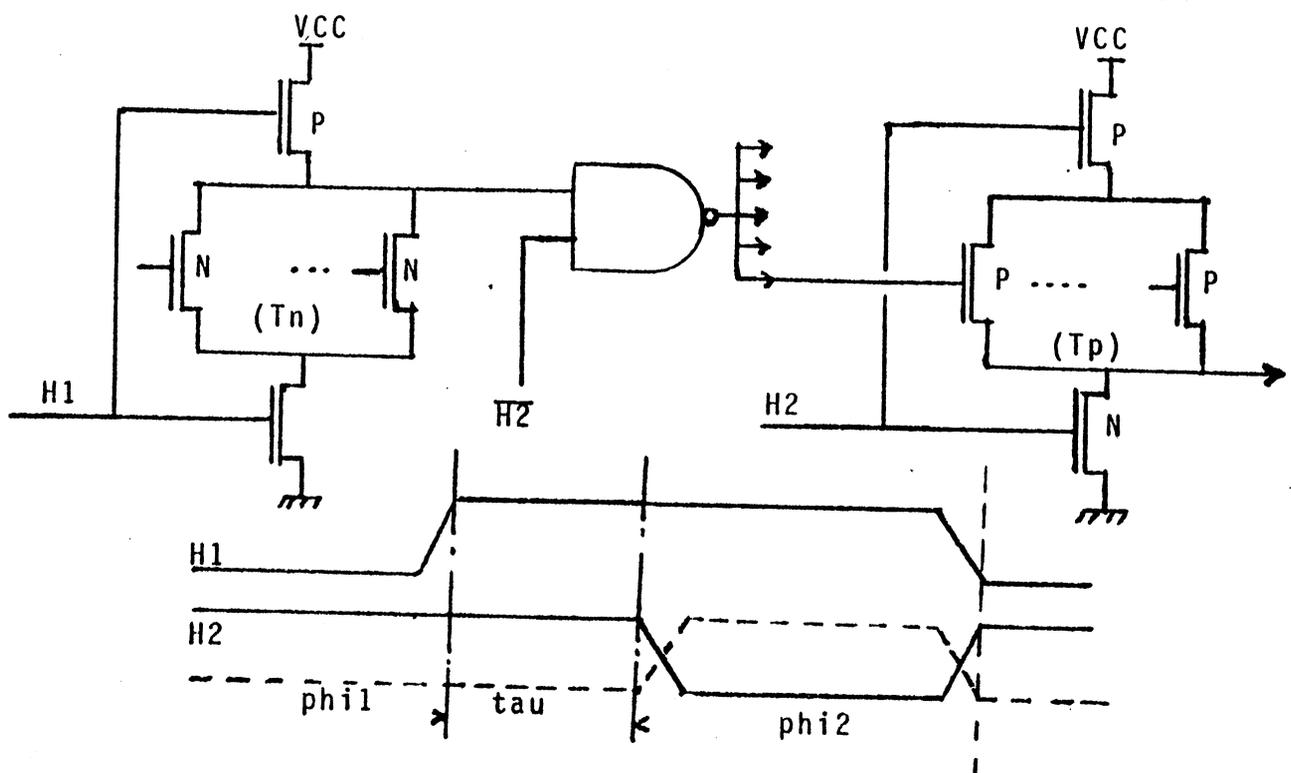


Figure III.9- PLA NP-CMOS.

### III.2.3- PLA semi-statiques

Les PLA semi-statiques [PRI] sont réalisées à partir des PLA dynamiques en ajoutant d'autres composants électriques.

Pour rendre statiques des PLA dynamiques nous ajoutons, sur les sorties des matrices, des circuits "accrocheurs". Ces circuits sont capables de maintenir à 1 le niveau d'une ligne isolée, mais leur état peut être forcé à 0 par le circuit de décharge du PLA. Alors ces circuits maintiennent les niveaux logiques sur les monômes et sur les sorties pendant les périodes de décharge des deux matrices ET et OU (figure III.10).

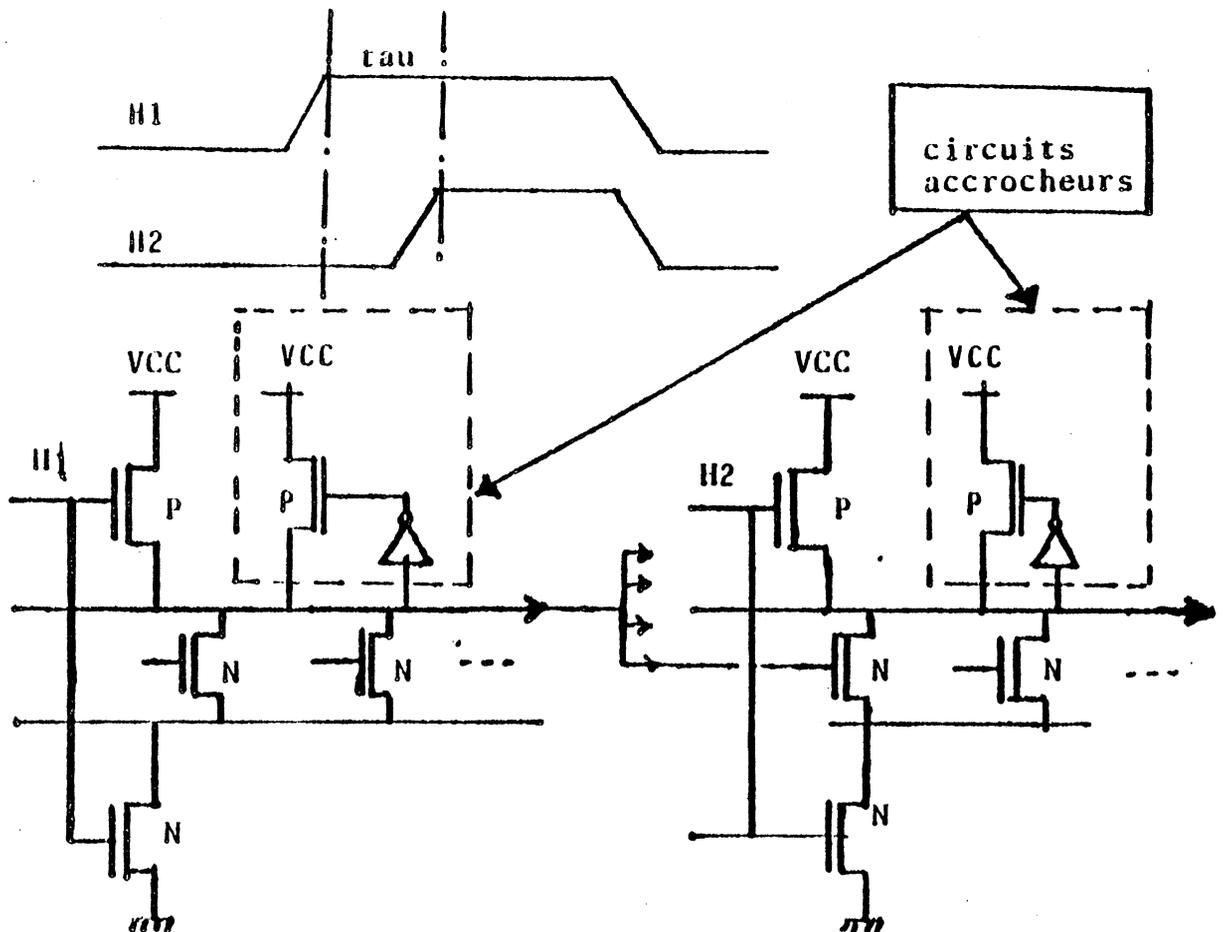


Figure III.10- PLA semi-statique.

### III.3- Formules de base de l'évaluateur électrique

#### III.3.1- Introduction

Des rappels théoriques vont être développés sur le calcul des capacités, du temps de descente et de montée d'un inverseur de type CMOS (figure III.11).

Nous dégagerons des expressions simples afin de calculer le temps de propagation dans les PLA.

Nous calculerons ensuite le temps de descente et de montée d'un inverseur lorsque la capacité de sortie se charge et se décharge à travers une résistance ( $r$ ), figure III.12.

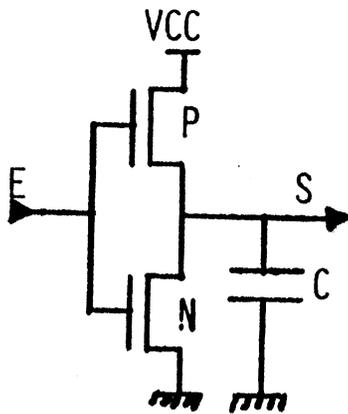


Figure III.11- Porte CMOS chargée par C.

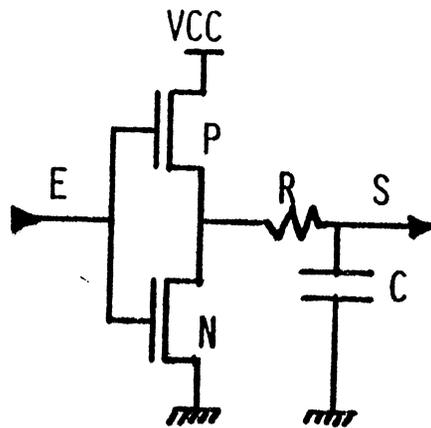


Figure III.12- Porte CMOS chargée par un RC.

### III.3.2- Calcul des capacités

Les capacités à calculer se situent à la sortie d'un inverseur CMOS pendant son temps de commutation. Pour rendre constante chaque capacité qui varie en fonction de la tension (figure III.13). On lui donne une valeur maximale ou une valeur moyenne.

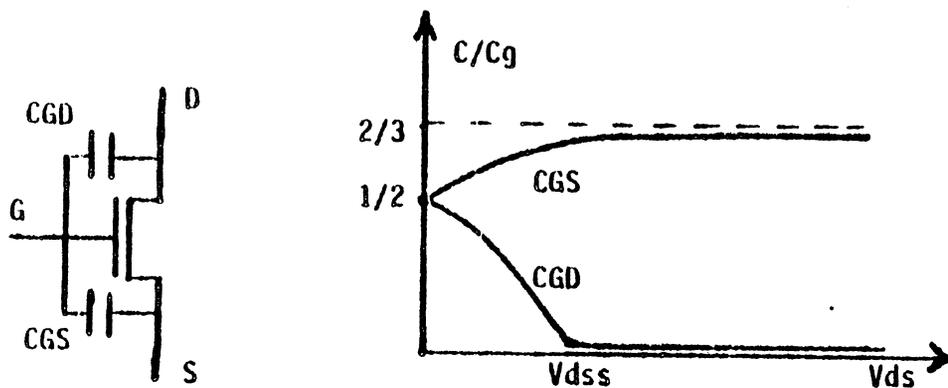


Figure III.13- La variation des capacités de transistor MOS en fonction de la tension drain source  $V_{ds}$ .

Nous supposons que l'inverseur considéré en attaque un autre semblable (figure III.14).

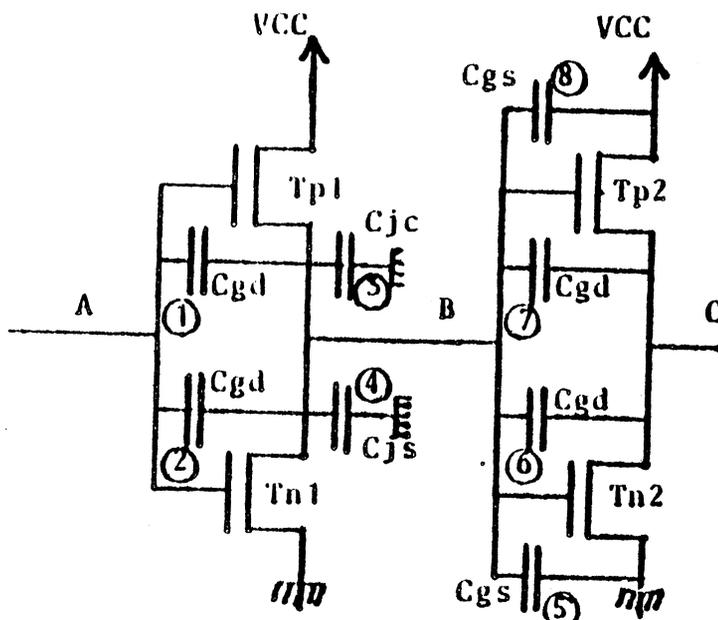


Figure III.14- Les capacités de deux portes CMOS.

a- Temps de descente:

La tension aux bornes de la capacité ramenée au point B évolue du niveau haut au niveau bas pendant que l'entrée au point A est attaquée par un échelon de 0 à 1.

Premier inverseur:

Le transistor  $Tp1$  (figure III.14) est bloqué, sa capacité grille-drain ( $c_{gd}$ ) (1) est nulle. Celle de sa jonction drain-substrat (3) est  $c_{jc}$ .

Le transistor  $Tn1$  conduit, sa capacité grille-drain ( $c_{gd}$ ) (2) agit en effet Miller; elle sera multipliée par deux (variations opposées et égales de  $v_g$  et  $v_d$ ) et ramenée à la masse. Elle devient:  $c_{gd}=2.c_{gs}/2$ .

Celle de sa jonction drain-substrat (4) est  $c_{js}$ .

Second inverseur:

Le transistor  $tn2$  conduit. La capacité grille-source (5) est  $c_{gs}/2$ . La capacité grille drain (6) agit en effet Miller; elle devient:  $c_{gd}=2.c_{gs}/2$ .

Le transistor  $Tp2$  est bloqué. Sa capacité grille-drain (7) est  $c_{gd}=0$ . Sa capacité grille-source (8) est maximale  $2/3.c_{gc}$ . ( $c_{gc}$ : capacité-grille source du transistor  $Tp$ ).

Pendant le temps de descente, la capacité ( $C_s$ ) en sortie du premier inverseur est la somme des capacités vues du point B.

$$C_s(t_d) = c_{jc} + c_{js} + c_{gs} + c_{gs}/2 + c_{gs} + 2/3.c_{gc}.$$

$$= c_{jc} + c_{js} + 5/3.c_{gs} + 2/3.c_{gc}.$$

b- Temps de montée:

La tension aux bornes de la capacité ramenée au point B évolue du niveau bas au niveau haut pendant que l'entrée au point A est attaquée par un échelon descendant.

Premier inverseur:

Le transistor T<sub>p1</sub> conduit. Sa capacité grille-drain (1) agit en effet Miller; elle devient  $c_{gd}=2.c_{gc}/2$ .

Celle de sa jonction drain-substrat (3) est c<sub>js</sub>.

Le transistor T<sub>n1</sub> est bloqué. Sa capacité grille-drain (2) est nulle  $c_{gd}=0$ . Celle de sa jonction drain-substrat (4) est c<sub>js</sub>.

Second inverseur:

Les rôles des capacités (5,6,7,8) sont inversés par rapport au cas du front de descente. Leurs valeurs sont:  $2/3.c_{gs}$ , 0, c<sub>gc</sub>, c<sub>gc</sub>/2.

Pendant le temps de montée, la capacité (C<sub>s</sub>) à la sortie du premier inverseur est la somme des capacités suivantes (vues du point B):

$$C_s(t_m) = c_{gc} + c_{jc} + c_{js} + 2/3.c_{gs} + c_{gc} + c_{gc}/2$$

$$= c_{jc} + c_{js} + 5/2.c_{gc} + 2/3.c_{gs}.$$

c<sub>gc</sub> : La capacité de grille du transistor T<sub>p</sub>.

c<sub>gs</sub> : La capacité de grille du transistor T<sub>n</sub>.

### III.4- Retard d'une porte CMOS

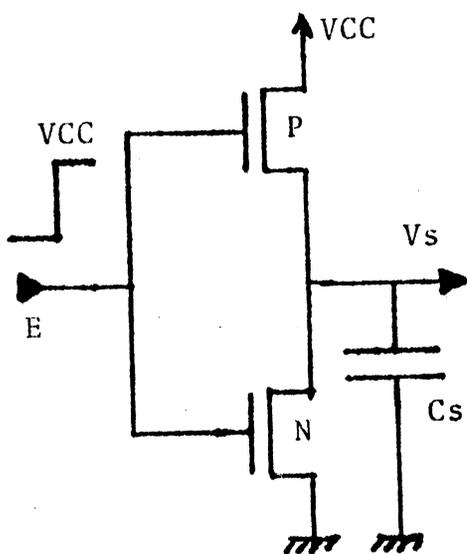
#### III.4.1- Temps de descente

Nous supposons qu'on attaque l'entrée de l'inverseur CMOS par un échelon d'amplitude  $V_{CC}$  (figure III.15a). Alors le transistor pMOS est bloqué instantanément. Nous obtenons le schéma électrique équivalent pendant le temps de descente de l'inverseur (figure III.15b).

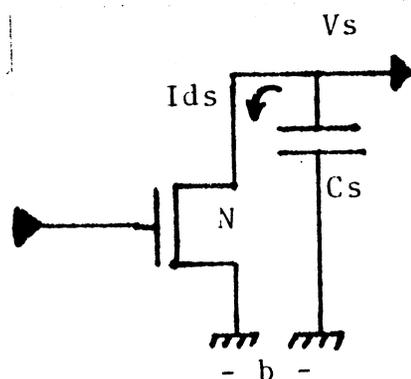
Le transistor nMOS traverse deux modes de fonctionnement (figure III.15c). Il travaille d'abord en saturation (zone AB), puis en mode ohmique (zone BC). Le temps de descente de l'inverseur est la somme des temps de descente dans ces deux modes.

Dans tous les calculs qui suivent, la mobilité ( $\mu$ ) dépend de la tension grille-source ( $v_{gs}$ ):

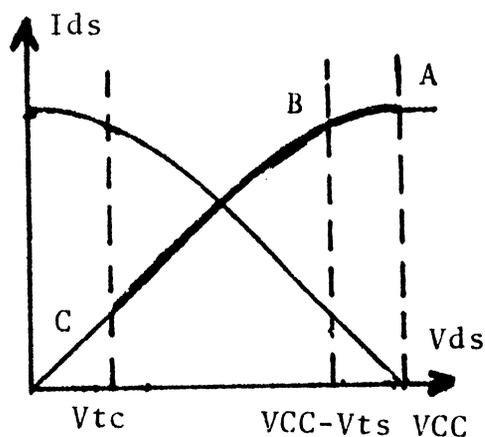
$$\mu(n,p) = \frac{\mu_0(n,p)}{1 + \eta \cdot (v_{gs} - v_t)}$$



- a -



- b -



- c -

a- Zone saturée

En zone saturée, on a la relation suivante pour le transistor nMOS:

$$v_{ds} = v_s > v_{dss}$$

- $v_{ds}$ : tension entre drain et source du transistor nMOS.
- $v_{dss}$ : tension de saturation.
- $v_s$ : tension à la sortie de l'inverseur.

Donc en zone saturée (AB):  $v_{gs} - v_{ts} < v_{ds} <= 0,9 \cdot v_{cc}$   
Où  $v_{gs} = v_{cc}$ .

Le courant qui traverse le transistor nMOS est  $I(sat)$ .

$$I(sat) = \frac{\mu_{n} \cdot \epsilon_{ox} \cdot \gamma_{amas}}{2 \cdot (\beta_{as} + 1)} \cdot (v_{cc} - v_{ts})^2$$

$I(sat)$  décharge la capacité de la sortie ( $C_s$ ) de l'inverseur. Alors on déduit l'égalité de courant:

$$I(sat) = -C_s \cdot \frac{d(v_{ds})}{dt}$$

Le temps de descente en zone saturée ( $t_d(sat)$ ) s'obtient en intégrant cette égalité entre les deux niveaux de tension  $v_{cc} - v_{ts}$  et  $0,9 \cdot v_{cc}$  ( $v_{ts} > 0,5$  volts):

$$t_d(sat) = \frac{C_s \cdot 2 \cdot (\beta_{as} + 1) \cdot (v_{ts} - 0,1 \cdot v_{cc})}{\mu_{n} \cdot \epsilon_{ox} \cdot \gamma_{amas} \cdot (v_{cc} - v_{ts})}$$

b- Zone ohmique

En zone ohmique (BC) la relation de  $v_s$  devient:

$$0,2.v_{cc} \leq (v_{ds}=v_s) \leq v_{cc}-v_{ts} \quad (v_{ts} \leq 4 \text{ volts}).$$

Le courant qui traverse le transistor nMOS devient  $I(\text{ohm})$ :

$$I(\text{ohm}) = \mu_n \cdot c_{ox} \cdot \gamma_{amas} \cdot (v_{cc}-v_{ts} - \frac{v_{ds}}{2}) \cdot v_{ds} \cdot \beta_{tas+1}$$

Alors l'égalité du courant:

$$I(\text{ohm}) = -C_s \cdot \frac{d(v_{ds})}{dt}$$

L'expression  $I(\text{ohm})$  contient des produits de  $v_{ds}$ . Elle peut être développée en facteurs simples.

Une relation logarithmique de  $t_d(\text{ohm})$  s'obtient en intégrant les facteurs simples entre les deux niveaux de tension  $0,2.v_{cc}$  et  $v_{cc}-v_{ts}$ :

$$t_d(\text{ohm}) = \frac{C_s \cdot \ln\left(\frac{(9-\beta_{tas}) \cdot v_{cc} - 10 \cdot v_{ts}}{(1-\beta_{tas}) \cdot v_{cc}}\right)}{\mu_n \cdot c_{ox} \cdot \gamma_{amas} \cdot (v_{cc}-v_{ts})}$$

Comme le temps de descente est la somme de deux:

$$t_d = t_d(\text{sat}) + t_d(\text{ohm}) \quad \text{si } 0,5 \leq v_{ts} \leq 4 \text{ volts.}$$

$$t_d = \frac{C_s}{\mu_n \cdot c_{ox} \cdot \gamma_{amas} \cdot (v_{cc}-v_{ts})} \cdot \left( 2 \cdot (\beta_{tas}+1) \cdot (v_{ts}-0,1 \cdot v_{cc}) + \ln\left(\frac{(9-\beta_{tas}) \cdot v_{cc} - 10 \cdot v_{ts}}{(1-\beta_{tas}) \cdot v_{cc}}\right) \right)$$

### III.4.2- Temps de montée

Pour le temps de montée on suppose qu'on attaque l'entrée de l'inverseur CMOS par un échelon de tension négative, par rapport à la tension de la source du transistor pMOS, d'amplitude vcc.

Alors le transistor (nMOS) est bloqué instantanément et le transistor (pMOS) traverse deux modes de fonctionnement. Il travaille d'abord en saturation (zone AB), puis mode ohmique (zone BC).

Le temps de montée de l'inverseur est la somme du temps de montée dans ces deux modes.

On obtient une expression du temps de montée (tm) identique à celle du temps de descente:

$$t_m = \frac{C_s}{\mu_{np} \cdot \epsilon_{ox} \cdot \gamma_{nmp} \cdot (v_{cc} - v_{tc})} \cdot \left( 2 \cdot (\beta_{act} + 1) \cdot (v_{tc} - 0,1 \cdot v_{cc}) + \ln\left(\frac{(1 - \beta_{act}) \cdot v_{cc} - 10 \cdot v_{tc}}{(1 - \beta_{act}) \cdot v_{cc}}\right) \right)$$

v<sub>tc</sub> : Valeur absolue de la tension de seuil du transistor (pMOS).

Une comparaison des résultats numériques (annexe 3) des temps de montée et de descente sont obtenues par calcul d'une part et par simulation d'autre part (simulation MSINC).

Par simulation t<sub>d</sub> = 4ns    t<sub>m</sub> = 13ns.

Par calcul            t<sub>d</sub> = 5ns    t<sub>m</sub> = 15ns.

### III.5- Retard d'une porte CMOS chargée par un RC

#### III.5.1- Temps de descente

Nous allons calculer le temps de descente ( $t_{dr}$ ) d'un inverseur CMOS chargé par une résistance et une capacité (RC) (figure III.12).

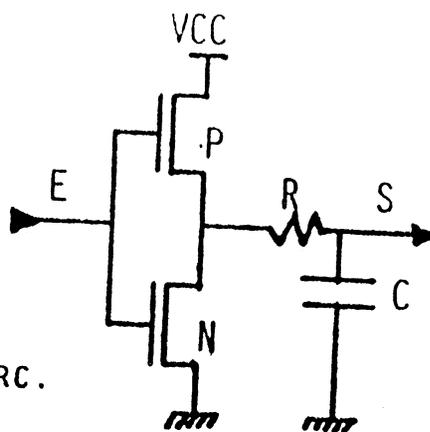


Figure III.12- Porte CMOS chargée par un RC.

Les mêmes conditions pour le signal d'entrée sont gardées. La résistance ( $r$ ) modifie la relation ( $v_s = v_{ds}$ ) pour un inverseur chargé uniquement par une capacité. Cette relation devient:

$$v_s = v_{ds} + r \cdot I$$

Nous calculons le temps de descente dans la zone saturée ( $t_{dr}(sat)$ ) et dans la zone ohmique ( $t_{dr}(ohm)$ ).

#### a- Zone saturée

L'égalité de courant dans le transistor (nMOS) en zone saturée est:

$$v_{cc} - v_{ts} \ll v_{ds} \ll 0,9 \cdot v_{cc}$$

$$I(sat) = -C_s \cdot \frac{d(v_s)}{dt}$$

Mais ( $v_s$ ) devient:  $v_s = v_{ds} + r \cdot I(\text{sat})$ .

On obtient donc:

$$I(\text{sat}) = -C_s \cdot \frac{d(v_{ds} + r \cdot I(\text{sat}))}{dt}$$

Le courant ( $I(\text{sat})$ ) est indépendant du temps ( $t$ ) et de la tension drain source ( $v_{ds}$ ) du transistor (nMOS):

$$I(\text{sat}) = \frac{\mu_{n0} \cdot C_{ox} \cdot \gamma_{n0} \cdot A_{gs}}{2 \cdot (\beta_{n0} + 1)} \cdot (V_{CC} - V_{ts})^2$$

Donc la dérivée du courant par rapport au temps est nulle.  
Cette égalité de courant devient:

$$I(\text{sat}) = -C_s \cdot \frac{d(v_{ds})}{dt}$$

Le temps de descente en zone saturée ( $t_{dr}(\text{sat})$ ) s'obtient en intégrant cette égalité entre les deux niveaux de tension ( $V_{CC} - V_{ts}$ ) et ( $0,9 \cdot V_{CC}$ ).

Ce temps a la même expression que celui de  $t_d(\text{sat})$  en zone saturée d'une porte non chargée par une résistance:

$$t_{dr}(\text{sat}) = t_d(\text{sat}) = \frac{C_s \cdot 2 \cdot (\beta_{n0} + 1) \cdot (V_{ts} - 0,1 \cdot V_{CC})}{\mu_{n0} \cdot C_{ox} \cdot \gamma_{n0} \cdot A_{gs} \cdot (V_{CC} - V_{ts})}$$

b- Zone ohmique

En zone ohmique la relation de la tension de sortie (vs) est:

$$v_s = v_{ds} + r \cdot I(\text{ohm}).$$

avec  $0,2 \cdot v_{cc} \leq v_{ds} \leq v_{cc} - v_{ts}$ .

L'expression du courant (I(ohm)) dépend de la tension (vds):

$$I(\text{ohm}) = \mu_n \cdot C_{ox} \cdot \gamma_{amas} \cdot (v_{cc} - v_{ts} - \frac{\beta_{as+1}}{2} \cdot v_{ds}) \cdot v_{ds}$$

L'égalité du courant devient:

$$I(\text{ohm}) = -C_s \cdot \frac{d(v_{ds} + r \cdot I(\text{ohm}))}{dt}$$

$$I(\text{ohm}) = -C_s \cdot \frac{d(v_{ds})}{dt} - C_s \cdot r \cdot \frac{d(I(\text{ohm}))}{dt}$$

On remplace I(ohm) par sa valeur en fonction de (vds) on obtient:

$$\frac{d(I(\text{ohm}))}{dt} = \mu_n \cdot C_{ox} \cdot \gamma_{amas} \cdot (v_{cc} - v_{ts} - (\beta_{as+1}) \cdot v_{ds}) \cdot \frac{d(v_{ds})}{dt}$$

On remplace I(ohm) est  $d(I(\text{ohm}))/dt$  par leurs valeurs en fonction de (vds) dans l'égalité du courant, on obtient:

$$\mu_n \cdot C_{ox} \cdot \gamma_{amas} \cdot \frac{\beta_{ast+1}}{2} \cdot (V_{CC} - V_{TS} - v_{ds}) \cdot v_{ds} = -C_s \cdot (1 + r \cdot \mu_n \cdot C_{ox} \cdot \gamma_{amas} \cdot (\beta_{ast+1} - 1) \cdot v_{ds}) \cdot \frac{d(v_{ds})}{dt}$$

On pose:

$$a = \mu_n \cdot C_{ox} \cdot \gamma_{amas}$$

$$b = V_{CC} - V_{TS}$$

$$c = \beta_{ast+1}$$

On obtient:

$$-C_s \cdot (1 + r \cdot a \cdot b - r \cdot c \cdot v_{ds}) \cdot \frac{d(v_{ds})}{dt} = -\frac{a \cdot c}{2} \cdot \frac{2 \cdot b - v_{ds}}{c} \cdot v_{ds}$$

Puis:

$$\frac{d(v_{ds})}{dt} = \left( \frac{-C_s \cdot (1 + a \cdot b \cdot r)}{a \cdot c / 2 \cdot (2 \cdot b / c - v_{ds}) \cdot v_{ds}} + \frac{C_s \cdot a \cdot r \cdot c}{a \cdot c / 2 \cdot (2 \cdot b / c - v_{ds})} \right) \cdot d(v_{ds})$$

Après développement de l'expression en facteurs simples, on obtient l'égalité suivante:

$$\frac{d(v_{ds})}{dt} = \frac{-C_s}{a \cdot b} \cdot \left( \frac{1 + a \cdot b \cdot r \cdot (1 - c/2)}{2 \cdot b/c - v_{ds}} + \frac{1 + a \cdot b \cdot r}{v_{ds}} \right) \cdot d(v_{ds})$$

une relation logarithmique du temps de descente ( $t_{dr(ohm)}$ ) en zone ohmique s'obtient en intégrant cette égalité entre les deux niveaux de tension ( $V_{CC} - V_{TS}$ ) et  $(0, 2 \cdot V_{CC})$ :

$$t_{dr(ohm)} = t_d(ohm) + r \cdot a \cdot b \cdot (t_d(ohm) - \frac{C_s \cdot c}{2 \cdot a \cdot b} \cdot \ln \left( \frac{(9 - \beta_{ast}) \cdot V_{CC} - 10 \cdot V_{TS}}{5 \cdot (1 - \beta_{ast}) \cdot (V_{CC} - V_{TS})} \right))$$

Pour une résistance nulle ( $r=0$ ), le temps de descente ( $t_{dr}(ohm)$ ) devient identique à celui d'un inverseur (sans résistance) ( $t_d(ohm)$ ).

Pratiquement la résistance augmente le temps de descente de la valeur suivante ( $t_r(ohm)$ ):

$$t_r(ohm) = r.a.b.(t_d(ohm) - \frac{Cs.c}{2.a.b} \ln(\frac{(9-\beta_{tas}).v_{cc}-10.v_{ts}}{5.(1-\beta_{tas}).(v_{cc}-v_{ts})}))$$

On ajoute les deux temps en zone saturée ( $t_{dr}(sat)=t_d(sat)$ ) et en zone ohmique ( $t_{dr}(ohm)$ ), on obtient le temps de descente ( $t_{dr}$ ) de l'inverseur chargé par une résistance ( $r$ ) et une capacité ( $Cs$ ):

$$t_{dr} = t_{dr}(sat) + t_{dr}(ohm) \quad \text{si } 0,5 \leq v_{ts} \leq 4 \text{ volts.}$$

On remplace ( $t_{dr}(sat)$ ) et de ( $t_{dr}(ohm)$ ) par leur valeur en fonction de ( $t_d(sat)$ ) et de ( $t_d(ohm)$ ), on obtient:

$$t_{dr} = t_d(sat) + t_d(ohm) + t_r(ohm).$$

$$t_{dr} = t_d + t_r(ohm).$$

### III.5.2- Temps de montée

Avec les mêmes conditions que celles utilisées pour calculer le temps de montée d'un inverseur chargé par une simple capacité, on calcule le temps de montée ( $t_{mr}$ ) d'un inverseur chargé par un R.C.

On obtient une expression de temps de montée ( $t_{mr}$ ) identique à celle du temps de descente ( $t_{dr}$ ) à condition de remplacer:

- $v_{ts}$  par la valeur absolue de  $v_{tc}$ .
- $g_{mas}$  par  $g_{mac}$ .
- $m_{un}$  par  $m_{up}$ .

On obtient:

$$t_{mr} = t_m + t_r(\text{ohm}).$$

### III.6- Temps de propagation de PLA dynamiques en CMOS

#### III.6.1- Introduction

Nous allons estimer le temps de propagation des PLA dynamiques (cités auparavant), les sorties des matrices attaquent des inverseurs.

Une méthode des évaluations électriques et temporelles de PLA dynamiques en technologie CMOS est effectuée à partir:

- des règles de dessin
- des paramètres électriques d'une technologie donnée
- de la programmation spécifique d'un PLA.

Cette méthode détermine des paramètres comme des degrés de liberté à partir desquels le temps de propagation sera estimé.

La première étape du calcul consiste à produire des abaques. Ces dernières définissent une relation entre le temps et les paramètres électriques qui sont considérés comme des degrés de liberté.

A partir de ces abaques on peut fixer un paramètre pour calculer les autres.

La stratégie de calcul est:

- Génération de la géométrie d'un point de PLA à partir des règles de dessin et des paramètres électriques d'une technologie donnée.
- Calcul des capacités à partir de la géométrie d'un point de PLA et de la spécification du contenu d'un PLA-CMOS.

- Estimation du temps de propagation de PLA. Ce temps se décompose en quatre sous-temps suivants:

- Précharge de la matrice ET.
- Décharge de la matrice ET.
- Le temps entre la fin de la décharge de la matrice ET et le début de la décharge de la matrice OU.
- Décharge de la matrice OU.

Nous allons calculer ces quatre retards dans le cas d'un PLA-CMOS après une étape de calcul des capacités.

### III.6.2- Calcul des capacités

A partir de la géométrie d'un point de PLA et de la spécification du contenu d'un PLA-CMOS, on peut calculer les capacités de chaque entrée et de chaque sortie de deux matrices ET et OU.

#### III.6.2.1- Capacités de la matrice ET

Vu la structure électrique de la matrice ET, Les transistors  $T_n$  sont en parallèle entre une ligne de métal et une ligne de diffusion. Le calcul des capacités de la matrice ET consiste à calculer les trois capacités suivantes:

- La capacité de la ligne d'entrée ( $c_{eet}$ ).
- La capacité de sortie pendant son temps de montée ( $c_{met}$ ).
- La capacité de sortie pendant son temps de descente ( $c_{det}$ ).

a- Capacité de la ligne d'entrée (ceet)

La capacité de la ligne d'entrée polysilicium est déjà calculée dans le cas des PLA-NMOS. Elle dépend de celles du point de PLA (cmp,cp), de la longueur de la ligne d'entrée en nombre de pas (npe) et du nombre de grilles (nte.cgs) sur cette ligne.

$$ceet = npe.(2.cmp+cp) + nte.(cgs-cco).$$

b- Capacité de sortie de la matrice ET  
pendant le temps de montée

Pendant le temps de montée de la matrice ET la ligne métal de sortie évolue de 0 à 1 logique; ainsi que la ligne de diffusion qui connecte les sources des transistors Tn entre eux. Le calcul de la capacité (cmet) consiste à effectuer la somme des capacités de la ligne de métal et de celles de la ligne de diffusion.

Les capacités sur la ligne de métal par pas de PLA sont:

- La capacité métal-substrat (cm).
  - La capacité métal-diffusion (cmd).
  - La capacité métal-polysilicium (cmp), qui agit en effet MILLER. Elle compte pour (2.cmp).
  - La capacité jonction-substrat des transistors Tn (cjs).
  - la capacité, due aux deux inverseurs, qui a déjà été calculée ( $5/2.cgc+cjc+cjss+2/3.cgs$ ).
- (cjs: la capacité de jonction du transistor de connexion avec la masse.)

- La capacité de la ligne de diffusion est calculée en fonction de la surface du fond et du bord de la ligne par pas du PLA:

$$cnd.(lx.lld + 2.lx.xj).$$

La capacité (cmet) s'obtient alors en fonction du nombre des pas (npm) et du nombre des drains de transistor (ntm) de chaque sortie:

$$cmet = ntm.cjs + npm.(cmt+cmd+2.cmp)+cjs+5/2.cgc+2/3.cgs + cjc + npm.cnd.(lx.lld + 2.lx.xj).$$

c- Capacité de sortie de la matrice ET  
pendant le temps de descente

La capacité de sortie de la matrice ET pendant le temps de descente (cdet) a la même expression que celle de (cmet) à condition de changer l'expression de la capacité entre les deux inverseurs.

Cette valeur a déjà été calculée:

$$cjc + cjs + 5/3.cgs + 2/3.cgc.$$

On obtient (cdet):

$$cdet = ntm.cjs + npm.(cmt+cmd+2.cmp) + cjs + 5/3.cgs + 2/3.cgc + cjc + npm.cnd.(lx.lld + 2.lx.xj).$$

### III.6.2.2- Capacités de la matrice OU

Vu la structure électrique de la matrice OU, les transistors  $T_n$  ou  $T_p$  sont en parallèle entre une ligne de métal et une ligne de diffusion. Le calcul des capacités de la matrice OU consiste à calculer les trois capacités suivantes:

- La capacité de la ligne d'entrée ( $c_l$ ).
- La capacité de chaque sortie pendant son temps de montée ( $c_{mou}$ ).
- La capacité de chaque sortie pendant son temps de descente ( $c_{dou}$ ).

On suppose que les sorties de la matrice OU attaquent des inverseurs.

Le calcul des capacités de la matrice OU est identique à celui des capacités de la matrice ET à condition de procéder à quelques remplacements dans les expressions suivantes:

- L'expression de la capacité ( $c_{eet}$ ) de la ligne d'entrée polysilicium, ( $n_{pe}, n_{te}$ ) par ( $n_s, s$ ). On obtient  $c_l$ :

$$c_l = n_s.(2.c_{mp} + c_p) + s.(c_{gs} - c_{co}).$$

- L'expression des capacités de sortie de la matrice ET, pendant son temps de montée ( $c_{met}$ ) et son temps de descente ( $c_{det}$ ), ( $n_{pm}, n_{tm}$ ) par ( $n_{ps}, n_{ts}$ ). On obtient  $c_{mou}$  et  $c_{dou}$ :

$$c_{mou} = n_{ts}.c_{js} + n_{ps}.(c_m + c_{md} + 2.c_{mp}) + c_{jss} + 5/2.c_{gc} \\ + 2/3.c_{gs} + c_{jc} + n_{ps}.c_{nd}.(l_x.l_{ld} + 2.l_x.x_j).$$

$$c_{dou} = n_{ts}.c_{js} + n_{ps}.(c_m + c_{md} + 2.c_{mp}) + c_{jss} + 5/3.c_{gs} \\ + 2/3.c_{gc} + c_{jc} + n_{ps}.c_{nd}.(l_x.l_{ld} + 2.l_x.x_j).$$

On ajoute aux deux capacités ( $c_{mou}$ ,  $c_{dou}$ ) une capacité de charge ( $c_{ch}$ ). Cette capacité est donnée par l'utilisateur. Sinon elle sera équivalente à une capacité d'entrée d'une porte CMOS standard.

### III.6.3- Temps de précharge de la matrice ET

La précharge de la matrice ET produit :

- Un niveau logique haut sur les monômes.
- Un niveau logique stable sur les entrées de la matrice ET.

Le temps de précharge de la matrice ET est le maximum entre le temps nécessaire pour charger les monômes et celui pour avoir un niveau logique stable sur les entrées.

Le retard dû au chargement des monômes est le temps de montée de la matrice ET en suivant le chemin le plus long parmi les différents monômes.

#### a- Calcul du temps de montée de la matrice ET

Le temps de montée de la matrice ET dépend de quatre paramètres suivants (figure III.16) :

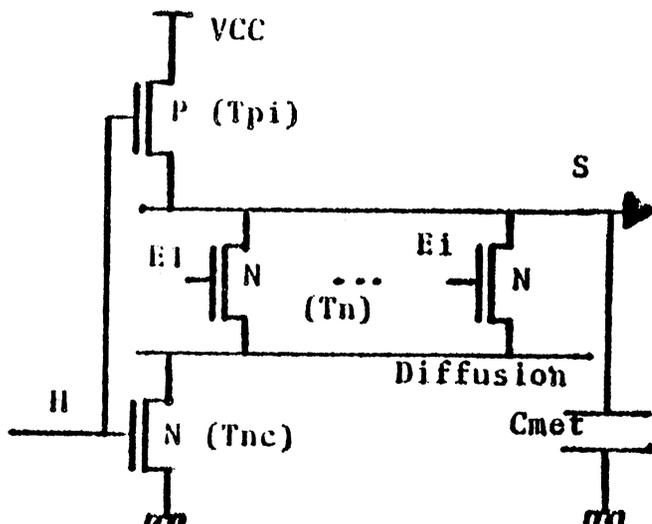


Figure III.16- Porte NOR CMOS de la matrice ET.

1- Les dimensions du transistor  $T_n$  de la matrice ET ( $g_{amas} = z_s/l_s$ ).

2- Les dimensions du transistor  $T_{pi}$  de l'inverseur ( $g_{amac} = z_c/l_c$ ).

3- La capacité de sortie ( $c_{met}$ ).

4- La résistance dans la ligne de diffusion qui connecte les sources des transistors  $T_n$  entre eux.

Pour calculer le temps de montée de la matrice ET ( $t_{met}$ ), il faut que les valeurs de ces cinq paramètres soient données.

Les dimensions du transistor  $T_n$  ( $g_{amas} = z_s/l_s$ ) sont données par le dessin du point de PLA.

Les dimensions du transistor  $T_{pi}$  donnent un degré de liberté en donnant  $g_{amac}$ . Ceci donne une variation du temps  $t_{met}$  en fonction de  $g_{amac}$ .

La capacité de monôme à la sortie de la matrice ET pendant le temps de montée ( $c_{met}$ ) est calculée à partir de  $g_{amas}$ , de  $g_{amac}$ , de  $g_{amass}$  et de la spécification du contenu du PLA.

La ligne de diffusion qui connecte les sources des transistors  $T_n$  entre eux présente une résistance ( $r_d$ ) par pas. La résistance totale de la ligne est calculée en fonction de sa longueur en nombre de pas ( $n$ ). En tenant compte des autres courants qui débitent dans la ligne, ceci donne une résistance équivalente ( $r_{dl}$ ) maximum de la ligne (ce calcul a déjà été fait dans le cas des PLA NMOS en fonction du nombre de monômes entre deux rappels de

masse (n)). on obtient:

$$rd1 = \frac{n.(n+2)}{8}.rd$$

Dans le cas d'un seul transistor de couplage à la masse sur la ligne de diffusion la valeur de n est: (n=npe).

En général n est le nombre des pas entre deux transistors de couplage ou deux rappels de masse.

Le temps (tmet) sera calculé à partir d'un schéma électrique équivalent de la matrice ET dans le cas le plus défavorable (figure III.17).

Ce cas est lorsque:

- Le transistor de couplage est bloqué.
- Le transistor Tpi conduit.
- un seul transistor Tu conduit.

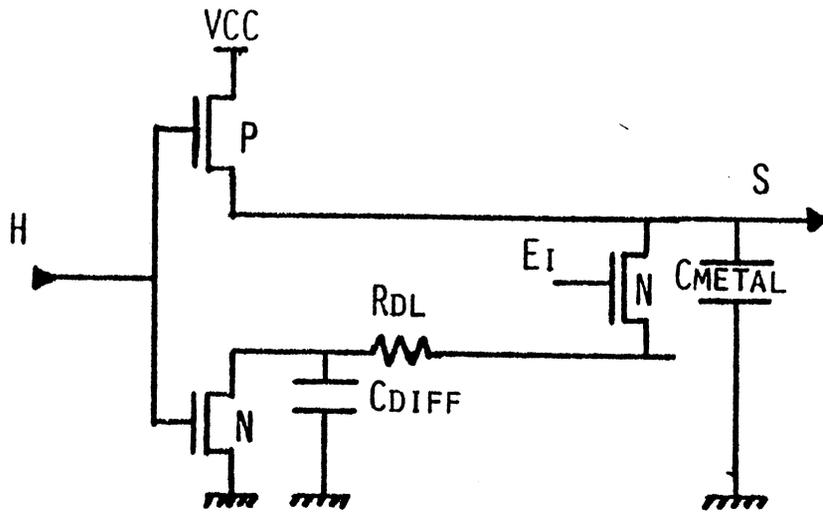


Figure III.17- Schéma électrique de la matrice ET.  
(cas le plus défavorable)

A partir de ce cas, le temps  $t_{met}$  est majoré après avoir supposé que les deux transistors,  $T_{p1}$  en série avec  $T_n$ , chargent la capacité  $c_{met}$  à travers une résistance ( $r_{d1}$ ) (figure III.18a).

Nous remplaçons les deux transistors  $T_{p1}$  et  $T_n$  par un transistor équivalent qui a la dimension ( $g_{maceq}$ ):

$$g_{maceq} = \frac{g_{mac} \cdot g_{mas}}{g_{mac} + g_{mas}}$$

On obtient alors le schéma électrique équivalent à un transistor  $T_p$  (gamaceq) qui charge la capacité (cmet) au travers d'une résistance (rdl) (figure III.18b).

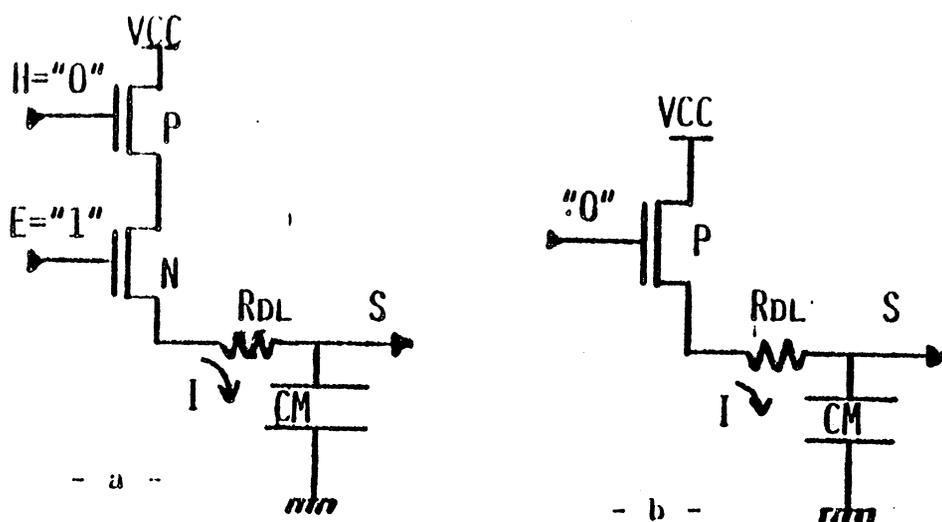


Figure III.18- Schéma électrique équivalent de la matrice ET pendant son temps de montée.

Le calcul de temps de montée de la matrice ET ( $t_{met}$ ) est effectué à partir d'un schéma électrique équivalent. Pour cela nous appliquons la formule du calcul du temps de montée d'un inverseur chargé par un RC ( $t_{mr}$ , déjà calculé). Dans cette formule nous remplaçons:

- gamac par gamaceq.
- Cs par cmet.
- r par rdl.

(gamac) ---> ( $t_{met}$ ).

En vue de réduire le temps de montée ( $t_{met}$ ), on réduit la capacité et la résistance de la ligne de diffusion en augmentant le nombre de transistors de couplage à la masse sur la ligne de diffusion.

Ceci nous donne le paramètre ( $n$ ) comme degré de liberté supplémentaire.

Une variation de temps ( $t_{met}$ ) en fonction du nombre ( $n$ ) est ainsi obtenue pour différentes dimensions du transistor  $T_{pi}$  ( $\gamma_{mac}$ ).

$(\gamma_{mac}) \text{ ---} \rightarrow (n) \text{ ---} \rightarrow (t_{met})$ .

#### b- Retard de la ligne d'entrée

Le retard de la ligne d'entrée est celui nécessaire pour avoir un niveau logique stable sur les grilles de transistors  $T_n$  de la matrice ET. Il prend comme valeur le retard maximal de signal dans les lignes d'entrées polysilicium ( $t_{eet}$ ) entre les amplificateurs d'entrée et les grilles des transistors  $T_n$ . Il est du type R.C .

Il est calculé de la même manière que dans le cas des PLA statiques NMOS.

La capacité de la ligne d'entrée en polysilicium est  $c_{eet}$ .

La résistance de la ligne d'entrée en polysilicium est  $r_{pl}$ .

$r_{pl} = n_{pe} \cdot r_p$ .  $r_p$  est la résistance d'un pas.

Le retard  $t_{eet}$  est obtenu:  $t_{eet} = r_{pl} \cdot c_{eet}$ .

#### III.6.4- Temps de décharge de la matrice ET

Le temps de décharge de la matrice ET produit des niveaux logiques stables sur les monômes. Ces derniers, correspondent à ceux des entrées.

Au départ tous les monômes sont au niveau logique haut. Le temps de décharge de la matrice ET est le temps de descente maximal parmi les différents monômes.

Nous calculons le temps de descente de la matrice ET.

##### a- calcul du temps de descente

Le temps de descente de la matrice ET ( $t_{det}$ ) dépend des quatre mêmes paramètres cités lors du calcul du temps de montée ( $t_{met}$ ), sauf que le transistor ( $t_{pi}$ ) sera remplacé par le transistor ( $t_{nc}$ ) de couplage à la masse ( $g_{mass} = z_{ss}/l_{ss}$ ). Les dimensions de ce transistor ( $t_{nc}$ ) donnent un degré de liberté en donnant ( $g_{mass}$ ). Ceci donne une variation du temps  $t_{det}$  en fonction de  $g_{mass}$ .

Après avoir calculé la capacité ( $c_{det}$ ) de chaque monôme, le temps de descente ( $t_{det}$ ) sera calculé à partir d'un schéma électrique équivalent à celui de la matrice ET dans le cas le plus défavorable qui correspond à:

- Le transistor de couplage ( $t_{nc}$ ) conduit.
- Le transistor  $T_{pi}$  est bloqué.
- Un seul transistor  $T_n$  conduit, pour une seule sortie. Car il peut avoir, pour d'autres sorties, des transistors ( $t_n$ ) qui débitent dans le transistor de couplage ( $t_{nc}$ ).

Vu la construction de la matrice ET, le maximum de débit du courant supplémentaire dans tnc est n fois le courant d'un seul transistor (tn). On obtient alors un seul transistor (tn) débitant dans un transistor de couplage (tnc) équivalent qui a la dimension (gamass/n).

A partir de ce cas, le temps tdet est majoré après avoir supposé que les deux transistors, Tn en série avec tnc (avec un débit de courant supplémentaire dans tnc, figure III.19a), chargent la capacité cdet au travers d'une résistance (rdl).

Nous remplaçons ces deux transistors Tn et Tnc par un transistor équivalent qui a la dimension (gamaseq):

$$\text{gamaseq} = \frac{\text{gamas} \cdot \text{gamass}/n}{\text{gamas} + \text{gamass}/n}$$

On obtient alors le schéma électrique équivalent à une capacité qui se décharge au travers d'une résistance (rdl) en série avec un transistor (gamaseq) (figure III.19b).

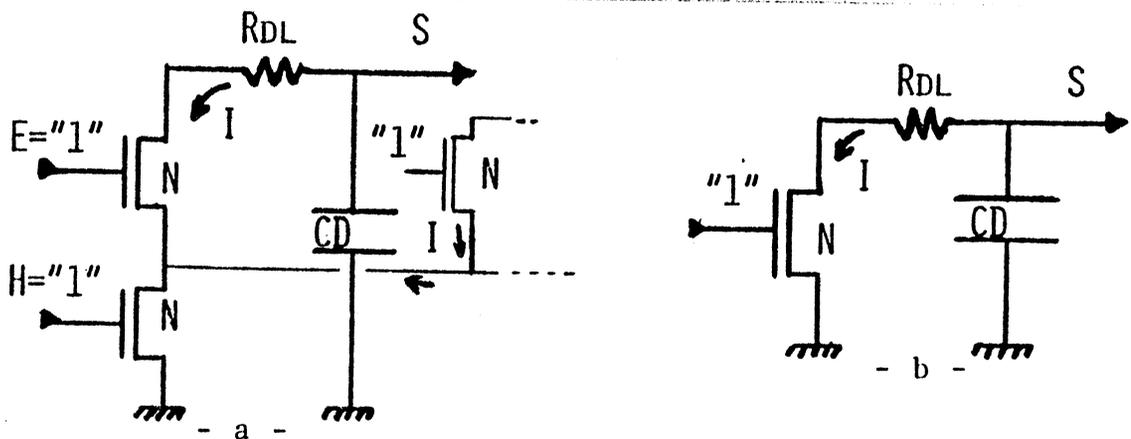


Figure III.19- Schéma électrique équivalent de la matrice ET pendant son temps de descente.

Le calcul du temps de descente de la matrice ET (tdet) est effectué à partir d'un schéma électrique équivalent.

Pour cela nous appliquons la formule du calcul du temps de descente d'un inverseur chargé par un RC (tdr, déjà calculé).

Dans cette formule nous remplaçons:

- tdr par tdet.
- Cs par cdet.
- gamas par gamaseq.

Une variation du temps (tdet) en fonction de la dimension du transistor de couplage est obtenue:

(gamass) ---> (tdet).

En vue de réduire le temps (tdet), on augmente le nombre de transistors de couplage sur la ligne de diffusion. On obtient alors un degré de liberté supplémentaire (n).

Le temps (tdet) varie en fonction de nombre de monômes entre deux rappels de transistor de couplage (n) pour un transistor Tpi (gamac) et un transistor de couplage (gamass) donnés:

(gamass) ---> (n) ---> (tdet).

### III.6.5- Retard entre les décharges des deux matrices

Le retard ( $t_1$ ) se situe entre la fin de décharge de la matrice ET et le début de décharge de la matrice OU.

Il correspond au temps le plus long parmi toutes les lignes d'entrées polysilicium de la matrice OU.

Ce temps a déjà été calculé dans le cas des PLA-NMOS, et élimine le recouvrement de décharge des deux matrices ET et OU.

C'est un retard du type R.C.

La capacité de cette ligne est ( $c_1$ ).

La résistance ( $r_1$ ) est fonction de sa longueur:

$$r_1 = ns.rp.$$

On obtient le retard ( $t_1$ ) de la ligne d'entrée polysilicium de la matrice OU:

$$t_1 = r_1 . c_1.$$

### III.6.6- Temps de décharge de la matrice OU

Le temps de décharge de la matrice OU démarre après l'obtention de niveaux logiques stables sur ses sorties. Ceux-ci sont calculés par la matrice et à partir des entrées.

Au départ les sorties de la matrice OU sont en état de précharge. Elles peuvent être toutes à un niveau logique haut ou bas.

Ceci dépend si la matrice OU est en nMOS (structure "DOMINO") ou pMOS (structure "NP-CMOS").

En structure "DOMINO" la décharge de la matrice OU est le temps de descente maximal des sorties.

En structure "NP-CMOS" la décharge est le temps de montée maximal des sorties.

Nous calculons le temps de descente de chaque sortie de la matrice OU en nMOS ( $T_n$ ) ou le temps de montée en pMOS ( $T_p$ ).

#### a- Temps de descente

La capacité à la sortie de la matrice OU (nMOS) est  $c_{dou}$ , pendant le temps de descente:

$$c_{dou} = n_{ts}.c_{js} + n_{ps}.(c_{mt} + c_{md} + 2.c_{mp}) + c_{jss} + 5/3.c_{gs} \\ + 2/3.c_{gc} + c_{jc} + n_{ps}.c_{nd}.(1x.1ld + 2.1x.xj) + c_{ch}.$$

A partir de  $c_{dou}$ , le temps de descente ( $t_{dou}$ ) s'obtient par la même formule de calcul que celle du temps de descente de la matrice ET ( $t_{det}$ ) et par le même schéma électrique équivalent de cette même matrice, en remplaçant  $c_{det}$  par  $c_{dou}$ .

La variation de  $t_{dou}$  en fonction de  $g_{mass}$  est peut ainsi être calculée:

$$(g_{mass}) \text{ ---} \rightarrow (t_{dou}).$$

Pour réduire le temps ( $t_{dou}$ ), on peut augmenter le nombre de transistor de couplage. On obtient alors une variation de  $t_{dou}$  en fonction du nombre de monômes entre deux rappels de transistor de couplage ( $n$ ) pour chaque valeur de  $g_{mass}$ :

$$(g_{mass}) \text{ ---} \rightarrow (n) \text{ ---} \rightarrow (t_{dou}).$$

#### b- Temps de montée

Le temps de montée ( $t_{mou}$ ) de la matrice OU (pMOS) (figure III.20) est calculé de la même manière que celui de la matrice ET, car son schéma électrique équivalent est identique à celui de la matrice ET.

Dans la formule de  $t_{met}$  nous remplaçons la capacité  $c_{met}$  par la capacité de sortie de la matrice OU ( $c_{mou}$ ) pendant le temps de montée.

La capacité de sortie est:

$$c_{mou} = n_{ts}.c_{js} + n_{ps}.(c_m + c_{md} + 2.c_{mp}) + c_{jss} + 5/2.c_{gc} \\ + 2/3.c_{gs} + c_{jc} + n_{ps}.c_{nd}.(1x.11d + 2.1x.xj) + c_{ch}.$$

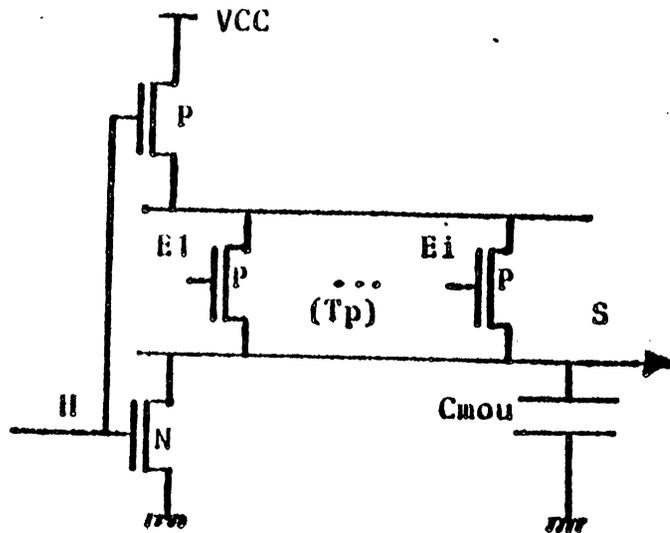


Figure III.20- Porte NAND CMOS de la matrice OU.

On peut alors calculer la variation de  $t_{mou}$  en fonction de  $\gamma_{amac}$ :

$$(\gamma_{amac}) \text{ ---} \rightarrow (t_{mou}).$$

On peut aussi augmenter le nombre de transistors de couplage, ce qui donne une variation de  $t_{mou}$  en fonction de  $n$  pour différents  $\gamma_{amac}$ :

$$(\gamma_{amac}) \text{ ---} \rightarrow (n) \text{ ---} \rightarrow (t_{mou}).$$

### III.6.7- Conclusion

A partir du calcul des quatre sous-temps de propagation (précharge et décharge de la matrice ET, décharge de la matrice OU, temps entre les décharges des deux matrices), le temps de propagation dans les PLA dynamiques, en technologie CMOS, est égal à la somme des temps correspondant aux chronogrammes pour chaque structure de PLA (structure "DOMINO" et "NP-CMOS").

## IV-PLA en technologie bipolaire

### IV.1-INTRODUCTION

Cette partie concerne les évaluations électriques et temporelles des PLA en technologie bipolaire.

Ceux-ci sont réalisés en logique non saturée [MRA] sous la forme de différents types des portes (ISL, STL, ECL, STL-ECL ...).

Une porte bipolaire a les caractéristiques suivantes:

- sa vitesse de fonctionnement est grande par rapport à celle d'une porte en technologie MOS. Son temps de réponse moyen est autour de 1 ns.
- sa consommation électrique est importante.

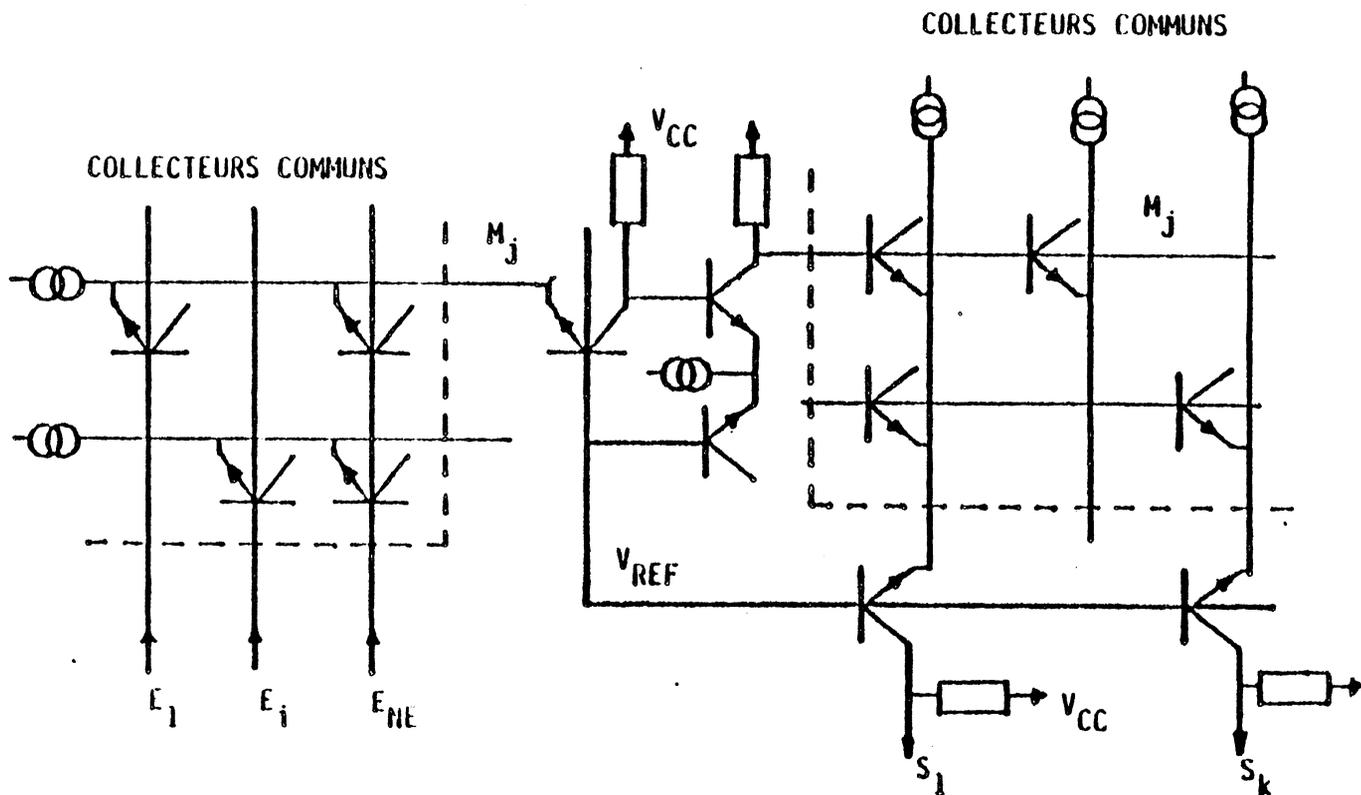
La figure IV.1 montre des PLA des types STL et ECL. Les structures des matrices sont compatibles avec les possibilités du système "PAOLA".

La vitesse de fonctionnement du PLA varie selon sa structure électrique et selon le type de ses portes.

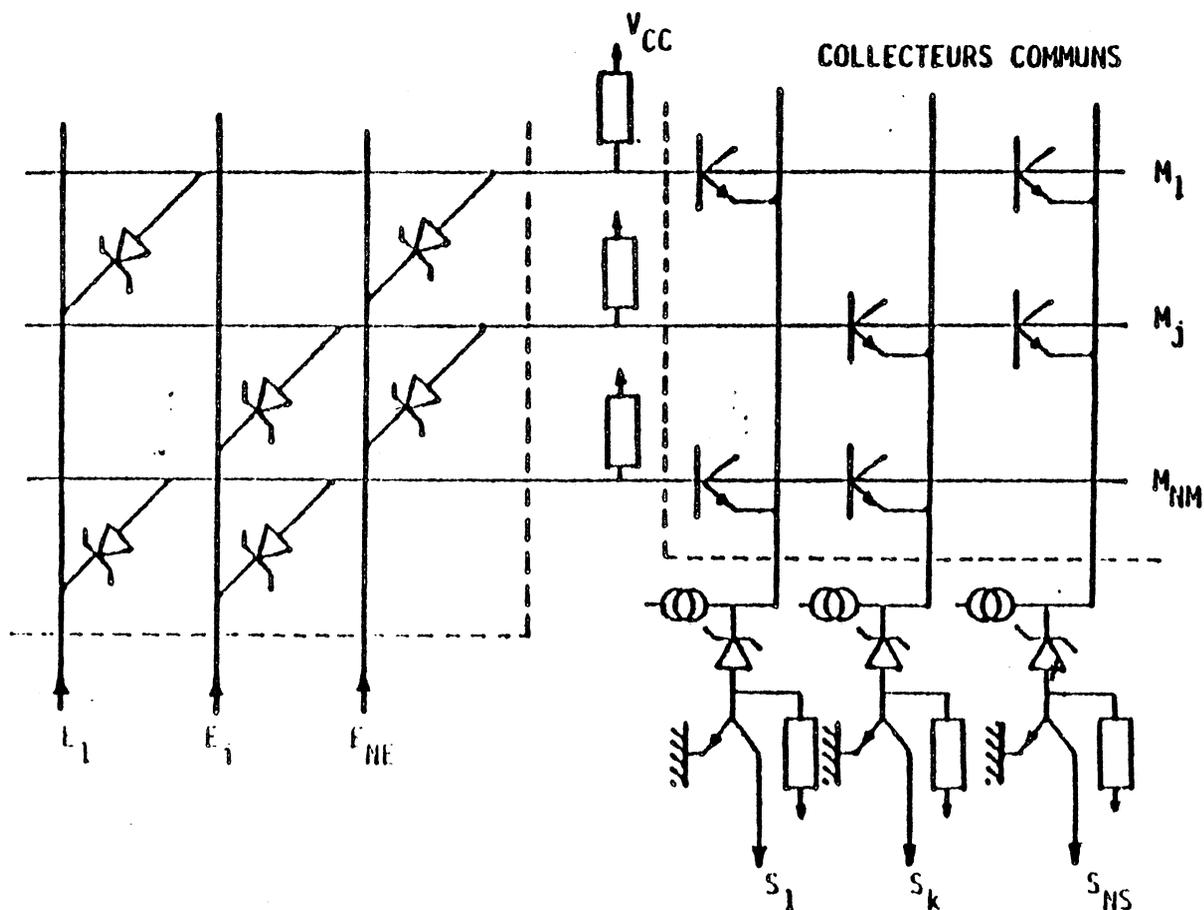
En vue de réaliser des PLA bipolaires, nous allons suivre la même stratégie d'évaluation électrique et temporelle, que celle qui a été suivie pour réaliser des PLA NMOS et CMOS.

Nous estimerons le temps de propagation à partir:

- d'une technologie donnée.
- d'une structure électrique du PLA.
- d'un type de porte logique.
- de la spécification du contenu d'un PLA.



- a - Schéma électrique d'un PLA de type OU-NON-OU en logique ECL.



- b - Schéma électrique d'un PLA de type ET-OU-NON en logique STL.

Figure IV.1- PLA bipolaires.

Nous chercherons aussi des paramètres significatifs qui caractérisent la vitesse de fonctionnement, la consommation, la surface occupée par le PLA et les valeurs des niveaux logiques.

A partir de ces paramètres, nous sélectionnerons ceux qui seront conservés comme degrés de liberté pour réaliser un PLA donné.

Ils dépendent, en fait, de la structure des PLA et aussi du type de porte logique.

A titre d'exemple, l'entrance et la sortance en structure STL [LOH] (figure IV.1b) sont des paramètres significatifs (donnent des degrés de liberté) avec d'autres paramètres comme le courant de générateur, la résistance (R) et la température.

Dans ces évaluations la température est considérée comme un paramètre. Si l'on tient compte des variations de la température, la vitesse et la consommation des PLA augmentent avec la température.

Des méthodes de calcul du temps de réponse d'un transistor bipolaire sont données par [LOH] pour le type ISL et STL et par [BAR,MRA] pour le type ECL. Vu la structure d'un PLA et l'importance des capacités des lignes nous allons donner une méthode de calcul du temps de propagation dans un PLA.

Dans cette partie d'évaluations nous étudions les PLA du type ECL.

Nous introduisons aussi les capacités d'une porte ECL.

#### IV.2- Les capacités d'une porte ECL

Vu l'implantation des PLA (figure IV.1b) deux sortes de capacités vont être introduites:

- les capacités des transistors.
- les capacités des lignes de connexion des bases et des émetteurs des transistors. (métal, diffusion).

##### a- Les capacités des transistors

Le schéma électrique équivalent d'un transistor (figure IV.2) montre ses différentes capacités:

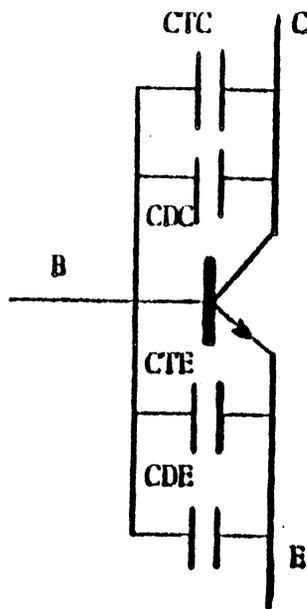


Figure IV.2- Les capacités dans un transistor bipolaire.

- la capacité de la jonction base-émetteur est la somme des deux capacités de diffusion (CDE) et de transition (CTE).

La capacité CDE représente la variation du nombre de porteurs minoritaires associée à une variation du courant à travers la jonction. Elle dépend du temps de stockage des porteurs minoritaires.

Comme la fréquence FT des transistors est plus grande que 2GHz on peut donc négliger CDE devant, la capacité CTE, et celle de la ligne des émetteurs.

La capacité de transition de la jonction (CT) représente la redistribution des charges. Elle dépend de la variation de tension aux bornes de la jonction base-émetteur (linéaire):

$$CT(V) = \frac{C_0}{(1 - V/V_{f1})^{1/2}}$$

$V_{f1} = 0.7 \text{ volts.}$

La capacité de transition de la jonction base-émetteur (CTE) polarisée en direct prend comme valeur moyenne (Cmoy) pour une plage de tension V2-V1:

$$CTEmoy = \frac{CJE}{V2-V1} \int_{V1}^{V2} \frac{dV}{(1 - V/V_{f1})^{1/2}}$$

CJE : capacité base-émetteur à VBE=0.

Après l'intégration entre  $V_1$  et  $V_2$  on obtient l'expression;

$$C_{TE_{moy}} = -2.C_{JE} \cdot \frac{V_{f1}}{V_2 - V_1} \cdot \left( \left(1 - \frac{V_2}{V_{f1}}\right)^{1/2} - \left(1 - \frac{V_1}{V_{f1}}\right)^{1/2} \right)$$

Après avoir développé l'expression au premier ordre, on obtient:

$$\left(1 - V/V_{f1}\right)^{1/2} = 1 - 1/2 \cdot V/V_{f1}$$

On obtient la capacité moyenne ( $C_{TE_{moy}}$ ):

$$C_{TE_{moy}} = C_{JE}.$$

La capacité base-collecteur (jonction en inverse) diminue avec la tension ( $V$ ). Elle sera majorée par ( $C_{JC}$ ) car  $V$  devient négative dans l'expression de  $CT(V)$ :

$$C_{TC} = C_{JC}.$$

La capacité parasite collecteur-substrat ( $CCS$ ) prend comme valeur ( $C_{JS}$ ).

Or les collecteurs communs des transistors de la matrice sont connectés à l'alimentation ( $V_{CC}$ ). La tension aux bornes de la capacité ( $CCS$ ) est donc constante. Elle n'intervient donc pas dans le calcul qui suit.

Par contre la tension aux bornes de cette capacité, dans le transistor de référence, varie entre les deux niveaux logiques bas ( $V_L$ ) et haut ( $V_H$ ). Elle intervient donc dans le calcul des capacités du transistor de référence.

b-Les capacité des lignes de connexion

La ligne d'entrée en diffusion ( $P^+$ ) est résistive et capacitive.

Sa résistance ( $rd_1$ ) et sa capacité ( $cd_1$ ) dépendent du nombre des pas de la ligne.

La résistance d'entrée ( $RI$ ) est la somme de la résistance  $rd_1$  et des résistances des bases connectées sur la ligne.

Pour chaque base on ajoute à  $RI$  (pour maximiser) une résistance ( $rb$ ).

$rb$  est la résistance base du transistor.

La capacité d'entrée ( $CI$ ) est la somme de la capacité  $cd_1$  et de celles dûes aux bases qui sont connectées sur la ligne.

Pour chaque base on ajoute ( $3/2.CJE + CJC$ ).

La ligne métallique de connexion des émetteurs est capacitive ( $clm$ ). Elle dépend du nombre de pas de la ligne.

La capacité totale de la ligne métallique ( $CM$ ) est la somme de  $clm$  et des capacités des émetteurs qui sont connectés sur la ligne.

Pour chaque émetteur on ajoute à  $CM$  une capacité ( $3/2.CJE$ ).

#### IV.3- Temps de réponse dans un PLA bipolaire ECL.

En vue d'estimer le temps de propagation dans un PLA bipolaire de type ECL, nous allons développer le calcul de son comportement électrique.

Ceci consiste à trouver le chemin le plus long et à donner un schéma électrique équivalent au PLA.

La figure IV.1a montre un PLA ECL.

Sa structure logique est:           OU-NON-OU.

Vu la structure des matrices du PLA, la porte ECL est construite à l'aide d'un étage différentiel et d'un émetteur suiveur piloté par un générateur de courant (IG).

Nous allons calculer le temps de montée et de descente de la matrice.

##### IV.3.1- Le temps de montée

Nous allons calculer le temps de montée (TM) dans le cas le plus défavorable. C'est-à-dire lorsque toutes les entrées restent à un niveau logique bas, sauf une qui subit une transition du niveau bas au niveau haut. Dans ce cas un seul transistor conduit. Les autres représentent uniquement des capacités parasites.

Après avoir calculé les capacités  $C_I$  et  $C_M$ , nous pouvons donner un schéma équivalent à un montage différentiel avec des capacités et des résistances (figure IV.3).

A partir de ce schéma nous pouvons calculer le temps de montée dans une matrice.

Nous décomposons ce calcul en deux étapes:

Première étape: Avant le fonctionnement du transistor de la matrice.

Deuxième étape: Pendant le fonctionnement du transistor.

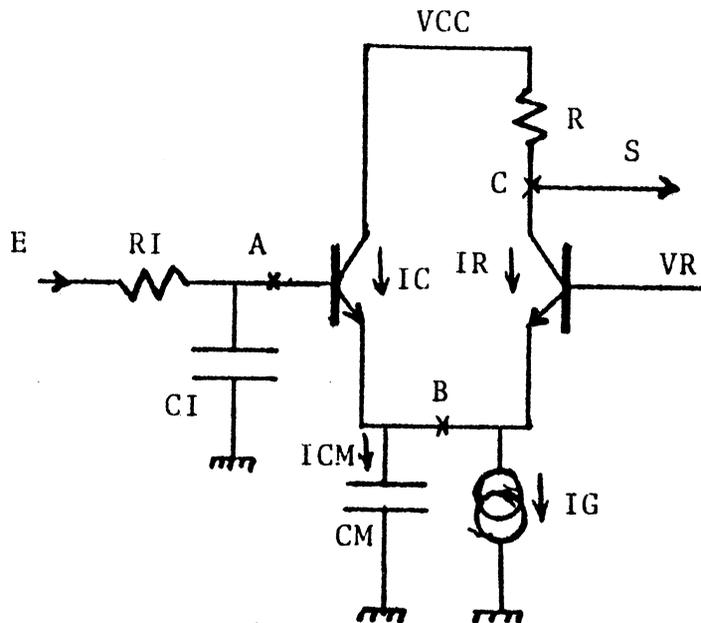


Figure IV.3- Schéma électrique équivalent d'une matrice ECL.

a- Transistor bloqué

Dans cette étape le transistor reste bloqué par une tension base-émetteur:  $V_{be} < V_{seuil} = 0,7$  volt.

Pour cela il faut que  $V_{AB} < 0,7$  volts (figure IV.3).

Donc le transistor reste bloqué tant que  $V_A < V_R$  ( $V_R$ : tension de référence).

On attaque l'entrée E par un échelon ( $V_L \rightarrow V_H$ ).

Le retard, pour que la tension ( $V_A$ ) au point A évolue du niveau logique bas ( $V_L$ ) à la tension  $V_R$ , est de type R.C.

On obtient sa valeur ( $t_1$ ) par:

$$t_1 = 2,3 \cdot R_1.C_1 \cdot \frac{V_R - V_L}{0,8 \cdot (V_H - V_L)}$$

Le facteur 0,8 est dû au fait que le temps est évalué pour une variation entre 0,1 et 0,9 de l'excursion logique.

b- Transistor conducteur

Dans cette étape la tension  $V_A$  dépasse  $V_R$ . Le transistor de la matrice commence à conduire.

Nous allons calculer le temps pour que la tension de sortie au point C évolue du niveau logique 0 à 1.

Ceci nécessite une augmentation de la tension au point B: de l'ordre de quelques ( $k.T/q$ ) (montage différentiel).

Pour cela il faut que  $V_A$  monte de ( $n.k.T/q$ ).

Nous décomposons ce temps en trois périodes qui sont:

- La première période ( $t_{21}$ ) pendant laquelle la tension VA monte de  $(n.k.T/q)$ :

$$t_{21} = 2,3 \cdot R_1.C_1 \cdot \frac{n.k.T/q}{0,8.(V_H-V_L)}$$

- La deuxième période ( $t_{22}$ ) pendant laquelle la tension VB monte de  $n.k.T/q$ .

Nous introduisons les équations des courants (figure IV.3):

$$I_G = I_C + I_R - I_{CM}$$

$I_G$  est le courant de générateur qui est fixé par la valeur de la résistance (R). Le choix de la valeur de  $I_G$  donne un degré de liberté.

$I_C$  est le courant qui traverse le transistor (collecteur émetteur) de la matrice.

$$I_C = \beta \cdot \frac{V_H - V_B}{r_b}$$

$I_R$  est le courant qui traverse le transistor de référence.

$$I_R = \beta \cdot \frac{V_R - V_B}{r_b}$$

ICM est le courant dans la capacité CM. Cette capacité représente la capacité d'un montage.

$$ICM = CM \cdot \frac{d(VB)}{dt}$$

Après avoir remplacé les courants par leur valeurs dans l'égalité des courants, nous allons intégrer VB entre les deux valeurs:

$$VR - VBE \quad \text{et} \quad VR - VBE + n.k.T/q.$$

On obtient l'expression du temps (t22) après quelques simplifications:

$$t_{22} = \frac{n.k.T}{q} \cdot \frac{r_b \cdot CM}{\beta \cdot (V_H - V_R)}$$

- La troisième période (t23) pendant laquelle la tension VS au point C passe du niveau logique 0 à 1. Avec une capacité de sortie Cs:

Alors

$$t_{23} = 2,3 \cdot R_1 \cdot C_s \cdot \frac{V_H - V_R}{0,8 \cdot (V_H - V_L)}$$

Enfin on donne comme valeur du temps de montée (TM) dans la matrice, la somme des retards suivants:

$$TM = t1 + t21 + t22 + t23.$$

c- Exemple d'application

Pour une technologie donnée:

- NPN : modèle du transistor.
- IS = 1E-16 : courant de saturation.
- BF = 50 : gain idéal en courant direct.
- BR = 1 : gain idéal en courant inverse.
- RB=100 ohm : résistance ohmique de la base.
- RC = 20 ohm : résistance ohmique du collecteur.
- RE = 1 ohm : résistance ohmique de l'émetteur.
- CJE = 1E-14 F : capacité de la jonction B-E à V=0.
- CJC = 2E-14 F : capacité de la jonction B-C à V=0.
- CJS = 3E-14 F : capacité collecteur-substrat.
- TF=10PS : temps de transit en direct.
- TR=10NS : temps de transit en inverse.

Nous avons simulé (avec SPICE2) le schéma électrique de la figure 4. Nous obtenons un écart maximal de 20% par rapport aux résultats calculés par la méthode proposée.

Le tableau 1 montre ces résultats en fonction des variations des paramètres électriques. TM est le temps de montée en sortie (S1). tM1 correspond au transistor bloqué. tM2 correspond au transistor en fonctionnement.

Nous remarquons qu'il y a plusieurs degrés de liberté

pour réaliser un PLA particulier, qui sont (VL, VH, VR, IG).

Ceci permet à l'utilisateur de choisir le mode de fonctionnement du PLA, du point de vue puissance consommée (IG) et fiabilité logique (VL, VH, VR) pour un temps de réponse déterminé.

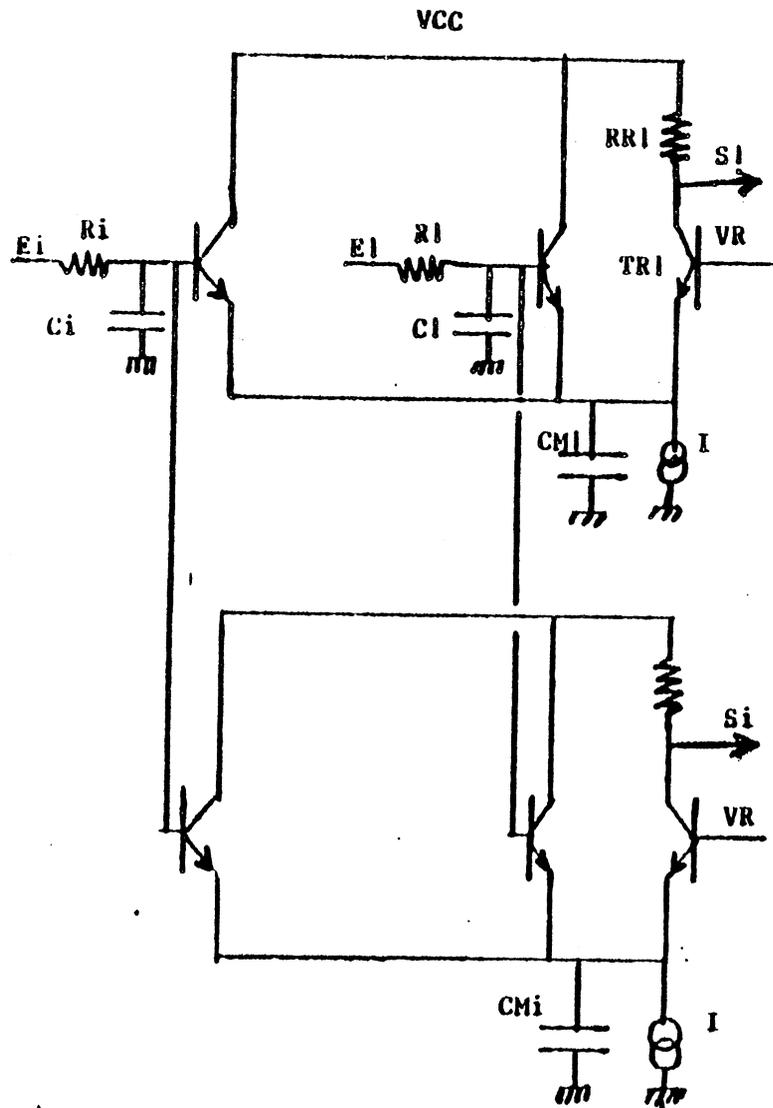


Figure IV.4- SCHEMA DE SIMULATION D'UNE MATRICE BIPOLAIRE



#### IV.3.2- Le temps de descente

Le temps de descente se décompose en deux étapes:

Première étape qui correspond au temps (td1) pour décharger la ligne d'entrée de la matrice entre les deux niveaux de tension haut (Vh) et de référence (VR).

La capacité (CI) se décharge à travers la résistance (RI):

$$td1 = 2,3 \cdot RI \cdot CI \cdot \frac{VH-VR}{0,8 \cdot (VH-VL)}$$

Deuxième étape qui correspond au temps (td2) pour décharger la ligne métallique d'une différence de tension (deltaV); cette ligne connecte les émetteurs entre eux.

La capacité CM se décharge à travers du générateur de courant (IG):

$$td2 = CM \cdot \frac{\text{delataV}}{IG}$$

deltaV est de l'ordre de 10.KT/q.

#### IV.3.3- Temps de propagation dans le PLA

Après avoir introduit les formules de calcul du temps de montée et de descente de chaque étage différentiel dans les deux matrices, en vue d'estimer le temps de propagation du PLA bipolaire, une stratégie de calcul en dix étapes va être présentée:

a- Première étape, calcul du retard de chaque entrée de la matrice ET.

Il s'agit d'un retard de type R.C (résistance et capacité de chaque ligne d'entrée).

b- Deuxième étape, détermination de l'entrée la plus lente connectée à chaque monôme.

c- Troisième étape, calcul du temps de montée ( $t_{met}$ ) de chaque étage différentiel (monôme) de la matrice ET (première matrice) en tenant compte de l'entrée la plus lente.

d- Quatrième étape, détermination du monôme le plus lent connecté à chaque sortie de la matrice OU (deuxième matrice).

e- Cinquième étape, calcul du temps de décharge de chaque sortie de la matrice OU ( $t_{dou}$ ) en tenant compte du monôme le plus lent.

A partir de ces cinq étapes on obtient le retard de chaque sortie ( $t_s$ ):

VR

$$t_s = t_{met} \cdot \frac{VR}{VH - VL} + t_{dou}$$

VH - VL

f- Sixième étape, une première approximation du temps de propagation du PLA (tpla) sera donnée par le maximum de ts parmi toutes les sorties.

$$tpla1 = \max (ts).$$

g- Septième étape, calcul du temps de décharge de la première matrice (tdet) en tenant compte de l'entrée la plus lente.

h- Huitième étape, calcul du temps de montée (tmou) de chaque sortie de la matrice OU en tenant compte du monôme le plus lent.

A partir de ces deux derniers on obtient le retard de chaque sortie (ts):

$$ts = tdet + tmou$$

i- Neuvième étape, nous prenons le maximum de ts parmi toutes les sorties comme deuxième approximation du temps de propagation (tpla2).

$$tpla2 = \max (ts)$$

j- Dernière étape, le temps de propagation du PLA (tpla) est le retard le plus long qui correspond à la sortie la plus lente.

Donc le temps de propagation du PLA (tpla) est le maximum de tpla1 et tpla2:

$$tpla = \max (tpla1, tpla2).$$

#### IV.4- Améliorations possibles

Le calcul du temps de propagation des PLA bipolaires est plus difficile que celui des PLA MOS et moins précis.

Il serait possible d'améliorer cette méthode tout en préservant plusieurs degrés de liberté pour la réalisation d'un PLA particulier.

Cette méthode consiste à utiliser un simulateur électrique comme SPICE ou autre pour affiner le résultat.

Cette démarche serait:

A partir d'une technologie donnée et de l'organisation d'un PLA particulier, on détermine le chemin le plus long. A partir de quel, il faut extraire le schéma électrique correspondant à ce chemin. Ce schéma est ensuite simulable par un simulateur pour affiner la valeur du temps de propagation du PLA.

## V- Conclusion

Le présent travail représente le développement d'un outil de conception électrique des PLA utilisés dans les circuits intégrés complexes des différentes technologies (NMOS, CMOS, BIPOLAIRE, ...).

Cet outil, d'évaluations électrique et temporelle, est basé sur la recherche d'un chemin critique dans un PLA.

Les étapes successives nécessaires à cette recherche sont les suivantes:

- Pour une technologie donnée, nous étudions les portes logiques qui peuvent être réalisées.
- A partir des règles de dessin, nous étudions les caractéristiques électriques et topologiques d'un point de PLA.
- A partir de la spécification d'un PLA particulier (son contenu), nous étudions des paramètres globaux (capacité, résistance de ligne, etc ...).
- Nous cherchons ensuite le chemin critique dans le PLA pour donner un schéma électrique équivalent. Ce chemin critique est celui qui correspond au plus long temps de propagation.
- Nous devons alors fixer les paramètres qui déterminent les degrés de liberté pour une technologie donnée.

Ces paramètres sont en technologie NMOS:

- a-  $t_{pla}$  : le temps de propagation du PLA.
- b-  $n$  : le nombre de monômes entre deux rappels de masse.
- c-  $k$  : le facteur de sécurité du niveau logique bas.
- d-  $\gamma_{mac}$  : le rapport des dimensions de canal du transistor de charge ( $z_c/l_c$ ).

Ces paramètres sont en technologie CMOS:

- a-  $t_{pla}$  : le temps de propagation du PLA.
- b-  $\gamma_{mac}$  : le rapport des dimensions de canal ( $z_c/l_c$ ) du transistor P ( $T_{p1}$ ).
- c-  $\gamma_{mass}$  : le rapport des dimensions de canal ( $z_{ss}/l_{ss}$ ) du transistor de couplage à la masse ( $T_{nc}$ ).
- d-  $n$  : le nombre de monômes entre deux transistors de couplage à la masse ( $T_{nc}$ ).

Ces paramètres sont en technologie bipolaire:

- a-  $t_{pla}$  : le temps de propagation du PLA.
- b-  $I_G$  : le courant du générateur de l'étage différentiel.
- c-  $V_R$  : la tension de référence.
- d-  $V_H$  : le niveau logique haut.
- e-  $V_L$  : le niveau logique bas.

Le concepteur a ainsi plusieurs degrés de liberté pour réaliser un PLA particulier.

Ces possibilités peuvent être assimilées à partir des abaques générés.

Cette méthode est caractérisée par une interaction entre le concepteur et la méthode d'évaluation qui permet à l'utilisateur d'exprimer ses choix pour réaliser un PLA.

L'utilisateur peut ainsi choisir un compromis entre:

- le temps de propagation
- la surface
- la fiabilité des niveaux logiques
- la consommation.

Cet outil est un prototype. Des résultats sont dès à présent disponibles pour les PLA NMOS, CMOS et BIP-ECL. Il ne traite que des PLA à matrices de transistors parallèles (portes NOR en NMOS, NOR ( $T_n$ ) et NAND ( $T_p$ ) en CMOS, OR en BIPOLAIRE).

Pour en faire un outil plus complet, il faudrait étudier les PLA dans d'autres technologies.

Il serait alors nécessaire d'ajouter l'étude des PLA à matrices de transistors série et série-parallèle.

L'étude des PLA facilement testables ou autotestables serait aussi un sujet très appréciable pour compléter cet outil.

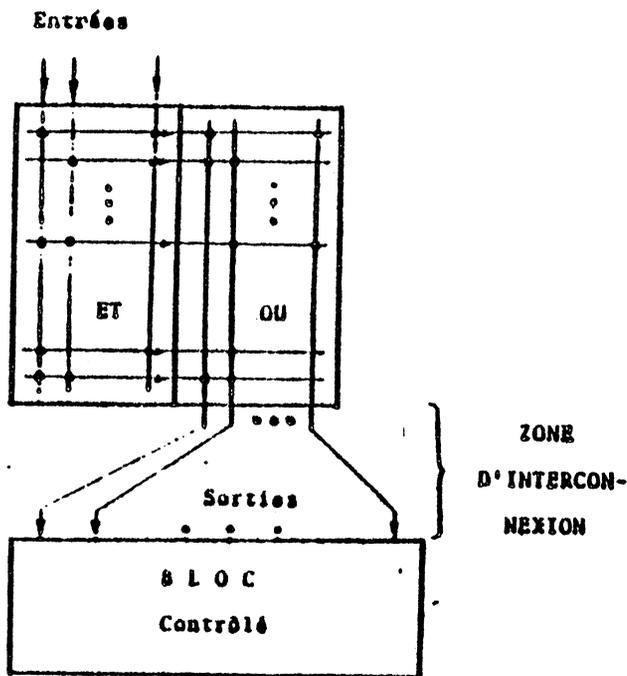
## VI.1- ANNEXE 1

Le système "PAOLA", qui a été développé à l'IMAG par l'Equipe de Recherche en Architecture d'ordinateurs, est destiné à l'optimisation topologique et à la génération automatique du dessin des masques des PLA complexes, qui sont utilisés comme décodeurs ou encodeurs dans les systèmes VLSI.

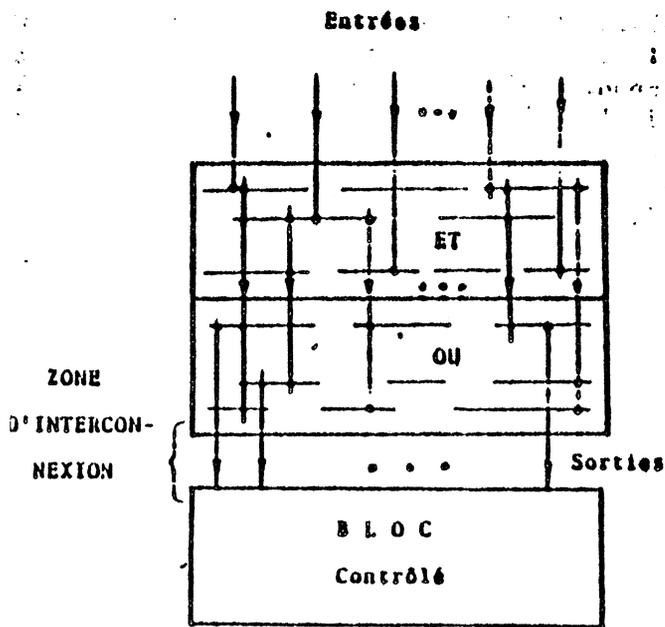
Les techniques d'optimisation topologique utilisées sont heuristiques. Elles permettent le compactage des matrices ET(OU) par brisure des lignes d'entrée (sortie) en segments, de manière à pouvoir les réorganiser sur un nombre réduit de niveaux.

Cette technique d'optimisation permet de modifier la forme d'un PLA en l'allongeant, ce qui facilite sa connexion directe avec d'autres blocs. Lors du dessin des masques des PLA optimisés, la présence des conflits topologiques et des emplacements des rappels de masse est mise à profit pour faciliter l'accès aux segments internes.

Ce système a été testé sur plusieurs exemples industriels. Les résultats ont montré une réduction de surface atteignant 50 % dans des matrices OU ayant de 3000 à 5000 points avec des temps de traitement de 4 à 5 minutes sur un ordinateurs HB-68 sous MULTICS.



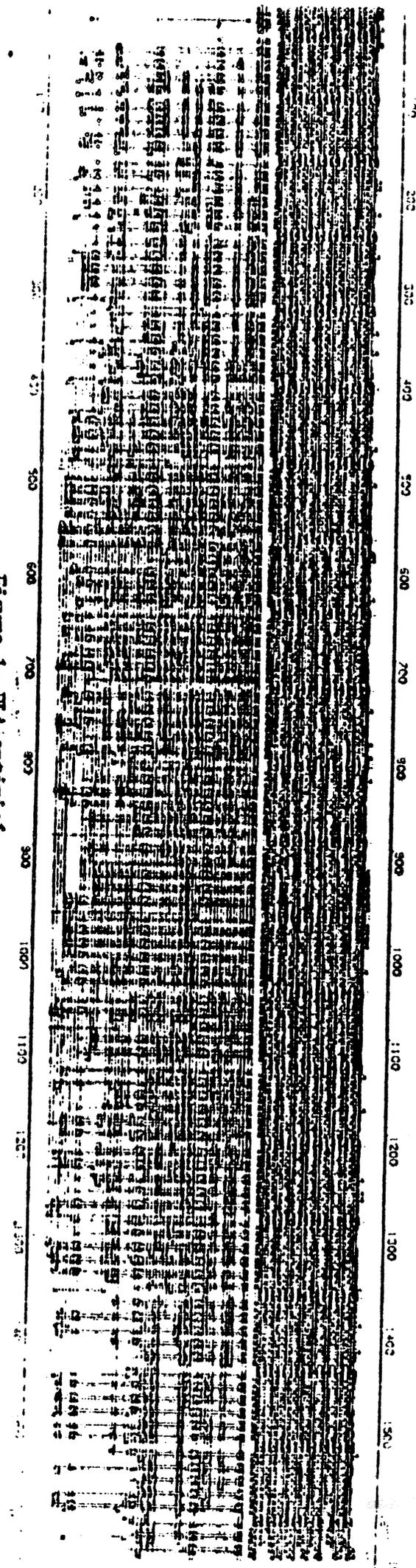
a. Connexion Classique d'un PLA non optimisé.



b. Connexion Directe d'un PLA optimisé topologiquement.

Figure 1. CONNEXION D'UN PLA ET UN BLOC.

Figure 1- PLA optimisé



	ET				OU		
(1)	0	0	0	4	1	0	0
(2)	0	2	0	0	0	2	0
(3)	1	0	3	0	1	2	0
(4)	0	2	0	4	1	0	0
(5)	1	2	0	4	0	2	0
(6)	1	2	0	0	0	0	3
(7)	1	0	3	4	0	2	3
(8)	1	0	0	4	1	0	3
(9)	0	2	3	0	1	2	3
	E1	E2	E3	E4	S1	S2	S3

FIG. 3.  
Représentation Entière

	ET				OU		
(1)	0	0	0	4	1	0	0
(4)	0	2	0	4	1	0	0
(3)	1	0	3	0	1	2	0
(2)	0	2	0	0	0	2	0
(5)	1	2	0	4	0	2	0
(8)	1	0	0	4	1	0	3
(9)	0	2	3	0	1	2	3
(7)	1	0	3	4	0	2	3
(6)	1	2	0	0	0	0	3
	E1	E2	E3	E4	S1	S2	S3

FIG. 4.  
PLA après réordonnement des monômes.

	ET				OU		
(1)	0	0	0	4	1	0	0
(4)	0	2	0	4	1	0	0
(8)	1	0	0	4	1	0	0
(3)	1	0	3	0	1	2	0
(9)	0	2	3	0	1	2	0
(2)	0	2	0	0	0	2	0
(5)	1	2	0	4	0	2	0
(7)	1	0	3	4	0	2	3
(8)	1	0	0	4	0	0	3
(9)	0	2	3	0	0	0	3
(6)	1	2	0	0	0	0	3
	E1	E2	E3	E4	S1	S2	S3

FIG. 5.  
PLA après duplication des monômes 8 et 9.

	ET				OU		
(1)	0	0	0	4	1	0	
(4)	0	2	0	4	1	0	
(8)	1	0	0	4	1	0	
(3)	1	0	3	0	1	2	
(9)	0	2	3	0	1	2	
(2)	0	2	0	0	0	2	
(5)	1	2	0	4	0	2	
(7)	1	0	3	4	3	2	
(8)	1	0	0	4	3	0	
(9)	0	2	3	0	3	0	
(6)	1	2	0	0	3	0	
	E1	E2	E3	E4	H1	H2	

FIG. 6.  
PLA après compactage de la matrice OU.

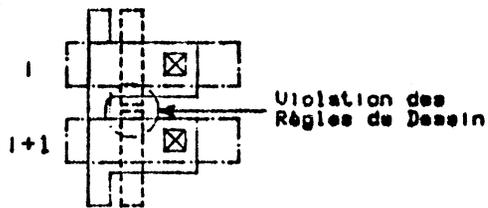


FIG. 7 a.  
Un "Conflit Topologique" dans la matrice ET.

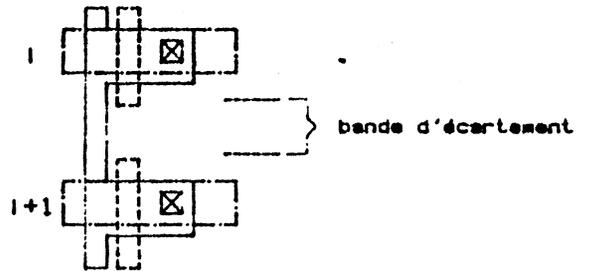


FIG. 7 b.  
Élimination du CONFLIT par placement d'une bande d'écartement.

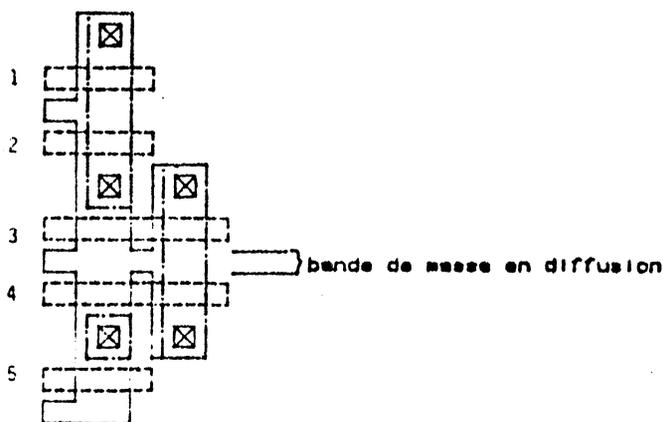


FIG. 8 a.  
Élimination d'un "Conflit" par placement d'une bande de masse.

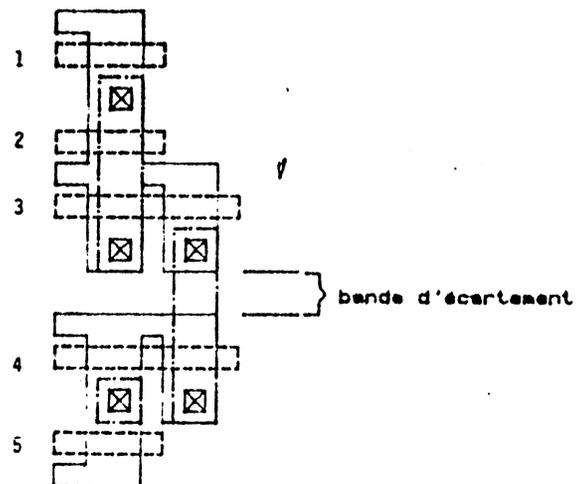


FIG. 8 b.  
Élimination d'un "Conflit" par placement d'une bande d'écartement.

VI.2- ANNEXE 2

Nous allons montrer sur un exemple simplifié une comparaison des résultats numériques avec ceux qui sont obtenues par simulation (MSINC), du temps de propagation dans un PLA NMOS statique.

La figure 1 montre un schéma électrique équivalent d'un chemin critique du PLA.

Nous allons voir que le temps de propagation par simulation (qui correspond à un front montant à la sortie) est de l'ordre de 32 nano-secondes. Alors que par calcul on obtient un temps de 36 nano-secondes (soit 12% d'écart).

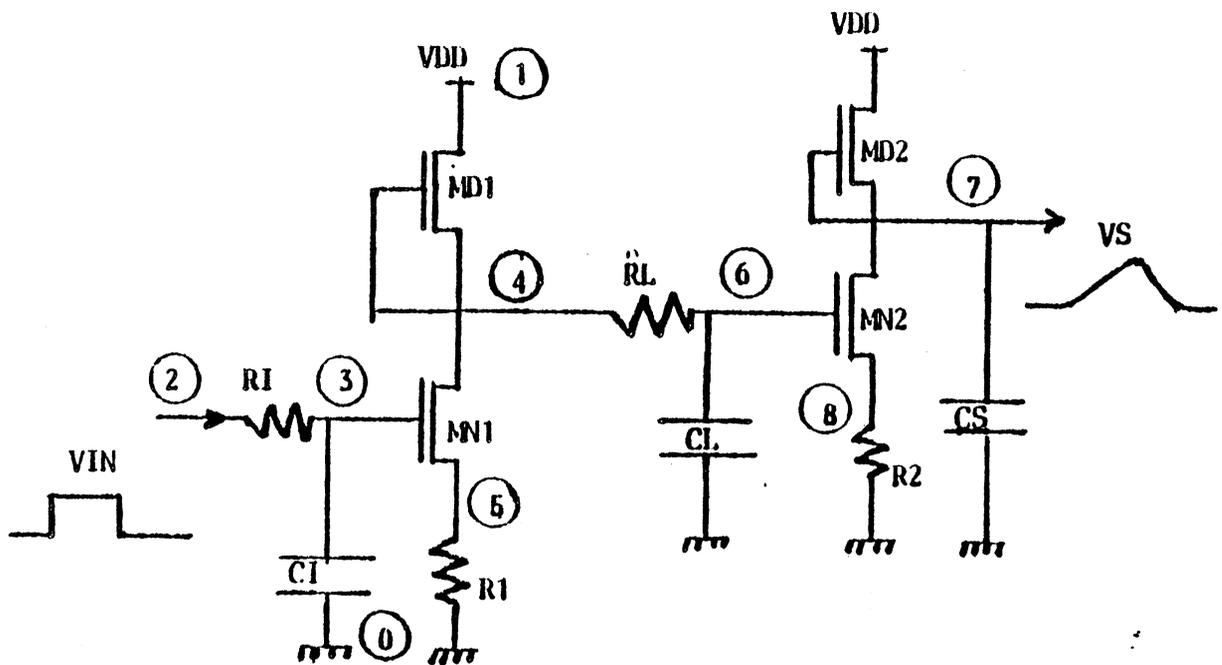


Figure 1- Schéma électrique équivalent d'un chemin critique du PLA NMOS.

Nous allons donner le résultat du calcul du chemin critique dans la technologie suivante:

vcc = 5 volts : tension d'alimentation.

vtc = -1.4 volts : tension de seuil des transistors déplétés.

vts = 0.6 volts : tension de seuil des transistors enrichis.

betas = 0.2 : coefficient d'effet de substrat linéarisé.

betac = 0.2.

cox = 5.5E-8 F/cm<sup>2</sup>

mun=mup=mu = 800 cm<sup>2</sup>/v.s : mobilités

ks = kc = 2.2E-5 = mu.cox/2 F/cm<sup>2</sup>.

Pour

n = 10 : nombre de monômes entre deux rappels de masse.

k = 4 : facteur de sécurité du niveau logique bas.

gamas = 2.5.

On obtient:

rd1 = 1000 ohm : résistance de la ligne de diffusion pour n=10.

gamac = 1.

ci = 0.4E-3 nF : capacité de la ligne d'entrée (matrice ET).

ri = 1500 ohm : résistance de la ligne d'entrée (matrice ET).

cl = 0.2E-3 nF : capacité de la ligne d'entrée (matrice OU).

rl = 500 ohm : résistance de la ligne d'entrée (matrice OU).

cs = 0.1E-3 nF : capacité de sortie.

A partir de ces valeurs numériques nous pouvons calculer le temps de propagation:

$t_{eet} = r_i * c_i = 0.6 \text{ ns}$  : retard de la ligne d'entrée.

$t_{tr} = v_{ts}/v_{cc} * t_{eet} = 0.07 \text{ ns}$  : temps de transit.

$t_d = \exp(1/3 * \ln((3 * (\beta_{as} + 1) * c_i * t_{eet} * t_{eet}) / (k_s * \gamma_{mas} * v_{cc}))) = 1 \text{ ns}$  : temps de descente dans la matrice ET.

$t_l = c_l * r_l = 0.1 \text{ ns}$  : retard de la ligne d'entrée de la matrice OU.

$t_1 = c_s * (\beta_{ac} + 1) * (1 + v_{cc}/v_{tc})$ .

$t_2 = -0.5 * \ln(-1 - 18 * \beta_{ac} - 20 * v_{tc}/v_{cc})$ .

$t_3 = \gamma_{mac} * k_c * (v_{tc} + \beta_{ac} * v_{cc})$ .

$t_m = (t_1 + t_2) / t_3 = 35 \text{ ns}$  : temps de montée dans la matrice OU.

Nous obtenons donc le temps de propagation  $t_{pla}$ :

$t_p = t_{tr} + t_d + t_l + t_m = 36 \text{ ns}$ .

Alors par simulation on obtient le résultat suivant:

x

- M S I N C - VER. 04.00

```
*****
*Modele T.NMOS.ENR
*****
MODEL ENRN NMO VTO=.6 UB=800,1,.03,0,3.5E4 TOX=630
+   DN3=0.94E15 CJUN=10E-4 XW=.5 XJ=1 X4=1 GDS=2
*****
*Modele T.NMOS.DEPL
*****
MODEL DEPLN NMO VTO=-1.4 UB=800,1,.03,0,3.5E4 TOX=630
+   DN3=0.94E15 CJUN=10E-4 XW=.5 XJ=1 X4=1 GDS=2
*****
ND1 1 4 4 0 DEPLN 6 6 0 0 60 60
NM1 4 3 5 0 ENRN 15 6 0 0 60 0

ND2 1 7 7 0 DEPLN 6 6 0 0 60 60
NM2 7 6 3 0 ENRN 15 6 0 0 60 0

CI 3 0 0.4
CL 6 0 0.2
CS 7 0 0.1

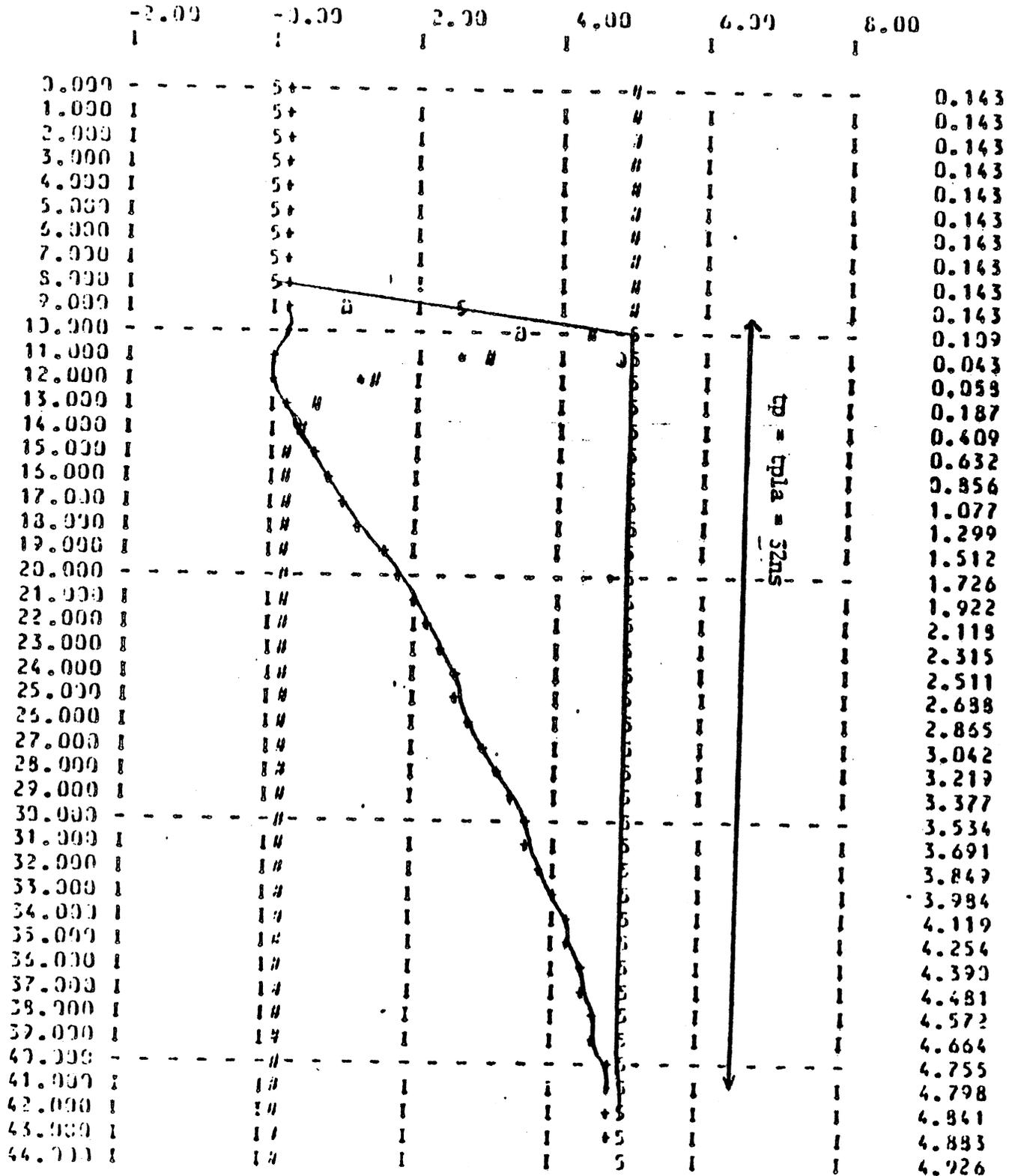
RI 2 3 1.5
RL 4 6 0.5
R1 5 0 1
R2 6 0 1
VDD 1 0 5

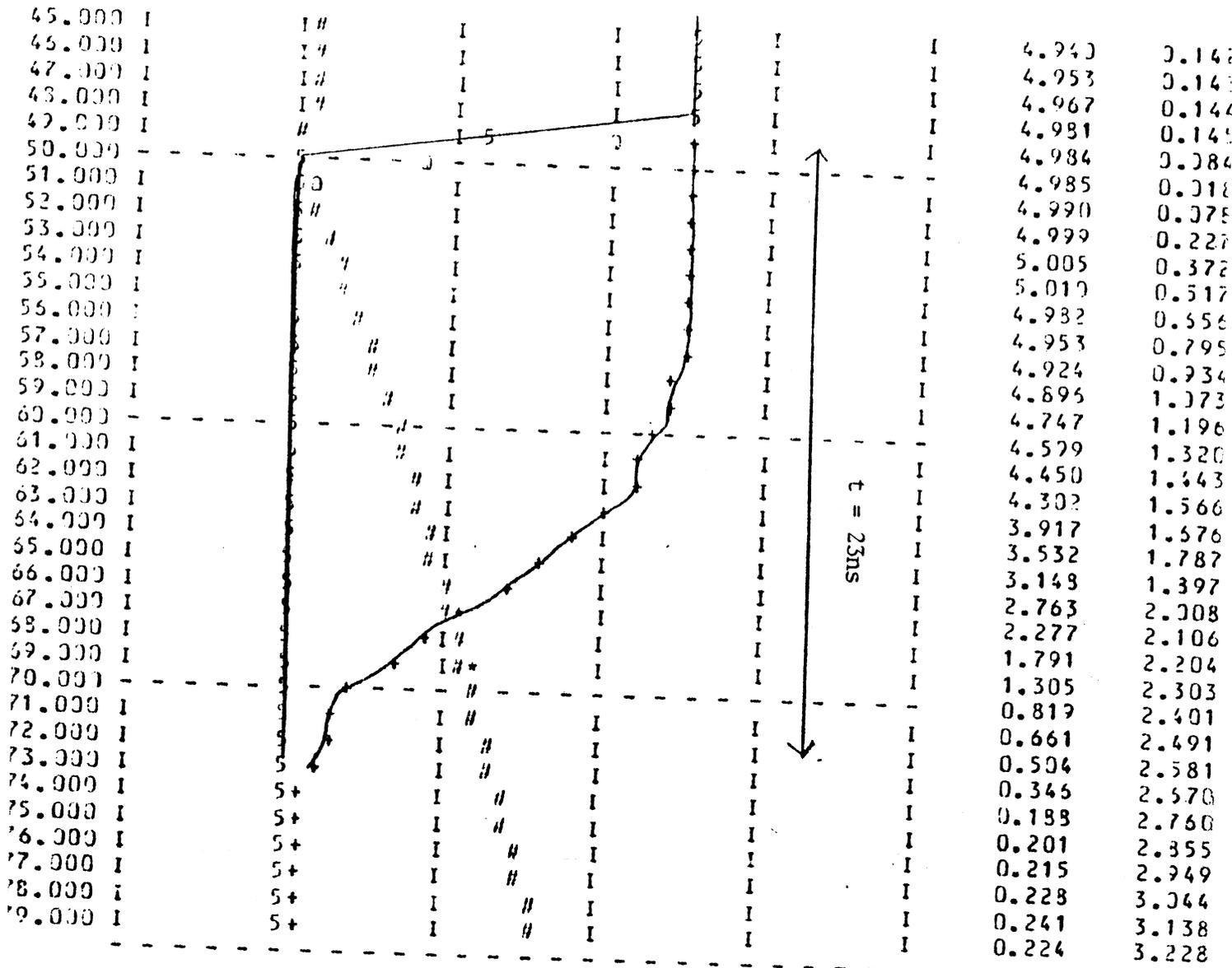
VIN 2 0 0 0V 0 2V 5 10V 5 48V 0 50V 0 80V
TIME 1N 80N
PLOT 7 4 6 3 2
OPT NP
START 2 0 3 0 4 5 7 0
END.
```

- 4 5 1 8 0 - 500. 04.00

+ : 7 0  
 \* : 4 3  
 H : 6 0  
 2 : 3 0  
 5 : 2 0

TIME IN MICRO-SECONDS





VI.3- ANNEXE 3

Nous allons montrer les résultats concernant le temps de réponse d'un inverseur CMOS (figure 1, au point B), par calcul et par simulation (MSINC) pour la technologie suivante:

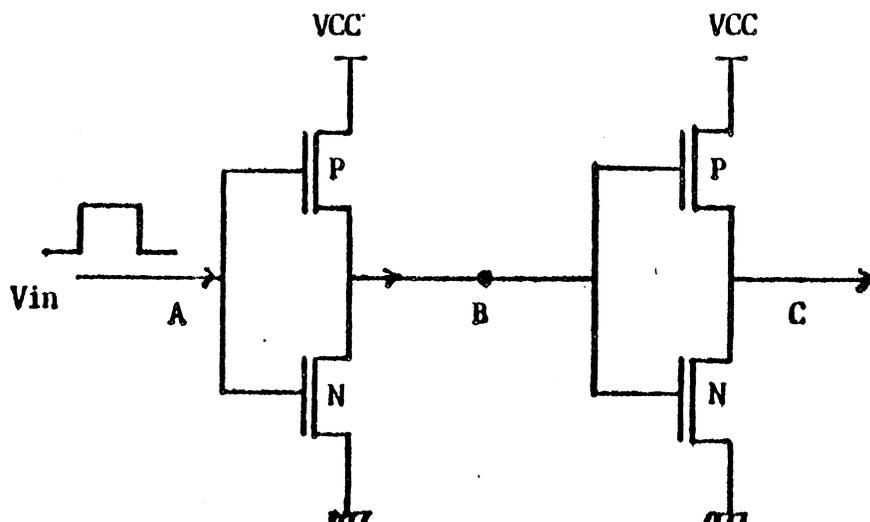


Figure 1- Deux portes CMOS identiques.

$\mu_{n} = 600 \text{ cm}^2/\text{v.s}$  : mobilité du transistor enrichi (canal N).

$\mu_{p} = 200 \text{ cm}^2/\text{v.s}$  : mobilité du transistor enrichi (canal P).

$v_{cc} = 5 \text{ volts}$  : tension d'alimentation.

$v_{tc} = 0.75 \text{ volts}$  : tension de seuil du transistor P-canal.

$v_{ts} = 0.75 \text{ volts}$  : tension de seuil du transistor N-canal.

$\beta_{tas} = \beta_{tac} = 0$  : coefficient d'effet de substrat linéarisé.

$t_{\theta} = 0.03$  : constant pour calculer la mobilité.

$x_n = 0.3 \text{ mic.}$

$x_w = 0.5 \text{ mic.}$

$x_{jn} = 0.45 \text{ mic.}$

$x_{jp} = 0.8 \text{ mic.}$

$c_{ox} = 7.7E-4 \text{ pF/mic}^2$  : capacité d'oxyde mince.

$c_{junn} = 2.5E-4 \text{ pF/mic}^2$  : capacité de la jonction (canal N).

$c_{junp} = 1.7E-4 \text{ pF/mic}^2$  : capacité de la jonction (canal P).

$z_s, l_s, g_{amas}$  : dimensions des transistors (canal N ( $T_n$ )).

$z_c, l_c, g_{amac}$  : dimensions des transistors (canal P ( $T_p$ )).

$s_d = 60 \text{ mic}^2$  : surface de la jonction drain (source).

$c_{ch} = 0.1E-3 \text{ nF}$  : capacité de charge à la sortie.

Les formules qui sont utilisées pour le calcul du temps de reponse sont:

$c_{gc} = c_{ox} * z_c * l_c$  : capacité de grille du  $T_p$ .

$c_{gs} = c_{ox} * z_s * l_s$  : capacité de grille du  $T_n$ .

$c_{js} = c_{junn} * (s_d + 2 * (z_s + 10) * x_{jn})$  : capacité de la jonction du  $T_n$ .

$c_{jc} = c_{junp} * (s_d + 2 * (z_c + 10) * x_{jp})$  : capacité de la jonction du  $T_p$ .

$c_m = c_{js} + c_{jc} + 5/3 * c_{gs} + 3/2 * c_{gc} + c_{ch}$  : capacité de sortie pendant le temps de montée.

$c_d = c_{js} + c_{jc} + 5/3 * c_{gc} + 3/2 * c_{gs} + c_{ch}$  : capacité de sortie pendant le temps de descente.

$$t_m = c_m / (\mu_{np} / (1 + \beta_{ac}) * (v_{cc} - v_{tc})) * c_{ox} * \gamma_{ac} * (v_{cc} - v_{tc}) * \\ ( 2 * (\beta_{ac} + 1) * (v_{tc} - 0.1 * v_{cc}) / (v_{cc} - v_{tc}) + \\ \ln((9 - \beta_{ac}) * v_{cc} - 10 * v_{tc}) / ((1 - \beta_{ac}) * v_{cc}) ) .$$

temps de montée de l'inverseur CMOS.

$$t_d = c_d / (\mu_{np} / (1 + \beta_{ac}) * (v_{cc} - v_{ts})) * c_{ox} * \gamma_{ac} * (v_{cc} - v_{ts}) * \\ ( 2 * (\beta_{ac} + 1) * (v_{ts} - 0.1 * v_{cc}) / (v_{cc} - v_{ts}) + \\ \ln((9 - \beta_{ac}) * v_{cc} - 10 * v_{ts}) / ((1 - \beta_{ac}) * v_{cc}) ) .$$

temps de descente de l'inverseur CMOS.

Pour différentes valeurs des dimensions des transistors ( $T_n$ ,  $T_p$ ), le tableau 1 montre les résultats numériques du temps de réponse, d'un inverseur CMOS (entre deux inverseurs), par calcul et par simulation.

=====											
I			SIMULATION				CALCUL				I
=====											
I	I	I	II	I	I	II	I	II	I	I	
I zs	I ls	I gamas	II zc	I lc	I gamac	II tm	I td	II tm	I td	I	
Imic	Imic	I	IImic	Imic	I	II ns	I ns	II ns	I ns	I	
I====	I====	I=====	II====	I====	I=====	II====	I====	II====	I====	I====	
I	I	I	II	I	I	II	I	II	I	I	
I 12	I 6	I 2	II 12	I 6	I 2	II 9	I 3.5	II 11	I 3.5	I	
I====	I====	I=====	II====	I====	I=====	II====	I====	II====	I====	I====	
I	I	I	II	I	I	II	I	II	I	I	
I 9	I 6	I 1.5	II 9	I 6	I 1.5	II 11	I 4	II 12	I 4	I	
I====	I====	I=====	II====	I====	I=====	II====	I====	II====	I====	I====	
I	I	I	II	I	I	II	I	II	I	I	
I 6	I 6	I 1	II 6	I 6	I 1	II 14	I 5	II 15	I 5	I	
I====	I====	I=====	II====	I====	I=====	II====	I====	II====	I====	I====	
I	I	I	II	I	I	II	I	II	I	I	
I 9	I 9	I 1	II 9	I 9	I 1	II 20	I 7	II 23	I 9	I	
I====	I====	I=====	II====	I====	I=====	II====	I====	II====	I====	I====	
I	I	I	II	I	I	II	I	II	I	I	
I 12	I 12	I 1	II 12	I 12	I 1	II 26	I 8	II 34	I 12	I	
I====	I====	I=====	II====	I====	I=====	II====	I====	II====	I====	I====	
I	I	I	II	I	I	II	I	II	I	I	
I 6	I 9	I 2/3	II 6	I 9	I 2/3	II 23	I 8	II 28	I 9	I	
=====											

Tableau 1

REFERENCES

- [ADR] G.P.MAK, J.A.ABRAHAM and E.S.DAVIDSON, "The Design of PLAs with Concurrent Error Detection", 12th International Symp. of Fault-Tolerant computing, Mramar Sheraton Hotel, Santa Monica, California, June 22/24, 1982.
- [ANC] F.ANCEAU and R.REIS, "Complex integrated circuit design strategy", IEEE Journal of Solid State Circuits, Vol.SC.17,n.3, pp.459/464, June 1982.
- [AUG] M.AUGUIN, "Conception des Systèmes de Commande à l'aide des Réseaux Logiques Programmables", Thèse de 3ème Cycle, Université de NICE, 17-NOV. 1978.
- [BAR] A. BARNA, "Analytic Approximations for Propagation Delays in Current Mode Switching Circuits Including Collector-Base Capacitances", IEEE Journal of Solid State Circuits, Vol.SC.16, n.5, Oct 81.
- [BO1] J.BONNET, "Calcul des temps de propagation dans les PLAs", Rapport de DEA, ENSIMAG, 09-1981.
- [BO2] J.BONNET et P.TANT, "Les PLAs NMOS statiques", Rapport d'Ingenieur, ENSERG, 06-1981.
- [BRY] R.BRYANT, "Very Large Scale Integration", Cumputer Science Press, 1983, p66.
- [CHO] CHONG MING LIN, "A 4 microm NMOS NAND Structure PLA", IEEE Journal of Solid-State, Vol.SC-16, No.2, April 1981.
- [CH1] S.CHUQUILLANQUI and T.PEREZ SEGOVIA, "PAOLA: a tool for topological optimization of large PLAs", 19th Design Automation conference, Las Vegas, USA, 14/16 June 1982.
- [CH2] S.CHUQUILLANQUI and T.PEREZ SEGOVIA, "PAOLA: un système CAO pour l'optimisation topodogique et le dessin automatique des masques de PLA complexe", AFCET, Lille, 17/19 nov. 1982.
- [CH3] S.CHUQUILLANQUI, "Internal connection problem in large optimized PLAs", IEEE-ACM, 20th Design Automation Conference, MIAMI, June 27-29 1983.
- [FLE] H.FLEISHER and L.I.MAISEL, "An Introduction to Array Logic", IBM J.Res.and Dev., Vol.19, No.2, Mars 1975.
- [CON] N.F. GONCALAVES and H. DEMAN, "NP-CMOS: Racefree-Dynamic CMOS Technique for Pipelined logic structures.", ESSIRC Digest of Technical Papers, pp. 141-144, September 1982.

- [GRO] GROVE, "Physics and technology of Semiconductor devices", John Weley 1967.
- [JON] J.W.JONES, "Array Logic Macros", IBM J.RES. and Dev., Vol.19, No.2, Mars 1975.
- [KRA] R.H KRAMBECK, CHARLES M.LEE and HUNG-FAI STEPHEN LAW, "High-Speed Compact Circuit with CMOS", IEEE Journal of Solid-State Circuits, Vol.SC17, No 3, June 1982, p. 614.
- [LOH] J. LOHSTRON, and R.M. PLUTA, "Propagation Delay Times of ISL and STL", IEEE Journal of Solid State Circuits, Vol.SC17, n4, AUG 82.
- [LYO] R.LYON-CAEN, "Transistor MOS", MASSON, PARIS, 1978.
- [MEA] C.MEAD and L.CONWAY, "Introduction to VLSI Systems.", Reading, MA: Addison-Wesley, 1980.
- [MRA] N. M'RABET, "Conception Electrique des Circuits Intégrés Bipolaires en Logique non Saturée", Thèse de 3ème cycle. Paris 6. Déc 82.
- [OST] D.L.OSTAPKO and S.J.HONG, "Fault Analysis and Test Generation for Programmable Logic Arrays", IEEE Trans. Computers, Vol.C-28, no.9, Sept. 1979, pp. 617/627.
- [PRI] W.D. PRITCHARD, "A C-MOS PLA Generator", ESSIRC Digest of Technical Papers, pp. 94-97, September 1982.
- [RIC] Paul RICHMAN, "MOS Field-Effect Transistors and Integrated circuits", John Wiley 1973.
- [WAN] S.L.WANG and A.AVIZIENIS, "The Design of Totally Self-Checking Circuits Using Programmable Logic Arrays", 9th International Symp. of Fault-Tolerant computing, Madison, Wisconsin, June 1979, pp. 173/180.
- [WIL] A.WILNAI and S.CORP, "Open-Ended RC Ligne Model Predicts MOSFET IC Response", EDN/EEE December 15, 1971.

## AUTORISATION DE SOUTENANCE

VU les dispositions de l'article 3 de l'arrêté du 16 avril 1974,

VU le rapport de présentation de Monsieur F. ANCEAU, Professeur

**Monsieur DANDACHE Abbas**

est autorisé à présenter une thèse en soutenance pour l'obtention du titre de DOCTEUR de TROISIEME CYCLE, spécialité "Informatique", Option "Microélectronique".

Fait à Grenoble, le 03 novembre 1983

Le Président de l'INP-G

**D. BLOCH**

Président

de l'Institut National Polytechnique  
de Grenoble

P.O. le Vice-Président.



