



**HAL**  
open science

# Modélisation de pannes et méthodes de test de circuits intégrés CMOS

Daniel Baschiera

► **To cite this version:**

Daniel Baschiera. Modélisation de pannes et méthodes de test de circuits intégrés CMOS. Modélisation et simulation. Institut National Polytechnique de Grenoble - INPG, 1986. Français. NNT: . tel-00320020

**HAL Id: tel-00320020**

**<https://theses.hal.science/tel-00320020>**

Submitted on 10 Sep 2008

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

# THESE

présentée par

**BASCHIERA Daniel**

pour obtenir le titre de **DOCTEUR**

de l'**INSTITUT NATIONAL POLYTECHNIQUE DE GRENOBLE**

*(arrêté ministériel du 5 Juillet 1984)*

(Spécialité : Informatique)

=====

## **MODELISATION DE PANNES ET METHODES DE TEST DE CIRCUITS INTEGRES CMOS**

=====

Date de soutenance : 6 mars 1986

Composition du Jury :	M. VEILLON Gérard	Président
	MM. COIRON Michel	
	COURTOIS Bernard	
	LANDRAULT Christian	Rapporteur
	LAPRIE Jean-Claude	Rapporteur



# INSTITUT NATIONAL POLYTECHNIQUE DE GRENOBLE

Président : Daniel BLOCH  
Vice-Présidents : B. BAUDELET  
H. CHERADAME  
R. CARRE  
J.M. PIERRARD

Année universitaire 1984-1985

## Professeurs des Universités

### E.N.S.E.E.G.

BESSON	Jean	LOUCHET	François
BONNETAIN	Lucien	PARIAUD	Jean-Charles
BONNIER	Etienne	RAMEAU	Jean-Jacques
DURAND	François	SOHM	Jean-Claude
GUYOT	Pierre	SOUQUET	Jean-Louis

### E.N.S.E.R.G.

BARIBAUD	Michel	GENTY	Pierre
BLIMAN	Samuel	GUERIN	Bernard
BUYLE BODIN	Maurice	POUPOT	Christian
CHENEVIER	Pierre	SERMET	Pierre
COHEN	Joseph	ZADWORNÝ	François
COUMES	André		

### E.N.S.I.E.G.

BARRAUD	Alain	JOUBERT	Jean-Claude
BAUDELET	Bernard	JOURDAIN	Geneviève
BLOCH	Daniel	LACOUME	Jean-Louis
BRISSONNEAU	Pierre	LONGEQUEUE	Jean-Pierre
CAVAIGNAC	Jean-François	MASSELOT	Christian
CHARTIER	Germain	MORET	Roger
CHERUY	Arlette	PAUTHENET	René
DURAND	Jean-Louis	PERRET	René
FELICI	Noël	PERRET	Robert
FOULARD	Claude	POLOUJADOFF	Michel
GAUBERT	Claude	SABONNADIÈRE	Jean-Claude
IVANES	Marcel	SCHLENKER	Claire
JALINIER	Jean-Michel	SCHLENKER	Michel
JAUSSAUD	Pierre		

### E.N.S.H.G.

BOIS	Philippe	LESPINARD	Georges
BOUVARD	Maurice	MOREAU	René
LESIEUR	Marcel	PIAU	Jean-Michel

E.N.S.I.M.A.G.

ANCEAU  
FONLUPT  
LATOMBE  
MAZARE

François  
Jean  
Jean-Claude  
Guy

MOSSIERE  
ROBERT  
SAUCIER  
VEILLON

Jacques  
François  
Gabrielle  
Gérard

U.E.R.M.C.P.P.

CHERADAME  
CHIAVERINA  
GANDINI

Hervé  
Jean  
Alessandro

RENAUD  
ROBERT  
SILVY

Maurice  
André  
Jacques

Professeurs Associés

BLACKWELDER  
HAYASHI  
PURDY

Ronald  
Hirashi  
Gary

ENSHG  
ENSIEG  
ENSEEG

Professeurs à l'Université des Sciences Sociales (Grenoble II)

BOLLIET  
CHATELIN

Louis  
Françoise

Chercheurs du C.N.R.S.

Directeurs de recherche :

CARRE  
FRUCHARD  
JORRAND  
VACHAUD

René  
Robert  
Philippe  
Georges

Maître de recherche :

ALLIBERT  
ANSARA  
ARMAND  
BINDER  
BORNARD  
DAVID  
DESPORTES  
DRIOLE  
GIGNOUX  
GIVORD  
GUELIN  
HOPFINGER

Michel  
Ibrahim  
Michel  
Gilbert  
Guy  
René  
Jacques  
Jean  
Damien  
Dominique  
Pierre  
Emile

JOUD  
KAMARINOS  
KLEITZ  
LANDAU  
LASJAUNIAS  
MERMET  
MUNIER  
PIAU  
PORTESEIL  
THOLENCE  
VERDILLON  
SUERY

Jean-Charles  
Georges  
Michel  
Ioan-Dore  
Jean-Claude  
Jean  
Jacques  
Monique  
Jean-Louis  
Jean-Louis  
André  
Michel

Personnalités habilitées à diriger des travaux de recherche  
(Décision du conseil scientifique)

E.N.S.E.E.G.

ALLIBERT	Colette	HAMMOU	Abdelkader
BERNARD	Claude	MALMEJAC	Yves (CENG)
BONNET	Roland	MARTIN GARIN	Régina
CAILLET	Marcel	NGUYEN TRUONG	Bernadette
CHATILLON	Catherine	RAVAINE	Denis
CHATILLON	Christian	SAINFORT	(CENG)
COULON	Michel	SARRAZIN	Pierre
DIARD	Jean-Paul	SIMON	Jean-Paul
EUSTATHOPOULOS	Nicolas	TOUZAIN	Philippe
FOSTER	Panayotis	URBAIN	Georges(ODEILLO)
GALERIE	Alain		

E.N.S.E.R.G.

BARIBAUD	Michel	DOLMAZON	Jean-Marc
BOREL	Joseph	HERAULT	Jeanny
CHOVET	Alain	MONLLOR	Christian
CHEHIKIAN	Alain		

E.N.S.I.E.G.

BORNARD	Guy	LEJEUNE	Gérard
DESCHIZEAUX	Pierre	MAZUER	Jean
GLANGEAUD	François	PERARD	Jacques
KOFMAN	Walter	REINISCH	Raymond

E.N.S.H.G.

ALEMANY	Antoine	OBLED	Charles
BOIS	Daniel	ROWE	Alain
DARVE	Félix	VAUCLIN	Michel
MICHEL	Jean-Marie	WACK	Bernard

E.N.S.I.M.A.G.

BERT	Didier	DELLA DORA	Jean
CALMET	Jacques	FONLUPT	Jean
COURTIN	Jacques	SIFAKIS	Joseph
COURTOIS	Bernard		

U.E.R.M.C.P.P.

CHARUEL	Robert
---------	--------

C.E.N.G.

CADET	Jean	NIFENECKER	Hervé
COEURE	Philippe (LETI)	PERROUD	Paul
DELHAYE	Jean-Marc (STT)	PEUZIN	Jean-Claude(LETI)
DUPUY	Michel (LETI)	TAIEB	Maurice
JOUBE	Hubert (LETI)	VINCENDON	Marc
NICOLAU	Yvan (LETI)		

Laboratoires extérieurs

C.N.E.T.

DEMOULIN  
DEVINE  
GERBER

Eric  
R.A.B.  
Roland

MERCKEL  
PAULEAU

Gérard  
Yves

I.N.S.A. Lyon

GAUBERT

C.

\*\*\*\*\*

# ECOLE NATIONALE SUPERIEURE DES MINES DE SAINT-ETIENNE

Directeur : M. M. MERMET  
Directeur des Etudes et de la formation : M. J. LEVASSEUR  
Directeur des Recherches : M. J. LEVY  
Secrétaire Général : Mle M. CLERGUE

## Professeurs de la 1ère Catégorie

COINDE	Alexandre	Gestion
GOUX	Claude	Metallurgie
LEVY	Jacques	Métallurgie
LOWYS	Jean-Pierre	Physique
MATHON	Albert	Gestion
RIEU	Jean	Mécanique-Résistance des matériaux
SOUSTELLE	Michel	Chimie
FORMERY	Philippe	Mathématiques Appliquées

## Professeurs de 2ème catégorie

HABIB	Michel	Informatique
PERRIN	Michel	Géologie
VERCHERY	Georges	Matériaux
TOUCHARD	Bernard	Physique industrielle

## Directeur de recherche

LESBATS	Pierre	Métallurgie
---------	--------	-------------

## Maîtres de recherche

BISCONDI	Michel	Métallurgie
DAVOINE	Philippe	Géologie
FOURDEUX	Angeline	Métallurgie
KOBYLANSKI	André	Métallurgie
LALAUZE	René	Chimie
LANCELOT	Francis	Chimie
LE COZE	Jean	Métallurgie
THEVENOT	François	Chimie
TRAN MINH	Canh	Chimie

## Personnalités habilitées à diriger des travaux de recherche

DRIVER	Julian	Métallurgie
GUILHOT	Bernard	Chimie
THOMAS	Gérard	Chimie

## Professeur à l'UER de Sciences de Saint-Etienne

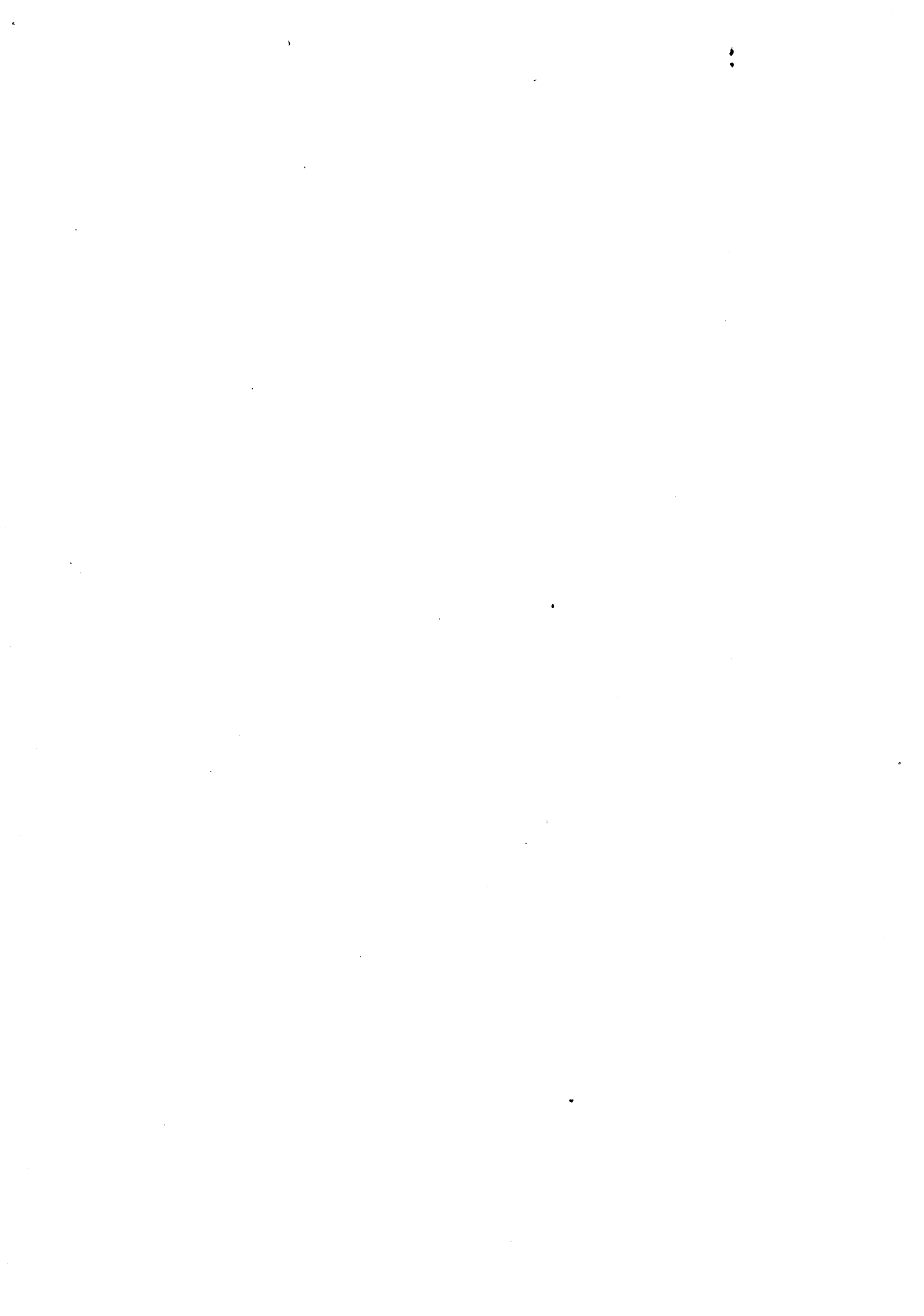
VERGNAUD	Jean-Maurice	Chimie des Matériaux & chimie industrielle
----------	--------------	--

\*\*\*\*\*





Cette étude a été réalisée dans le cadre d'un contrat CIFRE N°96/83. Référence PhM / DL / 1053, avec la société T.R.T.



## AVANT PROPOS

Je tiens à remercier :

M. Gérard VEILLON, Directeur de l'ENSIMAG,

qui a bien voulu me faire l'honneur de présider le jury de cette thèse.

M. Bernard COURTOIS, Chargé de recherche au CNRS et responsable de l'équipe d'Architecture des Ordinateurs / Sûreté de Fonctionnement au laboratoire TIM3 / INPG, pour avoir pris la responsabilité de cette thèse. La confiance qu'il m'a accordée et l'intérêt constant qu'il a manifesté pour mon travail m'ont permis de mener à bien cette étude.

M. Michel COIRON, Directeur Scientifique à la société TRT,

pour avoir sollicité cette coopération Université-Industrie très fructueuse et pour avoir accepté d'être membre du jury de cette thèse.

MM. Christian LANDRAULT, Chargé de recherche au CNRS, et Jean-Claude LAPRIE, Directeur de recherche au CNRS, pour avoir accepté d'être rapporteurs et membres du jury de cette thèse.

M. Jean DUCAMUS, Ingénieur attaché à la direction scientifique de la société TRT,

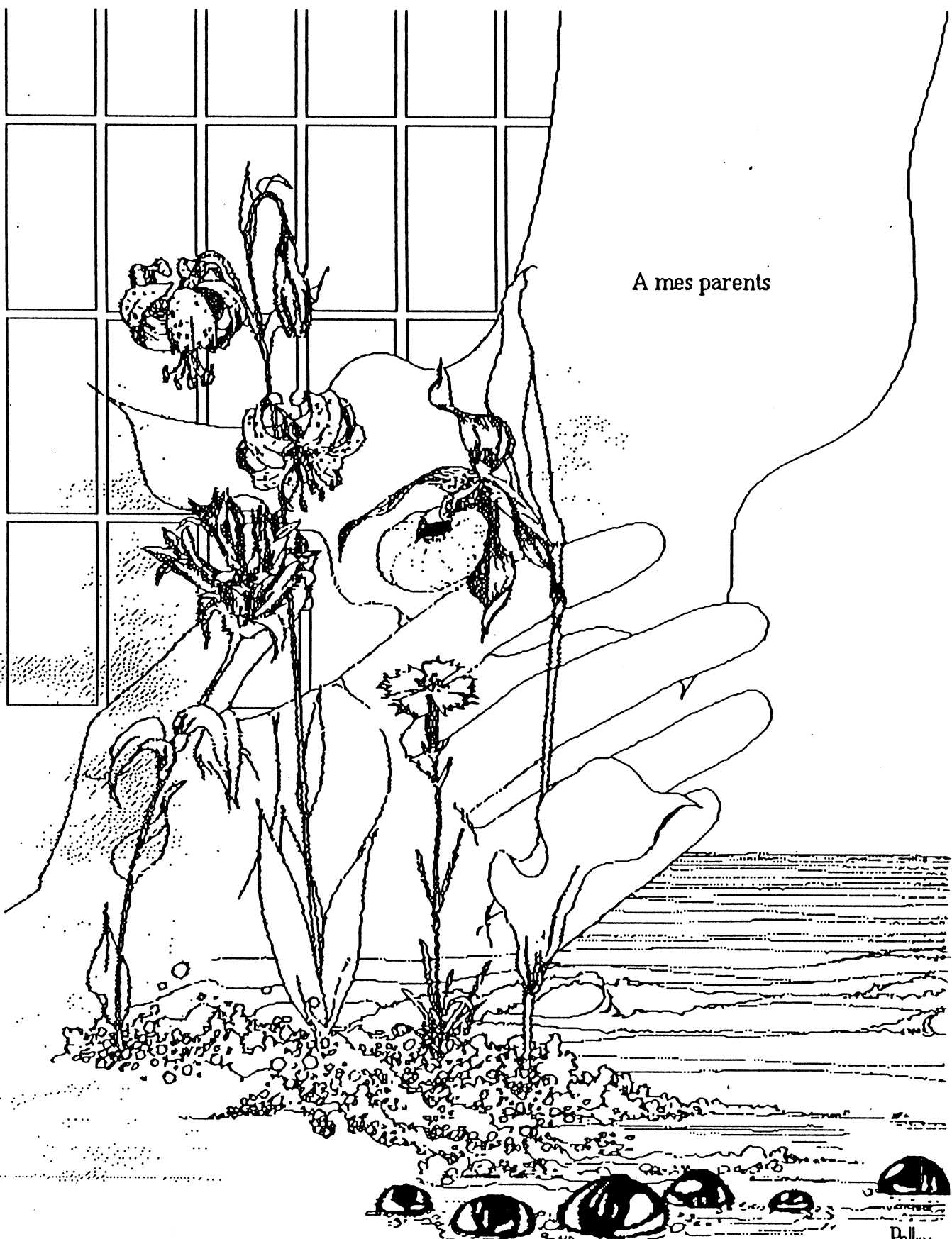
pour ses conseils avisés, ses remarques pertinentes et pour la relecture méticuleuse de ce document.

Pierre MARCHAL, pour son amitié et ses remarques judicieuses.

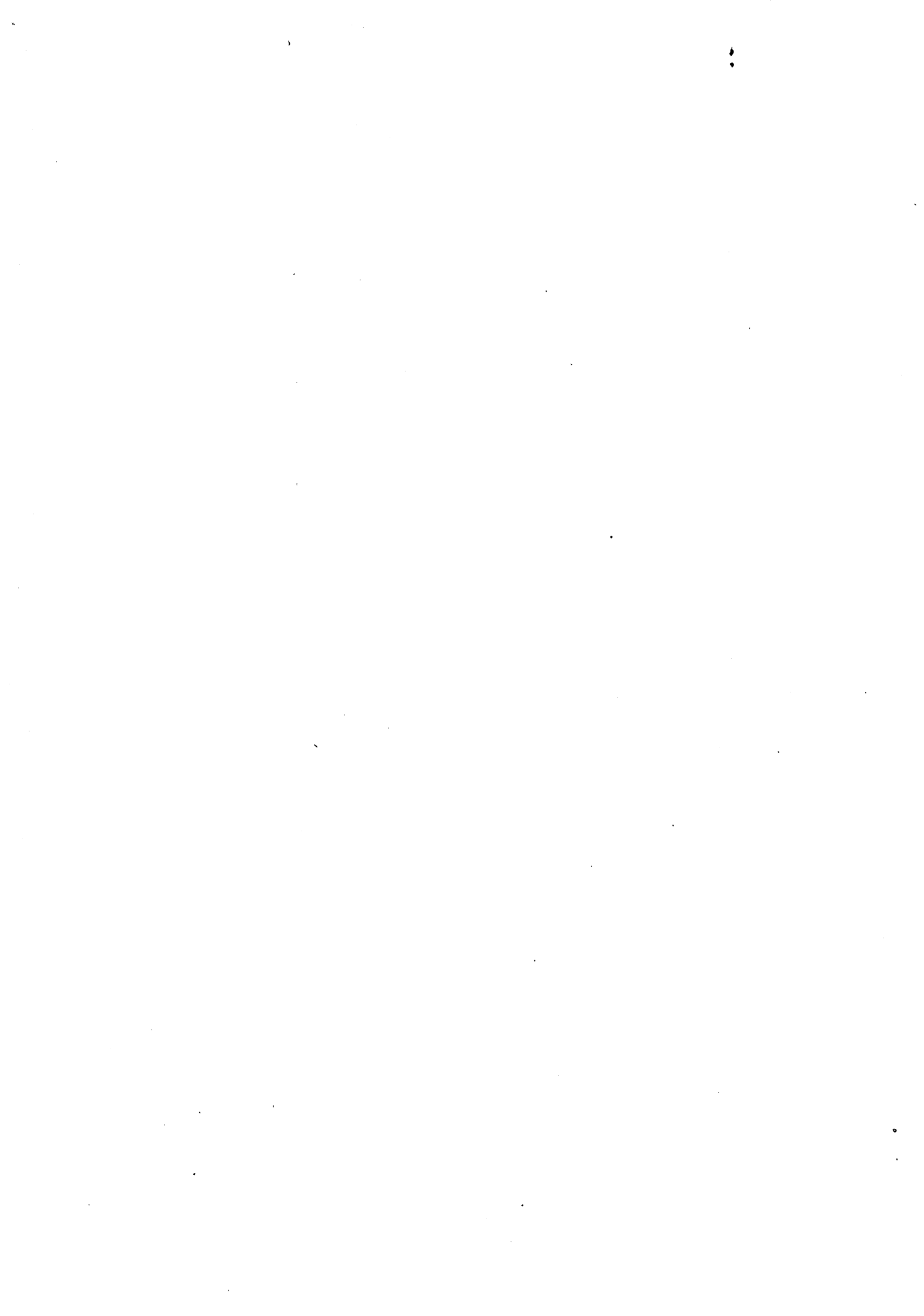
Mes collègues du laboratoire TIM3.

Les secrétaires : Isabelle AMIELH, Sandrine FRAISSE, Isabelle DIBLIO et Anne-Marie DI MATTIA pour la dactylographie et la mise en forme de ce document.





A mes parents



## **AVERTISSEMENT**

Dans ce document, chacun des chapitres possède : son propre sommaire détaillé, ses propres références, ses propres numéros de figures et de tables.

Pour augmenter la clarté la table des matières générale ne contient que les têtes de paragraphes.





## **RESUME**

Cette thèse traite de la modélisation des pannes considérées en technologie CMOS sur substrat silicium et des méthodes de test associées, pour les circuits VLSI.

Les modèles de pannes développés pour la technologie NMOS ne sont plus adaptés au test de pannes en technologie CMOS car celles-ci entraînent des comportements particuliers et requièrent des tests spécifiques.

Les pannes de type latch-up, court-circuit, s-on et s-open sont étudiées. Pour chacune de ces pannes un modèle est défini et des méthodes de test correspondantes sont dérivées.

Les principaux comportements étudiés sont : la transformation d'un circuit logique en un circuit analogique et la transformation d'un circuit combinatoire en un circuit séquentiel.

Un ensemble de lemmes et théorèmes de base pour le test des pannes en technologie CMOS, est démontré. Ces théorèmes étendent au test du s-open CMOS les résultats formulés pour le test des collages logiques dans les réseaux. Certains de ces théorèmes impliquent une conception adaptée de façon à faciliter le test de ces pannes.

La réduction de séquences de test et le test simultané de s-on et de s-open sont également décrits.

### **MOTS CLES**

Test, CMOS, VLSI, latch-up, s-on, s-open, court-circuit, modélisation de panne, DFT.



## **ABSTRACT**

This thesis deals with fault modelling of CMOS bulk technology physical defects and with associated test methods, for VLSI circuits.

Fault models developed for NMOS technology no more fit CMOS technology faults. As a matter of fact CMOS technology faults give rise to particular behaviors which require specific testing.

Latch-up, s-on, s-open and short faults are studied. For each of these faults a model is defined and test methods are derived.

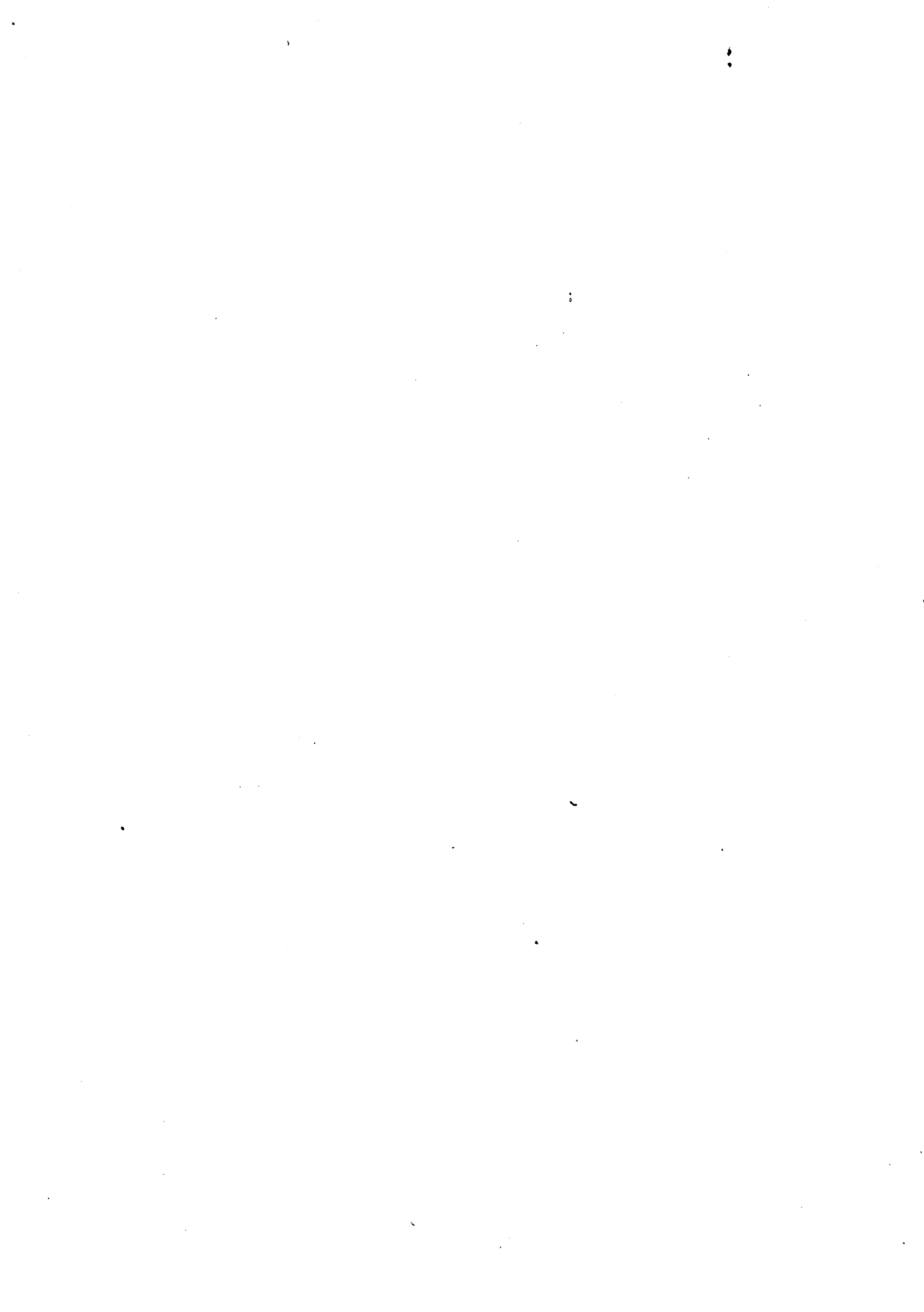
The specific behaviors studied are : the change of a logic circuit into an analog one, and the change of a combinational network into a sequential one.

A set of lemmas and basic theorems for CMOS technology faults is demonstrated. These theorems extend to CMOS s-open testing the results that have been formulated for logical single stuck-at faults in networks. Some of these theorems involve Design For Testability in order to facilitate fault testing and to improve IC design.

Reduction of test sequences and simultaneous s-on / s-open fault test is also described.

## **KEY WORDS**

Test, CMOS, VLSI, latch-up, s-on, s-open, short, fault model, DFT.



## *TABLE DES MATIERES*



## TABLE DES MATIERES

<b><u>INTRODUCTION</u></b>	<b>1</b>
<b><u>CHAPITRE I - LA TECHNOLOGIE CMOS ET SES PANNES</u></b>	<b>5</b>
<b>SOMMAIRE</b>	<b>7</b>
<b>I INTRODUCTION</b>	<b>9</b>
<b>II LA TECHNOLOGIE CMOS</b>	<b>11</b>
<b>III INTERET DE L'ETUDE DES PANNES</b>	<b>15</b>
<b>IV MECANISMES DE PANNES ET FIABILITE DES CIRCUITS CMOS</b>	<b>18</b>
<b>V LE "LATCH-UP" (ou EFFET THYRISTOR)</b>	<b>22</b>
<b>VI LES COURTS-CIRCUITS</b>	<b>56</b>
<b>VII LES S-OPEN</b>	<b>63</b>
<b>VIII CONCLUSION</b>	<b>81</b>
<b>REFERENCES</b>	<b>83</b>
<b>ANNEXES</b>	<b>87</b>
<b><u>CHAPITRE II - LE LATCH-UP</u></b>	<b>93</b>
<b>SOMMAIRE</b>	<b>95</b>
<b>I INTRODUCTION</b>	<b>97</b>
<b>II DETECTION DU LATCH-UP</b>	<b>97</b>
<b>III LOCALISATION DES STRUCTURES PARASITES</b>	<b>98</b>
<b>IV DIFFERENTS TYPES DE STRUCTURES</b>	<b>100</b>
<b>V MODIFICATION DE L'ETAT LOGIQUE</b>	<b>102</b>
<b>VI METHODES DE TEST</b>	<b>103</b>
<b>VII CONCLUSION</b>	<b>106</b>
<b>REFERENCES</b>	<b>107</b>



<b><u>CHAPITRE III - LES COURTS-CIRCUITS</u></b>	<b>109</b>
SOMMAIRE	111
INTRODUCTION	113
<b>A) <i>ETUDE DES COURTS-CIRCUITS CMOS</i></b>	<b>113</b>
I    PRESENTATION	113
II   CLASSIFICATION DES DIFFERENTS TYPES DE COURTS-CIRCUITS	115
III  ETUDE COMPORTEMENTALE DES COURTS-CIRCUITS EN CMOS	136
<b>B) <i>TEST DES COURTS-CIRCUITS CMOS</i></b>	<b>144</b>
I    PRESENTATION	144
II   CONDITIONS DE TESTABILITE	144
III  CLASSIFICATION DES COURTS-CIRCUITS A TESTER	145
IV   METHODE DE TEST	145
V    TEST DES COURTS-CIRCUITS	146
VI   CONCLUSION	150
REFERENCES	153
ANNEXE	155
<b><u>CHAPITRE IV - LE TEST DES S-ON</u></b>	<b>157</b>
SOMMAIRE	159
I    INTRODUCTION	161
II   ORIGINE DU S-ON	161
III  MODELISATION DU S-ON	162
IV   COMPORTEMENT EN CAS DE PANNE	166
V    ETUDE DU TEST STATIQUE DES S-ON	170
VI   ETUDE DU TEST DYNAMIQUE	178
VII  TESTS DE PORTES PARTICULIERES	179
VIII CONDITIONS DE TESTABILITE DU S-ON	180
IX   PANNES TESTEES	182
X    CONCLUSION	183
REFERENCES	185

<b><u>CHAPITRE V - LE TEST DES S-OPEN</u></b>	<b>187</b>
<b>SOMMAIRE</b>	<b>189</b>
<b>I INTRODUCTION</b>	<b>191</b>
<b>II CONDITIONS DE TESTABILITE DES S-OPEN</b>	<b>192</b>
<b>III TEST DES S-OPEN AU NIVEAU PORTE</b>	<b>194</b>
<b>IV TEST DE S-OPEN AU NIVEAU RESEAU</b>	<b>205</b>
<b>V REDUCTION DES SEQUENCES DE TEST</b>	<b>214</b>
<b>VI TEST DES S-OPEN MULTIPLES</b>	<b>226</b>
<b>VII METHODES DE TEST SIMULTANE DES S-ON/ S-OPEN</b>	<b>230</b>
<b>VIII TEST DE S-ON/ S-OPEN MULTIPLES</b>	<b>236</b>
<b>IX CONCLUSION</b>	<b>238</b>
<b>REFERENCES</b>	<b>239</b>
<b><u>CONCLUSION</u></b>	<b>241</b>



## *INTRODUCTION*



## INTRODUCTION

La technologie MOS (Metal Oxide Semiconductor) de type N ou P a permis de réaliser des circuits logiques à haute échelle d'intégration (LSI) [Large Scale Integration]. Des circuits intégrés de plus en plus complexes ont été réalisés et des problèmes de dissipation thermique et de consommation en courant sont apparus comme des éléments limitatifs de cette technologie. La mise en oeuvre de circuits CMOS (Complementary Metal Oxide Semiconductor), utilisant simultanément des transistors de type N et P sur le même substrat, a permis de réaliser des circuits intégrés à faible consommation. Cette technologie s'avère particulièrement intéressante pour la réalisation de circuits à très grande échelle d'intégration (VLSI) [Very Large Scale Integration].

Le test des circuits de type NMOS, réalisé à partir du modèle de panne de collage, a permis une détection de panne satisfaisante pour ces circuits. Par contre, suite à l'apparition de comportements nouveaux, dûs à l'utilisation simultanée de transistors de type N et de type P, ce modèle de panne ne permet plus une détection satisfaisante. Une étude et une modélisation des pannes au niveau transistor est nécessaire pour obtenir un test efficace des circuits CMOS.

Le but du travail réalisé est de modéliser au niveau transistor le comportement des circuits CMOS en cas de panne et de déterminer les méthodes de test adaptées. Cette étude a été réalisée pour les pannes les plus courantes envisagées en technologie CMOS.

Cette étude est composée de deux parties. La première partie est une synthèse de travaux ponctuels concernant les pannes envisagées, et la deuxième partie présente un développement de ces travaux qui permet de déterminer des méthodes de test efficaces des pannes considérées.

Ainsi, le premier chapitre est constitué par une revue bibliographique scindée en deux parties. La première partie présente la technologie CMOS de base et son évolution. La deuxième partie présente un échantillon de quelques publications qui traitent des pannes considérées en vue du test de circuits CMOS.

Les chapitres suivants traitent chacun d'une panne spécifique de l'ensemble des pannes considérées dans le chapitre 1. Pour chacune de ces pannes un modèle est décrit et une méthode de test proposée.

Le deuxième chapitre traite du latch-up (ou effet thyristor). Les problèmes de localisation sur le circuit et de modification de l'état logique sont présentés.

Le troisième chapitre traite des pannes de type court-circuit pour les circuits statiques dans le cas de courts-circuits simples.

L'étude décrit les types de courts-circuits envisageables au niveau porte et au niveau transistor ainsi que les comportements obtenus en cas de panne. Des comportements spécifiques à la technologie CMOS apparaissent, ils permettent d'établir des méthodes de test adaptées à chacun des cas possibles en fonction du réseau de portes dans lequel est localisée la panne.

Le quatrième chapitre traite des pannes de type s-on (transistor "collé" passant). Les origines et une modélisation de ce type de panne sont présentées ainsi que le comportement lorsque des portes statiques CMOS sont affectées, en cas de panne simple. Les méthodes de test d'une telle panne sont présentées. Elles comprennent les notions de DFT (Design For Testability), de test dynamique et de choix de vecteurs de test.

Le cinquième chapitre traite des pannes de type s-open (transistor "collé" non passant). Cette étude représente une extension de la méthode de la base décrite dans le chapitre 1 pour le test d'un transistor s-open. Le test évoqué dans cette étude envisage le test d'une entrée par combinaison des deux séquences de test des transistors N et P commandés par cette entrée, pour le test de pannes simples. 20 théorèmes sont démontrés, ils étendent au test de pannes s-open les théorèmes obtenus il y a plusieurs années pour le test de collage logique. Ils représentent des théorèmes de base pour le test de pannes s-open dans les réseaux CMOS. Les théorèmes définissent la testabilité des pannes s-open dans les réseaux statiques composés de portes classiques ou complexes et dans les réseaux dynamiques de type DOMINO N ou P et NPCMOS. Les réseaux étudiés comprennent les réseaux avec ou sans sortance interne, celle-ci pouvant être reconvergente ou non. Ces théorèmes définissent également la testabilité de ces réseaux de portes en cas de test simultané de pannes s-on/s-open, ainsi que la testabilité en cas de pannes multiples s-open sur le chemin de propagation. Les réductions de séquences de test sont également envisagées au niveau porte et au niveau réseau.

La conclusion résume les principaux résultats obtenus dans les différents chapitres et les développements possibles de cette étude.

*CHAPITRE I*  
*LA TECHNOLOGIE CMOS*  
*ET SES PANNES*





## SOMMAIRE

### I INTRODUCTION

### II LA TECHNOLOGIE CMOS

II-1 Présentation de la technologie

II-2 Caractéristiques des circuits CMOS

### III INTERET DE L'ETUDE DES PANNES

### IV MECANISMES DE PANNES ET FIABILITE DES CIRCUITS CMOS

IV-1 Présentation

IV-2 Mécanismes de pannes

IV-3 Fiabilité des circuits CMOS

IV-3-1 Différents aspects de la fiabilité

IV-3-2 Présentation de AITKEN et KUNG [AIT 78]

IV-3-2-a Instabilités des charges de surface

IV-3-2-b "Trous d'aiguilles" dans l'oxyde de grille

IV-3-2-c Défauts de métallisation

IV-3-2-d Défauts de "Bonding"

IV-3-2-e Herméticité

IV-3-3 Présentation de BRAMBILLA et FANTINI [BRA 81]

IV-3-4 Remarque

IV-3-5 Conclusion

### V LE "LATCH-UP" (ou EFFET THYRISTOR)

V-1 Présentation

V-2 Etude de DANTEC [DAN 81]

V-3 Etude de GENDA [GEN 84]

V-4 Etude de CHING-YUH- FANG et MOLL [RCM 83]

V-5 Etude de ESTREICH et DUTTON [EST 82]

V-5-a Procédure d'identification du Latch-up

- V-5-b Le contrôle du Latch-up
- V-6 Etude de TROUTMAN et ZAPPE [TRO 83]
  - V-6-a Analyse transitoire du Latch-up
  - V-6-b Alimentation par une tension transitoire
  - V-6-c Comparaison des modèles avec les simulations numériques
  - V-6-d La stabilité du Latch-up
  - V-6-e Remarque
- V-7 Etude de TAKACS et WERNER [TAK 84]
- V-8 Etude de DRESSENDORFER et ARMENDARIZ [DRE 80]
- V-9 Remarque
- V-10 Conclusion

## VI LES COURTS-CIRCUITS

- VI-1 Présentation
- VI-2 Etude de BANERJEE et ABRAHAM [BAN 83]
- VI-3 Etude de ACKEN [ACK 83]
- VI-4 Etude de TIMOC et BUEHLER [TIM 83]
- VI-5 Etude de CHIANG et VRANESIC [CHV 83]
- VI-6 Etude de MALAYIA et SU [MAL 82]
- VI-7 Conclusion

## VII LES S-OPEN

- VII-1 Introduction
- VII-2 Modélisation du s-open
- VII-3 Le test du s-open
  - VII-3-1 Test de s-open sans addition de circuit annexe
    - VII-3-1- a Méthode de test de CHANDRAMOULI [CHA 83]
      - VII-3-1-a-1 Test des circuits combinatoires IFOF non redondants
      - VII-3-1-a-2 Test des circuits combinatoires RFO non redondants
      - VII-3-1-a-3 Remarque 1
      - VII-3-1-a-4 Remarque 2
    - VII-3-1-b Méthode de test de ELZIQ (1ère partie) [EL1 81]
    - VII-3-1-c Méthode de test de ELZIQ (2ème partie) [EL2 81]
      - VII-3-1-c-1 Algorithme III

VII-3-1-c-2 Méthode d'extraction de tests de collages pour la  
détection de tous les s-open détectables dans un réseau combinatoire

VII-3-1-c-3 Défauts de type s-open dans les circuits séquentiels

VII-3-1-d Méthode de test de CHIANG et VRANESIC [CHV83]

VII-3-1-e Remarques

VII-3-2 Test de s-open avec addition de circuits annexes

VII-3-2-a Modification de Mc CLUSKEY [MCL 81]

VII-3-2-b Modification de REDDY et REDDY [RED 83]

VII-4 Conclusion

## VIII CONCLUSION

## REFERENCES

## ANNEXES



## CHAPITRE I

### LA TECHNOLOGIE CMOS ET SES PANNES

#### I INTRODUCTION

Née en 1965 avec l'implantation sur la même tranche de transistors de type N et P, la technologie CMOS fit son apparition sur le marché vers 1970. Cette technologie à basse consommation est en évolution constante. Un grand intérêt lui est porté tout spécialement pour la réalisation de circuits VLSI (Very Large Scale Integration) où le nombre de transistors implantés sur une "puce" dépasse 10 k-transistors, (actuellement il est possible d'implanter 500 k-transistors) et où les problèmes de consommation et de dissipation thermique sont importants.

La structure CMOS, basée sur l'utilisation simultanée de transistors N et P a introduit de par sa structure, de nouveaux types de défauts. Le test de ces défauts nécessite l'utilisation de modèles de pannes et de méthodes de détection adaptées. Aux défauts particuliers de la technologie CMOS (latch up) sont ajoutés ceux de la technologie MOS (ex : courts-circuits, collages etc...). Tous ces défauts ont dans ce type de circuit un comportement particulier.

Ce chapitre permet de mettre en évidence certains problèmes de la technologie CMOS. Ainsi, après avoir présenté la technologie CMOS sur substrat silicium, son évolution et les structures de portes utilisées, les modèles de pannes CMOS: latch up, courts-circuits, s-open / s-on et les méthodes de test adaptées sont décrites sous forme d'une revue bibliographique.

#### II LA TECHNOLOGIE CMOS

##### II-1 Présentation de la technologie

La technologie CMOS sur substrat silicium est basée sur la réalisation et l'utilisation, sur le même substrat, de transistors complémentaires de type N et P.

Deux types de réalisations sont possibles : le substrat de départ est N (resp. P) et le puits diffusé P (resp. N).

Les premiers circuits CMOS réalisés étaient basés sur la méthode la mieux maîtrisée (initialement) : diffusion P sur substrat N. Celle-ci était la base des circuits PMOS développés industriellement.

Actuellement, des circuits CMOS sur substrat N ou P sont réalisés indifféremment.

Les avantages de chaque méthode sont [AIT 78] :

\* puits P :

- grande expérience dans ce type de filière (initialement),
- bonne immunité aux électrons chauds et aux particules alpha (spécialement pour les mémoires),
- possibilité de rapprochement des transistors MOS N et P lors de l'utilisation en géométries fines.

\* puits N :

- compatible avec les chaînes de production NMOS. (opérationnelles maintenant),
- NMOS optimisé.

L'élément de base de la technologie CMOS est l'inverseur, le schéma électrique en est donné figure I-1.

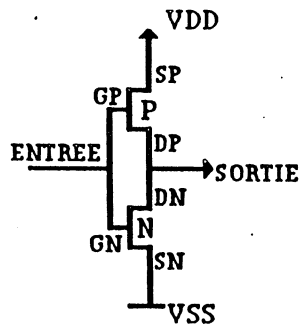


Figure I-1 : Schéma électrique de l'inverseur CMOS

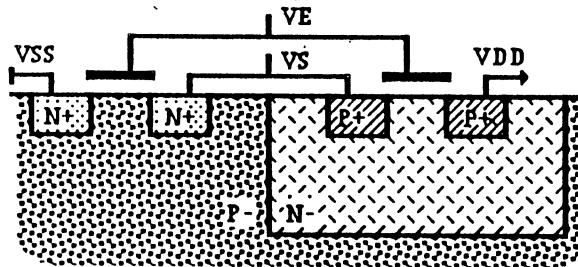


Figure I-2 : Vue en coupe de l'implantation d'un inverseur sur substrat P

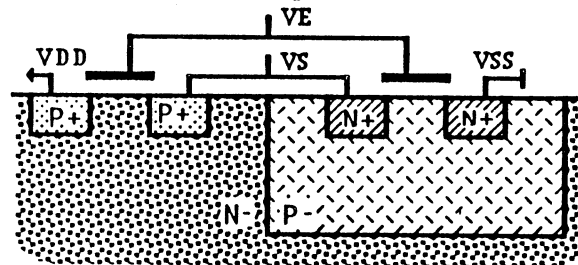


Figure I-3 : Vue en coupe de l'implantation d'un inverseur sur substrat N

Une vue en coupe de l'implantation sur silicium de cette porte est donnée figure I-2 dans le cas d'un substrat P, et figure I-3 dans le cas d'un substrat N.

## II-2 Caractéristiques des circuits CMOS

- Les premiers circuits fabriqués en technologie CMOS avaient les caractéristiques suivantes :

### A) Caractéristiques positives

- faible consommation
- le circuit chauffe moins et vieillit plus lentement,
- bonne immunité aux radiations,
- rapides (réseau P de charge, réseau N de décharge),
- utilisation de filières connues et maîtrisées.

### B) Caractéristiques négatives

- surface excessive (plus de deux fois la surface des circuits NMOS donc prix prohibitif),
- occurrence du latch up (effet thyristor parasite) nécessité de réaliser des protections,
- apparition de défauts inconnus dans d'autres technologies (s-open), nécessité de déterminer des méthodes adaptées de test.

L'évolution des procédés de fabrication a permis une réduction des dimensions, voir figure I-4 [SHE 81]. Actuellement, l'intégration des circuits CMOS est réalisée couramment avec des largeurs de bande minimales de 2  $\mu\text{m}$ , 1,5  $\mu\text{m}$  et même < 1  $\mu\text{m}$ . Les procédés de gravure optique ont été dépassés par le FIB (Focused Ion Beam) qui permet des gravures de 0,2  $\mu\text{m}$  dans le silicium.

Parallèlement aux perfectionnements technologiques, les circuits CMOS ont eux même évolués vers la réduction de leurs caractéristiques négatives.

Les recherches ont été menées sur deux voies : la technologie et le "design".

Pour celle de la technologie, la Table I-1 donne un aperçu de quelques évolutions, basées principalement sur l'élimination du latch-up et la réduction des dimensions qui sont les deux principaux problèmes des circuits CMOS.



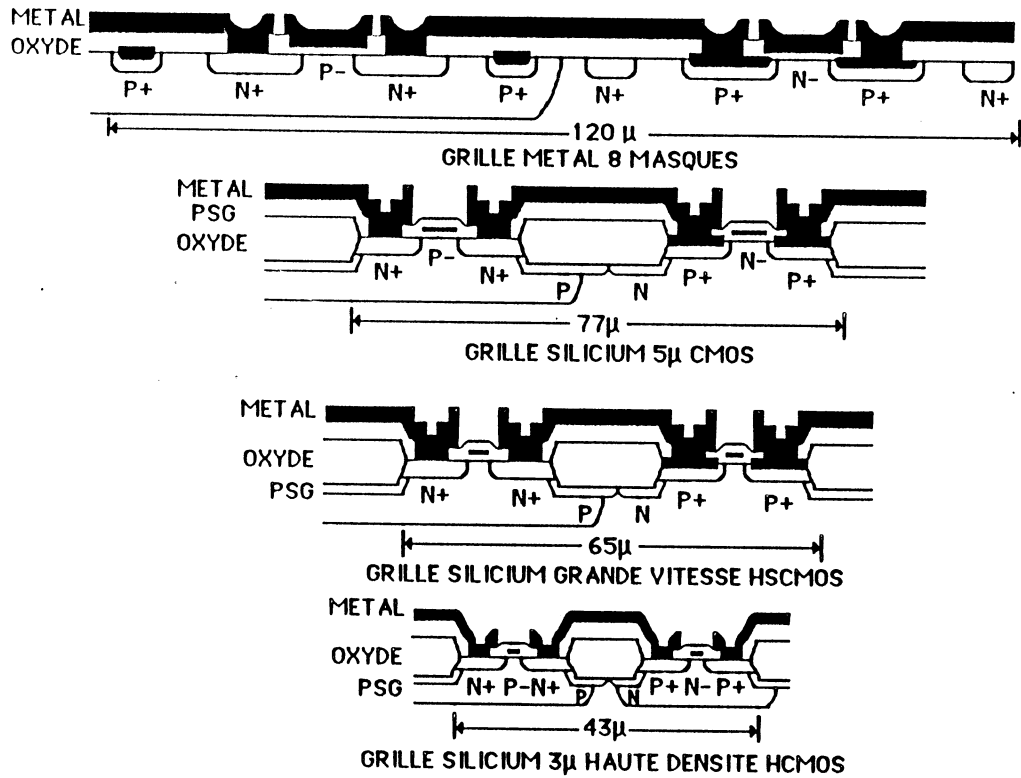


Figure I-4 : Evolution de la technologie CMOS

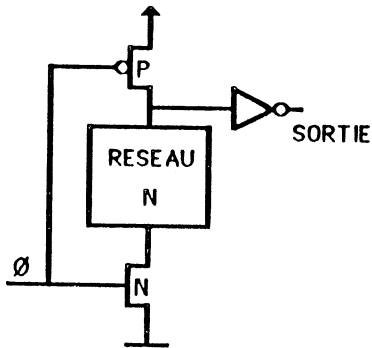


Figure I-5 : Exemple de structure porte DOMINO

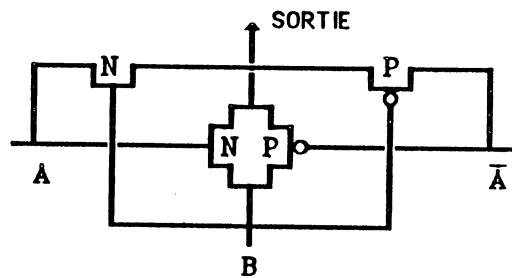


Figure I-6 : Exemple de à base de porte de transfert

Les modifications de "design" ont été faites afin de réduire la surface occupée. Ainsi des structures non représentées par des circuits N et P duaux ont été introduites. Des exemples de telles structures sont présentés figures I-5 (type DOMINO) et I-6 (à base de porte de transfert).

Une tendance également est à la réalisation de circuits CMOS à base de portes NAND classiques. La différence de conductivité entre les transistors N et P amène à concevoir des

réseaux avec des transistors N en série et P en parallèle.

### **II-3 Evolution de la technologie**

Quelques améliorations technologiques apportées à la structure originale peuvent être décrites (Table I-1).

## **III INTERET DE L'ETUDE DES PANNES**

Deux paramètres importants de la conception des circuits VLSI sont la fiabilité et le test.

La fiabilité est déterminée principalement par la technologie. Plusieurs facteurs qui interviennent sur la qualité de la fiabilité peuvent être cités :

- type de technologie utilisée (pannes propres à une technologie),
- qualité de la technologie (porosité de la couche de passivation, présence d'atomes parasites susceptibles de migrer et de polluer les surfaces actives, homogénéité des dépôts...),
- nature des traitements de stabilisation et de vieillissement,
- dimensions de la technologie utilisée,
- le test est défini par un ensemble d'éléments plus ou moins interconnectés.

Certains d'entre eux peuvent être cités :

- définition des hypothèses de pannes,
  - définition d'un modèle et d'un comportement pour chaque type de panne.
- Ces éléments permettent d'établir des conditions de test mais également de définir une conception adaptée au test des pannes envisagées.

Dans les paragraphes suivants sont développés des défauts propres à la technologie CMOS.

Deux aspects sont présentés :

- les mécanismes de pannes et la fiabilité des circuits,
- les types de pannes principales considérées lors du test des circuits CMOS. La modélisation des pannes et la détermination de méthodes de test.

Cette étude est basée sur une synthèse bibliographique.

NATURE	REFERENCE	EFFETS ET /OU CONSEQUENCES	PRINCIPE
Collage des transistors N et P superposés.	COL 81 FIG. I-7	<ul style="list-style-type: none"> <li>- réductions des dimensions. Surface CMOS &lt; surface NMOS</li> <li>- plus d'effet latch-up</li> <li>- certaines difficultés peuvent être envisagées pour le croisement des couches d'interconnexions.</li> </ul>	superposition des transistors N et P et commande par une seule grille plus de puits diffusé.
Double puits	DAV 83 RUN 82 FIG. I-8	<ul style="list-style-type: none"> <li>- élimination du latch up.</li> <li>- augmentation de la densité des circuits (qualité de la gravure, technologie).</li> </ul>	séparation de la zone N ou P du substrat par une barrière isolante.
Puits P rétrograde	RUN 81 FIG. I-9	<ul style="list-style-type: none"> <li>- réduction du latch-up.</li> <li>- augmentation de la densité des circuits.</li> </ul>	Diffusion du puits avec une densité élevée en surface puis réduit pour diminuer la zone diffusée.
CMOS/SOS (Silicon On Saphir)	AIT 80 FIG. I-10	<ul style="list-style-type: none"> <li>- élimination du latch up.</li> <li>- augmentation de la densité.</li> <li>- fréquence d'utilisation plus élevée que le CMOS sur substrat.</li> </ul>	Croissance de silicium N et P poly silicium (SiO <sub>2</sub> ).
P <sup>2</sup> CMOS et M <sup>2</sup> CMOS	LON 83 FIG. I-11	<ul style="list-style-type: none"> <li>- densité plus grande des circuits.</li> <li>- grandes possibilités de connexions.</li> <li>- connexions en aluminium, signaux propagés plus rapidement.</li> <li>- P<sup>2</sup> CMOS utile pour la réalisation de mémoires non volatiles.</li> <li>- augmentation de la difficulté de l'implantation (design).</li> </ul>	2 couches d'interconnexions en poly silicium ou en métal.

Table I-1 : Exemples de modifications de la structure CMOS

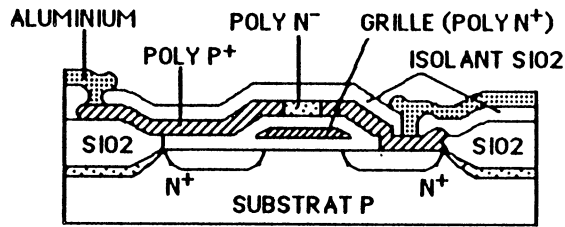


Figure I-7 : Transistors superposés

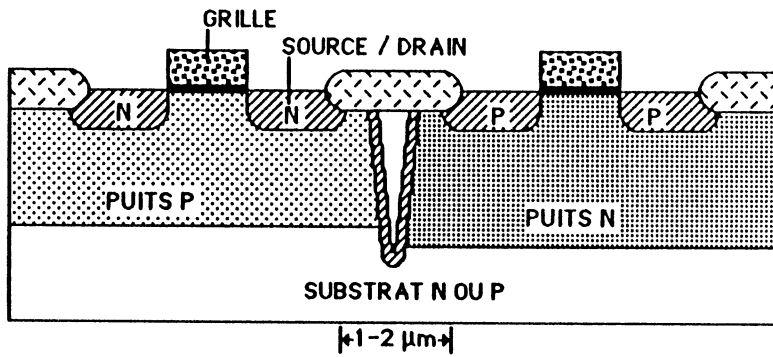


Figure I-8 : Exemple de double puits

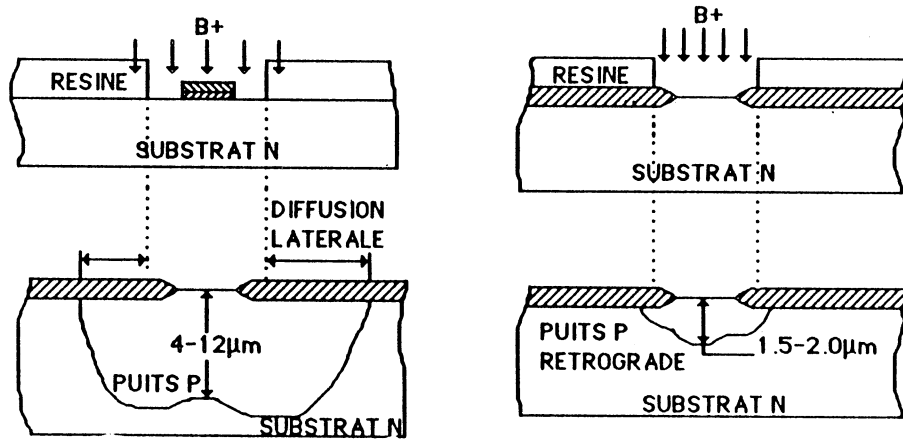


Figure I-9 : Principe de réalisation d'un puits P rétrograde

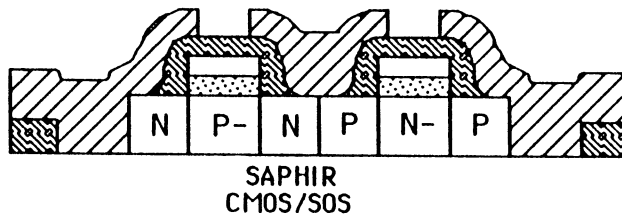


Figure I-10 : Réalisation de CMOS sur isolant

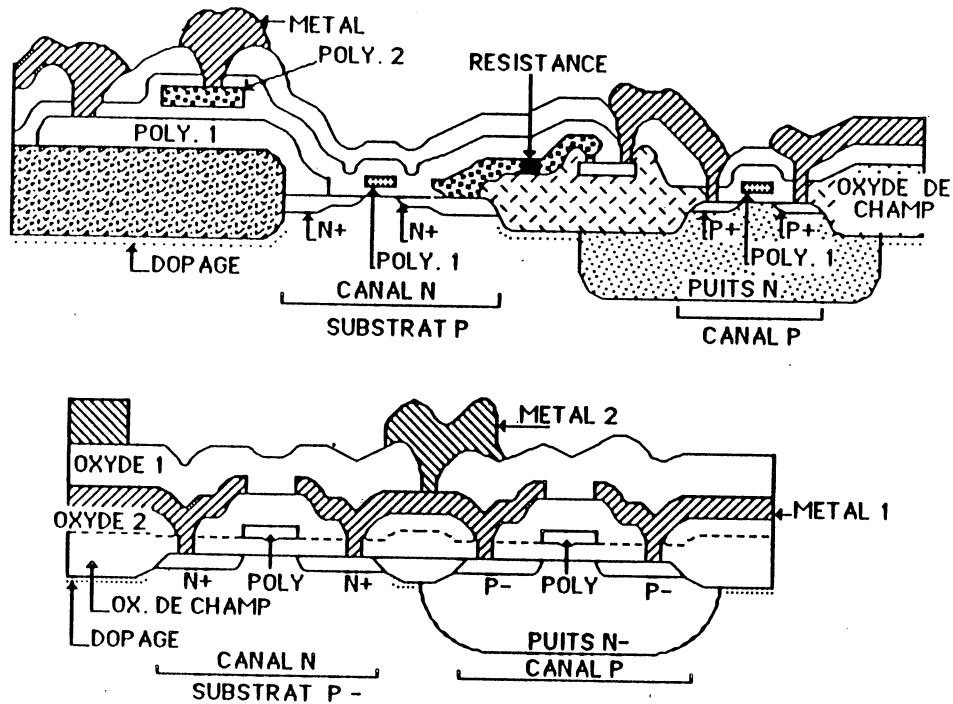


Figure I-11 : Exemples de réalisation de couches multiples d'interconnexions (Polysilicium et Métal)

## IV MECANISMES DE PANNES ET FIABILITE DES CIRCUITS CMOS

### IV-1 Présentation

La connaissance des mécanismes de pannes est utile afin d'augmenter la fiabilité des circuits. La détermination de l'origine des pannes permet d'apporter des modifications à différentes étapes de la conception à la réalisation du circuit.

### IV-2 Mécanismes de pannes

Les mécanismes de pannes dans les circuits CMOS sont du même type que ceux évoqués pour les circuits de type NMOS ou PMOS car dûs à la technologie MOS.

La description de ces mécanismes est détaillée dans [COU 81], [GAL 76], [AIT 78] et [BRA 81]. Une série de références bibliographiques classées par panne peut être trouvée dans [SCH 81]. Citons simplement les différents types de mécanismes :

- phénomènes de transport dans les solides :
  - migration dans les métallisations,
  - interdiffusions,

- croissances de surface (dendrites et whiskers),
- claquage de diélectrique et de conducteur,
- effets thermomécaniques,
- agents externes :
  - contamination ionique,
  - apport d'énergie (radiations, vibrations),
  - corrosion chimique,
- hasards.

Un type de panne particulier à la technologie CMOS sur substrat est le latch-up. La description de ce phénomène est donnée paragraphe V.

Dans [SIE 81] sont présentés des tableaux qui donnent, pour des circuits LSI et MSI CMOS, les pourcentages d'apparition de chaque défaut possible.

Ces valeurs ne doivent pas être prises comme référence immuable car les conditions de détermination de ces valeurs (nombre de circuits testés, méthodes d'investigations...) sont inconnues.

Cependant, elles donnent un aperçu des défauts généralement considérés.

### **IV-3 Fiabilité des circuits CMOS**

#### **IV-3-1 Différents aspects de la fiabilité**

Le problème de la fiabilité évoqué dans [AIT 78], [BRA 81], [SCH 81] et [SIE 82], est soulevé à chaque mise au point d'une nouvelle technologie. La fiabilité présente deux aspects importants : la mesure et l'évolution, ceux-ci étant étudiés dans [AIT 78], [BRA 81] et [SCH 81]. Dans [SIE 82] est présentée une liste exhaustive de tests permettant la mise à l'épreuve de la fiabilité des composants.

#### **IV-3-2 Présentation de AITKEN et KUNG [AIT 78]**

Cinq types de défauts sont exposés et pour chacun d'eux une méthode mettant en évidence le défaut est proposée. Des résultats de mesures, réalisées sur des circuits CMOS grille aluminium, boîtier plastique avec des caractéristiques grand public sont présentés.

#### **IV-3-2-a Instabilités des charges de surfaces**

Le mouvement des ions positifs ou des charges injectées du silicium dans l'oxyde peuvent apporter des modifications des surfaces actives et des tensions de seuil. Ce problème est mis en évidence par l'application des tensions de polarisation maximales à des températures égales ou supérieures aux températures de jonctions.

Deux facteurs ont une influence sur la fiabilité du produit : la faible concentration en phosphore du verre de protection de l'oxyde de grille et des défauts dans l'oxyde de passivation qui autorise des ions mobiles à diffuser à travers les parties actives sous-jacentes.

#### **IV-3-2-b "Trous d'aiguilles" dans l'oxyde de grille**

Un faible taux de défauts dû à la grille peut être obtenu, par utilisation d'une oxydation adaptée.

#### **IV-3-2-c Défauts de métallisation**

Ils sont dûs à un recouvrement insuffisant d'une marche d'oxyde ou à l'électromigration lors de la présence de densités de courant élevées.

La réduction des marches d'oxydes est obtenues par gravure en escalier (par exemple). La fiabilité des métallisations est accrue par l'utilisation d'alliages.

#### **IV-3-2-d Défauts de "Bonding"**

Deux types de défauts doivent être définis : soudure faible et formation de cavités. La mise en évidence de ces défauts est obtenue par l'application de contraintes thermiques répétée (150°C et 65°C) 10 fois de suite.

#### **IV-3-2-e Herméticité**

Les tests effectués ont pour but de déterminer le taux de diffusion d'humidité à travers le boîtier. Le principe est de soumettre le circuit à une atmosphère comportant un taux d'humidité élevé avec des contraintes de tensions d'alimentations.

### IV-3-3 Présentation de BRAMBILLA et FANTINI IBRA 811

Ce papier présente une approche conventionnelle pour déterminer la fiabilité des circuits CMOS. Après le choix des paramètres principaux influençant la fiabilité (contamination et oxyde de grille poreux), des tests de vieillissement accéléré sont appliqués.

Le but de ces opérations est la détermination de l'énergie d'activation qui est à l'origine de la dégradation des circuits. L'évolution de ces paramètres en fonction des tests appliqués pour une période allant de 1976 à 1978 est décrite.

Les mécanismes de pannes manifestés lors des tests de "burn-in", sont classés en fonction de leur fréquence d'occurrence.

La Table I-2 résume les résultats obtenus.

MECANISMES DE PANNES	POURCENTAGE
CORROSION	69 %
CONTAMINATION	16 %
COURT-CIRCUIT D'OXYDE MINCE	7 %
CONTRAINTES MECANIQUE	3 %
NON IDENTIFIE	5 %

Table I-2 : Distribution des mécanismes de pannes

Les tests de "burn-in" ont permis de mettre en évidence les problèmes de fiabilité des circuits. Une conclusion de cette étude est donnée par les points suivants :

- une grande importance doit être donnée aux techniques d'analyse de défaillances,
- le taux de pannes doit être considéré en fonction du temps et en fonction du poids relatif des divers mécanismes de pannes.
- l'évaluation des vecteurs de test doit être réalisée de manière critique, pour le choix des facteurs accélérateurs lors du passage d'une technologie à une autre.

### IV-3-4 Remarque

Les papiers cités ci-dessus présentent les problèmes de fiabilité des circuits CMOS. Une vue plus complète de ce centre d'intérêt est présentée par SCHINABLE et COMIZZOLI dans [SCH 81]. Ce document constitue une revue bibliographique sur la fiabilité des circuits CMOS. Les paramètres importants de son évaluation ainsi que les problèmes des défauts à considérer pour définir la fiabilité d'un composant sont présentés.



### IV-3-5 Conclusion

Dans ce paragraphe sont présentés les mécanismes de pannes ainsi que la fiabilité des circuits CMOS. Les mécanismes de pannes identiques à ceux décrits pour les circuits MOS sont cités. Les variations des pourcentages des différents mécanismes dépend de la technologie utilisée. On peut cependant noter une certaine cohérence entre les valeurs numériques citées dans les différents papiers.

## V LE "LATCH UP" (OU EFFET THYRISTOR)

### V-1 Présentation

Le latch-up (ou effet thyristor) est un phénomène propre aux circuits CMOS sur substrat silicium. Il est dû à la présence d'une structure NPNP correspondant à un transistor parasite. Le schéma en est donné figure I-12. Lorsqu'il est amorcé, ce dispositif est dans un état de courant élevé et de faible tension équivalent à un court-circuit entre VDD et VSS.

\* le déclenchement de cette structure est obtenu lorsqu'une des jonctions émetteur-base des transistors bipolaires NPN (ou PNP) est polarisée en direct. Ceci induit (lorsque la polarisation est suffisante) la conduction du transistor associé à cette jonction d'une part, et la polarisation en direct de l'autre jonction émetteur-base d'autre part, ce qui a pour conséquence la conduction du deuxième transistor. Il y a donc un effet cumulatif.

\* L'origine de la polarisation des jonctions émetteur-base est due à l'existence de courant IRP et IRN. IRN est le courant de substrat à travers RN<sup>-</sup> et IRP est le courant qui circule dans le puits. Ces deux courants forment un chemin de courant de VDD à VSS (les notations utilisées sont celles des figures I-12 et I-13).

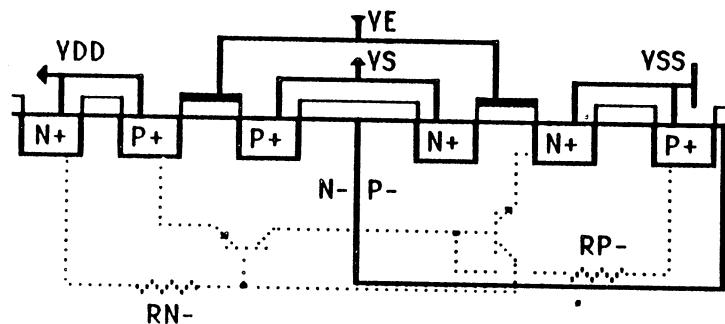


Figure I-12 : Structure NPNP sur un inverseur CMOS

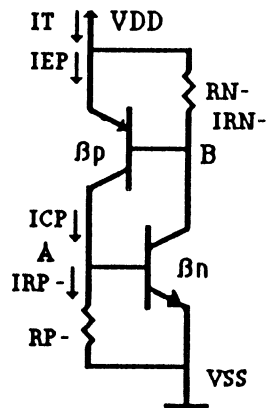


Figure I-13 : Schéma électrique de la structure thyristor

Ces courants ont pour origine possible :

- un courant d'avalanche à la jonction : puits p - substrat,
- des courants de déplacement dûs à des "spikes",
- des photocourants dû à des radiations ionisantes,
- l'injection de porteurs minoritaires par les diodes de protection de grille ou autre jonction.

Le latch-up est possible si :

- les transistors bipolaires sont polarisés en direct (mode actif),
- le produit gain en courant des deux transistors  $\beta_{npn} * \beta_{pnp} = 1$  cette valeur correspond à la condition minimum de régénération,
- l'alimentation est capable de générer un courant supérieur au courant de maintien du latch up.

Deux aspects peuvent être considérés dans l'étude du latch up, le maintien de l'état de fort courant et l'effet sur le fonctionnement logique du circuit.

a) Le latch up a deux comportements : un transitoire et un permanent. Si l'on considère la courbe  $I = f(V)$  de ce phénomène figure I-14 [DEZ 84] deux zones doivent être considérées :  $I > I_{hold}$  (maintien inconditionnel) et  $I < I_{hold}$  (maintien conditionnel). Lorsque  $V_{onset} < V < V_{crit}$ ,  $I < I_{hold}$  le latch up peut être annulé par suppression du stimulus qui lui a donné naissance. Celui ci n'est pas suffisant pour que la régénération se produise.

Par contre lorsque  $I > I_{hold}$  La seule solution pour arrêter le latch up est de couper l'alimentation.

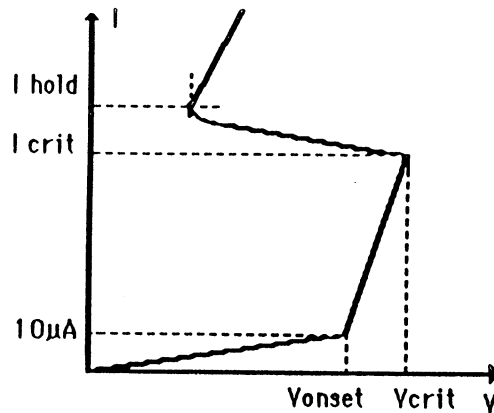


Figure I-14 : Caractéristique  $I=f(V)$  d'une structure latch up

L'équation du courant de maintien pour un court-circuit CMOS sur puces épitaxiées [OCHI79].

$$I_{\text{hold}} = \frac{I_{RS} \beta_p(\beta_n + 1) + I_{RW} \beta_n(\beta_p + 1)}{\beta_n \beta_p - 1}$$

Avec  $I_{RS}$  courant dans la résistance de substrat (cas d'un puits P),

$I_{RW}$  courant dans la résistance du puits (cas d'un puits P),

$\beta_n$  gain en courant du transistor NPN,

$\beta_p$  gain en courant du transistor PNP.

### **REMARQUE**

Une étude plus fine de cet état est donné dans [TRO 83].

#### **b) Effet sur le fonctionnement du circuit**

Lorsque le latch up apparait 2 effets peuvent apparaitre :

- 1) destruction d'une jonction PN ou coupure d'une ligne d'alimentation par suite d'un échauffement excessif,
- 2) perte de l'état logique du circuit. Cette perte peut intervenir non seulement lorsque le latch up est entretenu mais également lors d'un latch up temporaire non entretenu. Ces effets sur le niveau logique ne sont pas définis, ils seront présentés dans le chapitre II.

Les références bibliographiques qui traitent du latch up sont nombreuses mais peuvent être classées selon trois thèmes :

- description,
- modélisation,
- influence des paramètres structurels.

Ces trois thèmes d'études ont pour but la réduction, voire même l'annulation du latch up.

Deux voies qui permettent l'adaptation de la structure originelle, pour supprimer le latch up, sont poursuivies : modification des paramètres technologiques et des règles de dessin soit ajout d'éléments de protection sont décrits en II-2. A ceux-ci peuvent être ajoutés :

- la réduction de la durée de vie des porteurs en modification des concentrations et la réalisation de circuits sur plaquettes épitaxiées\*.

(\* l'épitaxie consiste à faire croître un silicium mono-cristallin de faible concentration et de forte résistivité sur un substrat silicium de forte concentration et de faible résistivité [SZE 81]).

Les papiers décrits ci-dessous présentent certains aspects des axes d'étude cités précédemment.

### V-2 Etude de DANTEC (DAN 81)

Ce papier présente les principaux éléments et les caractéristiques du phénomène latch up.

Quatre parties peuvent être recensées :

1) Description du latch up à partir d'une structure physique classique (inverseur). Pour cet élément particulier considéré dans le cas d'une structure CMOS sur substrat N sont données les équations et les schémas électriques des structures mises en jeu lors du latch up ainsi que l'explication du mécanisme (déclenchement et entretien). Une extension de ce modèle avec des diodes de protection d'entrée est également décrite.

2) Les conditions de déclenchement, décrites précédemment (paragraphe V-1), permettent de citer les structures d'entrée-sortie d'un circuit comme des lieux privilégiés d'occurrence du latch up. En effet, toutes les broches d'entrée-sortie ont des niveaux logiques qui peuvent être modifiés par l'extérieur (ex : alimentation trop forte ou signal parasite). Ces cas présentent des conditions de déclenchement indépendantes du circuit (design ou technologie).

3) Certains éléments qui permettent la réduction du latch up peuvent être cités :

- réduction du gain des transistors bipolaires parasites
- diminution des résistances de polarisation de puits et de substrat,
- adjonction d'éléments électriques de protection,
- utilisation de substrat dopé avec de l'or,
- irradiation du substrat avec des neutrons,
- utilisation de substrat épitaxié.

4) Une dernière partie concerne les utilisateurs de circuits CMOS. En effet, elle contient quelques conseils pour la réalisation de cartes à base de circuits CMOS. Des critères de même type peuvent être trouvés dans [MAN 84].

### V-3 Etude de GENDA [GEN 84]

Dans ce papier est décrit le passage du modèle électrique du réseau parasite de latch up, également appelé SCR (Semi conductor Controlled Rectifier), à un modèle à deux dimensions qui permet la simulation du phénomène.

Cette étude se compose de 4 parties :

#### 1) Etablissement d'un critère général du latch up

L'élément de base de cette étude théorique est la structure NPNP présente dans un inverseur CMOS classique. La figure associée au modèle électrique est donnée figure I-15.

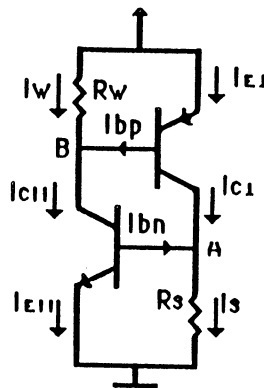


Figure I-15 : Schéma électrique de la structure de latch up

Lorsque la structure est dans un état de basse impédance déclenchée par une sur ou sous tension on peut écrire :

$$\begin{aligned}
 I_t &= I_{c1} + I_{c//} \\
 &= a_1 I_{E1} + I_{CO1} + a_{//} I_{E//} + I_{CO//} \\
 &= a_1 (I_{E1} + I_w) - a_1 I_w + a_{//} (I_{E//} + I_s) - a_{//} I_s + I_{CO1} + I_{CO//} \\
 &= (a_1 + a_{//}) I_t - a_1 I_w - a_{//} I_s + I_{CO1} + I_{CO//} \quad (1)
 \end{aligned}$$

$a_1$  et  $a_{//}$  sont les gains en courant continu des transistors PNP (verticaux) et NPN (horizontaux) [cas d'un puits N] et  $I_{CO}$  est le courant de collecteur en saturation.

L'équation (1) donne :

$$I_t (a_1 + a_{//} - 1 - \frac{a_1 I_w}{I_t} - \frac{a_{//} I_s}{I_t} + \frac{I_{CO}}{I_t}) = 0 \quad (2)$$

$$\text{avec } I_{CO} = I_{CO1} + I_{CO//}$$

puisque  $I_{CO}/I_t$  est négligeable en base impédance et  $I_t \neq 0$

les deux relations suivantes peuvent être obtenues :

$$a_1 \text{ et } a_{//} = 1 + \theta_1 a_1 + \theta_{//} a_{//} \quad (a)$$

$$\text{ou} \quad (3)$$

$$\beta_1 \beta_{//} = 1 + \theta_1 \beta_1 (\beta_{//} + 1) + \theta_{//} \beta_{//} (\beta_1 + 1) \quad (b)$$

$$\text{Avec } \beta = \frac{a}{1-a}, \theta_1 = \frac{I_w}{I_t} \text{ et } \theta_{//} = \frac{I_s}{I_t}$$

L'équation (3) représente le critère général de latch up. Cette relation est plus générale et plus complète que  $a_1 + a_{//} \geq 1$  et  $\beta_1 \beta_{//} \geq 1$ .

Plusieurs remarques peuvent être faites concernant cette relation :

- elle sert à définir la position de la jonction centrale du réseau NPNP lorsqu'il passe de l'état de polarisation inverse à directe,
- elle sert à définir les conditions d'occurrence du latch up,
- elle sert à définir les conditions de maintien du latch up,
- cette relation mathématique ne contient aucune condition sur les résistances de

polarisation de substrat et de puits (resp.  $R_s$  et  $R_w$ ) le paramètre  $\theta$  évite le calcul de ces paramètres,

- lorsque l'initialisation du latch up obtenue par génération de porteurs il faut additionner à l'équation (3) le terme  $I_{GEN}/I_t$

## 2) Détermination du seuil de déclenchement du latch up

Le seuil doit pouvoir être vérifié par la mesure donc la démarche doit en tenir compte. La structure utilisée pour cette étude est décrite figure I-16. Généralement les valeurs théoriques et mesurées de  $a$  ne correspondent pas, la raison en est que : lors d'une mesure le courant de base du transistor mesuré est fourni par la source de polarisation externe tandis que lorsque le système fonctionne normalement ce courant est fourni par le transistor complémentaire. Pour éviter ce problème, l'étude est séparée en 2 étapes, qui permettent la détection séparée des courants : les modèles utilisés sont décrits par les figures I-17 et I-18.

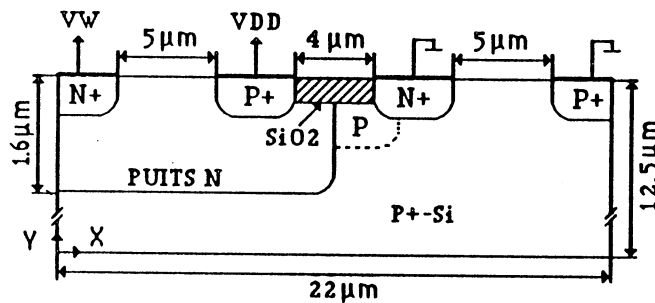


Figure I-16 : Structure de base

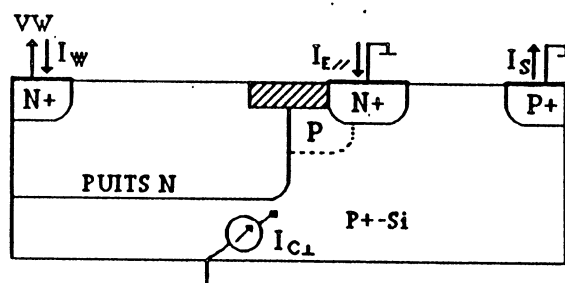


Figure I-17 : Structure partielle pour l'étude des caractéristiques NPN

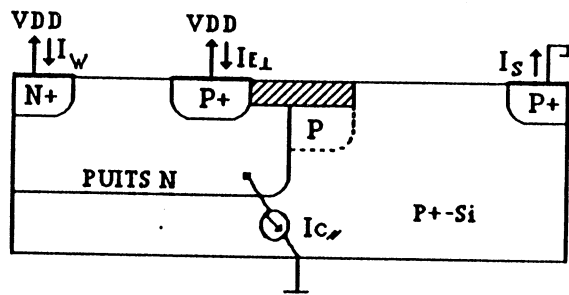


Figure I-18 : Structure partielle pour l'étude des caractéristiques PNP

Figure I-17 (resp. I-18),  $I_{C1}$  (resp.  $I_{C//}$ ) remplace le transistor vertical (resp. horizontal).

Ces deux cas de figures permettent d'obtenir:  $a_1(I)$  et  $\theta_1(I)$  (resp.  $a//(I)$  et  $\theta//(I)$ ).

Les mesures obtenues permettent de tracer :  $[ a_1 + a// - \theta_1 a_1 - \theta// a// ]$ . Le seuil de déclenchement est obtenu lorsque cette valeur vaut 1. La courbe obtenue est tracée figure I-19.

Tant que  $a_1 = a// < 1 + \theta_1 a_1 + \theta// a//$  ( $I < I_{seuil}$ ), alors  $I_{C1} < I_S + I_{E//}(1-a//)$ . Cette inégalité montre que tant que le seuil de déclenchement n'est pas atteint le courant total tend à décroître.

Mais si  $a_1 + a// > 1 + \theta_1 a_1 + \theta// a//$  alors le latch up est déclenché et  $I_{total}$  croit. Le courant de déclenchement du latch up varie en fonction de la tension d'alimentation (Figure I-19).

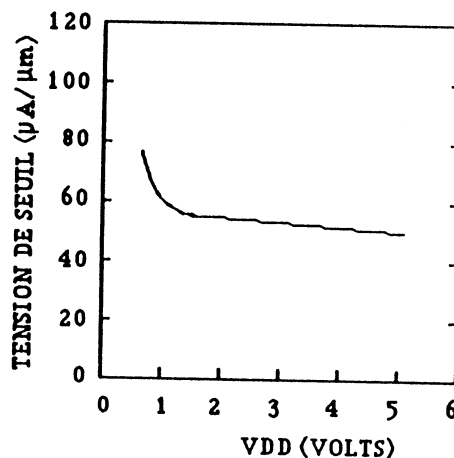


Figure I-19 : Variation du courant de déclenchement en fonction de la tension d'alimentation



### 3) Déclenchement dynamique du latch up à deux dimensions

Dans les structures NPNP le passage de l'état de haute impédance à l'état de basse impédance est un phénomène transitoire difficile à étudier. Une étude est réalisée ici au moyen du programme de simulation FIELDAY. Les courbes obtenues montrent la distribution de potentiel correspondant à l'état du système. Un exemple de ces courbes est présenté figure I-20 dans le cas de haute impédance.

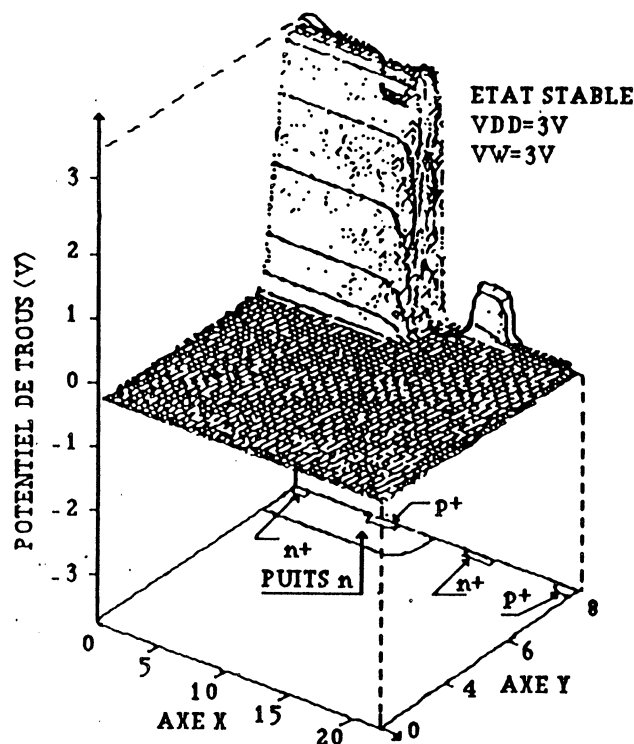


Figure I-20 : Distribution du potentiel de trous à 2 D

\*le mécanisme de déclenchement utilisé pour cette étude est la polarisation en direct de la jonction P<sup>+</sup>-puits N par imposition de la tension de polarisation du puits. Quatre états sont ainsi présentés :

- a) état de haute impédance ("OFF"). La polarisation des puits est nulle, cependant la jonction puits substrat est polarisée en inverse,
- b) potentiel pendant le déclenchement.

- l'initialisation est obtenue en baissant la tension de polarisation du puits 2.2V pendant 1,6ns alors le transistor PNP est "on" et le bouclage sur le transistor NPN fait croître le courant. Les deux jonctions P<sup>+</sup>-puits N et N<sup>+</sup>-substrat sont polarisées en direct. La forte injection de trous de l'émetteur

du transistor PNP vers le collecteur (substrat) a pour effet d'augmenter le potentiel du substrat et par suite polarise en direct la jonction  $N^+$ - substrat. Cependant puisque le courant obtenu est inférieur au courant de seuil, le latch up n'est pas entretenu,

- si la tension de déclenchement est maintenue pendant 2.2ns le courant obtenu est supérieur au précédent mais encore insuffisant pour atteindre le seuil de déclenchement.

c) état de basse impédance : latch up "on".

Avec une polarisation de 2.2 V maintenue 3.1 ns le courant de seuil est obtenu. Après déclenchement, la tension de puits revient à 3 V (normale) puits N est indiscernable, toute la zone NPNP contient un nombre élevé d'électrons et de trous.

#### 4) Etude de la caractéristiques I-V du latch up

Sur la caractéristique I-V du latch up, le courant de seuil est obtenu pour  $dV/dI = 0$ . Dans les états décrits précédemment les transistors NPN et PNP étaient tous deux soit ON soit OFF. dans la phase de transition, les deux transistors sont en train de conduire. Cette phase instable ne dure pas longtemps elle est ainsi difficile à mettre en évidence.

### **REMARQUES**

Cette étude permet de visualiser les distributions de potentiels sur toute la structure de latch up à n'importe quel instant. Cette méthode permet de suivre l'évolution du phénomène en deux dimensions.

Un point est cependant à noter en ce qui concerne l'étude du courant de seuil. L'étude séparée de  $a//$ ,  $\theta//$  et  $a\perp$ ,  $\theta\perp$  avec des structures particulières est intéressante mais les courbes obtenues ne sont pas optimales car obtenues chacune pour  $\theta$  opposé ( $\perp$  ou  $//$ ) constant. Les structures de test utilisées ont leurs équivalents électriques présentés figures I-21 et I-22.

Si l'on considère la figure I-21 associé à l'étude de  $\theta//$  et  $a//$  on peut remarquer que  $I_w = I_t$  donc  $\theta\perp = I_w/I_t = 1$ . Une analyse de même type peut être faite sur la figure I-22. Lorsque la courbe  $a// + a\perp - \theta\perp a\perp - \theta// a//$  est tracée à partir des 2 courbes  $\theta\perp a\perp$  et  $\theta// a//$  les coefficients obtenus ne l'ont pas été dans les mêmes conditions. La courbe obtenue est décrite en fonction du courant total, dans les deux cas il s'agit du courant total mais pour des structures différentes. De

plus l'effet cumulatif du latch up n'est pas pris en compte.

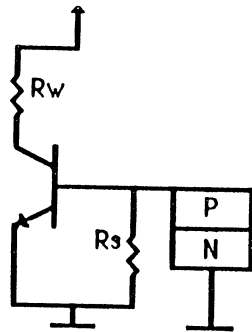


Figure I-21 : Schéma électrique équivalent utilisé pour l'étude du transistor NPN

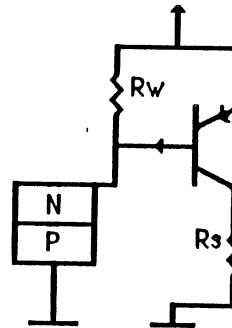


Figure I-22 : Schéma électrique équivalent utilisé pour l'étude du transistor PNP

La courbe  $a// + a_1 - \theta_1 a_1 - \theta // a // = f(I_t)$  obtenue ne représente pas la valeur exacte. L'écart de cette courbe avec la courbe réelle aurait pu être précisé. Si celui-ci est faible alors la courbe donnée peut être acceptée.

#### V-4 Etude de CHING-YUIH FANG et MOLL [RCM 83]

Dans cet article sont présentées successivement :

- une approche mathématique permettant le calcul des courants de maintien de latch up.
- une caractérisation des paramètres des transistors bipolaires parasites qui sont influents sur le latch up. Cette caractérisation est accompagnée de résultats expérimentaux prouvant la validité de l'étude théorique qui précède.
- une étude des caractéristiques de déclenchement de la structure parasite.

##### 1) Détermination par le calcul du courant de maintien

L'expression analytique du courant de maintien est décrite pour deux types d'implantations de réseaux NPNP, normale et inverse, les implantations et schémas électriques associés sont présentés respectivement figures I-23 et I-24 (a et b).

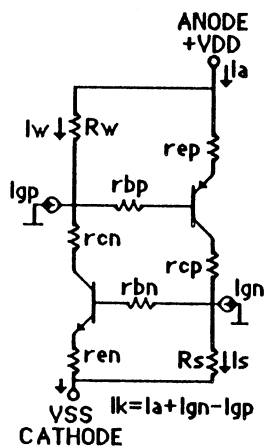
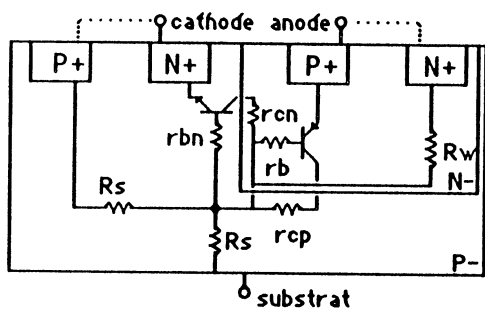


Figure I-23 : Coupe et schéma électrique équivalent d'une structure NPNP directe

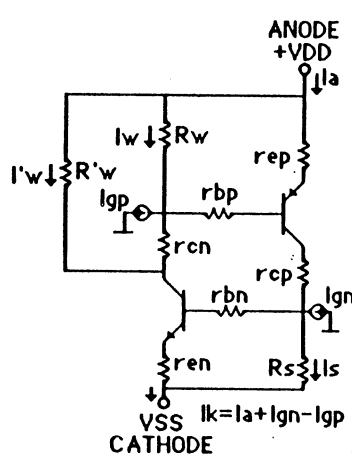
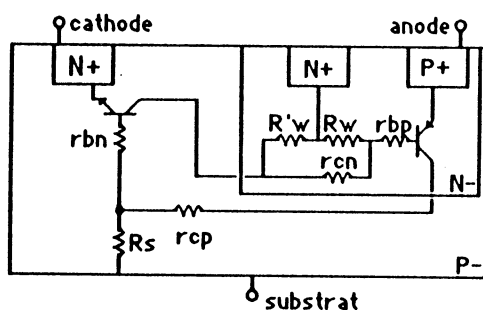


Figure I-24 : Coupe et schéma électrique équivalent d'une structure NPNP inverse

L'équation de base du courant de maintien dans le cas normal est :

$$I_A = \frac{a_n(I_{gn} - I_{gp}) + I_{gp} - a_p I_s - a_p I_w}{1 - (a_n + a_p)}$$

- avec  $a_n$  et  $a_p$  : gains en courant des transistors NPN et PNP,
- $I_s$  et  $I_w$  : courants des résistances shunt de substrat et de puits,
- $I_{gn}$  et  $I_{gp}$  : courants de déclenchement de base externes,

Les expressions des courants et résistances équivalentes sont les suivantes.

$$I_w = \frac{I_A R_1 + V_P}{R_w + R_1}$$

$$I_s = \frac{(I_A - I_{gn} + I_{gp}) R_2 + V_n}{R_s + R_2}$$

$$R_1 = R_{ep} + (1 - A_p) R_{bp}$$

$$R_2 = R_{en} + (1 - A_n) R_{bn}$$

Une solution consistante du courant de maintien peut être obtenue en utilisant les expressions des courants  $I_{cn}$  et  $I_{cp}$ .

$$I_{cn} = I_{cnoeq} V_n / nkT$$

$$I_{cp} = I_{cpoeq} V_p / nkT$$

Le courant de maintien obtenu dans le cas de la structure inverse est:

$$I_A = \frac{a_n (I_{gn} - I_{gp}) + I_{gp} - a_n I_s - a_p (I_w + I'_w)}{1 - (a_n + a_p)}$$

L'expression est modifiée par une résistance additionnelle  $R'_w$ . Le courant  $I'_w$  associé vaut :

$$I'_w = \frac{I_A}{R'_w + \gamma_{cn} R_w + R_1} * \left[ \frac{R_w R_1}{R_s + R_2} + a_n \gamma_{cn} - a_n \gamma_{cn} \frac{R_2}{R_s + R_2} \right]$$

$$+ \frac{1}{R'_w + \gamma_{cn} R_w + R_1} \left[ \frac{R_w V_p + a_n r_{cn} (I_{gn} - I_{gp}) * V_n}{R_s + R_2} \right]$$

Dans les deux cas, la valeur de  $I_w$  ou  $I'_w$  doit être obtenue par un calcul numérique itératif.

## 2) Caractérisation des paramètres des transistors bipolaires parasites

Cinq paramètres sont étudiés ici ; le gain en courant, la résistance d'émetteur, la résistance de collecteur, la résistance base-émetteur et la résistance émetteur-substrat. L'expression du gain en courant est :

$$R_{FE} = \frac{L_n \cdot d_n}{W_e \cdot W_n}$$

avec  $L_n$  : longueur de diffusion des électrons,

$d_n$  : profondeur de la jonction émetteur,

$W_e$  : largeur de l'émetteur,

$W_n$  : largeur de la base du transistor latéral NPN.

$R_{FE}$  décroît pour les valeurs de courant de collecteur élevées par suite de la grande résistance de collecteur ou par suite de l'effet de forte injection du courant de collecteur.

- la résistance d'émetteur qui est utilisée pour polariser en direct la jonction émetteur base

est déterminée par simulation du courant de base et mesure la variation de tension entre collecteur et émetteur.

La résistance de collecteur est obtenue en forçant le courant de base et mesure du décalage de la tension de collecteur pour différents courants de collecteur.

La résistance entre contact de base et jonction de l'émetteur est déduite de la mesure de la résistance de collecteur du transistor complémentaire. La résistance shunt entre la jonction émetteur et le contact du substrat est inversement proportionnelle au rapport des longueurs des émetteurs : transistor NPN / transistor PNP. Les expériences réalisées confirment les valeurs théoriques obtenues.

### 3) Etude des caractéristiques de déclenchement

La structure parasite peut être déclenchée par différents modes. Celui étudié ici est le déclenchement par injection de courant sur la base. Dans ce cas, pour que l'initialisation ait lieu il faut que l'excitation soit maintenue pendant un temps déterminé. La courbe, figure I-25, présente les variations du temps de maintien avec la valeur du courant (ou de la tension) d'excitation.

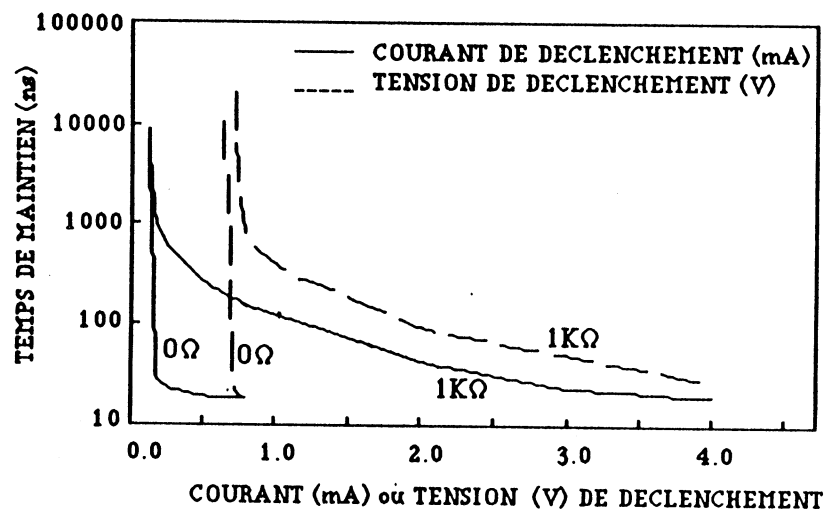


Figure I-25 : Variation du temps de maintien en fonction du courant et de l'excitation

Le temps de maintien correspond au temps de transit à travers les deux transistors parasites. Si la durée de vie des porteurs minoritaires est plus grande que le temps de transit dans la base, ce qui est le cas dans cette étude alors ; le temps minimum de maintien :

$$\frac{W_p^2}{2D_p} + \frac{W_n^2}{4D_n}$$

avec  $W_p$  et  $W_n$  les largeurs des bases et  $D_p$  et  $D_n$  les coefficients de diffusion des trous et des électrons (respectivement).

Le temps de maintien dépend de la largeur de base du transistor latéral. La figure I-26 montre les variations du temps mis pour qu'un transistor conduise en fonction de la largeur de la base du transistor latéral.

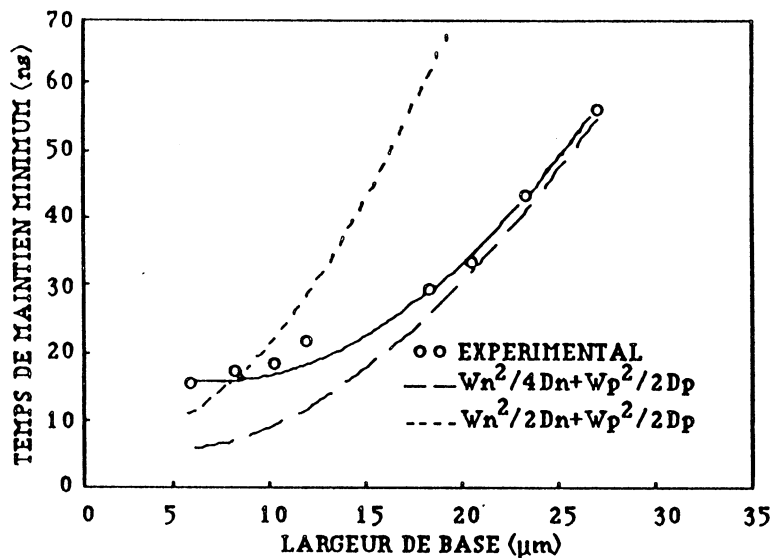


Figure I-26 : Variation du temps de maintien en fonction de la largeur de la base du transistor latéral

### V-5 Étude de ESTREICH et DUTTON [DON 82]

L'étude de l'effet latch up présentée dans ce papier a pour but la modélisation et le contrôle du phénomène.

La modélisation est obtenue par le développement d'une structure équivalente au circuit de latch up consistée d'éléments discrets figure I-27.

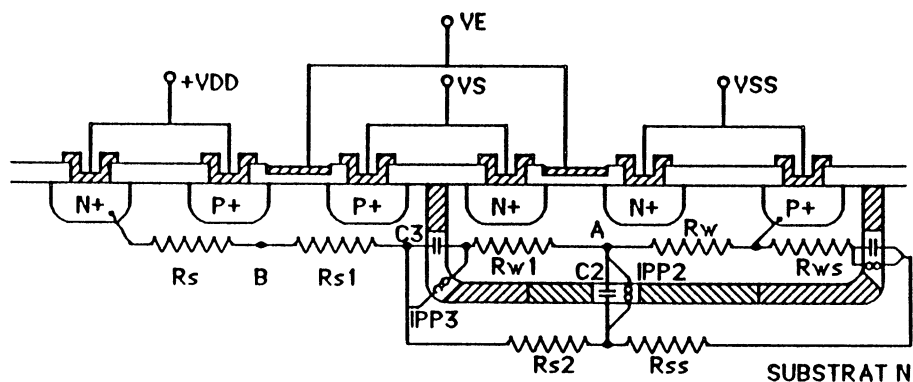


Figure I-27 : Modèle utilisé pour la description de la structure parasite

Deux parties sont développées :

- la première présente pas à pas une procédure pour tester si le latch up peut apparaître sur une structure NPNP donnée suivie d'une application sur un circuit (DG 515 D/A convertisseur) qui permet l'édition de valeurs des éléments du modèle présenté.
- la deuxième décrit des méthodes utilisées pour réduire ou éliminer le latch up.

### A/ Procédure d'identification du latch up

1) Choisir un chemin ou l'identifier. Si la région testée a présenté du latch up, alors il n'y a pas de problème. Par contre si la recherche de latch up est effectuée sur les masques, le problème est plus difficile.

L'occurrence du latch up est très probable :

- sur les chemins entre les contacts Vdd et Vss,
- sur les chemins entre p+ des diodes de protections et les contacts Vss voisins,
- sur les chemins entre les contacts Vdd et les N<sup>+</sup> adjacents des diodes de protection.

2) Choisir le chemin de courant le plus probable le long du chemin de latch up.

3) Identifier les porteurs minoritaires injectés dans les régions N ou P du chemin de latch up. Cela consiste à localiser les diodes P<sup>+</sup>-N et N<sup>+</sup>-P qui peuvent être polarisées en direct ou en inverse.

4) Partitionner le puits P. La phase de courant le long du chemin de latch up est un problème distribué. L'utilisation d'éléments discrets pour simuler le latch up nécessite le partitionnement de la région où se produit le latch up en petits éléments, chacun de ces éléments pouvant être approximé par un élément discret.

5) Calculer les résistances parasites à partir des données technologiques et de la géométrie de l'implantation.

6) En dériver le modèle du transistor latéral.

7) En dériver le modèle du transistor vertical.

8) Déterminer les éléments de la jonction puits P-substrat. Cela inclus les capacités de déplétion.



### **B/ Le contrôle du latch up**

Ce contrôle peut être obtenu par différents procédés :

- dopage d'or et irradiation des neutrons. Ces opérations réduisent la durée de vie des porteurs minoritaires et par suite réduisent le produit gain en courant des transistors parasites,
- isolation diélectrique accroît la complexité des circuits et accroît le coût (ex : voir l'évolution de la technologie),
- techniques d'implantation,
  - minimum le courant latéral le long du chemin potentiel de latch up,
  - réduire les tensions produites aux bornes de résistance pouvant déclencher les transistors parasites,
  - positionner les émetteurs du transistor latéral de manière à minimiser le gain en courant,
  - couches et barrières épitaxiées.

### **V-6 Etude de TROUTMAN et ZAPPE [TRO 83]**

Ce papier présente une analyse transistor du latch up sur circuit CMOS sur substrat silicium. Le modèle utilisé pour l'étude est représenté par des éléments discrets mais tient compte, contrairement aux autres modèles présentés par ailleurs, de la capacité substrat-puits (celle-ci procure un chemin important aux courants transitoires). Les modèles de transistors utilisés sont ceux de EBERS-MOLL (voir annexe), le facteur de transport est considéré comme constant. De plus, les jonctions P-N des transistors sont supposées linéaires par morceaux. Cela implique qu'il n'y a pas de courant inverse de saturation ainsi qu'une commutation abrupte pour  $V_{BE} = V_b^*$ .

Cette étude est composée de quatre parties :

- analyse transitoire du latch up,
- alimentation par une tension transitoire,
- comparaison des solutions analytiques avec les simulations numériques,
- stabilité du latch up.

#### **1) Analyse transitoire du latch up**

Le modèle équivalent du circuit parasite est représenté figure I-28. Cette analyse consiste à observer la réponse du circuit à une excitation de type générateur de THEVENIN. Cette réponse est répartie en 4 régions :

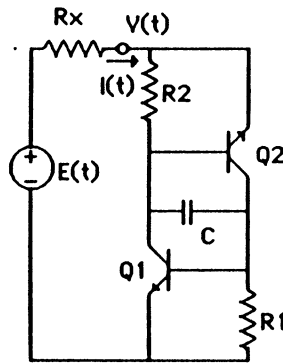


Figure I-28 : Schéma électrique équivalent à la structure parasite étudiée

**Région 1** : voir circuit équivalent figure I-29.

$E(t)$  croit à partir de zéro, les deux transistors sont "OFF", les conditions de polarisation en direct de la jonction émetteur base ne sont pas obtenues.

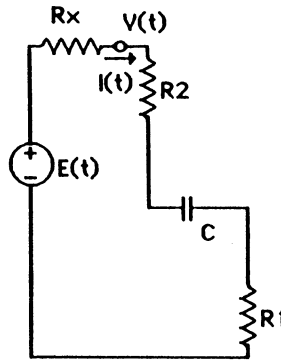


Figure I-29 : Circuit équivalent en région 1

**Région 2** : voir circuit équivalent figure I-30.

$V_{BE}$  d'un transistor  $> V_b$  n'est pas suffisant pour déclencher le latch up, l'autre reste "OFF". Le transistor qui a la résistance, base-émetteur la plus grande conduit le premier.

( $V_b^*$  = tension de polarisation qui permet le déclenchement d'un transistor).

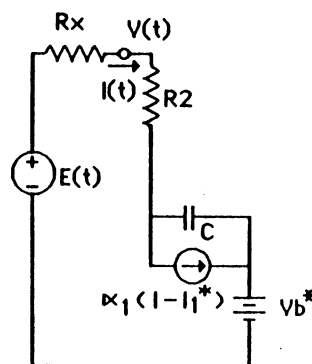


Figure I-30 : Circuit équivalent en région 2

**Région 3** : voir circuit équivalent figure I-31.

Les deux transistors sont en phase active (base émetteur en polarisation directe. Selon les conditions de régénération, la boucle de retour peut entraîner une portion de cette région à fonctionner en résistance négative.

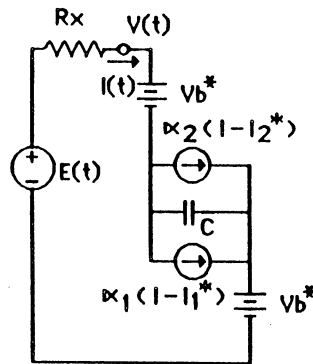


Figure I-31 : Circuit équivalent à la région 3

**Région 4** : Les deux transistors sont saturés ; cela se traduit par un état de basse impédance.

Dans les trois premières régions, le courant  $I(t)$  peut être décrit par l'équation :

$$C \frac{d}{dt} [E(t) - R I(t)] = I_c(t)$$

Avec  $R$  = somme des résistances en séries

$I_c$  = courant de capacité

Ces valeurs sont différentes dans les trois régions.

**Région 1** :  $0 \leq t \leq t_1$

$$R = R_x + R_1 + R_2$$

$$I_c(t) = I(t)$$

$$I(t=0) = 0$$

**Région 2** :  $t_1 \leq t \leq t_2$

$$R = R_x + R_2$$

$$I_c(t) = I(t) - a_1(I - I_1^*)$$

$$I(t_0 = t_1) = I_1^* = V_{b^*}/R_1$$

**Région 3** :  $t_2 \leq t \leq t_3$

$$R = R_x$$

$$I_c(t) = I(t) - a_1(I - I_1^*) - a_2(I - I_2^*)$$

$$I(t = t_2) = I_2^* = V_{b^*}/R_2$$

Les solutions de l'équation de base pour chaque région peuvent être alors déduites.

### Région 1

$$I(t) = \frac{1}{R_x + R_1 + R_2} \int_0^t E(x) e^{-(t-x)/\tau_1} dx$$

$t_1$  est obtenu par la condition  $I(t_1) = I_1^*$ .

### Région 2

$$I(t) = \frac{I_1^*}{(1 - \alpha_1)} \left[ \alpha_1 - e^{-(t-t_1)/\tau_2} \right] + \frac{1}{R_x + R_2} \int_{t_1}^t E(x) e^{-(t-x)/\tau_2} dx$$

$t_2$  est obtenu pour  $I(t_2) = I_2^*$ .

### Région 3

$$I(t) = \frac{1}{(1 - \alpha_1 - \alpha_2)} \left[ I_k^* - I_3^* e^{-(t-t_2)/\tau_3} \right] + \frac{1}{R_x} \int_{t_2}^t E(x) e^{-(t-x)/\tau_3} dx$$

$t_3$  est obtenu pour  $V_c(t_3) = -V_b^*$ .

- le courant au coude de la courbe du latch up est obtenu pour  $\frac{dv}{dt} = 0$  cette valeur correspond au courant de maintien.

$$I_k = I(t=t_k) = \frac{\alpha_1 I_1^* - \alpha_2 I_2^*}{\alpha_1 + \alpha_2 - 1}$$

## 2) Alimentation par une tension transitoire

Le déclenchement de la structure parasite peut être obtenue à la mise sous tension. La simulation de ce type de déclenchement peut être obtenu en utilisant le modèle de tension décrit figure I-32.

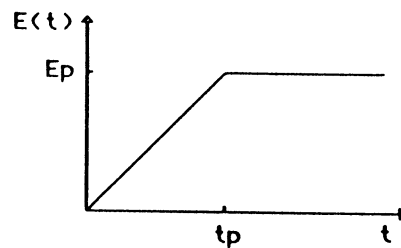


Figure I-32 : Forme de la rampe utilisée pour le déclenchement de la structure parasite

L'étude des courants dans ce cas utilise les équations présentées précédemment, dans chacun des cas envisagés.

**CAS A** : La région 2 n'est pas atteinte car il n'y a pas suffisamment de courant généré par la rampe. Ce cas est possible si :

$KC < I_1^*$  ou  $KC > I_1^*$  mais la rampe est arrêtée avant le déclenchement.

La valeur finale des courants est :

$$I(t) = KC (1 - e^{-t/t_1})$$

pour  $0 \leq t \leq t_p$ , et

$$I(t) = KC [1 - e^{-t_p/t_1}] e^{-(t-t_p)/t_1}$$

pour  $t_p < t$

**CAS B** : La région 2 est atteinte si  $KC > I_1^*$  et  $t_p > t_1$  Mais la région 3 n'est pas atteinte car  $KC \leq I_3^*$  ou la rampe est arrêtée avant  $t_2$  ( $t_p < t_2$ ). Les équations finales des courants sont :

$$I(t) = KC (1 - e^{-t/t_1})$$

pour  $0 \leq t \leq t_1$ , et

$$I(t) = I_1^* + (KC - I_1^*) [1 - e^{-(t-t_1)/t_2}]$$

(1-a1)

pour  $t_1 \leq t \leq t_p$

$$I(t) = \frac{a_1 I_1^* - 1}{(1-a_1)} + \frac{\{ I_1^* + KC [e^{-t_p-t_1}/t_2 - 1] \} e^{-(t-t_1)/t_2}}{(1-a_1)}$$

pour  $t_p \leq t \leq t_a$

$$I(t) = I_1^* e^{-(t-t_a)/t_1}$$

**CAS C** : Le circuit entre en région 3 ( $KC > I_3^*$  et  $t_p > t_2$ ) mais le latch up n'est pas entretenu si  $(a_1 + a_2) < 1$ .

Le latch up peut cependant être évité si  $a_1 + a_2 \leq 1$  dans le cas où la rampe est arrêtée avant d'atteindre le coude de la courbe ( $t_p < t_n$ ) avec la condition

$$KC < \frac{I_3^*}{1 - e^{(t_p - t_2)/t_3}}$$

Les courants terminaux dans ce cas valent :

pour  $0 \leq t \leq t_1$

$$I(t) = I_1^* + \frac{(KC - I_1^*)}{(1 - a_1)} [1 - e^{-(t-t_1)/t_2}]$$

pour  $t_1 \leq t \leq t_2$

$$I(t) = I_2^* + \frac{(KC - I_2^*)}{(1 - a_1 - a_2)} [1 - e^{-(t-t_2)/t_3}]$$

pour  $t_2 \leq t \leq t_p$

$$I(t) = \frac{1}{(1 - a_1 - a_2)} \{ [(e^{(t_p - t_2)/t_3} - 1) KC + I_3^*] e^{-(t-t_2)/t_3} - I_3^* \}$$

pour  $t_p \leq t \leq t_b$

$$I(t) = [I_2^* + \frac{a_1 I_3^*}{(1 - a_1)}] e^{-(t-t_b)/t_2} - \frac{a_1 I_1^*}{(1 - a_1)}$$

pour  $t_b \leq t \leq t_c$

$$I(t) = I_1^* e^{-(t-t_c)/t_1}$$

**CAS D** : Le circuit entre en région 3 ( $KC > I_3^*$  et  $t_p > t_2$ ), il y a apparition du latch up :

$$a_1 + a_2 > 1 \text{ et : soit } t_p > t_k, \text{ soit } KC > \frac{I_3^*}{1 - e^{-(t_p - t_2)/t_3}}$$

### 3) Comparaison des solutions analytiques avec les simulations numériques

Le modèle a été simulé par le programme de simulation ASTAP. Une différence est à noter en ce qui concerne le modèle de diode pour les simulations : la caractérisation des diodes modifiées est exponentielle tandis que les modèles présentés précédemment étaient linéaires par morceau. La figure I-33 ci-dessous présente un exemple de courbe obtenu dans le cas C.

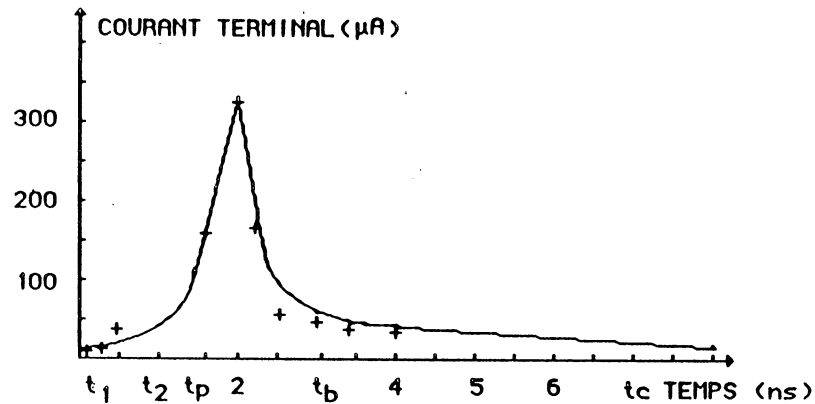


Figure I-33 : Comparaison des valeurs calculées et simulées du courant en fonction du temps pour un courant non entretenu

Les hypothèses considérées ne traduisent pas exactement le comportement réel. En effet, le fait que la tension base-émetteur demeure constante après le déclenchement du transistor ne permet pas de voir les caractéristiques réelles, lorsque la polarisation varie. Cela entraîne 3 effets:

- a) le simulateur peut donner des courants de pic erronés,
- b) puisque l'approximation de la polarisation de la région active pour le transistor n'est plus valable quand le système entre en saturation, les équations ne reflètent pas le comportement réel. Cependant, la saturation qui arrive après le coude de la courbe est caractéristique d'un état de latch up irréversible,
- c) les simulations ASTAP permettent d'observer l'évolution des comportement de l'état sans latch up à l'état avec latch up en faisant varier la valeur de K. Un exemple est présenté figure I-34.

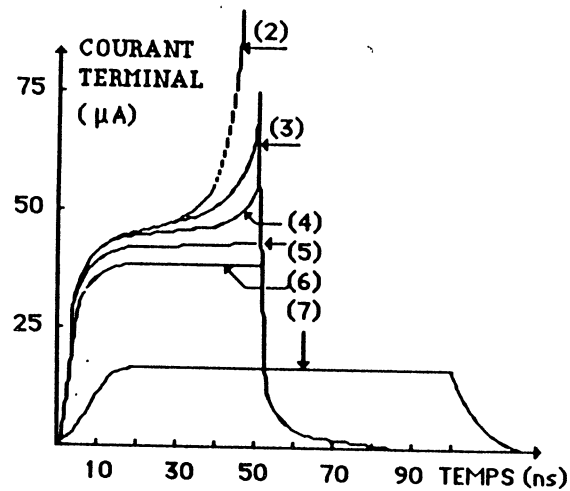


Figure I-34 : Variation du courant de latch up en fonction du retard du déclenchement (dans différents cas de déclenchement  $f$  et du temps de montée rampe) (1) 300 m/ns et (7) 100 m/ns

Puisque ASTAP permet une conduction partielle, il prédit une stabilisation plus rapide que les équations analytiques. Le comportement du modèle analytique est dépendant de la valeur  $V_b^*$ .

#### 4) La stabilité du latch up

Lorsque la condition  $a_1 + a_2 \leq 1$  est vérifiée le latch up ne peut apparaître. Par contre si  $a_1 + a_2 \geq 1$  alors il a été montré que le latch up peut apparaître mais qu'il n'est pas entretenu si la condition :  $KC < I^*3 = I^*2 - a_1(I^*2 - I^*1)$  est vérifiée. Une deuxième condition peut être considérée pour éviter l'entretien du latch up :

$$E_p < \left[ 1 + (1 - a_1) \left( 1 + \frac{R_x}{R_1} \right) + \frac{a_1}{R_1} (R_x + R_2) \right] V^*B$$

Le problème de stabilité peut être résumé par la figure I-35.

#### REMARQUE

Ce papier présente une étude théorique puis une validation par simulation ce qui permet de vérifier les modèles utilisés et les hypothèses de fonctionnement.

Suite à [TRO 83], [TRO 84] présente une série de tests qui mettent en évidence les



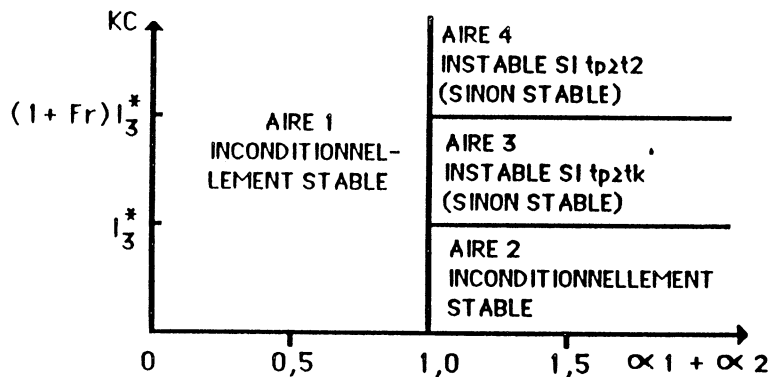


Figure I-35 : Différentes zones de stabilité

influences de certains paramètres de la structure sur le latch up, sur des circuits sur substrat et silicium épitaxié.

Les conclusions de ces tests permettent d'effectuer des modifications au niveau du dessin des masques et de la technologie comme suit :

\* Structure sur substrat silicium :

- placer le contact de la base du transistor vertical PNP plus près du transistor NPN que de l'émetteur,
- placer le contact de base du transistor latéral NPN plus près du puits N,
- diminuer la résistance de substrat avec un contact placé près du puits N,
- utiliser une source externe de polarisation du substrat (contact sur le dessus ou sur le côté).

\* Structure sur silicium épitaxié :

- placer le contact de base du transistor vertical PNP plus près du puits N que de l'émetteur,
- placer le contact de base du transistor vertical PNP plus près du transistor latéral NPN que de l'émetteur,
- utiliser une polarisation externe du substrat appliquée sur un contact, sur la partie supérieure du circuit,
- utiliser des contacts en dessous du circuit.

### V-7 Etude de TAKACS et WERNER [TAK 84]

Ce papier présente des résultats théoriques et expérimentaux d'études du latch up sur des structures CMOS sur substrat avec et sans couche épitaxiée. Les principaux résultats présentés sont :

- la localisation du chemin de latch up,
- l'influence des paramètres du "process" sur le latch up,
- les limitations à l'immunité du latch up,

La structure utilisée pour cette étude est décrite figure I-36.

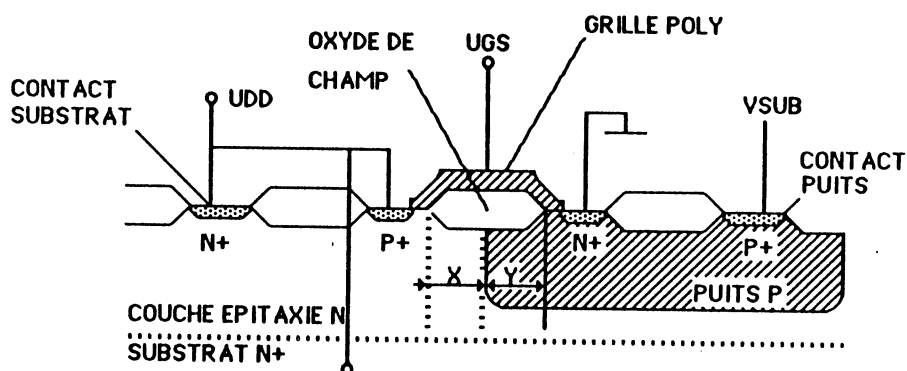


Figure I-36 : Structure de test utilisée pour l'étude des surfaces actives du latch up

Les deux résultats obtenus sont présentés figure I-37 et I-38. Il s'agit de la variation de  $V_{CRIT}$  et  $I_{CRIT}$  en fonction de la tension appliquée sur la "grille parasite".

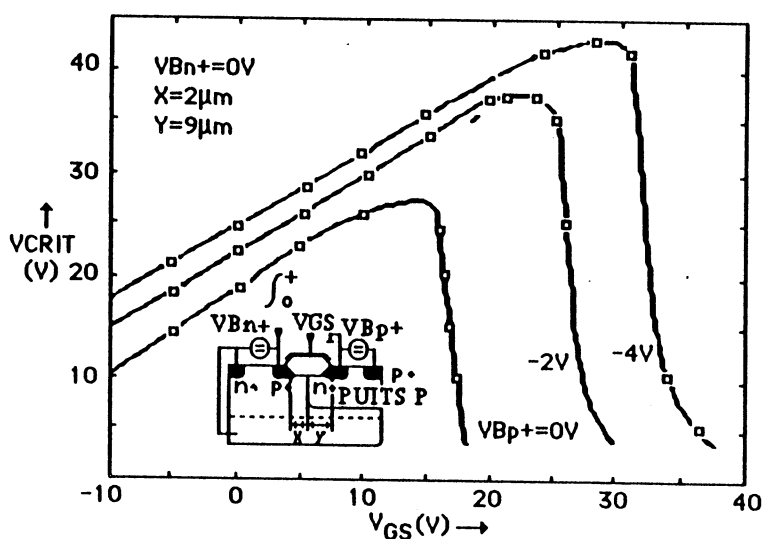


Figure I-37 : Variation de la tension critique en fonction de la tension de "grille parasite"

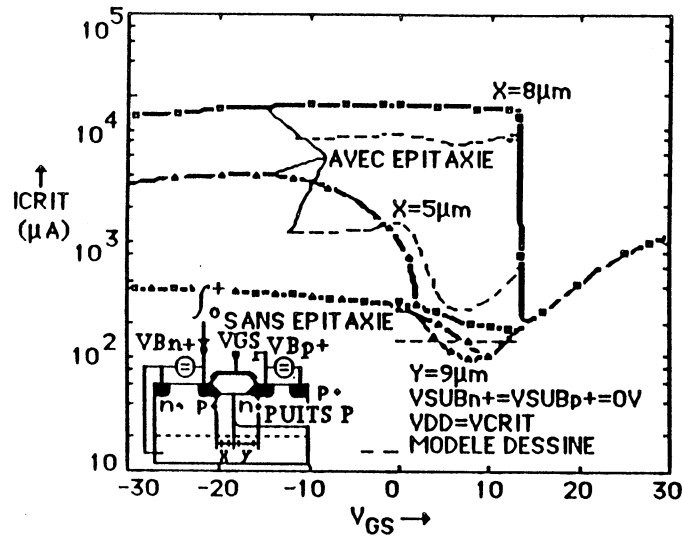


Figure I-38 : Variation du courant critique en fonction de la tension appliquée sur la grille parasite (pour des structures avec et sans couche épitaxiée)

L'étude de  $V_{CRIT}$  indique que lorsque  $V_{GS}$  croît,  $V_{CNT}$  croît lentement jusqu'à atteindre un maximum qui correspond à la tension de seuil de l'oxyde épais du canal. Cette tension de seuil est dépendante de la tension appliquée sur la grille parasite,  $V_{seuil}$  croît si  $V_{BP+}$  décroît.

L'étude de  $I_{CRIT}$  montre que  $I_{CRIT}$  est indépendant de  $V_{GS}$  dans le cas d'une structure sans couche épitaxiée, lorsque  $X$  varie, par contre  $I_{CRIT}$  peut varier du simple au double dans le cas d'une structure avec couche épitaxiée, lorsque  $X$  varie.

Les effets décrits ci-dessus peuvent être compris quantitativement lorsque les influences sur chaque éléments sont étudiées séparément. Des simulations réalisés avec GALATEA (de Aachen) utilisant les données technologiques obtenues par le programme SUPREM, ont permis l'étude du taux de recombinaisons dans la structure de latch up.

Les effets de surface sont décrits par la modulation de la charge de GUMMEL dans les éléments de transfert et la modulation de la conductivité des résistances dues aux déplétions de surface ou aux accumulations.

Les potentiels de surface sont décrits par :

$$\Psi_{n,p} = V'G \pm \frac{esitox^2qN}{eox^2} \sqrt{\left(1 \pm 2 \frac{eox^2(V'G-V'B)}{esitox^2qN} - 1\right)}$$

$V'G = VG - \emptyset_{MS}$  : tension de grille modifiée,

$V'B = VB + \emptyset_F$  : tension de substrat modifiée,

$tox$  : épaisseur de l'oxyde épais,

$\epsilon_{ox}$	: permittivité diélectrique du silicium et de l'oxyde,
$N$	: densité moyenne du dopage,
$\phi_{MS}$	: travail de sortie de la grille,
$\phi_F$	: niveau de FERMI dans le substrat.

Les valeurs de  $\psi_{n,p}$  permettent de calculer l'accumulation ou la déplétion de charges par :

$$\Delta Q_{MOS} = \pm(V_G - \psi_{n,p}) \epsilon_{ox} / t_{ox}$$

Ces charges de surface sont utilisées pour moduler les densités de porteurs  $n$  et  $p$  des courants de surface.

$$I_{maj}(VG) = I_{maj}(0) \frac{n \cdot L - \Delta Q_{MOS}(VG)/q}{n \cdot L}$$

$$I_{trans}(VG) = I_{trans}(0) \frac{n \cdot L}{n \cdot L - \Delta Q_{MOS}(VG)/q}$$

Les charges d'accumulation et d'inversion sont considérées pour les courants majoritaires mais négligées pour les courants de transfert.

### Résultats des simulations

L'influence de la grille parasite sur chaque élément est étudiée en vue de déduire les surfaces actives dans le latch up.

**\*Génération de courant** : lorsque le latch up est initialisé par sur tension, le courant de déclenchement doit être un courant de fuite à travers la jonction puits P-substrat N, généré entre les régions P+ et N+. Ce courant de fuite peut être généré par la conduction du canal ou par effet de court-circuit du MOS, obtenu par une grille parasite sur oxyde de champ et multiplication de porteurs dans la zone de charge d'espace. Les contributions des courants de déplacement du MOS parasite sur oxyde de champ sont fortement dépendants de la valeur de la grille. Cette influence peut être observée sur la figure I-39. Cette influence est caractérisée par la courbe  $V_{onset} = f(V_{GS})$  pour  $I = 10\mu A$  (Figure I-40). Le maintien de  $I = 10\mu A$  impose la variation de  $V_{dd}$  car lorsque  $V_{GS}$  croît le champ électrique décroît et  $V_{dd}$  doit être augmenté pour conserver un courant constant.

- La variation de  $V_{\text{CRIT}}$  en fonction de  $V_{\text{GS}}$  est donnée figure I-41.

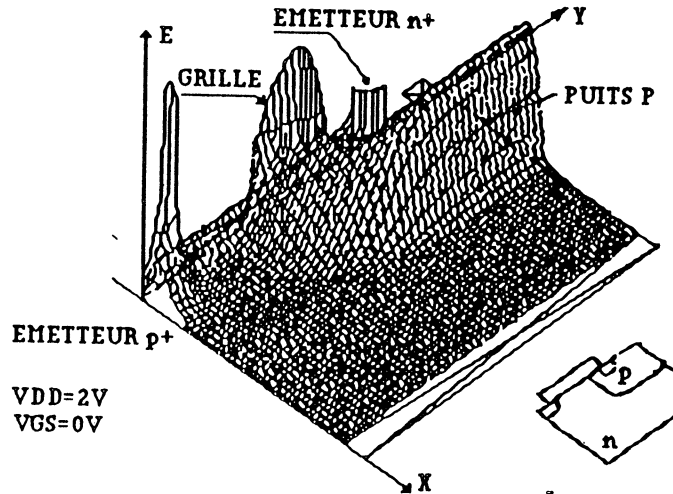


Figure I-39 : Distributions à deux dimensions du champ électrique, indique l'effet de surface de la grille parasite

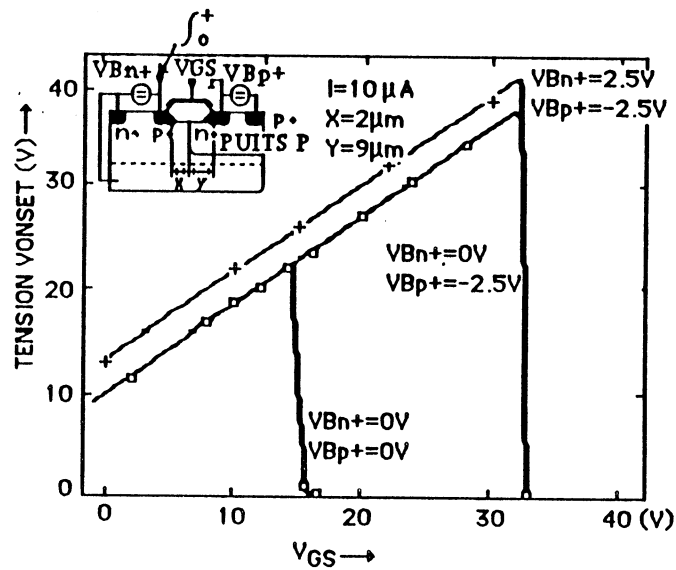


Figure I-40 : Variation de  $V_{\text{onset}}$  en fonction de  $V_{\text{GS}}$  pour  $I_{\text{onset}} = 10\mu\text{A}$

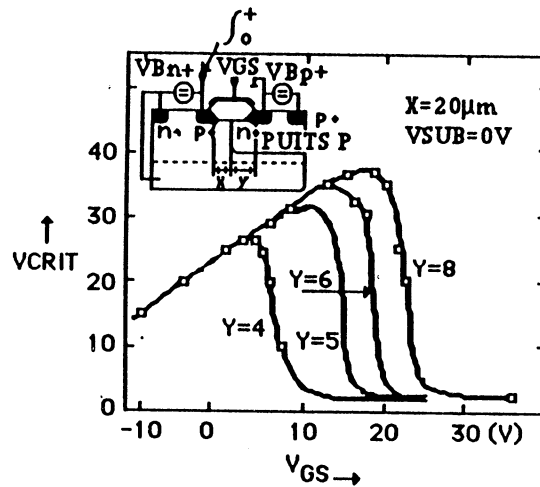


Figure I-41 : Variation de  $V_{crit}$  en fonction de  $V_{GS}$  pour différentes valeurs de  $Y$

La dépendance de  $V_{crit}$  par rapport à est de  $V_{GS}$  du même type que celle de  $V_{onset}$ .

\* Gain en courant du transistor bipolaire

Le transistor bipolaire PNP est fortement influencé par le champ de surface car la totalité du courant de trous est voisin de la surface, près de la surface la couche de charges d'espace de la jonction puits P est distordue par la tension PNP et par suite le gain du transistor PNP.

Un courant latéral et un horizontal sont présents dans le transistor NPN ; seul le courant latéral est influencé par la grille parasite.

Les influences de la grille sur la densité d'électrons dans la base du transistor PNP et sur le gain en courant du transistor NPN sont décrites respectivement par les figures I-42 et I-43.

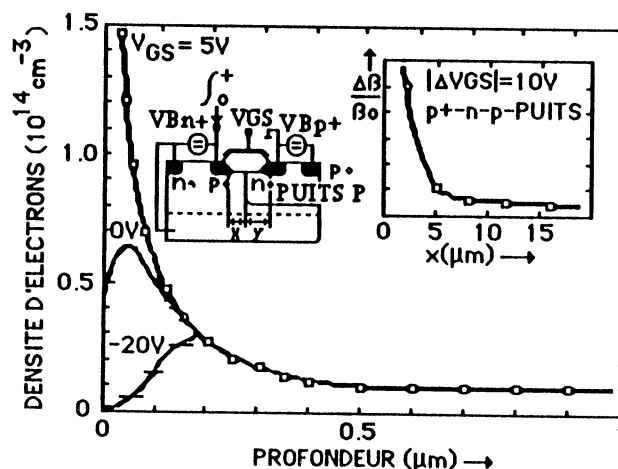


Figure I-42 : Variation de la densité d'électrons dans la base du transistor PNP parasite en fonction de la profondeur pour différentes tensions de grille

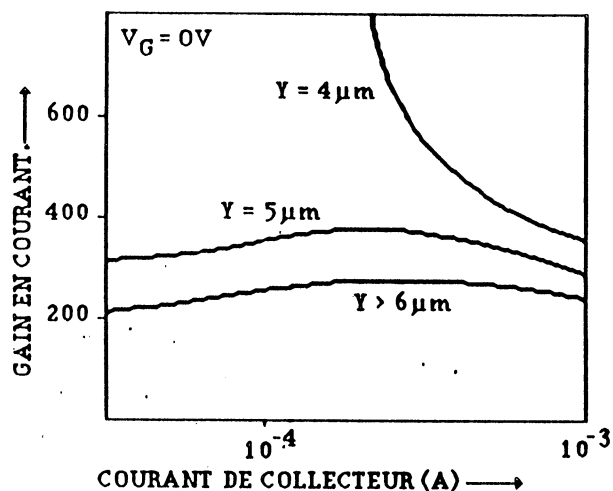


Figure I-43 : Variation du gain en courant du transistor parasite NPN en fonction de la tension de grille parasite pour différentes valeurs d'espacement  $Y$

\* Boucle positive de retour

En condition de latch up, le courant d'électrons produit maintenant une chute de tension suffisamment élevée pour polariser en direct la jonction  $P^+$ -puits N, pour cela un retour positif a lieu. Ce courant critique  $I_{CRIT}$  est assez faible pour des substrats de faible résistivité. Dans ce cas la chute de potentiel est produite principalement par composante verticale du courant du transistor  $N^+PN$  qui est shuntée au contact  $N^+$  le plus voisin latéralement (voir Figure I-44).

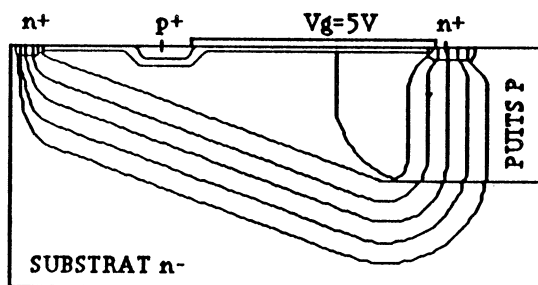


Figure I-44 : Distribution des courants parasites d'électrons dans les circuits CMOS sans couche épitaxiée

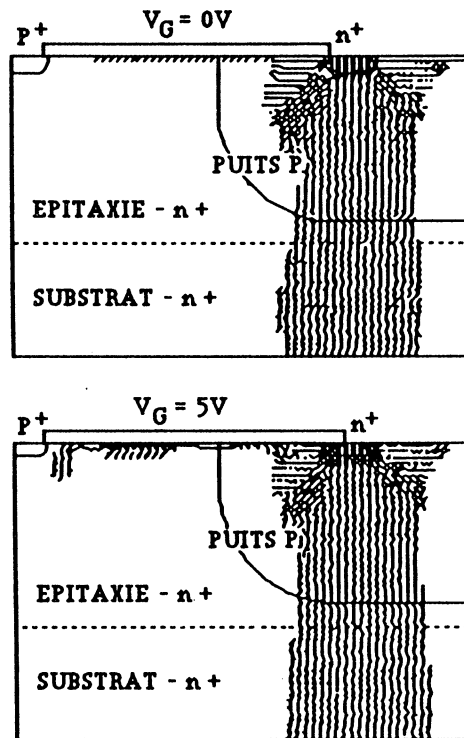


Figure I-45 : Distribution des courants parasites d'électrons dans les circuits CMOS épitaxiés avec et sans influence de la grille parasite

L'utilisation d'un substrat avec une couche épitaxiée a pour effet de shunter verticalement ce courant (voir Figure I-45). Donc le courant critique requis pour la même chute de potentiel doit être supérieur. Lorsque la grille a une tension positive la composante latérale de ce courant augmente, induisant une chute de potentiel plus importante et un courant critique plus faible. Cette réduction est sensible à l'espacement  $Y$ . Plus  $Y$  est petit, plus le courant qui atteint le puits  $N$  est grand. D'autre part, pour une grande valeur de  $X$ , le courant latéral et le courant vertical sont shuntés au substrat.

\* Influence des paramètres technologiques sur le latch up

- $I_{\text{CRIT}}$  -croit lorsque une couche épitaxiée est utilisée,  
 - croit si l'épaisseur de la couche épitaxiée croit,  
 - croit si  $X$  croit,  
 - croit si le dopage du substrat croit,  
 - croit plus si  $V_{gs} = 0 \text{ V}$  que si  $V_{gs} = 4 \text{ V}$ .



### **V-8 Etude de DRESSENDORFER et ARMENDARIZ [DRE 80]**

Cet article présente une méthode expérimentale de détection de chemins de latch up dans les circuits intégrés CMOS.

La technologie développée utilise un Microscope Electronique à Balayage (MEB) dans le mode de Rayonnement Electronique à Induction de Courant (REIC). Ce matériel a une utilisation facile et aucune préparation des circuits n'est nécessaire.

#### **Procédure expérimentale**

Dans un circuit "normal" (sans latch up) le long du chemin potentiel de latch up circule un très faible courant (courant de fuite,...). En cas de déclenchement de la structure un courant important peut parcourir ce chemin et les trois jonctions N-P du réseau sont alors polarisées en direct. Les potentiels et distributions de porteurs du réseau avec latch up sont très différents de ceux qui n'y appartiennent pas. En mode REIC du MEB les courants produits par la combinaison et la génération des paires électron-trou d'un circuit sont mesurées et utilisées pour former une image.

Puisque la recombinaison de ces porteurs dépend de la largeur de la charge d'espace et de la longueur de diffusion des porteurs minoritaires toute modification dans la zone de déplétion affectera l'efficacité de la recombinaison. En particulier, en cas de latch up, les jonctions impliquées sont polarisées différemment de celle qui ne le sont pas et un haut niveau d'injection peut apparaître. Donc, les signaux REIC en provenance de ces différentes régions auront des mesures différentes.

#### **Interprétation des résultats**

Cette méthode d'étude a été appliquée au circuit de RCA : CD 4007. La localisation des zones de manifestation est visualisée par superposition des images REIC d'une part et celles obtenues par émission secondaire. Les zones de latch up apparaissent beaucoup plus lumineuses. Des études du type recherche des latch up qui se déclenchent pour une excitation donnée ont été réalisées et différents chemins validés. Cependant l'observation qui semble la plus intéressante est que les chemins validés du latch up ne sont pas consistants. Ce point peut indiquer que les chemins potentiellement actifs de la structure parasite a un instant donné pourraient dépendre de l'état interne du circuit avant la validation du latch up. Une autre raison possible de cette non consistance des chemins pourrait être que l'interaction des électrons modifie les chemins préférentiels.

### V-9 Remarque

De nombreuses études ont été réalisées sur le latch up et certains moyens de réduire ou de supprimer ce phénomène parasite ont été trouvés. Le premier problème du latch up est en fait de savoir si les éléments mis en jeu dans cette structure permettent le maintien de l'état de basse impédance ou bien si le circuit ou un élément de circuit est détruit. Dans le cas du maintien de cet effet parasite, il semble intéressant de se poser le problème du test de ce phénomène au niveau logique (voir Chapitre II)

Dans les autres articles présentés ci-dessus, plusieurs éléments peuvent être soulignés.

- les structures sous formes d'éléments discrets utilisées pour les différentes études sont sensiblement du même type ,
- les simulations utilisées permettent d'obtenir une visualisation à deux dimensions. Certes, le temps de calcul demande parfois plusieurs heures (ex : FIELDAY [PIN 83]) mais les résultats permettent une étude très fine,
- en complément des études décrites ci-dessus [FIE 84] peut être cité. Dans cet article est exposé un procédé qui permet l'élimination totale (selon ses auteurs) du latch up. Cette suppression est obtenue par le pompage des charges mobiles ; celui-ci est réalisé par la polarisation du substrat à 2,5V (cas d'un substrat N).

Cependant, l'observation qui semble la plus intéressante est que les chemins validés du latch up ne sont pas consistants. Ce point peut indiquer que les chemins potentiellement actifs de la structure parasite a un instant donné pourraient dépendre de l'état interne du circuit avant la validation du latch up. Une autre raison possible de cette non consistance des chemins pourrait être que l'interaction des électrons modifie les chemins préférentiels.

### V-10 Conclusion

Dans ce paragraphe, le latch up a été présenté sous différents aspects. Un aspect structurel, caractérisé par la présence de zones (diffusées ou implantées) voisines qui forment une structure thyristor parasite NPNP (les zones extrêmes N et P sont connectées respectivement à la masse et à l'alimentation). Ainsi qu'un aspect comportemental caractérisé par les différents types de manifestation : le phénomène peut être soit non entretenu, entretenu conditionnel ou bien permanent. Ces études tiennent compte des caractéristiques physiques et électriques du dispositif. Les phénomènes physiques, transports ou injection de charges, qui peuvent être à l'origine du déclenchement sont décrits. En cas de déclenchement un état de faible impédance et de fort courant est établi entre les lignes d'alimentation et de masse de la structure. Le schéma

électrique extrait de l'implantation permet d'établir une relation entre éléments physiques et éléments électriques associés. Les zones voisines NPN et PNP définissent des transistors bipolaires parasites, la valeur de la résistance de substrat ou de puits définit la polarisation de la base des transistors bipolaires. Les surfaces actives et les paramètres de ces éléments ainsi que l'effet de leur évolution ont été caractérisés. En particulier, l'influence de la variation des dimensions géométriques et des concentrations des différentes zones diffusées et implantées sur le déclenchement ou l'entretien du phénomène. De même, la mise en équations des différents mécanismes a été réalisée et la comparaison des modèles théoriques simulés et de leur réalisation physique effectuée.

Les densités de charges du modèle théorique ont été représentées sur un espace à deux dimensions, pour les phases transitoires du déclenchement. L'influence de la technologie a été également étudiée dans le cas de substrat épitaxié.

Enfin la manifestation et la mesure externe du latch up a été évoquée. Le fort courant généré permet d'envisager une mesure de courant sur les bornes d'alimentation externes. Une autre technique d'investigation peut être l'utilisation d'un MEB qui indique les fortes densités d'électrons.

Toutes ces études permettent de caractériser physiquement, électriquement le latch up et d'agir sur les paramètres actifs pour réduire, voir éliminer son occurrence.

## **VI LES COURTS-CIRCUITS**

### **VI-1 Présentation**

Un court-circuit représente une connexion parasite entre deux points d'un circuit (initialement non liés). Différents types de courts-circuits peuvent être envisagés en fonction de leur nature (matériaux) et de leur localisation (point de connexion sur une porte). Les cas suivants peuvent être cités :

- a) entre connexions de même nature,
- b) entre connexions de nature différentes,
- c) entre connexions et drain ( ou source ou grille),
- d) entre drain et source,
- e) entre drain et grille,
- f) entre grille et source,
- g) entre grille et canal.

Le choix des courts-circuits à envisager dépend des hypothèses de pannes considérées.

L'étude des courts-circuits peut être envisagée de deux manières :

- étude de la modification du niveau électrique sur le court - circuit,
- étude du courant de fuite en cas de court-circuit.

Dans certains cas, les courts-circuits peuvent induire des courants importants. Deux conséquences peuvent en découler :

- soit le court-circuit se détruit par échauffement (l'origine de la panne disparaît)
- soit ce courant élevé induit d'autres coupures. D'autres effets tels que les migrations d'ions peuvent être signalées ; elles ont principalement pour conséquence le vieillissement prématuré du composant.

Les papiers présentés ci-dessous permettent de situer la nature des études réalisées.

### **VI-2 Etude de BANERJEE et ABRAHAM IBAN 831**

Ce papier présente les effets des défauts physiques au niveau logique sur les circuits NMOS et CMOS. Les défauts de type court-circuit et coupure (s-open) sont considérés. Les courts-circuits sont limités aux cas courts-circuits grille-drain, grille-source et courts-circuits entre lignes d'interconnexions. Des modifications de niveaux logiques peuvent être obtenues en cas de panne. Ces modifications amènent à considérer 5 niveaux distincts qui couvrent la plage 0V - 5V par intervalles (0 hard, 0 soft, indéterminé, 1 soft, 1 hard).

Dans le cas de structures simples (NAND, NOR, latch dynamique) les séquences de test associées à ces défauts sont présentées. Les comportements en cas de panne et les méthodes de test adaptées sont étendues aux cas de portes complexes. Le cas de la grille flottante est envisagé. Le niveau en sortie est défini en fonction de l'état de collage de grille. La grille flottante a pour effet de modifier le temps de charge de la porte CMOS (cas d'un transistor P). Des résultats de simulations correspondants sont présentés.

### **REMARQUE**

Il peut être noté qu'aucun élément permettant de déterminer le niveau intermédiaire n'est donné. Ce niveau intermédiaire peut être considéré soit comme 1 logique soit 0 logique, lors d'un test. Ce niveau doit être connu pour valider le test. Dans le cas des séquences de test associées aux courts-circuits grille-source d'un NAND 3 entrées les niveaux I sont présents sans aucune précision.

### VI-3 Etude de ACKEN IACK 831

Cette étude des courts-circuits est limitée aux courts-circuits entre sorties d'inverseurs CMOS. Dans ce cas, la fonction réalisée par le court-circuit est soit un OU soit un ET cablé en fonction du dimensionnement des inverseurs et de l'état ON ou OFF des transistors N et P. Le niveau, résultant en sortie de portes peut être indéterminé, c'est à dire dépendant des éléments court-circuités (non prédéterminé). La valeur de ce niveau peut être cependant obtenue par simulation. Une autre méthode de détection des courts-circuits est la mesure de courant. En effet, un court-circuit connecte Vdd et Vss par l'intermédiaire de réseaux P et N validés, produisant ainsi une consommation de courant. Les circuits CMOS sont à faible consommation et un courant anormalement élevé, provenant d'une panne, peut être détecté par mesure du courant d'alimentation. Cette méthode ne peut être appliquée de manière systématique pour l'étude des courts-circuits car la durée de la mesure du courant est relativement longue et entraînerait un coût élevé du test.

Seul les courts-circuits entre un point d'une porte et les points voisins potentiels de courts-circuits sont considérés (les deux extrémités de la connexion de court-circuit sont portées à des potentiels opposés).

#### REMARQUE

Cet article présente la détection de courts-circuits par mesure de courant sur un exemple simple : court-circuit entre les sorties de deux inverseurs. Outre le temps de test assez long, cette méthode présente d'autres inconvénients. En effet, dans le cas de courts-circuits entre portes complexes le courant qui circulerait en cas de panne est inconnu et n'est pas forcément élevé car il dépend du réseau validé. De même, si l'on considère un circuit VLSI, il est difficile de distinguer les courants de fuites des diverses capacités et transistors d'un court-circuit. Il peut également être noté que l'étude des courts-circuits entre voisins nécessite la connaissance des portes associées à ces points potentiels de court-circuit et par suite des entrées utiles à la validation de test (soit niveau électrique, soit chemin de courant). Or, sur une implantation, deux points voisins peuvent avoir deux origines éloignées comme l'indique le schéma Figure I-46.

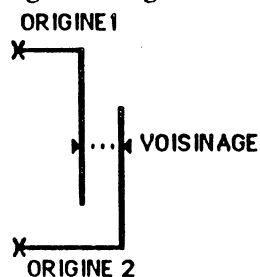


Figure I-46 : Exemple de localisation de panne

Ce type d'investigation nécessite donc l'utilisation d'outils informatiques permettant de remonter de la localisation géographique à la localisation électrique afin de définir les vecteurs de test.

#### **VI-4 Etude de TIMOC et BUEHLER [TIM 83]**

Ce papier traite des défauts des circuits réalisés en technologie bipolaire et MOS. Le but est de modéliser le comportement de ces défauts en terme de collage simple. En ce qui concerne la technologie MOS, deux types de défauts sont étudiés : les coupures de lignes de signal et les courts-circuits entre lignes de signal. Pour le premier type deux cas sont étudiés. Une connexion de grille incomplète est modélisée par un réseau R. C. car elle est manifestée par un retard sur la commande du transistor. La coupure d'une connexion de grille est modélisée par un collage à 1 ou à 0 selon le type de transistor et d'impureté considérés à l'interface actif du transistor. Dans le cas d'un transistor N la présence de charge + (resp. -) par exemple  $Na^+$  (resp. électrons chauds) a pour effet de baisser (resp. d'élever) la tension de seuil, par suite l'état de collage associé est 1 (resp. 0).

Ce modèle est ensuite utilisé à l'étude des s-open (voir paragraphe VII Chapitre 1). En ce qui concerne les courts-circuits, seuls les courts-circuits drain-source, grille-canal et entre sorties de portes sont considérés.

Les courts-circuits drain-source sont modélisés par un collage à 1 de la grille et les courts-circuits grille-canal sont modélisés par un collage à 0 de la grille, dans le cas d'un transistor de type N.

Les courts-circuits entre sorties de portes sont ensuite décrits. En technologie bipolaire ce type de défaut est modélisé par la fonction ET câblé. En technologie MOS par contre le modèle n'est pas unique. En effet, la valeur logique de sortie est déterminée par la dimension des transistors N et P ainsi que les vecteurs d'entrées des deux portes considérées. Un exemple est donné dans le cas d'un court-circuit entre les sorties d'une porte NAND et d'une porte NOR. Dans ce cas l'état de la connexion de court-circuit est défini en terme de forçage la sortie Z1 (resp. Z2) force Z2 (resp. Z1) à 0 ou à 1 (voir Figures I-46 et I-47)

Par conséquent ce type de défaut peut être modélisé par l'un des cas présentés figure I-47. Ces modèles représentent des ET et OU câblés affectant préférentiellement l'une ou l'autre des connexions de sorties.

#### **REMARQUE**

Ce papier présente pour un cas particulier de courts-circuits (entre sorties de porte NOR NAND) Les comportements possibles en cas de panne. La modélisation de ces comportements

par des fonctions câblées obtenues en technologie bipolaire.

Les paramètres actifs sur le niveau du court-circuit sont présentés (dimensionnement des MOS et vecteurs d'entrées). Une extension à d'autres courts-circuits et d'autres portes permettant de préciser ces éléments ainsi que le terme de forçage et les états métastables évoqués. La connaissance de ces paramètres est d'une grande importance car ils déterminent les conditions de test.

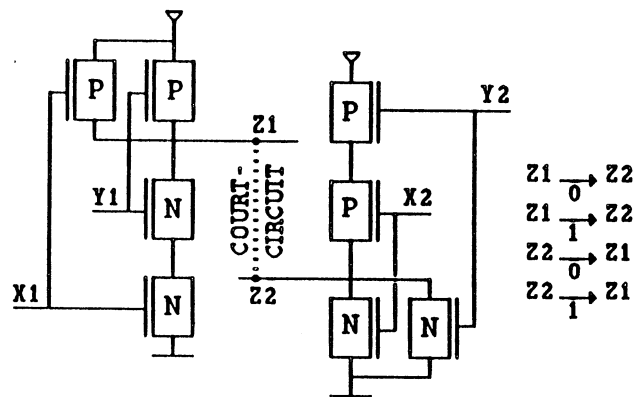


Figure I-47 : Court-circuit entre sorties de porte CMOS NOR NAND

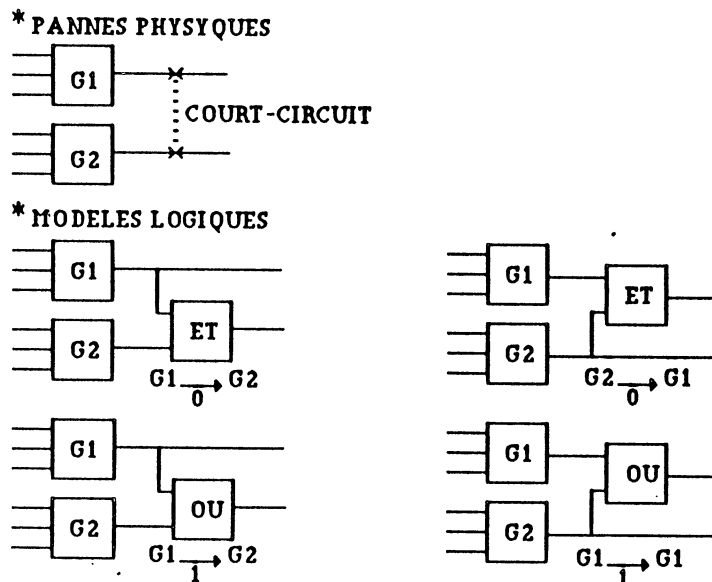


Figure I-48 : Modèles de courts-circuits entre sorties de portes CMOS

### VI-5 Etude de CHIANG et VRANESIC [CHV 83]

Dans ce papier sont étudiés en parallèle les courts-circuits drain-source et les s-open. Le but de cette étude est d'appliquer les techniques de test des circuits NMOS aux circuits CMOS. Le test des courts-circuits drain-source et des s-open est considéré simultanément. La méthode de test associée est représentée paragraphe VII-3-1-4 de ce chapitre dans le cadre de l'étude des s-open.

### VI-6 Etude de MALAYIA ET SU [MAL 82]

Cette étude décrit une méthode de détection de plusieurs types de défauts : coupure de grille, court-circuit, décalage de tension de seuil et contamination de surface par un seul paramètre : le courant de fuite.

En effet, les circuits CMOS sans défauts ont un courant de fuite de l'ordre de quelques nano-ampère au repos. En présence des défauts cités ce courant croit sensiblement. Les éléments suivants interviennent en faveur de l'utilisation de la mesure de courant plutôt qu'une méthode de test classique.

- ne nécessite pas de broches additionnelles, utilise les broches d'alimentation,
- la propagation du défaut est immédiate, pas de condition de propagation,
- plusieurs défauts peuvent être modélisés par le courant de fuite. Les modifications de tension de seuil peuvent être ainsi détectées par mesure de courant avant la manifestation au niveau logique.
- permet la détection de courts-circuits entre deux points ayant des niveaux logiques différents (0 et 1),
- certains courts-circuits ne réagissent pas sur le niveau logique ne peuvent être détectés. La mesure d'une fuite anormale de courant est supérieure de quelques ordres de grandeur à la fuite normale,
- le courant de fuite produit un vieillissement accéléré des zones affectées.

\* Dans cette étude le transistor est modélisé par sa conductance comme suit :

- le transistor ON a une conductance élevée de l'ordre de  $10^{-1}$  ohm<sup>-1</sup>,
- le transistor OPEN a une conductance faible de l'ordre de  $10^{-12}$  ohm<sup>-1</sup> à l'état normal, en présence de fuite est supérieur à  $10^{-9}$  ohm<sup>-1</sup>,
- la grille est isolée du canal, le seul chemin de fuite est entre drain et source.

\* Le test par mesure de courant est obtenu par application de différents vecteurs d'entrées définissant différents groupes de transistors et mesure du courant pour chaque cas.



Un ensemble d'équations est ainsi obtenu. La résolution de ce système permet de déterminer les valeurs des conductances des transistors du réseau testé. Quelques problèmes sont rencontrés. En effet, les systèmes d'équations obtenus ne sont pas tous linéaires ce qui rend la résolution automatique difficile. Si tous les vecteurs d'entrée possibles sont utilisés, un grand nombre d'équations non forcément indépendantes est obtenu.

De cet ensemble peuvent être extraites certaines valeurs qui constituent des contraintes minimum ou maximum.

Cette méthode nécessite un temps de calcul élevé et prohibitif.

\* La génération des vecteurs de test est guidée par deux points :

- manifester la faute,
- réduire le nombre de vecteurs de test.

La méthode algorithmique suivante permet de définir un ensemble minimum de vecteur de test pour la mesure de courant de fuite :

- identifier les groupes d'éléments en séries,
- pour chaque groupe rechercher le plus grand "ensemble de coupure" (un ensemble de coupure est un groupe de transistors qui coupe le graphe de la porte en deux parties distinctes. De plus, un groupe d'ensembles de coupures indépendant génère des équations indépendantes),
- générer pour chaque ensemble de coupure un vecteur de test tel que le transistor de cet ensemble soit OFF et connecté à Vdd et Vss par un chemin de faible résistance.

\* Des procédures de test peuvent être développées, pour permettre d'identifier les transistors en panne et de déterminer la valeur moyenne normale du courant de fuite, sa variance et la distribution de fuites anormales.

### **REMARQUE**

L'aspect intéressant de cet article est la mise en évidence de pannes par un seul type de test et par la modélisation du transistor par sa conductance.

Quelques points méritent cependant d'être signalés.

- tous les défauts des circuits ne sont pas testables par cette méthode. L'hypothèse de la non communication entre grille et canal est un élément restrictif,
- cette méthode supprime le problème de propagation de la panne mais pas celui de l'accessibilité pour la manifestation,
- cette méthode permet de manifester certains courts-circuits et s-on non observable au niveau logique,

- la présence de pics de courant dûs au déclenchement non entretenu de latch up peut provoquer une perturbation des mesures,
- le test par mesure de courant est long, la résolution matricielle nécessite un temps de calcul important, ce qui rend ce type de test relativement cher.

### **VI-7 Conclusion**

Dans cette partie ont été présentés les comportements et les modélisations de quelques cas particuliers de courts-circuits en technologie CMOS (entre sorties de portes, entre drain-source, grille-source et grille-drain d'un transistor) pour des portes simples. Ces courts-circuits sont parfois associés à d'autres défauts (s-on par exemple) et permettent ainsi une détection simultanée. Le comportement en cas de court-circuit est présenté sous forme de modification de la fonction logique. Les paramètres actifs sur le comportement en cas de court-circuit ainsi que les méthodes de test adaptées à ce type de panne ne sont pas décrits. Elles seront présentées dans le chapitre III qui traite des courts-circuits pour des portes à réseaux N/P de type séries/parallèles.

## **VII LES S-OPEN**

### **VII-1 Introduction**

Ce défaut présent dans les circuits CMOS, mis en évidence par WADSACK dans [WAD 78], peut être défini comme suit : *"Une source de l'état open est la présence d'une panne logique qui empêche un réseau de conduire lorsque l'autre est dans un état de non conductivité."* En présence de ce type de panne, la sortie d'une porte se trouve en état de haute impédance et mémorise la valeur précédente (transformation d'un circuit combinatoire en circuit séquentiel). La durée de la mémorisation (quelques millisecondes [CHA 83]) dépend de la technologie utilisée (courants de fuites). L'origine de ce type de défaut peut être localisée soit au niveau transistor (coupure de canal, de contact drain ou Source, de grille avec présence d'une charge à l'interface actif du transistor) ; soit au niveau des connexions entre transistors, commandes et alimentations.

Dans cette partie sont décrits différents types d'études réalisées sur le s-open, tout particulièrement la modélisation et les méthodes de test. Dans cette analyse, l'expression "MOS s-open" est employée. Elle regroupe les défauts des MOS N ou P et des connexions qui peuvent induire une coupure du circuit entre l'alimentation et la sortie ou entre la sortie et la masse sur le chemin validé lors du test.

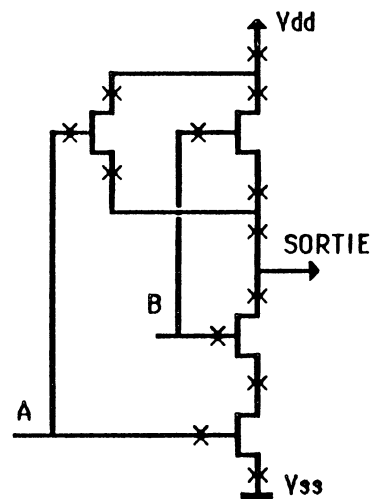


Figure I-49 : Coupures de connexions d'une porte 2-NAND

Sur la figure I-49 [CHA 83] sont représentés les coupures de connexions envisageables sur une porte NAND à deux entrées pouvant induire un s-open.

### VII-2 Modélisation du s-open

La modélisation consiste à ajouter à la porte initiale : sans panne un certain nombre de portes, latch additionnels qui permettent de représenter le fonctionnement séquentiel de la porte avec panne. Deux exemples de modélisations ont été réalisés dans [WAD 78] et [TIM 83]. Ils sont présentés respectivement Figures I-49 et I-50.

Cette méthode présente des inconvénients [EL181], celui d'augmenter le nombre des portes, d'où la difficulté et le coût du test.

Un circuit séquentiel nécessite un programme de génération de test séquentiel.

### VII-3 Le test du s-open

Deux principes de test peuvent être recensés pour le test de s-open : test avec ou sans addition de circuit annexe.

#### VII-3-1 Test de s-open sans addition de circuit annexe

Deux méthodes peuvent être utilisées pour le test :

- 1) utilisation du test des collages à 0 et 1 avec propagation vers la sortie du circuit par un chemin de sensibilisation,
- 2) description du circuit à tester par un graphe de chemins.

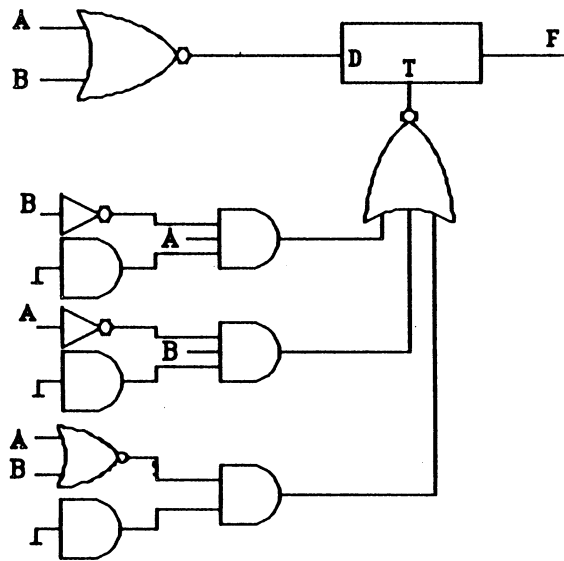


Figure I-50 : Modèle de WADSACK

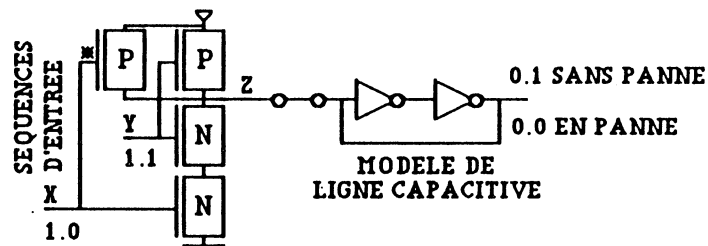


Figure I-51 : Modèle de TIMOC

Les principes de ces deux méthodes ne sont pas fondamentalement différents, par contre les moyens de mise en oeuvre le sont.

### VII-3-1-a Méthode de test de CHANDRAMOULI [CHIA 83]

Cette étude est composée de deux parties : définition d'une méthode de test pour les circuits combinatoires sans Fan Out (sortance multiple) interne, non redondants à base de portes NAND, puis adaptation du principe aux circuits combinatoires reconvergent (RFO) non redondants.

### VII-3-1-a-1 Test des circuits combinatoires

(IFOF = Internal Fan Out Free = sans sortance interne multiple)

La méthode qui suit a été décrite sur un circuit à base de portes NAND mais cela ne constitue pas une restriction.

Le s-open a pour effet de mémoriser l'état précédent donc pour détecter cette panne, une séquence d'initialisation de la sortie est nécessaire afin de connaître l'état de la sortie avant l'application du vecteur de test qui valide la panne.

Les vecteurs d'initialisation et de test sont les vecteurs utilisés pour la détection des collages à 0 (resp. 1) et à 1 (resp. 0) respectivement dans le cas d'un test de s-open sur le réseau N et P l'application successive des deux vecteurs fait basculer la sortie de 1 à 0 (resp. 0 à 1) en absence de panne.

Le principe de la propagation des valeurs vers la sortie du circuit est celui présenté dans [BRE 76]. Cette méthode représente la transposition à la détection des s-open du test des collages décrit dans [ROT 82].

\* Le fait que lors d'un test de collage la valeur logique propagée est successivement D et  $\neg D$  ou ( $\neg D$  et D), alternativement à chaque passage de porte la valeur logique change le long du chemin de sensibilisation sauf les entrées qui sensibilisent le chemin sont placées à 1. Le vecteur d'initialisation d'un s-open coté N (resp. P) représente le vecteur de test d'un s-open coté P (resp. N), ceci permet quelques simplifications. En effet, si l'on teste un s-open N de la porte i alors simultanément le s-open P de la porte i + 1 est testé. Si l'on considère la séquence [SZ-S0] qui correspond à l'application d'un vecteur de test de collage à 0 pour l'initialisation puis à un vecteur de test de collage à 1 pour le test, tous les s-open N situés sur les portes d'ordre impair seront testés simultanément ainsi que tous les s-open P situés sur les portes d'ordre pair situés sur le chemin de sensibilisation. La séquence [SZ-S0] est appliquée sur les entrées primaires du circuit. Lorsque la séquence [S0-SZ] est considérée, les s-open N pairs et P impairs sont alors testés.

Une réduction possible de ces deux séquences intervient alors : [SZ-S0] ; [S0-SZ] peut être condensée en [SZ-S0-SZ]. Lors du passage d'une porte inverseuse, cette séquence est transformée en [S0-SZ-S0]. Lorsque toutes les séquences de test des s-open d'un réseau sont définies, d'autres réductions de séquences du même type sont encore envisageable afin de diminuer le nombre de vecteur de test.

En ce qui concerne les réseaux IFOF à base de NAND (ou de portes classiques simples) : trois remarques peuvent être faites.

- pour tester tous les s-open il suffit de tester les entrées primaires des circuits. La convergence de tous les chemins de sensibilisation fait que toutes les entrées internes sont testées.

- lors du test du s-open d'un transistor N ou P situé sur un réseau série tous les transistors de ce réseau sont testés simultanément par équivalence de panne. Une définition de l'équivalence des transistors (en ce qui concerne le test des s-open) est donné dans [EL1 81].
- lors du test d'une entrée avec Fan Out. Il est possible d'obtenir le test simultané de transistors N ou P sur plusieurs branches.

### **VII-3-1-a-2 Test des circuits combinatoires RFO non redondants**

(RFO = Reconvergent Fan Out = sortance interne reconvertie)

La méthode de test de collages peut également être utilisée pour tester les s-open dans les circuits RFO. Le principe de ce test en est le suivant :

- "Tous les s-open détectables dans ce circuit RFO non redondant peuvent être détectés en appliquant la séquence [SZ-S0-SZ] ou [S0-SZ-S0] à tous les "checkpoints" du circuit. Les checkpoints ont la même définition que pour le test des collages donné dans [BRE 76] qui est : "les checkpoints" d'un circuit combinatoire sont :

- toutes les entrées primaires sans Fan Out,
- toutes les branches de divergence.

Entre tous ces checkpoints ainsi définis les circuits obtenus sont du type combinatoire IFOF et la première méthode décrite s'applique.

### **VII-3-1-a-3 Remarque 1**

Lorsque l'on applique la séquence [SZ-S0] ou bien [S0-SZ], si la sortie bascule alors tous les transistors testés sont sans panne, dans le cas de pannes simples. Tandis que si la sortie ne bascule pas il n'est pas possible de localiser le transistor qui est open dans toute la chaîne testée (il n'est pas forcément sur l'entrée validée).

### **VII-3-1-a-4 Remarque 2**

La méthode de test décrite ci-dessus utilise la méthode des collages pour la détection de s-open donc sa mise en oeuvre ne nécessite pas d'outil supplémentaire. seule une adaptation doit être réalisée pour générer les séquences adaptées [SZ-S0-SZ] ou [S0-SZ-S0]. De plus cette méthode est applicable moyennant certaines adaptations à d'autres types de portes classiques ou non (voir extensions Chapitre V).

### VII-3-1-b Méthode de test de ELZIQ (1ère partie) [EL1 811]

Dans le papier précédent, la méthode des collages est utilisée pour la détection des s-open sans préoccupation de l'ordre d'exécution des tests. Plusieurs philosophies de test peuvent être envisagées.

- 1) Détecter les collages et déterminer les s-open testés puis tester les s-open restants.
- 2) Chercher à tester tous les s-open, donc tous les collages sont détectés de fait. Dans cet article sont présentés deux algorithmes basés sur la première méthode (pour des portes classiques simples (NAND, NOR...). L'article suivant décrira un algorithme correspondant à la seconde (adaptés aux portes complexes à réseaux N et P duaux).

#### a) Algorithme 1

##### Présentation

- Il utilise la liste de détection des collages, supposée disponible pour la détection des s-open,
- Il identifie précisément quels sont les s-open détectés par les vecteurs de test présents,
- Il fournit une liste des s-open indétectés car non couverts par la liste des collages.

##### Description

- pas 0 - générer un vecteur de test pour un collage donné avec un ATG (programme de génération automatique). Si ce vecteur est le premier, aller en pas 0, sinon aller en pas 1.
- pas 1 - comparer le vecteur généré avec le précédent pour chaque porte du circuit. Vérifier la séquence de test pour chaque s-open, identifier toutes les configurations. Si aucune ne correspond aller en pas 4.
- pas 2 - pour chaque porte pour laquelle une séquence générée correspond au test d'un s-open, vérifier la sortie de la porte associée au collage testé. Si la panne est détectée, alors le s-open l'est aussi.
- pas 3 - Vérifier la correspondance entre les séquences générées et les vecteurs de test. Si elle existe aller en pas 2. Sinon aller au pas suivant.
- pas 4 - Regarder s'il existe d'autres portes à vérifier. Si oui, aller en pas 1, sinon aller au pas suivant.
- pas 5 - Si d'autres collages conventionnels doivent être détectés, alors aller en pas 0. Sinon, stop.

## **b) Algorithme II**

### **Présentation**

Cet algorithme peut être utilisé pour générer des séquences de test requises pour tester n'importe quel s-open. Il est basé sur la génération de deux séquences :

- la première est utilisée pour mettre en place les conditions initiales requises pour tester le défaut.
- la deuxième sert à appliquer le vecteur de test qui permet de distinguer le bon circuit du mauvais circuit.

Un sous-ensemble de l'algorithme I peut être utilisé pour détecter tous les s-open détectables par la même séquence.

### **Description**

- pas 0 - Choisir le s-open à considérer.
- pas 1 - Etablir les conditions initiales nécessaires pour détecter ce défaut. Ce positionnement est obtenu par utilisation du procédé classique desimulation "forward and backward" (amont vers aval puis aval vers amont).
- pas 2 - Par utilisation du principe de comparaison à une séquence de test définie, décrit précédemment, les nouvelles conditions sont définies. En parcourant le circuit de la porte considérée, d'amont en aval, puis inversement, le second vecteur de test peut être obtenu. Si le parcours du chemin ne peut être obtenu dans l'une quelconque des deux directions, le défaut est déclaré indétectable, alors aller en pas 4.
- pas 3 - Vérifier si d'autres défauts peuvent être détectés par la séquence de test générée en pas 1 et 2. Cette vérification peut être obtenue par les pas 1 à 4 de l'algorithme 1.
- pas 4 - Si d'autres défauts doivent être testés, aller en pas 0, sinon stop.

## **VII-3-1-c Méthode de test de ELZIO (2ème partie) IEL2 811**

Comme suite aux descriptions précédentes, ce papier présente une extension de la méthode des collages utilisée dans [CHA 83] au test de cellules complexes ainsi qu'une méthode de test de circuits séquentiels. Une introduction à cette méthode peut être réalisée par l'énoncé de la définition (décrite précédemment) de transistors équivalents dans les cellules de réseau.



**DEFINITION**

Deux défauts s-open (associés à deux transistors) peuvent être réduits en un seul si les trois règles suivantes sont vérifiées :

- les transistors concernés sont du même type soit N soit P,
- ils sont directement liés (pas de transistor intermédiaire),
- le noeud (ou connexion) commun(e) aux deux transistors est uniquement connecté à ces deux transistors. Cela signifie également que le noeud ne peut être connecté ni à Vdd ni à Vss.

Cette règle peut être réitérée afin d'obtenir un transistor équivalent à plusieurs transistors réels. Cette méthode qui constitue seulement une association de panne dans le cadre du test ne représente pas une simplification concernant l'aspect fonctionnel du circuit.

Après réduction d'un circuit par utilisation de cette règle, si le circuit était du type réseau N et P duaux, le nombre de transistors coté N et coté P n'est plus identique après réduction.

**VII-3-1-c-1 Algorithme III****Présentation**

Cet algorithme suppose que les entrées de la cellule complexe sont contrôlables et les sorties observables. Il décrit une méthode de génération automatique de test pour les s-open dans les cellules complexes.

**Description**

- pas 1 - Réaliser la compression de pannes. Cela permet d'identifier tous les défauts uniques.
- pas 2 - Choisir un s-open dans la liste des pannes à tester, et l'en retirer. Le nombre total de vecteurs de test sera ainsi réduit à 1 si la première panne est choisie dans la partie P ou N qui contient le plus grand nombre de s-open.
- pas 3 - Générer les conditions d'initialisation pour la panne choisie. Une condition d'initialisation est définie par la mise à 1 de la sortie de la porte complexe si le défaut sélectionné est du côté N ou sur la mise à 0 de la sortie si la panne sélectionnée est du côté P.
- pas 4 - Générer le vecteur de test pour la panne à tester. Un vecteur de test pour un s-open est un vecteur d'entrée qui génère un chemin unique passant par le transistor sous test afin de changer l'état du circuit. Un tel vecteur est défini par les points suivants :

- a) rendre ON le transistor supposé défaillant (ou la série de transistors s'il y a eu compression de panne).
- b) rendre OFF suffisamment de transistors de manière à ce qu'il n'y ait pas de chemin validé parallèlement au transistor sous test.
- c) rendre ON suffisamment de transistors de manière à obtenir un chemin complet entre Vdd et la sortie passant par le transistor à tester si celui-ci est du côté P ou bien un chemin entre la sortie et Vss si le transistor à tester est du côté N.

Si un vecteur d'entrée vérifiant ces conditions peut être trouvé alors aller en pas 5. Sinon, marquer cette panne comme instable et choisir une autre panne du même côté et la supprimer de la liste des pannes à tester.

S'il n'y a plus de panne à tester dans le côté étudié aller en pas 6, sinon aller en pas 4.

Si un vecteur est trouvé en pas 4 et s'il n'y a aucune panne dans le circuit, alors ce vecteur sert de vecteur d'initialisation pour une panne appartenant à l'autre côté du circuit.

- pas 5 - Choisir une panne dans le réseau de nature opposée. S'il n'y a pas plus de panne à tester de ce côté, alors aller en pas 6 sinon aller en pas 4.
- pas 6 - Quand ce pas est atteint il n'y a plus de s-open à tester dans une des parties du circuit et zéro ou plus dans la partie complémentaire. S'il n'y a plus de panne alors aller en pas 8 sinon choisir une des pannes restant la retirer de la liste des pannes à tester et aller au pas suivant.
- pas 7 - Copier les conditions d'initialisation pour la panne à tester à partir de la liste de test. Ces conditions sont les mêmes que celle définies en pas 3 et peuvent être copiées au lieu de les régénérer (pour gagner du temps). Si le défaut courant est du côté P/N alors copier n'importe quel vecteur qui précède immédiatement un test de panne côté P/N, alors aller en pas 4.
- pas 8 - Arrivé a ce stade tous les s-open ont été soit testés, soit marqués instables.

### **VII-3-1-c-2 Méthode d'extraction de tests de collages pour la détection de tous les s-open détectables dans un réseau combinatoire**

Les tests utilisés pour détecter tous les collages détectables dans un réseau combinatoire peuvent être utilisés pour tester également tous les s-open.

Trois conditions supplémentaires sont cependant requises. Il faut :

- Trier les pannes de manière à ce que chaque collage à 1 soit suivi d'un collage à 0 et inversement,
- Générer les tests associés à ces pannes et leur appliquer la même séquence,
- Utiliser un vecteur d'initialisation adapté avant d'appliquer le test.

Deux définitions peuvent préciser les conditions données ci-dessus.

**\* Liste triée de vecteurs de test**

*C'est une séquence de test dans laquelle chaque test de collage à 1 (resp. à 0) est suivi par un test de collage à 0 (resp. à 1).*

**\* Vecteur d'initialisation adapté**

*C'est un vecteur de test qui génère une valeur en sortie opposée à celle obtenue par le premier vecteur de la séquence.*

Les trois théorèmes suivants représentent l'extension et la validation de méthodes de test utilisées par CHANDRAMOULI, pour des cellules complexes.

**THEOREME I**

*Dans un réseau de cellules complexes sans Fan-Out, une liste triée de vecteurs pour les défauts de type collage représente une séquence de test complète pour les défauts de type s-open; si l'on considère qu'un vecteur d'initialisation adapté a été utilisé.*

**THEOREME II**

*Pour une cellule complexe CMOS redondante, la liste triée de vecteurs de test pour un collage sur toutes les entrées détecte tous les s-open de cette cellule lorsqu'un vecteur d'initialisation adapté a été généré.*

**THEOREME III**

*Pour un réseau combinatoire CMOS non redondant, la liste triée de vecteurs de test pour un collage sur toutes les branches d'entrées et de Fan Out de sortie, de toutes les cellules détecte tous les s-open du réseau lorsqu'un vecteur d'initialisation a été précédemment généré.*

### VII-3-1-c-3 Défauts de type s-open dans les circuits séquentiels

Ces défauts sont très difficiles à mettre en évidence à cause de l'effet de stockage. Certains s-open de circuits séquentiels peuvent être testés par les méthodes combinatoires présentées précédemment.

Dans certains cas ces méthodes ne sont pas applicables car les conditions de test ne peuvent être établies. Ces cas sont dûs au fait que certains transistors de la boucle de retour sont contrôlés exclusivement par les noeuds où sont générés les conditions d'initialisation. Le test de type retard dont l'algorithme est déroulé ci-dessous permet de tester ces cas intestables par les méthodes utilisées pour les circuits combinatoires.

- pas 1 - Séparer les transistors en deux groupes. Le groupe 1 contient les transistors testables par la méthode combinatoire. Le groupe 2 contient les autres.
- pas 2 - Réaliser l'algorithme de défauts sur chaque groupe.
- pas 3 - Utiliser l'algorithme III pour tester les défauts du groupe 1. Puisque la plupart des circuits séquentiels sont des assemblages de portes il doit être possible de sensibiliser les entrées et les sorties d'une porte aux entrées primaires et aux sorties du circuit, sinon les défauts peuvent être indétectables.

Test des défauts du groupe 2.

- pas 4 - Choisir un s-open du groupe 2 et le retirer de la liste des défauts à tester. S'il n'y a plus de défauts aller en pas 8.
- pas 5 - Générer un test de retard. Les conditions de ce test sont définies ci-dessous :
  - a) rendre ON le transistor sous test,
  - b) rendre OFF tout chemin parallèle à celui contenant le transistor sous test,
  - c) compléter la liaison de la sortie de la porte soit à Vdd (pour un open P) soit à Vss (pour un open N).
- pas 6 - Maintenir le vecteur de test pendant une durée supérieure à celle pour laquelle le circuit est supposé rester dans un état identique à l'état initial. La période de test est généralement égale à une période du circuit séquentiel. Aller en pas 7.
- pas 7 - Tester le niveau logique à la sortie de la porte sous test. Cela nécessite la validation du niveau obtenu. Le vecteur de validation ne doit pas régénérer le niveau à tester. Aller en pas 4.
- pas 8 - Test réalisé.

**REMARQUE**

- 1) Un choix peut intervenir lorsqu'il y a eu compression de faute. La suite des séquences de tests générées peut parfois être plus courte pour une des pannes équivalentes.
- 2) Le test des circuits séquentiels n'est pas résolu pour tous les cas existants.

**VII-3-1-4 Méthode de test de CHIANG et VRANESIC [CHV 83]**

La méthode de test exposée dans le paragraphe permet la manifestation de courts-circuits drain-source et de s-open N et P dans les réseaux CMOS. Les courts-circuits CMOS sont décrits en termes de graphes de connexions, les s-open et courts-circuits sont reportés sur ces graphes.

Les parties N et P des réseaux sont décrites sous forme de fonctions de transmissions, chacune située entre une "source" et un "puits". Ces deux fonctions  $F_n$  et  $F_p$  sont duales (dans les cas considérés) et par suite ne conduisent pas simultanément.

La méthode de test est basée sur la remarque suivante :

Un s-open côté N est équivalent à un transistor court-circuité du côté P (court-circuit drain-source). Cette déclaration permet d'affirmer que si tous les s-open sont détectés alors tous les courts-circuits drain-source le seront également.

Deux approches sont proposées.

**\* Première méthode d'analyse : méthode de comparaison.**

Cette procédure de test peut être organisée sous forme de table dans laquelle sur chaque ligne sont indiqués les s-open détectés par le vecteur d'entrée dans le cas où un vecteur d'initialisation est généré. ensuite une méthode de couverture peut être utilisée pour choisir des paires de vecteurs afin d'obtenir une séquence de test qui détectera tous les s-open. Cette opération nécessite  $n^2m$  comparaisons ( $n$  : nombre de tests,  $m$  : nombre de portes). Cette méthode est inefficace si l'on considère le temps de calcul; la méthode heuristique suivante est utilisée de préférence:

**\* Deuxième méthode d'analyse : méthode heuristique**

L'ensemble des éléments à tester est séparé en deux groupes en fonction de la réponse du système. Une séquence de test est ensuite arbitrairement réalisée de manière à obtenir une série de vecteurs qui fasse osciller les sorties des portes. Dans ce cas les s-open associés sont détectés. Cette méthode est simple. La séquence de test obtenue a pour longueur maximale  $2 \cdot \max(n_0, n_1)$  avec  $n = n_0 + n_1$ ,  $n_0$  (resp.  $n_1$ ) : nombre de tests ayant pour réponse en sortie de porte 0 (resp. 1). Le nombre de comparaisons nécessaires pour l'établissement d'un test complet est  $n.m$ .

**REMARQUE**

Cette méthode de détection des s-open est basée sur le principe de l'initialisation-test. L'approche qui consiste à décrire le circuit par des graphes de connexions est particulière mais permet de visualiser les vecteurs de test. Elle nécessite la mémorisation de Tables qui associent à un vecteur de test un certain nombre de s-open. Cette approche nécessite l'utilisation d'outils informatiques de comparaison. Enfin certaines précautions doivent être prises quant au test simultané de s-on et s-open (voir [BAS 84]).

**VII-3-1-e Remarques**

Les coupures envisagées dans ces tests sont soit des coupures de lignes, soit des coupures de transistors. Seules les coupures de lignes d'entrées qui n'affectent qu'une seule grille sont considérées. Une seule grille est alors flottante et par suite le transistor associé peut être testé soit comme s-on ou s-open la valeur de la résistance On restant cependant à définir.

Dans le cas où la coupure sépare les deux grilles des 2 MOS N et P du signal d'entrée, le test du type s-on ou s-open ne se pose plus dans les mêmes termes. En effet, le réseau pour une porte NAND obtenu en cas de ce type de panne est celui décrit figure I-52.

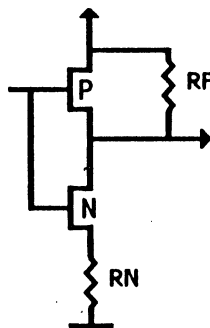


Figure I-52 : Coupure de grille affectant 2 grilles

La nature (qualité) de collage de la grille affecte les deux MOS et les résistances équivalentes  $R_P$  et  $R_N$  des MOS peuvent prendre n'importe quelle valeur. Celles ci sont cependant dépendantes  $R_P = f(R_N)$ .

Dans ce cas, le niveau présent sur la sortie de la porte peut être quelconque.

Une étude de ce type de panne peut être envisagée dans le cas de test sous pointes, mais non réalisable sur boîtiers scellés. Le principe de cette étude est basé sur l'initialisation des MOS ON ou partiellement ON par irradiation d'un faisceau UV sur une zone sensible du transistor en

panne. Celui-ci est donc collé "artificiellement" à 1 ou à 0 avant application d'une séquence de test adaptée.

Une initialisation globale du circuit par irradiation n'est pas encore envisageable car l'action du rayonnement sur le reste du circuit est encore mal connue. Elle est cependant à l'étude en ce qui concerne l'initialisation des circuits séquentiels et des mémoires.

- lorsqu'une grille est flottante, la position de la coupure peut avoir une importance non négligeable en ce qui concerne les effets de couplages capacitifs avec les lignes voisines.
- ces problèmes ne sont pas considérés dans le cadre de l'étude des s-open.

### VII-3-2 Test de s-open avec addition de circuits annexes

Le principe de ce type de test est d'ajouter un certain nombre de transistors commandés par des signaux adaptés afin de faciliter ou de permettre le test de portes ou de structures non testables ou difficilement testables.

Dans ce paragraphe, sont présentés deux exemples de transistors additionnels adaptés au test de circuits d'une part et au test de portes complexes d'autre part.

#### VII-3-2-a Modification de Mc CLUSKEY IMCL 811

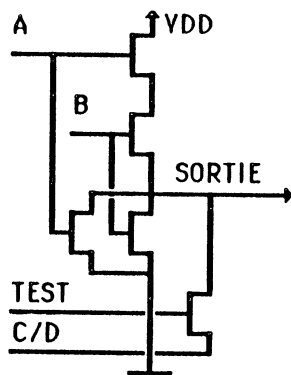


Figure I-53 : Addition de commandes sur des portes

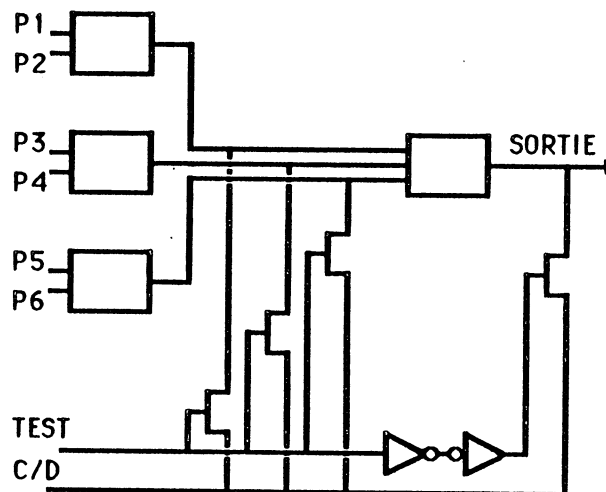


Figure I-54 : Addition de commandes sur un réseau

Cette méthode ne s'applique que pour les circuits combinatoires. Les circuits additionnels présentés dans cette étude servent à charger ou à décharger les sorties des portes (ou blocs de portes) avant d'appliquer le vecteur de test qui doit manifester le s-open (voir Figures I-53 et I-54).

Si la ligne est s-open, elle conservera la valeur précédente sinon elle prendra sa vraie valeur.

### **REMARQUE**

Cette méthode nécessite l'ajout de plusieurs transistors supplémentaires et de fils de commande et de test, ce qui représente une pénalisation en surface occupée.

Pendant, cette méthode représente une approche au test des VLSI où de certains circuits séquentiels. Dans ces deux cas, l'initialisation ou la visualisation de points internes peut représenter une aide certaine pour le test. Deux exemples de structures utilisées pour le test des VLSI sont présentés Figure I-55 et I-56 [WIL 81].

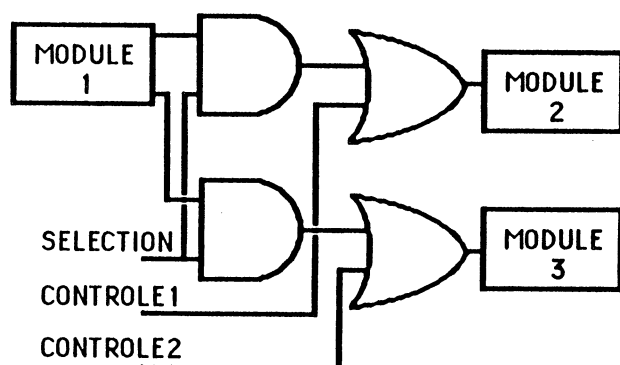


Figure I-55 : Utilisation d'une logique de contrôle de grille

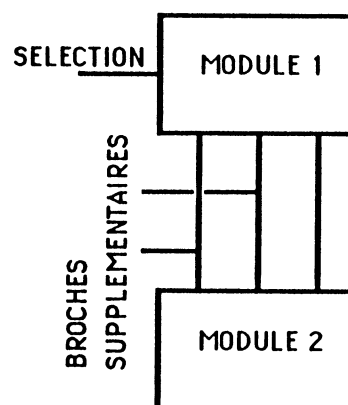


Figure I-56 : Points de test sur Entrées et Sorties

Certes, dans ce cas également il y a des transistors, des commandes, voire même des broches externes additionnels mais cette circuiterie est utilisée pour tester un nombre élevé de transistors d'une part et permet de tester des circuits séquentiels d'autre part.

Dans le cas de circuits combinatoires simples, cette méthode n'est pas idéale. Elle substitue une initialisation "software" par une initialisation "hardware". Il n'y a pas de gain de temps ; au contraire car l'initialisation doit être répétée avant application de chaque vecteur de test.

Un type d'addition de porte qui permet d'aider le test des circuits redondants peut également être présenté. Une extension peut être envisagée pour le test de circuits séquentiels.

Plus généralement, ce dispositif peut être employé pour imposer une des valeurs d'entrée



d'une porte de convergence pour permettre la sensibilisation d'un des chemins.

Figure I-57 décrit un cas de s-open instable sur les portes NAND (s-open P sur entrée A des deux portes NAND). La figure I-58 présente la solution proposée pour la rendre testable.

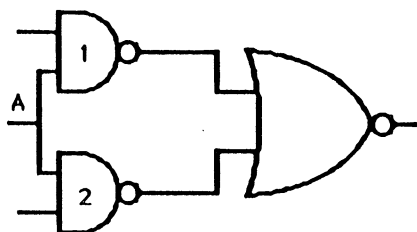


Figure I-57 : Porte avec s-open testable

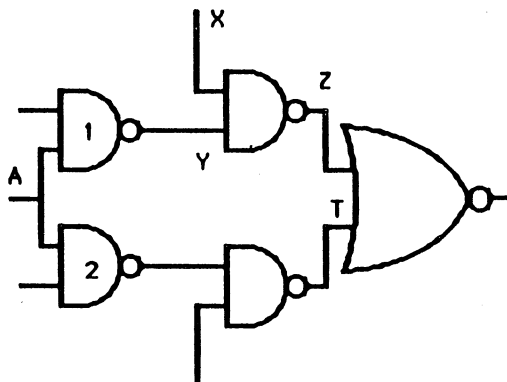


Figure I-58 : Porte modifiée testable

La commande X sert à valider le test de la porte NAND (2), quand  $X = 0$ . La porte NOR propage la valeur T et donne  $T^{\Delta}$  en sortie de porte NOR. Lorsque  $X = 1$  il y a fonctionnement normal de la porte. Le même raisonnement peut être fait pour la commande U de l'autre chemin.

### VII-3-2-b Modification de REDDY et REDDY [RED83]

La modification présentée dans ce cas est localisée au niveau de la porte, elle a pour but d'éliminer les aléas de test lors du test des s-open. Dans ce type de porte les entrées peuvent ne pas être présentées simultanément. Donc, lorsque s'effectue le passage du vecteur d'initialisation au vecteur de test il peut y avoir un vecteur temporaire validé qui a pour effet de modifier l'initialisation de la sortie. Le vecteur de test n'est donc plus valide. Deux modifications sont présentées pour éviter cette aléa de test.

#### \* Première modification (voir Figure I-59)

Déconnecter les parties N et P du circuit CMOS de la sortie pendant que les variables d'entrées changent ( $C1 = 1, C2 = 0$ ). La sortie est alors en état de haute impédance et permet de conserver la valeur d'initialisation en sortie. Lorsque les entrées sont stabilisées la configuration ( $C1 = 0, C2 = 1$ ) permet un fonctionnement normal. Le test ainsi protégé nécessite l'utilisation de 4 phases : initialisation, mise en haute impédance, test, suppression de la haute impédance.

#### \* Deuxième modification (voir Figure I-60).

Cette modification nécessite l'addition de 4 transistors mais réduit la séquence de test à deux phases donc le temps de test est plus faible.

Le principe est le suivant : on applique constamment le vecteur de test validant un chemin de la partie N (P). Les phases d'initialisation et de test sont définies par les commandes C1 et C2 validées respectivement sur T1 et T2. Sur T1, la sortie est initialisée à 1(0) si un s-open côté N(P) est testé. En T2, les commandes valident le chemin associé au transistor testé.

### REMARQUES

1) Comme cité précédemment, l'addition de transistors d'aide au test n'est pas admissible au niveau porte mais seulement au niveau bloc.

2) Ce problème d'aléas est du même type que celui donnant naissance aux spikes. Une solution préférable à l'addition de portes est le choix des vecteurs de test de manière à éviter la modification de la sortie par validation de plusieurs entrées simultanées ou bien d'utiliser des "circuits de retard" qui rendent les variables critiques simultanées ou bien encore de synchroniser les signaux d'entrées.

3) Il peut être admis un écart  $\Delta t$  entre les validations des différentes entrées, cet écart (à définir pour une technologie donnée) apporte un "spike" en sortie sans que la valeur logique d'initialisation ne soit pas modifiée.

4) Ce problème est très pointu car il représente pratiquement un cas particulier pour chaque entrée : la position des entrées et le nombre des entrées modifie le temps de basculement, ses solutions pour éviter ce problème, seront proposées dans le chapitre V.

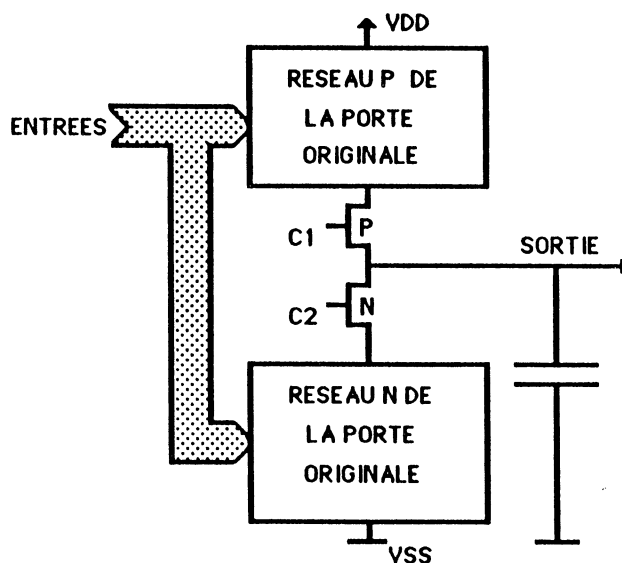


Figure I-59 : Addition de circuit dans une porte (cas 1)

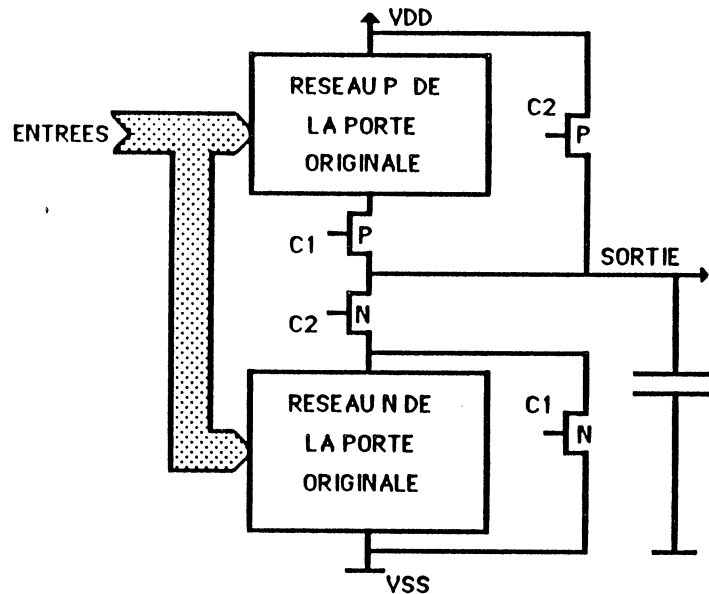


Figure I-60 : Addition de circuit dans une porte (cas 2)

#### VII-4 Conclusion

La modification d'un circuit combinatoire en un circuit séquentiel due aux s-open a été présentée dans ce paragraphe. Différentes études ont été citées. Elles développent les principaux problèmes du test des s-open pour les portes statiques classiques ou complexes à réseaux N et P entièrement complémentés. Ces problèmes regroupent :

- la définition de test basée sur le principe d'initialisation/test,
- la définition d'algorithmes de génération de séquences de test,
- la réduction des séquences de test,
- l'addition de circuits pour permettre le test de certains s-open,
- l'invalidation du test des s-open.

De nombreux points peuvent encore être étudiés. En effet la séquence de test utilisée pour tester un s-open peut être adaptée pour permettre d'obtenir des séquences de test plus compactes. Le test de portes et de réseaux dynamiques DOMINO ou NPCMOS peut également être étudié, ainsi que la réduction des séquences de test pour des réseaux statiques ou dynamiques de type IFOF, RFO ou NRFO composés de différents types de portes. Enfin le test simultané s-on/s-open et le test de pannes multiples peut être envisagé.

Tous ces points seront développés et démontrés à l'aide de théorèmes dans le Chapitre V.

## VIII CONCLUSION

Dans ce chapitre de "présentation", un rappel sur la technologie CMOS et des pannes a été réalisé et les principaux points des études réalisées sur les quatre principales pannes reconnues en CMOS : latch up, court circuit, s-on et s-open ont été présentées sous forme 'une revue bibliographique'.

Dans ces différentes études il apparait que les modèles de pannes utilisés et les comportements validés ne permettant pas toujours de définir des critères de testabilité de ces pannes. En effet, l'aspect fugitif ou destructeur du latch up ne permet pas le test au niveau logique, la modélisation en terme de forçage ou de fonctions logiques variables pour des portes et des courts-circuits particuliers ne permet pas le test de tout court-circuit par exemple. De même le test de pannes par mesures de courant ; dans le cas de s-on, n'est pas utilisable en test industriel car long et coûteux, et le test des s-open présenté peut être adapté pour être plus ordonné et envisagé pour d'autres types de portes (statiques et dynamiques), par exemple.

Tous ces points montrent la nécessité de définir une modélisation des pannes plus fines, c'est à dire au niveau transistor, qui permette d'établir des conditions de testabilités générales pour toutes ces pannes.

Les chapitres suivants présentes les études réalisées permettant, pour chacune des pannes citées, d'obtenir des conditions générales de test.



## REFERENCES

- [AIT78] : AITKEN A., KUNG P.  
"The influence of Design and Process Parameters on the Reliability of CMOS Integrated Circuits".  
Microelectronics and Reliability, Bergamon Press, 1978.
- [AIT80] : AITKEN A.  
"Comparison of Bulk Silicon and SOS for VLSI CMOS".  
IEEE Electron Device, 1980.
- [ACK83] : ACKEN M.  
"Testing for Bridging Faults (shorts) in CMOS Circuits".  
20th Design Automation Conference, Miami Beach 1983.
- [BAN83] : BANERJEE P., ABRAHAM J.  
"Generating Tests for Physical Failures in MOS Logic Circuits".  
IEEE International Test Conference, Philadelphia, October 1983.
- [BAS84] : BASCHIERA D., COURTOIS B.  
"Testing CMOS : a Challenge".  
VLSI DESIGN Vol N°10, October 1984.
- [BRA81] : BRAMBILLA P., FANTINI F., MALBERTI P., MATTANA G.  
"CMOS Reliability : A useful Case History to Revise Extrapolation Effectiveness, Length and Slope of the Learning Curve."  
Microelectronics and Reliability, Bergamon Press, 1981.
- [BRE76] : BREUER M.A., FRIEDMAN A.D.  
"Diagnosis and Reliable Design of Digital Systems".  
PITMAN 1976.
- [CHA83] : CHANDRAMOULI R.  
"On Testing Stuck-open Faults".  
13th Fault Tolerant Computing Symposium, Milano 1983.
- [CHV83] : CHIANG K.W., VRANESIC Z.G.  
"On fault Detection in CMOS Logic Networks".  
20th Design Automation Conference, Miami Beach 1983.
- [COL81] : COLINGE J.P., DEMOULIN E.  
"A High Density CMOS Inverter with Stacked Transistors".  
IEEE Electron Device Letters, Vol EDL-2, N°10, October 1981.

- [COU81] : COURTOIS B.  
"Failure Mechanisms, Faults Hypotheses and Analytical Testing of LSI-NMOS (HMOS) Circuits". VLSI 81, University of Edinburgh, August 1981, Academic Press.
- [DAN81] : DANTEC A.  
" Comment se prémunir du Latch-Up dans les circuits intégrés CMOS"  
Electronique Industrielle N°18, Juin 1981.
- [DAV83] : DAVIES R.D.  
" The Case for CMOS"  
IEEE Spectrum, October 1983.
- [DRE80] : DRESSENDORFER P.V., ARMENDARIZ M.G.  
"A SEM Technique for Experimentally Locating Latch-Up Paths in Integrated Circuits".  
IEEE Transactions On Nuclear Science, Vol NS 27, N°6, December 1980.
- [EL181] : ELZIQ Y.M.  
"Automatic Test Generation for Stuck-open Faults in CMOS VLSI".  
18th Design Automatic Conference, Nashville, June 1981.
- [EL281] : ELZIQ Y.M.  
"Functional Level Test generation for Stuck-open Faults in CMOS-VLSI".  
IEEE International Test Conference, Philadelphia, October 1981.
- [EST82] : ESTREICH D.B., DUTTON R.W.  
"Modeling Latch-Up in CMOS Integrated Circuits".  
IEEE Transactions on Computers, Vol CAD-1, N°4, October 1982.
- [FIE84] : FIELDS S.W.  
" New Way Proposed to End Latch-Up".  
Electronics, February 1984.
- [GAL76] : GALLACE L.J., PUJOL H.L.  
"Failure Mechanisms in COS/MOS Integrated Circuits".  
Electronic Engineering, December 1976.
- [GEN84] : GENDA J.H.  
"A Better Understanding of CMOS Latch-Up".  
IEEE Transactions On Electron Devices, Vol ED-31, N°1, January 1984.
- [JON83] : JONES C.W.  
"Creating a VLSI Design in CMOS".  
IEEE University-Government-Industry Microelectronics Symposium, 1983.

- [LON83] : LONDON A.  
"Two-Layers Metal CMOS vs. Two Layers Poly CMOS".  
VLSI DESIGN, March / April 1983.
- [MAL82] : MALAIYA K., SU Y.H.  
"A New Fault Model and Testing Technique for CMOS Devices".  
IEEE International Test Conference, Philadelphia, November 1982.
- [MAN84] : MANNONE P.  
"Careful Design Methods Prevent CMOS Latch-Up".  
EDN, January 1984.
- [MCL81] : Mc CLUSKEY E.J., BOZORGUI-NESBAT S.  
"Modifications for CMOS Circuits".  
IEEE Transactions on Computers, Vol C-30, November 1981.
- [OCH79] : OCHOA A., DAWES W.  
"Latch-Up Control in CMOS Integrated Circuits".  
IEEE Transactions on Computers, Vol NS-26, N°6, December 1979.
- [PIN83] : PINTO M.R., DUTTON R.W.  
"An Efficient Numerical Model of CMOS Latch-Up".  
IEEE Electron Device Letters, Vol EDL-4, N°11, November 1983.
- [RED83] : REDDY. S.M. , REDDY. M.K.  
"Testable Realizations for FET Stuck-open Faults in CMOS Combinational Logic Circuits".  
IEEE International Test Conference, Philadelphia, October 1983.
- [RCM83] : CHING-YUH FANG., MOLL. J.L.  
"Latch-Up Model for the Parasite PNP Path in Bulk CMOS".  
IEEE Transactions on Electron Devices, Vol ED-31, N°1, January 1984.
- [ROT81] : ROTH J.P., SAVIR I.  
"Testing for and distinguishing between failures".  
12th Fault Tolerant Computing Symposium, Santa - Monica, June 1982.
- [RUN81] : RUNG R.M., DELL' OCA C.J., WALKER L.G.  
"A Retrograde p-Well for Higher Density CMOS".  
IEEE Transactions On Electron Devices, Vol ED-28, N°10, October 1981.
- [RUN82] : RUNG R.M., MOMOSE H., NAGAKUBO Y.  
"Deep Trench Isolated CMOS Devices".  
IEEE. International Electron Devices Meeting, Technical Digest, San Francisco, December 1982.



- [SCII81] : SCHINABLE G.L., COMIZZOLI R.B.  
"CMOS Integrated Circuit Reliability".  
Microelectronics and Reliability, Bergamon Press, 1981.
- [SHE81] : CRAIG S.  
" New High Speed CMOS Logic : Faster Speed and lower Power".  
Electronic Engineering, December 1981.
- [SIE82] : SIEWIOREK D.P., SWARZ R.S.  
"The Theory and practice of Reliable System Design".  
Digital Press, 1982.
- [SZE81] : SZE S.M.  
"Physics of Semiconductor Devices".  
Wiley and Sons, 1981.
- [TAK84] : TAKACS D., WERNER C, HARTER J., SCHWABE U.  
"Surface Induced Latch-Up in VLSI CMOS Circuits".  
IEEE Transactions on Electrons Devices, Vol ED-31, N°3, March 1984.
- [TIM83] : TIMOC C., BUEHLER M.  
"Logical Models of Physical Failures".  
IEEE International Test Conference, Philadelphia, October 1983.
- [TR083] : TROUTMAN R.R., ZAPPE H.P.  
"A Transient Analysis of Latch-Up in Bulk CMOS".  
IEEE Transactions On Electron Devices, Vol ED-30, N°2, February 1983.
- [TRO84] : TROUTMAN R.R., ZAPPE H.P.  
"Layout and Bias Considerations for Preventing Transiently Triggered Latch-Up in CMOS".  
IEEE Transactions On Electron Devices, Vol ED-31, N°3, March 1984.
- [WAD78] : WADSACK R.L.  
"Faults Modeling and Logic Simulation of CMOS and MOS Integrated Circuits".  
The bell systems technical journal, Vol 57, N°5, May 1978.
- [WIL81] : WILLIAMS T.W.  
"Design For Testability".  
Computer Design Aids for VLSI Circuits.  
NATO Advanced Study Institutes Series, 1981.

**ANNEXES**

- 1) **EXEMPLE DE FILIERE DE TECHNOLOGIE CMOS SUR SUBSTRAT SILICIUM DE "SANDIA LABORATORIES" [JON83].**

Type : grille silicium / puits P / 2 couches de metal.

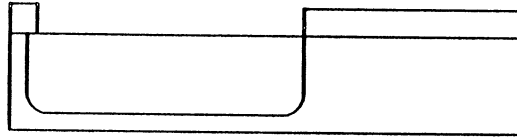
- 2) **MODELES DE TRANSISTORS MOS ET BIPOLAIRES UTILISES DANS LES SIMULATIONS.**

\* Modèle de IHANTOLA et MOLL [SZE 81] (MOS).

\* Modèle de GUMMEL-POON [SZE 81] (bipolaire).

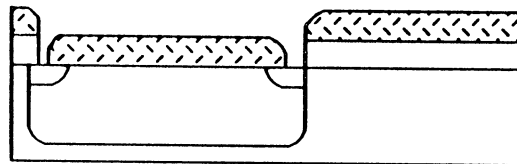
\* Modèle d'EBERS-MOLL [SZE 81] (bipolaire).

## I EXEMPLE DE PROCESS DE TECHNOLOGIE CMOS SUR SUBSTRAT



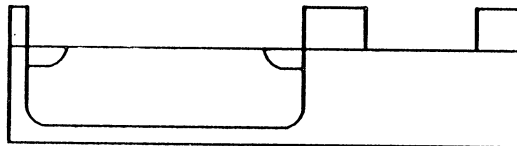
a) Croissance d'un oxyde thermique épais sur un substrat.

- Masque implantation,
- Implantation du puits P, puis recuit.

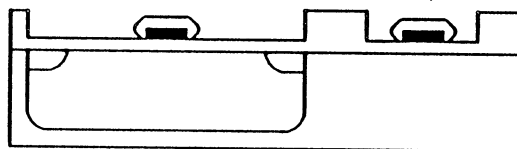


b) Générer le masque pour la diffusion de bore (création de l'anneau de protection de latch up).

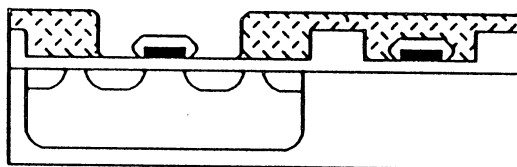
- Diffusion de bore.



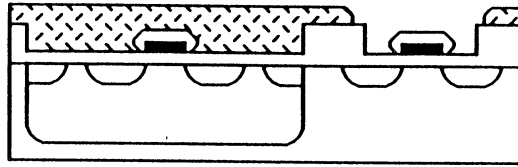
c) Recouvrir la puce d'un oxyde épais sauf sur les zones correspondantes aux transistors et anneaux de protection. Sur ces zones est déposé un oxyde mince.



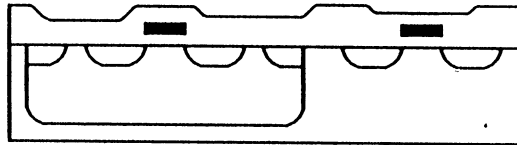
d) Dépôt de polysilicium et gravure pour réaliser les grilles des transistors.



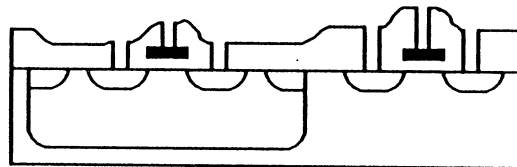
e) Masquer pour réaliser les sources et drain en diffusion N.



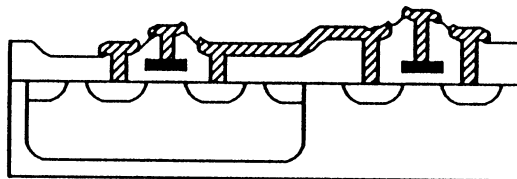
f) Masquer pour réaliser les source et drain en diffusion P.



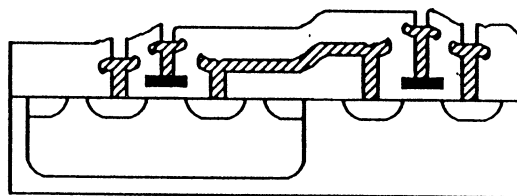
g) Recouvrir le circuit d'oxyde épais.



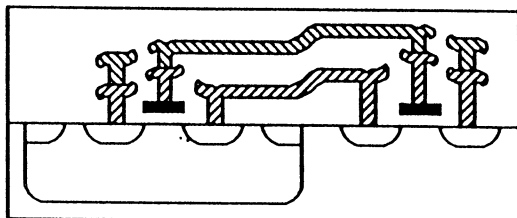
h) Créer les ouvertures des interconnexions.



i) Dépot de metal premier niveau et gravure.



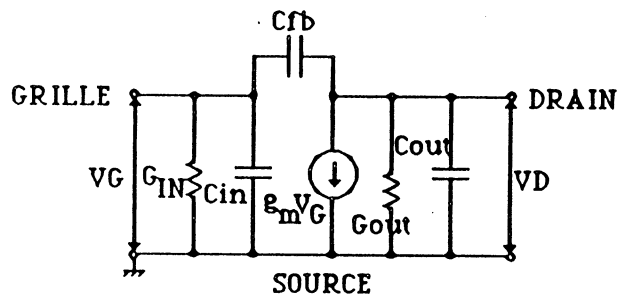
j) Oxydation épaisse deuxième niveau et ouverture interconnexions niveau métal.



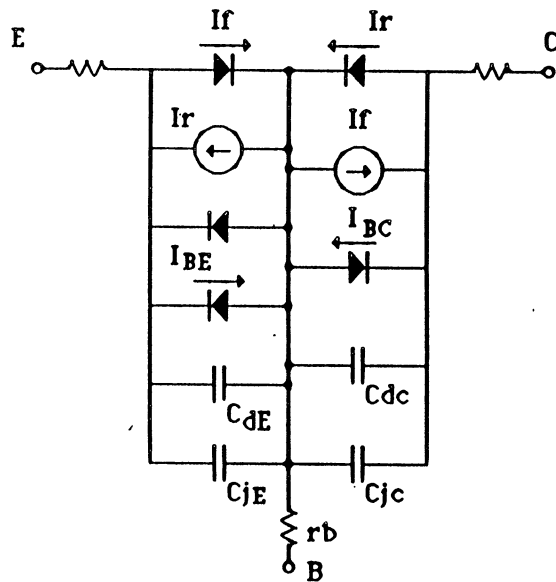
k) Dépot métal deuxième niveau d'interconnexion et passivation.

**II MODELES DE TRANSISTORS**

**\* MODELE DE HANTOLA ET MOLL**

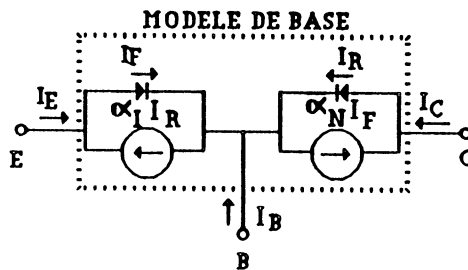


**\* MODELE DE GUMMEL-POON**

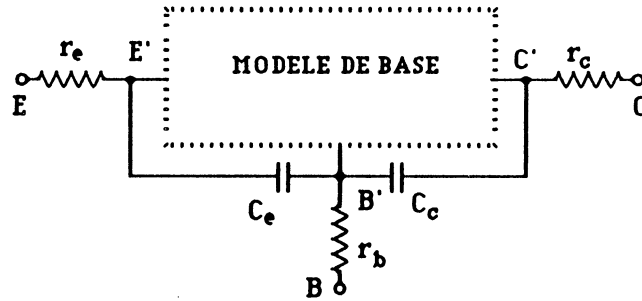


**\* MODELE D'EBERS-MOLL**

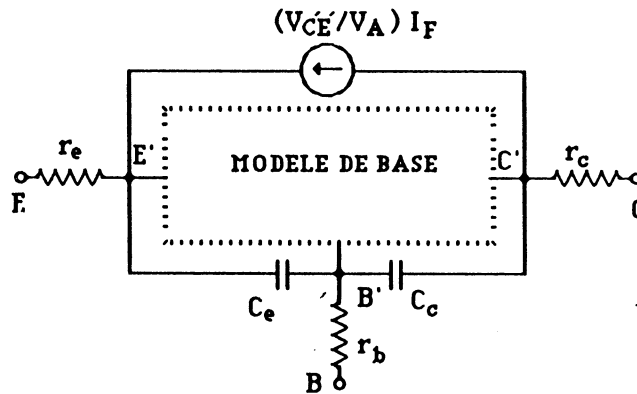
-a) Modèle de base,

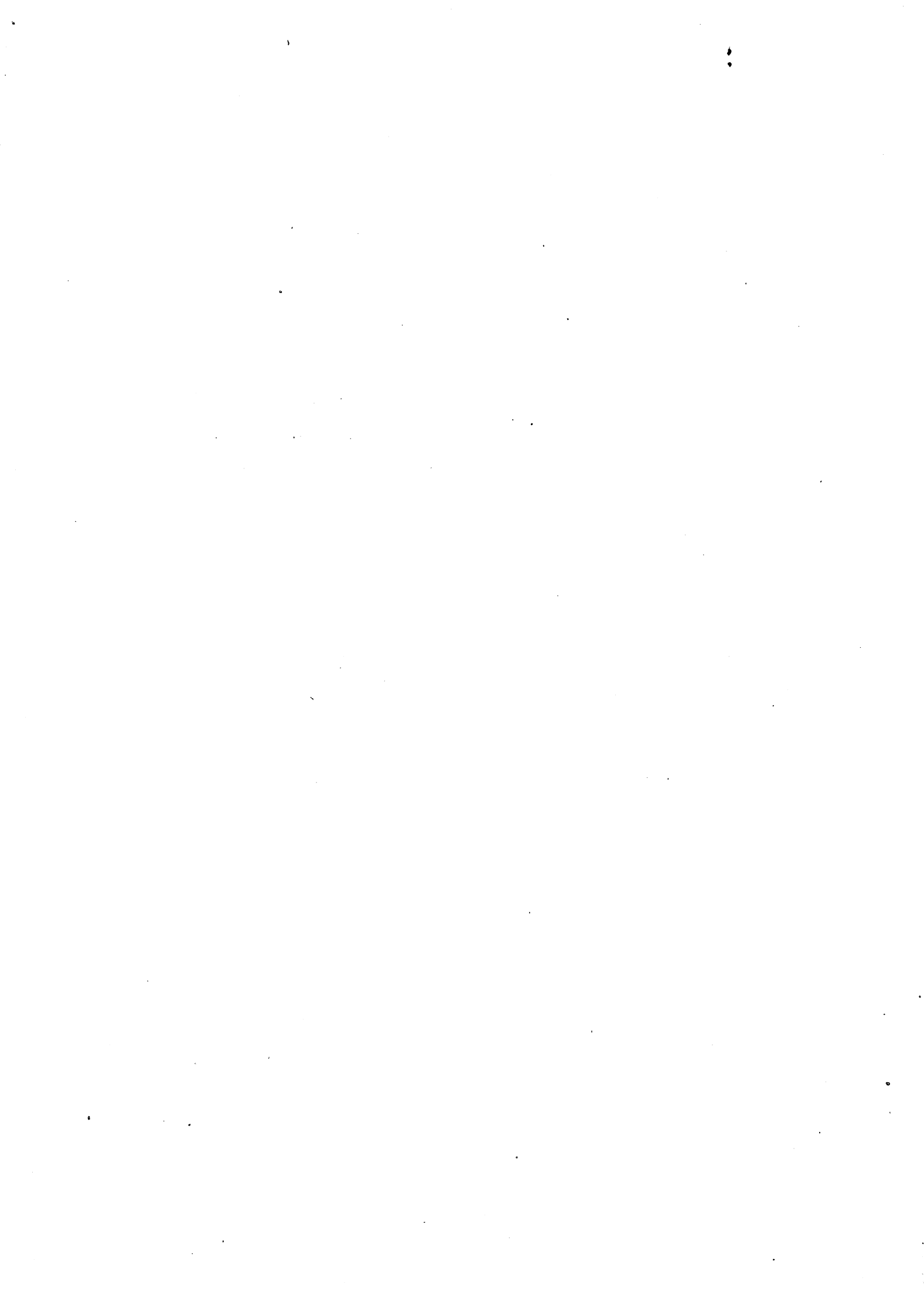


-b) Modèle avec résistances séries et capacités de déplétion,



-c) Modèle avec sources de courant pour effet EARLY,





*CHAPITRE II*  
*LE LATCH-UP*





## SOMMAIRE

### I INTRODUCTION

### II DETECTION DU LATCH-UP

### III LOCALISATION DES STRUCTURES PARASITES

### IV DIFFERENTS TYPES DE STRUCTURES

IV-1 Structures à alimentation conditionnelle

IV-2 Structures à influence conditionnelle

### V MODIFICATION DE L'ETAT LOGIQUE

### VI METHODES DE TEST

VI-1 Etude de la testabilité d'un latch-up

VI-2 Test si les alimentations sont maintenues localement

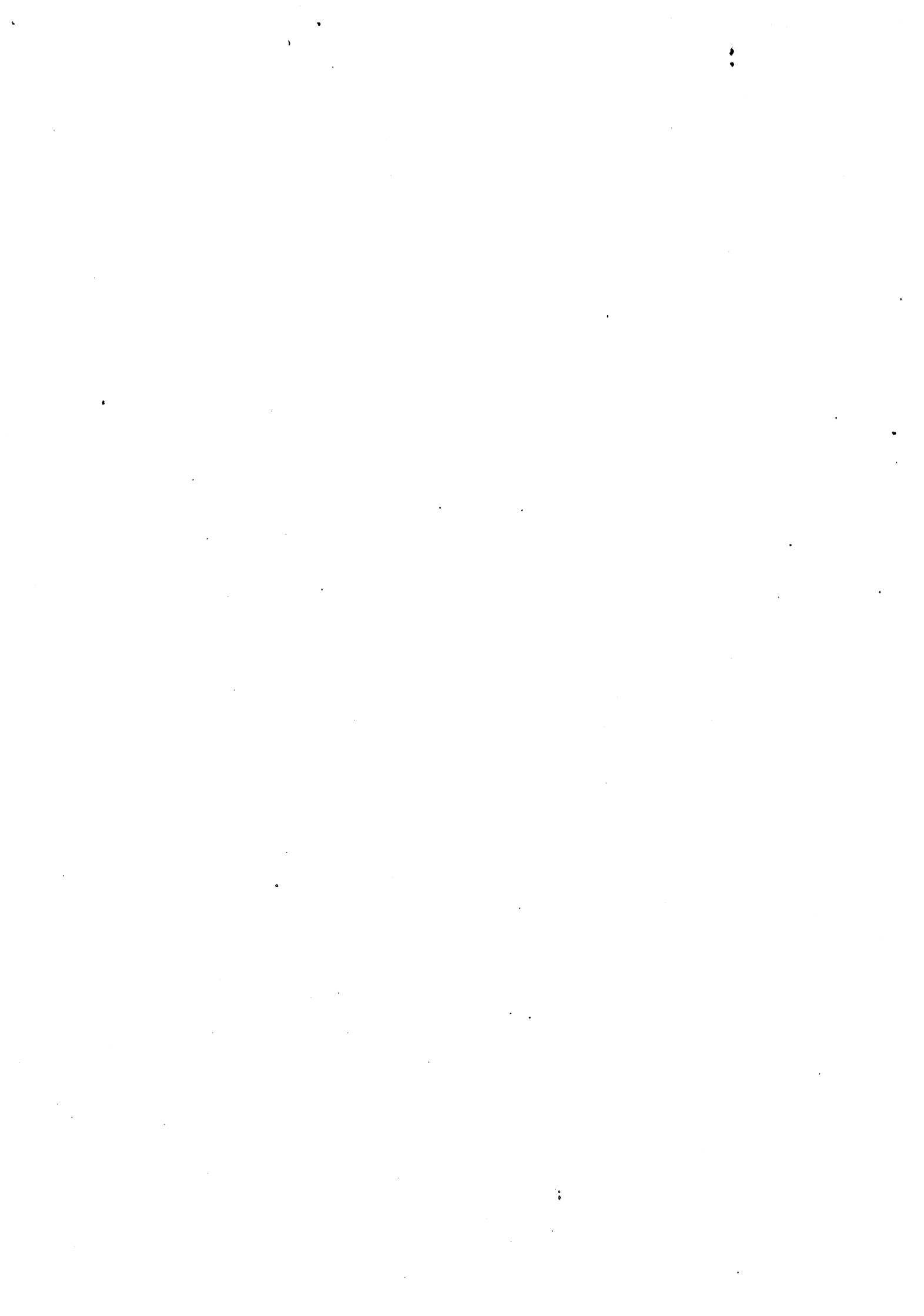
VI-3 Test si les alimentations sont dégradées localement

VI-3-a Test logique d'un latch-up entretenu

VI-3-b Test logique d'un latch-up non entretenu

VI-4 Remarques

### VII CONCLUSION



## CHAPITRE II

### LE LATCH-UP

#### I INTRODUCTION

Les études réalisées sur le latch-up ont pour objectif de définir un modèle du phénomène parasite afin d'éviter son occurrence, le problème étant que la présence de latch-up sur un circuit rend celui-ci inutilisable. Les trois manifestations :

- perte de l'état logique,
- perte du contrôle du circuit,
- destruction de tout ou partie du circuit, sont les principaux effets connus.

Les deux derniers cas qui nécessitent ou induisent un arrêt du circuit sont généralement retenus dans les hypothèses de fonctionnement en cas de panne. Le premier, par contre, n'est pas considéré. Pour ce cas, ainsi que pour le deuxième l'hypothèse que le latch-up n'entraîne pas l'arrêt inconditionnel du circuit peut être faite. En effet, le latch-up peut être, d'une part, entretenu sans détruire la structure, et, d'autre part, apparaître fugitivement sans être entretenu. Un nouveau type d'étude peut alors être envisagé. Il s'agit de définir l'effet du latch-up sur le comportement logique du circuit. Dans ce but, ce chapitre présente :

- le problème de la localisation des structures parasites,
- les particularités de ces structures ,
- l'effet probable du latch-up sur l'état logique et pour ces cas les méthodes de test envisagées.

L'investigation de ces points et leur validation devraient permettre, d'une part, le test au niveau logique de cette panne, et d'autre part, aider à la définition de règles de dessin pour éviter l'occurrence du latch-up.

#### II DETECTION DU LATCH-UP

Les tests de détection du latch-up sont principalement des mesures de courant. Cette méthode a une valeur et une efficacité relative. En effet, de nombreux défauts peuvent induire des consommations anormales de courant (courts-circuits, s-on, fuite de diodes, etc...). La somme de ces courants parasites peut être élevée et l'origine exacte de la panne n'est pas connue. De plus les déclenchements non entretenus du latch-up produisent des pics de courant. Le courant consommé à un instant donné dépend donc de nombreux facteurs qui contribuent au courant total de manière inégale. Les mesures de courant sont effectuées en régime statique

(longues). Dans cette configuration sont éliminées les consommations obtenues lors du basculement de portes et le courant consommé dépend :

- de l'état du système,
- des pannes manifestées dans cet état,
- ainsi que, de la "qualité" de ces pannes.

L'état du système joue également un rôle dans le déclenchement du latch-up (voir paragraphe IV) et par suite sur la nature et le nombre des latch-up non entretenus pouvant être déclenchés. Tous ces paramètres rendent ces mesures longues, difficiles à mettre en oeuvre et à interpréter.

Ce type de test peut cependant être envisagé en test de fin de fabrication avec un testeur adapté. Il ne peut être réalisé pendant la vie du circuit pour un test en ligne continu ou non. Après la vie du circuit le test envisagé pour tester un latch-up est la détection d'une coupure de diode ou un "open" d'une connexion d'alimentation ou d'une entrée.

### **REMARQUE**

Le latch-up peut apparaître dans les cas suivants :

- lors de la mise sous tension du circuit, si les niveaux appliqués dépassent les caractéristiques autorisées,
- durant le fonctionnement :
  - \* si la structure thyristor a les caractéristiques requises, l'initialisation peut être réalisée par des rayonnements ionisants ou des spikes,
  - \* si la structure thyristor n'a pas les caractéristiques requises, il se peut que les phénomènes de migration de charges, ou par apport externe de charges la structure devienne sensible et par suite peut être déclenchée par un des initiateurs qui peut être fonction de l'état logique du circuit,
- le déclenchement lorsque le circuit n'est pas alimenté mais où les signaux d'entrée sont appliqués, n'a pas été mis en évidence.

### **III LOCALISATION DES STRUCTURES PARASITES**

La plupart des auteurs décrivent le latch-up à partir d'une structure NPNP parasite appartenant à un inverseur. Cette description représente un cas typique de cette structure mais n'est pas le seul. En effet, le modèle utilisé dans [LIP 82] et [TAK 84] est typiquement celui qui est réalisé entre deux inverseurs, lorsque la masse de l'un est près de l'alimentation de l'autre (Figure II-1). Le motif décrit n'est pas restreint à un inverseur, il peut également être présent entre deux portes ou entre d'autres éléments.

Cette configuration parasite peut être localisée au voisinage d'une diode de protection des entrées (Figure II-2). Dans ce cas les conditions de déclenchement et le chemin de latch-up dépendent des valeurs présentes sur les entrées des éléments considérés et par suite de l'état du circuit.

Les différents comportements peuvent être étudiés à partir des figures II-2 et II-3 :

- Si  $V_E = "0"$ , la structure parasite qui induit le latch-up est localisée entre  $V_{DD}$  et  $V_E$ , et elle est constituée des éléments  $P_4^+$ ,  $N_2^-$ ,  $P_1^-$ ,  $N_1^+$  (Figure II-2)  $P_4^+$  est connecté à  $V_{DD}$  et  $N_1^+$  est connecté à  $V_E = 0$ ,
- Si  $V_E = "1"$ , la structure parasite est localisée entre  $V_E = "1"$  et  $V_{SS}$  (masse) et elle est constituée des éléments  $(P^+, P_2^-)$ ,  $N_2^-$ ,  $P_3^-$ ,  $N_3^+$  (voir Figure II-3).  $P^+$  est connecté à  $V_E = "1"$  et  $N_3^+$  est connecté à  $V_{SS}$  (masse). Dans ce cas ( $V_E = 1$ ) il y a une diode du côté  $V_E$  ( $P^+/P_2^-$ ) polarisée en direct et en série avec la structure NPNP. Cet élément ajoute une résistance et modifie donc le courant et les conditions de déclenchement.

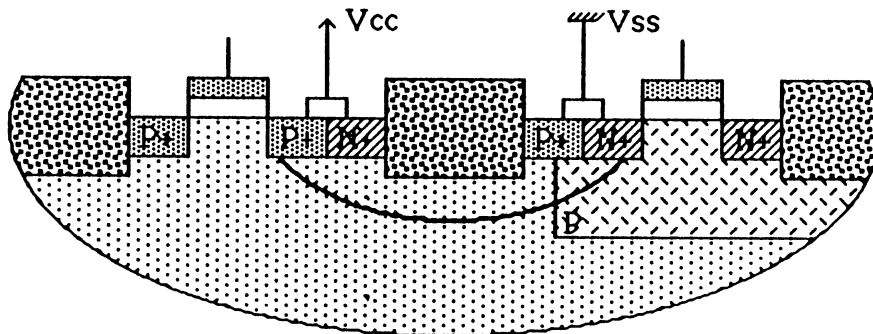


Figure II-1 : Structure NPNP entre deux inverseurs d'après [LIP 84]

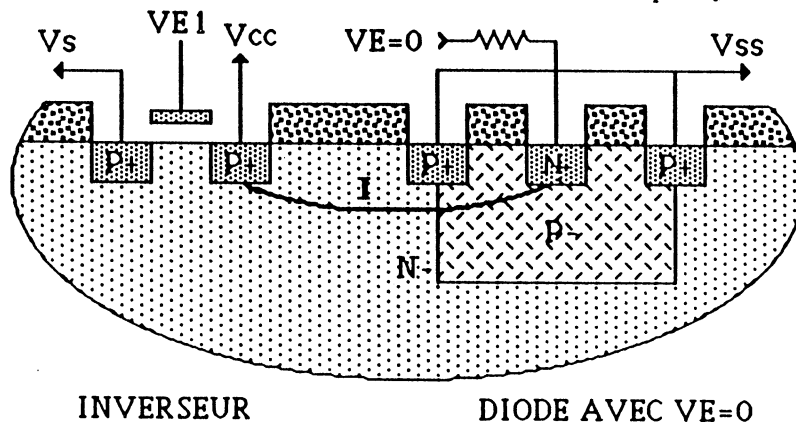


Figure II-2 : Structure NPNP entre inverseur et diode avec  $V_E = 0$  d'après [DAN 81]

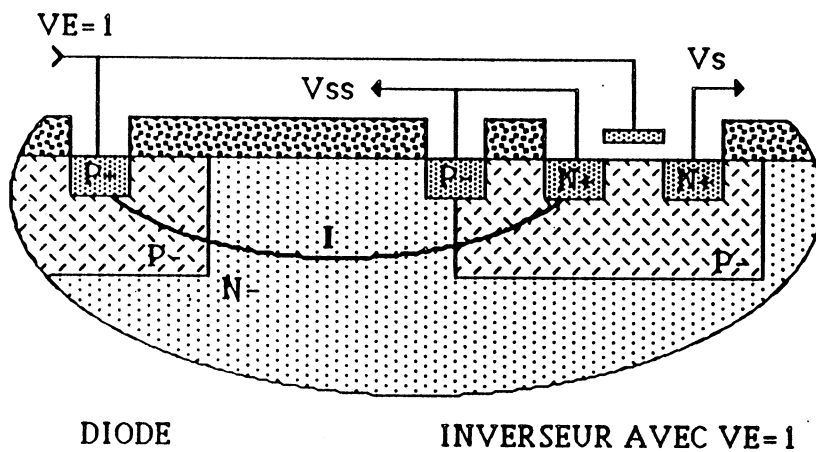


Figure II-3 : Structure NPN entre diode et inverseur avec  $V_E = 1$  d'après [DAN 81]

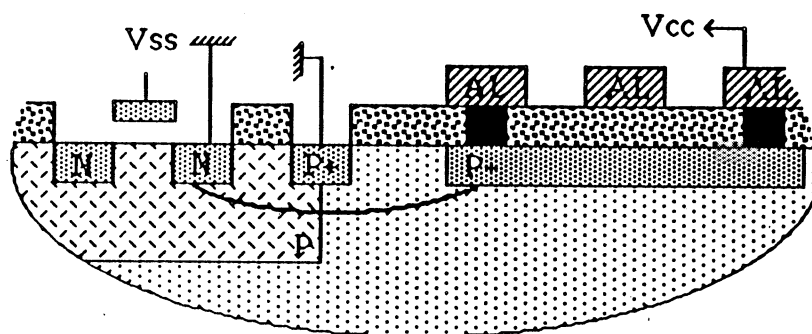


Figure II-4 : Structure NPN lors d'un passage de connexion

#### IV DIFFERENTS TYPES DE STRUCTURES

Les études présentées sur le latch-up Chapitre I ont été décrites à partir de structures fixes, c'est à dire des structures où les éléments NPNP sont connectés d'une part à une masse réelle du circuit (côté N) et d'autre part à une alimentation réelle du circuit (côté P). D'autres structures génératrices potentielles de latch-up existent, le déclenchement de la structure admet d'autres contraintes ce sont des structures conditionnelles. Deux principaux types de structures conditionnelles existent.

### IV-1 Structures à alimentation conditionnelle

Dans ce cas l'alimentation ou (et) la masse sont définies par une entrée ou une sortie de porte. Lorsque l'alimentation (resp. la masse) est conditionnelle un 1 (resp. 0) logique valide la structure. Les conditions de déclenchement présentées chapitre I ont alors une action possible sur cet élément. Dans ce cas le déclenchement du latch up est conditionné par l'état du circuit.

### IV-2 Structures à influence conditionnelle

Pour ce type de structure les éléments NPNP sont présents ainsi que l'alimentation et la masse, les caractéristiques électriques de ces structures peuvent varier en fonction de l'état du système de deux façons : soit par effet capacitif, soit par décalage de masse (ou d'alimentation).

L'effet capacitif a été montré dans [TAK 84] par la modification de la densité d'électrons à la surface du substrat sous une connexion. L'état logique de la connexion définit la densité d'électrons ou de trous à l'interface oxyde épais substrat (ou puits). Cette densité électronique modifiée par rapport à la structure originelle peut soit favoriser, soit rendre plus difficile le déclenchement du latch-up. Ceci dépend de la nature et de la quantité de charges en présence ainsi que de leur localisation (transistor NPN ou PNP).

Le décalage de masse ou d'alimentation est obtenu lorsque la structure physique est présente mais que ces caractéristiques électriques ne permettent pas le déclenchement. Ce cas est présenté figure II-5.

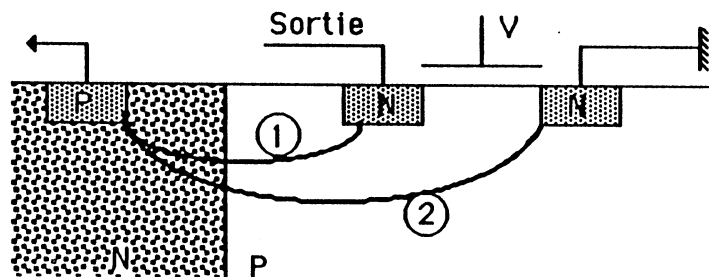


Figure II-5 : Exemple de structure conditionnelle

Lorsque  $V = 0$  Volt le chemin 2 n'a pas les caractéristiques requises pour permettre le déclenchement, mais, lorsque  $V = 5$  Volts le canal est formé et le plot de sortie peut alors servir de masse. Dans ce cas le chemin 1 peut avoir les caractéristiques électriques qui permettent un déclenchement.

Dans ce paragraphe ont été présentées les actions possibles de l'état logique sur la modification de structures NPNP afin de les rendre sensibles au déclenchement. Ces modifications doivent être prises en compte lors de la définition des paramètres technologiques et pendant le dessin des circuits.



## V MODIFICATIONS DE L'ETAT LOGIQUE

La manifestation au niveau fonctionnel du latch-up n'est pas décrite précisément par les auteurs des études présentées CHAPITRE I sur le latch-up. Seule la notion et l'observation de "perte d'état" est évoquée dans [OCH 79] et [TAK 84].

L'action possible du latch-up peut être de deux types :

- pollution de la valeur de sortie par le courant,
- pollution d'une connexion par effet capacitif du courant.

Pour le premier de ces types deux cas peuvent se présenter :

a) Le courant de latch-up atteint une diffusion, voisine d'une diffusion de sortie de porte (Figure II-6). Dans ce cas si la diffusion extrême est de type N (resp. P) connectée à la masse (resp. à l'alimentation) les porteurs injectés sont des trous (resp. électrons), l'action sur le canal voisin formé peut être une coupure du canal (resp. modification de la résistivité) et sur un canal non formé, aucune action (resp. formation d'un canal). Dans le premier cas de figure la sortie prise sur la diffusion voisine est en état de haut impédance (resp. son état est inchangé) et dans le deuxième cas de figure l'état de la sortie est inchangé (resp. la sortie se trouve sur un réseau résistif entre l'alimentation et la masse).

b) Le courant de latch-up atteint une diffusion en passant sous une diffusion de sortie de porte (Figure II-7). Dans ce cas la diffusion de sortie se trouve sur un chemin de fort courant et de faible impédance. La valeur prise par la sortie n'est pas définie : soit collage à 0, soit collage à 1, soit une valeur intermédiaire dont les paramètres restent à déterminer (valeur de  $I$  ?, paramètres de la structure ?, autres paramètres ?...).

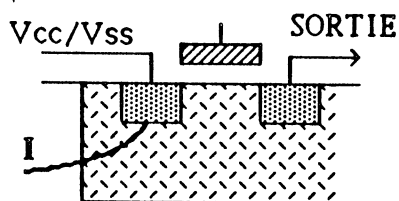


Figure II-6 : Action du latch-up sur une sortie voisine

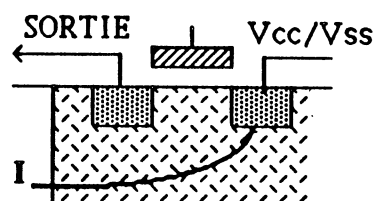


Figure II-7 : Action du latch-up une sortie située sur le chemin

Le deuxième de ces types apparaît par effet capacitif (Figure II-8).

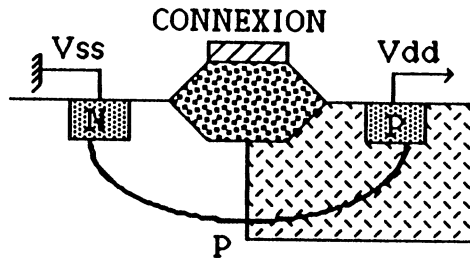


Figure II-8 : Effet capacitif du latch-up [TAK 84]

Ce type de comportement est obtenu par effet capacitif, il s'agit de la modification du niveau de la connexion (polysilicium ou métal) qui passe au dessus d'une zone où un latch-up est déclenché. La modification de la tension par présence d'une densité élevée de charge due au latch-up n'est pas impossible. En effet, l'effet inverse, modification d'une densité de charge par une connexion positionnée sur un oxyde de champ, est présentée dans [TAK 84].

De manière symétrique le fort courant circulant sous cet oxyde peut modifier la répartition de charges dans la connexion et ainsi modifier le temps de propagation des signaux, voir même la valeur de la tension : Cet effet peut également être invoqué lorsque le courant de latch-up circule sous une grille de transistor. Dans ce cas l'oxyde est mince et l'effet capacitif devrait être plus marqué.

De même dans [TAK 84] il peut être noté que la densité de charges n'est pas nulle à l'extérieur de la diffusion active dans le latch-up ce qui rend le premier type de comportement (décrit ci-dessus) tout à fait possible également.

La validation des hypothèses présentées ci-dessus ne pourra être effectuée que par l'observation des effets de bords en cas de latch-up dans les différentes configurations possibles (pour le premier type). Pour le second, une étude des facteurs actifs est nécessaire avant toute simulation (réseau de latch-up, réseau auquel appartient la connexion et l'interaction).

Les observations décrites dans [TAK 84] permettent d'envisager une suite positive aux hypothèses précédentes, mais elles peuvent évoluer dans le cas de technologies fines.

Il peut être rappelé que certaines précautions matérielles sont prises pour éviter l'occurrence du latch up. La présence d'anneaux de garde ou de pseudo-collecteurs qui servent à neutraliser cet effet de surface doit être considérée lors de la recherche de structures parasites potentielles.

## VI METHODES DE TEST

Le latch-up est manifesté par un courant de surface donc il peut affecter des éléments proches de la surface et voisins. Les comportements probables décrits précédemment peuvent être rappelés : collage à 1 ou à 0, état de haute impédance, et niveau indéterminé. Les facteurs

actifs ainsi que la validation de ces états doivent cependant être définis. En cas de collage, coupure ou court-circuit classique le problème est pour la plupart des cas résolu car la manifestation, ainsi que la localisation sont connues. Les vecteurs de test adaptés peuvent être appliqués et la panne propagée. De plus la structure d'alimentation est toujours présente, parfois perturbée par exemple dans le s-on ou les courts-circuits, ou une consommation de courant plus ou moins élevée peut modifier la référence d'alimentation ceci dans des limites acceptables. Dans le cas du latch-up le problème ne se pose pas dans les mêmes termes.

### **VI-1 Etude de la testabilité d'un latch-up**

La testabilité d'un latch-up est déterminée par les deux effets, qui sont le fort courant généré et l'état de faible impédance entre les lignes d'alimentation, ainsi que par les deux principaux modes de fonctionnement : entretenu ou non-entretenu. Le premier des deux effets peut être qualifié d'effet de proximité, la modification des densités de courants est localisée sur et au proche voisinage de la structure, quant au deuxième il peut être qualifié d'effet de voisinage étendu. La chute de la tension d'alimentation peut influencer plusieurs portes, dans un environnement plus ou moins éloigné de la structure parasite (pour toutes les portes dont la tension  $V_{DD}$  est inférieure à  $V_{DD}$  minimum).

### **VI-2 Test si les alimentations sont maintenues localement**

Dans ce cas, à chaque type de panne décrit précédemment correspond une méthode et des conditions de test qui peuvent être appliquées. Il faut noter cependant que ce cas est improbable.

### **VI-3 Test si les alimentations sont dégradées localement**

#### **VI-3-a Test logique d'un latch-up entretenu**

Ce test est possible si les vecteurs de test adaptés au type de panne obtenue proviennent de portes non affectées par l'effet de voisinage étendu, ainsi que pour les portes qui permettent la propagation vers une sortie observable. Ce cas est idéal, car il représente le cas où l'accès des vecteurs de tests adaptés est possible.

Dans le cas général l'accès et/ou la propagation passe(nt) par une zone de voisinage étendu. De l'entrée à la sortie de la zone le circuit passe par une zone graduelle où l'alimentation passe de 0V à 5V ainsi que les sorties de portes. Le comportement dans ces zones n'a pas été défini. Des simulations plus fines sont nécessaires. De même la modification des vecteurs d'entrées et des valeurs de sorties restent à préciser.

### VI-3-b Test logique d'un latch-up non entretenu

Les mêmes problèmes que précédemment se posent pour la zone de voisinage étendue pendant la durée du latch-up, mais également les problèmes de restauration de l'état "normal" après panne temporaire sont présents. La restauration du "fonctionnement normal" du circuit est obtenue après cessation du latch-up par la régénération d'alimentations correctes.

Quant au fonctionnement, deux aspects sont présents :

- s'il s'agit d'un réseau combinatoire, après une période où les valeurs en sortie sont erronées, le circuit reprend un fonctionnement normal ( il faut noter également que le fort courant, même temporaire peut entraîner un vieillissement prématuré des zones affectées),
- s'il s'agit d'un réseau séquentiel, l'état de faible impédance peut donner lieu à la modification de certains éléments de mémorisation et ainsi perturber le fonctionnement ultérieur du circuit. Ce phénomène fait penser aux pertes d'informations dues aux particules dans les mémoires, cependant il n'en est rien, dans le cas présent les causes de ces pertes sont physiques et étroitement liées au phénomène.

### VI-4 Remarques

1) Les exemples décrits paragraphe III montrent la multiplicité des cas où le latch-up peut apparaître lorsque la structure N/P/N/P parasite est présente. Cette présence indique une probabilité non nulle d'avoir du latch-up. Dans le but d'éviter ces cas de figures défavorables, une étude des masques, permettant la détection des juxtapositions N/P/N/P peut être envisagée. De nombreux paramètres doivent être pris en compte pour ce type de recherche. En effet, toutes les structures NPNP ne sont pas potentiellement génératrices de latch-up. En particulier, elles doivent être localisées entre  $V_{DD}$  et  $V_{SS}$  ( ou bien 1 et 0),  $V_{DD}$  connecté à la zone P et  $V_{SS}$  à la zone N. De plus les caractéristiques technologiques et topologiques doivent le permettre.

Les conditions d'initialisation et de validation d'une telle structure doivent être incluses dans les hypothèses de pannes à considérer.

2) Un problème peut être soulevé, celui de savoir si le latch-up peut se déclencher lorsque le circuit n'est pas alimenté. La question reste en suspend. Des observations de circuits devraient permettre de répondre.

3) Une anticipation sur les effets du latch-up dans la zone de voisinage étendu peut être présentée, sa validation n'est pas encore réalisée. Si l'on considère les cas : décalage de masse

ou validation d'une alimentation par un signal (5 Volts), lorsque les portes qui génèrent ces signaux se trouvent dans la zone de voisinage, ils sont annulés lors du déclenchement ce qui peut arrêter le latch-up car ce phénomène est équivalent à la coupure d'une alimentation. Si le circuit retrouve son état antérieur au déclenchement il se peut que l'on obtienne un cycle répétitif du type déclenchement-arrêt.

## VII CONCLUSION

Dans ce chapitre le problème de la diversité du latch-up a été présenté tant au point de vue structure, qu'au point de vue localisation. La multiplicité des cas nécessite une attention toute particulière lors de la définition des règles de dessin. La connaissance imparfaite de l'influence du latch-up sur les structures environnantes oblige à prendre certaines précautions en ce qui concerne les comportements en cas de panne, bien que les études de certains auteurs semblent confirmer cette approche.

Le test logique du latch-up n'est pas encore une réalité. Trop de paramètres comportementaux manquent, spécialement ceux qui concernent les portes voisines de la structure parasite (par exemple : les effets de courant élevé et de faible impédance entre les lignes d'alimentations tout particulièrement dans la zone dite de voisinage étendu. Ces observations et/ou mesures devraient permettre de définir les valeurs logiques en cas de panne et après panne (après rétablissement).

La connaissance de tous ces paramètres devrait permettre le test logique du latch-up et par suite permettre l'établissement de méthodes de test adaptées.

**REFERENCES**

- [DAN81] : DANTEC A.  
"Comment se prémunir du "Latch-Up" dans les circuits intégrés CMOS".  
Electronique Industrielle N°18, Juin 1981.
- [LIP82] : LIPMAN J.  
"Latch-Up Prevention in Bulk P-Well CMOS Circuits".  
VLSI Design, May-June 1982.
- [OCH79] : OCHOA A., DAVES W.  
"Latch-Up control in CMOS Integrated Circuits".  
IEEE Transactions on Nuclear Science, Vol. NS-26, N°6, December 1979.
- [TAK84] : TAKACS D., WARNER C., HARTER J., SCHWABES U.  
"Surface induced Latch-Up in VLSI CMOS circuits".  
IEEE Transactions on Electron Devices, Vol ED 31, N°3, March 1984.



*CHAPITRE III*  
*LES COURTS-CIRCUITS*





## SOMMAIRE

### INTRODUCTION

### A) *ETUDE DES COURTS-CIRCUITS CMOS*

#### I PRESENTATION

#### II CLASSIFICATION DES DIFFERENTS TYPES DE COURTS-CIRCUITS

##### II-1 Symbolisation

##### II-2 Courts-circuits entre portes (ou inter-portes)

###### II-2-1 Notations

###### II-2-2 Différents cas d'étude

###### II-2-3 Etude comportementale en statique de courts-circuits entre sorties de portes

###### II-2-3-1 Structure de base

###### II-2-3-2 Réseaux équivalents

###### II-2-3-3 Résultats de simulations

###### II-2-3-4 Détermination du niveau de la connexion de court-circuit

###### II-2-3-5 Remarque 1

###### II-2-3-6 Remarque 2

##### II-3 Courts-circuits internes à une porte (ou intra-porte)

###### II-3-1 Court-circuit intra-porte au niveau bloc

###### II-3-2 Court-circuit intra-porte au niveau transistor

###### II-3-3 Etude des courts-circuits grille-drain et grille-source dans une porte de transfert

###### II-3-3-1 Présentation

###### II-3-3-2 Fonctionnement de la porte de transfert

###### II-3-3-2-a Fonctionnement normal

###### II-3-3-2-b Fonctionnement en cas de panne

###### II-3-3-2-c Différents comportement en cas de panne

### **III ETUDE COMPORTEMENTALE DES COURTS-CIRCUITS EN CMOS**

III-1 Manifestation de panne et observabilité

III-2 Passage de la structure en panne aux paramètres de test

III-2-1 Etude de la testabilité

III-2-2 Etude de la testabilité d'un court-circuit inter-portes

III-3 Paramètres caractéristiques d'un court-circuit

III-4 Remarque 1

III-5 Remarque 2

#### ***B) TEST DES COURTS-CIRCUITS CMOS***

**I PRESENTATION**

**II CONDITIONS DE TESTABILITE**

**III CLASSIFICATION DES COURTS-CIRCUITS A TESTER**

**IV METHODE DE TEST**

**V TEST DES COURTS-CIRCUITS**

**VI CONCLUSION**

**REFERENCES**

**ANNEXE**

## CHAPITRE III

### LES COURTS-CIRCUITS

#### INTRODUCTION

Le but de ce chapitre est de déterminer le comportement des circuits CMOS en cas de panne de type court-circuit afin de déduire les facteurs qui agissent sur ce comportement et d'établir des méthodes de test adaptées dans la cas de pannes simples. Cette présentation comprend deux parties:

- dans la première sont étudiés les différents types de courts-circuits à envisager au niveau de la porte et du transistor, ainsi que les structures obtenues en cas de panne. Suite à ces descriptions, l'aspect comportemental et les paramètres actifs en cas de courts-circuits sont exposés.
- dans la deuxième partie est développé le problème du test de ces courts-circuits, plus particulièrement les conditions de testabilité, la classification et la méthode de test des courts-circuits sont envisagées.

#### A) ETUDE DES COURTS-CIRCUITS CMOS

##### I PRESENTATION

Trois aspects d'étude peuvent être envisagés pour ce type de panne : physique, électrique et logique.

- Physique. L'origine physique du court-circuit dépend de la technologie utilisée. Cette étude permet de déterminer les types de courts-circuits possibles, à partir des hypothèses de pannes envisagées.
- Electrique. La localisation du court-circuit sur le schéma électrique permet l'étude comportementale du circuit en panne.
- Logique. La détermination de la valeur logique associée à la connexion de court-circuit est liée à la localisation électrique. Elle permet le choix des vecteurs de test.

Les études réalisées sur les courts-circuits en technologie CMOS sont limitées à quelques types particuliers. Les cas étudiés dans la littérature sont associés à deux comportements anormaux en cas de panne :

- La modification du niveau logique : une modélisation de ce type de comportement est donnée dans [TIM 83]. Celle-ci utilise des portes ET ou OU, pour des courts-circuits entre sorties de portes ; et les influences respectives des différentes portes sont décrites en termes de forçages [ex: A force B à 0 (ou à 1)]. Une approche du test des courts-circuits Drain-Grille et Grille-Source est décrite dans [BAN 83] par la présentation des vecteurs de test de ces courts-circuits.
- la consommation anormale et excessive de courant : une étude basée sur la détection des courts-circuits par mesure de courant est décrite dans [ACK 83] et [MAL 82] en ce qui concerne les courts-circuits entre sorties de portes et Drain-Source respectivement.

La modélisation des courts-circuits décrite dans cette partie ne tient pas compte de l'aspect consommation en courant, ces mesures étant longues et pas toujours significatives d'une panne de type de court-circuit.

En effet, la manifestation d'un court-circuit est obtenue lorsque les deux noeuds de connexion de court-circuit sont placés à deux niveaux logiques opposés (0 et 1).

Dans ce cas le réseau obtenu relie l'alimentation et la masse par un réseau plus ou moins résistif.

Cette structure en panne est semblable à celle obtenue en cas de s-on. Ainsi les deux modifications du comportement qui interviennent sont identiques : modification du niveau de sortie de porte et modification du temps de transfert d'une porte (ou plusieurs).

Ces deux modifications peuvent être manifestées par un test statique et un test dynamique, respectivement. Une description détaillée du test dynamique est réalisée dans le chapitre IV et ne sera pas présentée dans ce chapitre. Il peut être noté simplement que le test dynamique des courts-circuits à les mêmes propriétés et conditions d'applications par rapport au test statique des courts-circuits que le test dynamique des s-on par rapport au test statique des s-on. Ainsi dans ce chapitre ne seront présentés que les aspects statiques du test des courts-circuits (le test dynamique pouvant facilement en être déduit).

Dans cette première partie, une classification des différents courts-circuits sera réalisée, le comportement en cas de panne validé et le cas particulier des portes de transfert évoqué par un exemple.

Les courbes et les valeurs numériques présentées ont été obtenues à partir de simulations électriques par l'utilisation du simulateur MSINC et des caractéristiques technologiques du projet CMP 1983 [ANNEXE].

## II CLASSIFICATION DES DIFFERENTS TYPES DE COURTS - CIRCUITS

Deux classes de courts-circuits peuvent être citées :

- inter-portes (ou entre portes),
- intra-porte (ou interne à une porte).

### II-1 Symbolisation

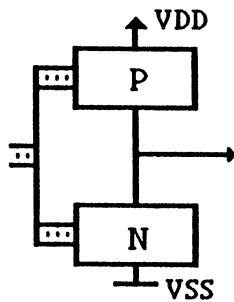


Figure III-1 : Représentation classique d'une porte CMOS à réseaux P/N séries-parallèles

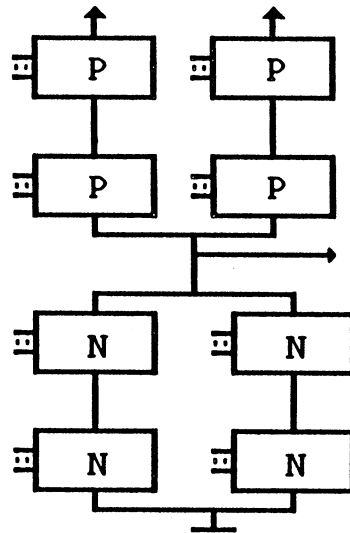


Figure III-2 : Représentation utilisée pour l'étude des courts-circuits entre portes

Le symbolisme de la figure III-1, généralement utilisé pour décrire des circuits CMOS n'est pas adapté à l'étude des courts-circuits. En effet, pour décrire tous les types de courts-circuits sur une porte ou entre deux portes il faut pouvoir accéder, symboliquement, à chaque point de la porte, les blocs notés P ou N peuvent contenir soit un transistor, soit un groupe de transistors séries ou (et) parallèles, soit être vides. La structure des portes complexes ne permet pas une représentation symbolique générale. L'usage de portes internes de transfert et les liaisons internes (par exemple) ne facilitent pas la représentation symbolique.

Cependant cette étude sera menée à partir de la description symbolique de la figure III-2. Elle constitue une représentation utilisable pour l'étude des courts-circuits dans le cas de portes à réseaux P/N séries/parallèles. Cette précision ne constitue nullement une restriction à l'étude suivante. En effet, si le symbolisme ne peut être défini pour un ensemble de portes complexes, les réseaux obtenus en cas de panne constituent un élément commun à toutes ces portes.

Dans le cas de la figure III-2 il peut être noté que chaque bloc est constitué de 2 parties. Les

deux chemins symbolisent d'une part le chemin validé, d'autre part le (ou les) chemin(s) invalidé(s) (ou partiellement validés) lors du test, chaque chemin est séparé en deux parties, cela permet l'accès à l'intérieur d'un réseau.

## II-2 Courts-circuits entre portes (ou inter-portes)

### II-2-1 Notations

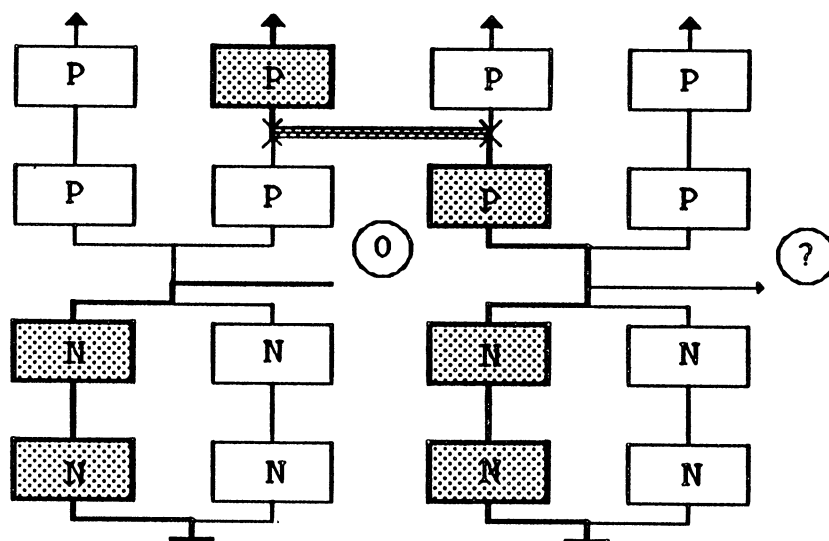
- Chemin A (resp. B) indique **le** chemin de la porte A (resp. B) qui sert à la validation de la valeur en sortie de la porte A (resp. B). Ce chemin peut être soit du côté N soit du côté P.
- $\neg$ Chemin A (resp. B) indique **un** chemin de la porte A (resp. B) qui ne sert pas à la validation de la valeur en sortie de la porte A (resp. B). Par contre ce chemin peut être partiellement validé et peut être soit du côté N soit du côté P.

### II-2-2 Différents cas d'étude

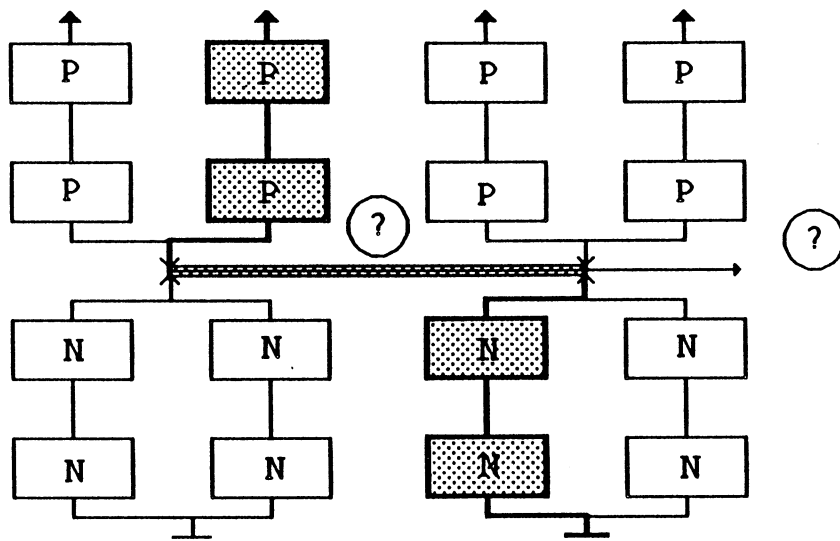
Entre deux portes plusieurs cas de courts-circuits peuvent être recensés. Les facteurs qui déterminent tous les cas possibles sont :

- la nature du réseau (N ou P) affecté,
- l'état d'activité de ce réseau (valide la sortie ou non),
- la position du court-circuit dans le réseau.

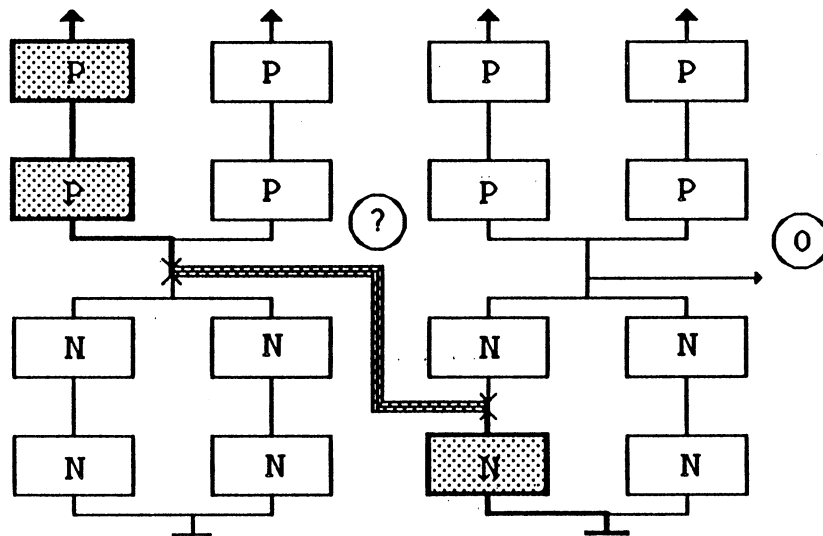
Quelques unes des structures obtenues en cas de panne sont décrites figure III-3 a, b et c.



a)



b)



c)

Figures III-3 : Exemples de structures en panne

Dans le cas a, le court-circuit est localisé entre un  $\neg$ chemin A et un  $\neg$ chemin B. Dans le cas b, le court-circuit est localisé entre un chemin A et un chemin B. Dans le cas c, le court-circuit est localisé entre un chemin A et un  $\neg$ chemin B.

Sur ces quelques exemples; il apparait que : une ou deux sorties peuvent être modifiées en cas de panne.

Les comportements possibles des sorties de portes en cas de courts-circuits inter-portes sont résumés dans la Table III-1.



SORTIES SANS PANNE		00	01	11
CAS DE PANNE				
	U		0X	0X
V		X0	X1	X1
W		00	01	11
X		W	W	W
Y		1**	XY	1**

Table III-1 : Modifications du comportement

Les notations utilisées sont les suivantes :

- X, Y : valeurs de tensions intermédiaires (entre 0 et 5 V), X peut être  $\geq$  ou  $\leq$  à Y.
- W : consommation en courant uniquement, sans manifestation au niveau logique.
- 1\*\* : 00 = XY ou YX avec  $X = Y = 1$  ne se produit que dans le cas de courts-circuits multiples.
- et 11 = XY ou YX avec  $X = Y = 0$  ne se produit que dans le cas de courts-circuits multiples.

Cette Table III-1 montre que certaines pannes sont intestables, d'autres ne produisent qu'une consommation de courant et que d'autres encore sont détectables car modifient une ou deux sorties de portes.

De plus, en CMOS une inversion des deux sorties de portes est possible.

Ce comportement n'apparaît pas dans d'autres technologies, il représente une particularité de la technologie CMOS. Les comportements décrits Table III-1 montrent que certaines pannes sont intestables statistiquement car les valeurs logique après établissement sont identiques aux valeurs sans panne.

### REMARQUE 1

Certaines de ces pannes intestables peuvent être testées par un test dynamique. (Voir analogie avec les s-on Chapitre IV), ou testées lorsque le dimensionnement adaptés aux transistors est réalisé (DFT). Dans ce cas, le dimensionnement doit être fonction de tous les courts-circuits à tester.

### REMARQUE 2

Il faut bien distinguer les valeurs logiques des noeuds extrêmes des connexions de courts-circuits de valeurs logiques des sorties de portes.

Cette étude permet de préciser quelques points du test des courts-circuits inter-portes :

- la validation partielle d'un chemin non actif peut entraîner la modification de la sortie de l'une des deux portes. Dans ce cas le chemin sensible du test sur la porte dont la sortie n'est pas modifiée est indépendant du fonctionnement logique de cette porte. Ce chemin n'est validé qu'entre une ligne d'alimentation et le point de court-circuit présumé.
- le chemin de validation du test peut donc être différent du chemin de validation de la sortie de porte.
- les valeurs initiales en sortie de porte permettent différents chemins sensibles pour un même type de court-circuit.

Le paragraphe suivant présente l'étude du cas particulier des courts-circuits entre sorties de portes. Il permet de déterminer les modèles de réseaux associés en cas de panne.

### II-2-3 Etude comportementale en statique de courts-circuits entre sorties de portes

#### II-2-3-1 Structure de base

Les structures considérées lors des simulations électriques de courts-circuits entre sorties de portes CMOS sont : des inverseurs, des portes NAND à deux entrées, des portes NOR à deux entrées et des portes NAND à trois entrées. Les courts-circuits entre les sorties de ces portes ont été étudiés dans tous les cas de mélange de portes possibles, pour tous les vecteurs d'entrées et pour tous les cas : deux sorties initialement à 5 volts (resp. 0 volt) et l'une d'elles commandée à 0 volt (resp. 5 volts).

Chaque porte sous test est supposée commander un inverseur chargé par une capacité (Figure III-4) un tel dispositif représente un circuit réel dans lequel chaque porte commande une porte en aval. Ces inverseurs de charge sont placés dans le réseau de test de manière à visualiser l'influence de la connexion de court-circuit sur les portes de charge (reconnaissance du niveau logique de la connexion de court-circuit). La connexion de court-circuit est considérée sans résistance ni capacité.

#### II-2-3-2 Réseaux équivalents

Lorsque deux sorties de portes sont court-circuitées, le réseau électrique résultant peut être décrit par le schéma symbolique de la Figure III-5.

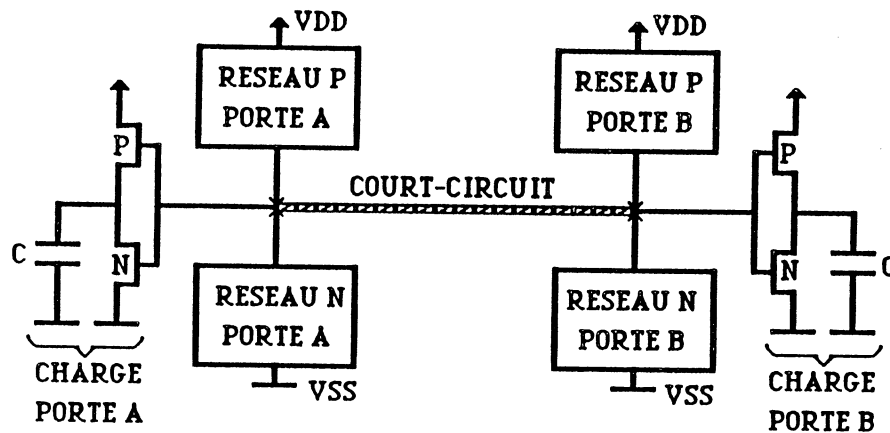


Figure III-4 : Schéma des réseaux simulés

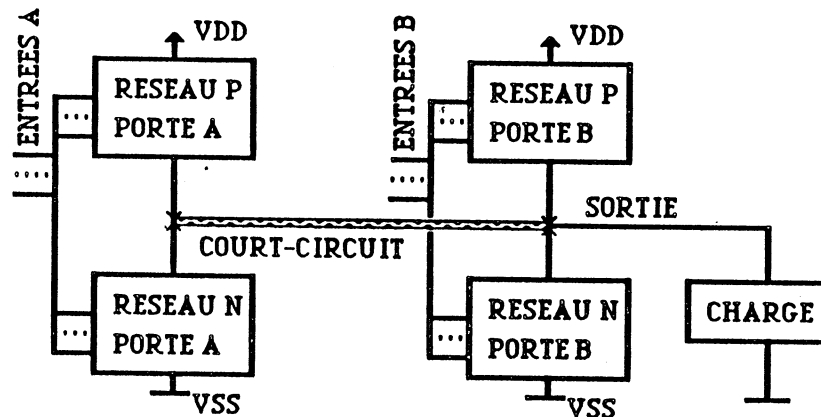


Figure III-5 : Court-circuit entre sorties de portes

Pour détecter ce court-circuit une des sortie (porte A) est commandée à  $V_{DD}$  et l'autre (porte B) est commandée à  $V_{SS}$ . Le chemin conducteur peut être représenté par un réseau P appartenant à la porte A et un réseau N appartenant à la porte B (Figure III-6).

Si le réseau résistif équivalent des transistors est considéré, la résistance globale équivalente de chaque réseau (P et N) dépend des entrées de chaque partie (P et N). En effet les résistances équivalentes des transistors MOS sont des résistances variables. Elles dépendent du point de fonctionnement, ainsi les réseaux N et P sont interdépendants.

La valeur de la résistance équivalente à considérer est celle présente lorsque un courant stable est obtenu entre les parties N et P.

Un exemple de schéma équivalent est présenté figure III-7 dans le cas d'un court-circuit entre la sortie d'une porte NAND à 2 entrées et la sortie d'une porte NOR à 2 entrées.

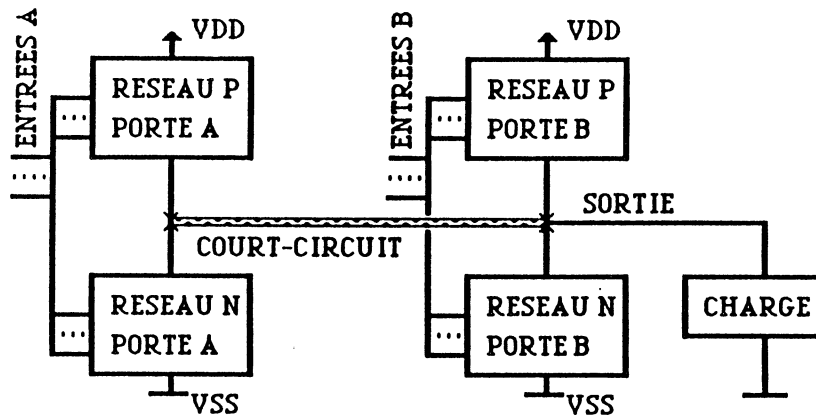


Figure III-6 : Schéma équivalent au court-circuit entre portes décrit figure III-5 (lorsque la sortie de porte A vaut 1 et la sortie de porte B vaut 0).

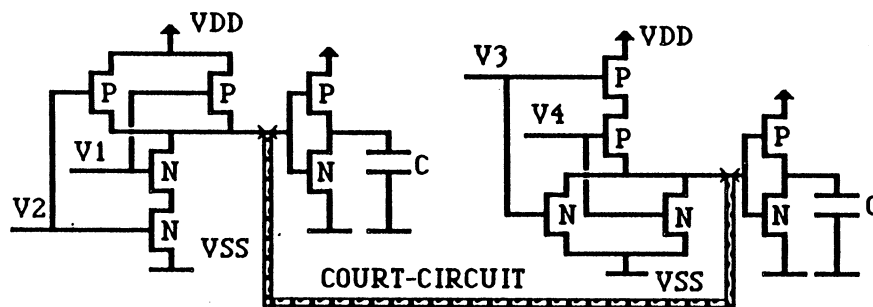


Figure III-7-a : Court-circuit entre la sortie d'une porte NAND à 2 entrées et la sortie d'une porte NOR à 2 entrées chaque porte est chargée par un inverseur

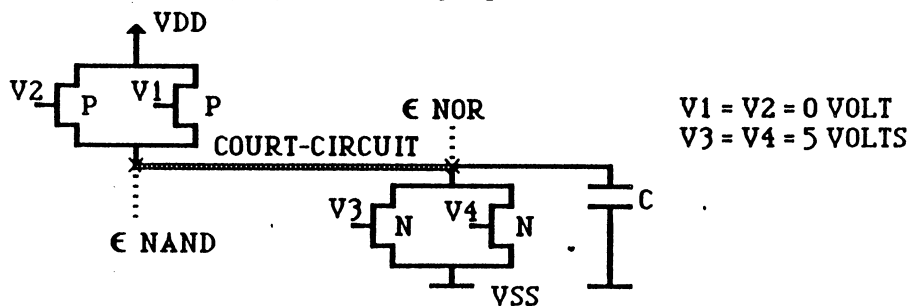


Figure III-7-b : Réseau équivalent

### II-2-3-3 Résultats de simulations

Des simulations électriques ont été réalisées avec le simulateur électrique MSINC. Les paramètres technologiques utilisés sont donnés en annexe.

Trois exemples de courts-circuits entre sorties de portes sont présentés ci-dessous.

La figure III-9 présente le comportement des sorties court-circuitées d'une porte NAND à 2 entrées et d'une porte NAND à 3 entrées. V0, V1 et V2 sont les entrées de la porte NAND à 3 entrées, V3 et V4 sont les entrées de l'autre porte NAND. Ce cas représente les vecteur de test n°1.

- la configuration initiale est :  $V0 = V1 = V2 = 5$  volts,  $V3 = V4 = 5$  volts.
- la configuration de test est :  $V0 = V1 = V2 = 0$  volt ,  $V3 = V4 = 5$  volts.

Pour ces vecteurs d'entrées, le réseau équivalent se réduit au schéma de résistances équivalentes (figure III-8).

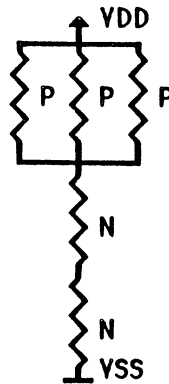


Figure III-8 : Réseau de résistances équivalent

La connexion de court-circuit a pour niveau électrique 4.2 volts et la sortie de l'inverseur de charge est commandée à 0 volts. Le niveau de la connexion de court-circuit est reconnu comme un niveau 1 logique lorsque le test est réalisé.

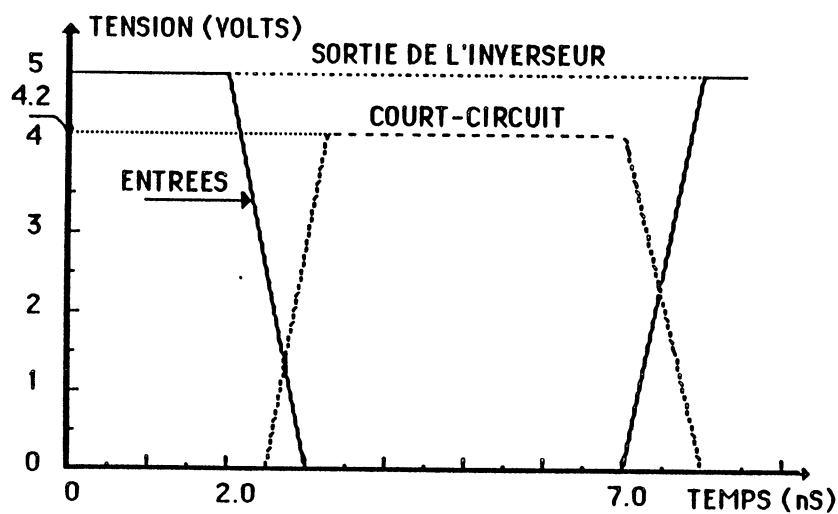


Figure III-9 : Variation de la tension de court-circuit entre les sorties d'une porte NAND à 2 entrées et d'une porte NAND à 3 entrées (vecteur de test n°1)

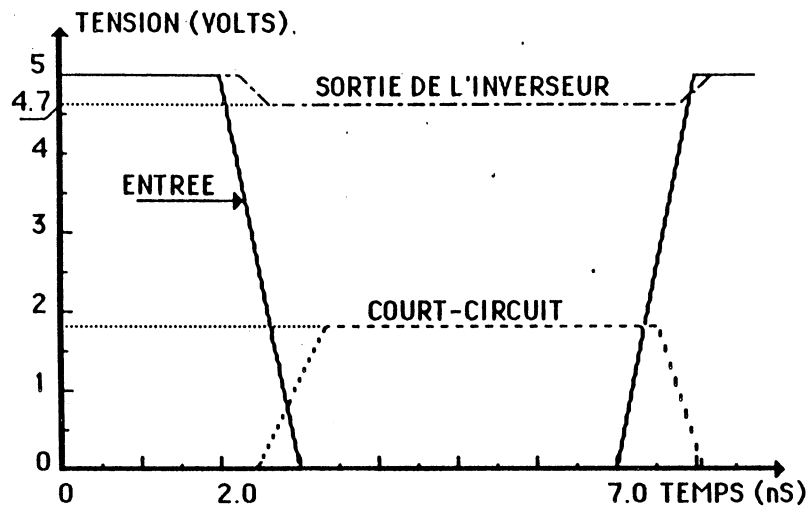


Figure III-10 : Variation de la tension de court-circuit entre les sorties d'une porte NAND à 2 entrées et d'une porte NOR à 2 entrées (vecteur de test n°2)

La figure III-10 présente le comportement des sorties court-circuitées d'une porte NAND à 2 entrées et d'une porte NOR à 2 entrées.

- V1 et V2 sont les entrées de la porte NAND
- V3 et V4 sont les entrées de la porte NOR.

La configuration initiale est :

- V1 = V2 = 5 volts
- V3 = V4 = 5 volts

La configuration de test est :

- V1 = V2 = 0 volt
- V3 = V4 = 5 volts

Ce cas représente le vecteur de test n°2. Pour ce vecteur d'entrée le réseau se réduit au schéma de résistances équivalent suivant (Figure III-11).

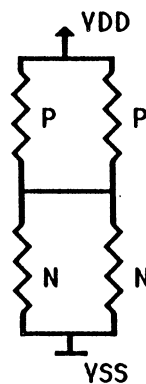


Figure III-11 : Réseau de résistances équivalent

La connexion de court-circuit a pour niveau électrique 1.87 volts et la sortie de l'inverseur de charge est commandée à 4.7 volts lorsque le test est réalisé le niveau de la connexion de court-circuit est donc reconnu comme 0 logique.

La figure III-12 présente le comportement des sorties court-circuitées d'une porte NAND à 3 entrées et d'une porte NOR à 2 entrées. La configuration initiale est : toutes les entrées commandées à 5 volts. La configuration de test est : une entrée de la porte NOR commandée à 5 volts, l'autre à 0 volt et toutes les entrées de la porte NAND sont commandées à 5 volts.

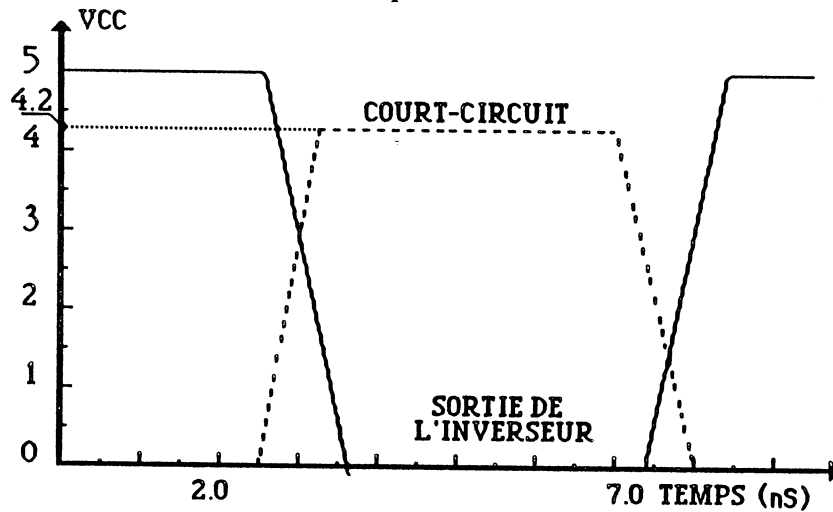


Figure III-12 : Variation de la tension de court-circuit entre les sorties d'une porte NAND à 3 entrées et une porte NOR à 2 entrées

Dans ce cas le réseau de résistances équivalent se réduit au schéma suivant (Figure III-13).

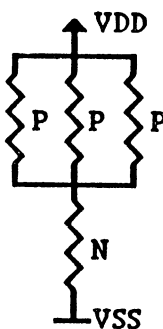


Figure III-13 : Réseau de résistances équivalent

La connexion de court-circuit a pour niveau électrique 4.2 volts et la sortie de l'inverseur de charge est commandée à 0 volt. Le niveau de la connexion de court-circuit est donc reconnu comme 1 logique.

Ces trois exemples montrent que le niveau de la connexion de court-circuit peut prendre différents niveaux électriques selon le type de portes et les vecteurs d'entrées de ces portes.

Ces simulations ont été réalisées avec une résistance et une capacité de court-circuit nulle. Le schéma (Figure III-14) ci-dessous représente un modèle plus réel de connexion.

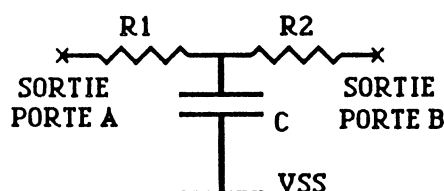


Figure III-14 : Exemple de réseau équivalent à un élément de court-circuit.

Les valeurs de R1, R2 et C dépendent de la technologie. L'utilisation d'un tel modèle a pour effet :

- de décaler la valeur du niveau électrique de la connexion de court-circuit,
- d'avoir deux valeurs différentes sur les 2 sorties de portes.

Le niveau de la connexion de court-circuit peut être déterminé par la méthode suivante.

#### II-2-3-4 Détermination du niveau de la connexion de court-circuit

Dans un réseau contenant un court-circuit si la connexion a une valeur initiale de 5 volts, lorsque le vecteur de test est appliqué le courant dans les réseaux P et N qui était nul augmente pour atteindre un régime permanent (équilibre de courant) la valeur de la connexion de court-circuit est prise lorsque l'état permanent est établi les résistances des transistors N et P sont différentes, de plus dans un réseau complexe le dimensionnement des différents transistors de même type N ou P intervient, donc il est relativement difficile de déterminer ce niveau avec précision manuellement car de nombreux paramètres interviennent. Cependant dans le cas où seuls, un transistor N et P, sont mis en jeu la tension aux bornes du transistor N définit le niveau de la connexion de court-circuit. Dans ce cas le calcul est accessible.

L'équation de courant est la suivante :

$$- I_{ds} = \mu C_{ox} (V_{gs} - V_{seuil} V_{ds} - (V_{ds}^2 / 2))$$

avec : -  $g = 5$

$$- \mu C_{ox} = 40 \cdot 10^{-6} \text{ A/V}^2$$

$$- V_{seuil} = 0.9 \text{ V}$$

$$- V_{gs} = 5 \text{ V}$$

$$- I_{ds} = 314 \cdot 10^{-6} \text{ A}$$

$$- V_{ds} = 1,87 \text{ V}$$



La figure III-15 représente la variation du niveau de la connexion de court-circuit en fonction d'un réseau simple équivalent  $N_{eq}/P_{eq}$  avec un transistor P et des transistors N en parallèle. Pour des cellules complexes les équations de courant sont plus complexes du fait des dimensionnements et des structures des transistors. Chaque cas est donc un cas particulier, il doit être considéré séparément et simulé.

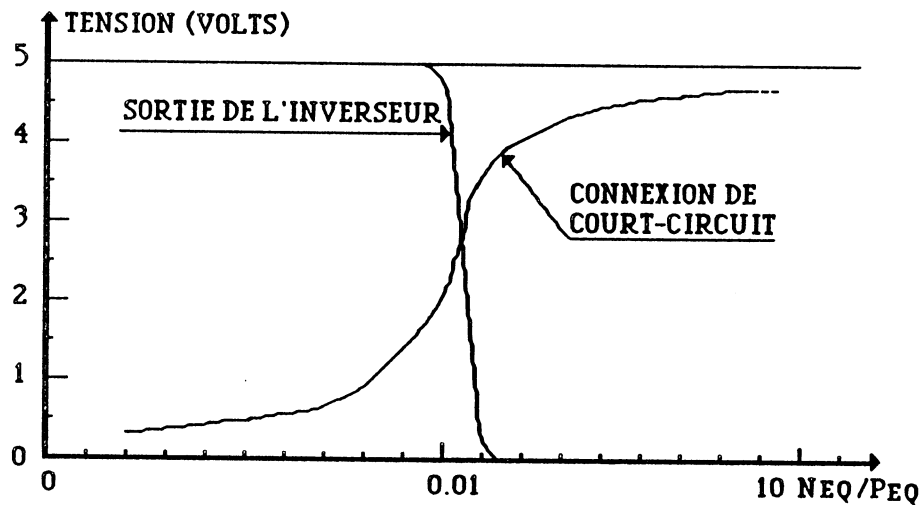


Figure III-15 : Variation de la tension de connexion de court-circuit en fonction du réseau équivalent  $N_{eq}/P_{eq}$

### II-2-3-5 Remarque 1

Lorsqu'un court-circuit se produit entre 2 sorties de portes avec fan-out (sortance multiple), les portes situées en aval peuvent être commandées avec des valeurs logiques différentes.

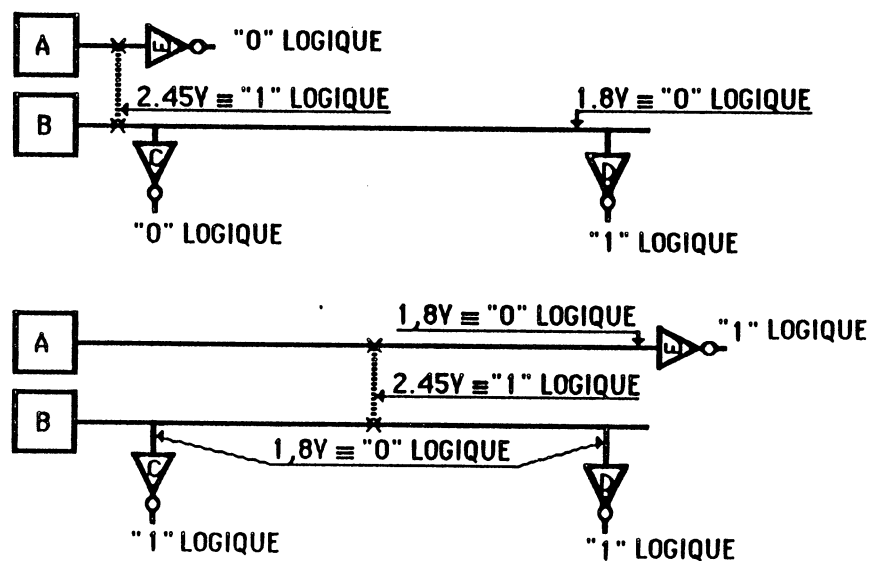


Figure III-16 : Effet d'un court-circuit entre sorties de portes

En effet si l'on considère un court-circuit entre la sortie d'une porte A et la sortie d'une porte B dans les deux cas présentés figures III-16 a et b, la perte de tension due à la résistivité de la ligne prend une importance capitale lorsque le niveau de connexion se situe au voisinage de la zone métastable. Dans ce cas il est possible d'avoir 2 portes identiques commandées par la même ligne et prendre des valeurs différentes en sorties.

Ce problème de localisation permet d'obtenir également un phénomène d'inversion en cas de court-circuit entre sorties de portes si  $S_A = 1$ ,  $S_B = 0$ , la porte commandée par A peut recevoir un 0 logique en entrée et celle commandée par B recevoir un 1 logique.

De même dans cette partie toutes les simulations et caractéristiques en cas de court-circuit ont été présentées dans le cas où la résistance de court-circuit est nulle. Dans un cas réel cette résistance a une valeur qui dépend du court-circuit (matériaux). Cette condition doit être prise en compte pour déterminer la testabilité d'une panne et ses vecteurs de test.

### II-2-3-6 Remarque 2

Les dimensions des MOS utilisés pour les simulations ont été déterminées à partir des règles simplifiées suivantes :

- $\gamma_N = W_N/L_N$ ,  $\gamma_P = W_P/L_P$  avec  $\gamma_P = 2\gamma_N$  pour compenser la différence de mobilités entre les ions et les électrons.
- Les transistors mis en parallèles ont la même taille que le transistor seul.
- Les transistors mis en série ont une largeur de grille égale à  $n \cdot W_N$  si n est le nombre de transistors en série, la longueur de grille L est inchangée.
- Pour le calcul des dimensions des MOS d'une porte complexe l'élément de base est l'inverseur. Les temps de montée et de descente de l'inverseur définissent ses dimensions qui servent de référence.
- Pour les réseaux non série-parallèle une borne maxi doit être définie pour les dimensions.

Ces caractéristiques du dimensionnement de transistors permettent d'obtenir deux chemins de n MOS avec une résistance équivalente ON différente.

### II-3 Courts-circuits internes à une porte (ou intra-porte)

L'étude de ce type de court-circuit peut être réalisée à deux niveaux :

- niveau bloc,
- niveau transistor.

Ces deux études sont complémentaires. L'étude au niveau bloc permet de définir les

différents cas de courts-circuits envisageables et l'étude au niveau transistor permet d'obtenir une étude plus fine ainsi que de définir d'éventuelles équivalences de pannes.

### II-3-1 Court-circuit intra-porte au niveau bloc

Le symbolisme de la figure III-2 (paragraphe II-1) est utilisé pour cette étude. Dans ce cas toutes les combinaisons possibles de courts-circuits entre X, Y, Z, T, les lignes d'alimentation et la sortie peuvent être envisagées.

Les structures obtenues en cas de panne sont du même type que celles obtenues dans le cas des courts-circuits inter-portes présentées paragraphe III. La seule différence réside dans le fait que les vecteurs de test n'affectent qu'une seule porte (pour la manifestation de la panne).

Les structures sont présentées par les figures III-17 a, b, c et d.

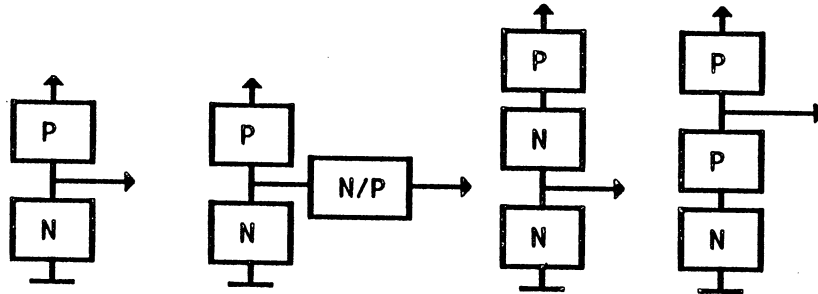


Figure III-17 : Réseaux équivalents en cas de court-circuit intra-porte

### II-3-2 Court-circuit intra-porte au niveau transistor

Au niveau transistor les courts-circuits suivants peuvent être envisagés entre :

- Drain et Source (a)
- Grille et Drain (b)
- Grille et Source (c)
- Grille et Substrat (d).

Les vecteurs de test des types (b) et (c) sont donnés dans [BAN 83] dans le cas d'une porte CMOS NAND à 3 entrées. Les courts-circuits de type (a), (b), (c) et (d) sont présentés figure III-18 dans le cas d'une porte CMOS NAND à 2 entrées.

Tous ces cas de courts-circuits ne doivent pas être envisagés dans un test. Les équivalences de pannes permettent de réduire le nombre de cas à considérer lors d'un test.

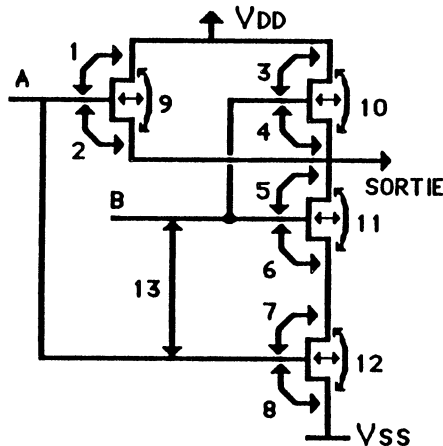


Figure III-18 : Court-circuit au niveau transistor

Dans le cas de la figure III-18 il peut être noté que le(s) court(s)-circuit(s) :

- 1 et 3 sont équivalents à un collage à 1 de l'entrée A et B respectivement.
- 8 correspond à un collage à 0 de A.
- grille-substrat sont équivalents à un collage de la grille à la tension du canal.

Pour les courts-circuits 9, 10, 11, 12 l'équivalence de panne à un transistor s-on peut être faite (les problèmes de testabilité de ce type de panne sont décrits dans [BAS 84]).

Le comportement des courts-circuits 2, 4, 5, 6, 7, 13 dépend des portes précédentes. Ces cas représentent des cas particuliers de courts-circuits inter-portes.

La Table III-2 donne les équivalences de ces types de courts-circuits (au niveau transistor).

COURT_CIRCUIT	EQUIVALENT
GRILLE-SOURCE GRILLE-DRAIN	CC INTER-PORTE : SORTIE PORTE A/ CHEMIN PORTE B
DRAIN-SOURCE	S-ON
GRILLE- SUBSTRAT	COLLAGE DE L'ENTREE A LA TENSION DU CANAL
GRILLE A- GRILLE B	CC INTER-PORTE (2 SORTIES DE PORTES)

Table III-2 : Equivalence de courts-circuits

Le cas particulier de courts-circuits Grille-Drain et Grille-Source d'une porte de transfert peut être étudié, la redondance interne d'une porte de transfert entraînant des comportements spécifiques lors d'une panne sur la porte elle-même et sur les circuits environnants.

### II-3-3 Etude des courts-circuits grille drain et grille source dans une porte de transfert

#### II-3-3-1 Présentation

Cette étude est réalisée à partir de simulations électriques sur la structure dont le schéma est donné figure III-19.

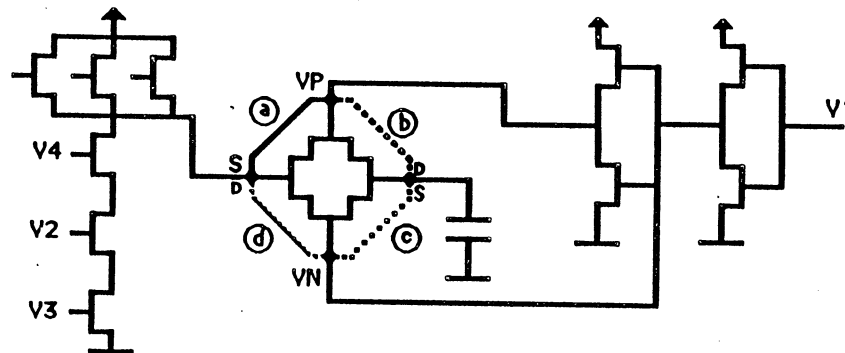


Figure III-19 : Exemple d'utilisation de porte de transfert

Sur la porte de transfert quatre courts-circuits peuvent être étudiés :

- type a : court-circuit Grille-Source du transistor P,
- type b : court-circuit Grille-Drain du transistor P,
- type c : court-circuit Grille-Source du transistor N,
- type d : court-circuit Grille-Drain du transistor N.

Les grilles des transistors de la porte de transfert sont commandées par des inverseurs en séries, la sortie du premier est reliée à la grille des transistors N, la sortie du deuxième est reliée à la grille du transistor P.

Ce type de commande des 2 transistors par un signal et un complément est classique. L'inverseur commandé par V1 représente un cas simple de commande de la porte de transfert, dans un cas réel celle-ci peut être commandée par une porte quelconque.

### II-3-3-2 Fonctionnement de la porte de transfert

#### II-3-3-2-a Fonctionnement normal

Dans la Table III-3 ci-dessous sont décrits les différents états de la porte de transfert en fonction des entrées.

Les valeurs  $V_1$  (resp.  $V_2$ ) correspondent aux tensions d'entrée de porte diminuées respectivement de la tension Drain-Source d'un transistor P (resp. N) passant seul. Ces valeurs  $V_1$  et  $V_2$  ne sont pas forcément identiques.

	VN	VP	E	S
①	0	0	1	$V_1$
②	0	1	1	$S_1$
③	1	0	1	1
④	1	1	1	$V_2$
⑤	0	0	0	0
⑥	0	1	0	$S_1$
⑦	1	0	0	0
⑧	1	1	0	0

Table III-3 : Fonctionnement d'une porte de transfert

Les cas de fonctionnement normaux sont les cas 2, 3, 6 et 7, les transistors N et P sont commandés par des valeurs complémentaires.

#### II-3-3-2-b Fonctionnement en cas de panne

Les Tables III-4, 5, 6 et 7 donnent les différents comportements de la porte de transfert pour les quatre types de courts-circuits cités en fonction des valeurs à transmettre et des circuits validés en cas de courts-circuits. Pour chacun des cas la variable ME (mise en évidence du court-circuit) indique si la panne est détectable, les configurations marquées d'un X ne sont pas réalisables. Les mnémoniques suivants sont utilisés :

- $V_{EAT}$  valeur présente en entrée de porte avant le transfert,
- $V_{EPT}$  valeur présente en entrée de porte pendant le transfert,
- $V_{CAT}$  valeur de la connexion de court-circuit avant transfert,
- $V_{CPT}$  valeur de la connexion de court-circuit pendant transfert,
- $V_{SPT}$  valeur présente en sortie de porte pendant le transfert,

- $V_{SAT}$  valeur présente en sortie de porte après le transfert,
- ME mise en évidence de la panne,
- X configuration impossible.

VALEUR A TRANSFERER	VEAT	VEPT	VCAT	VCPT	VSPT	VSAT	ME
0	0	0	0	0	0	0	0
					0	1	1
	1	1	X	X	X	X	X
					0	0	0
					0	1	1
1	0	0	X	X	X	X	X
					0	1	X
	1	0	1	0	0	0	1
					0	1	0
					1	1	1

Table III-4 : Comportement en cas de panne de type a

VALEUR A TRANSFERER	VEAT	VEPT	VCAT	VCPT	VSPT	VSAT	ME
0	0	0	1	0	0	1	1
	0	1	X	X	X	X	X
	1	0	X	X	X	X	X
	1	1	X	X	X	X	X
1	0	0	X	X	X	X	X
	0	1	X	X	X	X	X
	1	1	1	0	0	1	0
				1	1		
1	0	1	0	0	1	0	

Table III-5 : Comportement en cas de panne de type b

VALEUR A TRANSFERER	VEAT	VEPT	VCAT	VCPT	VSPT	VSAT	ME
0	0	0	0	0	0	0	0
				1	1		
	0	1	0	1	1	0	0
	1	0	X	X	X	X	X
1	1	1	X	X	X	X	X
	0	0	X	X	X	X	X
	0	1	X	X	X	X	X
	1	0	X	X	X	X	X
	1	1	0	1	1	0	1

Table III-6 : Comportement en cas de panne de type c

VALEUR A TRANSFERER	VEAT	VEPT	VCAT	VCPT	VSPT	VSAT	ME
0	0	0	0	0	0	0	0
	0	1	0	1	1	0	0
						1	1
	1	1	X	X	X	X	X
	1	0	X	X	X	X	X
0	0	X	X	X	X	X	
1	0	1	0	1	1	0	1
						1	0
	1	0	X	X	X	X	X
	1	1	1	1	1	1	0

Table III-7 : Comportement en cas de panne de type d

Les paramètres actifs du test de courts-circuits de type Grille-Source ou Grille-Drain sont :

- les portes et réseaux qui commandent le transistor N et P de la porte de transfert,
- la porte présente à l'entrée de la porte de transfert,
- le vecteur de test appliqué (et par suite structure N/P contenant le court-circuit,
- la position du court-circuit dans la structure,
- la valeur à transmettre.

La connaissance de ces paramètres et l'observation des Tables de fonctionnement ci-dessus, permet de remarquer que l'état de la sortie après transfert peut être dépendante de l'état pendant le transfert. Les différents comportements observables pour ce type de court-circuit sont décrits dans le paragraphe suivant.





même phénomène peut être observé à la décharge dans le cas où le transistor N a sa grille court-circuitée avec l'entrée de la porte. Il peut être précisé que la reconnaissance d'un niveau électrique dépend de son utilisation, c'est à dire des caractéristiques du réseau aval (tension de seuil, charge,...).

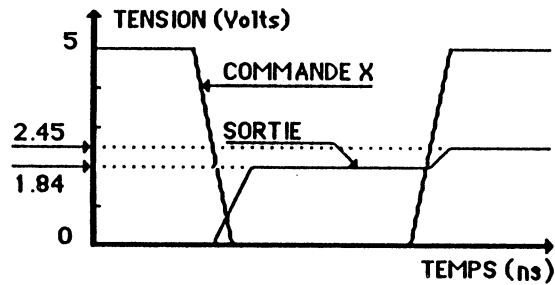


Figure III-21 : Comportement en cas de panne C (exemple 1)

### Exemple 2

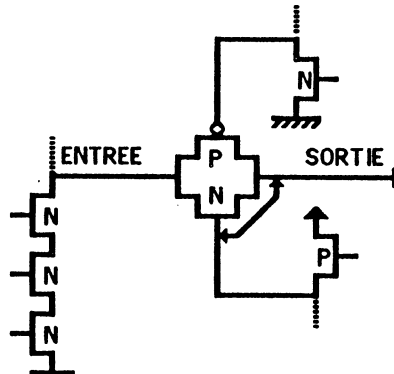


Figure III-22 : Schéma équivalent pendant le transfert court-circuit Grille.Source côté N

La figure III-22 représente le schéma équivalent d'un circuit ayant un court-circuit Grille-Source sur le transistor N de la porte de transfert, pendant le transfert. Dans ce cas une différence peut être observée entre les niveaux d'entrée et de sortie de porte par modification de la conductance du transistor N ( $V_{ENTREE} = 1.16$  Volts,  $V_{SORTIE} = 4.03$  Volts).

Cette manifestation peut être observée également dans le cas où un transistor P est mis en jeu, l'écart de tension observé est dans ce cas différent (pour un même écart de tension de grille). Après validation la sortie est collée à 0. Cette description de court-circuit dans une porte de transfert montre que pour ce type de porte l'état en sortie de porte après "fermeture" peut dépendre du réseau équivalent obtenu pendant l'état passant de cette porte. De même une panne

de court-circuit agissant sur un élément de commande peut être observable sur la sortie de la porte de transfert. On peut noter enfin que certaines pannes n'ont pas d'effet au niveau logique mais seulement a niveau électrique. (Dans ce cas un test de type dynamique du même type que celui décrit CHAPITRE IV pour le test des s-on peut être envisagé).

### III ETUDE COMPORTEMENTALE DES COURTS-CIRCUITS EN CMOS

#### III-1 Manifestation de panne et observabilité

Un court-circuit entre deux points ne peut être manifesté que lorsque les potentiels des deux extrémités de la connexion de court-circuit sont différents (l'un à 5 V, l'autre à 0 V). Un chemin entre  $V_{DD}$  (+ 5 Volts) et  $V_{SS}$  (masse) est ainsi validé. Trois types de manifestations peuvent être observés :

- 1) ni consommation de courant ni modification du niveau logique,
- 2) consommation de courant sans modification au niveau logique,
- 3) consommation de courant avec modification au niveau logique.

- Le premier cas apparait lorsque le court-circuit est situé entre deux points appartenant à deux chemins partiellement validés de même nature (N ou P).

- Le deuxième cas apparait lorsque le court-circuit est situé entre deux points appartenant à deux chemins partiellement validés de nature différente (N et P).

- Le troisième cas apparait lorsque le court-circuit est situé entre deux points appartenant à deux chemins dont l'un, au moins, valide une sortie de porte.

Les réseaux obtenus dans chaque cas peuvent être décrits par les structures présentées, figure III-23 pour le premier cas, figure III-24 pour le deuxième et III-25 pour le troisième, en cas de courts-circuits inter-portes. Les réseaux équivalents obtenus en cas de courts-circuits intra-portes sont présentés figures III-17. Les paragraphes suivants traitent des courts-circuits inter-portes mais peuvent facilement être adaptés au cas intra-porte.

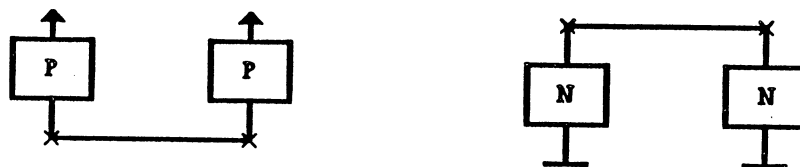


Figure III-23 : Schéma équivalent (cas 1)

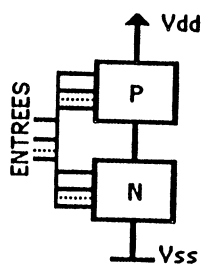


Figure III-24

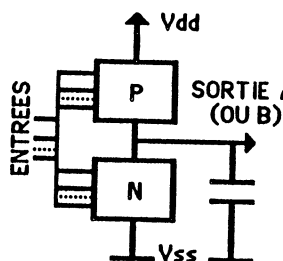


Figure III-25-a

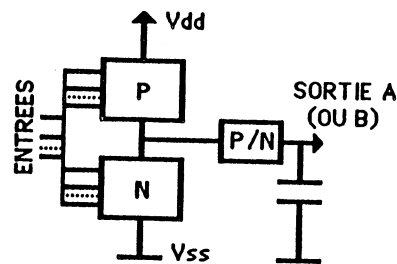


Figure III-25-b

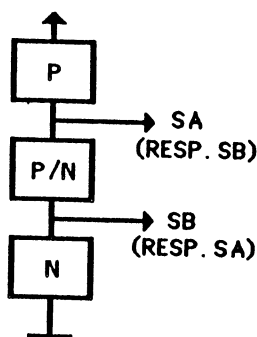


Figure III-25-c

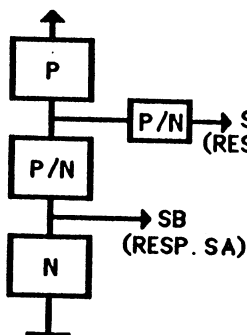


Figure III-25-d

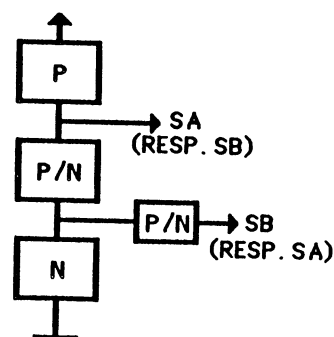


Figure III-25-e

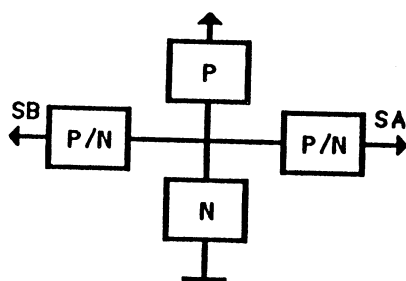


Figure III-25-f

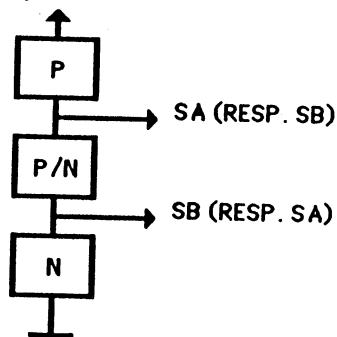


Figure III-25-g

Figure III-24-25 : Schémas équivalents (cas 2 et 3)

Les réseaux ainsi obtenus peuvent être considérés comme des réseaux de résistances variables associées aux résistances ON des transistors N et P (la valeur de ces résistances dépend du réseau validé).

Les structures présentées par les figures III-23, III-24 et III-25 peuvent être présentes simultanément lors d'un court-circuit. Leur manifestation dépend du chemin de test validé et du lieu d'observation de la panne.

## II-2 Passage de la structure en panne aux paramètres de test

Les différentes structures et types de courts-circuits présentés dans les paragraphes précédents sont utilisées pour l'étude du test des courts-circuits.

Une méthode d'étude basée sur ces structures est décrite en III.2.1. Elle permet de déterminer à partir d'un court-circuit donné les vecteurs de tests adaptés. En application de cette méthode sont présentés les résultats d'une étude sur un cas particulier de courts-circuits inter-portes.

### II-2-1 Methode d'étude de la testabilité

Pour un court-circuit donné la recherche des vecteurs potentiels de test peut être obtenue en utilisant l'algorithme suivant (pour un test statique) :

- pas 1 - Choisir un état pour les extrémités de la connexion de court-circuit. Les extrémités X et Y de cette connexion peuvent être initialisées à 1 ou 0 et 0 ou 1 respectivement.
- pas 2 - Rechercher les chemins sensibles potentiels et en établir une liste dans une porte quelconque la sortie peut être mise à 0 ou à 1 par plusieurs chemins. Tous les chemins de validation d'une sortie de porte peuvent être considérés comme parties de chemins sensibles potentiels ainsi que les chemins partiellement validés, s'ils sont reliés à la connexion de court-circuit.
- pas 3 - Pour chaque chemin sensible potentiel, définir le réseau de transistors équivalent et la position de la, ou les, sortie(s) de porte sur ce réseau
- pas 4 - Pour chaque réseau déterminer les valeurs électriques et logiques des sorties de portes présentes sur le réseau équivalent en cas de panne. Pour cette détermination des facteurs tels que la capacité de charge de la porte, la tension de seuil des transistors, les résistances des connexions,... interviennent dans l'étude statique. (Pour l'étude dynamique doivent être ajoutés les caractéristiques de temps de propagation sur les lignes, de temps de basculement des portes....)
- pas 5 - Si deux sorties de portes sont affectées par le réseau alors:
  - si les valeurs de ces sorties en cas de panne sont identiques aux valeurs sans panne, alors le vecteur d'entrée n'est pas vecteur de test,
  - si au moins une des valeurs de ces sorties en cas de panne est différente de la valeur sans panne alors le vecteur d'entrée peut être vecteur de test.

- Si une seule sortie est affectée par le réseau alors :
  - si la valeur en sortie est identique à la valeur sans panne alors le vecteur d'entrée n'est pas vecteur de test,
  - si la valeur en sortie est différente de la valeur sans panne alors le vecteur d'entrée est vecteur de test.
- pas 6 - S'il existe encore des chemins pour lesquels le réseau n'est pas défini aller en pas 3, sinon aller en pas 7.
- pas 7 - Si les deux états 0-1 et 1-0 des extrémités de la connexion de court-circuit ont été étudiés aller en pas 8 sinon aller en pas 1.
- pas 8 - Tous les vecteurs de test ont été définis, s'ils existent.

La liste des vecteurs de test pour un court-circuit donné étant établie, le choix d'un vecteur de test dans le cas d'un circuit pour ce court-circuit est effectué en fonction de critères de testabilités décrits en B. A ces critères doivent être ajoutés les conditions d'accessibilité à la porte et de propagation de la panne.

### III-2-2 Etude de la testabilité d'un court-circuit inter-portes

Cette étude est décrite à partir du court-circuit inter-portes de la figure III-26.

Les trois méthodes de test envisageables présentées figures III-26 a, b, c sont fonctions des valeurs théoriques en sortie de porte et des réseaux validés. La Table III-8 ci-dessous résume les principales caractéristiques en cas de panne.

	SORTIE INIT PORTE A	SORTIE INIT PORTE B	CHEMIN VALID SORTIE A	CHEMIN VALID PORTE B	VALEUR COURT- CIRCUIT	VALEUR SORTIE A	VALEUR SORTIE B
FIG. III-26-a	1	0	P3,P4	P3,N5,N6	0 1	0 1	0 1
FIG. III-26-b	1	0	P1,P2,P4,N5,N6		0 1	0 1	0 1
FIG. III-26-c	0	1	P5,P6,P4,N3,N4		0 1	0 1	0 1

Table III-8 : Eléments caractéristiques des courts-circuits

Pour ce court-circuit, trois méthodes de test sont recensées pour les deux configurations de sorties présentées. Les valeurs en entrées définissent dans chaque cas la valeur logique du court-circuit, il faut noter que tous les cas envisagés ici ne sont pas forcément réalisables sur une application réelle (problème de contrôlabilité).

Dans le cas a, les chemins qui valident la sortie A et la sortie B n'ont que le bloc P3 en

commun ; par contre dans les cas b et c, c'est le même réseau qui valide les deux sorties A et B ; les réseaux équivalents sont donnés figures III-26 d et III-26 e respectivement pour les cas a et b, chacun de ces trois cas correspond à un réseau équivalent en cas de panne et à des conditions de testabilité différentes.

Dans le cas de portes réelles, la simulation de la structure en panne obtenue dans chacun des cas (théoriques) permettra de valider la (ou les) configuration(s) qui permettront le test de ce court-circuit.

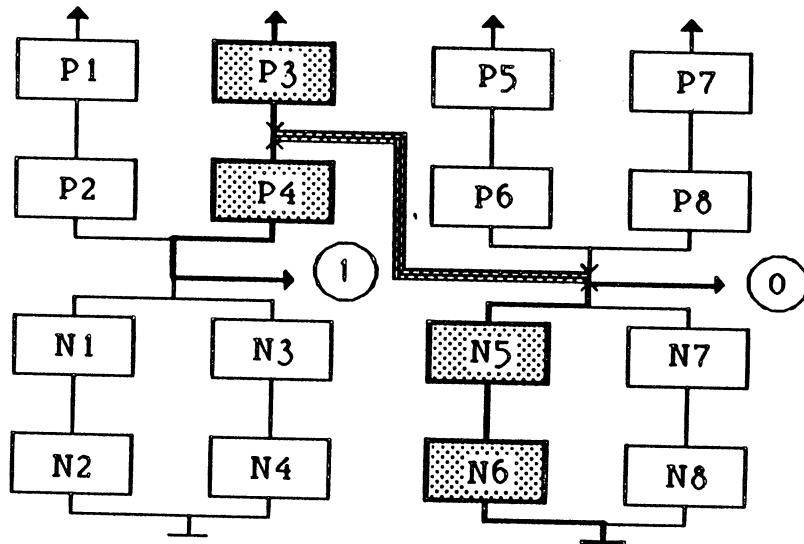


Figure III-26-a : Court-circuit inter-portes : cas a.

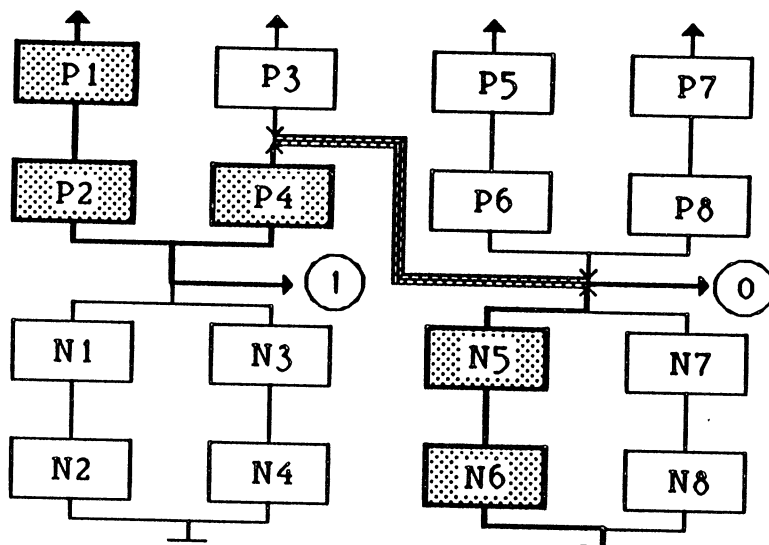


Figure III-26-b : Court-circuit inter-portes : cas b.

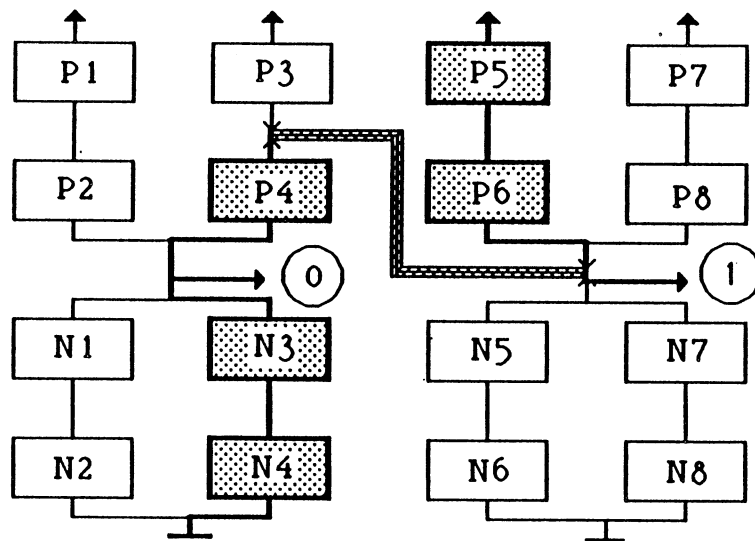
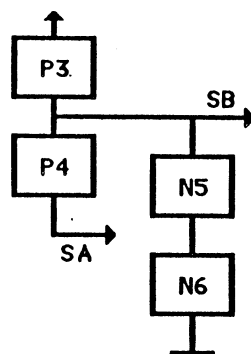
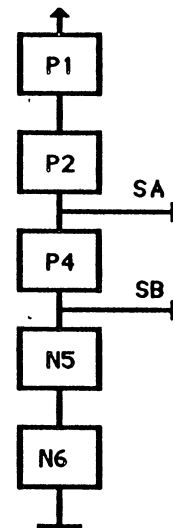


Figure III-26-c : Court-circuit inter-portes : cas c

Figure III-26-d : Réseau  
équivalent au cas a.Figure III-26-e : Réseau  
équivalent au cas b

### III-3 Paramètres caractéristiques d'un court-circuit

Les structures obtenues en cas de panne (décrites en III-1) et les conditions de manifestation de panne permettent de citer les caractéristiques suivantes des courts-circuits.

- Le niveau de la connexion de court-circuit n'a pas une valeur fixe. Elle peut varier de 0V à 5V en fonction du type de réseau validé (voir figure III-15); d'où la possibilité d'avoir des états métastables.



- La porte chargée par la sortie où est manifestée la panne est commandée en fonction du niveau en entrée. Celui-ci peut être soit un "1" soit un "0" logique dépendant des tensions de seuils des transistors.

- La variation du courant obtenue lorsque l'on remplace un transistor par deux transistors en série avec une valeur de  $W$  double, induit un déplacement des niveaux de court-circuit (voir Figure III-27).

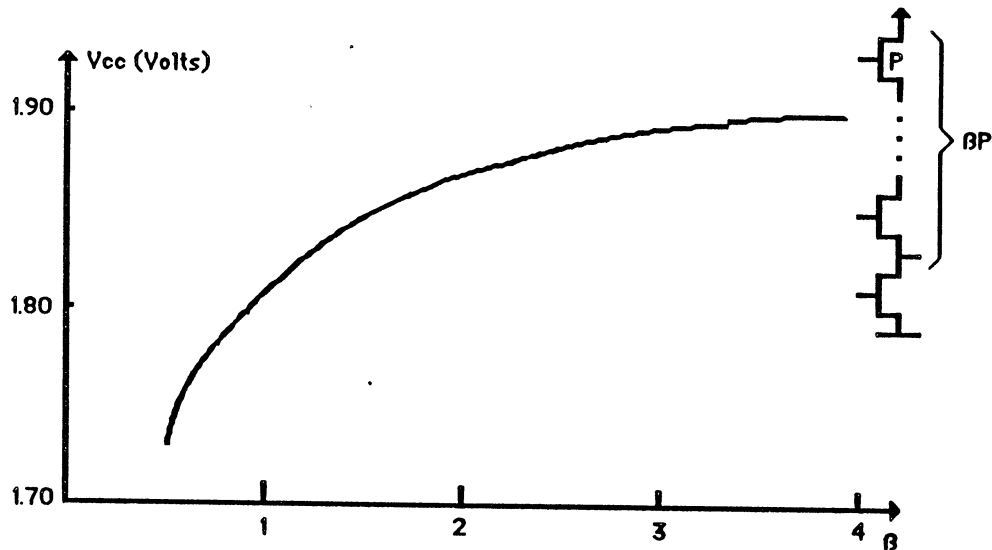


Figure III-27 : Variation du niveau électrique de la connexion de court-circuit en fonction du réseau serie équivalent ( $\beta P$ )

- la tension de la connexion de court-circuit est indépendante de la valeur initiale des points entre lesquels se trouve le court-circuit, en cas de test statique (si un test dynamique utilisé, une transition du (ou des) points observés est nécessaire.)

- la tension de la connexion de court-circuit est indépendante du nombre d'entrées qui basculent pour valider le vecteur pour un test statique (Remarque : de ce nombre de transistors activés et du nombre de générateur de courant (transistors P) dépend le temps d'établissement du niveau stable de la connexion de court-circuit.

- le réseau de transistors obtenu ne doit pas avoir un courant de fuite trop élevé.

En effet, un courant trop important pourrait conduire soit :

- à la destruction d'un transistor,
- à la coupure d'une ligne de court-circuit (dans ce cas l'effet détruit la cause),
- à la migration d'ions et à la modification des caractéristiques des transistors et des lignes d'interconnexions.

Cette particularité permet de séparer les structures obtenues en deux groupes :

- \* les structures qui ont un courant de court-circuit élevé, donc détruites en cas de panne.
- \* les structures qui ont un courant de court-circuit qui permet le maintien du réseau équivalent et le test de celui-ci.

### **III-4 Remarque 1**

Sur la figure III-15 la notation  $N_{eq}/P_{eq}$  signifie que les valeurs obtenues ont été rapportées à un rapport de nombre de transistors N et P de dimension normale (c'est à dire celle de l'inverseur de base), par suite ce nombre ne rend pas compte du nombre réel de transistor utilisés. Les mesures ont été obtenues dans le cas de 1 transistor N et alpha transistors P en parallèles soit 1 transistor P et alpha transistors N en parallèles. Dans d'autre configurations telles que 2P séries et alpha N en parallèles la courbe serait décalée. Cette variation correspond au décalage de tension présenté figure III-27.

Ainsi pour une porte complexe le niveau de court-circuit ne peut être défini avec précision sans simulation. Les facteurs qui influent sur une détermination peuvent être rappelés :

- le modèle du transistor interne au simulateur qui dépend de la technologie.
- le choix et les options prises pour le dimensionnement des transistors dans les réseaux complexes (majorations).
- les vecteurs d'entrées déterminant le réseau validé pendant le test .
- la localisation topologique du court-circuit (résistance de ligne).

### **III-5 Remarque 2**

Le dimensionnement des transistors a également une influence sur

- la symétrie des temps de montée et de descente des portes.
- le courant consommé par la porte. Ce point prend une importance capitale en cas de panne de type de court-circuit car dans ce cas le courant est consommé en permanence et non transitoirement. Par suite la valeur du courant maximal circulant dans les transistors définit les structures minimales supportant le courant élevé ainsi que le temps de test (fonction de la structure équivalente obtenue).
- le test de certaines pannes (DFT).

Une annexe a cette remarque peut être donnée.

Les déterminations de court-circuit par mesure de courant de fuite ne sont pas facilement interprétables. En effet, un court-circuit ne se manifeste pas forcément par une consommation élevée de courant. Celle-ci dépend du réseau de résistances équivalentes validé.

Si ce réseau admet une résistance élevée (le temps d'établissement sera long mais le courant consommé faible), il sera difficile de distinguer la panne de n fuites diverses.

## BI TEST DES COURTS-CIRCUITS CMOS

### I PRESENTATION

Dans cette partie sont décrits les éléments qui permettent le test des courts-circuits en technologie CMOS.

Les études précédentes permettent de déterminer les conditions de testabilités relatives aux particularités des structures en cas de panne des circuits CMOS, ainsi que la classification des courts-circuits à tester.

Une méthode de test est ensuite proposée.

### II CONDITIONS DE TESTABILITE

Les conditions énumérées ci-dessous doivent servir à déterminer la validité des vecteurs de test à appliquer d'une part et la testabilité du court-circuit d'autre part.

Les conditions de testabilité sont les suivantes (lorsqu'un test statique est effectué):

- mise à 1 de l'un des points de la connexion de court-circuit et mise à 0 de l'autre,
- le niveau électrique obtenu sur la sortie manifestant la panne ne doit pas être un niveau métastable,
- au moins une sortie affectée sur la panne doit être observable (soit directement soit par propagation sur le chemin sensible).
- le temps d'établissement du niveau doit être inférieur au temps de test,
- le réseau de portes dans lequel se trouve la ou les portes en court-circuit ne doit pas masquer la manifestation ou la propagation de la panne.

### REMARQUE 1

Lorsqu'un test dynamique est effectué, les conditions sont légèrement différentes. En effet le test met en évidence (comme dans le test des s-on décrit chapitre IV) la modification de niveau et le retard de basculement dû à une panne. Dans ce cas les conditions de testabilité sont les suivantes :

- au moins une sortie affectée soit être observable,
- le vecteur de test doit générer une transition de la (ou les) sortie(s) observable(s)
- le temps de test doit être égal au temps de basculement sans panne,
- le réseau doit permettre la propagation de la panne.

**REMARQUE 2**

Pour certains courts-circuits le réseau équivalent en cas de panne ne permet pas la testabilité. Dans ce cas une approche DFT (Design For Testability = Dessin adapté au test) peut être envisagée.

**III CLASSIFICATION DES COURTS-CIRCUITS A TESTER**

Dans ce paragraphe ne sont considérés que les courts-circuits qui n'ont pas d'équivalence de panne tel que s-on ou collage. La classification des courts-circuits à tester en fonction de la difficulté tient compte des critères suivants :

- Le type de réseau obtenu en cas de panne,
- Le comportement en cas de panne (rétroaction ou non). L'effet de rétroaction d'une commande implique des restrictions plus sévères quand au choix du niveau de connexion de court-circuit admissible et par suite des vecteurs de test,
- La présence du court-circuit entre portes ou interne à une porte,
- Le nombre de sorties sur lesquelles il est possible de manifester la panne.

Compte tenu de ces critères, la classification obtenue est la suivante:

- 1) sortie de la porte A/ sortie de la porte B,
- 2) sortie de la porte A (resp. B)/connexion interne à la porte B (resp. A) (à l'exception des courts-circuits Grille/Drain et Grille/Source),
- 3) sortie de la porte A (resp. B)/connexion interne à la porte A (resp. B),
- 4) courts-circuits Grille/Drain et Grille/Source (exclus en 2),
- 5) connexion interne A (resp. B)/connexion interne B (resp.B),
- 6) connexion interne A (resp. B)/connexion interne A (resp. B).

**Remarque** : Ce classement sert de base à la détermination des classes de pannes. Celle-ci sont obtenues par addition des hypothèses de pannes.

**IV METHODE DE TEST**

La méthode de test proposée pour la détection de courts-circuits est basée sur la localisation des courts-circuits potentiels, sur les masques.

Cette recherche nécessite la connaissance des classes de pannes à envisager. Deux outils informatiques sont nécessaires à l'élaboration du test. Le premier permet de localiser sur le circuit les points susceptibles de donner des courts-circuits (fonction des hypothèses de pannes).

Le deuxième permet d'associer aux points générateurs potentiels de courts-circuits une

localisation électrique (sortie de porte, milieu de porte...), et de déterminer les vecteurs de test (s'ils existent).

Si la localisation électrique est inconnue le test n'est pas réalisable...

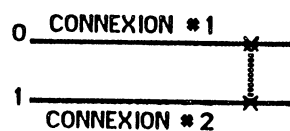
Le seul cas envisageable serait celui où la ou les portes affectées sont connues et le court-circuit testable, de générer tous les vecteurs d'entrées possibles pour cette ou ces portes et de comparer les valeurs des sorties. Ce cas n'est pas acceptable pour le test des circuits VLSI.

Le test se compose de 5 étapes :

- rechercher un point potentiel de court-circuit,
- déterminer sa localisation électrique,
- décider de tester ou non ce court-circuit potentiel en fonction de la qualité de test désirée (classes de pannes considérées), des équivalences de pannes (s-on, collage) et de la redondance du test (panne déjà testée),
- rechercher les vecteurs de test adaptés ainsi que le temps de test alloué à cette séquence,
- mémoriser les données obtenues.

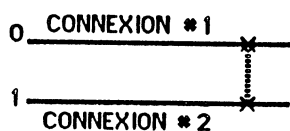
## V TEST DES COURTS-CIRCUITS

Les résultats présentés dans les précédents paragraphes ont une influence sur la manière de tester les courts-circuits en technologie CMOS. Ces résultats montrent que la fonction réalisée en cas de court-circuit n'est pas toujours la même et que la manifestation logique du défaut peut être réalisée sur une, deux ou aucune des sorties des portes impliquées. La fonction réalisée constitue une différence entre CMOS et NMOS ou d'autres technologies. En technologie NMOS un ET logique est généralement obtenu ou bien en technologie ECL un OU logique est généralement obtenu. Pour des technologies où la fonction réalisée lors d'un court-circuit est toujours la même, la méthode de test est très simple. Par exemple si l'on considère un court-circuit entre sorties de portes NMOS, un ET logique est obtenu, la procédure de test envisagée peut être la suivante (figure III-28) :



Et tester la présence d'un "0" sur la connexion # 2 (propager  $\bar{D}$  jusqu'à une sortie observable).

OU



Et tester la présence d'un "1" sur la connexion # 1 (propager  $\bar{D}$  jusqu'à une sortie observable).

Figure III-28 : Test d'une fonction ET logique obtenue en cas de court-circuit.

Des procédures semblables peuvent être envisagées lorsque la fonction logique réalisée est un OU, elles sont également très simples.

En technologie CMOS ces procédures doivent être affinées. Deux cas d'études sont possibles, ils dépendent du nombre de sorties de portes affectées et observables.

Un choix des vecteurs de test est nécessaire. Les critères de ce choix sont les suivants :

- les deux noeuds de la connexion de court-circuit sont mis : un à 0 et l'autre à 1.
- le niveau de la connexion de court-circuit est propagé vers une (ou plus) sortie(s), (le niveau électrique de la connexion de court-circuit n'est plus le même que celui de la connexion de sortie associée).
- la (ou les) sortie(s) observable(s) est (sont) modifiée(s) en cas de panne.
- le niveau de la sortie en panne x ou/et y n'est (ne sont) pas interprété(s) comme 0 (resp. 1) lorsque la valeur sans panne est 0 (resp. 1). D'autres vecteurs d'entrées peuvent donner des valeurs de x et/ou de y plus grandes ou plus petites et par suite représentent de meilleurs vecteurs de test, les niveaux logiques étant mieux définis.

Les deux cas de test sont les suivants :

1) cas 1 : une seule sortie affectée.

Les figures III-29, III-30 et III-31 présentent les configurations possibles de test en cas de court-circuit inter-portes et intra-portes ou une seule sortie est affectée. Dans ce cas, seule la sortie modifiée est testée. Les vecteurs de test, choisis en fonction des critères cités précédemment, manifestent la panne sur la sortie observable.

En cas de court-circuit inter-portes les structures de test présentées figures III-29 et III-30 sont utilisables :

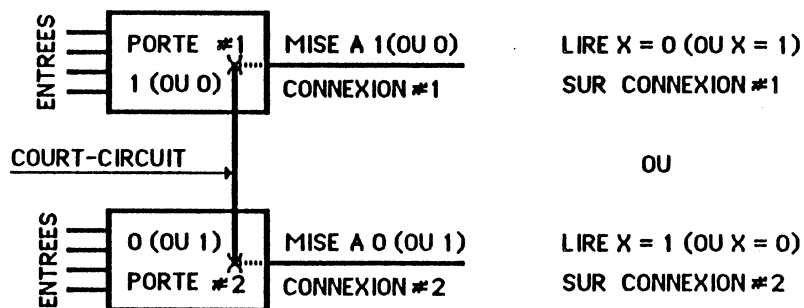


Figure III-29 : Test d'une seule sortie de porte (1er cas)

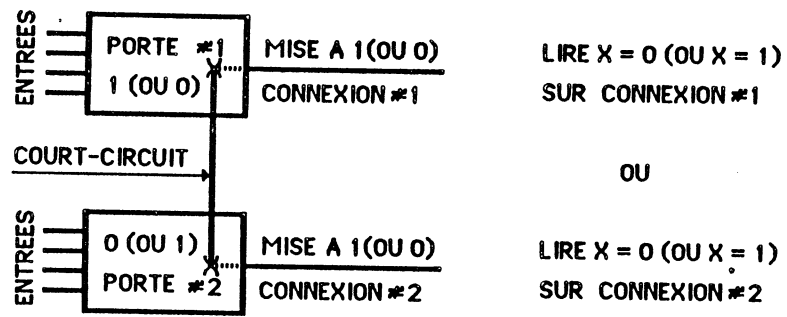


Figure III-30 : Test d'une seule sortie de porte (2eme cas)

En cas de court-circuit intra-porte la structure de test présentée figure III-31 est utilisable :

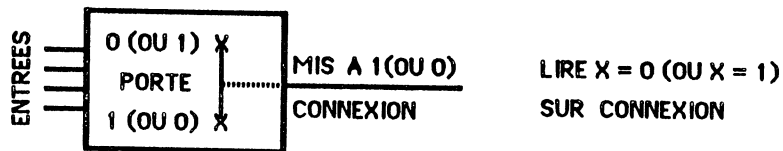


Figure III-31 : Test d'une seule sortie de porte (3eme cas)

2) Cas 2 : Deux sorties affectées

Ce cas peut apparaitre lorsque les valeurs de sorties sans panne des deux portes impliquées sont 0-1 ou 1-0 (en cas de court-circuit simple). Les sorties qui manifestent la panne sont notées x et y.

**2-1** : Si  $x = y$  (différent d'une valeur métastable) x et y sont associés au même niveau logique mais ils peuvent avoir des niveaux électriques différents. Ce cas de test est décrit par la structure (Figure III-32).

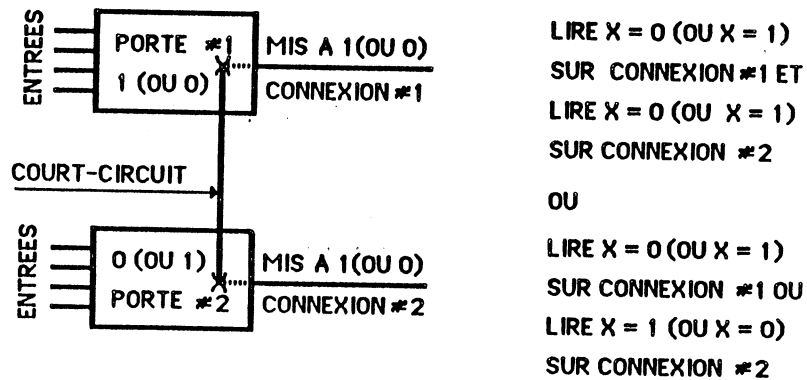


Figure III-32 : Test de deux sortie de porte de même valeur

Deux cas de test sont présents :

soit :

**2-1-1** Deux sorties sont facilement observables :

Les deux connexions de sorties sont testées mais une seule d'entre elles manifeste la panne.

Le choix du vecteur de test a quelques contraintes :

- les sorties sans panne sont mises à 1 et 0,
- les deux sorties sont testées.

soit :

**2-1-2** Une sortie est facilement observable.

Un choix précis du vecteur de test doit être fait de manière à manifester la faute sur la sortie observable. Naturellement, la sortie en panne observable doit avoir une valeur différente de celle sans panne.

La sortie la plus facile à observer est affectée et testée.

**2-2** Si  $x = y$  ( $x$  et  $y$  associés de manière sûre à des niveaux logiques différents).

Ce cas de test est décrit par la structure de test décrite Figure III-33.

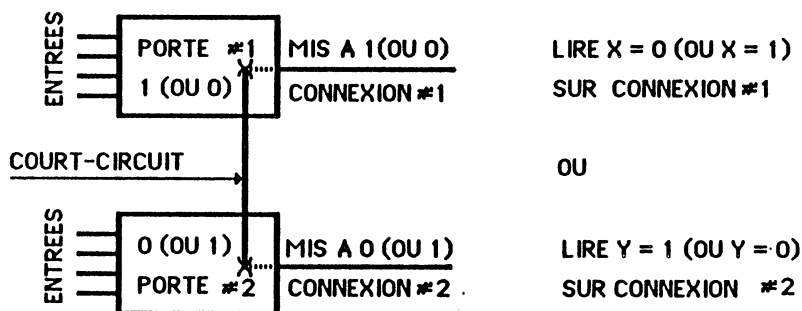


Figure III-33 : Test de deux sortes de portes de valeurs différentes.

Dans ce cas, les deux sorties manifestent la panne mais une seule ou les deux sorties peuvent être observées en fonction des vecteurs de test.

**REMARQUES**

La localisation du court-circuit et les décalages des paramètres technologiques peuvent induire la transformation du cas de test 2-2 en cas de test 2-1.

Le choix des vecteurs de test vis à vis de la propagation de panne peut influencer le choix de la fonction réalisée.



Supposons, par exemple, que les deux connexions de sorties de portes soient court-circuitées et servent d'entrées à une porte OU. Dans ce cas, les vecteurs de test doivent être tels qu'une fonction ET soit réalisée en cas de court-circuit. La connexion où se manifeste la panne peut être indifféremment l'une des deux connexions, un tel test propage  $\neg D$  (Figure III-34).

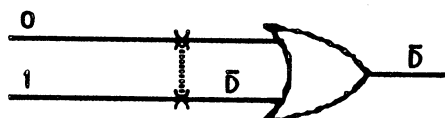


Figure III-34 : Propagation d'un  $\neg D$

Si les connexions envisagées servent d'entrée à une porte ET, alors les vecteurs de test des portes doivent être tels qu'ils réalisent une fonction OU en cas de court-circuit, un tel test propage D (figure III-35).

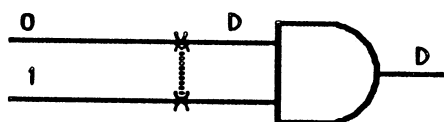


Figure III-35 : Propagation d'un D

Il est intéressant de remarquer que : dans ce cas, les vecteurs de test ne dépendent pas exclusivement du type de défaut à tester (comme pour le stuck-at par exemple : un s-a-1 est toujours détecté par mise à 0 des entrées), mais également de contraintes externes.

Un deuxième point peut être noté. En effet, comme dans le cas du test des s-on (CHAPITRE IV) le temps d'établissement du niveau logique n'est pas le même pour toutes les structures testées et tous les réseaux testés. La variation du temps de propagation est fonction de la nature de la panne (réseau équivalent) et de la position des transistors commandés dans le structure (dans [LUP 77] sont décrites les variations des seuils de déclenchement en CMOS, elles dépendent du nombre d'entrées validées ainsi que de la position de ces entrées).

## VI CONCLUSION

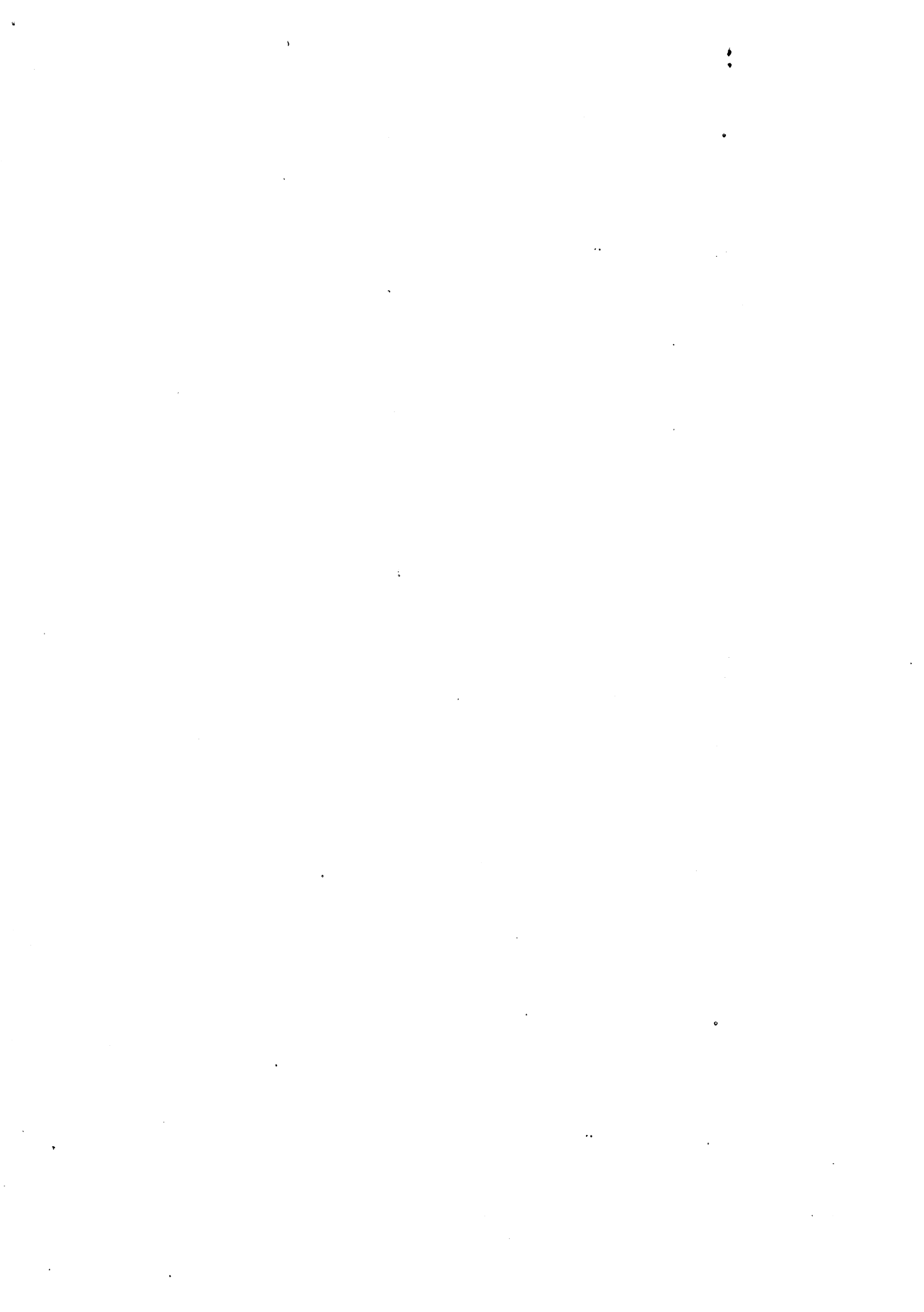
Dans ce chapitre il a été montré que le comportement des courts-circuits en technologie CMOS est différent du comportement en technologie NMOS ou d'autres technologies. En effet en technologie NMOS un ET logique est réalisé en cas de court-circuit et en technologie ECL un OU logique est réalisé. En technologie CMOS il apparait que la fonction obtenue en cas de panne n'est pas toujours la même. En effet plusieurs comportements possibles ont été mis en évidence. Si l'on considère que les deux noeuds de la connexion de court-circuit appartiennent à deux portes différentes, ces différents cas peuvent être cités :

- Aucune modification des niveaux logiques de sorties de portes ni consommation en courant,
- Modification de la valeur logique de l'une ou de l'autre valeur logique en sortie de porte,
- Modification des deux valeurs logiques des sorties de portes affectées. Ce dernier cas n'apparaît, en cas de pannes simples que lorsque les deux sorties de portes ont des valeurs opposées.

En CMOS le niveau de la connexion de court-circuit dépend de la localisation du court-circuit et du vecteur de test, principalement. Ce comportement particulier est dû à la transformation du circuit logique en un circuit analogique en cas de court-circuit. En effet en cas de panne un réseau est validé entre l'alimentation et la masse. Cette caractéristique a deux conséquences particulières aux circuits CMOS : une sortie de porte peut avoir soit un niveau métastable soit une inversion simultanée de deux sorties.

La modélisation des courts-circuits réalisée dans ce chapitre a permis de définir les paramètres actifs du test et d'autre part d'établir des méthodes de test. Ces méthodes utilisent la modifications du (ou des) niveau(x) de sortie (test statique) et la modification du temps de propagation d'une transition (test dynamique) pour tester une panne.

Dans certains cas le court-circuit n'est pas testable par ces méthodes, une approche DFT peut alors être envisagée. Ces méthodes de test sont à rapprocher de celles utilisées pour le test des s-on (CHAPITRE IV).



**REFERENCES**

- [ACK83] : ACKEN M.  
"Testing for Bridging Faults (shorts) in CMOS Circuits".  
20th Design Automation Conference, Miami Beach 1983.
- [BAN83] : BANERJEE P., ABRAHAM J.  
"Generating Tests For Physical Failures on MOS Logic Circuits".  
IEEE International Test Conference, Philadelphia, October 1983.
- [BAS84] : BASCHIERA D., COURTOIS B.  
"Testing CMOS: a Challenge".  
VLSI DESIGN Vol N°10, October 1984.
- [LUP77] : LUPU A.  
"Evaluation des Technologies MOS et Applications à la Conception d'un  
Microprocesseur 4 bits".  
These de docteur ingénieur INPG, Grenoble 1977.
- [MAL82] : MALAIYA K., SU Y.H.  
"A New Fault Model and Testing Technique for CMOS Devices".  
IEEE International Test Conference, Philadelphia 1982.



## ANNEXE

**PARAMETRES ELECTRIQUES ET CARACTERISTIQUES DES TRANSISTORS**

Les paramètres électriques utilisés sont ceux du projet CMOS MPC français 1983. Les caractéristiques sont données ci-dessous.

**RESISTANCES**

résistivité du substrat	PN	3	$\Omega$ cm
résistance	cais P+	3	k $\Omega$ / $\square$
	diff P-	120	$\Omega$ / $\square$
	diff N+	20	$\Omega$ / $\square$
poly-silicium		30	$\Omega$ / $\square$
métal		0.05	$\Omega$ / $\square$
résistance ON des transistors		VGS = 5V	
CANAL N	RON/N	9	k $\Omega$ / $\square$
CANAL P	RON/P	28	k $\Omega$ / $\square$

**CAPACITES**

capacités d'oxyde épais			
	/N	0,32	E-4 pF / $\square$
	/P-	0,32	E-4 pF / $\square$
	/P+	0,72	E-4 pF / $\square$
	/N+	0,95	E-4 pF / $\square$
capacités de jonction diode avec une polarisation nulle			
	P-/N	1 E-4	pF / $\square$
	P+/N	1 E-4	pF / $\square$
	N+/P-	1 E-4	pF / $\square$
capacités poly ou métal			
	-/N	5 E-4	pF / $\square$
	-/P-	5 E-4	pF / $\square$

**CARACTERISTIQUES DES TRANSISTORS****CANAL P**

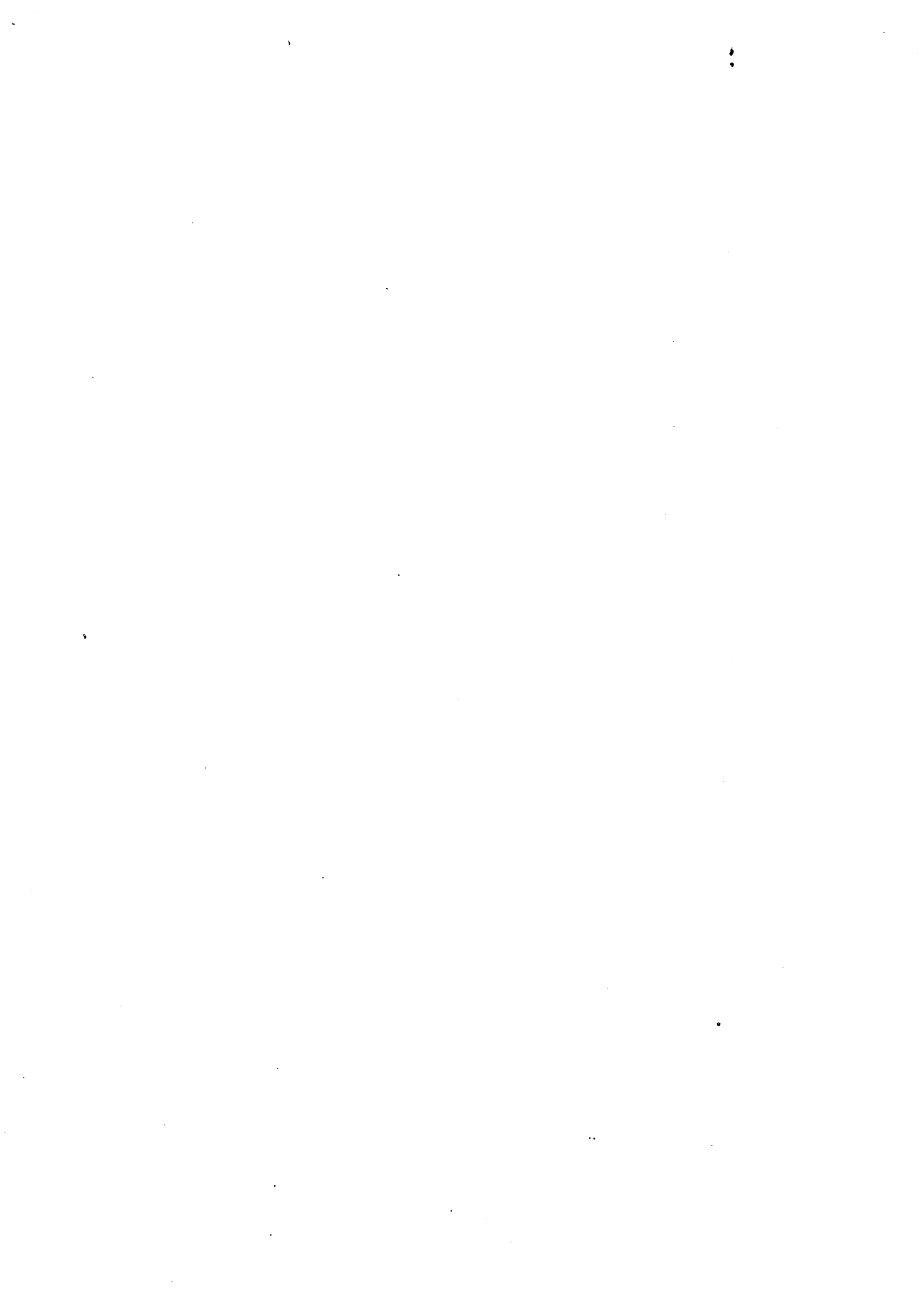
VTO	0,95	V
$\mu$	250	E - 4 m <sup>2</sup> /VS
TOX	0,0866	micron
DNB	2	E 15 at/ cm <sup>3</sup>
CJUN	1,6	E-4 pF/micron <sup>2</sup>
XN	0,5	micron
XJ	1,65	micron
XW	0,8	micron

**CANAL N**

VTO	0,9	V
$\mu$	700	E - 4 m <sup>2</sup> /VS
TOX	0,086	micron
DNB	4,75	E 16 at/cm <sup>3</sup>
CJUN	4	E - 4 pF / $\mu^2$
XN	0,5	micron
XJ	1,7	micron
XW	0,8	micron

*CHAPITRE IV*  
*LE TEST DES S-ON*





## SOMMAIRE

### I INTRODUCTION

### II ORIGINE DU S-ON

### III MODELISATION DU S-ON

#### III-1 Présentation

#### III-2 Etude de la modification du niveau de sortie d'un inverseur

#### III-3 Etude de la modification du temps de propagation d'un inverseur

##### III-3-a Définitions

##### III-3-b Etude de la modification

### IV COMPORTEMENT EN CAS DE PANNE

#### IV-1 Etude du temps de transfert au niveau de la porte

#### IV-2 Etude du temps de transfert au niveau d'un réseau

### V ETUDE DU TEST STATIQUE DES S-ON

#### V-1 Méthode de test

#### V-2 Applications et précautions

#### V-3 Choix des vecteurs de test et dimensionnement des portes statiques

#### V-4 Conclusions sur le test statique

### VI ETUDE DU TEST DYNAMIQUE

### VII TESTS DE PORTES PARTICULIERES

### VIII CONDITIONS DE TESTABILITE DU S-ON

#### VIII-1 Réseaux équivalents

##### VIII-1-a Notations

##### VIII-1-b Réseaux équivalents

#### VIII-2 Conditions de testabilité

### IX PANNES TESTEES

### X CONCLUSION



## CHAPITRE IV

### LE TEST DES S-ON

#### I INTRODUCTION

Peu de résultats concernant le test logique des s-on ont été publiés. CHIANG et VRANESIC [CHV 83] ont noté que, en cas de s-on les deux réseaux N et P pouvant conduire simultanément et que le s-on pourrait être détectable ou non en fonction de la résistance de s-on, ceci étant dû au fait que le s-on convertit un réseau logique en un réseau analogique. La modélisation de s-on réalisée dans ce chapitre montre que le s-on est testable au niveau logique contrairement aux déclarations faites jusqu'à présent et qui n'envisageaient le test de s-on que par des mesures de consommation en courant (par exemple). En effet, la panne s-on donne lieu à deux modifications du comportement : modification de la sortie de porte et modification du temps de propagation d'une porte. La première nécessite soit un dessin adapté au test (DFT) des portes CMOS soit un choix des vecteurs de test et la deuxième permet la réalisation d'un test dynamique. De même les comportements en cas de panne et les méthodes possibles de test de s-on ont permis d'établir les conditions de testabilité des s-on.

#### II ORIGINE DU S-ON

Par définition, les transistors s-on sont des transistors passants en permanence, quelle que soit la valeur appliquée sur la grille. Deux origines peuvent être citées pour ce type de panne : premièrement la modification de caractéristiques technologiques et deuxièmement l'influence des effets des canaux courts. Quelques uns de ces effets et de ces modifications sont décrits ci-dessous :

- perçage entre drain et source ("punch-through"),
- injection de charges dans l'oxyde de grille,
- modification de la densité de charges dans la zone du canal,
- action du transistor bipolaire parasite,
- réduction de la longueur du canal par extension des diffusions de drain et de source,
- d'une manière plus générale toute panne modifiant la tension de seuil et/ou la conductivité du canal.

Au niveau d'une porte le s-on a pour effet de modifier la fonction de transfert de cette porte. La nature et la "qualité" de la panne définissent respectivement un type de comportement et une

quantification de la modification apportée au fonctionnement normal.

La comparaison de deux modèles et le choix d'un modèle d'étude de s-on sont présentés dans le paragraphe suivant.

### III MODELISATION DU S-ON

Toutes les origines de s-on citées ci-dessus donnent des modifications de la fonction de transfert d'une porte lorsque la panne est manifestée.

#### III-1 Présentation

Deux modifications de courbes de transfert d'un inverseur peuvent être comparées, celles correspondant à la variation de la tension de seuil et celle correspondant à une résistance équivalente au transistor ON normal entre drain et source. Les courbes de transfert associées à ces deux cas sont présentées respectivement figure IV-1 et IV-2, lorsqu'une panne sur le transistor N est envisagée.

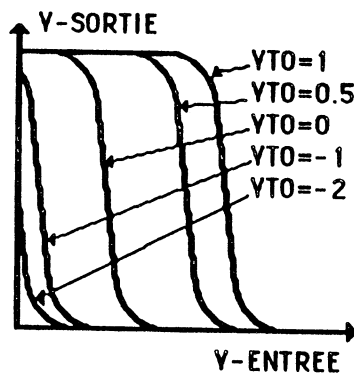


Figure IV-1 : Variation de la tension du seuil du transistor N

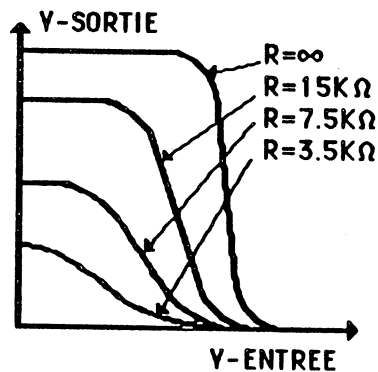


Figure IV-2 : S-on équivalent à une résistance entre drain et source du transistor N

Sur ces figures (IV-1 et IV-2) on peut remarquer que deux effets sont obtenus dans les deux cas :

- décalage de la tension de basculement,
- modification du niveau électrique de sortie [BAS 84].

L'allure générale des deux fonctions de transfert n'est pas semblable, ce qui montre que l'effet sur chacun des deux paramètres n'est pas identique.

Ce point permet de remarquer que le choix du modèle de s-on définit le comportement testé en cas de panne.

Dans les deux paragraphes suivants sont comparés l'évolution des niveaux de sortie et des temps de transfert d'un inverseur en panne s-on pour les deux pannes considérées, ces deux paramètres étant des éléments utilisables pour le test.

### III-2 Etude de la modification du niveau de sortie d'un inverseur

La variation du niveau électrique de la sortie d'un inverseur CMOS en cas de s-on peut être décrit par les deux courbes présentées figure IV-3 et IV-4. Ces courbes ont été obtenues d'après des simulations électriques réalisées sur MSINC pour les deux cas de panne cités.

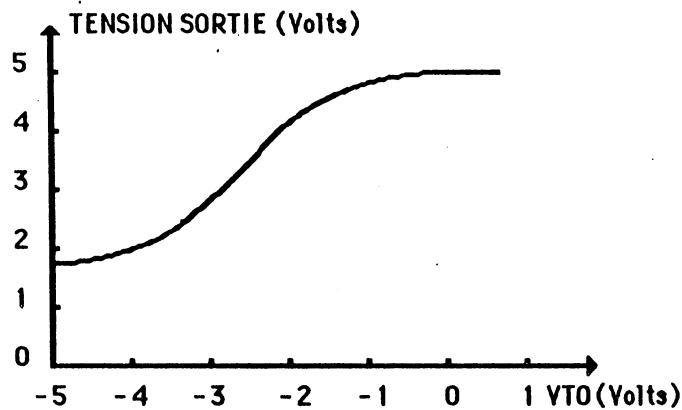


Figure IV-3 : Variation du niveau de sortie d'un inverseur en fonction de la modification de la tension de seuil des transistors N, la sortie étant commandée à 1

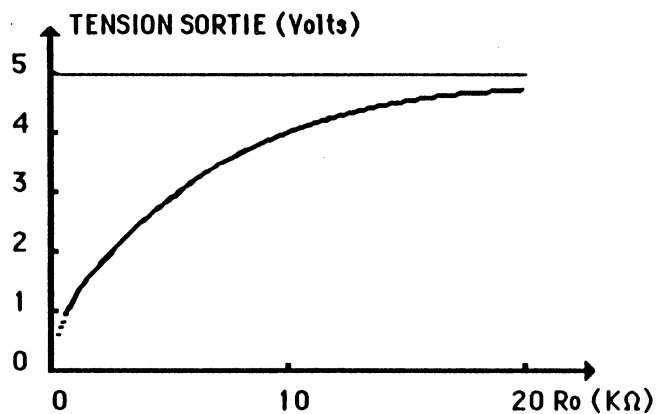


Figure VI-4 : Variation du niveau de sortie d'un inverseur en fonction de la résistance  $R_o$  sur le transistor N, la sortie étant commandée à 1

Dans ces deux pannes la sortie peut varier de 0V à 5V, l'allure de la courbe n'est pas identique. En cas de modification de tension de seuil, la courbe présente un point d'inflexion qui apporte une décroissance plus lente que dans le cas d'une résistance  $R_o$  entre drain et source.

### **III-3 Etude de la modification du temps de propagation d'un inverseur**

La modification de la pente de transfert d'un inverseur (ou d'une porte en général) a pour effet de modifier le temps de propagation à travers cet inverseur (ou porte). Avant de développer ce point, quelques définitions sont rappelées.

#### **III-3-a Définitions**

Les notations utilisées dans ce paragraphe sont celles de la figure IV-5

Le temps de montée (resp. temps de descente) est le temps que met la sortie pour passer de 10 % à 90 % (resp. 90 % à 10 %).

En CMOS le temps de montée est sensiblement égal au temps de descente.

- Le temps de propagation correspond au retard pris par le signal entre l'entrée et la sortie de l'opérateur. Deux méthodes existent pour déterminer ce temps.

Le calcul du temps de propagation se fait en considérant les temps de propagation à la descente (tpd) et à la montée (tpm)

La figure IV-5 présente ces divers temps dans le cas d'une chaîne d'inverseurs. Un échelon de tension est appliqué à l'entrée à  $t_0$ , la sortie  $V_{s1}$  passe par  $V_{il}$  à  $t_1$   $tpd = t_1 - t_0$ . De même un échelon descendant est appliqué à  $t_1$ , la sortie passe par  $V_{ih}$  à  $t_3$   $tpm = t_3 - t_2$ .  $V_{ih}$  et  $V_{il}$  correspondent à la valeur de tension de sortie pour lesquelles la courbe de transfert a des tangentes égales à -1 ( $dV_{out}/dV_{in} = -1$ ). Le temps de propagation est donné par l'équation  $tp = (tpd + tpm)/2$ .

#### **III-3-b Etude de la modification**

L'effet des s-on considérés sur la variation des temps de transfert d'un inverseur est présenté par les figures IV-6 et VI-7. L'allure générale de ces deux courbes est semblable. Sur ces deux courbes on peut définir le retard normal (sans panne) à  $t_0$ , mesuré sur l'axe temporel à l'asymptote de la courbe et la valeur de la panne qui donne la limite de basculement.

Cette limite de basculement représente la valeur du niveau en sortie de la porte en panne en deçà de laquelle la porte commandée par cette porte en panne ne "bascule" pas c'est à dire plus généralement manifeste la panne lorsqu'un test statique est effectué et que la valeur présente en sortie de porte avant application du vecteur de test est opposée à la valeur de sortie de porte lorsque le vecteur de test est appliqué en cas de fonctionnement correct.

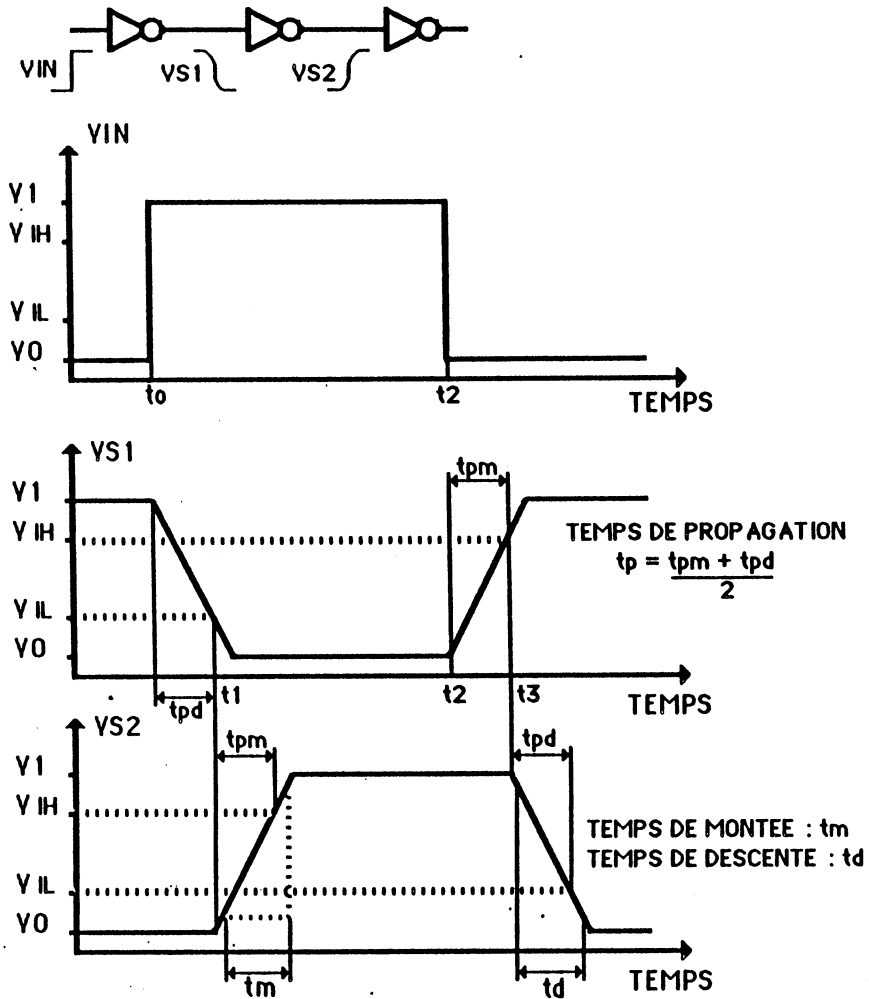


Figure IV-5 : Representation symbolique des divers temps

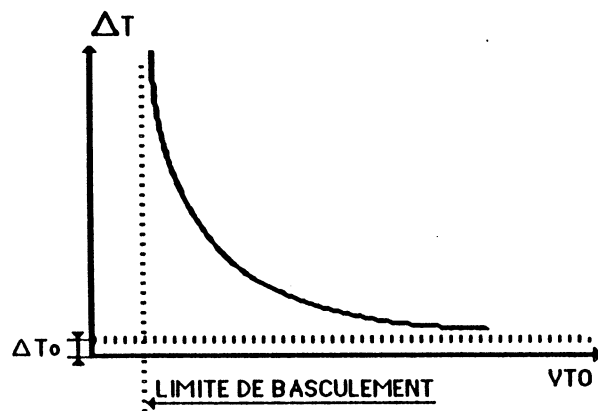


Figure IV-6 : Variation du retard aux basculement d'une chaine de 5 inverseurs lorsque le premier a une modification de tension de seuil du transistor N



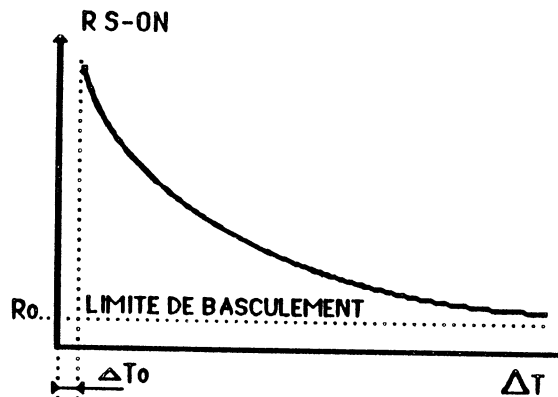


Figure IV- 7 : Variation du retard au basculement d'une chaîne de 5 inverseurs le premier a une résistance parasite entre drain et source du transistor N

Le test statique consiste à appliquer le vecteur de test pendant le temps de test statique  $t_{TS}$  est tel que  $t_{TS} > T_p$  (temps propagation).

Ces études de la modification du niveau de sortie et du temps de propagation montrent que pour les deux pannes considérées, les effets sur ces paramètres sont du même type. Ainsi l'étude qui sera développée dans la suite du chapitre ne sera réalisée que dans le cas d'une seule de ces pannes. Le modèle de panne utilisé est la résistance  $R_o$  entre Drain et Source, cette panne est facilement modélisable sur les simulateurs électriques et les valeurs de résistances qui peuvent être associées à une panne permettent de "quantifier une panne" vis à vis des éléments physiques mesurables des réseaux obtenus en cas de panne. Un des avantages de cette modélisation est la possibilité de déterminer des conditions de testabilité qui mettent en jeu des éléments de même nature (pour la panne et le réseau qui la supporte).

## IV COMPORTEMENT EN CAS DE PANNE

### IV-1 Etude du temps de transfert au niveau de la porte

Au niveau d'une porte, la modification du temps de transfert de la porte a pour effet une augmentation du temps mis pour avoir un niveau stable en sortie (figure IV-8). Cette augmentation est accompagnée d'une perte de niveau de sortie (cet effet a été présenté précédemment).

Il peut être noté que dans ce cas le signal en sortie de la porte en panne est plus voisin d'une rampe de tension que d'un échelon de tension. Cette remarque introduit l'étude au niveau réseau.

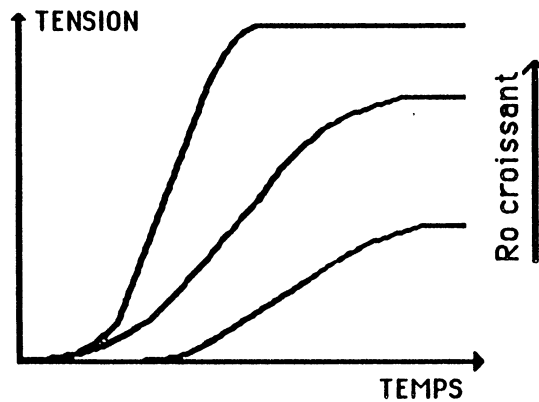


Figure IV-8 : Modification du temps de propagation

#### IV-2 Etude du temps de transfert au niveau d'un réseau

Si l'on considère une porte en panne dans un réseau de portes, une porte commandée par une porte en panne ne reçoit pas un signal qui peut être composé à un échelon de tension (signal conventionnel pour la détermination du temps de propagation à travers une porte). Le temps de transfert, à travers cette porte aval, est donc différent de celui d'une porte correcte. Cette porte a un fonctionnement normal mais son signal de commande est anormal. Dans ce cas, si l'entrée reçoit un signal ayant un temps de montée  $\Delta T_m$  (ou de descente  $\Delta T_d$ ), le signal en sortie aura son temps de descente  $\Delta T_d$  tel que  $\Delta T_m > \Delta T_d$  (ou de montée  $\Delta T_m$  tel que  $\Delta T_d > \Delta T_m$ ) pour les portes suivantes le problème est identique mais avec des valeurs,  $\Delta T$  de montée et de descente inférieures et se répète jusqu'à ce que le signal ait un temps de montée ou de descente correcte. Le temps de propagation à travers un réseau sans panne peut être comparé à ce temps dans le cas d'un réseau avec panne. Dans le premier cas si le dernier entre : entrée et sortie contient  $P$  pentes ayant un temps de propagation  $\Delta T$  par porte le Temps de Propagation Totale sera de  $P \times \Delta T = \hat{T}PT$ .

Dans le deuxième cas,  $P-A$  portes aussi un temps de propagation correct et  $A$  portes correspondant à série de portes affectées par une panne. (Des simulations électriques montrent que sur une chaîne d'inverseurs la modification du temps de propagation agit sur les 4 inverseurs qui suivent l'inverseur en panne dans le pire des cas, c'est à dire  $R_{son} = R_{on}$ , ainsi  $A \leq 5$ ). Le temps de propagation à travers les portes en pannes se décompose comme suit :

Soit  $\Delta T$  le temps de propagation correct,

et  $\Delta T_0$  le temps de propagation en cas de panne tel que  $\Delta T_0 > \Delta T$ . La pente commandée par la porte en panne à un temps de transfert de  $\Delta T'_0 < \Delta T_0$  les portes en aval de cette seconde porte sont commandées respectivement par  $\Delta T''_0$ ,  $\Delta T'''_0$  etc... jusqu'à rétablissement d'un signal correct, avec  $\Delta T_0 > \Delta T'_0 > \Delta T''_0 > \Delta T'''_0 > \Delta T''''_0 > \Delta T$ .

Le temps maximum de propagation à travers le réseau en panne de P porte et de TPT = (P-5)  
 $\Delta T + \Delta T_0 + \Delta T'_0 + \Delta T''_0 + \Delta T'''_0 + \Delta T''''_0$

Si l'on note

$$\begin{aligned} \Delta T_0 &= \Delta T + \partial \\ \Delta T'_0 &= \Delta T + \partial' && \text{avec} \\ \Delta T''_0 &= \Delta T + \partial'' && \partial > \partial' > \partial'' > \partial''' > \partial'''' \\ \Delta T'''_0 &= \Delta T + \partial''' \\ \Delta T''''_0 &= \Delta T + \partial'''' \end{aligned}$$

$$\text{TPT maxi en panne} = P \times \Delta T + \partial + \partial' + \partial'' + \partial''' + \partial'''' > \text{TPT normal}$$

Le temps de propagation en cas de s-on est supérieur au temps de propagation sans panne.

TPT maxi en panne = TPT sans panne +  $\Delta$  avec  $\Delta = \partial + \partial' + \partial'' + \partial''' + \partial''''$  (dans le pire cas). Ainsi l'effet de s-on d'une porte sur le temps de propagation est amplifié par les portes aval.

Le pire cas est celui où  $R_{son} = R_{on}$ . En effet, si  $R_{son} < R_{on}$  et si l'on envisage un s-on N sur un inverseur d'une transition de l'entrée de 1 à 0, la sortie de l'inverseur ne prend pas son niveau stable qui peut être reconnu par une porte aval comme un niveau logique 1. Par contre lorsque  $R_{son} > R_{on}$  le niveau stable obtenu en sortie est reconnu par une porte comme un niveau logique 1 (après un certain retard).

Si  $R_{s-on} > R_{on}$  la modification du temps de propagation est plus faible et agit sur un nombre inférieur de portes. Les variations de ce retard ont été simulées pour les deux types de s-on décrits précédemment (variation  $V_{To}$  et  $R_o$  entre drain et source, figure IV-6 et IV-7).

$\Delta T$  représente le temps de propagation entre l'entrée du premier inverseur et la sortie du cinquième. Les deux courbes ont la même allure. Deux points sont à noter. Sur ces courbes peuvent être définis, sur les asymptotes, les temps de propagation sans panne et la valeur limite du paramètre  $R_o$ .

Ces simulations ont été réalisées pour une chaîne d'inverseurs mais une étude similaire sur une chaîne comprenant des portes donnerait des résultats du même type.

De même sur la figure IV-9-a est représentée la variation du temps de montée et de descente des divers inverseurs de la chaîne précédemment évoquée. Sur la figure IV-9-b est présentée la différence des deux signaux de sortie en cas de panne. Le comportement sans panne de la sortie de cette chaîne est représenté figure IV-9-c. Il peut être noté que, si la valeur en sortie est échantillonnée en Y aucune panne ne sera détectée par contre si l'échantillonnage a lieu en X alors le s-on sera détecté. Plus la fréquence d'échantillonnage sera voisine de la fréquence maximale de ce travail du circuit plus une panne fine sera détectée.

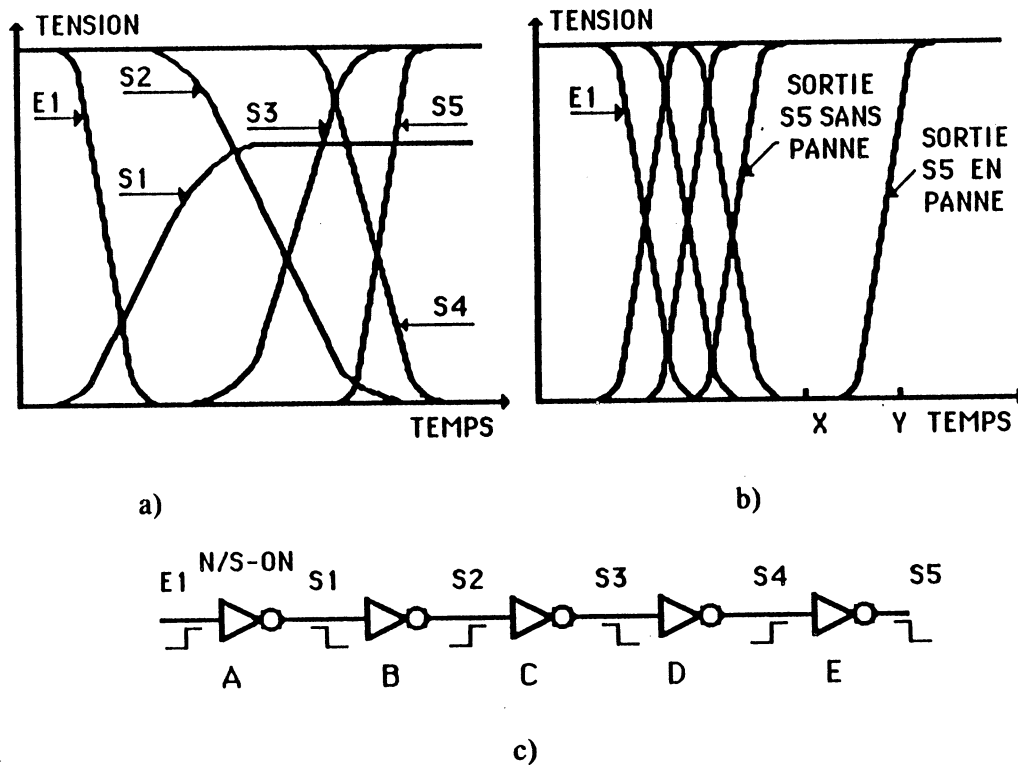


Figure IV-9 : a) Variation du temps de montée en cas de s-on sur l'inverseur A  
 b) Décalage entre le temps de propagation correct et en cas de s-on N sur l'inverseur A  
 c) Chaîne d'inverseurs

Ces effets ont été présentés dans le cas de pannes sur le transistor N, des résultats semblables peuvent être obtenus si l'on envisage une panne sur transistor P d'un inverseur (ou d'une porte). Cette modification du temps de transfert en de s-on permet de réaliser un test de type dynamique. Ce type de test est décrit au paragraphe VI. Suite à cette description quelques remarques peuvent être faites.

### REMARQUES

La modification du temps de transfert en cas de s-on apporte un retard au basculement des portes aval. Pour une panne donnée, ce retard est dû au cumul des retards au basculement de chaque porte en aval de la porte en panne par suite de la propagation d'un signal de temps de montée correct. Le cas représente celui des portes internes à un réseau mais pas celui des portes "terminales" (situées à la sortie du réseau). En effet dans ce cas, le cumul ne peut être invoqué pour obtenir un retard total. Dans ce cas une seule (ou quelques) porte(s) contribue(nt) au retard, celui-ci est donc court. Pour une panne donnée, la localisation et le type de la porte en panne dans le réseau donne des retards différents.

Un problème d'homogénéité des s-on testés peut être souligné. En effet dans [LUP77] il est montré que le temps de propagation d'une porte sans panne varie en fonction de la position du transistor commandé dans la porte. Ainsi on peut s'apercevoir que lorsque plusieurs transistors sont connectés en série chacun d'eux définira un temps de propagation qui dépendra de l'état d'activité des autres transistors. En fin de réseau une même panne sur une porte mais sur des transistors différents donnera des retards différents. Ainsi pour une même porte et pour un retard fixé tous les s-on d'une porte ne seront pas détectés pour la même valeur. Ce problème peut amener à envisager un DFT pour les parties terminales d'un réseau.

Une différence d'utilisation des deux types de test décrite, peut être présentée. En effet le test statique qui a été présenté précédemment ne tient compte que du niveau stable obtenu après avoir appliqué le vecteur adapté, tandis que pour le test dynamique la manifestation d'un s-on nécessite une transition de la sortie de porte en panne testée.

Le test dynamique, outre la détection de s-on, permet de manifester toutes les pannes se traduisant par une modification du temps de propagation (par exemple, rétrécissement de connexion ou coupure d'un des transistors (N ou P) d'une porte de transistor. Dans ce cas une coupure sur le transistor N (resp. P) se traduira par une porte de seuil de niveau 0 (resp. 1) et un retard de propagation du signal.

## V ETUDE DU TEST STATIQUE DES S-ON

### V-1 Méthode de test

La procédure générale qui permet de déterminer un vecteur de test est la suivante :

- 1) provoquer la faute : appliquer sur la grille du MOS en panne celle correspondant à la faute,
- 2) créer un chemin de la faute vers la sortie, le long duquel le signal peut se propager,
- 3) la valeur de la sortie ne doit être fonction que de la variation du signal issu du transistor testé.

Lorsque cette procédure est appliquée au niveau transistor en général [COU 81], et au test d'un s-on du réseau N en particulier [CHV 83] cela signifie :

- Appliquer 0 sur la grille du transistor testé,
- Sensibiliser un chemin, entre Vss et la sortie, passant par le transistor à tester,
- Eviter tous les autres chemins entre Vss et la sortie.

### V-2 Application et précautions

La méthode de test décrite ci-dessus peut être appliquée pour tester les s-on de la porte décrite figure IV-10. Dans toute cette étude, la valeur des R s-on a été prise égale à  $R_{on}$ . Cela ne représente pas une restriction à l'étude, d'autres valeurs auraient pu être prises mais des résultats similaires auraient été obtenus.

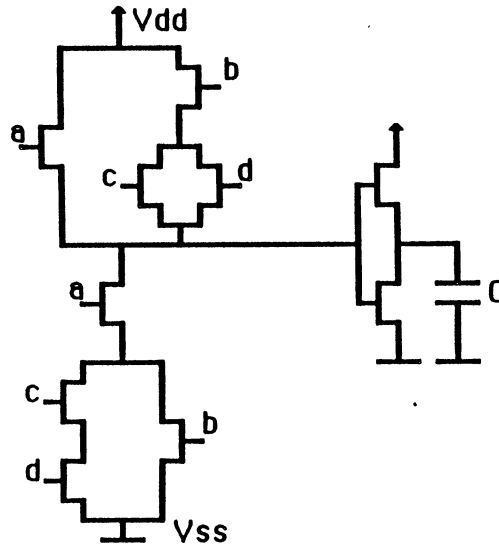


Figure IV 10 : Porte CMOS avec le MOS  $N_A$  s-on

Pour le test du MOS  $N_A$  s-on, il existe quatre vecteurs potentiels de test pour ce défaut. Ces quatre vecteurs sont décrits Table IV-1.

	a	b	c	d
TV1	0	1	0	0
TV1'	0	1	0	1
TV1''	0	1	1	0
TV2	0	0	1	1
TV3	0	1	1	1

Table IV-1 : Vecteur de test potentiels pour le test du MOS  $N_A$  s-on

En réalité tous les vecteurs potentiels ne sont pas tous les vecteurs réels de test du MOS  $N_A$  s-on. En effet par suite de s-on les deux réseaux P et N sont conducteurs. La valeur de la tension de sortie dépend de la résistance du réseau validé entre VDD et VSS et du rapport des deux

résistances  $R_N$  et  $R_P$  correspondant aux réseaux N et P.

La résistance de ces réseaux est naturellement différente pour chaque vecteur potentiel de test. La figure IV-11 présente les réseaux de résistances validés dans le cas des vecteurs de test potentiel TV1 et TV3.

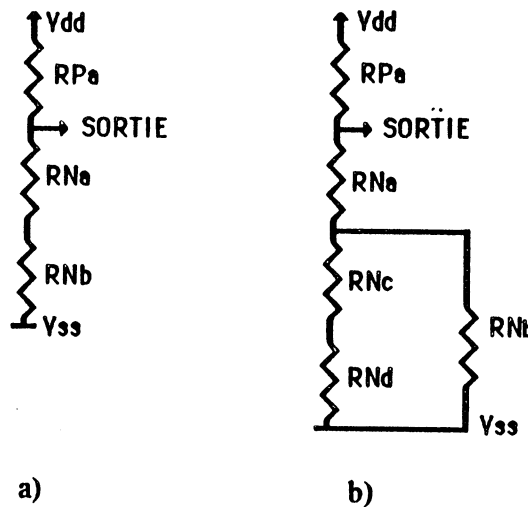


Figure IV-11 : Réseaux de résistances validés en cas d'application

a) du vecteur de test TV1

b) du vecteur de test TV3

Les simulations classiques permettant de déterminer la tension de la la sortie de porte ainsi que la sortie de l'inverseur qui charge la porte testée. Les figures IV-12 et IV-13 présentent les comportements de la porte testée lorsque les vecteurs de test TV1 et TV3 sont appliqués.

Les simulations montrent que :

- pour le vecteur de test TV3, la sortie a une tension de 2.20 volts. Cette valeur sera reconnue comme un "zéro" logique par l'étage suivant.
- pour le vecteur de test TV1, la sortie a une tension de 2.73 volts. Cette valeur sera reconnue comme un "un" logique par l'étage suivant.

Cela signifie que :

- TV3 est effectivement un vecteur de test du s-on considéré,
- TV1 n'est pas un vecteur de test de s-on.

Ce s-on est donc détectable, mais certains vecteurs de test donneront des résultats erronés, s'ils ne sont pas adaptés au s-on à tester.

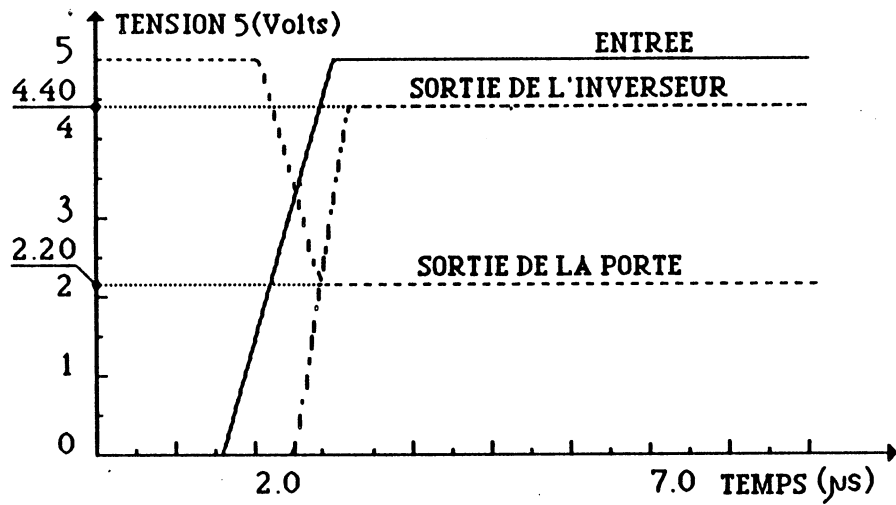


Figure IV-12 : Réponse d'une porte en panne lorsque le vecteur TV3 est appliqué sur les entrées

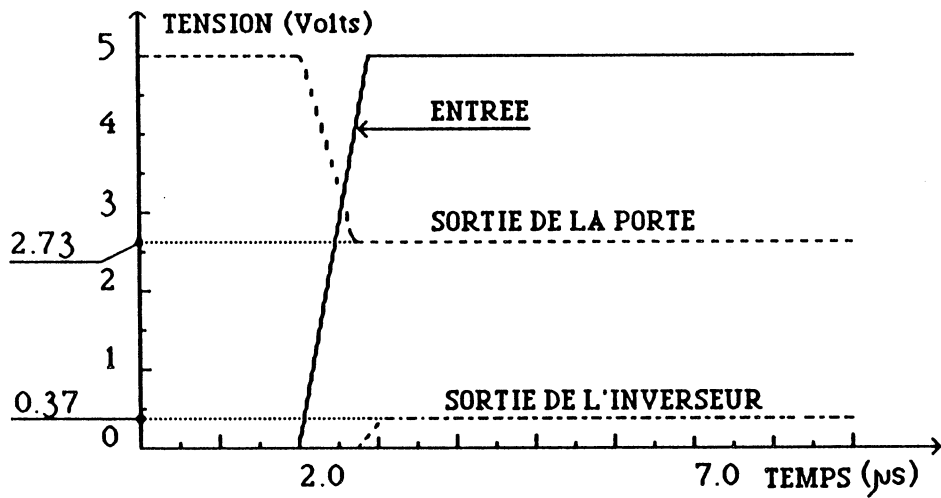


Figure IV-13 : Réponse d'une porte en panne lorsque le vecteur TV1 est appliqué sur les entrées

	a	b	c	d	SORTIE AVEC PANNE	SORTIE SANS PANNE
TV1	0	1	0	0	1	1
TV1'	0	1	0	1	1	1
TV1''	0	1	1	0	1	1
TV2	0	0	1	1	1	1
TV3	0	1	1	1	0	1

Table IV-2 : Comportement de la porte CMOS avec et sans panne



Dans la table IV-2, est présenté le comportement de la sortie de porte CMOS considérée en cas de panne et sans panne, pour les quatre vecteurs potentiels de test pour le MOS  $N_A$  s-on. Dans cette table, il apparait que le vecteur TV3 effectivement un vecteur de test mais que les vecteurs TV1 et TV2 ne sont pas des vecteurs de test pour le s-on considéré.

### V-3 Choix des vecteurs de test et dimensionnement des portes statiques

Dans les paragraphes précédents, il a été montré que, pour les hypothèses de s-on considérées, tous les vecteurs potentiels de test n'étaient pas des vecteurs réels de test et que le choix des vecteurs de test nécessitait quelques précautions. Une solution de type DFT (Design For Testability) [dessin adapté au test] peut être envisagée. Le but de ce paragraphe est de montrer que ces deux problèmes sont liés dans certains cas.

En effet lorsque le dimensionnement classique de portes statiques standard est évoqué, la sortie de la porte en panne est commandée à  $VDD/2$ . Cette valeur peut varier en fonction de la technologie utilisée. Dans le cas d'un inverseur, ce cas est obtenu lorsque les deux transistors conduisent simultanément. Le dimensionnement de ces portes prend en compte des caractéristiques de temps de montée et de temps de descente aussi bien que des problèmes de consommation en courant.

Le nombre de vecteurs de test disponibles pour une panne donnée varie en fonction de la complexité de la porte. Trois exemples de portes statiques à réseaux N et P entièrement complémentés sont décrits ci-dessous. Les liens entre le choix des vecteurs de test et DFT seront présentés en conclusion de ce paragraphe.

#### REMARQUE

Pour chacune des portes décrites ci-dessous le dimensionnement utilisé est un dimensionnement simplifié classique. Ce dimensionnement est basé sur celui d'un inverseur tel que  $W_p/L_p = 2 W_n/L_n$  ( $\gamma_p = 2\gamma_n$ ) de manière à avoir  $R_p = R_n$  (résistance lorsque le transistor est on). Lorsque deux transistors sont connectés en parallèle, ils conservent leur dimension mais lorsqu'ils sont placés en série, leur dimension propre double ( $W' = 2W$ ) de manière à conserver la même résistance équivalence. Ces règles sont valables pour les réseaux N et P.

Les notations utilisées ci-dessous sont telles que  $R = R_{ON-N} = R_{ON-P}$

Porte de type 1 (Figure V-14-a)

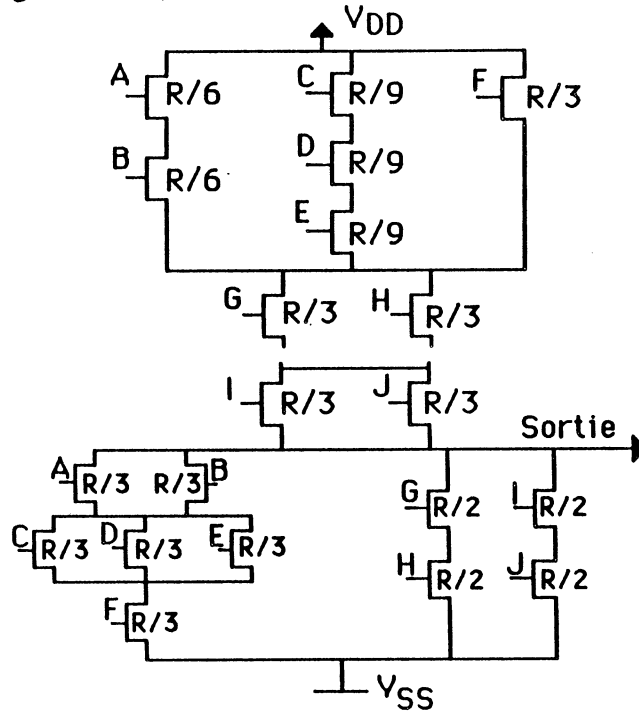


Figure V-14-a : Exemple de porte complexe (cas 1)

Les vecteurs TV1 et TV2 décrits ci-dessous peuvent être utilisés pour tester l'entrée A (s-on N ou P) : TV1 = B C D E F G H I J = 0 1 1 1 1 0 1 0 1

TV2 = B C D E F G H I J = 0 0 0 1 1 0 0 0 0

Lorsqu'un s-on apparaît sur l'un des transistors N ou P de l'entrée A les valeurs de la sortie sont les suivantes :

V sortie 1 :  $\frac{7}{6} V_{DD} = 2.18$  Volts, est reconnu comme un "0" logique.

6

V sortie 2 :  $\frac{3}{5} V_{DD} = 3$  Volts, est reconnu comme un "1" logique.

5

Porte de type 2 (Figure V-14-b)

Dans ce cas, l'entrée J est adressée. Les vecteurs TV1 et TV2 décrits ci-dessous peuvent être utilisés pour le test de s-on sur les transistors N et P de cette entrée.

TV1 = A B C D E F G H I = 1 1 1 1 1 1 1 1 1

TV2 = A B C D E F G H I = 1 0 0 0 1 0 0 1 0

Lorsqu'un s-on apparaît sur l'un ou l'autre des transistors N ou P commandés par l'entrée 1 les valeurs des sorties sont les suivantes :

V<sub>sortie 1</sub> =  $\frac{25}{73} V_{DD} = 0.34$  Volt, reconnu comme un "0" logique

V<sub>sortie 2</sub> :  $\frac{V_{DD}}{2} = 2.5$  Volts, état métastable

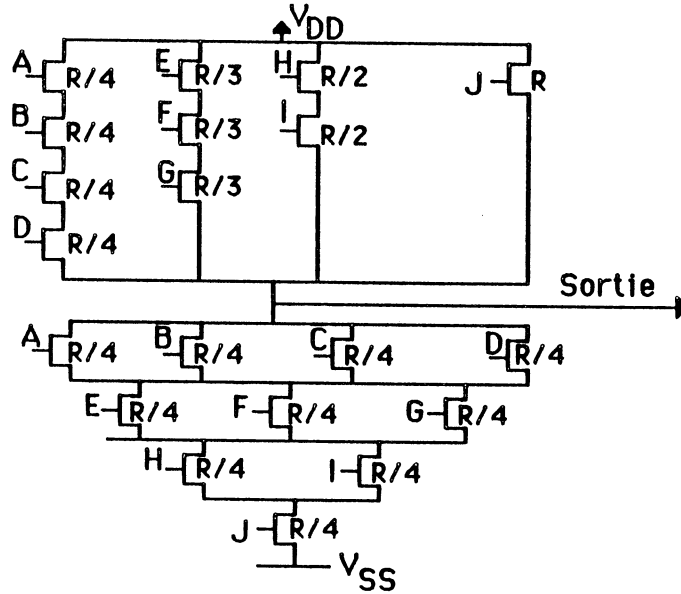


Figure V-14-b : Exemple de porte complexe (cas 2)

Porte de type 3 (figure V-14-c)

Porte NAND classique à 3 entrées :

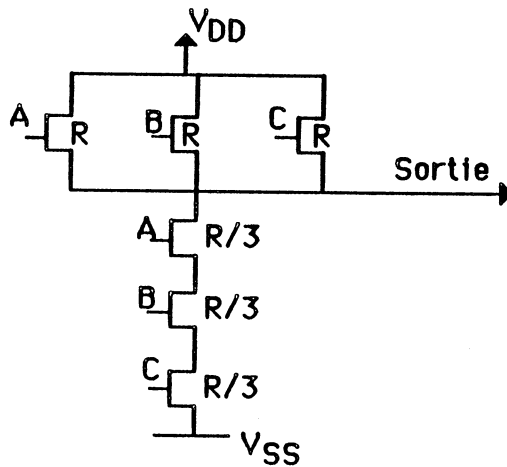


Figure V-14-c : Exemple de porte complexe (cas c).

Dans ce cas de porte classique aucun choix de vecteur de sensibilisation n'est possible, le seul disponible est  $B = C = 1$ . Ainsi la sortie de porte prend la valeur  $V_{\text{sortie}} : VDD/2$ .

Ces trois exemples montrent que de nombreux cas de figures apparaissent pour le test de pannes s-on.

Les vecteurs décrits dans le cas 1 et 2 sont tels qu'ils représentent les cas où  $R_p$  maxi et  $R_n$  mini, et  $R_p$  mini et  $R_n$  maxi pour TV1 et TV2 respectivement.

Ceci montre que :

- les deux pannes s-on de la porte de type 1 sont testables par un choix adapté de vecteurs de test lorsqu'un dimensionnement classique est réalisé.
- seule une panne s-on de l'entrée I est sûrement testable par un choix adapté de vecteurs de test lorsqu'un dimensionnement classique est réalisé.
- aucune panne s-on est testable dans les portes classiques lorsqu'un dimensionnement classique est réalisé.

Ces trois cas montrent que les portes statiques CMOS à réseaux N et P entièrement complémentés peuvent être classées en quatre groupes :

- 1) Toutes les pannes s-on N et P de toutes les entrées sont testables par un choix adapté des vecteurs de test.
- 2) Les pannes s-on N et P de quelques entrées seulement sont testables au niveau logique par un choix adapté des vecteurs de test.
- 3) Toutes les pannes s-on N ou P de toutes les entrées sont testables, les pannes associées du réseau complémentaire donnent un état métastable ou identique au cas de panne testé.
- 4) Aucune panne s-on est testable. Tous les vecteurs potentiels de test donnent des valeurs métastables en sortie de porte.

Ces quatre classes peuvent être évoquées lors d'un test de s-on. Elles montrent le lien entre DFT et choix de vecteurs de test. Enfin il peut être noté que toute modification de type DFT change les caractéristiques électriques des éléments affectés et que cette solution n'est pas toujours acceptable.

#### V-4 Conclusion sur le test statique

Dans ce paragraphe, il a été montré que le test statique n'utilise qu'un des paramètres fonctionnels modifié en cas de panne pour détecter un s-on: le niveau de tension en sortie de porte. Les différents réseaux en cas de panne, validés pour tous les vecteurs potentiels de test, ne sont pas équivalents. Ce comportement particulier en cas de panne nécessite un choix des

vecteurs de test pour que les vecteurs appliqués soient des vecteurs de test réels de s-on. Cette solution impose une contrainte au générateur de vecteur de test. Les conditions de propagation de panne à l'intérieur d'un réseau de porte peuvent être telles que le vecteur de test à appliquer sur les entrées primaires ne peut être déterminé suite à cette restriction, ainsi une deuxième solution peut être envisagée, il s'agit du dessin des portes en vue du test (DFT = Design For Testability). Les portes sont dimensionnées de telle manière que tout vecteur potentiel de test soit vecteur réel de test. Cette approche DFT pour les portes CMOS est particulièrement intéressante pour les portes complexes CMOS car le nombre de chemins de test possibles est important.

Un deuxième type de test peut être envisagé pour le test de s-on dans les portes CMOS, il prend en compte l'autre modification du fonctionnement en cas de pannes : le retard de basculement, il s'agit du test dynamique des s-on.

## VI ETUDE DU TEST DYNAMIQUE

La modification du temps de propagation d'une porte et d'un réseau due à un s-on a été présenté dans les paragraphes III et IV. On peut remarquer que toute modification du temps de propagation s'accompagne d'une modification de niveau de la sortie de la porte en panne. Si le niveau après stabilisation est reconnu comme un niveau égal au niveau obtenu sans panne, aucune panne n'est détectée (cas du test statique). Cependant, si l'on envisage l'application d'un vecteur de test de s-on telle que ce vecteur fasse changer la valeur présente avant application, en sortie dans le cas où il n'y a pas de panne alors deux comportements de la sortie sont possibles. Premièrement, le niveau électrique en sortie est reconnu comme étant égal au niveau logique précédent, dans ce cas le problème est identique au test statique. Deuxièmement, le niveau électrique en sortie est reconnu comme différent du niveau présent avant l'application du vecteur de test mais le niveau est établi après un certain retard par rapport au signal sans panne. Ce cas est celui de la sortie S5 de la figure IV-9-b. Si l'échantillonnage de la sortie est réalisé au temps Y aucune panne ne sera détectée car la sortie aura déjà basculée. Par contre, si l'échantillonnage est réalisé au temps X alors la panne sera manifestée. Pour un réseau donné le point X est tel que  $T_{pp} > X \geq T_{ps}$  si X est la période d'échantillonnage alors celle-ci doit être supérieure ou égale au temps de propagation sans panne  $T_{ps}$  mais doit être inférieur au temps de propagation avec panne  $T_{pp}$ .

Lorsqu'une fréquence est utilisée pour tester un circuit, le même temps X est utilisé pour tester des réseaux de "longueurs" différentes d'une part et des réseaux contenant des portes de différents types d'autres part, ainsi pour chacun de ces réseaux particuliers correspond un  $t_{pi}$  (temps de propagation du réseau i) (voir remarques du paragraphe IV-2).

Ainsi pour tester les s-on de tous les réseaux, X doit être tel que  $X \geq t_{pi \text{ maxi}}$  ( $t_{pi \text{ maxi}}$  = temps de propagation maximum).

Si l'on considère deux chemins i et j, si les résistances équivalentes  $R_{oi}$  et  $R_{oj}$  de s-on sont telles que  $R_{oi} > R_{oj}$  ; alors les temps de propagations seront tels que  $t_{pi} > t_{pj}$  et tels que  $X \geq t_{pi} > t_{pj}$ . Si l'on note  $R_{oi} = R_{oj} + r$ , il apparaît que les réseaux ont été testés chacun pour une valeur différente  $R_o$  de s-on.

La relation  $t_{pp} > X > t_{ps}$  ne peut être réalisée de manière identique (même  $R_o$  de s-on) pour tous les réseaux possibles.

La valeur maximale de X est fixée à  $X = t_{pi \text{ maxi}}$ .

L'égalité des longueurs des réseaux et la nature des portes utilisées peut permettre d'avoir un test de s-on homogène (même  $R_o$  pour tout transistor testé).

En conclusion de ce paragraphe, on peut remarquer que certaines pannes s-on non testées par le test statique peuvent être testées par le test dynamique. L'ensemble des pannes testées rapporté à l'ensemble des pannes réelles sera précisé dans le paragraphe IX pour chacune des méthodes de test des s-on.

## VII TESTS DE PORTES PARTICULIERES

Le test des s-on décrit dans les paragraphes précédents s'adresse à des portes classiques statiques NAND, NOR, etc, ..., à des portes complexes à réseaux entièrement complétés et même à des portes hybrides [JHA 84]. D'autres portes peuvent également être utilisées dans les circuits CMOS tels que les portes dynamiques N ou P DOMINO, NP CMOS ou des portes permettant de générer une fonction logique et son complément (portes CVSL différentielles : Cascade Voltage Switch Level).

Le test du s-on dans les portes de type DOMINO et NPCMOS sera décrit dans le paragraphe VII du chapitre V. En effet, le test des s-on est très lié au test des s-open et sera testé dans le cadre des tests simultanés s-on/s-open. Le test des portes CVSL différentielles présente des caractéristiques particulières en cas de pannes dues principalement à la présence de deux sorties complémentaires sur la même porte mais les règles qui régissent ces comportements sont du même type que ceux décrit ci-dessus et ne seront donc pas développées dans ce chapitre.

Le cas des portes de transfert peut également être évoqué brièvement. Un s-on dans une porte de transfert produit une communication permanente entre deux parties d'un circuit.

La fonction interrupteur de la porte est perturbée et des comportements du même type que celui noté chapitre IV paragraphe IV 1-b-3 peuvent apparaître.

## VIII CONDITIONS DE TESTABILITE DU S-ON

La modélisation des s-on réalisée dans les paragraphes précédents a permis de définir les paramètres de test. Ces paramètres liés directement aux pannes, associés aux paramètres des réseaux équivalents obtenus en cas de panne et aux conditions dans lesquelles le test est réalisé, ont permis d'établir les conditions de test ci-dessous.

### VIII-1 Réseaux équivalents

#### VIII-1-a Notations

$t_{pm}$  = Temps de propagation à la montée (passage de 0 à 1 de la sortie).

$t_{pd}$  = Temps de propagation à la descente (passage de 1 à 0 de la sortie).

$T_{p'm}$  = Temps mis pour atteindre un niveau de tension reconnu comme un 1 logique lors de la charge d'une capacité (de 0 à  $V_{ih}$ ).

$T_{p'd}$  = Temps mis pour atteindre un niveaux de tension reconnu comme un 0 logique lors de la décharge d'une capacité (de 1 à  $V_{il}$ ).

$T_t$  = Temps de test.

$R_n$  = Résistance globale équivalente au réseau N validé.

$R_p$  = Résistance globale équivalente au réseau P validé.

$R_o$  = Valeur associée à la résistance du transistor s-on :  $R_o(N)$  et  $R_o(P)$  du côté P.

$R_c$  = Résistance de la connexion de sortie.

$C_c$  = Capacité de la connexion de sortie.

$R_f$  = Résistance associée à la fuite de courant de la capacité de sortie (charge).

### REMARQUES

$C_c$  peut inclure les capacités de couplage de lignes. Tous ces paramètres dépendent de la technologie et du dessin des masques.

### VIII-1-b Réseaux équivalents

Un s-on coté P (resp. N) est modélisé par une résistance  $R_o(P)$  [resp.  $R_o(N)$ ]. Le chemin de sensibilisation du réseau P (resp. N) en panne est composé de trois parties :

$P1/R_o(P)/P2$  [(resp.  $N1/R_o(N)/N2$ )] comme décrit figure IV-15-a (resp. IV-15-b).

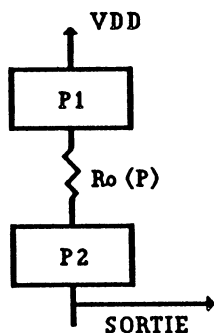


Figure IV-15-a :  
Sensibilisation d'un s-on P

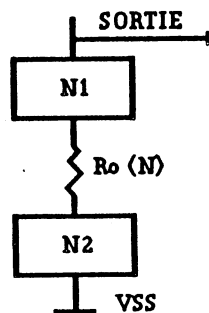


Figure IV-15-b :  
Sensibilisation d'un s-on N

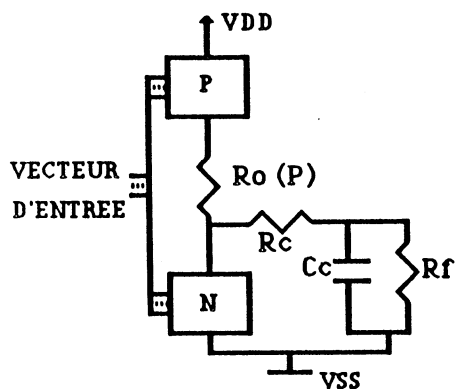


Figure IV-16 : Réseau sensibilisé  
équivalent en cas de P/s-on

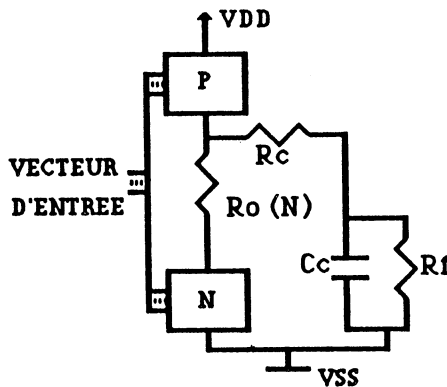


Figure IV-17 : Réseau sensibilisé  
équivalent en cas de N/s-on

Chacun des ensembles  $P1/P2$  et  $N1/N2$  peuvent être composé d'un ou plusieurs transistors voir même ne pas être présents. Au niveau d'une porte le réseau sensibilisé équivalent en cas de panne est décrit figures IV-16 et IV-17 dans le cas d'un s-on P et N respectivement.

Ces réseaux sont tels que  $R_P = R_{P1+P2}$  et  $R_N = R_{N1+N2}$  les valeurs de ces résistances dépendent du vecteur de test appliqué et du dimensionnement des transistors.



### VIII-2 Conditions de testabilité

L'état de la sortie avant application du vecteur de test et les paramètres actifs en cas de panne permettent de définir les conditions de testabilité suivantes.

a) Test d'un s-on coté P : valeur initiale de sortie = 0

$$R_N > R_O + R_P \quad (1)$$

$$T_{P'm} < T_t \quad (2)$$

b) Test d'un s-on coté P : valeur initiale de sortie = 1

$$R_N < R_O + R_P \quad (3) \quad \text{ou} \quad R_N > R_O + R_P \quad (5)$$

$$T_{P'd} > T_t \quad (4)$$

c) Test d'un s-on coté N : valeur initiale de sortie = 0

$$R_N + R_O > R_P \quad (6) \quad \text{ou} \quad R_N + R_O < R_P \quad (8)$$

$$T_m > T_t \quad (7)$$

d) Test d'un s-on coté N : valeur initiale de sortie = 1

$$R_N + R_O < R_P \quad (9)$$

$$T_d < T_t \quad (10)$$

Toutes ces conditions de testabilité sont utilisables pour le test statique des s-on mais seuls les conditions b et c sont à retenir pour le test dynamique.

### IX PANNES TESTEES

Les méthodes de test de s-on présentées ci-dessus mettent en évidence que certaines pannes ne sont pas testées.

Dans ce cas, le réseau est redondant au niveau logique vis-à-vis du s-on considéré. L'élément CMOS en panne devient équivalent à un réseau NMOS (resp. P MOS) en cas de transistor s-on coté P (resp. N.)

Seule la consommation de courant et le niveau électrique sont différents de ceux obtenus en cas de fonctionnement normal. Le test au niveau électrique semble difficile à envisager pour des raisons d'accès aux portes de mesures. Par contre, les méthodes basées sur la mesure de la consommation en courant, telles que celles présentées par ACKEN [ACK 83] ou MALAIYA et

SU [MAL 82] peuvent détecter le défaut.

Le principe de ces mesures est décrit CHAPITRE I. L'ensemble des pannes testées peut être présenté par le schéma de la figure IV-18 pour les deux méthodes de test décrites en fonction de  $R_o$ .

La partie C indique les deux zones de fonctionnement correct et en panne. En cas de test statique, les pannes telles qu'une modification du niveau logique de sortie intervient sont testées (2-A) et les pannes (1-A).

La limite de ces deux zones est donnée par la valeur  $R_o$  qui donne la limite de basculement cité précédemment. Dans le cas d'un test dynamique, il a été montré que tous les s-on testés par le test dynamique sont testés. Certaines pannes plus fines ( $R_o$  plus grand) sont également testées (2-B et 3-B). La zone (1-B) peut être réduite mais pas annulée et ceci de manière non identique pour tous les transistors.

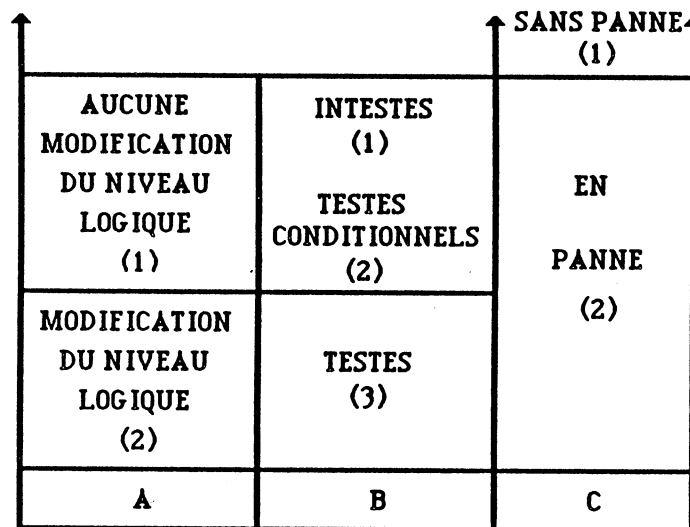


Figure IV-18 : Diagramme des pannes

## X CONCLUSION

La modélisation des pannes s-on (pour des portes de type entièrement complémenté), a permis de montrer que tous les vecteurs potentiels de test d'une panne ne sont pas tous des vecteurs de test de cette panne lorsqu'un test statique est réalisé. En effet un test statique n'agit que sur la modification du niveau en sortie de porte et tous les réseaux obtenus en cas de pannes ne sont pas tous identiques. Pour éviter un choix parmi ces vecteurs potentiels de test, un dessin des portes adapté au test (DFT) peut être réalisé.

Un test dynamique peut également être réalisé. Il utilise le retard obtenu en sortie de

réseaux, dû à la modification du temps de propagation par le s-on. Ce test est réalisé sur une transition de la sorte et permet de détecter des pannes plus fines que celles détectées par un test statique.

Tous les s-on d'un réseau de portes ne sont pas testables et surtout, tous les s-on ne sont pas testés pour la même valeur de panne par un test logique. L'homogénéité des réseaux et des portes utilisées peut permettre d'augmenter la précision du test.

Les comportements en cas de panne et les méthodes de test des s-on seront utilisées dans le chapitre V en vue de définir le test simultané de pannes s-on/s-open.

## REFERENCES

- [ACK83] : ACKEN M.  
"Testing for Bridging Faults (shorts) in CMOS Circuits".  
20th Design Automation Conference, Miami Beach 1983.
- [BAS84] : BASCHIERA D., COURTOIS B.  
"Testing CMOS: a Challenge".  
VLSI DESIGN Vol N°10, October 1984.
- [BAS85] : BASCHIERA D., COURTOIS B.  
"Testing for CMOS S-on and Shorts".  
Reasearch Report IMAG N°505, Grenoble, February 1985.
- [CHV83] : CHIANG K.W., VRANESIC Z.G.  
"On Fault Detection in CMOS Logic Networks".  
20th Design Automation Conference, Miami Beach 1983.
- [COU81] : COURTOIS B.  
"Failure Mechanisms, Fault Hypotheses and Analytical Testing of LSI-NMOS (HMOS) Circuits".  
VLSI 81, University of Edinburgh, August 1981, Academic Press.
- [JHA84] : JHA N.K., ABRAHAM J.A.  
"Testable CMOS Logic Circuits under Dynamic Behavior".  
International Conference on Computer Design, Port Chester New-York, October 1984.
- [LUP77] : LUPU A.  
"Evaluation des Technologies MOS et Applications à la Conception d'un Microprocesseur 4 bits".  
These de docteur ingénieur INPG, Grenoble 1977.
- [MAL82] : MALAIYA K., SU Y.H.  
"A New Fault Model and Testing Technique for CMOS Devices".  
IEEE International Test Conference, Philadelphia 1982.



*CHAPITRE V*  
*LE TEST DES S-OPEN*



## SOMMAIRE

### I INTRODUCTION

### II CONDITIONS DE TESTABILITE DES S-OPEN

### III TEST DES S-OPEN AU NIVEAU PORTE

III-1 Test de portes classiques

III-2 Test de portes complexes CMOS entièrement complémentées

III-3 Test de portes hybrides CMOS

III-4 Test de portes dynamiques CMOS

III-5 Invalidation de la séquence de test de s-open

III-6 Remarque

### IV TEST DE S-OPEN AU NIVEAU RESEAU

IV-1 Test de réseaux IFOF

IV-1-a Réseaux construits avec des portes classiques

IV-1-b Remarque

IV-1-b-1 Exemple 1

IV-1-b-2 Exemple 2

IV-1-b-3 Remarque

IV-2 Test de réseaux RFO et NRFO

IV-3 Test de réseaux CMOS dynamiques

### V REDUCTION DES SEQUENCES DE TEST

V-1 Réduction des séquences de test

V-1-a Définitions

V-1-a-1 Définition de l'équivalence

V-1-a-2 Définition de s-open équivalents

V-1-b Le critère d'ordre

V-1-c Réduction des séquences de test de portes

V-1-d Réduction des séquences de test de réseaux

V-1-d-1 Réduction des séquences de test dans les réseaux IFOF

V-1-d-2 Réduction des séquences de test dans les réseaux RFO et NRFO



V-2 Réduction des séquences de test des portes dynamiques

## **VI TEST DES S-OPEN MULTIPLES**

VI-1 S-open multiples dans les réseaux statiques

VI-2 S-open multiples dans les réseaux dynamiques

## **VII METHODES DE TEST SIMULTANE DES S-ON/ S-OPEN**

VII-1 Test quasi-statique simultané de portes et de réseaux

VII-2 Test simultané dynamique de portes statiques

VII-3 Test simultané de portes et de réseaux dynamiques

## **VIII TEST DE S-ON/ S-OPEN MULTIPLES**

## **IX CONCLUSION**

## **REFERENCES**

## CHAPITRE V

### LE TEST DES S-OPEN

#### L'INTRODUCTION

En 1978, WADSACK a montré qu'une panne s-open change un circuit combinatoire en un circuit séquentiel. La valeur de la sortie en cas de s-open dépend de la valeur précédente de cette sortie. En effet, lorsqu'un s-open est manifesté, la sortie se trouve dans un état de haute impédance. Depuis cette date, de nombreux articles concernant le test des s-open ont été publiés. En particulier des articles traitant du test de portes complexes et du test de réseaux ont été publiés [ELZ 81], [RED 83] et [CHA 83], par exemple.

Dans ces articles la séquence de test utilisée est composée de deux vecteurs (INITIALISATION et TEST) et des réductions possibles du nombre de vecteurs de test sont présentées. De même, l'invalidation possible de la séquence de test due à des retards de propagation est décrite.

Les résultats présentés dans ce chapitre étendent ceux décrits dans [CHA 83]. Le test de s-open est basé sur le "test d'une entrée" généré par une séquence de trois vecteurs. Cette séquence de test associée aux particularités des portes et des réseaux est utilisée pour établir et démontrer des théorèmes généraux sur le test des portes et des réseaux. Ces théorèmes étendent au test des s-open CMOS les théorèmes de base qui ont été démontrés dans le passé pour le test des pannes de collage dans les réseaux logiques. Ces théorèmes traitent des pannes s-open simples et multiples dans les réseaux, et ceci pour la logique CMOS statique et dynamique. Les critères de réduction possibles de ces séquences de test sont également présentés. Le test simultané des s-on et des s-open est ensuite envisagé. Généralement, on considère que : "lorsque tous les s-open sont testés alors tous les s-on le sont également". En se référant au comportement des pannes s-on présenté dans le chapitre IV, il est montré que cette hypothèse n'est pas vraie. En effet, le test simultané met en jeu un s-on et un s-open appartenant à deux transistors de type opposé (N et P), commandés par la même entrée.

Ces deux pannes ont le même comportement et les mêmes vecteurs de test potentiels (lorsque l'on considère une séquence) et, d'après le réseau équivalent validé en cas de panne, il apparaît que tous ces vecteurs de test potentiels ne sont pas de réels vecteurs de test (si l'on se réfère au test des s-on). Les pannes multiples s-on et s-open sont finalement envisagées.

La conclusion résume les vingt théorèmes de base décrits dans ce chapitre pour le test des CMOS. Avant de développer ces méthodes de test, les conditions de testabilité du s-open sont présentées.

## II CONDITIONS DE TESTABILITE DES S-OPEN

Deux paramètres interviennent dans le test d'une panne. Le choix du vecteur ou de la séquence de test et les conditions d'application de ces vecteurs ou séquences. Dans ce paragraphe seront décrites les conditions de testabilité des s-open. Elles sont définies à partir des éléments actifs en cas de panne.

Les paramètres importants du test de s-open sont :

$T_{pm}$  : Temps de propagation montée,

$T_{pd}$  : Temps de propagation descente,

(Ces deux temps peuvent être défini au niveau d'une porte ou d'un réseau dans ce cas les temps sont mesurés entre l'entrée primaire et la sortie primaire considérée),

$T_t$  : Temps de test de la porte,

$i_{fuite}$  : courant de fuite. Il peut être localisé sur différentes parties de l'élément en panne,

- fuite de capacités des lignes d'interconnexions (charge capacitive de la porte),
- fuite entre drain et source d'un transistor bloqué,
- fuite entre une grille et le substrat (présence d'oxyde poreux).

### REMARQUE

La définition des divers temps est donnée chapitre IV paragraphe III. Les conditions de testabilité décrites ci-dessous prennent en compte tous les cas de figures pouvant donner lieu à un test de s-open, en considérant d'une part l'état avant application du vecteur de test et d'autre part l'état après application du vecteur de test et ceci pour les transistors N et P.

#### A) Test P s-open sortie initiale = 1

Le test est positif (premier de s-open) si la valeur finale de la sortie est 0.

$$1) i_{fuite}(capa+ligne) + i_{fuite}(Noff) > i_{fuite}(P//off) \text{ et } T_{pd} < T_t$$

#### B) Test P s-open sortie initiale = 0

Le test est positif si la valeur finale de la sortie de porte est 0.

$$2) i_{fuite}(capacité + ligne) + i_{fuite}(Noff) > i_{fuite}P//(off)$$

OU

$$3) i_{fuite}(capacité + ligne) + i_{fuite}(Noff) < i_{fuite}P//(off) \text{ et } T_{pm} > T_t$$

**C) Test M s-open : sortie initiale = 1**

Le test est positif si la valeur finale de la sortie de porte est 1

$$4) i_P(\text{off}) > i_{N//}(\text{off}) + i_{\text{fuite}}(\text{capacité} + \text{ligne})$$

OU

$$5) i_P(\text{off}) < i_{N//}(\text{off}) + i_{\text{fuite}}(\text{capacité} + \text{ligne}) \text{ et } T_{pd} > T_t$$

**D) Test N s-open : sortie initiale = 0**

Le test est positif si la valeur finale de la sortie de porte est 1.

$$6) i_{\text{fuite}P}(\text{off}) > i_{N//}(\text{off}) + i_{\text{fuite}}(\text{capacité} + \text{ligne}) \text{ et } T_{pm} < T_t$$

En raison des courants de fuites faibles dans les circuits MOS, les conditions citées ne représentent pas toutes des conditions de test dans le cas de pannes simples. Généralement, les caractéristiques technologiques sont telles que  $i_{\text{fuite}}(\text{capacité} + \text{ligne}) > i_{\text{fuite}}(\text{MOS off})$ . Donc, si l'on considère :

- les conditions données ci-dessus,
- le fait que le courant dans les MOS Noff et Poff est du même ordre de grandeur, alors les conditions générales de test sont les cas (1), (2) et (5).

La méthode de test des s-open proposée dans [CHA 83] et l'extension qui est décrite dans les paragraphes suivants considère les conditions de testabilité (2) et (5). Le cas (1) est lui utilisé par EL-ZIQ dans [ELZ 81] dans la méthode dite "des retards".

**REMARQUE**

Ces conditions de testabilité peuvent être comparées aux conditions de testabilité obtenues pour le test des s-on. En effet, dans le cas du s-on, les éléments physiques définissant la testabilité sont des éléments qui "valident" la panne (résistance de s-on, résistances du réseau équivalent...).

Dans le cas du s-open, les conditions de testabilité font intervenir les éléments qui "n'appartiennent pas" à la panne elle-même. Le s-open est une "coupure" (transistor ouvert en permanence) et les conditions de testabilité portent sur les caractéristiques des chemins parallèles de même type que le s-open (N ou P) et les chemins du réseau de type opposé (P ou N).

### III TEST DES S-OPEN AU NIVEAU PORTE

#### III-1 Test de portes classiques

En présence de s-open, la valeur précédente de la sortie est mémorisée, la sortie étant dans un état de haute impédance. De ce fait, cette valeur est inconnue puisqu'elle dépend de l'état précédent. Par conséquent il est nécessaire d'appliquer une séquence de deux vecteurs au lieu d'un seul vecteur [WAD 78]. Le premier vecteur est utilisé pour initialiser la sortie, c'est à dire la placer dans un état connu, et le second vecteur est utilisé pour tester réellement le s-open.

Lorsque le s-open à tester est sur un transistor de type N (resp. P), il a pour effet un défaut de décharge (resp. charge) de la sortie. Dans ce cas le vecteur d'initialisation doit positionner la sortie à 1 (resp. 0). Inversement, le vecteur de test doit essayer de faire basculer la sortie de 1 à 0 (resp. 0 à 1). Ce vecteur est un vecteur de détection de collage à 0 (resp. 1) de cette même entrée.

En cas de panne la valeur de la sortie est identique à la valeur établie durant l'initialisation. En cas de fonctionnement correct la valeur de la sortie est modifiée.

Le test d'une porte NAND à deux entrées (notée 2-NAND) peut donc être facilement dérivé (figure V-1) :

- le transistor  $A_p$  s-open peut être testé par la séquence (1, 1)(0, 1),
- le transistor  $A_n$  s-open peut être testé par la séquence (0, 1)(1, 1).

Le vecteur d'initialisation de l'une de ces séquences peut être utilisé comme vecteur de test de l'autre, et inversement. Une réduction de test peut être envisagée en utilisant le vecteur de test de la séquence précédente comme vecteur d'initialisation de la séquence suivante. (i.e. soit appliquer (1, 1)(0, 1)(1, 1), soit appliquer (0, 1)(1, 1)(0, 1).

Cela revient pour l'entrée testée à appliquer soit (1, 0, 1) soit (0, 1, 0), respectivement.

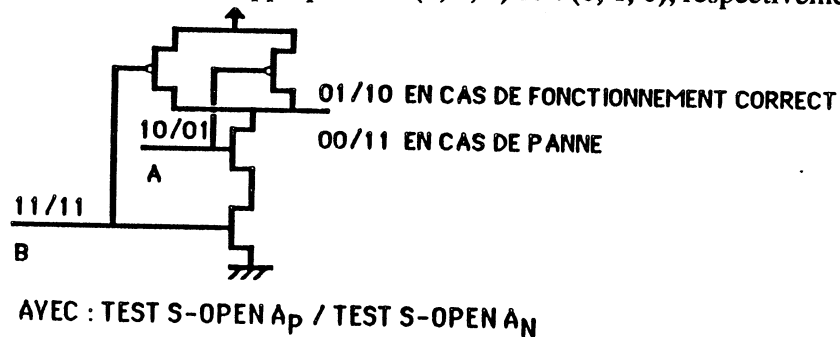


Figure V-1 : Test de s-open d'une porte 2-NAND

L'autre entrée est utilisée pour sensibiliser la sortie de la porte. Ainsi elle reçoit la séquence (1, 1, 1) dans chacun des deux cas cités.

Cette contraction de séquence peut être réalisée pour toutes les entrées d'une porte NAND. Ainsi le lemme 1 peut être décrit :

### **LEMME 1**

*Si la séquence (0,1,0) ou (1,0,1) est appliquée à une entrée d'une porte NAND et si un chemin est sensibilisé de cette entrée jusqu'à une sortie primaire, alors tous les s-open simples associés à cette entrée sont testés.*

Ce point représentait la base de [CHA 83].

Cette méthode de test de s-open peut être étendue à d'autres portes simples telles que les portes NOR (non-ou) et NOT (inverseuse).

Dans le cas d'une porte 2-NOR classique, l'entrée testée reçoit la séquence de test (1,0,1) ou (0,1,0), tandis que l'autre sensibilise la première avec la valeur 0. En cas de fonctionnement sans panne, la sortie reçoit la séquence (0,1,0) dans le premier cas et la séquence (1,0,1) dans le second cas. En présence d'un s-open P, la sortie qui manifeste la panne reçoit le triplet (0,0,0) dans les deux cas. En présence d'un s-open N, la sortie qui manifeste la panne reçoit le triplet (1,1,1) dans les deux cas. Cette démonstration peut être facilement étendue à des portes NOR à n entrées (n-NOR).

Dans le cas d'un inverseur, une seule entrée est activée. La séquence de test (1,0,1) [resp.(0,1,0)] teste premièrement le s-open P [resp. N] et deuxièmement le s-open N [resp. P]. La séquence présente en sortie est (0,1,0) [resp. (1,0,1)] en cas de fonctionnement correct et (0,0,0) [resp. (1,1,1)] en cas de panne.

D'autres types de portes peuvent également être testés par cette méthode. Premièrement, les portes AND et OR obtenue par combinaison de portes NAND et NOT et de portes NOR et NOT peuvent être testées par cette méthode. Deuxièmement, les portes AND et OR obtenue par l'utilisation du théorème de DE MORGAN :  $\neg(A + B) = \neg A * \neg B$ , peuvent être testées par cette méthode. Dans ce cas, une porte OR est obtenue par complémentation des entrées d'une porte NAND. De même une porte AND est obtenue par complémentation des entrées d'une porte NOR.

En effet, les tests de s-open de ces portes peuvent être dérivés des tests précédemment décrits. Le test de s-open dans le cas de portes "composées" est possible si l'on considère que les deux (ou plus) portes composantes sont testables séparément. Par exemple, on peut considérer une porte AND = NAND-NOT. La séquence (1,0,1) [resp. (0,1,0)] teste une entrée de la porte NAND et l'entrée de la porte NOT est testée par la séquence (0,1,0) [resp. (1,0,1)] obtenue en sortie de la porte NAND.

De même, les portes obtenues par application du théorème de DE MORGAN sont testables

par cette méthode si les portes utilisées sont testables séparément. Si l'on considère une porte OR, on obtient :

$\neg A + \neg B = \neg(A * B)$ , le schéma logique associé est donné figure V-2.

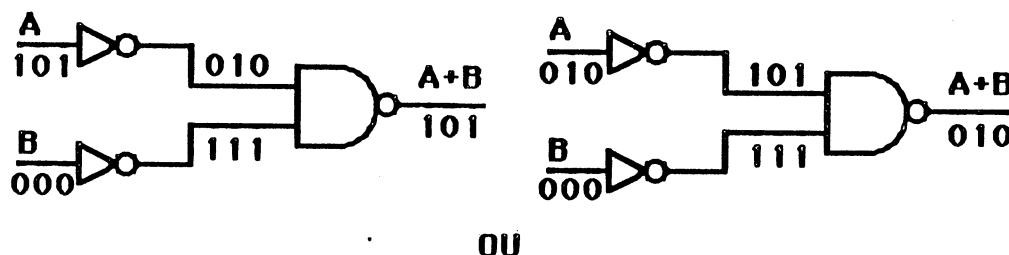


Figure V-2 : Test d'une porte OR

Les portes NOT et NAND sont testables séparément. La séquence (1,0,1) [resp. (0,1,0)] teste l'entrée A de l'inverseur. L'entrée de la porte NAND associée à l'entrée A reçoit la séquence (0,1,0) [resp. (1,0,1)] et la sortie de la porte (1,0,1) [resp. (0,1,0)].

Ces deux types de portes ont des tests semblables. Ceux-ci deviennent possibles par la propagation soit de la séquence de test elle même soit de la séquence opposée, (i.e. (1,0,1) donne soit (1,0,1) soit (0,1,0)).

Cette remarque permet de donner le lemme 2 :

### **LEMME 2**

*Si la séquence (1,0,1) ou (0,1,0) est appliquée à une entrée d'une porte CMOS : NAND, NOR, AND, OR, NOT comme précédemment décrit, et si cette entrée est sensibilisée jusqu'à une sortie primaire, alors tous les s-open simples des transistors N et P de l'entrée considérée sont testés.*

D'autres portes peuvent également être testées par cette méthode.

### **III-2 Test de portes complexes CMOS entièrement complémentées**

Le test des s-open de portes complexes à réseaux N et P entièrement complémentés peut être dérivé du test des portes NAND, NOR, etc... précédemment décrites. Dans ces portes complexes les réseaux N et P ne peuvent pas être conducteurs simultanément. Si une entrée est commandée par le triplet (1,0,1) ou par le triplet (0,1,0), elle connecte alternativement la sortie de la porte avec chacune des lignes d'alimentation (Vdd et Vss). Le test de s-open de ces portes complexes à réseaux N et P entièrement complémentés est dérivé du test de s-open des portes NAND, NOR, etc... La séquence de test (1, 0, 1) ou (0, 1, 0) peut être utilisée de la même

manière que dans les portes classiques pour tester les entrées des portes complexes.

En effet, dans une porte CMOS entièrement complétée, lorsque la séquence (1,0,1) ou (0,1,0) est appliquée à une entrée et lorsque cette entrée est sensibilisée jusqu'à la sortie, alors un chemin est alternativement validé entre la sortie et la ligne de masse et entre la sortie et la ligne d'alimentation (et inversement). Puisque les réseaux N et P sont entièrement complétés, lorsqu'un chemin est validé dans un réseau (N et P), aucun chemin n'est validé dans l'autre réseau (P et N). Donc, premièrement la sortie est commandée à 0 (resp. 1) par un vecteur d'initialisation. Deuxièmement, un chemin est sensibilisé entre la ligne d'alimentation (resp. masse) et la sortie par un vecteur de test du transistor P (resp. N) de l'entrée testée lorsque cette entrée est commandée de 1 à 0 (resp. 0 à 1). Troisièmement, un chemin est sensibilisé entre la ligne de masse (resp. d'alimentation) et la sortie par un vecteur de test du transistor N (resp. P) de l'entrée testée lorsque cette entrée est commandée de 0 à 1 (resp. 1 à 0). Donc, les transistors P et N (resp. N et P) de l'entrée impliquée sont successivement testés. Le test de tous les s-open d'une porte est défini par le lemme 3 après avoir défini les entrées primaires d'une porte.

Les portes statiques CMOS ont du "fan-in" ou "facteur pyramidal d'entrée" (entrée qui commande plusieurs transistors) inhérent au schéma de la porte qui utilise simultanément des transistors N et P.

Une entrée primaire d'une porte peut être définie comme une entrée de porte qui commande un transistor de type N et un transistor de type P. Dans le cas de portes classiques NAND, NOR... toutes les entrées sont des entrées primaires. Par contre dans le cas de portes complexes une entrée peut commander deux ou plus de deux transistors. Lorsqu'il s'agit de portes à réseaux N et P duaux par exemple une entrée commande toujours un nombre pair de transistors. Si l'on note  $f$  le nombre de fan-in associés à une entrée de porte, cette entrée commandera  $2f$  transistors. Cette entrée peut être divisée en  $f$  entrées primaires, chacune commandant un transistor N et le transistor P associé. Ces entrées peuvent être notées  $A_1, A_2 \dots A_i \dots A_f$ .

Plus généralement si l'on note  $X(x)$  une entrée  $X$  ayant  $x$  fan-in, une porte P peut être définie par  $A(a), B(b)$  et  $C(c)$ . Si  $a=3, b=2$  et  $c=1$  alors l'ensemble des entrées primaires sera  $(A_1, A_2, A_3, B_1, B_2, C_1)$ .

L'exemple suivant permet de comprendre la raison pour laquelle il faut considérer chacune des entrées primaires d'une porte lorsque la séquence de test (1,0,1) ou (0,1,0) est appliquée sur une entrée et sensibilisée jusqu'à la sortie.

Considérons la porte décrite figure V-2 bis. Si l'on applique la séquence (1,0,1) ou (0,1,0) sur chacune des entrées A, B, C et E et que l'on sensibilise ces entrées par un vecteur adapté les quatre séquences suivantes peuvent être appliquées :



- |                                 |                    |
|---------------------------------|--------------------|
| (i) entrée A testée par ABCE    | = 0011, 1011, 0011 |
| (ii) entrée B testée par ABCE   | = 0010, 0110, 0010 |
| (iii) entrée C testée par ABCE  | = 1001, 1011, 1001 |
| (iiii) entrée E testée par ABCE | = 0100, 0101, 0100 |

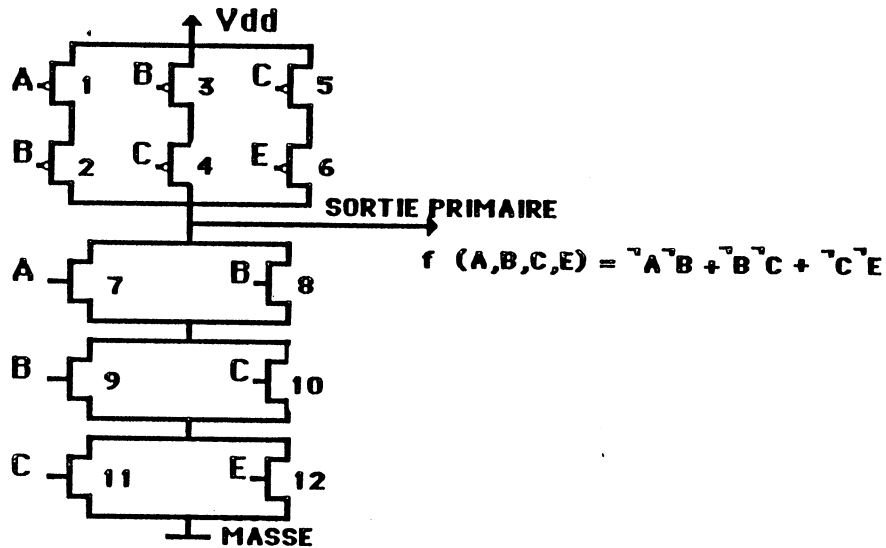


Figure V-2 bis : Exemple de porte complexe

Lorsque ces séquences sont appliquées les transistors testés sont respectivement :

- (i) : 1,7
- (ii) : 2,8
- (iii) : 4,10
- (iiii) : 6,12

Ainsi il apparaît que les transistors 3,9 commandés par l'entrée B et 5,11 commandés par l'entrée C ne sont pas testés. Le test de ces transistors requiert l'application des deux séquences suivantes respectivement :

- (a) ABCE = 1001, 1101, 1001
- (b) ABCE = 1100, 1110, 1100

Cet exemple montre que lorsqu'une entrée commande plus de deux transistors (un de type N et un de type P), chacune des branches de fan-in doit être testée.

**LEMME 3**

*Si une séquence (1,0,1) ou (0,1,0) est appliquée à une entrée primaire d'une porte à réseaux N et P entièrement complémentés et si cette entrée est sensibilisée jusqu'à la sortie primaire, alors tous les s-open simples de cette entrée seront testés. Si toutes les entrées primaires de cette porte sont testées comme décrit précédemment, alors tous les s-open de simples cette porte seront testés.*

**III-3 Test de portes hybrides CMOS**

JHA et ABRAHAM ont décrit dans [JHA 84] une porte de type non entièrement complémentée (cette porte a des propriétés particulières, voir paragraphe III-5), appelée "porte hybride". Une porte CMOS conventionnelle peut être dessinée soit avec une structure AND-OR, soit avec une structure OR-AND. Dans le premier cas (resp. second cas). Le réseau N (resp. P) est constitué par une série d'éléments ("branches"), ces branches étant placées en parallèle, chacune de ces branches étant constituée d'un ensemble de transistors en séries. Dans les deux cas les réseaux N et P sont entièrement complémentés. Une porte hybride est construite à partir de ces deux représentations. Le réseau N (resp. P) de la porte hybride est le réseau N (resp. P) de la représentation de la porte en structure AND-OR (resp. OR-AND). Donc, la porte hybride à deux réseaux (N et P) avec une structure parallèles/séries. Dans cette nouvelle porte, les deux réseaux n'ont pas le même nombre de transistors et ne sont plus entièrement complémentés. Un exemple de porte hybride est donné figure V-3 (d'après [JHA 84]). Cette réalisation correspond aux représentations AND-OR et OR-AND suivantes :

$$F_{\text{AND/OR}} = AB + \neg A \neg B + AC + CD + \neg C \neg D$$

$$F_{\text{OR/AND}} = (\neg A + B + \neg C + D) (A + \neg B + \neg C + D) (\neg A + B + C + \neg D)$$

Le test des s-open de portes hybrides par l'utilisation de séquences appliquées sur les entrées peut être étudiée. Une analyse semblable à celle pour le test de porte à réseaux N et P entièrement complémentés peut être faite pour les portes hybrides. Cette étude est résumée dans le lemme 4 ; après avoir défini les entrées primaires d'une porte hybride. Les portes CMOS à réseaux N et P entièrement complémentés ont le même nombre de transistors de type N et de type P. Par contre les portes hybrides n'ont pas forcément le même nombre de transistors de type N et de type P.

Ainsi il apparaît qu'au moins une entrée de cette porte commande un nombre différent de transistors de type N et de type P. Les deux réseaux N et P ne sont plus duaux.

Dans ce cas une entrée primaire peut être définie comme une entrée qui commande deux transistors de nature différente. Dans ce cas un transistor peut être commandé, lors du test, deux fois et par deux entrées primaires de même nom. Si l'on note X ( $a_N, b_P$ ) une entrée X qui

commande  $a_N$  (resp.  $b_P$ ) transistors de type N (resp. P) le nombre d'entrées primaires associées à cette entrée sera  $a_N$  (resp.  $b_P$ ) si  $(a_N > b_P)$  [resp.  $(b_P > a_N)$ ]. Si l'on considère l'ensemble des entrées d'une porte hybride, le nombre total d'entrées primaires à considérer est  $\sum_i [\max(a_N(x_i), b_P(x_i))]$

Il peut être noté que lorsqu'une entrée apparait sous sa forme non complémentée et complémentée, ces deux valeurs doivent être prises comme appartenant à deux branches de fan-out et non comme appartenant à un fan-in d'entrée.

Ces points étant précisés le lemme 4 peut être décrit :

**LEMME 4**

*Si la séquence (1,0,1) ou (0,1,0) est appliquée à une entrée primaire d'une porte hybride et si cette entrée est sensibilisée jusqu'à une sortie primaire, alors tous les s-open simples de cette entrée seront testés. Si toutes les entrées primaires de cette porte sont testées, comme précédemment décrit, alors tous les s-open simples de cette porte seront testés.*

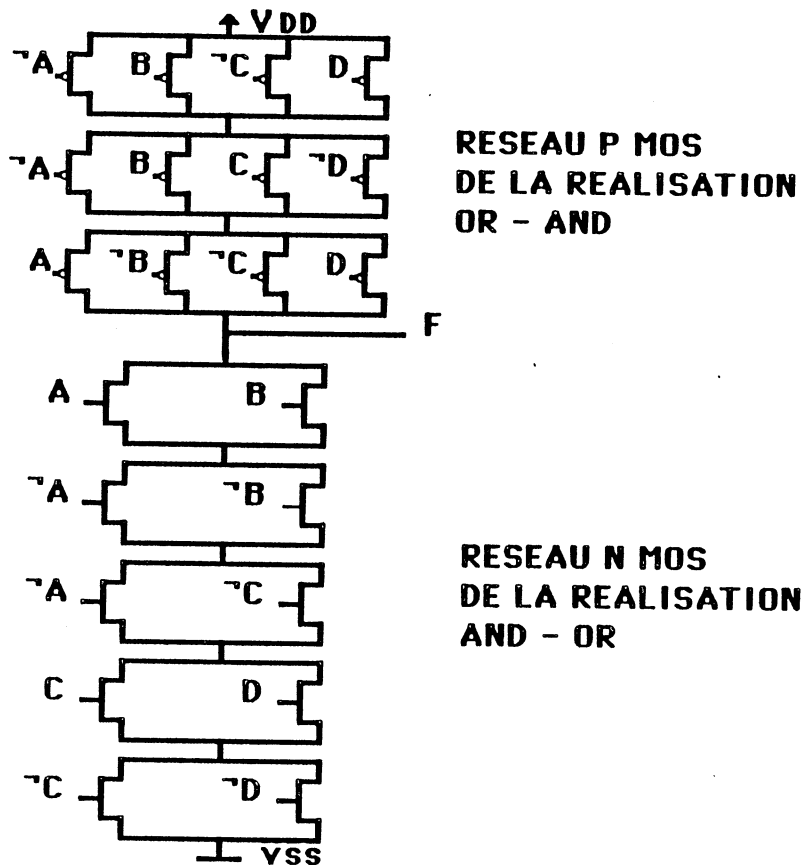


Figure V-3 : Exemple de porte hybride CMOS

### III-4 Test de portes dynamiques CMOS

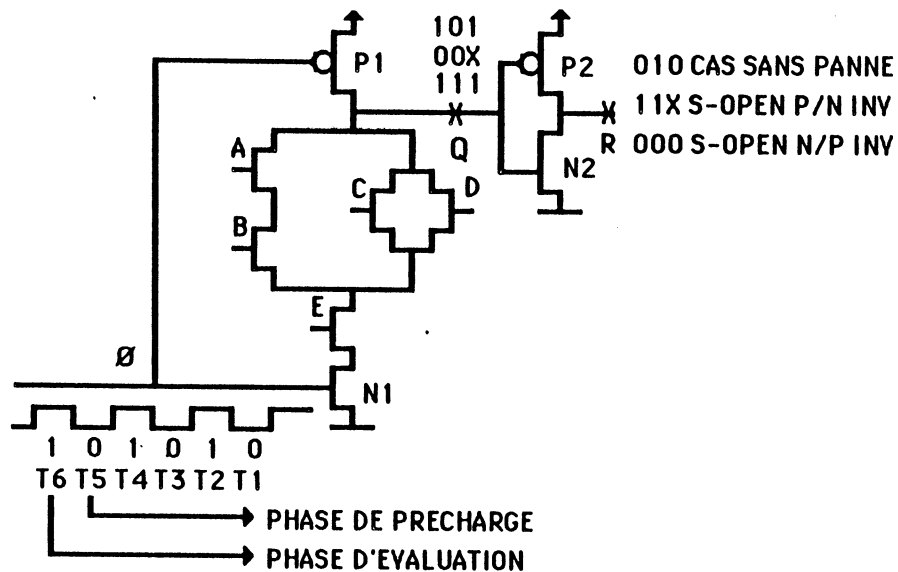


Figure V-4 : Exemple de porte N-DOMINO

Le test des s-open de portes DOMINO ou NP CMOS a déjà été décrits par OKLOBDZIJA et KOVIJANIC dans [OKL 84]. Dans ce paragraphe, la séquence de test (1,0,1) ou (0,1,0) sera considérée pour tester les s-open, premièrement pour des portes DOMINO (N ou P) et deuxièmement pour des portes NP CMOS.

La "cellule" DOMINO est constituée par une porte ayant un réseau N ou P connecté à l'alimentation par un transistor P de précharge et à la masse par un transistor N de décharge, ces deux transistors sont commandés par un signal d'horloge comme le montre la figure V-4 dans le cas d'une porte DOMINO N. Cette porte élémentaire commande un inverseur.

Lorsqu'un DOMINO N (resp. P) est adressé, il est commandé par le signal d'horloge  $\emptyset$  (resp.  $\neg\emptyset$ ). Quand  $\emptyset$  (resp.  $\neg\emptyset$ ) est à 0 (resp. 1), le noeud Q à la sortie de la cellule fonctionnelle (figure V-4) est placé à 1 (resp. à 0) et le noeud R est commandé à 0 (resp. 1) en cas de fonctionnement sans panne. Cette étape correspond à la phase de précharge. Lorsque  $\emptyset$  (resp.  $\neg\emptyset$ ) est à 1 (resp. 0) le noeud Q est placé à 0 (resp. 1) si un chemin est validé à travers le réseau N (resp. P). Donc le noeud R est commandé à 1 (resp. 0) en cas de fonctionnement correct, cette étape correspond à la phase d'évaluation. Pendant la phase de précharge toutes les entrées du réseau N (resp. P) sont placées à 0 (resp. 1). Si aucun chemin n'est validé dans le réseau N (resp. P) pendant la phase d'évaluation, la sortie conserve la valeur de précharge. Ainsi, lorsque l'on considère trois phases d'horloge, l'entrée testée reçoit (0,0,0) [resp. (1,1,1)] pendant les phases de précharge [i. e. pendant (T5,T3,T1)] et (1,0,1) ou (0,1,0) pendant les phases d'évaluation [i. e. pendant (T6,T4,T2)]. Donc, l'entrée testée reçoit : soit la séquence (1,0,0,0,1,0) soit la séquence (0,0,1,0,0,0) [resp. (1,1,0,1,1,1) ou (0,1,1,1,0,1)], tandis que

l'horloge  $\emptyset$  (resp.  $\neg\emptyset$ ) est respectivement commandée à (1,0,1,0,1,0)[resp. (0,1,0,1,0,1)], si l'on considère les phases de précharge et d'évaluation ainsi que l'application de la séquence (1,0,1) ou (0,1,0) à l'entrée testée. Dans les deux cas il apparaît que l'entrée testée est commandée par la séquence (0,1,0) [resp. (1,0,1)] une fois et par trois vecteurs non efficaces (pour le test de s-open). Cette remarque montre que la séquence (1,0,1) ou (0,1,0) appliquée à l'entrée testée pendant la phase d'évaluation est suffisante pour tester un s-open dans une porte DOMINO N ou P, mais que la séquence de test (1,0,1) ou (0,1,0) appliquée à chaque entrée n'est pas nécessaire. Il apparaît que, dans le but de tester le s-open de chacune des entrées du réseau N (resp. P) de la porte DOMINO, seul un vecteur de test de collage à zéro (stuck-at) (resp. un) est suffisant, lorsqu'il est appliqué pendant la phase d'évaluation, et lorsque l'entrée testée est sensibilisée jusqu'à la sortie primaire. Le test de P1 et N2 (resp. N1 et P2) est obtenu par un test de collage à zéro (resp. un) du noeud Q, i.e. par un test de collage à un (resp. zéro) de la sortie (notée R).

Ainsi, le test des portes DOMINO N (resp. P) peut être défini par le lemme 5. Auparavant, il peut être noté que dans le cas de portes dynamiques CMOS les entrées primaires ne commandent qu'un seul transistor de type N ou P. Lorsque du fan-in est présent, chacune des branches de fan-in doit être testée.

### **LEMME 5**

*Si un test de collage (stuck-at) zéro (resp. un) est appliqué à une entrée primaire d'une porte N (resp. P) DOMINO pendant la phase d'évaluation et si cette entrée est sensibilisée jusqu'à la sortie primaire, alors le s-open du transistor N (resp. P) de l'entrée adressée est testé. Tous les s-open simples de tous les transistors des portes DOMINO N (resp. P) CMOS seront testés lorsque chaque entrée aura été testée, à chaque phase d'évaluation par la méthode précédemment décrite, et lorsque la sortie est testée pour une panne de collage à un (resp. zéro).*

Le test des portes NP CMOS est semblable à celui des portes DOMINO. Deux "cellules" sont considérées : une cellule à réseau N et une cellule à réseau P sont connectées en séries, la sortie de la première cellule commande une entrée de l'autre (en aval), pour réaliser une porte NP CMOS. Un exemple est présenté figure V-5. Toutes les descriptions précédentes sont semblables en ce sens que toutes les valeurs d'entrées et de sorties du réseau N sont opposées aux valeurs correspondantes du réseau P. En effet, pendant la phase de précharge les entrées du réseau N (resp. P) sont placées à 0 (resp. 1), commandant tous les transistors N (resp. P) dans un état de non conduction et la sortie du réseau N (resp. P) est placée à 1 (resp. 0). Lorsque le test des s-open du réseau P (resp. N) est effectué, un test de collage à 1 (resp. 0) des entrées primaires pendant la phase d'évaluation est suffisant pour détecter tous les s-open de la porte à réseau P (resp. N). L'application d'un test de collage à 0 (resp. 1) aux entrées primaires du

réseau N (resp. P) de la porte NP CMOS pendant la phase d'évaluation réalise un test de collage à 1 (resp. 0) de la sortie de porte.

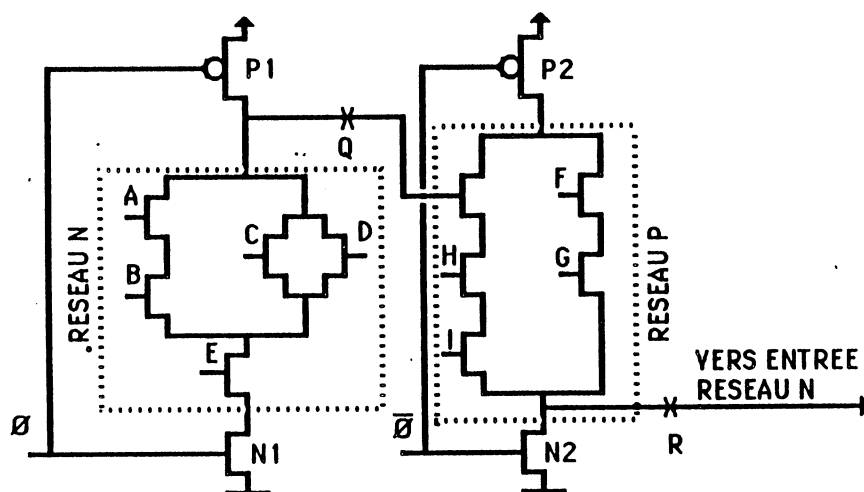


Figure V-5 : Exemple de porte NP CMOS

Donc, dans un élément NP CMOS, lorsqu'on applique un vecteur de test de collage à 0 aux entrées du réseau N, un vecteur de test de collage à 1 est automatiquement appliqué à l'entrée du réseau P commandée par la sortie de la porte à réseau N, lorsque l'entrée de la porte à réseau P est sensibilisée jusqu'à la sortie de la porte du réseau P.

Un vecteur de test supplémentaire est nécessaire pour réaliser le test de collage à zéro de toutes les sorties de portes à réseau N. Ce vecteur de test est un vecteur de test de collage à un de toutes les sorties de portes à réseau P, lorsqu'un chemin est sensibilisé de la sortie de la porte primaire jusqu'à une sortie primaire.

### III-5 Invalidation de la séquence de test de s-open

L'invalidation de la séquence de test de s-open, due à des retards de propagation entre les signaux d'entrées, en cas de portes à réseaux N et P entièrement complémentés, a été évoqué par REDDY et REDDY dans [RED 83]. Il est décrit que : lorsque l'on teste des s-open avec des "séquences de test de deux vecteurs" de nombreuses entrées peuvent varier entre le vecteur d'initialisation et le vecteur de test, et par suite de retards entre les signaux d'entrées des chemins parasites peuvent être temporairement validés, modifiant la valeur d'initialisation de la sortie. Au niveau d'une porte ou bien au niveau d'un réseau le problème d'invalidation peut être dû soit au changement simultané de plusieurs variables soit à des hasards statiques sur une entrée de sensibilisation. Dans [BRE76] il est décrit que tous les hasards statiques de réseaux combinatoires dus au changement d'une seule variable peuvent être éliminés par un dessin

adapté du réseau. Les hasards qui ne peuvent être éliminés sont des hasards fonctionnels.

Lorsque la séquence de test (1,0,1) ou (0,1,0) est utilisée pour tester les pannes s-open d'un circuit combinatoire les deux problèmes doivent être considérés. Les entrées de sensibilisation doivent être sans hasard. Ce point peut ne pas être réalisé pour tout réseau.

Pour éviter ce problème deux voies peuvent être utilisées : soit augmenter la contrôlabilité des portes ou des réseaux, soit choisir des "portes adaptées".

Un exemple d'accroissement de la contrôlabilité a été décrit dans le cas de réseaux dans [MCL 81]. Un certain nombre de portes commandées par des signaux adaptés, sont ajoutées au circuit. Ces portes permettent de sensibiliser individuellement chacun des chemins du circuit et d'avoir des valeurs de sensibilisation exemptes de hasards statiques. Un exemple d'accroissement de contrôlabilité des portes complexes a été décrit, pour des portes à réseaux N et P duaux, dans [RED 83]. Des transistors commandés par une horloge sont utilisés pour déconnecter les réseaux N et P de la sortie de porte pendant le changement des entrées. Cette structure permet d'éviter la modification de l'initialisation de la sortie due à des retards sur les entrées.

Ces deux méthodes qui permettent une augmentation de la contrôlabilité requièrent des signaux de commande ou d'horloge additionnels. Cela implique une augmentation du temps de test et du matériel ("hardware").

Le problème du changement simultané de plusieurs entrées, lorsqu'un test de s-open est appliqué, peut être résolu par l'utilisation de portes de type hybride. JHA et ABRAHAM ont décrit dans [JHA 84] une réalisation de portes complexes qui permet de tester tous les s-open même en présence de retards sur les entrées car tous les chemins internes peuvent être sensibilisés séparément. Un exemple de ce type de porte est décrit paragraphe III-3.

Lorsque les portes dynamiques CMOS sont considérées le problème est différent. En CMOS dynamique, toutes les entrées du bloc fonctionnel N (resp. P) sont à l'état bas (resp. haut) pendant la phase de précharge. Pendant la phase d'évaluation seules les entrées du chemin sensible sont commandées à 1 (resp. 0). Donc, aucun chemin parallèle parasite ne peut être temporairement validé. Les retards pouvant intervenir entre les différents signaux d'entrées peuvent seulement engendrer un retard de la transition de la sortie.

### **III-6 Remarque**

Dans toutes les études décrites ci-dessus n'ont été considérés que les s-open de transistors. Le problème de la coupure de grille n'est pas considéré.

En CMOS classique ou non il y a un facteur pyramidal d'entrée supérieur ou égal à deux (ou fan-in), une coupure de grille peut donc survenir :

- sur la branche commune de l'entrée plaçant ainsi les deux transistors commandés dans un état indéterminé (Figure V-6-b)

- après la séparation de la branche commune sur l'une ou l'autre des branches de fan in, plaçant ainsi un seul des transistors dans un état indéterminé l'autre état toujours commandé (Figure V-6-c ou d).

Les coupures sont décrites dans le cas d'une porte NAND (Figure V-6-a)

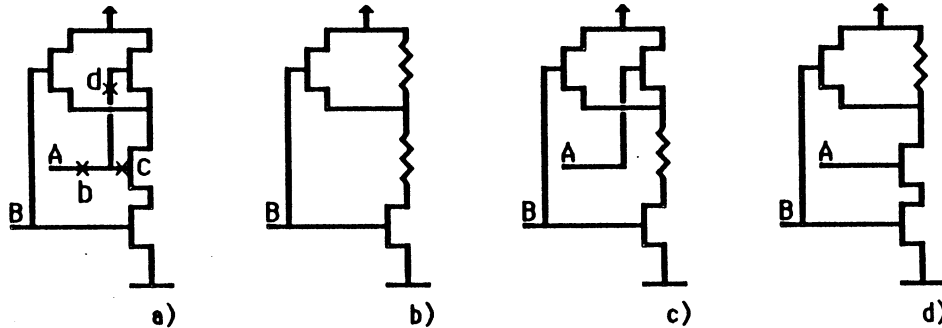


Figure V-6 : Représentation des effets des différentes coupures de grille

Ces trois cas de pannes peuvent se présenter, le ou les transistor(s) affecté(s) par la coupure de grille sont dans un état indéterminé associé à une résistance  $R_p$  ou  $R_n$ . La valeur de cette résistance dépend de l'état de collage du transistor des effets de couplages avec les autres lignes. Le problème est relativement complexe car les paramètres ne sont pas maîtrisés.

#### IV TEST DES S-OPEN AU NIVEAU RESEAU

Dans [ROT82] il est remarqué, comme il avait été précédemment remarqué dans [THO71], que de nombreux collages de lignes internes d'un réseau sont testés lorsque le test de collage d'une ligne particulière est réalisé. Ainsi, la moitié des pannes appartenant au chemin qui sensibilise la ligne testée jusqu'à la sortie primaire sont testées, (ces pannes sont des collages (stuck-at) 0 sur toutes les lignes où un D est propagé, et des collages à 1 sur toutes les lignes où un  $\neg D$  est propagé). Cette remarque peut également être faite lorsqu'un test de s-open d'une entrée est réalisé.

En cas de collage, le vecteur de test de l'entrée primaire manifeste un D ou un  $\neg D$  sur la sortie de la porte testée et ensuite propage à chaque passage de porte un D ou un  $\neg D$ .

En cas de s-open, si la séquence (1,0,1) ou (0,1,0) est appliquée à une entrée, la séquence en sortie est (1,0,1) ou (0,1,0) en fonctionnement correct (sans panne), (0,0,0) ou (D,0,D) en présence de s-open P, ou (1, $\neg D$ ,1) ou ( $\neg D$ ,1, $\neg D$ ) en présence de s-open N sur l'entrée primaire considérée. La propagation de ces séquences en cas de fonctionnement sans panne/ s-open P/ s-open N à chaque passage de porte donne (0,1,0)/ (0,D,0)/ (X,1, $\neg D$ ) ou (1,0,1)/ (X,0,D)/ (1, $\neg D$ ,1).



Pour les deux séquences d'entrée appliquées à l'entrée primaire l'une ou l'autre des séquences en fonction du type de porte testée : (inversé ou non). Ce point permet de décrire le lemme 6 :

### **LEMME 6**

*Lorsqu'une entrée primaire est testée, toutes les lignes qui sensibilisent cette entrée jusqu'à une sortie primaire sont successivement activée par le triplet (1,0,1) ou (0,1,0). Par conséquent, tous les s-open N et P des portes activées par les lignes sélectionnées sont testées lorsque les entrées primaires sont testées, si les portes sont des portes NAND, NOR ou NOT etc..., les portes entièrement complémentées ou des portes hybrides comme décrit précédemment.*

### **REMARQUE**

Il peut être noté que lorsque des portes complexes ou des portes hybrides sont utilisées dans des réseaux combinatoires logiques chacune des branches de fan-in (définie comme entrée primaire de la porte) doit être testée.

Le lemme 6 montre que le test des entrées primaires d'un réseau IFOF est suffisant pour tester tous les s-open du réseau. Ce cas impose que toutes les lignes internes du réseau ne commandent que deux transistors (un de type N et un de type P). Dans ce cas un seul vecteur de sensibilisation des lignes internes est nécessaire pour tester tous les transistors commandés par cette ligne.

Lorsque des portes complexes CMOS ou des portes hybrides CMOS sont situées à l'intérieur d'un réseau, la présence d'un fan-in multiple sur l'une des entrées de ces portes nécessite l'application de la séquence de test (1,0,1) ou (0,1,0) et la sensibilisation de cette séquence pour toutes les entrées primaires de la porte considérée. Ce point n'est pas vérifié par l'application du lemme 6. Ainsi, les portes complexes CMOS et les portes hybrides CMOS qui ont du fan-in sur leurs entrées doivent être utilisées uniquement lorsque les entrées ayant du fan-in sont localisées sur des entrées primaires de réseaux IFOF ou sur les checkpoints de réseaux NRFO ou RFO. Si cette condition est vérifiée le lemme 6 permet de tester tous les s-open du réseau.

## **IV-1 Test de réseaux IFOF** (IFOF = Internal Fan Out Free = sans sortance interne)

### **IV-1-a Réseaux construits avec des portes classiques**

Dans un réseau IFOF, il n'existe qu'un chemin entre une entrée primaire et la sortie. Donc, l'ensemble des chemins joignant les entrées primaires à la sortie contient toutes les lignes

internes [ARM 66]. Ainsi, si chaque chemin qui part d'une entrée primaire est activé par une séquence (1,0,1) ou (0,1,0) et sensibilisé jusqu'à la sortie, alors toutes les lignes de ce chemin seront activées par la séquence (1,0,1) ou (0,1,0).

Ceci a pour effet de tester tous les s-open des portes NAND, NOR, AND, OR, NOT ou de n'importe quelles portes entièrement complémentées ou portes hybrides, comme précédemment décrit, si les entrées primaires du réseau sont testées. cette démonstration est résumée par le théorème 1.

### **THEOREME 1**

*Si les s-open de toutes les entrées primaires d'un réseau IFOF composé de portes NAND, NOR, etc..., de portes entièrement complémentées ou de portes hybrides, comme précédemment décrit, sont testées, alors tous les s-open simples du réseau seront testés.*

Il peut être noté que le théorème 1 n'est vrai que si les précédentes remarques concernant les fan-in multiples de portes sont prises en considération. Ce point est valable pour tous les théorèmes suivants.

#### **IV-1-b Remarque**

Si tous les s-open de chaque entrée primaire d'un bloc fonctionnel sont testés par la séquence (1,0,1) ou (0,1,0), lorsque cette entrée est sensibilisée jusqu'à la sortie primaire, un tel bloc fonctionnel peut être un composant d'un réseau au même titre que les portes NAND, NOR, etc... décrites dans le théorème 1. Cette remarque permet de considérer des portes complexes qui ne seraient plus des portes entièrement complémentées, ni des portes hybrides.

#### **IV-1-b-1 exemple 1**

La séquence de test (1,0,1) ou (0,1,0) peut être utilisée pour tester les pannes des entrées de portes CMOS à réseaux N et P non entièrement complémentés. Un exemple peut être donné dans le cas de la porte réalisant une anticipation de retenue (figure V-7) décrite dans [FOR 77].

La fonction réalisée est :

$$R_{i+4} = G_{i+4} + P_{i+4}G_{i+3} + P_{i+4}P_{i+3}G_{i+2} + P_{i+4}P_{i+3}P_{i+2}G_{i+1} + P_{i+4}P_{i+3}P_{i+2}P_{i+1}R_i$$

avec  $P_i = a_i + b_i =$  propagation et  $G_i = a_i * b_i =$  génération

Les séquences de test utilisées pour tester chacune des entrées de cette porte sont décrites Table V-1.

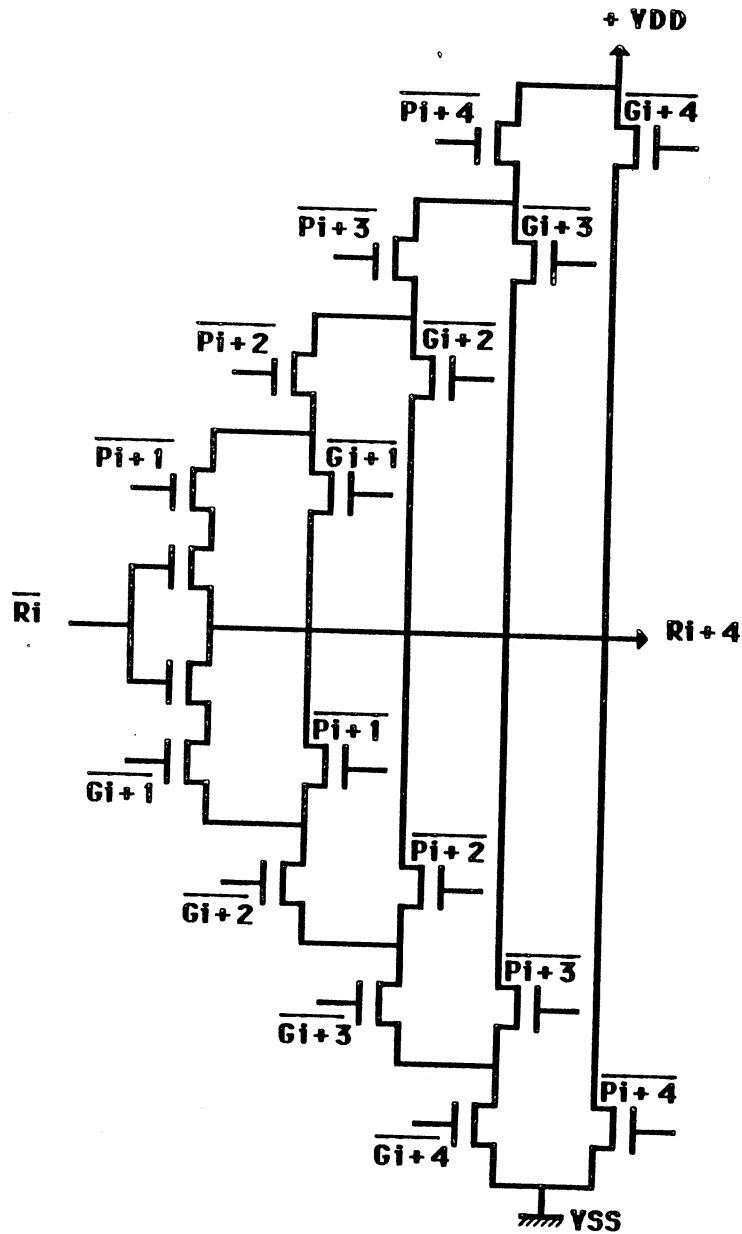


Figure V-7 : Porte générant une anticipation de retenue

Dans cette porte non entièrement complémentée, tous les s-open de chaque entrée sont testés par l'application de la séquence (1,0,1) ou (0,1,0) à l'entrée testée lorsque cette entrée est sensibilisée jusqu'à la sortie primaire.

Cet exemple montre que le test des s-open de portes non entièrement complémentées est possible par application de cette méthode de test. Néanmoins, aucune règle générale n'a encore été établie pour le test de toute porte CMOS non entièrement complémentée.

$\overline{Gi+4}$	101	111	111	111	111	111	111	111	111
$\overline{Gi+3}$	111	101	111	111	111	111	111	111	111
$\overline{Gi+2}$	111	111	101	111	111	111	111	111	111
$\overline{Gi+1}$	111	111	111	101	111	111	111	111	111
$\overline{Pi+1}$	000	000	000	101	000	000	000	000	000
$\overline{Pi+2}$	000	000	000	000	000	101	000	000	000
$\overline{Pi+3}$	000	000	000	000	000	000	101	000	000
$\overline{Pi+4}$	000	000	000	000	000	000	000	101	000
$\overline{Ri}$	111	111	111	111	000	000	000	000	000

Table V-1 : Séquences de test de la porte décrite figure V-7

**IV-1-b-2 Exemple 2**

En technologie CMOS, des portes non classiques et non entièrement complémentées peuvent être utilisées. Ces portes ont une structure du type "transistor de transfert", utilisant des transistors ou réseaux de type N et/ou P. Dans ces portes le 1 (resp. 0) logique n'est pas généré par une ligne d'alimentation (resp. masse) à travers un réseau P (resp. N) mais par les entrées à travers un réseau P (resp. N). Un exemple de ce type de porte est présenté figure V-8 dans le cas d'une porte XOR.

Tous les s-open de cette porte peuvent être testés par la séquence (1,0,1) ou (0,1,0). Comme décrit précédemment, cette séquence doit être appliquée à l'entrée testée et un chemin doit être sensibilisé de cette entrée jusqu'à la sortie primaire. Les séquences de test associées à cette détection sont décrites Table V-2.

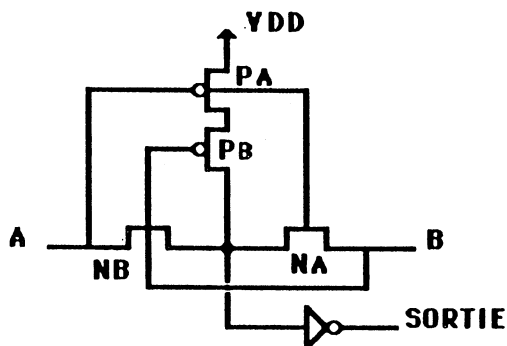


Figure V-8 : Porte XOR

A	B	S-OPEN TESTES
1	0	INITIALISATION
0	0	PA PB
1	0	NA
0	1	INITIALISATION
0	0	PA PB
0	1	NB

Table V-2 : Séquences de test de la porte XOR

Cet exemple montre que des portes non classiques et non entièrement complémentées peuvent être testées par la méthode de test décrite. Néanmoins, toutes les portes non classiques ne peuvent être testées par cette méthode et spécialement les portes construites à base de portes de transfert. Un s-open dans une porte de transfert modifie le niveau électrique mais pas le niveau logique.

La perte de seuil obtenue en sortie de porte de transfert est représentée figures V-9 a et b. Ces courbes représentent les résultats de simulations électriques :

- a) en cas de coupure du transistor P : il y a une perte d'un seuil au niveau 1 logique en sortie (mauvais 1 logique ou 1\*),
- b) en cas de coupure du transistor N : il y a une perte d'un seuil au niveau 0 logique en sortie (mauvais 0 logique ou 0\*).

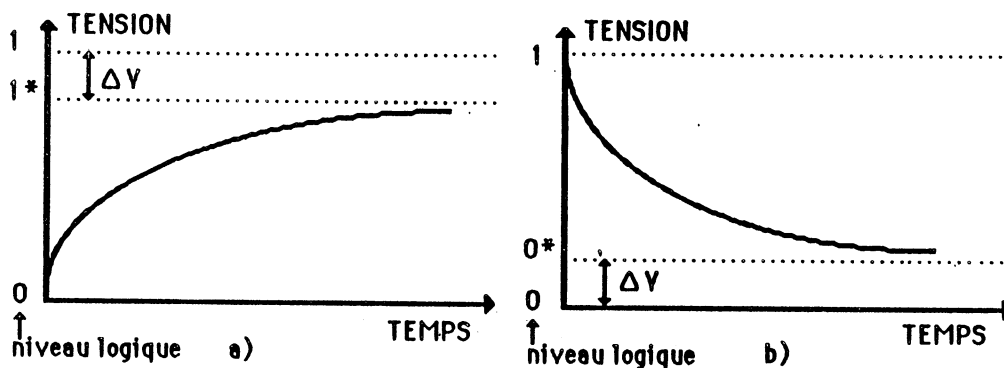


Figure V-9 : Perte de seuil au passage d'une porte

La perte de seuil n'est pas obtenue que lorsque la valeur à transférer est un 1 logique en cas de s-open du transistor P et un 0 logique lorsque le s-open est sur le transistor N.

#### IV-1-b-3 Remarque

La redondance de la porte de transfert peut également avoir d'autres effets. Si l'on envisage un s-open sur un des MOS de l'inverseur qui génère la valeur complétement de la commande de la porte, alors les deux grilles (MOS N et P) de la porte peuvent prendre une valeur identique en cas de panne : par suite un des MOS est ouvert alors qu'il ne le devrait pas ainsi il permet un chemin parasite. Dans l'exemple figure V-10 le s-open du MOS 2 met en liaison Vdd et Vss. La sortie présente sur le réseau résistif prend alors une valeur qui dépend du réseau validé.

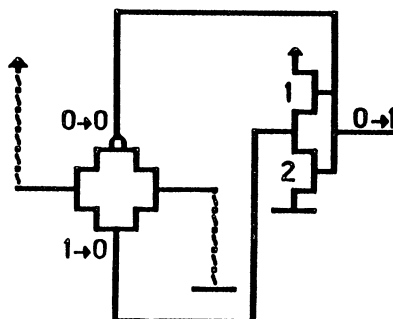


Figure V-10 : Effet de la validation partielle d'une porte de transfert

#### **IV-2 Test de réseaux RFO et NRFO**

**(RFO : Reconvergent Fan Out : Sortance Reconvergente**

**NRFO : Non Reconvergent Fan Out : Sortance Non Reconvergente)**

Les réseaux IFOF sont moins utilisés que les réseaux RFO et NRFO. Les réseaux NRFO sont des réseaux où des sorties multiples donnent lieu à des sortances multiples. Les réseaux RFO sont des réseaux où les chemins des branches de Fan Out (sortance multiple) sont reconvergents. Le théorème 1 ne peut être appliqué pour ces réseaux, car en cas de Fan Out (sortance multiple) de nombreux chemins partent d'une branche de Fan Out. Cependant un réseaux NRFO peut être considéré comme constitué de sous réseaux, chacun d'eux étant un réseau IFOF formé à partir des branches de Fan Out du réseau original, les entrées primaires étant constituées par les lignes internes. Les sous réseaux obtenus ne doivent pas avoir de sous réseau commun. Le théorème 1 peut alors être appliqué à chacun de ces réseaux IFOF. Le cas des réseaux RFO n'est guère plus complexe si la différence suivante est prise en compte. Lorsque des collages logiques sont considérés, les théorèmes considérant les branches de Fan Out doivent prendre en compte une panne multiple éventuelle due à une panne localisée avant le "dispositif". Puisqu'un s-open n'apparaît qu'aux entrées des portes (puisque'on ne considère que des s-open de transistors), il n'est pas nécessaire de considérer des pannes multiples de s-open dues à une panne simple de transistor. Il est nécessaire d'appliquer une séquence (1,0,1) ou (0,1,0) à chaque branche de Fan Out et de sensibiliser jusqu'à une sortie, pour réaliser effectivement le test de s-open de toutes les lignes du réseau.

Ces résultats amènent le théorème 2, après avoir défini les "checkpoints" (points de test) d'un réseau.

Dans un réseau composé de portes NAND, NOR, etc... comme défini précédemment, les "checkpoints" sont constitués par les entrées primaires qui n'ont pas de fan-out et les branches primaires de Fan-Out.

Les branches primaires de fan-out peuvent être définies comme les entrées primaires de chacune des branches de fan-out. Cette définition est à rapprocher de la définition des entrées primaires d'une porte ou d'un réseau décrite paragraphe III-2 pour les portes complexes CMOS entièrement complémentées et paragraphe III-3 pour les portes hybrides CMOS.

#### **THEOREME 2**

*Si les s-open de tous les "checkpoints" de réseaux RFO ou NRFO composés de portes NAND, NOR, etc..., de portes entièrement complémentées ou de portes hybrides, comme défini précédemment, sont testés, alors tous les s-open simples du réseau seront testés.*

### **IV-3 Test de réseaux CMOS dynamiques**

Comme dans les réseaux statiques, les entrées primaires définissent les chemins sensibles, de l'entrée primaire testée jusqu'à la sortie primaire. Dans ce cas le chemin sensibilisé n'est pas validé que pendant la phase d'évaluation.

Lorsqu'un collage à 0 (resp. 1) de l'entrée testée du réseau N (resp. P) d'un réseau de porte N-DOMINO (resp. P-DOMINO) est adressée pendant la phase d'évaluation, la sortie de la porte primaire est commandée à 0 (resp. 1) en cas de fonctionnement correct (sans panne) et est commandée à 0 (resp. 1) en cas de s-open. La sortie de l'inverseur qui suit la "porte fonctionnelle" est commandée à 1 (resp. 0) en cas de fonctionnement correct et commandée à 0 (resp. 1) en cas de panne, respectivement.

Ceci correspond à la propagation d'un  $\neg D$  (resp. D) vers la sortie de porte et d'un D (resp.  $\neg D$ ) à la sortie de l'inverseur, en cas de panne.

Ainsi, un vecteur de test de collage à zéro (resp. 1) d'une entrée de porte d'un réseau N (resp. P) appliqué pendant la phase d'évaluation est également un vecteur de test du collage à zéro (resp. un) de la sortie de porte. En conséquence, dans un réseau N (resp. P), lorsqu'un vecteur de test de collage à zéro (resp. un) est appliqué à une entrée primaire, toutes les entrées de portes appartenant au chemin sensible entre l'entrée primaire jusqu'à une sortie primaire sont commandées par un vecteur de test de collage à zéro (resp. un) automatiquement.

Dans le cas d'un réseau IFOF de portes DOMINO, les remarques faites précédemment dans le cas de portes classiques sont toujours vraies.

- un seul chemin est validé entre une entrée primaire et une sortie,
- tous les chemins joignant les entrées primaires à la sortie contiennent toutes les lignes internes.

Donc le test de tous les s-open de réseaux DOMINO N ou P est défini par le théorème 3 :

#### **THEOREME 3**

*Tous les s-open simples d'un réseau IFOF de portes dynamiques N (resp. P) DOMINO CMOS sont testés quand un test de collage à zéro (resp. un) de toutes les entrées primaires du réseau est réalisé pendant la phase d'évaluation, et lorsqu'un test de collage à un (resp. zéro) des sorties des portes primaires est réalisé pendant la phase d'évaluation.*

Dans le cas d'un réseau RFO ou NRFO un théorème semblable peut être dérivé, impliquant l'utilisation des "checkpoints" (comme pour des portes classiques). Ce qui permet de définir le théorème 4 :

**THEOREME 4**

*Tous les s-open simples d'un réseau RFO ou NRFO de portes dynamiques N (resp. P) DOMINO CMOS sont testés quand un test de collage à zéro (resp. 1) de tous les "checkpoints" du réseau est réalisé pendant la phase d'évaluation, et lorsqu'un test de collage à un (resp. zéro) des sorties des portes, commandées par des "checkpoints", est réalisé pendant la phase d'évaluation.*

Le problème est semblable pour les portes NP CMOS. En effet, un vecteur de test de collage à un (resp. 0) est appliqué à la sortie d'une cellule fonctionnelle N (resp. P) d'une porte NP CMOS lorsqu'un vecteur de test de collage à zéro (resp. un) est appliqué à une entrée de cette porte. Lorsqu'un réseau de portes NP CMOS est impliqué, des cellules N et P sont alternativement connectées en séries, et lorsqu'un test de collage à zéro d'une entrée d'une cellule à réseau N est réalisé, l'entrée suivante de la cellule à réseau P est automatiquement commandée par un vecteur de test de collage à un. La sortie de cette cellule à réseau P, correspond à l'entrée suivante d'une cellule à réseau N est commandée par un vecteur de test de collage à zéro de la même manière, et ainsi de suite... Lorsque ces cellules sont situées sur le chemin sensible. Donc, lorsque toutes les entrées primaires alimentent des blocs fonctionnels de type N (resp. P), comme dans le cas de portes DOMINO, un vecteur de test de collage à 0 (resp. 1) de toutes les entrées primaires est suffisant pour tester tous les s-open du réseau, lorsque celui-ci est appliqué pendant la phase d'évaluation (THEOREME 3). Le test des réseaux IFOF NP CMOS est décrit par le théorème 5 :

**THEOREME 5**

*Tous les s-open simples d'un réseau dynamique IFOF NP CMOS sont testés lorsqu'un test de collage à zéro (resp. 1) de toutes les entrées primaires du réseau est réalisé pendant les phases d'évaluations, si les portes primaires ont des blocs fonctionnels de type N (resp. P), et lorsqu'un test de collage à un (resp. zéro) de toutes les sorties de portes primaires, de type N (resp. P), est réalisé pendant les phases d'évaluations.*

De la même façon, le test des s-open de réseaux RFO et NRFO NP CMOS est défini par le théorème 6 :



### **THEOREME 6**

*Tous les s-open simples d'un réseau RFO ou NRFO de portes dynamiques NP CMOS sont testés lorsqu'un test de collage à zéro (resp. un) de tous les checkpoints commandant un bloc fonctionnel N (resp. P) est réalisé pendant les phases d'évaluations, et lorsqu'un test de collage à un (resp. zéro) de toutes les sorties de portes commandées par des "checkpoints", de type N (resp. P), est réalisé pendant les phases d'évaluations.*

Ces théorèmes sont applicables si les entrées avec fan-in multiples des portes complexes et des portes hybrides sont localisées sur des entrées primaires ou des checkpoints.

Les théorèmes 1 à 6 étendent aux tests de s-open CMOS les théorèmes obtenus il y a quelques années. Ces théorèmes montraient qu'un ensemble de test qui peut détecter toutes les pannes simples aux entrées primaires ou aux checkpoints d'un circuit est un ensemble complet de détection de pannes [TO 73]. Des observations semblables avaient été faites par ARMSTRONG [ARM 66] et par KOHAVI [KOH 70]. Ces théorèmes dérivés pour le test de collage logique donnent des conditions **suffisantes** pour le test de s-open dans les circuits DOMINO CMOS ou NP CMOS.

## **V REDUCTION DES SEQUENCES DE TEST**

Dans ce paragraphe est présentée la réduction des séquences de test obtenues par l'utilisation des théorèmes décrits précédemment.

Les portes statiques sont premièrement envisagées, ensuite une remarque est faite concernant les portes dynamiques.

Il peut être noté que dans [ELZ79] EL-ZIQ décrit des algorithmes qui permettent la génération d'ensemble minimaux de vecteurs de test pour les pannes de collages des portes complexes CMOS. Les paramètres utilisés sont: le même nombre maximum de colonnes de la porte ( $N_0$ ) et la somme des lignes ( $N_1$ ). Lorsque des portes CMOS sont traitées, les réseaux N et P doivent être étudiés simultanément car ils n'ont pas les mêmes paramètres  $N_0$  et  $N_1$ . Les valeurs  $N_1$  et  $N_0$  seraient des fonctions de N et P. Il peut être signalé que ces vecteurs minimaux obtenus doivent tenir compte des conditions de test spécifique des s-on et des s-open. En particulier lorsque des pannes multiples s-on et s-open sont considérées.

### **V-1 Réduction des séquences de test**

Les précédents lemmes et théorèmes montrent comment les s-open de diverses portes statiques et réseaux de portes statiques peuvent être testés par application de l'une des séquences

(1,0,1) ou (0,1,0).

Ces propriétés pourraient être utilisées pour tester un réseau IFOF avec  $3n$  vecteurs de test pour  $n$  entrées primaires. Ce nombre de vecteurs peut néanmoins être réduit.

Dans ce paragraphe seront présentées les réductions possibles envisageables au niveau des portes et au niveau des réseaux pour des portes statiques :

- premièrement, les définitions des réductions envisagées sont données,
- deuxièmement, les effets de ces réductions sont décrits au niveau de la porte par quelques exemples,
- troisièmement, le cas des réseaux est envisagé.

Les triplets utilisés pour le test sont obtenus par réduction de deux séquences de test : le vecteur de test de l'une d'elles est utilisée comme vecteur d'initialisation de la suivante. Deux réductions supplémentaires peuvent être considérées, en considérant : l'équivalence de certains s-open et l'ordre des séquences de test.

La définition classique de l'équivalence est tirée de BREUER et FRIEDMAN [BRE 76].

### V-1-a Définitions

#### V-1-a-1 Définition de l'équivalence

*Dans un circuit combinatoire  $C$  qui réalise la fonction  $f$ , l'ensemble des tests qui détecte une panne  $S$  est défini par l'équation logique  $T\partial = f \oplus f\partial$ , et l'ensemble des tests qui détecte une panne  $\beta$  est défini par  $T\beta = f \oplus f\beta$ . L'ensemble des tests qui permet de distinguer  $\partial$  et  $\beta$  est défini par  $f\partial \oplus f\beta$ , si  $f\partial = f\beta$  il n'y a pas de test qui permet de distinguer  $\partial$  et  $\beta$ . De telles pannes sont dites équivalentes. Si un ensemble de pannes sont équivalentes, tout test qui détecte l'une d'elles permet de détecter toutes les autres et aucun test ne pourra les distinguer.*

La définition de l'équivalence de s-open peut être décrite par la définition donnée par EL-ZIQ dans [ELZ 81] pour la réduction de s-open.

#### V-1-a-2 Définition de s-open équivalents

*Deux s-open (associés à deux transistors) peuvent être réduits en un seul s-open si les trois règles suivantes sont vérifiées :*

- les transistors sont de même type  $N$  ou  $P$ ,
- ils sont connectés directement (Drain-source) sans transistor intermédiaire,
- le noeud commun aux deux transistors n'est relié à aucun autre élément. Cela signifie également que ce noeud ne peut être connecté ni à une alimentation ni à une masse.

Lorsque deux pannes sont équivalentes, elles peuvent être testées par la même séquence de test. Un exemple de cette réduction due à des pannes équivalentes peut être donnée dans ce cas simple d'une porte 2-NAND. Dans ce cas les deux transistors ont des s-open équivalents. Leur séquence de test est donnée Table V-3 et Table V-4.

Lorsque les entrées A et B sont testées, les s-open de NA et NB sont testés deux fois.

Donc le vecteur (1, 1) peut être omis.

A	B	S-OPEN TESTES
1	1	INITIALISATION
0	1	PA
1	1	NA, NB

Table V-3 : Vecteurs de test de l'entrée A

A	B	S-OPEN TESTES
1	1	INITIALISATION
1	0	PB
1	1	NA, NB

Table V-4 : Vecteurs de test de l'entrée B

### V-1-b Le critère d'ordre

L'ordre dans lequel sont appliquées les séquences de test peut également donner lieu à des réductions du nombre de vecteurs de test au niveau de la porte ou au niveau du réseau. Ce critère a déjà été utilisé pour obtenir un triplet de vecteurs au lieu de deux couples de vecteurs, et peut à nouveau être invoqué pour réduire les séquences de test par utilisation d'un vecteur de test d'une séquence comme vecteur d'initialisation de la suivante.

### V-1-c Réduction des séquences

Lorsqu'on utilise les deux types de réductions cités ci-dessus dans le cas de portes NAND, NOR une séquence de  $2n$  vecteurs seulement peut être utilisée pour tester les portes au lieu d'une séquence de  $3n$  vecteurs.

Les séquences de test sont décrites par les Tables V-5 à V-7 (resp. V-8 à V-10) pour les portes classiques NAND (resp. NOR) à deux, trois et  $n$  entrées, la Table V-11 présente les vecteurs de test de la porte  $\neg$ XOR les tables V-12 à V-14 (resp. V-15 à V-17) donnent les séquences de test réduites des portes AND (resp. OR) à 2, 3 et  $n$  entrées.

#### Porte 2-NAND

A	B	S-OPEN TESTES
1	1	INITIALISATION
0	1	PA
1	1	NA, NB
1	0	PB

Table V-5 : Séquence de test réduite de la porte 2-NAND classique

La porte est entièrement testée par une séquence de 4 vecteurs au lieu de deux séquences de trois vecteurs (Table V-5).

### Porte 3-NAND

A	B	C	S-OPEN TESTES
1	1	1	INITIALISATION
0	1	1	PA
1	1	1	NA, NB, NC,
1	0	1	PB
1	1	1	NA, NB, NC
1	1	0	PC

Table V-6 : Séquence de test réduite de la porte 3-NAND classique

- La porte est entièrement testée par une séquence de 6 vecteurs au lieu de 3 séquences de 3 vecteurs. Soit  $n = 3$  donc  $2n = 6$  vecteurs. Dans ce cas on peut remarquer que certains s-open sont testés plusieurs fois.

### PORTE n-NAND

1	2	.....	1	.....	N	S-OPEN TESTES
1	1		1		1	INITIALISATION
0	1		1		1	P1
1	1		1		1	N1, ..., Ni, ..., NN
⋮	⋮		⋮		⋮	⋮
1	1		1		1	N1, ..., Ni, ..., NN
1	1		0		1	Pi
⋮	⋮		⋮		⋮	⋮
1	1	.....	1	.....	1	N1, ..., Ni, ..., NN
1	1	.....	1	.....	0	PN

Table V-7 : Séquence de test réduite de la porte n-NAND classique

2n vecteurs suffisent pour tester entièrement cette porte (au lieu de 3n vecteurs).

PORTE 2-NOR

A	B	S-OPEN TESTES
0	0	INITIALISATION
0	1	NA,
0	0	PA, PB
1	0	NB

Table V-8 : Séquence de test réduite de la porte 2-NOR classique

Deux séquences de triplets ordonnées et réduites forment une seule séquence de 4 vecteurs qui teste entièrement la porte NOR à 2 entrées (Table V-8).

PORTE 3-NOR

A	B	C	S-OPEN TESTES
0	0	0	INITIALISATION
0	0	1	NC
0	0	0	PA. PB. PC
0	1	0	NB
0	0	0	PA. PB. PC
1	0	0	NA

Table V-9 : Séquence de test réduite de la porte 3-NOR classique

6 vecteurs de test suffisent pour tester tous les s-open de la porte 3-NOR classique (soit 2n vecteurs).

PORTE n-NOR

1	2	.....	i	.....	N	S-OPEN TESTES
0	0		0		0	INITIALISATION
1	0		0		0	N i
0	0		0		0	P 1.... Pi.... Pn
⋮			⋮		⋮	
0	0	.....	0	.....	0	P 1.... Pi.... Pn
0	0		1		0	N i
⋮			⋮		⋮	
0	0		0		0	P 1.... Pi.... Pn
0	0	.....	0	.....	1	Nn

Table V-10 : Séquence de test réduit de la porte n-NOR classique

Dans ce cas également on obtient  $2n$  vecteurs de test pour une porte NOR à  $n$  entrées (Table V-10).

Les vecteurs de test de portes particulières décrites dans la méthode de test paragraphe 1 peuvent être présentées ; ce sont les portes ET et OU à 2, 3, et  $N$  entrées.

Cas d'une porte  $\neg$ XOR

A	B	S-OPEN TESTES
0	0	INITIALISATION
1	0	NA
0	0	PA . PB
0	1	NB

Table V-11 : Séquence de test réduite d'une porte  $\neg$ XOR

Cette porte est testée par 4 vecteurs, soit  $2n$  vecteurs.

Les portes composées à partir du théorème de DE MORGAN sont testables par  $2n + 1$  vecteurs. Les portes AND et OR à 2, 3 et  $n$  entrées sont décrites.

Cas de la porte AND à deux entrées construite par une porte NOR et deux inverseurs.

A	B	S-OPEN TESTES
1	1	INITIALISATION
0	1	P INV A . NA-NOR
1	1	N INV A . PA-NOR . PB-NOR
1	0	P INV A . NB-NOR
1	1	N INV B . P A-NOR . PB-NOR

Table V-12 : Séquence de test réduite d'une porte 2-NAND

Cette porte est testée par 5 vecteurs.

Cas de la porte AND à trois entrées construite par une porte NOR et trois inverseurs.

A	B	C	S-OPEN TESTES
1	1	1	INITIALISATION
0	1	1	P INV A / NA-NOR
1	1	1	N INV A / P A-NOR / PB-NOR / PC-NOR
1	0	1	P INV B / NB-NOR
1	1	1	N INV B / PA-NOR / PB-NOR / PC-NOR
1	1	0	P INV C / NC-NOR
1	1	1	N INV C / P A-NOR / PB-NOR / PC-NOR

Table V-13 : Séquence de test réduite pour une porte 3-NAND

Cette porte est testée par 7 vecteurs.

Cas de la porte AND à n entrées construite par une porte NOR et n inverseurs

1	2	.....	1	.....	N	S-OPEN TESTES
1	1		1		1	INITIALISATION
0	1		1		1	P INV A / NA-NOR
1	1		1		1	N INV A / PA-NOR / .... / PN-NOR
⋮			⋮		⋮	
1	1		0		1	P INV I / NI -NOR
1	1		1		1	N INV I / PI -NOR / .... / PN-NOR
⋮			⋮		⋮	
1	1		1		0	P INV N / NN-NOR
1	1		1		1	N INV N / PA-NOR / .... / PN-NOR

Table V-14 : Séquence de test réduite pour une porte n-NAND

Cette porte est testée par  $2n + 1$  vecteurs.

Cas de la porte OR construite par une porte NAND et deux inverseurs

A	B	S-OPEN TESTES
0	0	INITIALISATION
1	0	N INV A / P A-NAND
0	0	P INV A / NA-NAND / NB-NAND
0	1	N INV B / P B-NAND
0	0	P INV B / NA-NAND / NB-NAND

Table V-15 : Séquence de test réduite d'une porte 2-NOR

Cette porte est testée par 5 vecteurs.

Cas de la porte OR construite par une porte NAND et 3 inverseurs.

A	B	C	S-OPEN TESTES
0	0	0	INITIALISATION
1	0	0	N INV A / PA-NAND
0	0	0	P INV A / PA-NAND / NB-NAND / NC-NAND
0	1	0	N INV B / PB-NAND
0	0	0	P INV B / NA-NAND / NB-NAND / NC-NAND
0	0	1	N INV C / PC-NAND
0	0	0	P INV C / NA-NAND / NB-NAND / NC-NAND

Table V-16 : Séquence de test réduite d'une porte 3-NOR

Cette porte est testée par 7 vecteurs.

Cas de la porte OR construite par une porte NAND et n inverseurs.

1	2	.....	i	.....	N	S-OPEN TESTES
0	0		0		0	INITIALISATION
1	0		0		0	N INV 1 / P1 NAND
0	0		0		0	P INV 1 / N1 NAND / ... / N1 NAND
⋮			⋮		⋮	
0	0	.....	1	.....	0	N INV i / P i-NAND
0	0		0		0	P INV i / N i-NAND / ... / N1 NAND
⋮			⋮		⋮	
0	0		0		1	N INV N / P N NAND
0	0	.....	0	.....	0	P INV N / N1 NAND / ... / NN NAND

Table V-17 : Séquence de test d'une porte n-OR

Cette porte est testée par  $2n + 1$  vecteurs.

En cas de portes complexes CMOS la réduction des séquences de test dépend du type de porte, mais une séquence de  $2n$  vecteurs de test peut être obtenue dans certains cas. Un exemple de réduction de séquences peut être donné cependant, dans le cas de la porte décrite figure V-11. Tous les s-open de cette porte peuvent être testés par deux séquences de 5 vecteurs lorsque les réductions notées précédemment ont été effectuées (Table V-18).

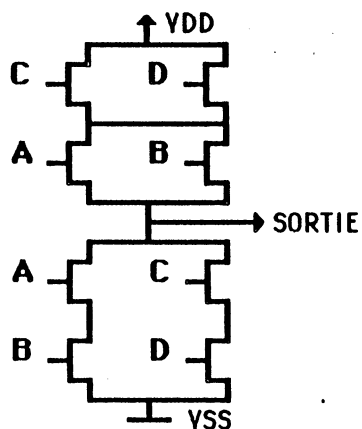


Figure V-11 : Exemple de porte complexe



A	B	C	D	S-OPEN TESTES
1	1	1	0	INITIALISATION
0	1	1	0	AP, DP
1	1	1	0	AN, BN
1	0	1	0	DP, BP
1	1	1	0	AN, BN
1	0	0	1	INITIALISATION
1	0	1	1	CN, DN
1	0	0	1	CP, BP
1	0	0	0	BN
1	0	0	1	CP, BP

Table V-18 : Séquence de test réduite de la porte complexe décrite figure V-11

Avec la méthode dite du triplet réduit cette porte peut être testée avec 10 vecteurs. Les deux derniers vecteurs sont inutiles car ils testent des s-open déjà testés.

Dans ce cas l'application de la méthode du triplet permet de tester avec  $2n + 1$  vecteurs. La répétitivité du test de Bn, Bp, Cp des deux derniers vecteurs permet de réduire la séquence à  $2n$ . En fait tous les s-open de cette porte sont testables en 6 vecteurs sont  $2n-2$  vecteurs (si  $n$  entrées). Cette séquence de test est présentée Table V-19.

A	B	C	D	S-OPEN TESTES
1	0	1	1	INITIALISATION
1	0	0	1	BP - CP
1	1	0	1	AN - BN
0	1	0	1	CP - AP
0	1	1	1	CN - DN
0	1	1	0	AP - DP

Table V-19 : Séquence de test "condensée" de la figure V-11

La porte présentée figure V-11 est donc testable entièrement par 6 vecteurs. Cet ensemble de vecteur est minimum mais n'est pas associé à une séquence (1,0,1) ou (0,1,0) sur les entrées et ne suit donc pas le test d'une entrée tel que défini précédemment. Cependant la sortie est alternativement placée à 1 et 0 ainsi lorsque une réduction de ce type est réalisée sur les entrées primaires d'une telle porte la propagation du triplet (1,0,1) est assurée. On peut noter également que cette réduction permet d'obtenir des séquences de vecteurs inférieures à  $2n$  vecteurs. Finalement, le cas général d'une porte entièrement complémentée à  $n \times n$  entrées peut être présentée (figure V-12).

Les séquences de test réduites permettant de tester complètement cette porte sont données Table V-20. De la même manière que dans le cas précédent la répétition de certains test peut être évités et permet de réduire le nombre de vecteurs mais chaque porte constitue un cas particulier.

Dans le cas général cette porte est testable par  $2n + 1$  vecteurs.

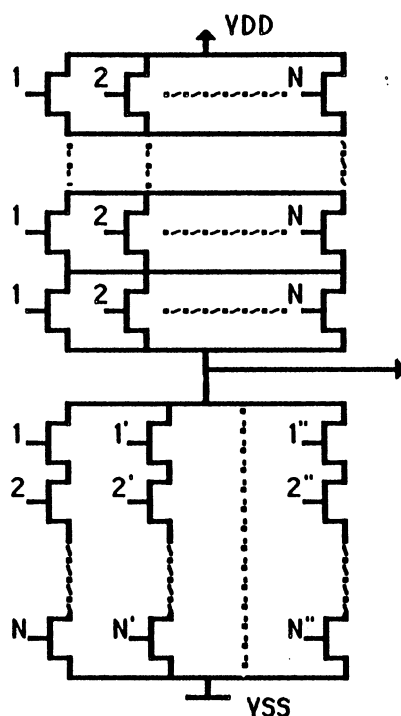


Figure V-12 : Généralisation d'une porte entièrement complétée à  $n \times n$  entrées

1	2	3...	N	1'	2'	3'...	N'1"	2"	3"...	N"	S-OPEN TESTES				
1	1	1	...	1	0	1	1	...	1	0	1	1	...	1	INITIALISATION
0	1	1	...	1	0	1	1	...	1	0	1	1	...	1	1,1'...1"/P
1	1	1	...	1	1	0	1	...	1	1	0	1	...	1	1,2...N/N
1	0	1	...	1	1	0	1	...	1	1	0	1	...	1	2,2'...2"/P
1	0	1	...	1	1	1	...	1	1	0	1	...	1	1	1',2'...N'/N
...	...	...	...	...	...	...	...	...	...	...	...	...	...	...	...
1	1	1	...	0	1	1	1	...	1	1	1	1	...	0	N,N'...N"/P
1	1	1	...	0	1	1	1	...	1	1	1	1	...	1	1",2"..."N"/N

Table V-20 : Séquence de test associée à la porte présentée figure V-12

#### V-1-d Réduction de séquences de test de réseaux

Il faut tout d'abord noter que : bien que le nombre des vecteurs de test soit réduit lorsque les réductions citées sont réalisées, la sortie de chaque porte est commandée aux valeurs (1,0,1) ou (0,1,0). Ces triplets peuvent donc tester les portes successives d'un réseau de la même manière que les vecteurs non réduits. Dans les paragraphes suivants sont étudiés des réseaux composés de portes classiques (décrites au paragraphe III-1 : i. e. NOR, NAND, etc...).

### V-1-d-1 Réduction des séquences dans les réseaux IFOF

Lorsqu'un réseau n'est pas composé que des portes classiques comme décrit précédemment, le nombre de vecteurs de test à appliquer pour un test de s-open du réseau dépend de la nature des portes primaires et du nombre d'entrées de ces portes primaires. Si l'on suppose qu'un réseau à n entrées primaires et que les portes primaires sont définies par :

- NAND	/ de 2 à V entrées	A : somme des entrées des portes NAND
- NOR	/ de 2 à M entrées	B : somme des entrées des portes NOR
- OR	/ de 2 à Q entrées	C : somme des entrées des portes OR
- AND	/ de 2 à P entrées	D : somme des entrées des portes AND
- NOT	/ 1 entrée	E : somme des entrées des portes NOT

- Soit F le nombre des entrées primaires de portes non primaires alors  $n = A+B+C+D+E+F$   
Le nombre de vecteurs de test pour les portes NAND est décrit maintenant. Une porte i-NAND nécessite 2i vecteurs de test. Si Ni est le nombre de portes primaires du type i-NAND alors :

$$NV_{\text{NAND}} = \sum_{i=2}^v 2N_i \cdot i = 2A$$


---

La même description est obtenue pour des portes primaires i-NOR

$$NV_{\text{NOR}} = 2B$$


---

Le nombre de vecteurs de test pour les portes primaires AND peut être défini ainsi :

- le nombre de portes primaires AND à i entrées est  $n_{ei}$
- le nombre de vecteurs de test pour une telle porte est  $n_{ei} (2i+1)$
- pour toutes les portes AND ayant de 2 à P entrées on obtient :

$$NV_{\text{AND}} = \sum_{i=2}^p n_{ei} (2i+1) = 2P + \sum_{i=2}^p n_{ei}$$


---

Un résultat semblable est obtenu dans le cas de porte OR :

$$NV_{\text{OR}} = \sum_{i=2}^q m_{ei} (2i+1) = 2Q + \sum_{i=2}^q m_{ei}$$


---

- le cas de la porte NOT est simple il faut 3E vecteurs dans ce cas aucune réduction du nombre de vecteurs n'est possible ainsi que pour les entrées sur les portes de niveau 2 (entrée primaire sur une porte non primaire).

- pour un réseau IFOF composé des portes citées le nombre total NT de vecteurs nécessaire pour le test après les réductions d'équivalence et d'ordre effectuées à appliquer sur les entrées primaires est :

$$NT = 2n + 2B + 2P + \sum_{i=2}^p n_{ei} + 2Q + \sum_{i=2}^p m_{ei} + 3E + 3F$$

$$NT = 2n + \sum_{i=2}^p n_{ei} + \sum_{i=2}^p m_{ei} + F + G$$

Rappelons que le nombre de vecteurs nécessaires dans ce cas, s'il n'y a pas de réduction, est de 3n vecteurs.

### **REMARQUES**

Si les portes primaires du réseau IFOF sont uniquement de type NAND ou NOR alors le nombre total de vecteurs de test des s-open est de 2n pour n entrées primaires.

Une troisième étape dans la rédaction du nombre de vecteurs de test est la juxtaposition des séquences obtenues pour chaque porte en utilisant le dernier vecteur de la séquence i comme premier vecteur de la séquence i+1. Si toutes ces réductions sont possibles dans un circuit ayant p portes primaires (incluant les entrées sur des portes de niveau 2 comme porte à entrée unique). Le nombre de vecteurs de test serait  $NT' = NT - p + 1$

Ce cas est idéal car de nombreux points rendent cette réduction impossible par exemple :

- la réduction d'une séquence de test d'une NAND ne peut être réduite avec une séquence de test d'une NOR. Le chemin sensible de la sortie d'une porte primaire vers une sortie primaire est différent, en général, de celui de la sortie d'une autre porte primaire vers une sortie primaire. Par suite, les autres entrées de sensibilisation sont différentes.
- lorsqu'un réseau IFOF a des portes primaires différentes de celles décrites ci-dessus, le nombre réduit de vecteurs de test dépend de la nature des portes utilisées mais la réduction est possible. En cas de portes entièrement complémentées ou hybrides CMOS le nombre de vecteurs de test peut être aussi faible que :

$$NT = \sum_{i=1}^A (A_i + 1)$$

- où
- A : nombre de portes complexes primaires,
  - $A_i$  : nombre d'entrées d'une porte primaire,
  - B : nombre de portes complexes ayant  $A_i$  entrées.

### V-1-d-2 Réduction des séquences dans les réseaux NRFO et RFO

Pour les réseaux RFO et NRFO, des réductions de séquences de test peuvent être réalisées sur les branches de Fan Out en complément des réductions citées précédemment, faites sur les entrées primaires. Le principe de ces réductions est donné figure V-13.

Une branche de Fan Out reçoit plusieurs séquences (1,0,1) ou (0,1,0). Donc, certaines peuvent être utilisées pour tester une branche, donc une entrée de porte, et l'autre utilisée pour tester l'autre branche, donc l'autre entrée de porte.

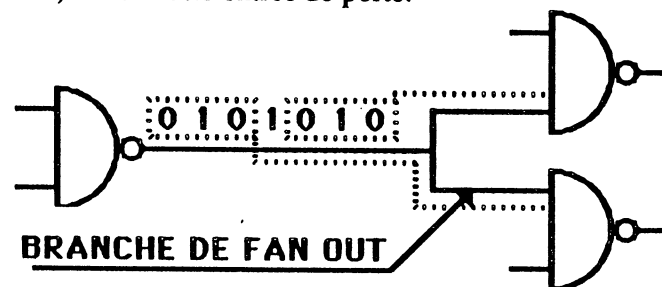


Figure V-13 : Réduction aux branches de Fan Out

### V-2 Réduction des séquences de test des portes dynamiques

Il a été montré que le test de s-open des portes dynamiques est réalisé par application d'un vecteur de test de collages sur les entrées, pendant les phases d'évaluations. Donc les réductions classiques au niveau logique peuvent être utilisées pour les portes dynamiques.

## VI TEST DE S-OPEN MULTIPLES

Dans les paragraphes précédents, seuls les s-open simples ont été considérés. Dans ce paragraphe, les pannes multiples sont considérées. Ce paragraphe étend aux s-open CMOS les résultats obtenus en 1971 par BOSSEN et HONG [BOS 71] concernant le test de collage multiples dans les réseaux logiques.

Les pannes multiples évoquées dans ce paragraphe sont telles qu'une seule panne de type s-open apparaît dans une porte, mais dans un réseau de portes plusieurs portes peuvent avoir une panne de type s-open. Le cas de pannes multiples s-open dans une porte et dans un réseau, ainsi que le mélange de pannes multiples de différents types représente une extension de ce travail.

Quelques préliminaires sont nécessaires, avant de considérer des réseaux statiques ou dynamiques.

Premièrement, la T-dominance est définie avec T-représentant une séquence de test.

**DEFINITION**

La panne  $\partial$  T-domine la panne  $\beta$  si et seulement si la procédure utilisée pour détecter  $\beta$  détecte également  $\partial$ .

La T-dominance est plus faible que la dominance (la T-dominance n'est vraie que pour une procédure T. La dominance intervient si la T-dominance est vraie pour tout T).

Dans ce qui suit la séquence de test T se rapporte à la séquence de test qui consiste à tester les s-open par les séquences (1,0,1) ou (0,1,0) comme il a été défini dans le paragraphe III.

Deuxièmement, un lemme est démontré, considérant un chemin sensibilisé d'un réseau statique. Sur ce chemin, la ligne i et la ligne j sont telles que la ligne i est un prédécesseur de la ligne j. Si l'on suppose qu'un double s-open apparaît sur les portes dont les entrées sont les lignes i et j, et qu'une séquence (1,0,1) ou (0,1,0) est appliquée au chemin sensible. Sur la figure V-14 sont résumées les valeurs obtenues le long du chemin. Il est évident que le s-open de la ligne j T-domine le s-open de la ligne i. Ce point est résumé dans le lemme 7 :

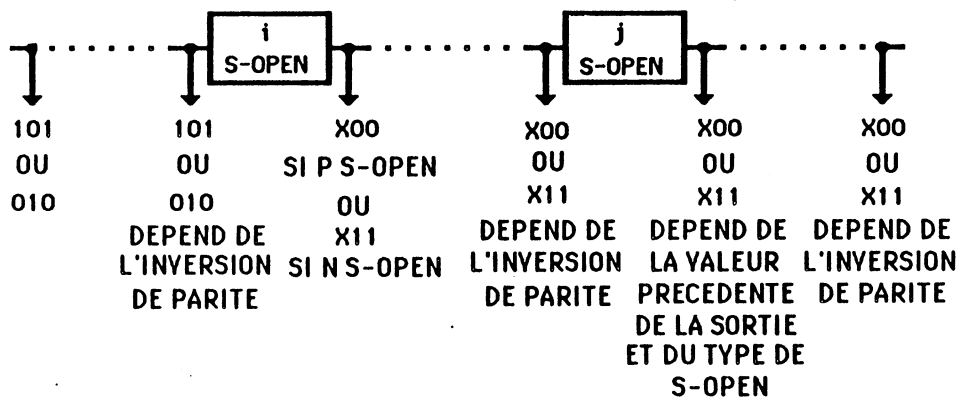


Figure V-14 : T-dominance des s-open

**LEMME 7**

Sur un chemin sensible d'un réseau CMOS testé par une séquence T, tout s-open T-domine un s-open prédécesseur.

Ce lemme est maintenant utilisé pour tester des open multiples dans les réseaux statiques. Une remarque préliminaire peut être cependant faite.

**REMARQUE**

Le lemme 7 envisage des pannes multiples sur le même chemin de sensibilisation. D'autres types peuvent être présents. En effet, des s-open sur les chemins utilisés pour sensibiliser l'entrée testée peuvent survenir. Dans le cas des collages logiques il a été montré dans [GAU 72] (par exemple) que la présence simultanée de plusieurs pannes peut masquer la détection de celles-ci. Le problème du masquage d'un s-open par un autre ne peut intervenir car le test de s-open d'une entrée utilise deux vecteurs de détection de collage et qu'un s-open ne pourrait masquer qu'une seule des deux (ce qui correspond au masquage d'un seul vecteur de collage).

Le seul effet d'un s-open appartenant à un chemin "sensibilisant" est l'invalidation du chemin sensible.

**VI-1 S-open multiples dans les réseaux statiques**

Les réseaux statiques envisagés dans les paragraphes III-1 et III-2 sont considérés. Premièrement, les réseaux IFOF sont considérés. Considérons un ensemble de s-open multiples. Puisque tout s-open T-domine un s-open prédécesseur, (lemme 7), tout s-open qui affecte un chemin (rappelons qu'il n'y a qu'un chemin entre une entrée primaire et la sortie primaire) seraient testés si le s-open de l'entrée primaire est T-testé. Ceci permet de considérer que les s-open multiples sur les entrées primaires au lieu de pannes multiples dans les réseaux. Par suite, le théorème 7 définit le test des s-open multiples dans les réseaux IFOF.

**THEOREME 7**

*Les s-open multiples dans un réseau IFOF CMOS composé de portes NAND, NOR, etc... de portes entièrement complémentées ou de portes hybrides, comme il a été décrit précédemment, sont testés si les s-open multiples des entrées primaires sont testés par les séquences (1,0,1) ou (0,1,0).*

Les réseaux RFO et NRFO peuvent également être envisagés, si l'on remarque que tout s-open localisé sur un chemin qui est une branche de Fan Out T-domine le s-open du checkpoint associé. Le théorème 8 définit le test des s-open multiples dans ces réseaux.

**THEOREME 8**

*Les s-open multiples dans les réseaux RFO et NRFO CMOS composés de portes NAND, NOR, etc... comme il a été décrit précédemment sont testés si les s-open multiples des checkpoints sont testés par les séquences (1,0,1) ou (0,1,0).*

### VI-2 S-open multiples dans les réseaux dynamiques

Les réseaux dynamiques adressés dans le paragraphe III-3 sont considérés. Les résultats obtenus dans le paragraphe III-3 peuvent être utilisés et permettent de vérifier facilement les lemmes suivants :

#### **LEMME 8**

*Sur un chemin sensibilisé d'un réseau dynamique N (resp. P) DOMINO CMOS, tout collage à zéro (resp. un) d'une entrée de porte domine le collage à zéro (resp. un) de la ligne précédente.*

#### **LEMME 9**

*Sur un chemin sensibilisé d'un réseau dynamique NPCMOS, tout collage à zéro de la grille d'un transistor N et tout collage à un de la grille d'un transistor P domine le collage à zéro (resp. un) d'une ligne précédente si cette ligne commande la grille d'un transistor N (resp. P).*

A partir de ces lemmes, et en utilisant des remarques similaires à celles invoquées pour dériver les tests des s-open multiples dans les réseaux statiques, il est facile de dériver les théorèmes suivants :

#### **THEOREME 9**

*Les s-open multiples d'un réseau IFOF de portes N (resp. P) DOMINO CMOS sont testés si les pannes de collages à zéro (resp. un) multiples des entrées primaires et si les pannes de collages à zéro (resp. un) des sorties des portes primaires, de type N (resp. P), sont testées.*

#### **THEOREME 10**

*Les s-open multiples d'un réseau RFO ou NRFO de portes N (resp. P) DOMINO CMOS sont testés si les pannes de collages à zéro (resp. un) multiples des checkpoints et si les pannes de collages à zéro (resp. un) deq sorties de portes commandées par des "checkpoints", de type N (resp. P), sont testées.*



**THEOREME 11**

*Les s-open multiples d'un réseau IFOF dynamique NP CMOS sont testés si les pannes multiples des collages à zéro des entrées primaires qui commandent les grilles de transistors N, des collages à un des entrées primaires qui commandent les grilles de transistors P sont testées, les pannes de collages à zéro des sorties de portes primaires qui commandent des portes à réseaux N, et les pannes de collages à un des sorties de portes primaires qui commandent des portes à réseaux P, sont testées.*

**THEOREME 12**

*Les s-open multiples d'un réseau RFO ou NRFO dynamique NP CMOS sont testés si les pannes multiples des collages à zéro des "checkpoints" qui commandent les grilles de transistors N, des collages à un des "checkpoints" qui commandent les grilles de transistors P, les pannes de collages à zéro des sorties de portes commandées par des "checkpoints" qui commandent des portes à réseaux N, et les pannes de collages à un des sorties de portes commandées par des "checkpoints" qui commandent des portes à réseaux P, sont testées.*

On peut noter que les théorèmes donnés par BOSSEN et HONG pour le test des collages logiques multiples dans des réseaux **sont suffisants** pour le test de s-open multiples dans les réseaux CMOS dynamiques.

**VII METHODES DE TEST SIMULTANE DES S-ON/S-OPEN**

Dans le passé, on considérait que le test simultané au niveau logique des pannes s-on et s-open situés sur des transistors de nature opposée (N et P), commandés par la même entrée était possible puisqu'on considérait que les s-on étaient testés dès que les s-open étaient testés. Le chapitre IV montre que cela n'est pas vrai (on trouvera de plus ample explications dans [BAS 84]). Ce point aurait pour effet de ne pas permettre d'utiliser directement les théorèmes donnés dans les paragraphes III et IV pour le test des s-open, puisque les s-on ne seraient pas testés. Si l'on se réfère aux paragraphes VII-2 et VII-3, lorsque le test simultané s-on / s-open est envisagé, deux méthodes peuvent être utilisées principalement soit réaliser un test quasi-statique, soit réaliser un test dynamique.

On peut insister sur le fait que : lorsqu'un test de s-open est envisagé, par utilisation des méthodes de test décrites dans les paragraphes III et IV de ce chapitre, le temps de test est considéré comme suit :

- au niveau d'une porte, le temps de test est égal au temps de propagation de la porte. Ainsi ce temps minimum permet la modification de la valeur en sortie de porte en cas de fonctionnement correct, et empêche toute modification parasite de la valeur d'initialisation de la sortie due à des fuites de courant ou à des effets de couplages parasites, par exemple.
- au niveau d'un réseau, le temps de test est égal au plus long temps de propagation (le long du chemin le plus grand) entre les entrées primaires jusqu'à la sortie primaire.

### VII-1 Test quasi statique de portes et de réseaux

Dans ce paragraphe les pannes s-on de transistors et s-open de transistors sont envisagées en cas de pannes simples ; une seule de ces pannes affectant l'un des deux transistors de type N ou P commandés par la même entrée.

Dans ce cas, le s-on fixe le temps de test minimum et le s-open fixe le temps de test maximum. Le temps de test maximum correspond au temps de propagation d'une transition le long du chemin le plus long entre les entrées primaires et la sortie primaire. Le temps de test maximum est défini par la durée maximum dans un état de haute impédance. Un choix très précis du temps de test maximum doit être réalisé de manière à éviter toute pollution (modification de la valeur de sortie).

Les théorèmes décrits pour le test de s-open ne peuvent être directement utilisés. En effet, tous les vecteurs de test des s-open ne sont pas des vecteurs de test des s-on. Deux méthodes apparaissent pour permettre le test simultané des s-on et s-open.

- soit dimensionner les transistors des portes de manière que tous les s-on soient testés lorsque l'on test les s-open. Dans ce cas, les théorèmes précédemment définis pour le test des s-open peuvent être utilisés, les s-open et les s-on seront détectés au niveau d'une porte ou d'un réseau.
- soit choisir les vecteurs de test appliqué de manière à ce que les vecteurs de test des s-open soient des vecteurs de test des s-on.

\* Au niveau d'une porte cela signifie que la séquence (1,0,1) ou (0,1,0) est appliquée à l'entrée testée et que les autres entrées doivent sensibiliser l'entrée testée. Parmi tous les choix possibles de chemins sensibles, seuls quelques uns sont tels que le s-on est testé lorsque le vecteur de s-open est appliqué et les autres sont tels que le s-on n'est pas testé lorsque le test de s-open est appliqué. Les premiers doivent être utilisés pour sensibiliser l'entrée testée lorsqu'un test simultané est envisagé. Dans ce cas, les théorèmes précédemment définis pour le test de s-open au niveau porte peuvent être utilisés pour le test simultané, mais un choix très précis des valeurs des entrées de sensibilisation de l'entrée testée doit être fait.

\* Au niveau d'un réseau, un chemin d'une entrée primaire jusqu'à une sortie primaire peut être considéré pour le test des s-open. En vue de tester les s-on de portes complexes appartenant à ce chemin, il semblerait nécessaire, non seulement de sensibiliser un chemin, mais également de choisir pour chaque porte complexe l'ensemble des entrées de sensibilisation de manière à tester les s-on. Ces contraintes doivent être propagées par retour inverse vers les entrées primaires. Même si ces contraintes ne sont pas impossibles à prendre en compte suite à des problèmes de consistance, elles risquent d'être considérées comme de fortes contraintes pour la génération de tests. Néanmoins, on peut noter que ces contraintes apparaissent seulement si de multiples possibilités existent pour sensibiliser une entrée de porte. Si aucun choix n'est possible, cela signifie qu'il sera testé, s'il est testable, automatiquement lorsque le s-open sera testé. Ce serait le cas de réseaux construits avec des portes classiques telles que NAND, NOR, AND, OR comme définies précédemment.

Pour conclure sur le test quasi statique simultané de s-on et s-open dans les portes et les réseaux statiques, il peut être établi que dessiner les transistors pour les test des s-on (DFT : Design For Testability), i. e. dimensionner les transistors des portes complexes de manière à ce que les s-on soient testés par les vecteurs de test des s-open, est le seul moyen raisonnable, permettant une génération facile des vecteurs de test par l'utilisation des théorèmes généraux donné dans le paragraphe IV. Un dessin adapté au test peut être décrit comme suit :

*- Tous les transistors sont dimensionnés de manière à ce que chaque s-on soit : soit testé par tout vecteur de test de s-open qui résulte de la procédure de test qui consiste à appliquer une séquence (1,0,1) ou (0,1,0) au transistor dual, soit intestable.*

Si de telles conditions sont référencées par la **Condition C**, le point suivant peut être noté.

La condition C a pour effet de rendre toutes les pannes s-on soit testables par tout vecteur de test potentiel, soit intestable. Cela vient du fait qu'il n'est pas possible d'avoir tous les s-on testables simultanément.

Un simple exemple peut illustrer cette impossibilité.

Considérons une porte NAND, semblable à celle décrite figure V-1. Le test du transistor  $P_A$  s-on nécessite  $A = 1$  et  $B = 1$ , et requière la condition  $R_P \ll R_N + R_N$  pour que la sortie soit reconnue comme un 1 logique. Mais le test de  $N_B$  s-on nécessite  $A = 1$  et  $B = 0$ , et requière la

condition  $R_P \ll R_N + R_N$  pour que la sortie de porte soit reconnue comme un 0 logique. Il est évident que ces deux conditions ne peuvent être vérifiées simultanément. Seuls un test dynamique ou une mesure de la consommation en courant peuvent détecter les deux pannes.

Cet exemple montre que toute porte CMOS est redondante vis à vis de certaines pannes de s-on, au point de vue logique, comme les portes NMOS ou PMOS sont redondantes vis à vis des pannes s-on des transistors de charge ou de décharge.

Ces points permettent d'établir le théorème suivant :

### **THEOREME 13**

*Sous l'hypothèse de la condition C, les théorèmes 1 et 2 déterminant la détection des s-open simples dans les réseaux statiques CMOS détecteront également les s-on simples testables du transistor de nature opposée (N ou P) commandé par la même entrée.*

Si un tel dessin adapté au test (DFT) n'est pas inclus dans les portes complexes alors la génération de vecteurs de test devient une tâche très pénible, puisqu'il y a plus de contraintes que pour la sensibilisation classique d'un chemin à prendre en compte.

### **VII-2 Test simultané dynamique de portes statiques**

Dans ce cas le test de s-open définit le temps de test. Ce temps et le temps maximum de propagation le long du chemin le plus long entre l'entrée testée et la sortie primaire. Ce temps n'est pas suffisant pour permettre l'établissement d'une valeur logique en présence d'une panne s-on. Le retard apporté par une panne s-on de transistor est alors utilisée pour manifester une panne. Ce test est réalisé à la fréquence du travail. Ainsi : soit la sortie de porte est en état de haute impédance en présence d'un s-open, soit le retard de transition de sortie en présence de s-on, manifeste une panne.

Le test simultané de s-on et s-open de transistors peut être envisagé pour des réseaux composés de portes NAND, NOR... , de portes complexes à réseaux entièrement complémentés ou de portes hybrides. Dans ce cas les théorèmes qui définissent le test des s-open doivent être utilisés avec quelques précautions. En effet, ce type de test ne permet pas la détection de pannes s-on dans les portes terminales d'un réseau par suite de la non addition des retards, apportés par une panne s-on, sur les portes avalées. Ainsi le dimensionnement de ces portes terminales doit être étudié pour permettre l'utilisation sans restriction des théorèmes décrits.

### VII-3 Test simultané de portes et de réseaux dynamiques.

En cas de portes ou de réseaux DOMINO CMOS ou NP CMOS, le problème est légèrement différent. Il a été montré que pour ce type de portes, les s-open sont plus faciles à tester, et que le test des s-on et le test simultané ont certaines particularités.

En effet, lorsqu'un test simultané est envisagé dans le cas de portes classiques NAND, NOR, etc... de portes complexes entièrement complémentées ou de portes hybrides, un s-open dans un réseau (N ou P) et un s-open dans l'autre réseau (P ou N) sont impliqués. Dans le cas de structures DOMINO CMOS ou NP CMOS un des réseaux (N ou P) est réduit à un transistor de précharge (ou de charge). Si l'on se réfère à la figure V-4 pour une porte N-DOMINO il peut être noté que, pendant la phase d'évaluation le s-open du réseau N, le transistor de décharge N1 et le transistor P2 sont testés lorsqu'un test de collage à zéro des entrées est réalisé, et les s-open de P1 et N2 sont testés lorsqu'un test de collage à zéro de la sortie de porte (notée R) est réalisé.

Inversement, le s-on de N1 et le s-open du réseau N ne peuvent pas être testés simultanément. En effet, on peut noter que le vecteur de test d'un s-on N1 est appliqué lorsqu'un chemin est sensibilisé entre la sortie et la ligne de masse et lorsque N1 est commandé par un 0. Cette configuration ne peut pas être validée car lorsque N1 est commandé par un 0 logique tous les transistors du réseau N sont également commandés par des 0 logiques. Donc, aucun test logique ne peut être réalisé pour tester N1 s-on. L'effet de ce s-on ne peut être mis en évidence au niveau logique, seul un accroissement du courant de décharge et une réduction du temps de descente de la sortie de porte peuvent apparaître. Cet effet peut induire une modification des caractéristiques physiques du composant et un vieillissement prématuré de la porte.

N2 s-on est testé par l'un des tests de s-open du réseau N, s'il est testable.

Le s-on du transistor de précharge P1 peut être testé pendant le test de s-open du réseau N, si l'on teste avec précautions.

Le s-on du réseau N (resp. P) et du transistor P1 de précharge (resp. N1 de décharge) doit être considéré pour le test de portes N-DOMINO (resp. P-DOMINO). Le s-on du transistor P1 de précharge (resp. N1 de décharge) est testé si, en accord avec le chapitre IV, un chemin est validé dans le réseau N (resp. P) de manière que ce chemin ait la plus grande résistance possible. Il est clair que ce chemin peut être considéré comme un chemin de sensibilisation du s-open de n'importe quel transistor N (resp. P) situé sur ce chemin. Si le chemin sensibilisé lors du test de tous les s-open N (resp. P) du réseau est choisi de manière à être le plus résistif possible, alors le s-on du transistor P1 de précharge (resp. N1 de décharge) sera testé pendant le test de s-open du réseau N (resp. P), s'il est testable.

Le s-on des transistors du réseau N (resp. P) sera testé par un test de collage à 1 (resp. 0). Il peut être noté que lorsqu'un test de s-on d'un transistor du réseau N (resp. P) d'une porte

dynamique est réalisé, le nœud Q est dans un état de haute indépendance (s'il n'y a pas de panne). Ce nœud Q est connecté seulement à la masse par l'intermédiaire de s-on considéré (en cas de panne). Ce chemin permettra la décharge du nœud Q.

En accord avec ces deux points tous les s-on et les s-open de portes DOMINO CMOS peuvent être testés si l'on considère le théorème 14.

### **THEOREME 14**

*Tous les s-on et les s-open simples, testables, d'une porte DOMINO-N (resp. P) CMOS sont testés si un test de collage à 0 (resp. 1) de chaque entrée est appliqué tel que le chemin sensibilisé est la plus grande résistance possible, et si un test de collage à 1 (resp. 0) de chaque entrée est appliqué.*

Il peut être noté que lorsque les pannes s-on et s-open sont testées, aucun test de collage de sortie de porte n'est requis. En effet, lorsque le test de s-on d'un transistor N du réseau d'un porte dynamique est réalisé, le test de collage de la sortie à zéro est automatiquement réalisé.

Il apparait clairement que, si l'on compare aux portes statiques CMOS, le test des s-open est **plus facile**, et que le test des s-on est **également plus facile**. Seule la panne s-on du transistor de précharge (resp. décharge) de portes à réseaux N (resp. p) requiert une attention particulière.

De manière analogue à ce qui a été reconnu pour le test statique simultané de portes statiques, ces contraintes ne peuvent pas être prises en compte au niveau d'un réseau de portes, à moins qu'un dessin adapté au test (DFT) ne soit inclus.

Un tel dessin adapté au test de s-on implique de dimensionner les transistors du réseau (bloc) fonctionnel et les transistors de validation N1 et P1 tels que : tout vecteur de test d'un s-open du réseau N (resp. p) détecte le s-on du transistor P1 de précharge (resp. N1 de décharge) de la porte N-DOMINO (resp. P-DOMINO).

Si cette condition de dessins est référencée comme **condition C** (pour des portes dynamiques), alors les lemmes suivants peuvent être décrits :

### **LEMME 10**

*Si la condition C est vérifiée alors, tous les s-open et les s-on simples, testables, d'une porte DOMINO sont détectés si les pannes de collages logiques à 1 et à 0 des entrées sont testées.*

Il est facile ensuite de dériver les théorèmes suivants pour le test simultané des s-on et des s-open de réseaux DOMINO et NP CMOS.

### **THEOREME 15**

*Si la condition C est vérifiée, tous les s-on et les s-open simples, testables, de réseaux IFOF de portes dynamiques DOMINO ou NP CMOS sont testés si les collages logiques à 0 et à 1 des entrées primaires sont testés.*

### **THEOREME 16**

*Si la condition C est vérifiée, tous les s-on et les s-open simples, testables, d'un réseau RFO ou NRFO de portes dynamiques DOMINO ou NP CMOS sont testés si les collages logiques à 0 et à 1 des checkpoints sont testés.*

Dans ce cas on peut noter que les théorèmes correspondant pour le test de collages logiques [TO 73] **ne sont plus des conditions suffisantes** pour le test simultané s-on et s-open de réseaux dynamiques.

## **VIII TEST DE S-ON / S-OPEN MULTIPLES**

Dans ce paragraphe sont traitées les pannes multiples, en considérant qu'un dessin adapté au test a été réalisé. Les pannes envisagées sont des pannes s-on/s-open intervenant comme pannes simples dans une porte, mais intervenant dans de multiples portes d'un réseau, simultanément. Successivement, des réseaux de portes statiques et dynamiques seront considérés. Les réseaux statiques sont ceux traités dans les paragraphes IV-1 et IV-2, les réseaux dynamiques sont ceux traités dans les paragraphe IV-3.

Le dessin adapté au test (DFT) requis a été référencé par la condition C dans le paragraphe VI-1 pour les réseaux statiques et dans les paragraphes VI-3 pour les réseaux dynamiques.

Les réseaux statiques sont premièrement considérés. Considérons un s-on / s-open multiple comme défini précédemment. La condition C implique que chaque s-on d'une panne multiple T-domine le s-open du transistor dual. Donc, seuls les s-open multiples doivent être considérés et les théorèmes 7 et 8 peuvent être utilisés pour dériver les théorèmes suivants.

**THEOREME 17**

*Si la condition C est vérifiée, tout ensemble de pannes simples s-on / s-open de réseaux IFOF de portes NAND, NOR, etc... de portes entièrement complémentées ou de portes hybrides est testé si les s-open multiples des entrées primaires sont testées par l'utilisation des séquences (1,0,1) ou (0,1,0).*

**THEOREME 18**

*Si la condition C est vérifiée, tout ensemble de pannes simples s-on / s-open de réseaux RFO ou NRFO de portes NAND, NOR, etc..., de portes entièrement complémentées ou de portes hybrides est testé si les s-open multiples des checkpoints est testé par l'utilisation des séquences (1,0,1) ou (0,1,0).*

En ce qui concerne les réseaux dynamiques, les théorèmes permettent d'utiliser les résultats de BOSSEN et HONG, ce qui donne les théorèmes suivants :

**THEOREME 19**

*Si la condition C est vérifiée, lout ensemble de pannes s!mples s-on / s-open multiples de réseaux IFOF DOMINO ou NP CMOS est testé si les pannes de collages multiples des entrées primaires sont testées.*

**THEOREME 20**

*Si la condition C est vérifiée, tout ensemble de pannes simples s-on/ s-open de réseaux RFO ou NRFO DOMINO ou NP CMOS est testé si les pannes de collages multiples des checkpoints sont testées.*

Nous pouvons noter à nouveau que les théorèmes correspondants associés au test de collages multiples [BOS71] **ne sont plus des conditions suffisantes** pour le test des s-on/s-open multiples de réseaux dynamiques.



## **IX CONCLUSION**

Dans ce chapitre ont été décrites les méthodes de test des s-open dans les circuits CMOS.

Tout d'abord les conditions de testabilité d'un s-open ont été exposées, puis une procédure de test a été démontrée. Cette procédure est basée sur l'application du triplet (1,0,1) ou (0,1,0) sur l'entrée lorsqu'un chemin est sensibilisé de cette entrée jusqu'à une sortie. Des portes statiques et dynamiques ont été étudiées, et des théorèmes généraux établis. Les théorèmes étendent au test du s-open CMOS les résultats formulés par TO, d'après des idées présentées par ARMSTRONG en 1966 et KOHAVI en 1970, pour le test des collages logiques (simples) dans des réseaux. Il peut être noté que ces "vieux" théorèmes donnent des conditions suffisantes pour le test des s-open dans les réseaux dynamiques DOMINO ou NP CMOS.

Les s-open multiples sont également étudiés. Des théorèmes ont été établis pour le test de s-open multiples dans les réseaux.

Ces théorèmes étendent aux s-open multiples CMOS les résultats de BOSSEN et HONG en 1971 pour le test de collages logiques multiples dans des réseaux logiques. Dans ce cas également, ces "vieux" théorèmes donnent des conditions suffisantes pour le test de s-open multiples dans les réseaux dynamiques DOMINO ou NP CMOS.

Le problème du test simultané de pannes s-on et s-open a été également envisagé. A partir des résultats obtenus pour le test des s-on (chapitre IV) et en considérant que les portes ont été dessinées en vue du test (DFT) il a été montré que les s-open/ s-on simples et multiples peuvent être testés facilement en utilisant quelques théorèmes de base. Les "vieux" théorèmes correspondants ne donnent plus de conditions suffisantes pour le test de s-on / s-open dans les réseaux dynamiques DOMINO ou NP CMOS.

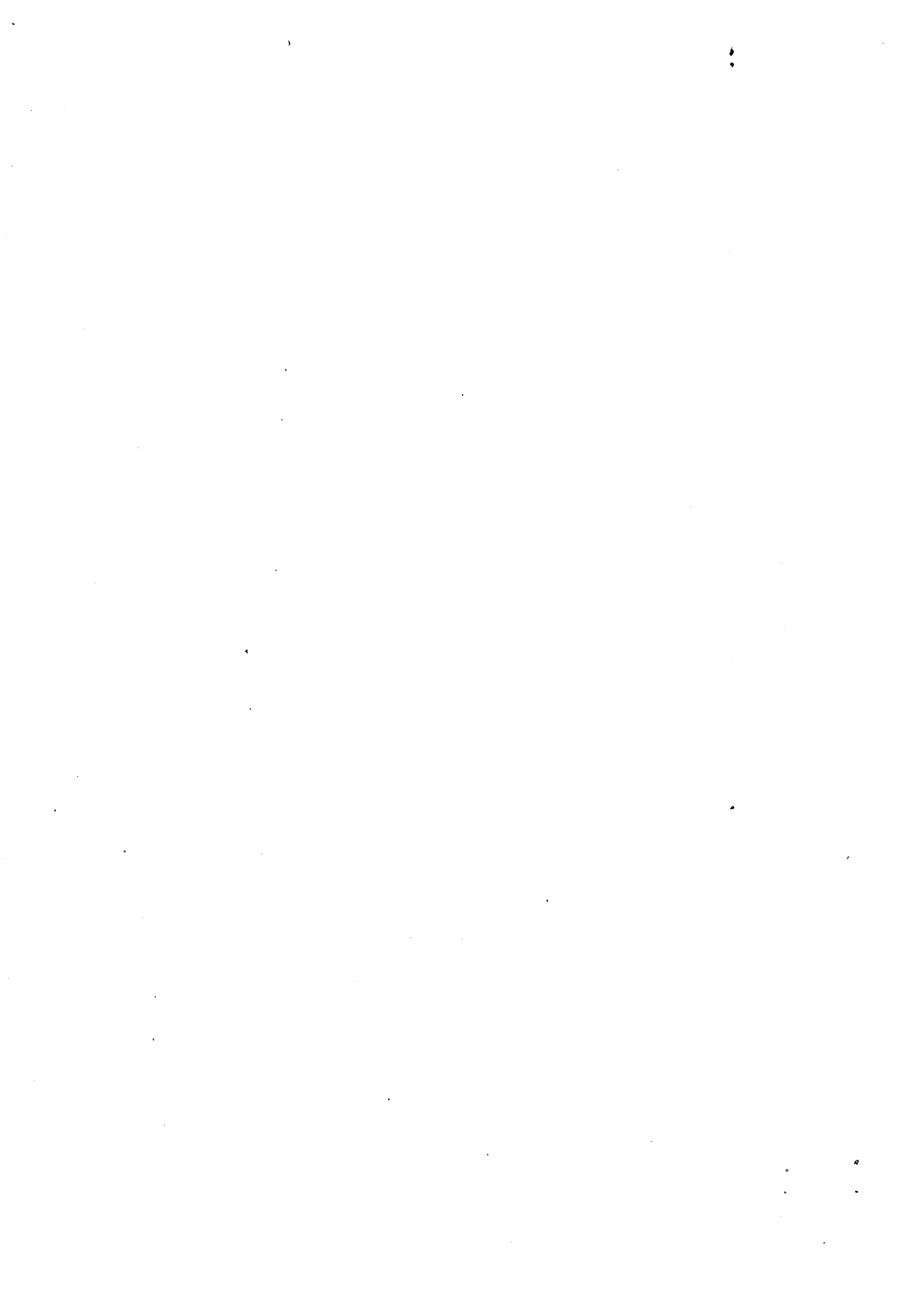
Les 20 théorèmes décrits dans ce chapitre représentent des théorèmes de base du test des circuits CMOS. Ils étendent au CMOS de nombreux travaux réalisés dans le passé pour le test de collages logiques.

## REFERENCES

- [ARM66] : ARMSTRONG D. B.  
"On Finding a Nearly Minimal Set of Fault Detection Tests for Combinational Logic Nets".  
IEEE Transaction On Electronic Computers, February 1966, Vol EC-15 N°1.
- [BAS84] : BASCHIERA D., COURTOIS B.  
"Testing CMOS : a Challenge".  
VLSI DESIGN Vol N°10, October 1984.
- [BOS71] : BOSSEN D.C., HONG S.J.  
"Cause-Effect Analysis for Multiple Fault Detection in Combinational Networks".  
IEEE Transaction on Computers, Vol C-20, November 1971.
- [BRE76] : BREUER M.A., FRIEDMAN A.D.  
"Diagnosis and Reliable Design of Digital Systems".  
PITMAN 1976.
- [CHIA83] : CHANDRAMOULI R.  
"On Testing Stuck-open Faults".  
13th Fault Tolerant Computing Symposium, Milano 1983.
- [CHE84] : CHEN H.H., et al  
"Test Generation for MOS Circuits".  
IEEE International Test Conférence, Philadelphia, 1984.
- [ELZ79] : ELZIQ Y.M.  
"Testing of CMOS Combinational networks : A procedure for Efficient Fault Simulation and Test Generation".  
16th Design Automation Conference, 1979.
- [ELZ81] : ELZIQ Y.M.  
"Automatic Test Generation for Stuck-open Faults in CMOS VLSI".  
18th Design Automatic Conference, Nashville, June 1981.
- [FOR77] : FORBES B.E.  
"Silicon on Sapphire Technology Produces High-Speed Chip Processor".  
Hewlet Packard Journal, April 1977.
- [GAU72] : GAULT J.W., ROBINSON J.P., REDDY S.M.  
"Multiple Fault Detection in Combinational Networks".  
IEEE Transaction On Computers, January 1972, Vol. C-21 N°1.

- [JHA84] : JHA N.K., ABRAHAM J.A.  
"Testable CMOS Logic Circuits under Dynamic Behavior".  
International Conference on Computer Design, Port Chester, October 1984.
- [KOH70] : KOHAVI I.  
"Fault Detection Experiments for Logical Networks".  
PhD. dissertation, Polytechnic Institute of Brooklyn, New-york 1970.
- [MCL81] : Mc CLUSKEY E.J., BOZORGUI-NEZSBAT S.  
"Modifications for CMOS Circuits".  
IEEE Transactions on Computers, Vol C-30, November 1981.
- [OKL84] : OKLOBDZIJA V., KOVIJANIC P.  
"On testability of CMOS Domino Logic".  
14th Fault Tolerant Computing Symposium, Orlando 1984.
- [RED83] : REDDY S.M., REDDY M.K.  
"Testable Realizations for FET Stuck-open Faults in CMOS Combinational Logic Circuits".  
IEEE International Test Conference, Philadelphia, October 1983.
- [ROT82] : ROTH J.P., SAVIR I.  
"Testing for and Distinguishing between Failures".  
12th Fault Tolerant Computing Symposium, Santa-Monica, June 1982.
- [THO71] : THOMAS J.J.  
"Automated Diagnostic Test Programs for Digital Networks".  
Computer Design, August 1971.
- [TO 73] : TO K.  
"Fault Folding for Irredundant and Redundant Combinational Circuits".  
IEEE Transaction on Computers, Vol. C-22 N° 11, November 1973.
- [WAD78] : WADSACK R.L.  
"Fault Modeling and Logic Simulation of CMOS and MOS Integrated Circuits".  
The Bell systems technical journal, Vol. 57, N° 5, May 1978.

*CONCLUSION*



## CONCLUSION

Cette thèse traite de la modélisation des pannes considérées en technologie CMOS sur substrat silicium et des méthodes de test associées, pour les circuits VLSI.

Quatre types de pannes ont été étudiés : latch-up, court-circuit, s-on de transistors et s-open de transistors. Le latch up est particulier à la technologie CMOS sur substrat silicium. Par contre les courts-circuits, les s-on de transistors et s-open de transistors sont connus en technologie NMOS, mais ont un comportement spécifique en technologie CMOS. Ainsi les modèles de pannes utilisés en technologie NMOS ne sont plus valables en technologie CMOS.

Le latch up a été étudié afin de permettre le test de ce phénomène parasite. Des hypothèses concernant l'influence du latch up sur les structures environnantes ont été proposées. Des simulations au niveau physique sont cependant nécessaires pour valider ces hypothèses. Le test du latch up requiert également des outils qui permettent :

- la reconnaissance d'une structure parasite potentielle et ses modes de déclenchement,
- la reconnaissance des éléments affectés.

Le comportement en cas de court-circuit a été modélisé pour des portes CMOS statiques mais peut être facilement étendu à des portes dynamiques.

Deux types de courts-circuits ont été présentés : entre portes et interne à une porte. Il apparaît que la fonction réalisée en cas de panne n'est pas toujours la même, et que le choix du vecteur de test permet la manifestation et la propagation de la panne en fonction de la localisation physique du court-circuit et du réseau dans lequel est situé le court-circuit. Le vecteur de test choisi doit en particulier éviter de manifester un niveau métastable qui peut être reconnu différemment par deux portes.

Les pannes s-on modifient la fonction de transfert d'une porte. Un circuit logique est transformé en un circuit analogique, induisant une consommation anormale de courant, une modification du niveau électrique de la sortie de porte et une augmentation du temps de transfert de la porte. Les deux derniers paramètres modifiés permettent d'envisager un test de s-on soit par un choix judicieux de vecteurs de test, soit par un dimensionnement des portes, soit par un test dynamique.

Les pannes s-open ont pour effet de modifier un circuit combinatoire en un circuit séquentiel. Une séquence de test composée d'un vecteur d'initialisation et d'un vecteur de test est nécessaire pour tester un transistor s-open. Le test d'une entrée de porte peut être défini par l'application de la séquence (1,0,1) ou (0,1,0) à l'entrée testée et sensibilisation de cette entrée vers la sortie. Ce test d'une entrée peut être utilisé pour tester tous les s-open de portes CMOS simples ou complexes, statiques ou dynamiques ainsi que des réseaux avec ou sans sortance interne, reconvergente ou non. Un ensemble de lemmes et théorèmes de base pour le test des pannes en technologie CMOS est démontré. Ces théorèmes étendent au test du s-open CMOS les résultats formulés pour le test des collages logiques dans les réseaux. Certains de ces théorèmes impliquent une conception adaptée de façon à faciliter le test de ces pannes. Une réduction des séquences de test et un test simultané s-on/s-open peuvent être réalisés.

Certains développements futurs peuvent être présentés.

\* Les théorèmes démontrés pour le test de pannes simples s-open peuvent être étendus au test de pannes multiples s-open, puis multiples s-on... puis à un mélange de diverses pannes multiples. Cette dernière configuration représente le cas le plus probable en fin de fabrication.

Le problème d'invalidation en cas de pannes multiples qui a été présenté pour les pannes de collages doit être reconsidéré pour des multiples s-open et pour un mélange de pannes.

\* Les pannes court-circuit et s-on, lorsqu'elles sont manifestées, se traduisent par une consommation anormale de courant et une modification des niveaux électriques. L'interaction de ce type de panne avec le phénomène parasite "latch up" peut être étudiée.

En effet, ce phénomène peut être déclenché soit par modification de la tension d'une zone diffusée, substrat ou puits, soit par injection de courant sur une des bases des transistors bipolaires parasites.

\* Un certain nombre d'algorithmes qui permettent un test fonctionnel des mémoires et des PLA ont été décrits par certains auteurs. De même, certaines méthodes qui permettent de rendre un PLA facilement testable ou des approches de type test intégré de PLA ont été décrites dans la littérature. Toutes ces "procédures" doivent être reconsidérées afin de déterminer si les pannes s-on et s-open sont couvertes par ces procédures ou algorithmes.

\* Enfin, lorsque l'unification du test en ligne et hors ligne de processeurs est envisagée, l'insertion de générateurs de vecteurs est utilisée [NIC 85]. Il serait nécessaire d'examiner si une modification de ces générateurs est nécessaire pour prendre en compte les pannes spécifiques CMOS.

**REFERENCES**

- [NIC 85] : NICOLAIDIS M.  
" An Unified BIST Approach".  
Research Report, TIM3/INPG, GRENOBLE, February 1986.





**AUTORISATION de SOUTENANCE**

VU les dispositions de l'article 15 Titre III de l'arrêté du 5 juillet 1984 relatif aux études doctorales

VU les rapports de présentation de Messieurs

- . C. LANDRAULT, Chargé de recherche
- . J.C LAPRIE, Maître de recherche

**Monsieur Daniel BASCHIERA**

est autorisé à présenter une thèse en soutenance en vue de l'obtention du diplôme de DOCTEUR de L'INSTITUT NATIONAL POLYTECHNIQUE DE GRENOBLE, spécialité "Informatique".

Fait à Grenoble, le 27 février 1986

**D. BLOCH**  
Président  
de l'Institut National Polytechnique  
de Grenoble

**P.O. le Vice-Président,**



