



HAL
open science

Circuits et systèmes de modélisation analogique de réseaux de neurones biologiques: application au développement d'outils pour les neurosciences computationnelles

Sylvain Saïghi

► **To cite this version:**

Sylvain Saïghi. Circuits et systèmes de modélisation analogique de réseaux de neurones biologiques: application au développement d'outils pour les neurosciences computationnelles. Sciences de l'ingénieur [physics]. Université Sciences et Technologies - Bordeaux I, 2004. Français. NNT : . tel-00326005

HAL Id: tel-00326005

<https://theses.hal.science/tel-00326005>

Submitted on 1 Oct 2008

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THÈSE

présentée à

L'UNIVERSITÉ BORDEAUX I

ECOLE DOCTORALE DES SCIENCES PHYSIQUES ET DE L'INGENIEUR

Par **Sylvain SAÏGHI**

POUR OBTENIR LE GRADE DE

DOCTEUR

SPÉCIALITÉ : Electronique

CIRCUITS ET SYSTEMES DE MODELISATION ANALOGIQUE
DE RESEAUX DE NEURONES BIOLOGIQUES :
APPLICATION AU DEVELOPPEMENT D'OUTILS
POUR LES NEUROSCIENCES COMPUTATIONNELLES

Soutenue le : 29 novembre 2004

Après avis de :

MM. P. NOUET Professeur des Universités, Université Montpellier II
D. ZYTNICKI Directeur de Recherche, CNRS UMR 8119

Rapporteurs

Devant la commission d'examen formée de :

MM. A. KAISER Directeur de Recherche, IEMN – CNRS UMR 8520
G. LE MASSON Professeur des Universités Praticien Hospitalier, Université Bordeaux 2
P. NOUET Professeur des Universités, Université Montpellier II
Me. S. RENAUD Professeur des Universités, ENSEIRB
MM. J. TOMAS Maître de Conférences, Université Bordeaux 1
A. TOUBOUL Professeur des Universités, Université Bordeaux 1
D. ZYTNICKI Directeur de Recherche, CNRS UMR 8119

Président

THÈSE

présentée à

L'UNIVERSITÉ BORDEAUX I

ECOLE DOCTORALE DES SCIENCES PHYSIQUES ET DE L'INGENIEUR

Par **Sylvain SAÏGHI**

POUR OBTENIR LE GRADE DE

DOCTEUR

SPÉCIALITÉ : Electronique

CIRCUITS ET SYSTEMES DE MODELISATION ANALOGIQUE
DE RESEAUX DE NEURONES BIOLOGIQUES :
APPLICATION AU DEVELOPPEMENT D'OUTILS
POUR LES NEUROSCIENCES COMPUTATIONNELLES

Soutenue le : 29 novembre 2004

Après avis de :

MM. P. NOUET Professeur des Universités, Université Montpellier II
D. ZYTNICKI Directeur de Recherche, CNRS UMR 8119

Rapporteurs

Devant la commission d'examen formée de :

MM. A. KAISER Directeur de Recherche, IEMN – CNRS UMR 8520
G. LE MASSON Professeur des Universités Praticien Hospitalier, Université Bordeaux 2
P. NOUET Professeur des Universités, Université Montpellier II
Me. S. RENAUD Professeur des Universités, ENSEIRB
MM. J. TOMAS Maître de Conférences, Université Bordeaux 1
A. TOUBOUL Professeur des Universités, Université Bordeaux 1
D. ZYTNICKI Directeur de Recherche, CNRS UMR 8119

Président

*à mes parents,
à ma sœur,*

Remerciements

Je remercie le Professeur André TOUBOUL pour m'avoir accueilli au sein du laboratoire IXL ; j'ai ainsi pu effectuer mes travaux de thèse.

Je tiens à remercier le Professeur Pascal FOUILLAT pour son soutien ; il m'a permis d'accéder à ce sujet de recherche.

Je remercie vivement le Professeur Sylvie RENAUD pour m'avoir offert ce sujet de recherche ; elle m'a soutenu en tant que directeur de thèse et surtout fait confiance durant ces trois années de travaux.

Je remercie tout aussi vivement le Docteur Jean TOMAS, Maître de Conférences, pour m'avoir aidé à clarifier mes idées dès lors que j'ai commencé à communiquer mes travaux à la communauté scientifique.

Je tiens à remercier tout particulièrement le Professeur Gwendal LE MASSON d'avoir su se rendre disponible dans les phases critiques et d'avoir accepté de présider ce jury de thèse.

Je remercie le Professeur Pascal NOUET et le Docteur Daniel ZYTNICKI, Directeur de Recherche au CNRS, pour avoir accepté d'être les rapporteurs de mon travail, mais aussi pour leurs remarques qui ont amélioré ce manuscrit jusque dans les derniers instants.

Je remercie le Docteur Andréas KAISER, Directeur de Recherche au CNRS, pour l'intérêt qu'il a porté à mon travail en acceptant de faire partie de ce jury de thèse en tant qu'invité.

Je remercie chaleureusement Monsieur Claude ANTONIAZZI pour avoir accepté de lire minutieusement et sans complaisance ce manuscrit ainsi que pour son aide lors de la préparation de la soutenance.

Une sincère et amicale pensée va à l'ensemble des personnes qui ont travaillé avec moi depuis mon DEA et parmi eux je citerai plus particulièrement Monsieur Yannick BORNAT.

Je souhaite aussi remercier l'ensemble du personnel administratif et technique des différents services du laboratoire IXL pour les nombreuses aides qu'ils ont pu me rendre durant mon quotidien de doctorant.

Que l'ensemble des doctorants du laboratoire soit aussi remercié et encouragé à travers ces quelques lignes ; qu'ils n'oublient pas que c'est grâce à leur dynamisme et leur persévérance que les travaux de recherche peuvent progresser.

Enfin, j'adresse mes remerciements les plus chaleureux à l'ensemble de mes proches et de mes amis *Adèle, Alain, Anthony, Baptiste, Caroline, Christian, Claude, Fabien, François, Géraldine, Jean, Jean-Michel, Jean-Pierre, Julie, Lilian, Marie-Alice,*

Marie-Christine, Mélanie, Nathalie, Nathalie, Olivier, Philippe, Philippe, Séline, Stéphane, Sylvie et Yvan pour leurs encouragements ; merci d'avoir accepté mon peu de disponibilité durant ces trois années.

Table des matières

Table des matières	8
Introduction.....	12
Chapitre I Du biologique à l'électronique : le choix des modèles.....	16
1-1 Introduction	18
1-2 Principes de scolastique neurophysiologique	18
1-2-1 L'anatomie des neurones	18
1-2-2 La physiologie des neurones	21
1-2-3 La transmission entre neurones des potentiels d'action	22
1-3 Etat de l'art de l'intégration microélectronique de neurones biologiquement réalistes	25
1-3-1 Le premier neurone sur silicium (R. Douglas et al.)	25
1-3-2 L'apprentissage sur silicium (C. Diorio et al.)	25
1-3-3 Les rétines artificielles sur silicium (K. Boahen et al.)	26
1-3-4 Les neurones comme des oscillateurs (R. Calabrese et al., S. Deweerth et al.)	27
1-3-5 Les arbres dendritiques (J. Elias, D. Northmore et al.)	27
1-3-7 Les neurones paramétrables sur silicium (S. Renaud et al.).....	28
1-4 Le modèle retenu pour l'activité électrique des neurones.....	28
1-4-1 Le formalisme d'Hodgkin et Huxley	29
1-4-2 Un modèle pour la cinétique et l'état d'équilibre des termes d'activation et d'inactivation	31
1-4-3 Les canaux ioniques calcium et dépendants calcium	32
1-4-4 Le circuit électrique et ses équations associées retenus pour implantation	35
1-5 Le modèle retenu pour les synapses	37
1-5-1 Le modèle des synapses électriques.....	37
1-5-2 Le modèle analogique des synapses chimiques basé sur le formalisme d'Hodgkin et Huxley.....	37
1-5-3 Le modèle mixte des synapses chimiques : une anticipation vers la mise en réseau des neurones....	38
1-6 Le cahier des charges relatif aux modèles retenus.....	40
1-6-1 La répétition des opérateurs de calcul.....	40
1-6-2 Le cahier des charges des opérateurs de calcul	41
1-7 Résumé.....	43
Chapitre II Les fonctions analogiques implantées dans le silicium	44
2-1 Introduction	46
2-2 Les outils de conception.....	46
2-2-1 Généralités sur les circuits intégrés.....	46
2-2-2 La suite logicielle <i>Cadence</i>	47
2-3 Les technologies silicium utilisées.....	49
2-3-1 La technologie BiCMOS 0,35 μm SiGe du fondeur <i>austriamicrosystems</i>	49
2-3-2 Comparatif des technologies BiCMOS 0,8 μm et BiCMOS 0,35 μm SiGe du fondeur <i>austriamicrosystems</i>	50
2-4 Les circuits élémentaires	53
2-4-1 Le contexte de conception : la puce <i>Violetta</i>	53
2-4-2 Le générateur de courant commandé par une tension	54
2-4-3 Le multiplieur en mode courant.....	55
2-4-4 L'amplificateur à transconductance	56
2-4-5 La paire différentielle bipolaire avec étage de prédistorsion	58

2-5 La fonction sigmoïde.....	60
2-5-1 Le schéma synoptique.....	60
2-5-2 Les résultats	61
2-6 La fonction cinétique	62
2-6-1 Le schéma synoptique.....	62
2-6-2 Les résultats	64
2-7 La fonction d'élévation à la puissance	65
2-7-1 La solution pour réaliser la fonction m^3h	65
2-7-2 Les autres montages pour les autres fonctions puissance.....	66
2-7-3 Une propriété remarquable de ces différents montages	67
2-8 La fonction de sortie	68
2-8-1 Une première solution.....	68
2-8-2 Une seconde solution	70
2-9 Résumé.....	71
Chapitre III De l'opérateur analogique au système	72
3-1 Introduction	74
3-2 Quelle puce système ?	74
3-2-1 Les objectifs visés.....	74
3-2-2 Les solutions pour répondre aux objectifs	76
3-3 Les étapes intermédiaires pour réaliser la puce système	79
3-3-1 Les canaux ioniques et les synapses.....	80
3-3-2 L'interrupteur et le multiplexeur-démultiplexeur	80
3-3-3 Le comparateur à seuil avec monostable à retard réglable.....	81
3-3-4 La gestion de la topographie	81
3-3-5 Les mémoires analogiques	83
3-4 La réalisation de la puce système	86
3-4-1 Quelques considérations pour la réalisation du layout.....	86
3-4-2 La puce système <i>Pamina</i>	87
3-5 Intégration de la puce Pamina dans le système.....	89
3-5-1 La carte PCI <i>PAX</i> développée dans le cadre du projet européen <i>SenseMaker</i>	89
3-5-2 La carte fille <i>Kronos</i> supportant la puce <i>Pamina</i>	91
3-6 La partie logicielle associée au système.....	92
3-6-1 Le pilote de la carte <i>PAX</i> et les instructions en langage C	92
3-6-2 Les fonctions implémentées dans le FPGA	92
3-7 Résumé.....	97
Chapitre IV Expériences et résultats.....	98
4-1 Introduction	100
4-2 La mise en réseau des noyaux de calcul.....	100
4-2-1 Concernant les synapses	100
4-2-2 Concernant le détecteur de potentiel d'action	103
4-2-3 Discussion sur la mise en réseau.....	104
4-3 La technique de voltage-clamp	104
4-3-1 L'identification du canal potassium	105
4-3-2 L'identification du canal sodium	108
4-3-3 L'identification du canal de fuite	114
4-3-4 L'identification du canal modulateur	114
4-3-5 Discussion sur la technique de voltage-clamp appliquée au circuit.....	117
4-4 Comparatifs entre le circuit et un modèle théorique.....	118
4-4-1 La normalisation des neurones artificiels pour identification avec le logiciel Neuron	119
4-4-2 La comparaison du neurone inhibiteur dans le domaine temporel.....	120

4-4-3 Les courbes $f(I)$ des neurones inhibiteur et excitateur	121
4-4-4 Discussion sur les tests comparatifs	122
4-5 D'autres résultats complémentaires.....	124
4-5-1 L'activité en plateau calcique	125
4-5-2 L'activité oscillatoire	126
4-5-3 La vitesse de calcul	127
4-6 Applications à court terme.....	129
4-6-1 Retour sur la technique hybride	129
4-6-2 Application à la technique d'optimisation	129
4-7 Résumé.....	131
<i>Conclusion et perspectives</i>	<i>132</i>
<i>Publications de l'auteur</i>	<i>135</i>
<i>Bibliographie</i>	<i>138</i>
<i>Annexes.....</i>	<i>145</i>
Annexe 1 : Le plan de câblage de la puce Pamina	147
Annexe 2 : Les mots de topographie permettant la configuration des noyaux de calcul.....	148
Annexe 3 : Les adresses détaillées des différents paramètres	149
Annexe 4 : Les valeurs des paramètres des neurones inhibiteur et excitateur	151

Introduction

La recherche de la compréhension des mécanismes relatifs à la mémoire, à l'apprentissage, à la transmission de l'information est un des enjeux actuels des neurosciences. Longtemps, seules les approches expérimentales des neurosciences intégratives ont été utilisées dans cette quête. Cependant, étudier même une infime partie d'une population composée de plusieurs dizaines de milliards de neurones chez l'être humain par expérimentation sans poser quelques hypothèses simplificatrices demanderait un travail sans commune mesure.

La création de modèles est alors devenue une nécessité pour une partie de la communauté neuroscientifique qui s'est regroupée au sein d'une nouvelle discipline : les neurosciences computationnelles. Elles sont définies comme étant le champ des neurosciences qui étudie le système nerveux en utilisant des outils théoriques et informatiques en relation étroite avec les données expérimentales. Leur objectif est de comprendre les relations entre la structure et la fonction des cellules nerveuses ou des ensembles cellulaires. Les méthodes d'analyses relèvent des mathématiques, de la physique, du traitement du signal, de l'informatique et de façon générale des sciences de l'ingénieur.

La définition d'un modèle dépend grandement du sujet d'étude ; plus le phénomène physique étudié est complexe, plus sa modélisation doit faire appel à un niveau élevé d'abstraction. Utiliser des neurones formels avec une description mathématique limitée à quelques équations permettra de conserver la puissance des outils mathématiques mais devra être dédié à l'étude des phénomènes cognitifs ou comportementaux [WES 2000]. A l'opposé, utiliser des modèles prenant en considération les caractéristiques biophysiques de nombreuses données expérimentales permettra de décrire avec précision les phénomènes physiques mis en jeu mais sera limité à l'étude de quelques neurones à cause de la puissance de calcul nécessaire pour manipuler ces modèles [LEM 1998].

L'idéal serait de posséder une description précise des phénomènes physiques tout en conservant une grande puissance de calcul. C'est à partir de cette constatation que s'est développée une alternative d'ingénierie à travers la conception de circuits intégrés analogiques neuromimétiques. Le premier circuit de ce type [MAH 1991] reproduit, à quelques approximations près, la dynamique des canaux ioniques des membranes des neurones tout en préservant un fonctionnement en temps réel.

Parallèlement à l'apparition de ce nouveau type de simulateur, a été élaborée une nouvelle technique d'étude du comportement dynamique des neurones, appelée technique hybride [REN 1993]. Cette technique est basée sur l'utilisation de processeurs dédiés au traitement du signal pour reproduire en temps réel le comportement des canaux ioniques. Le processeur, grâce à un appareillage classique d'électrophysiologie, est connecté à des neurones biologiques. Cette technique novatrice possède l'intérêt de réunir la modélisation issue des neurosciences computationnelles avec les expérimentations des neurosciences intégratives, mais elle présente le désavantage, comme les simulateurs numériques, de ne pas accepter de modification dynamique des paramètres des modèles implémentés.

La réunion des deux précédents concepts (l'intégration analogique neuromimétique et la technique hybride) a été le socle fondateur de notre équipe au sein du laboratoire de microélectronique IXL (UMR 5818 CNRS / ENSEIRB-Université Bordeaux 1). Ce sujet de recherche a déjà fait l'objet de quatre thèses au sein de notre équipe. Les trois premières [DUP 1998] [LAF 1998] [DOU 2000] ont été inscrites dans la continuité de l'idée originelle de notre équipe, à savoir la conception d'outils pour les neurosciences computationnelles. Grâce à un fonctionnement en temps réel avec une possibilité de reconfiguration dynamique des circuits intégrés, la technique hybride a pu évoluer [ALV 2004] [REN 2004]. La réalisation de cette technique à l'aide de nos circuits intégrés, en lieu et place du processeur dédié au traitement du signal, a permis notamment l'étude du rôle du circuit thalamique dans le filtrage des informations sensorielles vers le cortex [LEM 2002]. La quatrième thèse [ALV 2003] a traité de la conception de circuits intégrés orientée vers la création de réseaux de neurones sur silicium de densité moyenne. Cette approche a pu être effectuée en choisissant des modèles simplifiés par rapport aux premiers travaux mais néanmoins biologiquement réalistes.

Aujourd'hui, nous pouvons identifier dans notre équipe trois volets de recherche :

- L'étude fondamentale de l'intégration sur circuits intégrés de « neurones artificiels sur silicium » et de l'évolution de l'environnement du simulateur neuronal analogique en collaboration avec le laboratoire « Physiopathologie des réseaux neuronaux médullaires » (INSERM EMI 358) ;
- L'extension du principe des réseaux hybrides aux connexions neuronales extra-cellulaires en participant au projet européen Neurobit (FET, 5^{ème} PCRD) ;
- L'implantation sur circuits intégrés spécifiques de réseaux de neurones pyramidaux du néocortex pour la simulation biologiquement réaliste de fonctions d'apprentissage et de fusion sensorielle, en participant au projet européen Sensemaker (IST, 5^{ème} PCRD) ;

Mon sujet de recherche, intitulé « Circuits et systèmes de modélisation analogique de réseaux de neurones biologiques : application au développement d'outils pour les neurosciences computationnelles », s'inscrit dans le premier volet et dans la continuité des trois premières thèses.

Ce sujet de recherche avait pour principaux objectifs la réalisation d'une bibliothèque de fonctions électroniques analogiques intégrées réalisant les opérations mathématiques présentes dans les modèles des canaux ioniques des neurones et l'évaluation des éléments de cette même bibliothèque. Il devait se poursuivre par la conception d'un système démonstrateur basé sur un circuit intégré analogique neuromimétique utilisant la bibliothèque d'opérateurs pour que ce même circuit intégré puisse être utilisé dans de nouvelles expériences mettant en oeuvre la technique hybride. Si les performances du circuit le permettaient, il fallait aussi étudier la faisabilité de son utilisation pour développer un outil d'extraction des paramètres d'une cellule nerveuse, voire même d'un mini-réseau composé de moins d'une dizaine de neurones, par la technique d'optimisation [LEM 1998].

Pour répondre à cette problématique, mes travaux seront présentés en quatre chapitres :

Le premier présentera tout d'abord l'anatomie et la physiologie des neurones, et ensuite nous aborderons les travaux précurseurs de conception de circuits intégrés neuromimétiques menés par d'autres équipes. Enfin nous détaillerons le modèle que nous avons choisi d'implanter dans le silicium et le cahier des charges associé.

Dans le second chapitre nous développerons le contexte dans lequel s'est déroulé le travail de conception. Puis nous proposerons des solutions pour les différents opérateurs mathématiques constituant notre future bibliothèque. A partir des mesures effectuées sur ces opérateurs, soit nous les validerons, soit nous proposerons de nouvelles solutions.

Nous poursuivrons, dans le troisième chapitre, par la description des contraintes auxquelles notre système doit répondre. Ensuite, nous détaillerons les différentes solutions techniques qui nous ont permis de concevoir une puce utilisant notre bibliothèque d'opérateurs. Nous terminerons par la présentation des parties matérielle et logicielle du système.

Au quatrième chapitre, nous traiterons des performances du circuit intégré en utilisant les techniques traditionnelles d'électrophysiologie, à savoir la technique de voltage-clamp et l'identification des courbes fréquence de décharge des neurones vs courant de stimulation. Ensuite nous discuterons ces résultats. Nous terminerons par une analyse de la faisabilité d'utilisation de ce circuit pour la technique hybride et celle d'optimisation.

Nous concluons ce manuscrit par une discussion sur les perspectives d'application de ces travaux à moyen terme.

Chapitre I

Du biologique à l'électronique : le choix des modèles

« C'est parce que vous, vous avez compris que vous n'avez rien compris que vous allez rester au dessus de cette confusion [...] Notre spécialité, toujours d'après moi, cela serait d'être les spécialistes de la clarté dans la confusion »

Charles Denner
dans *L'aventure c'est l'aventure.*

Chapitre I	<i>Du biologique à l'électronique : le choix des modèles</i>	16
1-1	Introduction	18
1-2	Principes de scolastique neurophysiologique	18
1-2-1	L'anatomie des neurones	18
1-2-2	La physiologie des neurones	21
1-2-3	La transmission entre neurones des potentiels d'action	22
1-3	Etat de l'art de l'intégration microélectronique de neurones biologiquement réalistes	25
1-3-1	Le premier neurone sur silicium (R. Douglas et al.)	25
1-3-2	L'apprentissage sur silicium (C. Diorio et al.)	25
1-3-3	Les rétines artificielles sur silicium (K. Boahen et al.)	26
1-3-4	Les neurones comme des oscillateurs (R. Calabrese et al., S. Deweerth et al.)	27
1-3-5	Les arbres dendritiques (J. Elias, D. Northmore et al.)	27
1-3-7	Les neurones paramétrables sur silicium (S. Renaud et al.)	28
1-4	Le modèle retenu pour l'activité électrique des neurones	28
1-4-1	Le formalisme d'Hodgkin et Huxley	29
1-4-2	Un modèle pour la cinétique et l'état d'équilibre des termes d'activation et d'inactivation	31
1-4-3	Les canaux ioniques calcium et dépendants calcium	32
1-4-4	Le circuit électrique et ses équations associées retenus pour implantation	35
1-5	Le modèle retenu pour les synapses	37
1-5-1	Le modèle des synapses électriques	37
1-5-2	Le modèle analogique des synapses chimiques basé sur le formalisme d'Hodgkin et Huxley	37
1-5-3	Le modèle mixte des synapses chimiques : une anticipation vers la mise en réseau des neurones	38
1-6	Le cahier des charges relatif aux modèles retenus	40
1-6-1	La répétition des opérateurs de calcul	40
1-6-2	Le cahier des charges des opérateurs de calcul	41
1-7	Résumé	43

1-1 Introduction

A travers ce chapitre, nous cheminerons des connaissances les plus éloignées de celles d'un électronicien, la neurophysiologie, à une proposition de modèle biologiquement réaliste intégrable dans le silicium.

Dans un premier temps, je rappellerai les principes élémentaires de l'anatomie et de la physiologie du neurone. Dans un deuxième, exposer les travaux mêlant à la fois biologie et microélectronique, menés par d'autres équipes à travers le monde, permettra d'expliquer les choix effectués par notre équipe pour la modélisation de l'activité électrique du neurone et des synapses. Enfin, nous décrirons le cahier des charges retenu pour la constitution de notre bibliothèque d'opérateurs analogiques mathématiques.

1-2 Principes de scolastique neurophysiologique

Ce paragraphe va nous familiariser avec les principes fondamentaux du fonctionnement, d'un point de vue électrique, des neurones. Il se décomposera en trois parties : l'anatomie des neurones ; les mécanismes liés à la génération du potentiel d'action ; les phénomènes de propagation de ce même potentiel d'action d'un neurone à l'autre.

1-2-1 L'anatomie des neurones

Il existe une grande diversité de neurones. Les déclinaisons d'architectures neuronales dépendent de l'espèce animale, de leur localisation au sein du système nerveux ou de leur fonction. La figure 1-1 permet d'illustrer cette remarque.

Cependant, il est possible de dégager une architecture commune à chacun d'eux, comme celle présentée à la figure 1-2. Elle se compose des dendrites, du corps cellulaire appelé soma, de l'axone et des synapses. Cette énumération sera la trame de la description du neurone et que nous conclurons par les propriétés électriques de la membrane plasmique qui entoure le soma [CAL 1998].

LES DENDRITES

De multiples prolongements prennent naissance au niveau du soma pour se ramifier tel un arbre. Ces ramifications permettent les connexions synaptiques. Ces dernières assurent la continuité de la propagation de l'information entre les différents neurones qui constituent le parcours de l'information. Les dendrites se différencient de l'axone par des contours irréguliers et par un diamètre diminuant au fur et à mesure que nous nous éloignons du soma. Les dendrites constituent la surface principale de réception de l'information.

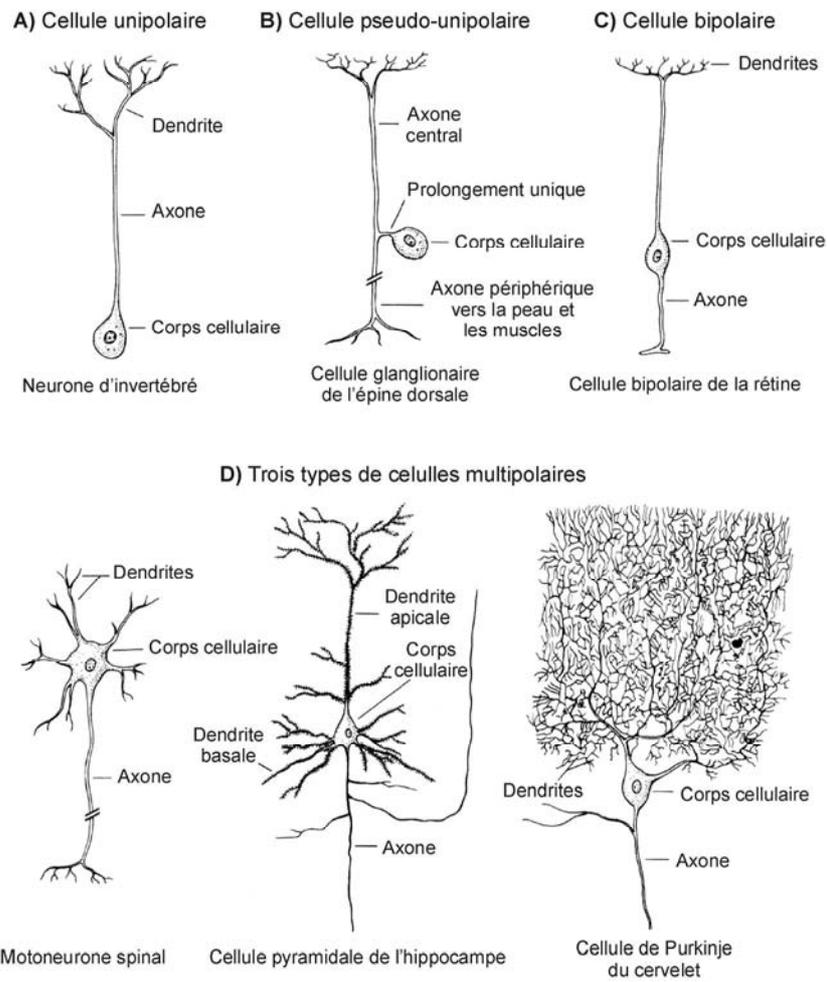


Figure 1 - 1 : La diversité morphologique des neurones (échelles variées) d'après [KAN 1991]

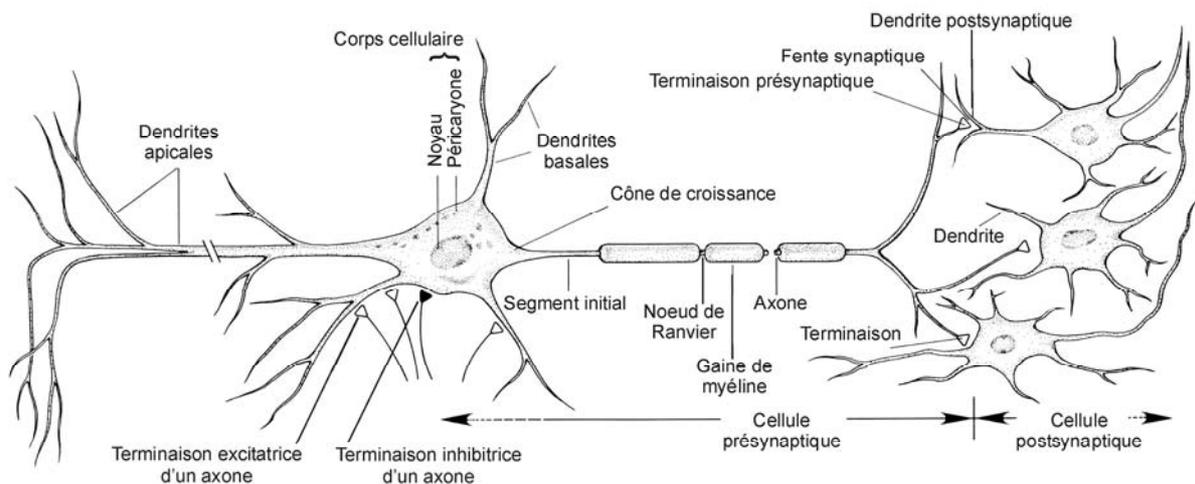


Figure 1 - 2 : vue schématique d'un neurone d'après [KAN 1991]

LE SOMA

La forme du corps cellulaire est variable suivant le type de neurone ; elle peut être pyramidale, ovoïde ou sphérique. Pour un neurone du cortex humain, le diamètre du soma est de l'ordre de 20 μm pour une épaisseur de membrane d'environ 5 nm [BEA 1997]. Les impulsions électriques¹ arrivent sur les dendrites, s'y propagent et sont intégrées au niveau du soma. Ce dernier génère une réponse qui se propage dans l'axone jusqu'au neurone suivant.

L'AXONE

L'axone est unique en règle générale. Il se caractérise par un diamètre inférieur à celui des dendrites. Il peut-être myélinisé². Sa longueur est variable, elle peut aller de quelques microns à plusieurs centimètres selon le type de neurones. Il présente deux régions distinctes : le segment initial où naît le potentiel d'action, la partie terminale parfois très étendue.

LES SYNAPSES

Elles sont le point de transmission de l'information entre un neurone et ses cibles (autre neurone, cellule glandulaire, fibre musculaire). En ce qui concerne le neurone présynaptique, elles sont localisées aux niveaux des terminaisons axonales (voir figure 1-2). Quant au neurone postsynaptique, elles peuvent être présentes soit au niveau du soma soit au niveau de l'arbre dendritique. Ils existent différents types de synapses : les synapses électriques et les synapses chimiques. Les spécifications propres à chacun de ces types de synapses seront détaillées dans le paragraphe ci-après consacré à la transmission des potentiels d'action entre neurones.

LA MEMBRANE PLASMIQUE

La membrane plasmique neuronale délimite le contour de la cellule. Elle sert de barrière entre le milieu intracellulaire et le milieu extracellulaire et elle se compose d'une bicouche lipidique traversée par plusieurs types de protéines.

Les milieux intra et extracellulaire possèdent les mêmes espèces ioniques mais les concentrations de ces dernières diffèrent de part et d'autre de la membrane. Le milieu extracellulaire est plus riche en ions sodium Na^+ et chlore Cl^- mais plus pauvre en ions potassium K^+ que le milieu intracellulaire (figure 1-3). Il existe d'autres types d'ions, notamment calcique (Ca^{2+}). Les différences de concentration calcique sont souvent proportionnelles aux variations de potentiels du neurone et peuvent être ainsi utilisées comme marqueur de l'activité électrique neuronale. Ce point sera plus clairement exposé dans la description des modèles retenus lors du paragraphe 1-4-3.

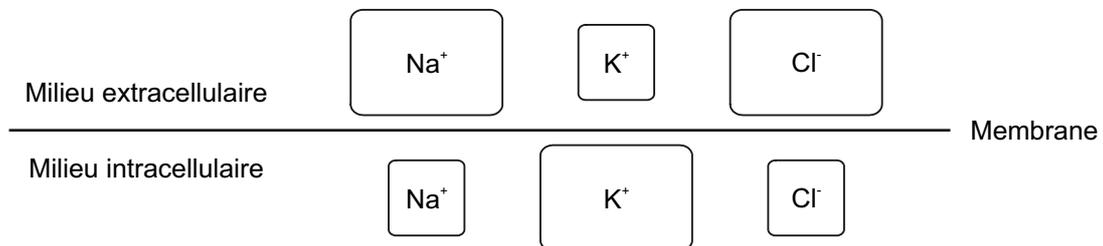


Figure 1 - 3 : Concentrations des ions Na^+ , K^+ et Cl^- de part et d'autre de la membrane neuronale

¹ La définition du signal électrique neuronal, appelé potentiel d'action, sera donnée dans la partie traitant de la physiologie du neurone. Pour l'instant, nous assimilerons ce signal électrique à une impulsion.

² La myéline est une substance constituée principalement de lipides, elle forme l'essentiel de la gaine de l'axone de certaines cellules nerveuses. Elle isole électriquement l'axone de certaines cellules et améliore ainsi la propagation des potentiels d'action.

1-2-2 La physiologie des neurones

Après avoir décrit les différents éléments constituant les neurones, ce paragraphe explicite le fonctionnement de ces éléments [TRI 1998a].

LE POTENTIEL DE REPOS

La bicouche lipidique possède deux catégories de protéines transmembranaires. La première permet le transfert sélectif des différentes espèces ioniques. Ce transfert s'effectue grâce à la pression osmotique et au champ électrique transmembranaires. La seconde catégorie de protéine maintient une différence de concentrations ioniques entre les deux milieux : ce deuxième phénomène est appelé le pompage actif. Autrement dit, le pompage actif permet de conserver un gradient de concentrations de part et d'autre de la membrane contrebalançant la diffusion osmotique des espèces ioniques au travers des canaux lorsque ceux-ci s'ouvrent.

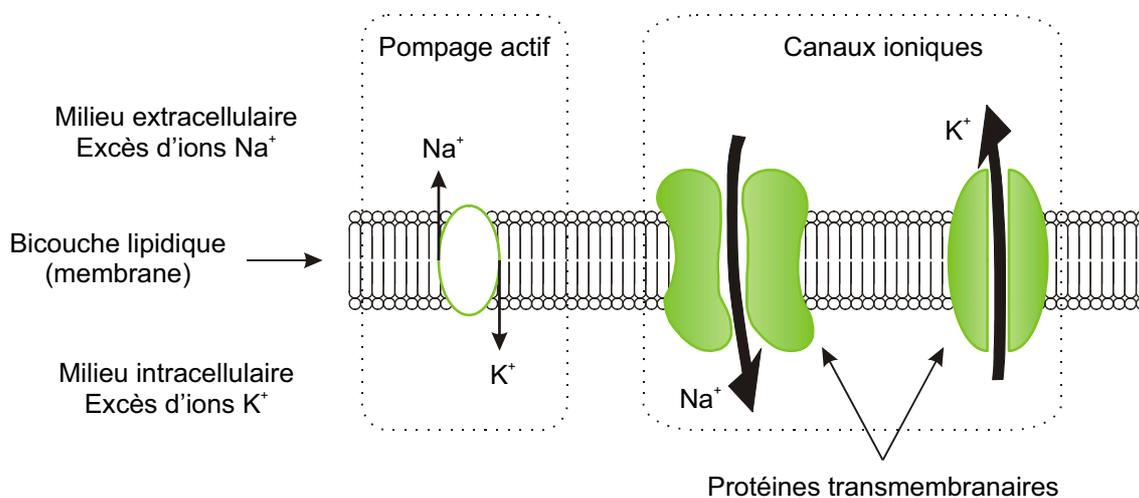


Figure 1 - 4 : Illustration de la bicouche lipidique constituée de protéines transmembranaires et de la pompe active

Lorsque la membrane n'est soumise à aucune excitation, le système constitué de la membrane, du milieu extracellulaire et du milieu intracellulaire atteint un équilibre. Nous pouvons alors mesurer une différence de potentiels. Cette différence de potentiels prend toujours pour référence le milieu extracellulaire et porte le nom de potentiel de repos. Ce dernier est généralement de l'ordre de -65 mV .

LE POTENTIEL D'ACTION

Les canaux ioniques sont perméables à une seule espèce ionique. Ces canaux sont dits voltage dépendants, autrement dit leur perméabilité dépend de la différence de potentiels entre les milieux extra et intracellulaire. Les propriétés de perméabilité de ces protéines sélectives donnent naissance à un phénomène électrique se propageant le long de l'axone : le potentiel d'action. Pour décrire la genèse d'un potentiel d'action, nous nous appuyerons sur la figure 1-5.

- Suite à une stimulation, la membrane commence par se dépolariiser (A).
- Si le phénomène persiste, le potentiel de la membrane est entraîné jusqu'au seuil de déclenchement. Cette situation se caractérise par l'ouverture rapide, appelée activation, des canaux ioniques perméables au Na^+ . L'entrée des ions Na^+ accentue la dépolariisation de la membrane forçant cette dernière hors de son état d'équilibre, même après l'arrêt de

- la stimulation qui n'a eu pour utilité que le franchissement du seuil de déclenchement (B).
- Le potentiel ne croît cependant pas jusqu'au potentiel d'équilibre du sodium, car très vite deux processus entrent en action. Le premier est la fermeture spontanée, appelée inactivation, des canaux sodium (C). Après un délai, le second est l'ouverture des canaux K^+ (C'). Ces deux processus repolarisent la membrane. La période de décroissance du potentiel d'action est appelée période réfractaire absolue car un second potentiel d'action ne peut pas apparaître durant cette période à cause de la phase d'inactivation des canaux sodium.
 - Le délai de changement d'état des canaux potassiques se retrouve aussi au moment de leur fermeture et provoque une hyperpolarisation transitoire de la membrane (D). Cette phase est aussi appelée période réfractaire relative car un second potentiel sera difficilement déclenché du fait de l'hyperpolarisation éloignant le potentiel de membrane du seuil de déclenchement.

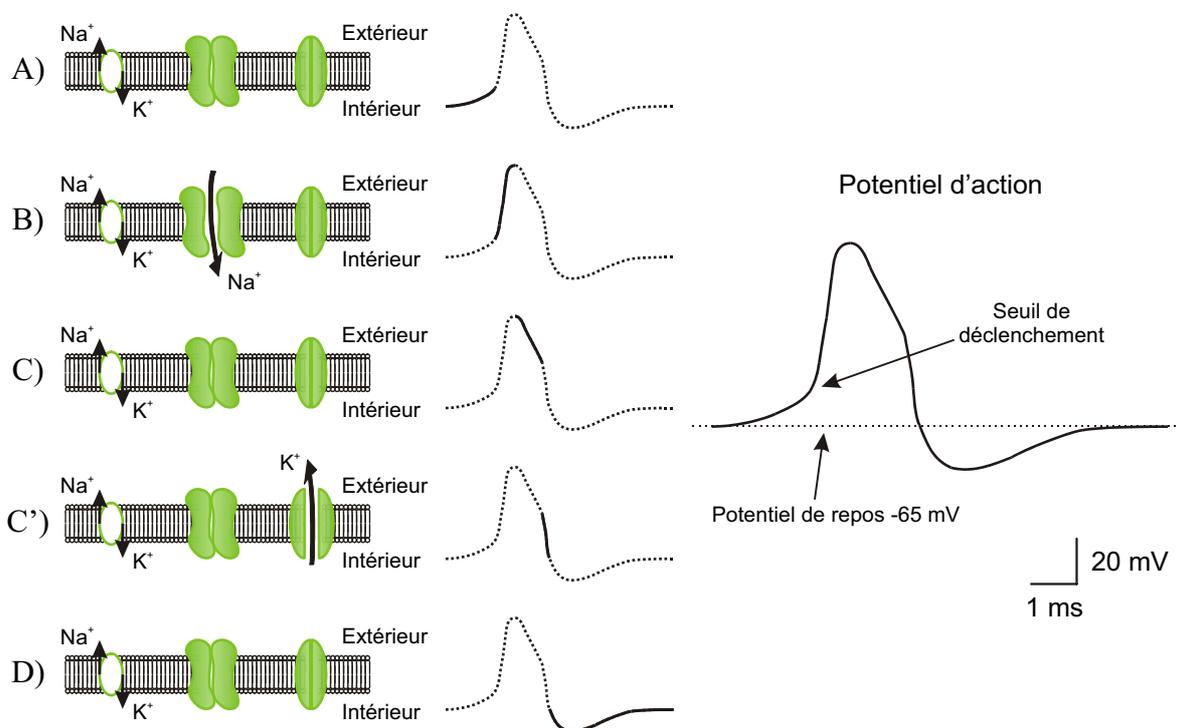


Figure 1 - 5 : Les mécanismes à l'origine du potentiel d'action

1-2-3 La transmission entre neurones des potentiels d'action

Nous venons de décrire la génération de potentiels d'action. Cependant, nous comprenons bien que cette information localisée à un neurone perd de son intérêt si elle ne peut pas être transmise à une autre cellule nerveuse. Nous détaillerons donc les mécanismes de propagation de ce même potentiel d'action le long de l'axone et sa transmission d'un neurone à l'autre via les synapses.

LA PROPAGATION DU POTENTIEL D'ACTION LE LONG DE L'AXONE

Une expérience à partir d'un axone géant de calmar permet de mettre en évidence quelques unes de ses propriétés concernant la propagation du potentiel de membrane [TRI 1998b]. Une particularité de l'axone des neurones de cet animal est qu'il possède un

diamètre suffisamment important pour pouvoir y insérer plusieurs électrodes réparties sur sa longueur.

Sans stimulation, nous mesurons un potentiel de repos initial de -70 mV. En injectant un créneau de courant de faible amplitude dans la première électrode, le potentiel au niveau de cette première électrode atteindra exponentiellement la valeur de -60 mV (figure 1-6), mais il est plus intéressant encore d'observer les potentiels au niveau de chacune des électrodes. La variation exponentielle présente à la première électrode se propage sous chaque électrode mais en s'atténuant au fur et à mesure que nous nous éloignons de cette première électrode. Cette réponse caractéristique a permis de modéliser l'axone, dans ce cas, comme un circuit électrique passif de type RC (pour Résistance et Condensateur). De plus l'atténuation au fil de l'axone caractérise une répartition spatiale linéique du circuit RC avec une constante d'espace.

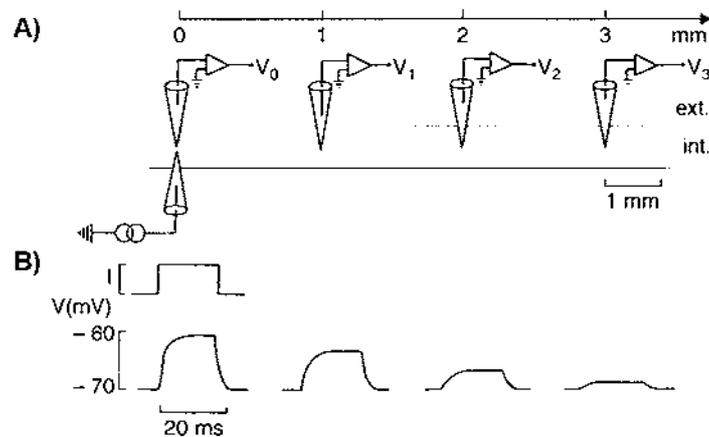


Figure 1 - 6 : Expérience sur la propagation d'un potentiel électrotonique le long d'un axone [TRI 1998b]
A) Le dispositif expérimental – B) Les mesures des potentiels sous chaque électrode

En utilisant le même dispositif expérimental mais cette fois-ci sur un axone myélinisé de vertébré, l'injection d'un courant d'amplitude plus grande à travers la première électrode provoque cette fois-ci l'apparition d'un potentiel d'action. Contrairement à toute attente, ce potentiel d'action se propage le long de l'axone sans atténuation. L'axone ne se comporte plus comme un circuit passif mais au contraire il présente les caractéristiques d'un circuit actif en régénérant le potentiel d'action, à la fois dans le temps et dans l'espace. Cette régénération du potentiel d'action a lieu à chaque nœud de Ranvier (voir figure 1-2). Plus précisément, la composante passive de l'axone est toujours présente mais la forte dépolarisation à un nœud de Ranvier – due au potentiel d'action – entraîne le potentiel de l'axone au nœud suivant au dessus du seuil du déclenchement. Le potentiel d'action étant un phénomène tout ou rien, un potentiel d'action apparaît à ce nœud suivant et l'atténuation entre chaque nœud est résorbée.

D'autre part, dans le paragraphe 1-1-2, nous avons évoqué la présence de périodes réfractaires. Intéressons-nous à celle-ci le long de l'axone. Suite à un potentiel d'action en un nœud de Ranvier, les potentiels des nœuds de Ranvier situés de part et d'autre du premier verront leur potentiel augmenter et générer à leur tour un potentiel d'action. Ces potentiels d'action donneront à leur tour naissance au même phénomène de propagation, mais lorsque l'effet des seconds nœuds de Ranvier se propagera au premier, ce dernier sera dans une période réfractaire et ne réagira pas à cette stimulation. En résumé, le potentiel d'action ne pourra se régénérer le long de l'axone qu'en s'éloignant de son point d'origine.

La propagation du potentiel d'action peut se résumer à un concept de tout ou rien. Soit la variation de la tension de membrane du neurone n'entraîne pas un potentiel d'action et aucune information n'est transmise aux terminaisons axonales, soit un potentiel d'action apparaît et il est transmis sans atténuation à ces mêmes terminaisons axonales. Le potentiel d'action, chez l'homme, peut se propager sur des longueurs de l'ordre du mètre pour atteindre les terminaisons axonales, où se situent les synapses.

LES SYNAPSES ELECTRIQUES

Les expériences en présence des synapses électriques ont montré que les variations de potentiel présynaptique se retrouvaient sans délai directement dans la zone postsynaptique [RIC 2001]. Dans notre approche tournée vers le réseau de neurones, cette particularité de transmission directe de l'information permet de considérer les deux neurones mis en jeu comme une seule cellule ayant une durée de propagation du potentiel d'action dans l'axone plus importante [LEM 1998].

LES SYNAPSES CHIMIQUES

Le fonctionnement des synapses chimiques n'est pas sans rappeler celui des canaux ioniques. L'activité électrique arrivant dans la terminaison axonale présynaptique stimule les vésicules synaptiques. Ces vésicules libéreront alors des neurotransmetteurs dans la fente synaptique et les récepteurs commanderont l'ouverture de canaux ioniques particuliers induisant un courant post-synaptique dans les dendrites. Ces dernières à leur tour transmettent au soma l'information.

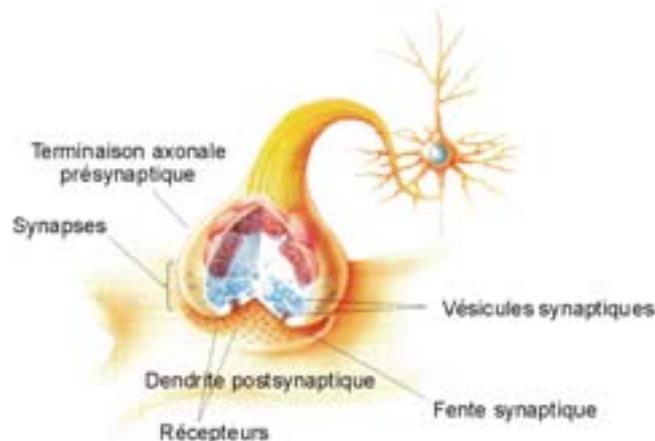


Figure 1 - 7 : Une synapse chimique d'après [BEA 1997]

Il existe deux grandes familles de synapses chimiques : les synapses excitatrices et les synapses inhibitrices. Leur nom est lié à leur fonction ; les premières auront tendance à dépolariiser la membrane postsynaptique pour y faire apparaître éventuellement un potentiel d'action, les secondes à hyperpolariser la membrane postsynaptique et donc à inhiber la génération des potentiels d'action.

Une dernière remarque s'impose. L'efficacité d'une synapse varie et elle se traduit par son poids. La variation dans le temps du poids synaptique est à la base de la plasticité synaptique [ITO 1994]. Cette dernière est sans aucun doute à l'origine de nombreux phénomènes – mémoire et apprentissage – et elle bénéficie aujourd'hui d'une focalisation importante de la part de nombreuses équipes de recherche travaillant dans le champ des neurosciences computationnelles.

1-3 Etat de l'art de l'intégration microélectronique de neurones biologiquement réalistes

Nous venons de comprendre les mécanismes élémentaires de l'activité électrique des neurones. Maintenant, nous mettrons en lumière les travaux traitant la rencontre de la microélectronique et des neurosciences. Soit ces travaux s'inspirent de la neurobiologie pour proposer des solutions techniques à des problèmes de microélectronique, soit ils proposent des outils permettant la compréhension des phénomènes neurophysiologiques. Bien entendu, cette liste est non exhaustive et se limite aux différents précurseurs du domaine.

1-3-1 Le premier neurone sur silicium (R. Douglas et al.)

Misha Mahowald et Rodney Douglas ont publié dans la revue *Nature* en 1991 une solution pour l'intégration sur silicium en mode analogique d'un modèle de neurone [MAH 1991]. Leur approche respecte l'existence de canaux ioniques spécifiques. De plus l'implantation sur silicium de leur modèle autorise un degré de liberté qui permet de régler les valeurs des paramètres de leur modèle. Cependant, le modèle propre à chaque canal ionique fait l'objet d'approximation par rapport au modèle étendu d'Hodgkin et Huxley³. En revanche, des canaux calcium et des canaux potassium dépendant de la concentration ionique du calcium ont été implantés. Cela a permis de mettre en évidence dans cette publication de premier plan la reproduction des phénomènes d'adaptation – diminution de la fréquence des potentiels d'action lors d'une stimulation soutenue – existant dans les neurones néocorticaux du système visuel du chat.

Leur approche, considérant le neurone comme une unité de calcul, a permis de proposer une solution pour envisager l'intégration de mini réseaux de neurones sur silicium [DOU 1995]. Ils proposent de décomposer le mini réseau de neurones en trois parties : le soma en tant qu'unité de calcul analogique, les synapses afférentes à chaque neurone, le chemin de communication constitué par les axones.

Le site Internet de Rodney Douglas⁴ laisse apparaître que ses travaux se sont orientés à l'heure actuelle vers le réseau en gardant son modèle initial de neurone. Cette approche a amené à proposer une solution pour la communication nerveuse grâce à un bus numérique rapide. Ceci a entraîné des travaux ayant pour sujet les rétines artificielles sur silicium et des circuits mixtes inspirés du cortex [HAH 2000].

1-3-2 L'apprentissage sur silicium (C. Diorio et al.)

L'équipe de Chris Diorio est essentiellement composée de concepteurs de circuits intégrés⁵. Une partie d'entre elle travaille plus particulièrement sur les mémoires analogiques à effet tunnel à partir de transistors MOS à grille flottante. La maîtrise de cette technique a orienté une partie de leurs travaux vers la conception de synapses sur silicium en vue de

³ Pour information, car les remarques à suivre font appel à des notions qui ne seront définies que dans les chapitres 1-4 relatifs à la modélisation : a) les termes d'activation et d'inactivation des canaux ioniques répondent à une équation de type quadratique ; b) le calcul incluant la constante de temps, qui caractérise l'ouverture et la fermeture de ces mêmes canaux, se situe en amont et non pas en aval du calcul de l'expression quadratique ; c) il n'existe pas de notion de pondération des termes d'activation et d'inactivation

⁴ <http://www.research-projects.unizh.ch/math/unit74600/area227/>

⁵ <http://www.cs.washington.edu/research/diorio/>

travaux sur l'apprentissage. Pour la conception de leurs synapses, ils ont retenu et réalisé les quatre critères suivants :

- La valeur analogique mémorisée, image du poids synaptique, doit être en permanence maintenue même en l'absence d'apprentissage.
- La sortie de la synapse doit être le produit de la valeur mémorisée et de la tension, image du potentiel d'action présynaptique, appliquée à l'entrée de la mémoire analogique.
- La programmation de la valeur mémorisée doit être possible à tout instant.
- L'intégration microélectronique doit minimiser la surface occupée de silicium et la consommation électrique [DIO 1996].

Parallèlement à ces travaux concernant uniquement la synapse, il faut remarquer l'existence d'études concernant la propagation du potentiel d'action le long de l'axone [MIN 1995]. Un circuit a été développé en ayant pour objectif la régénération de l'amplitude et de la largeur du potentiel d'action le long de l'axone, tout en gardant un degré de liberté sur la vitesse de propagation de ce même signal. Il ne semble pas que la conception de circuits intégrés concernant ce sujet de recherche ait été poursuivie.

Aujourd'hui, les travaux inspirés par la biologie concernant l'apprentissage sur silicium sont utilisés comme solution technique pour la conception de systèmes intégrés sur puces⁶. Le principe des synapses adaptatives par effet tunnel est employé pour compenser les disparités des composants, qui apparaissent lors du processus de fabrication, d'un convertisseur numérique analogique [DIO 2002].

1-3-3 Les rétines artificielles sur silicium (K. Boahen et al.)

Les travaux de Kwabena Boahen ont débuté en collaboration avec Andreas Andreou [AND 1991]. Ces travaux ont proposé l'utilisation du principe translinéaire appliqué aux transistors MOS sous le seuil dans la conception de circuits intégrés neuromimétiques. Par la suite cette idée a fait l'objet d'un brevet américain [BOA 1993]. Les applications mises en avant dans cette publication sont l'élaboration de mémoires associatives⁷ et de rétines artificielles sur silicium. Cette dernière application est devenue une des spécialités de l'équipe menée par Kwabena Boahen [BOA 1996]. L'intégration d'un grand nombre de pixels – de l'ordre de 60 sur 90 – au sein d'un circuit intégré doit faire appel à une description appropriée des propriétés du capteur. Car les descriptions précédentes sur la physiologie complexe des neurones laissent entrevoir qu'il est impossible de décrire, un par un, le fonctionnement des neurones mis en jeu dans la vision. Les modèles qui ont été employés sont tout de même biologiquement réalistes [CUL 2003] [ZAG 2004a] et [ZAG 2004b].

Aujourd'hui les thématiques des travaux menés par Kwabena Boahen se sont enrichies. Le site Internet⁸ du laboratoire qu'il dirige fait référence à quatre sujets d'étude, en plus des travaux concernant la vision, l'audition, l'attention et l'apprentissage.

⁶ La terminologie communément employée en microélectronique est *SoC*, en référence à l'expression anglophone *Systems on Chip*.

⁷ Ces mémoires associatives sont employées pour reproduire une propriété des neurones pyramidaux. Ces derniers ont parfois leurs axones collatéraux qui rentrent en contact avec les dendrites basales, ce qui entraîne un rebouclage positif et pose des problèmes de stabilité d'un point de vue électronique.

⁸ <http://www.neuroengineering.upenn.edu/boahen/>

1-3-4 Les neurones comme des oscillateurs (R. Calabrese et al., S. Deweerth et al.)

Les travaux de conception de circuits neuromimétiques de Ron Calabrese et Steve Deweerth ont débuté par l'étude des invertébrés comme la lamproie ou la sangsue. Ces animaux présentent la particularité de posséder une activité natatoire oscillatoire [CAL 1995].

Le modèle retenu se base sur le modèle de Morris et Lecar [PAT 1997]. Il cherche, non pas à reproduire les propriétés d'activation et d'inactivation des canaux ioniques, mais la fréquence des oscillations en fonction du courant de stimulation injecté dans la cellule nerveuse en générant des formes simplifiées de potentiels d'action. Ce modèle présente l'intérêt de pouvoir utiliser les outils des mathématiques non linéaires pour l'étude de la genèse des oscillations et de la fréquence de ces oscillations. L'éloignement du modèle par rapport à la neurophysiologie ne permet pas d'étudier l'influence des paramètres du modèle en faisant la relation avec les paramètres biophysiques. Cependant, en chaînant ces circuits électroniques pour obtenir une succession de couples d'oscillateurs, l'étude de la nage chez les invertébrés concernés devient possible^{9,10}.

Les dernières publications concernant ces travaux montrent une évolution dans le choix du modèle implanté. Les travaux publiés en 2004 font apparaître un neurone sur silicium basé sur des conductances semblables aux travaux d'Hodgkin et Huxley [SIM 2004]. Ce modèle est celui qui a été aussi retenu dans notre équipe depuis 1991. Cependant, il faut souligner que la conception du circuit a été réalisée uniquement avec des transistors MOS alors que les travaux présentés dans ce manuscrit ont été entrepris avec une technologie composée de transistors bipolaires et MOS. L'utilisation unique des transistors MOS a fait appel là aussi à la technique de conception utilisant les transistors MOS sous le seuil. Cependant, l'application visée avec ce circuit neuromimétique est pour l'instant limitée à la reproduction de l'activité électrique des neurones oscillatoires de la sangsue. Dans le cahier des charges, cette restriction dans l'application a fait que les circuits sont paramétrables mais uniquement pour compenser les disparités apparaissant à la fabrication des circuits intégrés. Les perspectives annoncées de leurs travaux sont la recherche d'une solution pour éviter de compenser les paramètres et la recherche d'une solution pour interconnecter les neurones artificiels afin de réaliser des réseaux supérieurs à la dizaine de neurones sur silicium. Cependant, il ne semble pas que cette recherche de mise en réseau de neurones artificiels concerne une autre application que la nage oscillatoire de ces invertébrés.

1-3-5 Les arbres dendritiques (J. Elias, D. Northmore et al.)

Ces travaux sont issus d'une collaboration entre John Elias, professeur de génie électrique et informatique et David Northmore, professeur de psychologie¹¹.

L'étude des dendrites ne se place pas dans le cadre d'une modélisation des neurones en trois parties – soma, axone et synapses – comme il a été précédemment exposé (voir le paragraphe 1-3-1 concernant les travaux de Rodney Douglas). Il est nécessaire de rappeler que dans la description de l'anatomie des neurones, les dendrites ont été décrites comme des ramifications partant du soma et ayant un diamètre en diminution lorsque nous nous éloignons du soma. Cette particularité, associée au fait que les dendrites n'ont pas les canaux nécessaires à la génération des potentiels d'action, entraîne des phénomènes passifs de type R-C

⁹ <http://calabreselx.biology.emory.edu/>

¹⁰ <http://www.ece.gatech.edu/research/labs/ccss/>

¹¹ <http://www.ece.udel.edu/~elias/neuromorphicSystems/index.html>

distribués spatialement dans l'arbre dendritique. John Elias a développé un circuit intégré basé sur cette distribution spatiale de circuit de type R-C [ELI 1993].

Il est important aussi de rappeler que les dendrites constituent la surface principale de réception de l'information. De par cette propriété, John Elias et Davis Northmore ont étudié, grâce aux différents circuits intégrés conçus, les phénomènes de dépolarisation et d'hyperpolarisation infraliminaire (vis-à-vis du seuil de déclenchement des potentiels d'action) dans l'arbre dendritique [NOR 1996].

1-3-7 Les neurones paramétrables sur silicium (S. Renaud et al.)

L'approche originale de notre équipe terminera ce tour, non exhaustif, des équipes travaillant dans la conception des circuits neuromimétiques.

Les travaux de l'équipe dirigée par Sylvie Renaud ont débuté en 1993. Ils se sont fondés dès le début sur la modélisation issue du formalisme d'Hodgkin et Huxley, formalisme détaillé dans le prochain paragraphe. Nous retiendrons d'ores et déjà qu'il cherche à caractériser l'activité électrique des neurones en se basant sur le comportement des canaux ioniques. Les modèles implantés dans les premiers circuits ont dû subir des hypothèses simplificatrices en regard du formalisme retenu¹² [DUP 1998]. Les circuits suivants se rapprochaient un peu plus de la modélisation d'Hodgkin et Huxley¹³ ; ils incluaient des canaux ioniques dépendants au calcium [LAF 1998]. Plus tard, l'approche des circuits a intégré leur mise en réseaux en adjoignant des synapses [DOU 2000]. Mon travail de doctorat s'est inscrit dans la continuité.

Pour ne pas être réducteur vis-à-vis des activités de notre équipe, rappelons qu'elles se sont aujourd'hui diversifiées à travers la participation à deux projets européens, comme il a été présenté dans l'introduction de ce manuscrit.

1-4 Le modèle retenu pour l'activité électrique des neurones

Après avoir cerné les approches menées par les différents acteurs dans le domaine de la conception de circuits neuromimétiques, il devient nécessaire de préciser le modèle qui a été retenu pour les travaux de recherche présentés dans ce manuscrit. Pour répondre à notre problématique qui a été posée en introduction de ce manuscrit, j'ai opté pour une solution comprenant trois parties : le soma en tant qu'unité de calcul autonome, la transmission des potentiels d'action d'un neurone à l'autre via les connections synaptiques et enfin le chemin de communication emprunté pour véhiculer l'information.

Pour traiter la modélisation de la membrane neuronale, nous commencerons par la description du formalisme d'Hodgkin et Huxley décrivant le comportement des canaux ioniques. Nous ferons ensuite un aparté concernant la modélisation des cinétiques d'activation et d'inactivation des canaux ioniques. Puis nous nous intéresserons à la modélisation des canaux ioniques qui ont été mis en évidence postérieurement aux travaux d'Hodgkin et Huxley notamment les canaux calcium et potassium dépendant calcium. Enfin, la synthèse présentera un modèle simplifié autorisant son implantation dans un circuit intégré.

¹² Pour information car les remarques à suivre font appel à des notions qui ne seront définies que dans les chapitres ci-après relatifs à la modélisation : a) la constante de temps de l'équation différentielle permettant le calcul de l'activation – ou de l'inactivation – est considérée constante ; b) il n'existe pas de pondération des termes d'activation et d'inactivation.

¹³ Ils prennent en compte cette fois-ci la pondération des termes d'activation et d'inactivation.

1-4-1 Le formalisme d'Hodgkin et Huxley

Alan Lloyd Hodgkin et Andrew Fielding Huxley ont fourni, en 1952, à la communauté scientifique quatre publications dans un même volume de la revue *Journal of Physiology* [HOD 1952a], [HOD 1952b], [HOD 1952c] et [HOD 1952d]. Ces quatre publications posent les bases d'une cinquième qui sortira la même année [HOD 1952e]. Cette dernière, souvent citée comme référence, fait la synthèse des quatre premières et propose un formalisme mathématique pour décrire l'activité électrique du potentiel de membrane des cellules nerveuses. Ces travaux, avec ceux menés par John Carew Eccles sur les mécanismes synaptiques, ont été une telle avancée pour les neurosciences qu'ils ont permis à chacun de ces trois scientifiques de se partager le Prix Nobel de Médecine en 1963.

Le formalisme qui a été élaboré propose un circuit électrique ayant le même comportement électriquement parlant que la membrane (voir figure 1-9). Les différentes branches qui constituent ce circuit électrique sont la capacité de membrane C_{MEM} qui sépare les milieux extra et intracellulaire, les générateurs de courants sodium (Na) et potassium (K) qui possèdent des conductances voltage dépendantes et enfin un canal de fuite à conductance constante.

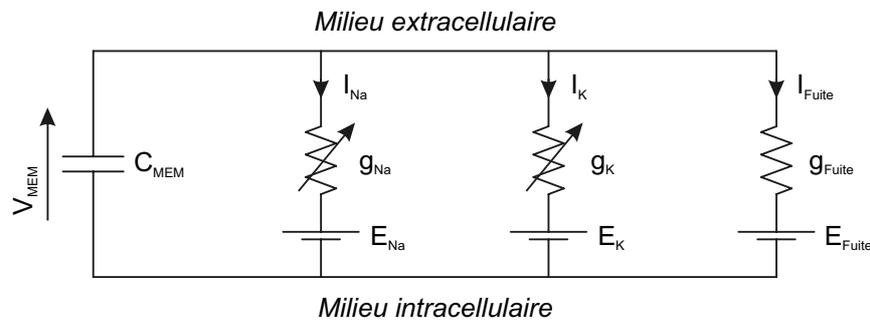


Figure 1 - 8 : Circuit électrique équivalent à la membrane

A partir de ce schéma électrique, nous obtenons :

$$C_{MEM} \frac{dV_{MEM}}{dt} = -I_{Na} - I_K - I_{Fuite} \quad \text{équation 1 - 1}$$

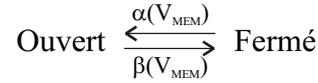
En utilisant la loi d'ohm, nous obtenons le système d'équations suivant :

$$\begin{cases} I_{Na} = g_{Na}(V_{MEM}) \cdot (V_{MEM} - E_{Na}) \\ I_K = g_K(V_{MEM}) \cdot (V_{MEM} - E_K) \\ I_{Fuite} = \overline{g_{Fuite}} \cdot (V_{MEM} - E_{Fuite}) \end{cases} \quad \text{équation 1 - 2}$$

où les potentiels E_{ION} correspondent aux potentiels d'équilibre électrochimique propre à chaque espèce ionique et $\overline{g_{Fuite}}$ à la conductance de fuite.

L'étape suivante de la description concerne l'expression de la dépendance des conductances $g_{Na}(V_{MEM})$ et $g_K(V_{MEM})$ à la tension de membrane. D'après leur publication [HOD 1952e], Hodgkin et Huxley ont supposé que les courants ioniques résultaient de l'état de sites moléculaires sur les protéines canaux agissant comme des portes ioniques indépendantes les unes des autres ; ces dernières peuvent être soit ouvertes soit fermées. La probabilité de transition entre ces deux états est définie par $\alpha(V_{MEM})$ pour un passage d'un état

fermé à ouvert et $\beta(V_{MEM})$ pour un passage inverse. On peut associer à cette hypothèse le diagramme suivant :



En posant x la fraction de canaux dans l'état ouvert et $1-x$ la fraction dans l'état fermé, nous pouvons définir la variation de la fraction de canaux ouverts comme la différence du produit de la fraction de canaux fermés par la probabilité d'ouverture et du produit de la fraction de canaux ouverts par la probabilité de fermeture. Autrement dit, nous pouvons écrire la formule suivante :

$$\frac{dx}{dt} = (1-x)\alpha(V_{MEM}) - x\beta(V_{MEM}) \quad \text{équation 1 - 3}$$

Une autre façon d'écrire cette équation peut être :

$$\frac{1}{\alpha(V_{MEM}) + \beta(V_{MEM})} \cdot \frac{dx}{dt} = \frac{\alpha(V_{MEM})}{\alpha(V_{MEM}) + \beta(V_{MEM})} - x \quad \text{équation 1 - 4}$$

Hodgkin et Huxley ont déterminé que les conductances ioniques g_{ION} étaient le produit d'une conductance maximale $\overline{g_{ION}}$ par deux états appelés activation et inactivation. Ces termes d'activation et d'inactivation peuvent être identifiés à la variable x de l'équation 1-4. De plus, les auteurs ont émis l'hypothèse que les termes d'activation peuvent être pondérés par une mise à la puissance¹⁴. En résumé, nous retrouvons pour le canal sodique un terme d'activation appelé m et un terme d'inactivation appelé h et pour le canal potassique un unique terme d'activation dénommé n , le tout répondant aux équations suivantes :

$$\begin{cases} g_{Na}(V_{MEM}) = \overline{g_{Na}} \cdot m^3(V_{MEM}) \cdot h(V_{MEM}) \\ g_K(V_{MEM}) = \overline{g_K} \cdot n^4(V_{MEM}) \end{cases} \quad \text{équation 1 - 5}$$

En réinjectant le système d'équation 1-5 dans le système d'équation 1-2, nous obtenons :

$$\begin{cases} I_{Na} = \overline{g_{Na}} \cdot m^3(V_{MEM}) \cdot h(V_{MEM}) \cdot (V_{MEM} - E_{Na}) \\ I_K = \overline{g_K} \cdot n^4(V_{MEM}) \cdot (V_{MEM} - E_K) \\ I_{Fuite} = \overline{g_{Fuite}} \cdot (V_{MEM} - E_{Fuite}) \end{cases} \quad \text{équation 1 - 6}$$

Le circuit électrique de la figure 1-9 associé au système d'équations 1-6 constitue le formalisme d'Hodgkin et Huxley. L'essence même de celui-ci réside dans la description de la dépendance au temps et au potentiel de membrane des canaux ioniques (cf. équation 1-4).

¹⁴ Les hypothèses pour la modélisation de l'activité électrique de la membrane neuronale ont été nombreuses dans cette publication. Mais les auteurs les ont vérifiées et validées en effectuant un comparatif entre leurs mesures et la simulation de leur modèle dans cette même publication.

1-4-2 Un modèle pour la cinétique et l'état d'équilibre des termes d'activation et d'inactivation

Les mesures effectuées par A. L. Hodgkin et A. F. Huxley leur ont permis d'établir des équations empiriques pour les termes $\alpha(V_{MEM})$ et $\beta(V_{MEM})$ de chaque terme d'activation ou d'inactivation de chaque canal ionique. Une autre approche peut être faite en utilisant des modèles, aujourd'hui très répandus, issus de la thermodynamique [DES 2001]. Mathématiquement parlant, cette approche définit comme suit les termes $\alpha(V_{MEM})$ et $\beta(V_{MEM})$:

$$\begin{cases} \alpha(V_{MEM}) = A \cdot \exp\left(-\frac{\gamma q F (V_{MEM} - V_{OFFSET})}{RT}\right) \\ \beta(V_{MEM}) = B \cdot \exp\left(-\frac{(1-\gamma) q F (V_{MEM} - V_{OFFSET})}{RT}\right) \end{cases} \quad \text{équation 1 - 7}$$

où γ est la position relative de la barrière d'énergie dans la membrane (entre 0 et 1)
 q est la charge élémentaire ($q = 1,60218 \cdot 10^{-19}$ C)
 F est la constante de Faraday ($F = 9,64853 \cdot 10^4$ C.mol⁻¹)
 R est la constante des gaz parfaits ($R = 8,31447$ J.mol⁻¹.K⁻¹)
 T est la température en Kelvin
 V_{OFFSET} est appelée tension de demi-activation

Pour la suite de la description de la modélisation, il est nécessaire de définir mathématiquement la constante de temps¹⁵ $\tau(V_{MEM})$ et le second membre¹⁶ $x_{\infty}(V_{MEM})$ de l'équation différentielle du premier ordre (équation 1-4). Ces définitions se résument aux deux équations suivantes :

$$\tau(V_{MEM}) = \frac{1}{\alpha(V_{MEM}) + \beta(V_{MEM})} \quad \text{équation 1 - 8}$$

$$\text{et } x_{\infty}(V_{MEM}) = \frac{\alpha(V_{MEM})}{\alpha(V_{MEM}) + \beta(V_{MEM})} \quad \text{équation 1 - 9}$$

Ce qui permet de réécrire l'équation différentielle 1-4 :

$$\tau(V_{MEM}) \cdot \frac{dx}{dt} = x_{\infty}(V_{MEM}) - x \quad \text{équation 1 - 10}$$

La cinétique $\tau(V_{MEM})$ est homogène à un temps et elle caractérise la vitesse d'ouverture ou de fermeture des canaux ioniques. L'état d'équilibre $x_{\infty}(V_{MEM})$ est sans dimension et il caractérise la fraction de canaux qui doivent être ouverts au potentiel V_{MEM} .

¹⁵ En physique, le terme τ est appelé constante de temps. En neurosciences, ce même terme est appelé cinétique. C'est cette seconde dénomination qui sera utilisée par la suite dans ce manuscrit.

¹⁶ En mathématiques, le terme x_{∞} est appelé second membre, en électronique régime permanent et en neurosciences, état à l'équilibre. Cette dernière dénomination sera le plus souvent utilisée par la suite dans ce manuscrit.

L'ETAT A L'EQUILIBRE $x_{\infty}(V_{MEM})$

En substituant $\alpha(V_{MEM})$ et $\beta(V_{MEM})$, par leur expression respective issue du système d'équations 1-7, dans l'équation 1-9 et en absorbant les constantes physiques dans des termes génériques, nous obtenons une fonction sigmoïdale définie comme suit :

$$x_{\infty}(V_{MEM}) = \frac{1}{1 + \exp\left(\mp \frac{V_{MEM} - V_{OFFSET}}{V_{PENDE}}\right)} \quad \text{équation 1 - 11}$$

Plusieurs remarques s'imposent à la vue de cette écriture. Tout d'abord, le signe du terme entre parenthèses est négatif lorsque $x_{\infty}(V_{MEM})$ caractérise une activation et positif lorsqu'il caractérise une inactivation. Le terme V_{OFFSET} est toujours le terme de demi-activation - ou inactivation -, autrement dit $x_{\infty}(V_{MEM}) = 0,5$ quand $V_{MEM} = V_{OFFSET}$. La dernière remarque concerne le terme V_{PENDE} . La définition mathématique de la pente est la tangente de la courbe au point d'inflexion V_{OFFSET} . Or ici, le terme V_{PENDE} n'a pas de signification mathématique. Cependant pour que la formule soit homogène, la pente est associée à une tension.

LA CINETIQUE $\tau(V_{MEM})$

Nous pourrions pour la cinétique $\tau(V_{MEM})$ établir une équation à base d'exponentielles comme ci-dessus pour le régime permanent. Cette forme d'expression est utilisée dans les simulateurs logiciels de neurosciences. En vue d'une implantation sur silicium, nous pouvons utiliser la fonction sigmoïdale du régime permanent divisée par la fonction exponentielle $\alpha(V_{MEM})$:

$$\tau(V_{MEM}) = \frac{\alpha(V_{MEM})}{\alpha(V_{MEM})} \cdot \frac{1}{\alpha(V_{MEM}) + \beta(V_{MEM})} = \frac{1}{\alpha(V_{MEM})} \cdot x_{\infty}(V_{MEM}) \quad \text{équation 1 - 12}$$

dans laquelle d'après le modèle thermodynamique :

$$\alpha(V_{MEM}) = \exp(a \cdot V_{MEM} + b) \quad \text{équation 1 - 13}$$

Les figures 1-10 à 1-12 illustrent la faisabilité de cette proposition de modélisation. Les valeurs des paramètres ont été calculées à partir de la méthode des moindres carrés.

Par la suite, j'ai été obligé d'abandonner cette idée. Le circuit neuromimétique que nous nous proposons de concevoir doit avoir la capacité de reproduire le plus grand nombre de cellules nerveuses. Pour atteindre cet objectif, il faudra envisager de très grandes plages pour chacun des paramètres (V_{OFFSET} , V_{PENDE} , E_{ION} , et cætera...). Bien que cette modélisation de la cinétique semble intéressante, elle nécessite une étude plus approfondie avant d'être figée dans le silicium. Nous avons retenu d'une cinétique constante comme dans les précédents travaux de notre équipe. Nous reviendrons sur ce point au paragraphe 1-4-5 relatif au circuit électrique et aux équations associées retenus.

1-4-3 Les canaux ioniques calcium et dépendants calcium

Suite aux travaux d'Hodgkin et Huxley, la communauté neuroscientifique a découvert d'autres canaux ioniques. Parmi ceux-ci, nous pouvons retenir des canaux ioniques perméables à d'autres types d'ions comme le calcium ainsi que des canaux ioniques dont l'activation ou l'inactivation est voltage dépendante et calcium dépendante comme certains canaux potassium. Ce paragraphe va nous permettre de nous familiariser avec ces deux types de canaux.

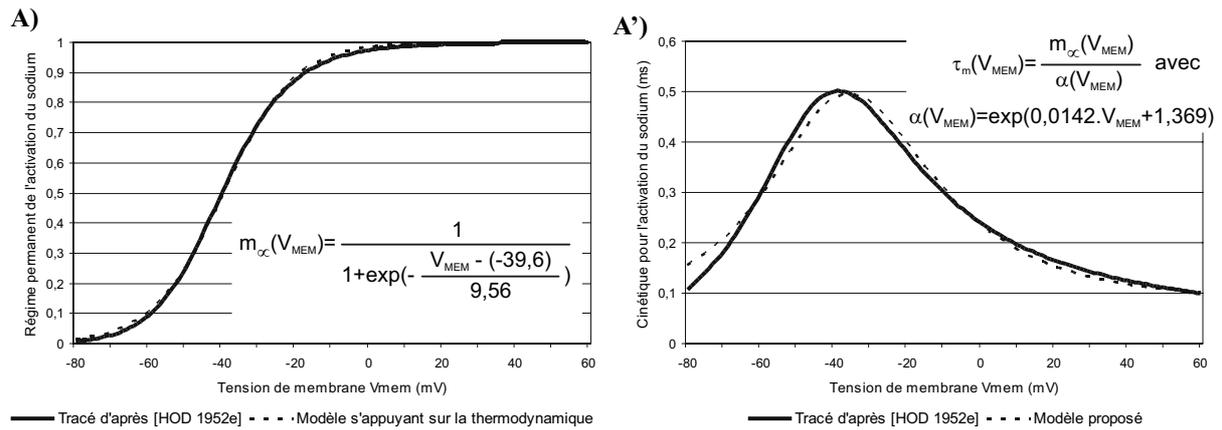


Figure 1 - 9 : Tracés comparatifs entre les mesures de $\alpha(V_{MEM})$ et $\beta(V_{MEM})$ d'après [HOD 1952e] et le modèle thermodynamique pour le régime permanent et le modèle proposé pour la cinétique. A) Comparatif concernant le régime permanent de l'activation du sodium. A') Comparatif concernant la cinétique d'activation du sodium.

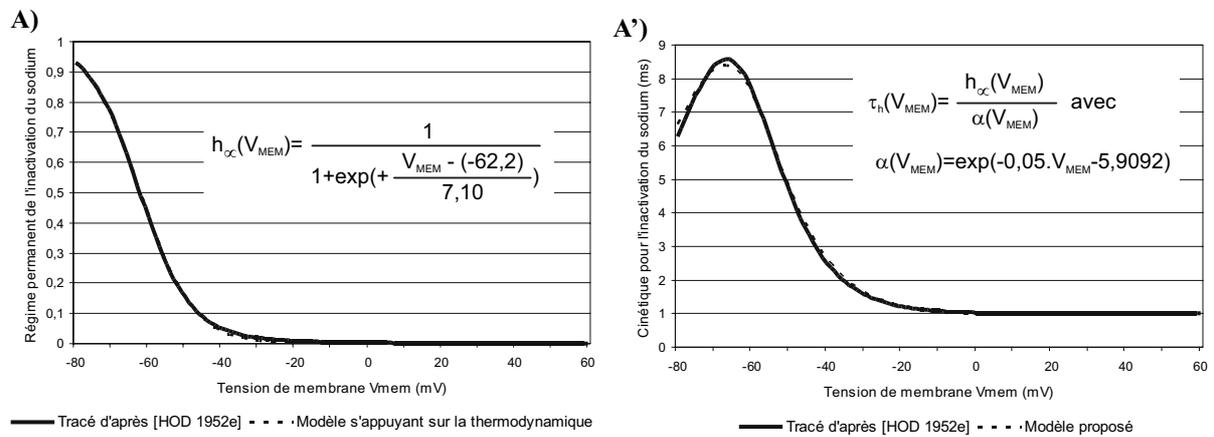


Figure 1 - 10 : Tracés comparatifs entre les mesures de $\alpha(V_{MEM})$ et $\beta(V_{MEM})$ d'après [HOD 1952e] et le modèle thermodynamique pour le régime permanent et le modèle proposé pour la cinétique. A) Comparatif concernant le régime permanent de l'inactivation du sodium. A') Comparatif concernant la cinétique d'inactivation du sodium.

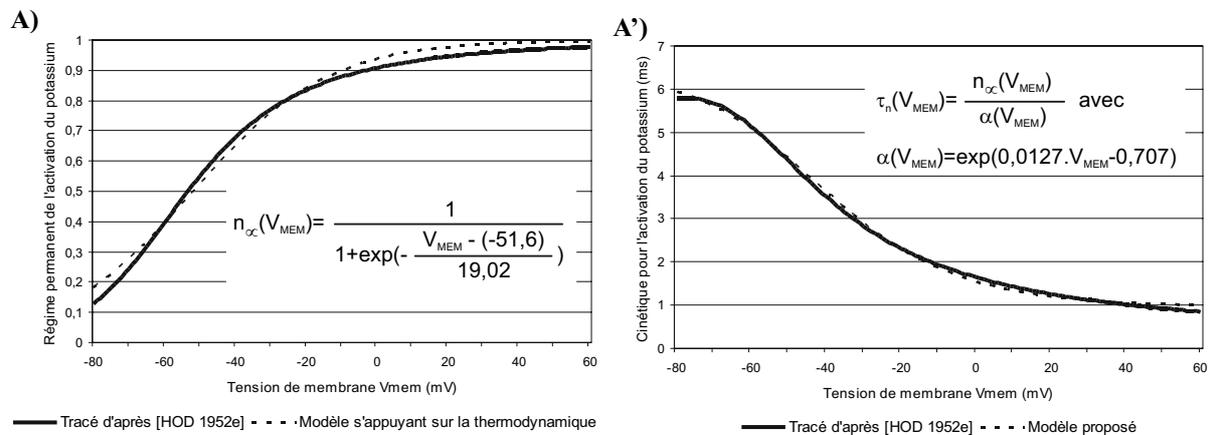


Figure 1 - 11 : Tracés comparatifs entre les mesures de $\alpha(V_{MEM})$ et $\beta(V_{MEM})$ d'après [HOD 1952e] et le modèle thermodynamique pour le régime permanent et le modèle proposé pour la cinétique. A) Comparatif concernant le régime permanent de l'activation du potassium. A') Comparatif concernant la cinétique d'activation du potassium.

LES CANAUX CALCIUM

Deux grandes familles de canaux calciques existent et parfois coexistent au sein d'un même neurone [CHE 1998]. Les premiers sont les canaux calciques à bas seuil d'activation, les seconds sont les canaux calciques à haut seuil d'activation. Sans entrer dans les détails de chacune de ces familles, il faut tout de même comprendre ce qui les différencie, aussi bien dans leur modélisation que dans leur influence sur l'activité électrique de la cellule nerveuse.

Les canaux calcium à haut seuil d'activation sont aussi appelés canaux calcium de type L, L pour lent. Ces canaux possèdent une activation voltage dépendante mais une inactivation dépendante de la concentration calcique [KOC 1999a]. Le courant calcique des canaux de type L peut alors s'écrire :

$$I_{Ca(L)} = \overline{g_{Ca(L)}} \cdot m^k (V_{MEM}) \cdot h([Ca^{2+}]_i) \cdot (V_{MEM} - E_{Ca(L)}) \quad \text{où } k \geq 2 \quad \text{équation 1 - 14}$$

L'influence des canaux calciques à haut seuil d'activation sur l'activité électrique des neurones se caractérise principalement par l'apparition de grands plateaux de plusieurs secondes grâce à leur fonction d'inactivation lente.

Plusieurs types de canaux calcium à bas seuil d'activation existent. Contrairement à la famille précédente, ces canaux possèdent une activation et une inactivation uniquement dépendantes de la tension de membrane, et l'inactivation est plus rapide que précédemment. Parmi les différents types de canaux calciques à faible seuil d'activation, notons la présence des canaux de type T, T pour transitoire. Ces canaux sont responsables de l'apparition d'activités électriques de type rebond post inhibition, illustrées dans le chapitre 4 consacré aux expériences et résultats. La formalisation mathématique des canaux calcium de type T est :

$$I_{Ca(T)} = \overline{g_{Ca(T)}} \cdot m^2 (V_{MEM}) \cdot h(V_{MEM}) \cdot (V_{MEM} - E_{Ca(T)}) \quad \text{équation 1 - 15}$$

Quelle que soit la famille ou le type de canal calcique, la tension de demi-activation (V_{OFFSET}) de ces canaux se situe entre -50 mV et +10 mV [KOC 1999a], donc à chaque potentiel d'action sodique ouvre les canaux calciques et font rentrer une quantité supplémentaire de calcium dans la cellule. Il a été montré qu'il existe une corrélation entre la quantité de calcium accumulée dans la cellule et l'activité électrique de cette dernière [LEM 1993]. C'est cette propriété qui est utilisée en imagerie calcique où le calcium est lié à une molécule fluorescente détectable par caméra.

LES CANAUX POTASSIQUES CALCIUM DÉPENDANTS

La diversité des canaux potassiques est aussi grande, voire plus, que celle des canaux calciques. Parmi tous les canaux potassium qui ont été découverts, nous nous intéresserons aux canaux potassiques dépendants du calcium, appelés communément canaux potassium calcium dépendant. La fonction d'activation de ces canaux présente une particularité par rapport aux canaux potassiques du modèle d'Hodgkin et Huxley (équation 1-6). Elle est dépendante non seulement du potentiel de membrane mais aussi de la concentration calcique intracellulaire, ce qui amène à l'équation suivante :

$$I_{K(Ca)} = \overline{g_{K(Ca)}} \cdot m(V_{MEM}, [Ca^{2+}]_i) \cdot (V_{MEM} - E_{K(Ca)}) \quad \text{équation 1 - 16}$$

La difficulté pour modéliser ce canal ionique se retrouve maintenant dans la formalisation de cette calcium dépendance. De nombreux types de calcium dépendances ont été décrits. Nous nous sommes intéressés à l'action du calcium sur l'activation du canal potassium calcium dépendant et dans notre cas, nous arrêterons notre modélisation à un effet de pondération de l'activation du canal potassique par une accumulation calcique. Cet effet sera exprimé mathématiquement dans le paragraphe de synthèse ci après.

L'activité des canaux potassiques calcium dépendants est particulièrement importante dans les plateaux calciques et les phénomènes oscillatoires. Nous pouvons établir une analogie entre les couples canaux sodium – potassium et calcium – potassium calcium dépendant. La responsabilité des potentiels d'action revient aux canaux sodium et potassium, tandis la responsabilité des plateaux calciques et des oscillations lentes revient aux canaux calcium et potassium calcium dépendant. Le calcium, comme précédemment exposé, donne naissance au plateau calcique. Ensuite, l'accumulation de calcium renforce l'activation du potassium dépendant calcium (cf. équation 1-25). Et enfin, cette augmentation de l'activation du potassium dépendant calcium repolarise le neurone et termine le plateau calcique.

1-4-4 Le circuit électrique et ses équations associées retenus pour implantation

D'une part, entre les modèles élaborés par la communauté neuroscientifique et une intégration possible dans un circuit intégré, et d'autre part, entre notre envie de reproduire une grande diversité de comportement électrique de cellules nerveuses et un circuit intégré possédant une surface de silicium raisonnable¹⁷, la nécessité de faire des choix s'impose à nous. Nous rappelons que ces travaux se sont inscrits dans le volet concernant l'étude fondamentale de l'intégration sur circuits intégrés de neurones artificiels sur silicium et de l'évolution de l'environnement de simulation analogique. Ainsi, nous avons retenu, après quelques simplifications en vue de la réalisation sur silicium, le modèle suivant pour la membrane neuronale. Il est représenté synthétiquement par la figure et les tableaux d'équations ci-dessous.

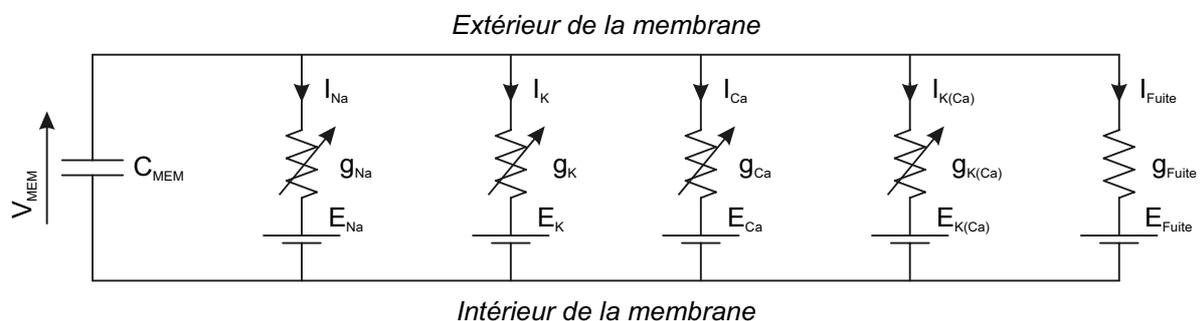


Figure 1 - 12 : Circuit électrique retenu en vue d'une intégration dans le silicium

Nous retrouvons alors les trois canaux décrits dans le formalisme d'Hodgkin et Huxley – à savoir les canaux sodium, potassium et fuite – un canal calcium et un canal potassium calcium dépendant. Chacun de ces canaux est décrit mathématiquement dans le tableau ci-dessous (tableau 1-1). Une remarque concernant le canal de calcium s'impose. Il a été écrit précédemment que le canal calcium à faible seuil d'activation possède une fonction d'activation quadratique (équation 1-15). Cependant l'équation 1-20 représente un canal calcium pouvant avoir éventuellement une fonction d'activation quadratique. La raison de ce choix s'explique encore une fois par notre désir de pouvoir reproduire un maximum d'activités électriques différentes. Ce degré de liberté sur cette quatrième conductance va autoriser la reproduction de différentes activités comme il sera montré dans le quatrième chapitre.

¹⁷ La surface d'occupation du silicium pour les circuits intégrés est un critère de première importance ; le coût de fabrication est fonction de la surface occupée.

Canal sodium	$I_{Na} = \overline{g_{Na}} \cdot m^3(V_{MEM}) \cdot h(V_{MEM}) \cdot (V_{MEM} - E_{Na})$	équation 1 - 17
Canal potassium	$I_K = \overline{g_K} \cdot n^4(V_{MEM}) \cdot (V_{MEM} - E_K)$	équation 1 - 18
Canal de fuite	$I_{Fuite} = \overline{g_{Fuite}} \cdot (V_{MEM} - E_{Fuite})$	équation 1 - 19
Canal calcium	$I_{Ca} = \overline{g_{Ca}} \cdot m^k(V_{MEM}) \cdot h(V_{MEM}) \cdot (V_{MEM} - E_{Ca})$ avec $k = [1 ; 2]$	équation 1 - 20
Canal potassium calcium dépendant	$I_{K(Ca)} = \overline{g_{K(Ca)}} \cdot m(V_{MEM}, [Ca^{2+}]_i) \cdot (V_{MEM} - E_{K(Ca)})$	équation 1 - 21

Tableau 1 - 1 : Equations générales pour les cinq canaux ioniques retenus : sodium (Na), potassium (K), fuite, calcium (Ca) et potassium calcium dépendant (K(Ca))

Le tableau 1-2 rappelle toutes les équations concernant la description des canaux ioniques sodium, potassium et calcium. Notons dans l'équation 1-23, la présence d'une cinétique non dépendante de la tension de membrane. Ce choix avait déjà été effectué au sein de l'équipe lors des précédents travaux de thèse. Bien qu'il aurait été intéressant d'implanter cette dépendance pour la cinétique avec le modèle que j'ai proposé au paragraphe 1-4-2, nous avons continué à accepter l'hypothèse simplificatrice car il semble encore difficile d'implanter la solution proposée sans une étude plus approfondie.

Régime permanent des fonctions d'activation et d'inactivation : m_∞ et h_∞ du Na, n_∞ du K, m_∞ du Ca (m_∞ , h_∞ , n_∞ sont notés x_∞ dans la formule). Dans le cas d'une activation – inactivation – le signe entre parenthèses est négatif – positif.	$x_\infty(V_{MEM}) = \frac{1}{1 + \exp\left(\mp \frac{V_{MEM} - V_{OFFSET}}{V_{PENTE}}\right)}$	équation 1 - 22
Fonctions d'activation et d'inactivation avec une cinétique non voltage dépendante du Na, K et Ca (les termes m_∞ , n_∞ , h_∞ et m , n , h sont notés respectivement x_∞ et x dans la formule)	$\tau \cdot \frac{dx}{dt} = x_\infty(V_{MEM}) - x$	équation 1 - 23

Tableau 1 - 2 : Equations caractérisant les fonctions d'activation et d'inactivation des canaux sodium, potassium et calcium.

Concentration calcique calculée à partir de l'accumulation calcique	$\tau_{Ca} \cdot \frac{d[Ca^{2+}]}{dt} = I_{Ca} - [Ca^{2+}]$	équation 1 - 24
Régime permanent de la fonction d'activation m_∞ du Ca	$m_\infty(V_{MEM}) = \frac{[Ca^{2+}]}{[Ca^{2+}] + Ca_0} \cdot \frac{1}{1 + \exp\left(-\frac{V_{MEM} - V_{OFFSET}}{V_{PENTE}}\right)}$	équation 1 - 25
Calcul des fonctions d'activation avec une cinétique non voltage dépendante pour K(Ca) (les termes m_∞ et m sont notés respectivement x_∞ et x dans la formule)	$\tau \cdot \frac{dx}{dt} = x_\infty(V_{MEM}) - x$	équation 1 - 26

Tableau 1 - 3 : Equations caractérisant l'accumulation calcique et la fonction d'activation du canal potassium calcium dépendant.

1-5 Le modèle retenu pour les synapses

La modélisation électrique des neurones offre un grand choix de possibilités. Parmi toutes les solutions, nous avons retenu celle qui nous semblait offrir le meilleur compromis entre une réalité physiologique, un modèle non minimaliste et une solution implantable dans le silicium. Mais la conception de neurones sur silicium perdrait de son intérêt s'il n'était pas envisageable de construire des mini-réseaux de neurones artificiels. De plus, il est souhaitable de se remémorer que nous avons décidé de scinder la problématique en trois parties : le soma, les connections synaptiques et le chemin de communication.

Après une courte excursion sur les synapses électriques, ce paragraphe exposera deux modélisations pour les synapses chimiques. La première sur une approche semblable aux canaux ioniques, tandis que la seconde nous permettra de pouvoir répondre à notre exigence d'une séparation en trois parties de notre modèle.

1-5-1 Le modèle des synapses électriques

Biologiquement, elles sont créées par des paires de canaux jonctionnels en vis-à-vis. Ces derniers autorisent un flux entre les milieux intracellulaires des deux neurones mis en jeu. La conductance de ces canaux est le plus souvent symétrique et indépendante de la tension membranaire. De ce fait, elles sont modélisées par une simple conductance et sont appelées synapses ohmiques.

En rappelant la description des synapses électriques (paragraphe 1-2-3 : transmission entre neurones des potentiels d'action), nous avons considéré que dans le cas d'une approche tournée vers le réseau nous ne prendrions pas en compte ces synapses électriques et que nous regrouperions dans un seul modèle les deux cellules nerveuses mises en jeu.

1-5-2 Le modèle analogique des synapses chimiques basé sur le formalisme d'Hodgkin et Huxley

La modélisation des synapses chimiques est généralement fondée sur le modèle établi pour les conductances ioniques voltage dépendantes [KOC 1999b]. Lorsque nous avons discuté précédemment du mécanisme de fonctionnement des synapses chimiques, nous avons évoqué un courant ionique induit dans la cellule postsynaptique par les neurotransmetteurs émis depuis le neurone présynaptique. Ces considérations pré et postsynaptique nous amènent à prendre en compte d'une part une dépendance de la fonction d'activation vis-à-vis de la tension de membrane présynaptique et d'autre part une pondération de ce même courant vis-à-vis de la tension de membrane postsynaptique. Autrement dit, nous pouvons formuler ces dépendances par les trois expressions mathématiques suivantes :

$$I_{\text{SYN}} = \overline{g_{\text{SYN}}} \cdot r(V_{\text{MEM_PRE}}) \cdot (V_{\text{MEM_POST}} - E_{\text{SYN}}) \quad \text{équation 1 - 27}$$

où $\overline{g_{\text{SYN}}}$ est la conductance maximale de la synapse.

E_{SYN} est le potentiel d'équilibre électrochimique de l'espèce ionique considérée

$$r_{\infty}(V_{\text{MEM_PRE}}) = \frac{1}{1 + \exp\left(-\frac{V_{\text{MEM_PRE}} - V_{\text{OFFSET}}}{V_{\text{PENTE}}}\right)} \quad \text{équation 1 - 28}$$

$$\tau \cdot \frac{dr}{dt} = r_{\infty} (V_{MEM_PRE}) - r$$

équation 1 - 29

En l'absence de schéma, il est nécessaire de préciser que l'équation 1-27 considère le courant synaptique négatif (positif) lorsqu'il rentre dans (sort de) la cellule post-synaptique. Les synapses chimiques peuvent être soit excitatrices, soit inhibitrices ; cette propriété sera traduite par la valeur de E_{SYN} . Dans le cas d'une synapse excitatrice E_{SYN} sera aux alentours de 0 mV et dans le cas où elle est inhibitrice environ de -100 mV. Supposons que la tension de membrane du neurone postsynaptique soit à son potentiel de repos, -70 mV par exemple, et plaçons nous dans le cas de l'observation de l'influence d'une synapse inhibitrice. Lorsqu'un potentiel d'action présynaptique stimulera la synapse, le courant calculé grâce à l'équation 1-27 sera positif. Il entraînera une hyperpolarisation de la cellule post-synaptique. Tandis que dans le cas d'une synapse excitatrice, le courant induit dépolarisera le neurone postsynaptique.

Quant à la notion de poids synaptique, nous la retrouvons dans l'équation 1-27 à travers le terme $\overline{g_{SYN}}$. L'évolution du poids synaptique se traduira par une modification de la valeur du paramètre $\overline{g_{SYN}}$. Autrement dit, la valeur maximale de la conductance est une « constante qui peut varier dans le temps ». Elle est une constante si les phénomènes d'apprentissage ou de plasticité du réseau ne sont pas pris en compte. Si nous nous plaçons dans un de ces deux derniers cas, elle est considérée comme une constante à l'échelle de la période d'un potentiel d'action et éventuellement comme une variable à l'échelle de la minute.

L'expression du courant synaptique établie ci-dessus lie physiquement les tensions de membrane pré et postsynaptique. Le générateur de courant synaptique associé aura forcément un premier pôle relié à la tension de membrane présynaptique et un second relié à la tension de membrane postsynaptique. Lors de la phase de développement de l'environnement dédié aux circuits intégrés, il faudra donc trouver une solution pour que chacun des n neurones mis en jeu dans le réseau puisse se connecter physiquement avec les n-1 autres neurones. Une solution pour les connecter entre eux peut être envisagée si nous nous limitons à l'étude d'un mini-réseau constitué de quelques neurones. Dans le cas où le réseau de neurones dépasserait la dizaine d'éléments, nous commencerions à atteindre la centaine de connections, ce qui posera un problème pour proposer une solution technique ayant une grande flexibilité.

1-5-3 Le modèle mixte des synapses chimiques : une anticipation vers la mise en réseau des neurones

La modélisation des synapses chimiques basée sur les conductances ioniques est implantable dans un circuit intégré au même titre que les canaux ioniques car ils possèdent les mêmes expressions mathématiques. Mais étant entendu que ce formalisme mathématique posera un problème technique pour une mise en réseau au-delà de quelques neurones, nous nous proposons d'utiliser une déclinaison de ce modèle. Cette solution se propose, comme précédemment, de caractériser aussi bien une synapse excitatrice qu'inhibitrice tout en conservant les propriétés d'évolution dans le temps du poids synaptique.

Le modèle proposé par Alain Destexhe [DES 1994] consiste à numériser l'information présynaptique puis à venir présenter cette information numérique, sous forme d'un créneau de tension de durée fixe, à l'entrée de la synapse. Le courant induit doit posséder les mêmes propriétés que précédemment. En plus de celle sur le poids synaptique, nous devons retrouver la notion de saturation exprimée à travers le terme d'activation r de l'équation 1-27. Toutes

ces considérations nous amènent à devoir réécrire quasiment la même expression mathématique que précédemment pour le courant induit, à savoir :

$$I_{\text{SYN}} = \overline{g_{\text{SYN}}} \cdot r(V_{\text{MEM_PRE}}, t) \cdot (V_{\text{MEM_POST}} - E_{\text{SYN}}) \quad \text{équation 1 - 30}$$

En revanche, l'expression concernant le calcul du terme d'activation est différente. La dépendance de ce terme à la tension de membrane présynaptique se retrouve seulement dans la valeur du seuil de détection du potentiel d'action. Ensuite seul le calcul d'une exponentielle fonction du temps est nécessaire. Ce calcul s'effectue en deux temps, un premier où le créneau de tension est appliqué et un second où il ne l'est plus (voir figure 1-13). Dans chaque cas le calcul de $r(t)$ est :

$$\tau \cdot \frac{dr(t)}{dt} = r_{\infty} - r(t) \quad \text{équation 1 - 31}$$

Cependant durant la phase où le créneau de tension est présent nous avons $\tau = \tau_M$ et $r_{\infty} = r_{\infty_M}$ et durant la phase de relâche, où le créneau de tension n'est plus présent, nous avons $\tau = \tau_D$ et $r_{\infty} = 0$.

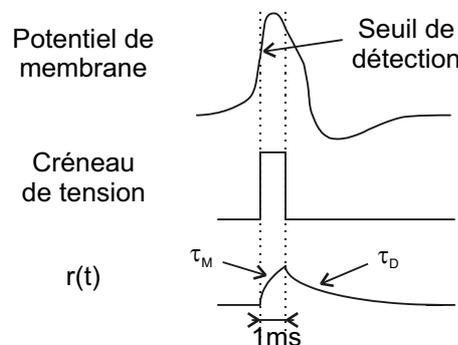


Figure 1 - 13 : Schéma illustrant le fonctionnement des synapses mixtes

La numérisation de l'information par un mot binaire va nous permettre d'insérer une partie logicielle dans le chemin de propagation de l'information au sein de la cellule nerveuse. Cette partie logicielle va permettre la gestion logicielle de la cartographie synaptique.

Suite à cette première publication, Alain Destexhe a étendu ce modèle à la sommation synaptique [DES 1998]. Sachant que plus il y a de neurones dans un réseau plus il y aura de synapses arrivant sur un même neurone, sa solution propose le calcul d'une seule exponentielle pour toutes ces synapses afférentes à un seul et même neurone. Malheureusement cette solution n'est pas envisageable dans le cadre d'une solution analogique. Nous sommes obligés de garder un calcul analogique (équation 1-31) par synapse.

Un avantage sous-jacent à ce type de modélisation peut être mis en lumière. Une fois le potentiel d'action présynaptique échantillonné, toute l'information se retrouve dans un signal numérique à un bit. Une partie du système va gérer cette information numérique pour la redistribuer vers les neurones cibles. En insérant dans la partie numérique du système une temporisation variable nous pouvons établir le schéma comparatif de la figure 1-14.

En se remémorant encore une fois le choix d'une modélisation en trois parties de la cellule nerveuse (le soma en tant qu'unité de calcul autonome, les connections synaptiques et le chemin de communication), nous constatons que non seulement ce choix de modèle pour les synapses chimiques autorise une redistribution aisée de l'information vers les neurones cibles mais permettra aussi, par logiciel, d'introduire le temps de propagation de l'information le long de l'axone.

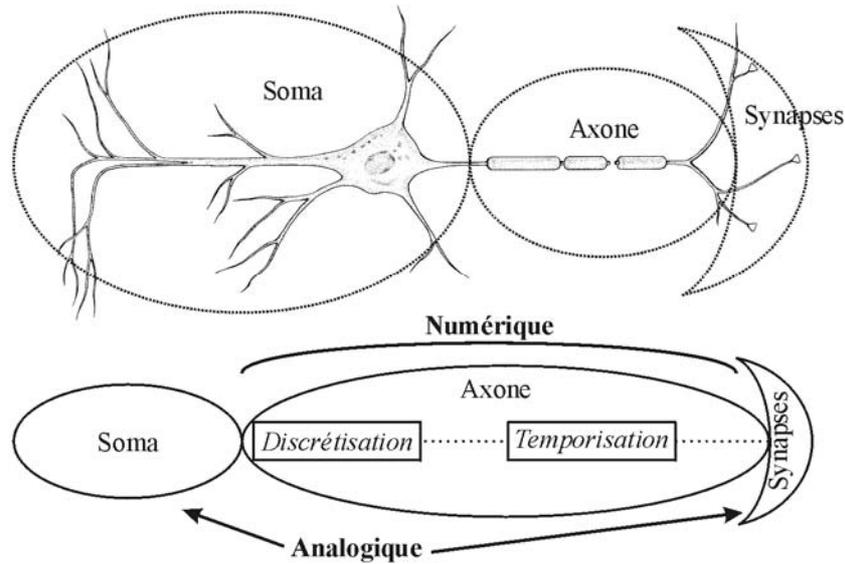


Figure 1 - 14 : Comparatif entre la représentation biologique et le modèle en trois parties retenu

1-6 Le cahier des charges relatif aux modèles retenus

Les choix des formalismes pour la cellule nerveuse et pour les synapses ont été faits. Maintenant il nous reste à les implanter. Pour cela, il faut dans un premier temps décrire les opérateurs analogiques qui nous permettront de répondre favorablement aux équations établies pour la membrane neuronale (équations 1-17 à 1-27) et pour les synapses (équations 1-31 et 1-32). Dans un second temps et en vue d'une réalisation sur silicium, il faudra déterminer les gammes de tous les paramètres mis en jeu.

1-6-1 La répétition des opérateurs de calcul

En reprenant le modèle des canaux ioniques sodium, potassium et calcium, nous pouvons établir le schéma générique suivant :

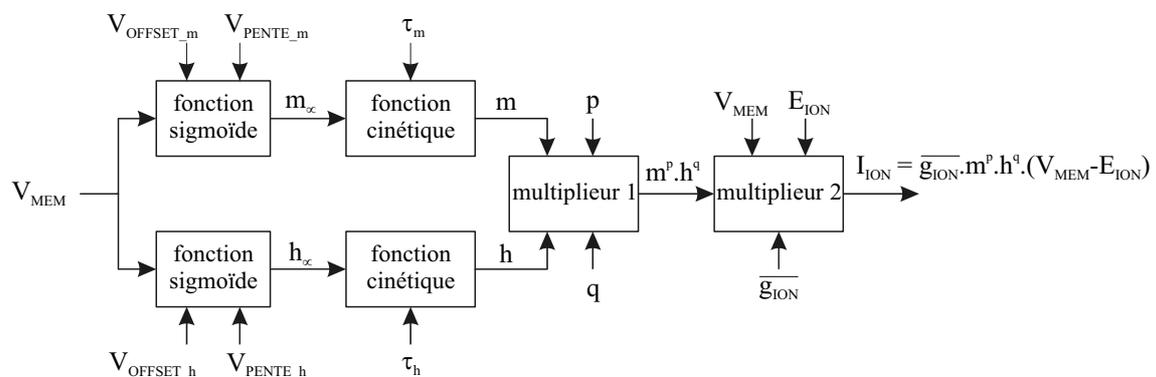


Figure 1 - 15 : Synopsis générique des canaux ioniques sodium, potassium et calcium

Le canal potassium calcium dépendant un peu plus élaboré, peut être représenté par le schéma suivant :

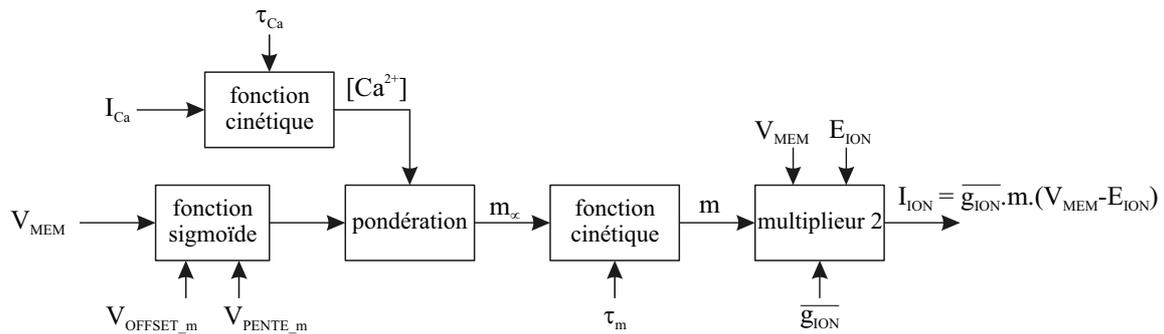


Figure 1 - 16 : Synopsis du canal potassium dépendant calcium

La conductance de fuite se dispense de schéma synoptique représentant son implantation. En effet, de son équation associée 1-19 et des deux synoptiques précédents nous en déduisons que sa représentation synoptique se réduira à un seul bloc, le multiplieur 2.

Et enfin la synapse mixte nous donne ce schéma :

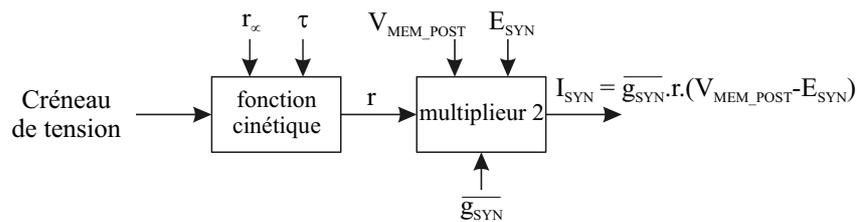


Figure 1 - 17 : Synopsis d'une synapse mixte

Nous constatons une répétition de certains opérateurs mathématiques : la fonction sigmoïdale, la fonction cinétique, le multiplieur 2 et le multiplieur 1 pour les canaux sodium, potassium et calcium. La réussite d'une implantation sur silicium de notre circuit neuromimétique passera d'abord par la réalisation de ces opérateurs mathématiques. Mais avant d'aborder ce point dans le deuxième chapitre, il convient de déterminer les plages des paramètres entrant en jeu dans ces différents opérateurs.

1-6-2 Le cahier des charges des opérateurs de calcul

Le cahier des charges pour la réalisation de ce circuit intégré neuromimétique s'inscrit dans la continuité des travaux des précédents doctorants de l'équipe. Suite aux discussions que nous avons eues avec les neurophysiologistes, nous avons apporté quelques modifications aux précédents cahiers des charges pour nous laisser une plus grande liberté dans le choix des modèles issus de la biologie qui seront simulés par ce circuit.

LA FONCTION SIGMOÏDE

Deux paramètres entrent en compte pour le calcul de la fonction sigmoïde : la tension de demi-activation – ou demi-inactivation – V_{OFFSET} et la tension image de la pente V_{PENTE} .

	V_{OFFSET} (mV)		V_{PENTE} (mV)	
	minimum	maximum	minimum	maximum
Canal sodium : activation m	- 60	0	2	20
Canal sodium : inactivation h	- 60	0	2	20
Canal potassium : activation n	- 60	0	2	20
Canal calcium : activation m	- 80	- 20	2	20
Canal calcium : inactivation h	- 100	- 50	2	20
Canal potassium calcium dépendant : activation m	- 60	0	2	20
Extremums	- 100	0	2	20
Choix retenus pour implantation	- 100	+ 100¹⁸	2	20

Tableau 1 - 4 : Gammes des paramètres V_{OFFSET} et V_{PENTE} pour la fonction sigmoïde

LES VALEURS DES CINÉTIQUES DE LA FONCTION CINÉTIQUE¹⁹

La fonction cinétique ne possède qu'un paramètre à prendre en compte mais nous observons une grande disparité de celui-ci en fonction du canal ionique auquel il s'adresse. Nous savons qu'il va être difficile de réaliser des circuits électroniques fonctionnant avec des paramètres variables sur plusieurs décades. Pour pallier cet inconvénient, nous avons décidé de décomposer le problème en plusieurs gammes de paramètres. Pour cela nous réaliserons une cinétique variable dans une plage allant de 1 à 50 et cette plage sera sélectionnée par un composant extérieur au circuit intégré.

	τ (ms)		Gamme retenue (ms)	
	minimum	maximum	minimum	maximum
Canal sodium : activation m	0,02	0,2	0,02	1
Canal sodium : inactivation h	0,2	2	0,2	10
Canal potassium : activation n	0,2	10		
Canal calcium : activation m	2	50	2	100
Canal calcium : inactivation h	50	1000	20	1000
Canal potassium calcium dépendant : activation m	0,4	1000	0,4	20
Accumulation calcique			et 20	1000
Synapse phase d'activation	1	2	0,4	20
Synapse phase d'inactivation	5	20		

Tableau 1 - 5 : Gammes des paramètres τ pour la fonction cinétique

LE MULTIPLIEUR 1 OU LA FONCTION D'ÉLEVATION À LA PUISSANCE

Malgré la répétition de la fonction d'élévation à la puissance dans les différents canaux ioniques, il ne sera pas possible de créer un circuit électronique générique. En effet, l'élévation à la puissance est différente dans chaque canal : mh , m^2h , m^3h ou encore n^4 . Cependant nous verrons que toutes ces fonctions d'élévation à la puissance seront élaborées à partir du même principe.

¹⁸ Il peut sembler inopportun de retenir + 100 mV comme borne supérieure pour l'implémentation de la fonction sigmoïde alors qu'aucun canal ionique ne fait appel à une telle valeur. Mais tout électronicien subodore déjà l'utilisation à venir d'une paire différentielle bipolaire pour réaliser la fonction sigmoïdale. Le choix de réaliser une fonction d'activation ou une fonction d'inactivation dépendra de la branche de la paire différentielle retenue. La paire différentielle étant un montage électronique symétrique, si elle peut fonctionner avec la borne inférieure - 100 mV, elle doit pouvoir fonctionner avec la borne supérieure + 100 mV.

¹⁹ Pour éviter la confusion, nous rappelons que le terme τ est appelé cinétique (cf. note 16) et est homogène à un temps, tandis que la fonction élémentaire permettant le calcul de l'activation ou de l'inactivation des canaux ioniques est appelée fonction cinétique.

LE MULTIPLIEUR 2 OU L'ETAGE DE SORTIE

Bien que l'étage de sortie ne présente que deux paramètres g_{MAX} et E_{EQUI} , respectivement pour les paramètres g_{ION} ou g_{SYN} et E_{ION} ou E_{SYN} , une présentation claire nous demande de séparer les cahiers des charges de ces deux paramètres. Etablissons d'abord celui du paramètre E_{EQUI} :

	E_{EQUI} (mV)	
	minimum	maximum
Canal sodium	20	80
Canal potassium	- 120	- 50
Canal calcium	100	150
Canal potassium calcium dépendant	- 120	- 50
Canal de fuite	- 150	- 50
Synapse	- 150	50
Extremums	- 150	150
Choix retenus pour implantation	- 150	150

Tableau 1 - 6 : Gammes du paramètre E_{EQUI} pour l'étage de sortie

Quant au paramètre g_{MAX} , il faut comme pour la fonction cinétique décomposer le problème en plusieurs gammes :

	g_{MAX} (normalisé)		Gamme retenue	
	minimum	maximum	minimum	Maximum
Canal sodium	0,02	1	0,02	1
Canal potassium	0,02	1	0,02	1
Canal calcium	0,0001	0,1	0,0001	0,1
Canal potassium calcium dépendant	0,0001	0,1	0,0001	0,1
Canal de fuite	0,00001	0,1	0,00001	0,1
Synapse	0,0001	0,1	0,0001	0,1

Tableau 1 - 7 : Gammes du paramètre g_{MAX} pour l'étage de sortie

1-7 Résumé

Ce premier chapitre a défini le cadre dans lequel se sont inscrits les travaux présentés dans ce manuscrit. Après avoir décrit les principales caractéristiques de l'anatomie des cellules nerveuses, nous nous sommes intéressés aux principes fondamentaux de leur physiologie. Nous avons ensuite présenté les activités des équipes novatrices qui étudient les phénomènes neurobiologiques à l'aide de circuits neuromimétiques. Nous avons défini le modèle des neurones que nous implanterions dans le silicium en nous appuyant sur les travaux antérieurs de notre équipe. Le modèle retenu pour les synapses a quant à lui été discuté pour aboutir à une solution de conception mixte qui permettra une mise en réseau des circuits intégrés. Enfin, pour déterminer le cahier des charges relatif aux modèles retenus nous nous sommes aussi aidés des expériences précédentes de notre équipe.

Chapitre II

Les fonctions analogiques implantées dans le silicium

« Soyons simples sans être simplistes. »

Sherlock Ighias

Chapitre II	Les fonctions analogiques implantées dans le silicium	44
2-1	Introduction	46
2-2	Les outils de conception	46
2-2-1	Généralités sur les circuits intégrés	46
2-2-2	La suite logicielle <i>Cadence</i>	47
2-3	Les technologies silicium utilisées	49
2-3-1	La technologie BiCMOS 0,35 μm SiGe du fondeur <i>austriamicrosystems</i>	49
2-3-2	Comparatif des technologies BiCMOS 0,8 μm et BiCMOS 0,35 μm SiGe du fondeur <i>austriamicrosystems</i>	50
2-4	Les circuits élémentaires	53
2-4-1	Le contexte de conception : la puce <i>Violetta</i>	53
2-4-2	Le générateur de courant commandé par une tension	54
2-4-3	Le multiplieur en mode courant	55
2-4-4	L'amplificateur à transconductance	56
2-4-5	La paire différentielle bipolaire avec étage de prédistorsion	58
2-5	La fonction sigmoïde	60
2-5-1	Le schéma synoptique	60
2-5-2	Les résultats	61
2-6	La fonction cinétique	62
2-6-1	Le schéma synoptique	62
2-6-2	Les résultats	64
2-7	La fonction d'élévation à la puissance	65
2-7-1	La solution pour réaliser la fonction m^3h	65
2-7-2	Les autres montages pour les autres fonctions puissance	66
2-7-3	Une propriété remarquable de ces différents montages	67
2-8	La fonction de sortie	68
2-8-1	Une première solution	68
2-8-2	Une seconde solution	70
2-9	Résumé	71

2-1 Introduction

Il ressort donc de la définition du cahier des charges que le principe de conception par modules répond aux équations du formalisme mathématique d'Hodgkin et Huxley : c'est l'idée autour de laquelle s'articule ce chapitre. Il ne traite que des blocs analogiques constituant les conductances ioniques. Pourtant nous commencerons par décrire les outils de conception et les technologies silicium utilisées pour implanter les blocs analogiques de calcul, car les solutions de conception sont très étroitement liées aux caractéristiques technologiques. Nous poursuivrons par la description du contexte dans lequel s'est déroulée la conception des circuits analogiques élémentaires. Ceci nous emmènera à la description des opérateurs mathématiques analogiques constituant les différents canaux ioniques et répondant à leur cahier des charges respectif.

Toutefois, il est important de souligner que ce travail n'aurait pas pu se faire sans les travaux précédents de notre équipe, à savoir quatre thèses soutenues [DUP 1998], [LAF 1998], [DOU 2000] et [ALV 2003].

2-2 Les outils de conception

2-2-1 Généralités sur les circuits intégrés

Les circuits intégrés spécifiques à une application, appelés aussi ASIC²⁰ regroupent une large gamme de produits. Ils peuvent à la fois décrire des produits à très large diffusion commerciale, des circuits développés pour un client possédant son propre cahier des charges ou encore des circuits réalisant le compromis entre ces deux premières solutions.

Le choix d'un développement de circuits propres à une application offre de nombreux avantages par rapport à une solution constituée de composants discrets : la miniaturisation, une fiabilité accrue, le gain en performance, le gain en consommation, la diminution des coûts de production. En revanche, nous noterons quelques points négatifs : l'augmentation des coûts de développement, du temps de développement et de test avant production et le non des moindres, un circuit figé en fin de conception.

Pour concrétiser une application développée autour d'un ASIC, plusieurs solutions s'offrent aux concepteurs.

La première solution consiste à employer des composants programmables. Ils peuvent être soit numériques, appelés communément FPGA (Field Programmable Gates Array) ou CPLD (Complex Programmable Logic Device), soit analogiques, appelés pour leur part FPAA (Field Programmable Analogue Array).

Une seconde solution consiste à employer des circuits pré-diffusés. Ces circuits sont eux aussi numériques ou analogiques. Les fonctions électriques sont gravées dans le silicium. Le concepteur a comme seul degré de liberté le choix d'interconnexion entre les différentes

²⁰ Le terme ASIC, pour Application Specific Integrated Circuit, étant devenu un mot du langage courant dans la communauté électronique, nous nous autoriserons cet anglicisme dans la suite de ce manuscrit.

fonctions. Nous retrouvons l'état d'esprit de la première solution, excepté que dans le premier cas, les interconnexions étaient réalisées par l'utilisateur en programmant autant de fois que nécessaire le composant, alors que dans le second, les interconnexions seront choisies par le concepteur et que lors du processus de fabrication des puces, le fondeur réalisera les niveaux de métaux nécessaires. Cette solution est non reprogrammable.

Une troisième solution utilise des fonctions pré-caractérisées. Ces fonctions, logiques ou analogiques, sont des éléments issus d'une bibliothèque élaborée par le fondeur. Le concepteur décide de faire implanter dans le silicium uniquement les fonctions dont il a besoin, contrairement aux deux premières solutions. De ce fait la miniaturisation sera plus grande.

La quatrième solution, visant à utiliser une surface minimale, consiste à travailler en « full-custom ». La traduction de cette expression est assez explicite. Le concepteur a la charge de définir le circuit électrique en utilisant en guise de briques élémentaires les résistances, capacités et transistors fournis par le fondeur.

Au fur et à mesure des solutions qui viennent d'être exposées, nous avons constaté, d'une part une complexité de conception et un temps de développement grandissants, et d'autre part une minimisation de la surface de silicium utilisée. Tous ces points sont résumés dans le tableau 2-1.

		Circuits sur mesure		Circuits pré-diffusés	Circuits programmables
		Full custom	Pré-caractérisés		
Opérations technologiques		Toutes	Toutes	Métallisation	Aucune
Densité d'intégration		+++	++	+	-
Performances		+++	++	+	-
Temps de mise en œuvre		--	-	=	++
Coût de développement		--	-	=	++
Coût de production	En faible production	---	--	+	+++
	En grande production	++	++	+	+

Tableau 2 - 1 : Tableau comparatif des principales caractéristiques entre les différentes solutions d'intégration. Le signe + désigne un point positif tandis que le signe – un point négatif.

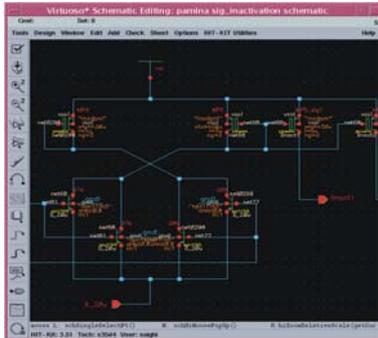
Le cahier des charges de notre application est spécifique aux neurosciences computationnelles. En cela, nous devons réaliser des opérations mathématiques spécifiques et définies à l'avance. De plus, la répétition de ces opérations élémentaires nous a amené à poursuivre dans le choix qui a été effectué lors des précédents travaux de thèse de l'équipe, la conception de circuits intégrés en « full-custom ». Cette méthode de conception nous permet à la fois de rationaliser l'organisation spatiale de l'ASIC et de créer notre propre bibliothèque d'opérateurs élémentaires. Ainsi l'équipe pourra concevoir les prochains circuits en mode pré-caractérisés avec une bibliothèque construite à partir de ces travaux.

C'est en gardant cette idée de construction d'une bibliothèque dédiée, qu'a été proposé le sujet de stage de Master Recherche à Timothée Lévi [LEV 2003].

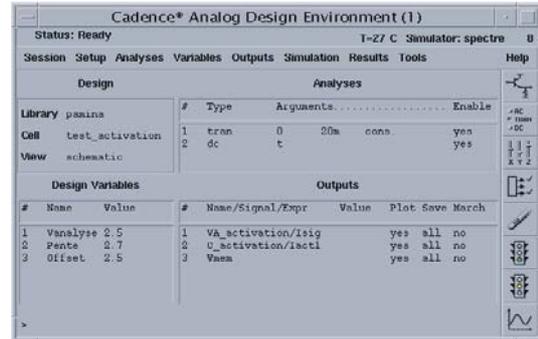
2-2-2 La suite logicielle Cadence

Les deux produits les plus performants sur le marché pour la conception de circuits intégrés sont les suites logicielles de *Mentor Graphics* et de *Cadence*. Le laboratoire IXL utilise depuis quinze ans les produits de la marque *Cadence* pour développer les ASICs.

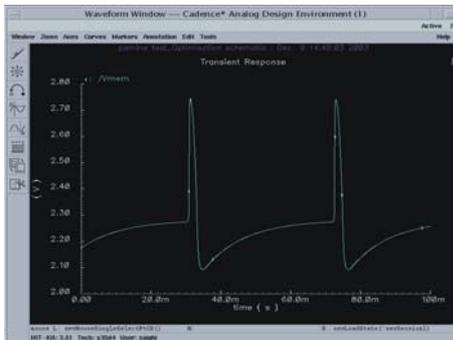
Bien que ce paragraphe ne concerne que la description de la suite logicielle *Cadence*, la philosophie de conception reste la même pour les deux produits, à savoir la description électrique du circuit, la simulation, le dessin des couches physiques à implanter, puis la comparaison entre la description électrique et les couches physiques du circuit²¹.



La première étape consiste en la description du circuit électrique. Nous disposons pour cela d'un outil de saisie graphique.

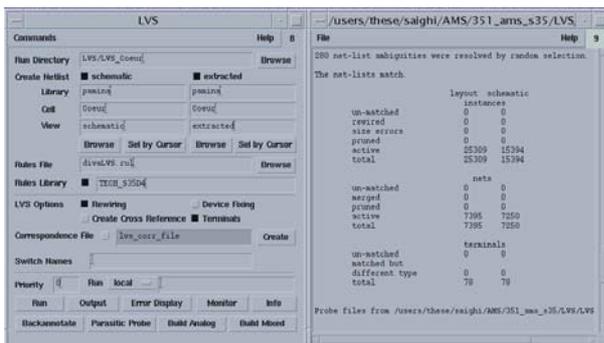
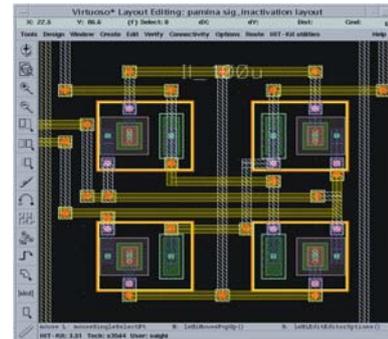


Le simulateur utilise les paramètres et les modèles fournis par le fondeur. D'ores et déjà, la conception du circuit est soumise aux paramètres technologiques.



Les résultats fournis par le simulateur permettent au concepteur de corriger éventuellement le circuit en revenant à la première étape. Ce processus itératif cessera à l'obtention du résultat escompté.

La description physique des composants est fournie par le fondeur. Au concepteur revient la charge de gérer les interconnexions entre les composants en manipulant des couches de polysilicium et de métal. Le concepteur est aidé pour cela d'un outil de DRC (Design Rules Check). Cet outil permet de s'assurer qu'il ne subsiste plus d'erreur de dessin des masques.



La dernière étape est l'utilisation d'un outil de LVS (Layout Versus Schematic). Il permet de vérifier la cohérence entre le circuit électrique extrait des couches physiques, autrement dit l'*extracted*, et le schéma électrique, appelé *schematic*.

Figure 2 - 1 : Capture d'écran des différents outils de la suite logicielle *Cadence*

²¹ <http://www.cadence.com>

2-3 Les technologies silicium utilisées

Le premier circuit qui a été élaboré durant ce doctorat a été réalisé avec la technologie BiCMOS 0,8 μm du fondeur austriamicrosystems. Ce premier circuit, nommé *Violetta* a permis la validation de la structure des blocs analogiques devant répondre aux cahiers des charges [SAI 2003]. Ensuite, un second circuit, nommé *Pamina*, a été réalisé pour répondre aux modèles neuromimétiques définis dans le premier chapitre. Entre le premier et le second circuit, un an s'est écoulé et une nouvelle technologie disponible via conjointement le CMP^{22, 23} et le CNFM^{24, 25} a été accessible, la technologie BiCMOS 0,35 μm SiGe du fondeur austriamicrosystems²⁶. L'accès à cette seconde technologie a permis l'amélioration des blocs analogiques, ceci grâce à des composants possédant de meilleures caractéristiques. C'est essentiellement de cette seconde technologie dont il sera question dans la suite.

2-3-1 La technologie BiCMOS 0,35 μm SiGe du fondeur austriamicrosystems

Cette technologie est issue de la filière CMOS (Complementary Metal Oxide Semiconductor), dédiée à la conception numérique. La dimension 0,35 μm correspond au plus petit motif réalisable, ici c'est la longueur de grille d'un transistor MOSFET. Pour devenir une technologie BiCMOS, des étapes technologiques lui ont été ajoutées. Cette adjonction permet la création de composants dédiés à la conception de circuits analogiques, tels que les transistors bipolaires et les capacités à armatures métalliques. De surcroît, les bibliothèques numériques basées autour des transistors MOSFET restent utilisables.

Après avoir éclairci la dénomination BiCMOS 0,35 μm de cette technologie, cherchons à comprendre le terme SiGe et l'apport novateur associé.

Le gain direct en courant d'un transistor bipolaire à homojonction est proportionnel au dopage de l'émetteur et inversement proportionnel au dopage de la base [MAT 1998].

$$\text{Autrement dit, } \beta_F \propto \frac{N_{DE}}{N_{AB}} \quad \text{équation 2 - 1}$$

Pour maximiser ce gain en courant, le dopage technologique de l'émetteur doit être maximal ; on peut aussi diminuer le dopage de la base, ce qui va entraîner une diminution de la résistance de base. Cette dernière entraînera la chute de la fréquence de transition du transistor, notée f_T . Le choix des caractéristiques d'un transistor bipolaire est donc soumis à un compromis.

²² Le CMP (Circuits Multi-Projets) est devenu une « Unité de Service et de Recherche », dépendante du CNRS (Centre National de la Recherche Scientifique) et de l'INPG (Institut National Polytechnique de Grenoble) en 1984. Il offre aux universités, aux laboratoires de recherche et aux sociétés travaillant dans la conception d'ASICs, de Circuits Multi-Modules et de Microsystèmes l'accès à différentes technologies. La fabrication de faible volume est dédiée au prototypage.

²³ <http://cmp.imag.fr>

²⁴ Le CNFM (Centre National de Formation en Microélectronique) assure la coordination de l'enseignement de la microélectronique en France et une de ses missions est d'organiser, par l'intermédiaire de ses différents pôles géographiques, le choix, l'achat et la maintenance des outils indispensables à la microélectronique : stations de travail, logiciels de CAO, testeurs...

²⁵ <http://www.cnfm.fr>

²⁶ <http://www.ams.co.at>

Une jonction composée de deux matériaux semiconducteurs de nature différente, entre l'émetteur et la base, est appelée hétérojonction. Cette hétérojonction nous offre un degré de liberté supplémentaire, car l'expression du gain en courant devient alors :

$$\beta_F \propto \frac{N_{DE}}{N_{AB}} \cdot \exp\left(\frac{\Delta E_G}{k.T}\right) \quad \text{équation 2 - 2}$$

Nous retrouvons le terme de l'homojonction $\frac{N_{DE}}{N_{AB}}$ pondéré par le terme d'hétérojonction $\exp\left(\frac{\Delta E_G}{k.T}\right)$, dans lequel ΔE_G représente la différence de bande interdite entre l'émetteur en silicium et la base en silicium-germanium. Il est dorénavant possible d'optimiser le dopage de la base pour augmenter la fréquence de transition tout en conservant un gain en courant élevé grâce au terme de l'hétérojonction de l'équation 2-2.

La réalisation des transistors à hétérojonction, appelés communément HBT²⁷ (Heterojunction Bipolar Transistor), peut être amélioré par l'utilisation des composés semiconducteurs III-V du tableau de Mendeleïev, tels que le GaAs ou l'InP (respectivement Arséniure de Gallium et Phosphure d'Indium). Mais l'emploi d'un composé IV-IV comme le SiGe (Silicium Germanium) est aussi possible. L'avantage de cette seconde solution est l'utilisation des fonderies traditionnelles silicium pour la fabrication. Autrement dit, pour la fabrication d'un circuit en technologie III-V, il est nécessaire de monter une usine de fabrication dédiée à la manipulation de ces espèces chimiques. Tandis que le SiGe ne nécessite pas d'investissements aussi lourds. Il est juste nécessaire d'adapter une chaîne de fabrication d'une fonderie travaillant déjà sur le silicium ; aux traditionnelles étapes d'élaboration, on ajoute des étapes permettant une croissance épitaxiale de la couche SiGe. Ces quelques étapes dans le processus ne sont pas sans rappeler celles qui permettent de passer d'une technologie CMOS à une technologie BiCMOS.

Ainsi, nous présentons un rapport qualité/prix bien plus attractif pour les composés IV-IV que III-V²⁸.

2-3-2 Comparatif des technologies BiCMOS 0,8 μm et BiCMOS 0,35 μm SiGe du fondeur austriamicrosystems

L'utilisation de la technologie SiGe pour la conception de nos ASICs n'est pas d'une nécessité première. Mais nous n'avons accédé à la technologie BiCMOS 0,35 μm d'austriamicrosystems que durant sept mois. Le fondeur l'a arrêté à cause des faibles volumes de production au profit de la technologie BiCMOS 0,35 μm SiGe. La migration vers cette technologie s'est donc imposée d'elle-même. Les performances liées à cette technologie nous ont permis de bénéficier d'améliorations dans les résultats de nos simulations.

Ci-après, plusieurs tableaux comparent les deux technologies employées lors de la conception des deux circuits, chronologiquement *Violetta* en BiCMOS 0,8 μm sous une tension d'alimentation de 5 V et *Pamina* en BiCMOS 0,35 μm SiGe. Cette dernière technologie a été spécifiée pour fonctionner avec des tensions d'alimentation de 3,3 V. Afin que les

²⁷ En opposition aux transistors bipolaires à homojonction, qui sont dénommés dans la littérature des BJT (Bipolar Junction Transistor)

²⁸ Il n'est pas possible de comparer quantitativement les prix des différents types de technologies à hétérojonction car souvent elles ne possèdent pas les mêmes tailles minimales de transistors, sans compter qu'il est très difficile de trouver des technologies BiCMOS en composé en III-IV.

concepteurs puissent concevoir des circuits analogiques sous une tension d'alimentation de 5 V, le fondeur a ajouté à son processus un module haute tension. Nous remarquerons que les tableaux comparatifs à venir des composants actifs présentent les deux types d'alimentation, 3,3 V et 5 V.

	BiCMOS 0,8 μm	BiCMOS 0,35 μm SiGe
Nombre de couches de polysilicium	2	2
Nombre de couches de métal	2	4 *

* par défaut cette technologie a 3 couches de métal et optionnellement 4

Tableau 2 - 2 : Tableau comparatif du nombre de couches de polysilicium et de métal disponibles dans les technologies BiCMOS 0,8 μm et 0,35 μm SiGe du fondeur austriamicrosystems.

Type de résistances	BiCMOS 0,8 μm		BiCMOS 0,35 μm SiGe	
	Largeur minimale (μm)	Valeur (Ω/\square)	Largeur minimale (μm)	Valeur (Ω/\square)
$R_{\text{poly}2}$ (polysilicium 2)	1,6	67	0,65	50
R_{nwell} (puit dopé N dans substrat P)	5	3600	3	1000
$R_{\text{poly}h}$ (polysilicium hautement résistif)	5	1200	0,8	1200

Tableau 2 - 3 : Tableau comparatif des différentes résistances disponibles dans les technologies BiCMOS 0,8 μm et 0,35 μm SiGe du fondeur austriamicrosystems.

Type de capacités	BiCMOS 0,8 μm			BiCMOS 0,35 μm SiGe		
	Surface minimale (μm^2)	Surface maximale (μm^2)	Valeur (fF/ μm^2)	Surface minimale (μm^2)	Surface maximale (μm^2)	Valeur (fF/ μm^2)
C_{poly} (polysilicium 1 – polysilicium 2)	2,56	Aucune	1,77	0,64	Aucune	0,86
C_{mim} (métal 2 – isolant – métal C)	Inexistante			16	900	1,25

Tableau 2 - 4 : Tableau comparatif des différentes capacités disponibles dans les technologies BiCMOS 0,8 μm et 0,35 μm SiGe du fondeur austriamicrosystems.

Paramètres technologiques	BiCMOS 0,8 μm	BiCMOS 0,35 μm SiGe	
	nnp121 5 V *	nnp121 3,3 V *	nnp121h5 5 V *
Surface d'émetteur minimale (μm^2)	3 x 0,8	2 x 0,4	2 x 0,4
Courant de saturation I_{Csat} (aA/ μm) **	1,2	0,6	0,6
Gain en courant **	100	160	160
Tension d'Early (V)	32	> 100	> 100
Tension de claquage BV_{EBO} (V)	5		
Tension de claquage BV_{CBO} (V)	16	11	13
Tension de claquage BV_{CEO} (V)	7	2,7	5,5
Résistivité d'émetteur ($\Omega\cdot\text{m}$)	25	35	35
Résistivité de collecteur ($\Omega\cdot\text{m}$)	320	400	400
Résistivité de base ($\Omega\cdot\text{m}$)	1100	175	304
Fréquence de transition (GHz)	12	60	35

* les transistors nnp121 sont des transistors bipolaires à double base

** avec une surface d'émetteur minimale

Tableau 2 - 5 : Tableau comparatif des différents transistors bipolaires npn à double base disponibles dans les technologies BiCMOS 0,8 μm et 0,35 μm SiGe du fondeur austriamicrosystems.

Paramètres technologiques	BiCMOS 0,8 μm	BiCMOS 0,35 μm SiGe
	pnp latéral	pnp latéral
Surface d'émetteur minimale (μm^2)	3,6 x 3,6	2 x 2
Gain en courant avec $I_B = 1 \mu\text{A}$ *	200	140
Gain en courant avec $I_B = 10 \mu\text{A}$ *	125	30
Tension d'Early (V)	10	15
Fréquence de transition (GHz)	0,06	12

* avec une surface d'émetteur minimale

Tableau 2 - 6 : Tableau comparatif des transistors bipolaires pnp latéraux disponibles dans les technologies BiCMOS 0,8 μm et 0,35 μm SiGe du fondeur austriamicrosystems.

Paramètres technologiques	BiCMOS 0,8 μm	BiCMOS 0,35 μm SiGe	
	NMOS 5 V	$L_{\text{min}} = 0,35 \mu\text{m}$	$L_{\text{min}} = 0,5 \mu\text{m}$
		NMOS 3,3 V	NMOSM 5 V
Epaisseur d'oxyde de grille T_{ox} (nm)	16	7,6	22,6
Dopage effectif du substrat $N_{\text{SUB}} (10^{15}/\text{cm}^3)$	76	212	173
Mobilité effective μ (cm^2/Vs)	464	370	435
Tension de seuil V_{th} (V) * et **	0,72	0,50	0,70
Facteur de gain K_p ($\mu\text{A}/\text{V}^2$)	100	170	100
Longueur effective de canal (μm) **	0,66	0,38	0,45
Courant de saturation I_{Dsat} ($\mu\text{A}/\mu\text{m}$) **	420	540	470
Courant de fuite dans substrat I_{sub} ($\mu\text{A}/\mu\text{m}$) **	0,8	1,5	2
Tension de claquage BV_{DSO} (V) **	13	> 8	> 9
Tension de claquage de l'oxyde de grille (V)	Non fournie	> 8	> 15

* avec $W = 20 \mu\text{m}$ pour la technologie 0,8 μm et $W = 10 \mu\text{m}$ pour la technologie 0,35 μm

** pour une longueur minimale de grille propre à chaque technologie

Tableau 2 - 7 : Tableau comparatif des différents transistors NMOS disponibles dans les technologies BiCMOS 0,8 μm et 0,35 μm SiGe du fondeur austriamicrosystems.

Paramètres technologiques	BiCMOS 0,8 μm	BiCMOS 0,35 μm SiGe	
	PMOS	$L_{\text{min}} = 0,35 \mu\text{m}$	$L_{\text{min}} = 0,5 \mu\text{m}$
		PMOS 3,3 V	PMOSM 5 V
Epaisseur d'oxyde de grille T_{ox} (nm)	16	7,6	22,6
Dopage effectif du substrat $N_{\text{SUB}} (10^{15}/\text{cm}^3)$	28	101	63
Mobilité effective μ (cm^2/Vs)	162	126	135
Tension de seuil V_{th} (V) * et **	-0,77	-0,72	-1,03
Facteur de gain K_p ($\mu\text{A}/\text{V}^2$)	35	58	31
Longueur effective de canal (μm) **	0,75	0,50	0,68
Courant de saturation I_{Dsat} ($\mu\text{A}/\mu\text{m}$) **	-200	-240	-200
Courant de fuite dans substrat I_{sub} ($\mu\text{A}/\mu\text{m}$) **	-	-	-
Tension de claquage BV_{DSO} (V) **	-12	< -8	< -8
Tension de claquage de l'oxyde de grille (V)	Non fournie	< -8	< -15

* avec $W = 20 \mu\text{m}$ pour la technologie 0,8 μm et $W = 10 \mu\text{m}$ pour la technologie 0,35 μm

** pour une longueur minimale de grille propre à chaque technologie

Tableau 2 - 8 : Tableau comparatif des différents transistors PMOS disponibles dans les technologies BiCMOS 0,8 μm et 0,35 μm SiGe du fondeur austriamicrosystems.

	BiCMOS 0,8 μm	BiCMOS 0,8 μm SiGe	BiCMOS 0,35 μm SiGe
Prix par mm^2 (€ / mm^2)	620	750	890

Tableau 2 - 9 : Tableau comparatif des prix de fabrication pour 25 prototypes dans deux technologies du fondeur austriamicrosystems via le CMP au 01/01/2004.

Parmi toutes ces informations, il est important de retenir pour la conception que le passage de la technologie BiCMOS 0,8 μm à la technologie BiCMOS 0,35 μm SiGe du fondeur austriamicrosystems a permis de bénéficier d'un nombre plus élevé de couches de métal, d'un gain en courant et d'une fréquence de transition plus élevés, d'une tension d'Early plus négative pour les transistors bipolaires npn et d'un facteur de gain plus élevé pour les transistors MOS.

2-4 Les circuits élémentaires

Ce premier paragraphe traitant à proprement parler de conception va permettre de présenter les solutions qui ont été retenues pour la réalisation des circuits élémentaires utilisés pour la création des différentes fonctions : fonction sigmoïde, fonction cinétique, fonction d'élévation à la puissance et fonction de sortie. Mais avant, décrivons le contexte dans lequel s'est déroulée la conception de ces différents éléments.

2-4-1 Le contexte de conception : la puce *Violetta*

Les circuits présentés dans ce chapitre ont été conçus avec la technologie 0,8 μm BiCMOS du fondeur austriamicrosystems. Ils fonctionnent sous une tension d'alimentation de 5 V. La conception en mode courant de circuits intégrés avait été précédemment choisie par l'équipe [DUP 1998]. Cette méthode de conception offre l'avantage de posséder une meilleure immunité au bruit, de proposer des solutions extrêmement simples pour effectuer les opérations usuelles, telles que l'addition et la soustraction. Ce choix de conception en mode courant a été poursuivi pendant ces travaux. Autrement dit, les entrées et sorties des différents opérateurs analogiques constituant les conductances ioniques sont des courants.

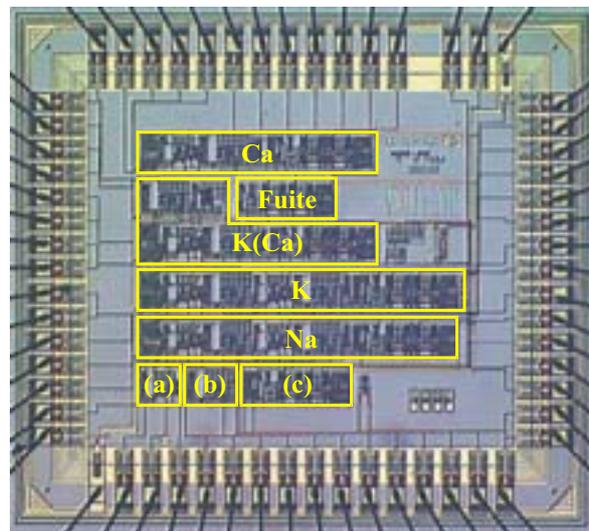


Figure 2 - 2 : Microphotographie de la puce *Violetta*. (a) fonction sigmoïde
(b) fonction cinétique (c) étage de sortie

Les circuits présentés ici sont des éléments de la première puce fabriquée, *Violetta*. La finalité de ce premier ASIC a été de s'assurer du bon fonctionnement des solutions de conception proposées. *Violetta* comprend en plus des cinq conductances décrites au premier chapitre – sodium, potassium, fuite, calcium et potassium dépendant calcium – quelques

opérateurs analogiques, à savoir la fonction sigmoïde, la fonction cinétique et l'étage de sortie. Des sorties de test sont disponibles, permettant les mesures présentées dans les paragraphes suivants.

La figure 2-2 est une microphotographie de la puce *Violetta*. Sa surface est de 2,7 x 3,2 mm². Elle contient 1196 transistors MOS, 499 transistors bipolaires et 152 composants passifs. Les valeurs des paramètres de chaque conductance et de chaque opérateur élémentaire sont des tensions électriques présentées à sur un plot d'entrée de la puce. L'ASIC présente 61 plots, dont 3 pour l'alimentation, 3 pour la polarisation du circuit, 7 pour des capacités externes et les 48 restants pour les paramètres et les entrées/sorties de test.

2-4-2 Le générateur de courant commandé par une tension

Les valeurs des paramètres présents dans les conductances ioniques sont transmises à l'ASIC sous forme de tension. Le mode courant ayant été choisi pour la conception de nos circuits, il devient nécessaire de disposer de convertisseurs tension-courant.

La solution nous permettant d'obtenir une plage de transfert linéaire avec la plus grande dynamique possible, revient à utiliser un convoyeur de courant de seconde génération noté CCII+ [SED 1990]. Cette solution, présentée à la figure 2-3, se concrétise par un montage à l'aide d'un amplificateur opérationnel, d'un transistor et d'une résistance.

Nous rappelons la formule exprimant la tension de seuil d'un transistor MOS [ALL 1987] :

$$V_T = V_{T0} + \gamma \left(\sqrt{|-2\phi_F + V_{SB}|} - \sqrt{|-2\phi_F|} \right) \quad \text{équation 2 - 3}$$

dans laquelle V_{T0} ne dépend que de paramètres du processus de fabrication, γ est le paramètre d'arrière grille et $2\phi_F$ le potentiel de forte inversion. Seuls les transistors de type PMOS, dans la technologie que nous employons, peuvent être utilisés dans un caisson isolé. Alors nous avons $V_{SB} = 0$ et par là même $V_T = V_{T0} = \text{Cte}$. De plus, l'utilisation d'une résistance en polysilicium, contrairement aux résistances implantées dans le silicium, présentera l'avantage d'être linéaire sur toute la gamme de tension de fonctionnement. Nous obtenons alors la relation linéaire suivante :

$$I_D = \frac{(V_{CC} - V_E)}{R} \quad \text{équation 2 - 4}$$

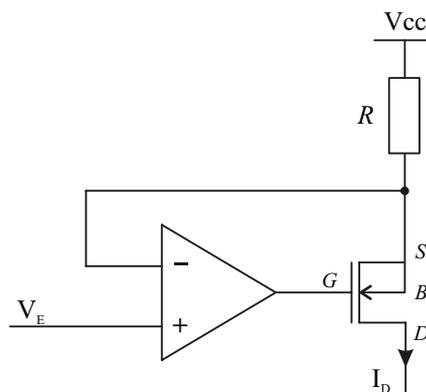


Figure 2 - 3 : Le convoyeur de courant CCII+ à base d'un amplificateur opérationnel

2-4-3 Le multiplieur en mode courant

Comme expliqué précédemment, le mode courant pour la conception de circuits intégrés offre des solutions simples pour réaliser les opérations algébriques addition et soustraction. Pour effectuer les opérations multiplication ou division, il faut faire appel à des montages plus élaborés. Il en existe de nombreux qui ont été longuement traités dans la littérature scientifique. Nos spécifications nous autorisent l'utilisation d'un multiplieur à un quadrant. Sachant que les transistors bipolaires sont disponibles, le principe translinéaire s'impose à nous pour réaliser un multiplieur en mode courant de type « log-antilog », présenté à la figure 2-4 [GIL 1990].

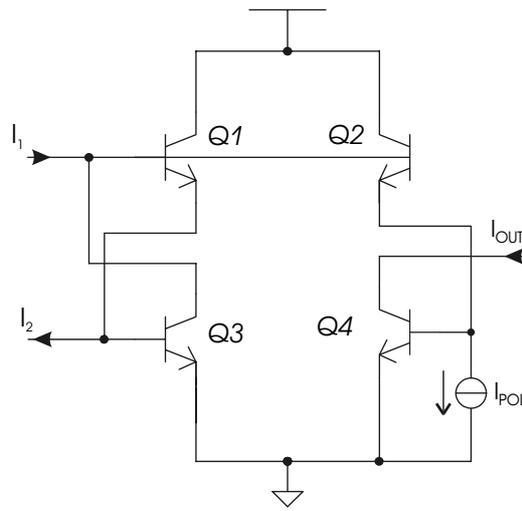


Figure 2 - 4 : Le multiplieur log-antilog réalisé grâce au principe translinéaire

Grâce à la loi des mailles, nous pouvons écrire :

$$V_{BE3} + V_{BE1} - V_{BE2} - V_{BE4} = 0 \quad \text{équation 2 - 5}$$

En rappelant l'équation simplifiée de la relation tension courant d'un transistor bipolaire :

$$V_{BE} = U_T \cdot \ln\left(\frac{I_C}{I_S}\right) \quad \text{équation 2 - 6}$$

Nous obtenons :

$$U_T \cdot \ln\left(\frac{I_{C1}}{I_{S1}}\right) + U_T \cdot \ln\left(\frac{I_{C3}}{I_{S3}}\right) = U_T \cdot \ln\left(\frac{I_{C2}}{I_{S2}}\right) + U_T \cdot \ln\left(\frac{I_{C4}}{I_{S4}}\right) \quad \text{équation 2 - 7}$$

$$\ln\left(\frac{I_{C1}}{I_{S1}} \cdot \frac{I_{C3}}{I_{S3}}\right) = \ln\left(\frac{I_{C2}}{I_{S2}} \cdot \frac{I_{C4}}{I_{S4}}\right)$$

$$\frac{I_{C1}}{I_{S1}} \cdot \frac{I_{C3}}{I_{S3}} = \frac{I_{C2}}{I_{S2}} \cdot \frac{I_{C4}}{I_{S4}}$$

En utilisant des transistors de même surface, nous avons :

$$I_{S1} = I_{S2} = I_{S3} = I_{S4} \cdot$$

Ce qui permet d'obtenir :

$$I_{C1} \cdot I_{C3} = I_{C2} \cdot I_{C4}$$

La technologie utilisée et le mode de fonctionnement des transistors nous autorisent la simplification usuelle $I_B \ll I_C$. Ainsi, après identification des courants I_{C1} , I_{C2} , I_{C3} et I_{C4} avec respectivement I_2 , I_{POL} , I_1 et I_{OUT} , nous obtenons le résultat recherché :

$$I_{OUT} = \frac{I_1 \cdot I_2}{I_{POL}}$$

équation 2 - 8

2-4-4 L'amplificateur à transconductance

Les circuits électroniques intégrés présentent l'inconvénient de disposer de composants passifs de taille très importante par rapport aux composants actifs. Il est parfois préférable de réaliser la fonction d'un composant passif à l'aide de composants actifs. L'exemple typique est l'intégration d'une résistance de forte valeur à l'aide d'un amplificateur à transconductance (figure 2-5).

La sortie d'un tel amplificateur est un courant et l'entrée une tension. Cela ne va pas sans rappeler le montage précédemment décrit, à savoir un convoyeur de courant CCII+ réalisé à l'aide d'un amplificateur opérationnel. Cependant, ce précédent montage ne s'affranchissait pas de l'utilisation d'une résistance et dans le cas ici présent, nous n'avons pas besoin d'une grande dynamique d'entrée.

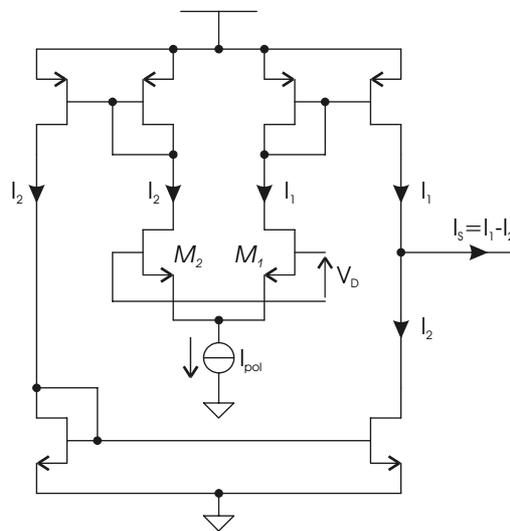


Figure 2 - 5 : Schéma synoptique d'un amplificateur à transconductance

Pour émuler le comportement d'une résistance, il est primordial que la fonction réalisée par l'amplificateur à transconductance soit linéaire, comme la loi d'ohm, dans la plage d'utilisation. Autrement dit, il est nécessaire que la paire différentielle MOS M_1 - M_2 présente une différence de courant I_1 - I_2 proportionnelle à la tension de commande V_D . En appliquant la loi des nœuds aux sources des transistors M_1 - M_2 , on obtient :

$$I_{POL} = I_1 + I_2$$

équation 2 - 9

En appliquant la loi des mailles aux grilles des transistors M_1 - M_2 , on a :

$$V_D = V_{GS1} - V_{GS2} \quad \text{équation 2 - 10}$$

L'équation simplifiée du transistor MOS en régime saturé liant le courant de drain à la tension de grille est :

$$I_D = \frac{K}{2}(V_{GS} - V_T)^2 \quad \text{où } K = \mu \cdot C_{OX} \cdot \frac{W}{L} \quad \text{équation 2 - 11}$$

Nous pouvons donc écrire :

$$V_{GS} = \sqrt{\frac{2 \cdot I_D}{K}} + V_T \quad \text{équation 2 - 12}$$

En supposant que les transistors M_1 et M_2 sont identiques et en injectant l'équation 2-12 dans l'équation 2-10, on obtient :

$$V_D = \sqrt{\frac{2 \cdot I_1}{K}} + V_T - \sqrt{\frac{2 \cdot I_2}{K}} - V_T \quad \text{équation 2 - 13}$$

$$\Rightarrow V_D^2 = \frac{2 \cdot I_1}{K} + \frac{2 \cdot I_2}{K} - 2 \sqrt{\frac{2 \cdot I_1}{K}} \cdot \sqrt{\frac{2 \cdot I_2}{K}}$$

$$\Leftrightarrow V_D^2 = \frac{2 \cdot I_{POL}}{K} - \frac{4}{K} \sqrt{I_1 \cdot I_2}$$

$$\Leftrightarrow \sqrt{I_1 \cdot I_2} = \frac{I_{POL}}{2} - \frac{K}{4} V_D^2$$

$$\Rightarrow \sqrt{I_1 \cdot (I_{POL} - I_1)} = \frac{I_{POL}}{2} - \frac{K}{4} V_D^2$$

$$\Rightarrow I_1 \cdot I_{POL} - I_1^2 = \left(\frac{I_{POL}}{2} - \frac{K}{4} V_D^2 \right)^2$$

$$\Rightarrow I_1^2 - I_1 \cdot I_{POL} + \left(\frac{I_{POL}}{2} - \frac{K}{4} V_D^2 \right)^2 = 0 \quad \text{équation 2 - 14}$$

En prenant pour variable d'étude I_1 , nous pouvons calculer le discriminant de cette équation du second degré et obtenir deux solutions mathématiques. L'une correspond à la solution du calcul de I_2 et l'autre à la solution du calcul de I_1 :

$$\Rightarrow \begin{cases} I_1 = \frac{I_{POL}}{2} + \frac{I_{POL}}{2} \cdot V_D \cdot \sqrt{\frac{K}{I_{POL}} - \frac{K^2 \cdot V_D^2}{4 \cdot I_{POL}^2}} \\ I_2 = \frac{I_{POL}}{2} - \frac{I_{POL}}{2} \cdot V_D \cdot \sqrt{\frac{K}{I_{POL}} - \frac{K^2 \cdot V_D^2}{4 \cdot I_{POL}^2}} \\ \text{avec } |V_D| < \sqrt{\frac{2 \cdot I_{POL}}{K}} \end{cases} \quad \text{équation 2 - 15}$$

ce qui permet d'écrire :

$$I_S = I_1 - I_2 = V_D \cdot I_{POL} \cdot \sqrt{\frac{K}{I_{POL}} - \frac{K^2 \cdot V_D^2}{4 \cdot I_{POL}^2}}$$

$$\Rightarrow I_S = V_D \sqrt{K \cdot I_{POL}} \cdot \sqrt{1 - \frac{K \cdot V_D^2}{4 \cdot I_{POL}}} \quad \text{équation 2 - 16}$$

Pour étudier la linéarité du circuit afin de s'assurer qu'il se comporte comme une résistance, nous devons comparer l'équation 2-16 à sa tangente passant par le point $V_D = 0$:

$$\frac{\partial I_S}{\partial V_D} \Big|_{V_D=0} = \sqrt{K \cdot I_{POL}}$$

$$\Rightarrow \text{tg}(I_S) \Big|_{V_D=0} = V_D \cdot \sqrt{K \cdot I_{POL}}$$

Ce qui amène pour le calcul de l'erreur relative ε entre les deux équations :

$$\varepsilon = \frac{I_S - V_D \cdot \frac{\partial I_S}{\partial V_D} \Big|_{V_D=0}}{V_D \cdot \frac{\partial I_S}{\partial V_D} \Big|_{V_D=0}}$$

$$\Rightarrow \varepsilon = \sqrt{1 - \frac{K \cdot V_D^2}{4 \cdot I_{POL}}} - 1 \quad \text{équation 2 - 17}$$

En prenant comme contraintes l'erreur relative de la linéarité ε et la dynamique d'entrée V_D , il ne reste au concepteur que deux degrés de liberté, à savoir le rapport W/L du terme K et le courant de polarisation I_{POL} , pour atteindre les spécifications désirées de l'amplificateur opérationnel à transconductance.

2-4-5 La paire différentielle bipolaire avec étage de prédistorsion

Avec le montage précédent, basé autour de transistors MOSFET, nous obtenons une fonction de transfert de la forme $\Delta I = k \cdot \Delta V$ dans laquelle k est la transconductance du montage. Cependant, pour la construction de la fonction sigmoïde (cf. équation 1-22), nous avons aussi besoin d'obtenir des fonctions de transfert du type $\Delta I = \alpha \cdot \Delta V / I_O$ où I_O est au même titre que ΔV une variable d'entrée et α le gain du montage.

Une solution basée autour de transistors bipolaires a été mise en œuvre pour pouvoir répondre à cette nouvelle fonction de transfert. Elle est présentée à la figure 2-6.

En définissant V_{IN} comme la tension différentielle entre V_{MEM} et V_{OFFSET} , et en appliquant la loi des mailles incluant les tensions V_{BE} des transistors Q_1 et Q_2 , nous pouvons écrire :

$$V_{IN} = V_{MEM} - V_{OFFSET} = V_{BE1} + R \cdot I_R - V_{BE2} \quad \text{équation 2 - 18}$$

Dans la suite de ce paragraphe, nous nous placerons dans le cas où les courants de base des transistors bipolaires sont négligeables en comparaison à leur courant de collecteur. Ceci implique que les courants d'émetteur sont égaux aux courants de collecteur. D'autre part en dimensionnant R de façon à obtenir I_R très petit devant I_{PENTE} , nous avons le courant de

collecteur qui varie peu, soit encore la tension V_{BE} est quasi-constante et toutes les variations de V_{IN} sont reportées sur R , autrement dit $V_R = V_{IN}$ [TIE 91].

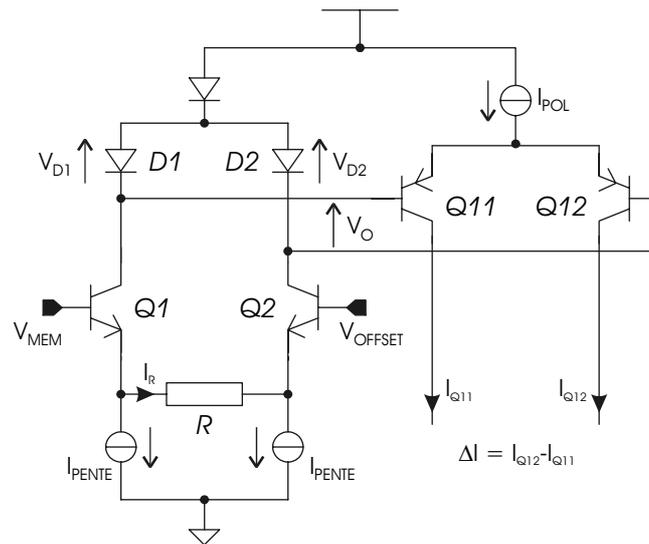


Figure 2 - 6 : La paire différentielle bipolaire avec étage de prédistorsion

Nous finissons par obtenir les relations suivantes :

$$\begin{cases} I_{CQ1} = I_{PENTE} + I_R = I_{PENTE} + \frac{V_R}{R} \\ I_{CQ2} = I_{PENTE} - I_R = I_{PENTE} - \frac{V_R}{R} \end{cases} \quad \text{équation 2 - 19}$$

D'autre part en réutilisant l'équation 2-6, pour une diode et pour un transistor bipolaire, nous avons respectivement les relations suivantes :

$$\begin{cases} V_D = U_T \cdot \ln \frac{I_D}{I_S} \\ V_{BE} = U_T \cdot \ln \frac{I_C}{I_S} \end{cases} \quad \text{équation 2 - 20}$$

ce qui permet d'établir :

$$V_O = V_{D2} - V_{D1} = U_T \cdot \ln \frac{I_{D2}}{I_S} - U_T \cdot \ln \frac{I_{D1}}{I_S} = U_T \cdot \ln \frac{I_{D2}}{I_{D1}}$$

$$\Rightarrow V_O = -U_T \cdot \ln \frac{I_{CQ1}}{I_{CQ2}}$$

En y réinjectant l'équation 2-19, nous obtenons :

$$V_O = -U_T \cdot \ln \frac{I_{PENTE} + \frac{V_{IN}}{R}}{I_{PENTE} - \frac{V_{IN}}{R}}$$

autrement écrit,

$$V_O = -U_T \cdot \ln X \quad \text{avec} \quad X = \frac{I_{\text{PENTE}} + \frac{V_{\text{IN}}}{R}}{I_{\text{PENTE}} - \frac{V_{\text{IN}}}{R}} \quad \text{équation 2 - 21}$$

En utilisant le résultat bien connu de la fonction de transfert d'une paire différentielle bipolaire [MIL 95] :

$$\Delta I = I_{Q12} - I_{Q11} = -I_{\text{POL}} \cdot \tanh\left(\frac{V_O}{2 \cdot U_T}\right)$$

avec l'équation 2-21, nous avons :

$$\begin{aligned} \Delta I &= -I_{\text{POL}} \cdot \tanh\left(\frac{-U_T \cdot \ln X}{2 \cdot U_T}\right) \\ \Rightarrow \Delta I &= I_{\text{POL}} \cdot \tanh\left(\frac{\ln X}{2}\right) = I_{\text{POL}} \cdot \frac{e^{\frac{\ln X}{2}} - e^{-\frac{\ln X}{2}}}{e^{\frac{\ln X}{2}} + e^{-\frac{\ln X}{2}}} \\ \Delta I &= I_{\text{POL}} \cdot \frac{\sqrt{X} - \frac{1}{\sqrt{X}}}{\sqrt{X} + \frac{1}{\sqrt{X}}} = I_{\text{POL}} \cdot \frac{X - 1}{X + 1} \end{aligned}$$

En réinjectant l'expression de X issue de l'équation 2-21 dans cette dernière, nous obtenons :

$$\Delta I = I_{\text{POL}} \cdot \frac{I_{\text{PENTE}} + \frac{V_{\text{IN}}}{R} - I_{\text{PENTE}} + \frac{V_{\text{IN}}}{R}}{I_{\text{PENTE}} + \frac{V_{\text{IN}}}{R} + I_{\text{PENTE}} - \frac{V_{\text{IN}}}{R}}$$

soit encore,

$$\Delta I = \frac{I_{\text{POL}}}{I_{\text{PENTE}}} \cdot \frac{V_{\text{IN}}}{R} \quad \text{équation 2 - 22}$$

Nous arrivons au résultat recherché en début de ce paragraphe. La variable de sortie ΔI est dépendante de deux variables d'entrée V_{IN} et I_{PENTE} . Il est important de noter que les seules approximations qui ont été faites dépendent soit de la technologie utilisée soit du dimensionnement de R. Mais en aucun cas nous n'avons approximé nos calculs grâce à une faible variation de la variable d'entrée V_{IN} .

2-5 La fonction sigmoïde

2-5-1 Le schéma synoptique

La constitution de la fonction sigmoïde fait appel à deux montages précédemment étudiés, à savoir le générateur de courant commandé par une tension pour la création des courants I_{PENTE} et la paire différentielle bipolaire avec étage de prédistorsion.

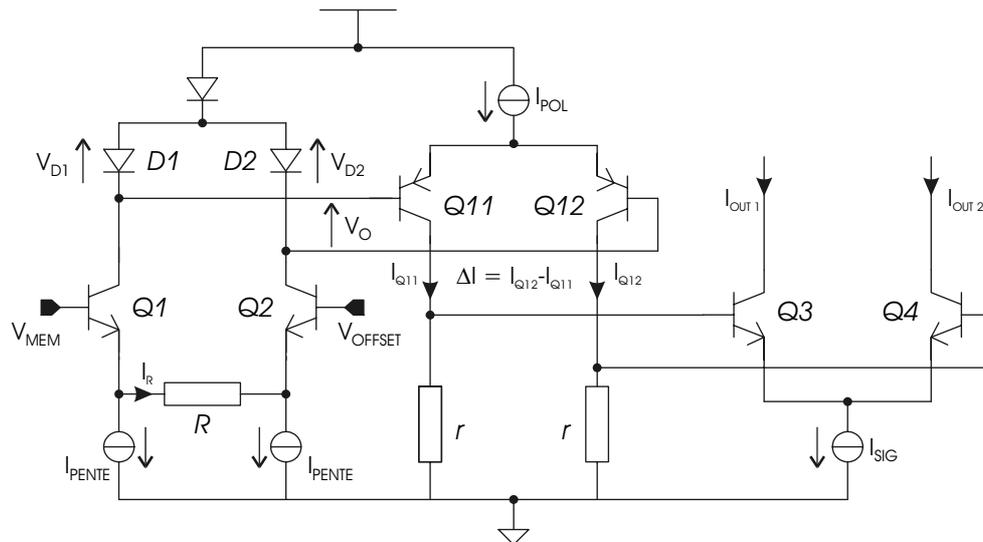


Figure 2 - 7 : Le synopsis de la fonction sigmoïdale

La différence de courant ΔI amène, à travers les résistances r , une différence de tensions à l'entrée de la paire différentielle composée par les transistors Q3 et Q4. En utilisant à nouveau les résultats connus des calculs basés autour d'une paire différentielle bipolaire et l'équation 2-22, nous obtenons :

$$\begin{cases} I_{OUT1} = \frac{I_{SIG}}{1 + \exp\left(+\frac{r \cdot I_{POL}}{R \cdot U_T} \cdot \frac{V_{MEM} - V_{OFFSET}}{I_{PENTE}}\right)} \\ I_{OUT2} = \frac{I_{SIG}}{1 + \exp\left(-\frac{r \cdot I_{POL}}{R \cdot U_T} \cdot \frac{V_{MEM} - V_{OFFSET}}{I_{PENTE}}\right)} \end{cases} \quad \text{équation 2 - 23}$$

En identifiant l'équation 2-23 à l'équation 1-22, nous obtenons le terme d'activation avec le courant I_{OUT1} et le terme d'inactivation avec le courant I_{OUT2} . Ce terme d'activation, ou d'inactivation, est normé entre 0 et 1 dans le modèle biologique ; il devient dans le circuit borné entre 0 et I_{SIG} .

2-5-2 Les résultats

Ce circuit a été implanté isolément dans la puce *Violetta*. Cela nous a permis de valider ce bloc analogique et de vérifier qu'il réponde correctement au cahier des charges. Ces mesures ont été effectuées en multipliant la tension de membrane par un facteur 5 par rapport au modèle biologique. Le terme d'activation est un courant, ayant une valeur maximale I_{SIG} de 20 μA , débité sur une résistance de 100 k Ω . Le générateur de courant I_{PENTE} est paramétré pour délivrer un courant représentant une pente biologique de 2 mV en A) et de 20 mV en B). Ces deux valeurs sont les extrêmes du cahier des charges présenté au tableau 1-4. Dans les deux cas nous faisons varier l'offset²⁹ de la sigmoïde pour atteindre là aussi les

²⁹ Le mot *offset* est la traduction anglaise de *décalage de tension*. Il est tellement usité dans le vocabulaire de la communauté électronique que nous nous autorisons là aussi cet anglicisme.

extrêmes du cahier des charges, à savoir -100 mV et +100 mV. Il est important de souligner que les lois de commande pour les variables d'entrée V_{OFFSET} et V_{PENTE} sont linéaires.

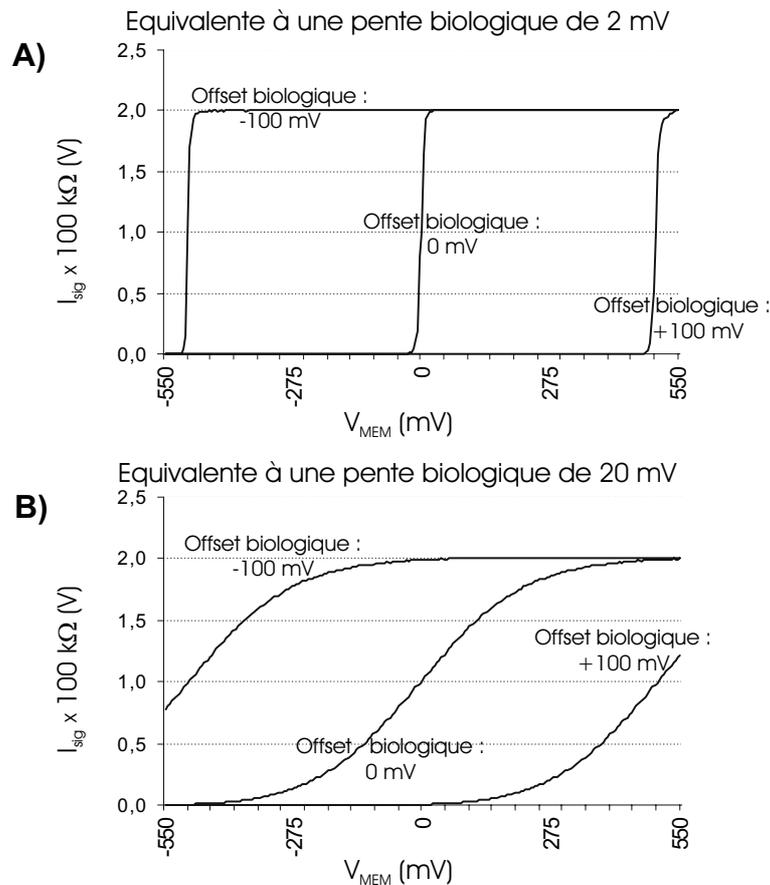


Figure 2 - 8 : Mesures effectuées sur le bloc analogique réalisant la fonction sigmoïde.
A) Pentente biologique de 2mV - B) Pentente biologique de 20 mV

2-6 La fonction cinétique

2-6-1 Le schéma synoptique

La sigmoïde précédemment réalisée est le second membre d'une équation différentielle du premier ordre. Nous rappelons l'équation 1-23 mettant sous forme mathématique cet énoncé.

$$\tau_m \frac{dm(V_{\text{MEM}})}{dt} = m_{\infty}(V_{\text{MEM}}) - m(V_{\text{MEM}}) \quad \text{où} \quad m_{\infty}(V_{\text{MEM}}) \text{ est la sigmoïde}$$

Les précédents doctorants de l'équipe ont déjà proposé des solutions répondant à cette équation. Mais une des solutions s'avère plus adaptée [DOU 2000], notamment grâce à la possibilité de régler la constante de temps τ par une tension électrique notée V_{τ} dans la figure 2-9.

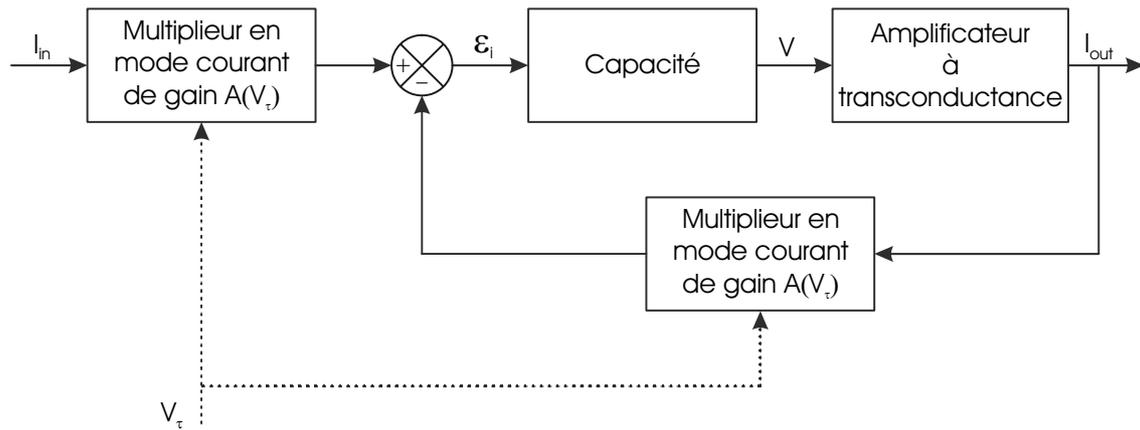


Figure 2 - 9 : Schéma synoptique de la fonction cinétique

Afin de déterminer un schéma bloc associé, nous posons respectivement les gains $A(V_\tau)$ et B pour les multiplieurs en mode courant et pour l'amplificateur à transconductance. Nous rappelons que la fonction de transfert tension-courant d'une capacité C est $\frac{1}{Cp}$.

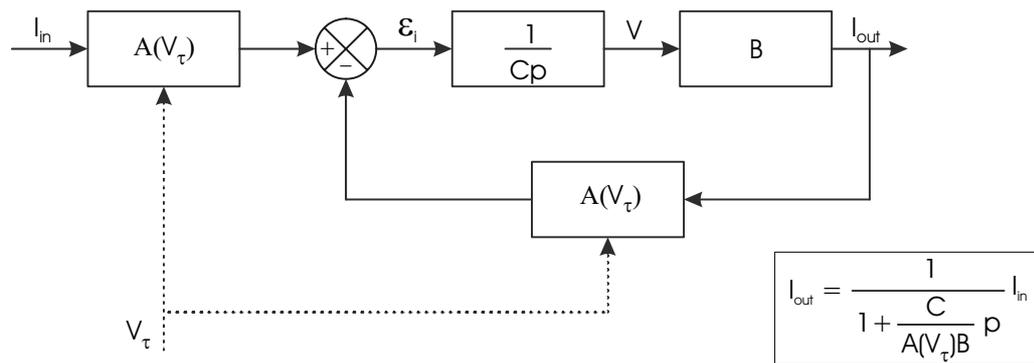


Figure 2 - 10 : Schéma bloc de la fonction cinétique

Ce schéma bloc nous amène à l'équation suivante :

$$I_{out} = \frac{B}{Cp} (A(V_\tau) \cdot I_{in} - A(V_\tau) \cdot I_{out})$$

$$\Rightarrow \frac{C}{A(V_\tau) \cdot B} \cdot p \cdot I_{out} = I_{in} - I_{out} \quad \text{équation 2 - 24}$$

L'équation 2-24 nous permet d'identifier, après passage dans le domaine temporel, la cinétique réglable τ_m de l'équation 1-23 rappelée en début de paragraphe :

$$\tau_m = \frac{C}{A(V_\tau) \cdot B} \quad \text{équation 2 - 25}$$

Avant de vérifier la fonctionnalité de ce montage et ses spécifications, une remarque s'impose pour clarifier l'utilisation de deux multiplieurs de gain $A(V_\tau)$. Grâce à la figure 2-10, nous établissons l'équation suivante :

$$\epsilon_i = A(V_\tau) \cdot I_{in} - A(V_\tau) \cdot I_{out}$$

$$\Rightarrow \varepsilon_i = A(V_\tau) \cdot (I_{in} - I_{out}) \quad \text{équation 2 - 26}$$

De plus, il est important de noter que l'équation présente dans la figure 2-10 nous indique à la fois que I_{out} et I_{in} seront de même signe algébrique et que la variation croissante ou décroissante de I_{out} sera toujours en retard sur celle de I_{in} .

L'équation 2-26 nous suggère qu'un seul multiplieur placé après le soustracteur aurait pu suffire. Mais cela aurait imposé l'utilisation d'un multiplieur à deux quadrants, car I_{out} est toujours en retard sur I_{in} , donc la différence $I_{in} - I_{out}$ serait positive pendant la croissance de I_{in} et négative pendant sa décroissance.

La solution présentée ici s'affranchit de ce problème. L'entrée I_{in} est unipolaire puisqu'elle est issue du collecteur d'un transistor bipolaire (voir figure 2-7). La sortie I_{out} est elle aussi forcément unipolaire puisque I_{in} et I_{out} sont de même signe algébrique. Les multiplieurs peuvent alors se contenter d'un fonctionnement dans un seul quadrant, d'où la possibilité d'utiliser le montage précédemment décrit, à savoir le multiplieur en mode courant log-antilog.

2-6-2 Les résultats

Ce circuit a été implanté isolément comme dans le cas de la sigmoïde. Le cahier des charges de cette fonction demande la réalisation d'une gamme de programmation allant de 1 à 50 pour la cinétique (cf. tableau 1-5). Elle a pu être obtenue comme indiquée à la figure 2-11.

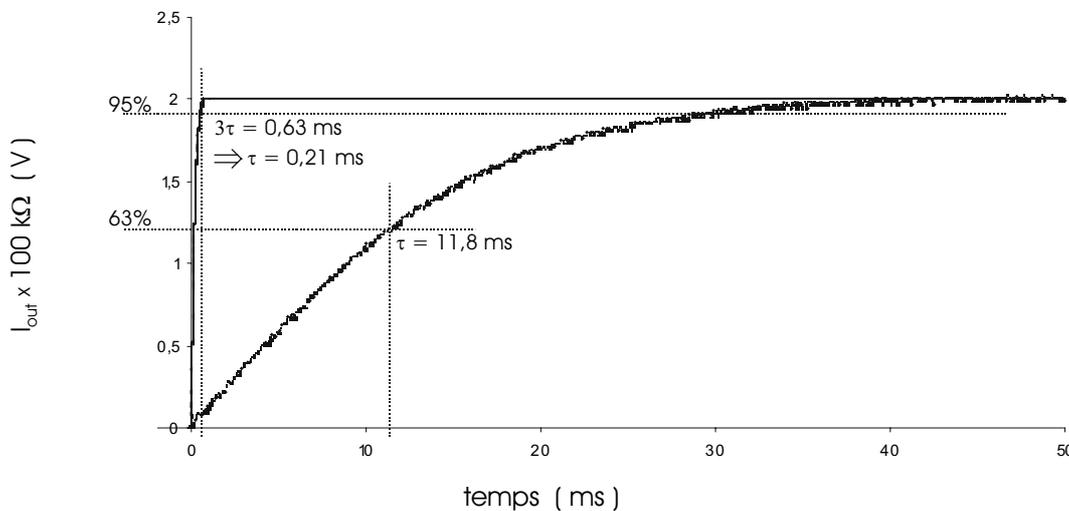


Figure 2 - 11 : Mesures effectuées sur le bloc analogique réalisant la fonction cinétique.

Le signal d'entrée, pour être en conformité avec le signal de sortie du bloc analogique sigmoïde, est un échelon de courant variant de 0 à 20 μA . Le signal de sortie est lui aussi un courant allant de 0 à 20 μA répondant à une loi exponentielle. Ce courant de sortie est débité sur une résistance de 100 $\text{k}\Omega$. La figure 2-11 présente les extrema de réglage pour une capacité de 10 nF. Cette figure permet de constater que le rapport de 1 à 50 entre les extremums d'une même gamme a été réalisé.

2-7 La fonction d'élévation à la puissance

2-7-1 La solution pour réaliser la fonction m^3h

La fonction puissance a été inspirée du multiplieur en mode courant décrit au chapitre 2-4-2. Ce montage basé autour du principe translinéaire est issu du travail du précédent doctorant de l'équipe [ALV 2003].

Nous rappelons que le principe translinéaire est une méthode d'analyse et de conception de circuit intégré en mode courant. Cette technique d'étude permet de conclure que dans une boucle fermée contenant un nombre pair de jonctions PN, positionnées en nombre égal dans le sens horaire et dans le sens anti-horaire, le produit des densités de courant des jonctions prises dans le sens horaire est égal au produit des densités de courant des jonctions dans le sens anti-horaire [SEE 1988]. En étendant le multiplieur en mode courant précédemment présenté au principe énoncé ci-dessus, nous aboutissons au schéma de la figure 2-12.

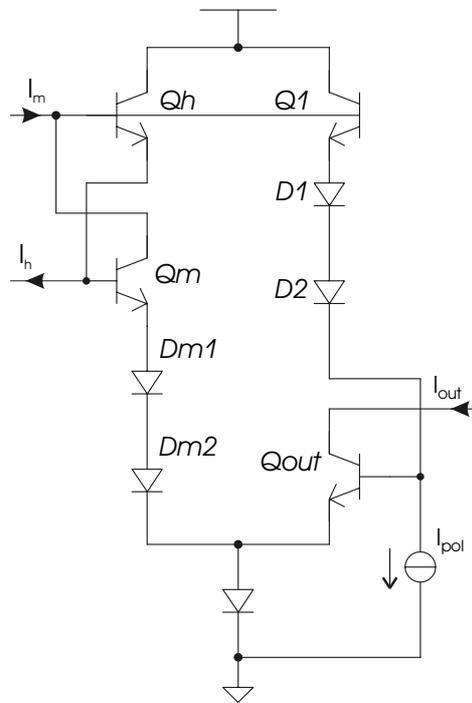


Figure 2 - 12 : Schéma électrique de la fonction puissance m^3h

Grâce à la loi des mailles, nous pouvons écrire l'équation suivante :

$$V_{BE_{Qh}} + V_{BE_{Qm}} + V_{Dm1} + V_{Dm2} - V_{BE_{Qout}} - V_{D2} - V_{D1} - V_{Q1} = 0 \quad \text{équation 2 - 27}$$

En choisissant des transistors possédant la même surface d'émetteur, travailler sur les densités de courant des transistors revient à travailler sur les courants eux-mêmes. Nous obtenons alors :

$$I_{C_{Qh}} \cdot I_{C_{Qm}} \cdot I_{Dm1} \cdot I_{Dm2} = I_{C_{Qout}} \cdot I_{D2} \cdot I_{D1} \cdot I_{C_{Q1}} \quad \text{équation 2 - 28}$$

En acceptant de nouveau l'approximation faite sur les courants de base des transistors bipolaires face aux courants de collecteur et d'émetteur, nous pouvons établir que $I_{C_{Qm}} = I_{Dm1} = I_{Dm2} = I_m$, $I_{C_{Qh}} = I_h$, $I_{C_{Q1}} = I_{D1} = I_{D2} = I_{pol}$ et $I_{C_{Qout}} = I_{out}$.

Nous aboutissons ainsi à la relation suivante :

$$I_{out} = \frac{I_m^3 \cdot I_h}{I_{pol}^3} \quad \text{équation 2 - 29}$$

Cette fonction n'a pas été implantée isolément dans le premier circuit de test. Nous présentons que de nombreux problèmes seraient survenus lors de la campagne de mesures. En effet, pour vérifier la fonctionnalité de ce montage il faut être non seulement capable de générer trois courants I_m , I_h et I_{pol} , mais surtout chacun doit posséder une loi de commande linéaire. De ce fait, nous avons validé le fonctionnement de montage uniquement avec des simulations de type Monte-Carlo.

2-7-2 Les autres montages pour les autres fonctions puissance

Bien que le principe utilisé soit toujours le même pour la réalisation des fonctions m^2h et n^4 , respectivement pour les canaux ioniques calcium et potassium, nous avons choisi de présenter leur solution. Cela nous permettra de noter, dans le paragraphe 2-7-3, une propriété remarquable qui apparaît lors de l'association de ces différents montages avec l'étage de calcul analogique suivant, l'étage de sortie.

La solution pour réaliser la fonction m^2h reprend la solution de la fonction m^3h exposée à la figure 2-12 en ôtant les diodes $Dm2$ et $D2$. Vu le peu de changement effectué, il ne semble pas nécessaire de dessiner cette solution et de détailler le calcul associé pour établir le résultat :

$$I_{out} = \frac{I_m^2 \cdot I_h}{I_{pol}^2} \quad \text{équation 2 - 30}$$

En revanche, la solution proposée pour la fonction n^4 nécessite le dessin d'un schéma électrique car la solution n'est plus aussi intuitive que précédemment. A partir de la figure 2-13, nous pouvons établir deux équations des mailles :

$$\begin{cases} V_{BE_{Q1}} + V_{BE_{Qn1}} + V_{Dn1} - V_{BE_{Q3}} - V_{D1} - V_{BE_{Q2}} = 0 \\ V_{BE_{Q4}} + V_{BE_{Qn2}} + V_{Dn2} - V_{BE_{Qout}} - V_{D2} - V_{BE_{Q5}} = 0 \end{cases}$$

Après identification des courants circulant dans le circuit, nous pouvons écrire :

$$\begin{cases} I_{pol} \cdot I_n \cdot I_n = I_1 \cdot I_{pol} \cdot I_{pol} \\ I_{pol} \cdot I_2 \cdot I_2 = I_{out} \cdot I_{pol} \cdot I_{pol} \end{cases} \Rightarrow \begin{cases} I_1 = \frac{I_n^2}{I_{pol}} \\ I_{out} = \frac{I_2^2}{I_{pol}} \end{cases} \quad \text{équation 2 - 31}$$

La recopie de courant effectuée par les transistors M1 et M2 permet d'obtenir $I_1=I_2$. En utilisant cette relation dans le jeu d'équations 2-31, nous obtenons le résultat recherché :

$$I_{out} = \frac{I_n^4}{I_{pol}^3}$$

équation 2 - 32

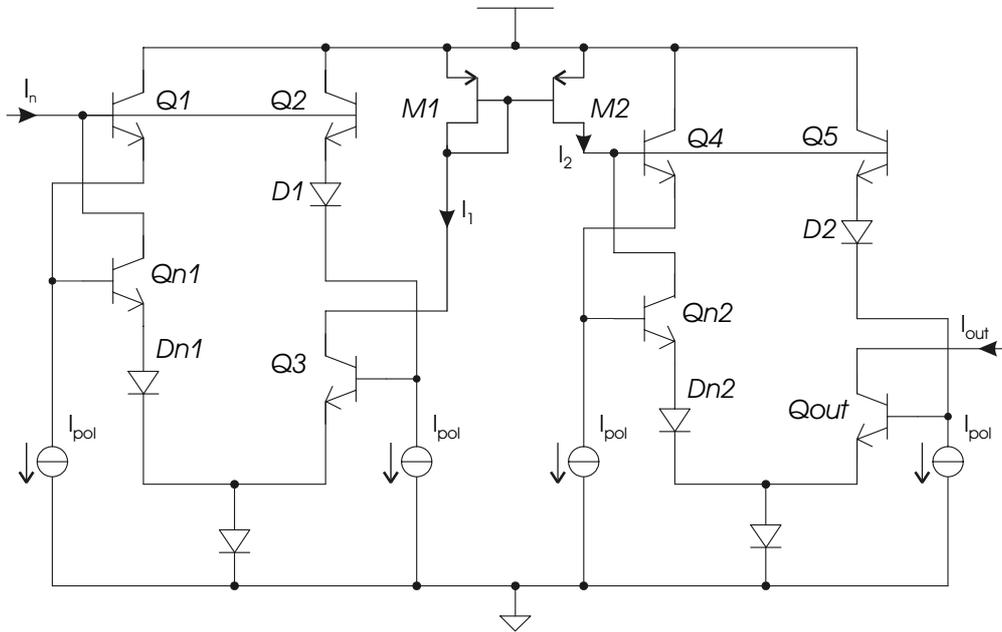


Figure 2 - 13 : Schéma électrique de la fonction puissance n^4

2-7-3 Une propriété remarquable de ces différents montages

Au paragraphe 2-6-2, il a été établi que la variation des termes d'activation et d'inactivation, compris entre 0 et 1, serait représentée par la variation d'un courant compris entre 0 et 20 μA . Les termes d'activation et d'inactivation, bornés entre 0 et 1, entraînent un terme puissance, qu'il soit m^3h , m^2h ou encore n^4 , lui aussi borné entre 0 et 1. Les deux paragraphes précédents nous ont permis d'établir les équations relatives aux courants de sortie des différents montages, à savoir :

$$I_{out}(m^2h) = \frac{I_m^2 \cdot I_h}{I_{pol}^2} \quad I_{out}(m^3h) = \frac{I_m^3 \cdot I_h}{I_{pol}^3} \quad \text{et} \quad I_{out}(n^4) = \frac{I_n^4}{I_{pol}^3}$$

Si nous concevons le circuit électrique avec $I_{pol} = 20 \mu\text{A}$, nous obtiendrons alors un courant I_{out} borné entre 0 et 20 μA , tout comme les courants représentant les termes d'activation et d'inactivation. Ce choix judicieux de conception nous offre l'avantage de n'avoir à concevoir qu'un seul bloc réalisant la fonction de sortie ; car quelle que soit sa conductance d'appartenance son signal d'entrée aura toujours les mêmes caractéristiques d'amplitude.

2-8 La fonction de sortie

2-8-1 Une première solution

La première solution envisagée a été basée autour de deux montages précédemment exposés, à savoir la boucle translinéaire et l'amplificateur à transconductance. Elle est présentée à la figure 2-14.

Nous retrouvons l'amplificateur à transconductance à travers les transistors M1, M2, M4, M6, M8, M10, M3 et M5. Le dimensionnement des transistors M1 et M2 a été fait pour obtenir une fonction de transfert linéaire du type $I_1 - I_2 = 2 \cdot \Delta i = g_{OTA} \cdot V_D$, autrement dit,

$$I_1 = I_{pol} + \Delta i, I_2 = I_{pol} - \Delta i \text{ et } \Delta i = \frac{g_{OTA}}{2} V_D.$$

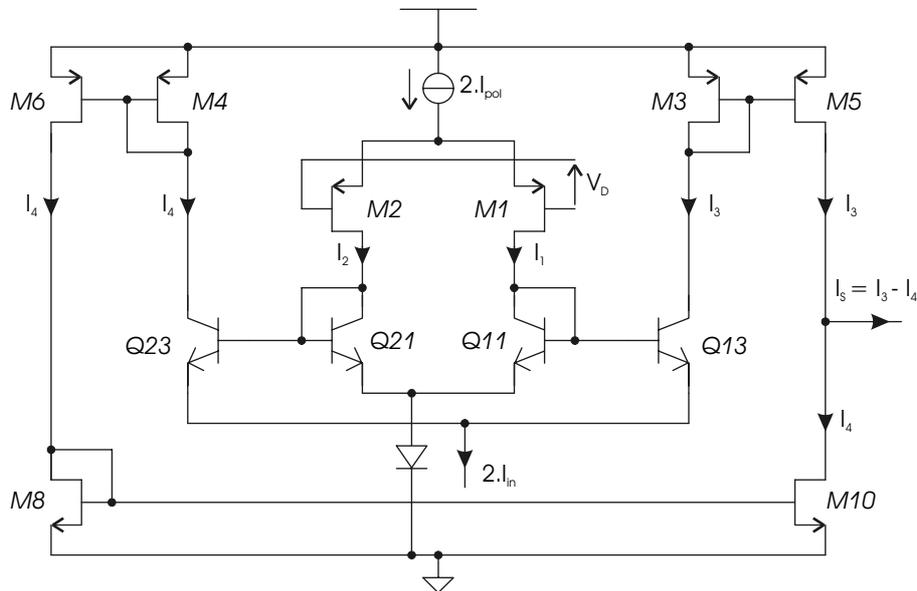


Figure 2 - 14 : L'étage de sortie basé autour d'une boucle translinéaire incluse dans un amplificateur à transconductance.

Lorsque la tension V_D , considérée positive, croît alors I_1 augmente et I_2 diminue. La tension V_{BE} des transistors Q11 et Q21 augmente et diminue respectivement. Ce qui entraîne automatiquement la modification des tensions base-émetteur des transistors Q13 et Q23. L'augmentation de la tension V_{BE} du transistor Q11 oblige l'augmentation de la tension V_{BE} du transistor Q13, autrement dit nous avons $I_3 = I_{in} + \delta i$. Par symétrie nous obtenons la diminution de la tension V_{BE} du transistor Q23 et $I_4 = I_{in} - \delta i$.

La boucle translinéaire, composée de Q11, Q13, Q21 et Q23, nous permet d'obtenir l'équation suivante :

$$I_1 \cdot I_4 = I_2 \cdot I_3 \tag{équation 2 - 33}$$

soit encore,

$$(I_{pol} + \Delta i) \cdot (I_{in} - \delta i) = (I_{pol} - \Delta i) \cdot (I_{in} + \delta i)$$

$$\Rightarrow -I_{pol} \cdot \delta i + I_{in} \cdot \Delta i = I_{pol} \cdot \delta i - I_{in} \cdot \Delta i$$

$$\Rightarrow \delta i = \frac{I_{in}}{I_{pol}} \cdot \Delta i \quad \text{équation 2 - 34}$$

Avec $I_S = I_3 - I_4$, nous obtenons :

$$I_S = 2 \cdot \delta i = 2 \cdot \frac{I_{in}}{I_{pol}} \Delta i$$

$$\Rightarrow I_S = \frac{I_{in}}{I_{pol}} \cdot g_{OTA} \cdot V_D \quad \text{équation 2 - 35}$$

Dans cette équation, la tension V_D représente la différence de tension ($V_{MEM} - V_{EQUI}$) ; le courant I_{in} est le courant issu de l'étage puissance, multiplié à un courant représentant le paramètre g_{MAX} . Autrement dit, I_{in} représente le terme $m^p h^q \cdot g_{MAX}$. Le courant représentant le terme g_{MAX} est bien entendu généré par un convoyeur de courant comme précédemment exposé. Le circuit *Violetta* a permis d'éprouver cette solution comme nous pouvons le voir sur la figure ci-après.

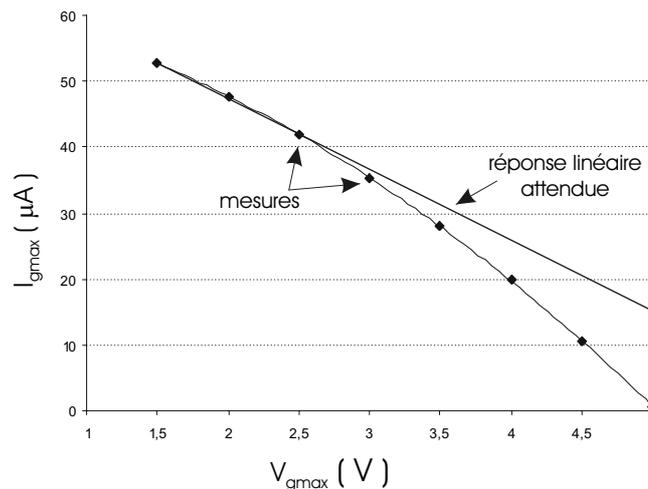


Figure 2 - 15 : Réponse de l'étage de sortie par rapport au courant représentant le terme g_{max} .

La figure 2-15 a en abscisses la valeur de la tension d'entrée du convoyeur de courant et en ordonnées la valeur du courant de sortie du bloc étudié. Ces mesures ont été effectuées avec une tension V_D égale à 1 V et un courant issu de l'étage d'élévation à la puissance égal à 20 µA.

Lorsque V_D tend vers 5 V, le courant représentant g_{MAX} tend vers 0, ce qui a pour effet d'entraîner I_{in} vers 0, d'où la naissance d'une dépolarisation des transistors Q13 et Q23 de la figure 2-14. Dans ce cas le principe translinéaire ne peut plus s'appliquer et l'équation 2-35 n'a plus de sens. Le problème soulevé ici est d'autant plus important que le terme I_{in} possède de faibles valeurs dès lors que l'étage de puissance $m^p \cdot h^q$ présente un courant de faible valeur. Ceci est le cas pour plus de 50% d'une période lorsque la fréquence des potentiels d'action d'un neurone est d'environ 60 Hz.

Ce comportement de l'étage de sortie nous a amené à en concevoir un nouveau qui sera implanté dans le second ASIC. La plus grande attention a été portée sur sa conception car cette seconde puce sera la puce système dans laquelle les fonctions élémentaires ne seront plus accessibles.

2-8-2 Une seconde solution

Puisque la paire différentielle bipolaire avec étage de prédistorsion a fourni les résultats attendus dans le cas de la fonction sigmoïde, l'idée d'utiliser à nouveau ce montage pour résoudre notre problème s'est imposée d'elle-même. Ceci a amené le montage présenté à la figure 2-16.

En transposant l'équation 2-22 à ce montage, nous pouvons écrire :

$$I_S = I_2 - I_1 = \frac{I_{\text{PUISS}} \cdot g_{\text{MAX}}}{I_{\text{POL}}} \cdot \frac{(V_{\text{MEM}} - V_{\text{EQUI}})}{R} \quad \text{équation 2 - 36}$$

Ce montage répond lui aussi correctement à la fonction souhaitée. Si nous sommes dans le cas où I_{in} est de faible valeur, les transistors Q11 et Q12 ont tendance à se dépolariser comme précédemment. Mais le principe translinéaire n'étant pas utilisé dans ce montage, tous les calculs associés à la paire différentielle avec étage de prédistorsion restent valables dans le cas présenté ici, hormis bien entendu pour $I_{\text{in}} = 0$.

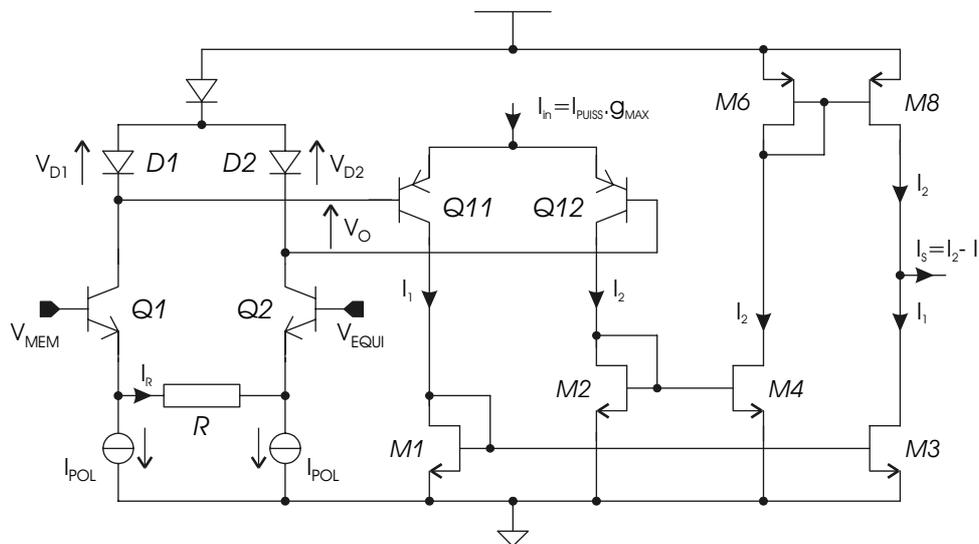


Figure 2 - 16 : La seconde solution pour réaliser l'étage de sortie d'une conductance.

Une dernière remarque s'impose avant de conclure ce chapitre. L'élaboration du cahier des charges (cf. tableau 1-7) a fait apparaître plusieurs gammes de conductance maximale g_{MAX} . Afin de pouvoir y répondre, nous avons opté pour une différenciation des montages d'étage de sortie en fonction de la conductance où ils seraient insérés. En effet, les canaux rapides sodium et potassium ont une conductance maximale d'ordre dix fois plus élevée que les canaux lents calcium, potassium dépendant calcium et fuite. Nous avons alors adjoint à ces canaux rapides un amplificateur en courant de gain dix.

2-9 Résumé

Ce second chapitre a en outre situé le contexte dans lequel s'est déroulé le travail de conception analogique. Après avoir détaillé les outils logiciels de conception assistée par ordinateur, nous avons présenté les caractéristiques des technologies dont nous disposions pour réaliser les puces. Ensuite nous avons conçus des circuits élémentaires à partir desquels nous avons créé une bibliothèque d'opérateurs mathématiques analogiques. Bien que les performances de ces circuits élémentaires conditionnent le fonctionnement des opérateurs mathématiques nous avons décidé de caractériser directement les opérateurs. Nous avons donc implanté dans une première puce, nommée *Violetta*, les canaux ioniques et quelques-uns des opérateurs analogiques. Les mesures effectuées sur les opérateurs ont permis de valider certains d'entre eux ; quant à ceux qui ne satisfaisaient pas le cahier des charges, une seconde solution de conception a été proposée sans avoir été cependant testée.

Chapitre III

De l'opérateur analogique au système

« Le progrès fait rage et le futur ne manque pas d'avenir »

Philippe Meyer

Chapitre III	De l'opérateur analogique au système	72
3-1	Introduction	74
3-2	Quelle puce système ?	74
3-2-1	Les objectifs visés	74
3-2-2	Les solutions pour répondre aux objectifs	76
3-3	Les étapes intermédiaires pour réaliser la puce système	79
3-3-1	Les canaux ioniques et les synapses	80
3-3-2	L'interrupteur et le multiplexeur-démultiplexeur	80
3-3-3	Le comparateur à seuil avec monostable à retard réglable	81
3-3-4	La gestion de la topographie	81
3-3-5	Les mémoires analogiques	83
3-4	La réalisation de la puce système	86
3-4-1	Quelques considérations pour la réalisation du layout	86
3-4-2	La puce système <i>Pamina</i>	87
3-5	Intégration de la puce <i>Pamina</i> dans le système	89
3-5-1	La carte PCI <i>PAX</i> développée dans le cadre du projet européen <i>SenseMaker</i>	89
3-5-2	La carte fille <i>Kronos</i> supportant la puce <i>Pamina</i>	91
3-6	La partie logicielle associée au système	92
3-6-1	Le pilote de la carte <i>PAX</i> et les instructions en langage C	92
3-6-2	Les fonctions implémentées dans le FPGA	92
3-7	Résumé	97

3-1 Introduction

Nous abordons un de nos deux objectifs initiaux : la réalisation d'un circuit intégré neuromimétique pouvant simuler une grande diversité d'activités électriques neuronales. La réussite du second objectif, à savoir l'étude des valeurs des paramètres du modèle basé sur le formalisme d'Hodgkin et Huxley par la méthode dite de l'optimisation³⁰, dépendra fortement du succès de celui-ci.

Dans le chapitre précédent, nous avons conçu les opérateurs analogiques qui permettront la constitution des conductances ioniques et celle des synapses, briques de base de la puce à venir. Pour concrétiser cette puce, nous devons nous interroger sur les fonctionnalités auxquelles elle doit répondre. Cette interrogation sera le point de départ de ce chapitre. Ensuite, nous décrirons les circuits électroniques nécessaires à adjoindre à ceux du second chapitre pour satisfaire aux contraintes de réalisation de la puce système. Le troisième paragraphe détaillera la réalisation complète de cette puce aussi bien du point de vue des contraintes techniques que de son contenu. Les quatrième et cinquième paragraphes nous éloigneront du silicium pour nous intéresser à l'interface entre la puce et la partie logicielle dédiée à l'utilisateur ; ils traiteront respectivement de la carte imprimée supportant le circuit intégré et de la partie logicielle permettant la gestion du système dans son ensemble.

3-2 Quelle puce système ?

3-2-1 Les objectifs visés

Nous cherchons à créer un outil de simulation en temps réel pour les neurosciences computationnelles. Cet outil sera dans un premier temps dédié à la recherche des valeurs des paramètres du modèle retenu et basé sur le formalisme d'Hodgkin et Huxley dont les paramètres sont : V_{OFFSET} , V_{PENTE} , τ , g_{ION} , E_{EQUI} des différents canaux ioniques – pour reproduire une activité électrique neuronale déterminée. Dans un second temps, il serait souhaitable de pouvoir prolonger cette étude en s'intéressant à l'influence de ces différents paramètres au sein d'un mini-réseau de neurones. Ceci oblige à envisager la conception d'une puce dotée d'une grande flexibilité pour anticiper l'ensemble de nos besoins. Nous commencerons à établir les attentes d'un utilisateur extérieur au domaine de l'électronique pour ensuite descendre hiérarchiquement vers celles relevant plus du domaine de la technologie.

Le modèle complet du neurone qui a été retenu dans le premier chapitre présente la particularité d'être mixte (cf. figure 1-14 : comparatif entre le neurone biologique et le modèle en trois parties). Une partie analogique sert au calcul en temps réel des courants issus des canaux ioniques et des synapses, et une partie numérique sert à gérer la propagation des

³⁰ La technique dite d'optimisation a été présentée dans l'introduction de ce manuscrit. Elle sera plus amplement décrite dans le quatrième chapitre concernant les expériences, les résultats et les perspectives.

potentiels d'action, après numérisation, le long de l'axone. Nous savons aussi, toujours d'après le modèle retenu, que les générateurs de courant synaptique sont analogiques. Si nous nous reportons toujours à la figure 1-14, nous comprenons qu'il est nécessaire d'apporter quelques modifications au modèle mixte des synapses choisi pour pouvoir utiliser pleinement ses propriétés afin de connecter à loisir un neurone avec un quelconque voisin. Dans la puce que nous envisageons de concevoir, nous intégrerons en plus du neurone, non pas les synapses situées à l'extrémité de son axone, mais les synapses fixées sur ses dendrites et en provenance des neurones précédents. De ce fait les générateurs internes de courant synaptique débiteront sur la cellule qui sera présente dans la même puce, et la partie numérique du système peut devenir une boucle entre la puce et un logiciel dédié à notre application. L'information transmise de la puce vers le logiciel représentera les potentiels d'action numérisés, tandis que l'information allant en sens inverse sera la stimulation des synapses. Ainsi, la programmation d'une cartographie neuronale quelconque sera logicielle.

La présence d'un ordinateur et d'un logiciel dédié à notre application va pouvoir être exploitée aussi pour la gestion des paramètres de la partie analogique et du détecteur de potentiel d'action, appelés par la suite « noyau de calcul ». La communication entre le logiciel et la puce sera cette fois-ci unidirectionnelle via un bus de contrôle.

Toutes ces remarques concernant la partie numérique se retrouvent dans la figure ci-dessous.

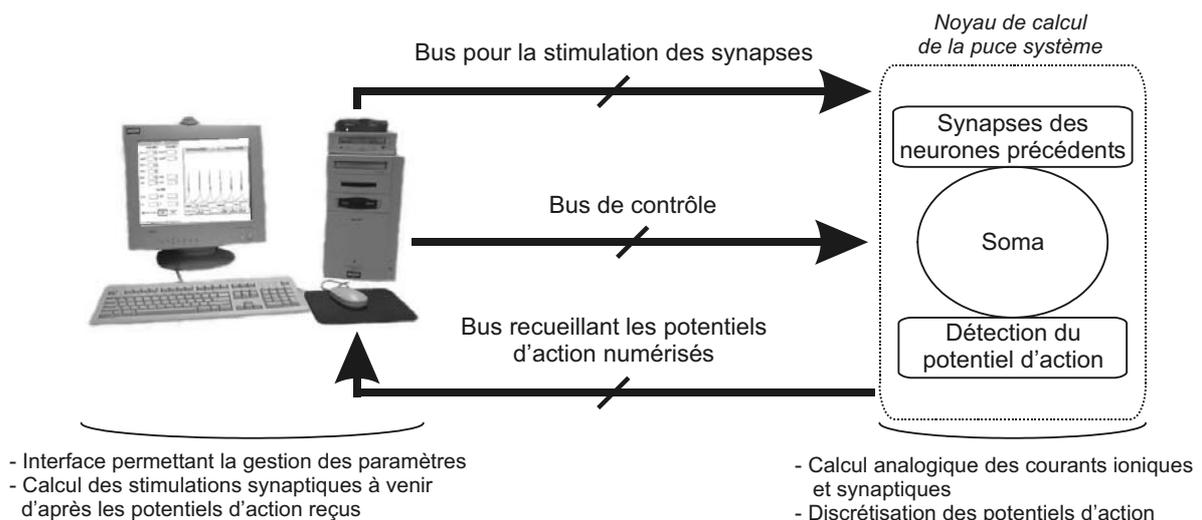


Figure 3 - 1 : Vue générale du système complet où sera insérée la puce système

Maintenant que nous connaissons le système au complet, il convient de préciser un peu plus le contenu de la puce. Notre volonté d'utiliser la technique d'optimisation, pour la recherche des valeurs des paramètres du modèle, oblige lors de la conception de la puce à prévoir une programmation aisée des valeurs de ces paramètres. Ceci implique une possibilité de pouvoir programmer, ou reprogrammer, les paramètres du modèle dès que le circuit est sous tension, simulant ou non une activité électrique neuronale.

Mais avant de pouvoir programmer les paramètres il faut être capable de déterminer la configuration de la puce, cette dernière est appelée dans la suite de ce manuscrit « topographie ». Cette topographie détermine les conductances et les synapses qui seront mises en jeu dans la simulation. De plus les conductances calcique et potassique ont été déterminées dans le cahier des charges du chapitre 1 (cf. tableau 1-5) avec deux gammes différentes de cinétique. Il faudra qu'un utilisateur – non électronicien – puisse choisir facilement l'une ou l'autre de ces gammes.

Avant de conclure sur la flexibilité attendue de la puce système, il est nécessaire de préciser quelques points. Lors de la fabrication des circuits intégrés il apparaît une disparité sur la valeur des composants implantés. Cette disparité va parasiter le calcul analogique en modifiant les valeurs des paramètres du modèle et/ou dégrader la qualité des opérateurs analogiques. De plus, nous pressentons que les paramètres seront issus de valeurs numériques, convertis en valeurs analogiques, qui seront à leur tour présentées à l'entrée des opérateurs analogiques. L'utilisation d'un convertisseur numérique-analogique va elle aussi influencer, par ses erreurs de conversion, les valeurs des paramètres. Toutes ces distorsions nécessitent d'avoir la possibilité de caractériser les conductances ioniques par l'ouverture de la boucle tension membranaire/courants ioniques. Autrement dit, nous aurons besoin d'amener les générateurs ioniques à débiter ailleurs que sur la capacité de membrane. Cette technique de caractérisation des canaux ioniques est souvent utilisée en électrophysiologie et porte le nom de voltage-imposé ou encore voltage-clamp. Elle sera plus amplement détaillée dans le quatrième chapitre consacré aux expériences et résultats.

En se reportant à la figure 3-1, nous déduisons que les tâches incombant au bus de contrôle seront donc une programmation des paramètres du modèle et une gestion de la topographie ; ces deux fonctions devront posséder une grande flexibilité de fonctionnement.

3-2-2 Les solutions pour répondre aux objectifs

Pour exposer nos solutions, nous allons avoir la démarche inverse par rapport à celle de la partie précédente. Nous partirons des solutions répondant aux problèmes de bas niveau pour ensuite proposer celles concernant le système. Cette démarche ascendante est possible uniquement parce que nous avons précédemment défini le système.

LE NOYAU DE CALCUL

En reprenant la figure 3-1, nous pouvons maintenant définir plus clairement le contenu du noyau de calcul de la puce système.

- i) Le noyau de calcul doit contenir les cinq canaux ioniques – sodium, potassium, fuite, calcium, et potassium calcium dépendant – et les synapses afférentes au neurone modélisé par les cinq canaux ioniques. Nous avons choisi un nombre arbitraire de huit synapses en espérant pouvoir reconstituer un mini-réseau d'une dizaine de cellules.
- ii) Les cellules nerveuses ont souvent besoin d'être stimulées pour pouvoir générer une activité électrique. Dans le réseau biologique, cette stimulation est effectuée grâce aux synapses afférentes au neurone. En revanche, lors des expériences d'électrophysiologie, cette stimulation peut être artificielle. Elle permet de provoquer des comportements rythmiques particuliers. Il devient donc intéressant d'intégrer dans le noyau de calcul une fonction de stimulation.
- iii) Pour réaliser la technique de caractérisation des canaux ioniques, appelée voltage-clamp, il est nécessaire que les générateurs ioniques puissent débiter soit sur la capacité membranaire soit sur une résistance pour permettre la visualisation de leur courant. Il est possible de décliner cette propriété en dotant toutes les briques de base – canaux ioniques et synapses – de la capacité à débiter soit sur la capacité membranaire soit sur la résistance pour visualisation, y compris lorsque la boucle tension membranaire/courants ioniques est fermée. Dans le cas où cette boucle est fermée, cela implique que chacune des briques possède une copie du courant généré.

- iv) La numérisation sur un bit des potentiels d'action va permettre d'envisager la mise en réseau du noyau de calcul. Mais la technique d'optimisation nécessite de visualiser et d'échantillonner sur plus d'un bit l'activité électrique neuronale. Il est alors nécessaire de pouvoir visualiser cette activité électrique à partir d'une sortie spécifique et très certainement à l'aide d'un oscilloscope. Pour effectuer cette opération il faut prendre en considération l'impédance d'entrée de l'appareil vis-à-vis de la capacité de membrane. Pour pallier cet inconvénient, nous avons décidé d'insérer un amplificateur opérationnel à gain unitaire entre la capacité de membrane et la sortie pour visualisation.

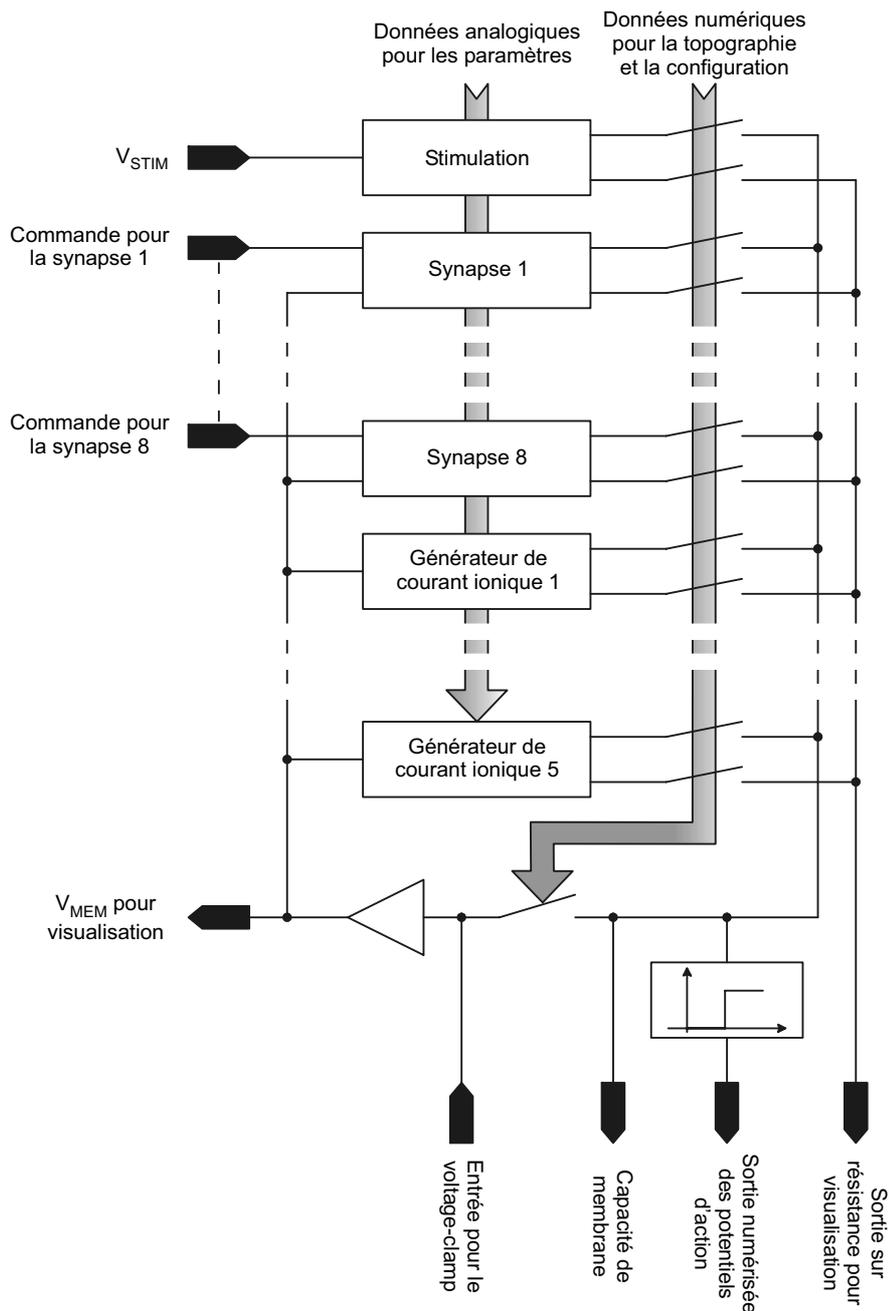


Figure 3 - 2 : Diagramme fonctionnel du noyau de calcul

- v) La numérisation sur un bit des potentiels d'action sera effectuée par un comparateur à seuil dont la valeur pourra être déterminée par l'utilisateur. La détection d'un événement par le comparateur se traduira par le déclenchement d'un monostable. Pour permettre

d'adapter la durée du créneau aux besoins de l'utilisateur, le monostable sera paramétrable grâce à des bits de configuration.

- vi) Pour simplifier le calcul des attaques synaptiques en fonction des potentiels d'action, nous avons choisi que chacune des huit synapses possède sa commande d'entrée sur laquelle sera appliqué le créneau de tension (cf. figure 1-13).
- vii) Les bits de topographie et les paramètres analogiques seront gérés par des bus indépendants. Cela permettra d'une part de séparer les signaux analogiques des signaux numériques et d'autre part de pouvoir prévoir une reprogrammation des paramètres analogiques du modèle indépendamment d'une reprogrammation de la topographie du noyau de calcul.

La synthèse de tous ces points est effectuée à la figure 3-2.

LA PUCE SYSTEME

Reprenons la ligne conductrice de ce paragraphe qui était de partir du bas niveau pour aller vers le système.

- i) Plus nous intégrerons de noyaux de calcul au sein d'un même circuit intégré, plus il sera facile de créer un mini-réseau sur la carte imprimée qui supportera plusieurs ASICs. Pour rester dans un ordre de prix raisonnable en ce qui concerne la surface de silicium, nous avons choisi deux noyaux de calcul par puce.
- ii) Les données numériques permettront de gérer la topographie de la puce et la configuration de certaines conductances – calcium et potassium dépendant calcium. Pour effectuer cette opération, nous avons choisi un mode de transfert série des données avec un bus de trois bits : un pour le signal d'horloge, un second pour la remise à zéro et le démarrage du protocole de transfert et un troisième pour les données à proprement parler.
- iii) Nous avons envisagé, pour gérer les valeurs analogiques des paramètres, d'implanter une mémoire numérique, un convertisseur numérique-analogique et des cellules mémoires analogiques pour chaque paramètre. Cette solution offrait l'avantage comme pour la gestion de la topographie de ne faire appel qu'à un bus numérique de trois bits. Mais pour cela, nous aurions dû soit développer une mémoire numérique et un convertisseur numérique-analogique, soit acheter auprès du fondeur ces fonctions à propriété intellectuelle. La première solution n'était pas envisageable dans le cadre de ce travail de thèse – à elles seules ces fonctions sont déjà des sujets de thèse de doctorat – et la seconde solution s'est révélée bien trop onéreuse. Nous avons opté pour une troisième solution [DOU 2000]. Nous avons déporté à l'extérieur de la puce la mémoire numérique et le convertisseur numérique-analogique afin de ne garder en interne que les cellules mémoires analogiques. La gestion de ces cellules analogiques fait appel à un bus mixte à quatre voies : une voie analogique pour les données analogiques à mémoriser, une seconde numérique pour l'horloge du séquenceur – séquenceur qui désignera le point mémoire analogique auquel la donnée est destinée –, une troisième numérique pour la remise à zéro de ce même séquenceur et une quatrième numérique qui autorisera la mémorisation par la cellule désignée.

La figure 3-3 résume tous ces points.

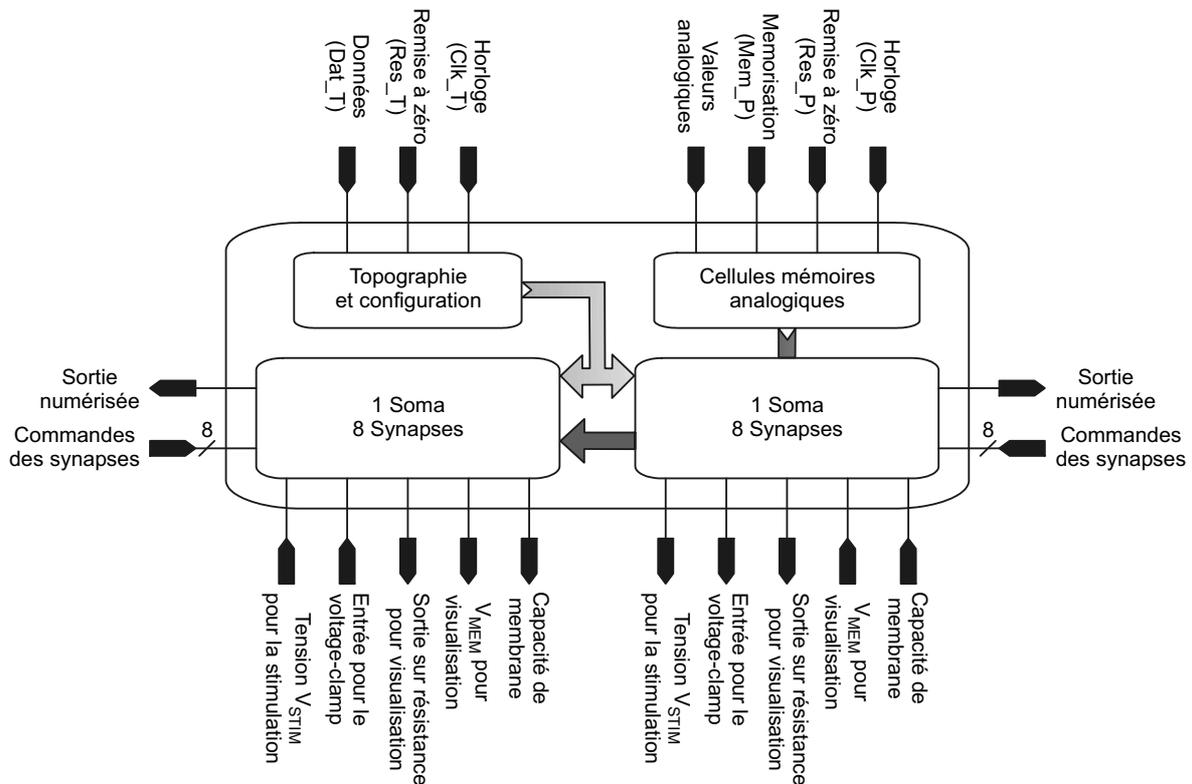


Figure 3 - 3 : Synopsis de la puce système

3-3 Les étapes intermédiaires pour réaliser la puce système

Les circuits élémentaires et les opérateurs nécessaires au calcul analogique des équations du formalisme d'Hodgkin et Huxley ont été conçus au deuxième chapitre. Grâce au paragraphe précédent, nous avons défini ce que doit être le contenu de la puce système.

La réalisation de la puce système demande dans un premier temps de constituer les conductances ioniques et les synapses à partir de ces mêmes opérateurs analogiques, puis de réaliser les circuits électroniques annexes leur permettant un fonctionnement correct. Ces fonctions annexes regroupent les interrupteurs (servant à connecter éventuellement les conductances ioniques et les synapses à la capacité de membrane), les multiplexeurs-démultiplexeurs (permettant de configurer les conductances ayant plusieurs gammes de cinétique), le comparateur à seuil nécessaire pour la numérisation des potentiels d'action, les points mémoires numériques pour la gestion de la topographie et les cellules mémoires analogiques. L'énumération faite ci-dessus des fonctions annexes sera le fil conducteur des paragraphes à venir. Mais avant de commencer, notons que la plupart de ces fonctions ont fait l'objet d'un sujet de stage de Diplôme d'Etudes Approfondies que j'ai co-encadré [BOR 2003].

3-3-1 Les canaux ioniques et les synapses

Dans le premier chapitre, nous avons mis en évidence l'existence d'une répétition des fonctions élémentaires constituant les canaux ioniques et les synapses (cf. figures 1-15 à 1-17). Le deuxième chapitre a permis de faire les choix technologiques et de proposer les solutions de conception pour chacune de ces fonctions élémentaires.

Lors de la présentation de ces circuits élémentaires nous avons omis volontairement de montrer le schéma complet qui a été implanté dans le silicium. Cette omission a permis une présentation plus claire et plus didactique. Dans leur version complète, chaque opérateur analogique, conçu en mode courant, possède une entrée et une sortie fonctionnant entre deux et trois volts. Cette caractéristique permet d'assembler au gré des besoins ces opérateurs et de constituer ainsi un quelconque canal ionique ou une quelconque synapse. De ce fait, nous retrouvons l'idée qui a été mise en avant dans le second chapitre, à savoir la constitution d'une bibliothèque d'opérateurs analogiques permettant de créer rapidement un quelconque canal ionique.

3-3-2 L'interrupteur et le multiplexeur-démultiplexeur

Ces deux fonctions sont présentées dans le même paragraphe car elles possèdent des caractéristiques similaires ; elles travaillent toutes les deux en mode courant. Le multiplexeur (démultiplexeur) oriente un courant de telle ou telle entrée vers la sortie (de l'entrée vers telle ou telle sortie). L'interrupteur coupe le parcours du courant. Bien entendu, en mode passant les interrupteurs et les multiplexeurs-démultiplexeurs présenteront une résistance la plus faible possible tandis qu'en mode bloqué ils posséderont la plus grande possible.

Dans les deux cas nous avons privilégié la résistance en mode passant pour avoir le moins de perturbation possible du signal transmis à travers la cellule, au détriment de la plus grande résistance en mode bloqué. Ce qui nous amène à choisir une technique de conception des cellules où le courant sera dévié plutôt que stoppé. Cette solution présente l'avantage de ne s'intéresser principalement qu'à la minimisation de la résistance en mode passant.

Tous les interrupteurs de la puce système ont des tensions d'entrée et de sortie comprises entre plus ou moins un volt par rapport au point milieu. Pour obtenir un interrupteur bloqué, le courant sera alors dévié vers ce point milieu ; tandis que les multiplexeurs-démultiplexeurs ont des gammes de tension d'entrée et de sortie obligeant à dévier les courants vers la masse. La figure ci-dessous présente les synopsis de ces deux montages.

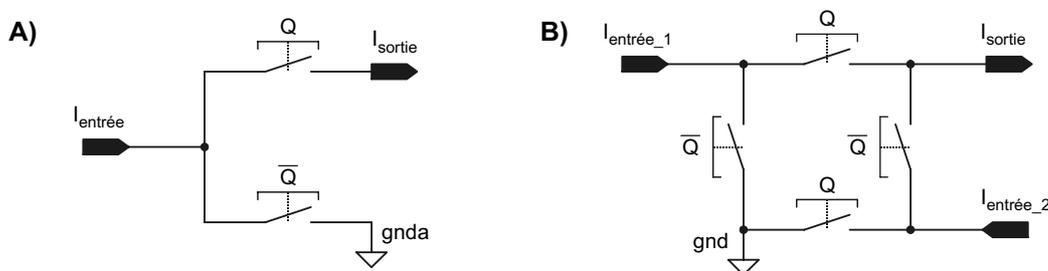


Figure 3 - 4 : A) Synopsis de l'interrupteur B) Synopsis du multiplexeur-démultiplexeur

3-3-3 Le comparateur à seuil avec monostable à retard réglable

Ce montage présente quelques caractéristiques particulières :

- Le potentiel d'action est un événement tout ou rien. De ce fait, sa détection ne nécessite pas un système immunisé contre le bruit. Nous avons alors choisi une détection par comparateur sans hystérésis.
- La durée d'un potentiel d'action est de l'ordre de la milliseconde, tandis que la durée du créneau du monostable sera de quelques dizaines de microsecondes. Il est alors nécessaire d'avoir un monostable avec réamorçage afin de ne pas déclencher successivement plusieurs créneaux de détection pendant un seul et même potentiel d'action.

Toutes ces considérations nous amènent au montage suivant :

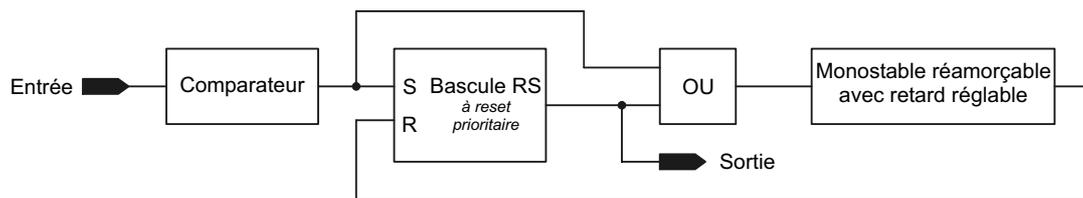


Figure 3 - 5 : Schéma de principe du comparateur à seuil avec monostable

3-3-4 La gestion de la topographie

La première contrainte concernant la gestion de la topographie a été de privilégier la robustesse du protocole vis-à-vis de la vitesse de transfert.

La solution envisagée consiste à débiter le protocole de transfert par un signal de démarrage, puis à transmettre les données. L'envoi des données est cadencé par un signal d'horloge, lui aussi émis vers l'ASIC. Toujours dans l'objectif de faire au plus simple, tous les mots à transférer ont été choisis de même longueur, car il est plus aisé de compter les bits émis que de décoder un signal de fin de transfert.

Sans revenir en détail sur le contenu de la puce, nous avons pour chacun des deux noyaux de calcul implantés une première voie qui oriente les sorties des cinq conductances, des huit synapses et de la stimulation vers la capacité de membrane et une seconde voie qui oriente la copie de chacune des sorties précitées vers la sortie de visualisation (cf. figure 3-2). Ainsi, la topographie de chaque noyau de calcul est constituée de deux mots de quatorze bits.

La configuration de chaque noyau de calcul comprend six bits : un bit pour ouvrir ou fermer la boucle tension membranaire/courants ioniques, deux bits pour déterminer les gammes des cinétiques d'activation du calcium et du potassium dépendant calcium, un bit pour déterminer l'élévation à la puissance de la conductance calcium - m.h ou m².h - et deux bits pour régler la durée du créneau de tension du détecteur de potentiel d'action.

En résumé, pour l'ensemble de la puce nous avons quatre mots de quatorze bits et deux mots de six bits à transférer. L'encapsulation de ces mots est réalisée en adjoignant en en-tête l'adresse à laquelle le mot est destiné. Pour les six adresses possibles, nous obtenons finalement six mots de même longueur constitués de dix-sept bits.

Pour ne pas être trop fastidieux, nous épargnerons au lecteur la constitution de la gestion de la topographie d'un point de vue porte logique. En revanche, il est important de souligner que sa conception a été faite en utilisant la bibliothèque de bascules et de portes fournie par le fondeur austriamicrosystems. La figure 3-6 présente la gestion de la

topographie par grandes fonctions. Le fonctionnement associé à ces circuits numériques est présenté dans les chronogrammes de la figure 3-7.

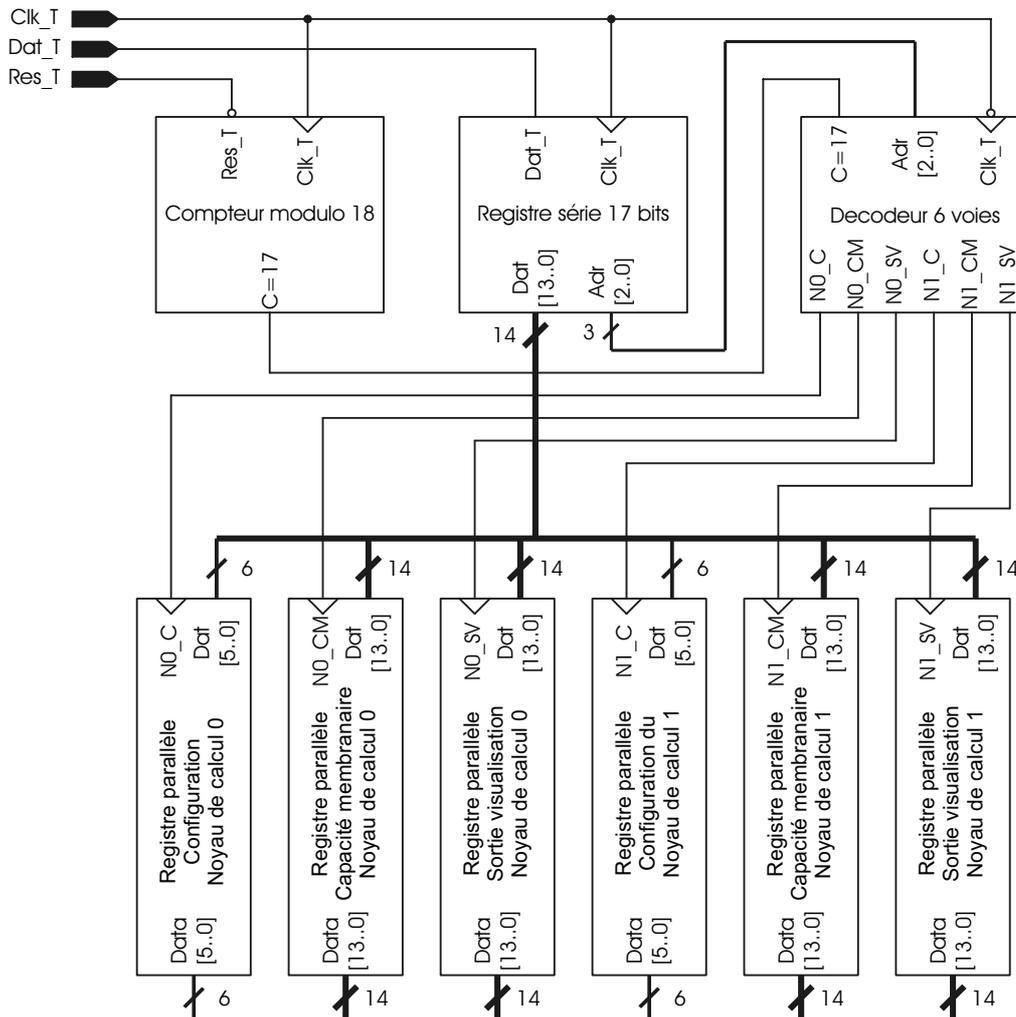


Figure 3 - 6 : Schéma de principe du montage numérique assurant la gestion de la topographie

Le protocole démarre par la mise à zéro du signal 'Res_T' qui entraîne la remise à zéro asynchrone du compteur. Les données sont présentées à l'entrée de la puce sur les fronts descendant de l'horloge système. Les fronts montant de l'horloge permettent la mémorisation de ces données dans le registre série et incrémentent le compteur. Après le dix-huitième front montant de l'horloge système, la sortie 'C = 17' du compteur est au niveau haut et tous les bits de données sont mémorisés dans le registre série. De ce fait, le registre série présente, via ses sorties parallèles, les mots de données et d'adresse respectivement aux registres parallèles et au décodeur 6 voies. Le front d'horloge descendant suivant, et parce que la sortie 'C = 17' est au niveau haut, entraîne la voie du décodeur adressée du niveau bas au niveau haut. Ce front montant sur une sortie du décodeur oblige le registre parallèle associé à cette dernière à mémoriser le mot de données. Les registres parallèles de configuration des noyaux de calcul ne mémorisent que les six bits de poids faible tandis que les autres registres parallèles mémorisent les mots de quatorze bits en entier. Le front montant d'horloge suivant ramène le compteur modulo dix-huit à zéro et la sortie 'C = 17' passe au niveau bas. Le front descendant arrivant après cet événement force toutes les sorties du décodeur au niveau bas.

Une remarque s'impose par rapport à ce protocole. Nous savons que nous aurons besoin de transférer six mots de dix-sept bits lors de l'initialisation du système. Le protocole

présenté ici n'offre pas la possibilité d'effectuer un transfert enchaîné de ces six mots ; il faut à chaque fois repasser par une mise à l'état bas du signal 'Res_T' et ensuite le transfert du mot débute réellement. Autrement dit, ce protocole oblige à transférer six fois indépendamment l'une de l'autre un mot de dix-sept bits. Cependant il offre en l'état la possibilité de n'envoyer qu'un seul mot de dix-sept bits, ce qui peut être nécessaire pour changer par exemple la topographie d'un noyau de calcul alors que le système est en fonctionnement. En rappelant l'idée introduisant ce paragraphe, la préférence d'une robustesse de transfert vis-à-vis de sa rapidité, nous avons considéré qu'il était secondaire de chercher à optimiser le transfert successif de plusieurs mots, qui nous aurait fait gagner au mieux deux microsecondes par mot transmis.

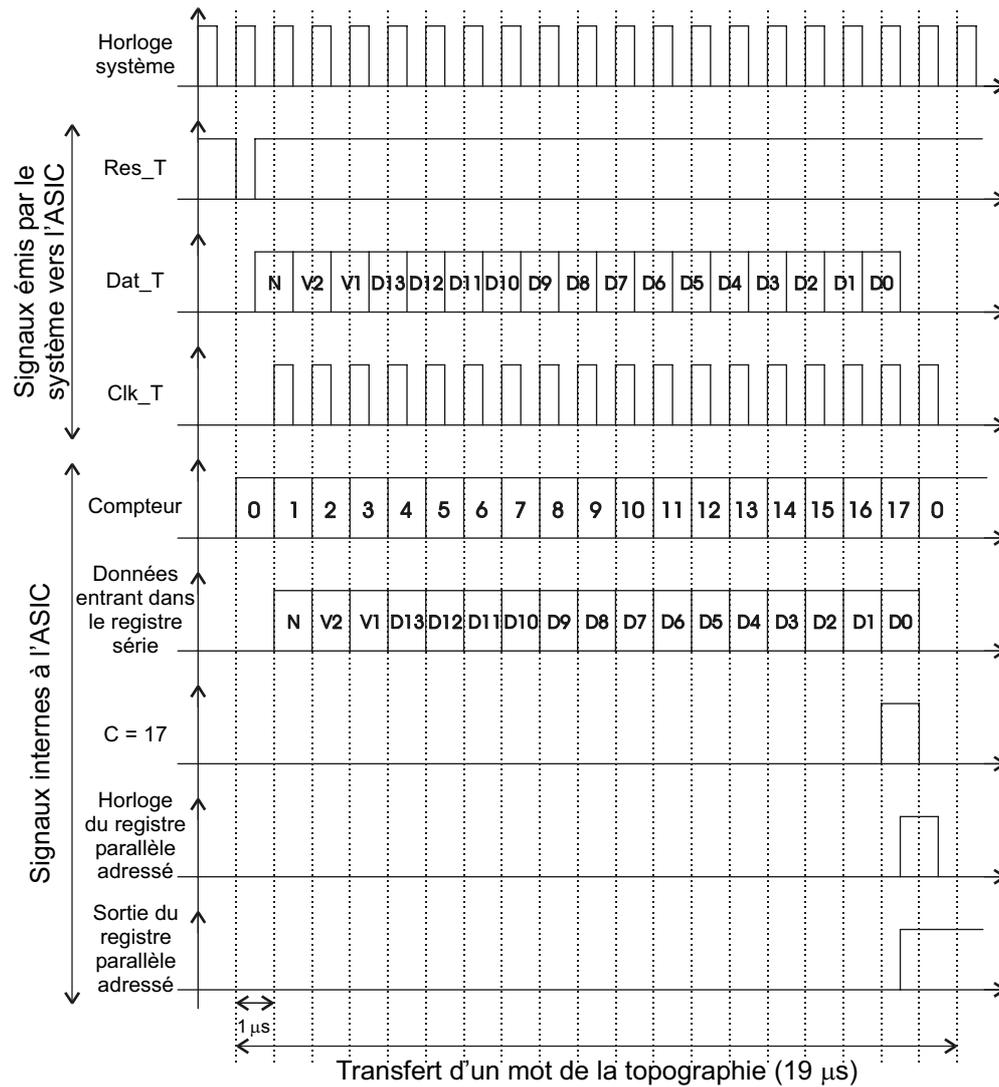


Figure 3 - 7 : Chronogramme des signaux pour la gestion de la topographie

3-3-5 Les mémoires analogiques

La conception des interrupteurs, des multiplexeurs-démultiplexeurs et du comparateur à seuil a été une partie du sujet de stage de Diplôme d'Etudes Approfondies de Yannick Bornat [BOR 2003], mais l'essentiel du travail attendu lors de ce stage concernait la conception des mémoires analogiques.

La mémorisation des paramètres analogiques est la plus délicate des fonctions annexes. En effet, jusqu'à présent, il s'agissait de traitements numériques ponctuels.

LE CAHIER DES CHARGES SPECIFIQUE A LA CONCEPTION DES MEMOIRES ANALOGIQUES

Nous avons avant tout décidé de privilégier le maintien dans le temps de la valeur mémorisée par rapport à toutes les autres considérations concernant les mémoires analogiques, à savoir la valeur absolue mémorisée et la rapidité d'écriture.

La valeur mémorisée par le point mémoire analogique aura une très forte probabilité de ne pas être exactement celle que nous souhaitons. Cette erreur se cumulera aux autres déjà existantes : celle due au convertisseur numérique-analogique et celle due à la disparité des fonctions analogiques. Comme il a été précédemment expliqué, ces deux dernières erreurs ont obligé de prévoir l'utilisation de la technique de voltage-clamp pour caractériser les canaux ioniques de l'ASIC. Toutes ces erreurs peuvent être cumulées en une seule et la compensation de la somme des erreurs sera effectuée en une seule opération.

La rapidité d'écriture n'a pas été un critère prépondérant lors de la définition du cahier des charges. Avoir une durée d'écriture brève implique l'utilisation de condensateurs de faibles capacités. Et cette utilisation de condensateurs de faible valeur se répercutera sur une plus forte sensibilité aux courants de fuite présents dans les circuits intégrés, ce qui dégradera les performances de maintien de la valeur mémorisée.

Le maintien dans le temps de la valeur mémorisée est primordial sinon la variation des valeurs des paramètres influencera la stabilité de l'activité électrique neuronale. Seuls des calculs aux dérivées partielles du système complet d'équations par rapport à chaque variable permettront de définir l'influence exacte des variations des paramètres sur l'activité électrique. Nous subodorons une complexité effroyable pour de tels calculs et nous avons préféré minimiser l'influence de ce bruit dans l'activité électrique neuronale en réduisant de façon draconienne la variation des valeurs mémorisées.

LE PRINCIPE RETENU POUR LA CONCEPTION DES MEMOIRES ANALOGIQUES

La solution la plus efficace pour un maintien maximal des valeurs mémorisées est d'utiliser des mémoires non volatiles. Arnaud Laflaquière, lors d'une précédente thèse de doctorat soutenue dans notre équipe [LAF 1998], avait longuement travaillé sur ce problème. La solution qu'il avait envisagée était l'utilisation de mémoires analogiques à grille flottante programmées par effet tunnel. Ce principe était une excellente initiative mais les technologies que nous employons ne sont pas spécifiées pour la programmation par effet tunnel. L'idée a été abandonnée au profit d'une solution plus traditionnelle.

Cette seconde solution a été mise en œuvre par Vincent Douence lors de son doctorat au sein de l'équipe [DOU 2000]. Elle consiste à mémoriser sur un condensateur C_{PARAM} la tension analogique désirée. L'interrupteur autorisant la charge, ou la décharge, du condensateur présente une résistance en mode passant R_{ON} . La minimisation de la constante de temps désignée par le couple $R_{ON}-C_{PARAM}$ rencontrera pour limites les valeurs minimales de R_{ON} et de C_{PARAM} . L'utilisation d'un condensateur de capacité minimale pour C_{PARAM} posera le problème du maintien de la valeur mémorisée dans le temps. Sachant que l'interrupteur sera réalisé à l'aide d'un composant semiconducteur, la résistance qu'il possèdera en mode bloqué ne sera pas infinie. Cette valeur non idéale va présenter un inconvénient, la décharge du condensateur par un courant de fuite. Autrement dit, nous avons besoin d'une part, pour la rapidité de mémorisation, d'un interrupteur ayant une faible résistance en mode passant et d'un condensateur de mémorisation de faible capacité et d'autre part, pour le maintien de la valeur mémorisée, d'un interrupteur ayant une résistance infinie en mode bloqué ou d'un condensateur de mémorisation de grande capacité.

Cette dernière contradiction a contraint à modifier quelque peu le schéma électrique traditionnel des cellules mémoires constituées d'un condensateur. La modification repose sur la cascade de deux cellules mémoires basées chacune sur un condensateur de mémorisation, et où chacune d'elle possède un dimensionnement différent de ses composants. Les tailles de transistors ont été indiquées sur la figure 3-8 en utilisant la convention traditionnelle $W \times L$.

Avant d'explicitier le dimensionnement retenu pour les éléments de ce montage, il est nécessaire d'expliquer le fonctionnement général de ce point mémoire.

La mémorisation sera effectuée lorsque nous aurons à la fois la 'Commande de mémorisation' et la bascule D activées. La bascule D est validée lorsque la cellule est désignée par le séquenceur gérant toutes les cellules mémoires. Lorsque la double condition est réunie, les interrupteurs, réalisés par les couples de transistors M1-M2 et M5-M6, sont passants et les condensateurs C1 et C2 peuvent recopier la 'Tension à mémoriser'. A la fermeture des interrupteurs, les charges accumulées sous les grilles des transistors faisant office d'interrupteur vont être évacuées de part et d'autre de chaque transistor [WEG 1987] [WIL 1985]. L'injection de charge dans la capacité va induire une modification de la tension mémorisée. La solution préconisée pour éviter ce désagrément consiste à insérer un transistor, où le drain et la source sont court-circuités, entre l'interrupteur et la capacité de mémorisation [BAL 2002] [YAN 1990]. La commande des transistors permettant l'évacuation des charges est complémentaire à celle pilotant les transistors des interrupteurs.

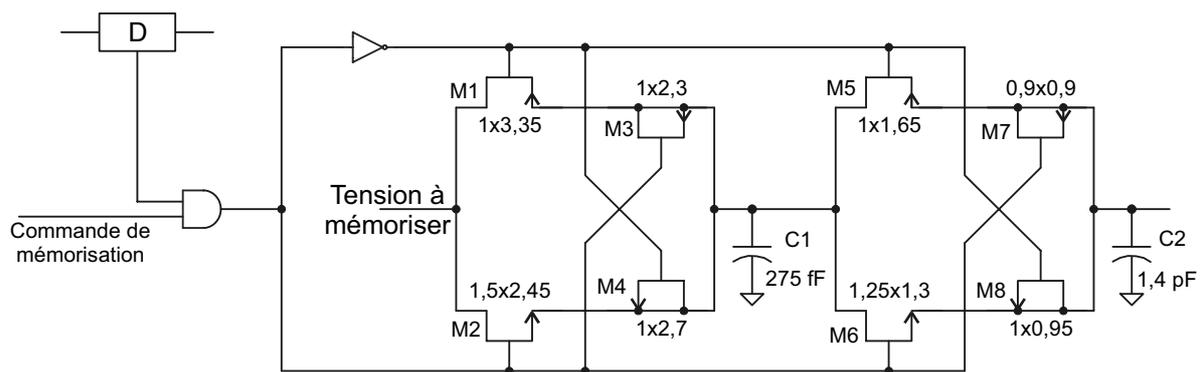


Figure 3 - 8 : Le schéma électrique des cellules mémoires analogiques

En observant la figure 3-8, nous remarquons que tous les rapports W/L des transistors M1, M2, M5 et M6 constituant le point mémoire analogique sont inférieurs ou égaux à 1. Cette particularité est issue d'un compromis entre une taille minimale des transistors et une robustesse de la fonction aux simulations de Monte Carlo.

Nous pouvons aussi remarquer que les transistors de la première partie du point mémoire, constituée par les transistors M1, M2, M3, M4 et du condensateur C1, possèdent un rapport W/L plus faible que les transistors de la deuxième partie, constituée des transistors M5, M6, M7, M8 et du condensateur C2. La raison qui a conduit à ce choix provient de la constitution en deux parties de la cellule mémoire. A la commande de mémorisation, les transistors M1, M2, M5 et M6 sont passants et la tension à mémoriser doit être recopiée le plus rapidement possible sur le condensateur C2 via le condensateur C1. Alors, la résistance R_{ON} de chacun de ces transistors doit être minimale. A la fermeture, l'interrupteur constitué des transistors M1 et M2 voit une grande différence de potentiels à ses bornes – différence de potentiel entre le condensateur C1 et la valeur de la tension à mémoriser associée à une autre cellule. Les résistances des transistors dans l'état bloqué doivent être alors de grandes valeurs pour minimiser les courants de fuite. La différence de potentiel aux bornes du second interrupteur,

composé des transistors M5 et M6, est faible car approximativement la même tension est présente sur les condensateurs C1 et C2. L'optimisation de ce second interrupteur se limite alors au cas passant. Il est ainsi logique de trouver les transistors de la deuxième partie de la cellule avec des rapports W/L plus grands que ceux des transistors de la première partie.

3-4 La réalisation de la puce système

Toutes les fonctions analogiques et numériques nécessaires à la constitution de la puce sont maintenant déterminées et dimensionnées du point de vue de la saisie schématique. Dans le paragraphe 2-2-2 décrivant la suite logicielle utilisée pour la conception des circuits intégrés, nous avons évoqué les différentes étapes nécessaires à la réalisation d'un ASIC par les concepteurs. Nous savons alors qu'après la saisie schématique, nous devons nous intéresser au layout³¹. Nous commencerons ce paragraphe par quelques considérations sur la réalisation et sur les précautions à prendre lors de la réalisation du layout d'une puce mixte. Nous poursuivrons par la présentation de la puce réalisée et ses caractéristiques de conception.

3-4-1 Quelques considérations pour la réalisation du layout

Le placement et le routage des composants électroniques sont des opérations importantes dans la conception d'un circuit intégré. Une exécution de mauvaise qualité de ces étapes peut détériorer les performances attendues du circuit. Nous traiterons donc de la réalisation du layout des cellules analogiques (opérateurs de calcul) et mixtes (mémoires analogiques) et ensuite des précautions à prendre pour le routage d'un circuit mixte.

Les opérateurs analogiques sont répétés un grand nombre de fois. Nous avons déjà utilisé cette propriété pour la constitution des canaux ioniques et des synapses d'un point de vue de la saisie schématique. Cette répétition va être aussi mise à profit pour le dessin des masques du circuit intégré.

La partie analogique du circuit va être routée par grandes fonctions. Le découpage qui a été retenu est basé approximativement sur les circuits élémentaires détaillés dans le deuxième chapitre de ce manuscrit. D'abord ont été dessinés les layout des générateurs de courant, des multiplieurs en mode courant, des amplificateurs à transconductance et des paires différentielles bipolaires avec étage de prédistorsion. Ensuite, nous avons réalisés les dessins des masques des opérateurs analogiques : fonction sigmoïde, fonction cinétique, fonction d'élévation à la puissance et fonction de sortie. Ces circuits étant des éléments d'une bibliothèque schématique, nous avons retenu une technique de dessin du layout basée, elle aussi, sur des éléments de bibliothèque. Les cellules ont toutes été dessinées sous un même format. Ce format comprend une hauteur de cellule standardisée où nous retrouvons de part et d'autre les rails d'alimentation de largeur normalisée. Leurs entrées et sorties sont placées de façon à permettre une mise en cascade aisée des différents opérateurs analogiques.

Les deux noyaux de calcul implantés dans la puce demandent la présence de cent cinquante huit valeurs de paramètres. L'idée de répétition dans le dessin des masques existe alors aussi dans la constitution de la mémoire analogique dans son ensemble. De ce fait, un point mémoire sera dessiné puis son layout sera répété pour créer l'ensemble de la mémoire analogique.

³¹ Anglicisme couramment employé par la communauté microélectronicienne désignant le dessin des masques.

La puce sera constituée de trois parties. Une de nature analogique regroupera les calculs des courants ioniques et synaptiques. Une deuxième sera de nature numérique et permettra la gestion de la topographie. Enfin, une troisième de nature mixte sera consacrée aux points mémoires analogiques et la détection des potentiels d'action.

Les commutations des parties numériques risquent de perturber le fonctionnement des parties analogiques [STA 1994] [STA 1995] [JOA 1994]. Quelques précautions doivent alors être prises.

La première est une disposition dans le silicium où l'interaction entre fonctions de nature différente pourra être minimale. Autrement dit, nous placerons distinctement les parties analogiques et les parties numériques dans la puce. Cette séparation géographique s'appliquera aussi pour le placement des sous fonctions des cellules mixtes. Ces dernières utiliseront deux paires de rails d'alimentation, l'une analogique et l'autre numérique.

La seconde précaution que nous prendrons renforcera la première en utilisant des masses analogique et numérique séparées dans le circuit intégré.

La troisième attention que nous avons portée pour le dessin des masques de la puce est la création d'anneaux de garde [ING 1997]. Chaque anneau de garde entourant une fonction est relié à la masse adéquate, masse analogique pour la protection d'une fonction analogique et masse numérique pour une fonction numérique.

3-4-2 La puce système *Pamina*

Tous les éléments sont désormais réunis pour aboutir à la réalisation de la puce système. Cette puce, nommée *Pamina*³², a été conçue avec la technologie BiCMOS 0,35 μm SiGe du fondeur austriamicrosystems. Elle mesure 4170 μm par 3520 μm , soit environ une surface de 14,7 mm^2 . Elle possède une couronne de quatre-vingt quatre plots d'entrée sortie ; un schéma de cette couronne est donné en annexe 1 du manuscrit. *Pamina* est constituée, hors couronne, de 19398 transistors MOS, 1979 transistors bipolaires et 1233 composants passifs. En observant la figure 3-9, nous remarquons l'implantation séparée des parties analogiques, numériques et mixtes.

La partie analogique est constituée des deux zones contenant chacune cinq canaux ioniques – sodium, potassium, fuite, calcium et potassium dépendant calcium – et huit synapses. Dans chaque zone, nous apercevons le routage des canaux et des synapses suivant des rails de hauteur égale. La reproduction de certains motifs géométriques, au sein d'un même rail et/ou d'un rail à l'autre, illustre la conception par éléments de bibliothèque. Cette partie analogique a été conçue en full-custom³³, elle comprend 7478 transistors MOS, 1827 transistors bipolaires et 547 éléments passifs.

La partie numérique, servant à la gestion de la topographie, occupe une surface assez réduite en comparaison de la puce entière. Elle a été développée à partir de la bibliothèque d'éléments numériques fournis par le fondeur austriamicrosystems. Elle se compose de 118 bascules et portes logiques, soit 2278 transistors MOS.

³² La puce s'appelle *Pamina* en hommage à l'héroïne de l'opéra « La flûte enchantée » de Wolfgang Amadeus Mozart. Quant à la marmotte apparaissant dans le layout, elle s'appelle *Charlotte* et illustre la bonne humeur de l'équipe qui m'a accueilli durant ces trois années de doctorat.

³³ L'anglicisme full-custom avait été expliqué dans le paragraphe consacré aux généralités sur les circuits intégrés dans le second chapitre. Nous rappelons ici pour les lecteurs non avertis le sens de cette terminologie ; elle signifie que les concepteurs ont travaillé à partir des composants électroniques élémentaires – transistors, résistances et capacités.

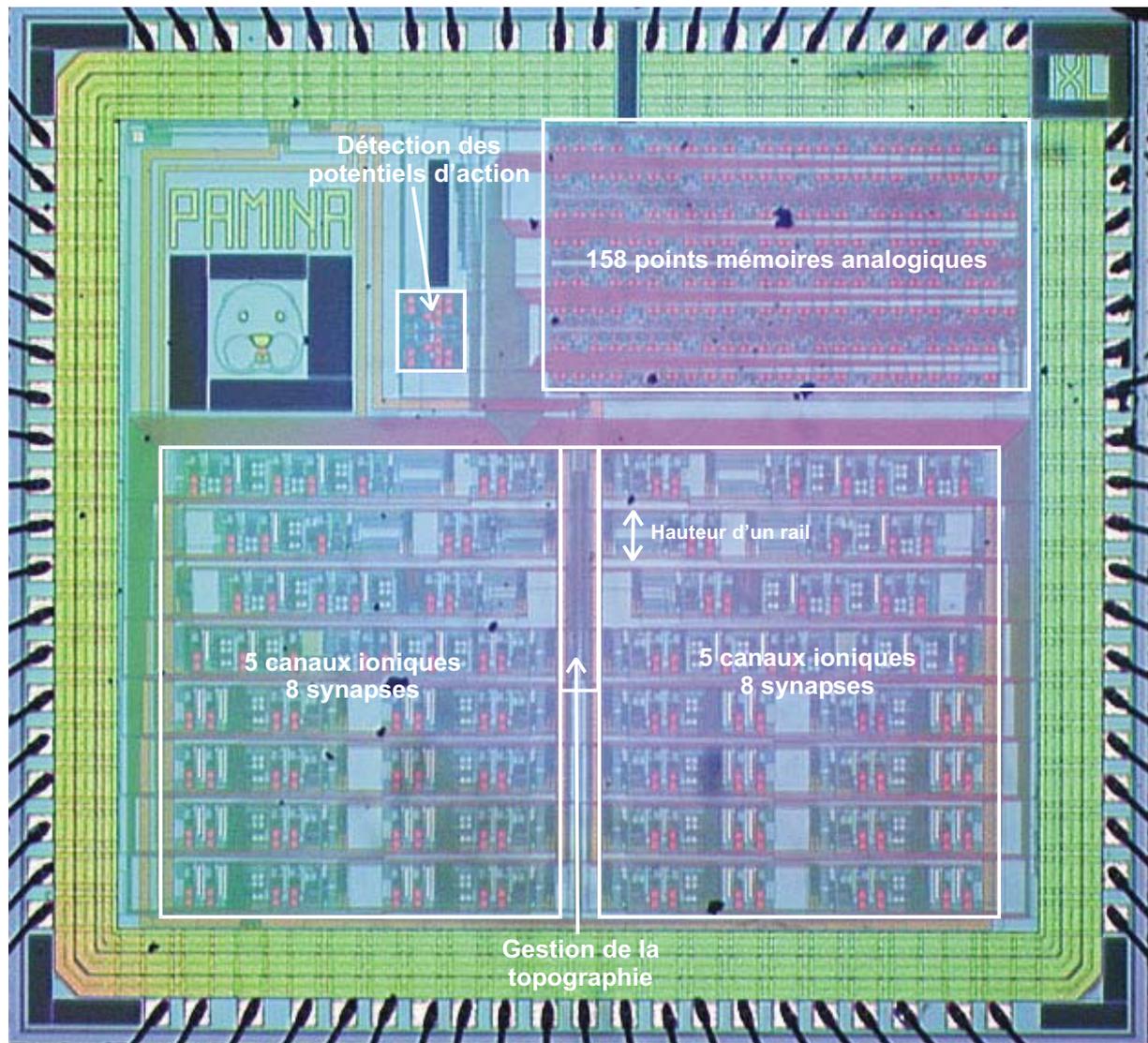


Figure 3 - 9 : Microphotographie de la puce *Pamina*.

La troisième partie, la partie mixte, est constituée des points mémoires numériques et des détecteurs de potentiels d'action. Nous retrouvons là aussi dans la zone des points mémoires analogiques le routage suivant un rail avec une répétition de motif géométrique. Les détecteurs de potentiels d'action et la partie analogique des points mémoires analogiques ont été conçus en full-custom – 4270 transistors MOS, 152 transistors bipolaires et 670 éléments passifs – tandis que la partie numérique des mémoires analogiques a fait appel aux éléments de la bibliothèque numérique fournie par le fondeur – 316 bascules et portes logiques, soit 5372 transistors MOS.

Pour mettre en évidence le travail fourni pour la conception et la réalisation de cette seconde puce³⁴ durant ce travail de doctorat, le tableau ci-après reprend les informations qui viennent d'être présentées.

³⁴ Le premier circuit intégré a été présenté succinctement dans le second chapitre. Il avait permis de valider les architectures des circuits élémentaires et des opérateurs analogiques. Cette première puce porte le nom de *Violetta* en hommage à l'héroïne de l'opéra « La Traviata » de Giuseppe Verdi. Rétrospectivement, nous pourrions dire que son nom a scellé sa destinée.

Zone concernée		Total	Analogique	Mixte		Numérique
Type de conception		full-custom et éléments du fondeur	full-custom	full-custom	éléments du fondeur	éléments du fondeur
Transistors MOS	nombre	19398	7478	4270	5372	2278
	en %	100	38,6	22,0	27,7	11,7
Transistors bipolaires	nombre	1979	1827	152	0	0
	en %	100	92,3	7,7	0	0
Eléments passifs	nombre	1233	547	686	0	0
	en %	100	44,4	55,6	0	0

Tableau 3 - 1 : Tableau récapitulatif de la répartition des composants électroniques constituant la puce *Pamina*.

3-5 Intégration de la puce *Pamina* dans le système

En poursuivant la ligne directrice de ce chapitre, nous arrivons à l'intégration du circuit intégré dans le système. D'après le cahier des charges, nous connaissons les contraintes auxquelles doit répondre le système complet : configurer la topographie et les valeurs des paramètres de l'ASIC et permettre par la suite l'utilisation de ce dernier dans le cadre de la technique d'optimisation, tout en gardant à l'esprit la possibilité de mettre les neurones artificiels en réseau.

Pour mener à bien la réalisation de ce cahier des charges, nous nous sommes appuyés sur un travail de notre équipe élaboré dans le cadre du projet européen *SenseMaker*. Dans ce projet, dont la plupart des productions sont publiques et libres d'accès, nous avons développé une carte PCI (Peripheral Component Interconnect) qui supporte des circuits intégrés full-custom, conçus eux aussi dans notre équipe. Cette carte PCI sera utilisée comme support pour connecter l'ASIC et l'ordinateur du système à venir.

Ce paragraphe se décomposera en deux parties. La première présentera succinctement le projet *SenseMaker* et la carte PCI conçue pour ce projet européen. La seconde partie concernera la description de la carte fille développée pour supporter le circuit intégré *Pamina*.

3-5-1 La carte PCI *PAX* développée dans le cadre du projet européen *SenseMaker*

Le projet européen *SenseMaker* (2002-2005) s'inscrit dans le cadre de l'appel d'offres 2001 « Life-Like Perception Systems » (LPS) du programme « Future Emerging Technology » (FET), mis en place par la Communauté Européenne³⁵. Cet appel d'offre traite du développement de systèmes artificiels perception-réponse dont les structures seraient inspirées du vivant. Le but du projet *SenseMaker* est de définir et d'implanter une architecture électronique capable de fusionner des informations sensorielles issues de modalités diverses en une représentation unique d'un environnement donné. L'architecture sera directement inspirée des principes de réception et fusion sensorielle du système nerveux. Sur ce projet

³⁵ <http://isel.infm.ulst.ac.uk/sensemaker>

sont associés des neurophysiologistes, des électroniciens, des informaticiens, des psychophysiciens de différents laboratoires de recherche européens.

Une partie du travail fournie par l'équipe de l'IXL est le développement d'une carte PCI supportant des circuits intégrés conçus eux aussi par notre équipe pour ce même projet. La carte PCI, nommée *PAX* pour Plasticity Algorithm Computing System, a été élaborée par Yannick Bornat lors de sa première année de doctorat. Je me contenterai de décrire la carte PCI en synthétisant un rapport intermédiaire et public du projet européen [SEN 2004].

La carte PCI *PAX* se divise en deux sous-systèmes : l'environnement de simulation analogique, conçu autour de huit circuits intégrés développés pour cette application et la couche numérique requise pour l'interface PCI de l'ordinateur hôte. La liaison entre les deux parties est réalisée par un composant programmable, le FPGA³⁶ Spartan 2e du fabricant Xilinx. L'interface PCI se base sur le composant 9056 du fabricant PLX, qui fournit l'essentiel des fonctionnalités du protocole PCI. L'utilisation d'un circuit spécifique pour le protocole PCI garantit une durée réduite pour le débogage et autorise un développement plus rapide d'une architecture locale sur la carte. Cette architecture numérique locale est basée autour d'un bus local, géré par le FPGA, possédant une horloge indépendante de celle existante sur le bus PCI. La carte *PAX* a été développée dans l'objectif d'interfacer les circuits intégrés analogiques dédiés au projet et un ordinateur. Pour cela, seule une partie du bus local a été utilisée. Des entrées sorties du FPGA étant encore disponibles sur le bus local, nous avons fait le choix de les laisser accessibles, via des connecteurs, pour une autre application. C'est à partir de ces connecteurs que j'ai développé une carte fille qui supportera le circuit intégré *Pamina*.

La figure 3-10 est une photographie commentée de la carte PCI *PAX*, où apparaissent les trois parties : la partie numérique, la partie dédiée au projet et la partie permettant une extension via les connecteurs. Le bus local est réparti à la fois dans la zone dédiée au projet et dans la zone des connecteurs. Dans la partie numérique, nous retrouvons les composants précédemment énoncés, le composant 9056 du fabricant PLX et le FPGA Spartan 2e du fabricant Xilinx.

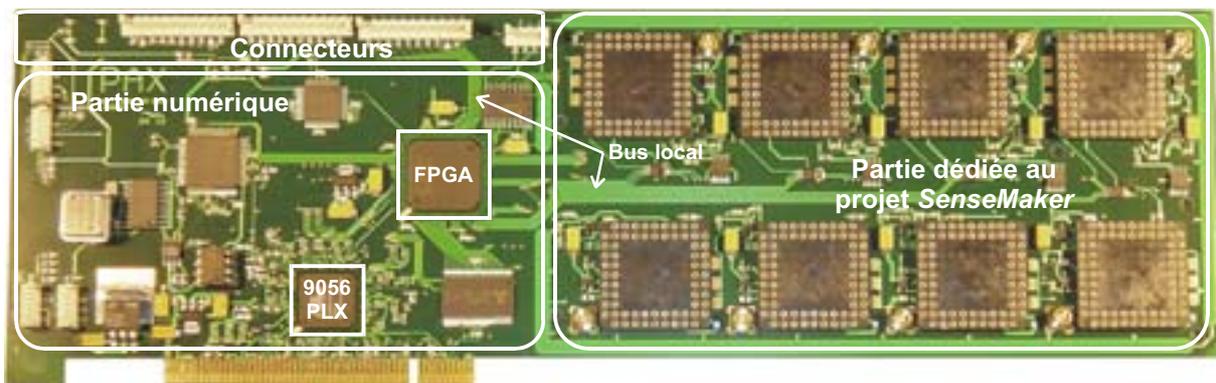


Figure 3 - 10 : Photographie de la carte PCI *PAX* développée dans le cadre du projet *SenseMaker*.

³⁶ Bien qu'il ait été donné dans le second chapitre, nous rappelons la signification de cet anglicisme : Field Programmable Gates Array. Ce terme est aussi un acronyme pour les électroniciens ; nous l'utiliserons donc en tant que tel dans la suite de ce manuscrit.

3-5-2 La carte fille *Kronos*³⁷ supportant la puce *Pamina*

La carte *PAX*, utilisée dans sa version kit de développement via les connecteurs, a permis le développement d'une carte fille appelée *Kronos*. Cette carte a été conçue pour supporter la puce *Pamina* avec pour objectif la validation et la caractérisation de la puce. Il serait fastidieux et ennuyeux pour le lecteur de décrire en détail la composition de cette carte présentée en figure 3-11. Nous nous contenterons d'une description sommaire de celle-ci.

Nous retrouvons au centre la puce *Pamina*. Autour d'elle sont organisés les deux convertisseurs numérique-analogique permettant la stimulation des deux neurones implantés dans la puce, le convertisseur numérique-analogique pour la gestion des paramètres et les connecteurs pour le lien avec la carte PCI *PAX*. A cet ensemble de fonctions, ont été ajoutés différents connecteurs d'entrées sorties pour s'assurer du bon fonctionnement de l'ensemble et effectuer quelques mesures.

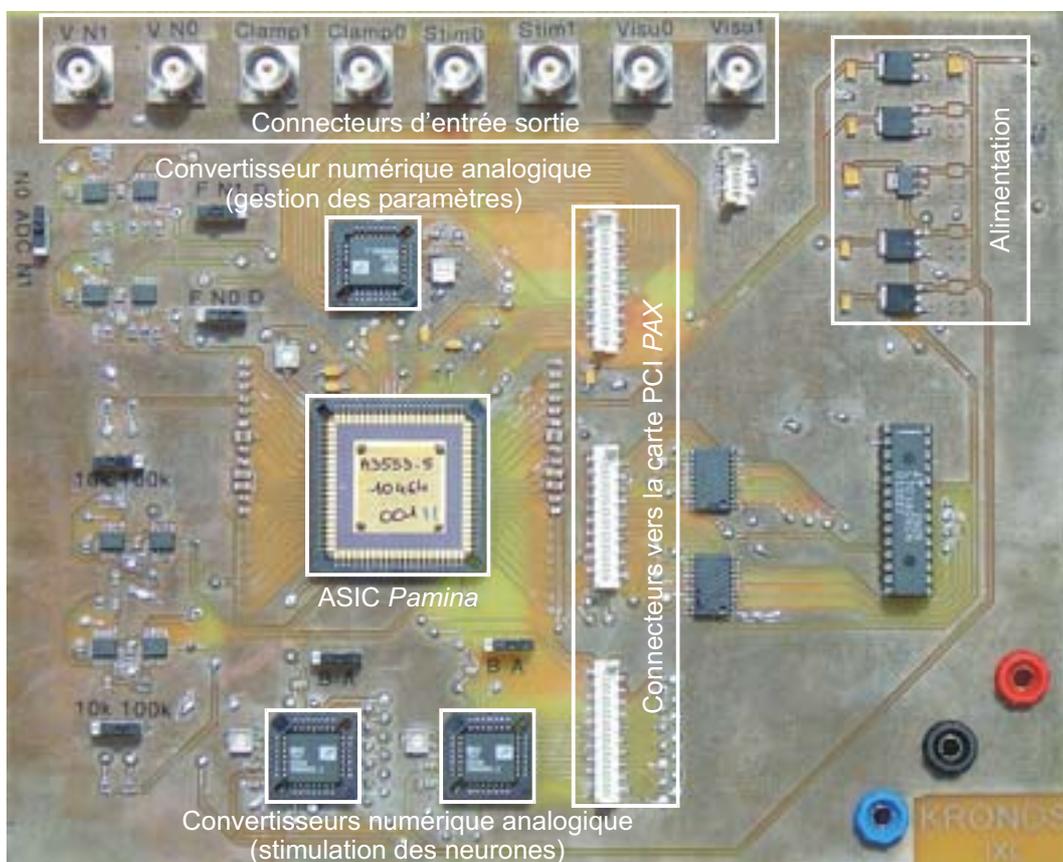


Figure 3 - 11 : Photographie commentée de la carte *Kronos*

³⁷ *Kronos* est le fils du ciel *Ouranos* et de la terre *Gaia* dans la mythologie grecque. *Kronos* est haï, au même titre que ses frères et sœurs, par leur père. Il ne les laisse pas naître et les maintient dans les entrailles de leur mère. *Kronos* va aider *Gaia* à se venger d'*Ouranos* avec une serpe qu'elle fabrique. Lors d'un rapprochement de son père et de sa mère, *Kronos* tranche, depuis les entrailles de sa mère, les testicules de son père et les jette à la mer. Sous la douleur, le ciel *Ouranos* s'écarta de la terre *Gaia* et ainsi put naître le temps *Kronos*.

3-6 La partie logicielle associée au système

Nous quittons dorénavant la partie matérielle pour nous tourner vers la partie logicielle associée au système. La description succincte – toujours dans un souci de lisibilité – de la partie logicielle sera effectuée en deux temps. Le premier consistera à décrire le pilote et les instructions en langage C qui ont été écrits pour la carte *PAX*. Le second sera une explication des fonctions numériques qui ont été implémentées dans le FPGA ; ces fonctions numériques permettent de traduire les instructions du langage C en signaux de commande pour les composants présents sur la carte *Kronos*.

3-6-1 Le pilote de la carte *PAX* et les instructions en langage C

Dans la continuité du développement de la carte *PAX*, Yannick Bornat a travaillé à l'écriture du pilote de cette carte durant sa première année de doctorat. A l'instar du développement de la carte *PAX*, je n'ai pas pris part à l'écriture du pilote. De ce fait, la description de ces fonctionnalités sera succincte et se présentera plutôt sous la forme d'une fiche technique pour les utilisateurs.

Le pilote de la carte *PAX* permet la réalisation de l'interface entre le langage C et les signaux émis par le composant PLX 9056. Les instructions qui ont été créées utilisant ce pilote sont au nombre de deux. La première permettant d'émettre depuis l'ordinateur hôte vers la carte est « poke », tandis que la seconde permettant de lire la carte depuis l'ordinateur est « peek ».

L'instruction « poke » est une instruction à communication unilatérale. Les mots d'adresse – de quinze bits – et de données – de trente deux bits – sont envoyés successivement sur le bus PCI. L'adresse et la donnée sont présentées simultanément au FPGA. Un signal appelé « Byte Enable » est aussi présenté au FPGA. Ce signal alerte le FPGA de la présence à son entrée d'une instruction nécessitant son traitement. La syntaxe de l'instruction en langage C est :

poke (adresse, donnée)

Quant à l'instruction « peek », elle est une instruction à communication bilatérale mais sans protocole d'échange avec signal d'acquiescement. Autrement dit, l'instruction présentera l'adresse de lecture à l'entrée du FPGA, ce dernier répondra en présentant la donnée à sa sortie et au cycle suivant de l'horloge du bus local, elle sera lue. Ou encore, la lecture sera effectuée sans qu'aucun signal n'alerte de la validité de la donnée présente à la sortie du FPGA. Cette particularité est un inconvénient dont il a fallu s'accommoder lors de la programmation du FPGA. Si la carte *PAX* avait été développée pour supporter la puce *Pamina*, il aurait été prévu un protocole avec signal d'acquiescement. En revanche, l'instruction de lecture est présentée au FPGA accompagnée d'un signal appelé « Output Enable ». Ce signal asynchrone permettra, avec une programmation adaptée, au FPGA de présenter la donnée dans le délai imparti, moins d'une période d'horloge. La syntaxe de l'instruction en langage C est :

peek (adresse)

3-6-2 Les fonctions implémentées dans le FPGA

Les fonctions implémentées dans le FPGA sont présentées en dernière partie de ce chapitre. La raison en est que cette partie a aussi été développée en dernier dans l'élaboration

de notre système. En effet, nous avons déterminé le cahier général du système en début de chapitre avec une approche descendante. Ensuite, nous avons cherché à y répondre avec une démarche ascendante. Or, les fonctions de plus haut niveau que nous avons utilisées n'ont pas été développées spécifiquement pour ce travail de doctorat. En toute logique, une partie de notre système va devoir faire le lien entre la partie développée pour l'application et celle qui ne l'a pas été ; elle va devoir alors répondre aux contraintes présentées par les deux parties. Pour cela, nous avons choisi la partie qui présente la plus grande flexibilité : la programmation du FPGA.

Nous présenterons dans un premier temps les outils qui ont été utilisés pour développer le programme implémenté dans le FPGA, ensuite nous définirons le comportement auquel doit répondre le FPGA, nous poursuivrons par une présentation de la structure du FPGA permettant d'atteindre le comportement souhaité et nous terminerons par la description des fonctions constituant cette structure.

QUELQUES GENERALITES SUR LES OUTILS UTILISES

L'élaboration et la synthèse des programmes implémentés dans le FPGA ont été effectuées en langage VHDL³⁸. Le langage VHDL est un standard IEEE³⁹ depuis 1987 sous la dénomination IEEE 1076-1987. Il est sujet à révision tous les cinq ans. La dernière version date de 2002 et porte la dénomination IEEE 1076-2002 ou encore VHDL-2002. Le langage VHDL permet la description des aspects les plus importants d'un système matériel – plus ou moins complexe réalisé sous la forme d'un circuit intégré ou d'un ensemble de cartes –, à savoir son comportement, sa structure et ses caractéristiques temporelles. Le comportement définit les fonctions que le système remplit ; la structure définit l'organisation du système en une hiérarchie de composants ; les caractéristiques temporelles définissent des contraintes sur le comportement du système. Un modèle VHDL est exécutable, autrement dit la simulation permet de lui appliquer des stimuli et d'observer l'évolution des signaux du modèle dans le temps. Le langage VHDL est aussi utilisé pour la synthèse, par exemple pour déterminer automatiquement un circuit optimisé à base de portes logiques à partir d'une description haut niveau ou algorithmique. Le langage VHDL possède la propriété de portabilité. Autrement dit, il est possible d'implémenter une description VHDL dans le composant ou la structure que nous souhaitons en utilisant l'outil que nous voulons – à condition bien sûr que la description en question puisse s'intégrer dans le composant choisi et que l'outil possède une entrée VHDL.

La suite logicielle utilisée pour la description et la synthèse, dans le cadre de ce travail est l'outil, nommé ISE, fourni par le fabricant de FPGAs Xilinx que nous avons choisi d'utiliser. Cette suite logicielle se compose d'outils pour la description soit par saisie en ligne soit par saisie schématique, d'un outil pour la simulation et d'un autre pour la synthèse et l'implémentation dans le composant cible.

LE COMPORTEMENT DU FPGA

La première tâche qui incombe au FPGA est le traitement des informations en provenance du composant PLX 9056 – rappelons que ce dernier fait le lien entre le bus PCI et le bus local. Les informations provenant du PLX 9056 sont de l'ordre de deux. La première permet le traitement d'une instruction d'écriture – poke(adresse, donnée) – et la seconde le traitement d'une instruction de lecture – peek (adresse).

³⁸ La notation VHDL est l'acronyme de **V**ery **H**igh **S**peed **I**ntegrated **C**ircuit, **H**ardware **D**escription **L**anguage. Il sera, comme les précédents acronymes, utilisé en tant que tel dans la suite de l'ouvrage.

³⁹ L'IEEE (Institute of Electrical and Electronics Engineers) est un organisme international qui a, parmi ses nombreuses missions, pour objectif de définir des normes pour la conception et l'usage des systèmes électriques et électroniques.

La seconde tâche que doit gérer le FPGA est la transmission vers l'ASIC de la topographie et des valeurs des paramètres des équations du formalisme d'Hodgkin et Huxley. Le protocole relatif au transfert de la topographie a été déterminé précédemment (cf. figure 3-7), tandis que, lors de la description des mémoires analogiques, nous n'avons pas établi le protocole de la gestion des paramètres, faute de connaître à ce moment là le convertisseur numérique-analogique qui serait choisi pour être associé à l'ASIC. Avant de définir la structure de cette tâche, il faudra donc établir le protocole gérant l'envoi des valeurs des paramètres vers l'ASIC.

Une troisième tâche est nécessaire pour gérer les convertisseurs numérique-analogique assurant les fonctions de stimulation des neurones.

Une quatrième tâche peut être définie pour la mise en réseau des neurones artificiels. Elle consiste à acquérir depuis le circuit intégré les potentiels d'action numérisés et en même temps de stimuler les entrées synaptiques de ce même circuit intégré. Cette fonction pour la mise en réseau n'a pas été implémentée dans le système présenté dans ce manuscrit. La raison de ce choix tient dans le fait que lors des premiers tests que nous avons effectués à la réception de la puce *Pamina*, le comportement des synapses ne s'est pas avéré satisfaisant et que nous avons conclu qu'il nous serait difficile d'envisager une mise en réseau de neurones artificiels avec cette puce. Bien entendu, nous reviendrons plus en détail dans le quatrième chapitre sur les mesures qui ont été faites et sur les conclusions qui en ont été tirées. En revanche, nous pouvons d'ores et déjà retenir la non nécessité d'avoir pour l'instant à implémenter cette cinquième tâche dans le FPGA.

LA STRUCTURE DU FPGA

La structure du FPGA découle directement de son comportement qui vient d'être défini. Commençons d'abord à illustrer la structure du FPGA par la figure 3-12.

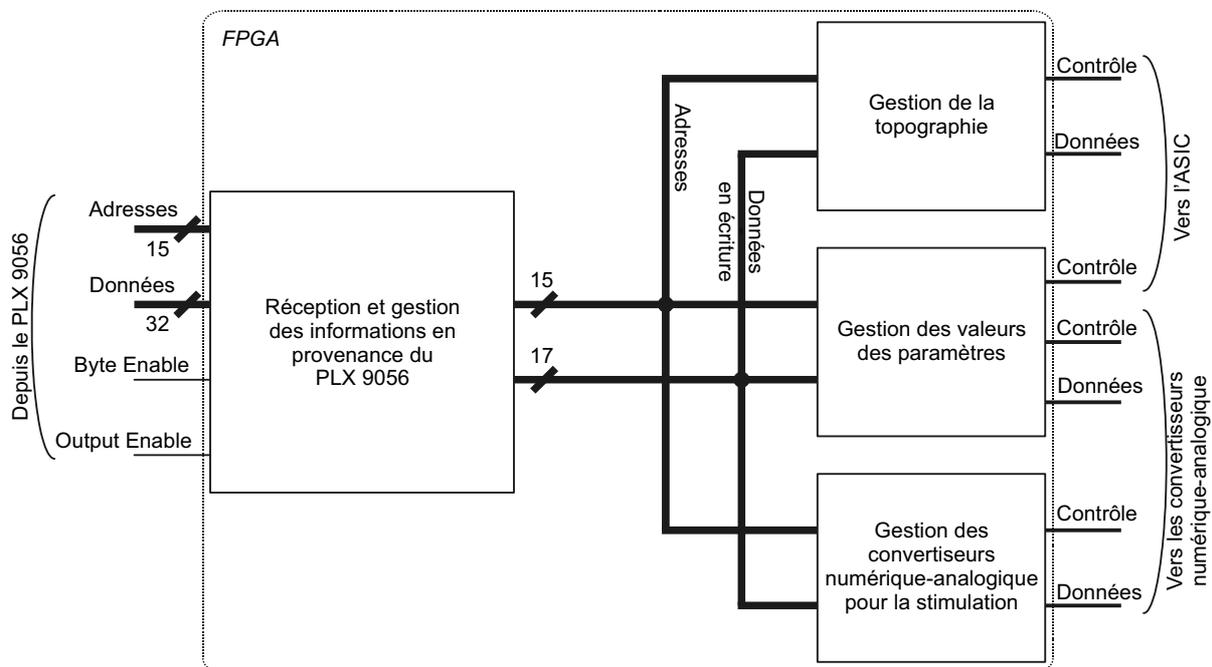


Figure 3 - 12 : La structure du FPGA

Le FPGA, via le bus local, est connecté au PLX 9056. Les signaux qui sont échangés entre ces deux composants sont ceux qui ont été précédemment cités dans la partie 3-6-1 relative au pilote de la carte *PAX*, à savoir le bus d'adresse sur quinze bits, le bus de données

sur trente deux bits, les signaux de commande « Byte Enable » et « Output Enable » respectivement pour l'écriture et la lecture.

La fonction de réception et de gestion des informations décode les signaux de contrôle et adresse ensuite les données vers la fonction concernée. Lorsqu'une adresse est reconnue par une fonction, située en aval de la fonction de réception et de gestion, au front d'horloge suivant du FPGA, elle acquiert la donnée pour ensuite la traiter. A la vue du faible nombre de fonctions à adresser vis à vis de la taille de bus d'adresses, nous avons choisi d'utiliser un bit par fonction. Les adresses des trois fonctions assurant les différentes gestions – gestion de la topographie, stimulation des noyaux de calculs et gestion des paramètres – ont été choisies comme défini dans le tableau ci-après.

Nous remarquons la présence d'une fonction qui n'a pas encore décrite jusqu'à maintenant : l'acquisition du potentiel de membrane. La technique d'optimisation est une des applications visées avec la puce *Pamina*. Cette technique n'a pas pu être mise en place de façon automatisée durant ce doctorat avec cette puce. Cependant, nous avons décidé de ne pas nous ôter cette possibilité, pour un proche avenir, avec le système en tant que tel. C'est pour cette raison que nous avons prévu une plage d'adresse dans le FPGA qui permettra l'échantillonnage du potentiel de membrane puis le transfert de ces échantillons vers l'ordinateur hôte. Ensuite, ces données seront traitées par l'ordinateur hôte avec des algorithmes appropriés à la technique d'optimisation.

Fonction	OE	Adresse														
		MSB														LSB
		A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
Acquisition du potentiel de membrane	0	1	X	X	X	X	X	X	X	X	X	X	X	X	X	X
Initialisation de la fonction gérant la topographie	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0
Chargement d'un mot de la topographie	0	0	1	0	1	0	0	0	0	0	0	0	0	0	0	0
Stimulation du neurone 0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0
Stimulation du neurone 1	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0
Ecriture de la valeur d'un paramètre à l'adresse (A7...A0)	0	0	0	0	0	0	0	1	X	X	X	X	X	X	X	X

Tableau 3 - 2 : Plages d'adresses des différentes fonctions de la structure implémentée dans le FPGA

LA GESTION DE LA TOPOGRAPHIE

La gestion de la topographie assure deux fonctions, la première est la remise à zéro du compteur des fonctions numériques internes à l'ASIC et relatives à la topographie, la seconde est l'envoi vers l'ASIC d'un mot de la topographie suivant le protocole défini à la figure 3-7. La sortie de la fonction de gestion de la topographie comporte trois broches : le signal de remise à zéro 'Res_T', le signal d'horloge 'Clk_T' et le signal de données 'Dat_T'. Les mots de données permettant la configuration des noyaux de calculs sont fournis en annexe 2.

LA GESTION DES VALEURS DES PARAMETRES

Sur le synopsis de la puce système, présenté à la figure 3-3, nous avons représenté un bus mixte à quatre voies rentrant dans l'ASIC pour gérer les paramètres. Les voies numériques étaient clairement identifiées : le signal d'horloge 'Clk_T' du séquenceur gérant les mémoires analogiques, le signal de remise à zéro de ce même séquenceur 'Res_T' et le signal autorisant la mémorisation par les cellules mémoires 'Men_P'. Comme nous l'avons précédemment expliqué, nous n'avons pas fourni le chronogramme du protocole associé car nous n'avons pas encore déterminé le convertisseur numérique-analogique qui serait

employé. Maintenant que tous les choix technologiques ont été faits, nous pouvons établir le protocole en respectant les contraintes temporelles relatives au circuit intégré et au convertisseur. Le chronogramme de ce protocole est présenté à la figure 3-13. Nous y retrouvons les trois signaux émis vers la puce et les signaux destinés au convertisseur numérique-analogique : les données numériques sur un bus de douze bits et le signal de conversion. Si le bus mixte vers la puce est de quatre voies – trois numériques et une analogique –, le bus numérique sortant du FPGA est de seize bits – trois vers la puce, douze de données et un de commande vers le convertisseur.

La gestion des paramètres assurée par la fonction implémentée dans le FPGA doit aussi permettre une programmation à tout instant des valeurs numériques de ces paramètres. Pour répondre favorablement à ce choix, nous avons choisi d'implémenter dans le FPGA une mémoire de cent cinquante huit mots de douze bits – les adresses détaillées de ces différents paramètres sont fournis en annexe 3. L'écriture dans cette mémoire est prioritaire par rapport à la lecture. Autrement dit, la lecture de la mémoire – permanente pour le rafraîchissement des mémoires analogiques – peut être interrompue à tout instant pour une écriture dans une cellule mémoire. Pour éviter les écueils dans la gestion de la mémoire du FPGA, nous avons décidé que la reprise de la lecture, après un cycle d'écriture, recommencerait au premier paramètre. De ce fait, le protocole de gestion de la lecture des paramètres débute par une remise à zéro du séquenceur interne à l'ASIC.

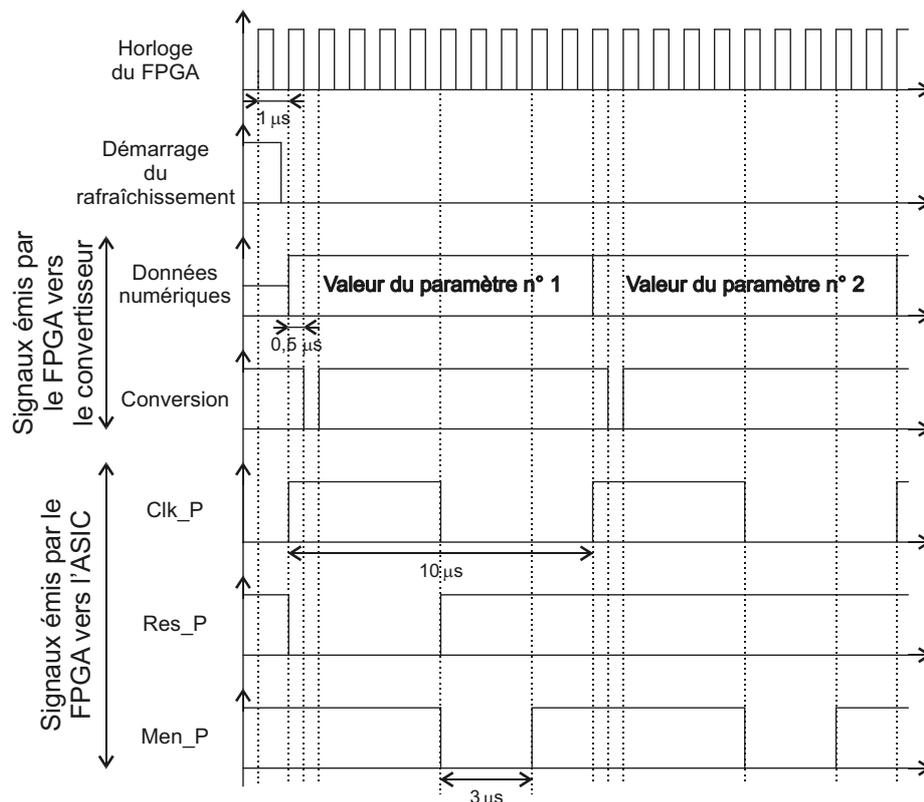


Figure 3 - 13 : Chronogramme des signaux pour la gestion de la topographie

LA GESTION DES CONVERTISSEURS NUMERIQUE-ANALOGIQUE POUR LA STIMULATION

Après les explications concernant la gestion des paramètres, nous présentons que la gestion des convertisseurs numérique-analogique pour la stimulation des deux neurones sera réalisée avec facilité. En se référant à la figure 3-13, nous ne retenons que les signaux émis par le FPGA vers le convertisseur : les données numériques et le signal de conversion. Le changement de stimulation d'un neurone n'est pas un événement qui se produit fréquemment.

Donc, afin de réduire le nombre de broches utilisées à la sortie du FPGA – et ainsi le nombre de broches des connecteurs assurant la liaison de la carte *PAX* à la carte *Kronos* – nous avons choisi d'utiliser le même bus de données de douze bits pour les deux convertisseurs. Cependant deux signaux de conversion doivent exister ; un pour chaque convertisseur faisant office de stimulateur, d'où l'existence de deux adresses distinctes dans le tableau 3-2 : h400 et h600 pour les noyaux de calcul 0 et 1.

3-7 Résumé

Nous venons de présenter le système expérimental dans son ensemble. En suivant une méthodologie descendante, nous avons d'abord défini les contraintes auxquelles devait répondre notre système. Ensuite, en suivant une démarche ascendante, nous avons proposé des solutions pour chacune des contraintes. Cela s'est traduit d'une part par l'utilisation de la bibliothèque d'opérateurs analogiques pour la constitution des canaux ioniques et d'autre part par la conception de circuits numériques ou mixtes permettant le fonctionnement de la puce (interrupteurs, détecteur de potentiel d'action, multiplexeurs-démultiplexeurs et mémoires analogiques). L'ensemble des montages a été implanté dans le second circuit intégré réalisé durant ce doctorat, la puce *Pamina*. Nous avons ensuite présenté le système, composé d'une partie matérielle et d'une partie logicielle, supportant la puce. La partie matérielle regroupe un FPGA supporté par une carte PCI et la carte fille *Kronos* dédiée à notre application. La partie logicielle est constituée du programme en langage VHDL du FPGA pour la gestion bas niveau de la puce, et des pilotes qui permettent de gérer en langage C à partir d'un ordinateur hôte l'ensemble du système.

Chapitre IV

Expériences et résultats

- « - *Je sais aussi, dit Candide, qu'il faut cultiver notre jardin.*
- *Vous avez raison, dit Pangloss ; car quand l'homme fut mis dans le jardin d'Eden, il y fut mis ut operaretur eum, pour qu'il y travaillât : ce qui prouve que l'homme n'est pas fait pour le repos.*
 - *Travaillons sans raisonner, dit Martin, c'est le seul moyen de rendre la vie supportable.*
- [...]
- *Cela est bien dit, répondit Candide, mais il faut cultiver notre jardin. »*

Voltaire

Chapitre IV	Expériences et résultats	98
4-1	Introduction	100
4-2	La mise en réseau des noyaux de calcul	100
4-2-1	Concernant les synapses	100
4-2-2	Concernant le détecteur de potentiel d'action	103
4-2-3	Discussion sur la mise en réseau	104
4-3	La technique de voltage-clamp	104
4-3-1	L'identification du canal potassium	105
4-3-2	L'identification du canal sodium	108
4-3-3	L'identification du canal de fuite	114
4-3-4	L'identification du canal modulateur	114
4-3-5	Discussion sur la technique de voltage-clamp appliquée au circuit	117
4-4	Comparatifs entre le circuit et un modèle théorique	118
4-4-1	La normalisation des neurones artificiels pour identification avec le logiciel Neuron	119
4-4-2	La comparaison du neurone inhibiteur dans le domaine temporel	120
4-4-3	Les courbes $f(I)$ des neurones inhibiteur et exciteur	121
4-4-4	Discussion sur les tests comparatifs	122
4-5	D'autres résultats complémentaires	124
4-5-1	L'activité en plateau calcique	125
4-5-2	L'activité oscillatoire	126
4-5-3	La vitesse de calcul	127
4-6	Applications à court terme	129
4-6-1	Retour sur la technique hybride	129
4-6-2	Application à la technique d'optimisation	129
4-7	Résumé	131

4-1 Introduction

Dans ce chapitre nous vérifierons le comportement de la puce *Pamina* et du système associé. Pour cela, nous nous intéresserons dans un premier temps aux fonctionnalités des synapses et du détecteur de potentiel d'action – ils permettront la mise en réseau – en les caractérisant électriquement et en discutant de leur validité à partir des mesures. Ensuite et après l'implémentation de deux modèles de neurone – interneurons toniques rapides et lents avec adaptation – que nous détaillerons par la suite, nous caractériserons les canaux ioniques qui les constituent en transposant la technique de voltage-clamp à notre circuit ; nous pourrons ainsi discuter de la validité de cette transposition. Nous poursuivrons par des tests comparatifs entre le potentiel de membrane du circuit et celui issu d'une simulation numérique utilisant les valeurs des paramètres précédemment extraites du circuit. Ces deux tests comparatifs nous mèneront à réfléchir sur les performances de notre puce. Puis nous présenterons des activités obtenues expérimentalement qui présentent des phénomènes plus complexes comme le plateau calcique et le comportement oscillatoire dû aux canaux calcium et potassium dépendant calcium. Après avoir mis en évidence les performances du circuit en ce qui concerne la vitesse de calcul, nous terminerons ce chapitre par les perspectives d'utilisation à court terme du circuit intégré d'après les résultats obtenus.

4-2 La mise en réseau des noyaux de calcul

La puce *Pamina* a été conçue pour reproduire une grande diversité d'activités électriques de neurones – biologiquement réalistes – mais aussi pour être mise en réseau. Pour cela nous avons choisi d'implanter un modèle mixte de synapse. Cette implantation est réalisée par la numérisation sur un bit des potentiels d'action et par la présence dans la puce des synapses afférentes à la cellule.

Avant d'envisager une mise en réseau de plusieurs noyaux de calcul, nous devons valider le comportement du détecteur de potentiel d'action et des générateurs de courant synaptique. Ces deux éléments constituent la suite de ce paragraphe, que nous terminerons par une discussion sur les résultats obtenus.

4-2-1 Concernant les synapses

Lors des premières mesures effectuées sur les générateurs de courant synaptique, nous n'avons pas rencontré les résultats escomptés. Avant de présenter les résultats mettant en évidence le défaut de fonctionnement de ces générateurs de courant, intéressons-nous au protocole de l'expérience qui a permis les mesures.

Dans la puce *Pamina*, nous avons configuré les noyaux de calcul 0 et 1 comme des interneurons toniques rapides⁴⁰. Sur la sortie de visualisation du noyau de calcul 0, nous avons envoyé l'image du courant d'un générateur de courant synaptique – pour observer ce

⁴⁰ La constitution et les valeurs des paramètres de ce neurone sont fournis en annexe 4.

courant nous avons branché en sortie une résistance d'une valeur d'un mégohm. Sur une première voie de l'oscilloscope, nous avons observé, l'activité électrique du noyau de calcul 1 et sur une seconde voie la sortie de visualisation de la puce. Pour obtenir une activité électrique du noyau de calcul 1, nous avons connecté le bloc de stimulation. Le protocole de l'expérience est illustré par la figure 4-1.

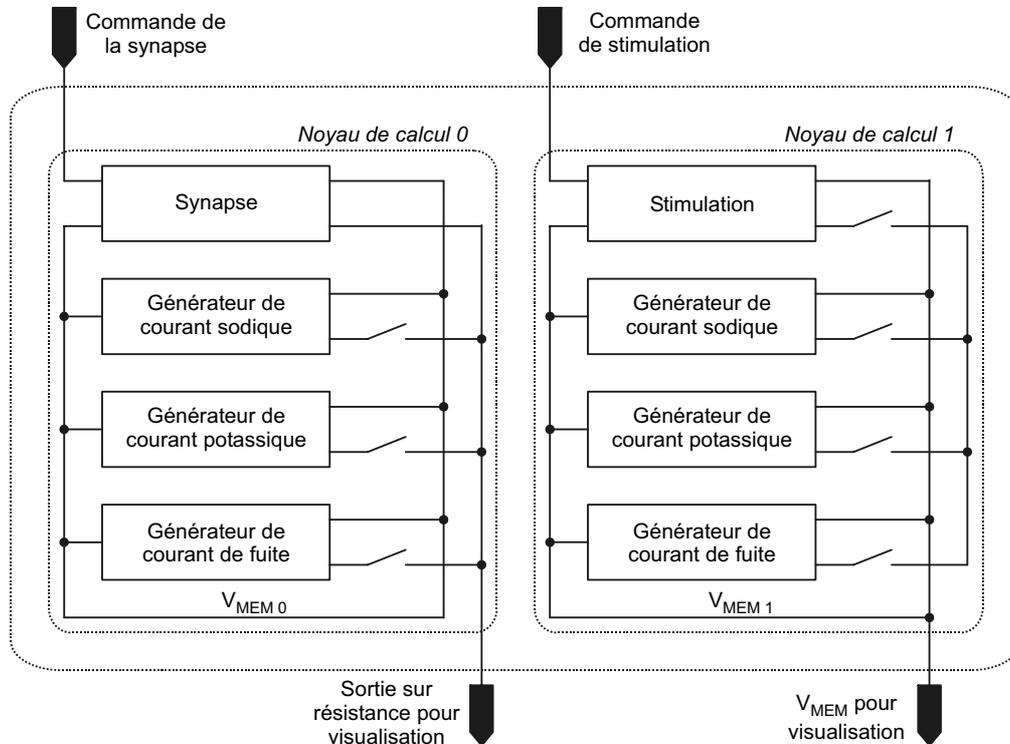


Figure 4 - 1 : Configuration de la puce Pamina pour l'expérience mettant en évidence un défaut de fonctionnement des générateurs de courant synaptique.

Cette figure laisse apparaître nettement les deux noyaux de calcul totalement isolés l'un de l'autre. Une attaque de la commande synaptique du noyau de calcul 0 par un créneau de tension d'une milliseconde devrait en toute logique n'agir que sur l'activité électrique de ce même noyau de calcul. Or les mesures, présentées à la figure 4-2, ont révélé une interaction entre les deux noyaux de calcul.

En observant la figure 4-2, deux commentaires s'imposent :

- Le premier concerne le courant synaptique représenté sur le tracé B). Nous constatons que le courant synaptique présente un saut en début de commande synaptique et un saut en fin de commande d'amplitude quasi équivalente au premier mais de signe opposé. Nous nous attendions à la réponse représentée en C). Ce dernier tracé illustre une réponse de croissance exponentielle avec une constante de temps τ_M durant la période où le créneau de tension est appliqué et ensuite à une décroissance exponentielle avec une constante de temps τ_D (cf. paragraphe 1-5-3). Donc, les sauts de courant sur le tracé B), synchronisés avec le créneau de tension, sont bien des anomalies de fonctionnement.
- Le second commentaire concerne le tracé en A) du potentiel de membrane. Nous y constatons que durant la présence d'une commande synaptique le potentiel de membrane est perturbé. La perturbation se caractérise par une diminution du potentiel de membrane.

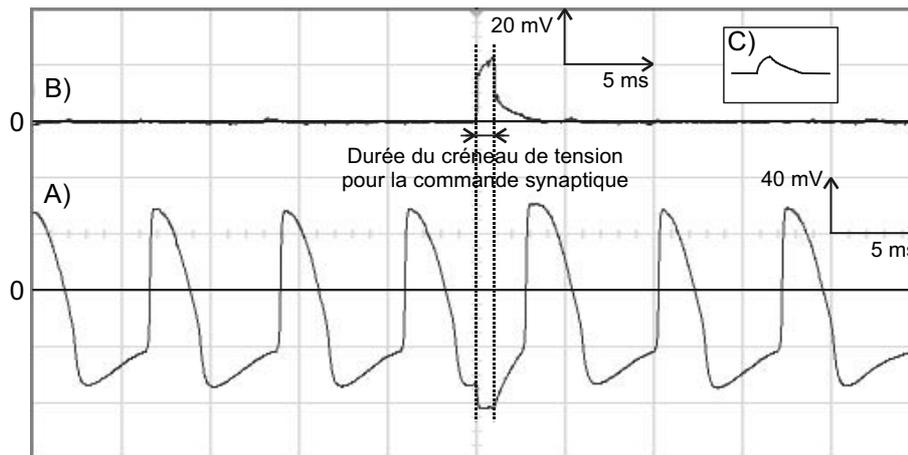


Figure 4 - 2 : Mise en évidence de l'influence d'un générateur synaptique appartenant au noyau de calcul 0 sur le potentiel de membrane d'un interneurone tonique rapide implémenté dans le noyau de calcul 1. A) Potentiel de membrane du noyau de calcul 1. B) Courant issu d'un générateur synaptique du noyau de calcul 0 débité sur une résistance d'un mégohm. C) Forme souhaitée du courant débité par la synapse.

Nous n'avons pas déterminé avec exactitude le phénomène perturbateur mis en jeu et encore moins son origine. Cependant avec quelques explications, nous aurons une idée plus précise du phénomène.

Les générateurs de courant synaptique sont les seuls générateurs de courant implantés dans la puce à posséder deux constantes de temps – τ_M et τ_D – pour la résolution de leur équation différentielle de premier ordre. Les autres fonctions cinétiques du circuit possèdent une seule constante de temps τ . Pour effectuer le calcul avec deux constantes de temps, nous avons opté pour une modification du montage présenté à la figure 2-9. Nous y avons remplacé chacun des multiplieurs en mode courant de gain $A(V_\tau)$ par deux multiplieurs en mode courant de gain $A(\tau_M)$ et $A(\tau_D)$. Le courant d'entrée de la fonction déterminant la valeur de la cinétique est orienté vers l'un ou l'autre de ces multiplieurs et son courant de sortie est récupéré grâce aux multiplexeurs-démultiplexeurs décrits au paragraphe 3-3-2. La commande de ces multiplexeurs-démultiplexeurs est le signal de commande des synapses. Ce montage est illustré à la figure 4-3. Sachant que les multiplexeurs-démultiplexeurs n'ont pas été optimisés pour effectuer des commutations douces durant un calcul analogique, nous ne pouvons pas être totalement surpris de leur dysfonctionnement dans ce cas d'application ; bien que ce dysfonctionnement n'était pas perceptible lors de la phase de simulation avec le logiciel de conception de circuits intégrés.

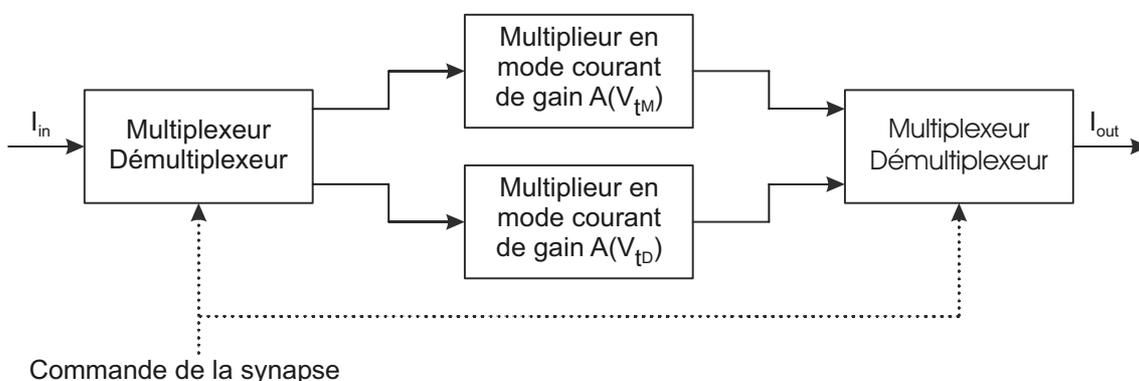


Figure 4 - 3 : Schéma de principe déterminant la valeur de la cinétique pour les générateurs des courants synaptiques

D'autres explications peuvent préciser la source éventuelle du problème. L'expérience présentée ici a été répétée plusieurs fois mais en modifiant la topographie de la puce. Les changements de topographie ont permis de mettre en jeu une ou plusieurs synapses excitatrices et/ou inhibitrices ; ces synapses ont été tantôt prises au noyau de calcul 0, tantôt au noyau de calcul 1. Ces autres expériences ont permis de mettre en évidence l'indépendance du phénomène par rapport à la localisation de la synapse dans le circuit intégré. Ces expériences ont aussi permis de montrer que la perturbation augmentait lorsque plusieurs synapses sont pilotées simultanément. Tout ceci renforce l'hypothèse d'un problème à la commutation des multiplexeurs-démultiplexeurs.

Lors d'une évolution de la puce système, il serait souhaitable de retravailler les multiplexeurs-démultiplexeurs ou encore de concevoir un autre montage pour les synapses. D'autre part, le schéma de câblage de la puce *Pamina* (cf. annexe 1) laisse apparaître un seul plot d'alimentation situé à l'opposé – en haut de la figure – de la zone où sont implantées les synapses – en bas dans la puce. Il serait alors aussi souhaitable d'avoir plusieurs plots d'alimentation pour garantir des alimentations équipotentielles pour les fonctions analogiques.

4-2-2 Concernant le détecteur de potentiel d'action

Le contrôle du bon fonctionnement du détecteur de potentiel d'action a compris la vérification de la génération d'un seul créneau de durée inférieure à celui d'un potentiel d'action, la possibilité de régler le seuil de détection sur la pleine échelle du potentiel de membrane et le réglage de la durée du créneau de détection.

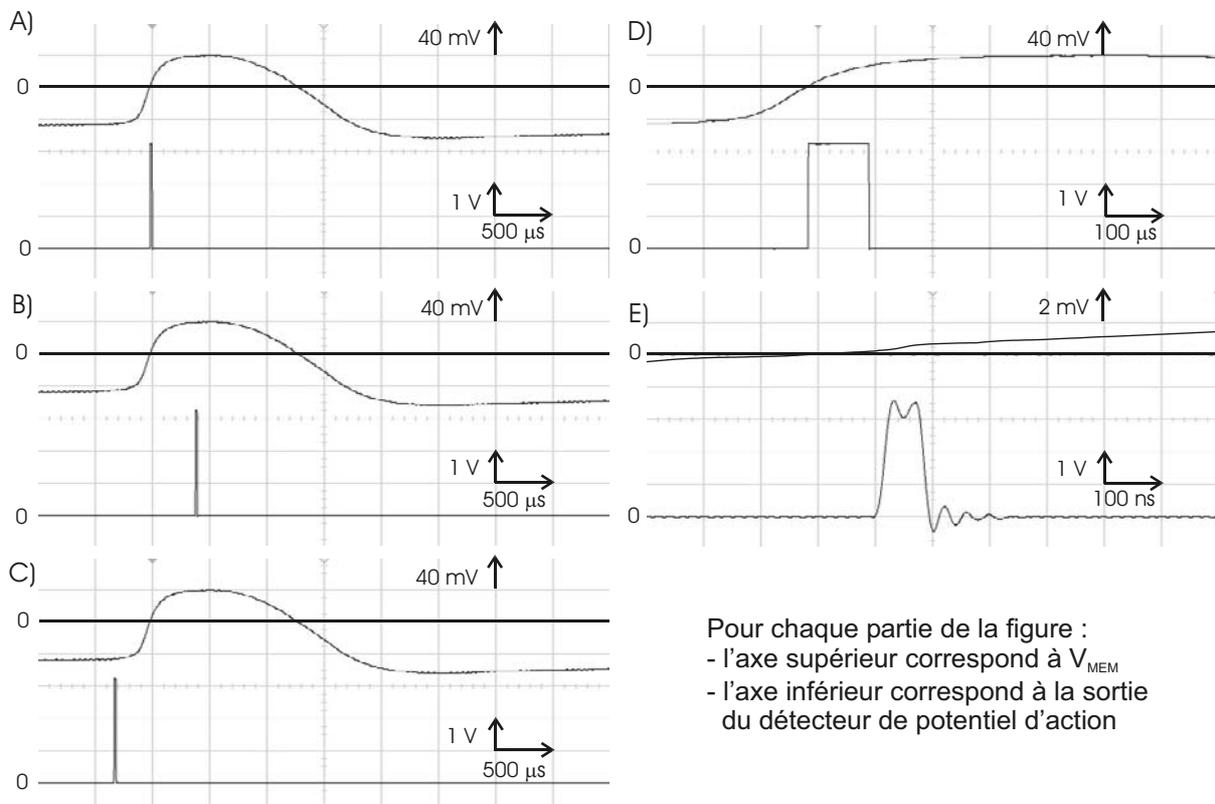


Figure 4 - 4 : Caractérisation du détecteur de potentiel d'action. A) Réglage du seuil de détection pour un passage du potentiel de membrane à 0 V. B) Réglage du seuil de détection pour le maximum du potentiel d'action. C) Réglage du seuil de détection pour le minimum du potentiel d'action. D) Génération d'un créneau de détection de durée maximale. E) Génération d'un créneau de détection de durée minimale.

La figure 4-4 illustre différents cas de figure mettant en évidence les caractéristiques du détecteur de potentiel d'action. Nous remarquons sur les cinq relevés que le détecteur ne génère qu'un seul créneau de durée inférieure à un potentiel d'action, et ce quel que soit le seuil de détection et quelle que soit la durée de ce créneau. C'est le comportement, défini au paragraphe 3-3-3, que nous attendions. Les relevés A), B) et C) montrent que le seuil de détection est réglable sur la pleine échelle d'un potentiel d'action. Cette caractéristique est aussi celle que nous souhaitions. Quant aux relevés C) et D), ils déterminent les durées minimale et maximale que peut générer le détecteur de potentiel d'action, respectivement 80 ns et 100 μ s. Cette large plage de réglage – un peu plus de trois décades – permettra d'adapter la détection des potentiels d'action aux contraintes techniques d'un futur système gérant un mini-réseau de neurones artificiels.

4-2-3 Discussion sur la mise en réseau

Les générateurs de courant synaptique ne délivrent pas un courant répondant à notre cahier des charges et en plus ils perturbent les potentiels de membrane des deux noyaux de calcul présent dans le même ASIC. Cette contre-performance ne va pas permettre de créer des mini-réseaux de neurones artificiels en l'état actuel bien que le détecteur de potentiels d'action réponde favorablement à nos attentes.

Cependant, si nous envisageons de créer des mini-réseaux de deux neurones, il est possible d'utiliser une méthode palliative. Le condensateur C_{MEM} , qui représente la capacité de membrane, est un composant discret, autrement dit externe à la puce. Donc nous pouvons y ajouter ou soustraire un courant qui représenterait un courant synaptique. Ce courant peut-être calculé par le FPGA de la carte PCI en utilisant l'approximation du terme $r(t)$ de l'équation 1-32, qui est une exponentielle, par la formule suivante :

$$\exp(x) = \sum_{n=0}^{\infty} \frac{x^n}{n!} \quad \text{équation 4 - 1}$$

La valeur binaire calculée par la formule ci-dessus sera utilisée pour calculer le courant synaptique. Ce dernier sera ensuite envoyé sur le condensateur C_{MEM} .

Cette solution avant d'être mise en place mérite d'être approfondie, notamment en ce qui concerne le pas et le quantum de calcul mais aussi son occupation en nombre de cellules logiques dans le FPGA. Mais elle permettrait d'utiliser le circuit *Pamina* jusque dans ses dernières possibilités, ce qui présenterait l'avantage de faire le point sur le cahier des charges que nous avons élaboré et envisager d'y apporter quelques modifications.

4-3 La technique de voltage-clamp

La plus ancienne technique d'extraction des paramètres des canaux ioniques a été développée par Hodgkin et Huxley [HOD 1949]. C'est grâce à cette technique, appelée voltage-imposé ou voltage-clamp, qu'ils ont pu proposer un modèle pour l'axone géant du calmar.

La technique de voltage-clamp permet l'identification tour à tour de chacun des canaux ioniques. En neurophysiologie, cette technique est rendue possible en employant des drogues spécifiques aux différents canaux ioniques ; chacune d'elle va inhiber le canal ionique pour lequel elle est destinée. Dans le cas de notre circuit, il suffira de faire débiter tour à tour les générateurs de courant ionique sur la sortie résistive pour visualisation.

Le principe de cette technique consiste à maintenir le potentiel de membrane à une valeur constante choisie par l'expérimentateur. Ensuite, l'expérimentateur porte le potentiel de membrane à une nouvelle valeur imposée et il observe la dynamique du canal ionique étudié. En répétant plusieurs fois cette expérience tout en modifiant les valeurs des potentiels imposés, l'expérimentateur obtiendra un réseau de courbes. C'est à partir de ces réseaux de courbes, qu'il pourra extraire les paramètres recherchés.

Comme il a été annoncé dans l'introduction de ce chapitre, nous allons caractériser deux implémentations de modèle de neurone dans le circuit. Cette caractérisation permettra au fur et à mesure de détailler le protocole de la technique de voltage-clamp. Les modèles retenus se basent sur le comportement de deux types d'interneurones corticaux : toniques rapides et toniques lents avec adaptation que nous appellerons par la suite respectivement et par simplification neurones inhibiteurs et neurones excitateurs. Le modèle du neurone inhibiteur possède des canaux sodique, potassique et fuite ; le neurone excitateur possède en plus des canaux calciques et potassique calcium dépendant. Ces derniers sont responsables de l'adaptation de la fréquence de décharge des potentiels d'action en fonction du courant de stimulation ; ils ont été modélisés comme un seul et même courant modulateur noté I_M [COR 1993]. Il faut rappeler que les courants I_M sont connus dans la communauté neuroscientifique comme des courants potassiques voltage et pharmino dépendants à la muscardine. Par contre dans notre cas, le courant appelé I_M modélise l'ensemble des courants d'adaptation voltage dépendants des interneurones toniques lents avec adaptation. Nous comprenons alors que ce courant qui modélise l'adaptation du patron de décharge est noté abusivement I_M , nous lui préférons la notation I_{MOD} pour modulateur de l'excitabilité. Nous retiendrons donc que le second modèle implémenté dans notre circuit pour les tests comparatifs est un neurone excitateur comprenant des canaux sodique, potassique, fuite et modulateur⁴¹. Nous terminerons ce paragraphe par une discussion sur l'application de la technique de voltage pour l'extraction des paramètres de notre circuit.

Toutes les mesures qui sont présentées dans ce paragraphe sont à l'échelle du circuit. La conversion des grandeurs physiques du circuit au format biologique sera exposée dans le prochain paragraphe. Retenons pour l'instant que les tensions du circuit ont été multipliées par cinq par rapport à leur équivalence biologique.

4-3-1 L'identification du canal potassium

Nous débuterons par l'identification du canal potassium. Ce dernier possède un terme d'activation et aucun d'inactivation. Cette caractéristique rend moins complexe le protocole d'identification, ce qui permettra de nous familiariser avec la technique de voltage-clamp. Avant de débiter la recherche des paramètres, nous rappelons l'expression mathématique du courant potassique :

$$I_K = \bar{g}_K \cdot n^4 \cdot (V_{MEM} - E_K) \quad \text{équation 4 - 2}$$

Les mesures relatives à ce canal ionique sont présentées à la figure 4-5. Nous y retrouvons dans la partie supérieure A) le comportement dynamique du canal potassium face aux stimuli présentés dans la partie inférieure B).

⁴¹ Les valeurs des paramètres du neurone excitateur sont fournis en annexe 4 avec ceux du neurone inhibiteur.

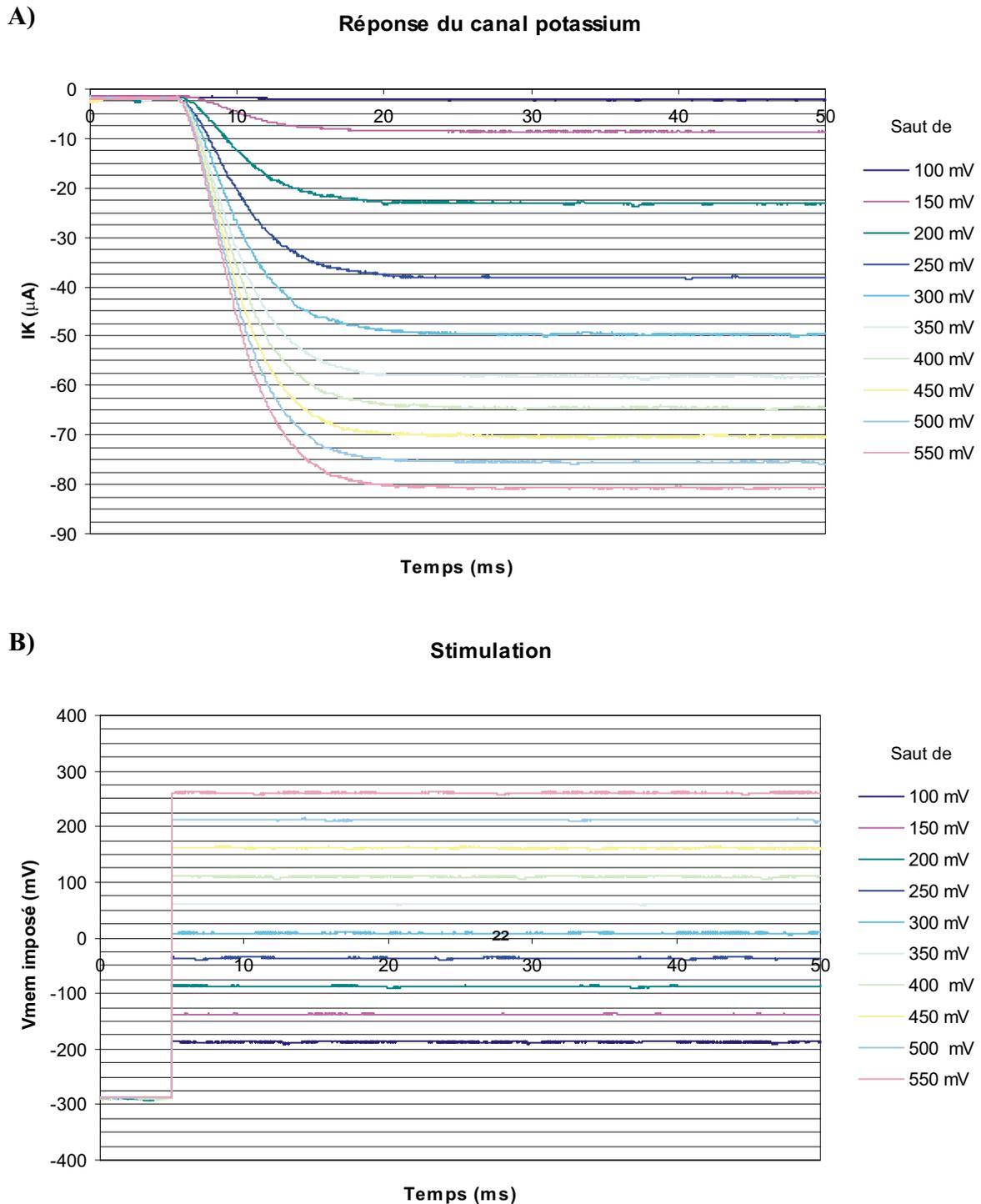


Figure 4 - 5 : Voltage-imposé pour l'identification du canal potassium. A) Réseau de courbes caractérisant la dynamique du canal potassium pour différentes stimulations. B) Stimulations effectuées par différents sauts de tensions - les tensions du circuit sont multipliées par cinq par rapport à leur équivalent biologique.

RECHERCHE DE $\overline{g_K}$ ET E_K

Nous remarquons à la figure 4-5 partie A) une modification du réseau de courbes pour les stimulations présentant les plus grands sauts de potentiels imposés. Les écarts entre les courbes en régime permanent – $t > 30$ ms – relatives aux sauts de potentiels de 400 mV, 450 mV, 500 mV et 550 mV semblent constants. Cela s'explique en s'appuyant sur l'équation 4-2 et en supposant que tout le canal potassique est activé après un saut de potentiel imposé ayant pour valeur finale un potentiel supérieur à 100 mV – en se rappelant que les tensions du circuit sont multipliées par cinq, cela revient à avoir un potentiel de membrane biologique supérieur à vingt millivolts. Autrement dit, pour les valeurs de potentiels imposés de forte valeur positive nous considérons que $n_\infty = 1$ et lorsque le régime permanent est établi, $n = 1$. L'équation 4-2 devient alors :

$$I_K = \overline{g_K} \cdot (V_{MEM} - E_K) \quad \text{équation 4 - 3}$$

En traçant le courant I_K en régime permanent par rapport au potentiel de membrane, nous obtenons la figure 4-6. Nous pouvons alors calculer la droite de régression linéaire et obtenir les valeurs pour le potentiel d'équilibre et la conductance maximale du potassium.

$$\begin{cases} E_K = -493 \text{ mV} \\ \overline{g_K} = 107,2 \mu\text{S} \end{cases} \quad \text{équation 4 - 4}$$

A)

Saut de (mV)	Vmem (mV)	I_K (μA)
400	109,9	-64,5
450	161,4	-70,3
500	212,4	-75,5
550	260,9	-80,7

B)

$I_K(V_{mem})$ en régime permanent

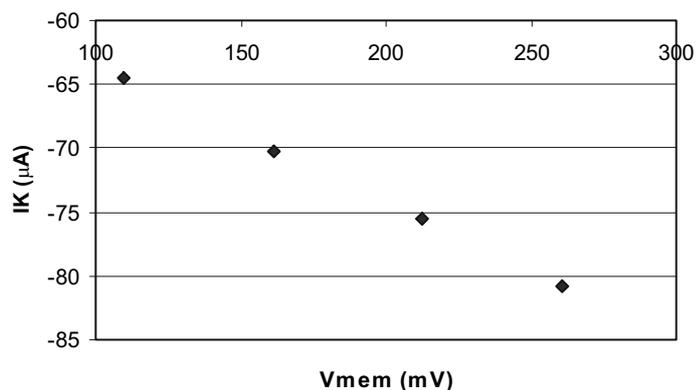


Figure 4 - 6 : Tracé du courant I_K par rapport au potentiel de membrane imposé en régime permanent dans le cas où tout le canal est activé. A) Tableau des valeurs. B) Représentation graphique.

RECHERCHE DU TERME D'ACTIVATION

En réorganisant l'équation 4-2, nous pouvons écrire dans le cas du régime permanent :

$$n_\infty = \left(\frac{I_K}{\overline{g_K} \cdot (V_{MEM} - E_K)} \right)^{1/4} \quad \text{équation 4 - 5}$$

Puisque toutes les valeurs numériques du terme de droite de l'équation ci-dessus sont connues, nous pouvons tracer $n_\infty(V_{MEM})$ à la figure 4-7.

A)

Saut de (mV)	Vmem (mV)	n_{∞}
100	-187,3	0,506
150	-137,9	0,689
200	-87,3	0,854
250	-36,8	0,940
300	8,4	0,980
350	61,1	0,995
400	109,9	1,000
450	161,4	1,001
500	212,4	1,000
550	260,9	1,000

B)

Activation du canal potassium

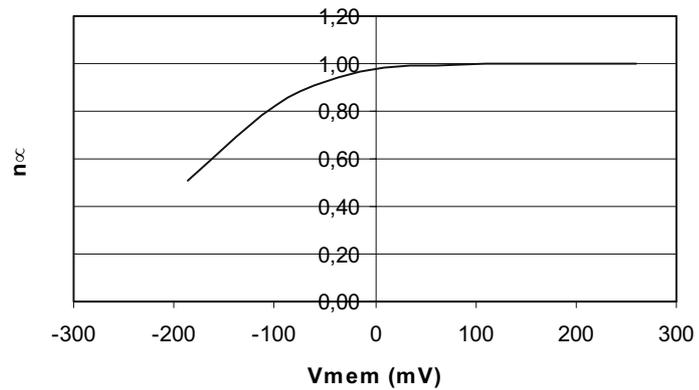


Figure 4 - 7 : Tracé du terme d'activation du canal potassium en régime permanent par rapport au potentiel de membrane imposé. A) Tableau des valeurs. B) Représentation graphique.

De cette figure, nous obtenons les valeurs des paramètres V_{OFFSET} et V_{PENTE} du régime permanent du terme d'activation du canal potassium (cf. équation 1-22) :

$$\begin{cases} V_{\text{OFFSET}} = -186,7 \text{ mV} \\ V_{\text{PENTE}} = 56,4 \text{ mV} \end{cases} \quad \text{équation 4 - 6}$$

RECHERCHE DE LA CINÉTIQUE D'ACTIVATION

La méthode pour trouver la cinétique d'activation doit s'appuyer sur l'expression temporelle [HOD 1952e] du terme d'activation :

$$n = \left(1^{1/4} - 1^{1/4} \cdot \exp\left(-\frac{t}{\tau}\right) \right)^4 = \left(1 - \exp\left(-\frac{t}{\tau}\right) \right)^4 \quad \text{équation 4 - 7}$$

Si nous nous plaçons à $t = 2\tau$, alors $n = 0,559 \cdot n_{\infty}$. En réinjectant ce point particulier dans l'équation 4-2, nous pouvons identifier sur la figure 4-6 partie A) la cinétique d'activation :

$$\tau = 2,5 \text{ ms} \quad \text{équation 4 - 8}$$

4-3-2 L'identification du canal sodium

Nous poursuivons la technique de voltage-clamp par l'identification du canal sodium. Nous rappelons son expression mathématique à l'équation 4-9.

$$I_{\text{Na}} = \overline{g_{\text{Na}}} \cdot m^3 \cdot h \cdot (V_{\text{MEM}} - E_{\text{Na}}) \quad \text{équation 4 - 9}$$

La présence d'un terme d'activation et d'inactivation oblige à effectuer cette fois-ci deux séries de mesures pour la recherche des différents paramètres. Avec la première série, nous identifierons la conductance maximale, le potentiel d'équilibre, le terme d'activation et sa cinétique. De la seconde série, nous extrairons le terme d'inactivation et sa cinétique.

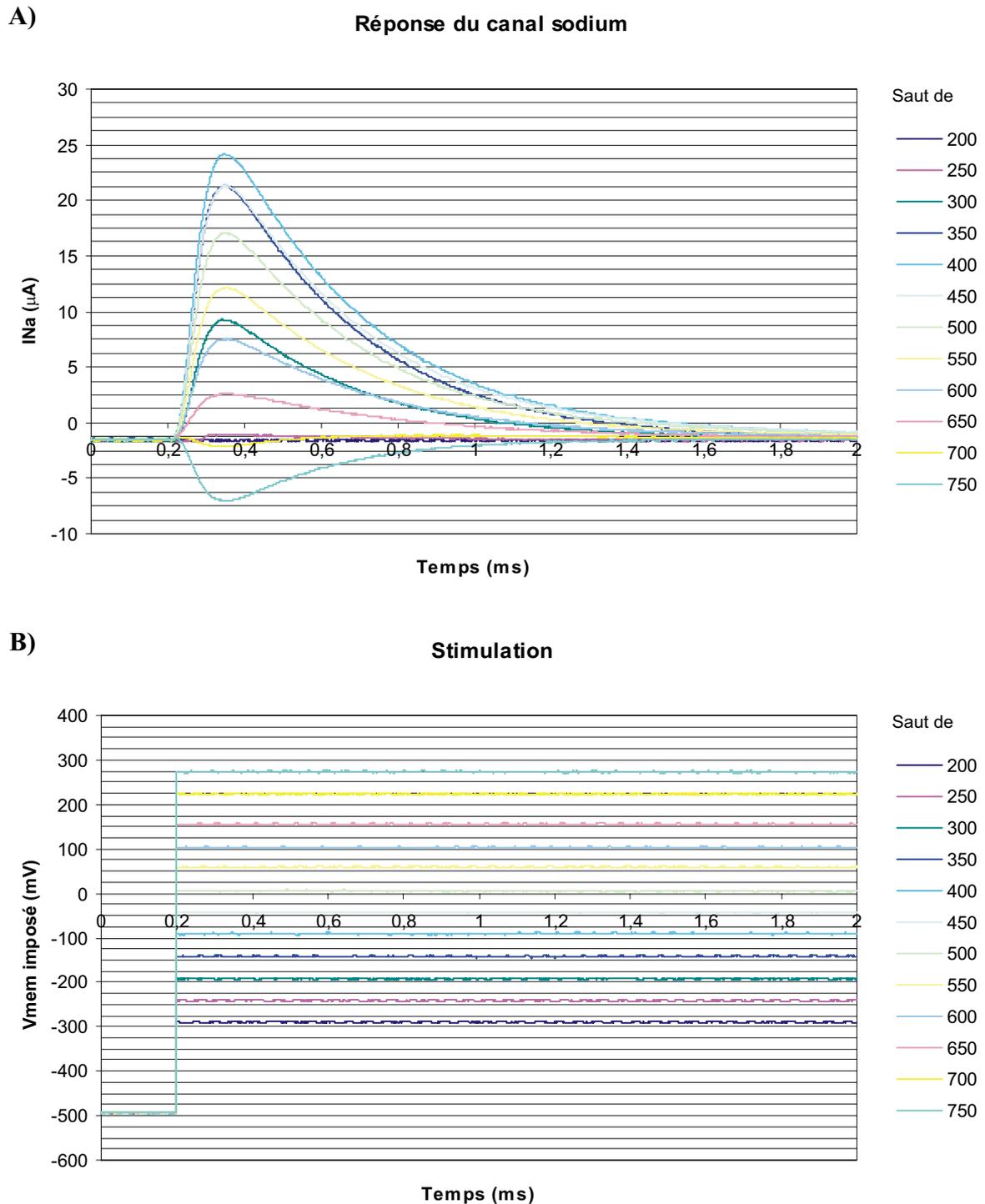


Figure 4 - 8 : Voltage-imposé pour l'identification de l'activation du canal sodium. A) Réseau de courbes caractérisant la dynamique du canal sodium pour différentes stimulations. B) Stimulations effectuées par différents sauts de tensions – les tensions du circuit sont multipliées par cinq par rapport à leur équivalent biologique.

D'après le tableau 1-5, nous savons que les cinétiques d'activation et d'inactivation du canal sodium sont situées dans des gammes de valeurs différentes d'une décade. Dans le réseau de courbes de mesures présenté à la figure 4-8 partie A), nous supposons que la montée du courant sodium est la réponse du terme d'activation et parce que la cinétique d'inactivation est plus lente, cette réponse n'est pas encore pondérée par le terme d'inactivation. Nous considérons aussi que le maximum du courant correspond au régime permanent du terme d'activation, c'est-à-dire $m = m_{\infty}$.

RECHERCHE DE $\overline{g_{Na}}$ ET E_{Na}

Si nous nous plaçons dans le cas des stimulations ayant les plus grands sauts de potentiels imposés – 500 mV, 550 mV, 600 mV, 650 mV, 700 mV et 750 mV sur la figure 4-8 partie B) – nous pouvons supposer que l'activation du canal est complète. Autrement dit, nous arrivons à l'hypothèse que le courant maximal délivré n'est fonction ni du terme d'activation ni du terme d'inactivation. Dans ces conditions, l'expression du courant devient alors :

$$I_{Na \text{ max}} = \overline{g_{Na}} \cdot (V_{MEM} - E_{Na}) \quad \text{équation 4 - 10}$$

En traçant le courant I_{Na} maximal par rapport au potentiel de membrane, nous obtenons la figure 4-9. Le calcul de la droite de régression linéaire nous permet d'extraire les valeurs du potentiel d'équilibre et la conductance maximale du sodium :

$$\begin{cases} E_{Na} = 193 \text{ mV} \\ \overline{g_{Na}} = 83,7 \mu\text{S} \end{cases} \quad \text{équation 4 - 11}$$

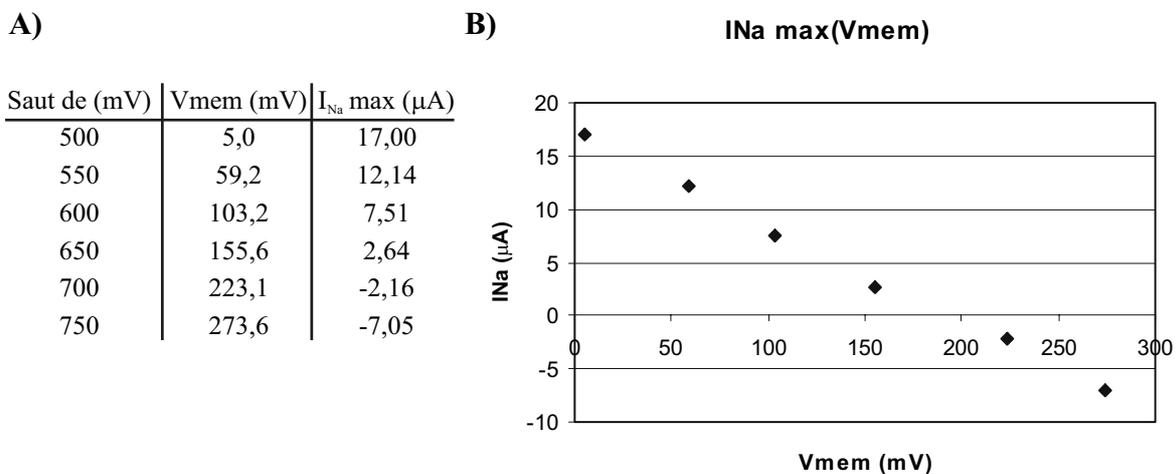


Figure 4 - 9 : Tracé du courant I_{Na} maximal par rapport au potentiel de membrane imposé.
A) Tableau des valeurs. B) Représentation graphique.

RECHERCHE DU TERME D'ACTIVATION

L'hypothèse émise sur les cinétiques d'activation et d'inactivation sous-entend que le courant maximal délivré par le canal sodique dans notre expérience est la réponse du terme d'activation dans son régime permanent. En réorganisant l'équation 4-9, nous pouvons alors écrire dans ce cas :

$$m_{\infty} = \left(\frac{I_{Na \max}}{g_{Na} \cdot (V_{MEM} - E_{Na})} \right)^{1/3} \quad \text{équation 4 - 12}$$

Toutes les valeurs numériques du terme de droite de l'équation ci-dessus étant connues, nous pouvons tracer $m_{\infty}(V_{MEM})$ à la figure 4-10.

A)

Saut de (mV)	Vmem (mV)	m_{∞}
300	-192,5	0,659
350	-141,5	0,913
400	-90,6	0,996
450	-43,4	0,999
500	5,0	1,002
550	59,2	1,005
600	103,2	0,999
650	155,6	0,999
700	223,1	0,998
750	273,6	1,002

B)

Activation du canal sodium

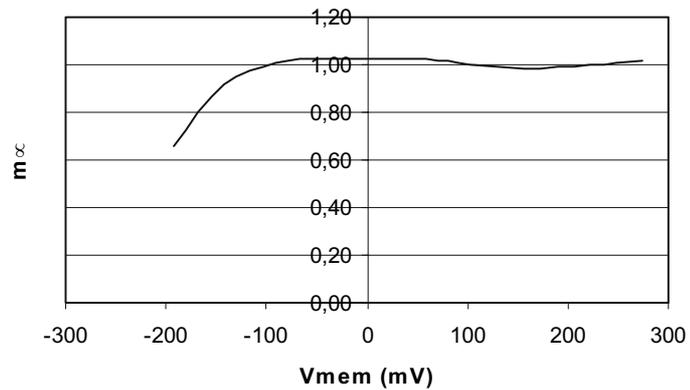


Figure 4 - 10 : Tracé du terme d'activation quand I_{Na} est maximal par rapport au potentiel de membrane imposé. A) Tableau des valeurs. B) Représentation graphique.

De cette figure, nous obtenons les valeurs des paramètres V_{OFFSET} et V_{PENTE} du régime permanent du terme d'activation du canal sodique :

$$\begin{cases} V_{OFFSET} = -211,8 \text{ mV} \\ V_{PENTE} = 29,3 \text{ mV} \end{cases} \quad \text{équation 4 - 13}$$

RECHERCHE DE LA CINÉTIQUE D'ACTIVATION

Là aussi pour trouver la cinétique d'activation nous nous appuyons sur l'expression temporelle du terme d'activation :

$$m = \left(1^{1/3} - 1^{1/3} \cdot \exp\left(-\frac{t}{\tau}\right) \right)^3 = \left(1 - \exp\left(-\frac{t}{\tau}\right) \right)^3 \quad \text{équation 4 - 14}$$

Si nous nous plaçons à $t = 2\tau$, alors $m = 0,646 \cdot m_{\infty}$. En réinjectant ce point particulier dans l'équation 4-9, nous pouvons identifier sur la figure 4-8 partie A) la cinétique d'activation :

$$\tau = 0,037 \text{ ms} \quad \text{équation 4 - 15}$$

RECHERCHE DU TERME D'INACTIVATION

La recherche du terme d'inactivation nécessite une deuxième série de mesures. Cette fois-ci, la stimulation ne sera pas une série de sauts de potentiels imposés d'amplitude croissante qui partent tous d'un même potentiel mais elle sera une série de sauts de potentiels imposés qui partent tous de potentiels différents pour aller vers un même potentiel. Ce protocole est présenté à la figure 4-11 partie B).

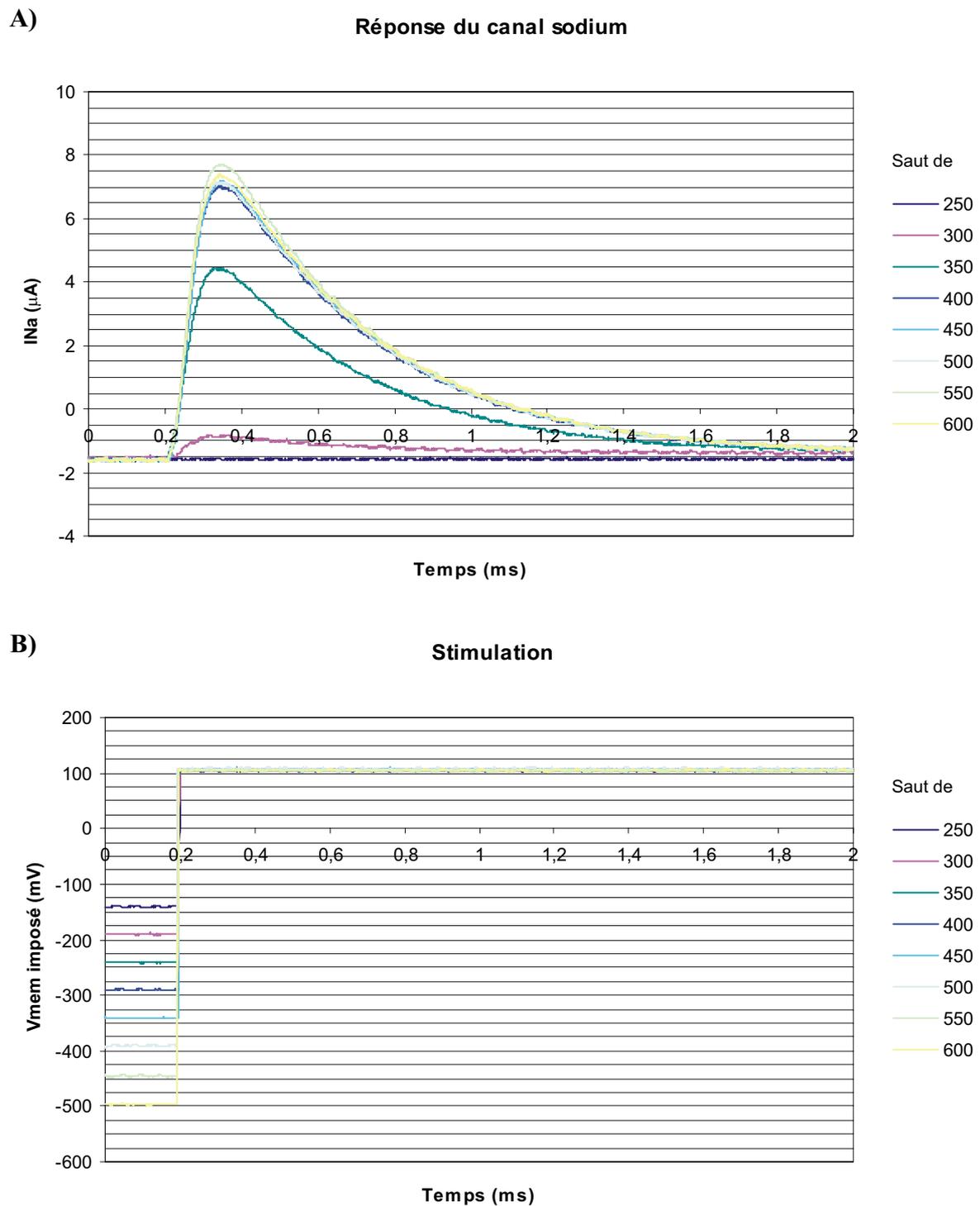


Figure 4 - 11 : Voltage-imposé pour l'identification du terme d'inactivation du canal sodium. A) Réseau de courbes caractérisant la dynamique du canal sodium pour différentes stimulations. B) Stimulations effectuées par différents sauts de tensions - les tensions du circuit sont multipliées par cinq par rapport à leur équivalent biologique.

Le réseau de courbes de la figure 4-11 partie A) est la réponse du canal sodique aux stimuli. En conservant encore les hypothèses précédentes sur les cinétiques d'activation et d'inactivation, cette réponse représente l'activation de la proportion du canal sodique qui n'est pas inactivée initialement par le potentiel imposé – nous n'avons pas évoqué cette hypothèse lors de l'identification du terme d'activation car les stimulations démarraient d'un potentiel imposé fortement négatif où tout le canal est non inactivé. Si le potentiel imposé final est suffisamment positif – d'après l'identification du régime permanent du terme d'activation, pour $V_{MEM} > 0$ mV – alors l'activation sera complète. Autrement dit, le courant maximal atteint par le canal sodique dans ces conditions d'expérimentation caractérise l'activation de la proportion du canal non inactivée avant le saut de potentiels imposés. De l'équation 4-9, nous pouvons alors écrire :

$$h_{\infty} = \frac{I_{Na\max}}{g_{Na} \cdot (V_{MEM} - E_{Na})} \tag{équation 4 - 16}$$

Parce que nous connaissons les valeurs du potentiel d'équilibre et de la conductance maximale du canal sodique, nous pouvons tracer à la figure 4-12 le régime permanent de l'inactivation en fonction du potentiel imposé avant saut. De cette figure, nous obtenons les termes V_{OFFSET} et V_{PENTE} du régime permanent du terme d'inactivation du canal sodium :

$$\begin{cases} V_{OFFSET} = -231,7 \text{ mV} \\ V_{PENTE} = 19,0 \text{ mV} \end{cases} \tag{équation 4 - 17}$$

A)

Saut de (mV)	Vmem (mV)	h_{∞}
250	-140,7	0,010
300	-189,7	0,100
350	-240,2	0,610
400	-290,1	0,962
450	-341,0	0,983
500	-378,6	0,994
550	-437,9	1,031
600	-487,5	1,005

B)

Inactivation du canal sodium

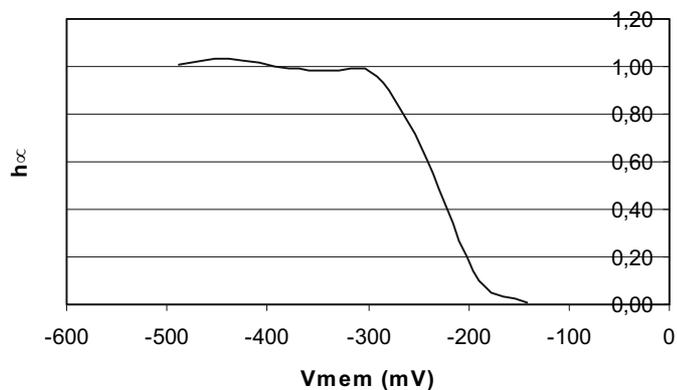


Figure 4 - 12 : Tracé du terme d'inactivation quand I_{Na} est maximal par rapport au potentiel de membrane imposé. A) Tableau des valeurs. B) Représentation graphique.

RECHERCHE DE LA CINETIQUE D'INACTIVATION

Le terme d'inactivation étant élevé à la puissance unitaire, l'identification de sa cinétique peut se faire par une méthode traditionnelle d'extraction de la constante de temps dans une réponse exponentielle. Si nous nous plaçons à $t = \tau$, alors $h = 0,632 \cdot h_{\infty}$, en utilisant ce point particulier, nous pouvons identifier sur la figure 4-11 partie A) la cinétique d'inactivation :

$$\tau = 0,42 \text{ ms} \tag{équation 4 - 18}$$

4-3-3 L'identification du canal de fuite

Le troisième canal que nous avons à identifier est le canal de fuite. Son expression mathématique est donnée à l'équation 4-19.

$$I_{\text{Fuite}} = \overline{g_{\text{Fuite}}} \cdot (V_{\text{MEM}} - E_{\text{Fuite}}) \quad \text{équation 4 - 19}$$

RECHERCHE DE $\overline{g_{\text{Fuite}}}$ ET E_{Fuite}

L'identification de ces deux paramètres se fera à l'aide d'une série de mesures du courant de fuite par rapport à un potentiel imposé. Ces mesures sont présentées à la figure 4-13.

A)

Vmem (mV)	I _{Fuite} (nA)
-189	-233,2
-140	-260,5
-91	-288,3
-41	-314,1
6	-340,1
58	-370,8
107	-395,4
157	-422,0
203	-445,0
254	-469,9

B)

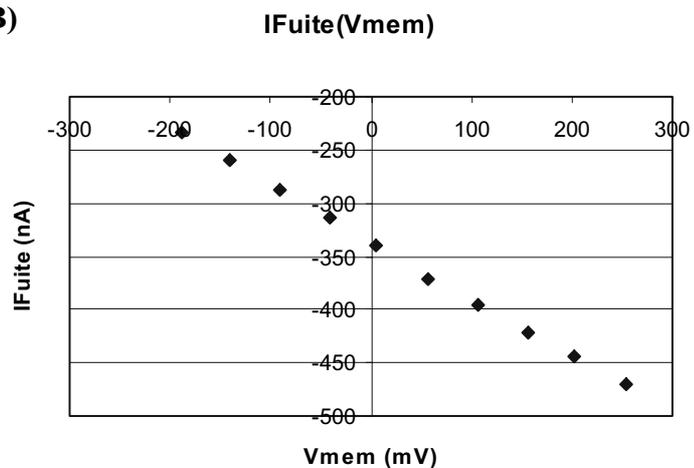


Figure 4 - 13 : Tracé du courant I_{Fuite} par rapport au potentiel de membrane imposé. A) Tableau des valeurs. B) Représentation graphique.

Le calcul de la droite de régression linéaire nous permet d'extraire les valeurs du potentiel d'équilibre et la conductance maximale du canal de fuite :

$$\begin{cases} E_{\text{Fuite}} = -626 \text{ mV} \\ \overline{g_{\text{Fuite}}} = 0,538 \mu\text{S} \end{cases} \quad \text{équation 4 - 20}$$

4-3-4 L'identification du canal modulateur

Le quatrième canal ionique à identifier est le canal modulateur du neurone exciteur. Son expression mathématique est similaire à celle du canal potassique :

$$I_{\text{MOD}} = \overline{g_{\text{MOD}}} \cdot m \cdot (V_{\text{MEM}} - E_{\text{MOD}}) \quad \text{équation 4 - 21}$$

Le protocole d'extraction des paramètres de ce canal sera alors identique à celui du potassium. Le tracé du réseau de courbes associé aux mesures effectuées sur ce canal est représenté à la figure 4-14.

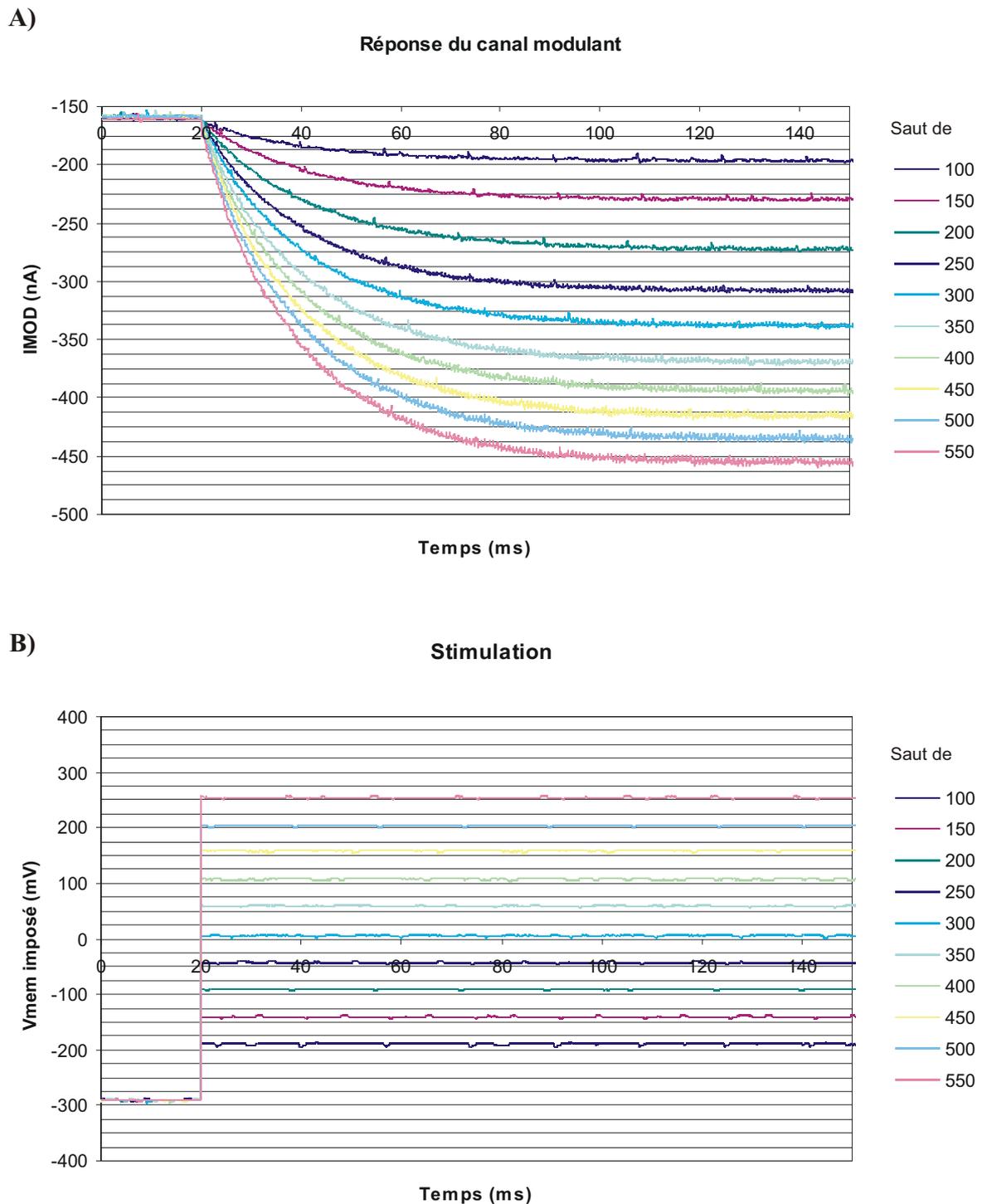


Figure 4 - 14 : Voltage-imposé pour l'identification du canal modulateur. A) Réseau de courbes caractérisant la dynamique du canal modulateur pour différentes stimulations. B) Stimulations effectuées par différents sauts de tensions - les tensions du circuit sont multipliées par cinq par rapport à leur équivalent biologique.

RECHERCHE DE $\overline{g_{MOD}}$ ET E_{MOD}

En nous plaçant dans les conditions adéquates – régime permanent et sauts de potentiels imposés de valeurs finales très positives – nous pouvons représenter à la figure 4-15 le tracé du courant du canal modulateur par rapport au potentiel imposé.

Nous pouvons alors calculer la droite de régression linéaire et obtenir les valeurs pour le potentiel d'équilibre et la conductance maximale du canal modulateur :

$$\begin{cases} E_{MOD} = -844 \text{ mV} \\ \overline{g_{MOD}} = 0,414 \mu\text{S} \end{cases} \quad \text{équation 4 - 22}$$

A)

Saut de (mV)	Vmem (mV)	I _{MOD} (nA)
400	107,4	-393,8
450	158,3	-415,4
500	203,5	-434,6
550	254,9	-454,8

B)

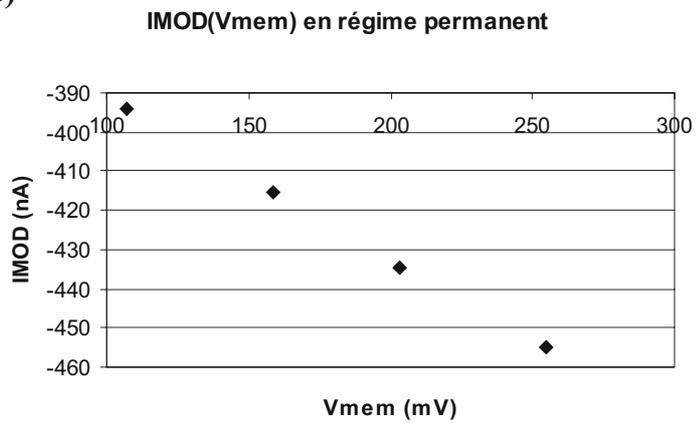


Figure 4 - 15 : Tracé du courant I_{MOD} par rapport au potentiel de membrane imposé en régime permanent dans le cas où tout le canal est activé. A) Tableau des valeurs. B) Représentation graphique.

A)

Saut de (mV)	Vmem (mV)	m _∞
100	-189,8	0,724
150	-141,0	0,789
200	-91,8	0,875
250	-42,5	0,929
300	5,7	0,961
350	59,2	0,987
400	107,3	0,999
450	158,3	1,000
500	203,6	1,001
550	254,9	0,999

B)

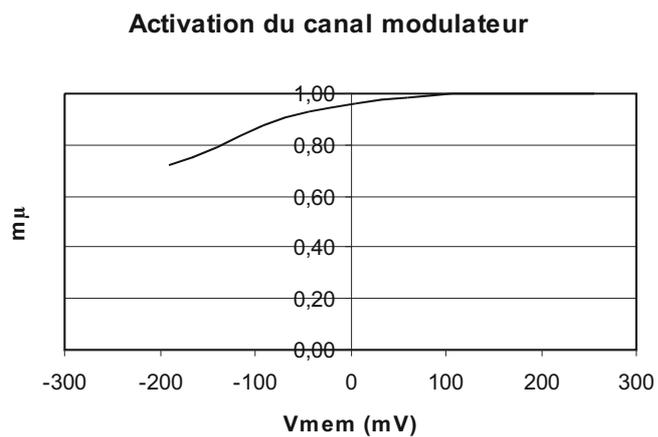


Figure 4 - 16 : Tracé du terme d'activation du canal modulateur en régime permanent par rapport au potentiel de membrane imposé. A) Tableau des valeurs. B) Représentation graphique.

RECHERCHE DU TERME D'ACTIVATION

En poursuivant toujours le même protocole que pour le canal potassique, nous extrayons du tracé de $m_{\infty}(V_{MEM})$ présenté à la figure 4-16 les termes V_{OFFSET} et V_{PENTE} du régime permanent du terme d'activation :

$$\begin{cases} V_{OFFSET} = -269,6 \text{ mV} \\ V_{PENTE} = 89,0 \text{ mV} \end{cases} \quad \text{équation 4 - 23}$$

RECHERCHE DE LA CINÉTIQUE D'ACTIVATION

Le terme d'activation du canal modulateur est élevé à la puissance unitaire, donc si nous nous plaçons à $t = \tau$ nous aurons $m = 0,632 \cdot m_{\infty}$, soit d'après la figure 4-14 partie A) :

$$\tau = 19 \text{ ms} \quad \text{équation 4 - 24}$$

4-3-5 Discussion sur la technique de voltage-clamp appliquée au circuit

Pour effectuer les mesures, il est nécessaire de mettre en place une série de mesures pour chaque canal voire même deux en ce qui concerne les canaux présentant un terme d'activation et un terme d'inactivation. Il est ensuite nécessaire de traiter toutes les mesures manuellement pour extraire les valeurs des paramètres.

Pour donner un ordre de grandeur sur la précision de l'extraction des paramètres par la technique de voltage-clamp appliquée à notre circuit, comparons les valeurs des potentiels de demi-activation, de demi-inactivation et d'équilibre des différents canaux ioniques qui viennent d'être caractérisés⁴². Pour établir le tableau 4-1, nous nous sommes appuyés sur les valeurs programmées des paramètres des neurones inhibiteur et excitateur (cf. annexe 4) et sur les valeurs extraites du circuit que nous avons ensuite converties à l'échelle biologique en les divisant par cinq (coefficient applicable uniquement aux tensions).

Type de canal	Paramètre	Valeur programmée	Valeur mesurée	Valeur mesurée à l'échelle biologique
Sodium	V_{OFFSET} activation	-37 mV	-211,8 mV	-42,4 mV
	V_{OFFSET} inactivation	-42 mV	-231,7 mV	-46,3 mV
	Potentiel d'équilibre	50 mV	193 mV	38,6 mV
Potassium	V_{OFFSET} activation	-37 mV	-186,7 mV	-37,3 mV
	Potentiel d'équilibre	-90 mV	-493 mV	-98,6 mV
Fuite	Potentiel d'équilibre	-70 mV	-626 mV	-125,2 mV
Modulateur	V_{OFFSET} activation	-35 mV	-296,6 mV	-59,3 mV
	Potentiel d'équilibre	-100 mV	-844 mV	-168,8 mV

Tableau 4 - 1 : Tableau comparatif entre les valeurs désirées et mesurées pour les potentiels de demi-activation, de demi-inactivation et d'équilibre pour les canaux sodium, potassium, fuite et modulateur.

Sachant que les différents éléments du système provoquent des erreurs de l'ordre d'un millivolt pour le convertisseur numérique-analogique, d'un millivolt pour le point mémoire analogique et de quelques dizaines de millivolts pour le déséquilibre des paires différentielles bipolaires, nous aurons une erreur au format biologique située au maximum à dix millivolts.

⁴² Les autres paramètres n'ont pas de conversion directe. Par exemple, la tension qui règle la cinétique est convertie en un courant, qui à son tour est multiplié au courant représentant le régime permanent (cf. figure 2-9).

Nous constatons que les mesures des canaux ioniques possédant les plus fortes valeurs de conductances maximales – sodium et potassium – sont assez proches des valeurs programmées. En revanche, pour les canaux ioniques possédant les plus faibles valeurs de conductances – fuite et modulateur – leurs valeurs sont plus éloignées. Les erreurs dues au système ne peuvent pas expliquer à elles seules ces différences.

Pour mesurer les courants du canal de fuite et du canal modulateur, nous avons mesuré la tension générée par ces courants aux bornes d'une résistance de cent kilo ohms. Les quelques centaines de nanoampères de ces courants ne produisent alors que des tensions de quelques dizaines de millivolts. Sans précaution particulière de mesure, ces faibles tensions sont forcément bruitées par l'environnement, ne serait ce que par la très grande proximité de l'ordinateur hôte du système. Nous pourrions augmenter la valeur de la résistance pour obtenir une tension plus grande, mais cette augmentation irait de pair avec l'augmentation du bruit thermique généré par la résistance. De plus, le calcul du courant est effectué en considérant un pôle de la résistance relié à un potentiel de référence, ici le point milieu gnd. Ce point milieu est généré sur la carte par une alimentation régulée pour circuit imprimé ; il sera donc soumis à des variations et dégradera la mesure. Autrement dit, les mesures associées aux canaux ioniques à faible conductance devront être faites avec précaution.

Un dernier point mérite d'être discuté pour conclure sur la technique de voltage-clamp appliquée au circuit. L'identification des valeurs des paramètres s'est appuyée sur quelques considérations physiologiques :

- l'appartenance des cinétiques d'activation et d'inactivation du canal sodique à des gammes séparées d'une décade,
- la probabilité de non inactivation du canal sodium pour les potentiels imposés inférieurs à cent millivolts – cinq cents millivolt pour le circuit,
- la probabilité d'activation complète pour les potentiels imposés supérieurs à zéro millivolt pour le canal sodium.

Dans le cas où une cellule nerveuse ne présenterait pas les conditions nécessaires pour émettre ces hypothèses, les précautions de mesure pour une caractérisation par la technique de voltage-clamp devront être encore plus drastiques.

4-4 Comparatifs entre le circuit et un modèle théorique

Les paramètres extraits vont nous permettre de valider le comportement dynamique du circuit. Nous comparerons l'activité électrique membranaire du circuit avec celle d'une simulation numérique effectuée grâce au logiciel *Neuron*⁴³ et qui utilisera les valeurs extraites.

Pour permettre cette comparaison, il est d'abord nécessaire de ramener à l'échelle biologique les valeurs de tous les paramètres que nous avons extraits du circuit. Nous comparerons ensuite dans le domaine temporel le circuit configuré en tant que neurone inhibiteur avec la simulation numérique. Puis nous confronterons les courbes de fréquence en fonction de la stimulation, notée $f(I)$, aussi bien pour le neurone inhibiteur que pour le neurone excitateur. Nous terminerons par une discussion sur les résultats obtenus lors de ces comparatifs.

⁴³ Le logiciel *Neuron* a été développé à l'Université de Yale et à l'Université de Duke par M. Hines, J. W. Moore et T. Carnevale. Il est gratuit et libre d'accès (<http://www.neuron.yale.edu/neuron/>).

4-4-1 La normalisation des neurones artificiels pour identification avec le logiciel Neuron

Prenons pour point de départ le rapport des tensions établi au premier chapitre :

$$V_C = 5 \cdot V_N \quad \text{équation 4 - 25}$$

où les indices C et N correspondent respectivement au circuit et au logiciel de simulation *Neuron*.

Posons à présent une valeur numérique pour la capacité de membrane pour chacun des cas. La capacité sur le circuit imprimé est de 5 nF, tandis que nous avons choisi une capacité de membrane pour le logiciel de 1 $\mu\text{F} / \text{cm}^2$ avec une surface de $22 \cdot 10^{-5} \text{cm}^2$, soit une capacité absolue de membrane de 0,22 nF. De $C_C = 5 \text{ nF}$ et de $C_N = 0,22 \text{ nF}$, nous pouvons établir une échelle pour les conductances :

$$G_C = \frac{1}{0,044} G_N \quad \text{équation 4 - 26}$$

Grâce à la loi d'ohm, nous pouvons écrire :

$$I_C = G_C \cdot V_C = \frac{1}{0,044} G_N \cdot 5 \cdot V_N$$

soit
$$I_C = \frac{1}{0,0088} I_N \quad \text{équation 4 - 27}$$

Maintenant que l'échelle de proportionnalité entre les différentes grandeurs physiques pour passer du biologique au circuit et vice-versa est établie, nous pouvons ramener chacun des paramètres extraits du circuit dans un format biologique, en prenant en compte la surface de la membrane, pour ensuite effectuer une simulation numérique avec le logiciel *Neuron*.

Type de canal	Paramètre	Valeur circuit	Valeur logicielle
Sodium	V_{OFFSET} activation	-211,8 mV	-42,4 mV
	V_{PENTE} activation	29,3 mV	5,9 mV
	Cinétique d'activation	0,037 ms	0,037 ms
	V_{OFFSET} inactivation	-231,7 mV	-46,3 mV
	V_{PENTE} inactivation	19,0 mV	3,8 mV
	Cinétique d'inactivation	0,42 ms	0,42 ms
	Conductance maximale	83,7 μS	16,74 mS / cm^2
	Potentiel d'équilibre	193 mV	38,6 mV
Potassium	V_{OFFSET} activation	-186,7 mV	-37,3 mV
	V_{PENTE} activation	56,4 mV	11,3 mV
	Cinétique d'activation	2,5 ms	2,5 ms
	Conductance maximale	107,2 μS	21,44 mS / cm^2
	Potentiel d'équilibre	-493 mV	-98,6 mV
Fuite	Conductance maximale	0,538 μS	107,4 $\mu\text{S} / \text{cm}^2$
	Potentiel d'équilibre	-626 mV	-125,2 mV
Modulateur	V_{OFFSET} activation	-296,6 mV	-59,3 mV
	V_{PENTE} activation	89,0 mV	17,8 mV
	Cinétique d'activation	19 ms	19 ms
	Conductance maximale	0,414 μS	82,4 $\mu\text{S} / \text{cm}^2$
	Potentiel d'équilibre	-844 mV	-168,8 mV

Tableau 4 - 2 : Conversion des valeurs des paramètres du circuit pour être implémentées dans le logiciel Neuron.

4-4-2 La comparaison du neurone inhibiteur dans le domaine temporel

Pour apprécier la forme des potentiels d'action, nous nous sommes placés, en réglant le courant de stimulation, à une fréquence d'oscillation quasi identique entre le circuit et le simulateur numérique. La superposition d'une part de la mesure du potentiel de membrane du circuit et d'autre part du calcul du potentiel de membrane par le logiciel *Neuron* avec les paramètres extraits par voltage-clamp du circuit, est présentée à la figure 4-17.

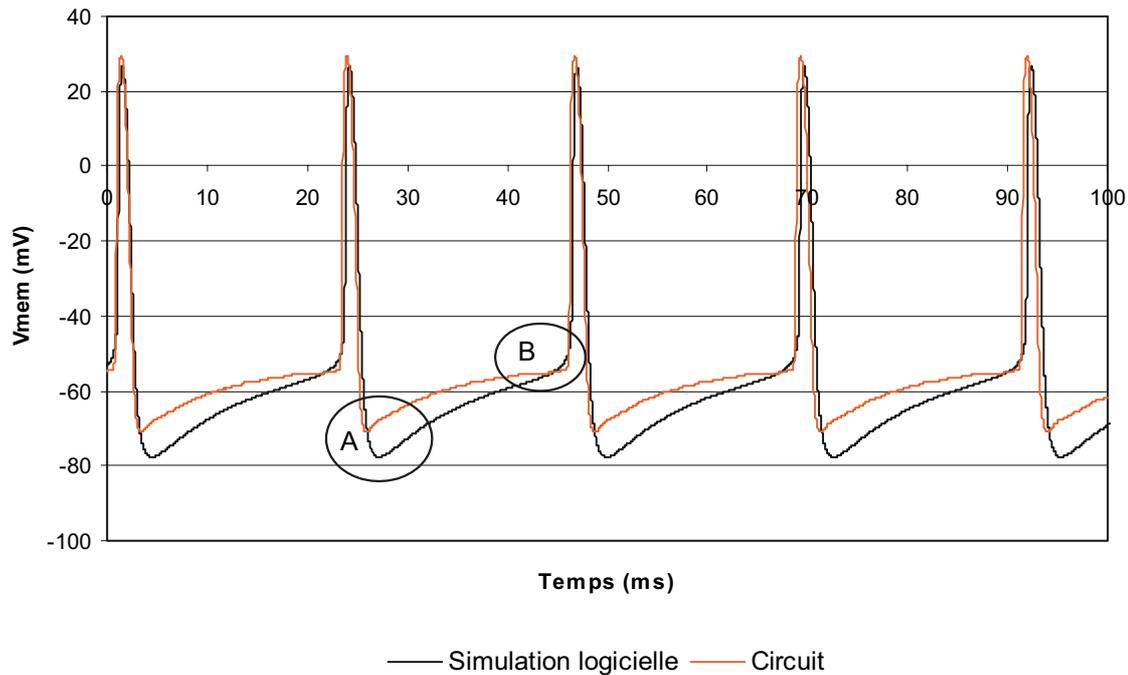


Figure 4 - 17 : Comparatif entre les activités électriques du circuit et du logiciel numérique dans le domaine temporel. A) Hyperpolarisation du potentiel de membrane de la simulation numérique. B) Défaut du circuit au niveau du seuil de déclenchement.

D'emblée nous pouvons constater que la forme générale des potentiels d'action est très similaire, notamment en ce qui concerne la largeur. Cependant, nous constatons que la simulation numérique présente une hyperpolarisation qui n'existe pas dans l'activité électrique du circuit. Nous ne pensons pas qu'il s'agisse d'un défaut du circuit mais plutôt d'un problème dans l'extraction des paramètres via la technique de voltage-clamp. Ceci nous amène à penser cela est la valeur fortement négative du potentiel d'équilibre du canal de fuite. Nous nous attendions à obtenir une valeur proche de -70 mV alors que nous avons -125,2 mV d'après le tableau 4-1.

Un autre point mérite toute notre attention. Il s'agit de la forme du potentiel de membrane au niveau du seuil de déclenchement du potentiel d'action. Dans le cas de la simulation numérique, l'augmentation du potentiel de membrane au niveau de ce seuil suit une courbe ; tandis que dans le cas du circuit, le potentiel de membrane augmente de façon abrupte. Contrairement au point précédent, cette fois-ci le problème vient probablement du circuit. Nous avons choisi d'effectuer les multiplications et les élévations à la puissance avec des multiplieurs en mode courant basé sur le principe translinéaire (cf. figure 2-4). Lorsqu'une des variables d'entrée passe de zéro à une valeur quelconque, les transistors du montage opérant le calcul commenceront d'abord par se polariser en mode linéaire puis par

effectuer le calcul. L'erreur vient probablement de ce point. Pour pallier ce problème nous aurions pu utiliser un montage pré-polarisé. Pour réaliser cette prépolarisation, nous avons le choix entre laisser conduire très légèrement le montage pour des variables d'entrée nulles ou polariser le montage en entrée avec un courant qui aurait été soustrait en sortie. Dans le premier cas, la solution présente le désavantage de ne pas pouvoir effectuer une multiplication avec le nombre zéro. Dans le second cas, la recopie d'un courant et sa soustraction par rapport à son original aura une très forte probabilité de ne pas fournir un résultat exact, ce qui entraîne le même défaut que précédemment. La non-existence de la multiplication avec le nombre zéro est un défaut qui serait bien plus grave que celui soulevé ici car cela signifierait que les canaux ioniques ne peuvent pas être non activés ou inactivés. Nous devons donc nous accommoder de ce défaut pour l'exploitation ultérieure de ce simulateur analogique.

4-4-3 Les courbes $f(I)$ des neurones inhibiteur et exciteur

Pour pouvoir comparer sur un même graphique les courbes $f(I)$, nous ramenons le courant de stimulation du circuit au format biologique en utilisant le coefficient de proportionnalité calculé à l'équation 4-27. Mais il faut aussi additionner un courant de compensation, soit mathématiquement parlant :

$$I_N \text{ (nA)} = 0,0088 \cdot I_C \text{ (nA)} + I_{\text{COMP}} \quad \text{équation 4 - 28}$$

En prenant l'équation 4-28 comme système de conversion, nous avons représenté sur une même figure la courbe $f(I)$ des neurones inhibiteur et exciteur reproduits par le circuit et par la simulation numérique (cf. figure 4-18). Pour que les courbes $f(I)$ des neurones inhibiteurs démarrent du même point – autour de 20 Hz –, nous avons pris $I_{\text{COMP}} = 3 \text{ nA}$. Au regard de la figure ci-dessous, le comparatif est bien plus délicat à commenter que précédemment.

Nous nous intéresserons dans un premier temps uniquement aux courbes $f(I)$ des neurones inhibiteurs. Le courant de compensation permet de ramener les courbes $f(I)$ proche l'une de l'autre mais en aucun cas il ne peut expliquer la différence de pente entre ces courbes. Les explications relatives à cette différence de comportement peuvent avoir plusieurs origines :

- Nous avons remarqué que la fréquence d'oscillation du circuit était dépendante de la température ambiante du lieu d'expérience. Pour avoir un ordre d'idée, l'élévation de température de 25 à 29°C amène la fréquence d'oscillation de 79 à 86 Hz. Baisser la température ambiante entraînerait sur la figure 4-18, la courbe $f(I)$ du neurone inhibiteur du circuit à avoir une pente plus proche de celle du neurone simulé numériquement. Ce point serait bénéfique, mais ce qui est souhaitable avant tout serait de travailler dans un environnement à température stabilisée.
- Dans le précédent paragraphe, nous avons émis l'hypothèse d'une mauvaise identification du canal de fuite. En reprenant cette hypothèse à nouveau, nous avons observé, en simulation numérique, la fréquence d'oscillation d'un neurone inhibiteur en fonction du potentiel d'équilibre du canal de fuite. Il s'avère que la fréquence passe de 76 à 110 Hz pour un potentiel d'équilibre allant respectivement de -125,2 et -105,2 mV. En revanche, cette seconde explication si elle devait être retenue éloignerait davantage du comportement attendu.

Les courbes $f(I)$ des neurones exciteurs ont été aussi représentées sur la figure 4-18 en utilisant l'échelle de conversion définie à l'équation 4-28 et en conservant le même courant de compensation. Comme pour le neurone inhibiteur elles présentent une pente non identique. Nous retiendrons les mêmes explications que ci-dessus pour justifier la différence de

comportements. Nous constatons aussi que les courbes $f(I)$ des neurones inhibiteur et exciteur du circuit sont plus proches l'une de l'autre que dans le cas des neurones simulés numériquement. Parce que les valeurs des paramètres du canal modulateur au tableau 4-1 possèdent des erreurs du même ordre de grandeur que celles du canal de fuite, nous pouvons retenir l'hypothèse de la mauvaise identification du canal modulateur pour justifier de la différence de comportement. D'après la figure 4-18, une stimulation de 3 nA provoque une oscillation de 80 Hz. En modifiant le potentiel d'équilibre du canal modulateur de -168,8 mV à -148,8 mV, pour conserver la même fréquence d'oscillation, nous devons diminuer la stimulation de 3 à 2,825 nA. Ces modifications simultanées rapprochent la courbe $f(I)$ du neurone exciteur vers celle du neurone inhibiteur, où tous les deux sont simulés numériquement, ce qui rapprocherait du comportement du circuit.

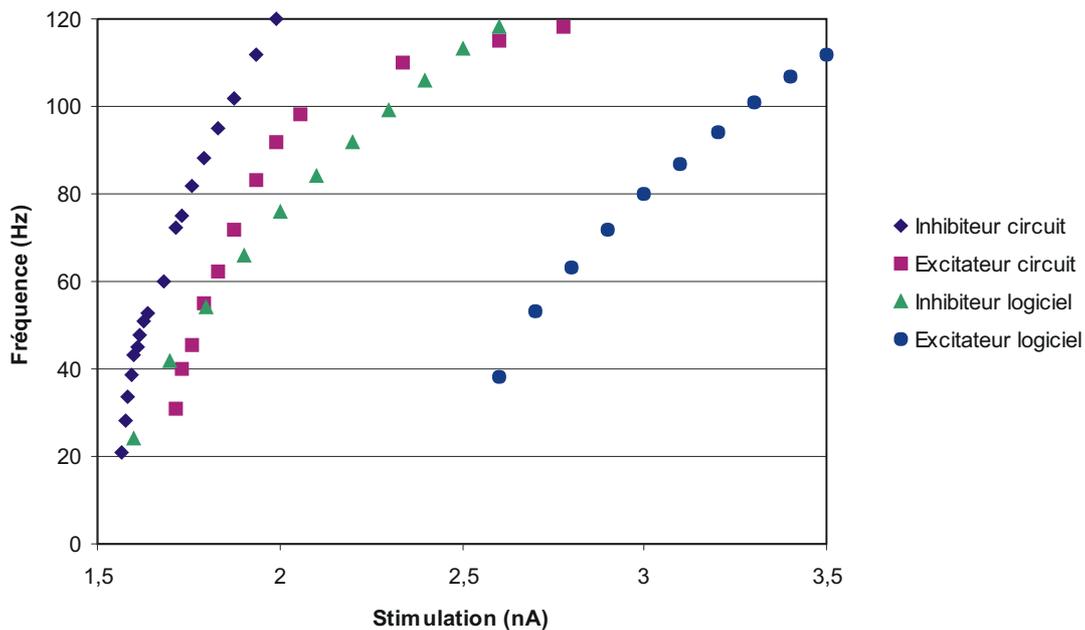


Figure 4 - 18 : Comparaison des courbes $f(I)$ entre les neurones inhibiteur et exciteur simulés par le circuit et le logiciel d'après les valeurs des paramètres fournis au tableau 4-1. Les courants de stimulation du circuit ont été ramenés au format biologique puis additionnés à un courant de compensation.

4-4-4 Discussion sur les tests comparatifs

La comparaison dans le domaine temporel du circuit et de la simulation logicielle a permis de valider le fonctionnement global du noyau de calcul analogique. Hormis le défaut imputé au multiplieur en mode courant, nous retrouvons la même forme générale des potentiels d'action et le même comportement dans la phase de repolarisation post-hyperpolarisation. Ce comparatif a aussi permis de confirmer que la technique de voltage-clamp pour le circuit était difficile à entreprendre dans le cas des canaux de faible conductance pour notre circuit.

Quant au comparatif des courbes $f(I)$, il pourrait paraître plus difficile de conclure sur la validité du comportement du circuit par rapport à la simulation. Les conclusions positives pour ce comparatif sont que le canal modulateur joue bien son rôle en ralentissant l'activité électrique du neurone et que toutes les courbes $f(I)$ présentent une pente décroissante au fur et

à mesure qu'augmente le courant de stimulation. Mais sachant toutes les précautions qui doivent être prises, à savoir la stabilisation de la température ambiante et une identification très précise des canaux de faible conductance, nous pouvons nous interroger sur la faisabilité d'étude des mini-réseaux de neurones avec ce circuit. Pour entreprendre une telle étude, nous pourrions envisager de trouver des échelles de conversion pour le courant de stimulation autre que celle proposée à l'équation 4-28 afin d'obtenir des courbes $f(I)$ identiques à celles d'une simulation numérique. Mais qu'en est-il des neurones biologiques ?

Les neurones inhibiteur et excitateur du cortex de cochon d'Inde identifiés par McCormick et al. [COR 1985], et reproduites à la figure 4-19, présentent des courbes $f(I)$ tout à fait singulières.

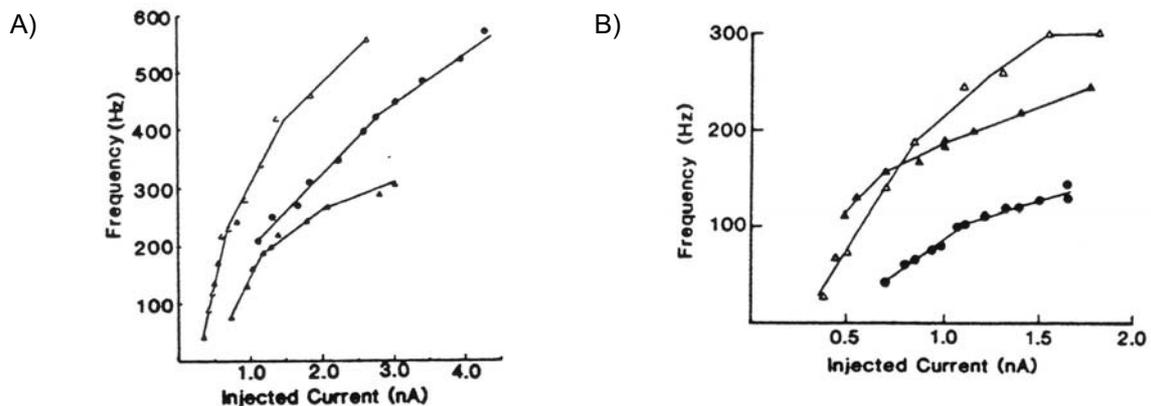


Figure 4 - 19 : Mesures effectuées dans le cortex d'un cochon d'Inde d'après McCormick et al. [COR 1985]. A) Courbes $f(I)$ d'après trois neurones inhibiteurs distincts. B) Courbes $f(I)$ d'après trois neurones excitateurs distincts.

Tout lecteur de culture physicienne et non sensibilisé aux mesures électrophysiologiques sera surpris par la dispersion des résultats de l'expérience. Cette diversité de comportement a déjà été source de nombreuses discussions au sein de notre équipe pour l'élaboration des simulateurs analogiques à base de circuits intégrés. Nous savons qu'il existera une dispersion des composants lors de la fabrication de la puce et que l'activité électrique des circuits intégrés ne sera jamais identique au modèle numérique. Mais est-ce bien nécessaire de vouloir reproduire avec exactitude les propriétés – aussi bien dans le domaine temporel que pour la courbe $f(I)$ – du modèle numérique sachant que ce dernier est élaboré à partir de mesures ayant de grandes variations ?

Pour mieux répondre à cette question, je m'appuierai sur la figure 4-20. De la diversité des neurones biologiques, les neurosciences computationnelles permettront d'établir un modèle pour la simulation numérique. Nous, électroniciens, prenons ce modèle comme cahier des charges et élaborons à partir de lui nos circuits intégrés analogiques. La phase de validation du circuit dépend grandement de l'objectif à atteindre. Si nous cherchons à reproduire avec exactitude le modèle numérique cela sera vain et même absurde sachant que la reproductibilité parfaite en mode analogique est impossible. Il est toutefois possible d'objecter en faveur du circuit analogique que ce dernier fonctionne en temps réel alors que les simulateurs numériques n'atteignent pas de telles performances de vitesse de calcul à l'heure actuelle. Cette remarque judicieuse inciterait à attendre patiemment les progrès de l'informatique pour combler cette lacune. En revanche, si nous cherchons à reproduire des

expériences en temps réel, comme l'émulation⁴⁴ d'une activité électrique membranaire ayant un comportement proche du vivant pour la technique hybride, l'intérêt des circuits analogiques prend tout son sens.

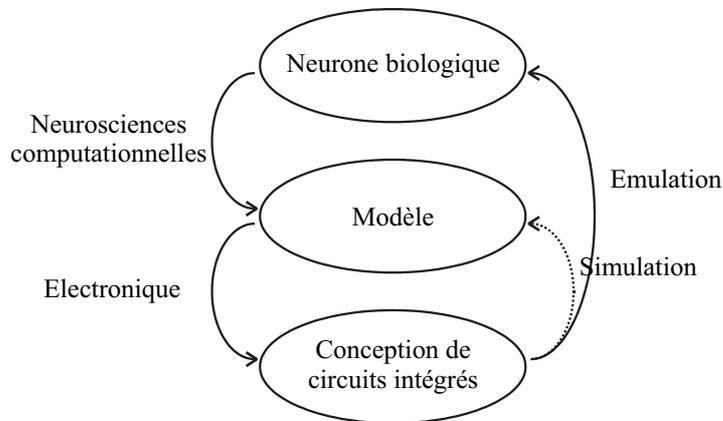


Figure 4 - 20 : Méthodologie de conception et de validation d'un circuit intégré neuromimétique.

Nous n'avons pas réussi à caractériser avec exactitude un exemplaire du circuit intégré et les quelques variations des valeurs des paramètres, en plus du défaut du multiplieur en mode courant, influencent de façon non négligeable la fréquence d'oscillations du circuit. De plus, de la discussion précédente il ne semble pas nécessaire de chercher à reproduire avec exactitude la courbe $f(I)$ de la simulation numérique, même si cette dernière utilise des valeurs de paramètres issues du circuit. Pour l'étude d'un mini-réseau, la solution la plus adéquate semble être l'utilisation d'une conversion du courant de stimulation faisant appel à l'équation 4-28 mais avec un courant de compensation propre à chaque circuit. Ce courant de compensation permettra de placer globalement la courbe $f(I)$ dans une région raisonnablement réaliste.

4-5 D'autres résultats complémentaires

Les neurones inhibiteurs ne mettent en jeu que les canaux sodium, potassium et fuite, tandis que les neurones excitateurs font appel en plus à un canal modulateur. Cependant, lors de l'élaboration du cahier des charges de la puce, nous avons pour objectif de réaliser un circuit neuromimétique pouvant reproduire une grande diversité d'activités électriques. A cette fin, nous avons prévu l'implantation d'un canal calcique et d'un canal potassique calcium dépendant. Parce que nous avons prévu de très larges gammes de programmation pour chacun des paramètres, nous avons pu utiliser le canal destiné à la simulation du canal calcique comme canal modulateur pour le neurone inhibiteur en implémentant un potentiel d'équilibre fortement négatif au lieu d'un potentiel fortement positif pour un canal calcique.

Ce paragraphe va permettre de mettre en valeur le comportement global de l'activité électrique du circuit avec les canaux calcique et potassique dépendant calcium. Nous terminerons ce paragraphe par une particularité des circuits intégrés analogiques neuromimétiques qui concerne la vitesse de calcul.

⁴⁴ Nous différencions les mots *simulation* et *émulation* de la façon suivante : la simulation est la représentation d'un phénomène dans un environnement artificiel tandis que l'émulation est la reproduction d'un phénomène par un système artificiel dans l'environnement réel du phénomène.

4-5-1 L'activité en plateau calcique

Nous avons configuré le noyau de calcul en tant que neurone inhibiteur – sodium, potassium et fuite. Nous avons ensuite ajouté le canal calcium. Nous avons configuré ce dernier avec seulement un terme d'activation élevé à la puissance 1 (cf. équation 1-20), soit l'équation suivante pour caractériser le canal calcique :

$$I_{Ca} = \overline{g_{Ca}} \cdot m(V_{MEM}) \cdot (V_{MEM} - E_{Ca})$$

Avec l'aide des neuroscientifiques, nous avons réglé empiriquement les valeurs des paramètres du canal pour obtenir une activité en plateau calcique comme celle présentée, au format biologique, à la figure 4-21.

A l'apparition du courant de stimulation, le neurone commence à générer des potentiels d'action. Les premiers potentiels d'action vont activer le canal calcique qui va peu à peu générer un courant de plus en plus important. L'apparition de ce courant calcique augmente la fréquence d'oscillation – ce qui est cohérent avec un potentiel d'équilibre du canal calcique situé environ à +120 mV. L'arrêt de la stimulation réduit la fréquence d'oscillation mais cette dernière est entretenue grâce au courant calcique. Ce courant n'empêche pas pour autant une diminution progressive de la fréquence d'oscillation, qui à son tour réduit le courant calcique, qui réduit d'autant plus la fréquence et finalement le neurone s'arrête d'osciller.

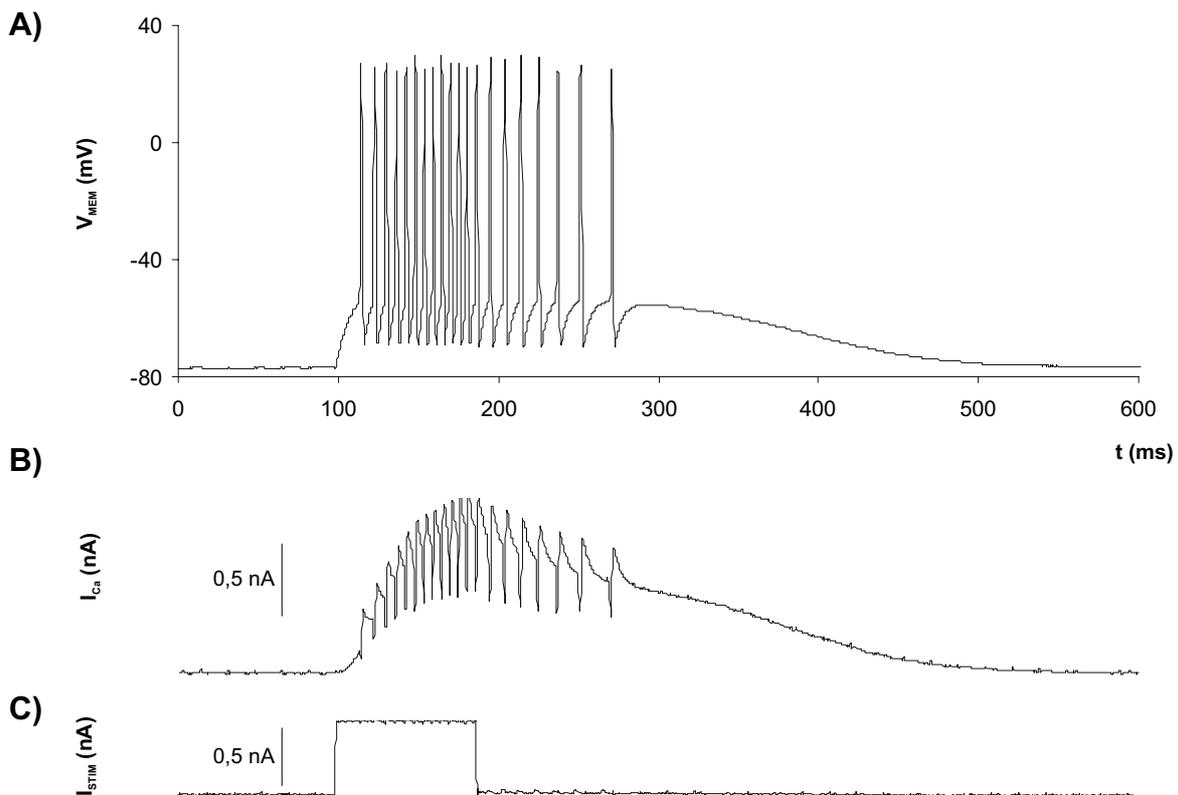


Figure 4 - 21 : Activité en plateau calcique où toutes les mesures sont présentées dans leur format biologique. A) Potentiel de membrane. B) Courant du canal calcium. C) Courant de stimulation.

4-5-2 L'activité oscillatoire

Nous rajoutons à la dernière configuration du noyau de calcul le canal potassium dépendant calcium (cf. équations 1-21 et 1-25). Là aussi, avec l'aide des neuroscientifiques, nous avons réglé empiriquement les valeurs des paramètres de ce canal pour obtenir l'activité présentée, au format biologique, à la figure 4-21.

Comme précédemment, le courant de stimulation déclenche une série de potentiels d'action qui vont activer le canal calcique. Ce dernier à son tour active le canal potassique calcium dépendant. Le canal calcium accélère l'activité électrique tandis que le potassium dépendant calcium la ralentit. L'existence de cet antagonisme empêche d'apprécier visuellement l'action du calcium à la figure 4-22. Cependant nous pouvons constater que le potassium dépendant calcium est présent dans cette activité car la fréquence est ralentie alors que la stimulation est toujours présente. A l'arrêt de la stimulation, le courant calcium n'est pas suffisamment important pour entretenir l'activité. La membrane s'hyperpolarise à cause de la persistance de l'activation du canal potassium dépendant calcium. Le canal calcium devient non activé, ce qui entraîne la non activation du potassium dépendant calcium (cf. équations 1-24 et 1-25), et enfin le canal potassique dépendant calcium cesse de générer un courant. La membrane se repolarise alors dans son état initial.

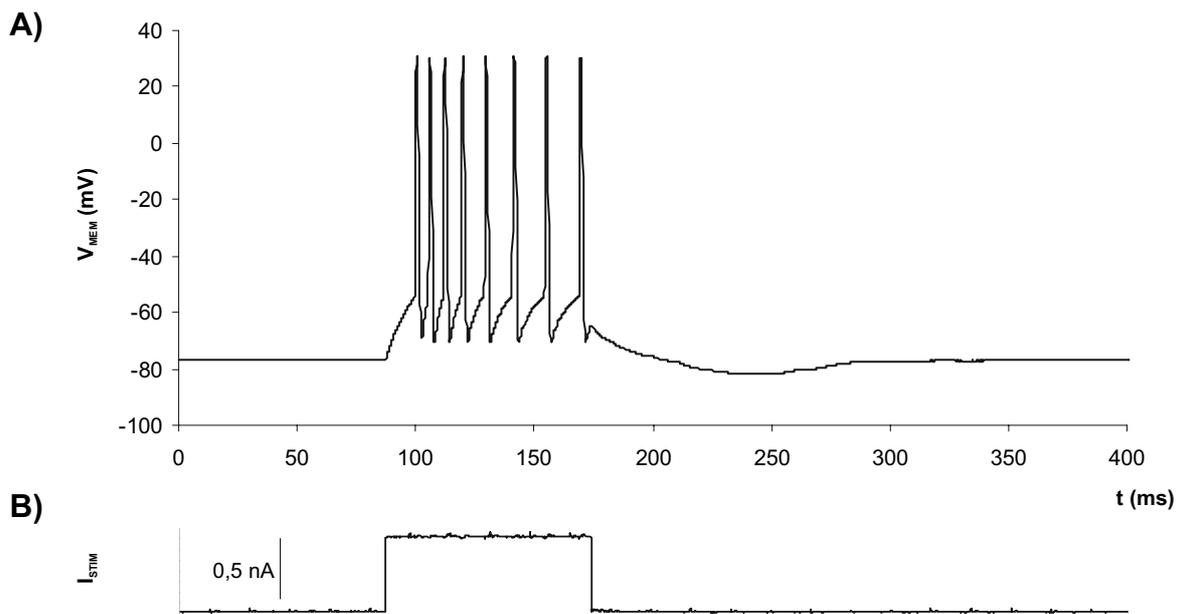


Figure 4 - 22 : Un neurone à cinq canaux : sodium, potassium, fuite, calcium et potassium dépendant calcium. A) Potentiel de membrane du neurone. B) Courant de stimulation.

Toujours avec la même topographie et valeurs de paramètres, nous avons obtenu l'activité oscillatoire présentée à la figure 4-23. Cette fois-ci, la stimulation cesse alors que nous sommes dans une phase où le potentiel de membrane est proche du seuil de déclenchement. Dans ce cas, les canaux calcium et potassium dépendant calcium trouvent un équilibre qui permet d'entretenir l'activité oscillatoire du potentiel de membrane.

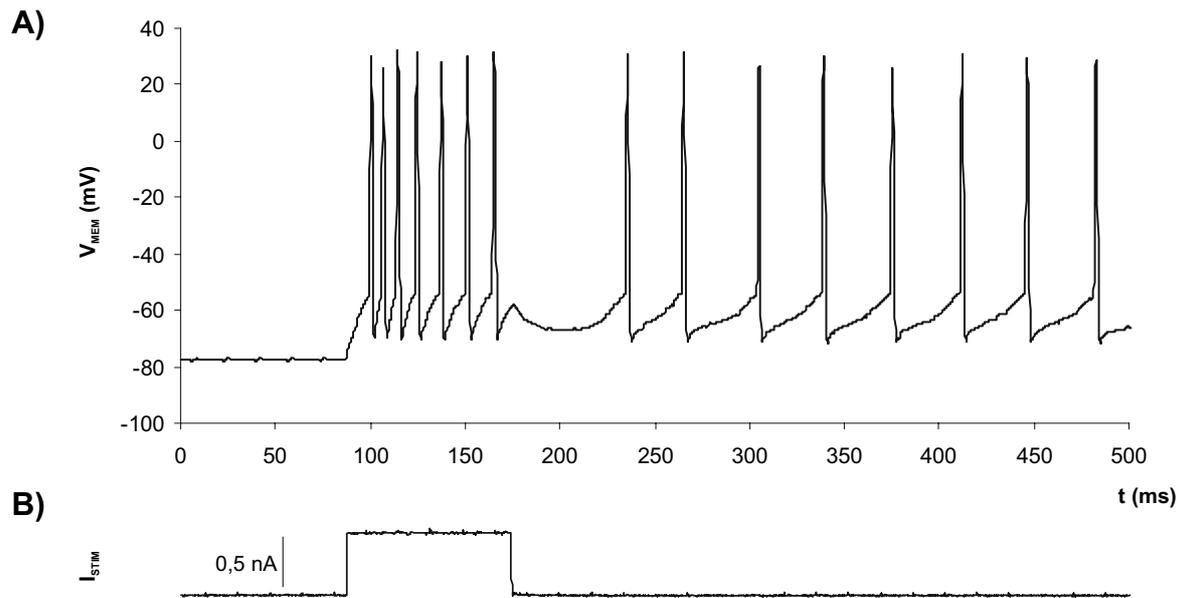


Figure 4 - 23 : Un neurone à cinq canaux : sodium, potassium, fuite, calcium et potassium dépendant calcium. A) Potentiel de membrane du neurone présentant une activité tonique après arrêt de la stimulation. B) Courant de stimulation.

4-5-3 La vitesse de calcul

Les travaux précédents de notre équipe ont déjà démontré qu'il est possible d'accélérer la fréquence d'oscillation d'un facteur α si toutes les constantes de temps des canaux ioniques et la capacité de membrane étaient divisées par ce même facteur α [DOU 2000]. Cette propriété, qui n'est pas partagée avec les simulateurs numériques, permet de simuler plus rapidement qu'une activité électrique réelle.

Pour vérifier le comportement du circuit *Pamina* en fonction du terme α , nous nous sommes placés dans le cas d'un neurone inhibiteur. Nous avons représenté à la figure 4-24 les potentiels d'action générés par le circuit en fonction du facteur α . Pour être observée sur un même graphique, chaque activité électrique accélérée par un facteur α a été représentée avec sa propre échelle temporelle $\alpha.t$. Tandis qu'à la figure 4-25, nous avons représenté les potentiels d'action issus de ces mêmes activités électriques en normalisant l'échelle temporelle sur la période d'oscillation propre à chaque potentiel d'action.

La figure 4-25 nous permet de conclure qu'il existe peu de distorsion avec un facteur d'accélération α de 100. Cependant en observant la figure 4-24, nous constatons que pour ce même facteur, le potentiel de membrane est bruité anormalement dans la phase de repolarisation post-hyperpolarisation. Avec les mesures qui ont été entreprises ici, nous ne pouvons accepter qu'un facteur α de 10. Pour déterminer avec plus d'exactitude le facteur α maximal acceptable, il est nécessaire de développer un circuit imprimé de test où les condensateurs des fonctions cinétiques et la capacité de membrane soient facilement changeables.

Les activités électriques pour $\alpha = 1$ et $\alpha = 10$ diffèrent en deux points : la forme générale du potentiel d'action et la fréquence des potentiels d'action. Les condensateurs discrets déterminant les valeurs de la capacité de membrane et des gammes de valeurs des cinétiques sont données dans le meilleur des cas à de $\pm 5\%$. Connaissant la sensibilité de

notre système à la variation des paramètres, nous comprenons ici l'origine des différences constatées à propos de la forme générale et de la fréquence des potentiels d'action.

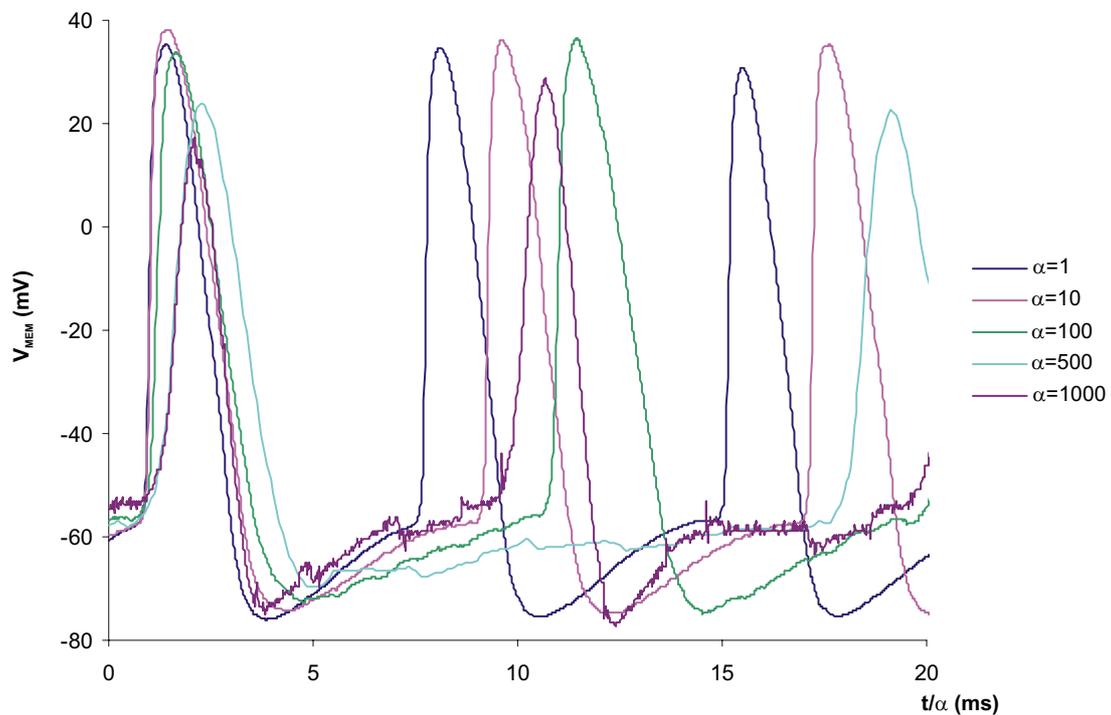


Figure 4 - 24 : Génération de potentiels d'action avec division des constantes de temps par 1, 10, 100, 500 et 1000. Pour être confrontées, les activités électriques ont toutes été ramenées à la même échelle de temps que celle du temps réel ($\alpha=1$).

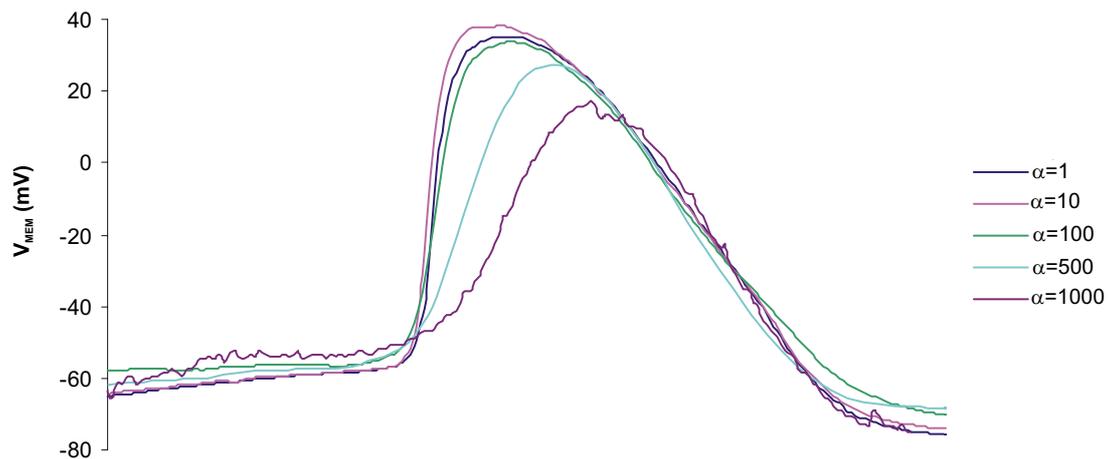


Figure 4 - 25 : Potentiels d'action avec division des constantes de temps par 1, 10, 100, 500 et 1000. Pour observer la déformation du potentiel d'action, l'axe des abscisses de chaque potentiel d'action a été normalisé sur une période.

4-6 Applications à court terme

4-6-1 Retour sur la technique hybride

Nous savons que les canaux ioniques simulés par le circuit présentent toutes les caractéristiques de nos modèles basés sur le formalisme d'Hodgkin et Huxley, formalisme très répandu au sein de la communauté neuroscientifique. Nous avons une alternative logicielle pour pallier le défaut des synapses. Nous pouvons alors envisager à court terme d'utiliser le circuit *Pamina* pour la technique hybride.

Le premier émulateur à base de circuits neuromimétiques que nous avons élaboré, nommé *Vortex*, présentait le désavantage d'être encombrant et était composé de plusieurs circuits participant chacun pour leur part à la constitution d'un neurone artificiel [REN 2004]. La programmation des paramètres se faisait à travers une interface logicielle spécifique mais il fallait tout de même accéder à l'intérieur de la boîte comprenant le système pour actionner manuellement des interrupteurs pour la programmation de la topographie du système.

Avec la souplesse de programmation des paramètres et de la topographie de la puce *Pamina*, la nouvelle génération du *Vortex* constitué de cette puce pourra se faire entièrement par interface logicielle.

Nous pouvons même aller plus loin dans la définition de ce que sera ce futur *Vortex*. La puce pour fonctionner a besoin simplement d'une mémoire numérique de cent cinquante-huit mots de douze bits chacun et d'un convertisseur numérique-analogique fonctionnant lui aussi sur douze bits. L'utilisateur doit cependant pouvoir reprogrammer dynamiquement un ou plusieurs paramètres ainsi que la topographie de la puce.

Nous imaginons réunir l'ensemble de ces fonctions autour d'un microprocesseur et d'une interface simplifiée – écran LCD et clavier seize touches – dans un système portatif. Ce système présentera l'avantage considérable par rapport au précédent d'être facilement manipulable et peu encombrant dans une salle d'expérimentation de neurophysiologie. Ceci est envisageable uniquement grâce à la souplesse de programmation de la puce *Pamina*.

4-6-2 Application à la technique d'optimisation

Pour réaliser un modèle basé sur le formalisme d'Hodgkin et Huxley, nous devons utiliser la technique de voltage-clamp. Non seulement les difficultés que nous avons rencontrées pour l'identification des canaux ioniques du circuit seront toujours présentes mais il faut y ajouter les difficultés liées aux expérimentations biologiques : disparité des résultats et conditions d'expérimentation.

Gwendal Le Masson a eu l'idée d'introduire une nouvelle technique d'extraction des paramètres, dite technique d'optimisation, dont le principe repose sur la minimisation d'une fonction d'erreur [LEM 1998]. Cette fonction d'erreur compare deux potentiels de membrane, l'un mesuré sur une cellule vivante et l'autre simulé. La minimisation de la fonction d'erreur est effectuée par une technique d'optimisation.

En prenant une fonction d'erreur dans le domaine temporel, autrement dit en comparant les potentiels d'action de la figure 4-17, nous serons confrontés au déphasage de ces deux signaux. Nous n'évoquons pas le déphasage à l'origine, dont il est facile de s'affranchir, mais le déphasage dû à la différence de fréquence entre les potentiels d'action. Chercher les stimulations qui amèneraient les signaux en phase serait fastidieux. Sachant que nous recherchons les valeurs des paramètres et que ces mêmes paramètres influencent la forme du potentiel d'action, nous pouvons définir une fonction d'erreur qui compare

l'évolution des potentiels de membrane. Autrement dit, en définissant pour chacun des potentiels de membrane une fonction $\frac{dV_{MEM}}{dt} = f(V_{MEM})$, appelée trajectoire dans le plan de phase⁴⁵, nous pouvons comparer les signaux indépendants du déphasage.

En nous appuyant sur les potentiels de membrane des neurones inhibiteurs mesurés sur le circuit et simulés par logiciel (cf. figure 4-17), nous avons tracé à la figure 4-26 les trajectoires dans le plan de phase des potentiels de membrane de ces deux neurones inhibiteurs. Nous pouvons faire les mêmes remarques que lors du comparatif temporel, à savoir une hyperpolarisation plus grande pour la simulation numérique que pour le circuit et le défaut du multiplicateur du circuit au niveau du seuil de déclenchement des potentiels d'action. La description dans le plan de phase des potentiels d'action retranscrit bien les défauts constatés dans le domaine temporel.

Parce que nous étudions des systèmes non linéaires, la technique d'optimisation, qui cherche à minimiser la fonction d'erreur, doit faire appel à des algorithmes non linéaires, comme par exemple les algorithmes génétiques.

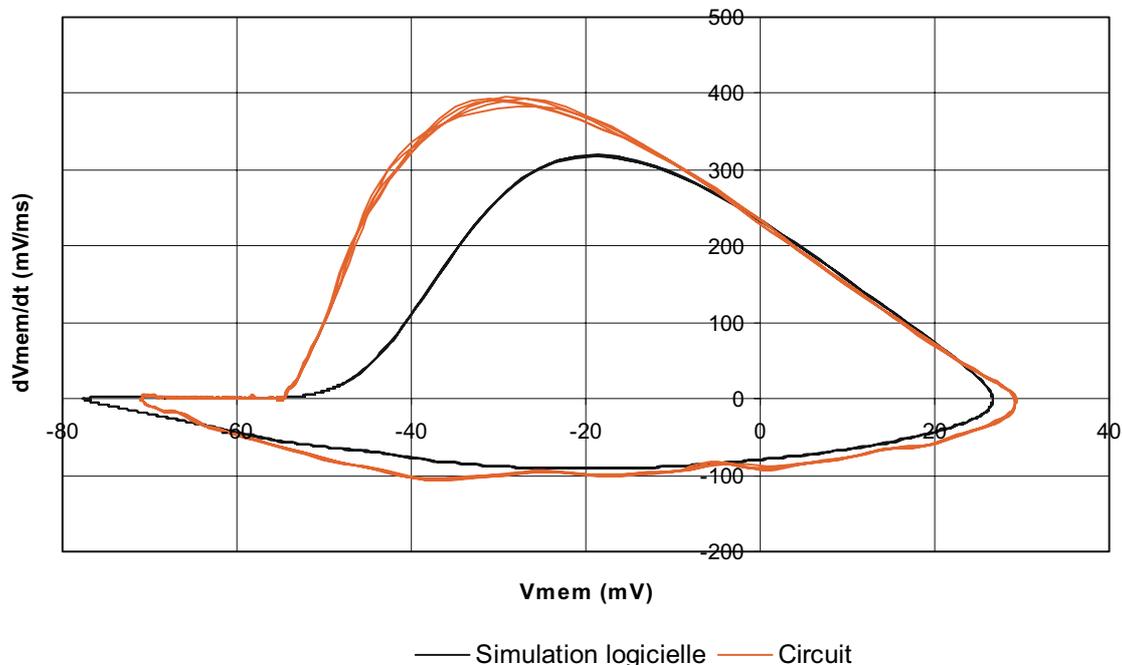


Figure 4 - 26 : Trajectoire des potentiels de membrane de la simulation logicielle et du circuit dans le plan de phase.

Nous savons que notre circuit neuromimétique peut générer des potentiels d'action jusqu'à dix fois plus rapidement qu'un neurone biologique sans présenter de déformation dans la forme générale du potentiel d'action. En utilisant cette caractéristique couplée à la souplesse de fonctionnement de la puce *Pamina*, nous pouvons là aussi envisager de

⁴⁵ Cette définition n'est pas sans rappeler la méthode du plan de phase utilisée en automatique pour l'étude des systèmes oscillants. Cette méthode présente l'intérêt d'étudier les régimes transitoires, donc les conditions nécessaires pour démarrer un régime oscillatoire, mais elle ne peut pas être entreprise dans notre cas car nous ne pouvons pas écrire analytiquement la trajectoire dans le plan de phase. C'est pour cette raison que le modèle simplifié de Morris et Lecar [MOR 1981] est apparu et a connu un grand succès car il permet d'être étudié avec des méthodes mathématiques connues.

développer à court terme un simulateur permettant d'extraire les valeurs des paramètres par la technique d'optimisation.

Ce nouveau système serait une évolution de la carte fille Kronos. Il faudrait y ajouter un convertisseur numérique analogique pour échantillonner le potentiel de membrane. Puis modifier la programmation du FPGA pour lui ajouter une fonction qui déclencherait une acquisition du potentiel de membrane pendant une durée déterminée suite à une instruction de lecture de la part de l'utilisateur (instruction « peek » de la carte *PAX*). Le traitement des données et l'implémentation des algorithmes d'optimisation seraient ainsi gérés par l'ordinateur hôte.

4-7 Résumé

Ce quatrième chapitre a permis de caractériser dans le domaine des neurosciences le fonctionnement du circuit neuromimétique *Pamina* et du système associé. Nous nous sommes d'abord intéressés aux synapses ; après avoir constaté leur dysfonctionnement, nous avons proposé une alternative logicielle qui n'a pas pu encore être éprouvée. Ensuite nous avons transposée la technique de voltage-clamp dans le domaine de l'électronique pour caractériser les canaux ioniques du circuit. Nous avons discuté de la pertinence de cette technique appliquée à notre circuit et nous avons conclu qu'elle était adaptée aux canaux ioniques de fortes conductances maximales – sodium et potassium – mais que pour être appliquée aux canaux plus faibles – fuite et modulateur –, elle présentait des résultats bien moins satisfaisants malgré quelques précautions prises sur les sources de bruit ambiant. Nous avons poursuivi par la comparaison du circuit avec un simulateur numérique utilisant les valeurs des paramètres extraites du circuit. Le premier comparatif concernait la forme générale des potentiels d'action dans le domaine temporel des neurones inhibiteurs ; il nous a permis de constater que le circuit reproduisait la même forme de potentiel d'action hormis en un point dû au défaut de la multiplication analogique par zéro. Le second comparatif traitait de l'observation des courbes $f(I)$ de neurones inhibiteurs et excitateurs. Les discussions relatives à ces deux résultats, après réflexion autour du protocole de validation, ont amené à valider le comportement du circuit *Pamina* et à envisager son utilisation pour l'étude de mini réseaux. Puis, grâce à des manipulations empiriques, nous avons présenté d'autres résultats complémentaires qui attestent du fonctionnement des canaux calcium et potassium dépendant du calcium. Nous avons ensuite entrevu une caractéristique qu'offrent les circuits intégrés analogiques mais qui n'est pas aujourd'hui partagée par les simulateurs logiciels, à savoir la vitesse de calcul plus rapide que le temps réel – en prenant comme temps de référence le temps des neurones biologiques. Nous avons conclu ce chapitre par des perspectives d'application à court terme de notre circuit et de notre système dans des techniques déjà maîtrisées par notre équipe ou nos collaborateurs : la technique hybride et la technique d'optimisation.

Conclusion et perspectives

J'ai présenté dans ce manuscrit mes travaux de conception de circuits intégrés analogiques et mixtes et ceux de conception du système environnant appliqués aux neurosciences computationnelles. Nous avons atteint l'ensemble des objectifs initiaux à savoir la réalisation d'une bibliothèque d'opérateurs analogiques mathématiques, l'évaluation de cette bibliothèque pour l'amélioration de la technique hybride et l'étude de la faisabilité de la technique d'optimisation.

Sachant que ce travail s'inscrit dans l'étude fondamentale de la conception de circuits intégrés neuromimétiques menée par notre équipe, plusieurs interrogations légitimes nous viennent à l'esprit.

La première concerne la pérennité de ce travail. La création d'une bibliothèque n'a de sens que si elle est réutilisable dans le temps. En effet, j'ai déjà dû gérer un changement de technologie au cours de mes trois années de travaux : nous sommes passés de la technologie 0,8 μm BiCMOS pour la puce *Violetta* à la technologie 0,35 μm BiCMOS SiGe du même fondeur pour *Pamina*. Ce changement s'est effectué sans grande difficulté car nous avons choisi d'utiliser les modules cinq volts de cette seconde technologie afin que les montages soient compatibles au niveau des tensions d'alimentation. Cependant, le prochain transfert de technologie – qui devrait avoir lieu en 2007 si nous conservons le même fondeur – s'accompagnera à nouveau d'une baisse des tensions d'alimentation mais cette fois-ci sans disposer de modules cinq volts. C'est entre autre pour anticiper ces difficultés qu'une nouvelle thèse a commencé au laboratoire IXL avec pour sujet « Méthodologie de développement d'une bibliothèque d'IP-AMS⁴⁶ en vue de la conception automatisée de systèmes sur puce analogique et mixte ». Pour une première élaboration de cette méthodologie, le doctorant s'appuiera sur la bibliothèque d'IP-AMS présentée dans ce manuscrit. Ces travaux devraient donc permettre de développer plus simplement nos prochains circuits neuromimétiques lors d'un éventuel transfert de technologie. Des procédures d'automatisation pourront aussi être exploitées, permettent de concevoir des circuits plus complexes. Les objectifs seront alors d'intégrer davantage le système dans la puce – mémoire numérique, convertisseur numérique-analogique, protocole de communication numérique réduit à un plot sur l'ASIC.

La seconde interrogation concerne l'impact de ces travaux sur la communauté des neurosciences computationnelles. En introduction, nous avons dit que la technique hybride avec un circuit neuromimétique a déjà permis l'étude du rôle du circuit thalamique dans le filtrage des informations sensorielles vers le cortex. Aujourd'hui la technique hybride est très répandue comme moyen d'étude parmi la communauté neuroscientifique mais elle est majoritairement réalisée à l'aide d'un ordinateur qui effectue le calcul des courants ioniques⁴⁷, ce qui impose deux contraintes non partagées avec les circuits analogiques : l'impossibilité de reprogrammer dynamiquement le modèle et la complexité des modèles implémentés limitée par la puissance de calcul des ordinateurs. Sachant que nous possédons une bibliothèque d'opérateurs analogiques valide, nous pouvons dorénavant développer rapidement de nouveaux circuits neuromimétiques comprenant une plus grande diversité de canaux ioniques. Ce raffinement du modèle implanté permettra d'étudier, grâce à la technique hybride à l'aide

⁴⁶ Intellectual Properties – Analog Mixed Signal

⁴⁷ La technique hybride réalisée avec un ordinateur est connue sous le nom de *dynamic-clamp*.

de circuits neuromimétiques, des comportements plus complexes de l'activité électrique des cellules nerveuses. Si nous ajoutons aux calculs analogiques des courants ioniques des procédures simples pour la réalisation de réseaux de neurones, nous posséderons un outil qui pourra être difficilement égalé par les moyens informatiques et qui permettra l'étude de la dynamique des systèmes nerveux – plasticité, apprentissage. Bien entendu, un tel outil sera une avancée pour les neurosciences que s'il est partagé par un nombre d'équipes plus grand qu'à l'heure actuel.

Je ne peux pas terminer ce manuscrit sans ajouter une réflexion personnelle concernant la difficulté majeure que j'ai rencontrée durant ces travaux transdisciplinaires. Travailler et nouer un dialogue avec une communauté différente de la sienne demande une disponibilité de tous les instants et un sens aigu de la pédagogie, ceci pour permettre l'écoute et la compréhension des problèmes rencontrés par nos collaborateurs mais aussi pour être en capacité d'exprimer ses propres difficultés scientifiques et techniques sans se réfugier en permanence dans son jargon. Autrement dit, il faut à la fois posséder la capacité d'être un bon élève et un bon formateur et je peux aussi affirmer sans aucune arrière-pensée que ces trois années de travaux ont été est un enrichissement personnel et culturel de tous les instants, y compris jusque dans les dernières corrections qui ont été apportées au manuscrit.

Aujourd'hui le potentiel humain de l'équipe ne permet pas toujours de répondre aux nombreuses perspectives de travaux qui s'offrent à nous. En effet, nos compétences d'expertise dans la conception de circuits intégrés neuromimétiques sont aujourd'hui reconnues au niveau international et les sollicitations sont de plus en plus nombreuses pour des participations à des projets de recherche européen ou nord-américains. Il nous est aussi demandé de participer à des écoles d'été en neurosciences computationnelles en tant que formateur, d'évaluer des programmes de recherche américains (NSF⁴⁸ – NIH⁴⁹) ou européens. Nos compétences ont été reconnues par la communauté internationale sur la base des travaux antécédents de notre équipe. Aujourd'hui, ces nouveaux travaux présentent de meilleures performances et sont encore plus adaptés aux neurosciences computationnelles. Sachant que la dynamique des thématiques rassemblant les sciences du vivant et les sciences et technologies de l'information et de la communication⁵⁰ est de plus en plus forte et sachant que nous avons l'expérience et les moyens d'y participer, nos perspectives de recherche seront certainement toujours supérieures à notre potentiel humain.

⁴⁸ National Science Foundation

⁴⁹ National Institut of Health

⁵⁰ Les sciences et technologies de l'information et de la communication appelées communément STIC sont un des départements CNRS.

Publications de l'auteur

Publications dans des revues internationales avec comité de lecture

- [P 2] L. Alvado, J. Tomas, S. Saïghi, S. Renaud, T. Bal, A. Destexhe, G. Le Masson, « Hardware computation of conductance-based neuron models », *Neurocomputing*, Vol. 58-60, pp. 109-115, 2004.
- [P 1] S. Renaud-Le Masson, G. Le Masson, L. Alvado, S. Saïghi, J. Tomas, « A neural simulation system based on biologically-realistic electronic neurons », *Information Science Journal*, Vol. 161, pp. 57-69, 5 avril 2004.

Publications dans des conférences internationales avec comité de lecture et actes

- [CI 5] S. Saïghi, J. Tomas, Y. Bornat, S. Renaud, « A Mixed Neuromorphic ASIC for Computational Neurosciences », *XIX Conference on Design of Circuits and Integrated Systems, DCIS 2004*, ISBN 2-9522971-0-X, pp. 299-303, Bordeaux (France), 24-26 novembre 2004.
- [CI 4] S. Saïghi, J. Tomas, L. Alvado, Y. Bornat, S. Renaud, « Silicon Integration of Biological Neurons Models », *XVIII Conference on Design of Circuits and Integrated Systems, DCIS 2003*, ISBN 84-87087-40-X, pp. 597-602, Ciudad Real (Espagne), 19-21 novembre 2003.
- [CI 3] L. Alvado, J. Tomas, S. Saïghi, S. Renaud, T. Bal, A. Destexhe, G. Le Masson, « Hardware computation of conductance-based neuron models », *Twelfth Annual Computational Neuroscience Meeting, CNS 2003*, paper 201, Alicante (Espagne), 5-9 juillet 2003.
- [CI 2] L. Alvado, S. Saïghi, J. Tomas, S. Renaud, « An exponential-decay synapse integrated circuit for bio-inspired neural network », *7th International Work Conference on Artificial and Natural Neural Networks, IWANN 2003*, Springer, Vol. 1, pp. 670-677, Mahon (Espagne), 3-6 juin 2003.
- [CI 1] V. Douence, S. Renaud - Le Masson, S. Saïghi, G. Le Masson, « A field-programmable conductance array IC for biological neurons modeling », *6th International Work Conference on Artificial and Natural Neural Networks, IWANN'2001*, Springer, vol II, pp. 31-38, Grenade (Espagne), 5-6 June 2001.

Publications dans des conférences nationales avec comité de lecture et actes

- [CN 2] S. Renaud - Le Masson, S. Saïghi, L. Alvado, J. Tomas, G. Le Masson, T. Bal, « Simulateur VLSI analogique de neurones biologiquement réalistes », *NSI'2002*, La Londe Les Maures (France), 16-18 septembre 2002.

[CN 1] S. Saïghi, « Circuit et système de neurones biologiques », V Journées Nationales du Réseau Doctoral de Microélectronique, JNRDM 2002, Grenoble (France), pp. 259-260, 23-25 avril 2002.

Bibliographie

-
- [ALL 1987] P.E. Allen, D.G. Holberg, « CMOS Analog Circuit Design », Oxford University Press, New York, 1987, 701 p., ISBN 0-19-510720-9.
- [ALV 2003] L. Alvado, « Neurones artificiels sur Silicium : une évolution vers les réseaux », Thèse de l'Université de Bordeaux 1, N° d'ordre 2674, 2003.
- [ALV 2004] L. Alvado, J. Tomas, S. Saïghi, S. Renaud-Le Masson, T. Bal, A. Destexhe, G. Le Masson, « Hardware computation of conductance-based neuron models », Neurocomputing, Vol. 58-60, pp. 109-115, 2004.
- [AND 1991] A. G. Andreou, K. A. Boahen, P. O. Pouliquen, A. Pavasović, R. E. Jenkins, K. Strohhahn, « Current-Mode Subthreshold MOS Circuit for Analog VLSI Neural Systems », IEEE Transactions on Neural Networks, Vol. 2, N° 2, pp. 205-213, mars 1991.
- [BAL 2002] G. K. Balachandran, P. E. Allen, « Switched-Current Circuits in Digital CMOS Technology With Low Charge-Injection Errors », IEEE Journal of Solid-State Circuits, Vol. 37, N° 10, pp. 1271-1281, octobre 2002.
- [BEA 1997] M. F. Bear, B. W. Connors, M. A. Paradiso, « Neurosciences – A la découverte du cerveau », Pradel, Paris, 1997, 654 p., ISBN 2-907516-92-2.
- [BOA 1993] K. A. Boahen, A. G. Andreou, P. O. Pouliquen, R. E. Jenkins, « Current-Mode Based Analog Circuits for Synthetic Neural Systems », United States Patent, Patent Number 5206541, 27 avril 1993.
- [BOA 1996] K. A. Boahen, « A Retinomorph Vision System », IEEE Micro, Vol. 16, N° 5, pp. 30-39, 1996.
- [BOR 2003] Y. Bornat, « Contribution à la conception d'un ASIC mixte appliqué aux neurosciences computationnelles », Stage de Diplôme d'Etudes Approfondies, Laboratoire IXL, Université Bordeaux 1, 2003.
- [CAL 1995] R. L. Calabrese, « Half-Center Oscillators Underlying Rythmic Movements », pp. 444-447 dans « The Handbook of Brain Theory and Neural Networks » de M. A. Arbib, MIT Press, Cambridge, 1118 p., 1995, ISBN 0-262-01148-4.
- [CAL 1998] A. Calas, « Les Neurones », Chapitre 1 dans « Physiologie du neurone » de D. Tritsch, D. Chesnoy-Marchais, A. Feltz, Doin, Paris, 715 p., 1998, ISBN 2-7040-0872-8.
- [CHE 1998] D. Chesnoy-Marchais, D. tritsch, « Les canaux calcium », Chapitre 7 dans « Physiologie du neurone » de D. Tritsch, D. Chesnoy-Marchais, A. Feltz, Doin, Paris, 715 p., 1998, ISBN 2-7040-0872-8.
- [COR 1985] D. A. McCormick, B. W. Connors, J. W. Lighthall, D. A. Prince, « Comparative Electrophysiology of Pyramidal and Sparsely Stellate of the Neocortex », Journal of Neurophysiology, Vol. 54, N° 4, pp. 782-806, octobre 1985.

-
- [COR 1993] D. A. McCormick, Z. Wang, J. Huguenard, « Neurotransmitter Control of Neocortical Neuronal Activity and Excitability », *Cerebral Cortex*, Vol. 3, pp. 387-398, septembre 1993.
- [CUL 2003] E. Culurciello, R. Etienne-Cummings, K. A. Boahen, « A Biomorphic Digital Image Sensor », *IEEE Journal of Solid States Circuits*, Vol. 38, N° 2, pp. 281-294, février 2003.
- [DES 1994] A. Destexhe, Z.F. Mainen, T.J. Sejnowski, « An Efficient Method for Computing Synaptic Conductances Based on a Kinetic Model of Receptor Binding », *Neural Computation*, Vol. 6, pp. 14-18, 1994.
- [DES 1998] A. Destexhe, Z.F. Mainen, T.J. Sejnowski, « Kinetic Models of Synaptic Transmission », Chapitre 1 dans « *Methods in Neuronal modeling* » de C. Koch et I. Segev, 2^{ème} édition, MIT Press, Cambridge, XXX p., 1998, ISBN 0-2621-1231-0.
- [DES 2001] A. Destexhe, J. Huguenard, « Which Formalism to Use for Modeling Voltage-Dependent Conductances ? », Chapitre 5 dans « *Computational Neuroscience : Realistic Modeling for Experimentalists* » de E. De Schutter, C. Cannon, CRC Press LLC, 347 p., 2001, ISBN 0-8493-2068-2.
- [DIO 1996] C. Diorio, P. Hasler, B. A. Minch, C. A. Mead, « A Single-Transistor Silicon Synapse », *IEEE transactions on Electron Devices*, Vol. 43, N° 11, pp. 1972-1980, novembre 1996.
- [DIO 2002] C. Diorio, D. Hsu, M. Figueroa, « Adaptive CMOS: From Biological Inspiration to Systems-on-a-Chip », *Proceedings of the IEEE*, Vol. 90, N° 3, pp. 345-357, mars 2002.
- [DOU 1995] R. Douglas, M. Mahowald, C. Mead, « *Neuromorphic Analogue VLSI* », Oxford University Press, New York, 1995, 701 p., ISBN 0-19-510720-9.
- [DOU 2000] V. Douence, « *Circuits et systèmes de modélisation analogique de neurones biologiques* », Thèse de l'Université de Bordeaux 1, N° d'ordre 2324, 2000.
- [DUP 1998] D. Dupeyron, « *Contribution à l'intégration sur silicium de modèles analogiques de neurones biologiques* », Thèse de l'Université de Bordeaux 1, N° d'ordre 1967, 1998.
- [ELI 1993] J. G. Elias, « Artificial Dendritic Trees », *Neural Computation*, Vol. 5, pp. 648-663, 1993.
- [GIL 1990] B. Gilbert, « Current-mode circuits from translinear viewpoint : a tutorial », Chapitre 2 dans « *Analogue IC design : the current-mode approach* » de C. Toumazou, F.J. Lidgley, D.G. Haigh, Peter Peregrinus, Londres, 1990, 646 p., ISBN 0-86341-215-7.

-
- [HAH 2000] R. Hahnloser, R. Sarkeshpar, M. Mahowald, R. Douglas, S. Seung, « Digital selection and analogue coexist in a cortex-inspired silicon circuit », *Letters to Nature*, Vol. 405, pp. 947-951, juin 2000.
- [HOD 1949] A. L. Hodgkin, A. F. Huxley, B. Katz, « Ionic currents underlying activity in the giant axon of the squid », *Archi. Sci. Physiology*, Vol. 3, pp. 129-150, 1949.
- [HOD 1952a] A. L. Hodgkin, A. F. Huxley, B. Katz, « Measurements of current-voltage relations in the membrane of the giant axon of loligo », *Journal of Physiology*, Vol. 116, pp. 424-448, 1952.
- [HOD 1952b] A. L. Hodgkin, A. F. Huxley, « Currents carried by sodium and potassium ions through the membrane of the giant axon of loligo », *Journal of Physiology*, Vol. 116, pp. 449-472, 1952.
- [HOD 1952c] A. L. Hodgkin, A. F. Huxley, « The components of membrane conductance in the giant axon of loligo », *Journal of Physiology*, Vol. 116, pp. 473-496, 1952.
- [HOD 1952d] A. L. Hodgkin, A. F. Huxley, « The dual effect of membrane potential on sodium conductance in the giant axon of loligo », *Journal of Physiology*, Vol. 116, pp. 497-506, 1952.
- [HOD 1952e] A. L. Hodgkin, A. F. Huxley, « A quantitative description of membrane current and its application to conduction and excitation in nerve », *Journal of Physiology*, Vol. 117, pp. 500-544, 1952.
- [ING 1997] M. Ingels, M. S. J. Steyaert, « Design Strategies and Decoupling Techniques for Reducing the Effects of Electrical Interference in Mixed-Mode IC's », *IEEE Journal of Solid-State Circuits*, Vol. 32, N° 7, pp. 1136-1141, juillet 1997.
- [ITO 1994] M. Ito, « La plasticité des synapses », *La Recherche*, Vol. 25, N° 267, pp. 778-785, juillet-août 1994.
- [JOA 1994] K. Joardar, « A Simple Approach to Modeling Cross-Talk in Integrated Circuits », *IEEE Journal of Solid-State Circuits*, Vol. 29, N° 10, pp. 1212-1219, octobre 2004.
- [KAN 1991] E. R. Kandel, J. H. Schwartz, T. M. Jessell, « Principles of neural science » Troisième édition, Prentice Hall International, Londres, 1135 p., 1991, ISBN 0-8385-8068-8.
- [KOC 1999a] C. Koch, « Beyond Hodgkin and Huxley : Calcium and Calcium-Dependent Potassium Currents », Chapitre 9 dans « Biophysics of Computation » de C. Koch, Oxford University Press, New-York, 1999, 562 p., ISBN 0-19-510491-9.

-
- [KOC 1999b] C. Koch, « Synaptic Input », Chapitre 4 dans « Biophysics of Computation » de C. Koch, Oxford University Press, New-York, 1999, 562 p., ISBN 0-19-510491-9.
- [LAF 1998] A. Laflaquière, « Neurones artificiels sur Silicium : conception analogique et construction de réseaux hybrides », Thèse de l'Université de Bordeaux 1, N° d'ordre 1965, 1998.
- [LEM 1993] G. Le Masson, E. Marder, L. F. Abbott, « Activity-Dependent Regulation of Conductances in Model Neurons », *Science*, Vol. 259, pp. 1915-1917, 1993.
- [LEM 1998] G. Le Masson, « Stabilité fonctionnelle des réseaux de neurones : Etude expérimentale et théorique dans le cas d'un réseau simple », Thèse de l'Université de Bordeaux 1, N° d'ordre : 1801, 1998.
- [LEM 1999] S. Le Masson, A. Laflaquière, T. Bal, G. Le Masson, « Analog Circuits for Modeling Biological Neural Networks : Design and Applications », *IEEE Transactions on Biomedical Engineering*, Vol. 46, N° 6, p. 638-645, juin 1999.
- [LEM 2002] G. Le Masson, S. Renaud-Le Masson, D. Debay, « Feedback inhibition controls spike transfer in hybrid thalamic circuits », *Nature*, Vol. 417, pp. 854-858, 20 juin 2002.
- [LEV 2003] T. Lévi, « Implémentation sur silicium en technologie CMOS d'un modèle de neurones biologiquement réalistes », Stage de Master Recherche, Laboratoire IXL, Université Bordeaux 1, 2004.
- [MAH 1991] M. Mahowald, R. Douglas, « A silicon neuron », *Nature*, Vol 354, pp. 515-518, décembre 1991.
- [MAT 1998] H. Matthieu, « Physique des semiconducteurs et des composants électroniques », Masson, Paris, 1998, 714 p., ISBN 2-225-83151-3.
- [MIL 1995] J. Millman, A. Grabel, « Microélectronique », Ediscience international, Paris, 1995, 1003 p., ISBN 2-7042-1185-X.
- [MIN 1995] B. A. Minch, P. Hasler, C. Diorio, C. Mead, « A Silicon Axon », pp. 739-746 dans « Advances in Neural Information Processing Systems 7 : Proceedings of the 1994 Conference » de G. Tesauro, D. S. Touretzky, T. K. Leen, MIT Press, Cambridge, 1167 p., 1995, ISBN 0-2622-0104-6.
- [MOR 1981] C. Morris, H. Lecar, « Voltage oscillations in the barnacle giant muscle », *Journal of Biophysic*, Vol. 35, pp. 193-213, 1981.
- [NOR 1996] D. P. M. Northmore, J. G. Elias, « Spike Train Processing by a Silicon Neuromorph: the Role of Sublinear Summation in Dendrites », *Neural Computation*, Vol. 8, pp. 1245-1265, 1996.
- [PAT 1997] G. N. Patel, S.P. DeWeerth, « Analogue VLSI Morris-Lecar neuron », *Electronics Letters*, Vol. 33, N° 12, pp. 997-998, 5 juin 1997.

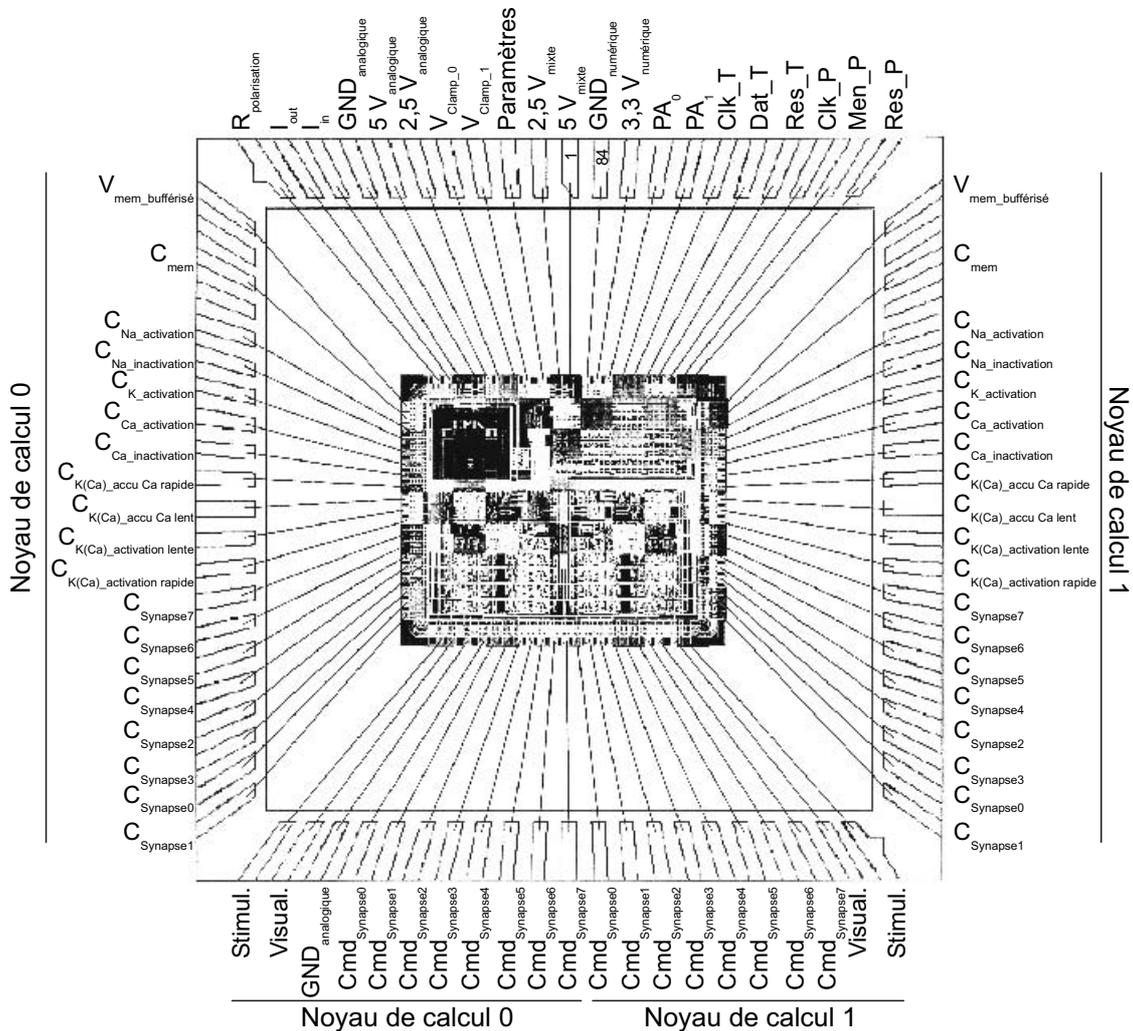
-
- [PER 2002] D. L. Perry, « VHDL : programming by example », Fourth edition, McGraw-Hill, New-York, 2002, 478 p., ISBN 0-07-140070-2.
- [REN 1993] S. Renaud-Le Masson, G. Le Masson, E. Marder, L. F. Abbott, « Hybrid Circuits of Interacting Computer Model and Biological Neurons », pp. 813-819 dans *Neural Information Processing Systems 5*, Morgan Kaufmann Publishers, San Mateo California, 1993, 1049 p., ISBN 1-55860-274-7.
- [REN 2004] S. Renaud-Le Masson, G. Le Masson, L. Alvado, S. Saïghi, J. Tomas, « A neural simulation system based on biologically-realistic electronic neurons », *Information Sciences*, Vol. 161, N° 1-2, pp. 57-69, 2004.
- [RIC 2001] D. Richard, D. Orsal, « Neurophysiologie – Organisation et fonctionnement du système nerveux », Deuxième édition, Dunod, Paris, 2001, 512 p., ISBN 2-10-005638-7.
- [SAI 2003] S. Saïghi, J. Tomas, L. Alvado, Y. Bornat, S. Renaud, « Silicon Integration of Biological Neurons Models », XVIII Conference on Design of Circuits and Integrated Systems, DCIS 2003, pp. 597-602, Ciudad Real, Espagne, Novembre 2003, ISBN 84-87087-40-X.
- [SAI 2004] S. Saïghi, J. Tomas, Y. Bornat, S. Renaud, « A Mixed Neuromorphic ASIC for Computational Neurosciences », XIX Conference on Design of Circuits and Integrated Systems, DCIS 2004, papier accepté, Bordeaux, France, Novembre 2004.
- [SED 1990] A.S. Sedra, G.W. Roberts, « Current conveyor theory and practice », Chapitre 3 dans « *Analogue IC design : the current-mode approach* » de C. Toumazou, F.J. Lidgey, D.G. Haigh, Peter Peregrinus, Londres, 1990, 646 p., ISBN 0-86341-215-7.
- [SEE 1988] E. Seevicnk, « Analysis and Synthesis of Translinear Integrated Circuits », Elsevier, Amsterdam, 1988, 238 p., ISBN 0-444-42888-7.
- [SEN 2004] « Biologically based neuromimetic modelling », Deliverable 10 of *SenseMaker* project, IST-2001-34712
- [SIM 2004] M. F. Simoni, G. S. Cymbalyuk, M. E. Sorensen, R. L. Calabrese, S. P. DeWeerth, « A Multiconductance Silicon Neuron With Biologically Matched Dynamics », *IEEE Transactions on Biomedical Engineering*, Vol. 51, N° 2, pp. 342-354, février 2004.
- [STA 1994] B. R. Stanistic, N. K. Verghese, R. A. Rutenbar, L. R. Carley, D. J. Allstot, « Addressing Substrate Coupling in Mixed-Mode IC's : Simulation and Power Distribution Synthesis », *IEEE Journal of Solid-State Circuits*, Vol. 29, N° 3, pp. 226-238, mars 1994.
- [STA 1995] B. R. Stanistic, R. A. Rutenbar, L. R. Carley, « Addressing Noise Decoupling in Mixed-Mode IC's : Power Distribution Design and Cell Customization », *IEEE Journal of Solid-State Circuits*, Vol. 30, N° 3, pp. 321-326, mars 1995.

-
- [TIE 1991] Y. Tietze, Ch. Schenk, « Electronic Circuits, design and applications » Springer Verlag, Berlin, 1991, 928 p., ISBN 3-540-50608-X.
- [TRI 1998a] D. Tritsch, « Gradient électrochimique. Potentiel de repos », Chapitre 3 dans « Physiologie du neurone » de D. Tritsch, D. Chesnoy-Marchais, A. Feltz, Doin, Paris, 715 p., 1998, ISBN 2-7040-0872-8.
- [TRI 1998b] D. Tritsch, « Le potentiel d'action des axones », Chapitre 6 dans « Physiologie du neurone » de D. Tritsch, D. Chesnoy-Marchais, A. Feltz, Doin, Paris, 715 p., 1998, ISBN 2-7040-0872-8.
- [WEB 2001] J. Weber, M. Meaudre, « Le langage VHDL : cours et exercices », 2^{ème} édition, Dunod, Paris, 232 p., 2001, ISBN 2-10-004755-8.
- [WEG 1987] G. Wegmann, E. A. Vittoz, F. Rahali, « Charge Injection in Analog MOS Switches », IEEE Journal of Solid State Circuits, Vol. 22, N° 6, pp. 1091-1097, décembre 1987.
- [WES 2000] J. Wessberg, C. R. Stambaugh, J. D. Kralik, P. D. Beck, M. Laubach, J. K. Chapin, J. Kim, S. J. Biggs, M. A. Srinivasan, M. A. L. Nicolelis, « Real-time prediction of hand trajectory by ensembles of cortical neurons in primates », Nature, Vol. 408, pp. 361-365, 16 novembre 2000.
- [WIL 1985] W. B. Wilson, H. Z. Massoud, E. J. Swanson, R. T. George, R. B. Fair, « Measurement and Modeling of Charge Feedthrough in n-Channel MOS Analog Switches », IEEE Journal of Solid State Circuits, Vol. 20, N° 6, pp. 1206-1213, décembre 1985.
- [YAN 1990] H. C. Yang, T. F. Fiez, D. J. Allstot, « Current-feedthrough effects and cancellation techniques in switched-current circuits », Proceeding of IEEE International Symposium on Circuits and Systems, Vol. II, pp. 3186-3188, Mai 1990.
- [ZAG 2004a] K. A. Zaghoul, K. Boahen, « Optic Nerve Signals in a Neuromorphic Chip I : Outer and Inner Retina Models », IEEE Transactions on Biomedical Engineering, Vol. 51, N° 4, pp. 657-666, avril 2004.
- [ZAG 2004b] K. A. Zaghoul, K. Boahen, « Optic Nerve Signals in a Neuromorphic Chip II : Testing and Results », IEEE Transactions on Biomedical Engineering, Vol. 51, N° 4, pp. 667-675, avril 2004.

Annexes

<i>Annexes</i>	145
Annexe 1 : Le plan de câblage de la puce Pamina	147
Annexe 2 : Les mots de topographie permettant la configuration des noyaux de calcul	148
Annexe 3 : Les adresses détaillées des différents paramètres	149
Annexe 4 : Les valeurs des paramètres des neurones inhibiteur et excitateur	151

Annexe 1 : Le plan de câblage de la puce Pamina



LEXIQUE DES ABBREVIATIONS UTILISEES POUR LA DENOMINATION DES BROCHES

C_X	Capacité permettant le calcul de la fonction X
Stimul.	Broche de stimulation
Visual.	Broche pour la visualisation de la voie résistive
Cmd $_X$	Broche de commande de la synapse X
Vmem bufférisé	Sortie pour la visualisation de la tension de membrane
R _{polarisation}	Résistance pour la polarisation du circuit
I _{out}	Broche de sortie du courant généré par le bloc de polarisation de l'ASIC
I _{in}	Broche d'entrée du courant permettant le fonctionnement de la puce
Paramètres	Broche d'entrée des valeurs analogiques des paramètres
V _{Clamp$_X$}	Broche d'entrée pour la caractérisation par la technique du voltage clamp du noyau de calcul X
PA $_Z$	Potentiel d'action numérisé sur un bit du noyau de calcul Z
Clk_T	Horloge pour le chargement de la topographie
Dat_T	Données de topographie
Res_T	Remise à zéro de la fonction de chargement de la topographie
Clk_P	Horloge pour le chargement des valeurs des paramètres analogiques
Men_T	Commande de mémorisation des cellules mémoires analogiques
Res_P	Remise à zéro de la fonction de chargement des valeurs des paramètres analogiques

Annexe 2 : Les mots de topographie permettant la configuration des noyaux de calcul

COMPOSITION DES MOTS DE TOPOGRAPHIE

Poids du bit	MSB																LSB
Nom du bit	N	V2	V1	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0

CONFIGURATION DES BITS DU MOT DE TOPOGRAPHIE

Bit	Niveau	Description	
N	0	Mot de topographie adressé au noyau de calcul 0	
	1	Mot de topographie adressé au noyau de calcul 1	
V2 V1	1 1	Mot de configuration du fonctionnement du noyau de calcul	
	0 1	Mot de configuration de la topographie de la voie Cmem	
	1 0	Mot de configuration de la topographie de la voie résistive pour visualisation	
		Dans le cas d'une configuration de topographie d'une voie	Dans le cas d'une configuration de fonctionnement d'un noyau de calcul
D13	0	Synapse 7 déconnectée	Inutilisé
	1	Synapse 7 connectée	
D12	0	Synapse 6 déconnectée	Inutilisé
	1	Synapse 6 connectée	
D11	0	Synapse 5 déconnectée	Inutilisé
	1	Synapse 5 connectée	
D10	0	Synapse 4 déconnectée	Inutilisé
	1	Synapse 4 connectée	
D9	0	Synapse 3 déconnectée	Inutilisé
	1	Synapse 3 connectée	
D8	0	Synapse 2 déconnectée	Inutilisé
	1	Synapse 2 connectée	
D7	0	Synapse 1 déconnectée	Inutilisé
	1	Synapse 1 connectée	
D6	0	Synapse 0 déconnectée	Inutilisé
	1	Synapse 0 connectée	
D5	0	Stimulation déconnectée	Cinétique lente d'activation du potassium dépendant calcium
	1	Stimulation connectée	Cinétique rapide d'activation du potassium dépendant calcium
D4	0	Canal potassique calcium dépendant déconnecté	Cinétique lente de l'accumulation calcique
	1	Canal potassique calcium dépendant connecté	Cinétique rapide de l'accumulation calcique
D3	0	Canal calcique déconnecté	Configuration en mode m.h du canal calcique
	1	Canal calcique connecté	Configuration en mode m ² .h du canal calcique
D2	0	Canal de fuite déconnecté	Configuration en mode voltage clamp
	1	Canal de fuite connecté	Configuration en mode rebouclé sur Cmem
D1	0	Canal potassique déconnecté	Durée du créneau de détection des potentiels d'action D1 D0 = 0 0 : créneau de durée brève
	1	Canal potassique connecté	
D0	0	Canal sodique déconnecté	D1 D0 = 0 1 : créneau de durée moyenne D1 D0 = 1 1 : créneau de durée longue
	1	Canal sodique connecté	

EXEMPLES

- 1) Configuration du fonctionnement du noyau de calcul 0 dans le cas de cinétiques lentes pour l'activation de K(Ca) et de Ca, en mode m².h pour le Ca, rebouclé sur Cmem avec une détection de durée moyenne.

Poids du bit	MSB																LSB
Nom du bit	N	V2	V1	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
Valeur du bit	0	1	1	0	0	0	0	0	0	0	0	0	0	1	1	0	1

- 2) Connexion sur la voie Cmem du noyau de calcul 1 des synapses 2 et 0, de la stimulation, du canal de fuite, du canal potassique et du canal sodique.

Poids du bit	MSB																LSB
Nom du bit	N	V2	V1	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
Valeur du bit	1	0	1	0	0	0	0	0	1	0	1	1	0	0	1	1	1

Annexe 3 : Les adresses détaillées des différents paramètres

Paramètres		Adresses en hexadécimal	
		Noyau de calcul 0	Noyau de calcul 1
Canal sodique	Pente d'activation	101	150
	Offset d'activation	102	151
	Cinétique d'activation	103	152
	Pente d'inactivation	104	153
	Offset d'inactivation	105	154
	Cinétique d'inactivation	106	155
	Conductance maximale	107	156
	Potentiel d'équilibre	108	157
Canal potassique	Pente d'activation	109	158
	Offset d'activation	10A	159
	Cinétique d'activation	10B	15A
	Conductance maximale	10C	15B
	Potentiel d'équilibre	10D	15C
Canal de fuite	Conductance maximale 1 ^{er} terme	10E	15D
	Conductance maximale 2 ^{ème} terme	10F	15E
	Potentiel d'équilibre	110	15F
Canal calcique	Pente d'activation	111	160
	Offset d'activation	112	161
	Cinétique d'activation	113	162
	Pente d'inactivation	114	163
	Offset d'inactivation	115	164
	Cinétique d'inactivation	116	165
	Conductance maximale 1 ^{er} terme	117	166
	Conductance maximale 2 ^{ème} terme	118	167
	Potentiel d'équilibre	119	168
Canal potassique dépendant calcium	Accumulation calcique rapide	11A	169
	Accumulation calcique lente	11B	16A
	Concentration calcique de pondération [Ca ₀]	11C	16B
	Pente d'activation	11D	16C
	Offset d'activation	11E	16D
	Cinétique d'activation rapide	11F	16E
	Cinétique d'activation lente	120	16F
	Conductance maximale 1 ^{er} terme	121	170
	Conductance maximale 2 ^{ème} terme	122	171
	Potentiel d'équilibre	123	172
Synapse 0	Cinétique pendant la phase de montée	124	173
	Cinétique pendant la phase de descente	125	174
	Conductance maximale 1 ^{er} terme	126	175
	Conductance maximale 2 ^{ème} terme	127	176
	Potentiel d'équilibre	128	177
Synapse 1	Cinétique pendant la phase de montée	129	178
	Cinétique pendant la phase de descente	12A	179
	Conductance maximale 1 ^{er} terme	12B	17A
	Conductance maximale 2 ^{ème} terme	12C	17B
	Potentiel d'équilibre	12D	17C
Synapse 2	Cinétique pendant la phase de montée	12E	17D
	Cinétique pendant la phase de descente	12F	17E
	Conductance maximale 1 ^{er} terme	130	17F
	Conductance maximale 2 ^{ème} terme	131	180
	Potentiel d'équilibre	132	181
Synapse 3	Cinétique pendant la phase de montée	133	182
	Cinétique pendant la phase de descente	134	183
	Conductance maximale 1 ^{er} terme	135	184
	Conductance maximale 2 ^{ème} terme	136	185
	Potentiel d'équilibre	137	186

Synapse 4	Cinétique pendant la phase de montée	138	187
	Cinétique pendant la phase de descente	139	188
	Conductance maximale 1 ^{er} terme	13A	189
	Conductance maximale 2 ^{ème} terme	13B	18A
	Potentiel d'équilibre	13C	18B
Synapse 5	Cinétique pendant la phase de montée	13D	18C
	Cinétique pendant la phase de descente	13E	18D
	Conductance maximale 1 ^{er} terme	13F	18E
	Conductance maximale 2 ^{ème} terme	140	18F
	Potentiel d'équilibre	141	190
Synapse 6	Cinétique pendant la phase de montée	142	191
	Cinétique pendant la phase de descente	143	192
	Conductance maximale 1 ^{er} terme	144	193
	Conductance maximale 2 ^{ème} terme	145	194
	Potentiel d'équilibre	146	195
Synapse 7	Cinétique pendant la phase de montée	147	196
	Cinétique pendant la phase de descente	148	197
	Conductance maximale 1 ^{er} terme	149	198
	Conductance maximale 2 ^{ème} terme	14A	199
	Potentiel d'équilibre	14B	19A
Stimulation	Conductance maximale 1 ^{er} terme	14C	19B
	Conductance maximale 2 ^{ème} terme	14D	19C
Créneau de détection des potentiels d'action	Niveau de comparaison	14E	19D
	Durée de la temporisation	14F	19E

Annexe 4 : Les valeurs des paramètres des neurones inhibiteur et excitateur

Le neurone inhibiteur est composé des canaux sodium, potassium et fuite ; tandis que le neurone excitateur est composé des canaux ioniques sodium, potassium, fuite et modulateur. Pour chacun la capacité de membrane a été choisie à $1 \mu\text{F}/\text{cm}^2$ avec une surface équivalente de $0,00022 \text{ cm}^2$.

Les canaux ioniques répondent aux équations suivantes :

Canal sodium	$I_{\text{Na}} = \overline{g_{\text{Na}}} \cdot m^3(V_{\text{MEM}}) \cdot h(V_{\text{MEM}}) \cdot (V_{\text{MEM}} - E_{\text{Na}})$
Canal potassium	$I_{\text{K}} = \overline{g_{\text{K}}} \cdot n^4(V_{\text{MEM}}) \cdot (V_{\text{MEM}} - E_{\text{K}})$
Canal de fuite	$I_{\text{Fuite}} = \overline{g_{\text{Fuite}}} \cdot (V_{\text{MEM}} - E_{\text{Fuite}})$
Canal modulateur	$I_{\text{MOD}} = \overline{g_{\text{MOD}}} \cdot m(V_{\text{MEM}}) \cdot (V_{\text{MEM}} - E_{\text{MOD}})$
Régime permanent des fonctions d'activation et d'inactivation. Dans le cas d'une activation - inactivation - le signe entre parenthèses est négatif - positif.	$x_{\infty}(V_{\text{MEM}}) = \frac{1}{1 + \exp\left(\mp \frac{V_{\text{MEM}} - V_{\text{OFFSET}}}{V_{\text{PENTE}}}\right)}$
Fonctions d'activation et d'inactivation avec une cinétique non voltage dépendante.	$\tau \cdot \frac{dx}{dt} = x_{\infty}(V_{\text{MEM}}) - x$

Avec les valeurs suivantes pour chacun des canaux ioniques :

Type de canal	Paramètre	Valeur logicielle
Sodium	V_{OFFSET} activation	-37 mV
	V_{PENTE} activation	7,2 mV
	Cinétique d'activation	0,03 ms
	V_{OFFSET} inactivation	-42 mV
	V_{PENTE} inactivation	4,6 mV
	Cinétique d'inactivation	0,8 ms
	Conductance maximale	0,05 S/cm ²
	Potentiel d'équilibre	50 mV
Potassium	V_{OFFSET} activation	-37 mV
	V_{PENTE} activation	11,38 mV
	Cinétique d'activation	3 ms
	Conductance maximale	0,005 S/cm ²
	Potentiel d'équilibre	-90 mV
Fuite	Conductance maximale	0,00015 S/cm ²
	Potentiel d'équilibre	-70 mV
Modulateur	V_{OFFSET} activation	-35 mV
	V_{PENTE} activation	11,4 mV
	Cinétique d'activation	20 ms
	Conductance maximale	0,000182 S/cm ²
	Potentiel d'équilibre	-100 mV

Résumé

Ce sujet de recherche a pour principaux objectifs la réalisation d'une bibliothèque de fonctions électroniques analogiques intégrées réalisant les opérations mathématiques présentes dans les modèles des canaux ioniques des neurones et l'évaluation des éléments de cette même bibliothèque. Ce travail se poursuit par la conception d'un système démonstrateur basé sur un circuit intégré analogique neuromimétique utilisant la bibliothèque d'opérateurs pour que ce même circuit intégré puisse être utilisé dans de nouvelles expériences mettant en oeuvre la technique hybride. En fonction des performances du circuit, il a été aussi étudié la faisabilité de son utilisation pour le développement d'un outil d'extraction des paramètres d'une cellule nerveuse, voire même d'un mini-réseau composé de moins d'une dizaine de neurones, par la technique d'optimisation.

Mots-clés

Circuits intégrés neuromimétiques, circuits intégrés mixtes, neurones artificiels, Hodgkin-Huxley, technique hybride, technique d'optimisation.

Abstract

The main objective of this research work is the development and evaluation of a library of integrated analogical electronic functions; those functions carry out the mathematical operations which exist in the conductance-based models of the neurons ionic channels. The study carries on with the design of a system demonstrator based on an analogue neuromimetic integrated circuit using the previous library. This custom integrated circuit can be used for new experiments based on the hybrid technique. The circuit is next considered to be used in a tool (optimization technique) for the extraction of neuron model parameters. Both techniques can be extended for the study of small neural networks.

Key words

Neuromimetic integrated circuits, mixed integrated circuits, artificial neurons, Hodgkin-Huxley, hybrid technique, optimization technique.