



HAL
open science

Etude et caractérisation de l'influence des contraintes mécaniques sur les propriétés du transport électronique dans les architectures MOS avancées

Florent Rochette

► **To cite this version:**

Florent Rochette. Etude et caractérisation de l'influence des contraintes mécaniques sur les propriétés du transport électronique dans les architectures MOS avancées. Micro et nanotechnologies/Microélectronique. Institut National Polytechnique de Grenoble - INPG, 2008. Français. NNT : . tel-00336989v4

HAL Id: tel-00336989

<https://theses.hal.science/tel-00336989v4>

Submitted on 11 Dec 2008

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THESE

pour obtenir le grade de

DOCTEUR DE L'INPG

Spécialité : « Micro et Nano Electronique »

préparée au **Laboratoire de Simulation et Caractérisation des Dispositifs et Procédés du CEA-LETI** et à l'**Institut de Microélectronique, Electromagnétisme et Photonique (IMEP-LAHC)**
au sein du pôle en **Micro et NanoTechnologies (MINATEC)** à Grenoble

dans le cadre de l'Ecole Doctorale :

« Electronique, Electrotechnique, Automatisme et Traitement du Signal »

présentée et soutenue publiquement

par

Florent ROCHETTE

le 26 septembre 2008

Titre :

Étude et caractérisation de l'influence des contraintes
mécaniques sur les propriétés du transport
électronique dans les architectures MOS avancées

Directeur de thèse : Mme Mireille MOUIS, DR CNRS

Co-encadrant : M. Mikaël CASSÉ, Ing. CEA-LETI

JURY

M. Gérard GHIBAUDO	, D.R. CNRS IMEP-LAHC (Grenoble)	, Président
M. Cor CLAEYS	, PROF. UNIV. CATH. DE LOUVAIN - IMEC (BELGIUM)	, Rapporteur
M. Alain PONCET	, PROF. UNIV. INSA DE LYON - INL (Villeurbanne)	, Rapporteur
Mme Mireille MOUIS	, D.R. CNRS IMEP-LAHC (Grenoble)	, Directrice de thèse
M. Mikaël CASSÉ	, ING. CEA-LÉTI (Grenoble)	, Co-encadrant
M. Jean-Pierre COLINGE	, PROF. UNIV. COLL. CORK – TYND. NAT. INST. (IRELAND)	, Examineur

Remerciements

En premier lieu, je tiens à adresser mes remerciements à mon jury qui a bien voulu lire toutes les pages de ce volumineux mémoire, ce qui a dû leur prendre beaucoup de temps précieux sur leurs travaux de recherche... ou leurs vacances ! En particulier je suis très heureux d'avoir eu comme rapporteurs messieurs Cor Claeys, de l'IMEC à Louvain en Belgique, scientifique renommé en caractérisation électrique des dispositifs de la microélectronique, et Alain Poncet, de l'INL à Lyon, spécialiste de la simulation numérique et aguerri du silicium contraint, tous deux professeurs des universités. J'ai également été très honoré de la présence de M. Jean-Pierre Colinge, professeur à l'Institut National de Tyndall à Cork en Irlande et spécialiste incontournable des transistors SOI, qui a bien voulu se porter examinateur. Je remercie également vivement M. Gérard Ghibaudo, directeur de recherche au CNRS et désormais directeur de l'IMEP-LAHC, d'avoir présidé ce jury. J'ai apprécié leur regard critique sur mon travail. Répondre à leurs multiples questions intéressées fut un réel plaisir pour moi. J'ai également été très touché par leurs félicitations, sincères à mes yeux et nombreuses, qui portaient à la fois sur mon mémoire de thèse et ma présentation orale de soutenance. Se sentir reconnu par ses pairs n'a pas de prix en recherche.

Je remercie la région Rhône-Alpes pour le financement de ce travail de recherche, qui s'est inscrit dans le cadre du projet N.A.M. (Nouvelles Architectures MOS).

Au LSCDP (Laboratoire de Simulation et Caractérisation des Dispositifs et Procédés du CEA-Léti) : Fabien Boulanger, pour m'avoir accueilli dans son laboratoire. Gilles Reibold, pour m'avoir intégré dans son équipe de caractérisation et modélisation. Mikaël Cassé alias Mike, pour son encadrement quotidien, ses corrections appliquées, nos échanges vivants, sa perspicacité, sa curiosité et son humour, merci pour ces trois années passées ensemble au CEA (merci pour tes mots prononcés pendant ma soutenance et qui m'ont particulièrement touché). Vincent Vidal alias Don Vincenzo ou HariBoy, pour sa présence et nos nombreux échanges...philosophiques ! Xavier Garros alias le Xav', pour ses qualités d'expert du C(V), ses bons repas, nos défis Karting-Bowling ! Laurent Thevenod alias Le Venno ou BeB, pour nos parties déstress de basket-bureau et de jeux flashes, son humour...décoiffant, nos discussions éclairées dans le bureau que nous avons partagé ensemble pendant la deuxième moitié de notre thèse (et non des moindres) ou ailleurs. Luca Perniola (« où é ? ») alias l'oumbeille, pour sa gentillesse et son EVG mémorable. Jérôme Mitard alias Dje (« de FLS : nous vous informons que le centre ferme ses portes à 20H »). Charles Leroux, pour son super simulateur Poisson-Schrödinger que je me suis amusé à enrichir. Denis Blachier, pour son aide sur le banc contrainte. Fabienne Allain, pour son efficacité en test paramétrique et son sens de la dérision. Jacques Cluzel, de ne jamais m'avoir laissé gagner au ping-pong (je l'aurai !). Patrick Grosgeorges, pour ses tests kinésiologiques mais aussi pour son banc cryo et son point de vue syndicaliste ! Alain Toffoli, responsable des tests paramétriques. François Mondon, pour ses présentations scientifiques raccourcies ! Lucile Arnaud et Cyril Guedj du côté des interco. Du côté des spécialistes de la simulation numérique, Marie-Anne Jaud, pour sa bonne humeur et nos repas partagés ensemble pendant mon stage au LNDE, mais aussi Sylvain Barraud, Gilles Le Carval, Jean-Charles Barbé, Olivier Bonno, avec qui j'ai été amené à échanger nos points de vue sur l'effet des contraintes au cours de ma thèse. Pierre Rivallin et Pascal Scheiblin. Hisao Kawasaki (un japonais bien sympa mais qui n'a pu se faire à la nourriture française !). Sans oublier les nombreux stagiaires et thésards que j'ai pu cotoyer (dont certains ont eu la chance de partager mon bureau dans la tétine du 41.02 !) : Jean-Frédéric Guillaumond, Loan Pham, pour ses nem's et son entrain, Benoît Guigues, Lise Doyen (championne du challenge coupe du monde 2006), Martin Bellinghrodt (un allemand très gentil), Perrine Batude, pour ses gâteaux et nos parties déchainées de squash avec

Lise ! Puis Virginie Verrière, Etienne Nowak, Nada Bouhri (la poursuite de mon travail t'aurait-elle fait peur ?!), Kruno Romanjek, spécialiste du split-CV canaux courts entre autres, Emmanuel Fuchs, Erwan Dornel et Pierre-Yves Prodhomme. Enfin Estelle Brague, une secrétaire qui pétille !

Au LNDE (Laboratoire des Nanodispositifs Electronique du Lét) : François Andrieu, pour son suivi technique, ses compétences scientifiques dans le domaine de la technologie et de la physique du silicium contraint et pour m'avoir intégré dans ses études. Gabriel Molas alias Gab' ou Gaby et ses délires, son mariage, et nos soirées...pourri award ! Olivier Faynot, qui fut mon responsable de stage de fin d'études, et Thierry Poiroux, pour leurs qualités humaines et scientifiques. Olivier Weber (de rien pour les TPs Spice, ce fût un plaisir !), Julie Widiez la multivitaminée ! Romain Ritzenthaler alias le boucher des Alpes (merci pour ma cheville !), Julien Buckley, Carine Jahan, Bernard Guillaumot, Simon Deleonibus (chef du labo), Georges Guegan, un jedi de la carac élec. Cécilia alias Cé pour sa profonde gentillesse, son soutien et nos discussions-repas, Vincent Barral alias ma loutre et ses phrases humoristiques, Emilie Bernard, Atsuchi Kuriyama, un doctorant japonais hors normes ! Laurent Brévard, pour le suivi d'un de mes lots étudiés pendant ce travail. Sophie Baudot. Sans oublier la super secrétaire Corinne Pantigny qui m'a souvent dépanné.

Au CEA-LETI en général (Laboratoire d'Electronique et des Technologies de l'Information) : Laurent Vandroux et Patrick Maury pour les lots strained-CESL. Arnaud Garnier et Sébastien Dubois alias Séboulette, pour nos repas au H1.

À l'IMEP (Institut de Microélectronique, Electromagnétisme et Photonique) : Mireille Mouis, ma directrice de thèse pour m'avoir proposé ce sujet et m'avoir soutenu tout au long de ces trois années et plus. Thomas Guillaume alias Tom, pour son intérêt à mon égard, son soutien, notre vision commune de la recherche et notre passion des sports de raquettes (à quand ce match de ping ou de tennis !?). Gérard Guibauda alias gégé, que l'on ne peut que respecter et admirer pour ses qualités humaines et scientifiques, merci pour ton aide précieuse de fin de thèse. Laurent Montes, pour m'avoir proposé d'enseigner... en anglais pour les étudiants du master nanotech, Raphaël Clerc, pour son aide sur le désormais célèbre TP C3 du CIME et pour l'article d'enseignement associé, et aussi pour m'avoir permis d'enseigner pour l'ENSPG. Bogdan Bercu, Darine Kaddour, Quentin Rafhay. Sorin Cristoloveanu. Xavier Mescot, pour sa formation sur les stations sous pointes de l'IMEP. Martine Gri, pour sa bonne humeur et ses câblages...en or ! Francis Balestra, directeur de l'IMEP au début de ma thèse. Mais aussi les personnels administratif (Emmanuelle Julo pour MIGAS, Mireille Tacchini, Elisabeth Blanc, Chahla Domenget...) et informatique (Serge Bas, Luc Bouro, Brigitte Rasolofoniaina, oui oui sans faute). Mais aussi mes derniers co-bureau Adriana Warzecha (une polonaise extra !), René Gary (égal à lui-même), Franck Moukanda Mbango (bonne chance pour ta toute fin de thèse). Sans oublier mes stagiaires Teddy Pioger et Ariel Haziot pour leurs mesures sur le banc contrainte et sans qui le chapitre III de cette thèse n'aurait pas la même richesse.

Au LCMI (Laboratoire des Champs Magnétiques Intenses) : Duncan Maude (et ses post-doc), pour m'avoir permis de réaliser des mesures sous champ magnétique intense et pour son aide pendant mes manip (encore désolé pour la canne !).

À l'INSA de Lyon (Institut National des Sciences Appliquées) : Gérard Guillot, directeur du ex-LPM de Lyon (Laboratoire de Physique de la Matière), Alain Poncet (pour nos échanges sur l'effet des contraintes mécaniques liées aux procédés technologiques), Mustapha Lemiti pour son humanisme, André Augier et Abdel Kader Soufi : mes professeurs de l'INSA au LPM, pour m'avoir enseigné la physique passionnante des semiconducteurs. Sévak Amtablian et Didier Montagne, mes potes SGM (Sciences et Génie des Matériaux).

À Alliance Crolles 2 - STMicroelectronics : Claire Gallon, Frédéric Bœuf, pour nos échanges sur la problématique du strained-Si et Antoine Cros.

À SOITEC : Frédéric Allibert alias Fred et Gaëlle Hamaïde.

À l'ENSERG (Ecole Nationale Supérieure d'Electronique et de Radioélectricité de Grenoble) : Valérie Dodet du service du personnel. Patrice Petitclair, mon tuteur de monitorat, et Eric Beneteau, pour la préparation à l'enseignement des TP's d'électronique à l'ENSERG. Bernard Guérin, directeur de l'ENSERG. Ainsi que toutes les personnes avec qui j'ai pu échanger pendant ces trois années d'enseignement (Fanny Poinssotte, Moussa Barakat, Lionel Bastard, Matthieu Chabanas, David Sodoyer...).

À l'INPG en général (Institut National Polytechnique de Grenoble) : Pierre Gentil, alors directeur de l'école doctorale EEATS et responsable de ma spécialité de thèse, pour m'avoir reçu et nos discussions sur le métier d'ingénieur-chercheur. Sans oublier les intervenants des cours auxquels j'ai pu assister pendant ma thèse.

Enfin, mon attention se porte vers ma famille et mes amis de toujours qui m'ont soutenu pendant les phases creuses de ce long travail : mes parents, Guy et Aline (merci maman pour ta relecture minutieuse de phrases dont souvent le sens t'échappait !), mon frère Fabien alias Fab ou le cerf (royal !). Sébastien alias Keb, mon pote d'enfance qui m'apprend toujours un vocabulaire inclassable, Eloïse et ses SMS, Virginie le petit poussin. Et tous ceux qui comptent pour moi et que j'aurais malencontreusement oubliés (ils se reconnaîtront !).

Je n'oublierai jamais ce vendredi 26 septembre dans l'amphithéâtre P005 de Minatec Polygone à Grenoble, entouré physiquement par un jury remarquable, ma famille, mes collègues du CEA et de l'IMEP, et par la pensée par mes quelques fans et amis de toujours! Merci à mes parents d'avoir organisé de façon majestueuse mon pot de soutenance et à tous ceux qui sont venus me féliciter et trinquer avec moi ou simplement venus m'écouter parler de contraintes, piézorésistivité bidimensionnelle et mobilité d'électrons ou de trous ! Merci pour vos cadeaux !

Table des matières

Remerciements.....	3
Table des matières	7
Introduction Générale.....	15
Chapitre I - Les enjeux de la microélectronique	19
<i>I.A Le transistor MOS à effet de champ : principe de fonctionnement</i>	<i>19</i>
I.A.1 Description générale.....	19
I.A.2 Régimes de fonctionnement du MOSFET	20
I.A.3 Expressions analytiques des principales caractéristiques d'un MOSFET long et large ...	22
<i>I.B La miniaturisation et ses limites</i>	<i>25</i>
I.B.1 Le « scaling » - Loi de Moore et de Dennard.....	25
I.B.2 Les défis liés à la miniaturisation.....	26
<i>I.B.2.1 Le compromis énergie dissipée / performance</i>	<i>26</i>
<i>I.B.2.2 Notions de transport dans les MOSFETs courts</i>	<i>29</i>
Mobilité et vitesse de saturation	29
Le transport balistique ou quasi-balistique.....	30
<i>I.B.2.3 Les effets parasites de canal réduit dans les architectures avancées.....</i>	<i>32</i>
<i>I.C Les solutions technologiques pour améliorer les performances des MOSFETs.....</i>	<i>34</i>
I.C.1 Les architectures visant à optimiser le contrôle électrostatique.....	34
<i>I.C.1.1 Les optimisations du procédé réalisées en technologie « bulk ».....</i>	<i>34</i>
<i>I.C.1.2 La technologie SOI et les architectures multigrilles.....</i>	<i>35</i>
Description générale.....	35
Les avantages du SOI.....	36
Les limitations du SOI.....	37
Les architectures à grilles multiples	39
I.C.2 Les nouveaux matériaux permettant d'améliorer le compromis couplage électrostatique/fuites de grilles.....	40
<i>I.C.2.1 Les diélectriques à forte permittivité</i>	<i>40</i>
<i>I.C.2.2 Les grilles métalliques</i>	<i>42</i>

I.C.3	Les solutions pour améliorer les propriétés de transport (compromis performance/puissance dissipée)	43
I.C.3.1	Les matériaux à haute mobilité intrinsèque	44
I.C.3.2	L'ingénierie de la structure de bandes	45
	Amélioration du couplage capacitif de grille par la modulation de la structure de sous-bandes ...	45
	L'orientation cristalline du substrat et/ou du canal	46
	Les contraintes mécaniques.....	49
I.C.3.3	Fonctionnement à plus basse température.....	49
I.C.3.4	Synthèse des possibilités d'amélioration du transport.....	50
Chapitre II - L'apport des contraintes mécaniques dans les technologies CMOS : historique, éléments de théorie et état de l'art.....		51
II.A	Historique : de leur évitement à leur utilisation	51
II.A.1	Les effets néfastes des contraintes mécaniques	51
II.A.2	Les contraintes exploitées en microélectronique	53
II.B	Introduction à la physique du silicium contraint.....	53
II.B.1	Contraintes mécaniques et élasticité	54
II.B.1.1	Tenseur des contraintes	54
II.B.1.2	Tenseur des déformations	57
II.B.1.3	Tenseurs d'élasticité - loi de Hooke.....	58
II.B.2	Structure cristalline et diagramme de bandes	59
II.B.2.1	Silicium massif.....	59
II.B.2.2	Concept de masse effective	62
II.B.2.3	Effet du confinement quantique.....	64
II.B.3	Effet d'une contrainte mécanique sur la structure de bandes du silicium	68
II.B.3.1	Bande de conduction du silicium contraint.....	70
II.B.3.2	Bande de valence du silicium contraint	73
II.B.3.3	Modification des masses effectives	75
II.B.3.4	Cas des couches confinées	78
II.B.3.5	Impact sur les caractéristiques $C(V)$ d'une structure MOS.....	80
II.B.4	Les propriétés du transport électronique – Mobilité effective.....	82
II.B.4.1	Les mécanismes limitant la mobilité d'une couche d'inversion (cas des MOSFETs longs)...	82
	Notions sur la mobilité effective des porteurs dans une couche d'inversion.....	83
	Interactions électrons/charges coulombiennes.....	86
	Interactions électrons/rugosité de surface.....	86
	Interactions avec des défauts neutres.....	87
	Interactions électrons/phonons du réseau	88

II.B.4.2	<i>Effet d'une contrainte mécanique sur la mobilité effective des porteurs</i>	93
II.B.4.2.1	Effet sur les temps d'interaction.....	94
II.B.4.2.2	Effet global sur la mobilité et la vitesse moyenne des porteurs dans le Si massif	96
II.B.5	La piézorésistivité du silicium.....	97
II.B.5.1	<i>Concept et intérêt</i>	97
II.B.5.2	<i>Tenseur de piézorésistivité linéaire</i>	98
II.B.5.3	<i>Cas du silicium massif sous faible déformation (piézorésistivité volumique)</i>	100
II.B.5.4	<i>Cas d'une couche d'inversion (piézorésistivité bidimensionnelle)</i>	107
II.C	<i>Les architectures à canal contraint et leurs performances</i>	110
II.C.1	L'ingénierie du canal par le substrat - canaux épitaxiés	110
II.C.1.1	<i>SiGe en compression sur silicium massif (sSiGe / Si)</i>	113
II.C.1.2	<i>Silicium en tension sur substrat virtuel SiGe (sSi/SiGe relaxé)</i>	114
II.C.1.3	<i>SiGe en compression sur isolant (sSGOI) et silicium contraint en tension sur SGOI (sSi/SGOI)</i>	117
II.C.1.4	<i>Silicium en tension biaxiale directement sur isolant (sSOI ou SSDOI)</i>	118
II.C.1.5	<i>Les architectures à canaux duaux (hétéro-épitaxie)</i>	120
II.C.2	Les contraintes induites par le procédé de fabrication	121
II.C.2.1	<i>Les CESL contraints ("liners" nitrurés)</i>	123
II.C.2.2	<i>Les tranchées peu profondes d'isolation (STI)</i>	124
II.C.2.3	<i>Les contraintes introduites au niveau des S/D</i>	125
II.C.2.4	<i>Les grilles métalliques</i>	126
II.C.2.5	<i>Stress Memorization Technique (SMT)</i>	128
II.C.3	Les solutions alternatives envisagées en pre- ou post-process.....	128
II.C.3.1	<i>Le report sur substrat</i>	128
II.C.3.2	<i>Le « package strain »</i>	129
II.C.4	Superposition des contraintes.....	129
II.C.5	Conclusion : les approches choisies actuellement pour N&PMOS	129
II.D	<i>Les techniques de caractérisation des contraintes mécaniques</i>	132
Chapitre III - Etude expérimentale de l'impact d'une contrainte mécanique uniaxiale faible sur les propriétés de transport		133
III.A	<i>Notre outil d'analyse : le banc de flexion quatre points</i>	133
III.A.1	Caractéristiques, avantages et possibilités	133
III.A.2	Limitations, solutions et perspectives d'évolution envisagées.....	135

III.B Effet d'une contrainte uniaxiale sur les MOSFETs en technologie Si massif et FDSOI.....	138
III.B.1 Le lien courant / mobilité / coefficients piézorésistifs.....	139
III.B.2 Extraction des coefficients piézorésistifs bidimensionnels	141
<i>Protocoles de mesure et techniques d'extraction des π_{ij} usuels.....</i>	<i>141</i>
<i>Application au cas des transistors longs.....</i>	<i>143</i>
<i>Application au cas de transistors courts.....</i>	<i>144</i>
<i>Corrélation régime linéaire / régime de saturation.....</i>	<i>146</i>
III.B.3 Evolution des coefficients piézorésistifs avec la charge d'inversion aux faibles déformations	148
III.B.3.1 Piézorésistivité linéaire d'un gaz bidimensionnel d'électrons.....	148
Dispositifs de technologie sur silicium massif	148
Dispositifs de technologie FDSOI.....	151
III.B.3.2 Piézorésistivité linéaire d'un gaz bidimensionnel de trous.....	154
Dispositifs de technologie sur silicium massif	154
Dispositifs de technologie FDSOI	155
III.B.4 Variation de la masse effective de conduction des électrons sous contrainte uniaxiale selon [110] : analyse du coefficient π_{44}	156
<i>Mise en évidence de la variation de la masse effective de conduction.....</i>	<i>156</i>
<i>Description et hypothèses.....</i>	<i>158</i>
<i>Application au cas de transistors nMOS soumis à une contrainte uniaxiale en tension selon [110] .</i>	<i>159</i>
III.C Effet d'une contrainte additionnelle uniaxiale sur des nMOSFETs en technologie FDSOI à canal fortement contraint biaxialement : piézorésistivité dans le domaine des fortes déformations	162
III.C.1 Résultats.....	162
III.C.2 Conclusion.....	164
III.D Résumé.....	165
Chapitre IV - Techniques de caractérisation et d'extraction des paramètres électriques d'un MOSFET en régime linéaire	167
IV.A Extraction de paramètres à partir des mesures du courant de drain en régime linéaire	167
IV.A.1 Extraction de l'épaisseur du film de silicium	168
IV.A.2 Influence des fuites de grille sur le courant de drain	170
IV.A.3 Extraction de la longueur et de la largeur effective	171

IV.A.4 Shift&Ratio	173
IV.A.5 La dérivée seconde de l'inverse du courant de drain	175
IV.A.6 La fonction Y et Y améliorée	179
IV.A.7 Méthode de Hamer et ajustements numériques.....	182
IV.A.8 Méthode basée sur la dérivée de la résistance totale par rapport à la longueur de grille dR_{tot}/dL_G	183
IV.A.9 Extraction des variations de $R_{série}$ et de mobilité par corrélation entre deux dispositifs .	184
IV.B La technique split C-V.....	185
IV.B.1 Principe.....	185
IV.B.2 Extension et Limites.....	187
IV.C La mobilité de magnétorésistance : rappels théoriques et techniques d'extraction	187
IV.C.1 Les effets galvanométriques.....	188
IV.C.1.1 L'effet Hall.....	188
IV.C.1.2 La magnétorésistance	190
Magnétorésistances physique et géométrique : principe et définitions.....	190
Cas des dispositifs MOS étudiés.....	192
Les avantages et limites de la méthode MR.....	196
IV.C.2 Méthodes d'extraction de la mobilité utilisées : application aux dispositifs FDSOI	197
<i>Technique A : Rampe en champ magnétique pour différentes polarisations de grille fixées</i>	198
<i>Technique B : Balayage en tension de grille V_G pour différents champs magnétiques B fixés</i>	201
<i>Résultats de mobilité de magnétorésistance géométrique sur des transistors longs</i>	202
IV.C.2.3.1 Evolution de la tension de seuil avec le champ magnétique	202
IV.C.2.3.2 Comparaison des mobilités de magnétorésistance extraites par les deux techniques	203
IV.C.2.3.3 Comparaison des mobilités extraites par split CV et magnétorésistance	204
IV.C.3 Conclusion.....	206
Chapitre V - Etude expérimentale et analyse physique du transport dans les MOSFETs à canal fortement contraint biaxialement en tension en technologie FDSOI avancée	207
V.A Effets du niveau de contrainte sur les transistors longs	207
V.A.1 Effet sur les fuites de grille – Extraction de la hauteur de barrière Si/SiO ₂	207
V.A.2 Modélisation du décalage de la tension de seuil avec la contrainte	209
V.A.3 Effet de la contrainte sur la mobilité des transistors longs.....	210
V.A.3.1 Empilement de grille conventionnel SiO ₂ /poly-Si.....	210

V.A.3.2	Empilement de grille avancé TiN/HfO ₂	214
V.A.3.3	Interprétation physique du gain en mobilité des électrons induit par la contrainte.....	219
V.A.3.3.1	Analyse en température du gain en mobilité des électrons.....	219
Empilement de grille standard SiO ₂ /poly-Si	220	
Empilement de grille avancé HfO ₂ /TiN	220	
Synthèse des gains en mobilité	224	
V.A.3.3.2	Discussion des résultats de mobilité du silicium contraint	224
Effet du repeuplement des porteurs dans les vallées du silicium	225	
Gain à fort champ de grille.....	226	
Interactions coulombiennes et contrainte.....	227	
V.B	Mobilité des électrons des transistors ultracourts.....	231
V.B.1	Mobilité en fonction de la longueur de grille	231
V.B.2	Effet du champ latéral sur le gain en courant des architectures sSOI : aperçu.....	234
V.B.3	Analyse de la mobilité des MOSFETs ultracourts avec la température	235
V.B.3.1	Mécanismes limitant la mobilité des transistors courts.....	235
Balisticité du transport.....	235	
Interactions coulombiennes	237	
Interactions avec des défauts neutres.....	237	
Conclusion sur les mécanismes limitant la mobilité des MOSFETs courts	239	
V.B.3.2	Résultats de mobilités obtenues par la fonction Y : analyse en température de dispositifs SOI et sSOI.....	239
V.B.3.3	Résultats de mobilité de magnétorésistance : analyse en température.....	240
V.B.3.4	Conclusion sur la chute de mobilité des transistors ultracourts.....	242
V.B.4	Gain en mobilité des transistors sSOI ultracourts.....	243
V.C	Résumé.....	245
Chapitre VI - Performances des architectures CMOS avancées à canal contraint en technologie FDSOI intégrant un empilement de grille HfO₂/TiN (sSOI, CESL contraints et additivité)..... 247		
VI.A	Architectures de type sSOI.....	247
VI.A.1	Description de l'architecture.....	247
VI.A.2	Résultats de performances	248
Effet de la réduction de la largeur des lignes sSOI	249	
Effets des substrats XsSOI vs sSOI, de l'orientation du canal et d'une grille TiN	250	
VI.B	Architecture SOI intégrant des CESL nitrurés contraints.....	253
VI.B.1	Etude préliminaire : contrainte en fonction de l'épaisseur du CESL	253
VI.B.2	Description de l'architecture.....	256

VI.B.3 Performances des transistors larges et courts.....	257
VI.C Performances des transistors courts et étroits sSOI, XsSOI ou CESL contraints.	260
VI.D Superposition des contraintes induites par les CESL contraints (SiN) et par le substrat (sSOI) : performances des nMOSFETs	262
VI.E Conclusions sur les choix technologiques.....	266
Conclusion générale et perspectives	267
Annexe A - Phénomènes de couplage d'interfaces en technologie FDSOI....	271
<i>A.A Tension de seuil.....</i>	<i>272</i>
<i>A.B Pente sous le seuil.....</i>	<i>275</i>
Annexe B - Synthèse des gains en mobilité attendus d'après les valeurs des coefficients piézorésistifs	276
<i>B.A Cas d'une surface orientée (001).....</i>	<i>276</i>
B.A.1 Cas d'une contrainte uniaxiale	276
B.A.2 Cas d'une contrainte biaxiale	277
B.A.3 Bilan pour une surface orientée (001)	277
<i>B.B Cas d'une surface orientée autre que (001)</i>	<i>279</i>
Annexe C - Techniques de caractérisation des contraintes mécaniques	280
<i>C.A Les méthodes optiques.....</i>	<i>280</i>
<i>C.B Les méthodes de diffraction X.....</i>	<i>282</i>
<i>C.C Méthodes de diffraction électronique</i>	<i>286</i>
<i>C.D Mesures de courbure (de substrat pleine plaque)</i>	<i>288</i>
<i>C.E Les mesures électriques basées sur la piézorésistivité.....</i>	<i>290</i>
<i>C.F Conclusion sur les techniques de caractérisation des contraintes mécaniques.....</i>	<i>290</i>
Annexe D - Calcul des courants avec une structure de type Kelvin	291

Annexe E	- Variation de la masse effective de conduction des électrons sous contrainte uniaxiale	292
<i>E.A</i>	<i>Calcul détaillé de $\left. \frac{\Delta\mu}{\mu} \right _{\theta_2} - \left. \frac{\Delta\mu}{\mu} \right _{\theta_1}$ pour l'extraction de la variation de la masse effective de conduction.....</i>	<i>292</i>
<i>E.B</i>	<i>Justification de l'invariabilité de la masse effective de conduction selon [100] sous l'effet d'une contrainte mécanique uniaxiale selon [110]</i>	<i>294</i>
<i>E.C</i>	<i>Evaluation de la proportion des porteurs dans les vallées Δ_2 (x_{Δ_2})</i>	<i>295</i>
<i>E.D</i>	<i>Evaluation du rapport des temps de relaxation des vallées Δ_2 et Δ_4 ($\tau_{\Delta_4}^{\sigma=0} / \tau_{\Delta_2}^{\sigma=0}$)</i>	<i>297</i>
Annexe F	- Modèle de mobilité effective : origine des termes θ_1 et θ_2.....	298
Annexe G	- Notions de base sur la théorie de magnétorésistance	300
<i>G.A</i>	<i>Définition d'un fort champ et d'un faible champ magnétique</i>	<i>300</i>
<i>G.B</i>	<i>Magnétorésistance d'un matériau de dimensions finies</i>	<i>300</i>
<i>G.C</i>	<i>Magnétorésistance d'un matériau illimité</i>	<i>302</i>
<i>G.D</i>	<i>Modèle simplifié de magnétorésistance.....</i>	<i>304</i>
Références bibliographiques		305
Bibliographie de l'auteur		319
RESUME		322
ABSTRACT		322

Introduction Générale

L'industrie des semi-conducteurs est un secteur très compétitif et en forte croissance. Son marché connaît une croissance moyenne de 15% depuis 1960 et subit des cycles de croissance positive et négative (tous les deux à trois ans). De 2005 à 2007, le marché des semi-conducteurs a atteint environ 240, 258 et 274 milliards de dollars respectivement. Une baisse de la croissance est cependant constatée ces dernières années ($\approx +10\%$).

Parce que les risques financiers sont aussi importants que les enjeux économiques, les industriels de la microélectronique définissent ensemble leurs principaux objectifs techniques en terme de critères de performances des circuits intégrés et les regroupent dans un document, réédité régulièrement, appelé l'ITRS¹. Ce dernier reprend le principe de la fameuse loi de Moore [MOORE 65]. Il s'agit d'un modèle économique prédisant notamment la réduction des dimensions ("scaling") des composants pour gagner à la fois en performance (vitesse de commutation de l'état passant à l'état bloqué d'un transistor à effet de champ pour les circuits CMOS²) et en densité d'intégration de fonctions logiques de plus en plus complexes sur une même puce. Il prévoit ainsi que le nombre de transistors par puce doit augmenter d'un facteur deux tous les dix-huit mois.

Cette réduction des dimensions mène en contrepartie à la prolifération d'effets parasites. Citons par exemple les effets de canal court (diminution de la tension de seuil du transistor, DIBL³,...), les courants de fuite de grille, les fluctuations technologiques (inhomogénéités des dopages, des épaisseurs, ...). Ces effets viennent perturber de façon significative le fonctionnement du circuit intégré. Ainsi, la simple réduction d'échelle appliquée dans l'industrie de la microélectronique depuis les années 70 commence déjà à trouver ses limites et ne suffit plus à satisfaire les spécifications de l'ITRS.

Aujourd'hui l'industrie des semi-conducteurs est entrée dans une période charnière. Elle passe du monde de la microélectronique à celui de la nanoélectronique. Les dimensions caractéristiques du composant de base d'un circuit CMOS, le MOSFET⁴, sont en effet dans l'ordre de grandeur du nanomètre. À partir de 2010, la longueur de grille d'un MOSFET deviendra inférieure à 20nm et l'épaisseur équivalente de l'oxyde de grille inférieure à 0,7nm seulement. Pour poursuivre les progrès gigantesques réalisés depuis la première réalisation d'un transistor à jonctions en 1947 par Schockley, plusieurs scénarii sont possibles. Le premier consiste à pousser la miniaturisation des circuits CMOS en technologie silicium à son extrême, tout en ayant conscience que d'ici 15 à 20 ans, nous arriverons face à un mur, à savoir les limites physiques du matériau (dimension de l'atome) [IWAI 06]. Comme G.E. Moore le disait lui-même, une croissance exponentielle ne peut durer éternellement. Le deuxième scénario consiste à reconsidérer toutes les briques technologiques de la fabrication d'un circuit intégré. En particulier, au lieu d'utiliser l'approche actuelle dite « top/down », qui consiste à suivre un enchaînement d'étapes technologiques de dépôt de matériau, suivi d'étapes de photolithographie, puis de gravure pour réaliser des motifs, l'une des idées est d'utiliser l'approche dite « bottom/up », qui s'inspire du vivant (réseaux de neurones,...). Cela supposerait l'auto-organisation directe des zones actives d'un circuit intégré. Ainsi le silicium massif, matériau devenu rapidement synonyme de microélectronique, pourrait être remplacé par des

¹ International Technology Roadmap for Semiconductors of the Semiconductor Industry Association (S.I.A.). <http://public.itrs.net>

² Complementary Metal Oxide Semiconductor

³ Drain Induced Barrier Lowering

⁴ Metal Oxide Semiconductor Field Effect Transistor

nanofils de matériaux semiconducteurs, des nanotubes de carbone ou encore des molécules (électronique moléculaire). Le principe physique même utilisé pour le transfert d'information serait remis en question. Alors que dans les circuits intégrés d'aujourd'hui, le transfert d'information est réalisé par le transport d'électrons, une idée prospective serait d'utiliser par exemple le spin des électrons (électronique quantique).

Cependant l'industrie des semi-conducteurs est une industrie plutôt conservatrice. Et elle a ses raisons. Elle a en effet besoin de renouveler régulièrement ses produits sur le marché très compétitifs de l'électronique grand public (ordinateurs, écrans plats, téléphonie mobile...) et a donc besoin d'une évolution rapide et maîtrisée de ses technologies. C'est pourquoi les industriels suivent tous la feuille de route de la SIA (ITRS). Le développement de procédés de fabrication ou d'architectures radicalement différents de ceux traditionnellement utilisés dans la technologie silicium engendrerait, d'une part une prise de risque que les industriels ne sont pas encore prêt à prendre et, d'autre part un coût de développement prohibitif (conception des circuits, outils de production, ...). Le premier scénario a donc logiquement été choisi pour poursuivre, encore un temps, la production de circuits intégrés.

Mais un jour ou l'autre, les industriels seront contraints de basculer vers une autre façon de concevoir des circuits électroniques. C'est pourquoi les efforts de recherche sur toutes les alternatives imaginables à la technologie silicium sont en pleine croissance et fortement encouragés par les industriels pour atteindre un jour des performances supérieures à celles de la technologie silicium et un niveau de maturité industrielle suffisant. Un effort de recherche et de développement est particulièrement demandé aussi au niveau de la conception même d'un circuit intégré ; il est en effet possible d'optimiser fortement une architecture de circuit intégré et ainsi gagner en performance sans pour autant utiliser des composants plus performants. Ceci a été illustré par Intel® lors de la sortie du microprocesseur Centrino®, dédié aux ordinateurs portables, et possédant une fréquence d'horloge revue à la baisse pour consommer moins d'énergie (autonomie) tout en montrant des performances égales voire supérieures aux générations précédentes. Dans le même temps, pour rester toujours plus compétitif et poursuivre l'innovation nécessaire à la survie de l'industrie de la microélectronique, les applications des puces électroniques se diversifient ; leur degré de complexité augmente. Les puces vont prendre une valeur ajoutée de plus en plus grande, notamment en augmentant le nombre de fonctionnalités sur une même puce. Ce domaine concerne la suite logique à la loi de Moore, appelé communément « More than Moore ». Tout sera intégré sur une puce électronique unique (la partie RF⁵ et la partie logique d'un appareil par exemple). Ceci traduit le fait que la pluridisciplinarité devient plus porteuse et viable que la miniaturisation et la performance de la brique de base d'un circuit. L'idée étant de répondre à des besoins sociétaux, qui requièrent plus de synergie entre les systèmes et les applications. Ce n'est donc qu'ensuite qu'apparaîtront les produits du « Beyond CMOS », ces dispositifs émergents faisant intervenir les nanosciences (nanotubes, molécules...).

Dans la continuité du premier scénario évoqué plus haut, il devient primordial de développer de nouvelles architectures de composants et/ou d'utiliser d'autres matériaux que ceux utilisés traditionnellement en microélectronique (Si, SiO₂, silicium polycristallin...), tout en s'écartant le moins possible des procédés de fabrication actuellement maîtrisés. Plusieurs types de dispositifs sont actuellement à l'étude en recherche appliquée et en recherche et développement chez les grands fondeurs de circuits intégrés. Citons par exemple les dispositifs à silicium sur isolant (SOI⁶), les transistors SON ("Silicon On Nothing"), les transistors multigrilles (DG pour Double Gate, GAA pour Gate All Around, ...). Ces nouvelles architectures doivent offrir l'avantage d'un meilleur contrôle du potentiel dans le canal par la tension de grille ce qui permettra de repousser

⁵ RF = Radio-Fréquence

⁶ Silicon On Insulator

encore les limites de la miniaturisation des MOSFETs. L'incorporation de nouveaux matériaux permet aussi d'améliorer les performances, tout en gardant la même architecture. Par exemple les oxydes à forte permittivité permettent de réduire considérablement les courants de fuite de grille et donc la consommation des dispositifs CMOS tout en contrôlant de la même façon le potentiel du canal puisqu'ils offrent les mêmes propriétés électriques que le SiO_2 pour des épaisseurs physiques plus importantes. Dans cette optique, les oxydes à base d'hafnium (HfO_2 , HfSiO_x ...) sont très étudiés actuellement. Ils permettent de relâcher la contrainte de réduction de l'épaisseur de l'oxyde de grille d'un facteur 5 environ. En revanche leur incorporation affecte la mobilité des porteurs et réduit l'intérêt de leur introduction. Enfin l'incorporation de contraintes mécaniques dans le canal des nouvelles architectures MOS a récemment été exploitée pour améliorer les performances des MOSFETs et est rapidement apparu depuis ces dix dernières années comme la voie principale d'amélioration des MOSFETs, au même titre que la miniaturisation.

Ce mémoire s'intéresse à cette dernière approche. En effet les contraintes mécaniques présentes dans les assemblages technologiques des circuits intégrés jouent un rôle important dans le fonctionnement des dispositifs électroniques. Leurs effets peuvent s'appliquer aussi bien au niveau des interconnexions (accélération du vieillissement, décollement de couches...) qu'au niveau du dispositif électronique élémentaire, à savoir le transistor. Notre étude est essentiellement basée sur l'étude de l'impact des contraintes mécaniques dans le canal des MOSFETs. Elles ont un effet direct sur les propriétés de transport. Elles peuvent aussi bien les améliorer que les dégrader par rapport à un transistor non contraint. Les contraintes mécaniques, si elles sont exploitées de la bonne façon, permettent d'augmenter la mobilité des porteurs (électrons et/ou trous) et donc le courant de drain sans passer par une réduction d'échelle aujourd'hui devenue de plus en plus critique. Ce gain en courant se traduit directement par un gain en vitesse pour les circuits CMOS. Pour une application industrielle, il est donc primordial de comprendre comment elles agissent sur les performances des MOSFETs selon leur type (uniaxiale, biaxiale...), leur direction (parallèle au transport, perpendiculaire...) et leur intensité. L'objectif de ce mémoire est par conséquent d'explorer et de comprendre l'influence des contraintes mécaniques sur le transport dans le canal des MOSFETs, principalement par le biais de caractérisations électriques. En combinant l'intérêt des contraintes mécaniques aux nouvelles architectures sur isolant (architecture de type sSOI pour strained-SOI), nous pouvons espérer repousser encore les performances des circuits intégrés, sans apporter un surcoût et/ou une complexification trop importante du procédé de fabrication. Nous nous intéresserons donc plus spécifiquement à ces architectures dans ce mémoire. Il s'agit d'un domaine d'étude extrêmement compétitif et en partie déjà utilisé dans l'industrie. En effet Intel® a récemment commencé à réaliser des dispositifs à base de silicium contraint dans sa ligne de production à haut volume pour fabriquer les prochaines générations des familles de microprocesseurs Pentium® et Intel®Centrino™ [THOMPS 02, GHANI 03]. Cependant les industriels ont un besoin de connaissances approfondies sur l'effet des contraintes mécaniques, pour prédire les performances attendues selon le procédé technologique utilisé.

Dans le premier chapitre de ce mémoire, nous décrirons les enjeux de la microélectronique. Nous reviendrons rapidement sur le fonctionnement de base du MOSFET et en exposerons ses limites. Les solutions technologiques à l'étude pour améliorer leurs performances seront présentées.

Le deuxième chapitre sera consacré à une introduction à la physique du silicium en couche d'inversion et du silicium contraint. Après avoir présenté un rapide historique des contraintes mécaniques en microélectronique et les notions de base de la théorie de l'élasticité, nous analyserons l'effet d'une contrainte mécanique sur la structure de bandes du silicium. L'étude de la piézorésistivité bidimensionnelle d'une couche d'inversion sera confrontée à l'approche traditionnelle de la piézorésistivité du silicium massif. Enfin nous présenterons l'état de l'art des différentes architectures à canal contraint étudiées dans la littérature avec leurs performances électriques.

Au cours du troisième chapitre nous présenterons l'étude expérimentale de l'impact d'une contrainte mécanique uniaxiale faible sur la mobilité des porteurs. L'étude des coefficients piézorésistifs bidimensionnels nous permettra de remonter à certaines grandeurs caractéristiques de la structure de bandes du silicium qui sont modifiées par une déformation élastique. L'évolution des ces coefficients piézorésistifs en fonction de la charge d'inversion sera analysée. L'effet d'une contrainte uniaxiale faible superposée à une contrainte biaxiale forte nous ouvrira les portes de l'étude de la piézorésistivité aux fortes déformations, encore peu connue, et nous permettra de donner des perspectives sur les choix de type de contrainte à introduire dans les architectures CMOS futures.

Le quatrième chapitre sera l'occasion de présenter les principales techniques d'extraction des paramètres électriques statiques d'un MOSFET en régime linéaire et utilisées au cours de ce travail. Leurs intérêts et limites seront discutés. La technique d'extraction de la mobilité des porteurs par mesure de magnétorésistance sera en particulier développée et confrontée aux autres techniques d'extraction.

L'étude expérimentale et l'analyse physique du gain en mobilité dans les MOSFETs complètement déserté sur isolant (FDSOI⁷) et à canal fortement contraint biaxialement en tension fera l'objet du cinquième chapitre. Nous étudierons en premier lieu le gain en mobilité des transistors longs pour différents types d'empilement de grille et selon l'intensité de la contrainte induite par le substrat. L'effet d'une grille métallique associée à un diélectrique de forte permittivité sur la mobilité des électrons sera étudié. L'analyse physique de l'origine de ce gain sera ensuite discutée grâce notamment à des mesures à basse température. En fin de chapitre une étude expérimentale de la mobilité sur des transistors ultracourts, contraints ou non, sera abordée.

Enfin le sixième et dernier chapitre de ce mémoire s'intéressera aux performances des architectures CMOS avancées à canal contraint intégrant un empilement de grille HfO₂/TiN, réalisées en technologie FDSOI. Les influences de la géométrie (longueur et largeur) et de l'orientation du canal sur le gain en mobilité et en courant seront brièvement présentées pour des architectures à canal contraint par les couches d'arrêt à la gravure des contacts (CESL) en nitrure contraint ainsi que pour des architectures de type sSOI. Une étude préliminaire des contraintes induites par les s-CESL⁸ sera présentée. La fusion de ces deux architectures à canal contraint nous permettra en dernier lieu de discuter des performances de dispositifs FDSOI avancés superposant différents types de contraintes mécaniques.

Ce mémoire sera finalement conclu en ouvrant des perspectives à ce travail.

⁷ Fully Depleted Silicon On Insulator

⁸ s-CESL = strained-CESL (CESL contraint)

Chapitre I - Les enjeux de la microélectronique

Ce chapitre a pour but de poser la problématique des défis de l'industrie de la microélectronique. Après avoir rapidement rappelé le principe de fonctionnement d'un transistor à effet de champ, nous aborderons les aspects de miniaturisation des dispositifs et leurs limites. Enfin les diverses solutions technologiques pour améliorer les performances des transistors seront décrites. Ceci nous permettra de mieux cerner le rôle attendu des contraintes mécaniques dans les dispositifs CMOS, qui sera largement développé au chapitre suivant.

I.A Le transistor MOS à effet de champ : principe de fonctionnement

Dans cette partie nous présentons les caractéristiques principales du transistor métal oxyde semi-conducteur à effet de champ à canal d'inversion (MOSFET⁹). Il s'agit du composant électronique de base de tout circuit intégré CMOS¹⁰. Ces circuits sont basés sur l'utilisation de deux types de transistors complémentaires : le transistor NMOS dont le courant est porté par les électrons et le transistor PMOS dont le courant est porté par les trous.

I.A.1 Description générale

De manière schématique un transistor se compose d'une électrode de commande, la grille, qui permet de contrôler l'ouverture du canal, d'un diélectrique de grille, qui isole la grille du canal, et de deux réservoirs de porteurs (électrons ou trous selon le type de transistor), qui sont la source et le drain (Figure I-1).

La source et le substrat sont en général connectés à la masse alors que sur le drain est appliquée une tension V_D qui permet au courant de circuler entre la source et le drain. Sur la grille est appliquée une tension V_G qui permet de moduler la densité de porteurs dans le canal. En technologie CMOS le drain est normalement polarisé à la tension d'alimentation V_{DD} . Pour les applications logiques, le comportement électrique idéal est celui d'un interrupteur parfait, décrit sur la Figure I-2 en pointillé: sans tension appliquée sur la grille, le courant est nul et pour une tension égale à V_{DD} , le courant de drain est maximal et noté I_{ON} . En réalité, ceci n'est pas possible. Pour une polarisation de grille nulle, il circule un courant de diffusion (au niveau des jonctions PN côté source et côté drain). Ce courant de fuite est noté I_{OFF} . Il dépend de la température, de la hauteur de la barrière canal/réservoir (source ou drain) et de la qualité de la jonction (défauts pouvant entraîner des courants de recombinaison par exemple). Ce

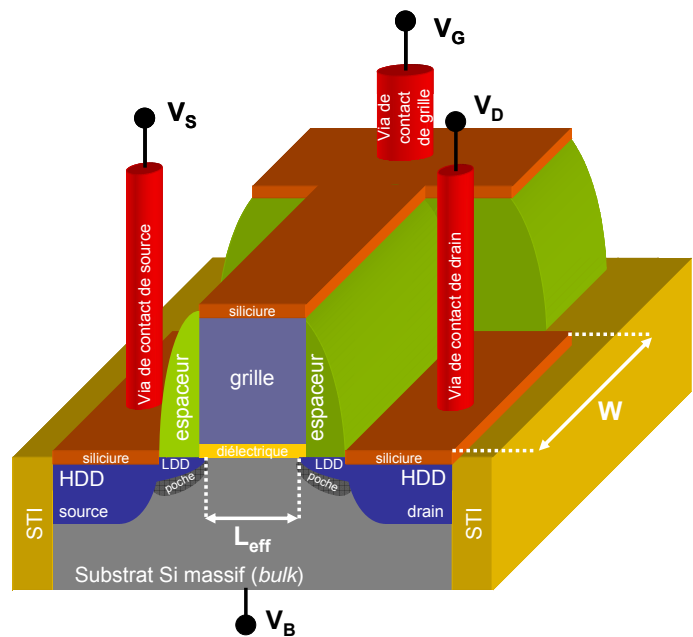


Figure I-1 : Représentation schématique d'un transistor MOS à effet de champ

⁹ Metal Oxide Semiconductor Field Effect Transistor

¹⁰ Complementary Metal Oxide Semiconductor

courant I_{OFF} est aussi affecté par les fuites de grille (pour des diélectriques ultraminesces). Le passage de l'état OFF (bloqué) à l'état ON (passant) est déterminé par la tension de seuil V_T .

Ainsi la qualité d'un MOSFET pour les applications logiques est définie par ses niveaux de courant (I_{OFF} le plus faible possible et I_{ON} le plus fort possible) et son aptitude à passer rapidement de l'état bloqué à l'état passant. Cette caractéristique est représentée par la pente sous le seuil $1/S$ (plus S est petit, exprimé en mV/dec, plus la commutation se fait facilement, c'est-à-dire sans avoir besoin d'appliquer de fortes tensions sur la grille).

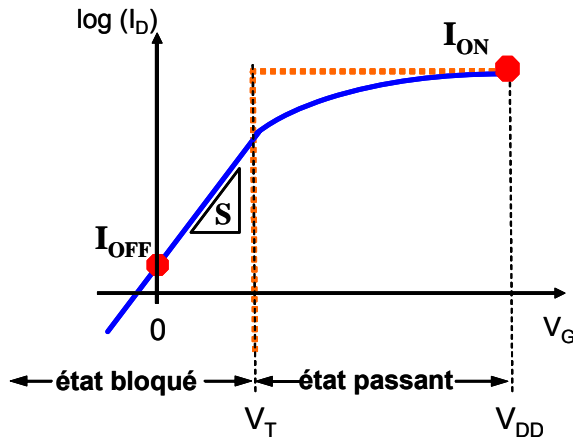


Figure I-2 : Caractéristique de transit d'un transistor NMOS : courant de drain (I_D) en fonction de la tension de grille (V_G)

I.A.2 Régimes de fonctionnement du MOSFET

Il existe principalement trois régimes de fonctionnement électrique du MOSFET selon la polarisation de grille. Le régime sous le seuil, le régime d'inversion faible et le régime de forte inversion. Pour comprendre leurs origines, commençons par décrire le diagramme de bandes d'une structure MOS à substrat de type P (de concentration en dopants accepteurs N_A) en condition de bandes plates (Figure I-3).

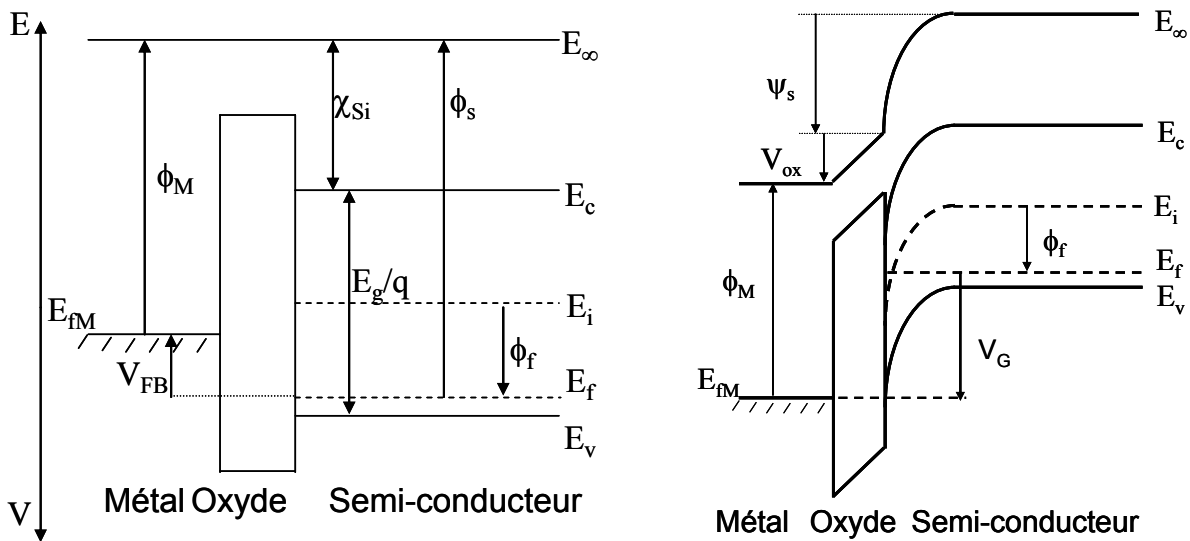


Figure I-3 : Schéma représentant la structure de bandes d'un NMOS (substrat de type P), à gauche en régime de bandes plates, à droite dans un régime d'inversion faible. ϕ_M est le travail de sortie de la grille, χ_{Si} l'affinité électronique du silicium, E_g sa bande interdite et ϕ_s le travail de sortie du semiconducteur.

Le niveau de Fermi est défini par $E_f = E_i - q\phi_f$, avec ϕ_f donné par l'Équation I-1, valable pour des dopages modérés (obtenue en faisant l'approximation de Boltzmann).

$$\phi_f = \frac{k_B T}{q} \ln\left(\frac{N_A}{n_i}\right) \tag{Équation I-1}$$

k_B étant la constante de Boltzmann, T la température, q la charge élémentaire et n_i la concentration intrinsèque de porteurs du matériau.

La tension de bande plate $V_{FB} = \phi_M - \phi_S$ est la tension qu'il faut appliquer sur la grille pour que le potentiel à l'interface oxyde/semi-conducteur ψ_s soit nul¹¹. La différence de potentiel $\psi_s = (E_i(0) - E_i(\infty))/q$, appelée potentiel de surface, représente la courbure de bande entre la surface et le volume du semiconducteur.

Selon les valeurs de ψ_s , quatre régimes peuvent être définis (appliqué ici au cas du transistor NMOS) :

- $\psi_s < 0$ soit $V_G < V_{FB}$: c'est le régime d'accumulation. Les porteurs majoritaires du substrat sont attirés à l'interface diélectrique de grille / semiconducteur. Le transistor est à l'état bloqué (régime sous le seuil).
- $0 < \psi_s < \phi_f$ ($V_G > V_{FB}$) : c'est le régime de désertion. Les porteurs majoritaires sont repoussés de l'interface. Il se crée alors une zone de charge d'espace, dépourvue de porteurs libres. Le transistor est toujours bloqué (régime sous le seuil).
- $\phi_f < \psi_s < 2\phi_f$ soit $V_{FB} < V_G < V_T$: c'est le régime d'inversion faible. Lorsque $\psi_s = \phi_f$, les concentrations de porteurs majoritaires et minoritaires sont égales en surface et prennent la valeur n_i , concentration intrinsèque de porteur du matériau.
- $\psi_s > 2\phi_f$ soit $V_G > V_T$: c'est le régime d'inversion forte. La concentration en surface des porteurs minoritaires devient supérieure à la concentration des porteurs majoritaires dans le volume du semiconducteur. Un grand nombre de porteurs libres sont présents dans le canal ; le transistor peut alors conduire.

La tension de seuil d'une capacité MOS est définie comme la tension de grille V_G qu'il faut appliquer pour que la condition $\psi_s = 2\phi_f$ soit remplie¹². Elle est répartie en une tension pour ramener la structure en condition de bande plate, une tension pour désertifier le canal des porteurs majoritaires et d'une tension pour créer la couche d'inversion forte. Son expression est donc :

$$V_T = V_{FB} + 2\phi_f - \frac{Q_{dep}}{C_{ox}} \quad \text{Équation I-2}$$

où Q_{dep} représente la charge de désertion maximale dans le substrat (<0 pour un NMOS). C_{ox} est la capacité de l'oxyde de grille, de permittivité ϵ_{ox} et d'épaisseur T_{ox} , donnée par

$$C_{ox} = \frac{\epsilon_{ox}}{T_{ox}} \quad \text{Équation I-3}$$

Notons que dans le cas d'un transistor MOS, la tension de seuil est plutôt définie par le critère concernant la hauteur de la barrière entre la source et le canal, notée ϕ_D (Figure I-4). Lorsque cette barrière est de l'ordre de quelques $k_B T/q$ (énergie thermique des porteurs dans la source), les porteurs peuvent circuler librement dans le canal du MOSFET. Cette hauteur de barrière dépend notamment des dopages respectifs de la source (N_D) et du canal (N_A)¹³.

L'expression de la tension de seuil du MOSFET devient alors :

¹¹ Si l'oxyde de grille présente des états d'interface ou des charges fixes, représentés respectivement par Q_{ss} et Q_{fix} , cette tension de bande plate sera alors $V_{FB} = \phi_{MS} - Q_{ss}/C_{ox} - Q_{fix}/C_{ox}$ avec $\phi_{MS} = \phi_M - \phi_S$.

¹² Il s'agit seulement d'un critère. Il perd son sens dans le cas des canaux très faiblement dopés. Nous discuterons d'autres critères pouvant définir le seuil dans l'Annexe A (§A.A). L'expression de la tension sera notamment donnée pour le cas particulier de l'architecture FDSOI, particulièrement étudiée au cours de ce mémoire.

¹³ Au premier ordre, dans l'approximation de Boltzmann, *i.e.* faibles dopages, $\phi_D = k_B T/q \cdot \ln(N_D N_A / n_i^2)$

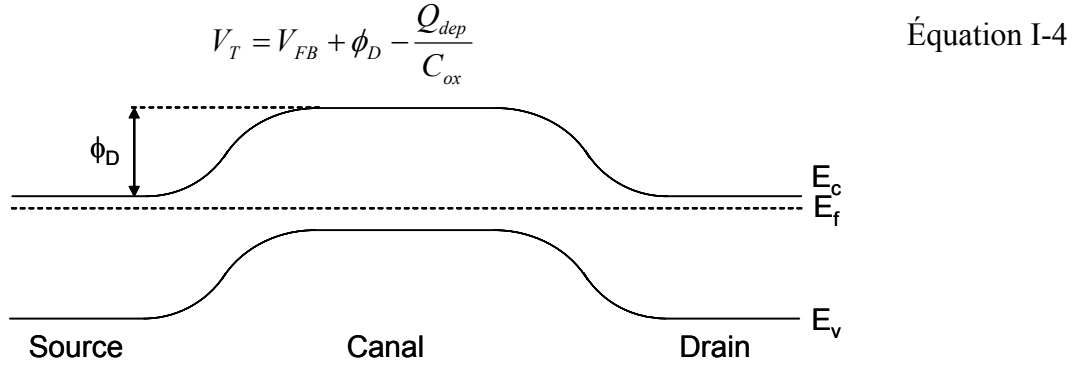


Figure I-4 : Représentation schématique de la structure de bandes d'un MOSFET à polarisations nulles. La barrière de potentielle à franchir par les électrons de la source est notée ϕ_D .

I.A.3 Expressions analytiques des principales caractéristiques d'un MOSFET long et large

Dans le régime de faible inversion (sous le seuil), le courant de drain, dominé par un courant de diffusion dans les jonctions, est donné par :

$$I_{DS} = I_{th} \exp\left(\frac{V_{GT}}{S} \ln 10\right) \left[1 - \exp\left(\frac{-qV_{DS}}{k_B T}\right)\right] \quad \text{Équation I-5}$$

où $V_{GT} = V_G - V_T$. Le courant I_{th} est donné par

$$I_{th} = D \cdot C_{dep} \cdot \frac{W}{L} \cdot \frac{k_B T}{q} = \mu_0 C_{dep} \frac{W}{L} \left(\frac{k_B T}{q}\right)^2 \quad \text{Équation I-6}$$

où μ_0 représente la mobilité des porteurs à faible champ de grille, D le coefficient de diffusion¹⁴, C_{dep} la capacité de déplétion, donnée par ϵ_{Si}/T_{dep} avec T_{dep} la profondeur maximale de la zone de déplétion, égale à :

$$T_{dep} = 2 \sqrt{\frac{\epsilon_{Si} \phi_f}{q N_A}} \quad \text{Équation I-7}$$

W et L sont la largeur et la longueur du canal, respectivement. On peut considérer pour les applications pratiques que $I_{th} \approx 10^{-7} W/L$ (A).¹⁵

Le courant sous le seuil est donc corrélé à la mobilité des porteurs.¹⁶

La pente sous le seuil S , exprimée en V/dec, est donnée par :

$$S = \left(\frac{\partial \log I_D}{\partial V_G}\right)^{-1} = \ln(10) \frac{k_B T}{q} \frac{\partial V_G}{\partial \psi_s} = 2,3 \frac{k_B T}{q} \left(1 + \frac{C_{dep} + C_{it}}{C_{ox,eff}}\right) \quad \text{Équation I-8}$$

¹⁴ La relation d'Einstein décrit le lien qu'il existe entre le coefficient de diffusion et la mobilité des porteurs selon $D = k_B T \mu / q$.

¹⁵ Cette valeur correspond à une mobilité à faible champ μ_0 de 500 cm²/V/s et à un dopage du canal d'environ 10¹⁸ cm⁻³ (dopage actuel moyen des MOSFETs en technologie « bulk » avancée) pour une température de 300K.

¹⁶ Lorsque l'on s'intéressera à l'effet d'une contrainte il conviendra de prendre en compte cet aspect. Notamment l'extraction de la tension de seuil à courant constant devra être manipulée avec précaution lorsque l'on souhaitera comparer une architecture à canal contraint avec une architecture non contrainte.

où $C_{ox,eff}$ représente la capacité d'oxyde en inversion forte (cf. Équation I-12) et C_{it} la capacité liée aux états d'interface.

L'Équation I-5 nous montre ainsi une dépendance exponentielle du courant de drain avec la tension de grille dans le régime sous le seuil. Elle indique également une dépendance exponentielle avec la polarisation du drain (Figure I-5). Ceci nous indique qu'à température ambiante, le courant sous le seuil dépend fortement de la polarisation de drain (jusqu'à $V_D=50mV$) ; il faut tenir compte de cet effet lors de l'extraction du DIBL par exemple (cf.I.B.2.2) dans le cas d'un MOSFET court et travailler avec une tension de drain suffisamment forte (≥ 50 mV) tout en restant dans le régime linéaire.

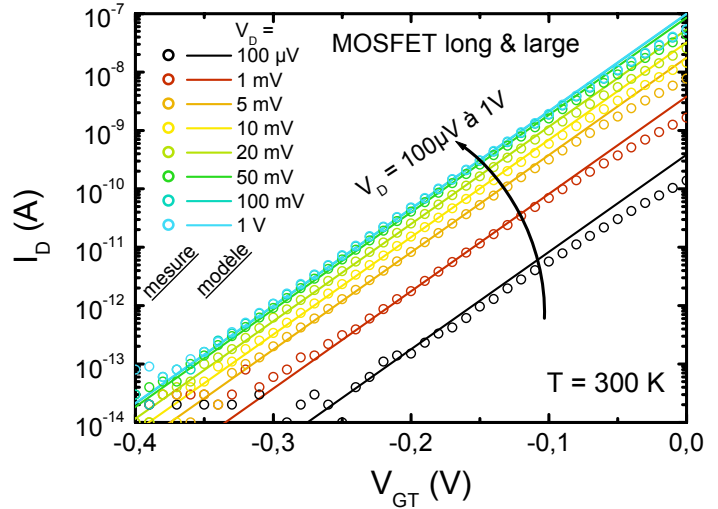


Figure I-5 : Evolution du courant de drain en fonction de $V_G - V_T$ dans le régime sous le seuil pour différentes conditions de polarisation sur le drain à température ambiante.

L'Équation I-8 montre que dans le cas idéal où C_{dep} et C_{it} sont négligeables devant $C_{ox,eff}$, la valeur de S approche la valeur théorique minimale de 59,6 mV/dec à 300K. Dans le cas des technologies SOI complètement déserté (cf. I.C.1.2), on se rapproche de cette valeur théorique. Ce paramètre constituant une limite physique, on comprend ici l'intérêt d'ajuster correctement la valeur de la tension de seuil V_T pour ne pas obtenir un courant de fuite I_{OFF} trop important, ces deux paramètres étant liés selon la relation (d'après l'Équation I-5):

$$\log(I_{OFF}) = \log(I_{th}) - V_T / S \quad \text{Équation I-9}$$

Dans le régime de forte inversion, on distingue deux régimes principaux de fonctionnement du MOSFET selon la polarisation du drain. Pour $V_D < V_G - V_T$, on se trouve dans le régime dit ohmique, c'est-à-dire que le canal se comporte comme une résistance dont la valeur est modulée par la polarisation de grille. Pour des tensions de drain faibles, c'est-à-dire pour $V_D \ll V_G - V_T$, on se trouve dans le régime dit linéaire. Dans ce cas le courant de drain est directement proportionnel à la tension de drain. Pour des tensions légèrement plus fortes, l'évolution du courant de drain est quadratique avec V_D . L'expression du courant de drain dans le régime ohmique (linéaire puis quadratique) est finalement donnée par

$$I_{Dlin} = \frac{W_{eff}}{L_{eff}} C_{ox,eff} \mu_{eff} \left(V_G - V_T - \frac{V_D}{2} \right) V_D \quad \text{Équation I-10}$$

avec W_{eff} , L_{eff} et μ_{eff} respectivement les largeur, longueur et mobilité effective des porteurs. Pour $V_D \geq V_G - V_T$, on se trouve dans le régime dit de saturation. Il se crée un point de pincement côté drain où la charge d'inversion s'annule ; à mesure que V_D augmente ce point de pincement va se rapprocher de la source. Toute tension additionnelle à $V_{Dsat} = V_G - V_T$ sera répercutée dans cette zone libre de porteurs mobiles, de sorte que le champ électrique latéral reste constant au niveau de la charge d'inversion sous la grille. Ainsi le courant de drain devient indépendant de la polarisation de drain et son expression prend la forme :

$$I_{Dsat} = \frac{1}{2} \frac{W_{eff}}{L_{eff}} C_{ox,eff} \mu_{eff} (V_G - V_T)^2 \quad \text{Équation I-11}$$

Les différentes caractéristiques électriques usuelles du courant de drain d'un MOSFET long sont présentées sur la Figure I-6.

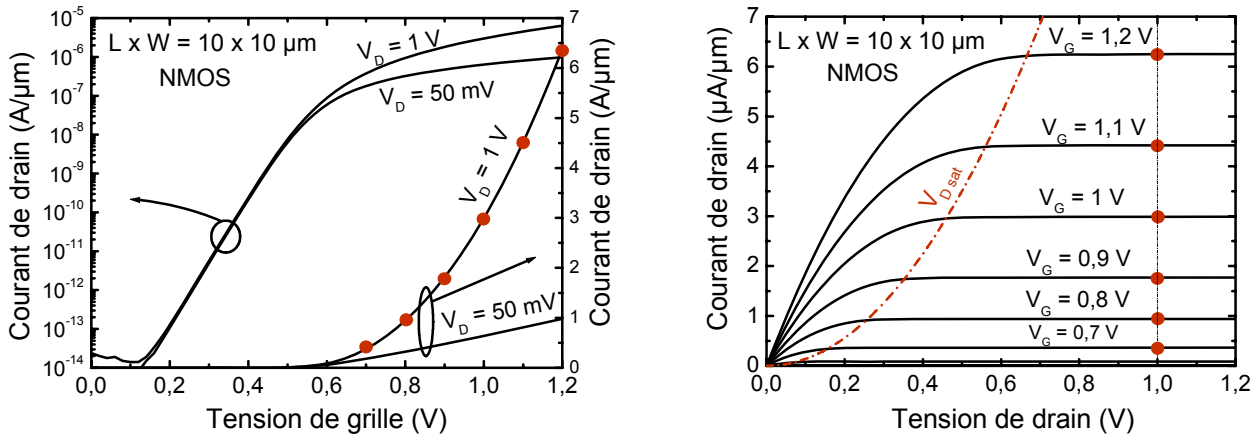


Figure I-6 : Caractéristiques du courant de drain d'un transistor NMOS en fonction de la tension de grille (à gauche) et de la tension de drain (à droite)

La mobilité effective des porteurs, qui intervient directement dans l'expression du courant de drain, est une grandeur qui dépend du champ électrique (vertical et longitudinal). Elle traduit la faculté que les porteurs ont à se déplacer plus ou moins facilement sous l'action d'un champ électrique. Nous aurons l'occasion de revenir plus en détail sur ce paramètre de transport fondamental au cours de ce mémoire, qui sera notre outil principal d'analyse (sa définition physique, les mécanismes limitants, ses dépendances en champ et en température seront développés dans le §II.B.4.1).

La capacité d'oxyde effective en inversion forte est à distinguer de l'expression classique donnée par l'Équation I-3. En effet avec la réduction des dimensions, les diélectriques de grille ont désormais une épaisseur de l'ordre du nanomètre. Les effets de confinement quantique (*darkspace*¹⁷) et de déplétion dans la grille en silicium polycristallin¹⁸ prennent une importance non négligeable. Ainsi à l'épaisseur physique de l'oxyde de grille (généralisée sous la notion d'EOT pour « Equivalent Oxide Thickness »¹⁹), notée T_{ox} ou T_{EOT} , s'ajoute ces deux effets pour obtenir l'épaisseur électrique totale effective de l'oxyde de grille.²⁰

$$C_{ox,eff} = \frac{\epsilon_{SiO_2}}{EOT + \Delta T_{ox}} = \frac{\epsilon_{SiO_2}}{EOT + T_{dep}^{poly} + T_{darkspace}} \tag{Équation I-12}$$

Les valeurs usuellement utilisées pour T_{dep}^{poly} et $T_{darkspace}$ pour les électrons et les trous sont données dans le Tableau I-1.

(nm)	Electrons	Trous
T_{dep}^{poly}	0,3 – 0,4	0,5 - 0,6
$T_{darkspace}$	0,2 – 0,4	0,3 – 0,6

Tableau I-1 : Valeurs usuelles des corrections à apporter sur l'épaisseur électrique totale effective de l'oxyde de grille [GAUTIE 03]

¹⁷ Le *darkspace* représente la distance moyenne à l'interface diélectrique/silicium où la concentration de porteurs est maximale ; la concentration de porteurs à l'interface physique étant nulle d'après les lois de la mécanique quantique (à la pénétration près des fonctions d'ondes).

¹⁸ Appelé aussi communément polysilicium ou poly-Si.

¹⁹ Notion introduite pour comparer le couplage électrostatique des diélectriques présentant une permittivité différente de celle du classique SiO₂ (cf. §I.C.2.1), originellement lors de l'arrivée de l'oxyde de silicium nitruré.

²⁰ D'autres dénominations sont parfois utilisées afin de distinguer le couplage capacitif en inversion (qui est modifié par la poly-déplétion de la grille en poly-Si) de celui obtenu en accumulation (pas de poly-déplétion). Ainsi en accumulation on parlera de l'EOT, après correction du *darkspace*, alors qu'en inversion on utilisera parfois la dénomination CET pour l'épaisseur électrique équivalente d'inversion ($CET = EOT + T_{dep}^{poly} + T_{darkspace}$).

I.B La miniaturisation et ses limites

I.B.1 Le « scaling » - Loi de Moore et de Dennard

La célèbre loi empirique de Gordon Moore (cofondateur de la société Intel®), énoncée en 1965, et basée sur un modèle économique, propose que le nombre de transistors par circuit de même surface va doubler tous les 18 mois. De génération en génération, les composants de la microélectronique, notamment le MOSFET, ont de fait vu leurs dimensions se réduire. Cette miniaturisation (ou « scaling ») répond à des règles, plus ou moins suivies par les industriels. La taille caractéristique d'une génération est donnée par la demi distance minimale entre deux lignes d'interconnexions ; on lui associe le nom de nœud technologique. Les différentes caractéristiques physiques et électriques à obtenir pour une génération donnée sont fixées par l'ITRS²¹. Actuellement le nœud technologique 65 nm est en production alors que le nœud 45nm devrait l'être début 2009. En logique, on distingue deux types d'applications : les applications à haute performance (HP) pour lesquelles la vitesse de fonctionnement du circuit intégré est le critère le plus important (ex. : microprocesseurs pour ordinateurs de bureau) et les applications à basse consommation²² pour lesquelles la consommation énergétique est privilégiée (ex. : téléphonie mobile ou ordinateur portable). Un extrait des principales caractéristiques à atteindre pour les applications hautes performances (HP Logic Technology) est donné dans le Tableau I-2 (mise à jour de l'ITRS 2006). Toutes les solutions technologiques ne sont pas encore connues à ce jour pour les prochains nœuds technologiques (cases sombres).

Année de production	2005	2006	2007	2008	2009	2010	2011	2012	2013	2014	2015
Nœud technologique (nm)	80	70	65	57	50	45	40	36	32	28	25
Longueur de grille physique (nm)	32	28	25	22	20	18	16	14	13	11	10
E.O.T. (Å)	12	11	11	10	9	6,5	5	5	5	5	5
V _{DD} (V)	1,1	1,1	1,1	1	1	1	1	0,9	0,9	0,9	0,8
I _{OFF} (µA/µm)	0,06	0,15	0,2	0,26	0,22	0,28	0,32	0,34	0,29	0,36	0,37
I _{ON} (mA/µm)	1,02	1,13	1,2	1,21	1,18	2,05	2,49	2,3	2,2	2,3	2,2
R _{SD} (Ω.µm)	180	170	140	140	120	110	100	90	75	75	75
délai intrinsèque (ps)	0,87	0,74	0,64	0,54	0,51	0,4	0,34	0,29	0,25	0,21	0,18
vitesse intrinsèque (THz)	1,15	1,35	1,56	1,85	1,96	2,5	2,94	3,45	4	4,76	5,55

Tableau I-2 : Quelques paramètres physiques et électriques donnés par l'ITRS pour les transistors NMOS en technologie haute performance (HP logic technology)

Historiquement, Dennard a proposé une théorie prospective de miniaturisation des MOSFETs en se basant sur une diminution des dimensions et des tensions d'alimentation dans les mêmes proportions, ceci afin de conserver les mêmes valeurs de champs électriques d'une génération à l'autre (cf. Tableau I-3) [DENNAR 74]. Le facteur de réduction d'échelle k (d'une génération à une autre, c'est-à-dire tous les deux ans originellement) a été fixé à $1/\sqrt{2}$ ($\approx 0,7$) dans le seul but d'obtenir un gain en performance continu de 17% par an sur le délai intrinsèque du MOSFET (cf. Tableau I-3). En pratique, selon les applications, les dimensions ont été réduites beaucoup plus

²¹ www.itrs.net : International Technology Roadmap for Semiconductors

²² Dans cette catégorie on distingue les applications à basse consommation statique (LSTP pour Low STanby Power) comme par exemple la téléphonie mobile et les applications à basse consommation dynamique (LOP pour Low Operating Power) comme par exemple les ordinateurs portables.

rapidement que les tensions ($\lambda < k < 1$). Ceci mène désormais à la prolifération de défis technologiques pour continuer à améliorer les performances des circuits intégrés.

Paramètres	Grandeur physique (unité)	Loi de Dennard	Cas réel
Dimension	W, L, T_{ox}, X_j (m)	k	λ
Potentiel	V_{DD}, V_T (V)	k	k
Dopage	N_A, N_D (cm ⁻³)	1/k	k/λ^2
Champ électrique	E (V/cm)	1	k/λ
Courant normalisé	I_{ON} (μA/μm)	1	k^2/λ^2
Densité de puissance	$I_{ON} \cdot V_{DD} / S$ (W/m ²)	1	k^3/λ^3
Puissance	$I_{ON} \cdot V_{DD}$ (W)	k^2	k^3/λ
Délai intrinèque	$C_{gate} \cdot V_{DD} / I_{ON}$ (s)	k	λ^2/k

Tableau I-3 : Règles de miniaturisation des MOSFETs proposées par Dennard (facteur multiplicatif k avec un champ électrique constant). Cas réel : $\lambda < k < 1$ [DENNAR 74].

I.B.2 Les défis liés à la miniaturisation

En raison du non-respect des règles de miniaturisation proposées par Dennard, en particulier pour avoir favorisé les performances des circuits au détriment de la consommation, plusieurs points critiques commencent à apparaître et se présentent comme autant de défis à relever si l'on veut poursuivre la miniaturisation.

I.B.2.1 Le compromis énergie dissipée / performance

Le premier point concerne l'énergie dissipée par un circuit intégré. La puissance consommée P_{tot} est la somme de deux contributions : la puissance active dynamique P_{dyn} et la puissance statique P_{stat} données, en première approximation, par :

$$\begin{cases} P_{tot} = P_{dyn} + P_{stat} \\ P_{stat} = n_{OFF} \cdot I_{OFF} \cdot V_{DD} \\ P_{dyn} = f \cdot C_{active} \cdot V_{DD}^2 \approx n_{ON} \cdot I_{ON} \cdot V_{DD} \end{cases} \quad \text{Équation I-13}$$

avec n_{ON} et n_{OFF} le nombre de transistors à l'état passant ou bloqué, f la fréquence de l'horloge du circuit, C_{active} la capacité totale active pendant un cycle d'horloge. Jusque dans les années 1990, la principale source d'énergie dissipée avait pour origine le fonctionnement dynamique du circuit (P_{dyn}) mais depuis les nœuds technologiques 130nm et 90nm (années 2000), la contribution liée à la puissance statique devient comparable et joue donc un rôle capital (Figure I-7).

Si les règles de Dennard avaient été respectées, la densité surfacique de puissance n'aurait pas dû augmenter (Tableau I-3). Or ce n'est pas le cas et de génération en génération

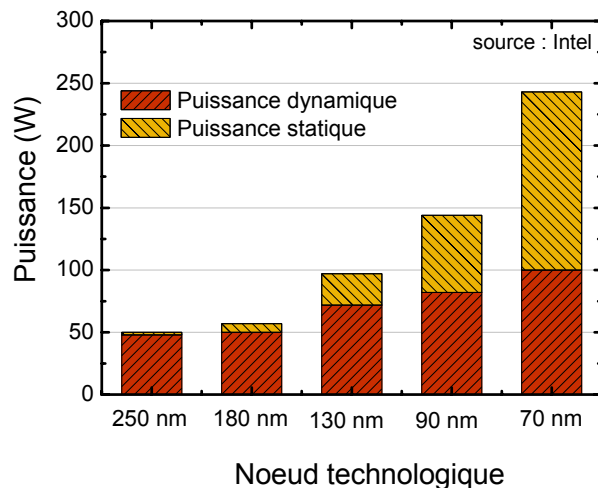


Figure I-7 : Evolution de la puissance dissipée en dynamique et en statique au fil des générations

l'énergie dissipée n'a cessé d'augmenter [THOMPS 05]. Aujourd'hui la chaleur dissipée au niveau de la surface active d'un circuit intégré peut approcher localement $1000\text{W}/\text{cm}^2$ dans les microprocesseurs. Pour comparaison cette valeur est supérieure à la puissance surfacique d'un réacteur nucléaire ! Pour réduire cette puissance dissipée (et surtout à dissiper) il faudrait revoir à la baisse la tension d'alimentation V_{DD} , ce qui n'a pas été respecté pendant ces dernières années de miniaturisation ; en effet si l'on réduit la tension d'alimentation les performances sont réduites.

Le paramètre le plus utilisé pour juger des performances d'un circuit logique, outre le courant I_{ON} , est le délai intrinsèque du transistor $\tau_{gate} = C_{gate} \cdot V_{DD} / I_{ON}$ (cf. Tableau I-3)²³. Pour diminuer le délai intrinsèque on peut chercher à augmenter le courant I_{ON} . Or les valeurs de I_{ON} sont liées à celle de la tension d'alimentation ($V_{DD} - V_T$). Sur la Figure I-8 est représentée l'évolution des tensions d'alimentation et de la tension de seuil au fil des générations de circuits. L'écart entre V_{DD} et V_T se réduit fortement ; il devient donc de plus en plus difficile d'obtenir un courant I_{ON} plus grand pour les dernières générations (l'ITRS prévoit d'ailleurs un I_{ON} à peu près constant à partir de 2012 d'après le Tableau I-2).

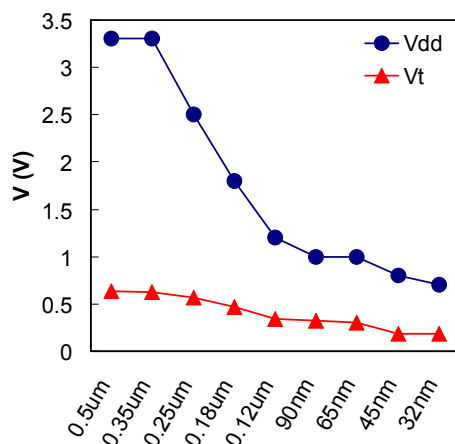


Figure I-8 : Evolution des tensions d'alimentations et de seuil des circuits CMOS au fil des générations

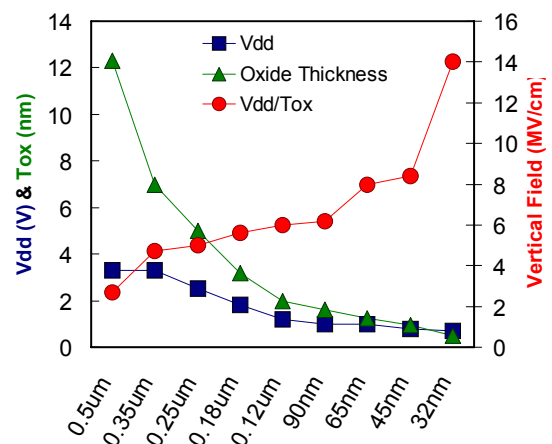


Figure I-9 : Evolution des tensions d'alimentations, de l'épaisseur de l'oxyde grille et du champ électrique de grille des circuits CMOS au fil des générations

Une solution consiste alors à améliorer les propriétés de transport intrinsèque du MOSFET, comme la mobilité des porteurs par exemple ; ce d'autant plus que le champ électrique a fortement augmenté dans la structure, entraînant une dégradation de la mobilité (Figure I-9). Il a été observé de plus une dégradation du transport électronique (par exemple la mobilité des porteurs à même champ électrique) pour les très petites géométries. Les techniques d'amélioration du transport seront développées par la suite (cf. I.C.3). Soulignons toutefois ici l'intérêt tout particulier de développer des architectures à plus forte mobilité. C'est le seul moyen d'augmenter le courant I_{ON} sans pour autant dégrader le courant I_{OFF} *a priori*. En outre, la mobilité joue toujours un rôle crucial sur le courant I_{ON} des transistors ultracourts (cf. §I.B.2.2). Une deuxième limitation du courant I_{ON} concerne les résistances séries parasites $R_{série}$ présentes dans les MOSFETs. Elles ont pour effet principal de diminuer les potentiels effectifs au niveau du canal du MOSFET (drain/source et grille/source). Leur effet est d'autant plus important que le courant circulant dans la structure est fort. $R_{série}$ est la somme des résistances de contact R_C , des régions fortement dopées source et drain R_{SD} , des extensions sous les espaceurs R_{EXT} et des résistances de recouvrement de la grille R_{OV} (Figure I-11). On ne s'intéresse pas ici aux résistances liées aux amenées de courant, à savoir les via et ligne d'interconnexions (*front-end* vs *back-end*).

Au fil des générations, la part des résistances séries n'a cessé d'augmenter. Elle peut représenter, selon les technologies, de 25% à 75% de la résistance du canal. Et il devient de plus en

²³ C_{gate} représente ici la capacité totale de la grille, exprimée en farad (F). Elle dépend des dimensions du MOSFET.

plus difficile de réduire les différentes contributions de $R_{série}$. Même si la siliciuration²⁴ des S/D ou encore l'utilisation de S/D métalliques (barrières Schottky) permet de réduire les R_{SD} , les parts des trois autres contributions semble difficilement compressible. Les résistances de contact représentent aujourd'hui la plus grosse part de la résistance série parasite totale (Figure I-10). D'importants travaux de recherche sont actuellement menés sur le développement et l'optimisation des $R_{série}$ (diminution de la hauteur de barrière des contacts Schottky).

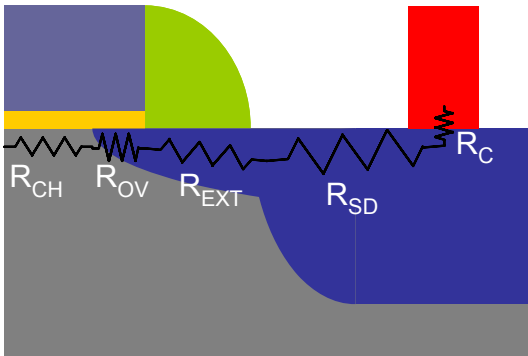


Figure I-11 : Représentation schématique des différentes contributions, en série, à la résistance totale dans un MOSFET

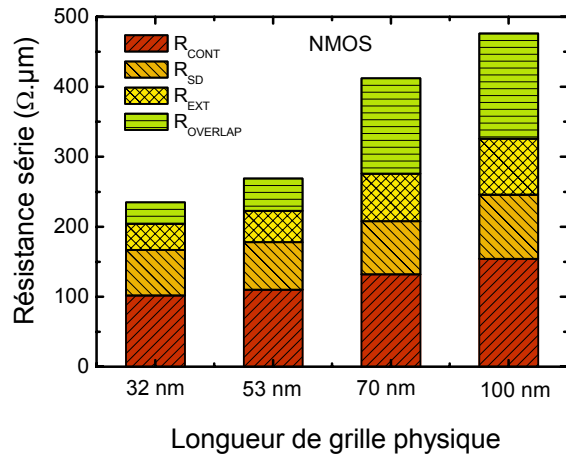


Figure I-10 : Valeurs des différentes contributions à la résistance série parasite attendues en fonction des nœuds technologiques avancés

Outre ces limitations cruciales pour les performances des circuits (I_{ON} et τ_{gate}), de nombreux phénomènes parasites apparaissent pour les très petites géométries, perturbant le fonctionnement des circuits intégrés. C'est le sujet du paragraphe suivant. De plus n'oublions pas ici le problème majeur que soulèvent les interconnexions dans un circuit intégré. Aujourd'hui les principales limitations des performances (délai d'une porte logique par exemple) sont liées à celles des interconnexions (Figure I-12). C'est pourquoi de nombreux travaux de recherche portent sur le développement des interconnexions afin de réduire le délai dans les lignes en fonctionnement dynamique ($\tau \approx R.C$) : réduction de leur résistivité (d'où l'utilisation du cuivre qui présente une meilleure conductivité que l'aluminium anciennement utilisé) et de la capacité de couplage entre les lignes (d'où l'utilisation de matériaux diélectriques poreux, à faible permittivité).

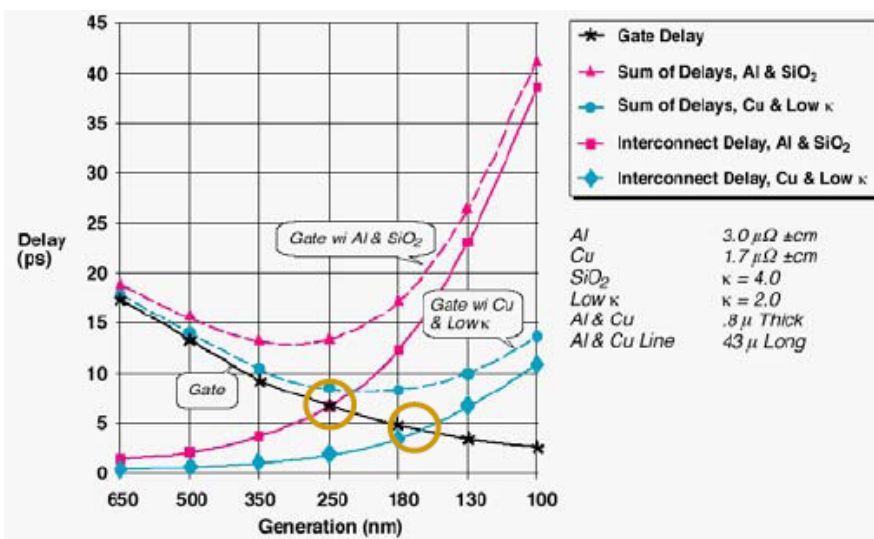


Figure I-12 : Evolution des délais de grille et des interconnexions au fil des générations (source : ITRS 2002)

Enfin les fluctuations liées aux procédés technologiques (fluctuation des dopants, des épaisseurs, photo-lithographie) entraînent une dispersion sur les paramètres électriques entre transistors pouvant mener à des dysfonctionnements au niveau du circuit.

²⁴ Utilisation du $TiSi_2$ puis $CoSi_2$ et aujourd'hui du $NiSi$.

I.B.2.2 Notions de transport dans les MOSFETs courts

Les relations établies au §I.A.3 concernent uniquement le transport dans les MOSFETs longs, c'est-à-dire pour lesquels (i) le champ électrique latéral est inférieur à une valeur critique²⁵ (cf. §I.B.2.2.1), (ii) les effets parasites de canal court sont inexistantes (ou négligeables). Dans les MOSFETs courts, d'autres paramètres physiques (autre que la mobilité des porteurs) gouvernent le transport. Il s'agit de la saturation de la vitesse de dérive, des phénomènes non-stationnaires et des effets balistiques. Ce sont ces mécanismes de transport qui sont alors à l'origine des limitations du courant de drain dans ces transistors (en plus de la limitation principale induite par les résistances séries comme évoqué précédemment).

L'objectif des paragraphes suivants est de donner les notions de base pour ces régimes de transport.

I.B.2.2.1 Mobilité et vitesse de saturation

En régime stationnaire, sous l'action d'un champ électrique longitudinal $E_{//}$ entre la source et le drain, les porteurs se déplacent avec une vitesse de dérive v définie par

$$v = \mu E_{//} \quad \text{Équation I-14}$$

Toutefois, à partir d'une certaine valeur du champ $E_{//}$, appelé champ critique longitudinal $E_{c,//}$ ($E_{c,//} \approx 10^4 \text{ V/cm}$ dans Si), la vitesse de dérive des porteurs n'est plus proportionnelle au champ électrique longitudinal (Figure I-13) et tend vers une valeur limite appelée vitesse de saturation v_{sat} ($\approx 10^7 \text{ cm/s}$ dans Si). Son origine physique est due aux collisions inélastiques subies par les porteurs avec les phonons optiques du réseau qui deviennent de plus en plus probables à mesure que l'énergie des porteurs augmente. Or le champ électrique longitudinal dans les dispositifs CMOS actuels est largement supérieur à $E_{c,//}$ ²⁶. Ainsi dans les transistors courts, le régime de saturation ne trouve pas la même origine physique. Alors que pour les canaux longs, la saturation est atteinte dès lors que $V_D = V_{D,\text{sat}} = V_G - V_T$, c'est-à-dire lorsque le canal est pincé (le champ latéral aux bornes de la charge d'inversion est alors constant d'où un courant saturé), pour les canaux courts, le courant sature avant le pincement du canal, puisque les porteurs atteignent leur vitesse limite. Il devient légitime de se poser la question de l'intérêt du paramètre mobilité pour les MOSFETs ultracourts et de remplacer l'Équation I-11 par l'expression suivante valable dans le régime de saturation de la vitesse des porteurs :

$$I_{D\text{sat}} = C_{\text{ox,eff}} W v_{\text{sat}} (V_G - V_T) \quad \text{Équation I-15}$$

Il est intéressant de noter que la longueur du canal n'intervient plus dans l'expression de $I_{D\text{sat}}$; ainsi dans ce régime, une réduction de la longueur du canal ne permet plus de gagner en performance.

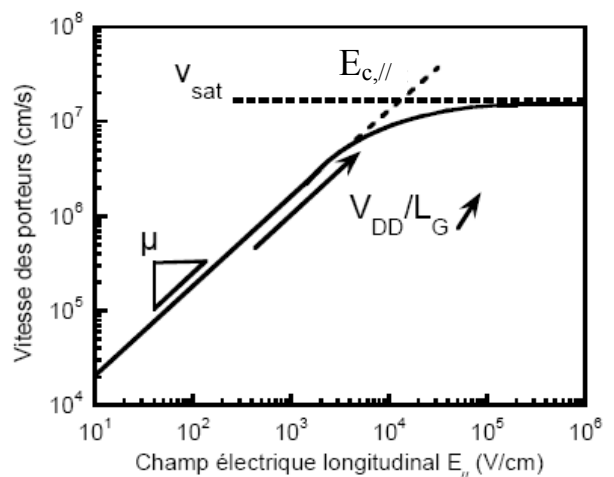


Figure I-13 : Evolution de la vitesse des électrons avec le champ électrique longitudinal $E_{//}$

²⁵ qui correspond typiquement à des longueurs de grille supérieures au micron.

²⁶ L'ordre de grandeur du champ moyen longitudinal peut être estimé au premier ordre par $E_{//} = V_{D,\text{sat}} / L_G$, soit environ 10^5 V/cm pour $V_{D,\text{sat}} = 1 \text{ V}$ et $L_G = 50 \text{ nm}$

Avant d'atteindre v_{sat} , on peut adapter l'Équation I-11 en modélisant la diminution de mobilité avec V_D , $\mu_{\text{eff}}(V_D)$ selon une équation du type :

$$\mu_{\text{eff}}(V_D) = \frac{\mu_{\text{eff}}}{1 + E_{\parallel}/E_{c,\parallel}} = \frac{\mu_{\text{eff}}}{1 + \theta_D V_D} \text{ pour } E < E_{c,\parallel} \quad \text{Équation I-16}$$

avec $V_D \approx E_{\parallel} L_{\text{eff}}$ et $\theta_D = \mu_{\text{eff}} / (2v_{\text{sat}} L_{\text{eff}})$.

Cependant il a été démontré que la mobilité des porteurs joue toujours un rôle fondamental en régime de saturation et que l'augmentation de la mobilité continue à être bénéfique pour le courant I_{ON} (cf. notre étude au §III.B.2.4 et [ANDRIE 05a, LOCHET 02]). Le champ électrique dans le canal côté source en régime de saturation resterait ainsi inférieur au champ $E_{c,\parallel}$ même pour des dispositifs de longueur de grille inférieure à 50nm.

Signalons par ailleurs que la vitesse de saturation n'est pas une limite infranchissable puisqu'il a été mis en évidence des phénomènes de survitesse lorsque l'énergie des porteurs augmente très rapidement (cas du transport hors-équilibre)²⁷ [SHAHID 88], comme c'est le cas dans les MOSFETs ultracourts. Néanmoins, l'effet bénéfique du phénomène de survitesse sur le courant I_{Dsat} des MOSFETs ultracourts n'est aujourd'hui pas clairement démontré.

I.B.2.2.2 Le transport balistique ou quasi-balistique

Le transport dans le canal peut être décrit également à partir de l'approche balistique. Les dispositifs CMOS ultimes se rapprochent en effet de la limite balistique même s'ils ne seront probablement jamais complètement balistiques [BOEUF 04, CLERC 04]. Lorsque la distance entre la source et le drain devient inférieure au libre parcours moyen des porteurs λ entre deux collisions ($\approx 20\text{nm}$ dans le silicium intrinsèque), les porteurs ne subissent plus aucune interaction pendant leur transport dans le canal. Cette limite balistique définit la valeur maximale que le courant peut atteindre (Figure I-15). Le courant devient uniquement limité par la vitesse d'injection v_{inj} des porteurs au niveau de la source [LUNDST 00] selon l'équation :

$$I_{\text{Dsat}} = W Q_{\text{inv}} v_{\text{inj}} \quad \text{Équation I-17}$$

où Q_{inv} représente ici la charge d'inversion côté source. Dans le cas d'un régime purement balistique, *i.e.* tous les porteurs injectés au niveau de la source atteignent le drain, et si l'on considère un gaz de porteurs non dégénéré, v_{inj} est égal à la vitesse thermique des porteurs v_{th} définie par²⁸

$$v_{\text{th}} = \sqrt{\frac{2k_B T}{\pi \cdot m^*}} \quad \text{Équation I-18}$$

où m^* est la masse effective isotrope de conduction. La valeur de v_{th} pour les électrons dans le silicium est environ $1,2 \times 10^7$ cm/s à $T=300\text{K}$.

Dans le cas d'un régime quasi-balistique, pour lequel certains porteurs injectés au niveau de la source sont rétro-diffusés, on définit un coefficient de rétro-diffusion « r » traduisant la proportion

²⁷ Les porteurs n'ont pas le temps de dissiper leur énergie via les phonons optiques (interaction inélastique) du réseau. Leur énergie se relaxe plus lentement que leur vitesse (ou moment). Il peut ainsi apparaître, pour des temps inférieurs au temps moyen de relaxation des porteurs, des phénomènes de survitesse.

²⁸ Pour être plus réaliste, il faudrait prendre en compte la dégénérescence des porteurs qui existe pour une tension de grille au-dessus du seuil dans une couche d'inversion. La vitesse d'injection devient alors $v_{\text{inj}} = \sqrt{2k_B T / \pi m^*} \cdot \mathfrak{F}_{1/2}(\eta_f) / \mathfrak{F}_0(\eta_f)$ où $\mathfrak{F}_{1/2}$ et \mathfrak{F}_0 sont les intégrales de Fermi-Dirac et η_f est la différence entre le niveau de Fermi près de la source et le niveau d'énergie de la première sous-bande [BARRAL 07].

des porteurs qui ne sont pas collectés par le drain. D’après Lundstrom *et al.* les courants de drain en régime linéaire ($V_D < k_B T/q$) et saturé s’écrivent [LUNDST 97,00,01]:

$$I_{Dlin} = WC_{ox,eff} \frac{v_{inj}}{2k_B T/q} (1 - r_{lin}) (V_G - V_T) V_D \quad \text{avec} \quad r_{lin} = \frac{L_{eff}}{L_{eff} + \lambda} \quad \text{Équation I-19}$$

$$I_{Dsat} = WC_{ox,eff} v_{inj} \left(\frac{1 - r_{sat}}{1 + r_{sat}} \right) (V_G - V_T) \quad \text{avec} \quad r_{sat} = \frac{l}{l + \lambda} \quad \text{Équation I-20}$$

où l est une longueur critique caractéristique de la rétro-diffusion à V_D fort. Elle correspond approximativement à la distance sur laquelle le potentiel côté source chute de $k_B T/q$ (communément appelée « kT layer ») [LUNDST 97]. Au-delà de cette distance, on considère que les porteurs ne peuvent plus revenir dans la source. l dépend donc du profil du potentiel près de la source (Figure I-14). λ est le libre parcours moyen des porteurs dans le canal ; il est directement relié à la mobilité des porteurs μ via la relation :

$$\lambda = \frac{2k_B T}{q} \cdot \frac{\mu}{v_{th}} \quad \text{Équation I-21}$$

Sa valeur à $T=300K$ est typiquement de quelques dizaines de nanomètres dans les technologies actuelles (Figure I-15).

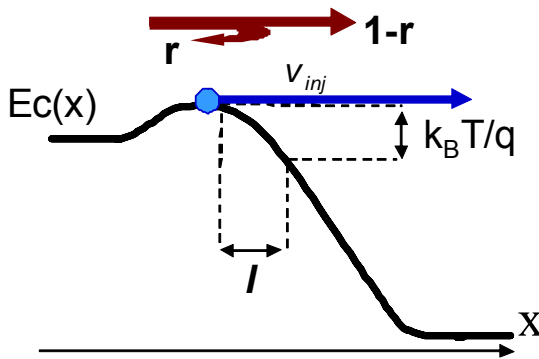


Figure I-14 : Représentation schématique du profil de la bande de conduction proche de la source du MOSFET illustrant le coefficient de rétro-diffusion des porteurs injectés à la vitesse v_{inj} .

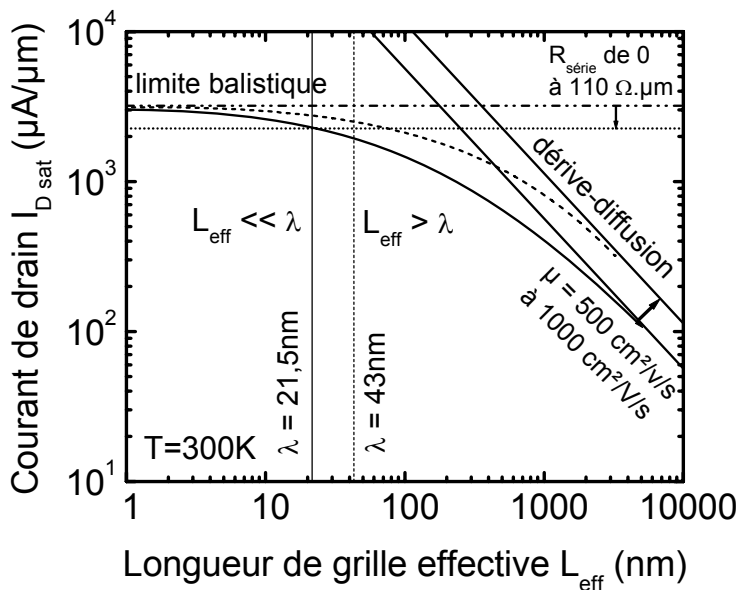


Figure I-15 : Evolution qualitative du courant de drain en fonction de la longueur de grille pour deux valeurs de mobilité. L’impact de la mobilité est clairement visible jusqu’à des longueurs de l’ordre de quelques nanomètres. Les paramètres choisis correspondent à ceux du nœud technologique 45nm pour les applications HP, à savoir $CET=11\text{Å}$, $V_{T,sat}=0,15V$, $V_{DD}=1V$ mais avec $R_{série}$ idéalement nulle. L’impact de $R_{série}=110\Omega.\mu m$ est montré sur la limite balistique. Cette dernière ayant été calculée en considérant un gaz non dégénéré, *i.e.* $v_{inj}=v_{th}$.

À partir des expressions du courant de drain en régime linéaire selon l’approche quasi-balistique (Équation I-19) et l’approche classique (Équation I-10), on peut définir une mobilité équivalente μ_{eq} :

$$\mu_{eq} = \frac{v_{th}}{2k_B T/q} \cdot \frac{\lambda}{1 + \lambda/L_{eff}} = \frac{\mu}{1 + \lambda/L_{eff}} \tag{Équation I-22}$$

Ainsi lorsque $L_{eff} \gg \lambda$, $\mu_{eq} = \mu$ et lorsque $L_{eff} \ll \lambda$ (limite balistique), $\mu_{eq} = \mu L_{eff} / \lambda$ (Figure I-15). Contrairement au modèle classique, cette mobilité diminue avec la longueur de grille. Expérimentalement, on observe une dégradation de la mobilité dans les technologies avancées (cf. Chapitre V) [ANDRIE 05b,c, ROMANJ 04b,c]. Or le concept de mobilité est basé sur les mécanismes de collision, cette dépendance avec la longueur du canal n'a donc pas véritablement de sens physique. On peut se poser aussi la question de la validité du concept de mobilité effective ou de son extraction pour les MOSFETs ultracourts.

Mais cette dégradation de mobilité est observée dès des longueurs de grille de plusieurs centaines de nanomètres. Elle ne peut donc pas s'expliquer uniquement par l'apparition d'effets balistiques puisque l'on se situe dans le régime $L_{eff} \gg \lambda$. Il doit donc exister une dégradation de μ avec L . Notons en plus que cette dégradation observée expérimentalement s'accroît avec l'augmentation du dopage du canal (ou poches de surdopage, cf. §I.C.1.1) ; ce qui ne peut être expliqué que par une dégradation de μ (associée à une augmentation des interactions avec les impuretés dopantes). Finalement on peut dire qu'actuellement, les mécanismes de collisions restent les éléments clés pour expliquer le transport à faible et fort champ longitudinal.

I.B.2.3 Les effets parasites de canal réduit dans les architectures avancées

Lorsque la géométrie du MOSFET est réduite à des dimensions submicroniques, des effets parasites viennent modifier le comportement électrique du transistor. Ils peuvent être liés à la réduction de la longueur du canal ; ce sont ce que l'on appelle les effets de canal court. Ils peuvent venir aussi de la réduction de la largeur du transistor (effet de canal étroit) ou encore de la diminution de l'épaisseur du diélectrique de grille. Ces effets viennent limiter les performances. La Figure I-17 permet d'illustrer les trois principaux effets de canal court observés dans des architectures avancées. Le premier effet concerne la diminution de la tension de seuil avec la diminution de la longueur de grille (appelé « V_T roll-off » ou partage de charge ou par abus de langage SCE pour « *Short Channel Effect* »). Les charges de désertion aux niveaux des jonctions source et drain/canal ne sont pas entièrement contrôlées par la grille mais aussi par l'équilibre imposé par une jonction PN. Ainsi, pour de petites géométries, la part de ces charges par rapport à la charge de désertion totale devient non négligeable, ce qui facilite la création de l'inversion du canal sous la grille (Figure I-16).

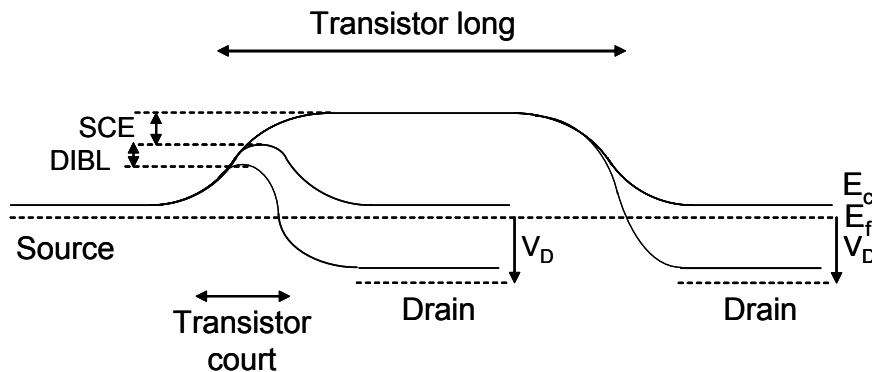


Figure I-16 : Représentation schématique de la bande de conduction le long d'un MOSFET pour différentes longueurs de canal et polarisations de drain

Le second effet concerne l'abaissement de la barrière de potentiel source/canal (sur toute la longueur du canal) induite par une polarisation sur le drain. Il est appelé DIBL pour « Drain Induced Barrier Lowering » (Figure I-16). Cet effet a pour conséquence d'abaisser la tension de seuil avec la tension appliquée sur le drain. Ainsi la charge d'inversion dans les transistors courts

peut être contrôlée par le drain en plus de la grille ; il en résulte une augmentation du courant de drain dans le régime de saturation (Figure I-17 (b)). Ces deux effets s'additionnent et décalent la caractéristique $I_D(V_G)$ vers les tensions de grille plus faibles (Figure I-17 (a)). Le troisième effet observable sur la Figure I-17 (a) est le GIDL pour « Gate Induced Drain Leakage » ; à cause de l'amincissement du diélectrique de grille, de forts champs électriques verticaux sont créés au niveau du drain ce qui peut générer un courant de fuite entre la grille et le drain à l'état OFF du MOSFET (différence de potentiel drain/grille d'environ $V_{DD}-V_G=V_{DD}$ à l'état OFF). D'autres effets parasites existent et peuvent dégrader le courant à l'état OFF comme les fuites des jonctions source/canal et canal/drain polarisées en inverse ou encore le courant de perçage source/drain (« punchthrough »), non contrôlé par la grille.

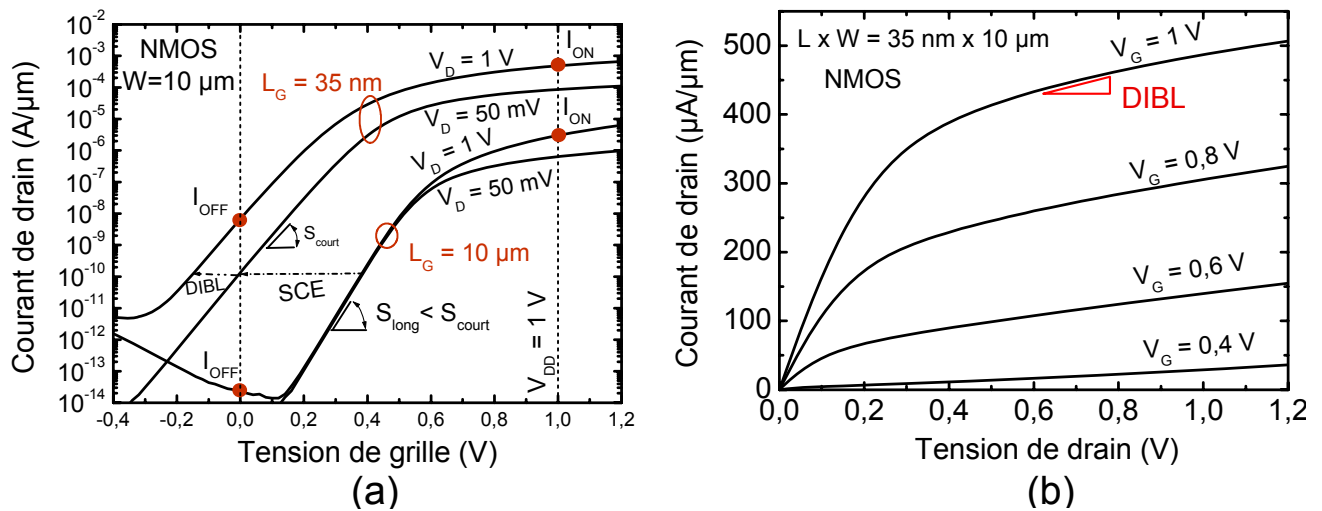


Figure I-17 : Evolution du courant de drain (a) d'un transistor court comparé à celui d'un transistor long en fonction de la tension de grille (en échelle logarithmique) et (b) d'un transistor court en fonction de la tension de drain.

Les effets de canal court ont aussi pour conséquence de dégrader la pente sous le seuil (augmentation de S) puisque la tension de grille commande mal le courant de drain.

Lorsque les dimensions d'un MOSFET sont réduites, les contributions des capacités parasites (capacités de recouvrement sous les espaceurs, capacités des jonctions source/substrat et drain/substrat) deviennent en effet non négligeables et prennent une part de plus en plus importante dans le contrôle électrostatique du canal.

Toutes les solutions technologiques apportées pour limiter les effets de canal court ou encore augmenter les performances des dispositifs ont un coût. Les industriels doivent alors faire en permanence des compromis entre la meilleure solution technologique et le rendement souhaité²⁹. Les dispositifs sont également soumis à des règles strictes concernant leur fiabilité. Ils doivent tenir dans le temps, c'est-à-dire que la dérive de leurs caractéristiques électriques doit être minimale, afin de ne pas dégrader leurs performances et perturber le fonctionnement du circuit intégré.

Les solutions technologiques présentées dans le paragraphe suivant n'abordent pas le point de vue économique. Nous ne discuterons que de leur intérêt en terme de gain en performance. Cependant leurs points faibles et/ou limitations ne seront pas oubliés.

²⁹ Pour rester compétitif et obtenir un rendement suffisant, les industriels se voient contraints d'augmenter régulièrement la taille des plaquettes de silicium (« wafer ») sur lesquelles sont fabriqués les circuits ; aujourd'hui les plaquettes ont un diamètre de 300 mm (soit 12 pouces)

I.C Les solutions technologiques pour améliorer les performances des MOSFETs

Pour améliorer les performances des MOSFETs il faut être capable de faire débiter un courant I_{ON} plus fort tout en gardant un niveau de fuite I_{OFF} acceptable (fixés par l'ITRS). Afin de limiter le courant I_{OFF} il est alors nécessaire de limiter au maximum les effets de canal court, c'est-à-dire optimiser le contrôle électrostatique du canal par la grille (§I.C.1). D'après les équations donnant le courant à l'état ON, pour augmenter le courant I_{ON} on peut soit augmenter la tension d'alimentation V_{DD} , avec, entre autres, les problèmes de puissance dissipée que cela procure (cette solution est donc écartée), soit améliorer le couplage électrostatique entre la grille et le canal, tout en gardant un courant I_{OFF} acceptable (§I.C.2), soit modifier directement les propriétés du transport électronique (§I.C.3), sans altérer *a priori* le courant à l'état bloqué.

I.C.1 Les architectures visant à optimiser le contrôle électrostatique

I.C.1.1 Les optimisations du procédé réalisées en technologie « bulk »

La technologie la plus communément utilisée en production est appelée « bulk » ; les dispositifs sont fabriqués sur des plaquettes de silicium massif. Afin de limiter les effets de canal court il convient d'optimiser l'architecture pour garder un très bon contrôle électrostatique du canal par la grille. Pour limiter la chute de V_T avec la longueur de grille (SCE) et avec la tension de drain (DIBL), on peut diminuer les profondeurs de jonctions des source et drain avec le substrat (ingénierie des jonctions fines pour réduire le couplage parasite capacitif avec le substrat ou, ce qui revient au même, pour

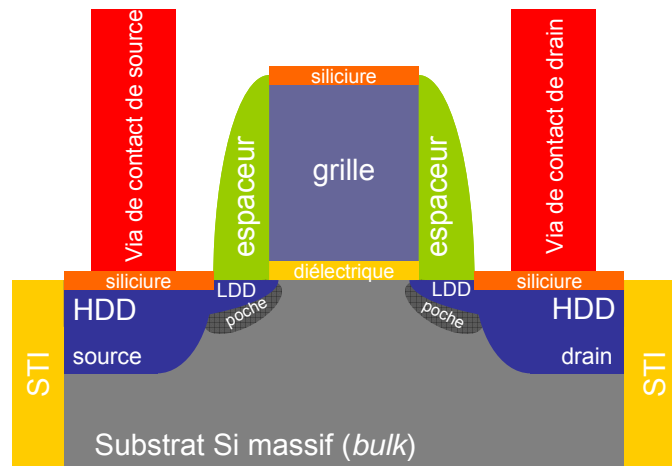


Figure I-18 : Coupe longitudinale schématique de l'état de l'art du MOSFET en technologie « bulk »

minimiser la part de la charge de désertion contrôlée par les source/drain au lieu de la grille). On implante alors, avant de réaliser les réservoirs source et drain à proprement parler, une région dite LDD (pour « Lightly Doped Drain »), comme illustré sur la Figure I-18. À l'origine, ces extensions, plus faiblement dopées que les zones réservoirs, dites HDD (pour « Highly Doped Drain »), avaient pour but de minimiser le champ électrique localement, au niveau de la jonction avec le drain, ceci pour limiter la création de porteurs chauds. Aujourd'hui ces zones sont plutôt appelées « S/D extension » dans la littérature puisqu'elles sont très fortement dopées afin de limiter les $R_{série}$ et leur but est de mieux contrôler les effets de canal court³⁰. Cependant ceci a toujours pour effet d'augmenter les résistances séries R_{EXT} , comparativement aux régions HDD, limitant ainsi le courant I_{ON} . On peut aussi augmenter la distance entre les extensions et le canal afin de réduire les capacités parasites de recouvrement sous les espaceurs. Dans ce cas ce sont les résistances séries R_{OV} qui seront augmentées. Ainsi pour obtenir les meilleurs résultats en terme de compromis $R_{série}$ /effet de canal court, il convient de réaliser des jonctions les plus abruptes possibles. Une autre astuce utilisée pour limiter les effets de canal court consiste à augmenter la hauteur de barrière avec le canal. Plutôt que de sur-doper tout le canal, entraînant une trop forte dégradation de la mobilité des porteurs et modifiant aussi la tension de seuil des transistors longs, on réalise des poches de sur-dopage du canal au niveau des jonctions source/canal et canal/drain (par implantation dite « tiltée »,

³⁰ Dans ce mémoire on utilisera aussi bien l'appellation « S/D extension » que LDD.

i.e. à grande angle d'incidence), augmentant localement le dopage du canal. Toutefois pour des dimensions fortement sub-microniques ces poches de sur-dopage affectent le transport, limitant les performances. Les marges de manœuvre étant de plus en plus faibles, toutes ces techniques sont désormais conjointement mises à profit (cf. Figure I-18).

Les outils de conception peuvent également être avantageusement utilisés pour réduire les fuites dans les circuits (co-intégration des MOSFETs HP et LP, polarisation du substrat...).

Toutes ces optimisations technologiques seront très probablement utilisées dans la technologie « bulk » jusqu'au nœud technologique 45nm (cf. Tableau I-2 page 25) par la plupart des industriels (comme Intel®, STMicroelectronics, Toshiba, NEC ou Infineon). Cependant quelques industriels (comme IBM, Motorola/Freescale ou encore AMD) ont d'ores et déjà adopté une nouvelle technologie, utilisant un nouveau substrat de départ : le Silicium sur Isolant (SOI). Cette technologie est présentée dans le paragraphe suivant.

I.C.1.2 La technologie SOI et les architectures multigrilles

I.C.1.2.1 Description générale

La technologie SOI est actuellement considérée comme la solution privilégiée pour remplacer la technologie « bulk » et atteindre des dimensions déca-nanométriques voire sub-déca-nanométriques. Nous assistons au développement rapide du SOI grâce notamment à la maturité des méthodes de fabrication qui ont permis d'accroître la qualité du matériau tout en diminuant les coûts. Le premier matériau, le silicium sur saphir (SOS), a été suivi par une variété de structures SOI. Leur point commun est d'offrir, grâce à un oxyde enterré (le BOX pour « Buried Oxide »), une parfaite isolation diélectrique entre la couche active des circuits et le substrat de silicium massif (Figure I-19). La technologie SOI a été inventée dans les années 1960-1970, originellement pour satisfaire la demande de circuits intégrés résistants aux irradiations ionisantes, auxquelles elle est particulièrement adaptée du fait de leur film mince de zone active isolé du substrat (pour les applications militaires et spatiales notamment).

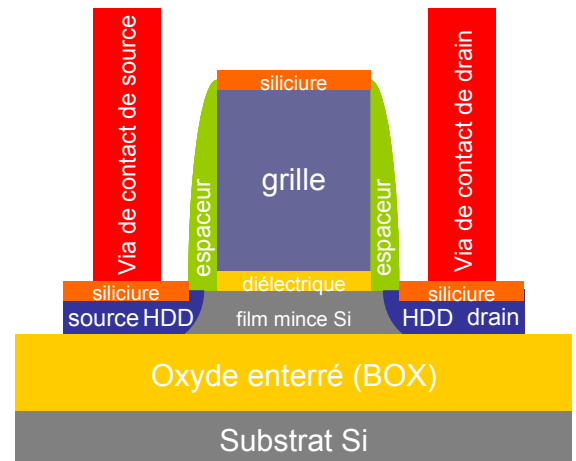


Figure I-19 : Coupe longitudinale schématique d'un MOSFET réalisé en technologie SOI

Dans un MOSFET, il n'y a que la couche superficielle de silicium qui est vraiment utile pour le transport des électrons, soit quelques nanomètres. Le reste de la plaquette sert uniquement de support mécanique. Depuis le début des années 1990, la mise au point de nouveaux matériaux SOI, ainsi que l'explosion du marché des appareils électroniques portables, a promu le SOI comme une technologie de choix pour la fabrication de composants à basse consommation et à haute fréquence. Aujourd'hui la majorité des plaques SOI est obtenue par collage moléculaire (« wafer bonding ») grâce à la technologie Smart Cut™, détenue aujourd'hui par la société française SOITEC (substrats Unibond™) après avoir été développée dans les laboratoires du CEA-LETI.

On distingue principalement deux catégories de dispositifs SOI. Les transistors SOI partiellement désertés (« partially depleted » ou PDSOI) et les transistors complètement désertés (« fully depleted » ou FDSOI). Ces expressions signifient que la région de désertion couvre partiellement ou en totalité la couche de silicium au-dessus du BOX lorsque le transistor est en inversion. En d'autres termes on dira qu'un transistor est complètement déserté lorsque l'épaisseur

du film de silicium T_{Si} est inférieure à l'épaisseur maximale T_{dep} de la zone désertée d'une structure MOS (cf. Équation I-7).

Par conséquent, dans le cas d'un transistor FDSOI, la charge de déplétion est limitée. Elle ne varie plus avec V_{GS} et est donnée simplement par (pour un nMOSFET) :

$$Q_{dep} = qN_A T_{Si} \quad \text{Équation I-23}$$

Les industriels ayant opté pour la technologie SOI depuis les années 2003-2005 utilisent essentiellement la technologie PDSOI puisqu'elle se rapproche le plus de la technologie « bulk ». L'introduction de la technologie FDSOI est, quant à elle, envisagée pour le nœud 45nm vers 2010 voire pour le nœud 32nm vers 2013.

I.C.1.2.2 Les avantages du SOI

Les avantages de la technologie SOI sont conséquents et nombreux :

- Isolation latérale : chaque transistor est isolé électriquement du substrat de silicium (Figure I-19). L'isolation latérale des zones actives permet de concevoir des architectures plus compactes que dans le silicium massif, car les caissons ou les tranchées d'isolation deviennent superflus ; la densité d'intégration peut ainsi être accrue [FAYNOT 95]. L'isolation, dite MESA, est alors simplement réalisée lors de la définition et gravure des zones actives (ensuite remplie par un oxyde de « back-end » standard).
- Isolation verticale : assurée par l'oxyde enterré, elle élimine les inconvénients d'un substrat massif : mécanismes d'interférence entre dispositifs voisins (l'effet de verrouillage ou « latch-up » : déclenchement du thyristor parasite, courants de fuite, etc.). Elle limite les capacités parasites ce qui permet, même en technologie PDSOI, d'augmenter la fréquence de fonctionnement des circuits. D'où l'intérêt accordé par les industriels à cette technologie innovante.
- Contrôle électrostatique accru : la profondeur des régions source et drain est fixée par l'épaisseur du film de silicium et non par le procédé d'implantation et de recuit comme sur silicium massif. La surface des jonctions est alors fortement minimisée. Un meilleur contrôle électrostatique du canal par la grille est ainsi obtenu, conduisant en particulier à une réduction des effets de canal court (SCE et DIBL), et ce d'autant plus que les source et drain seront de faibles épaisseurs. Les films ultraminesces des dispositifs FDSOI, pour lesquels le film ne mesure qu'une dizaine de nanomètres généralement, sont alors particulièrement attractifs de ce point de vue. Il en résulte aussi une forte réduction des courants de fuite. Tout ceci se traduit par un gain en vitesse des circuits, une plus faible consommation et une extension significative de la plage de fonctionnement vers les hautes températures. La technologie permettra ainsi d'aller plus loin que la technologie sur silicium massif en terme de miniaturisation. En effet il a été démontré analytiquement que les effets de canal court sont maintenus à un niveau tolérable, lorsque la longueur de grille est de trois à cinq fois supérieure à une longueur critique λ qui dépend des épaisseurs du film et de l'oxyde de grille [YAN 92]³¹:

$$\lambda_{FD} = \sqrt{\frac{\epsilon_{Si}}{\epsilon_{ox}} T_{Si} \cdot T_{ox}} \quad \text{Équation I-24}$$

³¹ Formule valable dans le cas d'une architecture simple grille uniquement [COLING 07].

La pente sous le seuil est également fortement améliorée. Seul le SOI complètement déserté offre une pente en faible inversion quasi idéale (60 mV/décade à la température ambiante)³². Ceci est dû à la disparition de la capacité différentielle de désertion en faible inversion.

- Transport : du fait de cet excellent contrôle des effets de canal court, la contrainte imposée sur le niveau de dopage du canal (ou l'utilisation de poches de sur-dopage) peut-être relâchée voire supprimée. Ainsi en technologie FDSOI le film mince est non dopé³³ et l'utilisation de poches de sur-dopage devient inutile. D'une part le procédé de fabrication est simplifié par rapport à la technologie « bulk » et d'autre part le champ électrique effectif est plus faible qu'avec une technologie en silicium massif. Ceci engendre une immunité supérieure à la dégradation induite par les porteurs chauds [CRISTO 97, OMURA 95] ainsi qu'une augmentation potentielle de la mobilité effective des porteurs en comparaison à celle observée dans les dispositifs massifs (additionnée à l'augmentation de la mobilité des porteurs liée au faible dopage). On s'attend ainsi à une augmentation du courant de saturation. Sous certaines conditions il est possible d'obtenir un canal d'inversion sur toute l'épaisseur du film de silicium, appelée *inversion volumique* et découvert en 1987 [BALEST 87]. Le transport peut alors être encore amélioré par rapport au cas d'un canal d'une technologie « bulk ». Certaines architectures sont développées pour tirer profit de ce type de conduction (§I.C.1.2.4).

Ainsi le SOI est particulièrement bien adapté aux applications basse consommation, pour lesquelles on recherche une minimisation de la puissance dissipée en statique (faibles courants de fuite) et en dynamique (faibles capacités parasites et faibles tensions d'alimentation, possible grâce à la pente sous le seuil S minimale).

I.C.1.2.3 Les limitations du SOI

Toutefois cette technologie connaît quelques limitations :

- Les effets de substrat flottant (« Body effects »), observés sur les dispositifs PDSOI essentiellement. La présence de l'oxyde enterré empêche l'écoulement des porteurs majoritaires créés par ionisation par impact (trous dans le cas du NMOS). Accumulés dans le film de silicium, ils induisent une polarisation et donc une modification de la tension de seuil : c'est l'effet « kink ». C'est cet effet de substrat flottant qui conduit à des pentes en inversion faible inférieures à 60 mV/décade sur les dispositifs partiellement désertés. Il a aussi pour effet d'augmenter le courant de drain pour de fortes polarisations de drain (au-delà de la saturation). Ceci peut sembler un avantage à première vue ; en réalité ce n'est pas vraiment le cas puisque cet effet est non contrôlé et le chargement du film peut entraîner le blocage définitif du transistor au cours des cycles de fonctionnement (effet mémoire) Un des avantages des transistors complètement désertés est justement l'absence d'effet « kink ».³⁴
- Les effets de bipolaire parasite sont également dus à la présence de l'oxyde enterré [CHOI 91] et observés principalement sur les transistors PDSOI. À fort champ électrique, les charges créées par ionisation par impact s'accumulent dans le film sous la grille, ce qui polarise la jonction source-film en direct. On peut alors avoir le déclenchement d'un transistor bipolaire parasite qui ajoute au courant du transistor MOS un courant de bipolaire en parallèle. Ceci réduit considérablement la tension d'alimentation possible pour les

³² D'autres architectures alternatives telles que les transistors à ionisation par impact (I-MOSFET) permettent d'obtenir des pentes sous le seuil de l'ordre du millivolt seulement. La fiabilité de ces composants reste toutefois à démontrer.

³³ En général les substrats utilisés ont un dopage proche de 10^{15} cm^{-3}

³⁴ Notons toutefois que l'on peut tirer profit de cet effet pour des applications mémoires par exemple.

circuits, puisqu'un tel effet peut empêcher le transistor de repasser de l'état ouvert à l'état fermé.

Notons qu'il existe des solutions permettant d'évacuer les porteurs majoritaires créés par l'ionisation par impact. On peut par exemple ajouter une prise de contact au niveau du film mince constituant le canal (de type P+ pour un NMOS). Il s'agit de l'un des enjeux actuels de l'optimisation des MOSFETs SOI.

- Résistances séries parasites : la présence du BOX limite le volume de silicium disponible pour le transistor, en particulier pour les régions source et drain. Or afin d'optimiser les dispositifs SOI pour les très faibles longueurs de grille (<40nm), des épaisseurs de silicium ultraminces (<10 nm) doivent être utilisées dans le but de réduire les effets de canaux courts (cf. Équation I-24). Dans ces conditions une augmentation importante des résistances séries parasites survient (R_{SD} et R_{EXT} sont inversement proportionnelles à T_{Si}). C'est pourquoi pour de tels dispositifs il devient indispensable de procéder à différentes « astuces » afin de diminuer les résistances S/D. On peut par exemple réaliser à partir d'un film mince une épitaxie au niveau des S/D. Ensuite des procédés de siliciuration (actuellement au Nickel) permettent d'obtenir de plus faibles résistances d'accès comme réalisées en technologie « bulk ». Un point critique concerne aussi l'amorphisation du film de silicium lors de l'implantation des source et drain qu'il convient d'éviter pour ne pas dégrader la conductivité.
- Effets d'auto-échauffement [SU 94, LEE 95]. Le BOX ayant une conductivité thermique 100 fois plus faible que celle du silicium (cf. Tableau I-4), l'évacuation de chaleur n'est pas aisée à travers le substrat et les transistors subissent un auto-échauffement lors de leur fonctionnement. Cet auto-échauffement se traduit par une diminution du niveau de courant. Cependant, compte tenu du fait que les constantes de temps thermiques sont supérieures aux constantes de temps dynamiques des circuits, ces effets ne devraient pas apparaître au niveau de la partie logique des circuits. Ils seront toutefois à prendre en considération pour l'extraction des paramètres en régime statique (lors de simulations numériques ou de caractérisations électriques) ou pour des applications analogiques. Des recherches très porteuses s'intéressent actuellement au remplacement de cet oxyde enterré par un autre matériau isolant à plus forte conductivité thermique, comme le diamant, l'alumine ou l'AlN [BRESSO 05].

	Si	SiO ₂	Al ₂ O ₃ (alumine)	C (diamant)
λ (W/cm/°C)	1,3-1,5	0,014	0,36	6-2

Tableau I-4 : Conductivité thermique (à 300K) de quelques matériaux

- Ajustement de la tension de seuil : en technologie FDSOI, la tension de seuil n'est plus ajustable par le dopage du canal mais dépend directement de l'épaisseur du film. Ainsi la variation de celle-ci, qui peut apparaître au sein d'une même plaque, peut provoquer une dispersion de la tension de seuil. Toutefois la maîtrise de la dispersion du paramètre T_{Si} dans les technologies actuelles (de l'ordre de 0,7nm) permet de minimiser cet effet (dispersion de l'ordre de 10mV seulement pour une longueur de grille de 40nm avec un film de 12nm [ROCHET 04]). Cependant pour des films encore plus minces, la tension de seuil sera aussi affectée par les effets du confinement géométrique imposé par le film (augmentation inversement proportionnelle à T_{Si} au premier ordre). Afin d'obtenir des tensions de seuil acceptables pour les dispositifs FDSOI, il devient alors nécessaire de jouer sur le travail de sortie de la grille.
- Dégradation de la mobilité : pour les très faibles épaisseurs de film (typiquement <20nm), une dégradation de la mobilité est observée [UCHIDA 02] (Figure I-20).

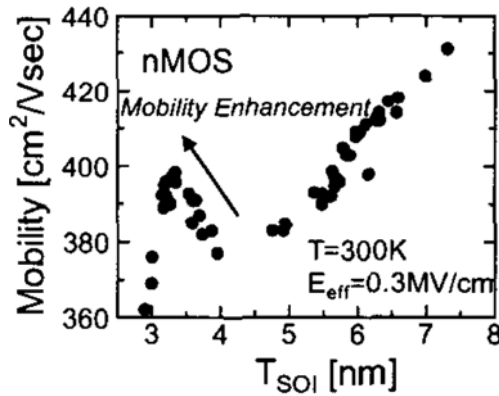


Figure I-20 : Evolution de la mobilité des électrons avec l'épaisseur d'un film ultramince en silicium, pour un champ effectif modéré, tirée de [UCHIDA 02]. L'explication de ce comportement est développée dans cet article.

I.C.1.2.4 Les architectures à grilles multiples

Afin de relâcher la contrainte imposée par l'Équation I-24 sur l'épaisseur du film de silicium, une multitude d'architectures innovantes à grilles multiples (ou canaux de conduction multiples) sont en cours de développement dans les laboratoires de recherche³⁵. Toutes sont fabriquées à partir d'un substrat SOI, à l'exception de l'architecture SON (pour « Silicon On Nothing ») développée par STMicroelectronics et basée sur la gravure sélective d'une couche sacrificielle de SiGe par rapport au canal en silicium. Au premier ordre on peut considérer que la contrainte sur T_{Si} est directement liée au nombre de grilles. Ainsi alors qu'il serait nécessaire de fabriquer un MOSFET sur des épaisseurs de silicium de l'ordre du nanomètre voire moins (selon la valeur de T_{ox}), avec tous les problèmes que cela comporte ($R_{série}$, fluctuations, dégradation de mobilité...), pour obtenir un bon contrôle des effets de canal court avec une longueur de grille de 5nm, en utilisant une architecture à grille enrobante, une épaisseur de film de l'ordre de 10nm serait suffisante. En effet en multipliant le nombre de grilles, on supprime la propagation des lignes de champ du drain vers le canal (« fringing field »), en partie responsable du DIBL [ERNST 00].

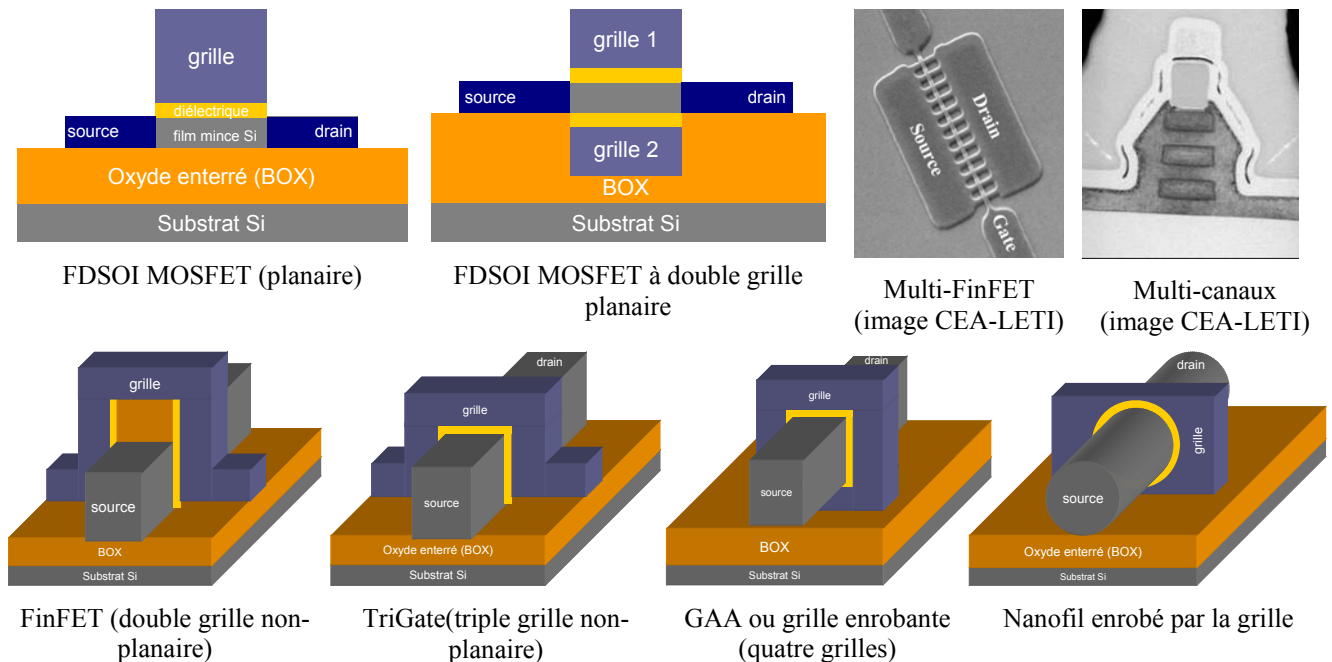


Figure I-21 : Architectures à grilles et/ou canaux de conduction multiples

La Figure I-21 fait la synthèse des principales architectures multigrilles. On distingue ainsi les architectures planaires (comme le MOSFET double grille), se rapprochant le plus de l'architecture conventionnelle d'un point de vue *design* et transport électronique, des architectures non-planaires

³⁵ Les expressions de la longueur critique λ dans le cas des différentes architectures à grilles multiples sont données dans [COLING 07].

(comme les FinFET, TriGate, Π -FET, Ω -FET ou le GAA pour « Gate-All-Around » ou à grille enrobante). En terme de contrôle électrostatique optimal, le nanofil de silicium entouré complètement par sa grille semble la solution la plus prometteuse, tout en restant dans une technologie maîtrisée, à savoir la technologie silicium. Pour contrecarrer la faible largeur des dispositifs non-planaires, qui ne déborderont donc qu'un courant limité (proportionnel à la largeur), des structures à canaux multiples seront avantageusement utilisées. On réalisera par exemple des doigts multiples en parallèle dans le plan du substrat (multi-FinFET) ou alors on cherchera à superposer les canaux de conduction (multicanaux) afin de ne pas perdre en surface utile pour pousser plus loin la densité d'intégration.

I.C.2 Les nouveaux matériaux permettant d'améliorer le compromis couplage électrostatique/fuites de grilles

L'empilement de grille est une brique technologique essentielle d'un MOSFET et est devenu ces dernières années le centre d'intérêt pour repousser les performances des dispositifs, notamment en réduisant fortement l'épaisseur de l'oxyde de grille (originellement le SiO_2) afin d'augmenter le courant I_{ON} (cf. l'Équation I-11). Cependant les épaisseurs du diélectrique de grille actuelles sont devenues tellement faibles (de l'ordre de 1,2nm soit deux à trois fois la taille de la molécule SiO_2 seulement), que d'importants courants de fuite de grille I_g ³⁶ viennent dégrader le fonctionnement du MOSFET et remettre en cause le compromis performance (I_{ON} via C_{ox})/puissance dissipée (I_{OFF} via I_g). La Figure I-22 illustre le fait que si l'on continue à utiliser l'oxyde de silicium nitruré (SiON) comme diélectrique de grille, les spécifications de l'ITRS pour le nœud technologique 45 nm ne pourront être satisfaites.

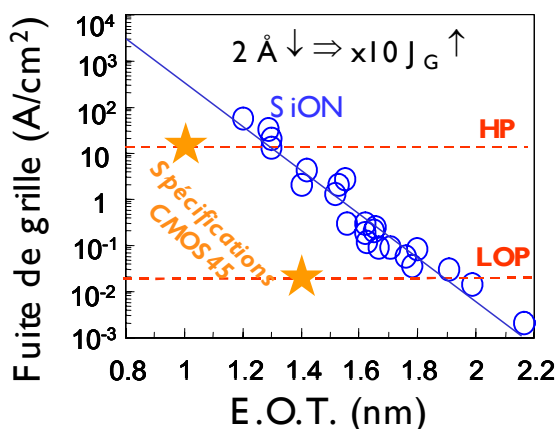


Figure I-22 : Figure de mérite montrant l'évolution exponentielle de la densité des fuites de grille avec la réduction de l'épaisseur équivalente d'oxyde

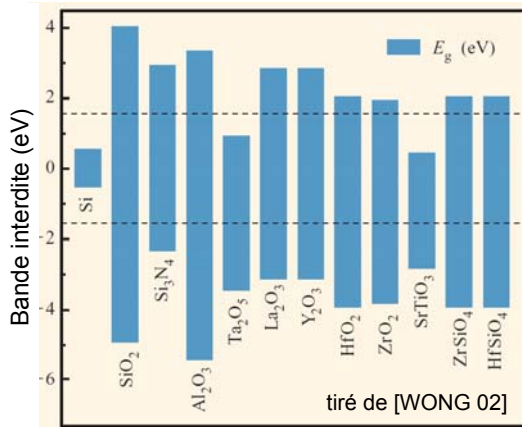
I.C.2.1 Les diélectriques à forte permittivité

Pour garder un bon contrôle électrostatique (C_{ox} grand) sans faire apparaître de courant de fuite de grille, il devient indispensable d'intégrer des oxydes à forte permittivité, dits high- κ (*i.e.* $\epsilon > \epsilon_{\text{SiO}_2}$), afin de relâcher la contrainte sur l'épaisseur e du diélectrique de grille (cf. Tableau I-3 page 26) ; la capacité étant proportionnelle à ϵ/e (cf. Équation I-3). Le premier oxyde à forte permittivité introduit en masse sur les lignes de production a été l'oxyde de silicium nitruré (SiON)³⁷. De nombreux matériaux sont des candidats potentiels du point de vue de leur permittivité diélectrique (Figures I-23). Cependant peu d'entre eux répondent aux multiples critères requis pour être intégré dans une filière CMOS, à savoir une grande bande interdite et une hauteur de barrière suffisante pour limiter les fuites, un champ de claquage élevé, une stabilité thermique adaptée aux

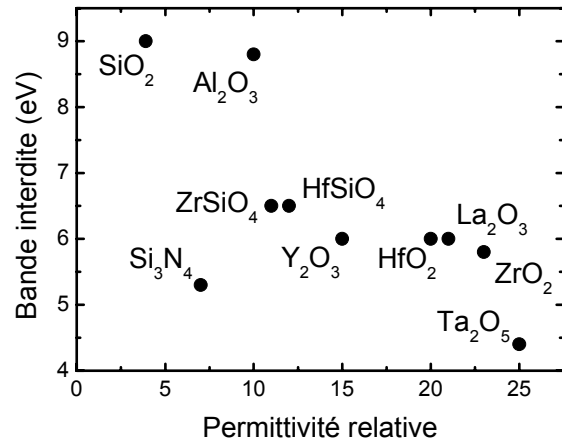
³⁶ Le courant de fuite pour de telles épaisseurs est de type tunnel direct.

³⁷ Le SiON a surtout été introduit pour faire office de barrière de diffusion au dopage de la grille en polysilicium (pour ne pas perturber le dopage sous la grille dans le canal) grâce aux propriétés des nitrures de silicium.

températures utilisées lors du procédé de fabrication et une interface de bonne qualité pour limiter la création d'états d'interface.



Matériaux diélectriques à forte permittivité



Figures I-23 : Principaux matériaux diélectriques envisagés pour le remplacement de l'oxyde de silicium [WONG 02]

Aujourd'hui l'oxyde d'hafnium (HfO_2) et les silicates d'hafnium (HfSiO_x ou HfSiO_xN) sont les matériaux les plus prometteurs. Cependant un problème d'importance est associé à ces matériaux : une dégradation de la mobilité des porteurs est observée, comparativement à l'oxyde classique de type SiO_2 ou SiON (Figure I-24). Cette dégradation est d'autant plus forte que l'épaisseur de la couche interfaciale SiO_x est faible. L'origine précise des mécanismes de dégradation est encore controversée aujourd'hui. Toutefois les hypothèses les plus avancées et les plus probables concernent des interactions à distance comme : (i) des interactions entre des charges fixes dans le high- κ et les porteurs du canal (appelées « Remote Coulomb Scattering ») [SAITO 03], (ii) la rugosité de l'interface entre le high- κ et la couche SiO_x [SAITO 04] et (iii) les interactions entre les porteurs et les phonons optiques du high- κ (appelés « soft optical phonon ») [FISCHE 01a].

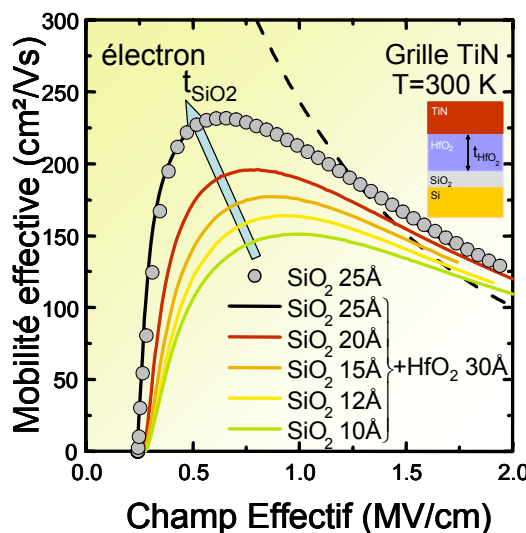


Figure I-24 : Mobilité effective en fonction du champ effectif (cf. définition Équation II-53 page 84) des électrons avec différents empilements de grille intégrant un matériau high- κ (épaisseur variable de la couche interfaciale SiO_x), d'après [CASSE 06b].

Enfin le second verrou majeur qui explique pourquoi les high- κ n'ont toujours pas été introduits est le phénomène de blocage du niveau de Fermi (appelé « Fermi level pinning ») observé tout d'abord sur des grilles en silicium polycristallin. Alors qu'avec SiO_2 l'écart des tensions de bande plate ΔV_{FB} entre une grille poly-Si P+ et N+ est de l'ordre de 1eV, cet écart chute à environ 0,2eV pour un oxyde HfO_2 [HOBBS 03]. Ainsi le niveau de Fermi a tendance à être piégé vers le milieu du gap de la grille en poly-Si, induisant une augmentation non souhaitée du V_T . L'origine de ce phénomène est complexe : il est attribué à des défauts d'interface entre le matériau de grille et le high- κ . Notons qu'une étude récente a démontré que la dégradation de mobilité observée sur les empilements de grille avancés (high- κ /grille TiN) étaient directement corrélée à la concentration

d'azone située à l'interface canal/SiO_x [GARROS 08]. Cette dégradation de mobilité est corrélée aux états d'interface N_{it} et la fiabilité NBTI.

Toutefois d'énormes progrès ont été réalisés depuis le depuis des années 2000 sur les procédés de dépôt des matériaux *high-κ*. Notamment leur fiabilité n'est plus aujourd'hui un problème majeur pour leur intégration dans une filière CMOS.

Les matériaux *high-κ* seront intégrés directement avec une grille métallique, alors qu'initialement leur intégration devait précéder l'utilisation de grilles métalliques³⁸. Cependant les grilles métalliques ne sont pas pour autant exemptes du phénomène de piégeage du niveau de Fermi [CARTIE 05] et la stabilité thermique du travail de sortie des grilles métalliques constitue un défi important. Toutefois Intel® annonçait récemment l'introduction dans ses lignes de production d'un empilement à base de HfO₂ associé à une grille métallique pour la fabrication des MOSFETs HP de la génération 45nm (processeur Core 2 Penryn), réduisant ainsi la puissance de 30% (réduction d'un facteur 10 sur le courant de fuite de grille) tout en gardant un gain en performance de 20% [FULTON 07].

I.C.2.2 Les grilles métalliques

L'intérêt des grilles de type métallique est double. Premièrement elles présentent l'avantage d'être dépourvues de désertion à l'interface grille/diélectrique de grille en régime de forte inversion du canal. On s'affranchit ainsi des problèmes liés à la désertion des grilles en polysilicium. Celle-ci entraîne d'une part une diminution de la capacité en inversion (cf. Tableau I-1) et d'autre part une diminution de la mobilité des porteurs par interactions coulombiennes à distance avec les dopants ionisés de la région désertée près de l'interface poly-Si/SiO₂, pour les oxydes de grille ultraminces [KRISHN 98]. Le courant I_{ON} est alors directement affecté. Deuxièmement, elles permettent d'ajuster dans une large gamme (suivant les applications visées) la tension de seuil des NMOS et des PMOS via le travail de sortie de la grille. De nombreux matériaux sont là encore possibles et étudiés (Figure I-25). Par exemple pour les technologies « bulk » HP on cherchera des grilles de type poly N+ pour les NMOS et poly P+ pour les PMOS, nécessitant ainsi l'intégration de grille duales, alors que pour les applications basse consommation (V_T plus fort pour limiter le I_{OFF}) ou pour les technologies FDSOI (films minces non dopé pour les nœuds 32nm et au-delà) les grilles doivent présenter un travail de sortie plutôt « mid-gap »³⁹ (soit environ 4,6 eV) [VANDOO 06].

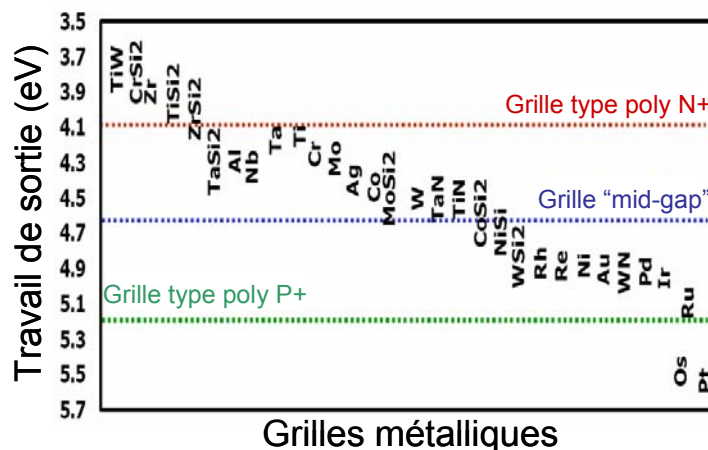


Figure I-25 : Travaux de sortie de différents matériaux métalliques, adapté de [SKOTNI 04].

³⁸ L'édition de 2003 de la « roadmap » de l'ITRS prévoyait l'introduction de matériaux *high-κ* dès le nœud 65nm pour les applications LSTP et LOP et à partir du nœud 45nm pour les grilles métalliques. Finalement l'édition de 2005 a repoussé au nœud 45nm la co-intégration de grille métallique sur *high-κ*.

³⁹ Ce qui permet de régler en partie le défi lié au piégeage du niveau de Fermi dans les grilles métalliques, qui a toujours tendance à amener le travail de sortie vers le milieu de la bande interdite pour de fortes températures de recuit (autour de 1000°C) [YU 04a].

Les critères technologiques majeurs à respecter pour la grille sont la stabilité thermique et la faculté à être gravée. Parmi les nombreux matériaux étudiés, citons par exemple les grilles en siliciure (NiSi, CoSi₂, WSi₂ ou TiSi₂), dopées ou non, réalisées à partir d'une technologie classique en siliciurant toute la grille initialement en polysilicium⁴⁰. Le point faible majeur des siliciures est qu'ils conservent le blocage du niveau de Fermi. Les candidats les plus prometteurs, en particulier pour les applications basse consommation et les architectures FDSOI, sont aujourd'hui les grilles en nitrure de titane⁴¹ (TiN), de tantale (TaN) et les matériaux à base de tungstène (W, WSi₂, WSiN). Malheureusement, les grilles métalliques sont parfois responsables d'une dégradation de la mobilité des porteurs⁴², en raison de charges introduites lors du procédé de dépôt (cas de l'azote pour la grille TiN). Ainsi des optimisations sont en cours afin de limiter au mieux ce phénomène. Par exemple il a été démontré qu'en diminuant l'épaisseur de TiN déposée on peut limiter cette dégradation (gain de 63% en passant de 40nm déposé à 5nm) [WIDIEZ 05a].

I.C.3 Les solutions pour améliorer les propriétés de transport (compromis performance/puissance dissipée)

Le paramètre de transport le plus commun est la mobilité. Pour les transistors plus longs, la mobilité gouverne directement le courant de drain [O'NEIL 96, HOYT 02]. Mais on sait aujourd'hui qu'une grande mobilité permet aussi d'avoir une grande vitesse d'injection dans les canaux à transport quasi-balistique des dispositifs déca-nanométriques [LUNDST 01, LOCHET 01,02] (Figure I-26 et Figure I-27)⁴³. Il s'agit là d'un point essentiel. Il est donc très opportun de chercher à augmenter directement la mobilité des MOSFETs. C'est pourquoi au cours de ce mémoire on s'attachera essentiellement à l'étude de ce paramètre de transport électronique. De plus l'étude du transport à faible V_D (régime pour lequel l'extraction de la mobilité se fait généralement) est facilitée. En effet on s'affranchit notamment d'une bonne partie de phénomènes complexes apparaissant dans le régime de saturation (transport hors équilibre, saturation de la vitesse des porteurs...). Le Chapitre III présentera les différentes techniques d'extraction de la mobilité.

Différentes voies sont possibles pour améliorer la mobilité des porteurs. Les paragraphes suivants ont pour objectif de faire le tour des différents moyens offerts.

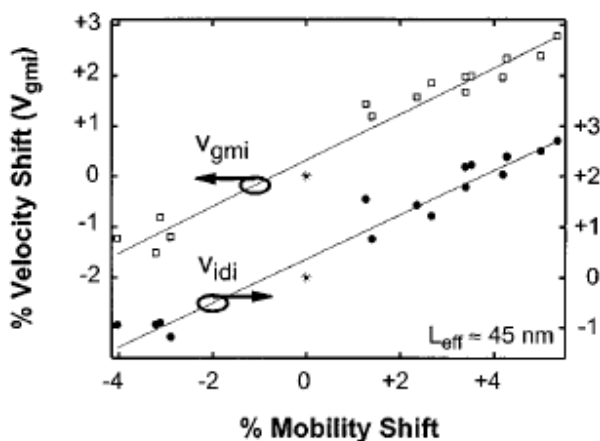


Figure I-26 : Relation entre la mobilité et la vitesse effective des porteurs, d'après [LOCHTE 01]

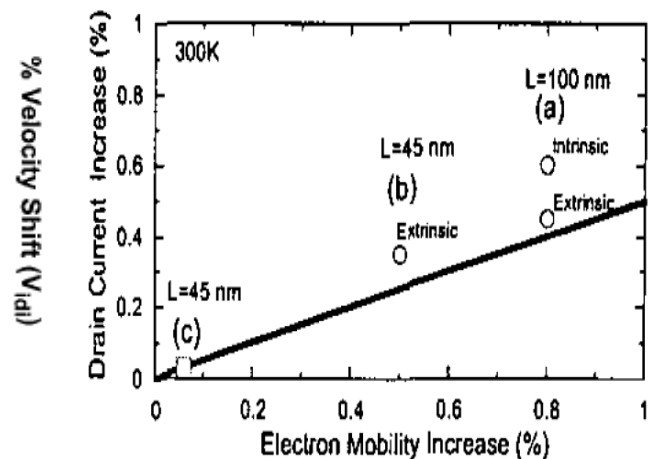


Figure I-27 : Relation entre la mobilité et le courant de saturation [HOYT 02]

⁴⁰ procédé TOSI ou FUSI pour "Totally" ou "Fully Siliced"

⁴¹ Cette grille métallique a été utilisée lors de l'étude des dispositifs contraints présentée dans ce mémoire.

⁴² Nous aurons l'occasion d'en discuter dans les chapitres suivants

⁴³ Pour plus de détails sur le transport quasi-balistique, revoir le §I.B.2.2.2.

I.C.3.1 Les matériaux à haute mobilité intrinsèque

Une solution pour améliorer les propriétés de transport des architectures MOS consiste à remplacer le silicium par des matériaux à plus forte mobilité intrinsèque. Le Tableau I-5 donne les principales propriétés électroniques des matériaux susceptibles d'améliorer le transport dans les architectures MOS, classés par ordre croissant du désaccord de paramètre de maille avec le silicium. Beaucoup de ces matériaux sont déjà utilisés pour des applications spécifiques et/ou très hautes performances, notamment pour les applications militaires ou spatiales. Le germanium (Ge) apparaît comme un bon candidat de par ses très grandes mobilités, notamment pour les trous. Cependant le Ge n'existe pas en grande quantité dans la nature [LIU 05]. Ainsi une utilisation en couche mince est préférable pour une production massive de circuits intégrés (applications grand public). On peut s'attendre à ce que la combinaison d'un canal en Ge avec la technologie SOI, ce qui donne en définitive du GOI (Germanium On Insulator), améliore les performances des dispositifs avec des avantages similaires au SOI. Autre inconvénient, le germanium possède une bande interdite plus petite que le silicium, ce qui entraîne nécessairement de plus forts courants de fuite. Il est donc plus raisonnable et réaliste d'envisager l'utilisation du Ge comme canal de MOSFET uniquement pour des applications haute performance (HP). Les défis liés à cette technologie sont doubles. D'une part il faut être capable de réaliser un oxyde de grille de bonne qualité. Le germanium a en effet été le premier matériau semi-conducteur à avoir été utilisé pour la fabrication de transistor MOS mais son développement a été freiné à cause de la mauvaise qualité de l'interface oxyde de grille / canal en Ge. Aujourd'hui, les technologies ont fortement évolué et sa qualité, en terme de contamination notamment, permet désormais d'envisager la réintroduction du Ge comme canal du transistor (ajout par exemple d'une couche ultrafine d'encapsulation en silicium) [LIU 05].

T = 300K	Si	Ge	GaAs	InP	InAs	GaSb	InSb	C structure diamant
a (Å)	5,431	5,658	5,653	5,869	6,058	6,096	6,479	3,567
Nature du gap	indirect	indirect	direct	direct	direct	Direct	direct	indirect
E_G (eV)	1,12	0,66	1,43	1,27	0,36	0,726	0,17	5,45
$\epsilon_r = \epsilon/\epsilon_0$	11,9	16	11,5-13,1	12,1	12,5	14,4-15,7	15,7-16,8	5,57
$m_{DOS,c}^{(a)}$	1,06	0,55	0,067	0,073	0,023	0,041	0,73	0,57
$m_{DOS,v}^{(b)}$	0,53-0,59	0,36	0,64	0,87	0,41	0,8	0,43	0,8
$N_C^{(c)}$ (10^{19} cm^{-3})	2,7-2,8	1-1,04	0,04-0,047	0,05	0,0087	0,021	0,0042	~10
$N_V^{(d)}$ (10^{19} cm^{-3})	1,04-2,5	0,5-0,6	0,7-1,3	2	0,66	1,88	0,73	~1
$m_{e,l}^{(e)}$	0,916	1,588	0,067	0,073	0,023	0,041	0,012 – 0,014	1,4
$m_{e,t}^{(f)}$	0,191	0,082						0,36
$m_{h,h}^{(g)}$	0,47-0,53	0,35	0,6	0,85	0,6	0,4	0,43-0,47	2,12-2,18
$m_{h,l}^{(h)}$	0,157	0,043	0,074	0,089	0,027	0,05	0,015	0,7
$\mu_e^{(i)}$ ($\text{cm}^2/\text{V/s}$)	1400-1500	3900	8500	5400	40000	3000	77000	2200
$\mu_h^{(j)}$ ($\text{cm}^2/\text{V/s}$)	450	1900	400	200	500	1000	850	1800

Tableau I-5 : Principales propriétés électroniques et physiques des différents matériaux semi-conducteurs susceptibles d'améliorer le transport dans les architectures MOS. ^{a,b} Masses effectives de densité d'état 3D de la bande de conduction et de valence (resp.), normalisées par rapport à la masse de l'électron. ^{c,d} Densités d'états de la bande de conduction et de valence (resp.). ^{e,f} Masse effective longitudinale et transverse (resp.) des électrons. ^{g,h} Masse effective des trous lourds et légers (resp.). ^{i,j} Mobilités de dérive des électrons et des trous (resp.) à faible niveau de dopage.

[MATHIE 01, SZE 81, IOFFE]

Des mobilités d'électrons de l'ordre de $940 \text{ cm}^2/\text{V/s}$ avaient déjà été obtenues dans un canal de MOSFET en Ge, orienté (111) en 1988 [ROSENB 88]. Pour les PMOS des gains d'un facteur 8 à 10 sur la mobilité des trous ont également été démontrés sur des transistors longs avec du Ge contraint en compression sur silicium [WEBER05a, TEZUKA 04, LEE 03]. Le point critique de l'intégration du Ge pour les circuits CMOS est la capacité à fabriquer des transistors courts performants. En effet un autre point limitant concernant les régions S/D qui ne peuvent pas être dopées très fortement en raison de la faible solubilité solide des impuretés de type N pour le germanium (si le germanium est utilisé pour les S/D) [RAHMAN 03]. Si l'on s'intéresse à l'état de

l'art actuel, seuls des résultats de performances sur PMOS sont montrés. Il existe donc un verrou à la réalisation de transistors ultracourts NMOS en Ge (passivation, pièges au niveau de la bande de conduction, diffusion/activation des dopants, contacts, ...).

L'utilisation de composés III-V présentés dans le Tableau I-5 peut être une voie de développement futur puisque ces matériaux présentent des mobilités très supérieures à celles du silicium [ANTONI 06]. Cependant leur impact en terme de performance n'est pas forcément évident. En effet la charge d'inversion est reliée à la masse effective de densité d'état bidimensionnelle ($m_{DOS,2D}$). Or la plupart de ces matériaux présentent de très faibles $m_{DOS,2D}$ laissant présager un courant à l'état ON limité (c'est le cas aussi du Ge). L'ajustement des tensions de seuil (V_T) est également à prendre en compte. La bande interdite plus faible des matériaux III-V a tendance à diminuer V_T mais la faible valeur de $m_{DOS,2D}$ contrebalance cet effet. Les courants de fuites sont aussi problématiques. Le GaSb pourrait être un bon candidat pour améliorer le courant des PMOS (forte mobilité des trous et plus forte $m_{DOS,2D}$ que le Si avec un gap supérieur à celui du Ge) mais son désaccord de paramètre de maille avec le Si (19% contre 4% pour le Ge/Si) pose de sérieux problèmes pour le report en couche mince. L'intégration est donc critique d'un point de vue technologique (nécessité de réaliser des hétérojonctions graduelles, de développer de nouveaux procédés non maîtrisés contrairement à la technologie sur silicium).

En définitive pour les nœuds technologiques 45nm et en deçà, l'introduction de ces matériaux à forte mobilité reste incertaine et encore très prospective.

I.C.3.2 L'ingénierie de la structure de bandes⁴⁴

La couche d'inversion du canal d'un MOSFET se comporte comme un gaz d'électrons bidimensionnel (gaz 2D). Or il est bien connu que les structures de sous-bandes d'un gaz 2D, dans lesquelles les porteurs localisés près de l'interface Si/diélectrique de grille sont quantifiés par le fort champ électrique normal à la surface, affectent significativement les propriétés électriques des MOSFETs [ANDO 82]. En particulier, la mobilité et la capacité de la couche d'inversion C_{inv} sont connues pour être dépendantes de la structure de bandes [TAKAGI 95,99]. L'idée est alors d'exploiter l'anisotropie de la structure de sous-bande du silicium (ou de tout autre matériau semi-conducteur) et donc de contrôler intentionnellement la structure de sous-bandes du semi-conducteur constituant le canal d'un MOSFET dans le but d'en améliorer les propriétés de transport. C'est ce que l'on appelle communément «l'ingénierie de la structure de bandes». Nous allons étudier dans cette section ses applications sur les performances des MOSFETs puis comprendre en quoi les contraintes mécaniques peuvent être utiles dans le but d'améliorer la mobilité des porteurs⁴⁵.

I.C.3.2.1 Amélioration du couplage capacitif de grille par la modulation de la structure de sous-bandes

Tout d'abord intéressons-nous à l'effet sur le couplage capacitif de la grille. Avec un empilement possédant une grille métallique (plus de poly-déplétion, cf. §I.C.2.2), la capacité effective totale de la grille est l'association de deux capacités en série, donnée par (cf. Équation I-12)

$$C_{ox,eff} = \frac{\epsilon_{ox}}{EOT + \Delta T_{ox}} = \left(\frac{EOT}{\epsilon_{ox}} + \frac{1}{C_{inv}} \right)^{-1} = C_{ox} \left(1 + \frac{C_{ox}}{C_{inv}} \right)^{-1} \quad \text{Équation I-25}$$

⁴⁴ On se référera au chapitre II (section II.B.2) pour obtenir les bases de la structure de bande d'un semi-conducteur ainsi qu'une introduction à la physique d'un gaz d'électrons confinés par le champ de grille.

⁴⁵ Les effets d'une contrainte mécanique seront présentés d'un point de vue plus physique dans le chapitre II.

Pour de fortes concentrations de porteurs en surface C_{inv} est déterminée par l'épaisseur de la couche d'inversion, W_{inv} . Ici W_{inv} est définie comme étant la distance moyenne des porteurs à l'interface Si/SiO₂. On a

$$C_{inv} = \frac{\epsilon_{Si}}{W_{inv}} \quad \text{Équation I-26}$$

La différence entre l'épaisseur équivalente physique d'oxyde E.O.T. et l'épaisseur électrique (déterminée par la mesure) s'écrit alors :

$$\Delta T_{ox} = \frac{\epsilon_{ox}}{\epsilon_{Si}} W_{inv} \quad \text{Équation I-27}$$

ΔT_{ox} représente ici le « darkspace », abordé succinctement au §I.A.3. L'origine physique de W_{inv} est attribuée à l'extension des fonctions d'onde des porteurs constituant le gaz 2D. Sous l'approximation de l'occupation d'une seule sous-bande et d'un confinement de la forme d'un puits triangulaire, W_{inv} et C_{inv} obéissent à ⁴⁶,

$$W_{inv} \propto (\epsilon_{Si})^{2/3} \cdot (m_{001})^{-1/3} \quad \text{et} \quad C_{inv} \propto (\epsilon_{Si})^{1/3} \cdot (m_{001})^{1/3} \quad \text{Équation I-28}$$

m_{001} étant la masse effective de confinement (selon la direction [001]). Les valeurs de ΔT_{ox} sont données dans le Tableau I-1. Ainsi l'Équation I-25 montre que la valeur de $C_{ox,eff}$, qui détermine le courant de drain, est dégradée par l'existence de C_{inv} et ce d'autant plus que T_{ox} est faible. L'ingénierie de la structure de bandes permet alors de jouer sur les paramètres intrinsèques de la structure de bandes comme la masse effective selon la direction de confinement ([001] pour l'orientation standard des substrats de la microélectronique). L'Équation I-28 montre que de plus fortes valeurs de m_{001} et ϵ_{Si} donneront de plus fortes valeurs de C_{inv} . Différents matériaux ou orientations pour le canal du transistor MOS permettent de moduler la valeur de C_{inv} . Le germanium peut être un bon candidat, surtout pour une surface de type (111) puisque m_{001} et ϵ_{Si} auront alors pour valeurs 1,64 m_0 et 16 ϵ_0 respectivement, à comparer aux 0,98 m_0 et 11,9 ϵ_0 pour les électrons du silicium orienté (001). Cependant C_{inv} pour Si (100) est toujours plus grande que celle du Ge, orienté (100) ou (111) [TAKAGI 02]. Ceci est dû à la masse de densité d'états plus faible dans Ge d'une part (Tableau I-5) et à l'occupation multi-sous-bandes dans une couche d'inversion de Ge d'autre part, résultant en une plus forte valeur de W_{inv} en moyenne.

Un autre moyen de contrôler C_{inv} peut venir de l'utilisation d'un film ultramince de SOI ; l'épaisseur de la couche d'inversion étant alors définie par l'épaisseur physique du film. Takagi *et al.* ont ainsi montré que pour des films SOI d'épaisseur inférieure à environ 5 nm, la capacité grille-canal augmente [TAKAGI 02]. Il a d'ailleurs été montré que des transistors avec une épaisseur de SOI plus fine que la couche d'inversion de MOSFETs bulk peuvent fournir des C_{inv} et donc des capacités grille/canal plus grandes que pour des architectures « bulk » avec le même T_{ox} [UCHIDA 01].

Notons pour conclure cette partie que la variation de C_{inv} reste toutefois assez faible pour ces différents types d'orientations et matériaux proposés dans la littérature.

I.C.3.2.2 L'orientation cristalline du substrat et/ou du canal

Pour améliorer les propriétés de transport du canal d'un MOSFET, on peut jouer aussi sur l'orientation cristalline du matériau. Il faut distinguer ici l'orientation du substrat (définie par la normale à son plan) de la direction de transport (selon un axe cristallographique dans le plan). En

⁴⁶ à faible N_{inv} , $C_{inv} = C_{DOS} \approx q^2 g_{v(E)} = q^2 n_v m_{DOS,v} / (\pi \hbar^2)$

combinant ces deux orientations il est possible de déterminer la meilleure configuration en terme de transport pour un matériau donné.

Actuellement les substrats silicium utilisés pour la microélectronique ont une orientation conventionnelle (001). Mais on peut très bien imaginer d'utiliser des substrats orientés (110) ou (111) par exemple. En ce qui concerne la direction du canal, elle a été jusqu'à récemment selon $\langle 110 \rangle$; mais selon les substrats utilisés on peut de la même façon imaginer des orientations différentes comme $\langle 111 \rangle$, $\langle 100 \rangle$ ou encore $\langle 112 \rangle$ [IRIE 04] (Figure I-28).

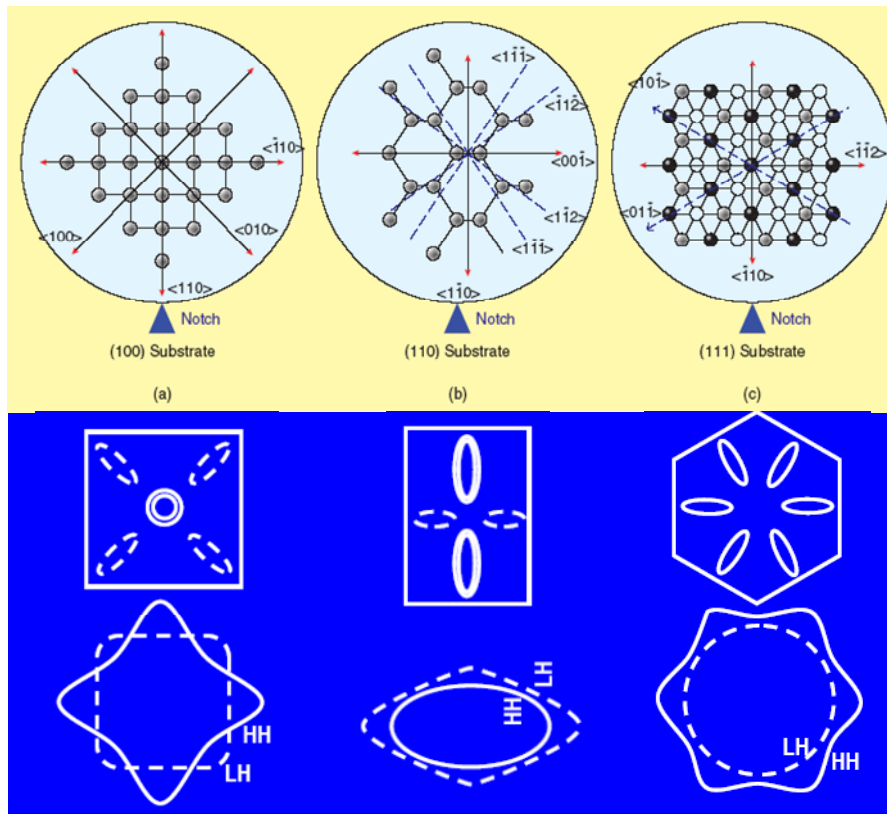


Figure I-28 : Les différentes orientations cristallographiques du canal sur un substrat orienté (a) (100) (b) (110) et (c) (111) avec en dessous la projection dans le plan du transport de leur structure de bande de conduction et de valence (en haut et en dessous respectivement) avec en trait plein le peuplement principal de vallée en forte inversion [LIU 05, IRIE 04].

Par exemple, il a été observé que les transistors PMOS de faible longueur de grille ($L_g = 45$ nm) peuvent voir leur courant de drain augmenté de 30% (50% pour la mobilité) en utilisant une direction $\langle 110 \rangle$ sur un substrat (110) par rapport à un canal $\langle 110 \rangle$ sur (001) [HWANG 04, YANG 03a] ; il s'agit de la meilleure orientation pour les trous sur silicium. Un gain de l'ordre de 15 à 30% (selon la géométrie) sur les PMOS à canal étroit et/ou court a aussi été observé par de nombreux groupes pour une direction de canal $\langle 100 \rangle$ sur un substrat orienté (001). Pour expliquer l'origine physique de cette observation, Saito *et al.* évoquent l'effet de contraintes induites par les STI (cf. §II.C.2.2), ce qui permet d'expliquer le gain en courant pour les petites géométries alors que la mobilité du transistor long et large est quasi-isotrope ($< 5\%$) malgré la forte anisotropie de la masse effective de la bande de valence [SAITO 06]. Cependant, et nous aurons l'occasion d'en discuter dans le Chapitre VI, nous avons observé un gain de l'ordre de 30% sur le maximum de la transconductance (qui donne une image directe de la mobilité à faible champ) sur des dispositifs FDSOI, à isolation MESA (c'est-à-dire isolés par gravure, sans STI), et intégrant une grille métallique avec un oxyde de forte permittivité (TiN/HfO_2) (cf. Tableau VI-3 page 262). La contrainte induite par la grille métallique pourrait expliquer une partie de ce phénomène pour les transistors courts et étroits. Notons que cet effet a d'ores et déjà été mis à profit en production depuis le nœud technologique 90nm ; les substrats (001) sont alors simplement tournés de 45° au cours du procédé de fabrication du circuit intégré. Le courant I_{ON} des PMOS se trouve amélioré alors que celui des NMOS reste inchangé.

La meilleure orientation du substrat pour les électrons dans le silicium est (001), quelque soit la direction du transport puisque, d'après la structure de la bande de conduction, la masse effective

est isotrope ; il s'agit de l'orientation habituellement utilisée. Pour cette orientation, la masse effective de conduction est déterminée principalement par les vallées Δ_2 (m_t) alors que pour les orientations (110) et (111), la masse effective de conductivité est déterminée par une moyenne pondérée plus équilibrée entre les masses transverses et longitudinales (Figure I-28).

La Figure I-29 et le Tableau I-6 synthétisent les différents résultats de mobilité selon l'orientation du substrat et la direction du canal, pour les électrons et les trous. Ainsi on peut obtenir une augmentation de 160% de la mobilité des trous si on utilise une direction $\langle 110 \rangle$ sur (110) au lieu d'une orientation $\langle 110 \rangle$ sur (001). Sur un substrat (110), les directions cristallographiques du canal influencent beaucoup la mobilité des électrons et des trous. Cet effet est moindre sur un substrat (111) [IRIE 04] ; l'anisotropie de la mobilité avec l'orientation du canal venant de l'anisotropie de la structure de bandes.

Orientations Substrat	Direction Courant	Mobilité Electron	Mobilité Trou
(110)	$\langle 110 \rangle$	32%	303%
(110)	$\langle 100 \rangle$	46%	185%
(111)	$\langle 112 \rangle$	57%	170%
(111)	$\langle 110 \rangle$	64%	182%
(100)	$\langle 110 \rangle$	100%	100%
(100)	$\langle 100 \rangle$	100%	?

Tableau I-6 : Gains en mobilité à $N_{inv} = 5 \times 10^{12} \text{ cm}^{-2}$ selon l'orientation du substrat et du canal par rapport à une référence orientée (100)/ $\langle 110 \rangle$ [YANG 03a]

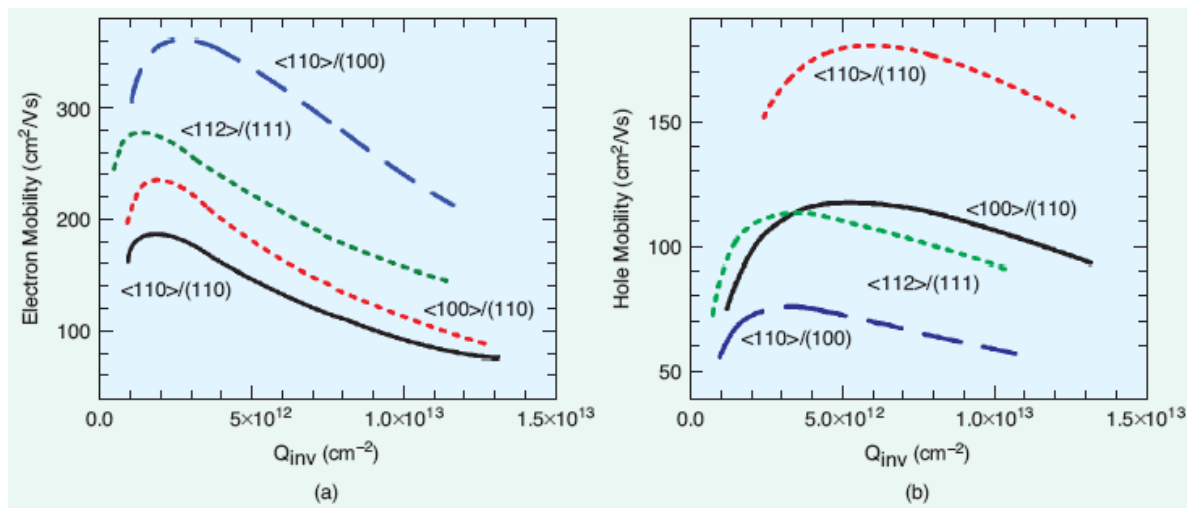


Figure I-29 : Mobilités des électrons et des trous en fonction de la charge d'inversion pour différentes orientations de substrat et de canal, d'après [LIU 05].

Ainsi pour profiter au maximum de l'orientation du substrat, les NMOS devraient être fabriqués sur un substrat (001) contre (110) pour les PMOS. Dans ce sens une étude menée par IBM [YANG 03a] a montré la réalisation de démonstrateurs intégrant ces deux orientations de substrat sur une même puce. Ils ont intitulé cette technologie HOT pour technologie d'orientation hybride (« Hybrid Orientation Technology »). Plus récemment une étude toujours menée par IBM est venue compléter ces travaux dans le but d'utiliser des substrats hybrides SOI/bulk (à hétéro-orientation) pour les dispositifs des nœuds 45 et 32nm [SHERAW 05]. Le substrat de départ est de type SOI avec un film mince orienté (001) et un substrat support massif orienté (110). La structure est planarisée par CMP après épitaxie sur la partie du substrat qui a été libérée pour avoir accès au Si support (Figure I-30). Les transistors PMOS sont réalisés sur le substrat épitaxié et orienté (110) alors que les transistors NMOS sont réalisés sur le SOI (001). Une contrainte duale a en plus été appliquée par des CESL (cf. §II.C.2.1). Avec tous ces efforts le gain obtenu sur les performances dynamiques d'oscillateurs en anneau est de 22% par rapport à une référence NMOS SOI et PMOS bulk.

Une coupe schématique (Figure I-31) montre les différentes associations possibles en technologie hybride. Notons toutefois que l'oxyde de grille réalisé sur un substrat (110) présente

une interface Si/SiO₂ plus rugueuse et des variations plus importantes d'épaisseur que sur un substrat (001). L'utilisation de high- κ , permettant de relâcher la contrainte sur l'épaisseur de l'oxyde de grille, pourrait résoudre ce problème [LIU 05]. L'intégration de cette technologie reste toutefois problématique pour les fortes densités d'intégration requises.

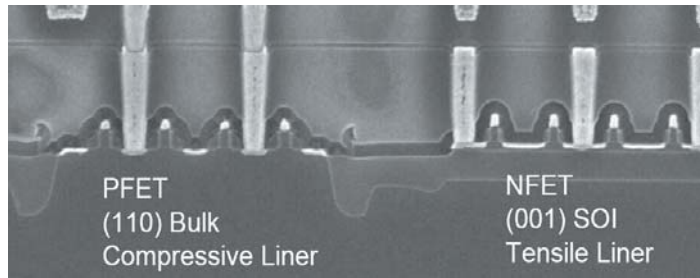


Figure I-30 : Technologie hybride intégrant des CESL contraints (cf. la section II.C.2.1 sur les architectures à canal contraint pour plus de précisions sur ce procédé), d'après [SHERAW 05]

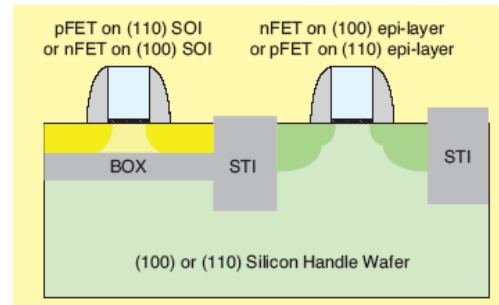


Figure I-31 : Coupe d'un CMOS réalisé avec la technologie HOT [YANG 03a]

Notons qu'une orientation (110) du substrat peut être utilisée pour favoriser le transport des trous grâce à une architecture de type FinFET (cf. I.C.1.2). D'après la structure cristalline cubique du silicium, les flancs des doigts sont orientés selon (110) si la direction du transport est selon $\langle 110 \rangle$ pour un substrat de départ orienté (001). Cependant les doigts sont obtenus par un procédé de gravure, dont l'anisotropie n'est pas parfaite. Ainsi l'orientation exacte des flancs est complexe et diffère le plus souvent du cas parfait (110) selon la topologie finale du doigt.

Les effets d'orientation sont à étudier également sur chacun des matériaux pouvant constituer le canal d'un MOSFET, comme le germanium par exemple pour lequel ces effets sont particulièrement marqués. On pourra se référer aux articles de Khakifirooz *et al.* et Low *et al.* pour plus d'informations [KHAKIF 04, LOW 03].

I.C.3.2.3 Les contraintes mécaniques

En brisant la symétrie d'un cristal, les déformations induites par des contraintes mécaniques modifient ses propriétés électroniques (structure de bandes, masses effectives, interactions électron/phonon, ...). Ainsi à chaque valeur et type de contrainte correspond un nouveau matériau dont les propriétés électroniques diffèrent du matériau non contraint. Nous aurons l'occasion de développer la physique du silicium contraint dans le Chapitre II. Retenons ici qu'une contrainte mécanique permet par exemple d'ajuster la mobilité des porteurs (électrons et trous) ainsi que la tension de seuil d'un transistor. En fin de Chapitre II, nous développerons les différentes techniques utilisées pour introduire une contrainte mécanique contrôlée dans le canal des MOSFETs. Cet outil pourra être utilisé pour améliorer le transport dès lors que l'effet de piézorésistivité existe (modification de la résistivité d'un matériau soumis à une contrainte mécanique). Notons aussi que la contrainte mécanique permet, en améliorant le compromis performance/puissance dissipée de relâcher la contrainte sur l'EOT. Elles offrent donc un nouveau levier pour continuer la « roadmap ».

I.C.3.3 Fonctionnement à plus basse température

La température moyenne de fonctionnement d'un circuit intégré CMOS HP (comme par exemple un microprocesseur) est typiquement autour de 60-65°C (cas des processeurs Intel®). Elle peut parfois dépasser les 100°C selon les applications. Or la mobilité des porteurs diminue sensiblement lorsque la température augmente. La mobilité des électrons limitée par les interactions avec les phonons du silicium suit par exemple une loi en $1/T^{1,75}$ [TAKAGI 94a]. D'une manière générale, tous les paramètres de transport d'un matériau semi-conducteur sont dégradés à haute température. C'est donc aussi le cas de la vitesse de dérive de saturation des électrons v_{sat} (qui

gouverne en partie le courant I_{ON} des MOSFETs courts, cf. Équation I-15) qui suit la loi suivante [JACOBO 77] :

$$v_{sat} = \frac{2,4 \cdot 10^7}{1 + 0,8 \cdot \exp(T / 600)} \text{ en cm/s} \quad \text{Équation I-29}$$

Cette loi est représentée sur la Figure I-32 où l'on peut constater que la chute de v_s devient importante au-delà de 100K.

Pour augmenter les propriétés de transport dans les architectures MOS, il est alors primordial de limiter l'échauffement de la zone active d'un circuit intégré. Beaucoup de recherches sont menées sur les différentes solutions permettant de refroidir les puces, que ce soit au niveau global (radiateur associé avec un ventilateur, effet Peltier, circuit de refroidissement,...) ou au niveau local (microfluidique, design, substrats à forte conductivité thermique,...).

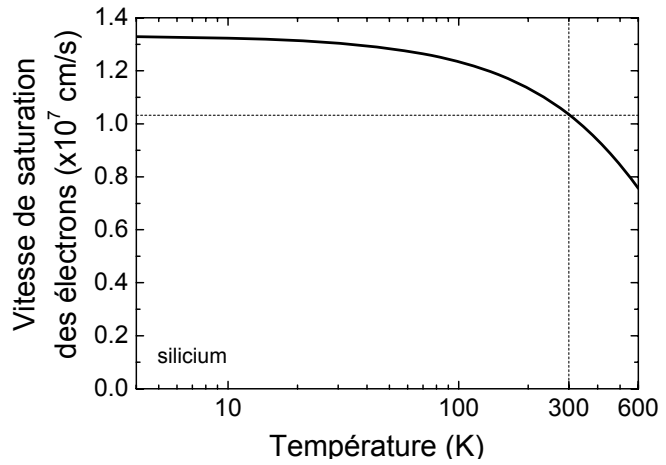


Figure I-32 : Evolution de la vitesse de saturation des électrons dans le silicium

I.C.3.4 Synthèse des possibilités d'amélioration du transport

Sur la Figure I-33, nous avons représenté graphiquement les cinq voies principales d'amélioration du transport dans les architectures MOS présentées dans cette section. Certaines peuvent avantageusement se cumuler.

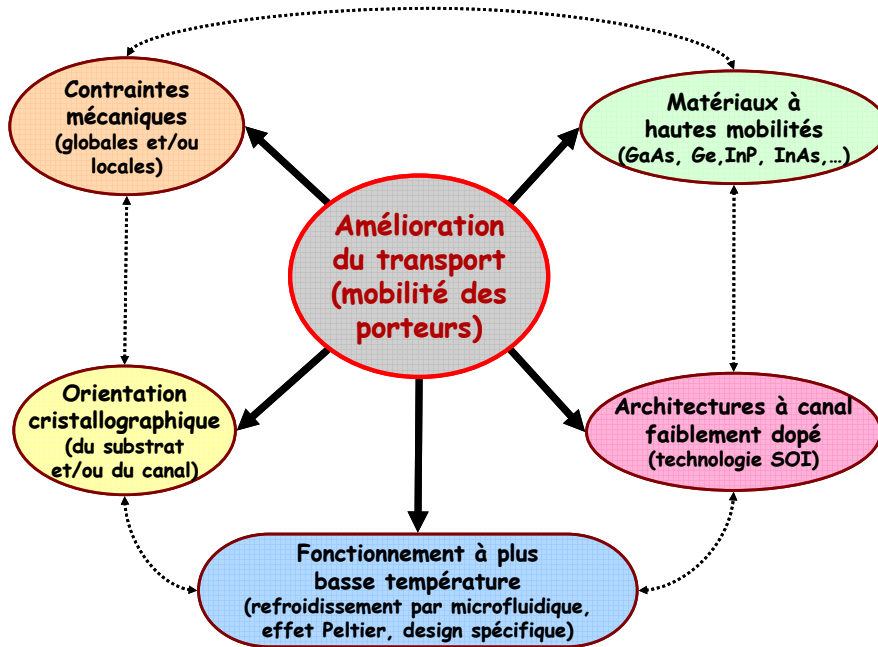


Figure I-33 : Les différentes voies d'amélioration du transport dans les architectures MOS

Aujourd'hui l'utilisation de l'ingénierie de la structure de bandes par la contrainte et l'orientation est pratiquée en production, depuis le nœud technologique 90 nm. L'orientation de la direction du transport est désormais selon [100] au lieu de [110] pour un substrat de silicium orienté (001) pour améliorer le transport des transistors PMOS à faibles longueurs de grille et les contraintes mécaniques induites par le procédé de fabrication sont mises à profit pour améliorer les performances des NMOS et des PMOS (cf. fin de Chapitre II).

Chapitre II - L'apport des contraintes mécaniques dans les technologies CMOS : historique, éléments de théorie et état de l'art

Ce chapitre se décompose en trois parties. Dans la première partie un rapide historique des contraintes mécaniques dans les technologies MOS sera présenté. Dans la seconde partie seront abordés les aspects théoriques du silicium contraint. Seront présentés à la fois les outils mathématiques nécessaires à l'étude des contraintes mécaniques et la physique d'une couche d'inversion de silicium contraint ou non. La piézorésistivité et sa modélisation seront également abordées. La dernière partie de ce chapitre se propose de faire l'état de l'art des architectures à canal contraint.

II.A Historique : de leur évitement à leur utilisation

Les contraintes mécaniques sont étudiées depuis longtemps dans l'histoire de la microélectronique (en particulier dans les composants III-V) et ont joué des rôles différents et à des niveaux d'échelle différents. Depuis quelques années, l'étude et la maîtrise des contraintes mécaniques ont connu un regain d'intérêt en microélectronique sur silicium. Perçues dans les années 80 comme un phénomène néfaste (induit par la technologie de fabrication des circuits intégrés) que l'on a cherché à limiter, elles sont devenues ces deux dernières décennies une donnée qu'il faut comprendre et maîtriser. On est passé progressivement de contraintes dites non-intentionnelles et incontrôlées à des contraintes intentionnelles et maîtrisées. Alors que dans les années 80 on a cherché à éviter les sources de contraintes à une échelle globale (*wafer level*), dans les années 90 on a cherché à réduire leurs effets et/ou les comprendre à une échelle plus locale (de l'ordre du micron). Enfin ce n'est qu'autour des années 2000 que les industriels de la microélectronique ont décidé d'étudier et d'utiliser les contraintes mécaniques, à une échelle beaucoup plus locale (dizaines de nanomètres), afin d'améliorer les performances des dispositifs CMOS [BRILLO 05].

II.A.1 Les effets néfastes des contraintes mécaniques

Dans les couches déposées, les contraintes mécaniques provoquent l'apparition d'une courbure du silicium qui peut empêcher un contact uniforme de la plaque avec son support. Ceci peut causer des problèmes pour les traitements thermiques (température mal contrôlée), pour les opérations de gravure (inhomogénéités) et en lithographie (mise au point difficile avec la réduction de la profondeur de champ des technologies avancées).

Plus néfastes sont les défauts morphologiques apparaissant dans les couches contraintes. Ils peuvent se manifester sous forme de décollement, bulles, etc. quand l'énergie d'adhérence est insuffisante pour maintenir les couches en contact (Figure II-1). Ils peuvent aussi apparaître sous forme de fissures dans les couches lorsqu'elles perdent leur cohésion interne sous l'effet des contraintes. Des défauts latents peuvent aussi être révélés par certaines étapes de fabrication comme les traitements thermiques (élongation thermique différentielle) ou la planarisation mécano-chimique (CMP). Ces défauts ont toutes les chances de rendre le circuit non fonctionnel.

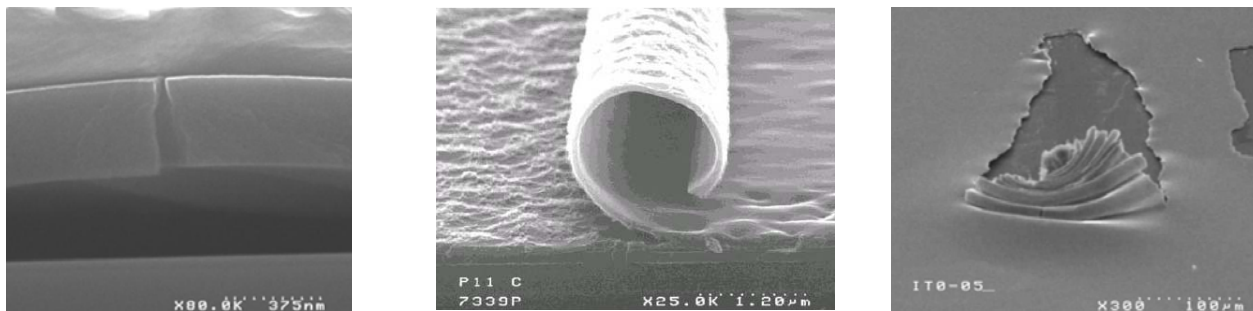


Figure II-1 : Illustrations des défauts morphologiques engendrés par les contraintes (de gauche à droite) : fissure, décollement et craquage.

Les contours de plaques (de l'ordre du millimètre) sont également un lieu critique où peuvent être générés des décollements ou nucléés des sources de craquage. Pour minimiser ces défauts un important travail d'ingénierie a dû être mené au fil des années.

Les défauts générés dans une plaque de silicium sont intimement liés à l'état de contrainte. Ces défauts ponctuels (impuretés interstitielles, lacunes, ...) ou étendus (précipités, dislocations, ...) se sont créés tout au long de l'histoire du cristal. Ils génèrent une distorsion locale du réseau cristallin et créent ainsi un état de contrainte local. Ces déformations peuvent influencer sur les propriétés mécaniques ou physiques du matériau. Par exemple on sait que la diffusion des impuretés est modifiée dans un matériau présentant un gradient de contrainte. De même la génération de dislocations (vis, coin, boucle, ...) affecte les propriétés mécaniques et même électriques du matériau. Tout ces défauts, générés ou accrus par les contraintes mécaniques, auront donc un impact, plus ou moins important selon leur nombre et leur position, sur les performances des circuits intégrés.

En plus de l'impact des contraintes sur des couches homogènes, un très grand nombre de phénomènes néfastes est à relier à la distribution inhomogène de ces contraintes dans des couches structurées spatialement. C'est le cas par exemple des motifs en résine pendant les étapes de photolithographie. Après le développement de la résine photosensible, la plaque est rincée à l'eau désionisée qui pénètre entre les motifs. Quand les traits sont suffisamment proches (inférieur au micron), les forces de capillarité vont tendre à les rapprocher. Ces forces peuvent conduire à l'effondrement des motifs, comme illustré sur la Figure II-2 et connu sous le nom de « *pattern collapse* ».

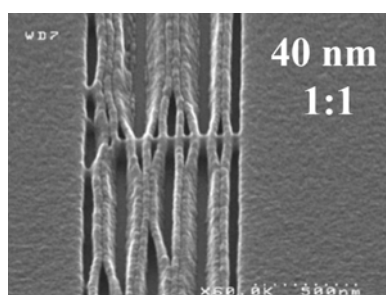


Figure II-2 : Effondrement de motifs rapprochés de résine photosensible induit par les forces de capillarité au moment du développement de la résine insolée.

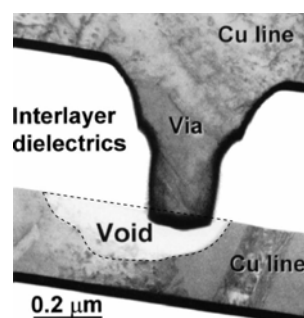


Figure II-3 : Cavité localisée sous un via d'interconnexion, induite par un gradient de contraintes, d'après [IKARAS 03].

Un autre exemple très étudié concerne le phénomène de formation de cavités, induite par les contraintes, dans les interconnexions des circuits intégrés (Figure II-3). Ce phénomène est plus connu sous le nom de « *stress-induced voiding* ». Il s'agit d'un défaut critique puisque la continuité électrique est rompue au niveau d'un *via*. Il est causé par la distribution inhomogène des contraintes résultant de l'empilement de différentes couches contraintes. Ce gradient de contraintes force une migration préférentielle de lacunes, abondantes dans le cuivre notamment, qui vont précipiter le plus souvent sous le contact et former une cavité qui empêche la conduction électrique.

Ce phénomène est, comme toutes les manifestations d'une distribution inhomogène des contraintes, fortement dépendant de la répartition des motifs dans le circuit (*layout*).

II.A.2 Les contraintes exploitées en microélectronique

Si les contraintes sont longtemps restées synonymes de défauts et de perte de rendement, la création par des contraintes de défauts localisés a permis de contrôler les impuretés indésirables en les éloignant des zones critiques du circuit : c'est ce que l'on appelle le « *gettering* » ou piégeage. On réussit ainsi à faire diffuser les impuretés non désirées hors de la zone active du circuit intégré jusqu'aux pièges créés délibérément, par exemple en faisant nucléer en profondeur des précipités d'oxygène ou alors en créant des défauts étendus (dislocations ou joints de grain), propices à la précipitation des impuretés. Ainsi il existe énormément d'ingénierie de bord de plaque (échelle globale) et de bord de puce (échelle circuit) pour empêcher la propagation des contraintes dans un circuit (analogie aux barrières des feux de forêt). Mais avec le progrès actuel des technologies, toutes ces astuces de piégeages doivent être revisitées régulièrement (nouvelles gammes de température, nouveaux matériaux, ...).

Plus récemment, comme évoqué en préambule, ces contraintes sont apparues comme une source d'amélioration des performances des circuits si l'on sait les contrôler. On se sert alors de l'effet piézorésistif du silicium pour augmenter le courant de drain des transistors. C'est ce que l'on appelle l'ingénierie des contraintes. Mais malheureusement il n'existe pas à ce jour de solution universelle permettant d'améliorer à la fois la mobilité des électrons et des trous. L'intégration des contraintes dans un procédé complet de fabrication de circuits CMOS viendra alors de la combinaison de plusieurs approches, que nous développerons en fin de chapitre (§II.C) et dans le Chapitre VI.

Pour conclure cet historique, on peut dire que la compréhension et la maîtrise des contraintes mécaniques dans l'ensemble des couches constituant un circuit intégré sont devenues un enjeu majeur pour l'amélioration des performances, la fiabilité des structures et la maîtrise du rendement de fabrication. Aujourd'hui l'introduction contrôlée de contraintes dans le canal du transistor est même devenue une voie prioritaire pour satisfaire l'ITRS, à l'égal de la réduction des dimensions (*scaling*) et devant l'introduction de nouveaux matériaux de grille (diélectrique à forte permittivité, grille métallique...). Cependant, malgré les progrès importants réalisés au niveau mondial, tous les phénomènes ne sont pas encore totalement compris. Le développement d'outils de caractérisations (physique et électrique) plus poussés est nécessaire pour une meilleure compréhension des phénomènes physiques mis en jeu, et afin de développer des modèles utilisables par les industriels.

II.B Introduction à la physique du silicium contraint

Dans cette partie nous allons décrire l'effet d'une contrainte mécanique sur les propriétés du transport électronique dans le silicium (massif et en couche d'inversion). La démarche est la suivante : à partir d'un état de contrainte donné, on détermine le tenseur des déformations grâce à la théorie de l'élasticité. Ensuite on utilise la théorie des potentiels de déformation pour déterminer la structure de bandes du matériau contraint. Enfin, à partir de cette nouvelle structure électronique, on peut étudier le transport électronique. Cet enchaînement est schématisé sur la Figure II-4.

Le tenseur de piézorésistivité relie la contrainte appliquée à la variation de résistivité du matériau. Il décrit directement l'effet d'une contrainte mécanique sur les propriétés de transport électronique (outil de description phénoménologique). L'étude microscopique, lorsqu'elle est complète, est en mesure de calculer théoriquement les coefficients piézorésistifs d'un matériau. La confrontation entre les coefficients piézorésistifs, extraits expérimentalement, et les prédictions théoriques, permet alors de valider le modèle. L'objet de ce chapitre n'est pas de donner une

description exhaustive de la théorie de l'effet d'une contrainte mécanique sur les propriétés de transport mais simplement de poser les bases théoriques de l'effet piézorésistif nécessaires à l'interprétation des résultats expérimentaux qui seront présentés dans les chapitres suivants. Nous donnerons toutefois le raisonnement permettant l'obtention des coefficients piézorésistifs à partir de la connaissance de la structure de bandes sous contrainte ainsi que l'expression des coefficients piézorésistifs en fonction des paramètres fondamentaux de la structure de bandes (masses effectives, potentiel de déformation, ...) dans quelques cas (§II.B.5.3.2).

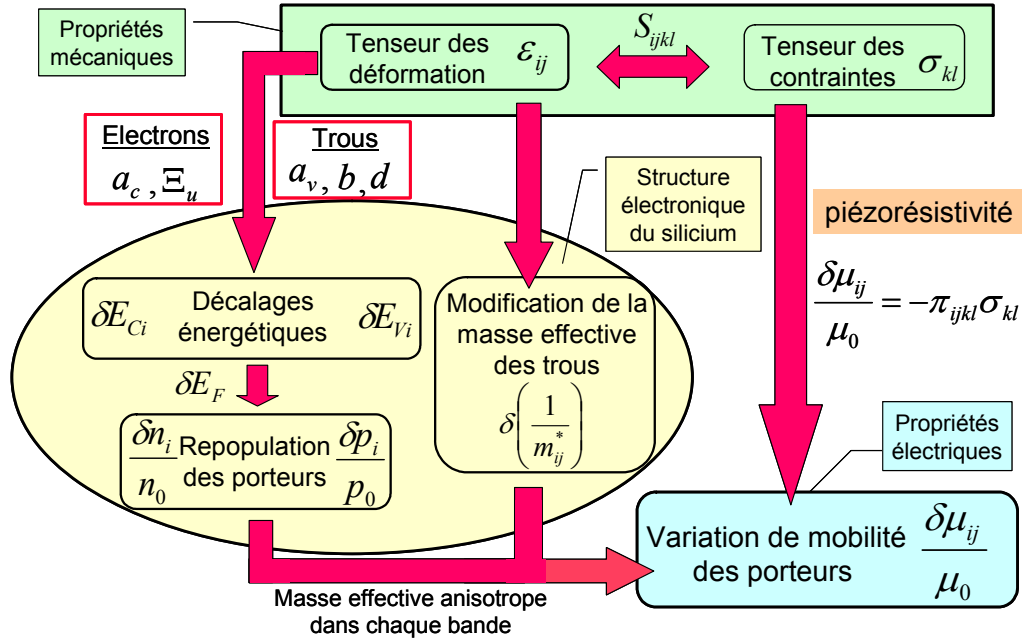


Figure II-4 : Principe du calcul de l'influence des contraintes mécaniques sur les propriétés du transport électronique des trous et des électrons dans le silicium, adaptée de [GUILLA 04b].

II.B.1 Contraintes mécaniques et élasticité

II.B.1.1 Tenseur des contraintes

II.B.1.1.1 Définition

Une contrainte mécanique représente une force par unité de surface. Elle est exprimée en Pa ou N/m² dans le Système International⁴⁷. Par convention une contrainte en tension est comptée positivement alors qu'une contrainte en compression est comptée négativement. Pour représenter l'état général de contrainte en un point donné d'un matériau, on utilise le formalisme tensoriel. Le tenseur de contrainte, noté σ_{ij} , est de rang 2 et s'écrit dans la base des axes cristallographiques, notée 0 :

$$\sigma_{ij} = \begin{bmatrix} \sigma_{11} & \sigma_{12} & \sigma_{13} \\ \sigma_{21} & \sigma_{22} & \sigma_{23} \\ \sigma_{31} & \sigma_{32} & \sigma_{33} \end{bmatrix}_0 \quad \text{Équation II-1}$$

Les contraintes de type σ_{ii} sont appelées contraintes normales alors que les contraintes de type σ_{ij} avec $i \neq j$ sont des contraintes de cisaillement (ou tangentielles). L'état général de contrainte autour d'un point M, représenté par un élément cubique infinitésimal est donné sur la Figure II-5.

⁴⁷ Dans la littérature, les contraintes mécaniques sont fréquemment exprimées en dynes/cm², ou en kg/cm². En unités SI, 1 Pa= 10 dynes/cm² et 1 kg/cm² = 9, 804 × 10⁴ Pa.

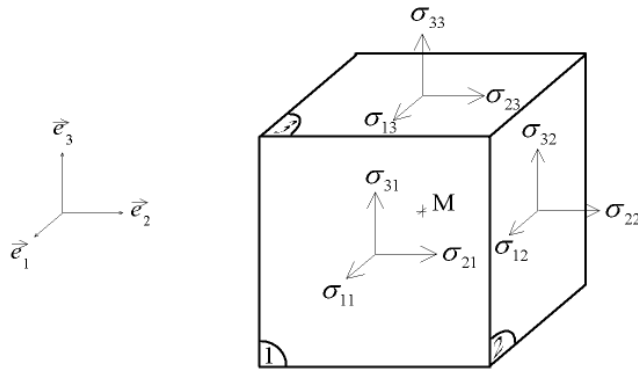


Figure II-5 : Définition des composantes du tenseur des contraintes mécaniques.

Il est possible de montrer qu'à l'équilibre, le tenseur des contraintes σ_{ij} est symétrique, *i.e.* $\sigma_{ij} = \sigma_{ji}$ ⁴⁸. Il possède donc six composantes indépendantes.

II.B.1.1.2 Tenseurs hydrostatique et déviateur

Un tenseur de contraintes quelconque peut toujours être décomposé en une somme de deux tenseurs : un tenseur hydrostatique, $\sigma^{hydr.}$, et un tenseur déviateur, $\sigma^{dev.}$, selon :

$$\sigma_{ij} = \sigma_{ij}^{hydr.} + \sigma_{ij}^{dev.} \quad \text{Équation II-2}$$

Le tenseur hydrostatique s'exprime selon :

$$\sigma_{ij}^{hydr.} = \begin{bmatrix} \sigma_{hydr.} & 0 & 0 \\ 0 & \sigma_{hydr.} & 0 \\ 0 & 0 & \sigma_{hydr.} \end{bmatrix} \quad \text{où } \sigma_{hydr.} = \frac{Tr(\sigma_{ij})}{3} \quad \text{Équation II-3}$$

$Tr(\sigma_{ij})$ représente la trace du tenseur des contraintes. Le tenseur hydrostatique correspond à la partie de la contrainte qui modifie uniquement le volume du cristal, sans modifier sa symétrie $\Delta V/V_0 = \sigma_{hydr.}$.

Le tenseur déviateur s'exprime selon :

$$\sigma_{ij}^{dev.} = \begin{bmatrix} 2(\sigma_{11} - \sigma_{22} - \sigma_{33})/3 & \sigma_{12} & \sigma_{13} \\ \sigma_{12} & 2(\sigma_{22} - \sigma_{11} - \sigma_{33})/3 & \sigma_{23} \\ \sigma_{13} & \sigma_{23} & 2(\sigma_{33} - \sigma_{11} - \sigma_{22})/3 \end{bmatrix}_0 \quad \text{Équation II-4}$$

L'état de contrainte décrit par le tenseur déviateur correspond uniquement à une distorsion du matériau, c'est-à-dire à un changement de forme.

II.B.1.1.3 Formes particulières

Lorsque le tenseur des contraintes possède une forme simple, *i.e.* certaines composantes du tenseur sont nulles, une terminologie particulière lui est alors associée. Nous présentons ici les principaux types de contraintes simples et les plus couramment rencontrées en microélectronique.

- Contrainte hydrostatique

Dans ce cas, le tenseur des contraintes est de la forme suivante :

⁴⁸ La symétrie du tenseur résulte simplement de la condition d'équilibre mécanique dans un champ de moment nul.

$$\sigma_{ij} = \begin{bmatrix} \sigma_{hydr.} & 0 & 0 \\ 0 & \sigma_{hydr.} & 0 \\ 0 & 0 & \sigma_{hydr.} \end{bmatrix} = \sigma_{hydr.} I \quad \text{Équation II-5}$$

C'est l'état de contrainte que l'on obtient lorsqu'un objet est immergé dans un liquide ou simplement soumis à une pression (par exemple la pression atmosphérique). La plupart des contraintes possède une partie hydrostatique. Il est intéressant de noter que toutes les composantes d'un tenseur hydrostatique sont invariantes lors un changement de base. Une contrainte hydrostatique est une grandeur scalaire, notée $\sigma_{hydr.}$.

- **Contrainte biaxiale**

Rigoureusement, on parle de contrainte biaxiale lorsqu'il existe une base dans laquelle seulement deux composantes diagonales σ_{ii} et σ_{jj} sont non nulles. Cependant, en pratique, le terme biaxial est souvent réservé aux cas particuliers où ces deux composantes sont égales⁴⁹. Pour simplifier l'écriture, nous utiliserons aussi cette habitude. Le tenseur des contraintes s'écrit alors :

$$\sigma_{ij} = \begin{bmatrix} \sigma_{biax.} & 0 & 0 \\ 0 & \sigma_{biax.} & 0 \\ 0 & 0 & 0 \end{bmatrix}_0 \quad \text{Équation II-6}$$

Les contraintes biaxiales sont très présentes dans les procédés de la microélectronique.

- **Contrainte uniaxiale**

Une contrainte est dite uniaxiale lorsqu'il existe une base dans laquelle seule une composante diagonale σ_{ii} est non nulle. Le tenseur des contraintes s'écrit, dans le cas d'une contrainte selon x :

$$\sigma_{ij} = \begin{bmatrix} \sigma_{uniax.} & 0 & 0 \\ 0 & 0 & 0 \\ 0 & 0 & 0 \end{bmatrix}_0 \quad \text{Équation II-7}$$

Les dispositifs de la microélectronique présentent rarement une contrainte purement uniaxiale. Cependant son importance est primordiale puisque, bien que les contraintes mécaniques induites par les procédés de fabrication dans le canal des transistors soient généralement complexes et inhomogènes, il arrive fréquemment qu'une des composantes du tenseur des contraintes soit prépondérante devant les autres. Dans ce cas, il est possible d'approximer le tenseur par une contrainte uniaxiale, ce qui permet de simplifier considérablement l'étude de son impact sur les propriétés électriques du dispositif.

De plus, l'étude des contraintes biaxiales peut se ramener à celle des contraintes uniaxiales. En effet, le tenseur des déformations engendrées par une contrainte uniaxiale σ selon l'axe z est équivalent — à un terme de contrainte hydrostatique près — à une contrainte biaxiale $-\sigma$ dans le plan perpendiculaire à l'axe z. Or les modifications des propriétés électriques d'un matériau sont régies par le tenseur des déformations. En particulier l'effet d'une contrainte hydrostatique sur la structure de bandes du silicium, en modifiant uniquement la valeur du paramètre de maille du silicium, consiste uniquement en un décalage uniforme de toutes les bandes d'une certaine énergie proportionnelle à la contrainte : cette composante ne modifie donc pas la répartition des porteurs entre les bandes, ni les valeurs des masses effectives. Elle peut cependant entraîner une modification de la bande interdite du matériau. En revanche, la contrainte déviatrice, en brisant la

⁴⁹ Lorsque les deux composantes du plan n'ont pas la même valeur, la contrainte est parfois qualifiée d'orthorhombique.

symétrie du réseau cristallin, modifie la forme des bandes d'énergie et leurs positions respectives (levée de dégénérescence), ainsi que les paramètres de transport associés (cf. §II.B.3). Ainsi, les paramètres de transport dans le silicium sous une contrainte biaxiale compressive $-\sigma$ dans le plan sont identiques à ceux obtenus sous contrainte uniaxiale σ , normale au plan, en tension.

II.B.1.2 Tenseur des déformations

Sous l'effet d'une contrainte mécanique, un matériau se déforme. Cette déformation ne se fait pas uniquement dans la direction de la contrainte. En effet, lorsque l'on tire sur un matériau élastique, il s'allonge dans la direction de la force, mais on observe également une variation de sa section⁵⁰. En outre la déformation dépend des propriétés mécaniques du matériau ; plus le matériau est rigide, plus faible est la déformation pour une contrainte donnée. Enfin selon la direction suivant laquelle la contrainte est appliquée, les déformations induites sont généralement différentes. On parle alors d'anisotropie des propriétés mécaniques d'un matériau. Les cristaux d'une façon générale, et le silicium en particulier, présentent ainsi des propriétés mécaniques fortement anisotropes.

Dans ce mémoire, nous ferons toujours l'hypothèse que l'état de contrainte du matériau considéré est dans le domaine élastique, *i.e.* les contraintes sont suffisamment faibles pour ne pas engendrer des déformations plastiques, irréversibles. Il faut pour cela que la contrainte soit inférieure à la limite d'élasticité du matériau. De plus nous supposerons que les déformations sont proportionnelles aux contraintes, *i.e.* la détermination quantitative de l'état de déformation du matériau peut être obtenue en utilisant le formalisme de la théorie d'élasticité linéaire.

Les déformations représentent les variations de géométrie d'un segment donné suivant toute les directions. Elles s'expriment sans unité et sont représentées par un tenseur symétrique de rang 2 (et possèdent par conséquent six composantes indépendantes)⁵¹:

$$\varepsilon_{ij} = \begin{bmatrix} \varepsilon_{11} & \varepsilon_{12} & \varepsilon_{13} \\ \varepsilon_{12} & \varepsilon_{22} & \varepsilon_{23} \\ \varepsilon_{13} & \varepsilon_{23} & \varepsilon_{33} \end{bmatrix}_0 \quad \text{Équation II-8}$$

De manière analogue au tenseur des contraintes, le tenseur des déformations ε_{ij} peut être décomposé en un état de déformation hydrostatique $\varepsilon^{hydr.}$ et un état de déformation déviateur $\varepsilon^{dev.}$ selon :

$$\varepsilon_{ij} = \varepsilon_{ij}^{hydr.} + \varepsilon_{ij}^{dev.} \quad \text{Équation II-9}$$

La déformation n'est pas un tenseur qui respecte nécessairement la symétrie du cristal dans lequel elle est mesurée. C'est en effet un tenseur de champs, qui constitue généralement une réponse à une contrainte appliquée sur le matériau, réponse modulée par les propriétés élastiques de ce matériau. Les déformations ne dépendent donc pas seulement de l'intensité et du type de contrainte, mais également des propriétés mécaniques du matériau qui se déforme.

⁵⁰ En règle générale la section rétrécit sous l'effet d'une contrainte uniaxiale en tension. Le coefficient de Poisson (cf. sa définition au §II.B.1.3) est alors positif, ce qui est le cas de la plupart des matériaux.

⁵¹ Certains auteurs utilisent une autre définition de la déformation, qu'ils appellent déformation conventionnelle. Par rapport à notre définition de la déformation ε_{ij} , appelée déformation tensorielle, les composantes de la déformation conventionnelle ε_{ij} diffèrent d'un facteur 2 sur les composantes non-diagonales, à savoir $\varepsilon_{ij} = 2\varepsilon_{ij}$ pour $i \neq j$. Plus de détails sont donnés dans [GUILLA 05b].

II.B.1.3 Tenseurs d'élasticité - loi de Hooke

Dans le cadre de la théorie de l'élasticité linéaire, la déformation dépend linéairement des contraintes mécaniques. Les différents coefficients qui relient la déformation à la contrainte sont appelés modules d'élasticité (ou rigidités) ou compliances du matériau. Ces coefficients forment des tenseurs de rang 4, comprenant dans le cas général 81 composantes. On a les relations, appelées loi de Hooke :

$$\sigma_{ij} = C_{ijkl} \varepsilon_{kl} \text{ et } \varepsilon_{ij} = S_{ijkl} \sigma_{kl} \quad \text{Équation II-10}$$

où C_{ijkl} sont les coefficients du tenseur d'élasticité, appelés modules d'élasticité ou rigidités, et S_{ijkl} les coefficients du tenseur inverse, appelés compliances élastiques.

Lorsqu'une propriété relie des tenseurs de rang 2 symétriques (ce qui est le cas de la piézorésistivité et de l'élasticité), les composantes S_{ijkl} peuvent être exprimées à l'aide de seulement 36 coefficients indépendants (on peut montrer que $S_{ijkl}=S_{jilk}$, idem pour le tenseur C_{ijkl}). Les tenseurs de rang 4 sont ainsi fréquemment représentés par une matrice 6×6 à 36 composantes (notées C_{mn} et S_{mn} pour les matrices des constantes élastiques). On a alors, par exemple pour la matrice des rigidités :

$$\begin{bmatrix} \sigma_1 \\ \sigma_2 \\ \sigma_3 \\ \sigma_4 \\ \sigma_5 \\ \sigma_6 \end{bmatrix}_0 = \begin{bmatrix} C_{11} & C_{12} & C_{13} & C_{14} & C_{15} & C_{16} \\ C_{21} & C_{22} & C_{23} & C_{24} & C_{25} & C_{26} \\ C_{31} & C_{32} & C_{33} & C_{34} & C_{35} & C_{36} \\ C_{41} & C_{42} & C_{43} & C_{44} & C_{45} & C_{46} \\ C_{51} & C_{52} & C_{53} & C_{54} & C_{55} & C_{56} \\ C_{61} & C_{62} & C_{63} & C_{64} & C_{65} & C_{66} \end{bmatrix}_0 \begin{bmatrix} \varepsilon_1 \\ \varepsilon_2 \\ \varepsilon_3 \\ \varepsilon_4 \\ \varepsilon_5 \\ \varepsilon_6 \end{bmatrix}_0 \quad \text{Équation II-11}$$

avec la convention d'écriture pour les indices à une colonne des tenseurs de rang 2 :

$$11 \rightarrow 1, 22 \rightarrow 2, 33 \rightarrow 3, 23 \rightarrow 4, 13 \rightarrow 5, 12 \rightarrow 6 \quad \text{Équation II-12}$$

Le nombre de coefficients indépendants, ou nuls, peut être réduit par des considérations de symétrie. Ainsi pour le silicium, qui appartient à la classe cubique m3m (cf. §II.B.2.1), trois constantes élastiques sont indépendantes et les matrices S et C peuvent alors s'écrire :

$$S_{mn} = \begin{bmatrix} S_{11} & S_{12} & S_{12} & 0 & 0 & 0 \\ S_{12} & S_{11} & S_{12} & 0 & 0 & 0 \\ S_{12} & S_{12} & S_{11} & 0 & 0 & 0 \\ 0 & 0 & 0 & S_{44} & 0 & 0 \\ 0 & 0 & 0 & 0 & S_{44} & 0 \\ 0 & 0 & 0 & 0 & 0 & S_{44} \end{bmatrix}_0 \text{ et idem pour } C_{mn} \quad \text{Équation II-13}$$

Les valeurs numériques des constantes élastiques données dans la littérature correspondent généralement aux coefficients S_{mn} ou C_{mn} , qui ne forment pas un tenseur, et non aux coefficients des tenseurs S_{ijkl} et C_{ijkl} ; elles sont données dans le Tableau II-1. Les équivalences sont données par [GUILLA 05b] :

$$S_{mn} = \begin{cases} S_{ijkl} & \text{pour } m \text{ et } n = 1, 2 \text{ ou } 3 \\ 2S_{ijkl} & \text{pour } m \text{ ou } n = 4, 5 \text{ ou } 6 \text{ et } C_{mn} = C_{ijkl} \\ 4S_{ijkl} & \text{pour } m \text{ et } n = 4, 5 \text{ ou } 6 \end{cases} \quad \text{Équation II-14}$$

Il est important de bien prendre en compte ces différentes conventions de notations pour éviter toute erreur sur le calcul des déformations, erreur qui se répercutera directement sur les calculs des paramètres de transport.

Notons enfin que les coefficients S_{mn} (et C_{mn}) ne formant pas un tenseur, il est nécessaire de repasser à la notation tensorielle S_{ijkl} (et C_{ijkl}) pour effectuer un changement de coordonnées⁵².

Pour une contrainte uniaxiale appliquée suivant la direction i , il est possible de définir un module d'Young E_i et un coefficient de Poisson ν_{ij} . E_i relie la déformation du matériau selon cette même direction i . Le coefficient ν_{ij} représente alors le rapport entre la déformation dans la direction j et celle suivant la direction i . Etant donnée l'anisotropie des propriétés mécaniques des matériaux en général, ces coefficients dépendent de l'orientation. Dans le système d'axes cristallographiques, le module d'Young E_1 suivant la direction $[100]$ est ainsi défini par $E_1 = \sigma_{11} / \varepsilon_{11} = 1 / S_{11} = 131 \text{ GPa}$ pour le silicium. Le coefficient de Poisson ν_{12} est quant à lui défini par $\nu_{12} = -\varepsilon_{22} / \varepsilon_{11} = -S_{12} / S_{11} = 0,28$ pour le silicium. Ces valeurs sont rappelées dans le Tableau II-12. L'intérêt de ces coefficients est de pouvoir obtenir une représentation quantitative de l'anisotropie des propriétés mécaniques du matériau.

	S_{11}	S_{12}	S_{44}	C_{11}	C_{12}	C_{44}
Si	0,00768	-0,00214	0,0126	165,7	63,9	79,6
Ge	0,00964	-0,00260	0,0149	129,2	47,9	67,0

Tableau II-1 : Valeurs numériques des constantes élastiques du silicium et du germanium, d'après [WORTMA 65].
 S_{mn} en GPa^{-1} et C_{mn} en GPa.

II.B.2 Structure cristalline et diagramme de bandes

II.B.2.1 Silicium massif

La plupart des semi-conducteurs s'ordonnent selon un réseau cubique à faces centrées, avec occupation d'un site tétraédrique sur deux. Si les deux atomes constituant la maille élémentaire sont différents, ils présentent une structure cristalline de type zinc-blende ; ils appartiennent alors au groupe T_d . C'est le cas des matériaux III-V où les atomes du groupe III et V sont situés aux nœuds de deux réseaux cubiques à faces centrées, décalés l'un par rapport à l'autre du quart de la diagonale (Figure II-6). C'est le cas aussi de l'alliage $\text{Si}_{0,5}\text{Ge}_{0,5}$ dans la famille des matériaux IV-IV. Si les deux atomes sont identiques, cette structure est alors celle du diamant et appartient au groupe O_h ⁵³ ; c'est le cas du silicium et du germanium.

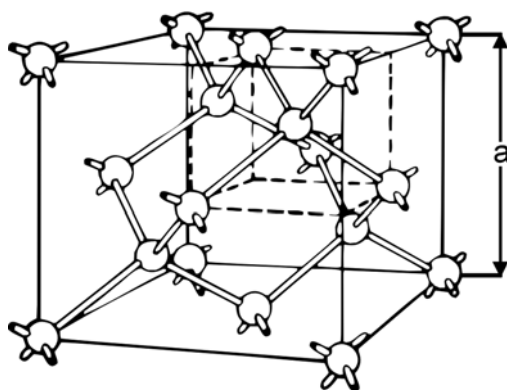


Figure II-6 : Structure cristalline du silicium

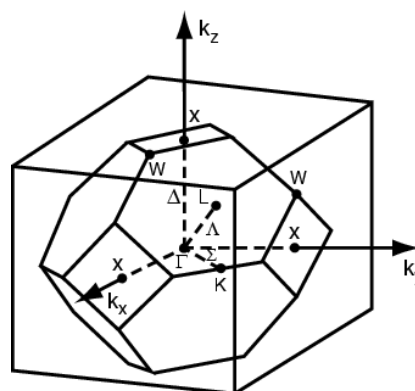


Figure II-7 : Zone de Brillouin du silicium

⁵² Les lois de transformation sont clairement explicitées dans [GUILLA 05b].

⁵³ O_h en utilisant la notation de Schoenflies ou $m3m$ en notation de Hermann-Mauguin.

La structure périodique du réseau réciproque permet de replier l'espace des \vec{k} et de restreindre le vecteur d'onde à une cellule primitive, la première zone de Brillouin (Figure II-7). On distingue trois directions principales :

- la direction Δ reliant les points Γ (centre de la zone de Brillouin) et X $[2\pi/a(1,0,0)]$,
- la direction Λ reliant Γ et L $[2\pi/a(1/2, 1/2, 1/2)]$,
- la direction Σ reliant Γ et K $[2\pi/a(3/4, 3/4, 0)]$.

La relation de dispersion de l'énergie $E(\vec{k})$ s'obtient en résolvant l'équation de Schrödinger en tenant compte des interactions avec les atomes du cristal (noyaux et électrons). Dans l'approximation de Bloch, où l'électron considéré est soumis à un potentiel moyen périodique dû aux autres électrons et au réseau cristallin, l'équation de Schrödinger s'écrit :

$$H\psi = \left[\frac{\vec{p}^2}{2m_0} + V(\vec{r}) \right] \psi = E\psi \quad \text{Équation II-15}$$

où $\vec{p} = i\hbar\vec{\nabla}$ est l'opérateur quantité de mouvement, m_0 la masse de l'électron libre et $V(\vec{r}) = -q\phi(\vec{r})$ le potentiel cristallin, aux dimensions d'une énergie potentielle périodique vue par l'électron dû aux atomes du réseau ($\phi(\vec{r})$ est le potentiel électrostatique).

Dans le vide, les solutions de l'Hamiltonien $H = p^2/2m_0$ sont des ondes planes $e^{i\vec{k}\cdot\vec{r}}$. Dans le cristal, les solutions de l'équation de Schrödinger sont les fonctions de Bloch, produits d'ondes planes par des fonctions périodiques $u_{n,k}(\vec{r})$:

$$\psi_{n,k}(\vec{r}) = e^{i\vec{k}\cdot\vec{r}} \cdot u_{n,k}(\vec{r}) \quad \text{Équation II-16}$$

Il existe différentes approches pour calculer les relations de dispersion des matériaux massifs. Chacune d'entre elles présente ses spécificités, leurs avantages et inconvénients, des approximations, et aussi un domaine d'étude de la structure de bandes. Citons par exemple, parmi les méthodes utilisant des paramètres ajustables :

- la méthode LCAO (Combinaison Linéaire d'Orbitales Atomiques) appelée également méthode des liaisons fortes [JANCU 98, VOGL 83]. Elle est bien adaptée au calcul des bandes profondes étroites, résultant de l'élargissement des états du cœur, un peu moins adaptée au calcul de la bande de valence et peu adaptée au calcul de la bande de conduction,
- la méthode OPW (Ondes Planes Orthogonalisées) particulièrement adaptée à l'étude de la bande de conduction, un peu moins à celle de la bande de valence et pas du tout à celle des états de cœur,
- la méthode du pseudo-potentiel empirique [CHELIK 76]. C'est une technique qui se prête bien à une approche du problème en terme de perturbation,
- la méthode $\vec{k}\cdot\vec{p}$. C'est une technique de résolution de l'équation de Schrödinger qui s'apparente à un développement limité de la structure de bandes à partir du centre de la zone de Brillouin. Plus on considère de bandes, *i.e.* plus l'ordre du développement limité est grand, plus le domaine de validité de la méthode s'accroît. Par exemple le domaine de validité de la méthode $\vec{k}\cdot\vec{p}$ à 8 bandes est d'environ 15% de la zone de Brillouin pour les semi-conducteurs à bande interdite directe alors que la méthode $\vec{k}\cdot\vec{p}$ à 30 bandes fournit les structures électroniques des semi-conducteurs à bande interdite directe et indirecte sur toute la zone de Brillouin pour une gamme d'énergie comprise entre -5 et +5 eV [RICHAR 04a].

Parmi les méthodes ayant peu de paramètres ajustables (un seul dans le cas minimum) citons la méthode du pseudo-potential *ab initio* [WANG 96] ou la méthode de la *muffin-tin* [WILLAT 94].

La Figure II-8 représente le diagramme de bandes du silicium massif.

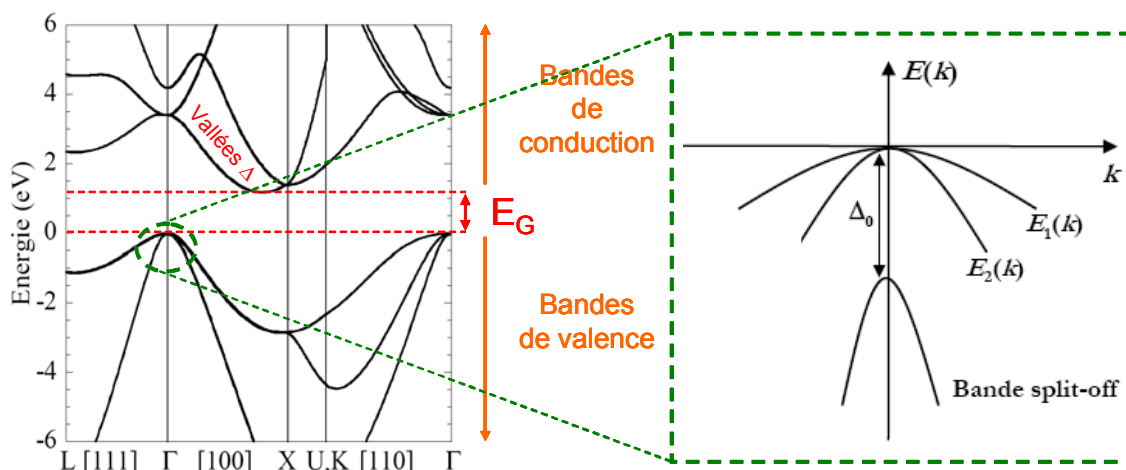


Figure II-8 : Structure de bandes du silicium massif calculée par la méthode $\vec{k} \cdot \vec{p}$ à 30 bandes suivant les trois directions de plus haute symétrie de l'espace réciproque, *i.e.* Δ , Λ et Σ , d'après [RICHAR 04b]. Zoom : représentation schématique du maximum de la bande de valence afin de visualiser la « split-off » bande située à $\Delta_0=44\text{meV}$ au-dessus des bandes des trous lourds et légers, dégénérées en $\vec{k} = 0$.

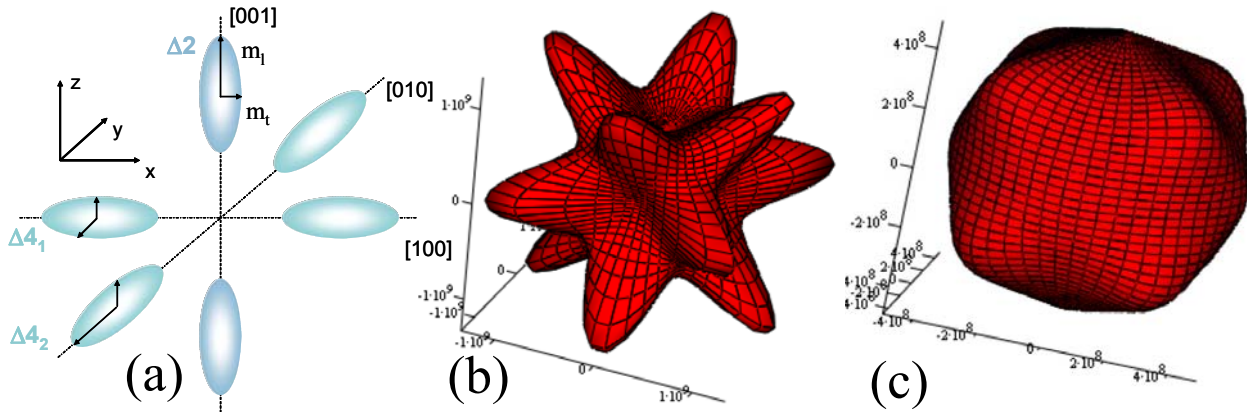
Sur la Figure II-8, on remarque que le sommet de la bande de valence est situé au centre de la zone de Brillouin, *i.e.* en $\vec{k} = 0$ (Γ). De plus ce maximum est constitué de la convergence de deux bandes qui sont dégénérées au sommet, appelées communément bande des trous lourds (HH pour « Heavy holes ») et bande des trous légers (LH pour « Light Holes »), cette dernière présentant une plus forte courbure de bande donc une masse effective plus faible, cf. II.B.2.2. Notons qu'il existe une troisième branche proche du maximum de la bande de valence, située à environ 44 meV : elle est appelée la « split-off » bande. Le minimum de la bande de conduction est quant à lui situé dans une direction de type [100] (Δ), en $k=0,85k_X$, où k_X représente le vecteur d'onde au point X de la zone de Brillouin. Compte tenu de la structure cubique du silicium, il existe six minima pour la bande de conduction (six directions équivalentes de type [100]). On dit alors que le silicium est un semi-conducteur multivallées, nommées Δ^54 . Entre le minimum de la bande de conduction et le maximum de la bande de valence se trouve une zone où il n'existe aucun état électronique possible pour les électrons, appelée bande interdite (ou « gap » en anglais).

La variation $E(\vec{k})$ de l'énergie des vallées Δ de la bande de conduction au voisinage de leur minimum n'est pas isotrope : elle est plus rapide dans le plan perpendiculaire à l'axe considéré que suivant cet axe. Ainsi les surfaces d'énergie constante, appelées surfaces d'iso-énergie, sont des ellipsoïdes de révolution autour de chacun des six axes équivalents (cf. Figures II-9a). Les quatre vallées dont l'axe de révolution des ellipsoïdes est dans le plan (001) sont appelées les vallées Δ_4 alors que les deux vallées dont l'axe de révolution est perpendiculaire à ce même plan sont appelées Δ_2 .

En revanche, les surfaces d'iso-énergie de la bande de valence sont fortement anisotropes (Figures II-9b et c), en raison de la dégénérescence qui se produit en $\vec{k} = 0$. Celles des trous lourds présentent les plus fortes protubérances, selon $\langle 110 \rangle$. Une difficulté supplémentaire s'ajoute à la modélisation de la bande de valence : sa structure de bandes dépend fortement de la température (ou de l'énergie des porteurs). Dans un souci de simplification, les surfaces d'iso-énergie des bandes

⁵⁴ Dans le cas des composants de la microélectronique, les énergies des porteurs restent faibles ($<2\text{eV}$) de sorte que l'on peut se limiter au peuplement des vallées Δ pour la bande de conduction.

LH et HH sont souvent approximées par des sphères. Nous aurons l'occasion de voir que pour l'étude de l'impact des contraintes mécaniques sur les propriétés du transport électronique, cette simplification extrême n'est plus envisageable si l'on souhaite expliquer correctement les comportements observés sur la mobilité des trous.



Figures II-9 : Représentations schématiques des surfaces d'iso-énergie (a) de la bande de conduction (vallées Δ) du silicium : les minima de la bande correspondent aux centres des ellipsoïdes. Sont également représentées les masses effectives (cf. II.B.2.2) ainsi que les dénominations usuelles de ces vallées. Surfaces d'iso-énergie (b) de la bande des trous lourds et (c) de la bande des trous légers de la bande de valence à $T=300K$, d'après [GUILLA 05b].

II.B.2.2 Concept de masse effective

Dans un semi-conducteur, les électrons, de masse m_0 , ne sont pas libres et subissent l'influence du potentiel du réseau (par opposition au vide) : on dit qu'ils sont quasi-libres. Cependant, on peut inclure l'effet global du potentiel périodique cristallin dans la masse de l'électron, alors assimilé à une quasi-particule libre de masse m_e^* , appelée masse effective de l'électron. De la même manière on définit la masse effective d'un trou m_h^* . On peut montrer que cette masse effective est directement proportionnelle à l'inverse de la courbure des bandes d'énergie dans l'espace des \vec{k} [MATHIE 01]. On peut donc définir une masse effective pour chaque bande d'énergie et vallée v d'un matériau semi-conducteur selon chaque direction x :

$$m_{v,x}^* = \frac{\hbar^2}{\partial^2 E_v(k_x) / \partial k_x^2} \quad \text{Équation II-17}$$

Au voisinage des minima de bandes, on peut développer la fonction $E(\vec{k})$ en série de Taylor ; on parle alors de bandes paraboliques. Dans cette approximation des bandes paraboliques, la masse effective est constante pour une bande et selon une direction donnée⁵⁵. Ainsi cette masse effective est parfois appelée masse effective de courbure de bande ou « *band-edge effective mass* ». Pour les électrons, on définit deux masses effectives, qui sont la masse longitudinale (selon la direction du grand axe de l'ellipsoïde), notée m_l , et la masse transverse (selon la direction du petit axe de l'ellipsoïde), notée m_t (Figures II-9). Pour les trous, dans le cas où les surfaces d'iso-énergie des bandes LH et HH sont considérées isotropes, on définit deux masses : la masse effective des trous lourds m_{hh} et la masse effective des trous légers m_{lh} .⁵⁶

Pour la bande de conduction, on peut écrire la relation de dispersion $E(\vec{k})$ de la vallée Δ dont l'axe de révolution est selon k_z [001] :

⁵⁵ On parle alors aussi de l'approximation de la masse effective.

⁵⁶ Les valeurs des masses effectives des électrons et des trous sont rappelées dans le Tableau I-5 (p. 44).

$$E(\vec{k}) = E_c + \frac{\hbar^2}{2m_l} (k_z - k_0)^2 + \frac{\hbar^2}{2m_t} k_y^2 + \frac{\hbar^2}{2m_t} k_x^2 \quad \text{Équation II-18}$$

avec E_c le minimum de la bande de conduction situé au vecteur d'onde k_0 (0 ; 0 ; 0,85), m_l et m_t les masses effectives longitudinale et transverse.

D'autres définitions de masses effectives, qui découlent de la définition originelle énoncée plus haut, sont souvent utilisées, notamment pour le calcul des densités de porteurs⁵⁷.

• Ainsi on définit les masses effectives de densité d'états, notées m_{DOS} . C'est la masse qui intervient dans le calcul de la densité d'états et donc de la densité de porteurs dans chacune des bandes. Physiquement, c'est une masse effective moyennée dans toutes les directions (3D) ou dans le plan de confinement (2D). Son expression pour les bandes de conduction et de valence est par exemple :⁵⁸

$$\text{à } T = 300K \left\{ \begin{array}{l} (3D) \left\{ \begin{array}{l} m_{DOS,c} = (6m_l^{1/2} m_t)^{2/3} = 1,06m_0 \\ m_{DOS,v} = (m_{hh}^{3/2} m_{lh}^{3/2})^{2/3} \approx 0,55m_0 \end{array} \right. \\ (2D) \left\{ \begin{array}{l} m_{DOS,c}(\Delta 2) = 2m_t = 0,38m_0 \\ m_{DOS,c}(\Delta 4) = 4\sqrt{m_l m_t} = 1,67m_0 \\ m_{DOS,LH} = m_{LH} = 0,157m_0 \\ m_{DOS,HH} = m_{HH} = (0,47 - 0,53)m_0 \end{array} \right. \end{array} \right. \quad \text{Équation II-19}$$

Le « 2 » et le « 4 » des expressions des masses effectives de densité d'états 2D des vallées $\Delta 2$ et $\Delta 4$ représente respectivement le niveau de dégénérescence des bandes.⁵⁹

• On peut aussi définir une masse effective de conduction (dite aussi de conductivité), notée ici m_c . C'est la masse qui intervient dans le transport et non plus dans l'électrostatique. Il s'agit de la masse effective selon la direction du transport considérée. Elle est définie pour chaque bande ou vallée. C'est cette masse effective qui intervient dans l'expression de la mobilité des porteurs (cf. §II.B.4.1.1). On peut la définir de façon globale, *i.e.* on prend en compte la population de chaque sous-bande (cas 2D) ou vallée (cas 3D) pour se ramener à une seule valeur scalaire de la masse de conduction dans l'expression de la mobilité. Il s'agit alors d'une moyenne selon une direction de toutes les sous-bandes. Comme les courants issus des différentes sous-bandes s'ajoutent, les conductivités s'ajoutent et ce sont donc les inverses des masses effectives pondérés par la population de chaque sous-bande qui s'ajoutent, pour une direction de transport donnée, selon :

$$\frac{1}{m_c} = \sum_v \frac{n_v/n}{m_v^*} \quad \text{Équation II-20}$$

avec n_v le nombre de porteurs de la vallée v , n le nombre de porteurs total et m_v^* la masse effective de la vallée v selon la direction considérée.

Dans le silicium massif (3D), les six vallées Δ sont identiquement peuplées, pour les trous la situation est différente. Après calculs, on obtient pour les électrons et les trous :

⁵⁷ Il s'agit alors essentiellement de représentations mathématiques pour simplifier les équations.

⁵⁸ On considère ici des bandes paraboliques et, pour la bande de valence, isotropes.

⁵⁹ Lorsque les vallées $\Delta 4$ ne sont plus équivalentes, par exemple lorsque le silicium est soumis à une contrainte uniaxiale selon [100], il convient de distinguer chacune des $m_{DOS,c}$ des vallées $\Delta 4_1$ et $\Delta 4_2$, avec cette fois-ci « 2 » comme niveau de dégénérescence au lieu de « 4 » comme indiqué par l'Équation II-19.

$$\begin{cases} m_{c,C} = \frac{3}{1/m_l + 2/m_t} = 0,258 \\ m_{c,V} = \frac{m_{hh}^{3/2} + m_{lh}^{3/2}}{m_{hh}^{1/2} + m_{lh}^{1/2}} = 0,355 - 0,4 \end{cases} \quad \text{Équation II-21}$$

Pour une couche d'inversion (gaz 2D), cette masse effective dépend de la population des vallées, et donc du potentiel de confinement.

II.B.2.3 Effet du confinement quantique

Dans la couche d'inversion d'une structure MOS, les porteurs sont confinés dans un puits de potentiel créé par le champ de grille (Figure II-10). Perpendiculairement au transport, les porteurs d'énergie E voient d'un côté une barrière avec le diélectrique de grille et de l'autre une barrière créée par la courbure de bande ; ceci constitue donc un puits. La distance moyenne sur laquelle la couche d'inversion s'étend depuis l'interface diélectrique de grille/canal est de l'ordre de quelques nanomètres (Figure II-10).

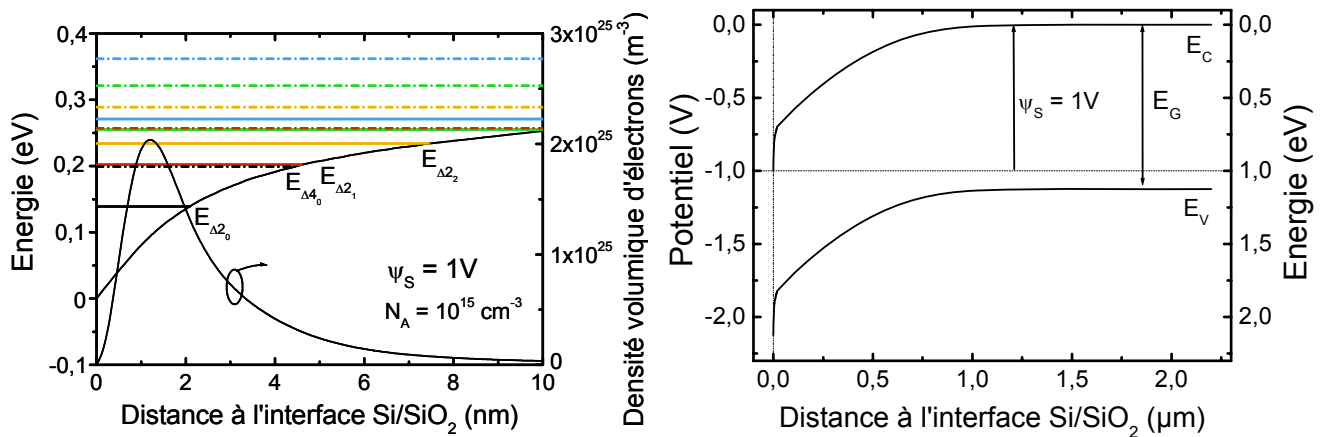


Figure II-10 : (à droite) Courbure du potentiel ($\psi_S=1V$) dans le semi-conducteur d'une structure MOS. La référence est la bande de conduction à l'infini. (à gauche) Niveaux d'énergie discrétisée des vallées $\Delta 2$ et $\Delta 4$ dans un puits de potentiel. La référence des énergies est le bas du puits. Evolution de la densité de porteurs avec la distance à l'interface semiconducteur-diélectrique de grille.

Or les électrons occupent des niveaux d'énergie définis par l'Équation II-18. Si l'on considère la représentation ondulatoire d'un électron, on peut leur associer une longueur d'onde, appelée longueur de De Broglie, donnée par :

$$\lambda = \frac{2\pi}{\|\vec{k}\|} = \frac{h}{\sqrt{2m^*(E - E_C)}} \quad \text{Équation II-22}$$

Si l'on suppose le niveau de Fermi situé à une centaine de millivolts du bas de la bande de conduction, comme c'est le cas en forte inversion dans une structure MOS⁶⁰, la longueur d'onde des électrons du niveau de Fermi est de l'ordre de $\lambda_F \approx 4\text{nm}$. Ainsi la longueur d'onde associée à l'électron est du même ordre de grandeur que la cavité dans laquelle est enfermée cette onde. Il en résulte l'existence d'ondes stationnaires dans la direction du confinement, dont les caractéristiques sont fixées par les conditions de réflexion sur les parois du puits (loi de Bragg). En conséquence, les électrons (ou les trous) confinés dans une couche d'inversion (ou d'accumulation), se comportent

⁶⁰ La profondeur du puits de potentiel, qui varie avec la polarisation de grille, évolue peu quand le semi-conducteur devient dégénéré (comportement métallique). L'excès de polarisation est alors quasi-intégralement reporté dans le diélectrique de grille.

comme un gaz d'électrons à deux dimensions. Leur mouvement est libre dans le plan de la structure et quantifié dans la direction perpendiculaire. Pour déterminer précisément la densité d'états d'énergie lors de l'application d'un potentiel sur la grille d'une structure MOS, un traitement quantique du problème s'impose. Il nécessite la résolution couplée de l'équation de Schrödinger, qui permet de déterminer les états stationnaires d'énergie, les fonctions d'ondes et les concentrations de porteurs associées, et de l'équation de Poisson, qui permet d'évaluer le potentiel dans la structure pour une distribution de porteurs donnée (Figure II-11).

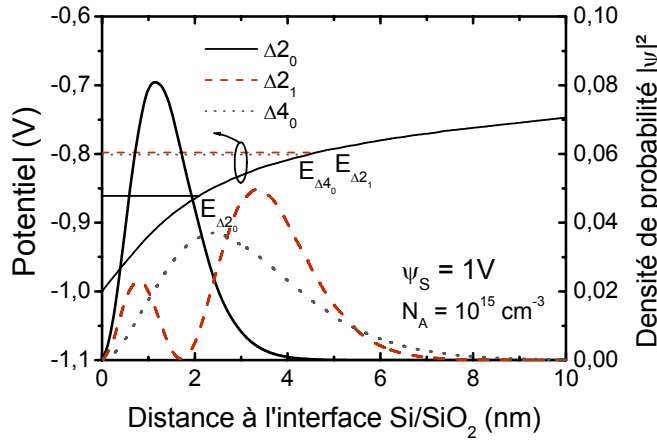


Figure II-11 : Densités de probabilité de présence des électrons dans le puits de potentiel d'une structure MOS des trois premiers niveaux occupés pour un potentiel de surface égal à 1V.

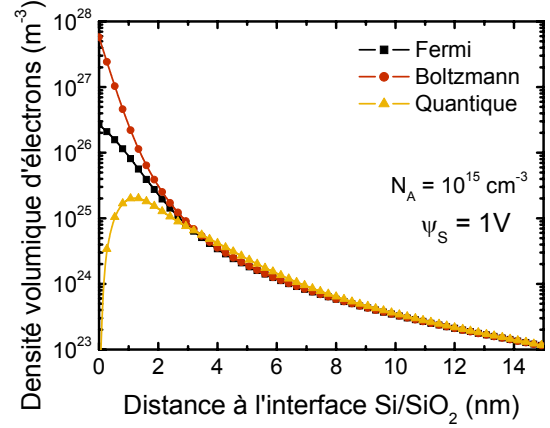


Figure II-12 : Comparaison des densités volumiques d'électrons obtenues par i) la résolution numérique des équations de Poisson-Schrödinger, ii) le calcul classique (statistique de Fermi ou de Boltzmann).

Les écarts entre un calcul quantique et les approches classiques (statistiques de Fermi ou de Boltzmann) sont illustrés sur la Figure II-12. Le calcul, issu de la mécanique quantique et plus représentatif de la réalité, impose une concentration nulle à l'interface diélectrique de grille-semi-conducteur (à la pénétration des fonctions d'ondes près) alors que le calcul mené avec la statistique de Boltzmann surestime la concentration de porteurs proches de l'interface, plus encore que celui effectué avec la statistique de Fermi⁶¹.

L'équation de Schrödinger s'écrit pour une bande donnée et une direction de confinement selon z :

$$-\frac{\hbar^2}{2m_{\perp,v}} \frac{d^2}{dz^2} \psi_i(z) - q\phi(z)\psi_i(z) = E_i \psi_i(z) \quad \text{Équation II-23}$$

où $m_{\perp,v}$ représente la masse effective de la vallée v (ou bande) dans la direction du confinement, $\psi_i(z)$ est la fonction d'onde et E_i l'énergie de confinement de la sous-bande i de la vallée v . $-q\phi(z)$ représente l'opérateur d'énergie potentielle ou potentiel cristallin. L'énergie totale des électrons est donnée par la somme de l'énergie dans le plan et de l'énergie de confinement, soit pour les vallées $\Delta 2$ et $\Delta 4$ de la bande de conduction du silicium :

$$\begin{aligned} E_{tot,\Delta 2} &= \frac{\hbar^2 k_{\parallel}^2}{2m_t} + E_i + E_C^{\Delta 2} \\ E'_{tot,\Delta 4} &= \frac{\hbar^2 k_{\parallel}^2}{2\sqrt{m_l m_t}} + E'_i + E_C^{\Delta 4} \end{aligned} \quad \text{avec } k_{\parallel}^2 = k_x^2 + k_y^2 \quad \text{Équations II-24}$$

où E_C^v représente le niveau d'énergie du bas de la vallée v .

⁶¹ Les électrons étant des fermions, ils obéissent à la statistique de Fermi. La statistique de Boltzmann est valable pour les régions du semi-conducteur non dégénérées.

L'équation de Poisson s'écrit :

$$\frac{d^2V}{dz^2} = -\frac{\rho(z)}{\epsilon_{Si}} = -\frac{q}{\epsilon_{Si}} \left(N_{dep}(z) - \sum_v \sum_i n_{v,i} \psi_{v,i}^2(z) \right) \quad \text{Équation II-25}$$

où $n_{v,i}$ est la densité de porteurs de la $i^{\text{ème}}$ sous-bande de la vallée v , donnée par :

$$n_{v,i} = \int_{E_i}^{\infty} N_{2D}(E) f(E) dE \quad \text{Équation II-26}$$

où $f(E) = (1 + \exp([E - E_F]/k_B T))^{-1}$ est la fonction de Fermi et $N_{2D}(E)$ est la densité d'états (cf. Équation II-29). Soit

$$n_{v,i} = \frac{m_{DOS,2D,v} k_B T}{\pi \hbar^2} \ln \left[1 + \exp \left(\frac{E_F - E_{v,i}}{k_B T} \right) \right] \quad \text{Équation II-27}$$

Dans le cas général il n'existe pas de solutions analytiques. Seul un traitement numérique permet de résoudre de façon auto-cohérente les équations couplées de Poisson-Schrödinger pour obtenir les énergies des sous-bandes, les fonctions d'onde et la densité de porteurs sur chaque niveau d'énergie. Il est nécessaire de prendre en compte le peuplement de plusieurs sous-bandes si l'on veut étudier la mobilité à température ambiante. En effet, à titre d'exemple, la 15^{ème} sous-bande des vallées Δ_4 dans la couche d'inversion du silicium est occupée à 0,2%. De plus l'énergie de cette sous-bande est plus basse que la barrière de potentiel formée par la couche de déplétion (pour un dopage de $2.10^{16} \text{ cm}^{-3}$), ce qui signifie que la fonction d'onde est toujours confinée dans la couche d'inversion. Ainsi pour un calcul précis, il faudrait prendre 30 sous-bandes au total. En fait le nombre de sous-bande à prendre en compte dépend de plusieurs paramètres, comme la température ou le dopage du matériau. L'objectif est de limiter le nombre de sous-bandes à prendre en compte dans le calcul pour réduire au mieux le temps de calcul.

Nous n'entrerons pas ici dans le détail des différentes techniques de résolution de l'équation couplée Poisson-Schrödinger, déjà largement discutées dans de nombreux ouvrages [STERN 67, ANDO 82, MATHIE 01]. Les résultats que nous présentons dans ce mémoire ont été obtenus par simulation numérique dans le cas unidimensionnel, *i.e.* on considère un confinement perpendiculaire à l'interface isolant/silicium massif d'une structure MOS infiniment grande. Afin d'étudier le domaine de validité de nos simulations dans le cas d'une architecture FDSOI, une comparaison avec les simulations de NanoHUB⁶² a été effectuée (Figure II-13). On constate qu'une architecture FDSOI avec un film de 50nm se comporte comme du silicium massif. Pour un film de 10nm, le confinement géométrique imposé par le film ultramince augmente le peuplement des vallées Δ_2 aux faibles charges d'inversion. Toutefois les écarts de peuplement peuvent être considérés comme négligeables au-delà de quelques 10^{12} cm^{-2} .

Notons que, moyennant quelques approximations, on peut déterminer des expressions analytiques. Dans les approximations d'un puits de potentiel triangulaire⁶³, les niveaux d'énergie discrétisés par le confinement quantique selon z sont donnés par [MATHIE 01]:

⁶² Simulations numériques en ligne sur le site de Mark Lundstrom, d'accès public (www.nanohub.org).

⁶³ On assimile la courbure de bande à une droite au niveau de l'interface avec le diélectrique et on considère une hauteur de barrière infinie côté isolant (elle vaut en réalité pour le SiO_2 : $\chi_{Si} - \chi_{\text{SiO}_2} = 3,2 \text{ eV}$). Cela signifie que la fonction d'onde des électrons s'annule à l'interface isolant/semi-conducteur. Cette hypothèse est tout à fait justifiée dans les structures dont l'isolant est épais (>10nm) ; pour les isolants ultraminces, l'effet tunnel joue un rôle important et les fonctions d'onde ne s'annulent plus à l'interface.

$$E_i = \left(\frac{\hbar^2}{2m_{\perp}} \right)^{1/3} \cdot \left(\frac{3\pi \cdot q \cdot E_{eff}}{2} (i + 3/4) \right) \text{ avec } i=0,1,2,\dots \quad \text{Équation II-28}$$

avec E_{eff} le champ effectif perpendiculaire à la structure⁶⁴ et m_{\perp} la masse de confinement.

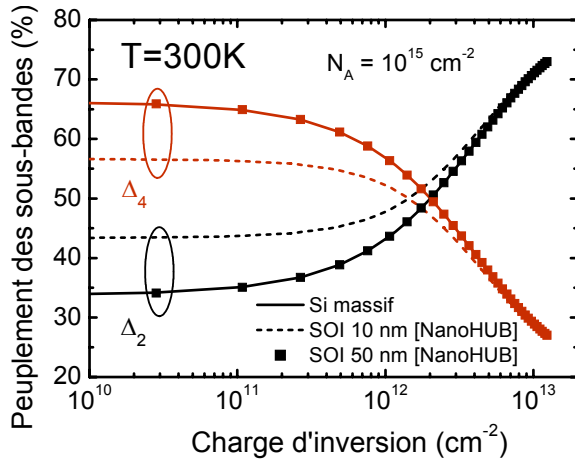


Figure II-13 : Comparaison du peuplement des vallées Δ_2 et Δ_4 selon la structure simulée (résolution PS 1D) pour un dopage accepteur de 10^{15} cm^{-3} à 300K. Notons que nos résultats de simulations sur silicium massif sont bien parfaitement identiques à ceux obtenus avec NanoHUB.

Les Équations II-24 montrent ainsi que l'énergie totale des électrons (et des trous) s'organise en sous-bandes d'énergie avec une quantification perpendiculairement au plan de confinement et une variation continue dans le plan de conduction (Figure II-14). Il est intéressant de noter qu'à travers ces équations, la position énergétique des sous-bandes dépend inversement de la masse de confinement. Ainsi pour le silicium orienté (001), les vallées Δ_2 , dont la masse de confinement est m_l , seront plus basses en énergie que les vallées Δ_4 , dont la masse de confinement est m_t . Les vallées Δ_2 seront donc plus peuplées que les vallées Δ_4 en forte inversion. La masse de conduction des électrons de la bande de conduction sera alors différente de celle calculée dans le cas classique 3D. D'après l'Équation II-20, m_c va passer de $m_{c,3D} = 3m_l m_t / (m_t + 2m_l) = 0,26m_0$ à $m_{c,2D} = (m_l m_t) / (0,1m_t + 0,9m_l) = 0,21m_0$, en considérant un peuplement réparti à 80% dans les vallées Δ_2 en forte inversion (Figure II-13), soit un écart de 20% sur la masse de conduction globale. La prise en compte des effets du confinement quantique dans une structure MOS est donc primordiale.

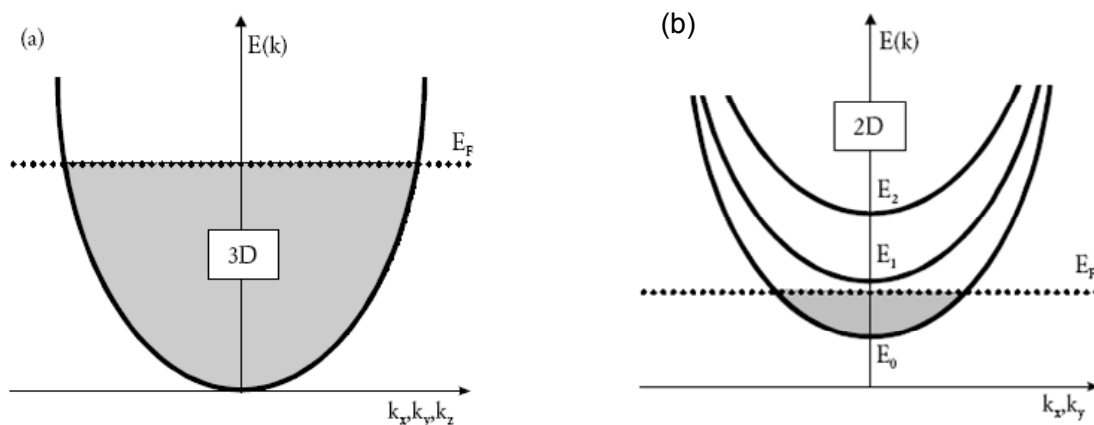


Figure II-14 : Relation de dispersion $E(k)$ pour (a) un gaz d'électrons 3D et (b) un gaz 2D.

Les densités d'états (et par conséquent le calcul des porteurs dans chaque sous-bande) sont affectées par le confinement quantique. Elles s'écrivent, dans les cas 3D et 2D (Figure II-15) :

⁶⁴ cf. la définition du champ effectif à l'Équation II-53.

$$\begin{cases} N_{3D}(E) = \frac{1}{2\pi^2} \left(\frac{2m_{DOS,3D}}{\hbar^2} \right)^{3/2} (E - E_0)^{1/2} \\ N_{2D}(E) = \frac{m_{DOS,2D}}{\pi\hbar^2} \sum_i H(E - E_i) \end{cases} \quad \text{Équation II-29}$$

où $H(x)$ représente la fonction de Heavyside ($H(x)=0$ pour $x<0$ et $H(x)=1$ pour $x>0$). C'est une caractéristique essentielle d'un système à deux dimensions : la densité d'états est constante en fonction de l'énergie⁶⁵.

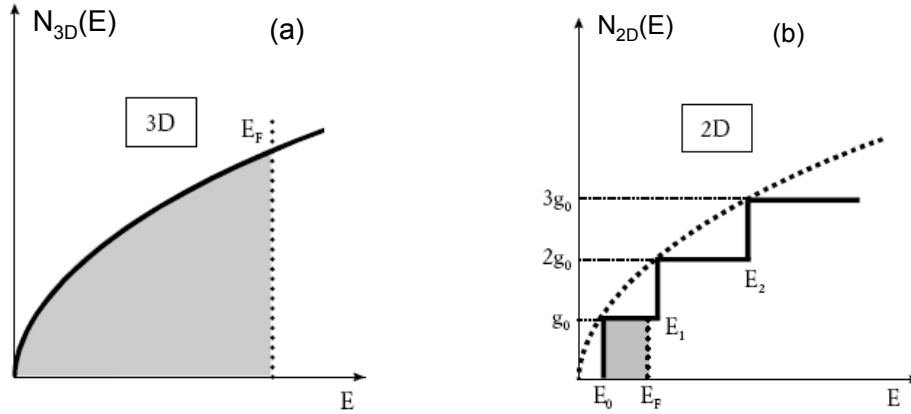


Figure II-15 : Densités d'états (a) du silicium massif 3D et (b) couche confinée selon une dimension (2D).

La densité totale de porteurs est donnée par l'intégration sur l'énergie du produit formé par la densité d'états et la probabilité d'occupation d'un niveau d'énergie (Équation II-26). Elle s'écrit pour les électrons :

$$n = \sum_v \sum_{i \in v} n_{v,i} \quad \text{Équation II-30}$$

Soit dans les cas 3D (sous l'approximation de Boltzmann) et 2D (avec une statistique de Fermi-Dirac):

$$\begin{cases} n_{3D} = N_C \exp((E_F - E_C)/(k_B T)) \quad \text{avec} \quad N_C = 2 \left(\frac{2\pi m_{DOS,c} k_B T}{\hbar^2} \right)^{3/2} \\ n_{2D} = \frac{k_B T}{\pi\hbar^2} \sum_v \sum_{i \in v} m_{DOS,2D,v} \cdot \ln \left[1 + \exp \left(\frac{E_F - E_i}{k_B T} \right) \right] \end{cases} \quad \text{Équation II-31}$$

v représente les vallées (Δ_2 ou Δ_4) et i la sous-bande d'énergie E_i .

II.B.3 Effet d'une contrainte mécanique sur la structure de bandes du silicium

Le diagramme de bandes d'un semi-conducteur contraint est différent de celui du semi-conducteur massif car la contrainte abaisse les symétries du cristal. L'énergie de bande interdite est modifiée, les dégénérescences sont levées pour les bandes de valence et de conduction. La forme

⁶⁵ Dans la limite de l'hypothèse de sous-bandes paraboliques, isotropes, de masse effective m^* . Dans ce cas, la densité d'états est constante et donnée par $g(E) = m_{DOS,2D} / \pi\hbar^2$. En revanche, la densité d'états obtenue en «full band» (à 30 bandes par exemple) n'est plus constante. Elle est beaucoup plus grande que dans l'approximation de la masse effective [RICHAR 04b]. Cela vient de la forte anisotropie de la bande de valence.

des bandes est également perturbée ce qui entraîne une modification des masses effectives, principalement pour la bande de valence.

La Figure II-16 illustre un résultat de calcul de la structure électronique du silicium contraint en tension biaxiale obtenu par la méthode $\vec{k} \cdot \vec{p}$ 30 bandes. On observe par exemple que les vallées Δ_2 dans la direction de croissance des couches [001] sont abaissées par rapport aux vallées Δ_4 dans le plan des couches.

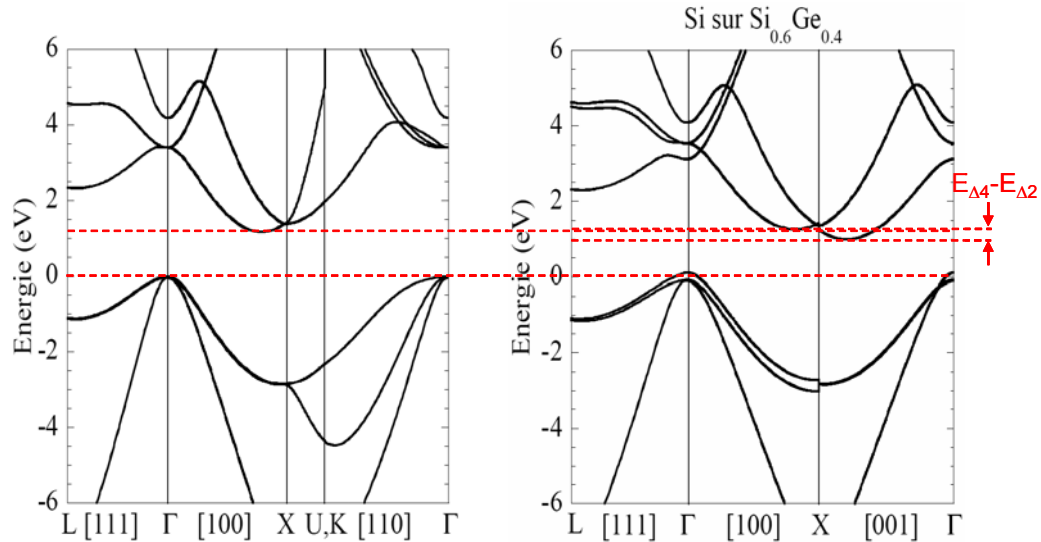


Figure II-16 : Structure électronique du silicium massif (à gauche) comparée à celle du silicium massif contraint en tension biaxiale, d'après [RICHAR 04b].

La Figure II-17 illustre quant à elle la forte anisotropie et dépendance des surfaces d'isoénergies des bandes de valence $E_{V,1}$ et $E_{V,2}$ selon le type de contraintes biaxiales appliquées dans le plan (001).

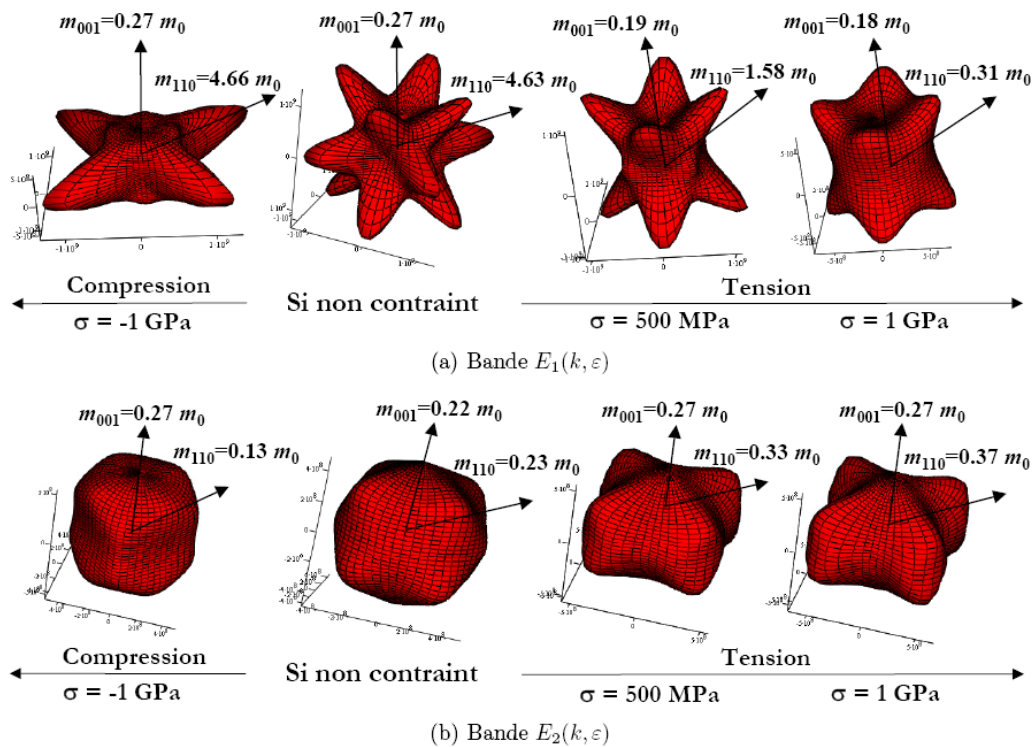


Figure II-17 : Surfaces d'isoénergies à 39 meV des bandes $E_{V,1}$ et $E_{V,2}$ pour des contraintes biaxiales compressives et tensives appliquées dans le plan (001). Pour chaque surface d'isoénergie, les masses effectives de conductivité sont indiquées pour les directions [001] et [110]. Tirée de [GUILLA 05b].

Dans les paragraphes suivants nous allons détailler l'effet d'une contrainte sur la bande de conduction puis sur la bande de valence.

II.B.3.1 Bande de conduction du silicium contraint

Pour décrire quantitativement ces différents effets, Herring et Vogt ont introduit la théorie du potentiel de déformation [HERRIN 56]. Cette théorie permet de relier les décalages énergétiques des bandes des semi-conducteurs multivallées à la déformation du matériau via des paramètres appelés « potentiels de déformation ». L'énergie des différentes vallées de la bande de conduction du silicium s'écrit d'après cette théorie (cf. dénomination des vallées sur les Figures II-9)⁶⁶ :

$$\begin{cases} E_{\Delta 2}(\vec{k}, \varepsilon_{ij}) = E_C + \delta E_{C,\Delta 2} + \frac{\hbar^2}{2m_l}(k_z - k_0)^2 + \frac{\hbar^2}{2m_t}(k_y^2 + k_x^2) + \Xi_m \hbar^2 \varepsilon_{xy} k_x k_y \\ E_{\Delta 41}(\vec{k}, \varepsilon_{ij}) = E_C + \delta E_{C,\Delta 41} + \frac{\hbar^2}{2m_l}(k_x - k_0)^2 + \frac{\hbar^2}{2m_t}(k_y^2 + k_z^2) + \Xi_m \hbar^2 \varepsilon_{yz} k_y k_z \\ E_{\Delta 42}(\vec{k}, \varepsilon_{ij}) = E_C + \delta E_{C,\Delta 42} + \frac{\hbar^2}{2m_l}(k_y - k_0)^2 + \frac{\hbar^2}{2m_t}(k_x^2 + k_z^2) + \Xi_m \hbar^2 \varepsilon_{xz} k_x k_z \end{cases} \quad \begin{array}{l} \text{Équations} \\ \text{II-32} \end{array}$$

avec

$$\begin{cases} \delta E_{C,\Delta 2} = \Xi_d (\varepsilon_{xx} + \varepsilon_{yy} + \varepsilon_{zz}) + \Xi_u \varepsilon_{zz} \\ \delta E_{C,\Delta 41} = \Xi_d (\varepsilon_{xx} + \varepsilon_{yy} + \varepsilon_{zz}) + \Xi_u \varepsilon_{xx} \\ \delta E_{C,\Delta 42} = \Xi_d (\varepsilon_{xx} + \varepsilon_{yy} + \varepsilon_{zz}) + \Xi_u \varepsilon_{yy} \end{cases} \quad \begin{array}{l} \text{Équations} \\ \text{II-33} \end{array}$$

où les coefficients Ξ_d et Ξ_u sont des potentiels de déformation⁶⁷. Ξ_m , noté parfois α est le potentiel de déformation de cisaillement. ε_{ij} sont les composantes du tenseur des déformations exprimées dans le système d'axes cristallographiques principal. On note une large dispersion des valeurs obtenues expérimentalement et utilisées par les auteurs, selon leur mode d'obtention et/ou d'utilisation⁶⁸. En effet il existe différentes façons d'extraire, par exemple, le potentiel de déformation de cisaillement uniaxial Ξ_u . Il peut être obtenu par des mesures sous hautes pressions sur du silicium massif (valeurs comprises entre 8 et 12 eV) ou à partir de mesures de mobilités d'une couche d'inversion de Si à température ambiante (valeurs plus fortes comprises entre 12 et 24 eV). Les valeurs les plus communément admises dans la littérature pour obtenir une bonne correspondance entre la mesure et les simulations du transport sont 9eV pour le silicium massif (3D) et 12eV pour une couche d'inversion (2D). Récemment une étude de Park *et al.* a re-estimé la valeur de Ξ_u de la bande de conduction du silicium [PARK 07] à $\Xi_u = 12 \pm 2$ eV⁶⁹ (contre 10,5 eV pour Fischetti *et al.* [FISCHE 93,96], 9,2 eV pour Jacobini *et al.* [JACOBI 79], 8,6 eV pour Wang [WANG 94]). Le potentiel de déformation de dilatation uniforme Ξ_d vaut quant à lui 1,1eV d'après

⁶⁶ Les vallées de la bande de conduction du silicium seront toujours considérées par paires puisque, même sous l'effet d'une contrainte mécanique quelconque, les vallées orientées selon la même direction cristallographique sont modifiées de la même manière. On considérera ainsi les trois paires Δ_2 , Δ_4_1 et Δ_4_2 .

⁶⁷ Ξ_d est appelé « dilational deformation potential » ou potentiel de déformation de dilatation et Ξ_u « shear deformation potential » ou potentiel de déformation de cisaillement uniaxial. D'une manière plus générale, le décalage de chaque bande d'énergie m peut s'exprimer à l'aide du tenseur des potentiels de déformation selon $\delta E_C^m(\varepsilon_{ij}) = \Xi_{ij}^m \varepsilon_{ij}$. D'après les propriétés de symétrie du silicium, on peut alors montrer que seules trois composantes Ξ_{ij}^m , notées a, b et d, permettent de rendre compte de l'effet piézorésistif. Toutefois l'utilisation des coefficients de Herring et Vogt est plus courante. C'est pourquoi nous les utilisons ici.

⁶⁸ Citons ici les principales études rapportant les valeurs des potentiels de déformation du silicium [FISCHE 93, 96, VdWALL 86,89, KANDA 91b, FRIEDE 89, MERLE 78, LAUDE 71, HENSEL 63, 65, LANDOL 82, KEYES 60, BALSLE 66].

⁶⁹ A partir de l'analyse de l'amplitude des oscillations de Shubnikov-de Haas mesurées à basses températures sur une couche d'inversion d'électrons d'un MOSFET.

[FISCHE 93] mais -5,2 d'après [KANDA 91b]. Ainsi les valeurs exactes des potentiels de déformation sont encore aujourd'hui sujettes à discussion. L'article de Fischetti et Laux de 1996 faisant toujours office de référence pour le calcul de la mobilité des porteurs, ces valeurs numériques des potentiels de déformation ont été utilisées dans ce mémoire et sont rappelées dans le Tableau II-2. Nous verrons au Chapitre V que les paramètres utilisés par Kanda *et al.* permettent de reproduire assez fidèlement le décalage de la tension de seuil avec une contrainte biaxiale en tension alors que ceux de Fischetti ne le permettent pas. Il n'y a donc toujours pas de consensus.

	Ξ_u (eV)	Ξ_d (eV)	a_c (eV)	Ξ_m ou α (1/m ₀)
[FISCHE 96]	10,5	1,1	4,6	86,8±5 [HENSEL 65]
[KANDA 91a]	8,5	-5,2	-2,37	

Tableau II-2 : Valeurs numériques des potentiels de déformation Ξ_d , Ξ_u , Ξ_m et a_c pour les bandes de conduction du silicium. Avec $\Xi_d = a_c - \Xi_u/3$.

$\delta E_{C,i}$ représente le décalage énergétique en bas de bande de la vallée i induit par la contrainte par rapport à sa position dans le silicium non contraint. Une valeur négative signifie que la vallée se rapproche de la bande de valence. Le décalage moyen des vallées de la bande de conduction en $\vec{k} = 0$ est donné par :

$$\frac{1}{3} \sum_i \delta E_{C,i} = \left(\Xi_d + \frac{\Xi_u}{3} \right) Tr(\varepsilon) = a_c \varepsilon^{hydr.} = \delta E_C^{hydr.} \quad \text{Équation II-34}$$

où a_c est appelé potentiel de déformation hydrostatique. Ce paramètre représente en effet l'influence de la partie hydrostatique de la contrainte qui consiste à décaler l'énergie de toutes les vallées d'une même énergie $\delta E_C^{hydr.}$. Les Équations II-33 peuvent alors être écrites sous une forme équivalente où les effets des parties hydrostatique et déviatrice de la déformation sont dissociés. Les décalages de chaque vallée s'écrivent alors :

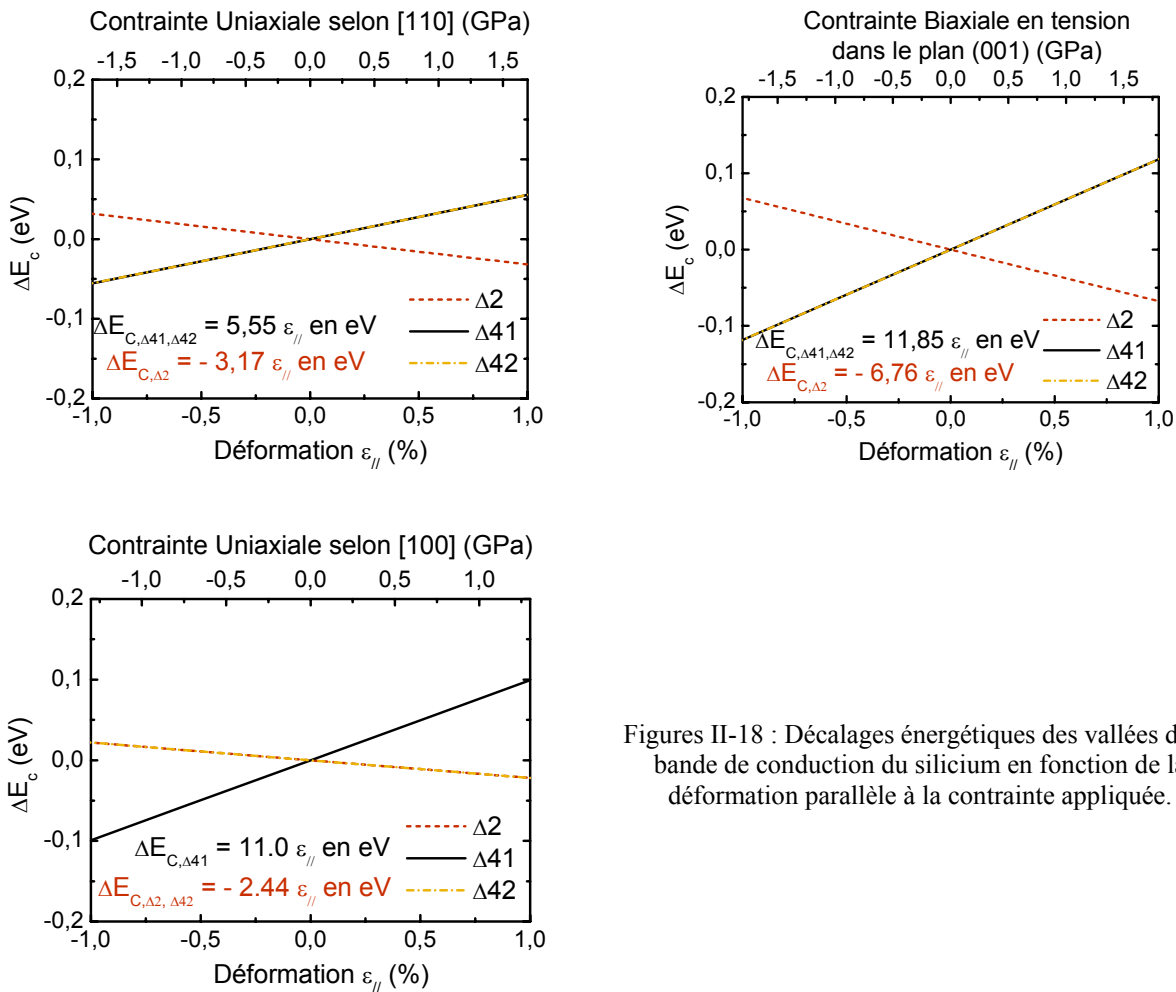
$$\left\{ \begin{array}{l} \delta E_{C,\Delta 2} = \delta E_C^{hydr.} + \delta E'_{C,\Delta 2} \quad \text{avec} \quad \delta E'_{C,\Delta 2} = \frac{\Xi_u}{3} (2\varepsilon_{zz} - \varepsilon_{xx} - \varepsilon_{yy}) \\ \delta E_{C,\Delta 41} = \delta E_C^{hydr.} + \delta E'_{C,\Delta 41} \quad \text{avec} \quad \delta E'_{C,\Delta 41} = \frac{\Xi_u}{3} (2\varepsilon_{xx} - \varepsilon_{zz} - \varepsilon_{yy}) \\ \delta E_{C,\Delta 42} = \delta E_C^{hydr.} + \delta E'_{C,\Delta 42} \quad \text{avec} \quad \delta E'_{C,\Delta 42} = \frac{\Xi_u}{3} (2\varepsilon_{yy} - \varepsilon_{xx} - \varepsilon_{zz}) \end{array} \right. \quad \begin{array}{l} \text{Équations} \\ \text{II-35} \end{array}$$

Le terme $\delta E'_{C,i}$ décale la position du minimum de chaque vallée i par rapport à l'énergie moyenne de la bande de conduction $E_C + \delta E_C^{hydr.}$. La position de chaque vallée par rapport à leur position moyenne ne dépend ainsi que de la composante déviatrice de la déformation. Les Figures II-18 illustrent ces décalages de bandes dans les trois cas usuels de contraintes : biaxiale dans le plan (001), uniaxiale selon [100] et selon [110].

Par exemple, pour du silicium en tension biaxiale homogène selon le plan (001) (*i.e.* $\sigma_{xx} = \sigma_{yy} = \sigma$), le décalage énergétique entre les quatre vallées $\Delta 4$ et les deux vallées $\Delta 2$ est de $\Xi_u (\varepsilon_{\perp} - \varepsilon_{\parallel})$, avec $\varepsilon_{\perp} = \varepsilon_{zz}$ et $\varepsilon_{\parallel} = \varepsilon_{xx} = \varepsilon_{yy}$. En utilisant les lois d'élasticité (§II.B.1.3), on obtient $\delta E_{\Delta 4-\Delta 2} = \Xi_u (S_{11} - S_{12}) \sigma$. Ce décalage des bandes est le même que celui provoqué par une contrainte uniaxiale $-\sigma$ selon [001], d'après l'équivalence entre une contrainte uniaxiale et biaxiale.

$$\left\{ \begin{array}{l} \left[\varepsilon_{ij} \right]_{biax.}^{hydr.} = -2 \left[\varepsilon_{ij} \right]_{uniax.}^{hydr.} = (S_{11} + 2S_{12})\sigma/3 \\ \left[\varepsilon_{ij} \right]_{biax.}^{dev.} = \left[\varepsilon_{ij} \right]_{uniax.}^{dev.} = \begin{bmatrix} (S_{12} - S_{11})\sigma/3 & 0 & 0 \\ 0 & (S_{12} - S_{11})\sigma/3 & 0 \\ 0 & 0 & -2(S_{12} - S_{11})\sigma/3 \end{bmatrix}_0 \end{array} \right. \quad \text{Équation II-36}$$

En revanche une contrainte uniaxiale selon [110] provoquera un décalage $\delta E_{\Delta 2-\Delta 4}$ deux fois plus faible. Il est toutefois intéressant de noter qu'une contrainte uniaxiale selon [110] a le même effet qu'une contrainte biaxiale dans le plan (001), à savoir un abaissement des vallées $\Delta 2$ par rapport aux vallées $\Delta 4$. Enfin une contrainte uniaxiale selon [100] aura pour effet d'abaisser les vallées $\Delta 2$ et $\Delta 4_2$ de la même quantité par rapport aux vallées $\Delta 4_1$ (cf. définition des vallées Δ sur les Figures II-9). Ce « splitting » vaut $\delta E_{\Delta 2, \Delta 4_2 - \Delta 4_1} = \Xi_u (S_{11} - S_{12}) |\sigma|$.



Figures II-18 : Décalages énergétiques des vallées de la bande de conduction du silicium en fonction de la déformation parallèle à la contrainte appliquée.

Afin d'illustrer ces propos, nous avons représenté schématiquement sur la Figure II-19, les décalages énergétiques induits par une contrainte biaxiale en tension dans le plan (001) du silicium⁷⁰.

Les Équations II-32 nous montrent que la forme des vallées est modifiée uniquement par les déformations de cisaillement, ε_{ij} ($i \neq j$), via Ξ_m . Il traduit une modification des masses effectives associées aux vallées de la bande de conduction. Cette modification a été mesurée expérimentalement par résonance cyclotron par Hensel et al. [HENSEL 65]⁷¹. Cet effet ne concerne

⁷⁰ Les effets de ce type de contrainte sur la mobilité des porteurs seront étudiés en détails au chapitre V.

⁷¹ Cf. notre extraction expérimentale au Chapitre III, basée sur la mesure du courant de drain d'un MOSFET.

en réalité que les vallées dont le grand axe (masse effective m_l) est perpendiculaire au plan dans lequel se situe la déformation de cisaillement. Notons que, comme nous aurons l'occasion de le voir, cet effet joue un rôle plus faible dans l'effet piézorésistif du silicium de type N que les effets de repeuplement des porteurs induits par les décalages énergétiques des vallées ($|\pi_{44}| < |\pi_{11}|, |\pi_{12}|$) contrairement au silicium de type P.

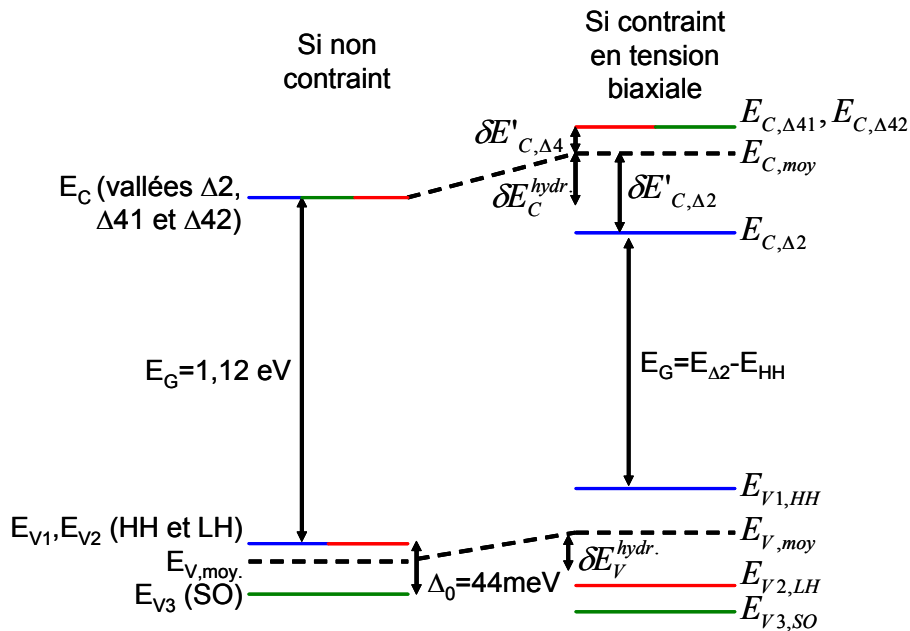


Figure II-19 : Représentation schématique des décalages de bandes en $\vec{k} = 0$ dans le silicium massif (sans confinement) contraint en tension biaxiale dans le plan (001). $\epsilon_{xx} = \epsilon_{yy} > 0$ et $\epsilon_{zz} < 0$.

II.B.3.2 Bande de valence du silicium contraint

L'effet d'une contrainte sur la structure électronique du silicium en bandes de valence est plus complexe qu'en bandes de conduction. Ceci provient des interactions fortes qui existent entre les différentes branches de la bande de valence (dégénérescence en $\vec{k} = 0$). Bir et Pikus ont été les premiers à avoir calculé la structure de bandes de valence d'un semi-conducteur sous déformation [BIR 59].

- Un modèle analytique simple a d'abord été proposé en négligeant le couplage qui peut exister entre les bandes des trous lourds et légers (branches Γ_8) et celle de la « split-off » bande (branche Γ_6) [BIR 74, WANG 94, GUILLA 05a,b].

Les relations de dispersion du silicium non contraint s'écrivent alors:

- Pour les bandes des trous lourds $E_{V,1}$ et légers $E_{V,2}$

$$\begin{cases} E_{V,1}(k) = E_v + \frac{\hbar^2}{2m_0} \left[Ak^2 - \sqrt{B^2 k^4 + C^2 (k_x^2 k_y^2 + k_x^2 k_z^2 + k_y^2 k_z^2)} \right] \\ E_{V,2}(k) = E_v + \frac{\hbar^2}{2m_0} \left[Ak^2 + \sqrt{B^2 k^4 + C^2 (k_x^2 k_y^2 + k_x^2 k_z^2 + k_y^2 k_z^2)} \right] \end{cases} \quad \text{Équations II-37}$$

- Pour la « split-off » bande $E_{V,3}$

$$E_{V,3}(k) = E_v + \frac{\hbar^2}{2m_0} [Ak^2 - \Delta_0] \quad \text{avec } \Delta_0 \text{ le spin-orbital splitting (44 meV)} \quad \text{Équation II-38}$$

Les coefficients A, B et C sont les paramètres de bandes usuels (cf. Tableau II-3).

En calculant uniquement le couplage entre les bandes de trous lourds et de trous légers, Bir et Pikus ont obtenu les expressions suivantes pour la bande de valence du silicium contraint [BIR 74] :

- Pour la « split-off » bande $E_{V,3}$

$$E_{V,3}(k) = E_v + (Ak^2 - \Delta_0 + a_v \varepsilon^{hydr.}) \quad \text{Équation II-39}$$

- Pour les bandes des trous lourds $E_{V,1}$ (signe +) et légers $E_{V,2}$ (signe -)

$$\begin{aligned} E_{V,1}(k) &= E_v + \left(Ak^2 + a_v \varepsilon^{hydr.} + \sqrt{E_k + E_{k\varepsilon} + E_\varepsilon} \right) \\ E_{V,2}(k) &= E_v + \left(Ak^2 + a_v \varepsilon^{hydr.} - \sqrt{E_k + E_{k\varepsilon} + E_\varepsilon} \right) \end{aligned} \quad \begin{array}{l} \text{Équations} \\ \text{II-40} \end{array}$$

où E_v est la position énergétique moyenne des bandes Γ_8 du silicium non contraint et avec

$$E_k = B^2 k^4 + C^2 (k_x^2 k_y^2 + k_x^2 k_z^2 + k_y^2 k_z^2) \quad \text{Équation II-41}$$

$$\begin{aligned} E_{\varepsilon k} &= Bb \left[3(k_x^2 \varepsilon_{xx} + k_y^2 \varepsilon_{yy} + k_z^2 \varepsilon_{zz}) - k^2 \varepsilon^{hydr.} \right] \\ &+ 2d \sqrt{C^2 + 3B^2 (k_x k_y \varepsilon_{xy} + k_x k_z \varepsilon_{xz} + k_y k_z \varepsilon_{yz})} \end{aligned} \quad \text{Équation II-42}$$

$$E_\varepsilon = \frac{b^2}{2} \left[(\varepsilon_{xx} - \varepsilon_{yy})^2 + (\varepsilon_{yy} - \varepsilon_{zz})^2 + (\varepsilon_{zz} - \varepsilon_{xx})^2 \right] + d^2 (\varepsilon_{xy}^2 + \varepsilon_{xz}^2 + \varepsilon_{yz}^2) \quad \text{Équation II-43}$$

a_v , b et d sont les potentiels de déformation pour la bande de valence. Les valeurs numériques des paramètres de bande et des potentiels de déformation usuels sont donnés dans le Tableau II-3.

Paramètres de bande (unités de $\hbar^2/2m_0$) d'après [HENSEL 63]			Potentiels de déformation (eV) d'après [VdWALL 89]		
A	B	C	a_v	b	d
4,27	0,63	-4,93	2,46	-2,35	-5,32

Tableau II-3 : Valeurs des paramètres de bande et des potentiels de déformation de la bande de valence du silicium pour la formulation de Bir et Pikus, d'après [VdWALL 89].

À partir de ces expressions, on peut, de la même manière que pour la bande de conduction, calculer les décalages énergétiques des différentes branches de la bande de valence.

La formulation générale donnée par les équations ci-dessus pour décrire la bande de valence du silicium contraint est souvent utilisée sous deux formes simplifiées : l'approximation de faible énergie et l'approximation de forte énergie. Selon l'intensité de la contrainte et l'énergie des trous (ou la température du cristal), chacune d'elle permet de fournir une description adéquate de la structure de bandes. Ainsi l'approximation de faible énergie permet une description précise de la bande de valence pour les très basses températures et les très forts niveaux de contrainte, où les bandes de trous lourds et de trous légers sont complètement découplées. Lorsque les niveaux de contrainte sont faibles et que la température est élevée, les trous occupent des états éloignés du minimum de bande et la contrainte modifie très peu le couplage entre les deux bandes à de telles énergies ; dans ce cas, l'approximation de forte énergie donnera des résultats très précis. Cependant, chacun des développements ci-dessus est valable uniquement pour deux cas limites ; la description de la bande de valence à température ambiante dans le cas des fortes contraintes rencontrées couramment dans les dispositifs de la microélectronique nécessite l'utilisation de la formulation complète.

- En dépit de ces remarques, il a été montré qu'en négligeant l'interaction avec la bande « split-off », ce modèle ne fournit pas une représentation satisfaisante de la bande de valence sous

contraintes pour une température supérieure ou égale à 300 K [GUILLA 05b]. Or les dispositifs de la microélectronique fonctionnent à haute température. Une description précise de la bande de valence du silicium nécessite la prise en compte d'un nombre plus important de couplages inter- et intra-bandes. Parmi les nombreuses méthodes de calcul de la structure électronique d'un semi-conducteur évoquées au §II.B.2.1, deux méthodes, la méthode $\vec{k}\cdot\vec{p}$ (à 3 bandes [GUILLA 05b] ou mieux à 30 bandes [RICHAR 03a]) et la méthode des pseudopotentiels non locaux [FISCHE 96], fournissent des résultats très proches l'un de l'autre et suffisamment précis sur une large gamme de température de fonctionnement des dispositifs. Ces méthodes présentent cependant l'inconvénient d'être plus coûteuses en temps de calcul. Nous n'entrerons pas plus dans le détail dans le cadre de ce mémoire.

Afin d'illustrer l'effet d'une contrainte mécanique sur la bande de valence, prenons encore une fois le cas simple d'une contrainte biaxiale en tension dans le plan (001). La bande des trous lourds est celle qui monte le plus en énergie. Elle sera donc plus peuplée en trous (cf. Figure II-19 et Figure II-20). L'effet sur le transport est plus complexe à interpréter dans le cas des trous, puisque outre les décalages de bande, les courbures de bandes, et donc leurs masses effectives associées sont fortement modifiées par la contrainte (cf. §II.B.3.3). Dans notre exemple, la masse effective de densité d'états 3D de la bande des trous lourds diminue avec la contrainte alors que celle de la bande des trous légers augmente (cf. Figures II-21). La masse effective associée à la bande HH devient même inférieure à celle de la bande LH du silicium contraint. Ainsi la dénomination « trous lourds » et « trous légers » perd son sens.

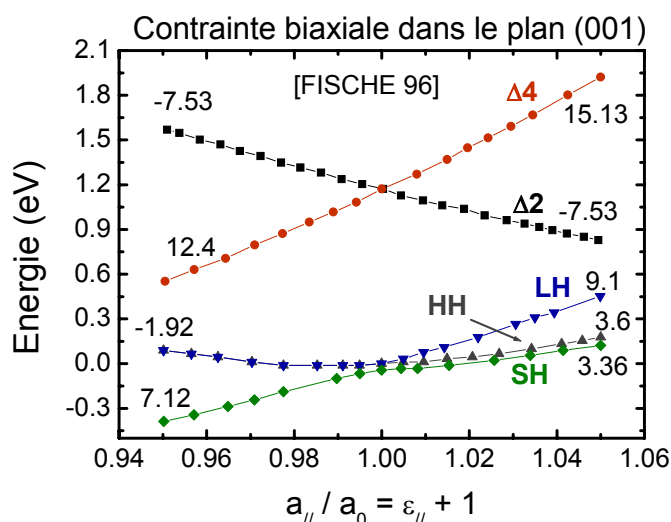


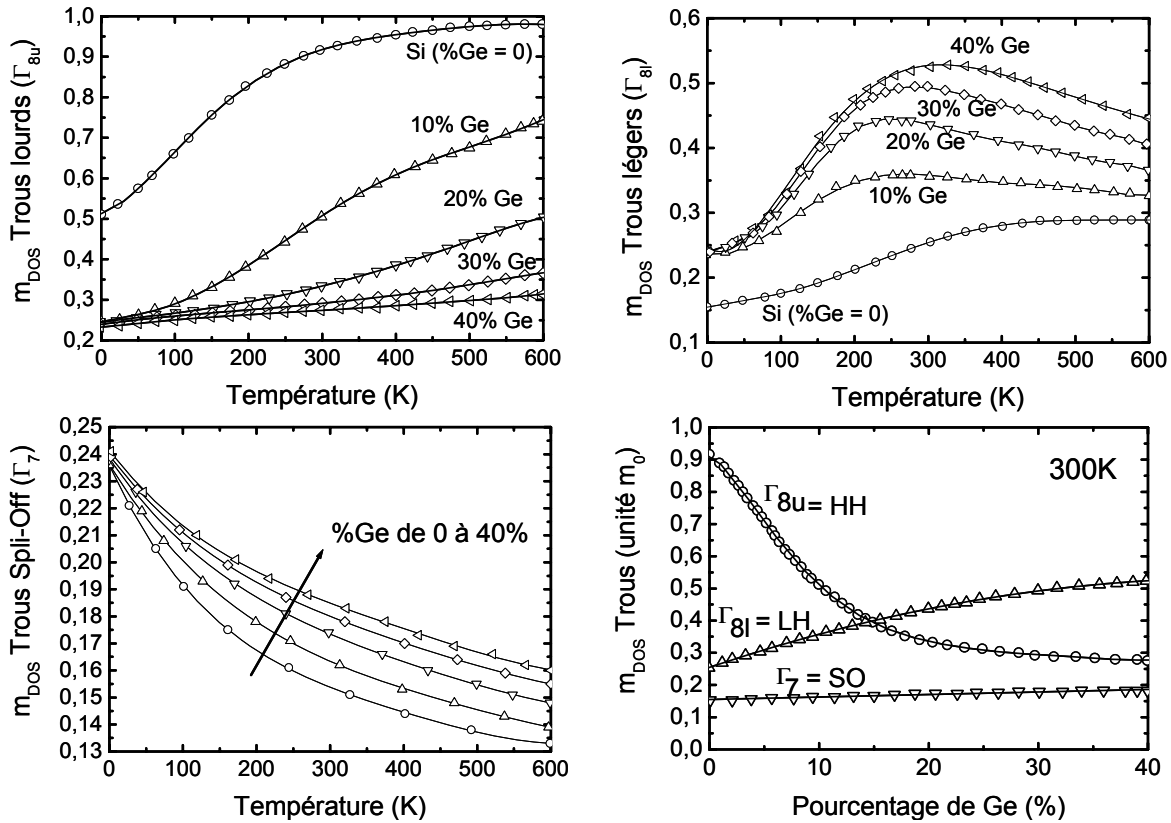
Figure II-20 : Décalages énergétiques des vallées de la bande de valence du silicium en fonction du rapport des paramètres de maille dans le plan (001) (contrainte et déformation biaxiales), d'après [FISCHE 96]. Les chiffres sur chaque courbe donnent la valeur de la pente. Les dénominations des bandes correspondent à celles du silicium non contraint

II.B.3.3 Modification des masses effectives

II.B.3.3.1 Des Trous

Comme on l'a évoqué précédemment, la contrainte mécanique affecte principalement les masses effectives de la bande de valence. Ainsi les masses de conduction et de densités d'états des trous sont fortement dépendantes de la contrainte en plus de la direction cristallographique (cf. Figure II-17). Les Figures II-21 représentent l'évolution des masses effectives de densités d'états 3D de chacune des trois branches de la bande des trous en fonction de la température et du niveau de contrainte en tension biaxiale.

Au-delà de 15% de Ge environ, les dénominations « trous lourds » et « trous légers » perdent leur sens puisque l'on observe un croisement des masses effectives pour les bandes LH et HH.



Figures II-21 : Evolution des masses effectives de densités d'états 3D des trois branches de la bande de valence avec la température et la contrainte en tension biaxiale dans le plan (001). Adapté de [RICHAR 03b]. La contrainte est ici représentée par le pourcentage de germanium utilisé pour mettre la couche de silicium en tension (Cf. correspondances %Ge/déformation ou contrainte au §II.C.1).

II.B.3.3.2 Des électrons

Selon les auteurs, différentes évolutions des masses effectives des électrons ont été rapportées. Alors que certains les considèrent indépendantes de la contrainte, d'autres ont calculé leur dépendance avec la contrainte [RICHAR 03b, UCHIDA 05]. Des écarts existent et dépendent de la méthode de calcul choisie. La méthode $\vec{k} \cdot \vec{p}$ à 30 bandes est une méthode très précise, c'est pourquoi nous préférons ces résultats aux autres (lorsqu'ils sont disponibles).

- **Contrainte biaxiale** : les Figures II-23 montrent ainsi l'évolution des masses effectives m_l et m_t des électrons avec une contrainte en tension biaxiale dans le plan (001).

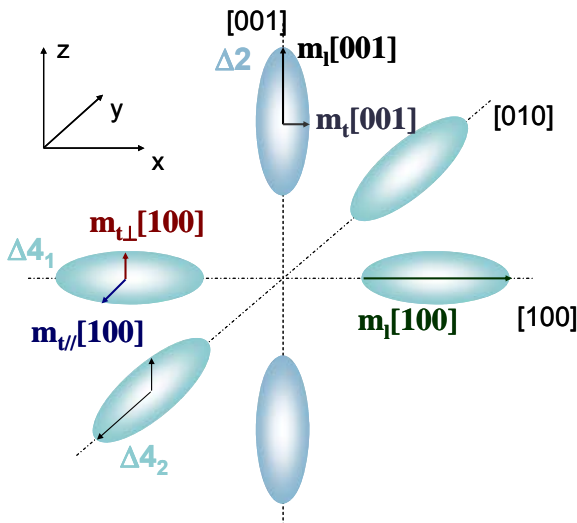
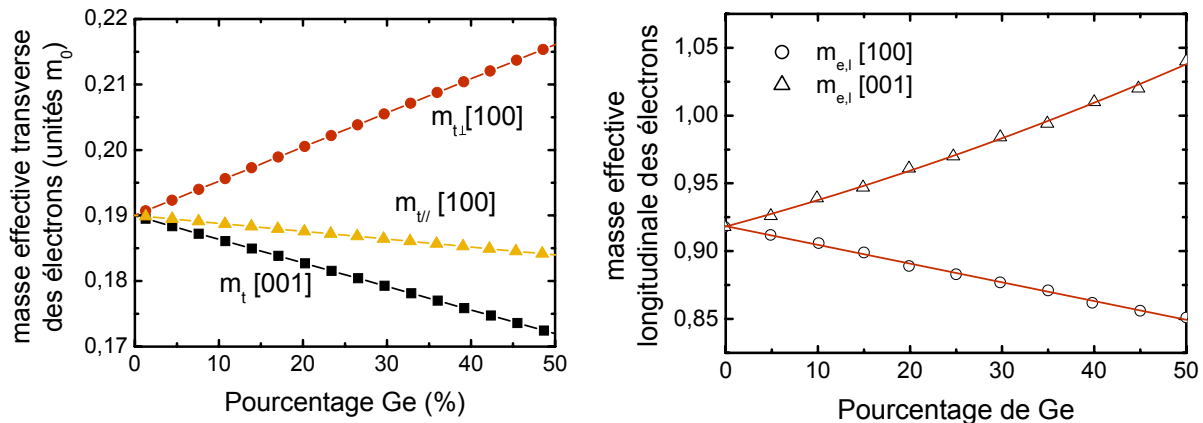


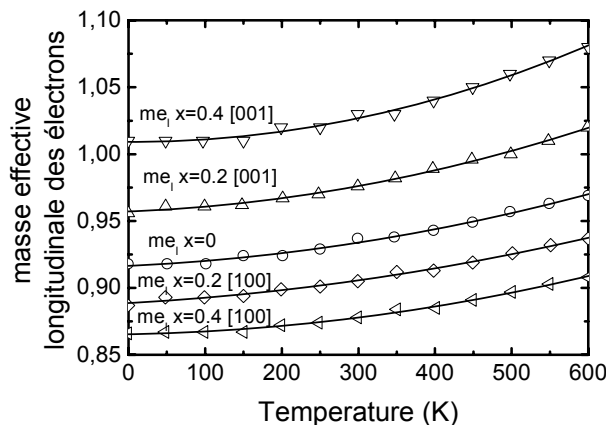
Figure II-22 : Surfaces d'iso-énergie des vallées Δ de la bande de conduction du silicium avec les masses effectives associées (modifiées par une contrainte biaxiale dans le plan xy).

Ainsi la masse transverse des vallées Δ_4 selon la direction normale au plan augmente de 5% pour une contrainte de 1,36 GPa (20%Ge) alors que la masse transverse des vallées Δ_2 diminue d'environ 3,5%. La masse longitudinale des vallées Δ_2 augmente avec la contrainte alors que celle des vallées Δ_4 diminue.



Figures II-23 : Evolution des masses effectives longitudinales et transverses des électrons avec une contrainte en tension biaxiale (Cf. correspondances %Ge/déformation ou contrainte au §II.C.1). // signifie dans le plan et \perp normal au plan (001). [100] correspond aux vallées Δ_4 , [001] aux vallées Δ_2 . Par ex. $m_{t\perp}[100]$ correspond à la masse effective transverse des vallées Δ_4 selon la direction [100] (cf. Figure II-22). Adapté de [RICHAR 03b].

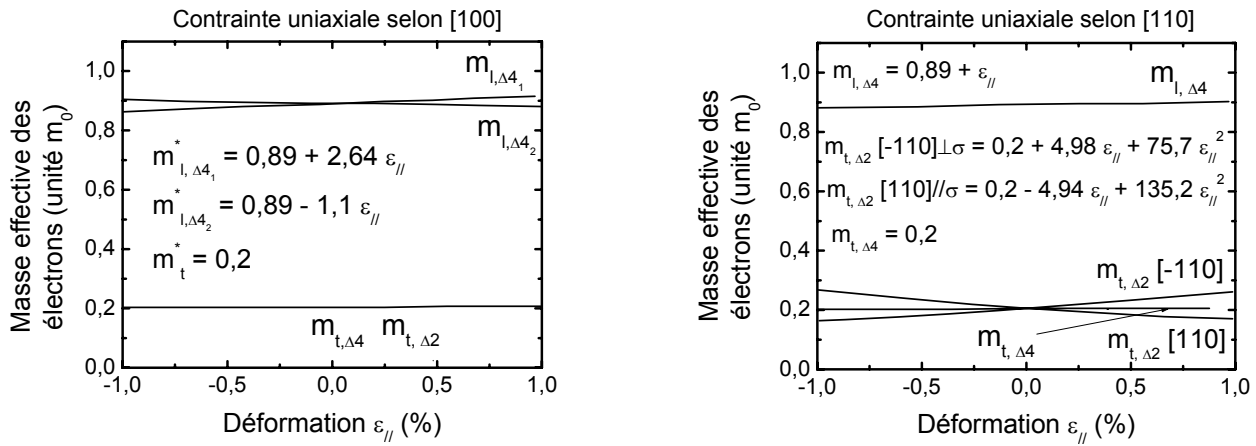
Alors que la masse transverse des vallées Δ_2 et Δ_4 est indépendante de la température, leurs masses longitudinales augmentent légèrement avec la température (Figures II-24).



Figures II-24 : Evolution des masses effectives longitudinales des électrons avec la température pour différentes valeurs de tension biaxiale (proportions en Ge), d'après [RICHAR 03b] (Cf. correspondances %Ge/déformation ou contrainte au §II.C.1). [100] correspond donc aux vallées Δ_4 alors que [001] correspond aux vallées Δ_2

- **Contrainte uniaxiale** : Uchida *et al.* ont calculé, par la méthode des pseudopotentiels empiriques non locaux, les variations de masses effectives des électrons sous l'effet d'une contrainte uniaxiale selon [100] et [110] [UCHIDA 05] (cf. Figures II-25). Il en résulte que les variations de masse effective peuvent être considérées comme négligeables pour une contrainte uniaxiale appliquée selon [100], alors que pour une contrainte selon [110], les masses transverses des vallées Δ_2 sont modifiées.

En particulier une contrainte uniaxiale en tension selon [110] aura tendance à diminuer la masse effective des vallées Δ_2 suivant cette même direction et à augmenter la masse des Δ_2 dans la direction transverse. Nous reviendrons en détails sur ce point avec une mise en évidence expérimentale de ce phénomène dans le Chapitre III (§III.B.4).



Figures II-25 : Evolution des masses effectives des électrons avec la déformation parallèle à la contrainte appliquée, selon [100] (à gauche) et selon [110] (à droite). Adapté de [UCHIDA 05].

II.B.3.4 Cas des couches confinées

Les effets induits par les contraintes mécaniques sur les positions énergétiques des bandes se superposent à ceux du confinement quantique. Pour étudier la piézorésistivité d'une couche d'inversion, il est par conséquent nécessaire de modéliser correctement ces deux effets.

Pour les électrons, la contrainte a pour effet, au premier ordre, de décaler uniquement le minimum d'énergie de chacune des vallées de la bande de conduction, que ce soit en Γ , en Δ ou en L. Le confinement transforme cette bande en sous-bandes parallèles. Au premier ordre, ces deux effets peuvent être découplés. On peut donc appliquer la théorie des potentiels de déformation de Herring et Vogt après avoir déterminé, par la résolution auto-cohérente des équations de Poisson-Schrödinger, les positions énergétiques des sous-bandes des six vallées de la bande de conduction [WELSER 94]⁷². Pour vérifier cette hypothèse, nous avons intégré dans notre simulateur Poisson-Schrödinger unidimensionnel⁷³ les effets d'une contrainte mécanique quelconque (décalages de bandes et modification des masses effectives). La Figure II-26 illustre la légère différence du profil du potentiel induit par la modification de la structure de bandes du silicium contraint. Nous avons alors comparé les positions énergétiques des sous-bandes, calculées en résolvant les équations de Poisson-Schrödinger après avoir pris en compte l'effet d'une contrainte mécanique à celles obtenues en appliquant la théorie des potentiels de déformation de Herring et Vogt après avoir résolu les équations de Poisson-Schrödinger du silicium non contraint.

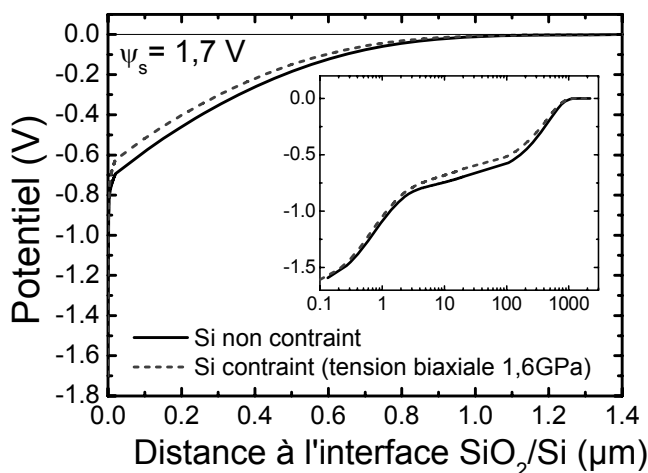


Figure II-26 : Evolution du potentiel avec la distance à l'interface diélectrique de grille / silicium du canal dans le cas du silicium non contraint et contraint en tension biaxiale à 1,6 GPa pour un potentiel de surface fixé à 1,7V. L'insert représente la même courbe en échelle semi-logarithmique. Le matériau du silicium contraint étant différent de celui non contraint, le profil du potentiel est légèrement modifié. Les niveaux confinés le seront eux aussi (cf. Figures II-27).

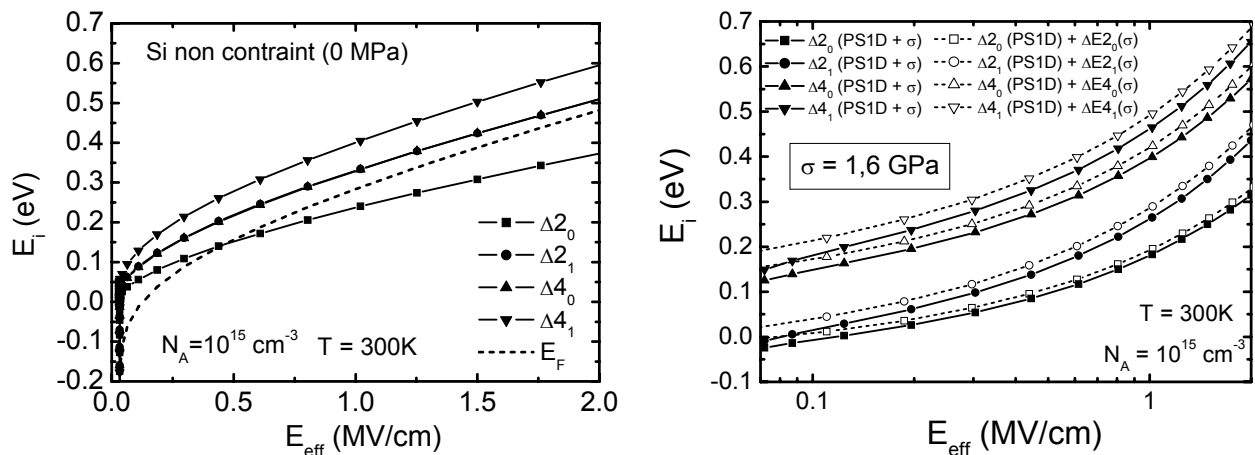
⁷² On pourrait en effet s'attendre à la non validité de cette hypothèse puisque la contrainte modifie la structure de bande et les masses effectives du matériau. Or les effets du confinement quantique sont directement liés à ces propriétés. Ce résultat restera valable tant que les masses effectives varient peu avec la contrainte.

⁷³ appelé par la suite simulateur PS1D (cf. [LEROUX 04]).

D'après les résultats montrés sur les Figures II-27, on peut considérer que, pour les premiers niveaux la bande de conduction :

$$E_i(PS1D + \Delta E_{\text{contrainte}}) \cong E_i(PS1D) + \Delta E_{\text{contrainte}} \quad \text{Équation II-44}$$

Ceci est d'autant plus vrai pour les premiers niveaux discrétisés et que la contrainte est faible. Ce résultat est intéressant puisqu'il permet de gagner en temps de calcul lorsque l'on s'intéresse à l'effet de la contrainte sur les populations de porteurs dans chacune des sous-bandes. On s'affranchit ainsi de résoudre pour chaque type de contrainte les équations des Poisson-Schrödinger dont le résultat dans le cas non contraint est déjà connu. En revanche notre simulateur, qui prend en compte l'effet des contraintes dès la résolution des équations de Poisson-Schrödinger, est utile pour les fortes contraintes ou lorsque l'on souhaite étudier l'effet d'une contrainte sur la capacité MOS⁷⁴. En effet on obtient alors directement la relation charge-potential de surface $Q(\psi)$ du Si contraint.



Figures II-27 : Positions énergétiques des premières sous-bandes de la bande de conduction en fonction du champ effectif (cf. définition Équation II-53 p. 84) du silicium non contraint (à gauche) et du silicium contraint en tension biaxiale à 1,6GPa selon deux méthodes de calcul (à droite). Ici le terme $\Delta 4$ englobe les $\Delta 4_1$ et $\Delta 4_2$ puisqu'elles restent équivalentes sous l'action d'une contrainte biaxiale dans le plan (001). L'indice « 0 » correspond au premier niveau quantifié pour la vallée considérée et « 1 » au deuxième niveau quantifié.

Pour la bande de valence, la situation est plus complexe. La contrainte lève la dégénérescence entre les bandes HH et LH. Les sous-bandes sont fortement couplées et il n'est pas aisé de deviner leur allure après déformation du matériau (cf. cas d'un puits SiGe contraint sur la Figure II-28). Le confinement crée des sous-bandes LH_i et HH_i . La contrainte modifie l'ordre des sous-bandes par rapport au cas sans contrainte. La structure électronique est profondément accidentée à cause du couplage fort entre les sous-bandes HH et LH [RICHAR 04b]. Les anticroisements entre les différents types de sous-bandes rendent leur allure difficilement prédictible.

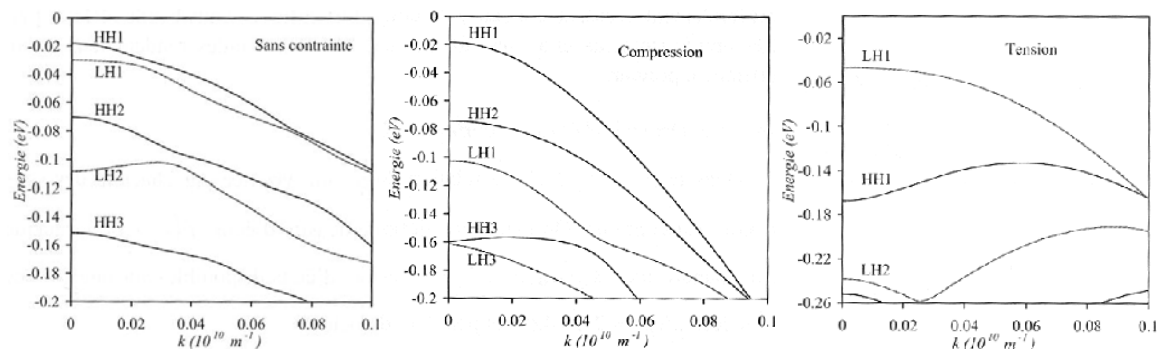


Figure II-28 : Relation de dispersion des sous-bandes d'un puits de 8 nm $Si_{0,5}Ge_{0,5}$ non contraint, contraint en compression biaxiale, et en tension biaxiale, d'après [RICHAR 06].

⁷⁴ Les décalages énergétiques ainsi que les modifications des masses effectives (modélisés sous forme de polynômes) ont été intégrés avant la résolution des équations couplées de Poisson et Schrödinger.

Ainsi il convient de recalculer la structure de bandes complète du matériau sous contrainte pour obtenir une bonne description du transport dans la bande de valence. Le principe de superposition, applicable sous certaines conditions pour la bande de conduction, ne s'applique donc plus pour la bande de valence du silicium en raison du fort couplage qui existe entre les différentes branches de la bande de valence.

Repeuplement de la bande de conduction induit par une contrainte biaxiale en tension :

La Figure II-29 représente le peuplement des différentes sous-bandes des vallées Δ_2 et Δ_4 pour une couche d'inversion de silicium non contraint et contraint en tension biaxiale dans le plan (001), illustrant ainsi le peuplement préférentiel des vallées Δ_2 .

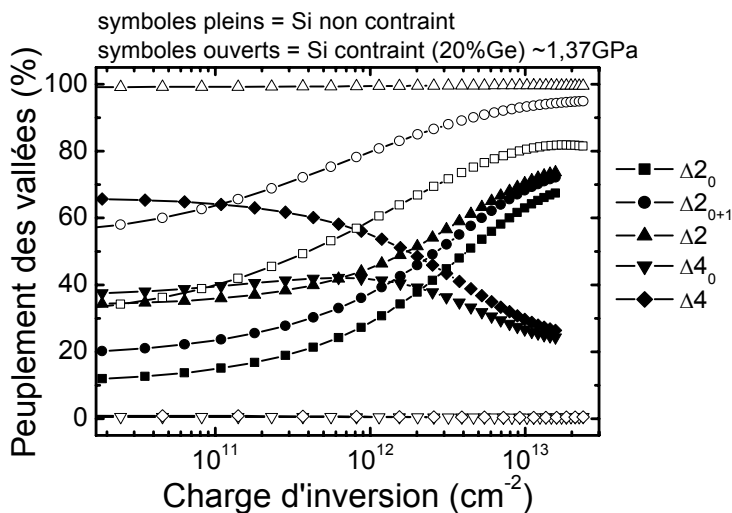


Figure II-29 : Répartition des porteurs dans les sous-bandes des vallées Δ_2 et Δ_4 en fonction de la charge d'inversion N_{inv} à $T = 300$ K pour du silicium contraint et non contraint ($N_A = 10^{15} \text{ cm}^{-3}$). Tous les porteurs sont dans les vallées Δ_2 à 300K pour le silicium contraint (20%Ge).

II.B.3.5 Impact sur les caractéristiques $C(V)$ d'une structure MOS

Dans cette partie, on se propose d'évaluer l'impact d'une contrainte mécanique sur la capacité MOS. Les données expérimentales sont comparées aux calculs théoriques.

La Figure II-30 représente les capacités grille-canal de transistors FDSOI réalisés avec un empilement de grille standard $\text{SiO}_2/\text{poly-Si}$ pour différents niveaux de contrainte biaxiale en tension. Le dopage du film de silicium est ici le même pour les NMOS et les PMOS, de type P, et vaut environ 10^{15} cm^{-3} . Ainsi on obtient la courbe de type accumulation pour les PMOS⁷⁵ et la courbe en inversion pour les NMOS. Les effets sur l'EOT seront abordés au chapitre V (cf. §V.A.3.1.1). On observe clairement une réduction de la tension de seuil avec la contrainte mécanique pour le NMOS (cf. modélisation analytique au §V.A.2). Pour les PMOS, la situation est différente. On observe un décalage infime, vers les plus fortes tensions (en valeurs absolues), constant dès lors que le silicium est contraint. Etant donnée la réalisation en deux temps de la grille des PMOS (cf. note de bas de page n°75), aucune conclusion sur cette observation ne sera effectuée.

Nous avons reconstruit, à partir de nos simulations Poisson-Schrödinger incluant les effets de la contrainte mécanique (décalages énergétiques, modifications des masses effectives), les caractéristiques $C(V)$ de nos architectures.

⁷⁵ Sur ce lot, la grille des transistors PMOS a subi l'implantation de type N^{++} lors de la réalisation des S/D des NMOS puis l'implantation de type P^{++} lors de la réalisation de leurs S/D. Le dopage résultant est donc complexe. Au niveau de l'interface le dopage est probablement de type N^{++} .

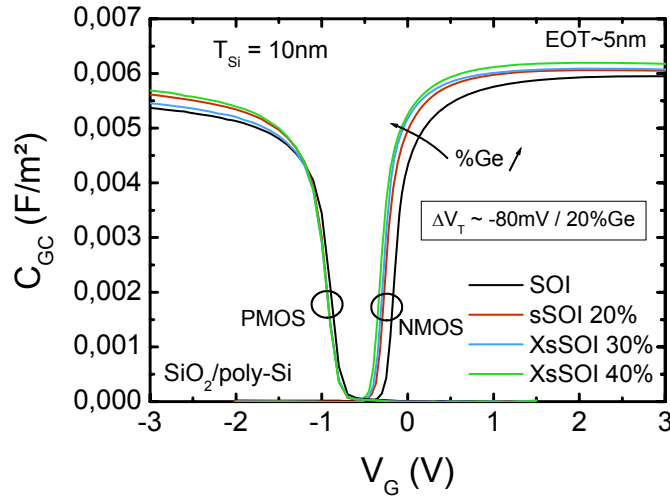


Figure II-30 : Capacité grille-canal en fonction de la tension de grille pour différents niveaux de contrainte (exprimés ici en concentration de Ge de la couche tampon ayant servi à l'épitaxie du silicium contraint, cf. §II.C.1 pour les relations contrainte/déformation/%Ge). Mesures moyennes effectuées sur 20 puces, à haute fréquence.

Notamment le niveau de Fermi dans le cas du silicium contraint, noté ϕ_F et référencé par rapport au sommet de la bande de valence du silicium non contraint ($q\phi_F = E_{v_\infty} - E_F$), est calculé d'une façon générale pour satisfaire l'équation :

$$N_{DOP} = \sum_{v \in BV} N_v F_{1/2} \left(\frac{q\phi_F + \Delta E_v}{k_B T} \right) - \sum_{v \in BC} N_v F_{1/2} \left(-\frac{E_G + q\phi_F + \Delta E_v}{k_B T} \right) \quad \text{Équation II-45}$$

où N_{DOP} est le dopage du matériau et ΔE_v sont les décalages énergétiques des vallées des bandes considérées (Δ_2 , Δ_4 et HH et LH). $F_{1/2}$ est l'intégrale de Fermi, définie selon :

$$F_{1/2}(\eta) = \frac{2}{\sqrt{\pi}} \int_0^\infty \frac{\sqrt{x}}{1 + \exp(x - \eta)} dx \quad \text{Équation II-46}$$

N_v sont les densités équivalentes d'états propres à chaque vallée et définies selon :

$$N_v = 2 \left(\frac{2\pi m_{DOS,3D,v} k_B T}{h^2} \right)^{3/2} \quad \text{Équation II-47}$$

où $m_{DOS,3D,v}$ sont les masses effectives de densités d'états du silicium massif propres à chaque vallée v . Les masses effectives d'états du silicium contraint correspondent à celles du matériau massif en considérant des bandes isotropes⁷⁶.

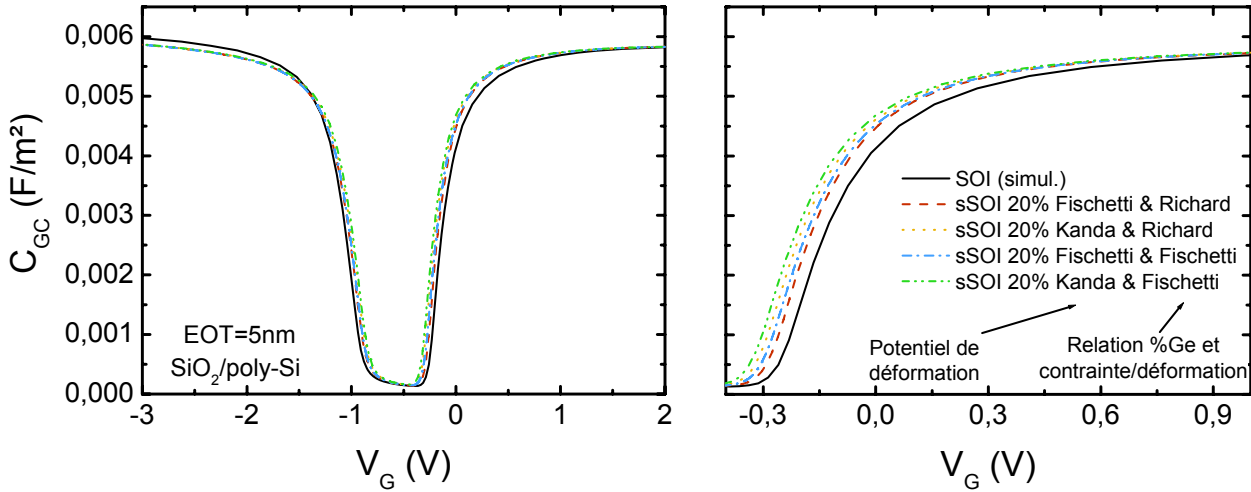
La différence de tension de bandes plates s'écrit :

$$\Delta V_{FB} = V_{FB, \text{contraint}} - V_{FB, \text{non contraint}} = \Delta\phi_S = -\Delta\phi_F \quad \text{avec } q\phi_{F,i} = E_{v_\infty} - E_{F,i} \quad \text{Équation II-48}$$

Les résultats de simulation sont donnés sur les Figures II-31. Les relations donnant le pourcentage de Ge correspondant à la contrainte dans le plan (001) diffèrent légèrement selon les auteurs (cf. §II.C.1). Ceci entraîne donc une erreur s'additionnant à celle portant sur le choix des potentiels de déformations relatifs aux décalages énergétiques avec la contrainte. La position des caractéristiques $C(V)$ selon l'axe des abscisses dépend fortement des paramètres choisis. Ceux se

⁷⁶ Pour les électrons, les valeurs pour une couche confinée sont identiques. Pour les trous, comme on l'a vu au §II.B.3.4, il est nécessaire de calculer la structure de bande pour chaque cas de confinement, les positions énergétiques des bandes ainsi que les masses effectives dépendant de la forme de puits pour la bande de valence. Les données de masses effectives des trous du silicium contraint et confiné à deux dimensions sont difficilement trouvables dans la littérature, encore à l'heure actuelle, c'est pourquoi on se contentera ici de traiter la structure de bande de valence du silicium contraint et confiné comme celle du silicium contraint massif.

rapprochant le plus de l'expérience sont ceux de Kanda pour le décalage de la tension de seuil (Figure II-32). Nous aurons l'occasion de revenir plus en détails sur ce point au cours du §V.A.2.



Figures II-31 : Caractéristiques C(V) simulées en fonction de la tension de grille pour différents niveaux de contrainte et selon les paramètres de potentiels de déformation de Fischetti [FISCHE 96] ou Kanda [KANDA 91a]. La contrainte est convertie ici en concentration de Ge de la couche tampon ayant servie à l'épitaxie du silicium contraint (cf. §II.C.1 pour les relations contrainte/déformation/%Ge de Richard [RICHAR 03a] ou Fischetti [FISCHE 96]).

L'effet de la contrainte sur la réduction de la bande interdite du silicium est clairement visible (diminution de la tension de seuil, $-80\text{mV}/20\%\text{Ge}$, et légère augmentation de la tension de bande plate $\Delta\phi_F < 0$). Aucun effet n'est attendu sur la valeur de la capacité en inversion. Celui mesuré est donc lié à la technologie (cf. discussion au §V.A.3.1.1).

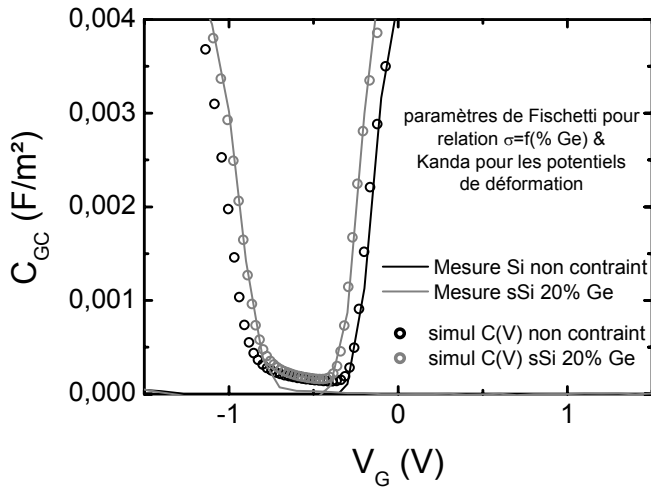


Figure II-32 : Comparaison des caractéristiques C(V) simulées et expérimentales. Un très bon accord est obtenu avec les paramètres de Kanda pour les potentiels de déformation et ceux de Fischetti pour la relation %Ge/contrainte&déformation.

Retenons ici que ces problèmes de choix de paramètres rendent difficiles l'extraction du niveau de contrainte à partir de la mesure de la caractéristique C(V).

II.B.4 Les propriétés du transport électronique – Mobilité effective

II.B.4.1 Les mécanismes limitant la mobilité d'une couche d'inversion (cas des MOSFETs longs)

Au cours de ce mémoire, le principal paramètre de transport étudié est la mobilité des porteurs. On se propose dans cette partie de décrire brièvement les phénomènes physiques responsables de la limitation de la mobilité des porteurs, après avoir rappelé leur définition.

La mobilité est le paramètre de transport principal dans un MOSFET long (cf. les expressions du courant de drain des Équation I-10 et Équation I-11).

II.B.4.1.1 Notions sur la mobilité effective des porteurs dans une couche d'inversion

La mobilité des porteurs décrit leur faculté à se déplacer dans un matériau sous l'action d'un champ électrique. Elle relie la vitesse des porteurs au champ électrique :

$$\vec{v} = \mu \vec{E} \quad \text{Équation II-49}$$

Plus elle est grande plus le courant est fort pour un champ électrique donné ($\vec{j} = nq\mu\vec{E}$). Elle s'exprime en fonction de la masse effective de conduction des porteurs dans une direction donnée et du temps de relaxation moyen τ entre deux interactions :

$$\mu = \frac{q \langle \tau \rangle}{m_c} \quad \text{Équation II-50}$$

Sa valeur finie vient du fait que les porteurs ne se déplacent pas librement dans un cristal et subissent des collisions⁷⁷ (ou interactions, « *scattering* » en anglais). Dans le cas d'une couche d'inversion, on distingue plusieurs types d'interactions. Les plus connues sont les collisions avec le réseau cristallin (ou interactions avec les phonons du réseau), les collisions coulombiennes (interactions avec les dopants ionisés, les défauts chargés et les charges d'interface), les collisions avec l'interface rugueuse canal-diélectrique de grille dans un MOSFET (appelées interactions avec la rugosité de surface), les collisions avec des défauts neutres (interactions avec des défauts d'empilement cristallin, des dislocations, des régions dites « amorphisées »⁷⁸). Si le matériau est un alliage, des mécanismes de diffusion supplémentaires sont possibles (potentiel d'alliage). Enfin, pour des porteurs très énergétiques, d'autres mécanismes interviennent, comme l'ionisation par choc (ou par impact).

Le temps de relaxation moyen τ tient compte de toutes les interactions que peuvent subir les porteurs du canal lors du transport. Si l'on fait l'hypothèse que tous les mécanismes sont indépendants entre eux, selon la règle de Matthiessen⁷⁹, on peut écrire que le taux de relaxation moyen $f=1/\tau$ est la somme de toutes les fréquences $f_s=1/\tau_s$ propres à chaque mécanisme « s » :

$$1/\tau = \sum_s 1/\tau_s \quad \text{Équation II-51}$$

La mobilité totale s'écrit alors :

$$\mu = \frac{q}{n} \sum_v \frac{1}{m_v^*} \sum_{i \in v} n_i \left(\sum_s \frac{1}{\tau_{i \in v, s}} \right)^{-1} = \left(\sum_s \mu_s^{-1} \right)^{-1} \quad \text{Équation II-52}$$

avec n le nombre total de porteurs en inversion. Ainsi la mobilité est gouvernée par le mécanisme présentant le temps de relaxation le plus court.

Dans un MOSFET, chacune de ces interactions présente des dépendances différentes avec la température ou encore avec le champ électrique transverse effectif, noté E_{eff} . Les articles de Takagi *et al.* rapportent la synthèse de ces dépendances, déterminées expérimentalement, pour le silicium et quelle que soit son orientation [TAKAGI 94a,b].

⁷⁷ selon la représentation particulière. Selon la représentation ondulatoire, c'est la propagation de l'onde électronique associée à un électron qui est ralentie suite aux modifications du vecteur d'onde.

⁷⁸ Cette amorphisation du réseau peut être induite par exemple lors de l'implantation ionique des dopants, en particulier dans le canal et au niveau des jonctions source-canal et drain-canal d'un MOSFET. Ces défauts peuvent être guéris après un recuit approprié.

⁷⁹ Récemment la validité de cette règle a été remise en cause par Fischetti *et al.* [FISCHE 02]. En particulier, lorsque le peuplement des porteurs se fait sur plusieurs sous-bandes (par exemple à température ambiante), cette hypothèse devient fautive.

La valeur du champ effectif E_{eff} dépend directement du dopage du canal et de la charge d'inversion selon (pour un MOSFET en technologie sur silicium massif)

$$E_{eff} = (Q_{DEP} + \eta Q_{INV}) / \epsilon_{Si} \quad \text{Équation II-53}$$

où η est un facteur qui traduit la répartition des porteurs dans l'épaisseur de la couche d'inversion ($\eta = 1$ correspondrait au champ électrique à l'interface Si/SiO₂).

Dans le cas d'un empilement standard poly-Si/SiO₂ épais, on peut montrer que la mobilité à champ moyen et fort est indépendante du dopage (Figure II-35). On parle alors de mobilité universelle, notion introduite pour la première fois par Takagi *et al.* [TAKAGI 94a]. η est généralement pris égal à 1/2 pour les électrons et 1/3 pour les trous dans le cas d'une surface de silicium orientée (001)⁸⁰. En technologie FDSOI, l'expression du champ effectif dépend de la localisation des porteurs (à l'interface avant ou arrière du film mince) et de la polarisation de la grille opposée selon [MAZHAR 93, OHATA 06]⁸¹ :

$$E_{eff,1,2} = \frac{q}{\epsilon_{Si}} \left[\eta N_{INV} + \frac{T_{Si} N_A}{2} \left(1 + \frac{C_{Si}}{C_{Si} + C_{OX,2,1}} \right) \right] + \frac{C_{Si} C_{OX,2,1}}{C_{Si} + C_{OX,2,1}} \cdot \frac{|2\phi_f - V_{G,2,1} + V_{FB,2,1}|}{\epsilon_{Si}} \quad \text{Équation II-54}$$

où $E_{eff,1}$ représente le champ effectif du canal à l'interface Si/grille avant et $E_{eff,2}$ le champ effectif du canal à l'interface Si/BOX. Ainsi pour un MOSFET FDSOI le champ effectif est légèrement augmenté pour une charge d'inversion donnée. Cela vient du fait que, à l'interface film mince/oxyde enterré, la concentration de porteurs s'annule. Ceci dit, dans le cas des dispositifs étudiés dans ce mémoire, le champ effectif du canal avant pour une polarisation du substrat nulle peut-être calculé par l'Équation II-53 (erreur inférieure à 0,02 MV/cm). En revanche pour le calcul du champ effectif de l'interface arrière ou dans le cas où la polarisation de la grille opposée est non nulle, il convient d'utiliser l'Équation II-54.

	<u>Electrons</u>	<u>Trous</u>
Chen [CHEN 96,a,b]	$\frac{630}{1 + \left(\frac{E_{eff}}{0,75}\right)^{1,67}} \text{ ou } \frac{540}{1 + \left(\frac{E_{eff}}{0,9}\right)^{1,85}}$	$\frac{185}{1 + \frac{E_{eff}}{0,45}}$
Remashan [REMASH 02]	$\frac{600}{1 + \left(\frac{E_{eff}}{0,9}\right)^2}$	$\frac{192}{1 + \left(\frac{E_{eff}}{0,45}\right)^{1,15}}$
Takagi [TAKAGI 94a]	$\mu_{SR} = 4,5 \times 10^{2,2} \times E_{eff}^{-2,6} \text{ (ou } -2)$ $\mu_{ph} = 2 \times 10^{6,6} \times E_{eff}^{-0,3} \times T^{-1,75}$ $\mu_{univ} = \left(\mu_{SR}^{-1} + \mu_{ph}^{-1}\right)^{-1}$	$\mu_{ph} = 6,1 \times 10^{5,6} \times E_{eff}^{-0,3} \times T^{-1,75}$ Pas d'expression simple en puissance de E_{eff} pour μ_{SR}

Tableau II-4 : Expressions des mobilités universelles selon les auteurs. Avec μ_{univ} en cm²/V/s et E_{eff} en MV/cm.

⁸⁰ Ce paramètre η est calculable, et mesurable, par exemple par polarisation du substrat. En FDSOI, η dépend de la polarisation de la face arrière et de l'épaisseur de l'oxyde enterré, cf. [SHERON 94].

⁸¹ Expression obtenue en faisant l'hypothèse qu'en inversion le potentiel de surface est fixé et vaut $2\phi_f$ (à l'interface avant ou arrière selon les cas).

La mobilité universelle représente la mobilité limitée par les seules interactions avec les phonons et la rugosité de surface lorsque le canal est en silicium et l'empilement de grille constitué de l'oxyde de silicium et de polysilicium. Plusieurs expressions ont été établies dans la littérature pour les électrons et les trous. Leurs dépendances avec E_{eff} sont présentées dans le Tableau II-4 pour $T=300\text{K}$. Sur la Figure II-33 est représentée la mobilité universelle des électrons établie par Takagi en fonction du champ effectif et pour différentes températures.

La Figure II-34 rappelle les dépendances en champ et en température des trois mécanismes principaux impliqués habituellement dans la limitation de la mobilité des porteurs d'une couche d'inversion.

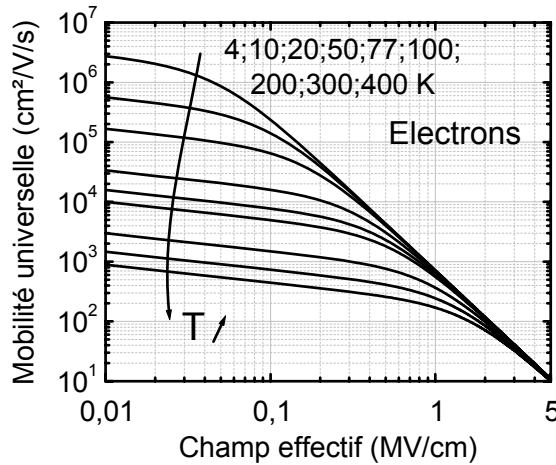


Figure II-33 : Mobilité universelle établie par Takagi pour les électrons en fonction du champ effectif et pour différentes températures

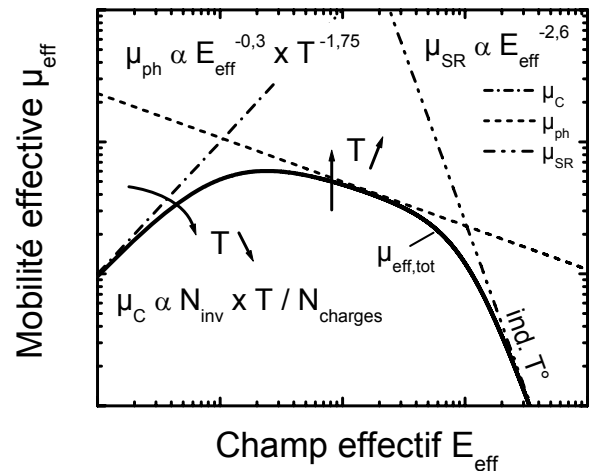


Figure II-34 : Dépendances empiriques en champ effectif et en température de la mobilité des électrons associée à chacun des trois mécanismes principaux de limitation de la mobilité. La mobilité résultante est obtenue en appliquant la règle de Matthiessen.

À faible charge d'inversion (et donc à faible champ en général, selon la valeur du dopage du canal), la mobilité est principalement limitée par les interactions coulombiennes. Lorsque le champ augmente, la mobilité augmente et devient indépendante du niveau de dopage du canal ; elle suit alors, dans le cas d'un empilement de grille Si/SiO₂, la courbe de mobilité universelle. Dans cette région, la mobilité est limitée majoritairement par les interactions avec les phonons. À très fort champ effectif (typiquement au-delà de 1MV/cm), la mobilité, qui suit toujours la courbe de mobilité universelle, diminue. Les porteurs se rapprochent de l'interface canal-diélectrique de grille et la mobilité est alors limitée par les interactions avec la rugosité de surface.

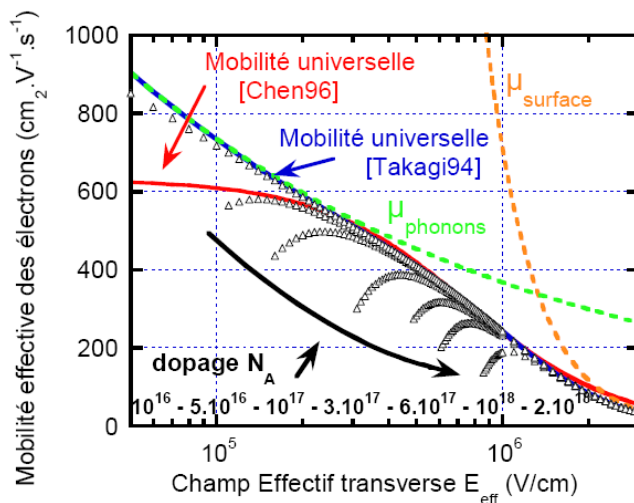


Figure II-35 : Mise en évidence du caractère universel de la mobilité des électrons d'un MOSFET à empilement de grille polysilicium/SiO₂ lorsqu'elle est exprimée en fonction du champ effectif (d'après [WEBER 05b]). A fort champ la mobilité est la même quelque soit le dopage du canal.

Dans les paragraphes suivants, nous introduisons la physique des principales interactions rencontrées dans la couche d'inversion d'un MOSFET.

II.B.4.1.2 Interactions électrons/charges coulombiennes

Il s'agit des interactions avec les dopants ionisés, les défauts chargés ou encore les charges des états d'interface. Ces charges peuvent être situées aussi bien dans le canal du MOSFET, le diélectrique de grille, le matériau de grille, au niveau des interfaces entre ces matériaux ou encore dans les zones de charges d'espace qui entourent les source et drain (très dopés). On distingue alors les interactions coulombiennes induites par les dopants du canal des interactions coulombiennes à distance induites par les charges dans le diélectrique de grille par exemple. Ces interactions sont surtout limitantes à faible charge d'inversion. Lorsque le champ effectif augmente, ces charges sont écrantées par les charges mobiles en inversion dans le canal [STERN 67]. Cela signifie que le potentiel induit par les charges fixes (perturbation) est atténué par ces charges mobiles (réponse diélectrique du gaz 2D) (Figure II-36).

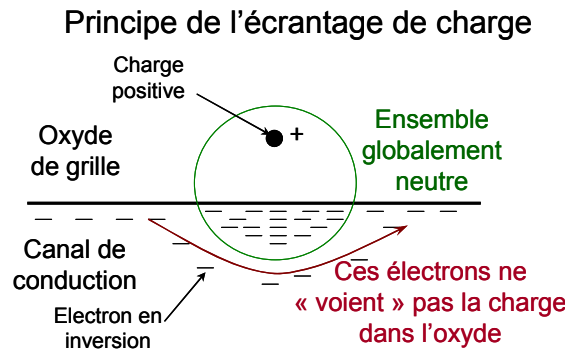


Figure II-36 : Illustration schématique de l'écrantage d'une charge à distance dans l'oxyde de grille par les porteurs libres en inversion dans le canal

On peut modéliser la mobilité limitée par les interactions coulombiennes par $\mu_C \propto T^n N_{inv}^{-\chi} N_{charges}^{-1}$ [JEON 89], pour des charges situées dans le canal. Avec, à basse température ($T < 100K$), $n = -1$ et $\chi = 1,6$ à 2 , et à haute température ($100K < T < 370K$), $n = 1$ et $\chi \approx 0$.

Une modélisation de la mobilité limitée par ces seules interactions sera présentée au Chapitre V. Le principe du calcul et le modèle utilisé seront alors présentés (§V.A.3.3.2.c).

II.B.4.1.3 Interactions électrons/rugosité de surface

Elles sont prépondérantes à fort champ effectif, lorsque les porteurs sont confinés à l'interface canal/diélectrique de grille. La mobilité limitée par la rugosité de surface est considérée comme indépendante de la température et varie en $\mu_{SR} \propto E_{eff}^{-2 \text{ à } 2,6}$ pour les électrons [TAKAGI 94a, JEON 89]. Les paramètres essentiels traduisant la qualité de la rugosité de surface sont la hauteur moyenne des aspérités, notée Δ (encore appelée rugosité RMS⁸²), et la longueur moyenne de corrélation, notée Λ , qui traduit la distance moyenne entre les aspérités (Figure II-37). Les valeurs usuelles pour ces paramètres pour les électrons, dans le cas d'une interface Si/SiO₂, sont 0,4nm et 1,3nm, respectivement [FISCHE 02].

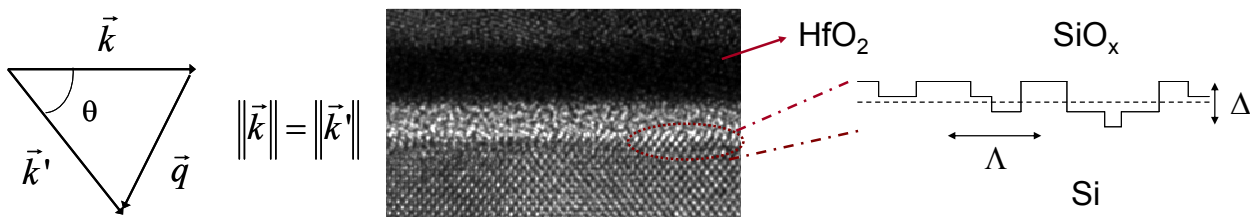


Figure II-37 : Illustration de la rugosité de surface et définition des paramètres du modèle décrit.

⁸² RMS = « Root Mean Square » (racine carrée de la moyenne des carrés).

Afin de comprendre de quelle manière ces paramètres jouent sur l'interaction électron-rugosité de surface, introduisons une expression analytique simplifiée du taux d'interactions avec la rugosité de surface [ANDO 82] :

$$\frac{1}{\tau_{SR}^{i\in v}(E)} = \sum_{j\in v} \frac{m_{DOS,2D}^v}{\pi \cdot \hbar^3} H(E - E_{C,v} - E_j) \int_0^{2\pi} \left(\sin \frac{\theta}{2} \right)^2 |V_{SR}(E)|^2 d\theta \quad \text{Équation II-55}$$

où $|V_{SR}(E)|^2$ est l'élément de la matrice de dispersion qui peut être exprimer par :

$$|V_{SR}(E)|^2 = \tilde{S}(E) \cdot \Gamma(E)^2 / \varepsilon_{sc}(E)^2 \quad \text{Équation II-56}$$

avec

$$\tilde{S}(\vec{q}) = \pi \cdot \Delta^2 \cdot \Lambda^2 \cdot (1 + \vec{q}^2 \Lambda^2 / 2)^{-3/2} \quad \text{ou} \quad \tilde{S}(\vec{q}) = \pi \cdot \Delta^2 \cdot \Lambda^2 \cdot \exp(-(\Lambda \vec{q})^n / 4) \quad \text{Équation II-57}$$

$$\Gamma(\vec{q})^2 \approx \sum_{j\in v} \frac{\hbar^2}{2m_{\perp,v}} \frac{d\psi_{i,v}}{dz} \Big|_{z=0} \frac{d\psi_{j,v}}{dz} \Big|_{z=0} \propto (E_{eff})^2 \quad \text{Équation II-58}$$

$\varepsilon_{sc}(E)$ est une fonction qui traduit l'écrantage dû au gaz d'électrons confinés à l'interface. En considérant le mécanisme élastique, la norme du vecteur d'onde reste inchangée après interaction et on a $q^2 = 2k_{e,\parallel}^2 (1 - \cos \theta)$, où $k_{e,\parallel}$ représente le vecteur d'onde de l'électron. Ce dernier est relié à l'énergie de l'électron par les Équations II-24 ; cette transformation permet de relier $\tilde{S}(\vec{q})$ à $S(E)$. θ est l'angle que forme le vecteur d'onde après interaction avec celui avant interaction (Figure II-37). \tilde{S} , appelée fonction de corrélation de la rugosité (ou fonction d'autocovariance), dépend de la distribution spectrale à l'interface. Pour le modèle gaussien originel, \tilde{S} est une exponentielle décroissante avec $n=2$ alors que pour le modèle dit de rugosité exponentielle $n=1$; pour Goodnick *et al.*, S est en puissance $-3/2$ [GOODNI 85] (cf. Équation II-57). L'interface canal-diélectrique de grille d'un MOSFET correspond plutôt à une rugosité exponentielle.⁸³ L'expression de Γ^2 possède de nombreuses déclinaisons ; celle présentée par l'Équation II-58 représente la formulation classique et simplifiée de Ando *et al.* [ANDO 82, PRANGE 68]. Γ^2 donne notamment la dépendance en champ effectif (en E_{eff}^{-2} au premier ordre, ce qui est cohérent avec les mesures).

II.B.4.1.4 Interactions avec des défauts neutres

Il s'agit des interactions possibles avec des défauts d'empilement cristallin, des dislocations, des régions dites « amorphisées », ou d'une manière générale tout défaut non porteur de charge électrique (interstitiels, lacunes...). Le temps de relaxation des porteurs avec des défauts neutres est supposé indépendant de l'énergie et donc de la température. La mobilité limitée par ces seules interactions varie alors en $\mu_N \propto N_{neutres}^{-1}$. Toutefois dans le cas où ces défauts sont des dislocations la situation est différente : on a $\mu_N \propto T^{-0,5} N_{neutres}^{-1}$ [KIREEV 75]. Notons enfin qu'aujourd'hui encore il s'agit des mécanismes de diffusion les moins connus. Très peu d'études ont été menées sur la mobilité limitée par les seules interactions avec des défauts neutres. La principale difficulté vient du fait qu'il faut être capable d'identifier précisément la nature et de quantifier le nombre de défauts dans un matériau. C'est pourquoi, à défaut de le maîtriser parfaitement, ce mécanisme est souvent tenu pour responsable de la dégradation de mobilité, lorsque cette dernière ne montre presque pas de dépendance en température à faible champ effectif, même si le défaut à l'origine de l'interaction n'est pas clairement identifié (voir par exemple [CROS 06a]). Nous aurons l'occasion d'aborder le

⁸³ Les aspérités sont alors plutôt modélisées par des marches, comme représentées schématiquement sur la Figure II-37.

rôle probable joué par des défauts neutres dans la dégradation de la mobilité des porteurs avec la réduction de la longueur de grille au §V.B.3.1.3.

II.B.4.1.5 Interactions électrons/phonons du réseau

Il s'agit de l'interaction qui dépend, *a priori*, le plus du niveau de contrainte. De plus c'est le mécanisme prépondérant à température ambiante pour une couche d'inversion et pour des champs effectifs modérés (0,1-1MV/cm). Il s'agit aussi d'un mécanisme intrinsèque au matériau, contrairement aux interactions avec les rugosités de l'interface et aux interactions coulombiennes (impuretés, charges dans l'oxyde...) qui dépendent des conditions de réalisations technologiques du dispositif.

Les phonons sont des pseudo-particules associées aux différents modes de vibration du réseau cristallin. On distingue les phonons acoustiques et optiques qui diffèrent par leur relation de dispersion $E_{ph}(k_{ph})$ (Figure II-38). Dans un cristal monoatomique (dont la maille élémentaire ne possède qu'un atome), la relation de dispersion donne seulement un type de branches, dites acoustiques. Il existe trois modes de vibration, donc trois branches : un mode longitudinal et deux transverses, notés respectivement LA et TA pour les modes acoustiques. Ces modes de vibration correspondent à un mouvement d'ensemble des atomes du réseau (ondes élastiques). Dans un cristal polyatomique (dont la maille élémentaire possède p atomes, avec $p > 1$), il apparaît en plus $3p-3$ branches dites optiques [KITTEL 98]. Les modes de vibration optiques longitudinaux et transverses sont notés LO et TO respectivement. Pour le silicium, dont la structure est celle du diamant (deux atomes identiques par maille élémentaire), il existe donc trois branches optiques, dites non polaires (les branches optiques polaires ne concernent que les matériaux dont les atomes de la maille sont distincts et ioniques). Ces modes de vibration correspondent à un mouvement opposé de chacun des atomes de la maille. Alors que les phonons acoustiques voient leur énergie E_{ph} augmenter avec leur nombre d'onde k_{ph} , les phonons optiques ont une énergie quasi-indépendantes de leur vecteur d'onde (de l'ordre de 50 à 70meV pour le Si)⁸⁴.

Focalisons-nous sur la bande de conduction du silicium. Les interactions entre les électrons et les phonons de la bande de conduction dépendent des vallées. Ainsi les interactions entre des vallées équivalentes (*i.e.* dont l'axe longitudinal est parallèle) se fait par l'intermédiaire de phonons de type *g* alors que celles entre deux vallées non-équivalentes (*i.e.* dont l'axe longitudinal est perpendiculaire) se fait par l'intermédiaire de phonons de type *f* (Figure II-39). On comprend ici qu'avec l'application d'une contrainte, qui aura tendance à lever la dégénérescence des six vallées, les interactions avec des phonons de type *f* seront considérablement réduites (cf. §II.B.4.2). La plus forte probabilité de transition s'opère aux *extrema* de bandes. Pour l'interaction de type *g* cela correspond à des nombres d'onde de l'ordre de deux fois la distance bord de zone de Brillouin-*minima* d'une vallée (situé à $0,85\pi/a$), soit $(0,3,2\pi/a; 0; 0)$. Pour l'interaction de type *f* cela correspond à des nombres d'onde du type $(0; 0,85,2\pi/a; 0,85,2\pi/a)$ (Figure II-38).

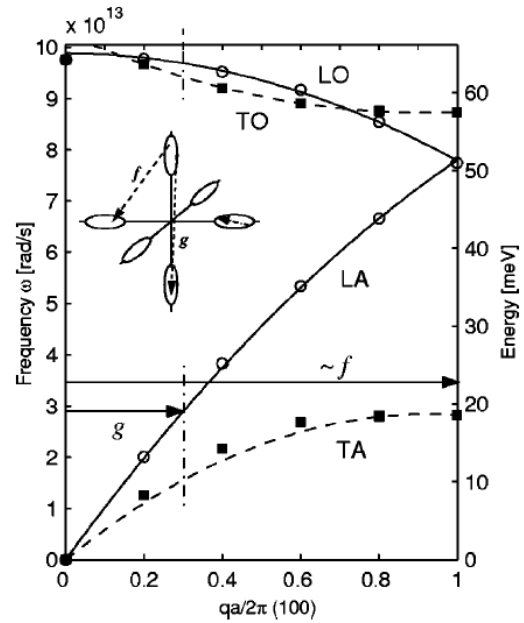


Figure II-38 : Relation de dispersion des phonons du silicium selon la direction [100], extrait de [POP 04].

⁸⁴ Dans un souci de simplification pour la modélisation de ces effets, les relations de dispersion des branches acoustiques sont souvent approximées à une droite et celles des phonons optiques à une constante.

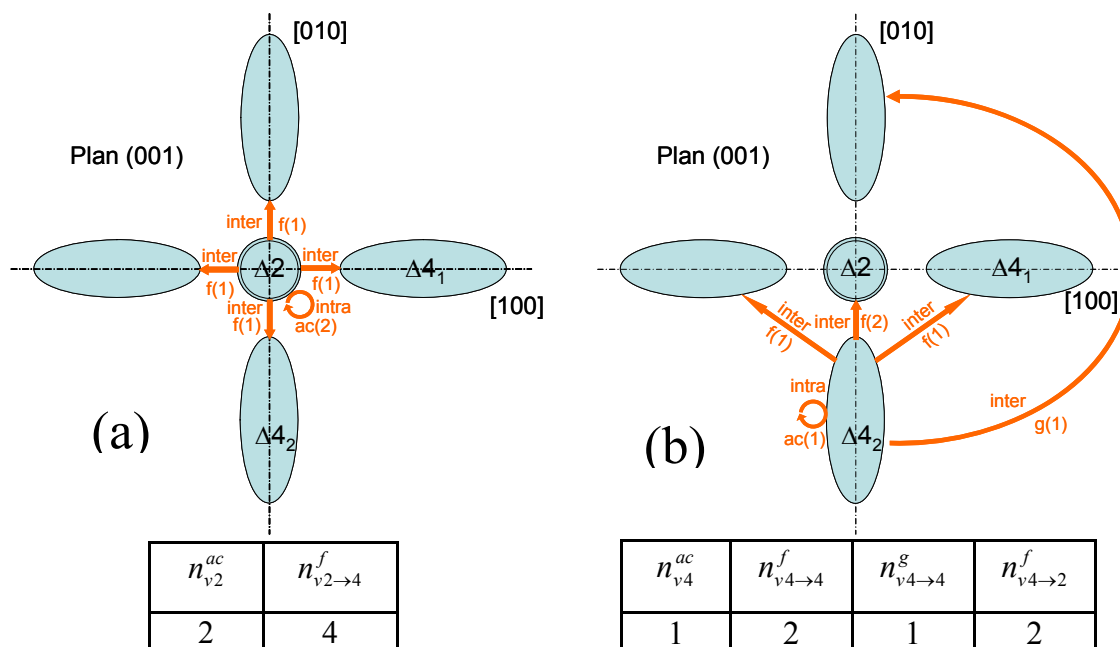


Figure II-39 : Diagrammes schématiques des processus d'interactions possibles dans une couche d'inversion entre les phonons acoustiques intravallée et les phonons optiques non polaires intervallée avec les électrons venant des vallées (a) Δ_2 et (b) Δ_4 . Le nombre entre parenthèse indique le niveau de dégénérescence de chaque mécanisme.

Alors que les calculs relatifs à la structure électronique sont devenus de plus en plus sophistiqués au fil des années (passage d'un traitement analytique simple de type parabolique, puis prise en compte du caractère multivallées et de la non-parabolocité en bord de bande jusqu'au calcul dit « full band »), les relations de dispersion des phonons sont, quant à elles, longtemps restées simplifiées dans les simulateurs de dispositifs. Ainsi, Canali *et al.* ont introduit les premiers un modèle prenant en compte l'aspect multivallées de la bande de conduction du silicium mais avec une relation de dispersion simplifiée (branche LA uniquement) [CANALI 75]. Jacobini *et al.* ont amélioré ce modèle, notamment sur les valeurs des jeux de paramètres des potentiels de déformation et sur la description de la structure électronique des bandes de conduction [JACOBO 83]⁸⁵. Les premières simulations de dispositifs se rapprochant le plus de la réalité ont été réalisées par Fischetti *et al.* [FISCHE 88]. Elles utilisent une description « full band » et ont, pour la première fois, fait la distinction entre les branches acoustiques LA et TA. Les modèles Monte-Carlo les plus sophistiqués ont été développés par Yoder et Hess et par Kunikiyo *et al.* [YODER 94, KUNIKI 94]. Ils utilisent une structure « full band », obtenue à partir de la méthode des pseudopotentiels empiriques, et la description complète des relations de dispersion des phonons (anisotropie, LA-TA, LO-TO). Cependant, dans beaucoup d'études de la littérature encore aujourd'hui, l'anisotropie du cristal pour le calcul des relations de dispersion des phonons n'est pas prise en compte. En particulier les branches optiques sont souvent ignorées et seulement une branche acoustique est prise en compte pour les interactions intravallées. Dans ce cas simplificateur, une description complète, et donc plus lourde, de la structure de bandes s'avère inappropriée.

Dans ce qui suit nous présentons succinctement les formules analytiques simplifiées décrivant les fréquences d'interactions selon le type de transition qui peut exister dans un gaz 2D. Ceci non dans le but d'être complet, mais simplement avec l'objectif de montrer clairement quels sont les paramètres physiques qui entrent en jeu dans ces interactions.

⁸⁵ paramètres originellement donnés par Brunetti *et al.* [BRUNET 81] et qui ont d'ailleurs très souvent été utilisées dans la littérature depuis ces vingt dernières années.

II.B.4.1.5.a Interactions avec les phonons intravallée

D'après les règles de sélection pour les interactions électron/phonon dans le silicium massif, la dispersion avec les phonons intravallée s'effectue essentiellement avec les phonons acoustiques [HAMAGU 01, TAKAGI 96]. De plus, pour ce genre d'interactions, pour lesquelles les porteurs restent dans la même vallée avant et après l'interaction, les phonons impliqués sont ceux qui possèdent des vecteurs d'onde proches du centre de la zone de Brillouin (typiquement dans le premier huitième de la zone de Brillouin d'après [LUNDST 00]). Ainsi on pourra utiliser une relation de dispersion simplifiée pour décrire les phonons. La dispersion est souvent considérée comme élastique car l'énergie apportée par ces phonons est faible à comparer de l'énergie thermique $k_B T \gg \hbar \omega$ (\approx quelques meV maximum car $\hbar k_{ph \max} \approx 2p \approx 2mv_{th}$ et $v_s = \omega/k_{ph}$ d'où $\Delta E_{\max} \approx 2.m.v_s.v$) sauf aux basses températures⁸⁶. La plupart du temps, un seul type d'interaction est considéré avec les phonons acoustiques. Ceci est fait en regroupant les branches acoustiques longitudinale et transverse en un seul mode de vibration en considérant ainsi une seule vitesse du son et un seul potentiel de déformation [POP 04].

Sous ces hypothèses, les taux de dispersion électron/phonon acoustique intravallée dans un gaz 2D, pour une transition de la $i^{\text{ème}}$ sous-bande à la $j^{\text{ème}}$ sous-bande d'une vallée ν sont donnés par les expressions [HAMAGU 01, TAKAGI 96] :

$$\frac{1}{\tau_{ac,\nu}^{i \rightarrow j}(E)} = \frac{n_v^{ac} \pi N_{2D}(E) D_{ac}^2 k_B T}{2 \hbar \rho s^2} \frac{1}{W_{i \in \nu \rightarrow j \in \nu}} = \frac{n_v^{ac} m_{DOS,2D,\nu} D_{ac}^2 k_B T}{2 \hbar^3 \rho s^2} \frac{1}{W_{i \in \nu \rightarrow j \in \nu}} \quad \text{Équation II-59}$$

$$\frac{1}{W_{i \in \nu \rightarrow j \in \nu}} = \int \psi_i^2(z) \psi_j^2(z) dz \quad \text{Équation II-60}$$

avec $W_{i \in \nu \rightarrow j \in \nu}$ est le facteur de forme (ou intégrale de recouvrement des fonctions d'onde). Il traduit le fait que, pour qu'il y ait transition, il faut que les fonctions d'onde se recouvrent. $W_{i,i}$ peut être interprété comme l'épaisseur effective de la fonction d'onde de la $i^{\text{ème}}$ sous-bande. D_{ac} représente le potentiel de déformation dû aux phonons acoustiques, n_v^{ac} la dégénérescence des vallées par rapport aux interactions intravallée (=1 pour $\Delta 4$ et 2 pour $\Delta 2$, cf Figure II-39), ρ la densité volumique et s la vitesse du son (longitudinale ou transverse ou prenant en compte celle des deux branches longitudinale et acoustique selon l'approximation utilisée). Le potentiel de déformation est relié aux potentiels de déformation Ξ_u et Ξ_d présentés au §II.B.3. Si l'on dissocie les branches acoustiques longitudinales et transverses on obtient par exemple dans le cas isotrope $D_{TA} = \sqrt{\langle \Xi_{TA}^2 \rangle}_\theta = \sqrt{\pi \Xi_u} / 4 \approx 4,4 eV$ et $D_{LA} = \sqrt{\langle \Xi_{LA}^2 \rangle}_\theta = \sqrt{\pi (\Xi_d^2 + \Xi_d \Xi_u + 3 \Xi_u^2 / 8)} / 2 \approx 9,2 eV$. On comprend ici pourquoi seules les interactions avec les phonons acoustiques longitudinaux sont généralement pris en compte. Enfin la masse effective de densité d'états de la vallée considérée et la température régissent directement cette interaction.

La probabilité totale d'interaction des électrons d'une sous-bande i et d'énergie associée E avec les phonons acoustiques intravallée, $\tau_{ac}^i(E)$, est donnée en sommant $\tau_{ac}^{i \rightarrow j}(E)$ sur toutes les sous-bandes où la transition est permise,

$$\frac{1}{\tau_{ac,\nu}^i(E)} = \sum_{j \in \nu} \frac{H(E - E_{c,\nu} - E_j)}{\tau_{ac,\nu}^{i \rightarrow j}(E)} \quad \text{Équation II-61}$$

⁸⁶ D'une façon générale, il s'agit d'une dispersion inélastique.

où $H(x)$ est la fonction de Heavyside. Cette dernière traduit la conservation de l'énergie $E_{\text{final}} = E_{\text{initial}} \pm E_{\text{ph}}$.

II.B.4.1.5.b Interactions avec les phonons intervallée

Contrairement aux interactions électrons/phonons acoustiques, les interactions électrons/phonons optiques ne peuvent pas être considérées d'une manière générale comme des mécanismes élastiques car leur énergie est très proche de l'énergie moyenne thermique, au moins à température ambiante et au-dessous. Ces phonons vont pouvoir intervenir dans les transitions intervallées, de même que les phonons acoustiques (cf. Figure II-38 et Tableau II-6).

Le taux d'interactions intervallées total dans un gaz 2D est donné par l'expression :

$$\frac{1}{\tau_{\text{inter}}^{i \in v \rightarrow j \in w}(E)} = \sum_{w \in \Delta 2, \Delta 4} \sum_{j \in w} \sum_{k \in f, g} \frac{n_{v \rightarrow w}^k m_{\text{DOS}, 2D, w} D_k^2}{2 \hbar \rho E_k} \frac{1}{W_{i \in v \rightarrow j \in w}} \left(N_k + \frac{1}{2} \pm \frac{1}{2} \right) \times \frac{1 - f(E \pm E_k + E_{c, v})}{1 - f(E + E_{c, v})} \times H(E \mp E_k - E_{v-w} - E_j) \quad \text{Équation II-62}$$

La somme sur k traduit tous les types de phonons qui peuvent intervenir dans ce type de transitions. Notons bien ici que les phonons pouvant intervenir dans ce genre d'interactions sont multiples, rendant le traitement d'autant plus complexe (phonons type g ou f et pour chacun LA, TA, LO et TO)⁸⁷. $n_{v \rightarrow w}^k$ est la dégénérescence des vallées dans lesquelles les électrons interagissent avec des phonons (cf. Figure II-39). D_k et E_k sont le potentiel de déformation et l'énergie du phonon d'indice k (modèle simplifié où l'on ne considère qu'une énergie possible selon le phonon entrant en interaction). N_k est le nombre d'occupation du phonon intervallée d'indice k , régi par la statistique de Bose-Einstein : $N_k = (\exp(E_k/k_B T) - 1)^{-1}$. Dans l'Équation II-62, le signe $+$ correspond à une émission de phonon alors que le signe $-$ correspond à une absorption de phonon. La fonction $f(E) = (\exp((E - E_F)/k_B T) + 1)^{-1}$ est la fonction de distribution de Fermi-Dirac. Le Tableau II-5 donne les différents paramètres physiques relatifs aux phonons intervallée déterminés par Jacobini *et al.*

Les interactions avec les phonons intervallée pour un gaz d'électrons à deux dimensions dans des dispositifs MOSFETs sont presque toujours traitées de la même façon que pour celles ayant lieu dans du silicium massif. Or les énergies et les potentiels de déformation relatifs aux interactions des phonons intervallée avec des électrons d'une couche d'inversion peuvent être différents à cause justement de la différence qui existe entre les états électroniques d'un gaz 2D et d'un gaz 3D. C'est pourquoi notamment il existe plusieurs jeux de paramètres empiriques, différents de ceux donnés dans la littérature et relatifs au silicium massif, simplement dans le but d'obtenir une bonne corrélation entre les données expérimentales et la modélisation physique. Ainsi Takagi *et al.* ont choisi de multiplier les potentiels de déformation donnés par Ferry [FERRY 91] par un facteur 2,4 afin de prendre en compte le plus fort couplage qui semble exister entre les phonons intervallée et les électrons d'une couche d'inversion [TAKAGI 96].

Type de phonon	Energie (meV)	Potentiel de déformation ($\times 10^8$ eV/cm)
f-TA	19	0.3
f-LA/LO	47	2
f-TO	59	2
g-TA	12	0.5
g-LA	19	0.8
g-LO	62	11

Tableau II-5 : Paramètres utilisés pour les modèles d'interactions électrons/phonons intervallée [JACOBO 83].

⁸⁷ On dénombre jusqu'à 57 interactions possibles.

Les jeux de paramètres utilisés par Jacobini du Tableau II-5 sont ceux utilisés pour le silicium massif. Le jeu de paramètres utilisé par Ferry est une simplification en ne prenant en compte que les couplages à l'ordre zéro (un seul type de phonons f et g sont pris en compte en leur affectant un potentiel de déformation adéquat). Il est important de noter ici qu'il n'existe pas une solution unique de paramètres permettant d'expliquer la mobilité dans un MOSFET. On peut tout aussi bien jouer sur l'énergie des phonons ou ajuster des valeurs de potentiel de déformation propres à chaque type de phonons de façon à reproduire le plus fidèlement possible l'expérience. Aussi, selon le degré de sophistication adopté pour décrire les interactions avec les phonons du réseau, les valeurs des potentiels de déformation différeront ou non de celles données pour le silicium massif. L'utilisation de modèles physiques beaucoup plus complexes devient donc nécessaire pour une reproduction plus fidèle de la mobilité limitée par les interactions électrons/phonons dans une couche d'inversion.

II.B.4.1.5.c Calculs de la mobilité : principe

Pour déterminer la mobilité des porteurs de la couche d'inversion, il convient de calculer les temps de relaxation moyen propre à chaque vallée (ou à chaque groupe de vallées auquel on associe une masse effective de conduction). Les temps totaux de relaxation, $\tau_{\Delta 2}^i(E)$ et $\tau_{\Delta 4}^i(E)$ pour les électrons ayant une énergie E et appartenant à la $i^{\text{ème}}$ sous-bande des vallées $\Delta 2$ et $\Delta 4$ sont donnés par

$$\begin{cases} \frac{1}{\tau_{\Delta 2}^i(E)} = \frac{1}{\tau_{ac,\Delta 2}^i(E)} + \frac{1}{\tau_{inter,\Delta 2}^i(E)} \\ \frac{1}{\tau_{\Delta 4}^i(E)} = \frac{1}{\tau_{ac,\Delta 4}^i(E)} + \frac{1}{\tau_{inter,\Delta 4}^i(E)} \end{cases} \quad \text{Équation II-63}$$

Les mobilités $\mu_{\Delta 2}^i$ et $\mu_{\Delta 4}^i$ pour les électrons de la $i^{\text{ème}}$ sous-bandes des vallées $\Delta 2$ et $\Delta 4$ sont calculées en utilisant l'énergie moyenne des porteurs dans le gaz 2D avec l'approximation des temps de relaxation (formalisme de Kubo-Greenwood). Elles valent [HAMAGU 01],

$$\mu_v^i = \frac{q \int_{E_i^v}^{\infty} (E - E_i^v) \tau_v^i(E) (-\partial f / \partial E) dE}{m_c^v \int_{E_i}^{\infty} f(E) dE} \quad \text{Équation II-64}$$

où m_c^v sont les masses effectives de conductivité des vallées correspondantes.

Finalement, la mobilité totale moyennée sur l'ensemble des sous-bandes occupées est représentée par,

$$\mu = \sum_i \mu_{\Delta 2}^i n_i^{\Delta 2} + \sum_{i'} \mu_{\Delta 4}^{i'} n_{i'}^{\Delta 4} \quad \text{Équation II-65}$$

où n_i^v représente la proportion de porteurs dans les vallées v par rapport à la concentration totale de porteurs en inversion N_{inv} .

Notons enfin que, selon les mécanismes de transition, des expressions analytiques simples ont pu être dégagées, afin de d'obtenir rapidement une idée sur les mécanismes limitant la mobilité. On peut modéliser la mobilité limitée par les interactions avec les phonons par [JEON 89]:

$$\mu_{ph} \propto T^{-n} N_{inv}^{-1/\gamma} \quad \text{Équation II-66}$$

À basse température ($T < 100K$), où les interactions avec les phonons acoustiques sont largement majoritaires, ou si l'on suppose que tous les porteurs sont sur la première sous-bande, on

peut montrer que $n = 1$ et $\gamma = 3$. À plus haute température ($100\text{K} < T < 370\text{K}$), où les porteurs peuvent subir des interactions avec les phonons intervallée et inter-sous-bandes, les paramètres prennent pour valeurs, pour des charges d'inversion comprises entre $0,5$ et $5 \cdot 10^{12} \text{ cm}^{-2}$, $n = 1$ à $1,75$ et $\gamma = 3$ à 6 , selon l'orientation cristallographique de la surface.

Pour conclure cette partie, le Tableau II-6 résume les principales interactions limitant le transport des électrons à 300K jusqu'à des champs de grille modérés (hors interactions avec la rugosité de l'interface canal-diélectrique de grille).

Interactions	Propriétés	Conséquences
Phonons acoustiques	Inélastique pour les grands vecteurs d'ondes \vec{q} Supposée élastique pour les petits \vec{q} à 300K Intra ou intervallée	Modifie la direction du vecteur d'onde de l'électron pour les \vec{q} petits Peut modifier en plus l'énergie des électrons pour les \vec{q} grands (émission d'un phonon acoustique très peu probable pour le Si à 300K , absorption essentiellement)
Phonons optiques polaires	Inélastique Intravallée plus probable à énergie intermédiaire	Modifie l'énergie des électrons
Phonons optiques non polaires	Inélastique Intra et intervallée plus probable lorsque l'énergie des porteurs augmente ($>60\text{meV}$ pour le Si)	Modifie l'énergie des électrons et les transfère dans une autre vallée (sauf si intravallée)
Alliage	Intervient lorsque la stœchiométrie n'est pas respectée localement ou quand l'alliage a une répartition aléatoire des atomes (cas du SiGe)	Crée une diffusion supplémentaire des électrons
Particules ionisées		
Électrons-électrons	Intravallée	Modifie la direction du vecteur d'onde de l'électron
Électrons-trous	Élastique	

Tableau II-6 : Synthèse des propriétés et effets des principaux types d'interactions limitant le transport des électrons à 300K dans un semi-conducteur IV-IV (cas du Si ou de l'alliage SiGe) ou III-V (cas de l'AsGa).⁸⁸

II.B.4.2 Effet d'une contrainte mécanique sur la mobilité effective des porteurs

Sous l'effet d'une contrainte mécanique σ , l'Équation II-52 s'écrit :

$$\mu = \frac{q}{n} \sum_v \frac{1}{m_v^*(\sigma)} \sum_{i \in v} n_i(\sigma) \left(\sum_s \frac{1}{\tau_{i \in v, s}(\sigma)} \right)^{-1} \quad \text{Équation II-67}$$

Cette équation indique que l'effet d'une contrainte mécanique sur la mobilité des porteurs est triple. Tout d'abord, la contrainte mécanique modifie le peuplement dans les différentes sous-bandes $n_i(\sigma)$ (répartition des trous lourds et trous légers dans la bande de valence et répartition des électrons dans les six vallées dans la bande de conduction) via les décalages énergétiques induit par la déformation (cf. Équations II-32 et Équations II-40). Cette nouvelle répartition des porteurs a pour conséquence de modifier les masses effectives de conductivité globale des électrons et des trous $m_c^*(\sigma)$ ainsi que la proportion de chacun des mécanismes de diffusion s , $n_i/\tau_{i \in v, s}$, intervenant dans le calcul de la mobilité. Ensuite la contrainte mécanique peut, comme on l'a vu au §II.B.3.3, modifier directement les valeurs des masses effectives des porteurs $m_v^*(\sigma)$ (principalement celles des trous mais aussi celle des électrons dans certains cas comme on aura l'occasion de l'illustrer au

⁸⁸ Remarques : les phonons optiques polaires n'existent pas dans le silicium car il s'agit d'un matériau non ionique. L'interaction d'alliage, elle, n'existe pas dans l'AsGa puisqu'il s'agit d'un cristal parfaitement organisé (structure cristalline de type zinc-blende) alors qu'elle existe pour l'alliage SiGe qui présente un arrangement aléatoire des atomes de silicium et de germanium.

Chapitre III). Le dernier effet concerne la modification des temps de relaxation eux-même de chacune des interactions que peuvent subir les porteurs d'une couche d'inversion $\tau_{v,s}(\sigma)$.

II.B.4.2.1 Effet sur les temps d'interaction

II.B.4.2.1.a Effet sur l'interaction avec les phonons du réseau :

D'une manière générale, en raison de la levée de dégénérescence induite par une contrainte mécanique sur la structure électronique en bande de conduction et de valence, les mécanismes de diffusion par les phonons sont réduits dans le silicium contraint. En effet la levée de dégénérescence crée une modification des états permis pour les porteurs subissant une interaction. En particulier pour les phonons, les probabilités des interactions intervallées sont diminuées.

Dans un gaz 2D d'électrons à haute température ($\geq 300K$), ce qui est le cas des MOSFETs, le transport est principalement gouverné par les interactions avec les phonons acoustiques longitudinaux [BARDEE 50]. Cependant, en inversion, les porteurs peuplent des niveaux d'énergie plus élevés et les interactions intervallées jouent alors un rôle non négligeable. Les interactions avec les phonons optiques non polaires peuvent même devenir plus probables que les interactions avec les phonons acoustiques [TAKAGI 96, RICHAR 06]. Ce sont ces interactions intervallées qui sont responsables du gain en mobilité observé dans certains cas, comme celui des électrons du silicium contraint en tension biaxiale.

Nous nous proposons donc ici de donner une interprétation physique du gain en mobilité à champ modéré des électrons d'un gaz 2D dans du silicium contraint en tension biaxiale, à température ambiante⁸⁹. Sur silicium massif, le gain en mobilité s'explique quasi-intégralement par les effets de repeuplement⁹⁰, c'est-à-dire par une diminution de la masse effective moyenne de conduction (due au dépeuplement des vallées $\Delta 4$ au profit des vallées $\Delta 2$ qui possèdent une masse de conductivité plus faible), sans prendre en compte la modification des temps de relaxation par la contrainte. Dans une couche d'inversion en revanche, cette explication échoue, contrairement à ce qui a longtemps été admis [DORDA 71, TAKAGI 96].

En effet, pour les électrons confinés dans une couche d'inversion, l'augmentation de la mobilité avec la contrainte s'explique principalement par deux aspects. Du fait de la levée de dégénérescence des six vallées de la bande de conduction du silicium, il y a d'une part une réduction des interactions intervallées $\Delta 2$ - $\Delta 4$ entre les électrons et les phonons⁹¹ et d'autre part un peuplement préférentiel des vallées $\Delta 2$ qui présentent une meilleure mobilité globale. En effet les électrons des vallées $\Delta 4$ occupent en inversion des niveaux d'énergie plus élevés que ceux des vallées $\Delta 2$. Ainsi ils peuvent aussi bien absorber ou émettre un phonon optique alors que les électrons des vallées $\Delta 2$ pourront principalement absorber un phonon optique. Ainsi la mobilité limitée par les interactions intervallées est meilleure pour les électrons des vallées $\Delta 2$. En revanche la mobilité limitée par les seules interactions avec les phonons acoustiques (interactions intravallée principalement), qui est le mécanisme dispersif dominant à haute température, a presque la même valeur dans les vallées $\Delta 2$ et $\Delta 4$. Ceci vient du fait que les différences des masses effectives de conductivité et d'états entre ces vallées sont compensées par les différences entre l'épaisseur de la couche d'inversion (qui dépend de la masse effective) et le niveau de dégénérescence propres à chacune des vallées $\Delta 2$ et $\Delta 4$ [TAKAGI 96]. La mobilité limitée par les seules interactions avec les phonons intravallées peut s'écrire, pour chacune des vallées v (d'après l'Équation II-59), sous la forme :

⁸⁹ cf. chapitre V pour une description plus complète du gain sur toute la gamme de champ électrique de grille.

⁹⁰ $\approx 90\%$ de l'effet piézorésistif du silicium massif est expliqué par les effets de repeuplement : cf. la comparaison entre le calcul analytique et la mesure des coefficients piézorésistifs du silicium massif au §II.B.5.3.2.

⁹¹ voire une suppression pour de très forts niveaux de contraintes (typiquement pour $\sigma_{biax} > 2GPa$).

$$\mu_{ac,v} = \sum_{i \in v} \sum_{j \in v} \frac{q}{m_{c,v}} \frac{2\hbar^3 \rho s^2}{n_v^{ac} m_{DOS,2D,v} D_{ac}^2 k_B T} \frac{W_{i \in v \rightarrow j \in v}}{H(E - E_{c,v} - E_j)} \quad \text{Équation II-68}$$

Ainsi le rapport des mobilités correspondant à chacune des vallées $\Delta 2$ et $\Delta 4$ est donné, en première approximation, par les rapports :

$$\frac{\mu_{ac,\Delta 4}}{\mu_{ac,\Delta 2}} = \frac{m_{c,\Delta 2}}{m_{c,\Delta 4}} \frac{n_{\Delta 2}^{ac}}{n_{\Delta 4}^{ac}} \frac{m_{DOS,2D,\Delta 2}}{m_{DOS,2D,\Delta 4}} \frac{W_{\Delta 4}}{W_{\Delta 2}} \approx \left(\frac{0,19}{0,315} \right) \left(\frac{2}{1} \right) \left(\frac{0,19}{0,42} \right) \left(\frac{4,7}{2,7} \right) = 0,95 \cong 1 \quad \text{Équation II-69}$$

Les valeurs de W_v ont été estimées pour une concentration de porteurs en surface de 10^{12} cm^{-2} . On comprend à partir de l'Équation II-69 que l'augmentation des fréquences d'interactions avec les phonons acoustiques intravallées (liées au confinement plus important dans les vallées $\Delta 2$) compense le gain sur les masses effectives de conduction et de densité d'états. Le gain en mobilité ne peut alors provenir que des seules réductions des interactions électrons/phonons intervallées pour un gaz 2D à faible champ. Ainsi, du fait de la compétition de deux phénomènes opposés (épaisseurs des couches confinées et masses effectives des $\Delta 2$ et $\Delta 4$), l'effet piézorésistif d'une couche d'inversion s'explique plus par les suppressions des interactions intervallées que par les effets de repeuplement pur.

Enfin, alors que l'on peut considérer que les potentiels de déformations ne sont pas dépendants des contraintes mécaniques dans le cadre de la limite élastique, l'énergie des phonons, et plus généralement la relation de dispersion, se trouvent modifiées. La déformation du réseau cristallin peut donc affecter les modes de vibration du réseau ce qui aura pour effet de modifier le temps de relaxation des interactions électron-phonon. Cependant ces variations restent modestes en regard de celles induites sur les termes de densités d'états qui interviennent dans tous les termes d'interaction. Bien qu'aucune étude n'ait, à ma connaissance, déterminé l'importance de cet effet, il est négligé dans toutes les études actuelles.

II.B.4.2.1.b Effet sur l'interaction avec la rugosité de l'interface diélectrique de grille-canal :

A priori, il n'est pas attendu que la contrainte mécanique ait un effet sur la rugosité. Cependant Fischetti *et al.* ont montré que la modification des paramètres de rugosité de l'interface diélectrique de grille-canal de conduction (modification des paramètres Δ et Λ) est la seule hypothèse simple qui permet d'expliquer les gains en mobilité observés expérimentalement à fort champ de grille (quelques MV/cm) sur un substrat fortement contraint en tension biaxiale [FISCHE 02]. En effet, en très forte inversion, les effets du confinement quantique peuvent devenir comparables à ceux induits par une contrainte mécanique, en terme de levée de dégénérescence. Une perte de gain était alors attendue. Au Chapitre V, nous aurons l'occasion d'apporter une preuve expérimentale (par mesures AFM) de la réduction des paramètres de rugosité de substrats sSOI par rapport à des substrat SOI non contraint (cf. §V.A.3.3.2.b).

II.B.4.2.1.c Effet sur l'interaction avec les charges coulombiennes :

L'effet de la contrainte sur ces interactions a été peu étudié. Au premier ordre, l'effet d'une contrainte ne peut modifier les temps de relaxation propres aux interactions avec des charges coulombiennes. Weber *et al.* ont toutefois rapporté récemment un gain en mobilité limitée par les impuretés ionisées du dopage avec du silicium contraint en tension biaxiale alors que la mobilité liée aux états d'interface N_{it} est quant à elle dégradée [WEBER 07a]. L'origine physique se trouve principalement dans les effets de repeuplement et non dans la modification des fréquences

d'interactions puisqu'à basse température ces effets s'estompent⁹². Enfin, il est intéressant de noter que la génération d'états d'interface (par Fowler-Nordheim par exemple) est plus faible dans le silicium contraint, ce qui laisserait penser à une plus grande fiabilité des composants CMOS ainsi qu'à de meilleures performances [WEBER 07a]. Ces effets sont toutefois très faibles en comparaison à ceux de la contrainte sur les interactions avec les phonons ou la rugosité de surface.

II.B.4.2.1.d Effet sur les autres interactions :

Les interactions avec des défauts neutres par exemple sont considérées comme indépendantes de la contrainte bien que ces effets n'aient pas encore fait l'objet d'études particulières.

II.B.4.2.2 Effet global sur la mobilité et la vitesse moyenne des porteurs dans le Si massif

Les résultats présentés dans ce paragraphe ne concernent que le silicium massif, *i.e.* sans prendre en compte les effets de confinement quantique qui interviennent dans la couche d'inversion d'un MOSFET. Cependant l'aspect qualitatif des contraintes, discuté sur le silicium massif, reste la plupart du temps valide.

Des simulations Monte-Carlo ont permis de déterminer la mobilité des électrons dans du silicium contraint sur du SiGe relaxé pour un pourcentage de germanium compris entre 0 et 45% (contrainte biaxiale en tension dans le silicium). Le modèle prend en compte notamment les effets de diffusion des phonons acoustiques et optiques, ainsi que la diffusion sur les impuretés pour $N_D=10^{14} \text{ cm}^{-3}$ [RICHAR 06]. L'effet principal de la contrainte sur la bande de conduction du silicium est alors d'abaisser l'énergie des vallées Δ_2 dans l'axe de croissance des couches [001] par rapport aux vallées Δ_4 . À faible champ électrique latéral, les électrons peuplent donc essentiellement ces vallées Δ_2 lorsque le silicium est contraint. Les résultats sont présentés sur la Figure II-40. À 300K, la mobilité des électrons du silicium massif non contraint est d'environ 1500 $\text{cm}^2/\text{V}\cdot\text{s}$. Elle augmente jusqu'à 3200 $\text{cm}^2/\text{V}\cdot\text{s}$ pour des pourcentages de germanium supérieurs à 25-30% où une saturation est alors observée. En effet à 300K l'énergie thermique des porteurs est de l'ordre de $3k_B T/2$, soit 39 meV. Or le décalage énergétique entre les vallées Δ_2 et Δ_4 est supérieur à 150 meV pour des pourcentages de Ge supérieur à 25%. La mobilité augmente grâce à la forte réduction des interactions avec les phonons. À basse température, la saturation de la mobilité des porteurs apparaît pour de faibles pourcentages de germanium puisque l'énergie thermique des porteurs devient rapidement inférieure à celle du décalage entre les vallées Δ_2 et Δ_4 .

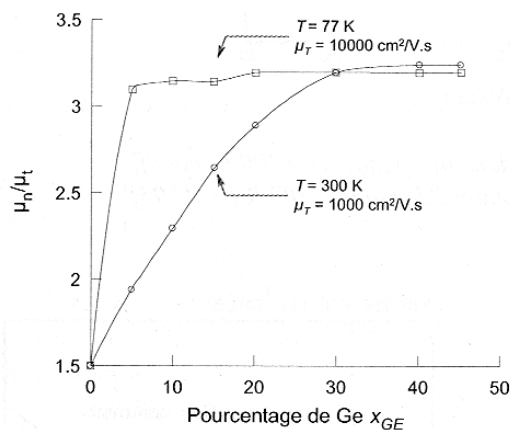


Figure II-40 : Simulation Monte-Carlo de la mobilité des électrons dans du Si contraint sur SiGe relaxé pour x_{Ge} compris entre 0 et 45%. μ_t est une mobilité de normalisation arbitraire. D'après [RICHAR 06].

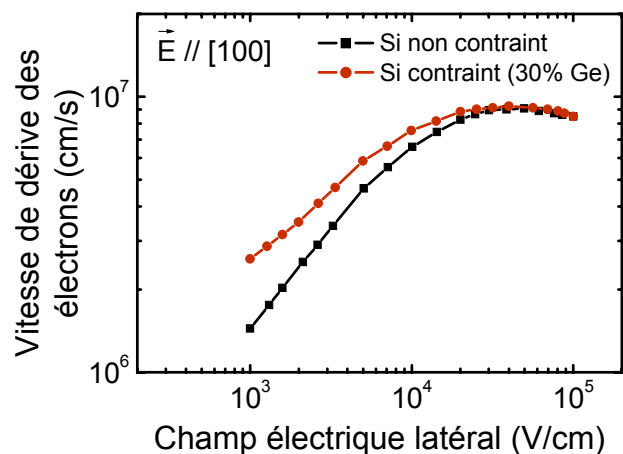


Figure II-41 : Simulation Monte-Carlo de la vitesse moyenne des électrons dans le silicium non contraint et contraint sur $\text{Si}_{0.3}\text{Ge}_{0.4}$ à 300K. Adapté de [BARRAU 05].

⁹² Les contraintes vont intervenir sur les densités de porteurs présents localement et par conséquent sur les termes d'écrantage. Les porteurs des Δ_2 étant plus proches de l'interface, les interactions avec les N_{it} seront plus fortes.

L'effet d'une contrainte sur la vitesse moyenne des porteurs est illustré sur les Figure II-41 et Figure II-42. L'effet de survitesse est plus grand pour une couche de silicium contraint que pour une couche de silicium relaxé à une température donnée. Cet effet est même plus fort à basse température. Pour un taux de germanium de 45%, la vitesse de saturation est identique entre le silicium contraint et non contraint à 300K et vaut environ 10^7 cm/s alors qu'elle augmente légèrement à 50K jusqu'à environ $1,5 \times 10^7$ cm/s. Notons aussi qu'il a pu être observé une diminution du coefficient d'ionisation par choc à fort champ électrique avec la contrainte [RICHAR 06].

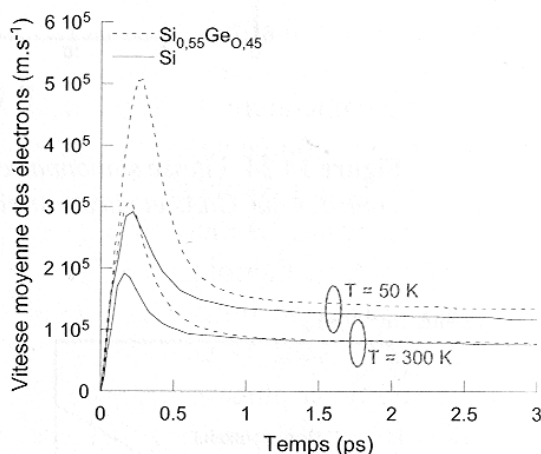


Figure II-42 : Simulation Monte-Carlo de la vitesse moyenne des porteurs (réponse transitoire) dans le silicium massif et dans une couche de Si contraint sur $\text{Si}_{0,55}\text{Ge}_{0,45}$ à 300K et 50K. D'après [ANIEL 00].

II.B.5 La piézorésistivité du silicium

II.B.5.1 Concept et intérêt

Dans le cas général d'un cristal anisotrope, la résistivité ρ (ou la conductivité $\sigma^{el. 93}$) forme un tenseur de rang 2 symétrique à six composantes indépendantes. D'après la loi d'Ohm, la résistivité ρ relie le champ électrique \vec{E} appliqué à un matériau à la densité de courant \vec{j} qui le traverse selon :

$$\vec{E} = \vec{\rho} \cdot \vec{j} \text{ et } \vec{j} = \vec{\sigma}^{el.} \cdot \vec{E} \text{ avec } \vec{\rho} = \vec{\sigma}^{el. -1} \quad \text{Équation II-70}$$

La conductivité $\sigma^{el.}$ décrivant simplement la propriété inverse. Le concept de piézorésistivité permet de relier les variations de résistivité d'un matériau sous l'effet d'une contrainte mécanique. Il s'agit d'une description phénoménologique qui permet d'étudier de façon macroscopique l'effet d'une contrainte mécanique sur les propriétés de transport, contrairement à l'approche microscopique, plus fondamentale, présentée plus haut, et qui permet *in fine* de remonter aux manifestations macroscopiques d'une contrainte sur le transport électronique à partir de la connaissance des propriétés de la structure électronique du matériau.

Selon la grandeur étudiée on parlera aussi bien de piézoconductivité (lorsque l'on mesure les variations de conductivité sous l'effet d'une contrainte), de piézorésistance (lorsque l'on étudie les variations de résistance), ou de piézoconductance (lorsque que l'on s'intéresse aux variations de la conductance du matériau). D'un point de vue expérimental, on mesure généralement la variation de résistance R , que l'on traduit ensuite sous forme de résistivité d'après la relation $R = \rho L/S$,

⁹³ On écrit ici la conductivité selon la notation $\sigma_{ij}^{el.}$ afin d'éviter la confusion avec la notation σ_{ij} utilisée pour le tenseur des contraintes.

connaissant les dimensions géométriques du matériau (dans le cas d'un barreau de longueur L et de section S)⁹⁴.

II.B.5.2 Tenseur de piézorésistivité linéaire

L'effet d'une contrainte sur la résistivité d'un matériau est un phénomène physique complexe et d'une façon générale non linéaire. En physique, il est souvent intéressant et pratique de développer les expressions originelles en séries mathématiques. Ainsi, si l'on souhaite traduire l'effet d'une contrainte sur la résistivité dans une très large gamme de contraintes, il devient indispensable d'étudier les ordres supérieurs à l'ordre zéro de l'effet piézorésistif (voir par exemple l'article de Matsuda *et al.* sur les coefficients piézorésistifs du second ordre [MATSUD 93]). Les dérivées de la résistivité par rapport à la contrainte sont alors appelées tenseur de piézorésistivité du premier, deuxième, etc. ordre. Par exemple si l'on développe la résistivité jusqu'au second ordre, on obtient [CREEME 02] :

$$(\rho_{ij} - \rho_0) / \rho_0 = \pi_{ijkl} \sigma_{kl} + \pi_{ijklmn} \sigma_{kl} \sigma_{mn} \quad \text{Équation II-71}$$

où π_{ijkl} et π_{ijklmn} représentent les coefficients piézorésistifs du premier et du second ordre respectivement. Toutefois, dans ce mémoire, nous nous limiterons à l'étude des coefficients piézorésistifs du premier ordre, *i.e.* nous considérerons une variation de résistivité essentiellement linéaire. Ceci est vérifié lorsque les contraintes appliquées ne sont pas trop fortes, typiquement inférieures à 200 MPa (cela dépend des matériaux et du type de porteurs). Les variations de résistivité sont alors reliées aux composantes de la contrainte mécanique par⁹⁵

$$\Delta \rho_{ij} / \rho_0 = \pi_{ijkl} \sigma_{kl} \quad \text{Équation II-72}$$

Où les 81 composantes de π_{ijkl} sont appelées coefficients de piézorésistivité (ou coefficients piézorésistifs). Puisqu'il relie deux tenseurs de rang 2, π_{ijkl} forme un tenseur de rang 4, appelé tenseur de piézorésistivité. Les tenseurs des contraintes et de résistivité étant des tenseurs symétriques de rang 2, $\Delta \rho_{ij}$ et σ_{ij} peuvent être écrits en colonnes sous la forme de vecteurs à six composantes (cf. §II.B.1.3). Ainsi, seules 36 composantes sont nécessaires à la description de l'effet piézorésistif, et on peut réécrire l'Équation II-72 par :

$$\Delta \rho_m / \rho_0 = \pi_{mn} \sigma_n \quad \text{Équation II-73}$$

de façon analogue à l'Équation II-11. Les 36 coefficients π_{mn} sont alors reliés aux coefficients π_{ijkl} par [GUILLA 05b] :

$$\pi_{mn} = \begin{cases} \pi_{ijkl} & \text{pour } n = 1, 2, 3 \\ 2\pi_{ijkl} & \text{pour } n = 4, 5, 6 \end{cases} \quad \text{Équation II-74}$$

D'après les symétries du réseau cristallin du silicium, on peut réduire le nombre de coefficients indépendants à seulement trois, comme pour les constantes élastiques (cf. §II.B.1.3). La

⁹⁴ En toute rigueur, on doit tenir compte pour cela des modifications géométriques induites par la contrainte mécanique selon $\Delta R/R_0 = \Delta \rho / \rho_0 + \Delta L/L_0 - \Delta S/S_0$. Toutefois, dans le silicium, les variations de résistivité sont supérieures de plusieurs ordres de grandeurs aux déformations géométriques. Ainsi, on peut écrire : $\Delta R/R_0 = \Delta \rho / \rho_0$.

⁹⁵ Pour un conducteur isotrope la résistivité peut être représentée par un scalaire, noté, ρ car $\rho_1 = \rho_2 = \rho_3 = \rho$ et $\rho_4 = \rho_5 = \rho_6 = 0$. Ceci est correct pour la bande de conduction du silicium ; ceci l'est moins pour la bande de valence, cf. §II.B.2.1. Toutefois l'anisotropie de la mobilité des trous du silicium massif reste faible ($\approx 5\%$).

matrice de piézorésistivité peut s'écrire alors (on rappelle ici qu'il ne s'agit alors plus d'un tenseur sous cette forme compacte), dans la base principale des axes cristallographiques $\langle 100 \rangle$, notée 0 :

$$\pi_{mn} = \begin{bmatrix} \pi_{11} & \pi_{12} & \pi_{12} & 0 & 0 & 0 \\ \pi_{12} & \pi_{11} & \pi_{12} & 0 & 0 & 0 \\ \pi_{12} & \pi_{12} & \pi_{11} & 0 & 0 & 0 \\ 0 & 0 & 0 & \pi_{44} & 0 & 0 \\ 0 & 0 & 0 & 0 & \pi_{44} & 0 \\ 0 & 0 & 0 & 0 & 0 & \pi_{44} \end{bmatrix}_0 \quad \text{Équation II-75}$$

Les valeurs de ces trois coefficients dans le cas du silicium massif faiblement dopé et d'une couche d'inversion à faible champ effectif sont données dans le Tableau II-7.

Coefficients piézorésistifs ($\times 10^{-12} \text{ Pa}^{-1}$)	Volumiques (Si massif faiblement dopé) ^a		Bidimensionnels (Si en couche d'inversion à très faible champ effectif)	
	électrons	trous	électrons	trous
π_{11}	-1022	66	-840 ^b -1000 ^c	-125 ^b -120 ^c -10 ^d
π_{12}	534	-11	340 ^b 490 ^c	280 ^b 350 ^c 238 ^d
π_{44}	-136	1381	-170 ^b	1050 ^b 1278 ^d

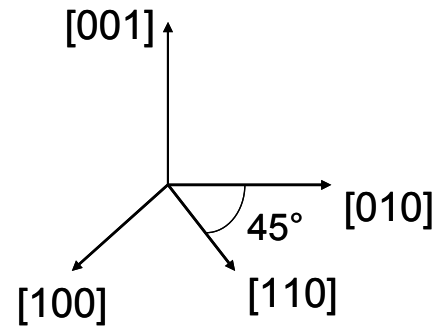


Figure II-43 : Directions cristallographiques

Tableau II-7 : Valeurs numériques des coefficients piézorésistifs dans le silicium massif faiblement dopé ($<10^{17} \text{ cm}^{-3}$) et dans le cas d'une couche d'inversion à $E_{\text{eff}} \approx 0,05 \text{ MV/cm}$. D'après ^a [SMITH 54], ^b [CANALI 79], ^c [DORDA 72], ^d [COLMAN 68].

En microélectronique, le canal des MOSFETs est habituellement orienté selon la direction $\langle 110 \rangle$ (Figure II-43). Ainsi il est parfois utile de travailler dans ce nouveau système d'axe (rotation de 45° autour de la normale au plan (001)). En appliquant les lois de transformation d'un tenseur de rang 4, la matrice de piézorésistivité s'écrit, dans le nouveau système d'axes $\{[110], [\bar{1}10], [001]\}$, noté 1 :

$$\pi_{mn} = \begin{bmatrix} \pi_L & \pi_T & \pi_{12} & 0 & 0 & 0 \\ \pi_T & \pi_L & \pi_{12} & 0 & 0 & 0 \\ \pi_{12} & \pi_{12} & \pi_{11} & 0 & 0 & 0 \\ 0 & 0 & 0 & \pi_{44} & 0 & 0 \\ 0 & 0 & 0 & 0 & \pi_{44} & 0 \\ 0 & 0 & 0 & 0 & 0 & \pi_{11} - \pi_{12} \end{bmatrix}_1 \quad \text{Équation II-76}$$

Où π_L et π_T sont souvent appelés, par abus de langage, coefficients piézorésistifs longitudinal et transverse, respectivement, et sont donnés par :

$$\pi_L = \frac{\pi_{11} + \pi_{12} + \pi_{44}}{2} \quad \text{et} \quad \pi_T = \frac{\pi_{11} + \pi_{12} - \pi_{44}}{2} \quad \text{Équation II-77}$$

Dans les modèles microscopiques, il est souvent plus commode d'utiliser la conductivité électrique pour décrire les propriétés de transport d'un matériau plutôt que la résistivité. À partir de l'Équation II-70, il est possible de montrer que les variations relatives des composantes diagonales de résistivité et conductivité peuvent être reliées par :

$$\Delta\rho_m / \rho_0 = -\Delta\sigma_m^{el.} / \sigma_0^{el.} \quad \text{Équation II-78}$$

Or

$$\sigma_m^{el.} = nq\mu_m^e + pq\mu_m^h \quad \text{Équation II-79}$$

avec n (p) la concentration volumique d'électrons (trous), q la charge élémentaire et μ_m^e (μ_m^h) la mobilité des électrons (trous). D'où

$$\Delta\sigma_m^{el.} = \left[nq\mu_m^e \frac{\Delta n}{n} + pq\mu_m^h \frac{\Delta p}{p} \right] + \left[nq\mu_m^e \frac{\Delta\mu_m^e}{\mu_m^e} + pq\mu_m^h \frac{\Delta\mu_m^h}{\mu_m^h} \right] \quad \text{Équation II-80}$$

Dans l'hypothèse où l'on suppose que la variation de la concentration de porteurs engendrée par une contrainte est négligeable par rapport à la variation de mobilité, on a simplement :

$$\Delta\sigma_m^{el.} = nq\mu_m^e \frac{\Delta\mu_m^e}{\mu_m^e} + pq\mu_m^h \frac{\Delta\mu_m^h}{\mu_m^h} \quad \text{Équation II-81}$$

Cette hypothèse est tout à fait justifiée dès lors que Δn (Δp) est négligeable devant n (p), ce qui est le cas d'un matériau suffisamment dopé ou dans le cas d'une couche d'inversion d'un MOSFET en forte inversion. Nous obtenons finalement pour un type de porteurs :

$$\Delta\sigma_m^{el.} = nq\mu_m \frac{\Delta\mu_m}{\mu_m} = \sigma_0^{el.} \frac{\Delta\mu_m}{\mu_m} \quad \text{Équation II-82}$$

L'Équation II-73 peut alors s'écrire :

$$\frac{\Delta\mu_m}{\mu_m} = -\pi_{mn}\sigma_n \quad \text{Équation II-83}$$

Ainsi, les coefficients piézorésistifs nous permettent de connaître la variation de la mobilité des porteurs en fonction des contraintes mécaniques appliquées (cf. Chapitre III).

II.B.5.3 Cas du silicium massif sous faible déformation (piézorésistivité volumique)

II.B.5.3.1 Coefficients piézorésistifs

Les coefficients piézorésistifs du silicium massif non dopé sont bien connus depuis les travaux de Smith en 1954 [SMITH 54]. Notons que la piézorésistivité du silicium massif diminue à mesure que le dopage augmente comme illustré sur la Figure II-44 [KANDA 82]. En revanche elle augmente lorsque la température diminue.

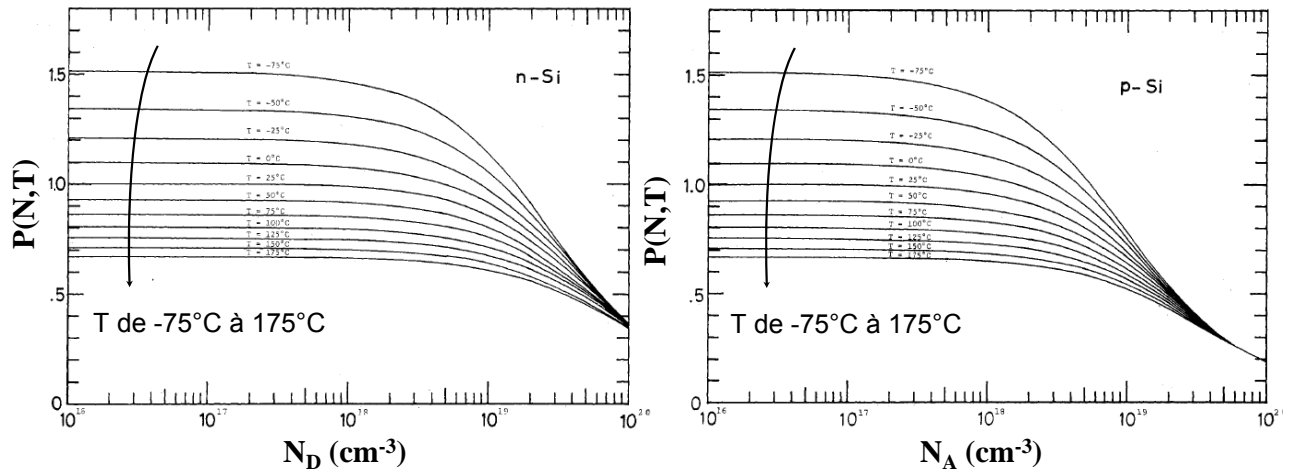


Figure II-44 : Evolution des facteurs de piézorésistivité, fonction du dopage et de la température, $P(N,T)$, pour les électrons (à gauche) et les trous (à droite), d'après [KANADA 82], avec $P(N,T) = \pi(N,T)/\pi(300\text{ K})$.

II.B.5.3.2 Expression analytique des coefficients piézorésistifs du silicium massif de type N

L'objectif de ce paragraphe est de présenter le principe du calcul théorique des coefficients piézorésistifs à partir des propriétés de la structure électronique du silicium. Nous nous limiterons au cas des électrons de la bande de conduction du silicium massif. En effet la complexité de la structure de la bande de valence rend les calculs analytiques très lourds⁹⁶.

Pour déterminer chacun des trois coefficients piézorésistifs du silicium, il suffit de calculer la dépendance de la variation relative de la conductivité avec la contrainte pour des cas simples :

$$\pi_{11} = -\frac{\delta\sigma_{11}^{el.}}{\sigma_0^{el.}\sigma_{11}}, \quad \pi_{12} = -\frac{\delta\sigma_{22}^{el.}}{\sigma_0^{el.}\sigma_{11}} \quad \text{et} \quad \pi_{44} = -\frac{\delta\sigma_{23}^{el.}}{\sigma_0^{el.}\sigma_{23}} = -\frac{\delta\sigma_{23}^{el.}}{\sigma_0^{el.}\sigma_{[110]}/2} \quad \text{Équation II-84}$$

Pour les deux premiers coefficients, π_{11} et π_{12} , il suffit d'appliquer une contrainte uniaxiale selon [100]. Pour π_{44} , il convient de générer une composante de cisaillement dans le tenseur des contraintes.

On part de la définition de la piézorésistivité (Équation II-72) et des relations données par l'Équation II-78 et l'Équation II-82. On considère de plus que l'ionisation des impuretés dopantes est indépendante de la contrainte. Ainsi le nombre de porteurs majoritaires n reste constant. On peut donc déterminer le niveau de Fermi indépendamment du niveau de contrainte.

La conductivité est la somme de la contribution de chaque couple de vallée (cf. Figures II-9) :

$$\sigma_{ij}^{el.} = \sum_{v=1}^3 qn_v \mu_{ij}^v = \sum_{v=1}^3 qn_v \frac{e\tau_{ij}^v}{m_{ij}^v} \quad \text{Équation II-85}$$

En utilisant la statistique de Boltzmann, la concentration de porteurs dans chaque vallée, sans contrainte, s'écrit :

$$n_v = \frac{1}{3} N_c \exp[-(E_{C,v} - E_F)/k_B T] = \frac{n}{3} \quad \text{Équation II-86}$$

où N_c est la densité totale d'états permis dans la bande de conduction.

La variation de conductivité est donnée par :

⁹⁶ Wang a traité le problème avec les deux approximations usuelles (énergies faibles ou fortes) [WANG 94].

$$\delta\sigma_{ij}^{el.} = \sum_{v=1}^3 qn_v \mu_{ij}^v \left(\frac{\delta n_v}{n_v} \right) + \sum_{v=1}^3 qn_v \mu_{ij}^v \left(\frac{\delta\tau_{ij}^v}{\tau_{ij}^v} \right) + \sum_{v=1}^3 qn_v \mu_{ij}^v \left(\frac{\delta(1/m_{ij}^v)}{1/m_{ij}^v} \right) \quad \text{Équation II-87}$$

Dans cette équation, le premier terme représente la redistribution des électrons due au transfert des électrons entre les différentes vallées, le deuxième vient de la variation des temps de relaxation liée aux interactions intervallées ; le dernier terme prend en compte la variation de masse effective due à la déformation des vallées.

- Cas d'une contrainte uniaxiale selon une direction $\langle 100 \rangle$:

Le troisième terme de l'Équation II-87 est nul dans ce cas de figure. Les décalages énergétiques de chaque vallée peuvent être obtenus dans le cas d'une contrainte uniaxiale par les relations (d'après les Équations II-33) :

$$\begin{cases} \delta E_{C,\Delta 2} = \Xi_d (S_{11} + 2S_{12})\sigma + \Xi_u S_{12}\sigma \\ \delta E_{C,\Delta 41} = \Xi_d (S_{11} + 2S_{12})\sigma + \Xi_u S_{11}\sigma \\ \delta E_{C,\Delta 42} = \Xi_d (S_{11} + 2S_{12})\sigma + \Xi_u S_{12}\sigma \end{cases} \quad \text{Équation II-88}$$

À partir de l'Équation II-86, on peut calculer la variation de la concentration en électrons, pour chaque vallée v :⁹⁷

$$\delta n_v = - \frac{(\delta E_{C,v} - \delta E_F)}{k_B T} n_v = - \frac{(\delta E_{C,v} - \delta E_F)}{k_B T} \frac{n}{3} \quad \text{Équation II-89}$$

Puisque la concentration totale des électrons reste constante, nous avons la condition :

$$\sum_{v=1}^3 \delta n_v = 0 \quad \text{Équation II-90}$$

En combinant l'Équation II-89 et l'Équation II-90, on obtient :

$$\delta E_F = \frac{1}{3} \sum_{v=1}^3 \delta E_v \quad \text{Équation II-91}$$

Le déplacement du niveau de Fermi est alors déterminé par :

$$\delta E_F = \Xi_d (S_{11} + 2S_{12})\sigma + \frac{1}{3} \Xi_u (S_{11} + 2S_{12})\sigma \quad \text{Équation II-92}$$

Les variations relatives de concentrations dans chaque vallée sont ainsi données par :

$$\begin{cases} \frac{\delta n_{\Delta 2}}{n_{\Delta 2}} = \frac{1}{3k_B T} \Xi_u (S_{11} - S_{12})\sigma \\ \frac{\delta n_{\Delta 41}}{n_{\Delta 41}} = -\frac{2}{3k_B T} \Xi_u (S_{11} - S_{12})\sigma \\ \frac{\delta n_{\Delta 42}}{n_{\Delta 42}} = \frac{1}{3k_B T} \Xi_u (S_{11} - S_{12})\sigma \end{cases} \quad \text{Équation II-93}$$

⁹⁷ Dans l'Équation II-89, nous avons négligé les variations de N_C avec la contrainte, *i.e.* les variations de $m_{DOS,c}$ puisque $\delta N_C / N_C = 3/2 \cdot \delta m_{DOS,c} / m_{DOS,c} \approx 0$. Les masses effectives des électrons ne varient pas pour une contrainte [100].

Dans le cas des faibles contraintes, R.W. Keyes a démontré que la variation relative des temps de relaxation dans le silicium massif est proportionnelle à celle des concentrations d'électrons de chacune des vallées [KEYES 60] :

$$\frac{\delta\tau_{ij}^v}{\tau_{ij}^v} \approx \alpha_{ij}^v \left(\frac{\delta n_v}{n_v} \right) \quad \text{Équation II-94}$$

où les coefficients α_{ij}^v sont appelés facteurs d'enrichissement. Ils varient typiquement entre 0 et 0,3 en valeur absolue.

L'Équation II-87 s'écrit dans ces conditions :

$$\delta\sigma_{ij}^{el.} = \sum_{v=1}^3 q n_v \mu_{ij}^v \left(\frac{\delta n_v}{n_v} \right) (1 + \alpha_{ij}^v) \quad \text{Équation II-95}$$

et en supposant α_{ij}^v indépendants des vallées et des orientations par rapport à la direction de la contrainte, on obtient :

$$\begin{cases} \delta\sigma_{11}^{el.} = q \frac{n}{3} \left[\frac{2}{3k_B T} \Xi_u (S_{11} - S_{12}) \sigma \right] (\mu_t - \mu_l) (1 + \alpha) \\ \delta\sigma_{22}^{el.} = q \frac{n}{3} \left[\frac{-1}{3k_B T} \Xi_u (S_{11} - S_{12}) \sigma \right] (\mu_t - \mu_l) (1 + \alpha) \end{cases} \quad \text{Équation II-96}$$

avec μ_l et μ_t définies par

$$\mu_l = \frac{q \langle \tau \rangle}{m_l} \quad \text{et} \quad \mu_t = \frac{q \langle \tau \rangle}{m_t} \quad \text{Équation II-97}$$

La conductivité sans contrainte étant donnée par (cf. valeur $m_{c,C}$ dans l'Équation II-21):

$$\sigma_0^{el.} = nq \frac{q \langle \tau \rangle}{m_{c,C}} = nq^2 \langle \tau \rangle \cdot \frac{1/m_l + 2/m_t}{3} \quad \text{Équation II-98}$$

On en déduit l'expression des coefficients piézorésistifs π_{11} et π_{12} (d'après Équation II-84):

$$\begin{cases} \pi_{11} = -\frac{\delta\sigma_{11}^{el.}}{\sigma_0^{el.} \sigma_{11}} = -\frac{2}{3k_B T} \Xi_u (S_{11} - S_{12}) \left(\frac{1 - m_t / m_l}{2 + m_t / m_l} \right) (1 + \alpha) \\ \pi_{12} = -\frac{\delta\sigma_{22}^{el.}}{\sigma_0^{el.} \sigma_{11}} = \frac{1}{3k_B T} \Xi_u (S_{11} - S_{12}) \left(\frac{1 - m_t / m_l}{2 + m_t / m_l} \right) (1 + \alpha) = -\frac{\pi_{11}}{2} \end{cases} \quad \text{Équations II-99}$$

On remarque ainsi que le coefficient de piézorésistivité hydrostatique $\pi_v = (\pi_{11} + 2\pi_{12})$ est nul, ce qui est cohérent puisque l'effet d'une contrainte hydrostatique est pratiquement négligeable lorsque le semi-conducteur est fortement dopé. Inversement plus le semi-conducteur est intrinsèque et plus l'effet de piézorésistivité hydrostatique est important. On constate aussi que d'après ce modèle, le coefficient π_{12} est opposé au coefficient π_{11} et deux fois plus faible. Ces coefficients sont fonction des masses effectives des électrons, des potentiels de déformation, des constantes élastiques et de la température.

- Cas d'une contrainte uniaxiale selon une direction $\langle 110 \rangle$:

Le même type de calcul peut être mené. On obtient alors l'expression suivante pour le coefficient π_{44} :

$$\pi_{44} = -\frac{\delta\sigma_{23}^{el.}}{\sigma_0^{el.} \sigma_{[110]}/2} = -\frac{\Xi_m S_{44} m_t}{2 + m_t / m_l} \tag{II-100}$$

Équation II-100

Remarquons que le coefficient π_{44} est indépendant de la température et de la concentration d'impureté, contrairement aux coefficients π_{11} et π_{12} .

Avec $\alpha = 0,1$, on obtient un très bon accord avec l'expérience (Tableau II-8).

$\times 10^{-12} \text{ Pa}^{-1}$	π_{11}	π_{12}	π_{44}
Théorique ($\alpha=0,1$)	-1047	524	-95
Expérimentaux [SMITH 54]	-1022	534	-136

Tableau II-8 : Comparaison expérience/modèle des coefficients piézorésistifs du silicium massif de type N.

II.B.5.3.3 Interprétation physique des coefficients piézorésistifs

Les coefficients piézorésistifs diffèrent en signe et en amplitude parce qu'ils sont causés par différents mécanismes modifiant la structure de bandes d'énergie du silicium. Ces effets ont été discutés dans la section II.B.3. Ils incluent la modification de la position énergétique des bandes, entraînant une modification de la bande interdite et une redistribution des porteurs dans les différentes bandes d'énergie, mais aussi la déformation des bandes, entraînant une modification des masses effectives et des densités d'états. Tous ces effets modifient la mobilité moyenne des porteurs. La modification des densités d'états de la bande de conduction et de valence peut aussi modifier la concentration totale de porteurs à travers le produit pn , qui devient alors fonction de la contrainte, mais cet effet devient négligeable lorsque la concentration totale de porteurs est déterminée par le dopage (ou le potentiel de grille dans le cas d'une couche d'inversion).

- Effet piézorésistif pour les électrons

L'effet piézorésistif pour les électrons est dominé par la redistribution des porteurs de charge. Cette redistribution est le résultat de décalages énergétiques inégaux pour les six vallées du silicium. Les électrons des vallées montant en énergie diffusent dans les vallées de plus basse énergie qui possèdent des propriétés électroniques différentes (masse effective,...). Nous avons vu précédemment que les vallées se décalent en énergie uniquement sous l'effet de déformations normales ε_{ii} (cf. Équations II-33) ; ainsi les coefficients piézorésistifs les plus grands pour les électrons sont les coefficients π_{11} et π_{12} . Une petite partie de l'effet piézorésistif est aussi induit par la déformation des bandes, uniquement lorsque le tenseur des déformations possède une composante de cisaillement ε_{ij} ($i \neq j$), cette composante n'entraînant par ailleurs aucun décalage énergétique des minima de bande. C'est cet effet qui est responsable du coefficient π_{44} , beaucoup plus faible que les coefficients normaux. Un effet bénéfique maximal sur la mobilité des électrons est donc attendu pour des contraintes en tension selon $[100]$ ⁹⁸.

⁹⁸ Nous verrons toutefois dans le chapitre III que pour un MOSFET, la situation est légèrement différente et une contrainte en tension selon $[110]$ est alors le meilleur moyen d'augmenter la mobilité des électrons.

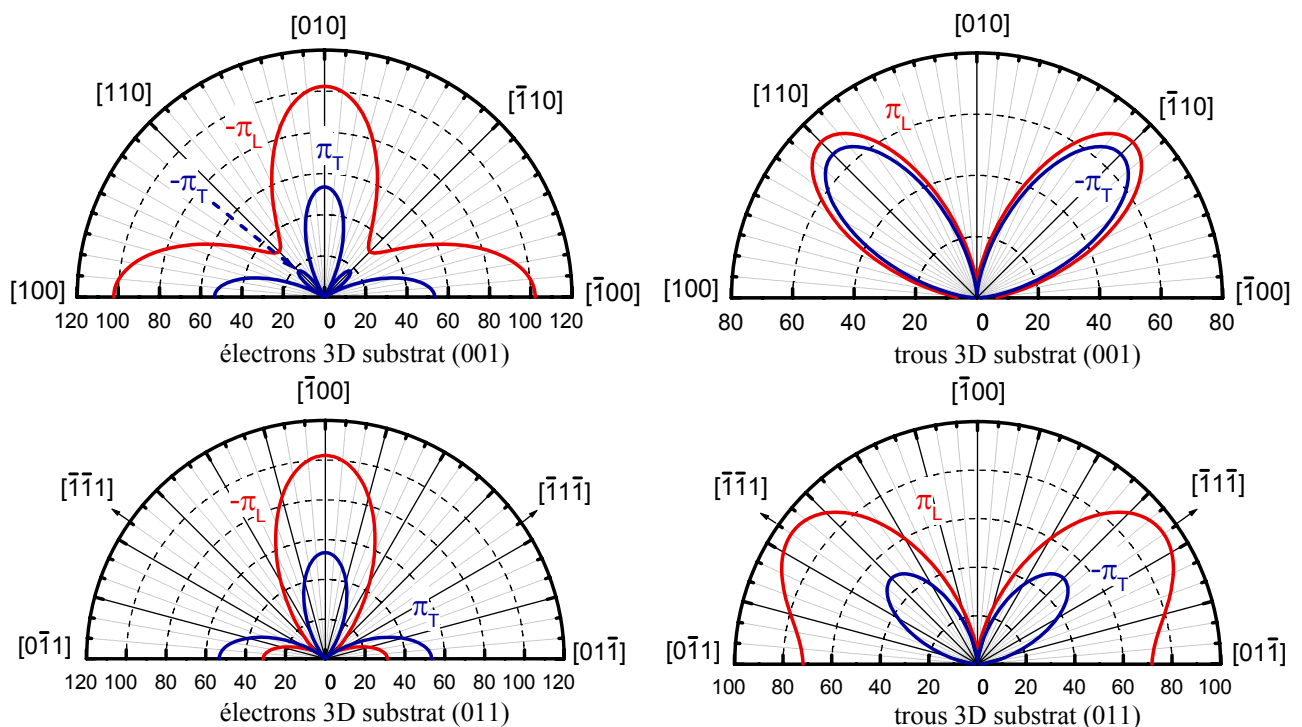
- Effet piézorésistif pour les trous

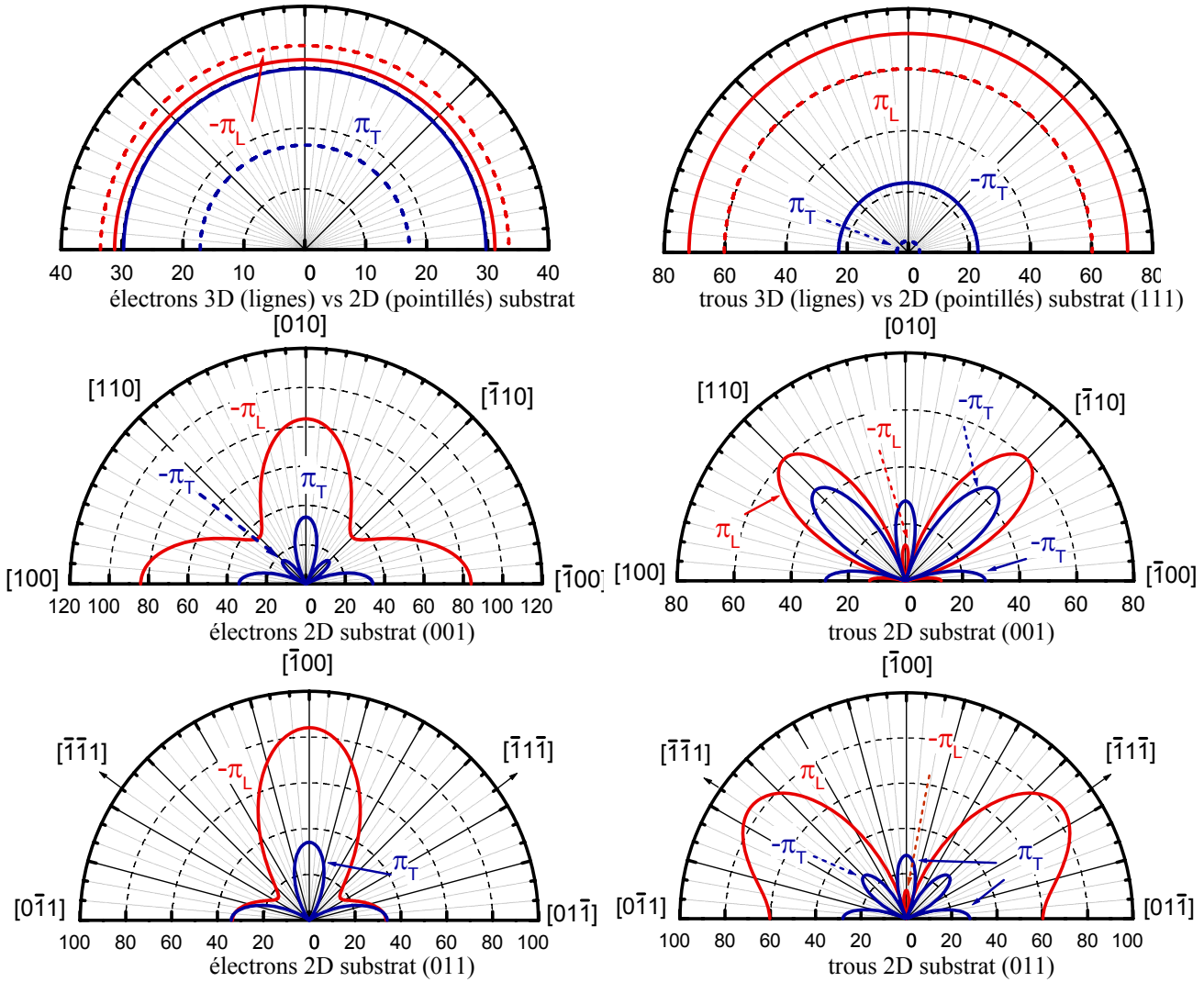
L'effet piézorésistif pour les trous est quant à lui principalement dominé par les éléments non-diagonaux du tenseur des déformations. Les modifications sont dues aussi bien aux décalages énergétiques des bords des trois branches constituant la bande de valence qu'aux déformations de ces bandes dans l'espace des \vec{k} , qui sont fortement corrélées pour la bande de valence. Les explications sur l'origine physique de l'effet piézorésistif des trous sont longtemps restées floues, probablement à cause de la description mathématique complexe de la structure électronique de la bande de valence, qui requiert des calculs numériques lourds [OHMURA 92]. En définitive, les coefficients piézorésistifs sont grands pour des contraintes de cisaillement et petits pour des contraintes normales. Ce comportement est donc opposé à celui des électrons ; ceci est ainsi utilisé pour concevoir des capteurs de contraintes qui seront sensibles aux deux types de contraintes (normales et de cisaillement) [BITTLE 91]. Un effet bénéfique maximal sur la mobilité des trous est donc attendu pour des contraintes appliquées selon $[110]$ puisqu'elles engendrent du cisaillement.

II.B.5.3.4 Choix d'orientation et de type de contrainte

D'après l'Équation II-83, pour obtenir un gain en mobilité, il faut que le coefficient piézorésistif soit négatif pour une contrainte en tension et positif pour une contrainte en compression.

À partir du tenseur de piézorésistivité, et connaissant les coefficients piézorésistifs du silicium, on peut calculer les valeurs des coefficients piézorésistifs en fonction de n'importe quelle orientation en utilisant les lois de transformation appropriées. Afin de mieux visualiser l'impact des contraintes, nous avons donc représenté en coordonnées polaires les variations des coefficients longitudinaux et transverses, π_L et π_T , en fonction de la direction, pour les trois orientations (001), (110) et (111) du substrat, dans le cas des coefficients piézorésistifs volumiques de Smith et dans le cas des coefficients piézorésistifs bidimensionnels de Canali (Figures II-45). Ici π_L signifie que l'on s'intéresse à l'effet d'une contrainte parallèle au transport et π_T pour une contrainte perpendiculaire au transport. Ce type de représentation illustre parfaitement l'anisotropie des effets piézorésistifs dans le silicium, aussi bien pour le type n que pour le type p.





Figures II-45 : Représentation en coordonnées polaires des variations des coefficients piézorésistifs (électrons et trous) longitudinal π_L et transverse π_T du silicium massif (3D) et d’une couche d’inversion (2D) pour différentes orientations du substrat [SMITH 54, CANALI 79]. L’angle correspond à la rotation dans le plan du substrat, à savoir l’angle d’Euler noté ψ . Les coefficients bidimensionnels utilisés correspondent à un champ effectif très faible d’environ 0,056 MV/cm seulement⁹⁹. Le signe du coefficient est indiqué sur chaque courbe. L’unité utilisée ici est $\times 10^{-11} \text{ Pa}^{-1}$. Les angles d’Euler utilisés pour les transformations sont les suivants : plan (001), angles nuls, plan (110), $\phi=\pi/2$ et $\theta=\pi/4$, plan (111), $\phi=\pi/4$ et $\theta=\arcsin(1/\sqrt{3})$.

Il est intéressant de noter qu’il n’y a pas d’effet d’orientation pour un substrat (111). Les coefficients les plus forts sont obtenus pour des contraintes parallèles au transport et (i) pour une surface orientée (110) selon une direction cristallographique $[\bar{1}1\bar{1}]$ pour les trous et (ii) pour une surface orientée (001) ou (110) selon une direction $[100]$ pour les électrons. D’après le signe des coefficients piézorésistifs, la contrainte doit être en tension pour les électrons et en compression pour les trous. On note parfois quelques différences entre les coefficients piézorésistifs calculés dans toutes les orientations de plans en utilisant les coefficients piézorésistifs exprimés dans la base des axes principaux du silicium et ceux mesurés dans la littérature directement sur des substrats orientés différemment de (001) ; des écarts significatifs apparaissent aussi parfois pour les coefficients bidimensionnels selon les auteurs (cf. Tableau II-7) : nous aurons l’occasion d’apporter notre contribution sur ces aspects au cours du Chapitre III.

L’Annexe B présente la synthèse des gains attendus selon l’orientation du substrat, le type de contrainte appliquée (uniaxiale, biaxiale, superposition,...) et le type de porteurs, d’après les coefficients piézorésistifs du silicium en faible inversion de la littérature [CANALI 79].

⁹⁹ On verra dans le chapitre III la nécessité d’extraire des coefficients piézorésistifs bidimensionnels pour des champs effectifs plus grands puisque les MOSFETs fonctionnent aujourd’hui à des valeurs comprises entre $\approx 0,5$ et 1MV/cm.

II.B.5.4 Cas d'une couche d'inversion (piézorésistivité bidimensionnelle)

Les valeurs des coefficients piézorésistifs d'une couche d'inversion d'un MOSFET sont rappelées dans le Tableau II-7. Peu d'études récentes ont été menées sur ce sujet ; les références remontent aux années 70 [CANALI 79, DORDA 71,72]. Or depuis 30 ans, la technologie CMOS a fortement évolué et il devient intéressant de caractériser l'effet piézorésistif des couches d'inversion des MOSFETs des technologies actuelles (empilements de grille différents, matériaux du canal nouveaux...). Ainsi l'étude expérimentale de la piézorésistivité bidimensionnelle fera l'objet du Chapitre III.

Rappelons ici les différences fondamentales qu'il existe entre la piézorésistivité d'une couche d'inversion d'un MOSFET et la piézorésistivité dans le volume d'un matériau. La première différence réside dans le fait que la concentration et les populations de porteurs dans les différentes sous-bandes sont modulées par le champ électrique de grille (effet du confinement quantique, cf. §II.B.2.3). Ainsi les coefficients piézorésistifs verront les valeurs dépendre du champ électrique transverse (de grille). En l'occurrence on note que, pour les électrons, ces derniers ont, en général, tendance à diminuer avec le champ électrique puisque les effets du confinement quantique vont dans le même sens que les effets de levée de dégénérescence induits par une contrainte mécanique. Autrement dit, à fort champ de grille, l'effet d'une contrainte mécanique sur la mobilité des électrons diminue. Pour les trous la situation est différente et aussi plus complexe. À titre d'exemple, pour une contrainte biaxiale en tension, les effets de la contrainte s'opposent à ceux du confinement quantique, si bien qu'à fort champ, l'effet de la contrainte est perdu (cf. §II.C.1.2). Toutefois, si l'on réussit à augmenter le niveau de contrainte, et par conséquent la levée de dégénérescence entre la bande des trous légers et celle des trous lourds, le gain sera non nul pour des champs électriques plus forts (cf. Figure II-55). L'interprétation des coefficients piézorésistifs étant beaucoup plus complexe pour les trous, on se contentera à expliciter, dans le cadre de ce mémoire, la piézorésistivité des électrons. La seconde différence majeure vient du fait que, dans une structure MOS, les porteurs confinés à l'interface diélectrique de grille-silicium subissent des interactions supplémentaires comparativement à ceux d'un barreau de silicium massif¹⁰⁰ (cf. §II.B.4.1). Rappelons les principales interactions typiques d'une couche d'inversion de MOSFET (et qui n'existent pas dans du silicium massif) : diffusion avec la rugosité de surface, interaction coulombienne avec les états d'interface ou les charges fixes situées dans l'empilement de grille. De plus les interactions avec les phonons du réseau pour une couche confinée peuvent différer notablement de celles observées dans le silicium massif (cf. discussion au §II.B.4.2.1). Toutes ces différences vont conduire naturellement à une piézorésistivité 2D différente de la piézorésistivité 3D.

II.B.5.4.1 Description phénoménologique

Certaines études se sont attachées à introduire les effets du confinement quantique dans le calcul des coefficients de piézorésistivité, afin d'expliquer les dépendances observées avec la tension de grille. Citons par exemple, pour les électrons les études de Dorda, Zaima *et al.* et Wang *et al.* [DORDA 71, ZAIMA 86, WANG 92], et pour les trous celles de Colman *et al.*, Dorda et Wang *et al.* [COLMAN 68, DORDA 72, WANG 93].

Le tenseur de résistivité s'écrit dans le cas d'un système bidimensionnel :

$$[\rho_{ij}] = \begin{bmatrix} \rho_{11} & \rho_{12} \\ \rho_{21} & \rho_{22} \end{bmatrix} \quad \begin{array}{l} \text{Équation} \\ \text{II-101} \end{array}$$

¹⁰⁰ C'est d'ailleurs la raison pour laquelle la mobilité maximale des porteurs d'une couche d'inversion est plus faible que celle du silicium massif ($\mu(2D) \approx \mu_c(3D)/3$ typiquement, pour une architecture conventionnelle).

Si le tenseur est symétrique, il peut s'écrire sous la forme d'un vecteur colonne à trois composantes, ρ_1 , ρ_2 et ρ_4 . Pour le silicium orienté selon le plan (001), le tenseur devient un scalaire puisque $\rho_4 = 0$:

$$[\rho_i] = \rho \begin{bmatrix} 1 \\ 1 \\ 0 \end{bmatrix}_0 \quad \begin{array}{l} \text{Équation} \\ \text{II-102} \end{array}$$

De la même manière le tenseur de contrainte dans le cas bidimensionnel s'écrit :

$$[\sigma_i] = \begin{bmatrix} \sigma_1 \\ \sigma_2 \\ \sigma_4 \end{bmatrix} \quad \text{Équation II-103}$$

Quant au tenseur de piézorésistivité bidimensionnelle du silicium orienté (001), il prend la forme suivante :

$$[\pi_{ij}] = \begin{bmatrix} \pi_{11} & \pi_{12} & 0 \\ \pi_{12} & \pi_{11} & 0 \\ 0 & 0 & \pi_{44} \end{bmatrix} \quad \text{Équation II-104}$$

Comme dans le volume du silicium, trois coefficients indépendants suffisent à décrire l'effet piézorésistif.

II.B.5.4.2 Expressions analytiques des coefficients piézorésistifs bidimensionnels des électrons

À cause du confinement quantique, les populations des électrons des six vallées de la bande de conduction ne sont plus équivalentes (les vallées $\Delta 2$ sont plus peuplées que les vallées $\Delta 4$). La conductivité bidimensionnelle due aux électrons dans la couche d'inversion s'écrit alors :

$$[\sigma_{ij}^{el.}] = 2q^2 \left\{ n_{\Delta 41} \tau_{\Delta 41} \begin{bmatrix} 1/m_t & 0 \\ 0 & 1/m_t \end{bmatrix} + n_{\Delta 42} \tau_{\Delta 42} \begin{bmatrix} 1/m_t & 0 \\ 0 & 1/m_t \end{bmatrix} + n_{\Delta 2} \tau_{\Delta 2} \begin{bmatrix} 1/m_t & 0 \\ 0 & 1/m_t \end{bmatrix} \right\} \quad \begin{array}{l} \text{Équation} \\ \text{II-105} \end{array}$$

où n_i est la densité surfarique des électrons de la vallée i , et τ_i le temps de relaxation moyen global de chaque vallée i .

La vallée $\Delta 41$ étant identique à la vallée $\Delta 42$ sous l'effet d'un champ électrique normal à la surface (001) du silicium, la conductivité se met alors sous la forme :

$$[\sigma_{ij}^{el.}] = 2q^2 n_{\Delta 4} (B \tau_{\Delta 2} / m_t + \tau_{\Delta 4} / m_t + \tau_{\Delta 4} / m_t) \begin{bmatrix} 1 & 0 \\ 0 & 1 \end{bmatrix} \quad \text{Équation II-106}$$

où B représente ici le rapport des populations des deux premières sous-bandes des vallées $\Delta 2$ et $\Delta 4$, calculées en considérant une statistique de Boltzmann, selon :

$$\frac{1}{B} = \frac{n_{\Delta 4,0}}{n_{\Delta 2,0}} = \frac{\sqrt{m_t m_t}}{m_t} \exp\left(-\frac{(E_{\Delta 4,0} - E_{\Delta 2,0})}{k_B T}\right) \quad \text{Équation II-107}$$

L'Équation II-106 représente la conductivité à l'état sans contrainte. Du fait de la quantification, les positions énergétiques des six vallées ne sont plus identiques. Les temps de relaxation des électrons étant fonction de l'énergie, ceci conduit également à une anisotropie des

temps de relaxation due aux mécanismes de diffusion intervallée et intravallée. La modification des temps de relaxation des différentes vallées sous l'effet d'une contrainte peut alors se traduire sous la forme [WANG 94]:

$$\tau_{\Delta 2} = \tau_{\Delta 4} + \Delta \tau \quad \text{Équation II-108}$$

De plus, la diffusion intervallée est modifiée par le changement des positions relatives entre ces vallées. Cette contribution à l'effet de piézorésistivité peut être modélisée par le facteur d'enrichissement α_{ij} , dépendant de chacune des transitions.

Suivant le même procédé que celui suivi pour le calcul des coefficients de piézorésistivité des électrons dans le volume du silicium, on peut calculer l'expression des coefficients de piézorésistivité bidimensionnelle pour les électrons. Wang trouve les expressions suivantes [WANG 94] :

$$\begin{cases} \pi_{11} = -\frac{\Xi_u(S_{11} - S_{12})}{(2+B)kT} \left(\frac{B(\Delta\tau/\tau_{\Delta 4}) + (1+B)(1 - m_t/m_l)}{1+B+B(\Delta\tau/\tau_{\Delta 4}) + m_t/m_l} \right) (1 + \alpha_{11}) \\ \pi_{12} = \frac{\Xi_u(S_{11} - S_{12})}{(2+B)kT} \left(\frac{(1 - m_t/m_l) - B(\Delta\tau/\tau_{\Delta 4})}{1+B+B(\Delta\tau/\tau_{\Delta 4}) + m_t/m_l} \right) (1 + \alpha_{12}) \\ \pi_{44} = -\frac{\Xi_m S_{44} m_l B (1 + \Delta\tau/\tau_{\Delta 4})}{1+B+B(\Delta\tau/\tau_{\Delta 4}) + m_t/m_l} \end{cases} \quad \text{Équation II-109}$$

On retrouve les coefficient de piézorésistivité à trois dimensions (Équations II-99 et Équation II-100) en posant $B=1$ et $\Delta\tau/\tau_{\Delta 4}=0$.

Kawaji [KAWAJI 69] a démontré que le temps de relaxation des électrons dans un système bidimensionnel est fonction des niveaux énergétiques des sous-bandes. Et puisque ces niveaux dépendent du champ électrique perpendiculaire à l'interface Si/SiO₂, on peut supposer que le rapport des temps de relaxation $\tau_{\Delta 2}/\tau_{\Delta 4}$ et le facteur d'enrichissement α_{ij} varient en fonction du champ électrique $\vec{\varepsilon}_g$ à l'interface de la manière suivante :

$$\tau_{\Delta 2}/\tau_{\Delta 4} = \left(1 + \varepsilon_g/\varepsilon_{c1}\right)^{s_1} \text{ et } \alpha_{ij} = \alpha_{ij0} \left[1 - \left(\varepsilon_g/\varepsilon_{c2}\right)^{s_2}\right] \quad \text{Équations II-110}$$

où α_{ij0} est le facteur d'enrichissement lorsque le champ électrique est nul.

Quant au paramètre Ξ_m concernant la variation de masse effective des électrons, on peut le relier avec le champ électrique $\vec{\varepsilon}_g$ par :

$$\Xi_m = \Xi_{m0} \left[1 + \left(\varepsilon_g/\varepsilon_{c3}\right)^{s_3}\right] \quad \text{Équation II-111}$$

où Ξ_{m0} est la valeur de Ξ_m en l'absence de champ électrique. Les paramètres ε_{ci} sont les valeurs critiques du champ électrique dans les cas correspondants. Les valeurs de ces paramètres déterminés par Wang afin de représenter au mieux les valeurs expérimentales sont données dans le Tableau II-9.

Paramètres	s ₁	s ₂	s ₃	α_{110}	α_{120}	ε_{c1} (V/cm)	ε_{c2} (V/cm)	ε_{c3} (Vcm)
Valeurs	0,2	2,0	2,0	0,12	0,25	$2,4 \cdot 10^5$	$1,6 \cdot 10^6$	$1,6 \cdot 10^6$

Tableau II-9 : Valeurs des paramètres nécessaires au calcul des coefficients piézorésistifs bidimensionnels pour les électrons en fonction du champ électrique transverse [WANG 94].

II.C Les architectures à canal contraint et leurs performances

Dans ce paragraphe nous présentons les principales techniques, étudiées en laboratoire de recherche appliquée et parfois déjà utilisées dans l'industrie en production, qui permettent d'introduire une contrainte contrôlée dans le canal des transistors MOS, qu'ils soient de technologie conventionnelle (*bulk*) ou avancée (SOI par exemple). Cette liste est non exhaustive puisque le nombre de procédés technologiques est très vaste.

On peut jouer aussi bien sur le matériau constituant le canal du transistor que sur les matériaux en contact avec le canal. Nous avons alors dissocié l'ingénierie du canal par le substrat, appelé « *channel substrate engineering* » (§ II.C.1) des contraintes induites par le procédé de fabrication, appelé « *process-induced strain* » (effet des matériaux entourant le canal de conduction) (§ II.C.2).

Les spécifications à respecter pour l'introduction de nouveaux procédés introduisant des contraintes mécaniques dans la zone active des circuits intégrés sont nombreuses. La plus importante concerne la stabilité de la contrainte tout au long du procédé de fabrication, notamment après les implantations ioniques, les traitements thermiques et les étapes de gravure. À la fin de cette partie, l'ensemble des techniques est synthétisé dans un organigramme (Figure II-75).

II.C.1 L'ingénierie du canal par le substrat - canaux épitaxiés

Une première méthode consiste à réaliser des canaux épitaxiés contraints. On s'attache ici à développer des substrats contraints sur lesquels les transistors seront fabriqués. Il s'agit d'une approche globale, c'est-à-dire que la contrainte est créée sur toute la plaquette.

Le principe est basé sur les différences de paramètres de maille de deux matériaux différents. L'alliage silicium-germanium (SiGe) est le plus utilisé en microélectronique. Les premiers travaux de recherches utilisant cet alliage pour contraindre le silicium date de la fin des années 80 ; ils portaient sur des transistors bipolaires. Lors d'une croissance par épitaxie de $\text{Si}_{1-x}\text{Ge}_x$ sur du silicium, la couche épitaxiée va se conformer au substrat de silicium tant que son épaisseur est inférieure à une épaisseur critique au-delà de laquelle cette couche se relaxe¹⁰¹. On parle alors de couche pseudomorphe. Cette épaisseur critique dépend des conditions de croissance (essentiellement la température mais aussi la vitesse de croissance) et surtout de la concentration en germanium. Différents modèles, qui dépendent de l'origine physique de la relaxation, ont été publiés dans la littérature¹⁰² (Figure II-46). Notons toutefois qu'il est difficile de corréliser ces épaisseurs calculées aux cas réels puisqu'en pratique il existe une gamme d'épaisseur pour laquelle les couches contraintes se trouvent dans un état métastable. Ainsi

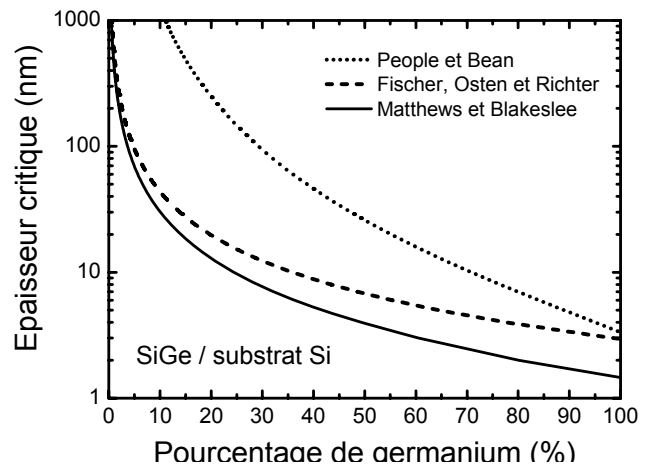


Figure II-46 : Evolution de l'épaisseur critique d'une couche contrainte en SiGe sur substrat de silicium en fonction de la fraction molaire de Ge selon le modèle utilisé.

¹⁰¹ Relaxation partielle en créant par exemple des dislocations lorsque l'énergie stockée par le matériau contraint dépasse sa limite élastique intrinsèque.

¹⁰² Citons les plus connus : le modèle de Matthews et Blakeslee (dislocations localisées) [MATTHE 74], de Fischer *et al.* (dislocations interdépendantes) [FISCHER 00] et de People et Bean (équilibre des énergies élastiques) [PEOPLE 85].

il est possible d'obtenir des couches contraintes non relaxées au-delà de l'épaisseur critique théorique.

Le paramètre de maille du germanium étant plus grand que celui du silicium (cf. Tableau II-10), l'alliage SiGe a un paramètre de maille plus grand que celui du silicium (Équations II-112). En conséquence, la couche de SiGe se trouvera en compression biaxiale dans le plan de l'épitaxie et en tension dans la direction perpendiculaire (conservation du volume). Inversement si l'on fait croître du silicium sur du SiGe relaxé (d'épaisseur très supérieure à l'épaisseur critique), qui a donc retrouvé son paramètre de maille originel, la couche de silicium se trouvera alors en tension biaxiale dans le plan et en compression dans la direction perpendiculaire (Figure II-47).

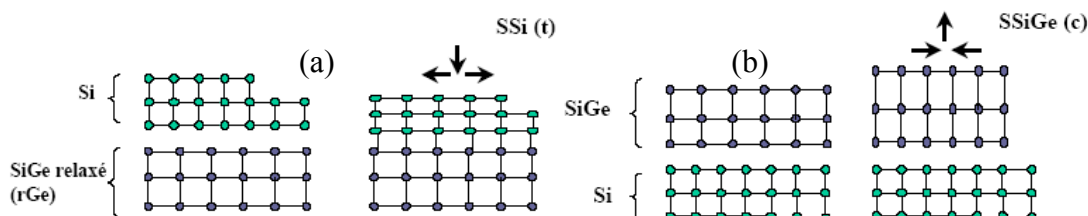


Figure II-47 : Représentation schématique de l'état de contrainte dans le cas (a) d'une fine couche de Si/SiGe relaxé (b) d'une fine couche de SiGe/Si.

On peut ainsi mettre du silicium en tension sur du SiGe relaxé (Si/SiGe), ce qui sera favorable pour la mobilité des électrons ou mettre en compression une fine couche de SiGe sur du silicium monocristallin ($\text{Si}_{1-x}\text{Ge}_x/\text{Si}$) pour augmenter la mobilité des trous.

Le niveau de contrainte dépend à la fois de la fraction molaire de germanium et des conditions du procédé. En effet, la contrainte est la somme d'une contrainte *d'origine cristallographique* (désaccord du paramètre de maille) et *d'origine thermique* (différence des coefficients de dilatation thermique, cf. Tableau II-10). Ceci implique qu'une interface Si/SiGe sous un recuit à une température T sera le siège de contraintes mécaniques dues à une température de croissance (T_0) différente de la température de recuit (T) [SAMAVE 99, CURRIE 98], proportionnelles à $(\alpha_{\text{SiGe}} - \alpha_{\text{Si}}) \cdot (T - T_0)$. Notons cependant que dans le cas de couches contraintes par épitaxie, la contribution thermique est faible par rapport à la contribution cristallographique.

Les hétérostructures à base de carbone (Si:C/Si) sont aussi utilisées pour créer une couche contrainte. L'introduction d'un faible pourcentage de carbone dans une couche de silicium diminue le paramètre de maille de cette couche en raison du plus faible paramètre de maille du réseau du carbone (3,567 Å) comparé à celui du silicium. La couche est donc contrainte en tension et sera favorable pour les NMOS. Par ailleurs le gain obtenu sur des dispositifs sub-100nm présentant une couche enterrée Si:C/Si est très prometteur vis-à-vis des effets de canaux courts (contrôle de la diffusion des dopants) mais n'est pas encore à la hauteur du gain espéré concernant la mobilité à cause notamment de la création de défauts par le carbone en site interstitiel [ERNST 02].

- Relation entre le pourcentage de germanium et la contrainte induite dans la couche épitaxiée :

On se propose ici de rappeler les principales équivalences qui existent entre le pourcentage de germanium dans l'alliage $\text{Si}_{1-x}\text{Ge}_x$ et la contrainte induite dans la fine couche de silicium déposé par épitaxie ; l'orientation du substrat étant fixée selon (001). Dans la littérature on trouve aussi bien indiqué le pourcentage de germanium de l'alliage SiGe que la valeur de la contrainte, de la déformation ou même de l'écart de paramètre de maille. Le paramètre de maille de l'alliage $\text{Si}_{1-x}\text{Ge}_x$ en fonction de la proportion de germanium est donné sur la Figure II-49.

	Si	Ge
a (Å)	5,431	5,658
ρ (g.cm ⁻³)	2,329	5,323
E_g (eV) à 300K	1,12	0,66
$\alpha_{25^\circ\text{C}}$ ($\times 10^{-6}$ K ⁻¹)	2,57	5,90
$\alpha_{750^\circ\text{C}}$ ($\times 10^{-6}$ K ⁻¹)	4,27	8,55
μ_n (cm ² /V/s)	1350	3600
μ_p (cm ² /V/s)	480	1800

Tableau II-10 : Propriétés physiques du Si et du Ge

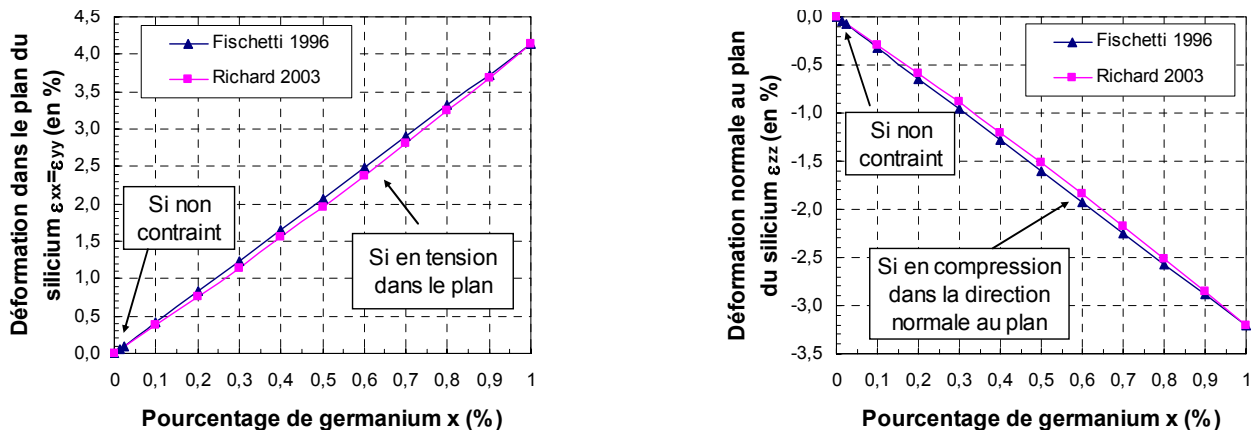
Les Équations II-112 et la Équations II-113 rappellent la relation entre le paramètre de maille de l'alliage $\text{Si}_{1-x}\text{Ge}_x$ et la fraction x de germanium (paramètre de maille exprimé ici en mètre).

$$\begin{cases} a_0(\text{Si}_{1-x}\text{Ge}_x) = a_0(\text{Si}) + 0,200326x(1-x) + [a_0(\text{Ge}) - a_0(\text{Si})]x^2, \\ d'après [RICHAR03] \\ a_0(\text{Si}_{1-x}\text{Ge}_x) = a_0(\text{Si}) \cdot (1-x) + a_0(\text{Ge}) \cdot x - 1,88 \times 10^{-12} x(1-x), \\ d'après [FISCHE96] \\ a_0(\text{Si}_{1-x}\text{Ge}_x) \approx a_0(\text{Si}) + 0,225x \end{cases} \quad \text{Équations II-112}$$

Les valeurs des déformations correspondantes dans la couche contrainte, dans le plan de croissance (x,y), et hors du plan (z), sont données par :

$$\begin{cases} \varepsilon_{xx} = \varepsilon_{yy} = \varepsilon_{//} = \frac{a_{//} - a_0(\text{Si})}{a_0(\text{Si})} = \frac{a_0(\text{Si}_{1-x}\text{Ge}_x) - a_0(\text{Si})}{a_0(\text{Si})} \\ \varepsilon_{zz} = \varepsilon_{\perp} = -2 \frac{C_{12}}{C_{11}} \varepsilon_{//} \\ \varepsilon_{xy} = \varepsilon_{xz} = \varepsilon_{yz} = 0 \end{cases} \quad \text{Équations II-113}$$

Les déformations engendrées sont représentées sur les Figures II-48.



Figures II-48 : Relation entre la proportion de germanium dans l'alliage SiGe et la déformation dans le plan de croissance de la couche contrainte (à gauche) et normale au plan (à droite).

En utilisant les lois de Hooke (cf. §II.B.1.3), on peut donc remonter aux contraintes théoriques maximales induites dans la couche épitaxiée. Les propriétés élastiques du silicium étant anisotropes (cf. §II.B.1), les contraintes induites sont dépendantes de la direction cristallographique. Les résultats sont présentés sur les Figures II-50 pour les directions usuelles en microélectronique. Les écarts obtenus selon les relations utilisées par Richard *et al.* et Fischetti *et al.* sont faibles.

Pour des pourcentages usuellement utilisés (20-30%), le niveau de contrainte dans la couche de silicium est donc de l'ordre du gigaPascal (GPa).

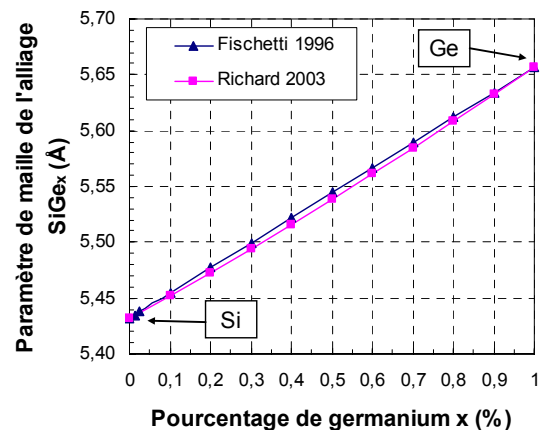
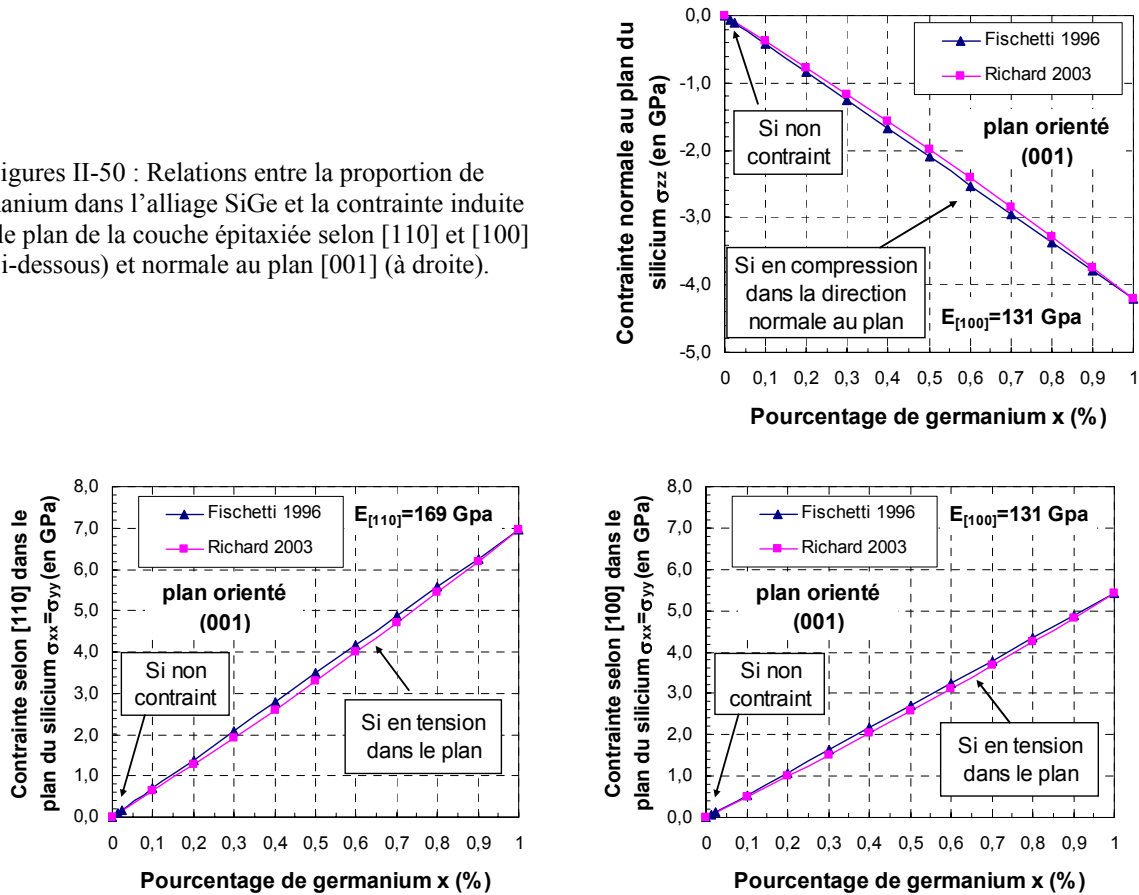


Figure II-49 : Relation entre la proportion de germanium dans l'alliage SiGe et son paramètre de maille correspondant.

Figures II-50 : Relations entre la proportion de germanium dans l'alliage SiGe et la contrainte induite dans le plan de la couche épitaxiée selon [110] et [100] (ci-dessous) et normale au plan [001] (à droite).



II.C.1.1 SiGe en compression sur silicium massif (sSiGe / Si)

Cette approche concerne uniquement l'amélioration des performances des PMOS (Figure II-51) [FITZGE 03]. En jouant sur les concentrations de Ge on peut aussi faire croître une fine couche de Ge en compression biaxiale sur du Si_{1-x}Ge_x. Cependant il est nécessaire d'introduire une fine couche en Si, dite d'encapsulation (« Si cap »), avant de procéder à la réalisation de l'oxyde de grille ; ceci pour des raisons de qualité de l'oxyde (dégradée en présence de Ge à l'interface). Cette approche est la plus intéressante en terme de gain en mobilité pour les trous actuellement mais dans l'optique d'une intégration de circuits CMOS peu complexe, il est souvent utilisé une contrainte biaxiale en tension à la fois pour les électrons et les trous (cette dernière permettant dans certains cas d'améliorer le transport des trous, cf. §II.C.1.2). En effet cette première approche implique d'avoir des canaux duaux, c'est-à-dire en SiGe contraint en compression pour les PMOS et silicium contraint en tension pour les NMOS (voir paragraphe suivant).

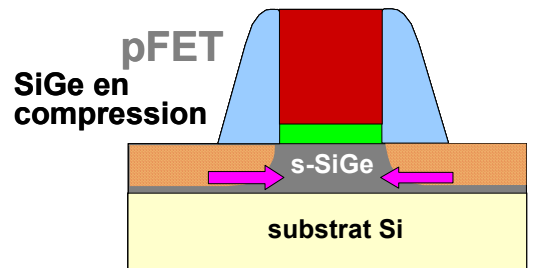


Figure II-51 : Architecture à canal SiGe en compression biaxiale sur silicium massif.

La bande interdite du germanium étant différente de celle du silicium (Tableau II-10), on obtient un décalage de bande d'environ 7 meV par pourcentage de Ge entre la couche épitaxiée Si_{1-x}Ge_x et le substrat relaxé de silicium massif au niveau des bandes de valence uniquement ; le décalage des bandes de conduction étant négligeable [LIU 05] (Figure II-52).

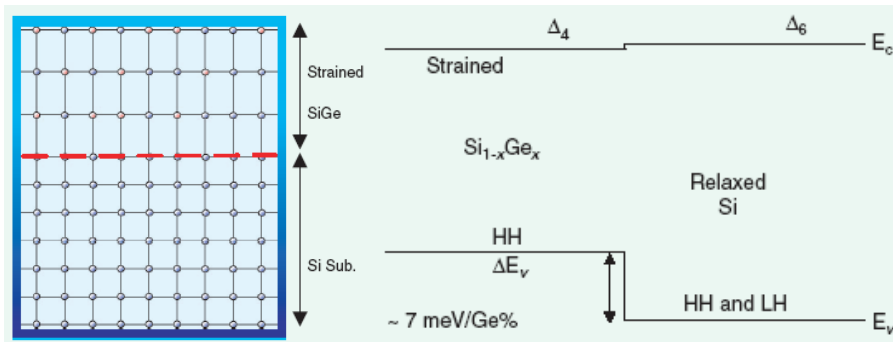


Figure II-52: Diagramme schématique de l'arrangement atomique et de la structure de bandes pour un empilement SiGe pseudomorphe/Si massif, d'après [LIU 05].

Résultats électriques sSiGe/Si bulk :

Lee *et al.* [LEE 01] ont obtenu des mobilités multipliées par 8 par rapport au Si standard avec du sSi/Ge/Si_{0.3}Ge_{0.7} (la conduction des trous se faisant dans la couche de Ge). Leitz *et al.* [LEITZ 01] ont mesuré des mobilités multipliées par 5 (pic à pic) par rapport au Si standard avec du sSi/Si_{0.2}Ge_{0.8}/Si_{0.5}Ge_{0.5}. Récemment la mobilité des trous d'un PMOS Si_{0.72}Ge_{0.28} avec un empilement de grille TiN/HfO₂ a été améliorée de 58% par rapport à la mobilité universelle à un champ effectif de 1 MV/cm [WEBER 04] ce qui permet de recouvrir largement la dégradation de la mobilité induite par le diélectrique HfO₂. Pour augmenter la mobilité des trous, le SiGe en compression est donc une solution prometteuse, meilleure que le silicium contraint en tension. Cependant l'intégration d'une fine couche d'encapsulation en Si réduit la capacité en inversion, limitant ainsi l'intérêt d'une telle structure.

II.C.1.2 Silicium en tension sur substrat virtuel SiGe (sSi/SiGe relaxé)

Cette approche consiste à déposer une couche de silicium en tension sur un substrat virtuel de SiGe relaxé (Figure II-53) ; elle est la plus largement utilisée. On part en général d'un substrat de silicium massif et on réalise une croissance par épitaxie de Si_{1-x}Ge_x avec une concentration graduelle croissante de germanium. Ceci permet d'éliminer progressivement les dislocations en bord de plaque afin d'obtenir des couches SiGe de plus en plus relaxées, puisque l'épitaxie génère en priorité des dislocations dans le plan. Ceci permet aussi de réduire considérablement le nombre de défauts (queue ou boucle de dislocation...) présents sur la surface de la couche finale Si_{1-x}Ge_x. On dépose ensuite la couche de Si_{1-x}Ge_x avec la concentration voulue de germanium qui déterminera la contrainte dans la couche de silicium ensuite déposée et qui constituera le canal contraint du transistor (Figure II-54). L'épaisseur totale de l'empilement des couches SiGe fait que le paramètre de maille de la dernière couche de SiGe est effectivement celui du SiGe massif ; c'est pourquoi on l'appelle SiGe relaxé ou virtuel.

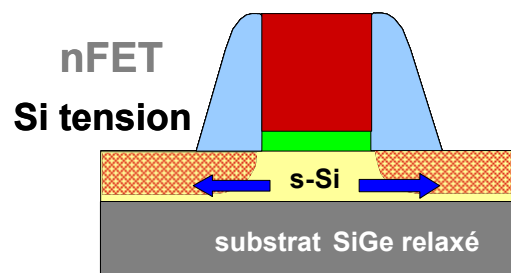


Figure II-53 : Architecture à canal Si en tension biaxiale sur un substrat virtuel de SiGe relaxé.

Dans ce cas, on obtient un décalage de bande d'environ 6 meV par pourcentage de Ge à la fois pour la bande de conduction et la bande de valence (Figure II-54) [LIU 05]. Hoyt *et al.* trouvent 6,7 meV pour la BC et 4 meV pour la BV [HOYT 02]. Cette technique permet d'améliorer la mobilité des électrons et des trous, dans certaines conditions. La tension de seuil du silicium contraint en tension biaxiale pour un NMOS présente un décalage négatif par rapport au silicium massif non contraint car le bas de la bande de conduction du silicium contraint est plus bas que celui du silicium non contraint [GOO 03b] (cf. modélisation au §V.A.2). Ce décalage est d'environ 100mV pour 20% Ge [HOYT 02].

Le décalage énergétique entre les vallées Δ_2 et Δ_4 de la bande de conduction du silicium ainsi en tension peut être relié directement au pourcentage de Ge en utilisant les relations établies précédemment et en prenant 9eV comme valeur du potentiel de déformation Ξ_u , selon $\delta E_{\Delta_2-\Delta_4} \approx 0,67x$ (x étant la fraction de Ge).

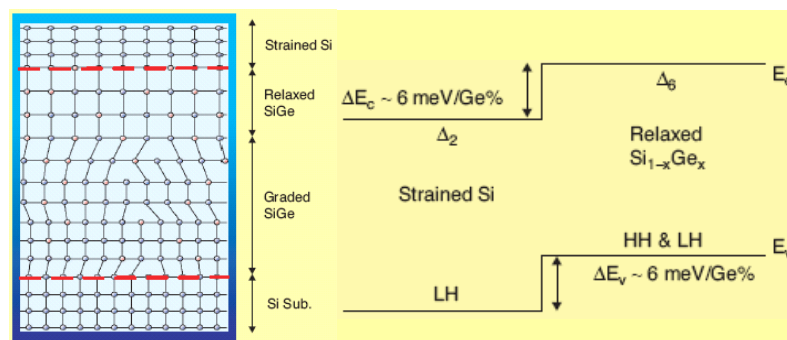


Figure II-54 : Diagrammes schématiques de l'arrangement atomique, où l'on distingue les dislocations dans le plan, et de la structure de bandes pour un empilement sSi/substrat virtuel $Si_{1-x}Ge_x$ [LIU05]

Les défis liés aux matériaux pour le silicium contraint sur SiGe relaxé incluent (a) la génération de dislocations due au désaccord de paramètre de maille à l'interface Si/SiGe, (b) la propagation des dislocations jusqu'à la zone active, (c) la rugosité de surface, (d) la non-uniformité de la contrainte induite et (e) la stabilité thermique du silicium contraint pendant l'ensemble du procédé de fabrication du circuit intégré.

Grâce à l'utilisation d'une couche graduelle SiGe, la qualité de l'interface Si/SiGe est bonne puisque les dislocations sont confinées dans la couche épaisse de SiGe. La densité de défauts est typiquement inférieure à $1,0 \times 10^4 \text{ cm}^{-2}$ et des mesures Raman indiquent un taux de contrainte supérieur à 95% dans la couche de silicium en raison de la haute qualité de l'interface Si/SiGe (peu de défauts). Cependant des analyses XTEM et des coupes TEM révèlent parfois des dislocations situées à l'interface Si contraint/SiGe. De telles dislocations sont nuisibles aux performances du dispositif puisqu'elles se situent à seulement quelques dizaines de nanomètres sous la couche active et sont donc susceptibles de devenir des chemins de courant de fuite.

Un autre défi est la rugosité de surface de la couche épitaxiée en SiGe sur le substrat de silicium. Le procédé de polissage mécano-chimique (CMP) a donc été implémenté pour adoucir la surface du SiGe, suivi d'une croissance additionnelle de SiGe et de silicium contraint. On passe ainsi d'une rugosité de l'ordre de 7,2 nm à 0,5 nm [FIOREN 04].

Résultats électriques sSi/SiGe relaxé :

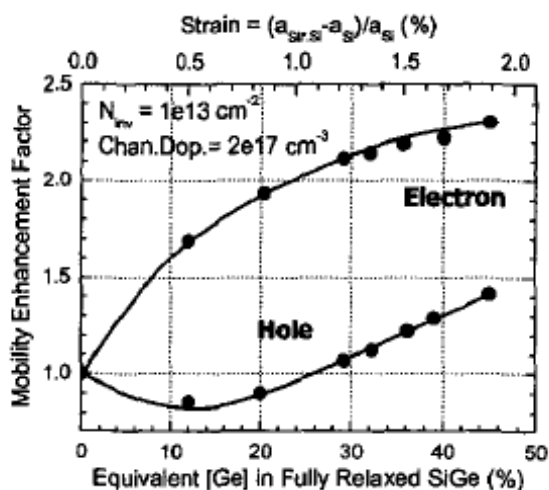


Figure II-55 : Evolution du gain en mobilité pour les électrons et les trous d'un canal sSi/SiGe relaxé en fonction de la concentration de Ge [RIM 03]

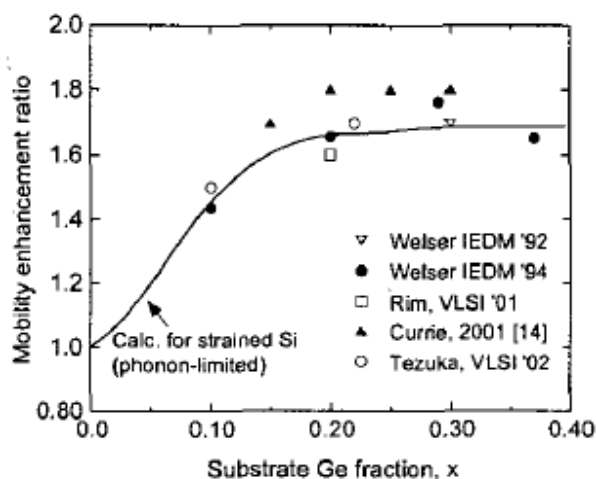


Figure II-56 : Evolution du facteur d'amélioration de la mobilité maximale des électrons sous contrainte biaxiale en fonction de la concentration en Ge. [HOYT 02].

Les gains en mobilité seront d'autant plus importants que la concentration de Ge dans le substrat sera forte (Figure II-56). Un gain de 45% sur le courant des NMOS a pu être obtenu par cette technique et pour une longueur de grille de 35nm [GOO 03a] alors que pour les PMOS le gain maximum est de l'ordre de 30 à 40% [LEE 04]. En particulier pour les PMOS le gain diminue avec le champ sauf si l'on utilise des proportions de germanium supérieures à 30% (Figure II-59 et Figure II-55). Les Figure II-57 et Figure II-58 montrent l'évolution de la mobilité effective avec le champ effectif dans le cas des électrons et des trous pour une structure sSi/SiGe relaxé. Les gains en mobilité, sur des structures présentant un empilement de grille classique, peuvent atteindre plus de 130% pour les électrons (pour de très fortes concentrations en Ge, supérieures à 40%) alors que pour les trous le gain est en général deux fois plus faible.

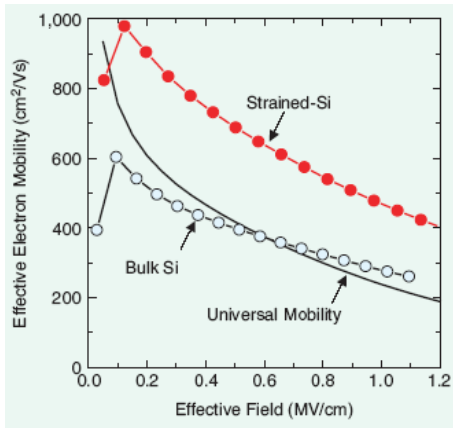


Figure II-57 : Gain en mobilité pour un NMOS sSi/SiGe relaxé, d'après [LEE 03]

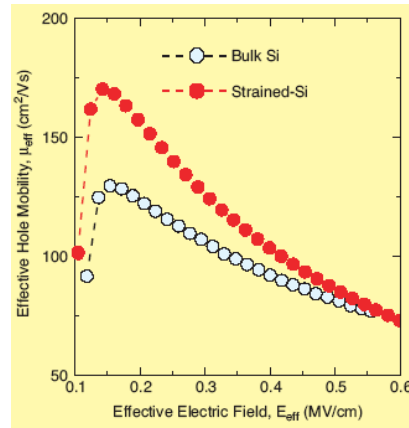


Figure II-58 : Gain en mobilité pour un PMOS sSi/SiGe relaxé, d'après [LEE 04]

Ceci dit, d'autres contraintes apparaissent pour une intégration avec du germanium. La diffusion des espèces jouant le rôle de dopant n'est pas la même dans le silicium et dans l'alliage SiGe. Notamment la diffusion du bore y est plus faible, ce qui présente un avantage pour la réalisation de jonctions abruptes pour les PMOS ultracourts. En revanche, les coefficients de diffusivité de l'arsenic et du phosphore sont plus forts dans le SiGe. Ceci va entraîner des profils de dopage plus étendus et va ainsi contribuer à l'augmentation des résistances séries et des effets de canal court pour les NMOS [HOYT 02].

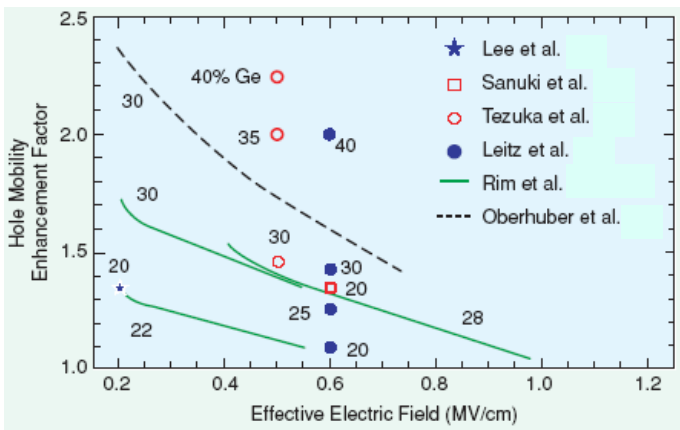


Figure II-59 : Evolution du facteur d'amélioration de la mobilité des trous dans un canal contraint en tension en fonction du champ effectif et pour différentes proportions en Ge dans la couche SiGe relaxé, d'après [LIU 05]

Le principal problème rencontré sur ces architectures et qui explique en partie pourquoi cette solution n'est pas déjà utilisée est que les gains chutent drastiquement pour les faibles longueurs de grille [ANDRIE 05b]. Nous aurons l'occasion d'y revenir plus longuement au cours du Chapitre V.

La dégradation des performances observée sur les PMOS pour de faibles niveaux de contraintes (Figure II-55) est due aux effets opposés de la quantification sur la séparation des bandes LH et HH dans le canal et de la contrainte en tension biaxiale [GHYSEL 04, RIM 03].

II.C.1.3 SiGe en compression sur isolant (sSGOI) et silicium contraint en tension sur SGOI (sSi/SGOI)

II.C.1.3.1 L'approche par report de couche

L'intérêt de ces techniques est de tirer profit des avantages liés à une architecture de type SOI (cf. §I.C.1.2). Comme nous l'avons évoqué dans le paragraphe précédent, les gains en mobilité du sSi/SiGe sont détériorés à fort champ de grille pour les trous. La technologie SOI permettant de travailler à plus faible champ (canal faiblement dopé), l'utilisation de structures SGOI¹⁰³ offre donc l'opportunité d'obtenir à la fois des mobilités plus élevées mais aussi des gains en mobilité plus forts par rapport aux architectures sur silicium massif.

Le SiGe en compression sur SOI a ainsi montré de forts gains en mobilité pour les trous : +90% pour 30% de germanium (épaisseur du SiGe de l'ordre de 10nm) [NAYAK 92]. Plus récemment, 70% de gain en courant de saturation pour une longueur de grille de 70nm a été démontré [YEO 00, 02].

La difficulté majeure de cette technologie tient au fait que la couche de silicium contraint est une couche métastable. En effet il est difficile d'obtenir des concentrations de Ge supérieure à 30% dans les substrats SGOI à cause de l'instabilité thermique du SiGe pour les recuits à haute température (>1300°C) nécessaire pour former l'oxyde enterré. C'est pourquoi les approches par report et collage de plaques sont préférées. Des techniques de report de couches ont ainsi été utilisées pour produire du silicium contraint sur isolant avec une couche de SiGe relaxé (SGOI) ou sans couche SiGe (sSOI, voir §II.C.1.4) afin d'obtenir une contrainte maximale et de faibles densités de dislocations par rapport au sSi/SiGe sur substrat massif [BRUEL 95]. Ces techniques sont très prometteuses pour les applications haute performance. Un problème à prendre en compte est la diffusion du germanium au cours du procédé de fabrication dans le canal de silicium contraint, conduisant à une relaxation de la contrainte pouvant atteindre 40% de la contrainte initiale. C'est pourquoi les substrats SGOI ont été largement supplantés par les substrats sSOI (§II.C.1.4).

Le procédé de fabrication du SGOI par report de couche (et du sSi/SGOI) est décrit sur la Figure II-60.

Résultats électriques sSi/SGOI :

En dépit de tous ces défis d'intégration à relever, des gains en mobilité de 85% et de 53% ont pu être obtenus pour des canaux longs NMOS et PMOS respectivement [MIZUNO 03]. Il a également été démontré une possibilité de réduire les effets de substrats flottants, tel que l'effet *kink*, en utilisant du silicium contraint partiellement déserté sur SOI [TAKAGI 04]. Mizuno *et al.* [MIZUNO 02] ont démontré pour la première fois en 2002 le gain apporté par du silicium contraint dans un circuit CMOS (il s'agissait d'un oscillateur à anneaux). L'amélioration de la vitesse du circuit par rapport à une technologie CMOS SOI non contraint était de 70% à $V_{DD}=1,5V$ et 30% à $V_{DD}=2,5V$.

¹⁰³ SGOI = Silicon Germanium On Insulator

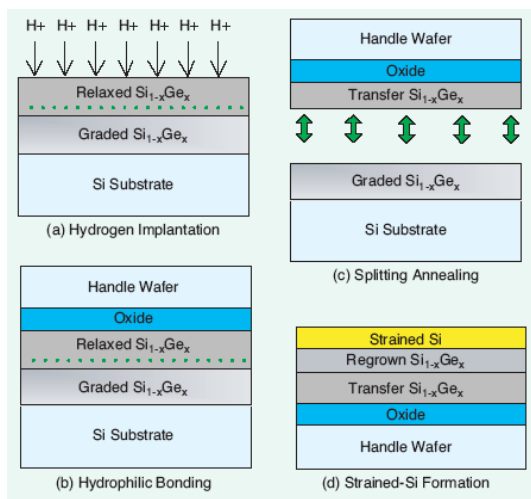


Figure II-60: Procédé de fabrication du SGOI et du sSi/SGOI, d'après [IEONG 04]

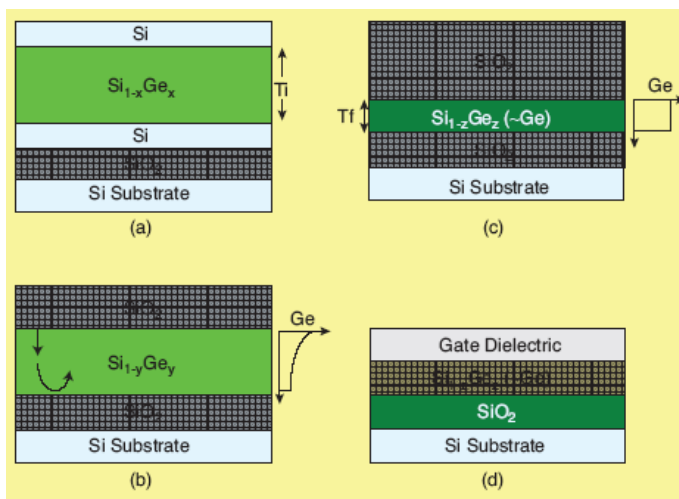


Figure II-61 : Procédé de fabrication de SGOI par condensation du germanium, d'après [NAKAHA 03]

II.C.1.3.2 L'approche par condensation

Une seconde approche pour obtenir un substrat SGOI est l'enrichissement en germanium par la technique de condensation [CHENG 01]. Il s'agit d'une technique attractive d'un point de vue économique parce que le procédé commence avec un substrat SOI bas coût et qu'elle se passe des multiples croissances graduelles de SiGe. Une couche de SiGe pseudomorphe est déposée sur un substrat SOI. La couche est alors oxydée ce qui entraîne la réjection du Ge de la partie de la couche oxydée dans le Si sur SiO₂ en raison de l'instabilité thermodynamique de cette couche SiGe_xO_y. Cela conduit à une augmentation du profil de Ge à travers la couche de SiGe enrichie et augmente aussi la relaxation de cette couche enrichie SiGe. La concentration de Ge dans la couche SiGe dépend du temps d'oxydation et de la température. Le procédé technologique est détaillé sur la Figure II-61. Cette technique de condensation a montré jusqu'à 82% de relaxation dans la couche SiGe. Cependant lorsque la concentration de Ge augmente, de plus en plus de désaccord de maille apparaissent entre le SiGe et le silicium du SOI, entraînant une plus grande densité de défauts et de rugosité de surface. La mobilité est alors fortement affectée. Ainsi la condensation ne permet pas une forte relaxation et une faible densité de queues de dislocations. C'est pourquoi aujourd'hui l'approche par report de couche est essentiellement utilisée.

II.C.1.4 Silicium en tension biaxiale directement sur isolant (sSOI ou SSDOI)

Avec les MOSFETs contraints sur substrat virtuel SiGe/bulk ou SGOI, les jonctions S/D sont formées dans la couche SiGe ; le courant de fuite augmente donc à cause de la faible bande interdite et des défauts dans le SiGe.

L'avantage principal du silicium contraint directement sur isolant (sSOI ou SSDOI pour Strained Si Directly On Insulator), utilisant la technique par report de couche, est ainsi l'élimination complète du SiGe du substrat avec lequel était associé une grande partie des défis d'intégration (Figure II-62). En passant à une technologie PDSOI à une technologie FDSOI, les effets de canal court seront encore réduits.

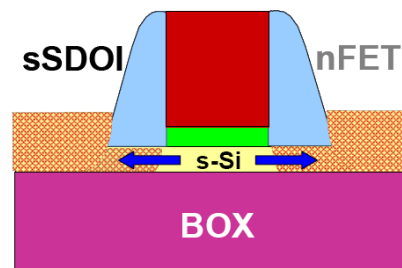


Figure II-62 : Architecture à canal contraint en tension biaxiale directement sur isolant.

Dans cette technique, le silicium contraint sur SiGe est implanté par de l'hydrogène dans la couche de SiGe relaxé puis est collé sur un substrat de silicium oxydé. Ensuite la séparation est réalisée grâce à un recuit à haute température (procédé Smart Cut™). Enfin la couche de SiGe relaxé est gravée avec arrêt sur le silicium contraint. L'épaisseur du film de silicium contraint peut

ensuite être ajustée par épitaxie à la valeur souhaitée. L'enchaînement des étapes technologiques est présenté sur la Figure II-63. Le point critique ici est la détermination de la stabilité thermique du sSOI. Récemment plusieurs études ont montré la remarquable stabilité du sSOI fabriqué par la société SOITEC [GHYSEL 04, THEAN 05, VARTAN 05].

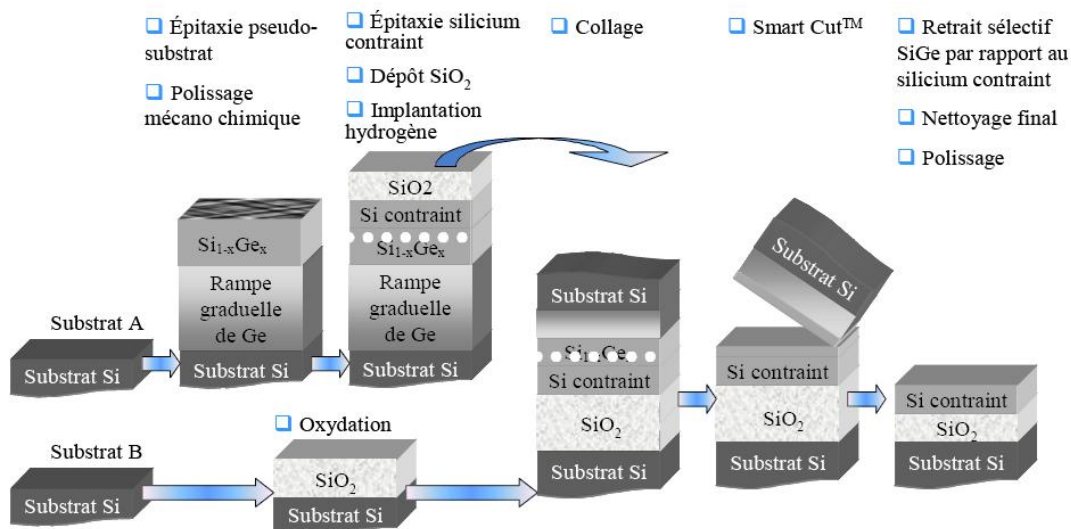


Figure II-63 : Procédé de fabrication des substrats sSOI, tirée de [ANDRIE 05b].

Dans les substrats SGOI, la contrainte est maintenue par le désaccord de maille entre le SiGe relaxé et le silicium. Dans les substrats SOI ultrafin (<10 nm), pour lesquels l'épaisseur du sSi est inférieure à l'épaisseur critique, la contrainte est maintenue par le collage viscoélastique avec l'oxyde enterré. Dans les structures sSOI super-critique, où la couche de silicium contraint a une épaisseur supérieure à l'épaisseur critique (40 à 70 nm typiquement), le film contraint est métastable. Le niveau de contrainte dans le film atteint cependant plus de 96% du niveau maximal (sans relaxation). Nous avons également pu vérifier qu'avec ces canaux épitaxiés la contrainte est conservée même pour les faibles longueurs de grille puisque le décalage de la tension de seuil entre un dispositif contraint et non contraint est conservé quelque soit la longueur de grille (Figure II-64).

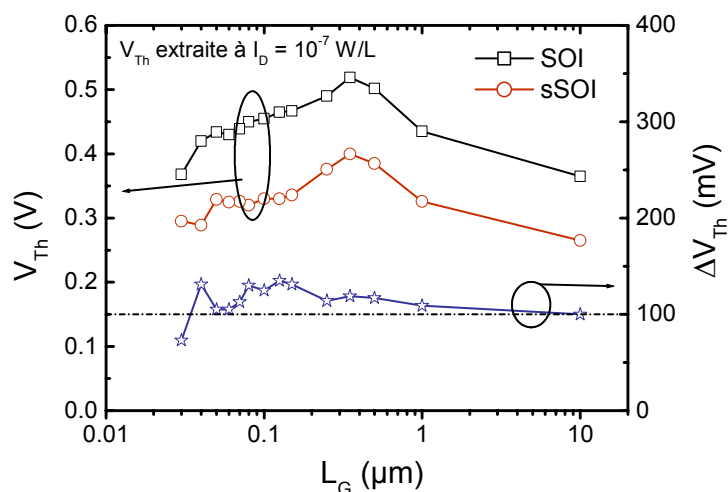


Figure II-64 : Evolution de la tension de seuil et l'écart entre un canal SOI et sSOI en fonction de la longueur de grille indiquant que la contrainte est maintenue dans le sens de la longueur (Ce travail).

Résultats électriques sSOI :

Les gains obtenus avec les substrats sSOI sont de l'ordre de 70% à 125% pour les transistors NMOS longs et 42% pour les PMOS [RIM 03, ABERG 04] par rapport à des dispositifs SOI non contraints avec un empilement de grille classique (Figure II-66). Ces gains sont donc comparables à ceux obtenus en technologie *bulk*. En revanche on remarque toujours que dans le cas des canaux épitaxiés, le gain en performance décroît lorsque la longueur de grille diminue (Figure II-65).

Comme constaté en technologie *bulk*, le gain en mobilité pour les électrons se conserve presque intégralement à fort champ transverse alors que pour les trous le gain diminue lorsque le champ électrique transverse augmente (Figure II-66).

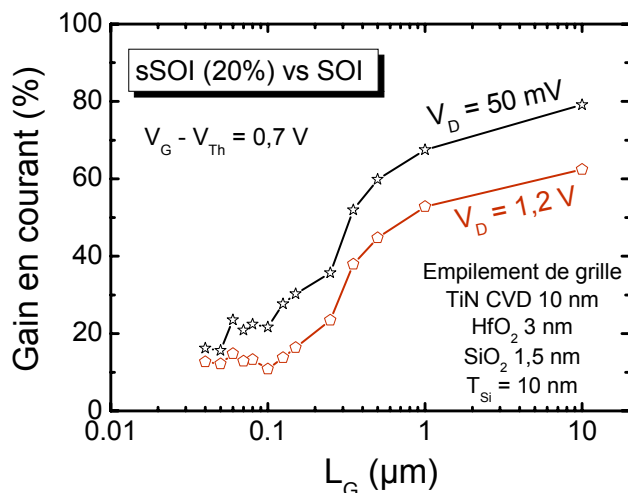


Figure II-65 : Evolution du gain en courant en fonction de la longueur de grille pour une architecture avancée sSOI 20% intégrant un oxyde à forte permittivité et une grille métallique (Ce travail).

En définitive les progrès réalisés dans le développement de substrats de silicium contraint sur isolant de haute qualité sont convaincants. De plus le coût de ces structures et la disponibilité de ces substrats ont été grandement améliorés afin de pouvoir profiter pleinement de leurs avantages d'un point de vue industriel. Ce qui reste essentiel toutefois est la détermination de la stabilité thermique des dispositifs sSOI fortement contraints et d'identifier les mécanismes clés de la dégradation de la contrainte et de la mobilité dans de telles architectures, notamment pour les faibles géométries ; ce type de substrat visant les nœuds technologiques 32nm ou post-32nm (après 2010). Les dispositifs utilisant ce genre de substrat contraint feront l'objet du Chapitre V de ce mémoire.

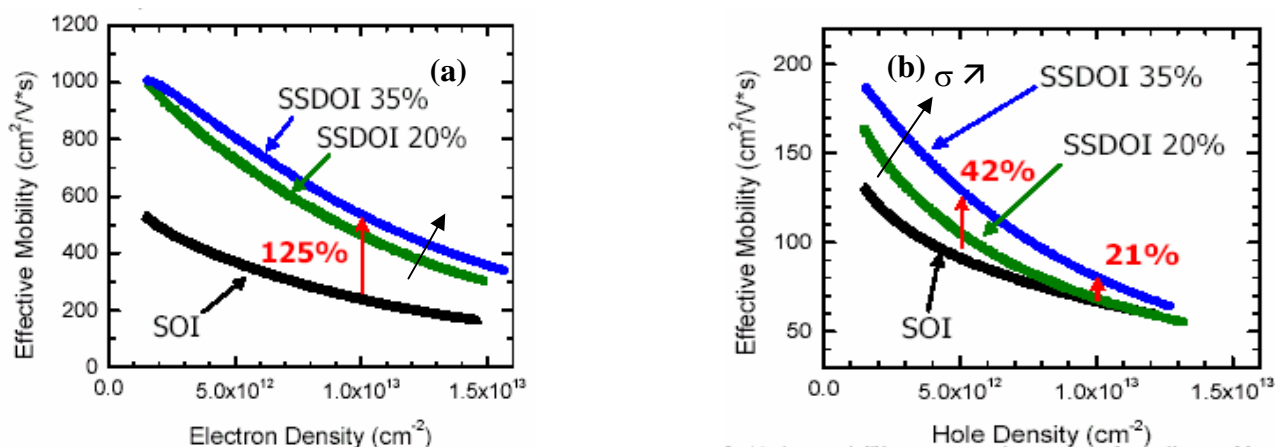


Figure II-66 : Evolution de la mobilité effective pour les électrons (a) et les trous (b) avec un substrat sSOI en fonction de la charge d'inversion, d'après [RIM 03]

II.C.1.5 Les architectures à canaux duaux (hétéro-épitaxie)

Pour optimiser les performances des NMOS et des PMOS, il est intéressant de coupler les différentes approches les plus bénéfiques en terme de gain en mobilité, à savoir SiGe en compression pour les trous et Si en tension pour les électrons. Ainsi des structures à canaux duaux [ANDRIE 05d] (Figure II-67) ou à canaux doubles contraints sSi/sSiGe_x/SiGe_y (hétéro-épitaxie sur isolant ou HOI) ont été proposées [LEE 03, YU 04b, LEITZ 02] (Figure II-68). Dans ce dernier cas, le canal du transistor NMOS est formé avec la couche sSi (« Si cap ») alors que le canal du transistor PMOS est formé avec la couche sSi_{1-x}Ge_x. Le silicium contraint en tension et le SiGe contraint en compression peuvent être obtenus simultanément à partir d'un substrat relaxé Si_{1-y}Ge_y avec $x > y$. D'après la structure de bandes de cet empilement (Figure II-68), les électrons seront

effectivement confinés dans la couche sSi alors que les trous seront confinés dans la couche $\text{Si}_{1-x}\text{Ge}_x$ (jusqu'à une certaine courbure de bande).

En optimisant les épaisseurs des couches et les proportions de germanium à partir d'un substrat virtuel $\text{Si}_{0.5}\text{Ge}_{0.5}$, la mobilité des électrons et des trous a pu être augmentée d'un facteur 1,8 et 8-10 respectivement (même jusqu'à $N_{\text{inv}} = 10^{13} \text{ cm}^{-2}$) [LEE 03]. Le problème de cette architecture qui la rend non viable est son EOT.

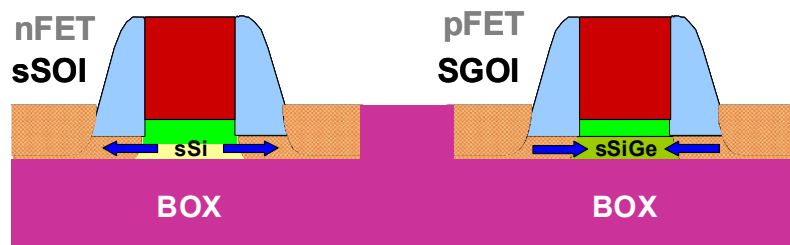


Figure II-67 : Architecture à canaux duaux pour l'optimisation des NMOS et des PMOS (contraintes biaxiales)

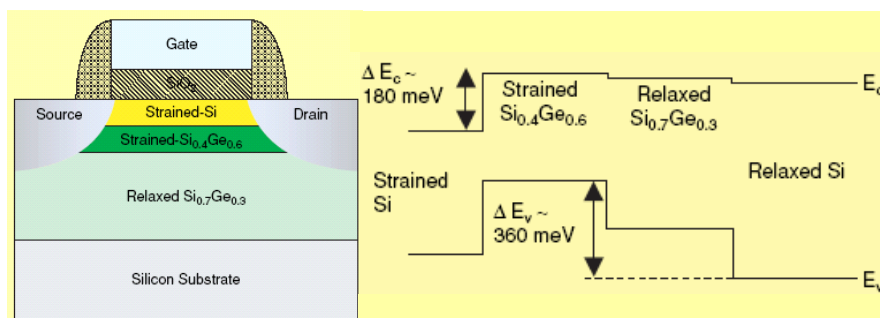


Figure II-68 : Représentation schématique d'une structure à canaux doubles contraints et la structure de bandes correspondante, d'après [LIU 05]

En définitive, retenons que les substrats contraints (canaux épitaxiés) conduisent à une contrainte de type biaxiale dans le canal¹⁰⁴ et peuvent améliorer la mobilité des électrons et des trous. Ces techniques permettent d'obtenir des niveaux de contraintes relativement élevés (>GPa). Cependant, les coûts, la capacité de réduction d'échelle, la complexité de réalisation, le faible bilan thermique et l'intégration restent des freins pour le passage en production de ce genre de dispositifs. D'autant que les gains pour les PMOSFETs nécessitent l'utilisation de canaux duaux (tension et compression) afin de profiter au maximum de l'effet de la contrainte. Malgré ces défis certains industriels s'intéressent aujourd'hui sérieusement à la possible utilisation du substrat sSOI dans leurs lignes de production.

II.C.2 Les contraintes induites par le procédé de fabrication

La deuxième catégorie de mise en contrainte du canal des transistors MOS consiste alors à introduire des contraintes par le procédé de fabrication ("process-induced strain"). La Figure II-69 synthétise les différentes possibilités offertes pour y parvenir. Cela regroupe toutes les « astuces » technologiques permettant de mettre le canal en contrainte via les matériaux qui l'entourent. Elles sont introduites de façon locale contrairement à l'ingénierie de substrat contraint. D'une façon générale, la contrainte générée est complexe, non homogène et fait intervenir la plupart des composantes du tenseur des contraintes dans des proportions qui dépendent fortement de la géométrie du dispositif, de son environnement (*layout*) et des procédés technologiques utilisés. Ceci représente les inconvénients majeurs, notamment en terme de modélisation. Toutefois une

¹⁰⁴ Nous verrons toutefois au cours du Chapitre VI qu'une relaxation de la contrainte peut apparaître pour des zones actives étroites (<200nm environ) faisant passer le canal d'un état de contrainte de type biaxial à un état de type plutôt uniaxial le long du transport.

composante majoritaire est souvent présente de sorte que le problème peut être parfois modélisé comme une contrainte uniaxiale.

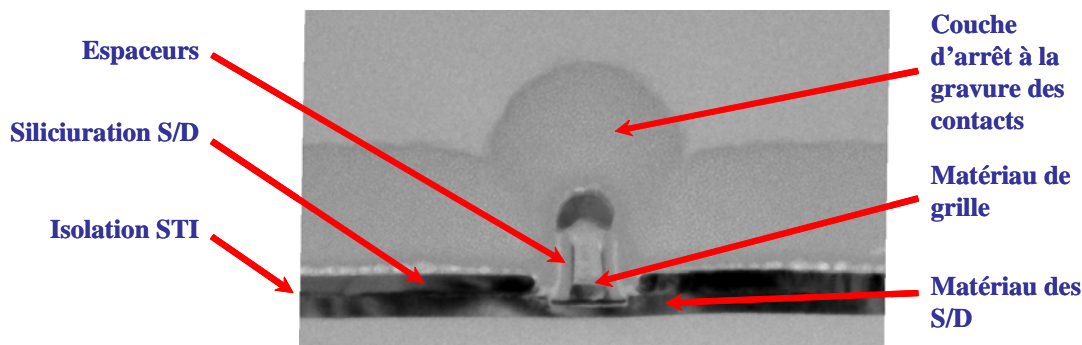


Figure II-69 : Les différentes briques technologiques utilisées ou pouvant mettre sous contrainte le canal des MOSFETs (photo TEM réalisée par V. Delaye, CEA-LETI).

Les deux avantages majeurs des méthodes d'introduction de contraintes locales par rapport aux méthodes d'introduction de contraintes globales par épitaxie sont :

- la plus grande compatibilité de leur intégration pour la production de circuits CMOS. C'est pourquoi elles sont aujourd'hui largement acceptées, étudiées et même utilisées de façon systématique dans les nœuds technologiques actuels. La première mise en production officielle a été réalisée par Intel® et présentée lors de l'IEDM 2003 pour le nœud technologique 90nm [GHANI 03, THOMPS 04] (utilisation de S/D en SiGe pour les PMOS et CESL en tension pour les NMOS). Les microprocesseurs Intel® Pentium® 4 « Prescott » ont été fabriqués avec ces nouveaux procédés.
- leur capacité d'offrir des gains supérieurs à ceux obtenus avec les canaux épitaxiés (contrainte de type biaxiale), à niveau équivalent de contrainte. Il s'agit notamment du cas de contraintes uniaxiales pour les trous (en compression) ou pour les électrons (en tension selon [110]). Nous aurons l'occasion d'illustrer ce point précis au cours des Chapitre III et Chapitre VI (cf. notamment les Figures III-48).

Notons toutefois que le gain maximum observé sur les architectures à canaux contraints par le procédé de fabrication est généralement plus faible que celui observé avec des canaux épitaxiés, le niveau de contrainte actuellement réalisé étant beaucoup plus faible (Figure II-70).

	90 nm		65 nm	
	NMOS	PMOS	NMOS	PMOS
Mobilité	20%	55%	35%	90%
I_{DSAT}	10%	30%	18%	50%
I_{DLIN}	10%	55%	18%	80%

Tableau II-11 : Gains et amélioration des performances des technologies à canal contraint de l'industriel Intel® avec les réductions de dimensions par rapport à une technologie sans canal contraint [THOMPS 06]

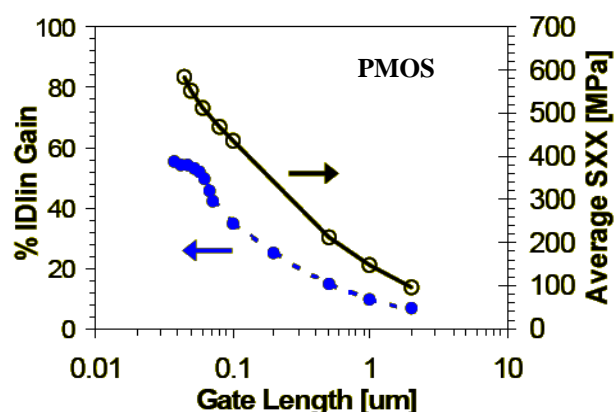


Figure II-70 : Gain en courant à faible champ en fonction de la longueur de grille pour une architecture à canal contraint par source/drain SiGe épitaxiés, d'après [MISTRY 04]

L'intensité et le signe de ces contraintes dépendent fortement du procédé technologique. On peut jouer sur les propriétés physiques et mécaniques du matériau utilisé (coefficient de dilatation, de Poisson, module de Young...), le bilan thermique ainsi que sur les techniques de dépôt ou croissance à disposition (CVD, MOCVD, ALD...). Mais la contrainte ainsi générée dépend aussi

fortement de la structure du dispositif. Notamment l'état de contrainte dans le canal sera généralement d'autant plus intense que le transistor sera de petite géométrie (longueur du canal, distance entre grille et tranchée d'isolation...). Un exemple illustre ce propos (cas des S/D en SiGe) sur la Figure II-70. Tant que le ratio W/L reste grand, la contrainte est de type uniaxiale et longitudinale au canal et d'autant plus importante que la longueur de grille est petite. Ainsi les performances obtenues grâce à ce genre de procédés augmentent lorsque l'on passe du nœud technologique 90nm au nœud suivant 65nm [THOMPS 06] (Tableau II-11).

Pour générer une contrainte locale, les technologues ont exploité et optimisé la contrainte dans les films déjà utilisés en production, comme (liste non exhaustive):

- la couche d'arrêt à la gravure des via de contact pour le premier niveau de métallisation en nitrure de silicium (SiN_x) et recouvrant la grille. C'est ce que l'on appelle communément le "liner" ou "cap layer" ou "contact etch stop layer" (CESL),
- les diélectriques de pré-métallisation (PMD) d'une façon générale,
- les matériaux de grille, comme par exemple les grilles métalliques en TiN, à base de tungstène (W, WSi_x) ou encore à base de tantale (TaN),
- les tranchées peu profondes d'isolation (STI, pour « *shallow trench isolation* »),
- la siliciuration des source et drain (au nickel, cobalt,...)
- l'épitaxie sélective des source et drain en SiGe ou Si :C,
- les espaceurs en nitrure de silicium. Notons toutefois qu'une étude a montré que les contraintes induites au niveau du canal par des espaceurs en nitrure peuvent être négligées [GUILLA 05b].

La Figure II-69 illustre schématiquement la localisation de ces différentes couches.

Dans la suite de cette partie, ces différentes techniques sont plus largement présentées, avec leurs performances associées.

II.C.2.1 Les CESL constraints ("liners" nitrurés)

Les couches en nitrure de silicium SiN recouvrant la grille peuvent introduire une contrainte en compression ou en tension afin d'améliorer le transport dans les PMOS ou les NMOS respectivement. Les procédés PECVD¹⁰⁵ permettent d'obtenir les plus hauts niveaux de contraintes tout en laissant à la couche SiN des propriétés similaires de celle obtenue par croissance thermique. Il est en effet nécessaire d'utiliser un procédé fonctionnant avec un bilan thermique faible puisque cette couche est réalisée après l'étape de siliciuration des source et drain. Par exemple pour une siliciuration au nickel la température doit rester inférieure à 500°C pour conserver l'alliage NiSi ; si $T > 500^\circ\text{C}$, il y a formation de NiSi_2 qui présente une plus grande résistivité [AL-BAY 05].

Les principaux facteurs contrôlant la contrainte dans le film sont la proportion d'hydrogène, le rapport N-H/Si-H et les défauts générés par le bombardement d'ion pendant le dépôt. Par exemple un grand nombre de liaisons N-H entraîne une contrainte en compression dans le film ; et une grande proportion de Si-H dans le film augmente la contrainte en tension (nous aurons l'occasion d'étudier ce point sur nos dispositifs au cours du Chapitre VI). Des couches avec une contrainte en compression jusqu'à 3 GPa et en tension jusqu'à 1,9 GPa ont pu être déposées à 450°C. Il est possible aussi d'implanter la couche avec du germanium afin de modifier l'état de contrainte de la couche [SHIMIZ 01]. Cependant il est important de garder en mémoire que la contrainte reportée au niveau du canal de conduction du transistor est beaucoup plus faible (par exemple un "liner"

¹⁰⁵ PECVD = Plasma-Enhanced Chemical Vapor Deposition

contraint à 2GPa engendrera une contrainte approximative de 200MPa dans le canal et pour un transistor court uniquement, typiquement pour $L < 0,3\mu\text{m}$.

Il a été observé par Payet *et al.* que plus l'épaisseur de SiN déposée est grande (dans la gamme de 50 à 100nm), plus la contrainte induite dans le canal est forte, d'où un gain en performance accru (le gain maximal sur I_{ON} passe de 10 à 16%) [PAYET 06]. En revanche la contrainte dans le film déposé ne dépend presque pas de son épaisseur (nous aurons l'occasion de le voir au Chapitre VI).

La contrainte induite par des CESL contraints se transmet essentiellement sur des géométries de faibles dimensions puisqu'il s'agit d'un effet de bord. Un CESL en tension (t-CESL) va chercher à se rétracter pour retrouver sa forme la plus stable. La contrainte transmise sera alors en légère compression au niveau des S/D, en légère compression suivant la normale au plan du canal et dans son plan (et en son centre) et enfin en forte tension au niveau des bords de grille (sous les espaceurs, au niveau des poches d'implantation) selon la direction du transport (Figure II-71). Ainsi sur un transistor long ces effets seront minimes alors que sur un transistor court la contrainte sera majoritairement uniaxiale en tension.

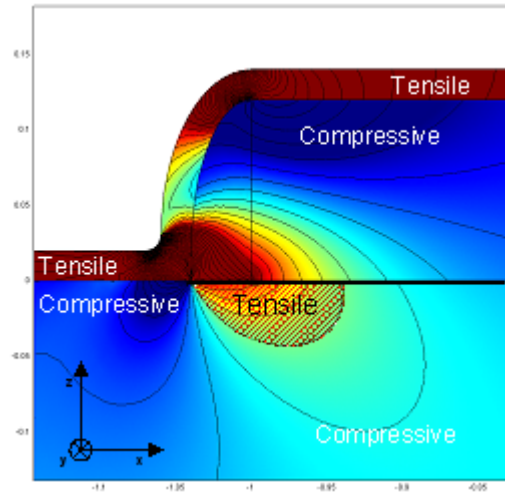


Figure II-71 : Simulation mécanique d'un transistor MOS long recouvert par une couche en nitrure de silicium en tension, d'après [PAYET 06].

La contrainte induite est fortement dépendante de la topologie du dispositif : la contrainte et donc le courant augmentent avec l'élévation de la hauteur de la grille en polysilicium et la diminution de la largeur des espaceurs et de la longueur de grille du transistor [AL-BAY 05]. Tout cela nécessite une très bonne conformité de la couche avec l'ensemble grille et espaceurs. On comprend ici aisément l'importance du « design » (l'architecture) du dispositif afin d'optimiser le niveau de contrainte dans le canal du transistor.

Ce procédé est aujourd'hui mature et a sans doute été utilisé dès le nœud 130 nm et continue encore aujourd'hui à l'être dans les lignes de production. Les gains obtenus sont de l'ordre de 15% pour les NMOS [YANG 04, ORTOLL 04, PAYET 06] et de l'ordre de 25% pour les PMOS [PIDIN 04, YANG 04].

L'extensibilité de ce procédé technologique doit faire face aux réductions d'échelle, notamment à la réduction du pas de grille entre transistors (topologie du CESL contraint réduite dans les deux directions du canal).

II.C.2.2 Les tranchées peu profondes d'isolation (STI)

Le procédé de remplissage d'oxyde HDP (high-density plasma) est le plus couramment utilisé pour réaliser les STI des technologies « bulk » parce qu'il est facile à polir et se grave rapidement. Il permet d'améliorer les propriétés de transport des PMOS puisqu'il introduit une contrainte en compression atteignant facilement les 200 MPa (le volume du silicium augmentant d'un facteur 2 lorsqu'il est oxydé). Cependant cela a tendance à dégrader les performances des NMOS et ce de façon significative pour le nœud 65 nm. C'est pourquoi un nouveau procédé a été développé. Il s'agit du procédé de dépôt d'oxyde HARP (high aspect ratio) utilisant la technique SACVD pour « sub-atmospheric chemical vapor deposition », basé sur le O_3/TEOS . Il permet d'introduire des contraintes en tension allant jusqu'à 1GPa à proximité des STI [AL-BAY 05].

L'oxyde de silicium a un plus faible coefficient d'expansion thermique que le silicium (voir Tableau II-12), par conséquent l'oxyde HDP ne sera pas rétréci autant que le silicium pendant la

rampe de descente en température, créant ainsi une contrainte de compression latérale dans la structure. Dans le procédé d'oxydation en tension (HARP), les réactions dans l'oxyde pendant la montée en température le font rétrécir et ainsi génère de fortes contraintes en tension.

Le gain obtenu pour les NMOS avec le procédé HARP atteint 12%. Sanuki *et al.* ont montré que le courant de PMOS de 40nm de longueur de grille peut être amélioré de 11% [SANUKI 03]. L'impact sur le transport est d'autant plus fort que les STI sont proches (petite zone active) puisque le champ de contrainte induit par les STI décroît rapidement à mesure que l'on s'en écarte et que le facteur d'aspect hauteur/largeur est grand [GALLON 04b, ORTOLL 04].

II.C.2.3 Les contraintes introduites au niveau des S/D

II.C.2.3.1 Epitaxies sélectives en SiGe ou Si :C

En déposant du SiGe dans les régions S/D du transistor, on est capable d'introduire de fortes contraintes en compression (jusqu'à 1 à 2 GPa) dans le canal en silicium, améliorant ainsi la mobilité des trous. Afin de créer cette structure, la région S/D initialement en silicium est gravée puis remplie avec du SiGe en utilisant une épitaxie sélective.

Les paramètres affectant le niveau de contrainte sont de deux ordres : la géométrie du transistor (longueur de grille, largeur de grille, épaisseur des espaceurs...) et le procédé d'épitaxie (concentration de germanium dans le SiGe, profondeur des S/D enterrées, forme des S/D épitaxiés par l'intermédiaire de l'étape de gravure, isotrope ou anisotrope). La contrainte limite (en GPa) avant génération de dislocations pouvant être obtenue est donnée par $\sigma = 9,45 \cdot x$ où x est la fraction molaire de germanium.

Un facteur d'amélioration du courant I_{ON} des PMOS allant jusqu'à 3,3 a pu être obtenu grâce à ce procédé [TATESH 06].

Le point critique de cette technologie concerne la génération de dislocations augmentant avec le pourcentage de germanium et pouvant fortement dégrader le courant à l'état OFF. De plus ce courant de fuite est naturellement augmenté sur de tels dispositifs en raison de la plus faible barrière de potentiel aux jonctions S/D avec le canal¹⁰⁶. Les applications visées seraient donc plutôt pour du CMOS haute performance. Cependant l'étude de Tateshita *et al.* montre des courants I_{ON} allant jusqu'à 700 μ A/ μ m avec un courant I_{OFF} de 100nA/ μ m avec un empilement de grille HfO₂/TiN laissant présager de très bonnes performances pour les applications CMOS basse consommation.

Enfin des études montrent que des S/D épitaxiés en Si :C introduisent une contrainte en tension dans le canal et augmentent le courant des NMOS jusqu'à 50% [ANG 04,05].

II.C.2.3.2 Siliciuration des S/D

Grâce à la différence des coefficients d'expansion thermique et au désaccord de paramètre de maille entre le silicium et son siliciure dans le cas où une épitaxie est utilisée, une contrainte mécanique dépassant 400 MPa a pu être obtenue avec une structure incorporant des source/drain siliciurés [STEEGE 98,99]. Les siliciures habituellement utilisés (TiSi₂, CoSi₂ et NiSi) ont un coefficient d'expansion thermique supérieur au silicium ce qui entraîne du silicium contraint en compression sous cette couche. En réaction à cette déformation, le canal sera alors contraint en tension (type uniaxiale). Il faut cependant faire attention à ne pas dépasser la contrainte critique de cisaillement pour ne pas générer de dislocations qui seront alors nuisibles au fonctionnement électrique du dispositif. Il a été montré que les contraintes induites dans le silicium sont réduites d'un facteur 2 lorsque l'on passe de TiSi₂ à CoSi₂, et d'un facteur 3 lorsque l'on passe à NiSi et que

¹⁰⁶ Voir [CLAEYS 07] par exemple pour plus de détails sur l'influence du procédé sur les courants de fuite.

le comportement de ces siliciures est suffisamment élastique pour que les contraintes résiduelles proviennent surtout de la croissance, éventuellement des changements de phase, mais peu de la dilatation thermique [PONCET 06]. On le comprend bien ici, les contraintes induites par le procédé de fabrication dépendent d'une multitude de facteurs et il devient très difficile de prédire le taux de contraintes dans un empilement de couches contraintes après retour à la température ambiante.

Le NiSi a été utilisé dans les dispositifs testés au cours de ce travail ; son effet sur le transport, en terme de contrainte, sera donc considéré comme négligeable.

II.C.2.4 Les grilles métalliques

Leurs coefficients d'expansion thermique et modules d'Young élevés en comparaison à ceux du silicium (Tableau II-12) font qu'ils sont susceptibles d'engendrer des contraintes mécaniques non négligeables au cours du procédé de fabrication dans le canal des MOSFETs.

	Module d'Young (GPa)	Coefficient de poisson	Coefficient d'expansion thermique ($10^{-6}/^{\circ}\text{C}$)
Si	$E_{100}=131$ $E_{110}=168$ $E_{111}=187,5$	0.27	2,6
SiO ₂	75	0.17	0.5
TiN	450	0.27	9.4
W	400	0.28	6.0

Tableau II-12 : Principales propriétés physiques du silicium, SiO₂, et de matériaux métalliques candidats pour l'intégration de grille métallique dans les technologies CMOS.

II.C.2.4.1 Impact d'une grille TiN sur l'état de contrainte dans le canal d'un MOSFET en technologie FDSOI

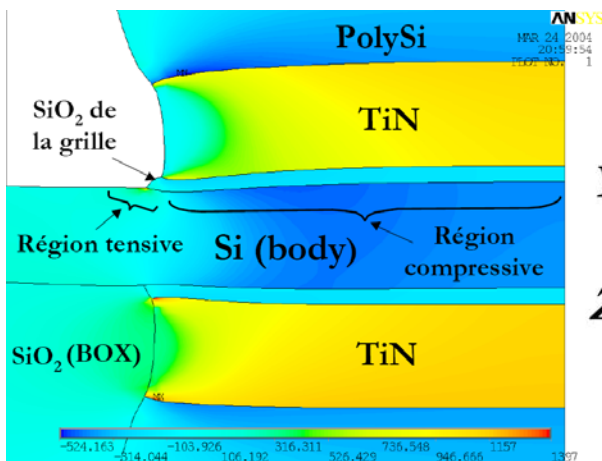


Figure II-72 : Cartographie 2D de la valeur de la composante σ_{xx} (le long du canal) de la contrainte dans un transistor à double-grille (DG MOSFET) pour $L_g = 150$ nm. L'échelle de déplacement a été amplifiée d'un facteur 50. Tirée de [GUILLA 04a, 05b]

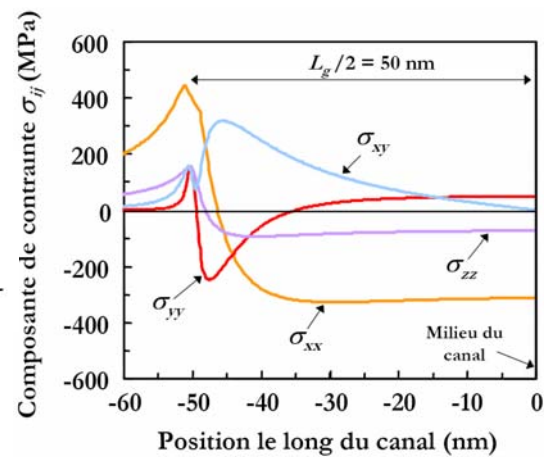


Figure II-73 : Profil spatial des composantes σ_{ij} du tenseur des contraintes dans le canal d'un transistor FDSOI, juste dessous la grille. La position de référence à 0 nm correspond au milieu du canal. Tirée de [GUILLA 04a, 05b]

Il a été démontré expérimentalement au CEA-LETI qu'après le dépôt, il existe dans la couche de TiN, déposée par CVD de fortes contraintes résiduelles. La contrainte est liée à la fois au procédé de dépôt (contrainte intrinsèque) et au bilan thermique lié au procédé de fabrication d'un transistor (contrainte thermique). Ainsi elle peut être en tension biaxiale ($\approx 2,5$ GPa, cas d'un dépôt

CVD) comme en compression biaxiale (≈ -3 GPa, cas d'un dépôt PVD)¹⁰⁷. Citons les travaux de Guillaume *et al.* qui ont étudié par simulation mécanique numérique l'impact de la contrainte induite par une grille en TiN sur la mobilité des MOSFETs [GUILLA 04a] (Figure II-72). Son impact est d'autant plus fort que la longueur de grille est petite (effet de bord analogue aux CESL) et que l'épaisseur de la grille métallique est grande. La relaxation de la contrainte du TiN engendre un état de déformation complexe dans le film de silicium sous-jacent (Figure II-73). Globalement, pour une géométrie courte et large, la contrainte induite principale est en compression le long du canal (à peu près homogène). Son effet aurait ainsi tendance à dégrader les performances des NMOS et à améliorer celles des PMOS.

II.C.2.4.2 Analyse expérimentale de l'impact d'une grille TiN sur la mobilité à faible champ (μ_0) des trous et des électrons de MOSFET FDSOI

À partir d'un lot CMOS FDSOI intégrant une grille métallique en TiN CVD, nous avons analysé l'évolution de la mobilité à faible champ μ_0 en fonction de la longueur de grille L_G afin de déterminer l'impact possible d'une grille métallique sur les performances des dispositifs comme discuté dans le paragraphe précédent. La structure simulée par T. Guillaume correspondant exactement à celle caractérisée ici. La mobilité a été extraite en utilisant deux techniques (présentées dans le Chapitre IV) : la fonction Y améliorée [MOURRA 00] et la dérivée seconde de l'inverse du courant de drain [FAYNOT 94]. Les deux techniques nous ont fourni des extractions comparables (même μ_0 , R_{SD} , V_T , ...). La Figure II-74 représente l'évolution de μ_0 avec la longueur de grille pour les NMOS et les PMOS. Pour les deux types de porteurs on observe une nette dégradation de μ_0 lorsque la longueur de grille diminue. Il est même surprenant de voir que la mobilité se dégrade dès $L_G=10\mu\text{m}$ pour les électrons et en dessous de $1\mu\text{m}$ pour les trous. Il est en effet habituellement observé une dégradation pour des longueurs de grille inférieures à $0,5\mu\text{m}$ environ. Cette dégradation de la mobilité continue en fonction de la longueur de grille est spécifique aux dispositifs FDSOI. Nous aurons l'occasion d'en rediscuter dans le Chapitre V. En définitive aucun effet de la contrainte induite par le TiN n'est visible sur ces caractéristiques. En particulier aucun bénéfice sur la mobilité des trous n'est observé lorsque la longueur de grille diminue. Cette étude nous permet donc de conclure que l'effet de contrainte due au TiN est masqué par d'autres effets prépondérants limitant la mobilité. Le Chapitre V permettra d'éclaircir ce point.

Toutefois dans le cas des architectures à canal ultracourt et étroit, son effet, combiné à des architectures particulières, pourra être reconsidéré (cf. Chapitre VI).

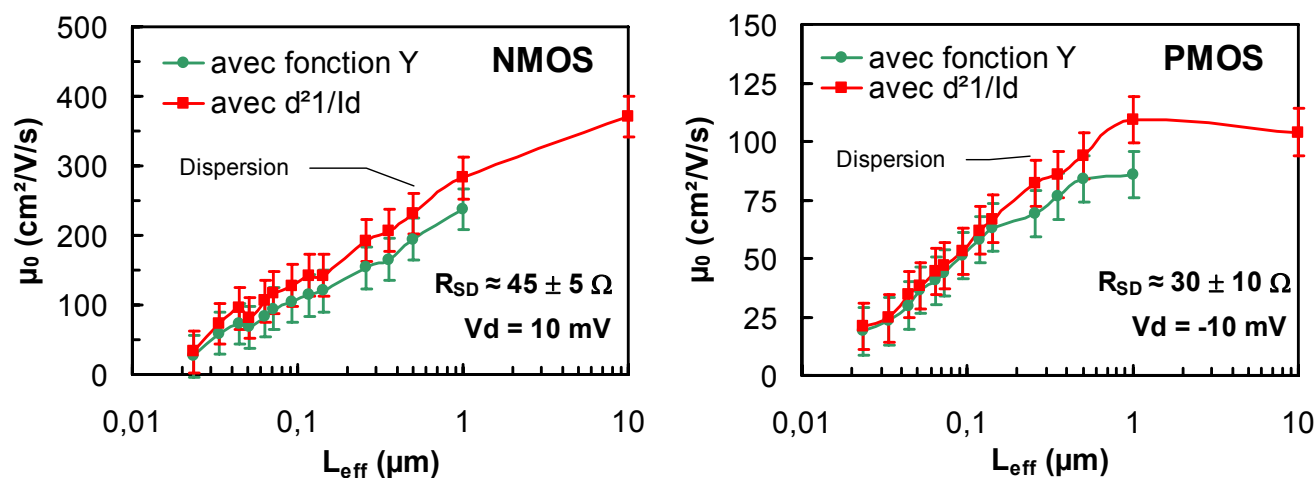


Figure II-74 : Evolution de la mobilité à faible champ avec la longueur de grille pour les NMOS et les PMOS (Ce travail)

¹⁰⁷ Notons toutefois que selon les caractéristiques des dépôts CVD et PVD, des valeurs très différentes peuvent être obtenues.

II.C.2.5 Stress Memorization Technique (SMT)

Les étapes de gravures permettent aux contraintes de se relaxer. Pour des contraintes qui améliorent les performances des composants, cet effet est indésirable, il faut donc enchaîner les étapes technologiques de telle sorte que cette relaxation soit entravée : c'est ce qui se passe avec la technique SMT. Dans les technologies CMOS actuelles, une bicouche d'oxyde (TEOS) et de nitrure est déposée après l'implantation des régions S/D, pour masquer certaines zones. Cette bicouche est contrainte mais les contraintes induites dans les couches sous-jacentes se relaxent lorsque la bicouche est éliminée. Ceci n'est pas souhaitable lorsque les contraintes sont favorables à la mobilité. Pour maintenir l'état de contrainte avant gravure, la technique consiste tout simplement à effectuer les recuits d'activation avant le retrait, et non après comme cela est fait dans un procédé standard. Ce faisant le polysilicium des grilles N+, amorphisé par une implantation d'arsenic, se recristallise durant le recuit d'activation tout en conservant les contraintes transmises par la couche de nitrure. Les étapes suivantes étant « froides », le risque de relaxation est alors écarté. Notons toutefois que l'origine de cette mémorisation est encore discutée. Le gain obtenu sur le courant du NMOS est cumulable avec le gain apporté par les couches d'arrêt de gravure [PONCET 06]. Ici encore l'effet est très dépendant du procédé technologique [ORTOLL 06].

II.C.3 Les solutions alternatives envisagées en pre- ou post-process

II.C.3.1 Le report sur substrat

Une récente technique proposée pour introduire volontairement des contraintes mécaniques dans le canal consiste à utiliser le report sur substrat courbé [KIRK 04, HAUGER 03]. Le support du substrat porteur pour collage est de forme cylindrique ce qui permet d'obtenir une contrainte uniaxiale. Or les contraintes uniaxiales fortes peuvent, si elles sont correctement orientées, fortement améliorer les performances des circuits CMOS et même dépasser les gains obtenus avec une contrainte biaxiale [UCHIDA 05, MISTRY 04, THOMPS 04] (cf. §III.C.2). Le substrat où sont fabriqués les dispositifs est préalablement aminci, à quelques dizaines de microns, avant d'être reporté par collage sur le substrat porteur courbé. Ces principaux intérêts sont la possibilité d'avoir des couches contraintes uniaxiales en compression ou en tension avec des niveaux de contraintes de l'ordre de 400 MPa tout en pouvant choisir la direction de la contrainte. Cette technique peut de plus être facilement transposée à une technologie SOI. Une extension vers des niveaux de contraintes de 500 MPa est envisagée pour des substrats comportant un film très mince comme couche active (typiquement la technologie FDSOI) puisque l'on sait que les films minces résistent mieux à la contrainte ; leur limite élastique est repoussée et la création de défauts, comme les dislocations, est atténuée.

	Si	Al	AlSiC
CET ($10^{-6}/^{\circ}\text{C}$)	3,5	23,1	7,45

Tableau II-13 : Coefficient d'expansion thermique moyen¹⁰⁸ (CET) du silicium, de l'aluminium et de l'alliage AlSiC

Une autre technique consiste à reporter le substrat actif sur un substrat porteur possédant des propriétés physiques différentes de celle du silicium. Par exemple le substrat porteur pourra avoir un coefficient de dilatation thermique différent ce qui permet de générer une contrainte de type biaxiale à l'échelle du substrat, et qui dépend de la température (lors du report ou même lors de fonctionnement du dispositif). Des substrats en Al ou AlSiC (matrice en Aluminium remplie par des polycristaux de SiC) ont déjà été utilisés [HAUGER 04]. Ainsi avec une différence de température

¹⁰⁸ le CET dépendant de la gamme de température comme illustré par le Tableau II-10

de 100°C (par exemple collage à T=400K), la déformation obtenue avec un substrat en aluminium est de 0,2% soit une contrainte biaxiale d'environ 330 MPa (Tableau II-13).

II.C.3.2 Le « package strain »

D'autres solutions alternatives sont envisageables après la fabrication complète d'un circuit intégré, *i.e.* au niveau des étapes de packaging [LIU 05]. En travaillant sur les matériaux dans lequel la puce est encapsulée et/ou sur les procédés, on peut imaginer introduire des contraintes à l'échelle d'une puce. Les avantages sont que le coût de procédé est relativement bas (hors salle blanche) et qu'il peut être appliqué à la fois aux transistors courts et longs.

II.C.4 Superposition des contraintes

Afin d'augmenter encore le gain, on peut envisager de superposer plusieurs types de contraintes mécaniques. De récentes études indiquent même que la combinaison de ces multiples approches peut potentiellement créer un effet supplémentaire avec lequel l'amélioration globale des performances est plus grande que la somme des gains des procédés pris séparément¹⁰⁹ [AL-BAY 05, LAI 06].

Nous aurons l'occasion de discuter aux Chapitre III et Chapitre VI de l'effet de superposition d'une contrainte uniaxiale sur des dispositifs déjà fortement contraints biaxialement de type sSOI (contrainte uniaxiale externe ou induite par des CESL constraints, respectivement).

II.C.5 Conclusion : les approches choisies actuellement pour N&PMOS

Comme nous avons pu le voir tout au long de cette partie, il existe une multitude de possibilités pour mettre en contrainte le canal d'un MOSFET. Les types de contraintes générées sont également divers : uniaxiales, biaxiales, perpendiculaires ou longitudinales au canal, faibles ou fortes intensités... Le Tableau II-14 permet de synthétiser les conditions favorables et défavorables. Nous aurons l'occasion de rentrer plus dans le détail de ces conditions par la suite, notamment pour les contraintes uniaxiales faibles puisqu'il s'agit d'un outil d'exploration que nous avons utilisé au cours de ce travail (Chapitre III) et les contraintes biaxiales fortes (Chapitre V et Chapitre VI).

Type de contrainte	Signe de la contrainte	NMOS	PMOS
Contrainte parallèle au canal	Tension	Améliore ++	Dégrade --
	Compression	Dégrade --	Améliore ++
Contrainte perpendiculaire au canal	Tension	Améliore +	Améliore ++
	Compression	Dégrade --	Dégrade --
Contrainte biaxiale	Tension	Améliore +++	Améliore +*/
	Compression	Dégrade ---	Améliore ++ /
* dégradé à faible contrainte	/ perte de gain à fort champ		

Tableau II-14 : Impact d'une contrainte mécanique sur les performances des transistors MOS pouvant être introduite après la fabrication d'un circuit CMOS (« package strain »). Le canal est ici orienté selon [110].

Les dispositifs à canal contraint par épitaxie (II.C.1) montrent des gains significatifs pour la mobilité des électrons à faibles et forts champs. La mobilité des trous est améliorée également de

¹⁰⁹ Simulations du professeur S.E. Thompson, de l'université de Floride, montrant que l'addition de la contrainte induite par une couche recouvrante en SiN et celle induite par des S/D en SiGe augmenterait le courant de saturation par un facteur supérieur à 2 comparé à la contrainte venant de chacune des couches.

façon significative sous certaines conditions. Mais ces procédés sont relativement complexes et les industriels de la microélectronique ont préféré commencer à utiliser les contraintes induites par le procédé de fabrication (0). Ces techniques peuvent améliorer le courant de drain et la mobilité des transistors NMOS et PMOS à faible et fort champs grâce aux contraintes uniaxiales et localisées près du canal mais ne sont effectives que pour des géométries de grille petites ($< \sim 150$ nm).

Si l'on s'intéresse à l'état de l'art présenté au cours des deux plus grandes conférences internationales sur le plan des technologies (le VLSI¹¹⁰ et l'IEDM¹¹¹) ces deux dernières années (2206-2007), on s'aperçoit que, premièrement, l'étude des technologies visant à intégrer des contraintes mécaniques dans le canal des MOSFETs prend une place très importante et que, deuxièmement, les solutions les plus étudiées sont (dans l'ordre du plus grand nombre de papiers présentés au plus petit nombre) : les CESL contraints (CESL), les canaux épitaxiés, l'épitaxie SiGe ou Si:C des S/D, les siliciures pour les S/D, la SMT, les grilles métalliques et enfin les STI qui ne sont quasiment plus étudiés puisque leur impact est bien compris aujourd'hui.

La Figure II-75 fait la synthèse des principales techniques permettant d'introduire une contrainte contrôlée dans le canal des MOSFETs.

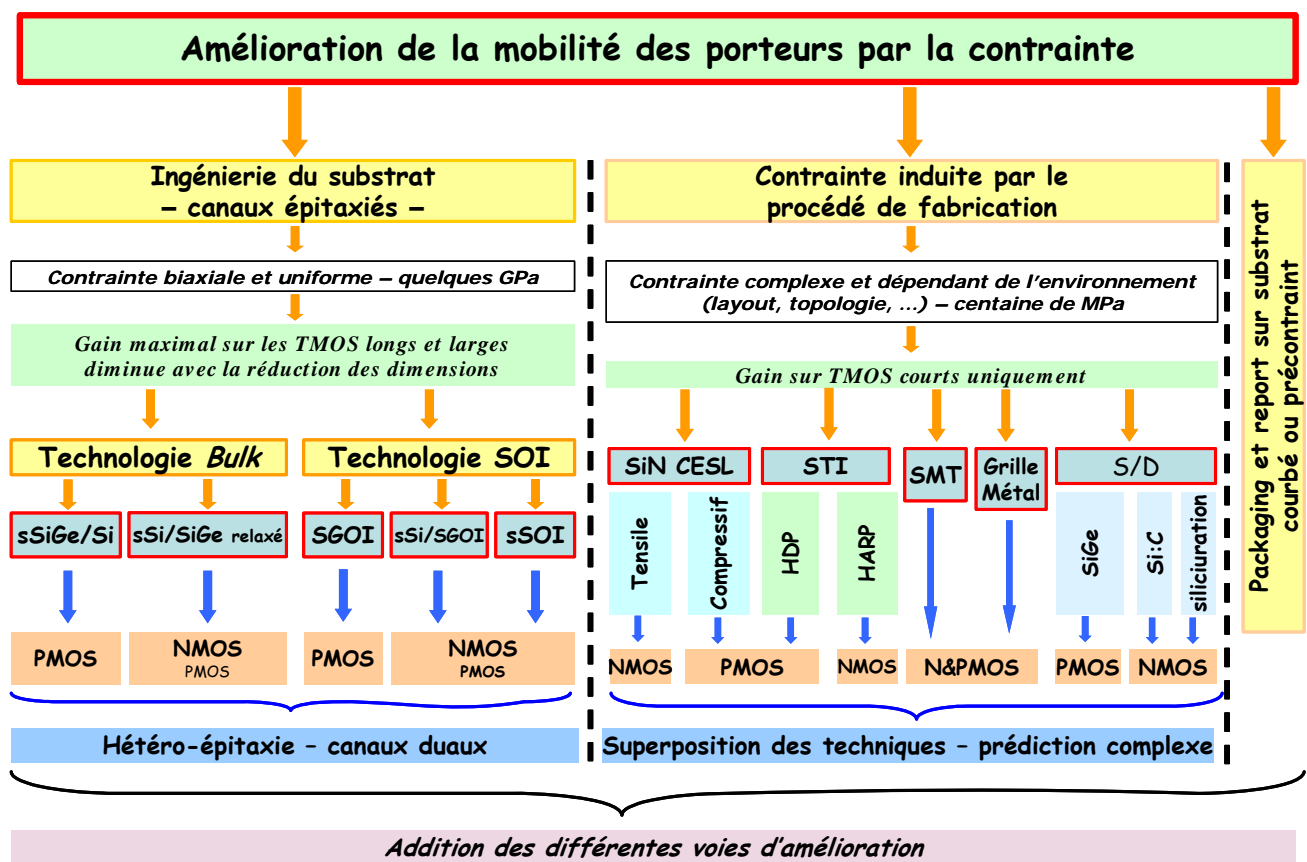


Figure II-75 : Synthèse des solutions technologiques étudiées pour améliorer la mobilité des porteurs par la contrainte selon le type de porteurs.

Afin d'être utilisé pour des applications VLSI, les technologies visant à améliorer la mobilité des transistors MOS doivent être à bas coût et présenter de hautes performances. Les approches utilisant de nouveaux matériaux et de nouvelles orientations de substrat permettent d'améliorer la mobilité et le courant de drain mais elles posent toujours le problème d'avoir un procédé de fabrication parfois complexe ou mal maîtrisé. Exploiter les procédés disponibles dans la fabrication actuelle des circuits intégrés pour produire le niveau de contrainte désiré est une solution présentant un bon compromis entre le coût et l'amélioration des performances dans une perspective

¹¹⁰ Symposium on Very Large Scale Integration Technology. www.vlssymposium.org

¹¹¹ International Electron Devices Meeting. www.his.com/~iedm/

d'utilisation à court et moyen terme. La combinaison de nouveaux matériaux et l'utilisation de nouvelles orientations de substrat ainsi que l'introduction de contraintes mécaniques par le procédé de fabrication ou le packaging continuera finalement à améliorer de façon très significative les performances des futures générations de circuits CMOS, pour le nœud 45nm et en deçà (Figure II-76).

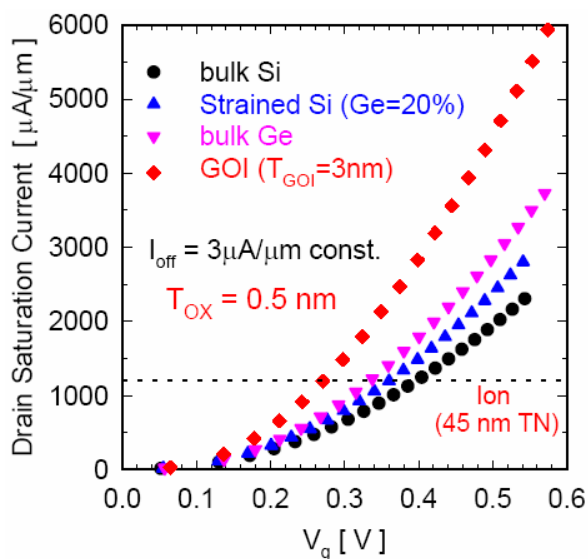


Figure II-76 : Courant de saturation de différentes architectures prometteuses pour le nœud technologique 45nm et en-deçà, d'après S. Takagi, IEDM 03 [TAKAGI 03].

Finalement, pour les nœuds technologiques 65nm et 45nm, les industriels semblent tous opter pour les contraintes induites par le procédé de fabrication (moins coûteux et plus conservateur). Pour les NMOS les CESL contraints en tension sont privilégiés alors que pour les PMOS les CESL contraints en compression et les S/D en SiGe sont utilisés. Pour les nœuds suivants (32nm et en deçà), aucun choix ne semble arrêté, toutes les solutions technologiques sont envisagées d'un point de vue contrainte mécanique (*substrate engineering* et *process-induced stress*).

Dans un avenir plus lointain, les travaux de He et Yang et de Fonoberov et Balandin sur la piézorésistivité géante et sur l'amélioration de la mobilité des porteurs dans des structures à base de nanofils de silicium, ouvrent des voies nouvelles et très prometteuses quant à l'application et l'intérêt des contraintes mécaniques pour les dispositifs futurs et/ou post-CMOS [HE 06, FONOBE 06]. Il a en effet été observé une piézosistivité extraordinairement élevée dans des nanofils de silicium. Les états d'interface jouent un rôle primordial. Il a également été montré qu'il est possible d'augmenter la mobilité de façon significative en enrobant les nanofils d'un matériau très rigide, tel que le diamant. Cette étude apporte une connaissance importante et nouvelle en ce qui concerne les interactions électrons-phonons dans des structures fortement confinées de type nanofils. Habituellement seul l'effet du confinement quantique sur les électrons était pris en compte pour les calculs de temps de relaxation permettant de remonter à une valeur de mobilité. Cela montrait déjà une dégradation de mobilité pour des dimensions inférieures à environ 8 nm. En rajoutant en plus l'effet du confinement (spatial ou géométrique) sur les phonons, le tableau devient encore plus noir puisque le confinement augmente aussi la fréquence des interactions électron-phonon (via la modification des relations de dispersion). Il est nécessaire de prendre en compte les effets du confinement spatial à la fois sur les porteurs et les phonons dès lors que le diamètre des nanofils devient aussi petit que 5 à 10 nm. Cette étude présente l'intérêt d'utiliser comme encapsulant des nanofils, du carbone (sous sa forme diamant par exemple) pour augmenter la mobilité des porteurs dans de telles structures limitant naturellement la mobilité. Le diamant est un matériau très dur qui va permettre de limiter la dispersion des phonons dans la nanostructure. Il est notamment montré par le calcul un effet important et inattendu : plus l'épaisseur de la barrière enrobante en diamant

augmente (de 0,5 à 32 nm), plus la mobilité des porteurs augmente et atteint la limite correspondant à une nanostructure dite rigide.

II.D Les techniques de caractérisation des contraintes mécaniques

La détermination des contraintes mécaniques à une échelle de plus en plus locale est aujourd'hui un enjeu majeur dans les micro et nanotechnologies (*stress engineering*, fiabilité des composants, ...). Un effort important au niveau international a été mené pour développer des outils de caractérisation qui permettent de mesurer des champs de déformations avec des résolutions spatiales de plus en plus fines. Un très grand nombre de techniques expérimentales ont été développées et sont encore à l'étude et/ou en développement pour obtenir la meilleure description possible de l'état de contrainte ou de déformation d'un matériau. Pour déterminer localement les contraintes mécaniques il faut aller vers la meilleure résolution spatiale (latérale et en profondeur), la meilleure précision ($<10^{-4}$ sur les déformations) et la plus grande reproductibilité possibles. L'enjeu est d'être capable de déterminer les six composantes du tenseur des déformations et de localiser précisément le point de mesure sur des systèmes aussi complexes que les architectures MOS.

Une présentation des principales techniques de caractérisation physique est réalisée en Annexe C.

Chapitre III - Etude expérimentale de l'impact d'une contrainte mécanique uniaxiale faible sur les propriétés de transport

Dans ce chapitre nous nous intéressons à l'effet d'une contrainte uniaxiale faible sur un paramètre clé du transport électronique, la mobilité. L'intérêt de cette étude est d'analyser en détail la dépendance de la mobilité avec la contrainte, en liaison avec la structure de bande du silicium, et de remonter aux différents coefficients piézorésistifs bidimensionnels. Nous avons analysé leur dépendance avec la charge d'inversion. L'effet d'une contrainte uniaxiale faible superposée à une contrainte biaxiale forte sera aussi présenté. Ceci permet d'aborder la piézorésistivité dans le domaine des fortes contraintes, encore peu étudiée à ce jour.

III.A Notre outil d'analyse : le banc de flexion quatre points

III.A.1 Caractéristiques, avantages et possibilités

Une contrainte mécanique est appliquée de façon externe, grâce à un banc spécifiquement développé pour réaliser des mesures de courant *in situ* sur des lamelles prédécoupées. Il s'agit d'un banc de flexion dit quatre points (Figure III-1), développé au CEA-Léti à l'origine par C. Gallon et *al.* [GALLON 03b]. La lamelle est soutenue par quatre points d'appuis cylindriques (pour avoir un contact linéique) en acier judicieusement répartis : deux appuis fixes au centre et deux appuis mobiles aux extrémités sur lesquels il est possible d'appliquer un déplacement vertical grâce à une vis micrométrique. Cette vis permet aussi de mesurer le déplacement appliqué sur les bords de la lamelle. Suivant la position relative des appuis centraux et externes, deux essais de flexion sont possibles : l'essai en tension lorsque les appuis externes sont au-dessus des appuis centraux et l'essai en compression dans le cas contraire (Figure III-2)¹¹². La contrainte générée est uniaxiale.

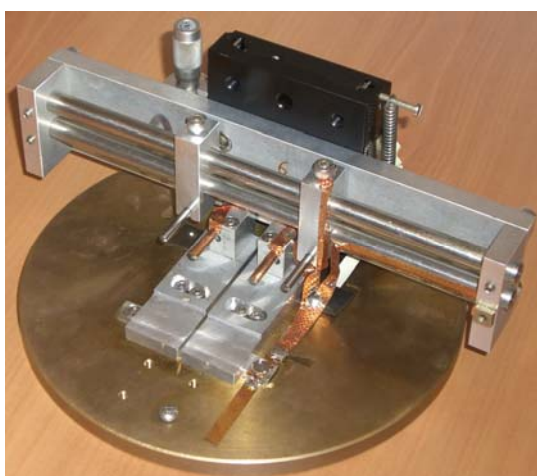


Figure III-1 : Photos du banc de flexion 4 points. Vue du banc de flexion sur une station de mesure électrique.

L'écartement entre les appuis est ajustable. Pour nos études nous avons utilisé des écartements fixes de 15 mm entre les appuis externes et centraux (paramètre noté « a ») et 30mm

¹¹² On entend par essai en tension lorsque la face supérieure de la lamelle, contenant le dispositif à tester, est en tension.

entre les deux appuis centraux (« 2a »). L'écartement maximal entre les deux appuis externes est ainsi de 60 mm ($L=4a$). Les lamelles sont découpées pour une longueur de 65 mm afin de s'assurer du contact sur les appuis externes lors de la mise en contrainte. Leur largeur est de l'ordre de 20 mm (souvent la dimension d'une puce afin de faciliter la découpe des lamelles sur une plaque de silicium). Grâce à cette méthode, le moment fléchissant est constant et maximal entre les deux appuis centraux ($M=F \cdot x$ entre 0 et « a », « $F \cdot a$ » entre les appuis centraux, F étant la force normale sur les appuis cylindriques). Ainsi la contrainte mécanique est constante et maximale entre les deux appuis centraux.

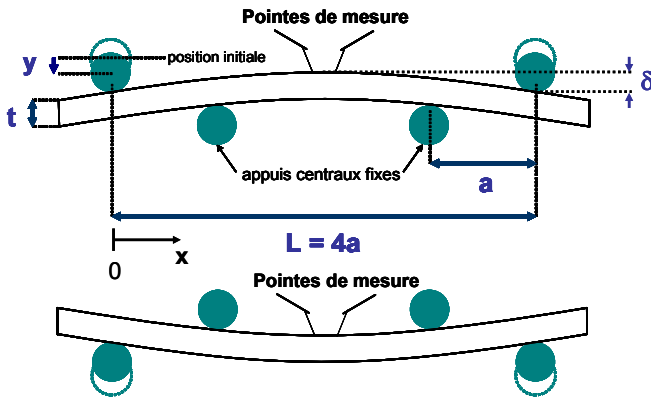


Figure III-2 : Représentation d'un essai de flexion en tension (en haut) et en compression (en bas) au niveau du dispositif testé. La contrainte générée est uniaxiale. Dans notre cas $L=4 \cdot a$

Le positionnement des points de mesure est alors moins critique. Selon la configuration de la Figure III-2, la contrainte mécanique en surface de la lamelle est déterminée à l'aide de la théorie des poutres par¹¹³ :

$$\sigma = \frac{12 \cdot E \cdot t \cdot \delta}{4 \cdot a^2 - 3 \cdot L^2} = \frac{3 \cdot E \cdot t \cdot y}{8 \cdot a^2} \quad \text{avec } \delta = \frac{11}{8} y \quad \text{Équation III-1}$$

avec E le module d'Young selon la direction cristallographique de la contrainte, t l'épaisseur de la lamelle, δ la flèche totale de la lamelle et y le déplacement vertical appliqué par la vis micrométrique. La validité de ce calcul a pu être vérifié par des simulations mécaniques numériques appliquées aux cas de nos échantillons (épaisseur de l'ordre de $750 \mu\text{m}$, déplacement maximal de l'ordre de 1mm, pour une contrainte de l'ordre de 210 MPa) par Gallon *et al.* ou encore Wu *et al.* [GALLON 03b, WU 05]. L'écart entre le calcul et la simulation est de l'ordre de 5%. L'incertitude relative sur le calcul de la contrainte est donnée par

$$\frac{\Delta \sigma}{\sigma} = \frac{\Delta E}{E} + \frac{\Delta t}{t} + \frac{\Delta y}{y} + \frac{8a \Delta a}{|4a^2 - 3L^2|} + \frac{6L \Delta L}{|4a^2 - 3L^2|} \quad \text{Équation III-2}$$

Les résultats de ce calcul d'incertitude sont présentés sur la Figure III-3. La contribution majeure est l'incertitude sur le module d'Young, estimée à 7% [GALLON 03b]. Les deux autres contributions principales sont la détermination du « zéro en contrainte », dépendant de l'appréciation de l'expérimentateur et ayant une répercussion essentiellement pour les faibles niveaux de contraintes, et le positionnement vertical dans une moindre mesure (Δy). Comme on peut le voir sur la Figure III-3, l'incertitude relative reste comprise entre 20% et 10%, en se réduisant avec l'intensité de la contrainte.

L'incertitude relative maximale sur l'extraction des coefficients piézorésistifs sera alors la somme de cette contribution et de l'erreur de mesure des variations de résistance (ou de courant) :

¹¹³ Pour plus de détails sur ce calcul, se référer par exemple à [TIMOSH 76] ou [WU 05].

$$\frac{\Delta \pi_{ij}}{\pi_{ij}} = \frac{\Delta \sigma}{\sigma} + \frac{\Delta \rho}{\rho} \quad \text{Équation III-3}$$

Une étude de la limite de rupture des lamelles en silicium a été menée afin de déterminer la gamme de contrainte analysable avec ce banc de flexion. Plusieurs géométries de lamelle ont été amenées à la rupture (largeur variant de 1mm à 20mm). Deux types de découpe ont été testés : découpe par clivage ou à la scie en diamant. Aucune variation significative n'a pu être observée selon ces variantes. Le mode de rupture des lamelles de silicium monocristallin est de type fragile. Sur une cinquantaine d'échantillons, la contrainte de rupture était centrée autour de 230MPa avec un écart-type de 90MPa. Ainsi dans la plupart des cas la contrainte maximale utilisée sera comprise entre 150 et 175MPa, pour limiter le nombre de lamelles cassées tout en conservant une amplitude de contrainte suffisante pour obtenir des résultats fiables étant données les faibles variations de résistivité du silicium dans cette gamme de contraintes.

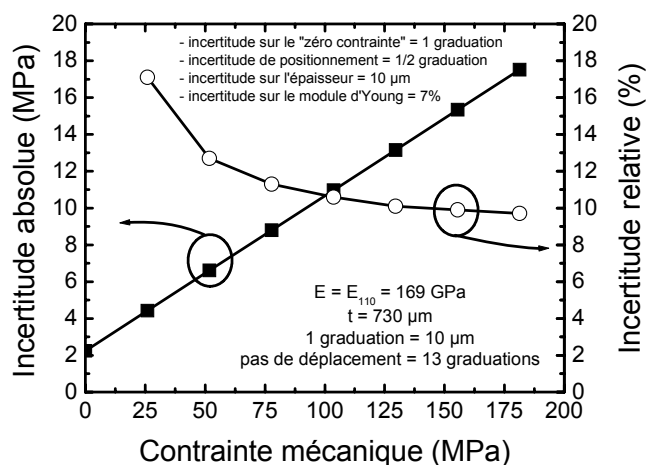


Figure III-3 : Calcul d'incertitude sur la détermination de la contrainte (en absolu et en relatif)

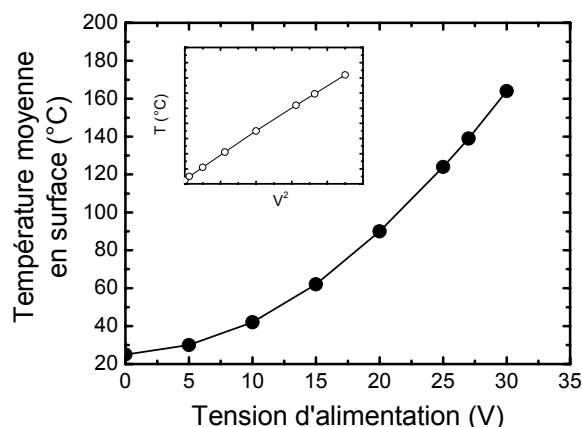


Figure III-4 : Evolution de la température de surface de l'échantillon en fonction de la tension d'alimentation de l'élément chauffant

Nous avons amélioré ce banc de flexion dans le but de pouvoir effectuer des mesures à haute température. Pour cela un élément chauffant est placé sous la lamelle et un capteur de température (thermocouple) est placé sur la face supérieure de la lamelle afin de réguler la température (asservissement PID). L'élément chauffant est maintenu en contact avec la lamelle par une faible pression appliquée par une lame souple. Le contact doit être léger pour ne pas perturber la déformation de la lamelle imposée par les positions relatives des appuis cylindriques. De la pâte thermique peut être intercalée entre l'élément chauffant et la lamelle pour assurer une meilleure conduction thermique. Le système est opérationnel et l'on peut monter jusqu'à des températures de 160°C avec une tension d'alimentation de 30V (la température évolue selon le carré de la tension d'alimentation de l'élément chauffant, cf. insert de la Figure III-4). Le temps de stabilisation de la température est relativement court (environ 2 minutes). Le gradient de température le long de la lamelle est de l'ordre de 10 à 20°C. Nous avons également vérifié que la température était contrôlée lorsque la lamelle est sous contrainte.

Cependant dans ce mémoire, seules des mesures effectuées à température ambiante seront présentées.

III.A.2 Limitations, solutions et perspectives d'évolution envisagées

Ce banc de flexion présente deux limitations principales. On est limité à l'étude de la piézorésistivité dans le domaine des faibles contraintes mécaniques (<200MPa). De plus le type de contrainte est nécessairement uniaxial. Ainsi il serait bon de développer un banc permettant d'étudier par exemple des contraintes de type biaxial. Pour cela deux anneaux concentriques de

diamètres différents peuvent être utilisés. Des études ont déjà été publiées avec de tels systèmes [UCHIDA 04]. Ensuite pour atteindre des limites de rupture supérieures à ~ 200 MPa, il est nécessaire de déterminer l'origine physique de la rupture des échantillons. À ma connaissance aucune donnée sur la limite élastique du silicium monocristallin n'est disponible. Jusqu'à ces dernières années l'essentiel des travaux montrait des résultats pour des contraintes de l'ordre de 200 à 250 MPa dans le meilleur des cas ; toutefois une étude récente a montré des résultats de flexion uniaxiale allant jusqu'à environ 1 GPa [SUTHRA 07] mais depuis aucun autre résultat de ce type n'a pu être montré. Une préparation adéquate des échantillons (limitant la génération de microfissures pendant la découpe) ainsi qu'un banc parfaitement symétrique (force appliquée au centre des appuis, appuis indéformables et parfaitement parallèles afin d'éviter toute concentration de contraintes aboutissant prématurément à la rupture) sont nécessaires pour atteindre de plus forts niveaux de contraintes avant rupture. Dans notre cas, une légère dissymétrie des appuis (en porte-à-faux) a pu être constaté au cours du temps. Des appuis usinés dans un même bloc semblent être une bonne solution pour limiter les dissymétries.

Les mesures réalisées sur ce banc sont très sensibles. Notamment de nombreux claquages électriques de dispositifs se sont manifestés de façon inopinée (claquage de l'oxyde de grille du côté du drain ou de la source selon les cas). Malgré une meilleure isolation du banc, en particulier au niveau du contact avec le substrat, flottant dans notre cas (cf. les lignes de cuivre visibles sur la Figure III-1), ce problème reste toujours d'actualité. Un effet de la contrainte au niveau des interfaces (et jonctions) et de l'oxyde de grille est envisageable. Ainsi de nombreuses mesures sont nécessaires pour obtenir des extractions satisfaisantes.

Sur ce banc de flexion les mesures sont aussi très sensibles aux résistances de contact des pointes sur les plots du dispositif à tester (cf. l'insert de la Figure III-1). Bien que la déformation de la lamelle induite par la pression des pointes soit négligeable par rapport à la déformation imposée par le banc lui-même, de fortes variations de courant ont parfois été obtenues, traduisant des résistances de contacts importantes. La difficulté vient essentiellement du fait que les pointes sont posées sur un substrat « flottant » (en appui sur des cylindres uniquement). Ainsi la pose d'une pointe peut perturber le contact d'une pointe déjà posée. Ce problème s'accroît lorsque les contacts sont uniquement siliciurés (pas de niveau de métallisation), ce qui a été le cas de certains des dispositifs testés dans ce chapitre (technologie dite relâchée). Dans ce cas, et même pour des géométries de transistor relativement grandes ($L_G > 1\mu\text{m}$), le courant de drain d'un MOSFET peut être sensiblement affecté par les résistances de contact pointe/siliciure. Des structures de test spécifiques (motifs de type Kelvin) ont été utilisées pour s'affranchir le plus possible de ces effets parasites. Une représentation de ce motif est donnée sur la Figure III-5.

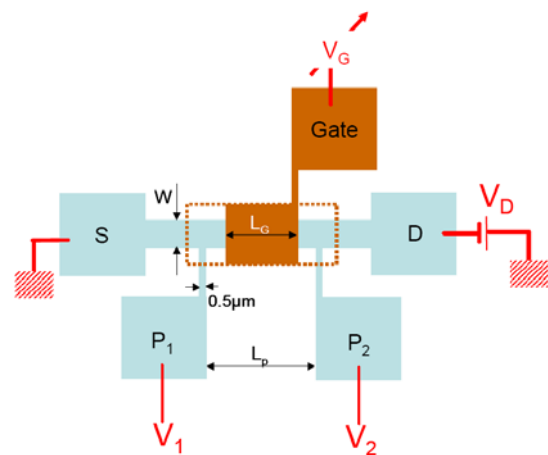


Figure III-5 : Représentation schématique d'un motif Kelvin. Les prises P₁ et P₂ permettent de mesurer la tension aux bornes du transistor pendant que les polarisations sont appliquées sur les plots de source, drain et grille.

Grâce à ce motif, on s'affranchit des variations des résistances de contact qui apparaissent au cours du protocole de mesure ainsi que des résistances des amenées jusqu'aux prises de tension P₁ et P₂. Dans le régime linéaire, on peut alors simplement déterminer le courant de drain corrigé de ces résistances par la relation suivante¹¹⁴ (voir le détail du calcul en Annexe D) :

¹¹⁴ Notons que la contribution des résistances entre les prises P₁ et le canal (R_{OV} , R_{EXT} ,...) n'est pas corrigée par cette méthode.

$$I_{D,corr} = I_{D,mes} \times \frac{V_D}{V_{P2} - V_{P1}} \text{ et } V_{G,corr} = V_{GS} - V_{P1} \quad \text{Équation III-4}$$

où V_D est la différence de tension entre le drain et la source et $V_{P1}(V_{P2})$ est le potentiel au niveau de la prise P1 (P2). Cette méthode présente l'avantage d'être très simple à mettre en œuvre, puisqu'il suffit de mesurer la tension résultante $V_P = V_{P2} - V_{P1}$ après avoir appliquée la tension de drain V_D voulue¹¹⁵.

L'effet des résistances séries parasites $R_{série}$ sera d'autant plus marqué que les longueurs de grille seront courtes. Dans le régime linéaire, le courant de drain affecté des $R_{série}$ s'écrit

$$I_{D,mes} = \frac{I_{D0}}{1 + R_{série} \frac{I_{D0}}{V_D}} = \frac{I_{D0}}{1 + \frac{R_{série}}{R_{canal}}} \quad \text{Équation III-5}$$

où I_{D0} représente le courant de drain qui serait obtenu si les $R_{série}$ étaient nulles. Ainsi plus I_D est fort et plus la chute de potentiel dans les zones de $R_{série}$ est forte ; le courant mesuré s'écarte alors de plus en plus du courant « idéal ». L'effet des $R_{série}$ devient important dès que $R_{série}$ s'approche de R_{canal} . L'Équation III-5 montre ainsi que cette correction n'est plus utile en faible inversion, lorsque $R_{canal} \gg R_{série}$.

Sur la Figure III-6(a) la correction n'est que de 2% en forte inversion pour un dispositif long. Ici la mesure a été effectuée sur un banc Cascade[®], elle n'est donc que faiblement perturbée par la mauvaise qualité du contact pointe/siliciure sur un transistor long (10 μ m). En revanche sur la Figure III-6(b) on peut voir la très forte correction apportée par la structure Kelvin sur nos dispositifs dans le cas d'un transistor court, même mesuré sur un banc Cascade[®]. Le potentiel effectif, c'est-à-dire $V_{P2} - V_{P1}$, chute drastiquement lorsque le dispositif passe dans le régime d'inversion (ici de 20 jusqu'à 13mV) à cause des $R_{série}$.

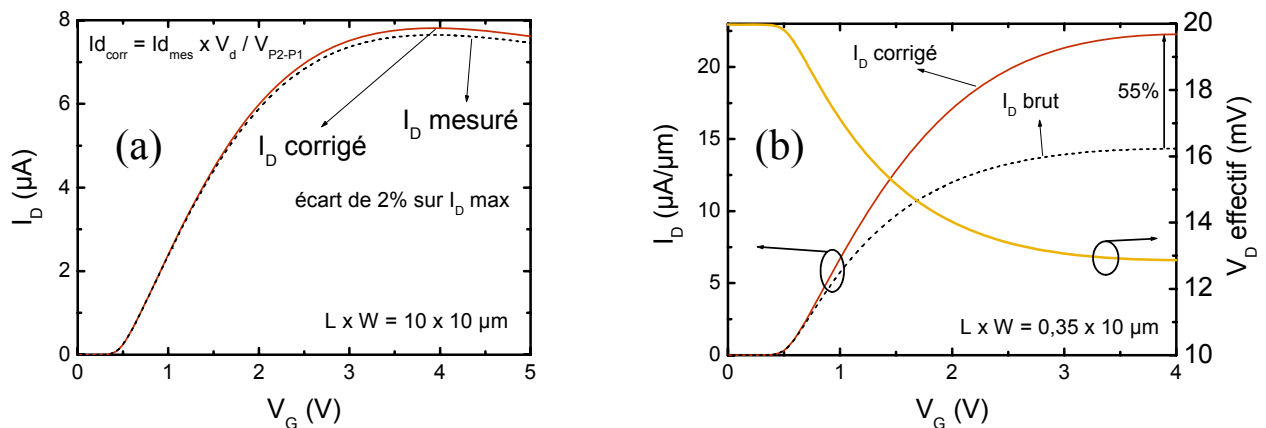


Figure III-6 : Impact des $R_{série}$ sur un transistor en technologie relâchée large et (a) long, (b) court.

Grâce à cette structure on devient donc insensible à ces résistances parasites. Afin d'illustrer encore une fois l'intérêt d'une telle structure de test nous avons représenté sur la Figure III-7 des mesures de courant effectuées sur le banc de flexion sur un transistor très long et large pour différents niveaux de contrainte, brutes et corrigées. On apprécie la très bonne sensibilité alors

¹¹⁵ Une autre solution consiste à réaliser un asservissement en cours de mesure. Par exemple si l'on souhaite réaliser un balayage de la tension de grille, on corrige pour chaque valeur prise par V_G les potentiels des prises P_1 et P_2 . Le potentiel de la prise P_1 sera ramené à 0V en polarisant négativement la source alors que le potentiel de la prise P_2 sera ramené à V_D en polarisant positivement ($>V_D$) le drain (dans le cas d'un NMOS). Cette méthode présente l'avantage de se rapprocher le plus près possible de la configuration électrostatique souhaitée au niveau du canal de conduction, sans être nécessairement obligé de se placer dans le régime linéaire. N.B. : Nous avons vérifié que les deux méthodes sont strictement équivalentes en régime linéaire.

obtenue après correction. Notons enfin qu'avec de telles structures il est possible de proposer de nouvelles techniques d'extraction des résistances séries parasites, notamment les résistances sous les espaceurs, ou encore d'étudier l'impact de la topologie des espaceurs (moyennant des écartements variables des prises P_1 et P_2) [ROCHET 05].

Toutefois ce genre de structure de test n'est pas disponible sur tous les lots que nous avons pu tester. Notons néanmoins que les dispositifs avancés sont réalisés avec des masques allant jusqu'au niveau métal. Les variations de résistance de contact avec les mesures sous contrainte sont alors atténuées, bien que parfois non négligeables. La rigueur de l'expérimentateur est alors une donnée importante de la fiabilité des résultats.

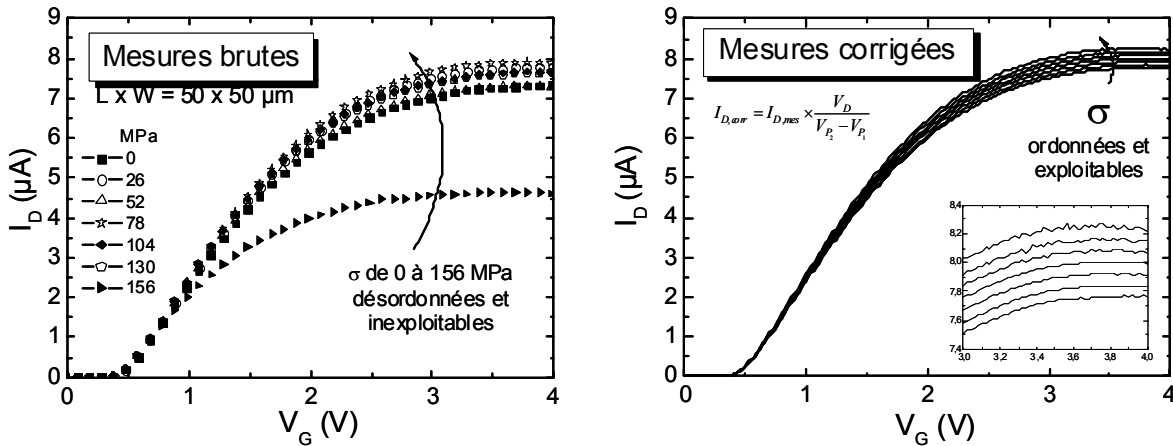


Figure III-7 : Mesures de courant effectuées sur le banc de flexion (en tension) : brutes (à gauche) et corrigées (à droite) des résistances de contact par la structure Kelvin. L'insert correspond au zoom en forte inversion.

Une solution possible pour limiter ces effets parasites de résistances de contact sur substrat flottant consiste à reporter l'échantillon, après l'avoir préalablement aminci afin de pouvoir le déformer plus facilement, sur un substrat porteur courbé (cylindrique par exemple), en le collant (cf. §II.C.3.1). Cette technique permet d'effectuer des mesures de courant sous contrainte uniaxiale avec de bons contacts pointe/plot de mesure. Différents rayons de courbure du substrat porteur fourniront différents niveaux de contrainte [TSAI 06]. Cette approche facilite également les études en température de dispositifs sous contrainte calibrée.

Enfin, on peut se poser la question de la validité de l'Équation III-1 dans le cas où l'échantillon correspond à une puce de silicium présentant des motifs constitués de matériaux et d'épaisseurs variables. L'épaisseur du substrat en silicium, de l'ordre de $700 \mu m$, reste néanmoins très supérieure à celle des couches déposées sur nos lots d'étude (1^{er} niveau de métallisation, soit de l'ordre de $2 \mu m$). De même la dimension des zones actives de silicium, isolées entre elles par de l'oxyde de silicium, peuvent être considérées comme suffisamment grandes (du moins pour des transistors longs et larges, *i.e.* de l'ordre de $10 \mu m$) pour que la déformation imposée par le banc de flexion au substrat se reporte intégralement au niveau de la zone active du canal de conduction du transistor MOS. Le cas des zones actives plus petites sera discuté au §III.B.2.3.

III.B Effet d'une contrainte uniaxiale sur les MOSFETs en technologie Si massif et FDSOI

Dans cette partie nous étudions la piézorésistivité bidimensionnelle d'une couche d'inversion à partir de mesures de courant sur des transistors MOS longs et larges.

III.B.1 Le lien courant / mobilité / coefficients piézorésistifs

En régime linéaire et d'inversion forte, le courant de drain d'un MOSFET est donné par l'Équation I-10, rappelée ci-dessous :

$$I_D = \frac{W_{\text{eff}}}{L_{\text{eff}}} C_{\text{ox,eff}} \mu_{\text{eff}} \left(V_G - V_T - \frac{V_D}{2} \right) V_D \quad \text{Équation III-6}$$

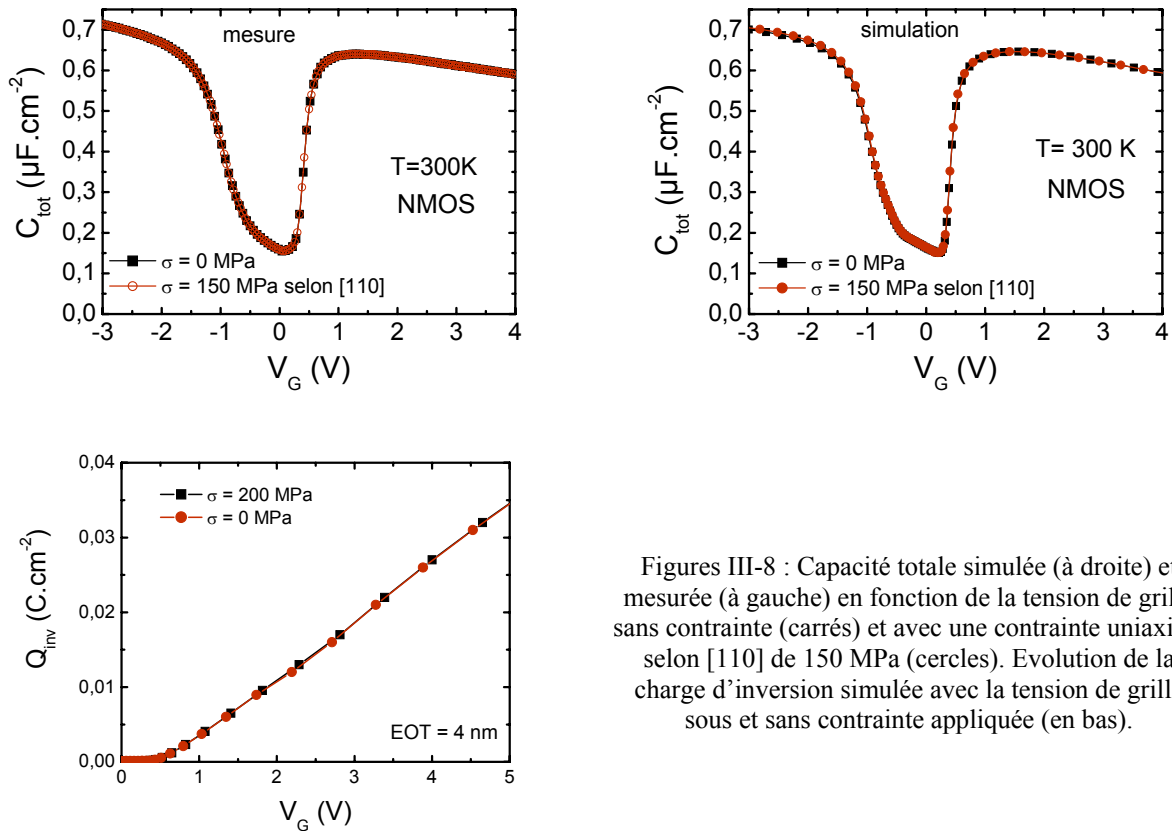
La variation relative du courant avec la contrainte est donnée par

$$\frac{\Delta I_D}{I_D} = \frac{I_D(\sigma \neq 0) - I_D(\sigma = 0)}{I_D(\sigma = 0)} \quad \text{Équation III-7}$$

Les seuls paramètres pouvant dépendre de la contrainte sont les paramètres électriques¹¹⁶, à savoir $C_{\text{ox,eff}}$, V_T et bien entendu μ_{eff} . D'où

$$\frac{\Delta I_D}{I_D} = \frac{\Delta \mu_{\text{eff}}}{\mu_{\text{eff}}} + \frac{\Delta C_{\text{ox,eff}}}{C_{\text{ox,eff}}} - \frac{\Delta V_T}{V_T} \quad \text{Équation III-8}$$

Notons ici que le terme $\Delta C_{\text{ox,eff}} / C_{\text{ox,eff}} - \Delta V_T / V_T$ est équivalent à la variation relative de la charge d'inversion avec la contrainte $\Delta Q_{\text{inv}} / Q_{\text{inv}}$ puisqu'en forte inversion on peut considérer que $Q_{\text{inv}} = C_{\text{ox,eff}} (V_G - V_T)$. Pour de faibles contraintes mécaniques uniaxiales (<200 MPa), les variations de la capacité en inversion sont négligeables. Ceci a été mesuré et vérifié par le calcul (Figures III-8).



Figures III-8 : Capacité totale simulée (à droite) et mesurée (à gauche) en fonction de la tension de grille sans contrainte (carrés) et avec une contrainte uniaxiale selon [110] de 150 MPa (cercles). Evolution de la charge d'inversion simulée avec la tension de grille sous et sans contrainte appliquée (en bas).

Les variations de la tension de seuil dans cette gamme de contraintes sont faibles (de l'ordre de $3\text{mV}/100\text{MPa}$ ¹¹⁷). La définition de la tension de seuil est cruciale ici. En effet les extractions de

¹¹⁶ Les variations des paramètres géométriques induites par l'application d'une contrainte externe sont négligeables étant données les très faibles déformations engendrées (de l'ordre de 10^{-3}).

V_T avec la fonction Y ne sont pas précises au millivolt près (cf. Chapitre IV) et ne nous permettent pas d'étudier de façon fiable l'évolution de V_T dans cette gamme des faibles contraintes. Pour plus de précision on pourrait s'intéresser au décalage du courant sous le seuil avec la contrainte (cf. insert de la Figure III-9). Il s'agit alors de la tension de seuil dite à courant constant. Cependant ces tensions de seuil nous renseignent sur le déclenchement de la conduction d'un MOSFET. Or si l'on souhaite étudier la piézorésistivité à charge d'inversion constante, il faudrait mesurer pour chaque niveau de contrainte la capacité grille/canal de la structure afin de déterminer la tension de seuil correspondant à la quantité de porteurs en inversion et non à leur transport. La contrainte mécanique joue non seulement sur le courant en forte inversion (courant de dérive) mais aussi sur le courant sous le seuil (courant de diffusion) ; ce dernier dépendant de la mobilité des porteurs, modifiée par la contrainte (cf. Équation I-6)¹¹⁸.

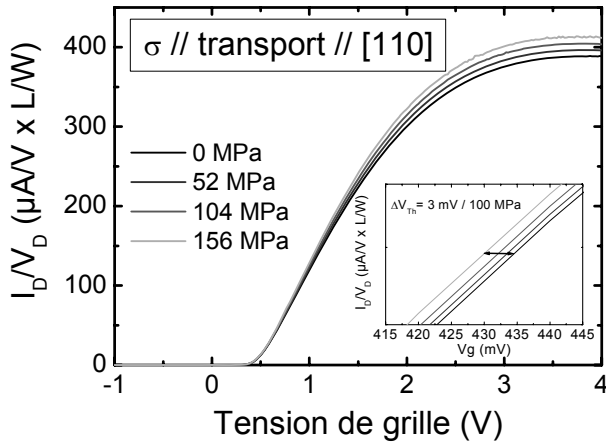


Figure III-9 : Impact d'une contrainte mécanique uniaxiale parallèle au transport selon [110] sur le courant en forte inversion et en faible inversion (insert).

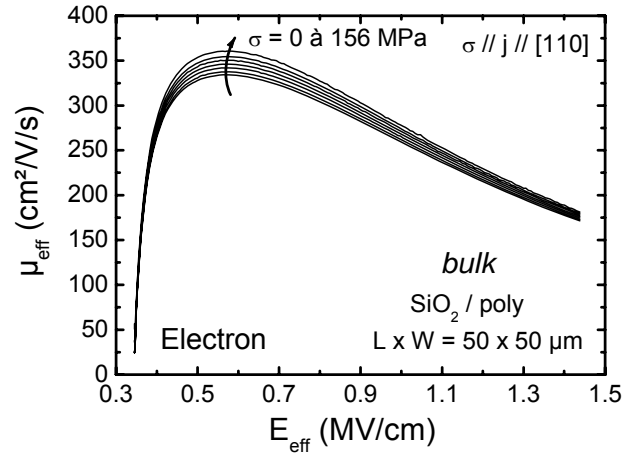


Figure III-10 : Evolution de la mobilité effective des électrons avec le champ effectif pour différentes valeurs de contrainte uniaxiale en tension selon [110].

En définitive, on peut considérer que, pour des contraintes faibles, $\Delta Q_{inv}/Q_{inv} \approx 0$ (Figures III-8), la variation relative du courant de drain (mesure) en forte inversion est directement liée à la variation relative de la mobilité effective :

$$\frac{\Delta I_D}{I_D} = \frac{\Delta \mu_{eff}}{\mu_{eff}} \quad \text{Équation III-9}$$

La variation de la mobilité effective des électrons (extraite par la technique split-CV, cf. §IV.B) avec une contrainte mécanique uniaxiale en tension est illustrée sur la Figure III-10.

Les coefficients piézorésistifs relient la variation de résistivité à la contrainte mécanique par (Équation II-72) :

$$\frac{\Delta \rho}{\rho} = \pi_{ij} \sigma \quad \text{Équation III-10}$$

La résistivité d'un matériau semi-conducteur est donnée par :

$$\frac{1}{\rho} = q(n\mu_n + p\mu_p) \quad \text{Équation III-11}$$

¹¹⁷ Valeurs conformes à la théorie puisque $\Delta V_T \approx \Delta E_C$ (cf. §V.A.2 et Figures II-18).

¹¹⁸ Notons toutefois qu'il est possible de corriger les mesures du décalage de la tension de seuil ΔV_T induit par la contrainte uniaxiale lorsque les ΔV_T sont significatifs, afin d'étudier la piézorésistivité à charge d'inversion constante.

avec n (p) la concentration totale d'électrons (trous) et μ_n (μ_p) la mobilité des électrons (trous). En inversion forte la mobilité est gouvernée par les porteurs majoritaires. La variation relative de la résistivité s'écrit alors (dans le cas d'une couche d'électrons) :

$$\frac{\Delta\rho}{\rho} = -\frac{\Delta n}{n} - \frac{\Delta\mu_n}{\mu_n} \quad \text{Équation III-12}$$

Cette équation est directement comparable à l'Équation III-8. La variation relative de porteurs $\Delta n/n$ traduit l'effet d'une contrainte sur la structure de bandes (décalages énergétiques des bandes de conduction et de valence, entraînant une modification de la bande interdite du matériau et dans le cas d'un MOSFET la modification de la tension de seuil). Si l'on veut étudier l'effet d'une contrainte sur la mobilité des porteurs uniquement, il convient de s'affranchir du terme $\Delta n/n$. D'après ce qui vient d'être discuté pour les variations relatives de la charge d'inversion sous contrainte uniaxiale faible, cette variation, et par conséquent son erreur associée sur l'étude de $\Delta\mu/\mu$, est faible en forte inversion.

En combinant les Équation III-9, Équation III-10 et Équation III-12, l'extraction des coefficients piézorésistifs bidimensionnels d'une couche d'inversion traduisant uniquement la variation relative de mobilité s'effectue à partir d'une mesure du courant de drain d'un MOSFET selon

$$\frac{\Delta I_D}{I_D} = -\pi_{ij}\sigma = \frac{\Delta\mu_{eff}}{\mu_{eff}} \quad \text{Équation III-13}$$

Notons dès à présent l'amalgame récurrent, relevé dans la littérature, entre le gain en courant et la valeur réelle du coefficient piézorésistif en raison de la présence du signe négatif de l'Équation III-13. Cette équation montre bien qu'un coefficient piézorésistif négatif entraîne un gain en courant pour une contrainte en tension ($\sigma > 0$). Nous tâcherons par la suite de toujours prendre soin de respecter le vrai sens physique du coefficient piézorésistif.

III.B.2 Extraction des coefficients piézorésistifs bidimensionnels

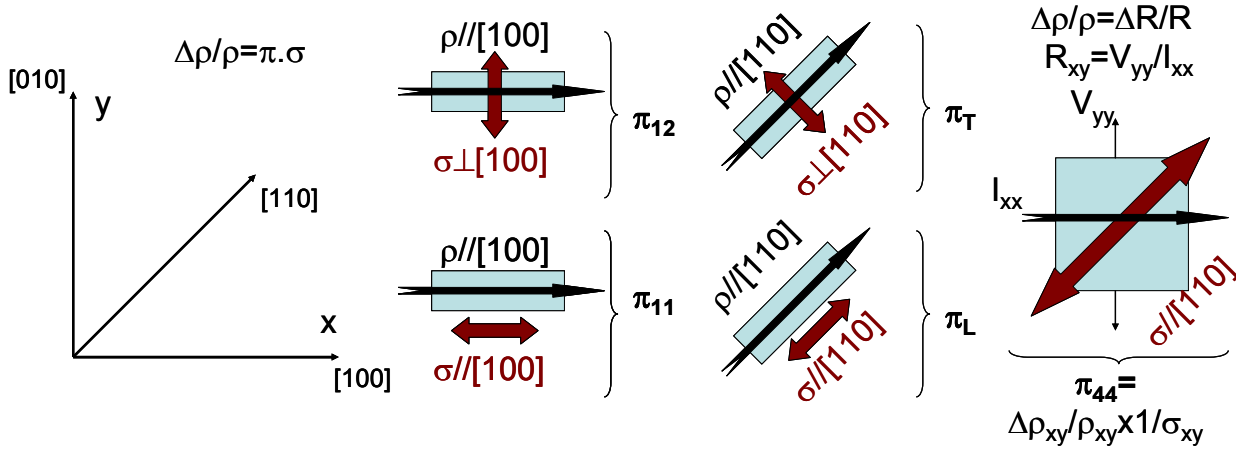
III.B.2.1 Protocoles de mesure et techniques d'extraction des π_{ij} usuels

La Figure III-11 rappelle les différentes configurations permettant l'extraction des coefficients usuels du tenseur de piézorésistivité π_{ij} (cf. II.B.5.2).

Notons que le coefficient π_{44} peut simplement être extrait à partir de la différence des coefficients π_L et π_T (cf. Équation II-77).

Il existe différentes façons d'extraire les coefficients piézorésistifs. Rappelons ici qu'il convient de distinguer les coefficients piézorésistifs bidimensionnels (typiquement d'une couche d'inversion d'un MOSFET) des coefficients piézorésistifs tridimensionnels du silicium massif (cf. éléments de théorie au §II.B.5.4). Or certaines études (voir par exemple [BRADLE 01, GALLON 04a]) traitent la piézorésistivité bidimensionnelle comme la piézorésistivité du silicium massif dans le sens où sont données des valeurs de coefficients piézorésistifs sans préciser à quel champ ils ont été extraits¹¹⁹. Or la piézorésistivité bidimensionnelle du silicium est dépendante du champ électrique de grille d'un MOSFET. Plusieurs auteurs utilisent même des valeurs de coefficients piézorésistifs du silicium massif pour expliquer des gains sur des MOSFETs fortement contraint, donc possiblement hors zone de piézorésistivité linéaire.

¹¹⁹ En réalité lorsque la charge d'inversion n'est pas précisée dans ces extractions il s'agit le plus souvent d'un coefficient piézorésistif extrait en inversion modérée voire faible, au niveau du maximum de la transconductance ou encore à la charge d'inversion (mal définie) correspondant au paramètre de la mobilité à faible champ μ_0 .


 Figure III-11 : Les différentes configurations pour l'extraction des coefficients piézorésistifs usuels¹²⁰.

Différentes méthodes ont été exploitées pour extraire les coefficients piézorésistifs :

- 1) à partir du maximum de la transconductance,

$$\frac{\Delta\mu}{\mu}(\sigma) \approx \frac{\Delta G_{m_{\max}}}{G_{m_{\max}}}(\sigma) = \frac{(G_{m_{\max}}(\sigma \neq 0) - G_{m_{\max}}(\sigma = 0))}{G_{m_{\max}}(\sigma = 0)} \quad \text{Équation III-14}$$

Son avantage est sa simplicité. Son inconvénient est que l'extraction ne se fait que sur un point ($G_{m_{\max}}$), d'où une plus grande sensibilité au bruit de mesure.

- 2) à l'aide de la fonction Y améliorée, ou corrélée (cf. description de la méthode au §IV.A.6) [MOURRA 00]. Elle présente l'avantage d'extraire un paramètre μ_0 indépendant des résistances d'accès R_{SD} , (comme vérifié sur la Figure III-12),

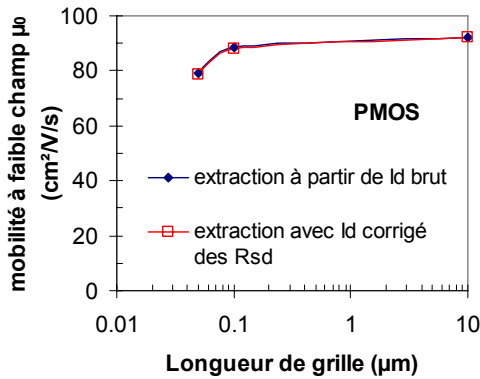
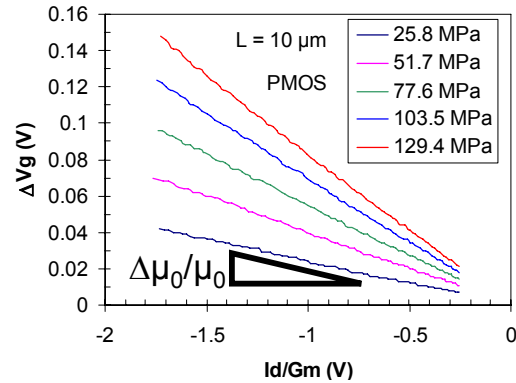


Figure III-12 : Evolution de la mobilité à faible champ (extraite avec la fonction Y) en fonction de la longueur de grille


 Figure III-13 : Extraction de $\Delta\mu_0/\mu_0$ (pente des courbes) avec la méthode 3) [ROUX-D 93].

- 3) basée sur le décalage de la tension de grille pour obtenir le même courant de drain entre un transistor contraint et non contraint [ROUX-D 93],

$$\Delta V_G = -\Delta V_T + \frac{I_D}{G_m} \cdot \frac{\Delta\mu_0}{\mu_0} \quad \text{Équation III-15}$$

$$\text{avec } \Delta V_G = \frac{\Delta I_D}{G_m} = \frac{I_{D, \text{non contraint}} - I_{D, \text{contraint}}}{G_{m, \text{non contraint}}} \quad \text{Équation III-16}$$

¹²⁰ On peut extraire directement le coefficient π_{44} grâce au terme ρ_{xy} mesuré à partir de la tension apparaissant aux bornes d'un barreau selon [010] lorsque le courant circule selon [100] pour une contrainte uniaxiale appliquée selon [110]. Cela nécessite cependant l'utilisation de structures de test spécifiques (de type « Croix de Hall »).

Un exemple d'extraction avec cette méthode est donné sur la Figure III-13. La pente du tracé $\Delta V_g(I_D/G_m)$ nous donne les valeurs de $\Delta\mu_0/\mu_0$ pour chaque valeur de contrainte. Ce tracé nous permet de vérifier dans le même temps que la tension de seuil est quasi-indépendante de la contrainte appliquée ($\Delta V_{th} \approx 0$), dans la gamme étudiée.

- 4) La solution la plus appropriée pour extraire des coefficients piézorésistifs bidimensionnels consiste à extraire directement la pente de la variation relative du courant de drain, normalisé ou non en $V_G - V_T$, en fonction de la contrainte (Équation III-13). Cela nous permet d'étudier la dépendance en champ électrique transverse. En pratique il suffit d'extraire la pente par régression linéaire du tracé $\Delta I_D/I_D$ en fonction de la contrainte appliquée (Figure III-14), pour chaque valeur de V_G .

Rappelons ici que cette extraction nous donne directement la valeur du coefficient piézorésistif traduisant l'effet sur la mobilité des porteurs si la variation de la tension de seuil est négligeable et que la variation de concentration de porteurs en inversion induite par la contrainte est négligeable par rapport au nombre total de porteurs en inversion, c'est-à-dire en définitive pour des charges d'inversion suffisamment grande (au-dessus du seuil). Pour illustrer ce propos, la Figure III-15 représente l'évolution des coefficients piézorésistifs extraits en fonction de N_{inv} avec et sans correction du décalage de la tension de seuil (extraite à courant constant sous le seuil). On peut en conclure que l'extraction est fiable et représente bien la variation relative de mobilité pour des charges d'inversion supérieures à quelques 10^{12} cm^{-2} .

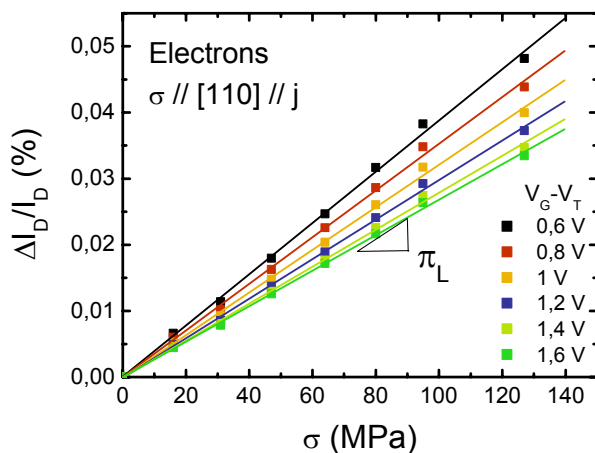


Figure III-14 : Principe d'extraction des coefficients piézorésistifs pour différentes conditions d'inversion

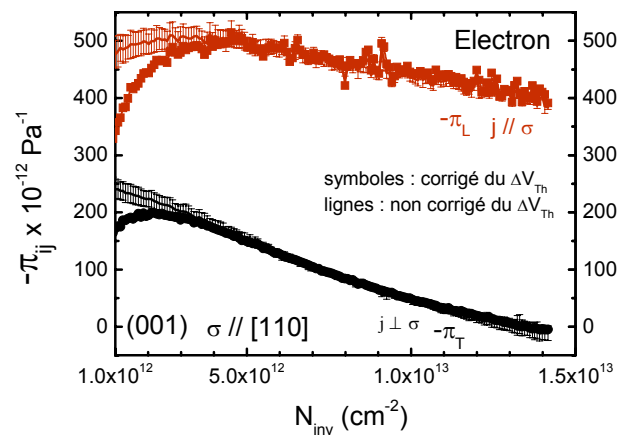


Figure III-15 : Evolution des coefficients piézorésistifs longitudinaux et transverses d'un nMOSFETs soumis à une contrainte uniaxiale selon [110]

Puisque le V_T a été extrait ici à courant constant, les coefficients piézorésistifs aux faibles N_{inv} sont légèrement sous-estimés alors que sans correction du V_T ils sont surestimés.

Ainsi il est important de bien définir ce que représente les π_{ij} selon le type d'extraction menée.

III.B.2.2 Application au cas des transistors longs

Les coefficients piézorésistifs (longitudinaux et transverses) dans le cas de transistors longs ($L=10\mu\text{m}$) NMOS et PMOS sont données dans le Tableau III-1 à partir de la Figure III-16.

Il s'agit de transistors classiques (grille en polysilicium, technologie bulk, oxyde de grille d'environ 2,5 nm). Les coefficients π_L et π_T sont obtenus par la pente des tracés $\Delta\mu_0/\mu_0(\sigma)$. Il y a bien linéarité ce qui indique un régime de piézorésistivité linéaire jusqu'à des contraintes de l'ordre de 200 MPa au moins.

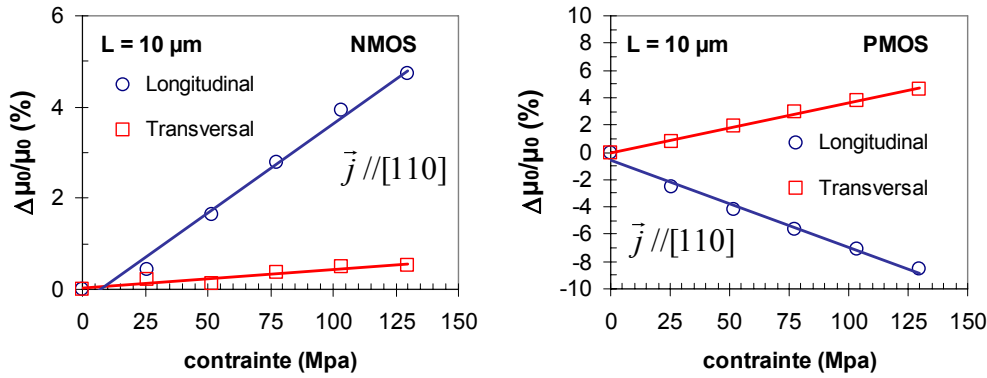


Figure III-16 : Variation relative de la mobilité à faible champ en fonction de la contrainte pour un NMOS (à gauche) et un PMOS (à droite) permettant d’extraire une valeur de coefficient piézorésistif bidimensionnel.

Pour les NMOS, on constate bien une augmentation de la mobilité pour une tension uniaxiale dans les directions longitudinale et transversale au transport, avec une plus grande sensibilité dans la direction longitudinale ($-\pi_L > -\pi_T > 0$). Pour les PMOS la mobilité est dégradée dans le cas d’une contrainte en tension longitudinale ($-\pi_L < 0$) et légèrement augmentée pour une contrainte transversale ($-\pi_T > 0$).

Ces résultats sont conformes à la théorie et aux valeurs expérimentales trouvées dans la littérature¹²¹. Ces valeurs sont du même signe que les coefficients piézorésistifs du silicium massif mais leurs valeurs sont différentes. Nous avons comparé ces résultats expérimentaux avec ceux de la littérature (Tableau III-1). Leur ordre de grandeur est comparable.

Nous avons vérifié que les différentes techniques d’extraction présentées plus haut nous donnent sensiblement les mêmes coefficients piézorésistifs pour des transistors longs ; les coefficients extraits correspondant alors à une charge d’inversion faible.

	Coefficient piézorésistif (en 10^{-12} Pa^{-1})	Si massif (volume) [SMITH 64]	Couche d’inversion [COLMAN 68] [CANALI 79] [ZAIMA 89] [DOREY 69]	Techno Bulk 0,13 μm [GALLON 04]	Techno Bulk 50 nm (<i>ce travail</i>)
NMOS	$-\Pi_L$	311	622	485	450
	$-\Pi_T$	175	272	212	194
	$-\Pi_s = -(\Pi_{11} + \Pi_{12})$	486	894	697	632
	$-\Pi_{44}$	136	349	272	236
PMOS	$-\Pi_L$	-718	-753	-600	-640
	$-\Pi_T$	663	525	383	400
	$-\Pi_s = -(\Pi_{11} + \Pi_{12})$	-55	-228	-218	-240
	$-\Pi_{44}$	-1380	-1278	-983	-1040

Tableau III-1 : Bilan des coefficients piézorésistifs extrait à charge d’inversion « modérée » et comparaison avec la littérature. L’incertitude pour ces coefficients piézorésistifs est de l’ordre de 20%.

III.B.2.3 Application au cas de transistors courts

L’extraction pour les faibles longueurs de grille est plus difficile. L’impact des résistances séries parasites devient primordial. Afin de s’affranchir de l’effet des résistances séries parasites $R_{série}$, le courant de drain peut être corrigé pour les transistors courts à l’aide de l’Équation III-5. Il devient alors nécessaire de connaître la valeur exacte des $R_{série}$ (les motifs Kelvin ne sont alors plus suffisants). Il convient aussi d’extraire $R_{série}$ pour chaque niveau de contrainte si cette dernière dépend de la contrainte (faiblement *a priori* étant donné le fort niveau de dopage de ces régions). En plus de l’incertitude sur la détermination de la contrainte mécanique s’ajoute donc l’incertitude sur

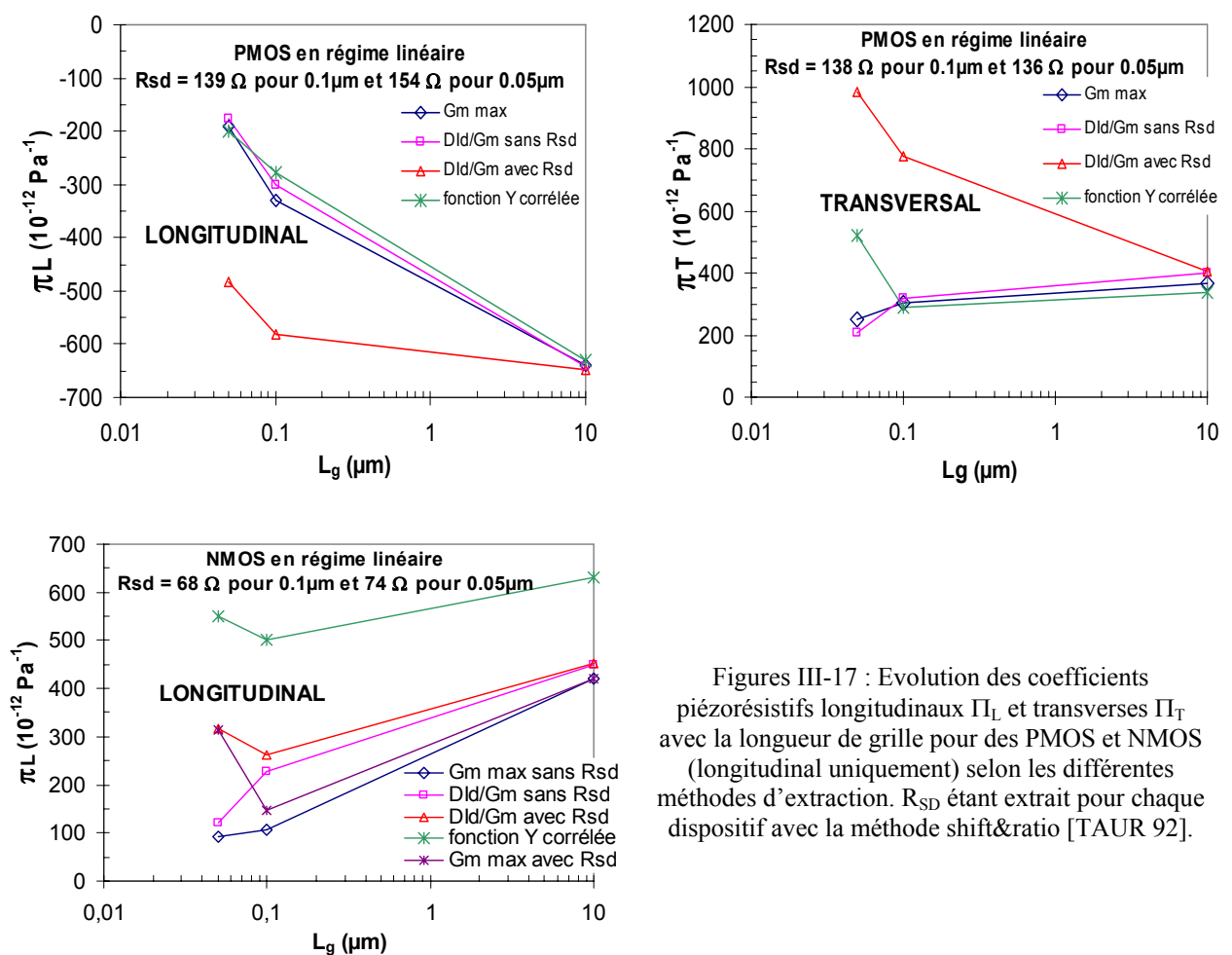
¹²¹ Voir [WANG 92,93,94, SMITH 54, GALLON 03a,04a, CANALI 79, DORDA 71,72, COLMAN 68, MIKOSH 81].

l'extraction des $R_{série}$. Ceci rend l'étude de la piézorésistivité sur les transistors ultracourts très difficile.

Les résultats d'extraction obtenus pour différentes longueurs de grille sont donnés sur les Figures III-17. Une forte dispersion est observée ; toutefois on décèle peut-être une décroissance des coefficients piézorésistifs (en valeur absolue) des MOSFETs avec la diminution de la longueur de grille, que ce soit pour les NMOS ou les PMOS.

À ce stade plusieurs hypothèses sont avancées pour expliquer cette tendance :

- Certains auteurs [BRADLE 01, GALLON 03a,04a] ont expliqué qu'il s'agissait uniquement d'un effet des résistances séries parasites $R_{série}$. En corrigeant le courant de drain à l'aide de l'Équation III-5, ils ont montré que les coefficients piézorésistifs extraits avec les méthodes 1) et 3) deviennent quasi-indépendant de la longueur de grille (jusqu'à $L_g=130\text{nm}$). Une petite variation sur la valeur de $R_{série}$ entraîne des variations relativement importantes du courant de drain et donc des π_{ij} , et ce d'autant plus que L_g est faible. Nos résultats, avec une incertitude importante sur les plus petites longueurs de grille, ne nous permettent pas de conclure ici.



Figures III-17 : Evolution des coefficients piézorésistifs longitudinaux Π_L et transverses Π_T avec la longueur de grille pour des PMOS et NMOS (longitudinal uniquement) selon les différentes méthodes d'extraction. R_{SD} étant extrait pour chaque dispositif avec la méthode shift&ratio [TAUR 92].

- D'autres études ont montré par des simulations mécaniques que la contrainte dans le canal diminue avec la longueur de grille lorsque l'échantillon est soumis à une déformation externe du fait de relaxation mécanique en bord de zones active [HAMADA 91, ORAIN 02]. Ainsi les coefficients piézorésistifs peuvent être sous-estimés si l'on suppose que la contrainte appliquée dans le canal d'un transistor court est la même que celle calculée pour un transistor long. Ce phénomène de relaxation des contraintes peut être important pour les plus courtes longueurs de grille (importance du facteur d'aspect de la zone active en silicium et des tranchées d'isolation STI) et est fortement dépendant du design, ce qui peut expliquer les différences obtenues selon les auteurs. Par

exemple entre une grille de 5 μm et une grille de 0,34 μm , une diminution de la contrainte dans le canal de 25% a été rapportée [ORAIN 02].

- Un autre effet qu'il convient de préciser ici est l'augmentation du dopage moyen dans des technologies « bulk » avancées (poches de sur-dopages). Or les coefficients piézorésistifs diminuent pour de forts niveaux de dopages ($>10^{18} \text{ cm}^{-3}$) [KANANDA 82] (cf. Figure II-44).

Pour conclure notre étude, aucune tendance nette ne peut être affirmée pour les valeurs des coefficients piézorésistifs dans les transistors courts étant donné les incertitudes de mesures et d'extraction de paramètres ($R_{\text{série}}$). Des études plus systématiques ont besoin d'être menées. L'optimisation des $R_{\text{série}}$ ainsi que l'utilisation de films non dopés (technologie SOI) montrent encore une fois leur importance pour tirer profit au maximum de l'effet bénéfique d'une contrainte et améliorer les performances des MOSFETs. L'amélioration du transport dans les MOSFETs ultra-courts par la contrainte est alors limitée par ces effets parasites. Nous aurons l'occasion d'y revenir dans les chapitres suivants.

III.B.2.4 Corrélation régime linéaire / régime de saturation

Nous nous intéressons ici à la corrélation qui existe entre le transport à faible et fort champ latéral dans les dispositifs contraints à dimension de grille réduite. Plusieurs études ont montré que, bien que le champ latéral dans les MOSFETs de petites dimensions soit largement au-dessus du champ correspondant à la saturation de la vitesse des porteurs (cf. Figure I-13), la mobilité à faible champ μ_0 est toujours d'une importance cruciale pour l'amélioration du courant de drain en régime de saturation [LOCHTE 01,02, GHANI 03]. Les corrélations obtenues sont d'environ 50% entre le gain en courant de saturation (ou la vitesse effective d'injection des porteurs) et le gain en régime linéaire (ou la mobilité à faible champ μ_0) pour une longueur effective de 45nm. Le paramètre variable de ces études étant la contrainte dans le canal (uniaxiale).

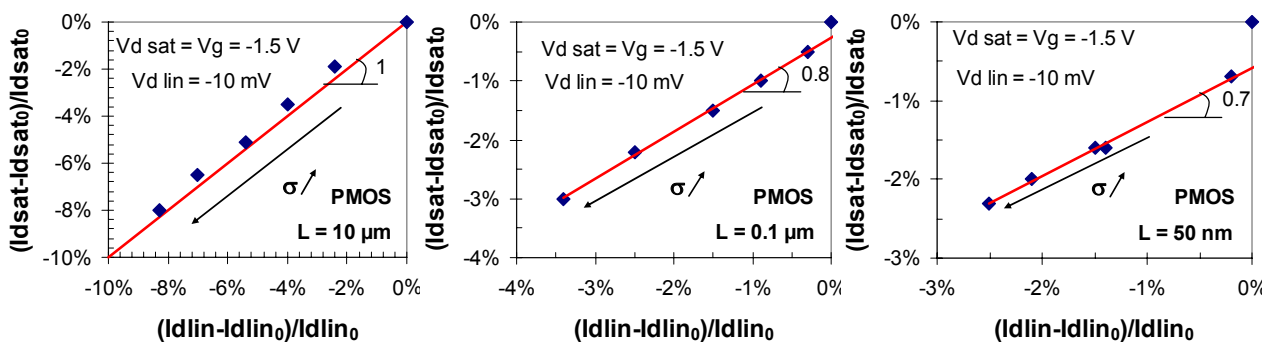


Figure III-18 : Variation relative du courant de saturation par rapport au courant en régime linéaire pour différents niveaux de contraintes externes uniaxiales en tension longitudinale pour trois longueurs de grille de transistors PMOS de technologie « bulk ». ¹²²

Nous nous sommes donc proposés de mesurer le courant en régime linéaire et de saturation en fonction de la contrainte appliquée de façon externe avec le banc de flexion sur des dispositifs PMOS initialement non contraints (Figure III-18). Les résultats montrent une corrélation de 100% pour les transistors longs ($L_g = 10 \mu\text{m}$), de 80% pour $L_g = 0,1 \mu\text{m}$ et de 70% environ pour $L_g = 50 \text{ nm}$ (Figure III-18). Ces résultats sont donc en bon accord avec ceux obtenus par Lochtefeld *et al.* [LOCHTE 01,02] pour des petits dispositifs.

On constate que le gain en courant diminue pour les plus petites longueurs. L'origine de cette tendance est double. Tout d'abord même en régime linéaire, le courant de drain est limité par les

¹²² On peut constater sur la Figure III-18 que les points correspondant à une contrainte nulle ne sont pas toujours alignés avec les autres, notamment pour les transistors courts ; ceci vient du fait qu'il est difficile d'obtenir la mesure correspondant à une contrainte nulle. Ceci dit nous avons pris soin de travailler avec un pas constant en contrainte de telle sorte que les points à contrainte non nulle soient les plus cohérents possibles entre eux.

résistances séries parasites (Équation III-5), limitant ainsi l'effet du gain en mobilité par la contrainte sur le courant. Ensuite la mobilité elle-même diminue pour les très petites longueurs de grille (cf. §V.B.1) car elle est limitée par d'autres mécanismes *a priori* indépendants de la contrainte. Ainsi, pour un même niveau de contrainte appliquée, les variations de mobilité et donc de courant de drain sont réduites. Il s'agit d'un point important qui montre déjà un aperçu des limites du bénéfice induit par les contraintes mécaniques sur les performances des MOSFETs.

La perte progressive de corrélation entre le gain en courant en régime linéaire et en régime de saturation peut, elle, trouver différentes origines.

Tout d'abord, si l'on suppose que le transistor fonctionne toujours en régime de dérive-diffusion (état stationnaire et non balistique) quelques soient les polarisations appliquées et les longueurs de grille, la non linéarité qui existe entre la vitesse des porteurs et le champ latéral peut suffire à expliquer ce comportement. En effet le transistor long fonctionne toujours pour des champs électriques inférieurs au champ latéral critique (Figure III-19). Le paramètre de transport limitant le courant est donc essentiellement la mobilité, à faible comme à forte tension de drain (Équation I-10 et Équation I-11). Il existe donc une parfaite corrélation entre le gain en courant dans le régime linéaire et saturé. Pour un transistor court en revanche, alors qu'en régime linéaire à faible V_D le champ latéral est toujours plus faible que le champ latéral critique, en régime saturé ($V_{D,sat}$) le champ latéral peut dépasser le champ critique (Figure III-19). Le gain en vitesse des porteurs, provoqué par le gain en mobilité induit par la contrainte mécanique, est alors beaucoup plus faible à fort V_D (la vitesse de saturation des porteurs dans le silicium massif contraint étant identique à celle du silicium non contraint, cf. Figure II-42 et Figure II-41).

Ensuite, si l'on considère un régime de transport quasi-balistique (cf. §I.B.2.2.2), on peut calculer, d'après les Équation I-19 et Équation I-20, les gains en régime linéaire et de saturation :

$$\frac{\Delta I_{Dlin}}{I_{Dlin}} = (1 - r_{lin}) \frac{\Delta v_{inj}}{v_{inj}} + r_{lin} \frac{\Delta \mu}{\mu} \quad \text{avec} \quad r_{lin} = \frac{L_{eff}}{L_{eff} + \lambda} \quad \text{Équation III-17}$$

$$\frac{\Delta I_{Dsat}}{I_{Dsat}} = (1 - r_{sat}^*) \frac{\Delta v_{inj}}{v_{inj}} + r_{sat}^* \frac{\Delta \mu}{\mu} \quad \text{avec} \quad r_{sat}^* = \frac{2l}{2l + \lambda} \quad \text{Équation III-18}$$

On retrouve une corrélation de 1 pour $I_{D,lin}$ et $I_{D,sat}$ lorsque le transport est purement balistique ($r=0$), ou lorsque les coefficients de rétrodiffusion tendent vers 1 (régime de plus en plus diffusif où le transport est gouverné uniquement par la mobilité). Pour les valeurs intermédiaires, il y a une compétition entre les variations de μ et de v_{inj} . Plus la longueur de grille diminue et plus on s'approche du transport de type quasi-balistique et moins les variations de courant de drain sont dépendantes des variations de mobilité du transistor long.

Finalement les résultats de la Figure III-18 montre que la mobilité joue toujours un rôle dans le transport à fort champ longitudinal des MOSFETs ultracourts (cf. § I.B.2.2), même s'il est amoindri.

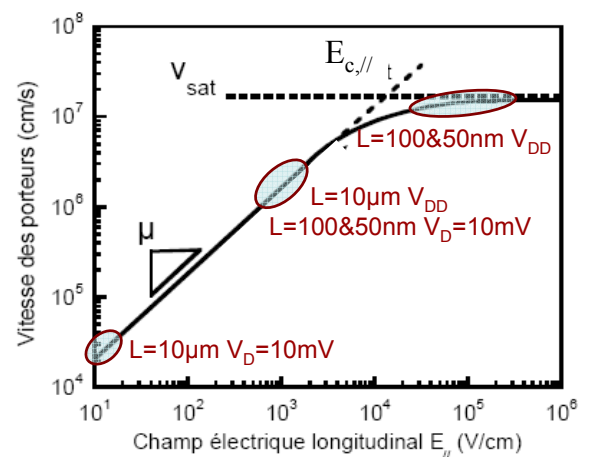


Figure III-19 : Illustration des points de fonctionnement des dispositifs en fonction de la polarisation de drain et de la longueur de grille

III.B.3 Evolution des coefficients piézorésistifs avec la charge d'inversion aux faibles déformations

Dans cette partie nous présentons et analysons l'évolution des coefficients piézorésistifs bidimensionnels des électrons et des trous avec la densité de porteurs en inversion pour deux architectures de MOSFETs différentes : la technologie sur silicium massif et la technologie FDSOI.

III.B.3.1 Piézorésistivité linéaire d'un gaz bidimensionnel d'électrons

III.B.3.1.1 Dispositifs de technologie sur silicium massif

Trois types de MOSFETs ont été testés. D'une part des transistors ont été fabriqués par STMicroelectronics en technologie 300nm avec un substrat tourné à 45° pendant l'enchaînement des étapes technologiques. La direction du transport est alors selon un axe principal de type [100]. Deux procédés de grille sont réalisés : pour la partie logique d'un circuit où les performances sont primordiales, l'oxyde de grille est très mince (cf. Chapitre I) ; pour les fonctions d'entrée/sortie, où la consommation prime, l'oxyde de grille est plus épais. Ainsi deux épaisseurs de diélectrique de grille sont réalisées dans ce procédé : GO1 (pour « Gate Oxide 1» correspond à un EOT de 1,5 à 1,7nm alors que GO2 correspond à un EOT de 2,9 à 3,2nm. Le diélectrique est un oxyde de silicium nitruré, SiON. Le troisième type de MOSFET testé a été réalisé au CEA-Léti et correspond à une technologie relâchée avec un diélectrique de grille classique SiO₂ de 4nm d'épaisseur. Le dopage du canal pour ces trois technologies est d'environ 3.10¹⁷ cm⁻³. Les mesures ont en général été réalisées sur 3 à 5 dispositifs afin d'obtenir des résultats répétables avec une dispersion représentative.

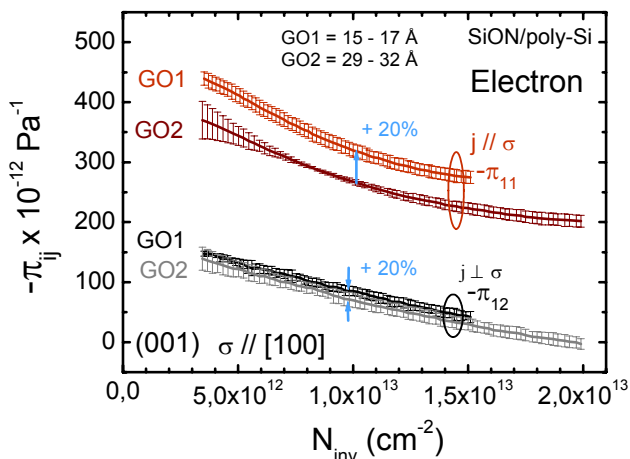


Figure III-20 : Evolution des coefficients piézorésistifs longitudinaux et transverses de nMOSFETs *bulk* soumis à une contrainte uniaxiale selon [100]. Le transport s'effectue selon [100] ou [010]. La dispersion est représentée par des barres pour chaque valeur de la charge d'inversion.

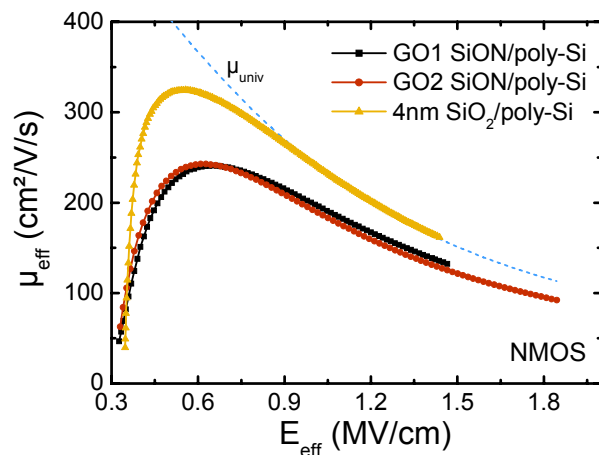


Figure III-21 : Mobilités effectives des électrons sans contrainte appliquée en fonction du champ effectif (technologie en silicium massif).

La Figure III-20 représente l'évolution des coefficients piézorésistifs π_{11} et π_{12} des électrons obtenus sur les deux empilements de grille GO1 et GO2. L'effet piézorésistif semble être 20% plus faible sur les dispositifs GO2. La surface du silicium se trouve en contrainte biaxiale en tension après la réalisation de l'oxyde de grille. En effet le coefficient d'expansion thermique du SiO₂ est plus faible que celui du silicium (Tableau II-12). Ceci dit, étant données les très faibles épaisseurs des oxydes de grille étudiés (quelques nanomètres), la contrainte induite dans le canal (suite au retour à la température ambiante) peut être négligée. Ainsi l'idée selon laquelle la contrainte initiale du canal placerait le dispositif dans un régime de piézorésistivité différent (en l'occurrence plus

faible¹²³) avec un oxyde plus épais (qui transmet plus sa contrainte au canal) n'est pas réaliste pour de telles épaisseurs. Toutefois même si cet effet existe, il n'est pas négatif pour les dispositifs visant les applications à haute performance qui présentent des EOT les plus faibles possibles.

Les effets de polydéplétion et de quantification ne semblent pas non plus une explication possible. Plus l'oxyde est mince et plus la mobilité est limitée par les interactions coulombiennes à distance de la grille. Ainsi l'effet de la contrainte ne pourrait qu'être atténué, a priori, dans un tel cas. De plus la différence est observée jusqu'en très forte inversion où ces interactions ne jouent plus un rôle majoritaire. Ces deux arguments sont confortés par le fait que les mobilités effectives des dispositifs GO1 et GO2 sont quasi-identiques sans contrainte appliquée, à 5% près (Figure III-21). Par conséquent, aucune explication tangible n'est proposée à l'heure actuelle pour expliquer cette différence de comportement. Plus de détails sur la technologie utilisée pourraient peut-être aider à l'interprétation.

La Figure III-22 représente l'évolution des coefficients piézorésistifs π_L et π_T ainsi que le coefficient piézorésistif correspondant à une contrainte appliquée selon [110] pour une direction de transport selon [100] (angle de 45°), qui n'est autre que la moyenne des coefficients π_L et π_T (résultats cohérents à la dispersion près des mesures). On constate un très bon accord par rapport aux valeurs relevées dans la littérature lorsque la charge d'inversion tend vers zéro (cf. Figure III-22). Ceci est cohérent avec le fait que la mobilité effective est superposée à la mobilité universelle (Figure III-21). Les mécanismes d'interactions étant identiques, on retrouve les mêmes coefficients piézorésistifs que ceux de la littérature à faible champ.

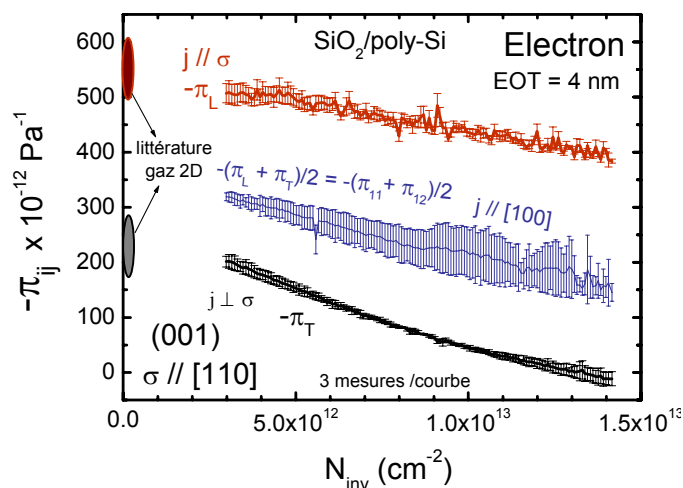


Figure III-22 : Evolution des coefficients piézorésistifs longitudinaux, transverses ainsi que celui correspondant à un angle de 45° entre la contrainte et le transport de nMOSFETs soumis à une contrainte uniaxiale selon [110]. Le transport s'effectue selon [110], [1-10] et [100] respectivement. Les cercles représentent les valeurs relevées dans la littérature pour une couche d'inversion (correspondant à de très faibles charges d'inversion) [GALLON 04a, BRADLE 01, CANALI 79, DORDA 71, ZAIMA 89, MARUYA 90]

Grâce à l'extraction des coefficients π_L et π_T , il est possible d'extraire le coefficient π_{44} , qui est simplement la différence $\pi_L - \pi_T$. La synthèse des coefficients piézorésistifs du tenseur de piézorésistivité des électrons sur une architecture en silicium massif avec un dopage de canal d'environ $3 \times 10^{17} \text{ cm}^{-2}$ est ainsi donnée sur la Figure III-23.

On note une décroissance des coefficients piézorésistifs π_{11} , π_{12} , π_L et π_T avec la charge d'inversion. Cet effet, propre aux coefficients piézorésistifs bidimensionnels, doit être pris en compte pour la modélisation des gains obtenus sur des MOSFETs. Cette dépendance avec le champ électrique transverse est prévu par la théorie (II.B.5.4). Les coefficients π_{11} et π_{12} sont en effet reliés à la répartition des porteurs dans les différentes vallées et sous-bandes du silicium ainsi qu'aux variations des temps de relaxation avec la contrainte, propres à une couche d'inversion. La décroissance des coefficients piézorésistifs pour les plus fortes densités de charge vient de la combinaison des effets du confinement quantique dans une couche d'inversion avec les effets de levée de dégénérescence induits par la contrainte. En effet pour la bande conduction par exemple,

¹²³ Souvent les effets piézorésistifs diminuent aux forts niveaux de déformations. Ceci est en particulier vrai pour la bande de conduction du silicium comme le verrons en fin de chapitre.

plus le nombre de porteurs en inversion augmente et donc plus le confinement est fort, plus l'écart entre les niveaux énergétiques discrets des vallées $\Delta 2$ et $\Delta 4$ augmente. L'effet d'une contrainte étant similaire, on comprend que l'effet piézorésistif diminue à fort champ électrique transverse. Cette perte de repeuplement induit par la contrainte en fonction de la charge d'inversion est illustrée par exemple sur la Figure III-39 pour une contrainte uniaxiale de 150MPa. Le coefficient π_{11} reste cependant encore élevé même pour $N_{inv}=1,5 \times 10^{13} \text{ cm}^{-2}$ (Figure III-23).

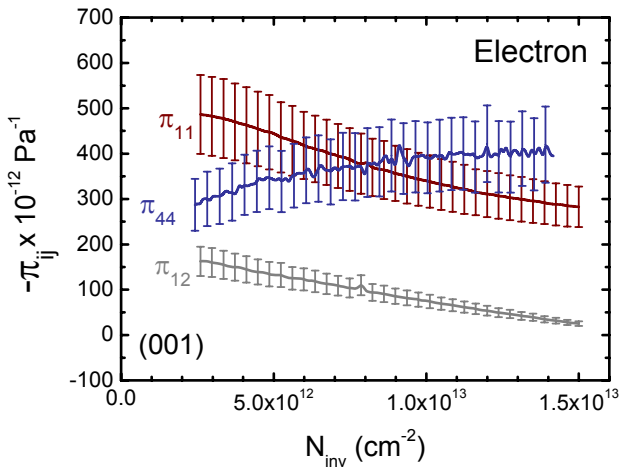


Figure III-23 : Synthèse des coefficients piézorésistifs des électrons sur une architecture silicium massif

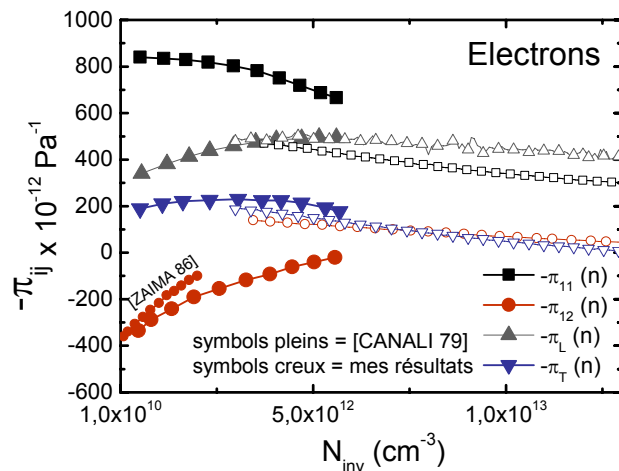


Figure III-24 : Comparaison des coefficients extraits à ceux de la littérature sur une architecture *bulk*.

Le coefficient piézorésistif π_{44} présente quant à lui un comportement différent. Il augmente avant de tendre vers une valeur finie. Ce coefficient traduit la déformation des vallées $\Delta 2$ du silicium. Il dépend aussi de la répartition des porteurs dans les vallées du silicium et des variations des temps de relaxation avec la contrainte. Nous discuterons plus en détails de ce coefficient dans les paragraphes suivants.

Cette étude complète les travaux présentés dans la littérature il y a plusieurs décennies. Canali *et al.* reportaient en 1979 l'évolution des coefficients piézorésistifs avec la tension de grille pour des MOSFETs présentant un dopage intrinsèque (résistivité du substrat de 1-3 $\Omega \cdot \text{cm}$ soit environ 10^{15} cm^{-3}) et un EOT très épais de 120nm [CANALI 79]. Nos résultats sont confrontés à ces derniers sur la Figure III-24. Contrairement aux travaux antérieurs l'évolution des coefficients piézorésistifs est étudiée ici jusqu'à des charges d'inversion beaucoup plus grandes. Nos résultats sont assez conformes à ceux obtenus par Canali *et al.* Seuls les coefficients π_{11} et π_{12} présentent des écarts significatifs. La diminution de π_{11} observée avec nos dispositifs peut s'expliquer par le fait que la mobilité des dispositifs ayant servi à l'extraction de ce coefficient est plus faible que la mobilité universelle (diélectrique de grille SiON ultramince). En revanche le coefficient π_{12} présente un signe opposé. Ce résultat est surprenant et même très important puisqu'il peut entraîner des conclusions opposées quant aux choix technologiques à effectuer pour améliorer le transport dans les architectures MOS.

Les résultats obtenus avec des contraintes en compression sont similaires. Une différence est encore obtenue sur le coefficient π_{11} (Figure III-25). Toutefois comme discuté précédemment, compte tenu de l'incertitude de mesure ($\approx 20\%$), une analyse plus poussée est difficile. Cette légère dissymétrie des π_{ij} a toutefois également été observée par Lauer [LAUER 05].

La croissance des coefficients piézorésistifs que l'on observe parfois aux faibles N_{inv} ($< 10^{12} \text{ cm}^{-2}$) peut traduire l'effet de la contrainte sur les interactions avec les phonons du réseau qui prennent de plus en plus d'importance. Dans ce régime, on peut considérer que la mobilité est donnée par (cf. Équation II-52) :

$$\mu_{eff}(N_{inv}) = \left(\frac{1}{\mu_{ph}(N_{inv})} + \frac{1}{\mu_{CS}(N_{inv})} \right)^{-1} \quad \text{Équation III-19}$$

$$\frac{\Delta\mu_{eff}}{\mu_{eff}}(N_{inv}) = \mu_{eff}(N_{inv}) \cdot \frac{\Delta\mu_{ph}}{\mu_{ph}^2}(N_{inv}) \quad \text{Équation III-20}$$

avec μ_{ph} la mobilité limitée par les phonons et μ_{CS} celle limitée par les interactions coulombiennes. Plus le nombre de porteurs en inversion augmente et plus la mobilité devient limitée par les phonons et non par les interactions coulombiennes ($\mu_{CS} \gg \mu_{ph}$) ; or la contrainte agit principalement sur les interactions électrons/phonons. Dans l'Équation III-20 le terme $\mu_{eff}(N_{inv})$ illustre la croissance des coefficients piézorésistifs avec N_{inv} si l'on suppose un gain $\Delta\mu_{ph}/\mu_{ph}^2$ peu dépendant de N_{inv} aux faibles charges puisque μ_{eff} augmente avec N_{inv} dans ce régime (cf. Figure III-21).

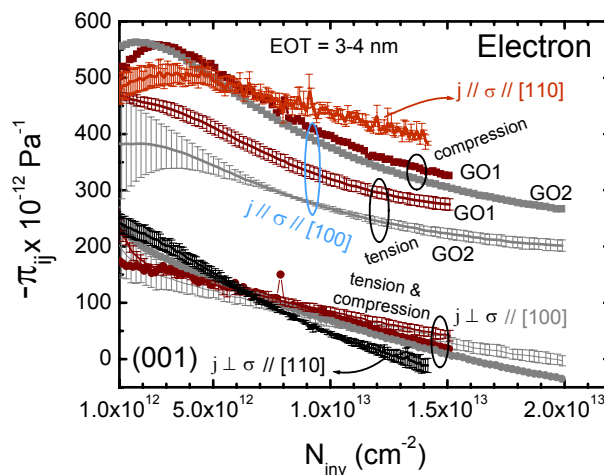


Figure III-25 : Comparaison des coefficients piézorésistifs extraits en tension et en compression.

III.B.3.1.2 Dispositifs de technologie FDSOI

Deux architectures de dispositifs FDSOI ont été étudiées. Leur dénominateur commun est de présenter des épaisseurs de film de l'ordre de 10nm (± 2 nm) et non dopés ($N_A \approx 10^{15} \text{cm}^{-3}$). Leur différence concerne l'empilement de grille : dans un cas il est classique avec 2 nm de SiO_2 /poly-Si et dans l'autre cas il est avancé avec un diélectrique à forte permittivité (3nm de HfO_2 déposé par le procédé ALD¹²⁴ sur un oxyde de silicium natif de l'ordre du nanomètre) et une grille métallique (10nm de TiN déposé par le procédé PVD¹²⁵).

Les coefficients piézorésistifs longitudinaux et transverses obtenus pour les électrons sur ces deux architectures sont présentés et comparés à l'architecture sur silicium massif sur les Figure III-27 et Figure III-26¹²⁶. Hormis l'épaisseur du film, la différence principale entre les dispositifs FDSOI et sur silicium massif testés est le dopage du canal. Alors qu'il est intrinsèque en FDSOI, il vaut environ $3 \times 10^{17} \text{cm}^{-3}$ en technologie *bulk*. Ceci peut expliquer pourquoi les coefficients piézorésistifs π_L et π_T augmentent pour les faibles N_{inv} lorsque le canal est faiblement dopé. Pour les charges d'inversion plus fortes, les porteurs majoritaires écrantent les variations des porteurs minoritaires induites par la contrainte et l'on retrouve la piézorésistivité du silicium massif. On note

¹²⁴ ALD= Atomic Layer Deposition

¹²⁵ PVD= Physical Vapor Deposition

¹²⁶ Notons ici qu'il a été démontré par simulations mécaniques numériques que le calcul de la contrainte en surface lors d'un essai de flexion reste valable sur substrat SOI (contrainte sur SOI inférieure à moins de 2% par rapport au cas sur silicium massif) [ORAIN 02].

toutefois quelques différences en forte inversion entre les coefficients piézorésistifs en FDSOI et en *bulk*. Le coefficient π_L est légèrement plus faible en FDSOI alors que le coefficient π_T est plus fort. L'incertitude de mesure est cependant plus forte sur ce dernier coefficient, puisque ses valeurs sont beaucoup plus faibles que celles des autres coefficients piézorésistifs (et nécessite donc de mesurer avec précision des variations relatives de courant plus faibles).

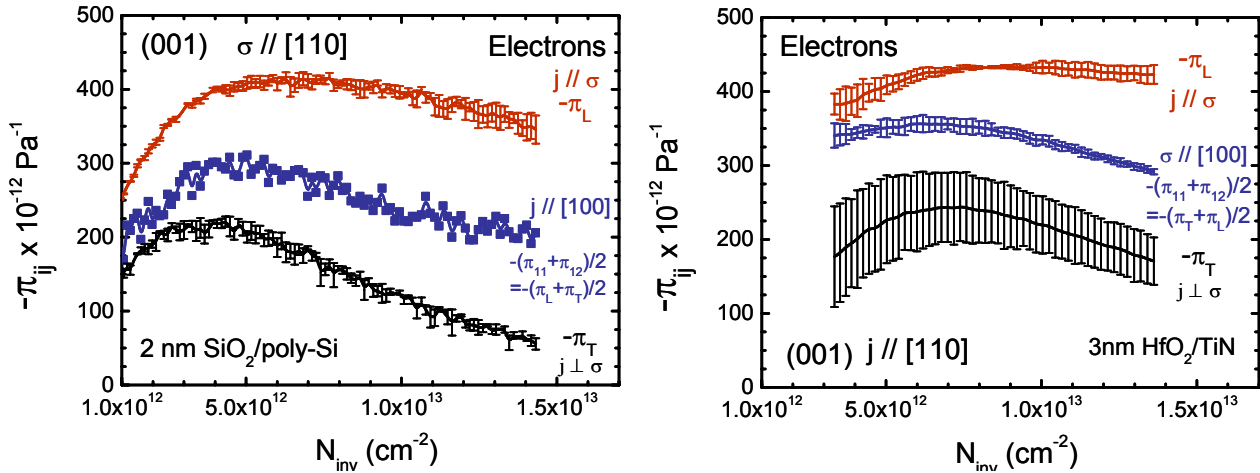


Figure III-26 : Evolution des coefficients piézorésistifs des électrons pour des architectures FDSOI avec un empilement de grille : classique SiO₂/poly-Si (à gauche), avancé HfO₂/TiN (à droite) avec la charge d'inversion.

Analysons désormais l'impact d'une grille HfO₂/TiN sur les coefficients piézorésistifs comparativement à une grille standard SiO₂/poly-Si. Etonnamment les coefficients piézorésistifs $-\pi_L$ et surtout $-\pi_T$ sont plus grands avec un empilement de grille HfO₂/TiN par rapport l'empilement SiO₂/poly-Si. Il est connu que ces empilements de grille rajoute des interactions coulombiennes et /ou avec des phonons « mous » (cf §I.C.2) [SAITO 03, CASSE 06b]. L'impact de ces interactions supplémentaires est clairement visible sur la Figure III-28. Ainsi si l'on suppose que la contrainte ne modifie au premier ordre que les interactions avec des phonons et que l'empilement HfO₂/TiN introduit principalement des interactions coulombiennes [CASSE 06b], l'effet d'une contrainte devrait être amoindri lorsque la mobilité est limitée par des interactions supplémentaires indépendantes de la contrainte.

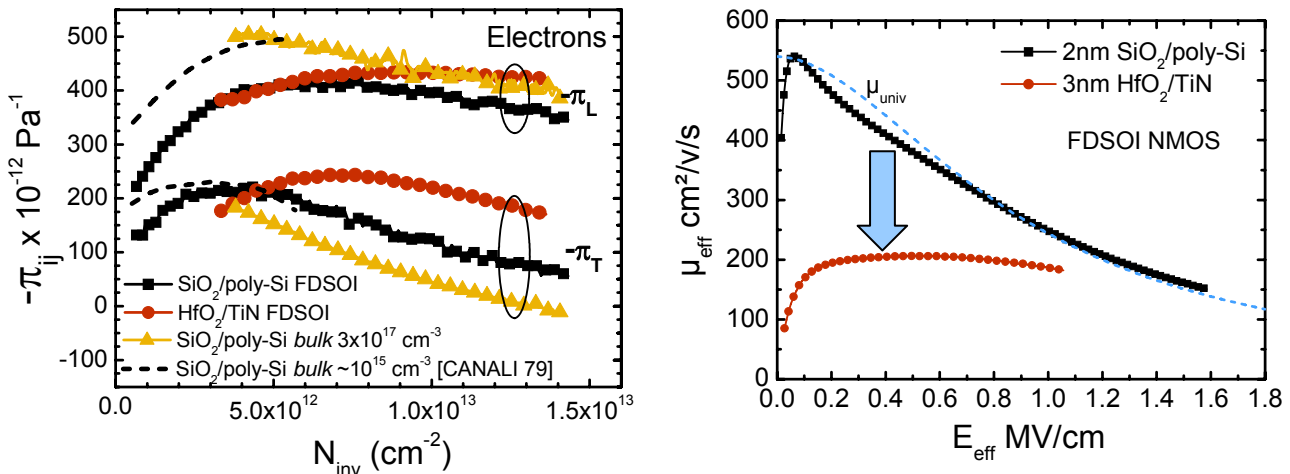


Figure III-27 : Evolution des coefficients piézorésistifs transverses et longitudinaux des électrons avec la charge d'inversion selon l'architecture et l'empilement de grille.

Intéressons-nous alors aux coefficients piézorésistifs intrinsèques de ces architectures, en particulier au coefficient piézorésistif biaxial $\pi_s = \pi_{11} + \pi_{12}$ et au coefficient π_{44} (cf. Figure III-29)¹²⁷. On constate que, pour l'empilement de grille SiO₂/poly-Si, les coefficients piézorésistifs $-\pi_s$ sont

¹²⁷ π_s traduit les variations de résistivité induit par une contrainte biaxiale isotrope ($\pi_{11} + \pi_{12} = \pi_L + \pi_T$) (cf. §II.B.5).

strictement identiques en forte inversion. L'architecture n'a donc aucune influence. En revanche pour un empilement HfO₂/TiN ce coefficient piézorésistif est plus grand (jusqu'à 50% supérieur en très forte inversion).

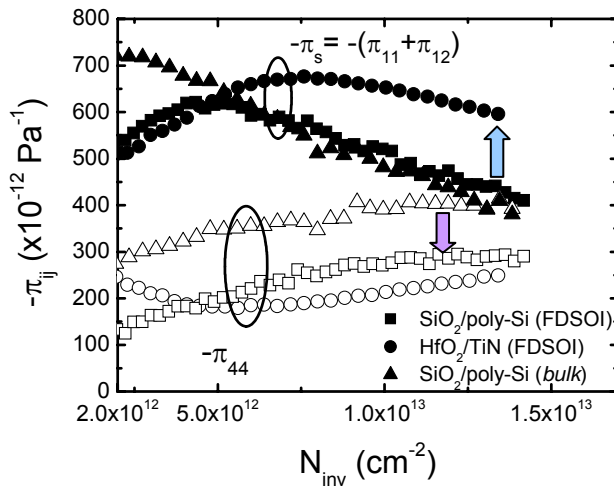


Figure III-29 : Evolution des coefficients piézorésistifs $\pi_s = \pi_{11} + \pi_{12}$ et π_{44} avec la charge d'inversion pour différentes architectures.

On peut écrire la mobilité effective selon (cf. Équation II-52) :

$$\mu_{eff}(N_{inv}) = \left(\sum_s \frac{1}{\mu_s(N_{inv})} \right)^{-1} \quad \text{Équation III-21}$$

Le gain en mobilité s'écrit alors :

$$\frac{\Delta\mu_{eff}}{\mu_{eff}}(N_{inv}) = \mu_{eff}(N_{inv}) \cdot \sum_s \frac{\Delta\mu_s}{\mu_s^2}(N_{inv}) \quad \text{Équation III-22}$$

Pour expliquer un effet piézorésistif plus fort dans le cas d'un empilement HfO₂/TiN, il est nécessaire d'introduire un (ou plusieurs) mécanisme(s) de diffusion supplémentaire(s) dépendant (positivement) de la contrainte, soit $\Delta\mu_s/\mu_s^2 > 0$. Ce d'autant plus que la mobilité effective est plus faible avec un empilement HfO₂/TiN (Figure III-28). Le mécanisme additionnel de diffusion avec les phonons mous du HfO₂ est un candidat possible.¹²⁸

Ce résultat est intéressant du point de vue de l'amélioration des performances pour les architectures avancées à empilement de grille métallique/high-κ. En effet ces architectures se montrent plus sensibles à une contrainte mécanique, uniaxiale ou biaxiale. Cette observation nécessite toutefois une étude plus approfondie afin de déterminer l'origine physique exacte de ce comportement.

Enfin, il est intéressant de noter que quelque soit l'empilement de grille et l'architecture, le coefficient π_{44} montre la même dépendance avec la charge (Figure III-29). Pour les architectures FDSOI, les coefficients π_{44} sont sensiblement égaux. Les différences entre FDSOI et *bulk* seront discutées dans les paragraphes suivants (effet de repeuplement).

¹²⁸ La contrainte mécanique induite par la grille métallique en TiN ne peut elle non plus expliquée un effet piézorésistif plus fort que dans le cas d'un empilement de grille SiO₂/poly-Si, à moins de considérer que la grille métallique met le silicium dans un état de contrainte initiale plus faible qu'avec l'empilement de grille standard, puisque l'on sait que la piézorésistivité diminue aux fortes déformations. Ceci dit, la discussion menée sur les différences observées entre l'effet piézorésistif de l'oxyde GO1 et celui de l'oxyde GO2, pour les électrons puis pour les trous (cf. §III.B.3.2.1) discrédite ce possible effet.

III.B.3.2 Piézorésistivité linéaire d'un gaz bidimensionnel de trous

III.B.3.2.1 Dispositifs de technologie sur silicium massif

La même étude est réalisée sur les trous (Figure III-30). Les coefficients piézorésistifs sont obtenus pour une contrainte en tension et en compression, dans la gamme -180MPa à +180MPa.

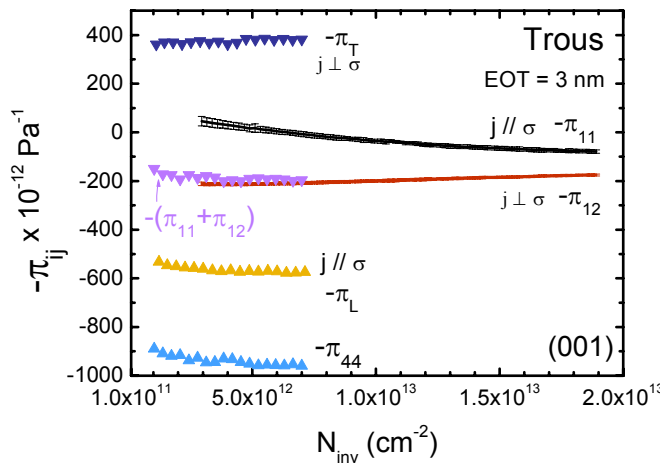


Figure III-30 : Evolution des coefficients piézorésistifs des trous soumis à une contrainte uniaxiale en fonction de la charge d'inversion.

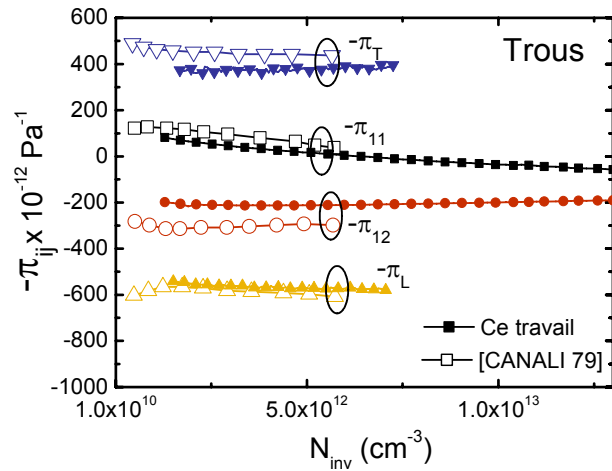


Figure III-31 : Comparaison des coefficients extraits à ceux de la littérature sur une architecture sur silicium massif (*bulk*).

Les coefficients piézorésistifs des dispositifs GO1 et GO2 sont donnés sur la Figure III-32. Les mobilités effectives de ces dispositifs sont identiques et légèrement inférieures à la mobilité universelle (Figure III-33). Aucune différence sur les coefficients piézorésistifs n'est détectée, contrairement aux électrons (§III.B.3.1.1). De la même manière ces résultats sont confrontés à ceux de la littérature (Figure III-31). L'accord est excellent. Tout ceci va dans le sens de l'hypothèse avancée plus haut sur l'indépendance des coefficients piézorésistifs avec l'EOT (de l'ordre de 120nm pour Canali contre 1,6 à 3,2nm pour nos dispositifs). Le dopage également n'influence pas la piézorésistivité dans la gamme étudiée ($10^{15} \text{ cm}^{-3} - 3.10^{17} \text{ cm}^{-3}$), ce qui pouvait être attendu selon la Figure II-44 [KANANDA 82].

Les coefficients piézorésistifs des trous montrent une dépendance en champ beaucoup plus faible que celle observée avec les électrons. L'effet d'une contrainte mécanique faible sur la mobilité des trous d'une couche d'inversion peut alors être complètement décrit quelque soit l'orientation du canal et/ou du substrat par les tracés polaires donnés en Figures II-45. Comme discutés au Chapitre II (notamment au §II.B.3.4), les effets combinés du confinement quantique et des contraintes mécaniques pour la bande de valence rendent l'interprétation beaucoup plus complexe que pour les bandes de conduction. Notons toutefois que le coefficient piézorésistif le plus important pour les trous est π_{44} . Or comme nous l'avons déjà indiqué au Chapitre II, ce coefficient traduit la modification de la masse effective de conduction sous l'effet d'une contrainte en cisaillement et possède une dépendance en champ plus faible que les coefficients π_{11} et π_{12} . C'est pourquoi en particulier les coefficients π_L et π_L dépendent faiblement de N_{inv} .

Ainsi ces résultats montrent que la forte anisotropie de la bande de valence est grandement modifiée par une contrainte mécanique. Ceci a pu être vérifié par des calculs théoriques prenant en compte l'effet d'une contrainte sur la structure de bandes [GUILLA 05b, WEBER 07b].

Les coefficients les plus faibles sont π_{11} et π_{12} (on observe un changement de signe de ce dernier coefficient autour de $N_{inv}=5 \times 10^{12} \text{ cm}^{-2}$).

Ainsi pour les trous, une contrainte uniaxiale bien choisie (en compression selon $\langle 110 \rangle$ par exemple) aura plus d'effet qu'une contrainte biaxiale.

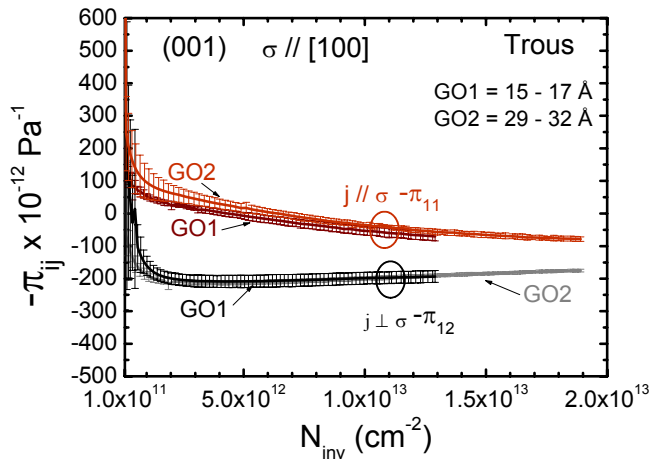


Figure III-32 : Evolution des coefficients piézorésistifs des trous pour une architecture sur silicium massif en fonction de la charge d'inversion et selon l'épaisseur du diélectrique de grille.

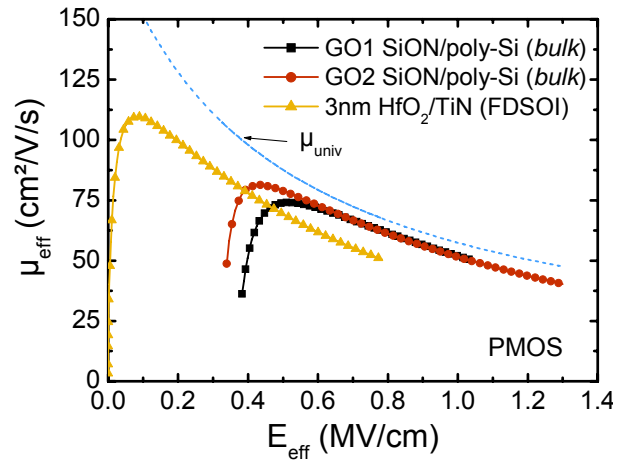


Figure III-33 : Mobilités effectives des trous sans contrainte appliquée en fonction du champ effectif selon l'empilement de grille et l'architecture.

III.B.3.2.2 Dispositifs de technologie FDSOI

Les coefficients piézorésistifs obtenus sur une architecture FDSOI avancée (empilement HfO₂/TiN) sont présentés sur les Figure III-34 et Figure III-35. Les coefficients piézorésistifs sont environ 15 à 20% plus faibles en forte inversion sur SOI par rapport à une architecture *bulk*. Cette différence est probablement due au fait que la mobilité effective de ces dispositifs FDSOI est plus faible que celle des dispositifs sur silicium massif à même champ effectif (-15 à 20% environ à fort champ) (Figure III-33). Elle peut aussi venir soit de l'effet du confinement géométrique induit par le film mince sur la bande de valence (effet sur la structure de bande) soit de l'empilement de grille (Figure III-36) comme observé avec les électrons.

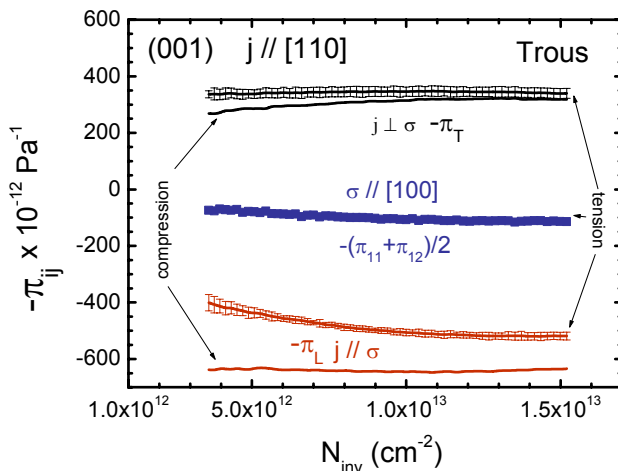


Figure III-34 : Coefficients piézorésistifs des trous selon le type d'essai : en tension ou en compression.

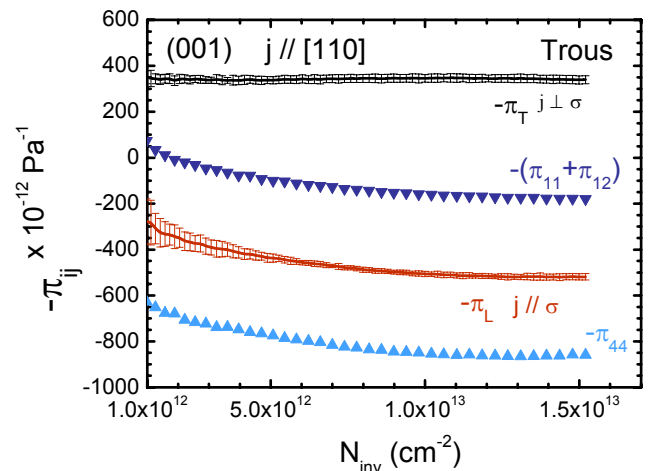


Figure III-35 : Synthèse des coefficients piézorésistifs des trous en fonction de la charge d'inversion sur FDSOI.

On note également toujours une légère dissymétrie selon le signe de la contrainte (compression ou tension), en particulier pour π_L (Figure III-34) [LAUER 05].

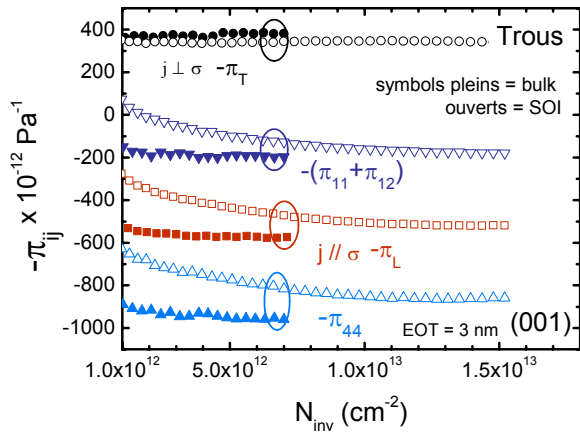


Figure III-36 : Comparaison des coefficients piézorésistifs extraits sur *bulk* avec un empilement de grille conventionnel et en technologie FDSOI avec un empilement de grille avancé.

III.B.4 Variation de la masse effective de conduction des électrons sous contrainte uniaxiale selon [110] : analyse du coefficient π_{44} .

À partir de la mesure des coefficients piézorésistifs, il est possible de remonter à des paramètres intrinsèques du matériau, comme par exemple des paramètres de la structure de bandes. Nous proposons ici une méthode permettant d'extraire expérimentalement les variations de la masse effective de conduction des vallées Δ_2 du silicium sous l'effet d'une contrainte mécanique uniaxiale.

III.B.4.1 Mise en évidence de la variation de la masse effective de conduction

Dans le §III.B.3.1 nous avons étudié expérimentalement l'évolution des coefficients piézorésistifs des électrons avec la densité de charge en inversion. Nous avons pu observer que le coefficient $-\pi_T$ tend vers des valeurs négatives en très forte inversion (Figure III-22). Or ce résultat ne peut pas être expliqué sous l'hypothèse d'une masse effective constante. En effet en considérant la nature multivallée de la bande de conduction du silicium (Figure III-37), le gain en mobilité effective est donné par

$$\Delta\mu/\mu^{\sigma=0} = \left(\sum_v x_v^{\sigma=0} \Delta\mu_v + \sum_v \mu_v^{\sigma=0} \Delta x_v \right) / \mu^{\sigma=0} \quad \text{Équation III-23}$$

avec $\mu_v = q\tau_v/m_{c,v}^*$, et où x_v (Δx_v , $\Delta\mu_v$), $m_{c,v}^*$ et τ_v représentent respectivement la proportion d'électrons (les variations sous contrainte), la masse effective de conduction et le temps de relaxation moyen des vallées v . Ainsi à la fois la repopulation des porteurs, les taux de relaxation et la masse effective peuvent être impliqués dans le gain en mobilité. Rappelons ici que les décalages énergétiques des deux couples des vallées Δ_4 , notées Δ_41 et Δ_42 (et définies par leur masse transverse dans la direction de confinement), sont identiques pour une contrainte appliquée selon [110], contrairement au cas d'une contrainte selon [100].

Examinons chaque terme de l'Équation III-23. Premièrement il peut être facilement démontré que $\sum_v \mu_v^{\sigma=0} \Delta x_v$ est nécessairement positif. En effet $\Delta x_v = x_v(\sigma \neq 0) - x_v(\sigma = 0)$ est positif (négatif) pour les vallées Δ_2 (Δ_4) à cause du peuplement préférentiel des vallées Δ_2 induit par la levée de dégénérescence des vallées de la bande de conduction sous contrainte ($\Delta x_{\Delta_2} = -\Delta x_{\Delta_4}$). De plus la mobilité des vallées Δ_2 est plus grande que celle des vallées Δ_4 (en raison de leur masse effective et de leur taux de relaxation plus faibles). Ainsi $\sum_v \mu_v^{\sigma=0} \Delta x_v > 0$. Deuxièmement, à température ambiante, les temps de relaxation moyens augmentent nécessairement sous l'effet d'une contrainte mécanique en raison de la levée de dégénérescence induite par la contrainte

($\Delta\tau_v > 0$). Par conséquent la valeur négative observée à fort champ effectif pour $-\pi_T$ ne peut être expliquée que par une modification de la masse effective de conduction sous contrainte, c'est-à-dire $\Delta m_{c,v}^*/m_{c,v}^* > 0$. La masse de conduction pour une contrainte perpendiculaire au transport est donc plus élevée que sans contrainte.

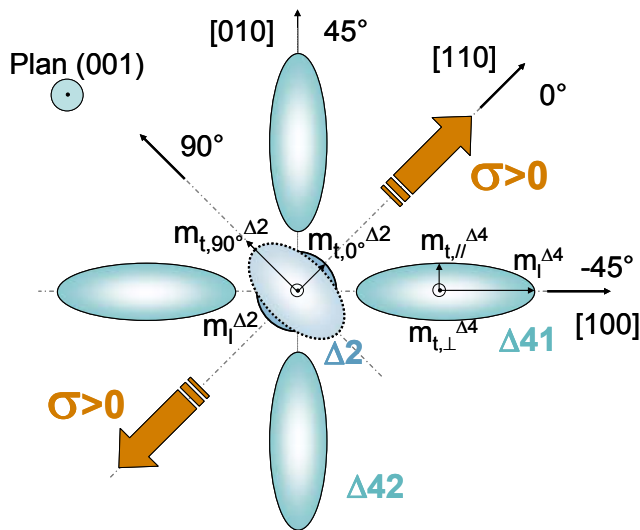


Figure III-37 : Ellipses d'iso-énergie de la bande de conduction d'une couche d'inversion en silicium. La déformation des vallées Δ_2 sous l'action d'une contrainte uniaxiale selon $[110]$ est montrée schématiquement.

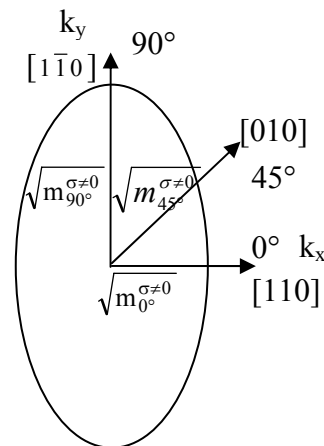


Figure III-38 : Détail de l'ellipse d'iso-énergie des vallées Δ_2 pour un substrat orienté (001) soumis à une contrainte uniaxiale selon $[110]$ dans le plan de la couche d'inversion.

Ce changement de masse a été suggéré [KANADA 91b, WANG 94, ANDRIE 05b], théoriquement calculé [UCHIDA 05] et même mesuré par résonance cyclotron [HENSEL 65]. Une contrainte uniaxiale selon $[110]$ déforme les surfaces d'iso-énergie des vallées Δ_2 d'une forme circulaire à une forme elliptique (Figure III-38). Hensel *et al.* ont montré expérimentalement que seules les masses effectives des ellipsoïdes orientées hors du plan d'application de la contrainte uniaxiale (en l'occurrence les Δ_2) étaient modifiées et devenaient anisotropes. L'origine de cette déformation des vallées vient de la composante de cisaillement dans le tenseur des déformations induit par une contrainte selon $[110]$ (cf. Équation III-24). La structure de bandes d'un matériau cristallin est liée à sa périodicité. Lorsque celle-ci est brisée les bandes d'énergie se déforment dans l'espace réciproque engendrant ainsi une modification de la masse effective (cf. Équation II-17).

$$\sigma(MPa) = \begin{pmatrix} 150 & 0 & 0 \\ 0 & 0 & 0 \\ 0 & 0 & 0 \end{pmatrix}_{[110]} \Rightarrow \varepsilon(\%) = \begin{pmatrix} 0,0886 & 0 & 0 \\ 0 & -0,00555 & 0 \\ 0 & 0 & -0,0321 \end{pmatrix}_{110} = \begin{pmatrix} 0,0415 & 0,047 & 0 \\ 0,047 & 0,0415 & 0 \\ 0 & 0 & -0,0321 \end{pmatrix}_{100}$$

Équation III-24: Effet d'une contrainte uniaxiale selon $[110]$ sur la déformation du cristal selon ses axes principaux

La théorie prévoit alors une augmentation de la masse effective de conduction perpendiculaire à la contrainte et une diminution de cette masse le long de la contrainte. Ceci est en parfait accord avec nos résultats électriques.

Dans le paragraphe suivant nous nous proposons de remonter à la variation de la masse effective de conduction des vallées Δ_2 ($\Delta m/m$) à partir de nos mesures électriques.

III.B.4.2 Description et hypothèses

Afin d'extraire cette variation de masse effective avec la contrainte nous proposons une méthode simple et originale [ROCHET 06,07]. Cela consiste à calculer la différence entre les variations relatives de mobilité sous contrainte pour deux orientations du transport, θ_1 et θ_2 , ceci en fonction de la charge d'inversion, c'est-à-dire¹²⁹ :

$$\left(\left. \frac{\Delta\mu}{\mu} \right|_{\theta_2} - \left. \frac{\Delta\mu}{\mu} \right|_{\theta_1} \right) (N_{inv}, \sigma) \quad \text{Équation III-25}$$

En supposant que les temps de relaxation moyens τ_v sont indépendants de la direction du transport, comme habituellement mentionné et observé dans la littérature (invariance de la mobilité des électrons dans le plan (100)) [LIU 05], la différence permet d'éliminer le terme lié à la repopulation des porteurs Δx_v (second terme de la somme dans l'Équation III-23). Le calcul (cf. détails du calcul en Annexe E.A) nous donne l'expression suivante :

$$\frac{\left. \frac{\Delta\mu_{tot}}{\mu_{tot}} \right|_{\theta_2}^{\sigma=0} - \left. \frac{\Delta\mu_{tot}}{\mu_{tot}} \right|_{\theta_1}^{\sigma=0}}{\beta} = \frac{m_{\theta_1}^{\sigma \neq 0} - m_{\theta_2}^{\sigma \neq 0}}{m_t} \times \frac{1}{\beta} = \pi_{44}(N_{inv}) \quad \text{Équation III-26}$$

avec $\beta = \frac{\tau_{\Delta 2}^{\sigma=0}}{\tau_{\Delta 2}^{\sigma \neq 0}} + \frac{1 - x_{\Delta 2}^{\sigma=0}}{x_{\Delta 2}^{\sigma=0}} \cdot \frac{m_l + m_t}{2m_l} \cdot \frac{\tau_{\Delta 4}^{\sigma=0}}{\tau_{\Delta 2}^{\sigma \neq 0}}$

où m_t (m_l) est la masse transverse (longitudinale) sans contrainte, $m_{\theta}^{\sigma \neq 0}$ est la masse de conductivité sous contrainte lorsque la contrainte et la direction du transport forment un angle θ . Il est intéressant de noter que la différence des masses effectives sous contrainte pour les deux orientations étudiées apparaît explicitement dans l'Équation III-26.

L'Équation III-26 peut être encore simplifiée. Premièrement, pour des contraintes faibles, la levée de dégénérescence des vallées de la bande de conduction induite par la contrainte est faible (<10meV jusqu'à 200MPa) comparée à celle induite par la quantification en forte inversion (>110meV pour $N_{inv}=1,42 \times 10^{13} \text{ cm}^{-2}$ qui correspond pour les dispositifs étudiés au §III.B.3.1.1 à $V_G - V_{Th} = 3,5 \text{ V}$). Ainsi la contrainte modifie seulement faiblement les interactions avec les phonons dans notre cas des faibles déformations. Deuxièmement, à température ambiante et pour les champs effectifs élevés, la mobilité est limitée à la fois par les interactions avec les phonons et la rugosité de surface. Toutefois on peut supposer que le faible niveau de contrainte appliqué ne modifie pas la rugosité de surface. Par conséquent on peut raisonnablement considérer que le temps de relaxation des vallées $\Delta 2$ n'est pas modifié par la contrainte, c'est-à-dire $\tau_{\Delta 2}^{\sigma \neq 0} \approx \tau_{\Delta 2}^{\sigma=0}$. Enfin si l'on simplifie encore le tableau en considérant que, en

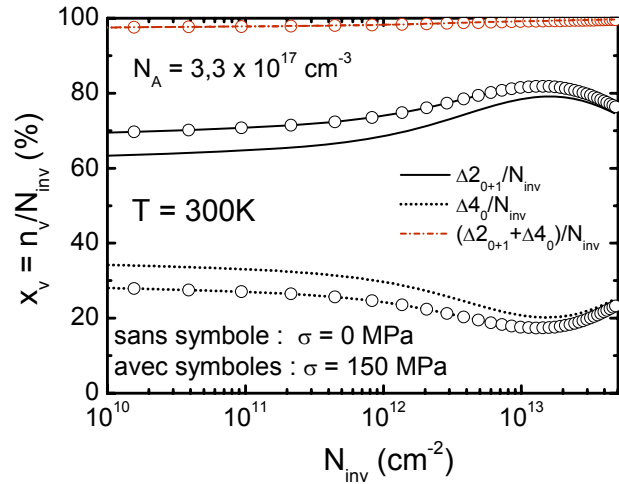


Figure III-39 : Proportion des électrons des vallées $\Delta 2$ (première et deuxième sous-bande) et $\Delta 4$ (première sous-bande) en fonction de la densité de porteurs en inversion avec et sans contrainte (simulation Poisson-Schrödinger 1D incluant les effets de contraintes mécaniques sur la structure de bandes (cf. Chapitre II §II.B.3.4))

¹²⁹ Notons que ce calcul revient simplement à extraire le coefficient π_{44} puisque $\left(\left. \frac{\Delta\mu}{\mu} \right|_{\theta_2} - \left. \frac{\Delta\mu}{\mu} \right|_{\theta_1} \right) (N_{inv}, \sigma)$ représente $\pi_L - \pi_T = \pi_{44}$, dans le cas où θ_2 est selon [110] et θ_1 selon [-110].

forte inversion, tous les électrons sont dans les vallées Δ_2 (au lieu d'environ 80% comme montré sur la Figure III-39) alors l'Équation III-26 se réduit à l'expression très simple¹³⁰ :

$$\left. \frac{\Delta I_D}{I_D} \right|_{\theta_2} - \left. \frac{\Delta I_D}{I_D} \right|_{\theta_1} \approx \frac{m_{\theta_1}^{\sigma \neq 0} - m_{\theta_2}^{\sigma \neq 0}}{m_i} \quad \text{Équation III-27}$$

L'Équation III-27 permet donc de remonter aux variations de m_{Δ_2} sous contrainte.¹³¹

III.B.4.3 Application au cas de transistors nMOS soumis à une contrainte uniaxiale en tension selon [110]

Nous avons étudié l'impact d'une contrainte mécanique uniaxiale selon [110] pour différentes orientations du canal (parallèle, perpendiculaire ou formant un angle de 45° avec la contrainte, cf. Figure III-40). Les Figures III-41 montrent les variations obtenues sur le courant de drain pour les trois orientations du canal pour trois valeurs de densité de porteurs en inversion. On note une parfaite linéarité, signe d'un régime de piézorésistivité linéaire pour cette gamme de contrainte.

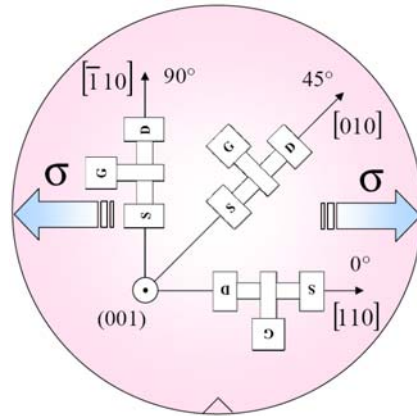
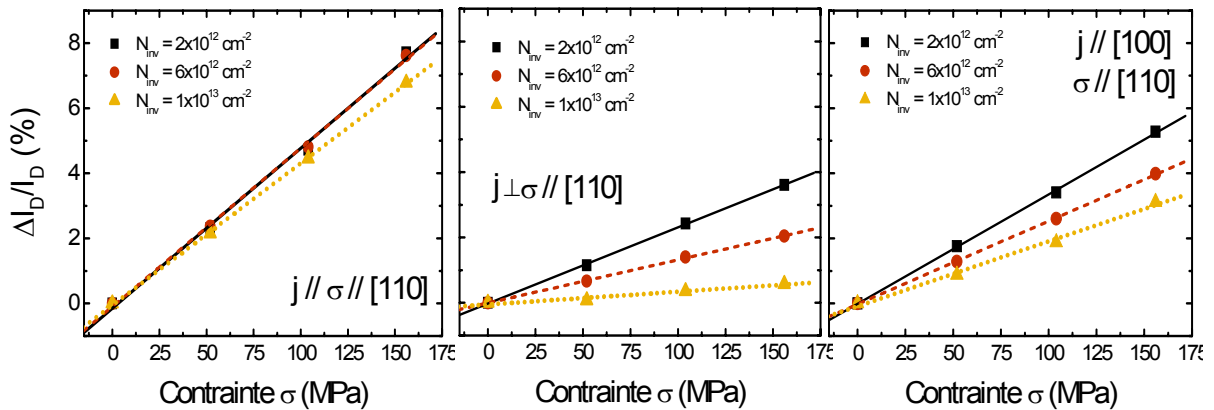


Figure III-40 : Orientations du canal des MOSFETs testés par rapport à la contrainte selon [110] sur un plan (001)

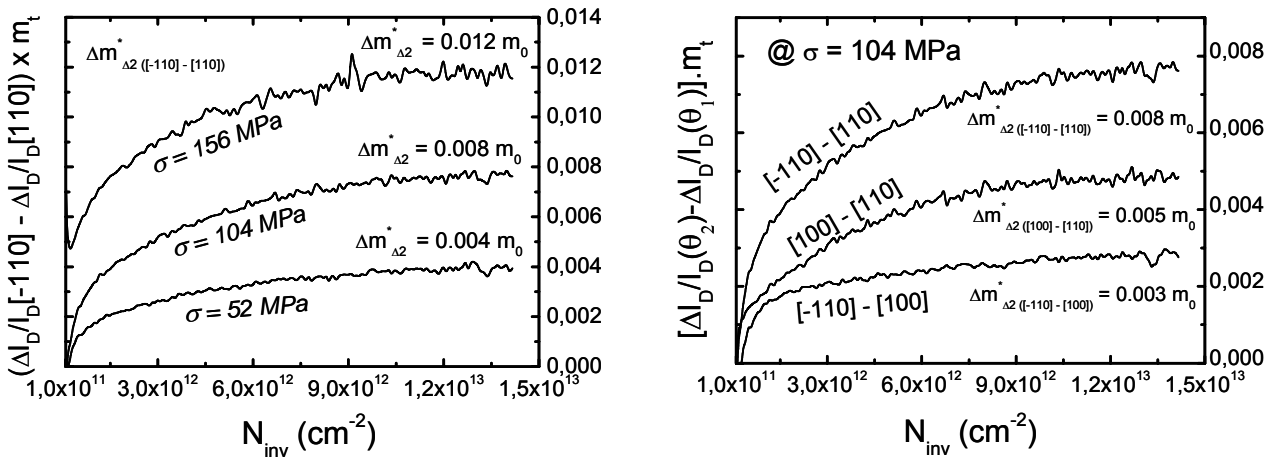


Figures III-41 : Variations relatives du courant de drain avec la contrainte mécanique uniaxiale appliquée selon [110] et pour trois niveaux d'inversion.

Sur les Figures III-42, l'Équation III-25 a été tracée en fonction de N_{inv} pour différents niveaux de contraintes et pour différents couples de direction du transport. Chaque courbe tend vers une limite en très forte inversion. Ceci est en accord avec la valeur constante prévue par le calcul dans l'Équation III-27. On peut donc extraire la variation de la masse des électrons des vallées Δ_2 . Notons que, d'après l'Équation III-26, l'augmentation de ces caractéristiques aux faibles N_{inv} est due au repeuplement des vallées Δ_2 induit par le confinement quantique lorsque N_{inv} augmente (cf. Figure III-39) (le second terme du dénominateur diminue d'où une augmentation de $\left. \frac{\Delta I_D}{I_D} \right|_{\theta_2} - \left. \frac{\Delta I_D}{I_D} \right|_{\theta_1}$).

¹³⁰ La variation relative de mobilité étant égale à la variation relative du courant de drain (cf. Équation III-13)

¹³¹ Ce calcul revient finalement à déterminer π_{44} qui vaut directement $\Delta m/m$ si les temps de relaxations ne varient pas et si tous les porteurs sont dans les vallées Δ_2 : $\Delta m/m \approx \pi_{44} \times \sigma_{xy} = \pi_{44} \times \sigma_{xx} / 2$.



Figures III-42 : Tracés permettant l'extraction des variations de la masse effective des vallées $\Delta 2$ en forte inversion. Les caractéristiques tendent vers une limite qui correspond à la variation de masse effective. A gauche : pour différents niveaux de contraintes, à droite : pour différents couples d'orientation du transport.

La variation de la différence selon deux directions de transport des masses effectives de conduction avec l'intensité de la contrainte uniaxiale est linéaire (Figure III-43). De plus les valeurs expérimentales ainsi extraites sont en bon accord avec les calculs théoriques de Uchida *et al.* [UCHIDA 05], compte tenu des incertitudes de mesures et des hypothèses permettant cette extraction (écart relatif de 30%).

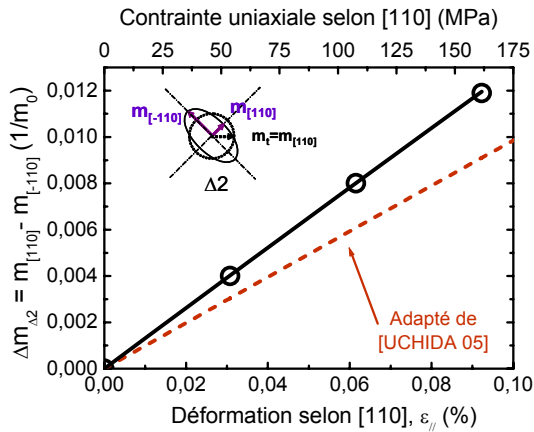


Figure III-43 : Différence Δm^* entre les masses de conduction des vallées $\Delta 2$ pour deux orientations du canal ($[-110]$ et $[110]$) en fonction de la déformation ou de la contrainte et comparaison avec les valeurs calculées dans [UCHIDA 05].

Il est possible de déterminer avec cette méthode les valeurs absolues des masses de conduction des vallées $\Delta 2$ sous contrainte selon les directions $[-110]$ et $[110]$. En effet si l'on considère une déformation ellipsoïdale des vallées $\Delta 2$ pour une contrainte appliquée selon $[110]$ comme indiqué dans [HENSEL 65, KANDA 91b ou UCHIDA 05] (cf. Figure III-37), on obtient (voir démonstration en Annexe E.B):

$$m_{[100]}^{\sigma \neq 0} = \frac{2 \cdot m_{[110]}^{\sigma \neq 0} \cdot m_{[-110]}^{\sigma \neq 0}}{m_{[110]}^{\sigma \neq 0} + m_{[-110]}^{\sigma \neq 0}} \quad \text{Équation III-28}$$

Ce qui donne en considérant de faibles perturbations:

$$\left. \begin{aligned} m_{[110]}^{\sigma \neq 0} &\cong m_t - \delta_1 \\ m_{[-110]}^{\sigma \neq 0} &\cong m_t + \delta_2 \end{aligned} \right\} \text{avec } \delta_1 \approx \delta_2 = \delta \quad \text{Équation III-29}$$

$$d'où \quad m_{[100]}^{\sigma \neq 0} \approx m_t - \frac{\delta^2}{m_t} \approx m_t$$

La masse effective de conduction selon [100] reste inchangée sous l'effet d'une contrainte uniaxiale selon [110] (au premier ordre). Ainsi nous pouvons extraire pour chacune des directions étudiées la variation de la masse effective sous contrainte (Figure III-44).

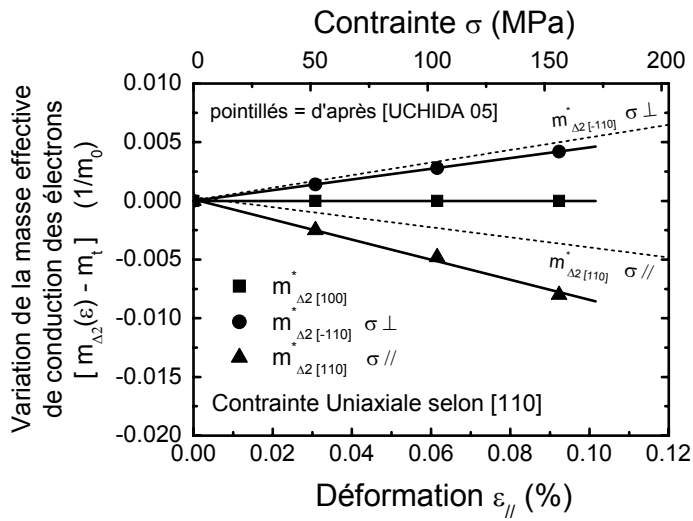


Figure III-44 : Evolution de la variation de la masse effective de conduction des électrons des vallées Δ_2 en fonction de la déformation (ou de la contrainte) selon différentes directions cristallographiques pour une contrainte uniaxiale en tension appliquée selon [110], en supposant que $m_{\Delta_2[110]}^* = m_t$ quelque soit l'intensité de la contrainte. Comparaison avec les valeurs théoriques issues de la théorie du potentiel de déformation [UCHIDA 05].

Ces résultats sont en assez bon accord avec ceux obtenus expérimentalement sur du silicium massif par résonance cyclotron [HENSEL 65]. Hensel *et al.* mesuraient une variation relative de leur masse effective égale à (pour $\sigma_{[110]}=180\text{MPa}$) :

$$\frac{\Delta m^*}{m^*} = a + b \cos 2\varphi \text{ avec } a = 1,4 \cdot 10^{-3} \text{ et } b = -(9,1 \pm 0,4) \cdot 10^{-3} \quad \text{Équation III-30}$$

où φ est l'angle azimutal entre le champ magnétique H_0 et la direction cristallographique [011]. Le terme 'a' peut être négligé. Cette expression traduit celle d'une ellipse dans le plan de la contrainte appliquée. La masse effective mesurée par cette technique vaut $\sqrt{m_i m_t}$ d'où une variation relative de m_t (qui, rappelons-le, est la seule masse dépendant de la contrainte de cisaillement) de $1,82 \pm 0,08\%$. Dans notre cas nous obtenons autour de $3,6 \pm 1,2\%$. L'assymétrie observée pour $m_{[-110]}$ et $m_{[110]}$ (Figure III-44) vient principalement des incertitudes de mesures. Notons toutefois que d'après l'Équation III-26, l'évaluation de la variation de la masse effective est sur-estimée lorsque l'on fait l'hypothèse de considérer $\beta=1$ (en réalité β est inférieur à 1). Pour obtenir les mêmes variations que celles calculées par Uchida *et al.* il faudrait que β soit égal à 0,75 (Figure III-45). L'effet est principalement dû au ratio $\tau_{\Delta_2}^{\sigma=0} / \tau_{\Delta_2}^{\sigma \neq 0}$ qui doit être proche de β puisque le second terme de β est proche de 0 (cf. Annexe E.D).

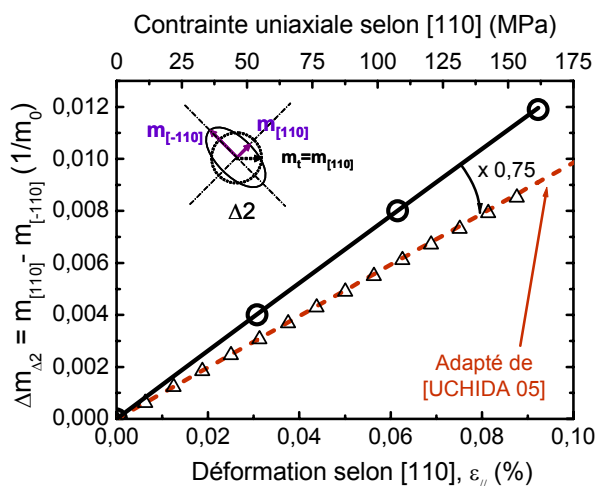


Figure III-45 : Correction à apporter (valeur de β) pour obtenir les mêmes variations que celles calculées par Uchida *et al.*

La variation de la masse effective pour une contrainte perpendiculaire au transport correspond aussi très bien aux calculs réalisés récemment par Ungersboeck *et al.* [UNGERS 07a] qui donnent :

$$\begin{cases} m_{t,[110]} = 0,196 - 0,016 \cdot \sigma_{[110]} (GPa) \\ m_{t,[\bar{1}10]} = 0,196 + 0,029 \cdot \sigma_{[110]} (GPa) \\ m_{t,[001]} = 0,914 + 0,0236 \cdot \sigma_{[110]}^2 (GPa) \end{cases} \quad \text{Équation III-31}$$

La variation de m_l trouvée par Ungersboeck *et al.* reste négligeable pour des contraintes inférieures au GPa, ce qui explique pourquoi Hensel *et al* n'ont mesuré aucune variation significative, mais doit être prise en compte pour les très forts niveaux de contraintes.

III.C Effet d'une contrainte additionnelle uniaxiale sur des nMOSFETs en technologie FDSOI à canal fortement contraint biaxialement : piézorésistivité dans le domaine des fortes déformations

Dans cette section nous étudions la piézorésistivité dans le domaine des fortes déformations. Plus précisément nous étudions l'effet d'une contrainte uniaxiale faible (≈ 150 MPa), pour rester dans un régime de piézorésistivité linéaire, sur la mobilité d'un canal de conduction fortement contraint en tension biaxiale ($\approx 1,4$ GPa). On se propose ainsi d'étudier l'évolution des coefficients piézorésistifs, notés π^* , autour d'un point de contrainte initiale non nulle, distingués de ceux autour d'une contrainte nulle, notés π . L'architecture testée est constituée d'un empilement de grille avancé, *i.e.* HfO_2/TiN , réalisé sur un film ultramince de silicium d'épaisseur 10nm environ.

III.C.1 Résultats

Sur la Figure III-46 est représentée la variation relative de mobilité $\Delta\mu/\mu$ sous contrainte uniaxiale en tension selon $[110]$, mesurée sur des dispositifs contraints et non contraints initialement et pour deux orientations du canal (parallèle et transverse), pour une charge d'inversion donnée (ici en très forte inversion). Dans tous les cas cette variation est proportionnelle à la contrainte ce qui permet de vérifier que le niveau de contrainte est suffisamment faible pour rester dans un régime de piézorésistivité linéaire. La pente de ces dépendances linéaires nous donnent directement les coefficients piézorésistifs longitudinaux π_L et transverses π_T . Leur évolution avec la charge d'inversion est donnée sur les Figures III-47.

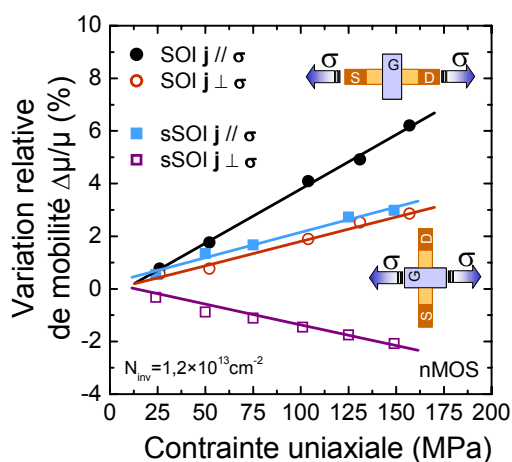
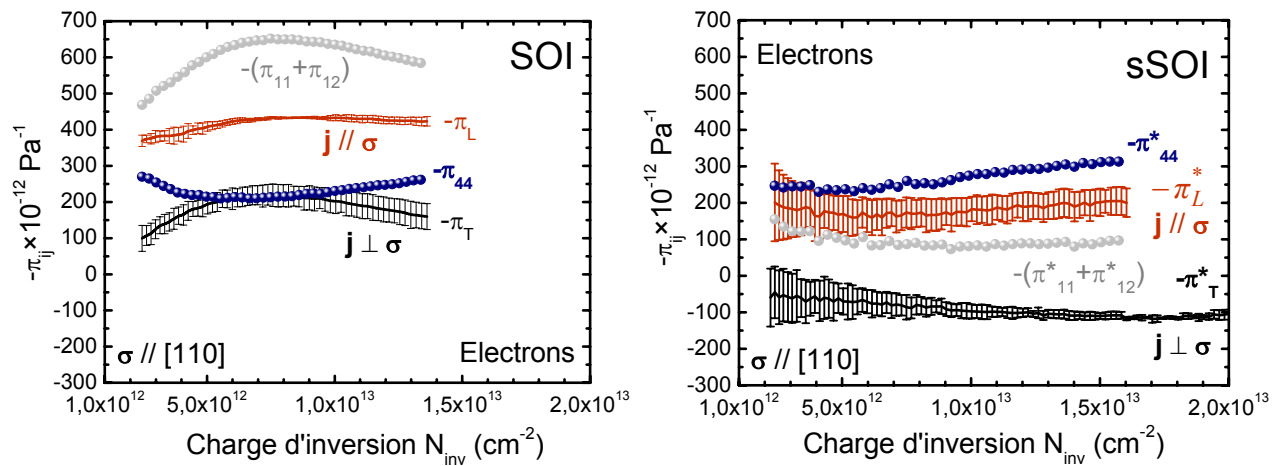


Figure III-46 : Variations relatives de la mobilité des électrons en forte inversion avec la contrainte uniaxiale en tension pour une contrainte parallèle ou perpendiculaire au transport sur des MOSFETs FD-SOI et sSOI

Alors qu'une amélioration de la mobilité est observée sur SOI quelque soit la direction du courant ($-\pi_L$ et $-\pi_T$ positifs), une dégradation de la mobilité est obtenue pour une contrainte perpendiculaire au transport sur sSOI ($-\pi_T^*$ négatif sur toute la gamme de N_{inv}).

Les coefficients piézorésistifs dans le régime des fortes déformations sont plus faibles que les coefficients piézorésistifs du silicium non contraint ($\pi^* < \pi$). Ce résultat important montre que le fait de superposer une contrainte uniaxiale additionnelle sur un dispositif déjà contraint biaxialement ne résulte pas de la simple addition de l'effet d'une contrainte uniaxiale mesuré sur un dispositif non contraint. En l'occurrence l'addition d'une contrainte uniaxiale à une contrainte biaxiale forte en tension est sous-linéaire.



Figures III-47 : Coefficients piézorésistifs longitudinaux et transverses (lignes avec dispersion sur 5 mesures) mesurés sur des MOSFETs SOI (à gauche) et sSOI (à droite) en fonction de la charge d'inversion. La somme et la différence entre $-\pi_L$ et $-\pi_T$, *i.e.* $-(\pi_{11} + \pi_{12})$ et $-\pi_{44}$ respectivement, sont aussi représentées (symboles).

Pour comprendre ces résultats, revenons à l'expression des coefficients piézorésistifs longitudinaux et transverses donnés par (cf §II.B.5.2) :

$$\begin{cases} \pi_L = (\pi_s + \pi_{44})/2 \\ \pi_T = (\pi_s - \pi_{44})/2 \end{cases} \quad \text{avec} \quad \pi_s = \pi_{11} + \pi_{12} \quad \text{Équation III-32}$$

Les coefficients π_{11} et π_{12} traduisent l'effet d'une contrainte biaxiale ou uniaxiale selon une direction principale du silicium alors que le coefficient π_{44} traduit le cisaillement induit par une contrainte uniaxiale selon un axe non principal (par exemple selon [110]). Ainsi une contrainte biaxiale ou uniaxiale selon une direction principale induit un décalage énergétique des vallées de la bande de conduction du silicium. Pour une contrainte en tension, le peuplement des vallées Δ_2 augmente au détriment de celui des vallées Δ_4 . Ce repeuplement préférentiel des vallées Δ_2 entraîne une augmentation de la mobilité, en limitant les interactions avec les phonons inter-vallées d'une part [TAKAGI 96], et puisque la masse effective de conduction des vallées Δ_2 est plus faible que celle des vallées Δ_4 d'autre part. L'effet inverse est obtenu avec une contrainte en compression. De cette manière, π_{11} et π_{12} traduisent cette variation de la mobilité avec la contrainte. Maintenant on sait qu'une contrainte uniaxiale selon [110] inclut une composante de cisaillement et déforme les surfaces d'iso-énergie des vallées Δ_2 (cf. Figure III-37), c'est-à-dire que l'on obtient une masse effective anisotropique dans le plan de la contrainte pour ces vallées. Le coefficient π_{44} traduit cet effet [KANDA 91b].

Sur les Figures III-47 nous avons représenté $\pi_s = \pi_{11} + \pi_{12}$ et π_{44} , obtenus à partir des données expérimentales de π_L et π_T d'après l'Équation III-32, pour les dispositifs SOI et sSOI. Les coefficients $-\pi_s$ sont clairement plus élevés sur SOI ($\geq 500 \times 10^{-12}$ Pa⁻¹) que sur sSOI ($\leq 100 \times 10^{-12}$ Pa⁻¹). Ceci était attendu puisque le gain en mobilité sature pour des contraintes biaxiales fortes (typiquement $> 1,5$ GPa) [WELSER 94] (cf. Chapitre V), que nos dispositifs sSOI approchent. Dans

les dispositifs fortement contraints en tension biaxiale, tous les électrons occupent les vallées Δ_2 . Ainsi les effets de repeuplement entraînant la diminution des interactions avec les phonons intervallées s'atténuent [UCHIDA 05]. Le coefficient π_s tend vers une valeur nulle pour les très fortes contraintes. Weber *et al.* ont pu le vérifier également récemment sur des architectures plus conventionnelles en technologie sur silicium massif avec un empilement de grille standard SiO₂/poly-Si [WEBER 07b]. D'un autre côté le coefficient $-\pi_{44}$ est approximativement le même sur les deux types de transistors ($\approx 200-300 \times 10^{-12} \text{ Pa}^{-1}$), aux incertitudes de mesures près¹³². On peut en déduire que cet effet sur π_{44} provient essentiellement de la contrainte additionnelle en cisaillement induite par la direction [110]. Il s'agit donc quasi-essentiellement d'un effet de changement de masse même si les vallées Δ_2 sont différemment peuplées sur SOI et sSOI (cf. effet de la population des porteurs dans l'Équation III-26).

Ces résultats sont cohérents avec le gain en mobilité obtenu en négligeant les variations des temps de relaxation des électrons avec la contrainte, qui donne $\pi_{44} \cdot \sigma_{[110]}/2 = \alpha \Delta m_{\Delta_2}/m_{\Delta_2}$ pour $j // [110]$ avec α un terme dépendant de la population relative des Δ_2 et des temps de relaxation et qui doit être proche de l'unité pour SOI et sSOI en très forte inversion.

En outre on peut remarquer que $-(\pi_{11} + \pi_{12})$ est plus grand que $-\pi_{44}$ pour les dispositifs SOI ce qui explique pourquoi on observe un gain en mobilité quelque soit l'orientation du canal dans le plan (001). En revanche sur sSOI, $-(\pi_{11} + \pi_{12})$ devient plus faible que $-\pi_{44}$ qui devient le coefficient dominant. Ceci explique pourquoi on observe une dégradation de mobilité pour une contrainte en tension perpendiculaire au transport et un gain lorsqu'elle est parallèle au transport.

Nos résultats ont été comparés à ceux obtenus très récemment par Weber *et al.* sur des dispositifs en technologie sur silicium massif [WEBER 07b] (Tableau III-2). Les valeurs sont tout à fait comparables.

Champ effectif	0,4 MV/cm		1 MV/cm	
	Littérature	Mes résultats	Littérature	Mes résultats
$-\pi_{ij}$ (10^{-12} Pa^{-1})				
$-\pi_{44}$ sur réf. 0%Ge	210	200	275	250
$-\pi_{44}$ sur 20%Ge	280	220	300	300
$-\pi_s$ sur réf. 0%Ge	690	650	475	600
$-\pi_s$ sur 20%Ge	60	80	50	75

Tableau III-2 : Comparaison des valeurs des coefficients π_s et π_{44} obtenus par Weber *et al.* [WEBER 07b] et les résultats présentés dans cette partie.

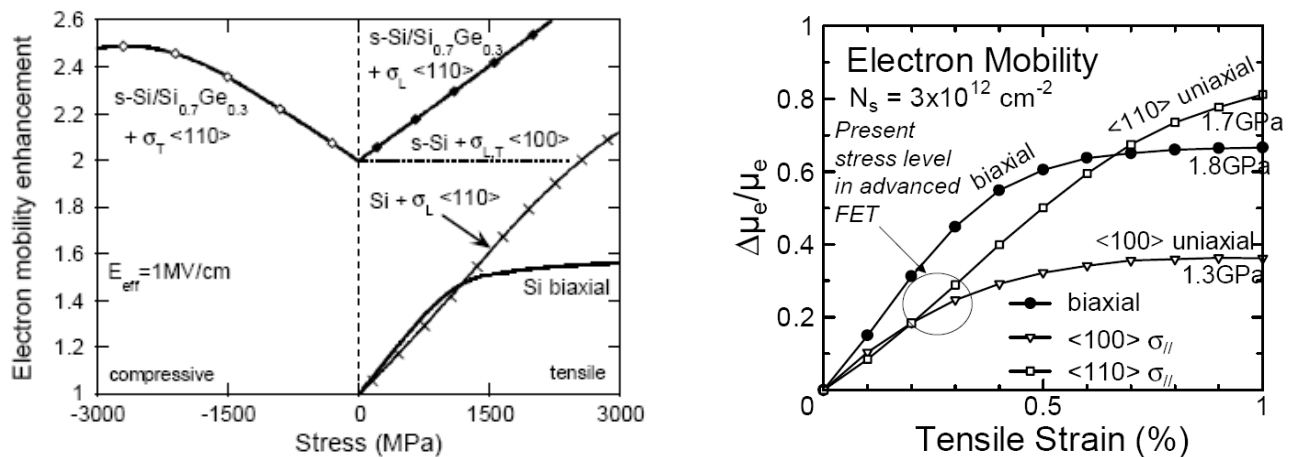
III.C.2 Conclusion

En définitive nous avons montré que le gain en mobilité dû aux décalages énergétiques des sous-bandes de la bande de conduction du silicium diminue pour des dispositifs fortement contraints biaxialement mais qu'il est toujours possible d'augmenter la mobilité des porteurs en superposant une contrainte en cisaillement. Cette dernière peut être générée en appliquant une contrainte uniaxiale en tension selon [110] parallèlement au transport ou, ce qui est équivalent, en compression perpendiculairement au transport. Nous avons démontré que cet effet s'explique par la modification des masses effectives de conduction des vallées Δ_2 . Cette anisotropie est induite par le cisaillement, lui-même créé par une contrainte uniaxiale orientée selon un axe non principal du silicium. Nous avons trouvé cet effet quasiment identique pour les dispositifs SOI ou sSOI. Ce résultat ouvre des perspectives intéressantes pour l'amélioration ultime des performances des nMOSFET sSOI. La contrainte uniaxiale pouvant être générée par exemple par des CESL tensiles

¹³² Ce même coefficient π_{44} extrait par un essai en compression sur SOI et sSOI vaut environ $200 \times 10^{-12} \text{ Pa}^{-1}$ dans les deux cas (non montré ici).

sur des dispositifs à longueurs de grilles courtes (cf. §II.C.2.1 et nos résultats de performances présentés dans le Chapitre VI).

Cette variation de masse effective de conduction a un impact important sur les performances des dispositifs MOSFETs. Cela permet d'étendre le domaine de contrainte (ou déformation) pour lequel un gain en mobilité peut être obtenu, même à très fort champ effectif puisque cet effet est indépendant du champ électrique. Il devient ainsi possible d'atteindre des gains en mobilité plus grand qu'avec une contrainte uniaxiale selon [100] et même avec une contrainte biaxiale, comme ont pu le démontrer Uchida (calcul) et Weber (expérience) [UCHIDA 05, WEBER 07b] (Figures III-48). À la fois pour une contrainte uniaxiale selon [100] et biaxiale, le gain en mobilité tend vers une limite pour des niveaux de contraintes au-delà de 1,4GPa environ. Cette limite est atteinte lorsque les levées de dégénérescence induits par la contrainte mécanique sont suffisamment grandes pour supprimer complètement certains types d'interactions électrons/phonons inter-vallées ; aucun effet de masse n'étant introduit a priori par ces configurations de contraintes.¹³³



Figures III-48 : Gain en mobilité des électrons en fonction de la contrainte mécanique selon le type de contrainte (biaxiale, uniaxiale) et la direction de la contrainte. D'après [WEBER 07b] (à gauche) et [UCHIDA 05] (à droite).

III.D Résumé

En résumé, la piézorésistivité bidimensionnelle d'une couche d'inversion d'un MOSFET a été étudiée en détail sur de multiples architectures et empilements de grille, à la fois pour les électrons et pour les trous. Ces résultats complètent ceux de la littérature, assez anciens, et constituent donc une nouvelle base de données des coefficients piézorésistifs pour les dispositifs actuels de la microélectronique, en particulier pour les champs électriques plus forts avec les diélectriques de grille ultraminesces.

Nous avons vu que le coefficient π_{44} est similaire pour les dispositifs sSOI et SOI quelque soit l'empilement de grille alors que, pour les architectures sur silicium massif, il est plus fort (Figure III-29). Cette différence provient de la repopulation des porteurs dans les vallées Δ_4 . En effet les dispositifs FDSOI ont une proportion de porteurs dans les vallées Δ_2 plus grande à même N_{inv} comparativement aux dispositifs en technologie sur silicium massif, en raison du confinement géométrique imposé par l'épaisseur du film mince de silicium (cf. Figure II-13)¹³⁴. Ce coefficient piézorésistif traduit l'effet de la contrainte sur la déformation de la bande de conduction et dépend légèrement des mécanismes de diffusion (cf. Équation III-26). Il est le coefficient prédominant pour

¹³³ Voir toutefois dans le Chapitre II (§II.B.3.3) les calculs de Richard *et al.* sur la modification des masses effectives des électrons du silicium soumis à une contrainte biaxiale ainsi que l'effet résultant en terme de transport dans le Chapitre V (§V.A.3.3.2). Retenons ici que cet effet, s'il existe réellement, reste faible.

¹³⁴ Ainsi si l'extraction de la variation des masses effectives de conduction avait été menée sur les dispositifs sSOI, le facteur correctif β aurait été proche de l'unité pour reproduire les calculs théoriques.

les trous mais aussi pour les électrons dans le régime des fortes déformations comme on vient de le voir.

Le coefficient biaxiale isotrope $\pi_s = \pi_{11} + \pi_{12}$ dépend fortement de l'empilement de grille (TiN/HfO₂ ou SiO₂/poly-Si) et du niveau de contrainte initial (Figure III-29 et Figures III-47). Il diminue avec le niveau de contrainte initial. Ce coefficient piézorésistif dépend fortement des mécanismes de diffusion, de même que les coefficients intrinsèques π_{11} et π_{12} .

En guise de perspectives à ce travail, une étude en température des coefficients piézorésistifs serait très intéressante à mener. Nous avons d'ores et déjà développé le banc de flexion 4 points pour permettre des mesures à hautes températures ; il serait aussi judicieux d'étudier la possibilité d'introduire un système de mise sous contrainte dans un banc cryogénique pour effectuer des mesures à très basse température. Ceci nous fournirait des informations cruciales pour comprendre en particulier les différences de comportement observés des coefficients piézorésistifs selon l'empilement de grille. Les dépendances en température permettent bien souvent d'identifier l'origine des mécanismes impliqués.

Pour conclure cette partie, nous pouvons dire qu'une contrainte uniaxiale en tension selon [110] parallèle au transport apparaît comme étant un bon moyen de « booster » encore plus loin les performances des nMOSFETs des prochaines générations¹³⁵. Et ce même pour les transistors courts opérant à forte tension de drain puisque la mobilité joue un rôle toujours important sur le courant à l'état ON [LOCHET 01]. Cet effet sera cependant fortement réduit en raison des effets parasites (comme les résistances séries). Notons toutefois que cet effet bénéfique d'une contrainte en cisaillement sera *a priori* valable pour des dispositifs fonctionnant dans un régime de transport purement balistique. En effet le courant de drain est alors essentiellement lié à la vitesse d'injection des porteurs au niveau de la source. Or, au premier ordre, cette vitesse est inversement proportionnelle à la racine carrée de la masse effective de conduction. Le challenge consiste alors à être capable de générer de forts niveaux de contraintes de cisaillement dans le canal des MOSFETs, pour diminuer au maximum la masse effective de conduction.

¹³⁵ Et des pMOSFETs compte tenu de la forte valeur de π_{44} pour les trous.

Chapitre IV - Techniques de caractérisation et d'extraction des paramètres électriques d'un MOSFET en régime linéaire

L'objectif de ce chapitre est de présenter les principes, avantages et limites des techniques de caractérisations électriques du MOSFET utilisées au cours de ce travail. Seront principalement présentées les techniques d'extraction des paramètres de transport telles que la mobilité à faible champ μ_0 , la mobilité effective μ_{eff} et la mobilité de magnétorésistance μ_{GMR} . En effet comme nous l'avons discuté dans les chapitres précédents, la mobilité est un bon outil de prédiction des performances des dispositifs avancés, même ultracourts et fonctionnant à fort V_D . Seront brièvement abordées aussi les extractions de certains paramètres physiques et électriques d'un MOSFET à partir des mesures statiques du courant de drain en régime linéaire tels que l'épaisseur du film mince de silicium des composants FDSOI, la tension de seuil V_T , les résistances séries parasites $R_{\text{série}}$...

Ces paramètres ont un impact direct sur le courant de drain (cf. Chapitre I). L'intérêt d'extraire de tels paramètres est donc essentiel pour la compréhension des phénomènes physiques qui gouvernent le fonctionnement d'un MOSFET. Ceci dans le but de maîtriser parfaitement les éléments clés de l'amélioration des performances des MOSFETs.

IV.A Extraction de paramètres à partir des mesures du courant de drain en régime linéaire

Au Chapitre I, nous avons présenté les principales caractéristiques électriques statiques du MOSFET et leurs expressions analytiques associées. Il convient d'être capable de donner une valeur numérique à chacun des paramètres intervenant dans ces équations. Pour cela, il est souvent utile et nécessaire de coupler les caractérisations physiques à des extractions de paramètres issues de mesures électriques. Les caractérisations physiques fournissent des informations intéressantes sur la géométrie du composant, les épaisseurs des couches le constituant (ellipsométrie, images MEB, TEM, HRTEM, ...) mais aussi sur sa structure interne et composition atomique, (analyses SIMS, FTIR, XPS, ...). Cependant un certain nombre de paramètres ne sont accessibles que par des mesures électriques sur le composant lui-même. Par exemple, pour connaître la concentration de dopants électriquement actifs, seule une mesure électrique (de capacité MOS par exemple) permet de le faire. Pour déterminer l'impact des constituants d'un MOSFET sur ses caractéristiques électriques, la caractérisation électrique est bien souvent le meilleur outil d'investigation.

Les principaux paramètres à extraire sont tout d'abord les variables géométriques du MOSFET : longueur et largeur électriques effectives du canal de conduction (L_{eff} et W_{eff}), épaisseur équivalente de l'oxyde grille T_{ox} (ou E.O.T.), épaisseur du film mince de silicium T_{Si} pour les technologies FDSOI (Figure IV-1)... Ensuite il faut déterminer les paramètres électriques tels que la tension de seuil V_{th} , la pente sous le seuil S , le DIBL, le gain du transistor β_0 ou la transconductance maximale $G_{\text{m,max}}$, les résistances séries parasites $R_{\text{série}}$ et les paramètres de transport telles que la mobilité effective des porteurs μ_{eff} , la vitesse de saturation v_{sat} , et/ou leurs paramètres associés (modèle de mobilité effective incluant la mobilité à faible champ μ_0 et les coefficients de réduction de mobilité avec le champ de grille θ_1, θ_2)... Les techniques sont

multiplés ; par exemple pour l'extraction de la tension de seuil V_T , on dénombre pas moins de treize méthodes¹³⁶.

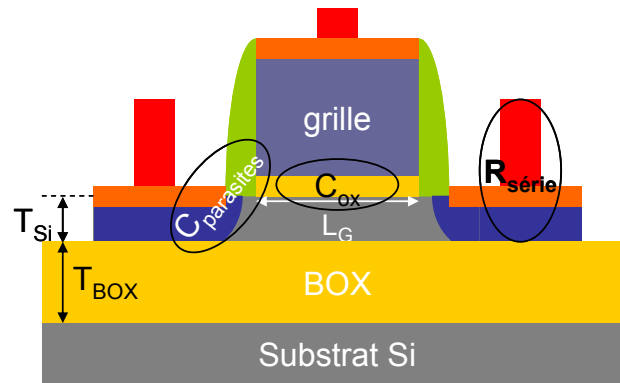


Figure IV-1 : Coupe longitudinale schématique d'un MOSFET illustrant les principaux paramètres gouvernant le courant de drain (est volontairement omis la mobilité).

IV.A.1 Extraction de l'épaisseur du film de silicium

Connaître l'épaisseur effective T_{Si} du film ultramince de silicium d'un MOSFET FDSOI est indispensable lorsque l'on souhaite comprendre le transport dans une telle structure (effet du confinement géométrique imposé par T_{Si} superposé aux effets du confinement quantique des porteurs modulant la mobilité des porteurs, cf. §I.C.1.2.3). Il est possible d'extraire cette grandeur à partir de mesures électriques. Toutefois une idée très précise de cette épaisseur peut être obtenue par ellipsométrie lorsque l'empilement à caractériser est bien connu. Cependant la mesure réalisée par ellipsométrie s'effectue rarement au même endroit que la zone active des transistors étudiés. De plus la mesure ne peut être réalisée qu'avant la fabrication de la grille du transistor. Or les quelques étapes technologiques, nécessaires à la réalisation de cette brique essentielle d'un MOSFET, consomment du silicium (nettoyage, oxydation,...)¹³⁷. Des inhomogénéités d'épaisseurs peuvent également apparaître en bord de grille (lors de la gravure de la grille, de la réalisation des espaceurs,...). On comprend donc aisément que toute tentative de corrélation entre l'épaisseur de silicium mesurée par ellipsométrie et celle obtenue par extraction de grandeurs électriques sera difficile, et ce d'autant plus si la dispersion d'épaisseur entre deux puces d'une même plaque est non négligeable par rapport à l'épaisseur totale du film.

L'extraction électrique de T_{Si} est effectuée en utilisant les relations établies dans l'Annexe A sur les phénomènes de couplage d'interfaces SOI. Plus précisément, on réalise des mesures du courant de drain en fonction de la tension de grille avant V_{G1} , pour différentes conditions de polarisation de la face arrière V_{G2} . Deux méthodes existent. La première, dite « classique », consiste à déterminer expérimentalement les coefficients de couplage des interfaces avant et arrière du film de silicium, α et β , à partir des caractéristiques tension de seuil V_{T1} – polarisation de la face arrière V_{G2} , ($V_{T1}(V_{G2})$). Grâce aux expressions analytiques de ces coefficients (Équation A-8 et Équation A-12 de l'Annexe A), on peut extraire l'épaisseur électrique de l'oxyde de grille et l'épaisseur du film de silicium respectivement, moyennant la connaissance des permittivités diélectriques des oxydes et de l'épaisseur de l'oxyde enterré [CASSE 03, TOFFOL 95]. La valeur de T_{Si} est donnée par :

$$T_{Si} = -\frac{\epsilon_{Si}}{\epsilon_{ox_2}} \cdot \left(\frac{\epsilon_{ox_2}}{\epsilon_{ox_1}} \cdot T_{ox_1} - \beta \cdot T_{ox_2} \right) \quad \text{Équation IV-1}$$

¹³⁶ Une revue de ces méthodes est abordée au §3.3.1 de [ROCHET 04]. Voir aussi [ORTIZ- 02].

¹³⁷ Consommation typiquement de l'ordre du nanomètre.

La seconde méthode est basée sur le calcul de la charge d'inversion à courant fixé sous le seuil en fonction des polarisations de la grille arrière V_{G2} . Elle intègre les effets quantiques et est valide de l'inversion face avant jusqu'à l'inversion face arrière [POIROU 04]. Elle permet l'extraction de T_{Si} en exploitant toute la courbe $V_{T1}(V_{G2})$. Nous l'appellerons « macro » (un petit programme sous Microsoft® Excel ayant été développé au CEA-Léti pour mener à bien cette extraction).

N° plaque	P01	P02	P03	P04	P05	P06	P07	P08	P09	P10	P11	P12	P13
Epaisseur moyenne (nm)	3,8	4,5	6,0	5,0	8,2	8,5	9,0	10,6	8,8	8,8	12,6	12,1	14,7
Dispersion (écart-type)	0,4	0,5	0,4	0,5	0,5	0,4	0,7	0,4	0,3	0,3	0,2	0,6	0,7
Epaisseur visée (nm)	5				10						12		

Tableau IV-1 : Epaisseur du film de silicium mesurée par ellipsométrie sur un lot FDSOI (en nm). La dispersion observée est typique de celle des plaques Unibond™ de Soitec. Les différentes étapes d'amincissement par oxydation effectuent donc un simple transfert de l'épaisseur de silicium originelle (~50nm) tout en conservant la dispersion initiale. Le procédé est donc efficace.

L'extraction a été menée à la fois sur des nMOS et des pMOS, de géométries différentes mais grandes ($L, W > 1\mu\text{m}$ pour ne pas subir les effets de canal court lors de l'extraction) et sur quatre plaques d'épaisseurs visées différentes (Tableau IV-1). Une courbe de couplage est donnée sur la Figure IV-2 pour ces quatre plaques.

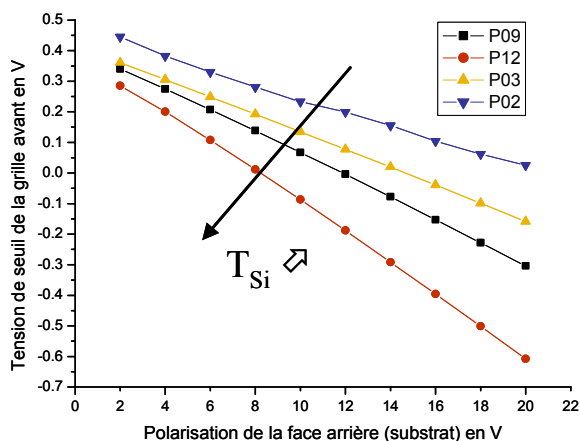


Figure IV-2 : Courbes de couplage $V_{T1}(V_{G2})$ pour quatre plaques SOI d'épaisseurs différentes.

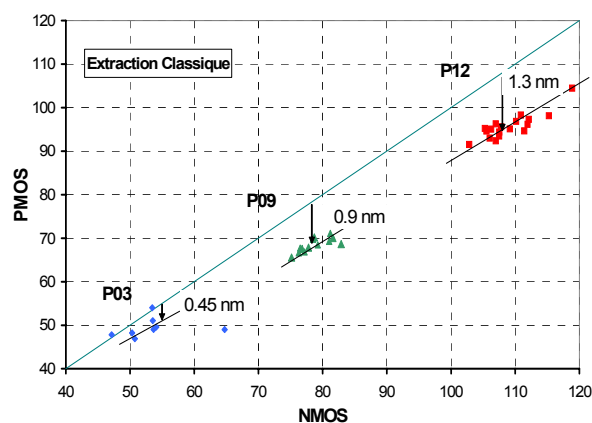


Figure IV-3 : Corrélation de l'épaisseur extraite sur des nMOS ou des pMOS.

Les tensions de seuil ont été extraites à courant constant sous le seuil (10^{-7} W/L). Il a été vérifié que les pentes obtenues sur les courbes de couplages étaient sensiblement les mêmes avec une extraction de tension de seuil extrapolée.

N° plaque	T_{Si} visée (nm)	Mesure ellipsométrie (moy.)	Ecart NMOS-PMOS (nm)		Ecart macro – classique (nm)		Ecart ellipso corrigée - NMOS		Ecart ellipso corrigée - PMOS	
			classique	macro	NMOS	PMOS	classique	macro	classique	macro
P12	12	12,1	1,3	1,05	2,4	2,7	0,6	1,9	-1,8	-8
P09	10	8,8	0,9	0,65	2,4	2,7	0,3	1,4	-2,1	-1,4
P03	5	6,0	0,45	0,35	2,6	2,75	-0,3	0,3	-3,0	-2,5

Tableau IV-2 : Bilan de l'extraction électrique de l'épaisseur du film de silicium pour des plaques d'épaisseurs variables et selon la méthode d'extraction utilisée et le type de MOSFET.

Les observations principales sont les suivantes (cf. Figure IV-3 et Tableau IV-2):

- l'extraction est effective et permet de bien distinguer les différentes épaisseurs nanométriques de film de silicium.

- l'épaisseur extraite diffère toujours entre un nMOS et un pMOS, et ce d'autant plus que T_{Si} est grande : elle est environ 1 nm plus grande pour les NMOS pour une épaisseur de 10 nm ($\approx 10\%$). L'origine est assez peu comprise. Peut-être est-ce la définition d'une tension de seuil inadaptée pour les pMOS qui fonctionnent en accumulation dans une technologie FDSOI.

- l'écart d'extraction entre la méthode « classique » et la méthode « macro » est quant à lui constant et vaut environ -2,5 nm.

- l'écart entre l'extraction et la valeur mesurée par ellipsométrie dépend de l'épaisseur du film et, comme on vient de le voir, du type de porteurs et de la méthode choisie.

On peut néanmoins en conclure que l'extraction électrique de l'épaisseur du film de silicium est relativement fiable et nous donne des valeurs tout à fait correctes étant donné les erreurs de mesure et la dispersion sur une plaque Unibond™.

IV.A.2 Influence des fuites de grille sur le courant de drain

Etant donné les diélectriques de grille de plus en plus fins au fil des générations de MOSFETs (cf. Chapitre I), le courant de fuite à travers la grille devient non négligeable dans certaines conditions. En particulier pour les transistors de grandes géométries, longs et larges ($I_g \propto W.L$ alors que $I_D \propto 1/L$) et en régime linéaire (V_D relativement faible). Le courant de drain peut alors devenir fortement perturbé (Figure IV-4). Pour extraire les paramètres intrinsèques au transport dans le canal du MOSFET, il convient alors de déterminer le courant exact circulant dans le canal à partir des mesures des courants de drain, source et grille. Dans le cas de transistors isolés (*i.e.* possédant chacun leurs propres drain et grille), on peut appliquer la relation (si les fuites de grille se répartissent de façon homogène le long du diélectrique) :

$$I_{canal} = \frac{I_D + I_S}{2} \tag{Équation IV-2}$$

Dans le cas de transistors en batterie (*i.e.* avec une grille et une source communes à chacun des dispositifs de la barrette), il existe différentes façons de corriger le courant de drain [ROMANJ 04b]. Nous avons utilisé celle basée sur la mesure en régime linéaire à deux valeurs différentes de V_D . Le courant corrigé vaut alors :

$$I_{canal} = g_d \times V_{ds} \tag{Équation IV-3}$$

où g_d est la conductance obtenue grâce aux mesures de I_D à deux V_D .

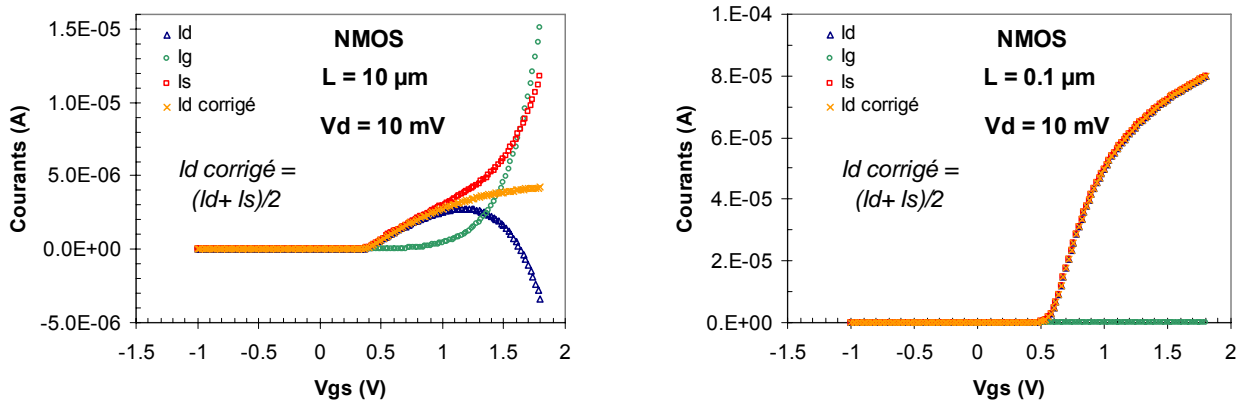


Figure IV-4 : Visualisation de l'impact du courant de grille sur les caractéristiques courants-tension de grille pour des transistors isolés long (10 µm) et court (100 nm) en échelle linéaire. Le courant de drain chute fortement en forte inversion alors que le courant de source rejoint les fuites de grille. L'allure du courant de canal obtenu par correction semble cohérente. Aucun impact n'est visible pour de petites géométries.

IV.A.3 Extraction de la longueur et de la largeur effective

Afin d'étudier les propriétés de transport des transistors ultracourts, il convient de connaître avec précision la valeur de la longueur de grille effective¹³⁸, L_{eff} . En effet cette longueur est bien souvent différente de la longueur de grille définie au niveau de la lithographie, appelée L_{masque} (cf. Figure IV-6).

$$L_{eff} = L_m - \Delta L \quad \text{Équation IV-4}$$

Il existe un grand nombre de méthodes permettant d'extraire L_{eff} [TAUR 92, TAKEUC 96, NIU 00, CRETU 01]. Mais il faut bien comprendre qu'aujourd'hui, bon nombre d'entre elles ne sont plus valables, en particulier pour des longueurs de grille sub-microniques. Cela vient principalement du fait que la mobilité à faible champ μ_0 n'est plus une constante pour de telles longueurs de canal comme cela a longtemps été supposé. Or ces méthodes utilisent cette hypothèse. Nous préférons alors extraire L_{eff} à partir des mesures capacitives (Figure IV-5) comme décrit dans l'article de Romanjek *et al.* [ROMANJ 04a], lorsque cela est possible. La capacité mesurée étant proportionnelle à la surface, on a :

$$L_1 = \left(\frac{C_{gc\ max,1}}{C_{gc\ max,2}} \right) \cdot L_2 \quad \text{Équation IV-5}$$

L'hypothèse faite ici est que C_{ox} reste constante avec la longueur de grille. L_1 étant la longueur effective du transistor court et L_2 celle d'un transistor long servant de référence (typiquement supérieure au micron). La largeur des transistors doit être suffisamment grande pour ne pas créer d'incertitude supplémentaire. $C_{gc\ max}$ est la capacité en inversion (ou accumulation) grille-canal. Notons toutefois que cette méthode impose d'être capable de mesurer avec une précision suffisante des capacités grille-canal très petites en s'affranchissant notamment des capacités parasites qui prennent une place non négligeable pour de si petites géométries¹³⁹.

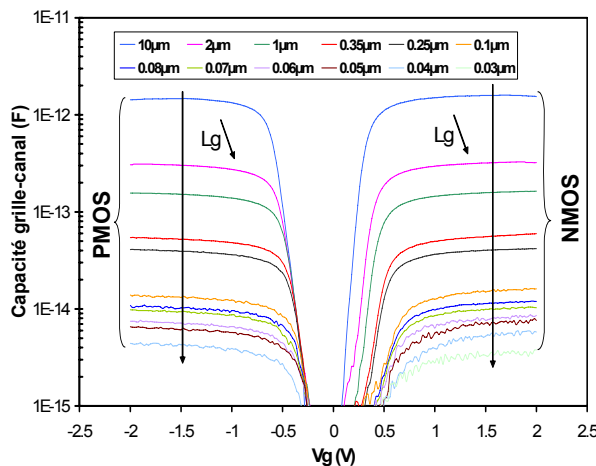


Figure IV-5 : Capacités grille-canal d'inversion/accumulation pour les NMOS/PMOS pour différentes longueurs de grille en échelle logarithmique.

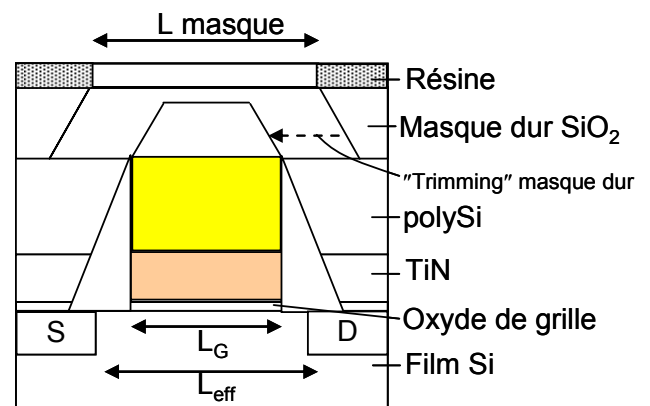


Figure IV-6 : Représentation schématique de la gravure de la grille en plusieurs étapes montrant clairement que, dans le cas général, $L_{masque} \neq L_{eff}$.

Le ΔL extrait dépend de la référence prise comme longueur de grille (L_{masque} ou L_{grille}). La longueur de grille L_{grille} pouvant être la longueur du haut de la grille comme celle du bas de la grille mesurée par MEB par exemple (la différence entre ces deux grandeurs dépendant de la qualité de l'anisotropie de la gravure de la grille). Un exemple d'extraction réalisée sur des MOSFETs FDSOI est montré sur la Figure IV-7. Les longueurs de grille ultracourtes ont été dessinées par le balayage

¹³⁸ On entend par longueur de grille effective, la longueur électrique du canal de conduction.

¹³⁹ C_{gc} typiquement de l'ordre de la dizaine de femto Farad (1 fF = 10^{-15} F).

d'un faisceau d'électron (e-beam) pour $L_m < 0,25 \mu\text{m}$. Pour ces longueurs, le ΔL vaut environ 7 nm pour les NMOS et 10 nm pour les PMOS. Ce résultat est cohérent puisque le bore (utilisé pour doper les régions S/D des PMOS) diffuse plus que l'arsenic (utilisé pour doper les S/D des NMOS), entraînant des longueurs effectives légèrement plus faibles pour les PMOS. La référence du transistor long a été prise pour un transistor de $2 \mu\text{m}$ de longueur. Au-delà l'oxyde de grille ultra-mince (SiO_2 12Å) entraîne des fuites importantes, perturbant ainsi la mesure capacitive. Pour les longueurs plus grandes ($L_m \geq 0,25 \mu\text{m}$), dessinées par la photolithographie en Ultra-Violet Profond (Deep-UV), la dispersion sur le ΔL devient importante lorsque l'on se rapproche de la limite ultime de la lithographie Deep-UV.

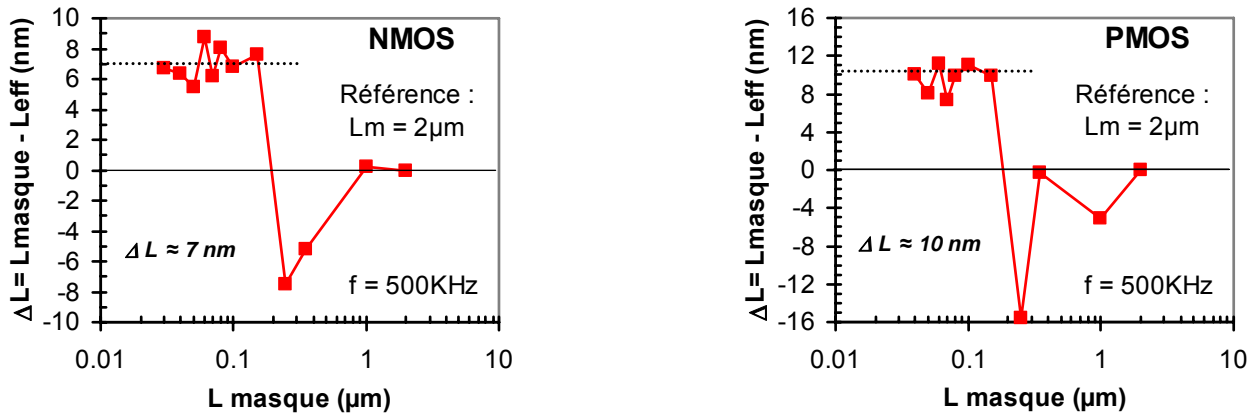


Figure IV-7 : Evolution du ΔL , déterminée par des mesures de C_{gcmax} , en fonction de la longueur de grille pour les NMOS et les PMOS

Bien souvent pour les dispositifs étudiés au cours de ce travail, la longueur électrique effective est supérieure à la longueur de grille physique (d'environ 13 nm pour les NMOS et 10 nm pour les PMOS) puisque l'implantation LDD est réalisée après la formation des espaceurs (Figure IV-6). En effet, l'étape de gravure de grille se fait en plusieurs étapes. La gravure du masque dur n'est pas verticale, ce qui entraîne une augmentation de côté d'environ 10 nm. Il est réalisé ensuite un « trimming » du masque dur ; c'est-à-dire que l'on grave l'oxyde de manière isotrope afin de réduire les dimensions de la grille (d'environ 30 nm). Enfin on procède à la gravure de l'empilement TiN/poly-Si (en deux temps) par gravure assistée par plasma (fortement anisotrope). Au final la longueur de grille a été réduite d'environ 20 nm par rapport à la longueur de grille dessinée sur le masque. Ainsi une grille dessinée à 50 nm sort à 30 nm en longueur physique et 40 à 43 nm en longueur électrique suivant le type de porteurs.¹⁴⁰

Cette technique d'extraction des dimensions effectives par mesure capacitive, valable aussi bien pour les nMOS et les pMOS, permet également de déterminer la largeur effective de transistor ultra-étroit. Il convient alors que la longueur du canal soit suffisamment grande pour ne pas engendrer d'incertitude supplémentaire. L'Équation IV-4 devient simplement :

$$W_{eff} = W_m - \Delta W \quad \text{Équation IV-6}$$

Les capacités grille/canal mesurées sur des nMOSFETs FDSOI de largeurs variables sont représentées sur la Figure IV-8. L'extraction permet de remonter à la fois au ΔW mais aussi à un $C_{ox,eff}$ pour la gamme de largeurs considérées (l'interception de l'axe des abscisses nous donne le ΔW alors que la pente nous donne $C_{ox,eff}$). Sur la Figure IV-9, le ΔW des nMOS vaut -23,8nm pour des largeurs inférieures à $0,25 \mu\text{m}$ et +85,5nm pour des largeurs supérieures à $0,3 \mu\text{m}$. La largeur effective comprend à la fois la partie supérieure du canal mais aussi les flancs (gravure MESA) qui correspondent à l'épaisseur du film de silicium. Pour la technologie testée sur la Figure IV-9, T_{Si}

¹⁴⁰ Ce recouvrement non totale du canal par la grille permet notamment de réduire les effets de canal court, au détriment des performances à l'état ON, puisque les $R_{série}$ ainsi que la longueur effective se trouvent augmentées.

vaut environ 12nm. Si la largeur visée de 50nm a été correctement calibrée au niveau technologique (*i.e.* en prenant en compte les effets liés à la gravure des zones actives de silicium), la largeur effective devrait être de l'ordre de $W_m + 2 \cdot T_{Si}$, ce qui est le cas ici ($2 \cdot T_{Si} \approx 24nm = -\Delta W$). Notons que si la tension de seuil dépend fortement de la largeur des doigts de silicium, l'extraction de la capacité devra être faite à $V_G - V_T$ pour obtenir une meilleure précision. Enfin, les résultats nous montrent que pour la technologie étudiée ici (FDSOI, grille TiN déposée par PVD avec HfO_2 déposé par ALD), le couplage capacitif se dégrade lorsque les dimensions sont réduites. Le $C_{ox,eff}$ extrait sur les largeurs les plus étroites est plus faible de 6,6% par rapport au $C_{ox,eff}$ des zones actives plus larges, ce qui laisse penser soit à une recroissance soit à une diminution de la permittivité effective du diélectrique de grille (3nm de HfO_2 sur environ 1nm de couche interfaciale SiO_x). Cet effet est néfaste pour les performances des MOSFETs (cf. Chapitre I). Ceci va poser des problèmes pour extraire correctement certains paramètres électriques du transport telle que la mobilité des porteurs dans de telles structures (cf. paragraphes suivants). D'autres méthodes se révéleront alors plus avantageuses pour extraire la mobilité dans ces cas particuliers (comme la magnétorésistance qui ne fait aucune hypothèse sur les longueurs, largeurs effectives et sur la valeur de $C_{ox,eff}$, cf. §IV.C).

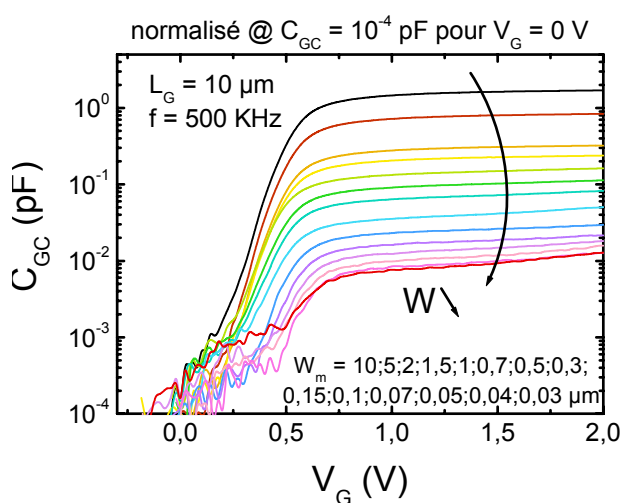


Figure IV-8 : Capacités grille-canal d'inversion pour les NMOS pour différentes largeurs de grille en échelle logarithmique

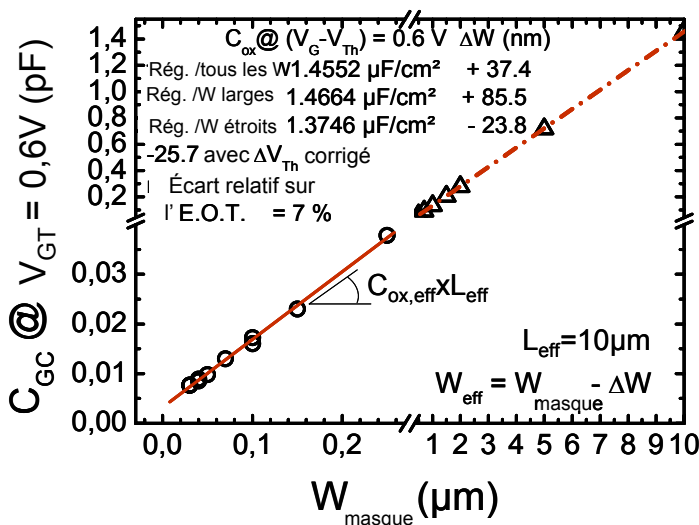


Figure IV-9 : Extraction de la largeur effective selon la gamme de largeur (procédé de lithographie) et extraction du $C_{ox,eff}$ des NMOS.

IV.A.4 Shift&Ratio

Cette méthode a été développée par Y. Taur [TAUR 92]. Elle permet d'extraire la longueur effective électrique du canal, la résistance série ainsi que la tension de seuil du dispositif. Dans cette méthode on considère la mobilité comme étant une fonction arbitraire de la tension de grille (pas de modèle de la mobilité). Elle nécessite la mesure sur deux transistors de longueur de grille différente : une référence de grande longueur et un transistor court. Son inconvénient majeur est que l'on suppose la mobilité être indépendante de la longueur du canal, ce qui est rarement le cas dans les technologies avancées. L'extraction de la résistance série parasite $R_{série}$ reste toutefois fiable et assez précise. Il s'agit d'un avantage majeur puisque l'on peut extraire la $R_{série}$ pour chaque transistor court, contrairement à d'autres techniques (cf. paragraphes suivants) qui postule $R_{série}$ identique quelque soit le transistor. Or les fluctuations technologiques peuvent jouer un rôle important pour des géométries ultra-agressives et ce d'autant plus lorsqu'il s'agit de technologies à l'état de recherche et par conséquent des MOSFETs non optimisés.

Partant de l'expression classique de I_{DS} en fonction de V_{GS} dans le régime linéaire, on détermine la résistance totale du transistor :

$$R_i = \frac{V_{ds}}{I_{ds_i}} = R_{série} + R_{canal} = R_{série} + \frac{L_i}{\mu C_{ox} W (V_g - V_{t_i} - V_{ds} / 2)} \tag{Équation IV-7}$$

avec R_{canal} la résistance du canal et L_i la longueur effective du transistor i .

Le principe consiste à considérer R_{canal} comme une fonction quelconque de l'écart entre V_g et V_{t_i} et à poser :

$$R_i(V_g) = R_{série} + L_i \cdot f(V_g - V_{t_i}) \tag{Équation IV-8}$$

On détermine ensuite la dérivée de R_i en supposant que les résistances séries parasites dépendent très faiblement de V_g et que L_i est indépendante de V_g :

$$S_i(V_g) = \frac{dR_i}{dV_g} = L_i \cdot \frac{df(V_g - V_{t_i})}{dV_g} \tag{Équation IV-9}$$

L'hypothèse forte est que Taur considère que df/dVg est une fonction générale de l'écart $V_g - V_{t_i}$ et est commun à tous les dispositifs. Cela présuppose donc que la mobilité est indépendante de la géométrie du transistor. En pratique on utilise deux transistors : celui à caractériser et un transistor long dont on suppose connue la longueur effective L_0 (L_g dessinée $\approx L_g$ effective). Pour déterminer V_{t_i} et L_i , une courbe S_i est décalée (*shift*) horizontalement de δ et le *ratio*

$$r_i(V_g) = \frac{S_0(V_g)}{S_i(V_g - \delta)} \tag{Équation IV-10}$$

est tracé en fonction de V_g . Tout le travail consiste à trouver la valeur de δ pour laquelle le ratio r_i est constant (même niveau de courant pour une tension donnée au-dessus du seuil¹⁴¹). Une fois ce paramètre déterminé, on peut remonter à V_{t_i} (dispositif à canal court) par $\delta = V_{t_0} - V_{t_i}$ avec V_{t_0} la tension de seuil du transistor long ainsi qu'à L_i effective par la relation $r_i(\delta) = L_0/L_i$. δ est déterminé par le minimum de la déviation (variance) $\langle \sigma^2 \rangle = \langle r_i^2 \rangle - \langle r_i \rangle^2$ en fonction de δ . Les figures ci-dessous illustrent cette technique d'extraction de paramètres.

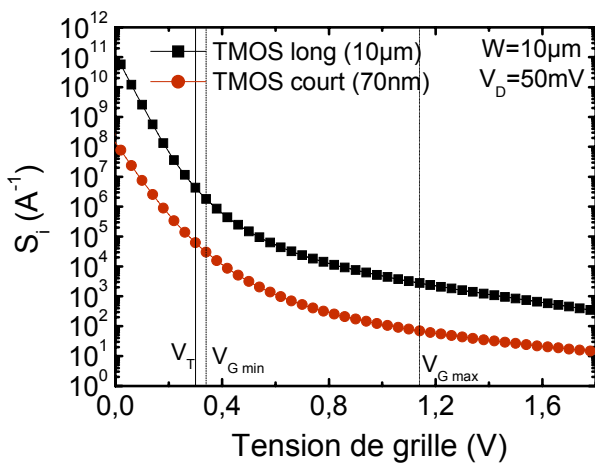


Figure IV-10 : fonction S pour les deux transistors court et long en fonction de V_G

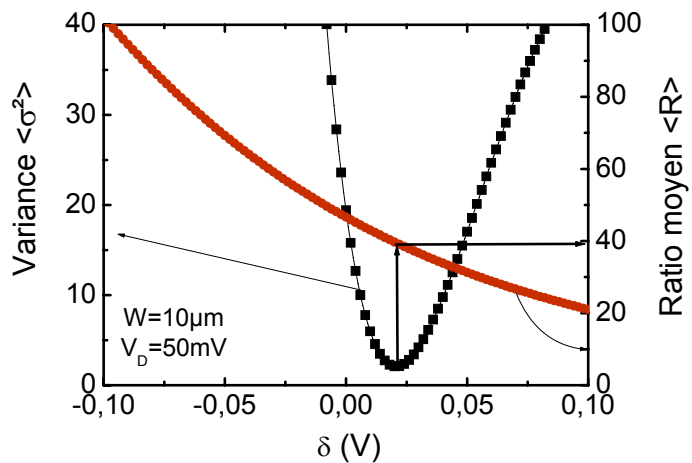


Figure IV-11 : Recherche du minimum de la variance en fonction du « shift ». Ratio moyen résultant.

Outre la limitation évoquée plus haut sur l'indépendance supposée de μ_0 avec L , cette technique souffre d'autres maux. L'extraction n'est parfois pas possible ou peut dépendre de façon conséquente des conditions de mesure et d'extraction (pas en V_G , sélection de la plage

¹⁴¹ En pratique l'extraction se fait de V_G légèrement au-dessus du seuil ($V_{G,min}$) jusqu'à $V_T + 0,8V$ ($V_{G,max}$).

d'extraction,...) ou même de la référence choisie comme étant un transistor long. Cette technique pourra en définitive être utilisée essentiellement pour extraire les $R_{\text{série}}$. Le croisement des paramètres extraits avec différentes techniques devra être manié avec précaution. En effet, étant donné le nombre de paramètres à extraire pour un MOSFET, lorsqu'une technique permet d'en extraire la quasi-totalité, il n'est pas rare que ceux-ci soit légèrement inter-dépendants. C'est pourquoi par exemple des écarts dans l'extraction des $R_{\text{série}}$ ou μ_0 pourront être trouvés selon la méthode d'extraction.

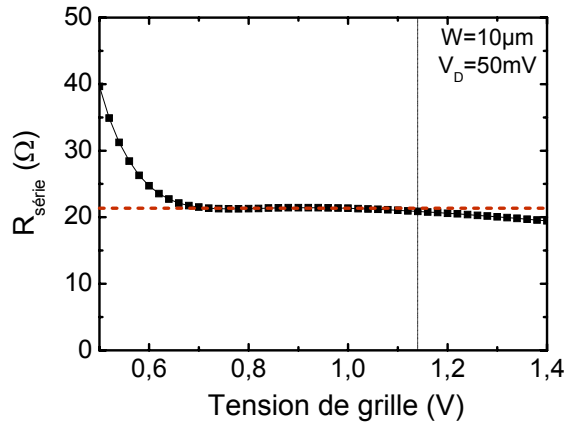


Figure IV-12 : Résistance série parasite extraite par la technique du Shift&Ratio sur un MOSFET de 70nm de longueur de grille.

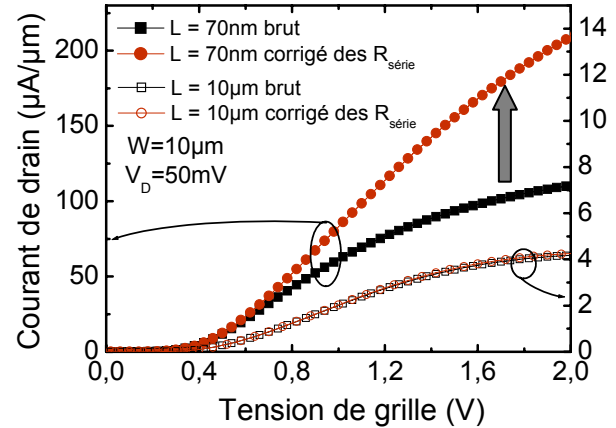
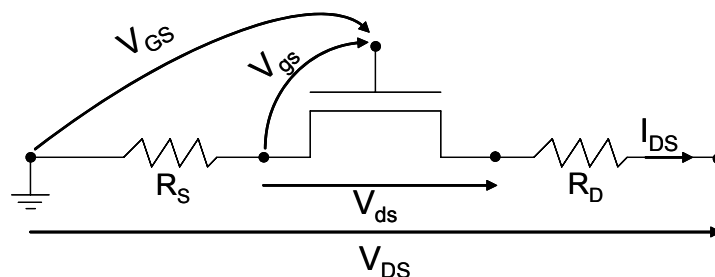


Figure IV-13 : Impact de la résistance série parasite sur le courant de drain d'un transistor court (70nm) et long (10μm). L'impact est négligeable sur le transistor long.

IV.A.5 La dérivée seconde de l'inverse du courant de drain

Cette méthode a été proposée par O. Faynot *et al.* [FAYNOT 94] et P. K. McLarty *et al.* [McLART 95]. On part de l'équation classique du courant de drain en régime linéaire (cf. Équation I-10):

$$I_{Dlin} = \frac{W_{eff}}{L_{eff}} C_{ox,eff} \mu_{eff} (V_{gs} - V_T - V_{ds}/2) \cdot V_{ds} \quad \text{Équation IV-11}$$



Figures IV-14 : Schéma électrique d'un MOSFET montrant les tensions appliquées (indices en majuscules) et les tensions effectives (indices en minuscules) intervenant dans le calcul du courant de drain.

En supposant $R_D=R_S=R_{\text{série}}/2$ (avec R_S est la résistance série parasite côté source), les tensions grille-source et drain-source effectives V_{gs} et V_{ds} sont données par (cf. Figures IV-14):

$$V_{gs} = V_{GS} - R_{\text{série}} I_D / 2 \quad \text{et} \quad V_{ds} = V_{DS} - R_{\text{série}} I_D \quad \text{Équations IV-12}$$

La mobilité effective μ_{eff} est modélisée sous la forme¹⁴² :

¹⁴² cf. Annexe F pour une démonstration de l'origine physique de cette modélisation.

$$\mu_{eff} = \frac{\mu_0}{1 + \theta_1^* \cdot (V_{gs} - V_T - V_{ds}/2) + \theta_2 \cdot (V_{gs} - V_T - V_{ds}/2)^2} \quad \text{Équation IV-13}$$

où μ_0 représente la mobilité à faible champ de grille, θ_1^* et θ_2 représentent les facteurs d'atténuation de la mobilité linéaire et quadratique, respectivement.

Pour simplifier l'écriture des équations, on pose $V_{GT} = V_{GS} - V_t - V_{DS}/2$ qui est équivalent à $V_{GT} = V_{gs} - V_t - V_{ds}/2$ d'après les Équations IV-12. On a également

$$\frac{d}{dV_{GS}} = \frac{d}{dV_{GT}} \times \frac{dV_{GT}}{dV_{GS}} = \frac{d}{dV_{GT}} \quad \text{car} \quad \frac{dV_{GT}}{dV_{GS}} = 1 \quad \text{Équation IV-14}$$

L'expression de la mobilité (Équation IV-13) peut alors s'écrire :

$$\mu_{eff} = \frac{\mu_0}{1 + \theta_1^* \cdot V_{GT} + \theta_2 \cdot V_{GT}^2} \quad \text{Équation IV-15}$$

et en posant :

$$\beta_0 = \frac{\mu_0 \cdot C_{ox,eff} \cdot W_{eff}}{L_{eff}} \quad \text{Équation IV-16}$$

appelé aussi le gain du transistor, l'équation du courant de drain devient, après arrangements :

$$I_D = \beta_0 \frac{V_{GT} \cdot V_{DS}}{1 + (\theta_1^* + \beta_0 R_{série}) V_{GT} + \theta_2 \cdot V_{GT}^2} \quad \text{Équation IV-17}$$

L'Équation IV-17 révèle ainsi que les résistances séries parasites n'interviennent que dans le terme d'atténuation linéaire de la mobilité que l'on peut écrire sous la forme :

$$\theta_1 = \theta_1^* + \beta_0 R_{série} \quad \text{Équation IV-18}$$

L'expression de l'inverse du courant de drain s'écrit :

$$\frac{1}{I_D} = \frac{1 + \theta_1^* \cdot V_{GT} + \theta_2 \cdot V_{GT}^2}{\beta_0 \cdot V_{DS} \cdot V_{GT}} + \frac{R_{série}}{V_{DS}} \quad \text{Équation IV-19}$$

Afin d'extraire les différents paramètres de la mesure du courant de drain (V_T , β_0 , θ_1 , θ_2 , $R_{série}$), on dérive l'Équation IV-19 par rapport à V_{GS} (ou par rapport à V_{GT} ce qui est équivalent d'après l'Équation IV-14). La dérivée première permet d'éliminer θ_1 et $R_{série}$. On l'appelle F :

$$F(V_{GS}) = \frac{d(1/I_D)}{dV_{GS}} = \frac{1}{\beta_0 \cdot V_{DS}} \cdot \left(\theta_2 - \frac{1}{V_{GT}^2} \right) \quad \text{Équation IV-20}$$

La pente de $F(1/V_{GT}^2)$ permet de déterminer β_0 et l'intersection avec l'axe des abscisses le coefficient θ_2 . Cela nécessite de connaître V_{GT} , c'est-à-dire V_T . On note ici l'avantage principal de cette méthode qui, en utilisant les dérivées de l'inverse du courant de drain, supprime l'influence des résistances séries parasites, contenues dans le terme θ_1 (Équation IV-18).

Pour éliminer θ_2 on dérive F par rapport à V_{GS} . On peut alors définir la fonction G, linéaire en $V_{GT} = V_{GS} - V_t - V_{DS}/2$ par :

$$G(V_{GS}) = \left[\frac{d^2(I_D)}{dV_{GS}^2} \right]^{-1/3} = \left(\frac{\beta_0 \cdot V_{DS}}{2} \right)^{1/3} \cdot (V_{GS} - V_t - V_{DS}/2) \quad \text{Équation IV-21}$$

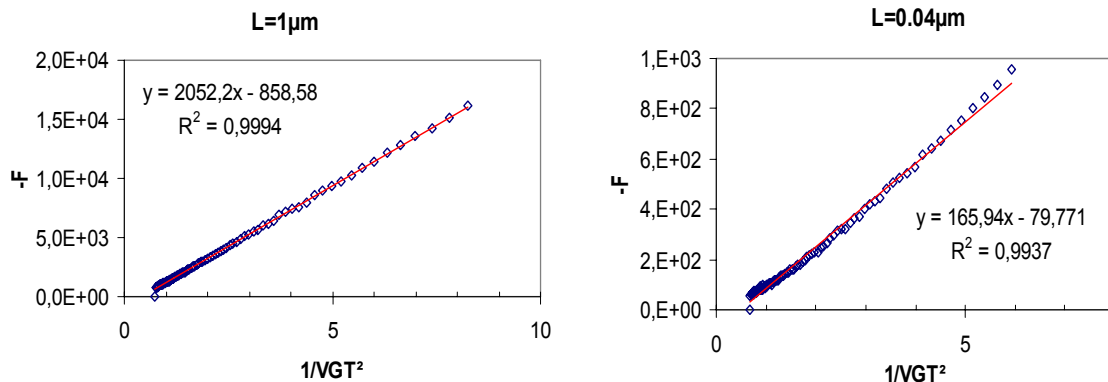
La pente de la courbe $G(V_{GS})$ donne par conséquent β_0 et l'intersection avec l'axe des abscisses $V_T + V_{DS}/2$, ce qui permet d'extraire la tension de seuil. Connaissant β_0 et V_T , la fonction F permet ensuite de remonter à θ_2 :

$$\theta_2 = \frac{1}{V_{GT}^2} + \beta_0 \cdot V_{DS} \cdot F(V_{GS}) \quad \text{Équation IV-22}$$

On peut également définir la fonction H par :

$$H(V_{GS}) = \frac{\beta_0 \cdot V_{DS}}{I_D} - \frac{1}{V_{GT}} - \theta_2 \cdot V_{GT} = \theta_1^* + R_{\text{série}} \cdot \beta_0 \quad \text{Équation IV-23}$$

Ainsi on ne peut décorrélérer les effets d'atténuation linéaire de mobilité (θ_1) des effets de résistance série ($R_{\text{série}}$) à partir d'une seule caractéristique $I_D(V_{GS})$. Ceci étant, pour un transistor très long, pour lequel β_0 est faible (condition $\beta_0 R_{\text{série}} \ll \theta_1^*$, i.e. $\theta_1^* \cong \theta_1$), la fonction $H(V_{GS})$ en inversion forte donne directement θ_1 .



Figures IV-15 : Détermination du paramètre θ_2 avec le tracé $-F(1/V_{GT}^2)$. La linéarité se dégrade avec la réduction des dimensions du transistor.

À partir des valeurs de $H(V_{GS})$ en inversion forte extraites des caractéristiques pour différentes longueurs de grille tracées en fonction des β_0 extraits de ces mêmes caractéristiques, on obtient théoriquement une droite dont la pente vaut $R_{\text{série}}$ et dont l'intersection avec l'axe des ordonnées est θ_1^* d'après l'Équation IV-18 (Figure IV-16).¹⁴³

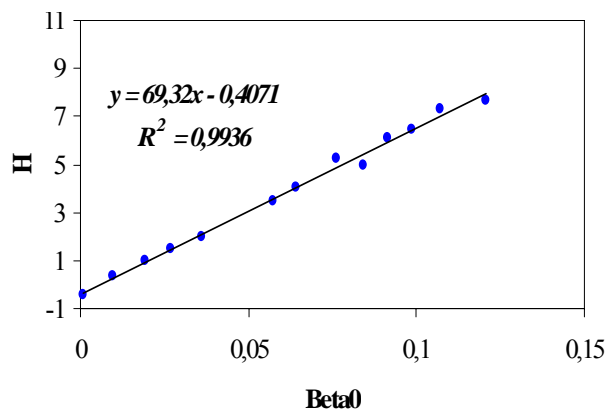
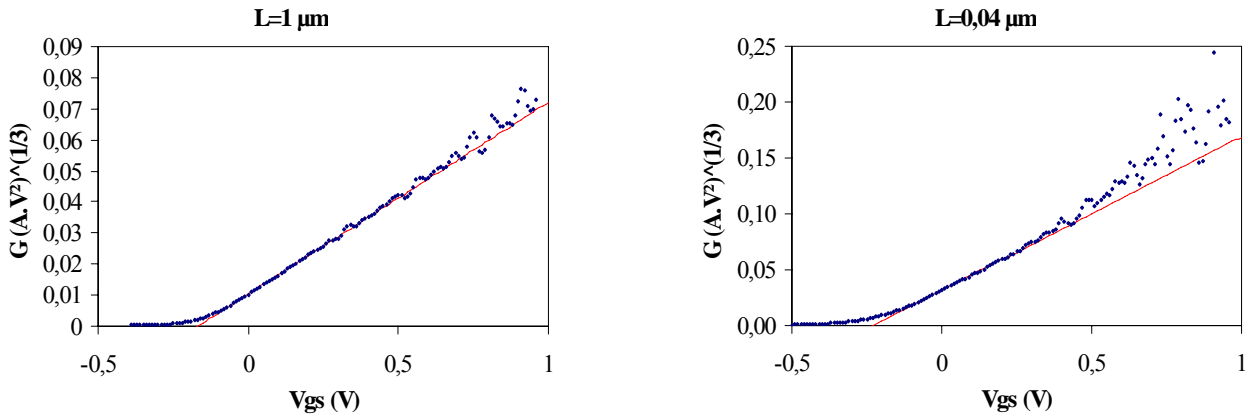


Figure IV-16 : Extraction de la résistance série parasite à partir de la pente de la fonction $H(\beta_0)$

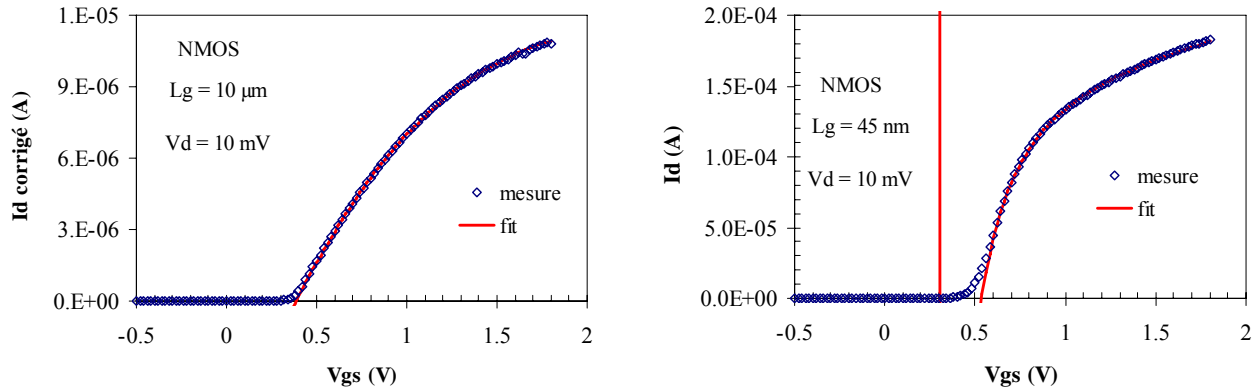
¹⁴³ Alors que la technique Shift&ratio permet d'extraire un $R_{\text{série}}$ propre à chaque dispositif en considérant une mobilité identique quelque soit le transistor, cette technique (de même que celle de la fonction Y) considère un $R_{\text{série}}$ identique pour tous les transistors mais avec des paramètres de mobilité (μ_0 , θ_1 , θ_2) propres à chaque dispositif.

L'inconvénient majeur de cette méthode par rapport à la fonction Y améliorée, présentée au paragraphe suivant, est le bruit engendré par le calcul de la dérivée seconde de l'inverse de I_D . Ce bruit, bien que dépendant des conditions expérimentales et de calcul (pas de mesure en V_G , temps d'intégration, dérivée moyennée, lissée, glissée de la discrétisation...[ROCHET 04]), est inévitable et augmente avec la diminution de la longueur de grille (cf. Figures IV-17).



Figures IV-17 : Exemples de caractéristiques $G(V_{GS})$ permettant l'extraction de β_0 et de V_T . Le bruit observé sur la dérivée seconde augmente avec la réduction de L_G

Les ajustements du courant de drain sont donnés sur les Figures IV-18.



Figures IV-18 : Exemple de fit avec la méthode de la dérivée seconde de l'inverse du courant de drain pour deux longueurs de grille effectives ($10 \mu m$ et $45 nm$). Les courants ont été préalablement corrigés des fuites de grille. On peut noter qu'avec cette méthode la tension de seuil de seuil est légèrement sur-estimée.

Pour extraire enfin la longueur de grille effective et la mobilité à faible champ des porteurs, on utilise le tracé de $\beta_0 = f(1/L_G)$.

$$\beta_0 = \frac{\mu_0 \cdot C_{ox,eff} \cdot W_{eff}}{L_G - \Delta L} \quad \text{Équation IV-24}$$

Cependant, ces deux paramètres étant indissociables dans l'expression de β_0 , l'un des deux devra être fixé ou connu. Si l'extraction de la longueur effective a pu être réalisée à partir de mesures capacitives comme exposé plus haut, alors on pourra étudier avec précision la dépendance de μ_0 avec la longueur de grille effective. Dans le cas contraire, on cherchera à extraire une seule valeur ΔL , supposée identique à tous les transistors, typiquement pour des longueurs de grille pas trop petites, *i.e.* pour lesquelles la mobilité μ_0 est constante. Notons que pour extraire une valeur fiable de μ_0 il est nécessaire de connaître précisément la largeur effective des transistors ainsi que la valeur de $C_{ox,eff}$. Si les transistors étudiés sont courts et étroits, il sera impossible d'extraire avec précision la mobilité à faible champ des porteurs. De plus la valeur de $C_{ox,eff}$ devra être mesurée

avec précaution puisque pour des transistors longs et larges, les fuites de grille peuvent perturber la mesure capacitive¹⁴⁴.

IV.A.6 La fonction Y et Y améliorée

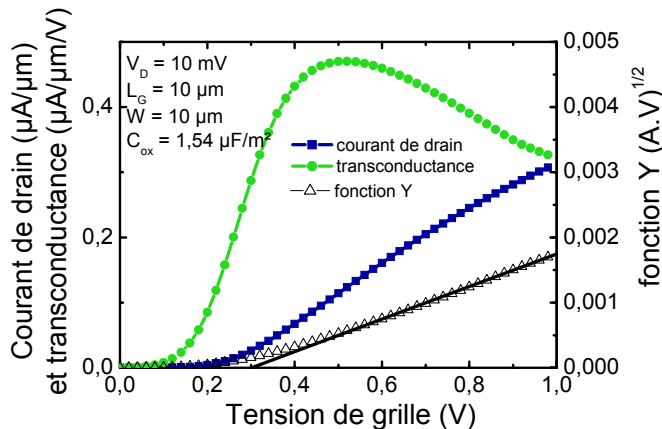
Cette méthode, proposée par Ghibaudo [GHIBAU 88], est basée elle aussi sur l'extraction des paramètres de l'Équation IV-11. On définit une fonction Y telle que :

$$Y(V_g) = I_D / \sqrt{g_m} \quad \text{Équation IV-25}$$

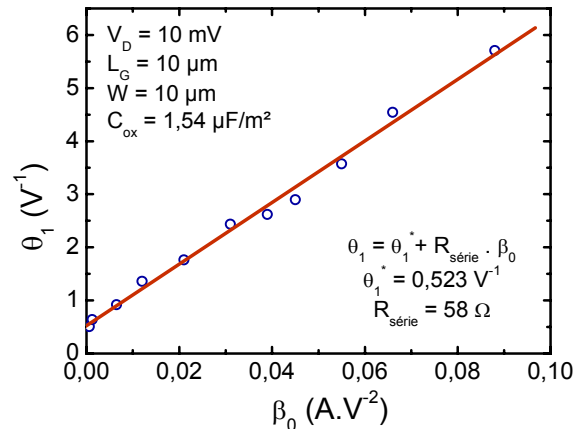
avec g_m la transconductance $g_m = \partial I_D / \partial V_G$. Si le paramètre d'atténuation quadratique de la mobilité θ_2 est considéré comme nul, on obtient :

$$Y(V_g) = \sqrt{\beta_0 V_d} (V_g - V_T - V_d/2) \quad \text{Équation IV-26}$$

Cette équation montre alors l'intérêt majeur de cette méthode : on s'affranchit des effets de résistances séries parasites ainsi que de l'atténuation de la mobilité avec le champ de grille. De plus cette méthode n'utilise qu'une seule dérivée (via g_m) ce qui limite le bruit induit (contrairement à la méthode de McLarty et Faynot). La fonction Y est linéaire avec V_G , ce qui permet d'extraire facilement la tension de seuil V_T en extrapolant la partie linéaire sur l'axe des abscisses et le gain β_0 du transistor en prenant le carré de la pente de la partie linéaire de la fonction Y (cf. Figures IV-19). L'extraction s'effectue en forte inversion, où le modèle du courant est valide. En pratique, on sélectionne les points de mesure pour les valeurs de V_G supérieures à celles correspondant au maximum de la transconductance $g_{m,max}$ ¹⁴⁵.



Figures IV-19 : Exemple de fonction Y sur un transistor long. On peut noter qu'avec cette méthode la tension de seuil de seuil est légèrement sur-estimée.



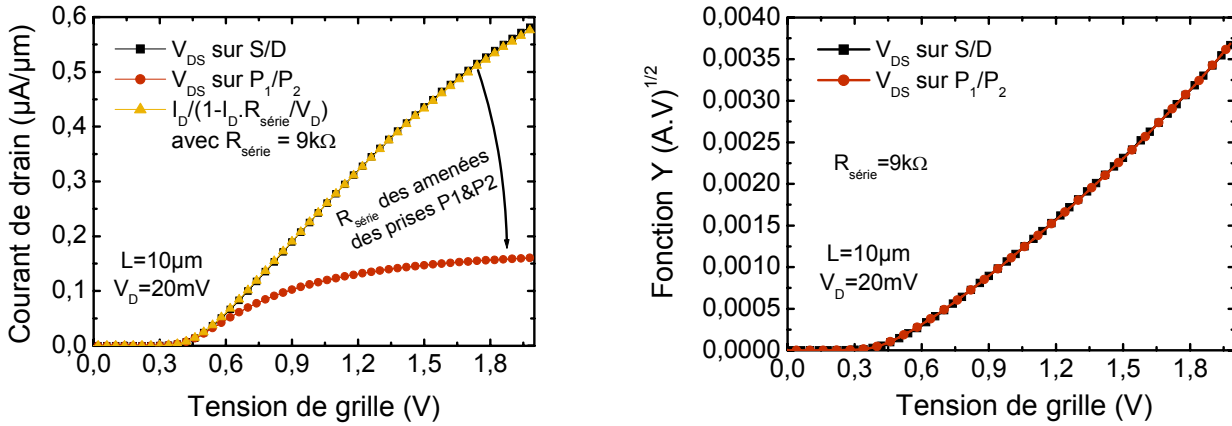
Figures IV-20 : Extraction de la résistance série parasite et du paramètre intrinsèque θ_1^* d'atténuation de la mobilité avec le champ effectif.

Pour illustrer et appuyer l'efficacité de cette méthode concernant sa non dépendance de l'extraction de μ_0 avec la valeur des $R_{série}$, nous l'avons appliquée sur des MOSFETs à prises Kelvin (présentés au §III.A.2). Deux conditions de mesures ont été utilisées. Dans un premier temps, la polarisation drain/source a été appliquée aux bornes des prises S/D (la résistance série est alors minimale). Dans un deuxième temps, la polarisation drain/source a été appliquée aux bornes des prises P₁/P₂ (la résistance série est alors beaucoup plus forte en raison de la longueur des amenées de ces prises et de leur petite largeur). Les résultats sont présentés sur les Figures IV-21.

¹⁴⁴ La mesure à plus haute fréquence permet de limiter les effets de fuites de grille sur la qualité du signal mesuré mais les effets de $R_{série}$ dans la grille font diminuer la valeur de la capacité à haute fréquence. Un compromis doit être trouvé.

¹⁴⁵ Le maximum de la transconductance est un moyen rapide d'obtenir une idée sur l'évolution de la mobilité à faible champ avec la géométrie du dispositif par exemple. En effet on a $g_{m,max} \approx \beta_0 = \mu_0 \cdot C_{ox,eff} \cdot W_{eff} / L_{eff}$.

Les fonctions Y calculées sont parfaitement superposées. Ce résultat est très intéressant puisqu'il confirme la validité de cette extraction pour les technologies actuelles pour lesquelles le ratio $R_{\text{canal}}/R_{\text{série}}$ est compris entre 4/3 (HP) et 4 (LOP) environ (dans notre expérience $R_{\text{canal}} \approx 3,3 \text{ k}\Omega$ pour $V_G = 2\text{V}$ alors que $R_{\text{série}}$ des amenées $P_1 \& P_2$ vaut environ $9\text{k}\Omega$ soit un ratio $R_{\text{canal}}/R_{\text{série}} < 0,4$).



Figures IV-21 : (à gauche) Courant de drain d'un transistor long pour deux conditions de polarisation S/D. $R_{\text{série}}$ a été extrait à l'aide du modèle de courant présenté par l'Équation III-5. On peut aussi l'extraire à l'aide de l'Équation IV-18 en considérant $R_{\text{série}}$ négligeable et donc $\theta_1^* = \theta_1$ lorsque V_{DS} est appliquée sur S/D comparativement au cas où V_{DS} est appliquée sur P_1/P_2 . (à droite) Fonctions Y résultantes en fonction de la tension de grille.

Pour obtenir le coefficient θ_1 , il suffit de multiplier les pentes des fonctions Y et X, notées respectivement S_Y et S_X . La fonction X étant définie par :

$$X(V_g) = 1/\sqrt{g_m} = 1/\sqrt{\beta_0 V_d} \cdot [1 + \theta_1 (V_g - V_T - V_d/2)] \quad \text{Équation IV-27}$$

$$\theta_1 = S_X \cdot S_Y \quad \text{Équation IV-28}$$

Pour obtenir la valeur intrinsèque θ_1^* du coefficient d'atténuation de la mobilité, on procédera comme exposé au paragraphe précédent.

Cependant pour les oxydes de grille ultraminces, le champ électrique de grille devient si fort que le modèle de la mobilité effective a dû être modifié (Équation IV-13). Le terme d'atténuation quadratique θ_2 devient nécessaire pour rendre compte des caractéristiques $I_D(V_G)$ sur une large gamme de champ électrique. La fonction Y s'écrit alors

$$Y(V_g) = \sqrt{\frac{\beta_0 V_d}{1 - \theta_2 (V_g - V_T - V_d/2)^2}} (V_g - V_T - V_d/2) = \frac{Y_{\theta_2=0}(V_g)}{\sqrt{1 - \theta_2 (V_g - V_T - V_d/2)^2}} \quad \text{Équation IV-29}$$

La procédure permettant d'extraire tous les paramètres intervenant dans cette équation est appelée technique de la fonction Y améliorée [MOURRA 00]. Cela consiste à procéder par itérations. Dans un premier temps, on extrait des valeurs approchées de $V_{T,0}$ et $\beta_{0,0}$ des valeurs réelles finales V_T et β_0 . Pour cela on considère dans un premier temps que θ_2 est nul afin de se retrouver dans le cas décrit plus haut. Ensuite, à partir de ces deux paramètres approchés, on calcule une nouvelle fonction, notée θ_{eff} :

$$\theta_{\text{eff}} = \frac{\beta_{0,0} V_d}{I_d} - \frac{1}{V_g - V_{T,0} - V_d/2} \quad \text{Équation IV-30}$$

Si les paramètres $V_{T,0}$ et $\beta_{0,0}$ étaient corrects, la fonction θ_{eff} devrait être égale à :

$$\theta_{\text{eff}} = \theta_1 + \theta_2 (V_g - V_T - V_d/2) \quad \text{Équation IV-31}$$

Comme $V_{T,0}$ et $\beta_{0,0}$ ne sont que des valeurs approchées, les valeurs $\theta_{1,0}$ et $\theta_{2,0}$ extraites à partir de la régression linéaire de l'Équation IV-31 en forte inversion sont elles aussi des valeurs approchées des valeurs exactes θ_1 et θ_2 (Figure IV-22). L'étape suivante consiste alors à calculer une nouvelle fonction Y qui sera plus linéaire que la fonction Y originelle en raison du terme θ_2 . Nous calculons alors la fonction Y_0 , à partir des paramètres extraits approchés, telle que :

$$Y_0 = Y \times \sqrt{1 - \theta_{2,0} \left(V_g - V_{T,0} - \frac{V_d}{2} \right)^2} \quad \text{Équation IV-32}$$

Si le paramètre $\theta_{2,0}$ est égal au paramètre réel θ_2 , on devrait avoir, d'après l'Équation IV-29, $Y_0 = \sqrt{\beta_0 V_d} (V_g - V_T - V_d/2)$. Ce qui nous permettrait d'obtenir les valeurs exactes de V_T et β_0 . Généralement ce n'est pas tout à fait le cas mais la fonction Y_0 présente une allure plus linéaire avec V_G que la fonction originelle Y . Grâce à cette fonction de nouveaux paramètres $V_{T,1}$, $\beta_{0,1}$, $\theta_{1,1}$ et $\theta_{2,1}$ peuvent être extraits en suivant la même procédure que précédemment. La procédure est répétée jusqu'à convergence, *i.e.* jusqu'à ce que la fonction Y_n présente une très bonne linéarité sur toute la gamme de V_G exploitée. En règle générale, 2 à 3 itérations sont nécessaires (Figure IV-24).

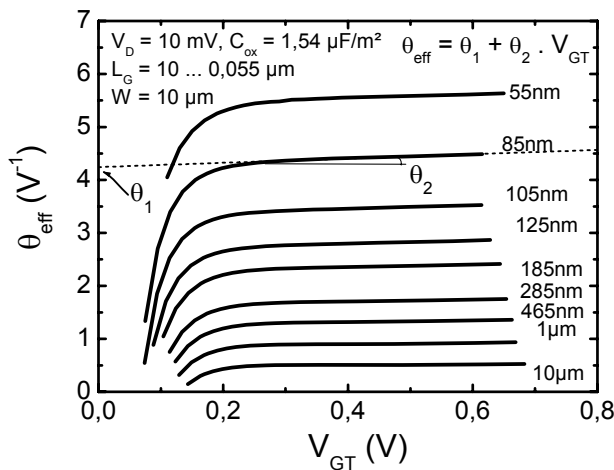


Figure IV-22 : Exemple de fonction θ_{eff} sur une série de transistors de longueurs de grille variables. En forte inversion la fonction devient linéaire avec V_{GT} . On voit clairement sur cette figure l'augmentation du paramètre θ_1 lorsque la longueur de grille diminue (ordonnée à l'origine), traduisant l'effet des résistances séries parasites. θ_2 est la pente de ces caractéristiques pour chaque longueur de grille.

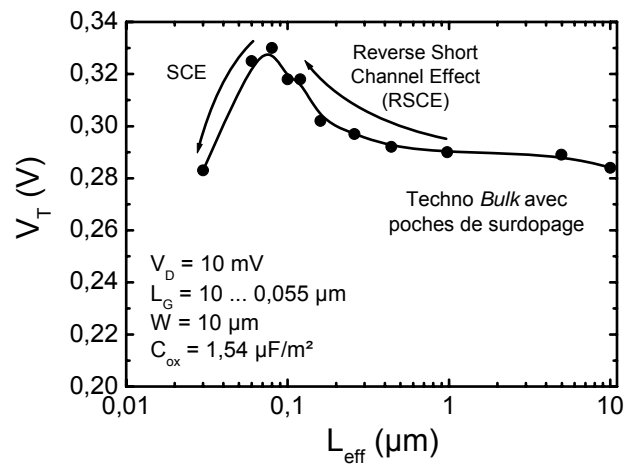


Figure IV-23 : Evolution de la tension de seuil, extraite par la méthode de la fonction Y améliorée, en fonction de la longueur de grille sur une technologie sur silicium massif optimisée pour $L=100\text{nm}$, avec poches de surdopage (cf. Chapitre I). On voit clairement les effets de canal court inverse puis, pour les longueurs de grille extrêmement agressives, l'effet SCE (chute de la tension de seuil).

L'extraction de ΔL et/ou μ_0 et de $R_{\text{série}}$ se réalise alors de la même manière que celle présentée pour la méthode de McLarty et Faynot.

D'autres versions de cette méthode ont été proposées dans la littérature. Par exemple Cros *et al.* proposent d'introduire une deuxième tension de seuil, V_{T2} , dans le modèle du courant correspondant au terme où intervient θ_2 [CROS 05].

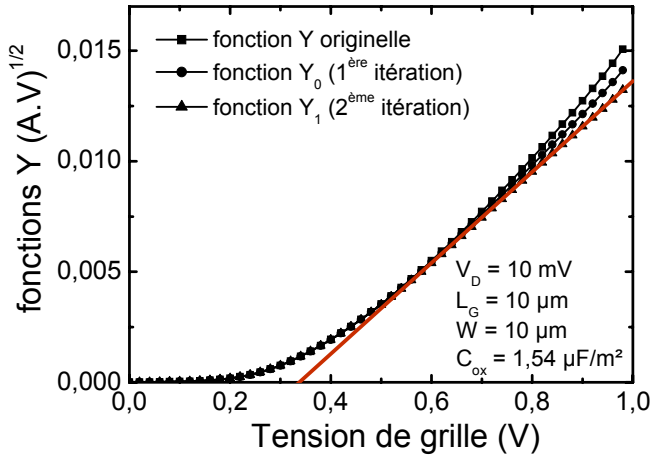


Figure IV-24 : Evolution des fonctions Y_i avec le nombre d'itérations. La fonction Y_1 présente une bonne linéarité sur la gamme des V_G en forte inversion. Les paramètres extraits sont alors proches des paramètres réels.

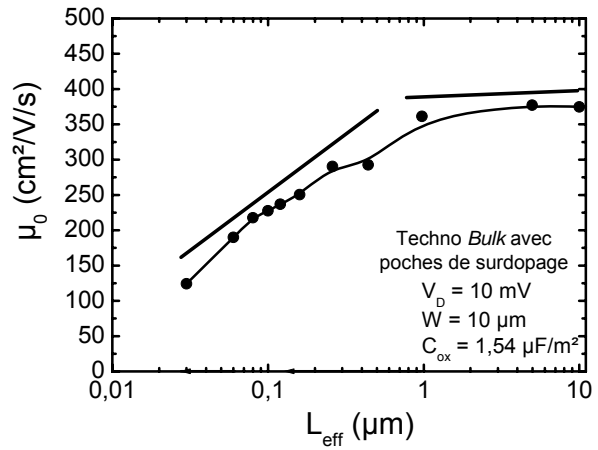
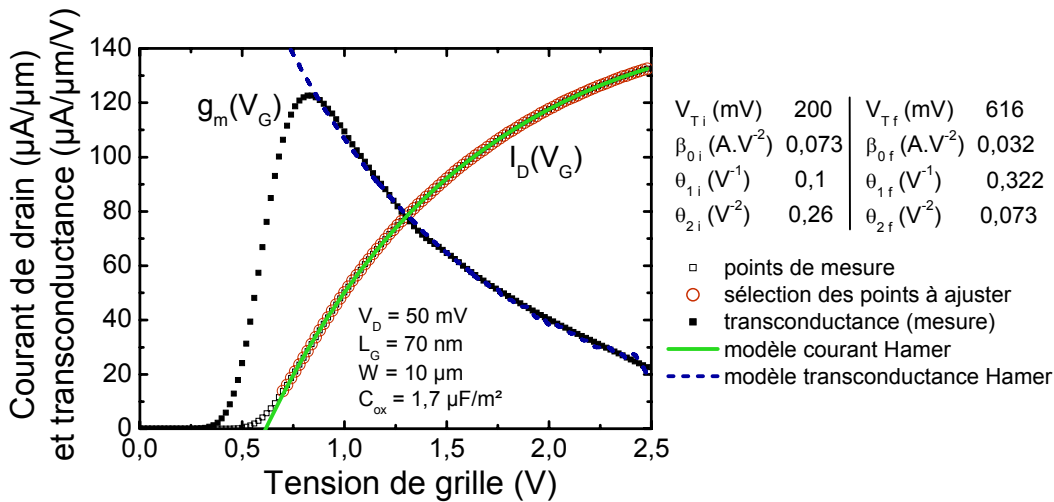


Figure IV-25 : Evolution de la mobilité à faible champ en fonction de la longueur de grille illustrant la dégradation de μ_0 pour $L_G < 0,5 \mu m$ sur une technologie sur silicium massif (cf. §V.B).

IV.A.7 Méthode de Hamer et ajustements numériques

La méthode de Hamer consiste simplement en une procédure d'optimisation basée sur un algorithme d'ajustement numérique du modèle de courant en régime linéaire. Originellement, le modèle de mobilité avec seulement θ_1 comme paramètre d'atténuation de la mobilité avec le champ de grille a été utilisé. Seuls trois paramètres sont alors à déterminer : V_T , β_0 et θ_1 [HAMER 86]. Les intérêts principaux de cette méthode sont son extrême simplicité et sa rapidité de mise en œuvre : seules trois mesures de courant en régime d'inversion suffisent pour extraire les trois inconnues. C'est pourquoi cette méthode est largement utilisée dans l'industrie.



Figures IV-26 : Exemple d'extraction des paramètres avec la méthode de Hamer sur un transistor ultracourt. Sont montrées les valeurs initiales et finales des variables d'ajustement ainsi que la transconductance qui montre la précision de la méthode (grandeur plus sensible aux erreurs d'ajustement).

Elle peut être étendue au modèle de mobilité avec le terme additionnel θ_2 . Les quatre variables à ajuster sont alors V_T , β_0 , θ_1 et θ_2 de l'Équation IV-11. On parle plus généralement d'ajustement numérique lorsque l'on cherche à minimiser l'erreur entre les mesures et le modèle de courant par itérations numériques. Différents algorithmes, linéaires ou non, existent afin de trouver les paramètres engendrant une fonction erreur la plus faible possible (parmi les algorithmes non-linéaires on distingue : Levenberg-Macquardt, gradient conjugué ou quasi-Newton). Cependant le résultat peut dépendre des valeurs initiales paramétrées pour les variables d'ajustement. Le positionnement des points de tension de grille choisis en forte inversion influe aussi sur le résultat. Dans ce travail expérimental, nous avons préféré ajuster avec le modèle de courant de l'Équation

IV-11 et de mobilité de l'Équation IV-13 les points de mesure correspondant à toute une gamme de tension de grille en inversion (typiquement du maximum de la transconductance jusqu'à environ 0,6V au-dessus de ce point). Ceci dans le but de minimiser le rôle joué par le choix des conditions initiales de mesure.

IV.A.8 Méthode basée sur la dérivée de la résistance totale par rapport à la longueur de grille dR_{tot}/dL_G

Cette technique a récemment montré un regain d'intérêt [NAYFEH 06]. Elle a été initialement utilisée pour extraire les $R_{série}$ et la longueur effective (ΔL) des transistors MOS [NIU 99]. Elle a ensuite été délaissée à cause de la dépendance des $R_{série}$ avec V_G dans certaines technologies submicroniques. Aujourd'hui elle est surtout utilisée pour extraire la mobilité des canaux courts.

Cette technique consiste simplement à dériver la résistance totale par rapport à la longueur de grille (ou dessinée sur le masque). La résistance totale peut s'écrire d'après l'équation du courant de drain en régime linéaire :

$$R_{tot} = \frac{V_D}{I_D} = R_{série} + \frac{L_{eff}}{W\mu_{eff}Q_{inv}} = \frac{L_m}{W\mu_{eff}Q_{inv}} + \left(R_{série} - \frac{\Delta L}{W\mu_{eff}Q_{inv}} \right) \quad \text{Équation IV-33}$$

En différentiant par rapport à L_G (ou L_m) on obtient :

$$\frac{dR_{tot}}{dL_G} = \frac{1}{W\mu_{eff}Q_{inv}} \quad \text{Équation IV-34}$$

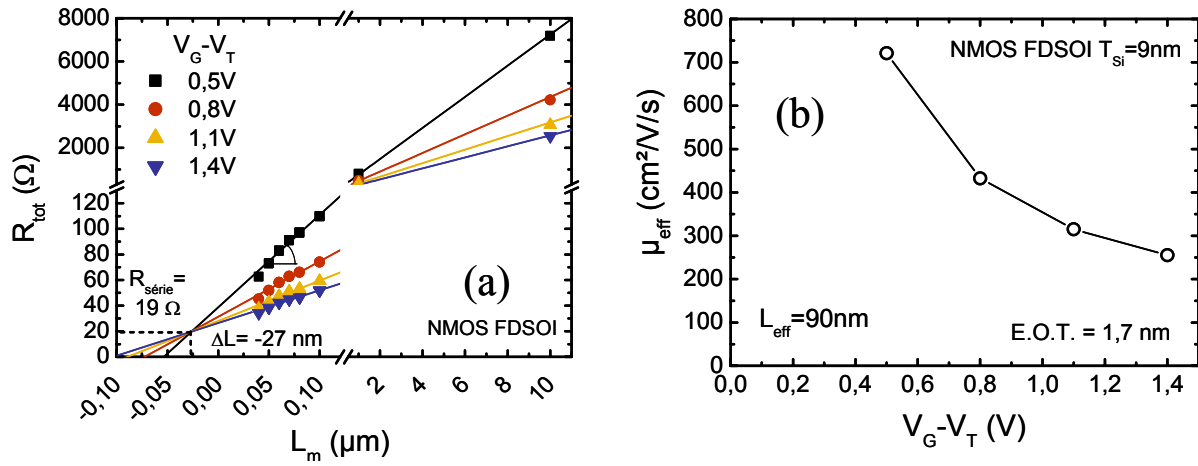
d'où

$$\mu_{eff} = \left(WQ_{inv} \frac{dR_{tot}}{dL_G} \right)^{-1} \quad \text{Équation IV-35}$$

On peut donc extraire la mobilité effective en fonction de la charge d'inversion sans connaître *a priori* les valeurs exactes des longueurs électriques effectives de grille L_{eff} et des résistances séries parasites $R_{série}$. Notamment $R_{série}$ et ΔL peuvent être des fonctions quelconques de V_G . Les hypothèses restantes sont : μ_{eff} et $R_{série}$ indépendantes de L_{eff} (L_G) pour pouvoir extraire la mobilité à partir de la pente de $R_{tot}(L_m)$. D'où l'importance de choisir des longueurs de grilles courtes et dans une gamme pas trop large pour satisfaire au mieux cette hypothèse. La charge d'inversion peut être soit calculée en utilisant l'approximation $C_{ox}(V_G - V_T)$ soit par intégration de la mesure de la capacité grille-canal C_{GC} ou encore par solution numérique de l'équation de Poisson pour une meilleure précision.

Si $R_{série}$ et ΔL sont indépendants de V_G , il est alors possible d'extraire en plus les valeurs de $R_{série}$ et ΔL en traçant les valeurs de R_{tot} en fonction de L_m pour différentes valeurs de $V_G - V_T$ (ou N_{inv}). Les courbes se croisent en un point dont l'abscisse correspond au ΔL et l'ordonnée à $R_{série}$ (Figures IV-27).

En définitive, au cours de ce mémoire, les résultats de mobilité à faible champ μ_0 ont été obtenus la plupart du temps par la méthode de la fonction Y améliorée. Parfois certains résultats (μ_0 ou $R_{série}$) ont été extraits par la méthode de la fonction Y originelle (lorsque θ_2 était très faible ou que le diélectrique de grille était épais et que les tensions de grille restaient suffisamment faibles) ou par la dérivée seconde de l'inverse de courant de drain, ou encore par la méthode de Hamer (pour une extraction plus rapide) après avoir vérifiée sa pertinence avec quelques extractions de type fonction Y. Chacune d'entre elles fournit des résultats très similaires.


 Figures IV-27 : (a) Extractions de $R_{série}$, ΔL et μ_{eff} par la méthode $R_{tot}(L_m)$. (b) Evolution correspondante de μ_{eff} avec $V_G - V_T$.

IV.A.9 Extraction des variations de $R_{série}$ et de mobilité par corrélation entre deux dispositifs

Il est souvent utile de comparer deux procédés technologiques entre eux afin de déterminer rapidement l'effet des étapes technologiques sur les propriétés électriques du composant. En particulier les variations de résistance série parasite et de mobilité sont des données essentielles pour l'amélioration des performances d'un dispositif. Nous proposons ici une méthode simple qui consiste à corréler la résistance totale du MOSFET, facilement mesurable, entre deux dispositifs distincts. Il suffit de tracer la résistance totale d'un dispositif B pour différentes tensions de grille normalisée de la tension de seuil, $R_{TOT,B}(V_{GT})$, en fonction de celle d'un dispositif A, $R_{TOT,A}(V_{GT})$. La résistance totale d'un transistor « i » se décompose selon :

$$R_{TOT}^i(V_{GT}) = R_{canal}^i(V_{GT}) + R_{série}^i \quad \text{Équation IV-36}$$

Avec $R_{canal}^i(V_{GT}) = L_{eff} / W \mu_{eff} C_{ox,eff} V_{GT}$ en forte inversion. Si l'on suppose les relations

$$\begin{cases} R_{série}^B = R_{série}^A + \Delta R_{série} \\ R_{canal}^B(V_{GT}) = \alpha \cdot R_{canal}^A(V_{GT}) \end{cases} \quad \text{Équation IV-37}$$

Si, de plus, les dispositifs ont la même géométrie (même W_{eff} et L_{eff}) et le même couplage capacitif (même $C_{ox,eff}$) alors

$$\alpha = \mu_{eff}^A / \mu_{eff}^B \quad \text{Équation IV-38}$$

À partir des Équation IV-36 et Équation IV-37, on obtient une droite :

$$R_{TOT}^B(V_{GT}) = a \cdot R_{TOT}^A(V_{GT}) + b \quad \text{Équation IV-39}$$

Ainsi le tracé de $R_{TOT}^B = f(R_{TOT}^A)$ pour différentes tensions de grille au-dessus du seuil nous donne une droite de pente « a » et d'ordonnée à l'origine « b » qui s'expriment selon :

$$\begin{cases} a = \alpha \approx \mu_{eff}^A / \mu_{eff}^B \\ b = \Delta R_{série} + R_{série}^A \cdot (1 - \alpha) \end{cases} \quad \text{Équation IV-40}$$

La Figure IV-28 illustre les caractéristiques attendues. L'intérêt majeur de cette méthode, en plus de sa simplicité, est qu'aucune hypothèse n'est effectuée sur le modèle de mobilité. Une pente supérieure à l'unité signifie une perte de mobilité. L'ordonnée à l'origine peut être approchée par la

variation des R_{serie} si le produit $R_{\text{serie}}^A \cdot (1-\alpha)$ est négligeable devant ΔR_{serie} . Dans le cas contraire, pour extraire la variation intrinsèque ΔR_{serie} , il est nécessaire de connaître la valeur d'une des deux $R_{\text{serie}}^{A \text{ ou } B}$, en faisant donc appel à une autre technique présentée plus haut par exemple. Selon la plage de tension V_{GT} analysée, on peut remonter aux variations de mobilité avec la charge d'inversion si le tracé $R_{\text{TOT}}^B = f(R_{\text{TOT}}^A)$ n'est pas parfaitement linéaire. Notons enfin qu'il est nécessaire d'extraire par une autre technique la tension de seuil de chaque dispositif. Un exemple d'extraction sur dispositifs FDSOI est donné sur la Figure IV-29.

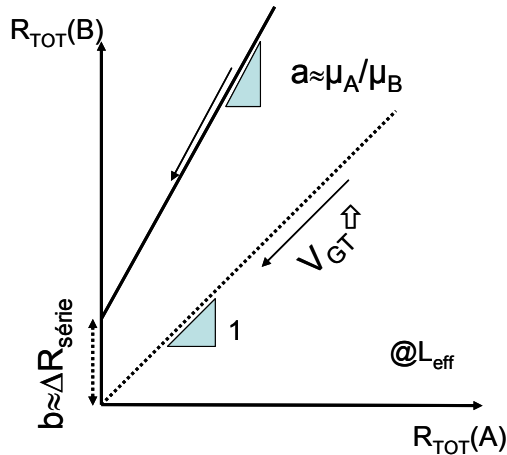


Figure IV-28 : Principe de l'extraction de $\Delta\mu/\mu$ et ΔR_{serie} par corrélation de la résistance totale en inversion forte entre deux dispositifs

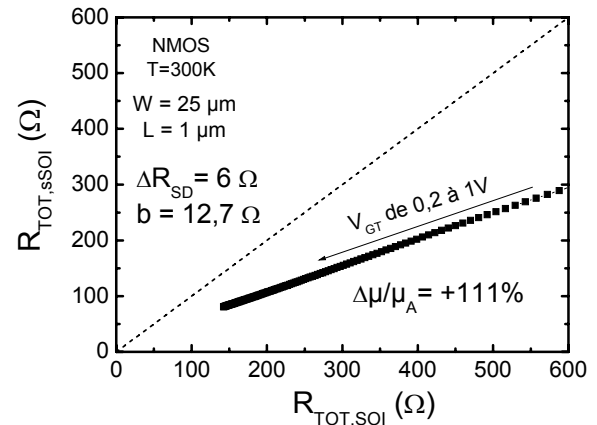


Figure IV-29 : Application de la méthode d'extraction par corrélation des $R_{\text{TOT,sOI}}$ sur des dispositifs FDSOI (sOI 20% vs SOI)

IV.B La technique split C-V¹⁴⁶

IV.B.1 Principe

Il s'agit de la technique d'extraction de la mobilité effective la plus utilisée encore aujourd'hui pour les transistors longs et larges.

Elle consiste en des mesures capacitives couplées à deux mesures de courants en régime linéaire (faibles V_D). La mobilité effective est définie par :

$$\mu_{\text{eff}} = \frac{L_{\text{eff}}}{W} \cdot \frac{g_d}{Q_{\text{inv}}} \quad \text{Équation IV-41}$$

avec g_d la conductance du transistor, donnée par :

$$g_d = \partial I_D / \partial V_{DS} \quad \text{Équation IV-42}$$

En pratique, g_d peut être déterminée par des mesures de I_D à deux valeurs faibles de V_D .

La charge d'inversion de surface au-dessus du seuil de conduction Q_{inv} est mesurée en intégrant la capacité grille-canal, par unité de surface, de l'accumulation à l'inversion :

$$Q_{\text{inv}}(V_g) = \int_{V_{\text{acc}}}^{V_g} C_{gc}(V_g) dV_g \quad \text{Équation IV-43}$$

Le champ électrique effectif est donné par l'Équation II-53, rappelé ci-dessous :

¹⁴⁶ Les articles de référence de cette technique sont [KOOMEN 73] et [SODINI 82]. Elle a été ensuite améliorée pour la rendre opérationnelle aux très courtes longueurs de grille [ROMANJ 04a,b,c].

$$E_{eff} = \frac{Q_{dep} + \eta \cdot Q_{inv}}{\epsilon_{Si}} \quad \text{Équation IV-44}$$

La charge de désertion est déterminée à partir de la mesure de la capacité grille-substrat C_{gb} (par unité de surface) ou de façon théorique par les relations¹⁴⁷ :

$$\begin{cases} Q_{dep,mes} = \int_{V_{FB}}^{V_{inv}} C_{gb}(V_g) dV_g \\ Q_{dep,th} = \sqrt{4qN_A \epsilon_{Si} \phi_F} \end{cases} \quad \text{Équation IV-45}$$

Notons que pour les technologies FDSOI, Q_{dep} peut être négligée, ce qui simplifie la procédure d'extraction de la mobilité effective.

Les Figure IV-30 et Figure IV-31 illustrent l'extraction de la mobilité effective par la technique split CV, largement utilisée au cours de ce mémoire.

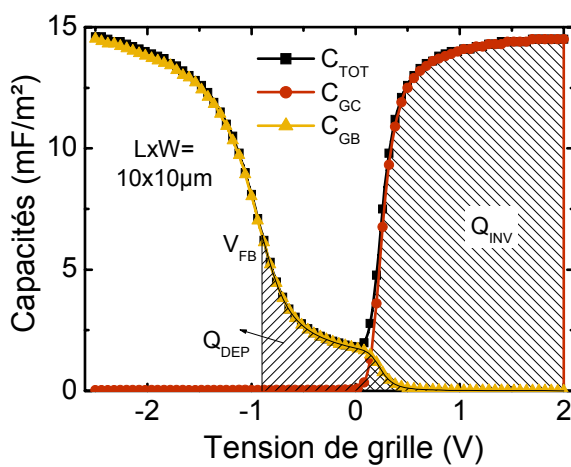


Figure IV-30 : Capacités totale, grille/canal et grille/substrat en fonction de la tension de grille.

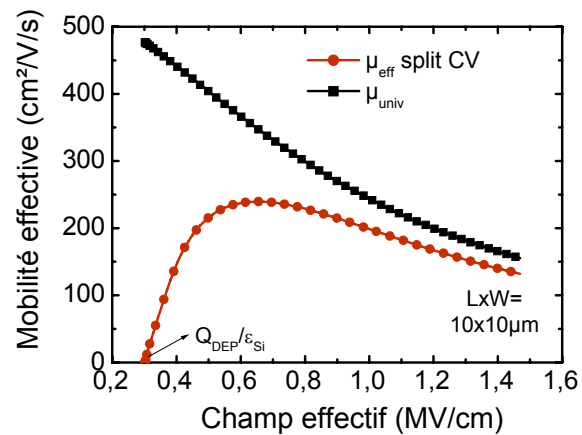


Figure IV-31 : Mobilités universelle (modèle de [CHEN 96a]) et effective d'un nMOSFET long et large en fonction du champ effectif

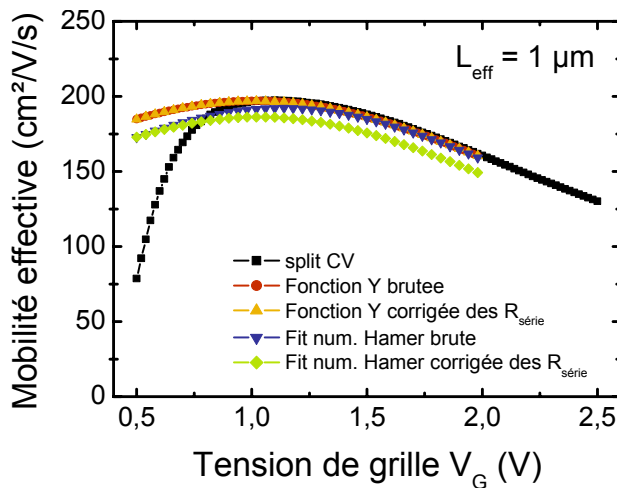


Figure IV-32 : Comparaison des mobilités effectives extraites sur un MOSFET de un micron de longueur effective en fonction de la tension de grille par la technique split CV, fonction Y et ajustement numérique de Hamer. Seuls les points correspondant à une tension de grille supérieure à la tension de seuil sont représentés.

L'intérêt de cette technique est d'extraire pour toutes les polarisations de grille V_G la charge d'inversion Q_{inv} et donc de ne faire aucune hypothèse sur le couplage capacitif grille-canal. La mobilité est alors extraite quelque soit la condition de polarisation sur la grille. Ceci la différencie

¹⁴⁷ À partir du tracé de la fonction $M(V_G) = 1/C_{TOT}^3 \partial C_{TOT} / \partial V_G$, issue de la technique d'extraction de Maserjian, on peut déterminer la tension de bande plate V_{FB} ainsi que le dopage du canal et la tension de seuil de la capacité [MASERJ 74, GHIBAU 99].

par rapport aux méthodes présentées plus haut, dont l'extraction n'est basée que sur le courant de drain.

Les extractions de mobilité effective à partir des techniques présentées plus haut sont comparées sur la Figure IV-32. Les valeurs extraites à partir du courant de drain (fonction Y et Hamer) correspondent parfaitement à celles extraites par split CV en très forte inversion (moyennant la bonne connaissance de $C_{ox,eff}$)¹⁴⁸.

IV.B.2 Extension et Limites

La principale limitation de cette technique est l'extraction de la mobilité sous le seuil ou à proximité du seuil de conduction du MOSFET. En effet pour les faibles charges d'inversion, la mobilité extraite tend de façon non physique vers zéro (cf. Figure IV-31). La raison principale de cette observation vient du décalage qu'il existe entre la tension de seuil de la capacité MOS et celle du MOSFET (cf. §I.A) que l'on retrouve donc ici ($V_{T, capa} < V_{T, MOSFET}$). Une autre explication peut venir de la contribution des capacités parasites à la capacité intrinsèque du canal, même sur un transistor long (cf. Figure IV-8 en échelle logarithmique). De plus pour les tensions de grille autour du seuil, on peut passer d'un régime du transport dans le régime linéaire à un régime de transport dans le régime de saturation ($V_{D, sat} = V_G - V_T$) selon les valeurs choisies pour V_D lors de la mesure du courant de drain. En toute rigueur, l'extraction de μ_{eff} par cette technique ne peut-être appliquée qu'en forte inversion, où l'Équation IV-41 est valable. Il conviendrait alors de ne représenter la mobilité effective extraite par split CV que pour des niveaux d'inversion N_{inv} tel que $V_G > V_T$, V_T étant la tension de seuil extraite par extrapolation de la charge d'inversion en fonction de la tension de grille.

Une deuxième limitation concerne l'extraction précise de la charge utile au transport dans le cas où les états d'interface modifient de façon conséquente la capacité mesurée [LEROUX 04].

La troisième limitation de cette technique est que l'extraction de la mobilité sur des transistors ultracourts (sub-100nm) est difficile et sujette à beaucoup d'incertitudes de mesures. En effet, il faut être capable d'extraire très précisément i) les $R_{série}$ afin de corriger le courant de drain de cet effet parasite et remonter ainsi au courant intrinsèque dans le canal, ii) les longueurs effectives puisque les capacités mesurées doivent être normalisées par la surface du composant, iii) la capacité intrinsèque de couplage grille-canal, *i.e.* s'affranchir des capacités parasites (au niveau des espaceurs, des jonctions S/D canal, ...). Cette extension de la technique split CV aux canaux courts a été réalisée par Romanjek, Andrieu *et al.* [ROMANJ 04a,b,c, ANDRIE 05b]. Elle est sensible à la qualité de la mesure et de l'expérimentateur pour les différentes extractions nécessaires pour s'affranchir des problèmes liés aux transistors courts.

IV.C La mobilité de magnétorésistance : rappels théoriques et techniques d'extraction

Dans les paragraphes précédents, nous avons exposé les principales techniques utilisées pour extraire la mobilité effective. Nous avons également présenté leurs limites. Dans cette partie, on se propose de présenter la technique de magnétorésistance. Il s'agit de la seule technique qui permet de résoudre la plupart de ces limitations. L'extraction de la mobilité pour de faibles charges d'inversion (autour du seuil voire en-dessous) est possible, de même que l'extraction de mobilité pour des transistors ultracourts, puisqu'aucune hypothèse n'est faite à la fois sur les dimensions exactes du dispositif étudié et sur le couplage capacitif. Nous discuterons aussi des différences qu'il existe

¹⁴⁸ La valeur de μ_{eff} légèrement plus faible en inversion forte avec la méthode de Hamer corrigée des $R_{série}$ vient des erreurs liées à un ajustement numérique contrairement à la fonction Y améliorée où les extractions de paramètres sont mieux maîtrisées. Ceci dit l'effet est faible ici.

entre la mobilité de magnétorésistance et la mobilité effective après avoir introduit les bases théoriques nécessaires à la compréhension.

IV.C.1 Les effets galvanométriques

Les effets galvanomagnétiques s'observent dans un solide qui subit simultanément l'action d'un champ électrique et d'un champ magnétique. Parmi ces effets on distingue par exemple l'effet Hall, l'effet de magnétorésistance ou encore l'effet galvanothermomagnétique transversal (effet Ettingshausen) ou longitudinal (effet Nernst) [BEER 63, KIREEV 75].

Nous étudierons tout d'abord brièvement l'effet Hall (effet galvanométrique le plus remarquable). Ensuite nous nous intéresserons plus spécifiquement à l'effet de magnétorésistance, qui fera l'objet de notre étude expérimentale.

IV.C.1.1 L'effet Hall

Soit un barreau semi-conducteur de longueur L , de largeur W et d'épaisseur d soumis à un champ électrique longitudinal $\vec{E}(E_x, 0, 0)$ et un champ magnétique transverse $\vec{B}(0, 0, B_z)$ (Figure IV-33).

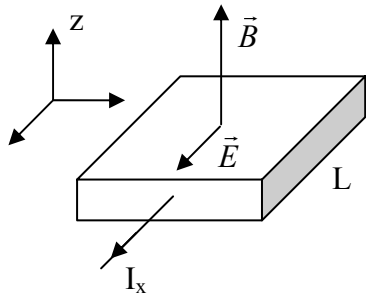


Figure IV-33 : Matériau semi-conducteur parallélépipédique soumis à un champ électrique et à un champ magnétique

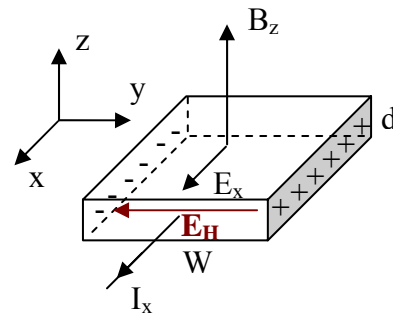


Figure IV-34 : Création du champ de Hall dans un semi-conducteur de type n par accumulation de charges sur les faces latérales. W et L sont définis par rapport à \vec{E} et \vec{B} .

Sous l'action du champ électrique les porteurs se déplacent longitudinalement avec une vitesse de dérive $\vec{v}(v_x, 0, 0)$ et transportent une densité de courant $\vec{j}(j_x, 0, 0)$. Sous l'action du champ magnétique les porteurs sont soumis à la force de Lorentz $\vec{F} = q\vec{v} \wedge \vec{B}$ dans la direction y . Ils sont donc soumis à une force transversale qui a tendance à dévier leur trajectoire en leur donnant une composante de vitesse v_y non nulle. Dans notre cas le circuit est ouvert dans la direction y , ainsi aucun courant ne peut circuler dans cette direction ; la composante j_y reste donc nulle. Des charges négatives sur une face et positives sur l'autre s'accumulent alors sur les faces latérales du barreau et créent un champ électrique transverse $\vec{E}(0, E_y, 0)$ (Figure IV-34). Ce champ exerce sur les porteurs une force qui, en équilibrant celle de Lorentz, maintient parallèle à l'axe x leur vecteur vitesse. C'est l'effet Hall¹⁴⁹. Il s'agit donc d'un régime établi où le champ de Hall compense exactement la force de Lorentz. Dans ce cas, la conductivité ne dépend pas du champ magnétique. Autrement dit, il n'y a pas d'effet de magnétorésistance.

La densité de courant dans la direction x s'écrit (dans le cas d'un semi-conducteur de type n) :

$$j_{nx} = -qn v_{nx} = qn \mu_n E_x \quad \text{Équation IV-46}$$

où $v_{nx} = -\mu_n E_x$ est la vitesse de dérive des électrons.

¹⁴⁹ Découvert en 1879 par Edwin Hall.

L'hypothèse contenue implicitement ici est que tous les porteurs de charge ont la même vitesse v_{nx} .

Dans la direction y, la force résultant de la composante de Lorentz et du champ de Hall s'écrit :

$$F_y = -qE_y + qv_{nx}B_z = -q(E_y + \mu_n E_x B_z) \quad \text{Équation IV-47}$$

Puisque la densité de courant selon la direction y est nulle on obtient :

$$j_{my} = -n\mu_n F_y = nq\mu_n (E_y + \mu_n E_x B_z) = 0 \quad \text{Équation IV-48}$$

soit

$$E_y = -\mu_n E_x B_z \quad \text{Équation IV-49}$$

$E_y = E_H = -V_y / W$ est appelé le champ de Hall. On a alors

$$E_y = R_H j_{nx} B_z \quad \text{Équation IV-50}$$

avec $R_H = -1/qn$ le coefficient de Hall.

La mesure de V_H permet donc de remonter au coefficient de Hall R_H donné par :

$$V_H = V_y = -R_H \frac{I_x B_z}{d} \quad \text{Équation IV-51}$$

Notons que dans un corps de dimensions finies, le vecteur champ électrique résultant $\vec{E}_c = \vec{E}_y + \vec{E}_x$ est donc dévié d'un certain angle par rapport à sa direction initiale. Cet angle est donné par :

$$\tan(\varphi) = \frac{E_H}{E_x} = \mu_H B_z \quad \text{Équation IV-52}$$

φ est l'angle de Hall. La dimension de μ_H est celle d'une mobilité. On l'appelle la mobilité de Hall.

La mobilité de Hall est définie par (en utilisant le formalisme de Kubo-Greenwood [GHIBAU 86])¹⁵⁰ :

$$\mu_H = \frac{q \langle \tau^2 \rangle}{m \langle \tau \rangle} = \frac{\int_0^\infty \varepsilon \cdot N_{DOS}(\varepsilon) \cdot \mu(\varepsilon)^2 (-\partial f / \partial \varepsilon) d\varepsilon}{\int_0^\infty \varepsilon \cdot N_{DOS}(\varepsilon) \cdot \mu(\varepsilon) (-\partial f / \partial \varepsilon) d\varepsilon} = r_H = \frac{\langle \tau^2 \rangle}{\langle \tau \rangle^2} \mu_d \quad \text{Équation IV-53}$$

$f(\varepsilon)$ est la fonction de distribution de Fermi.

μ_d est quant à elle la mobilité de dérive des porteurs (appelée mobilité effective dans le cas des transistors MOS) donnée par la relation :

¹⁵⁰ Ici le symbole $\langle \rangle$ traduit la moyenne sur l'énergie. $\langle \tau \rangle = \int_0^\infty \varepsilon \cdot N_{DOS}(\varepsilon) \cdot \tau(\varepsilon) (-\partial f / \partial \varepsilon) d\varepsilon$

$$\mu_d = \frac{q}{m} \langle \tau \rangle = \mu_{eff} = \frac{\int_0^{\infty} \varepsilon \cdot N_{DOS}(\varepsilon) \cdot \mu(\varepsilon) (-\partial f / \partial \varepsilon) d\varepsilon}{\int_0^{\infty} N_{DOS}(\varepsilon) \cdot f(\varepsilon) d\varepsilon} \tag{Équation IV-54}$$

Dans un semi-conducteur infiniment grand, c'est le vecteur courant qui tourne d'un certain angle par rapport à sa direction initiale. Dans ce cas de figure il n'y a plus d'apparition de la tension de Hall puisque les porteurs sont effectivement déviés. Nous y reviendrons dans le paragraphe concernant la magnétorésistance.

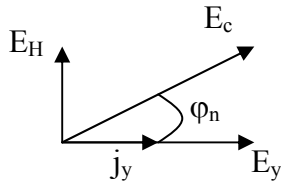


Figure IV-35 : Angle de Hall dans un semi-conducteur de dimensions finies de type n

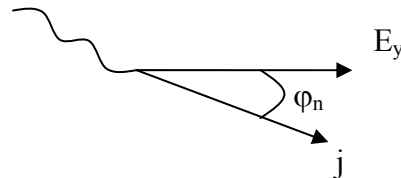


Figure IV-36 : Angle de Hall dans un semi-conducteur illimité de type n

Si l'on prend en compte la dépendance en énergie des temps de relaxation et la distribution de vitesse des porteurs dans un matériau semiconducteur, la constante de Hall prend une forme plus complexe :

$$R_H = -\frac{1}{qn} \frac{\left\langle \frac{\mu^2}{1 + \mu^2 B^2} \right\rangle}{\left\langle \frac{\mu}{1 + \mu^2 B^2} \right\rangle^2 + \left\langle \frac{\mu^2}{1 + \mu^2 B^2} \right\rangle B^2} \tag{Équation IV-55}$$

qui traduit une dépendance avec le champ magnétique. Dans le cas d'un semi-conducteur dégénéré, on peut considérer que tous les porteurs ont l'énergie du niveau de Fermi et l'expression redevient celle trouvée précédemment¹⁵¹.

Retenons que l'effet Hall est utilisé pour déterminer les concentrations de porteurs ainsi que leurs mobilités mais aussi pour étudier les variations thermiques et la détermination des énergies d'activation.

IV.C.1.2 La magnétorésistance¹⁵²

IV.C.1.2.1 Magnétorésistances physique et géométrique : principe et définitions

La magnétorésistance (ou effet magnétorésistif ou encore effet Gauss) représente la variation de la conductivité électrique d'un barreau soumis à un champ magnétique. Lorsque l'on applique un champ magnétique à un matériau infiniment grand, la trajectoire d'un porteur de charge est représentée par un segment de cycloïde de longueur l, qui, dans la direction du champ \vec{E} appliqué, représente une distance plus courte égale à $l \cdot \cos(\varphi)$. Ainsi la mobilité et donc la conductivité deviennent plus faibles. On s'attend donc à voir la résistance du matériau croître sous l'effet d'un champ magnétique.

¹⁵¹ Cette expression générale peut trouver différentes simplifications dans le cas des champs magnétiques faibles ou forts. Dans le premier cas la constante de Hall diminue proportionnellement à $(\mu_d B)^2$ et à $(\mu_d B)^{-2}$ dans le second cas.

¹⁵² Cf. Annexe G - Notions de base sur la théorie de magnétorésistance.

Si l'on s'intéresse à un barreau semi-conducteur de dimensions finies, nous avons vu précédemment que la trajectoire des porteurs de charge reste rectiligne, selon la direction du champ électrique appliqué, lorsque les faces latérales de ce barreau ne sont pas connectées. De ce fait la magnétorésistance devrait être nulle.

En réalité elle n'est pas nulle. Le champ de Hall, qui est un effet moyen, n'équilibre pas la force de Lorentz pour tous les porteurs. La compensation de la force de Lorentz par le champ de Hall est une compensation moyenne sur tous les porteurs de charges, moyenne qui correspondrait au cas d'une vitesse de dérive invariante pour tous les porteurs. Or dans un semiconducteur, tous les porteurs n'ont pas la même vitesse, il existe une distribution en vitesse. Ainsi seuls les porteurs ayant une vitesse égale à la vitesse moyenne du gaz ne seront pas déviés, les autres le seront. Le chemin parcouru augmente alors (à la fois pour les porteurs ayant une vitesse plus faible et plus forte que la vitesse moyenne) et on voit ainsi la résistance du matériau augmenter sous l'effet d'un champ magnétique. Cet effet est appelé *magnétorésistance transverse physique*. Notons toutefois que cet accroissement de la résistivité est bien plus faible que celui obtenu dans le cas d'un semi-conducteur infini de sorte qu'il pourra être négligé dans le cas de l'étude de nos dispositifs soumis principalement à l'effet de *magnétorésistance transverse géométrique*.

En effet, l'effet de magnétorésistance dépend également de la forme du corps étudié. Plus le rapport W/L sera grand et plus les porteurs auront une trajectoire déviées de la trajectoire rectiligne imposée par le champ électrique, le champ de Hall devenant dans ces géométries de plus en plus faible jusqu'à devenir nul pour un semi-conducteur infini (ou illimité). Notons que lorsque l'on s'intéresse principalement à la magnétorésistance géométrique, on parle de variation de résistance de l'échantillon alors que lorsque l'on s'intéresse à la magnétorésistance physique on parle plutôt de variation de résistivité puisque le matériau change réellement intrinsèquement de résistivité (certains porteurs seulement seront déviés).

Dans le cas où le champ magnétique est parallèle à \vec{j} (ou \vec{E}), on ne devrait observer aucune variation de résistivité puisque la force de Lorentz est nulle. Cependant du fait de la complexité des surfaces d'iso-énergies des semi-conducteurs (la masse effective ne sera alors plus un scalaire mais un tenseur) et puisqu'il existe une distribution de vitesse dans l'espace, on peut observer une légère variation de résistivité dans ce cas de figure aussi. Parfois même on peut observer un accroissement de leur conductivité électrique, soit un effet de *magnétorésistance négatif*.

On peut montrer que pour un semi-conducteur de dimension infinie ($W \rightarrow \infty$), le coefficient de magnétorésistance H est défini par la relation

$$H = \frac{\rho_B - \rho_0}{\rho_0} \cdot \frac{1}{B^2} = \frac{1}{B^2} \frac{\Delta\rho_B}{\rho_0} \quad \text{Équation IV-56}$$

Ainsi la résistivité ρ_B dans un champ magnétique s'écrira :

$$\rho_B = \rho_0 (1 + H \cdot B^2) \quad \text{Équation IV-57}$$

avec H indépendant du champ magnétique B (cf. Annexe G.C)

Et sa conductivité σ_B :

$$\sigma_B = \frac{\sigma_0}{1 + H \cdot B^2} \quad \text{Équation IV-58}$$

Dans le cas des champs faibles ($\mu^2 B^2 \ll 1$) et pour des valeurs telles que $\mu_a^2 B^2 \approx 0$ ($B \rightarrow 0$), on peut montrer que le coefficient de magnétorésistance H se réduit à (cf. Annexe G.C, Équation G-88) :

$$H_0 = \frac{\langle \mu^3 \rangle}{\langle \mu \rangle} = \mu_d^2 \frac{\langle \tau^3 \rangle}{\langle \tau \rangle^3} = \mu_{GMR}^2 \tag{Équation IV-59}$$

où μ_{GMR} est la mobilité de *magnétorésistance transverse géométrique*. Elle s'écrit donc :

$$\mu_{GMR} = \frac{\int_0^\infty \varepsilon \cdot N_{DOS}(\varepsilon) \cdot \mu(\varepsilon)^3 \left(-\frac{\partial f}{\partial \varepsilon}\right) d\varepsilon}{\int_0^\infty \varepsilon \cdot N_{DOS}(\varepsilon) \cdot \mu(\varepsilon) \left(-\frac{\partial f}{\partial \varepsilon}\right) d\varepsilon} = \sqrt{\frac{\langle \tau^3 \rangle}{\langle \tau \rangle^3}} \cdot \mu_d = r_{GMR} \cdot \mu_d \tag{Équation IV-60}$$

Il faut bien garder en mémoire qu'il s'agit d'un cas limite où $\mu_d^2 B^2 \approx 0$ ($B \rightarrow 0$), ce qui n'est pas toujours le cas, même avec le silicium (notamment à basse température).

L'effet de magnétorésistance dans un semi-conducteur sera d'autant plus faible que le rapport longueur sur largeur (W/L) sera faible. Ceci est illustré par la Figure IV-37.

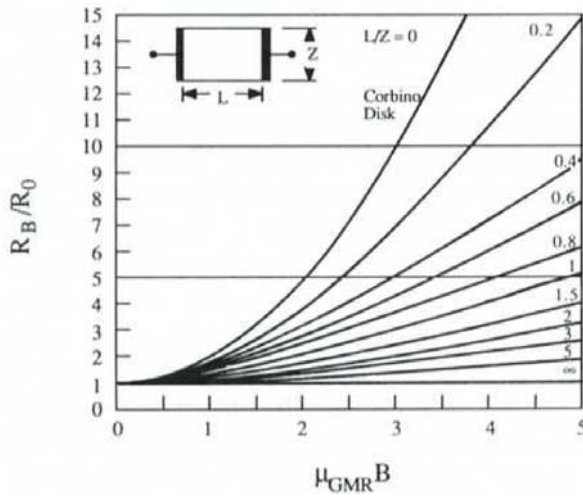


Figure IV-37 : Variation de la magnétorésistance en fonction de la forme de l'échantillon [SCHROD 90]. Ici Z correspond au W de la Figure IV-34.

IV.C.1.2.2 Cas des dispositifs MOS étudiés

IV.C.1.2.2.a Relations entre mobilités effective, de Hall et de magnétorésistance

Dans les transistors MOS, où la longueur du canal est souvent beaucoup plus courte que sa largeur, on peut observer la *magnétorésistance transverse géométrique* (GMR) (Figure IV-38). En effet on se rapproche du cas limite du disque de Corbino pour lequel le champ de Hall est nul (Figure IV-39). Ce cas limite représente le cas d'un semi-conducteur illimité. Le fort ratio W/L tend à court-circuiter la tension de Hall par les conditions aux limites (longs contacts source et drain).

D'après les Équation IV-53, Équation IV-54 et Équation IV-60, la mobilité de magnétorésistance que l'on va pouvoir extraire est liée aux mobilités de Hall et de dérive par les relations¹⁵³ :

$$\mu_{GMR} = \xi \mu_H \quad \text{avec} \quad \xi = \sqrt{\frac{\langle \tau^3 \rangle \langle \tau \rangle}{\langle \tau^2 \rangle^2}} \tag{Équation IV-61}$$

$$\mu_{GMR} = r_{GMR} \mu_{eff} \quad \text{avec} \quad r_{GMR} = \sqrt{\frac{\langle \tau^3 \rangle}{\langle \tau \rangle^3}} \tag{Équation IV-62}$$

¹⁵³ La mobilité de Hall est quant à elle liée à la mobilité effective par $r_H = \mu_H / \mu_{eff} = \langle \tau^2 \rangle / \langle \tau \rangle^2$

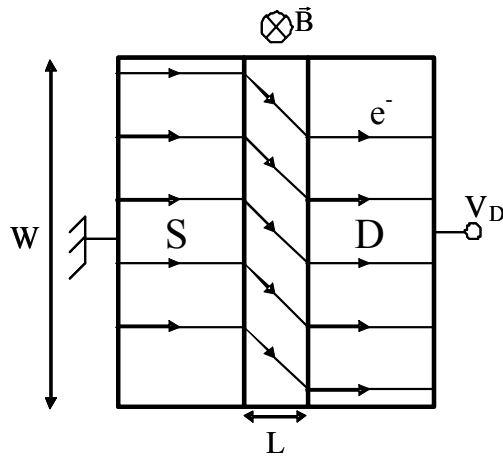


Figure IV-38 : Coupe schématique d'un TMOS sous champ magnétique dans les « conditions de Corbino » ($W \gg L$: impossibilité de création du champ de Hall)

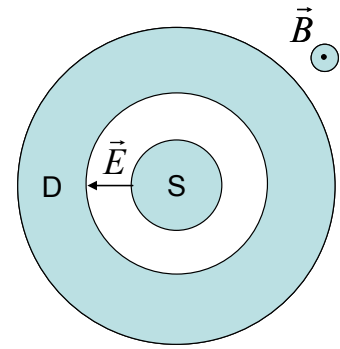


Figure IV-39 : Représentation schématique d'un disque de Corbino, objet parfait du matériau illimité en magnétorésistance géométrique

Ainsi les mobilités de Hall et de magnétorésistance se réduisent à la mobilité effective seulement lorsque $\tau(E)$ est une constante, *i.e.* dans le cas dégénéré (métallique) ou pour des mécanismes de diffusion indépendants de l'énergie des porteurs. Ces facteurs de diffusion de magnétorésistance sont souvent pris égal à un par simplicité et aussi par méconnaissance précise des mécanismes de diffusion. Cependant dans certains cas bien précis de mécanismes de diffusion, les dépendances en énergie peuvent être déterminées ou approchées. Par exemple, le temps de relaxation lié à la rugosité de surface est pratiquement constant des faibles énergies cinétiques jusqu'à l'énergie thermique $k_B T$ [DONETT 07]. En pratique, cela est observé puisqu'à fort champ les mobilités de magnétorésistance et effective coïncident quelque soit la température (Figures IV-58).

Si l'on suppose une dépendance des mécanismes de diffusion en puissance de n avec l'énergie des porteurs et un modèle simple avec une seule sous-bande d'énergie fondamentale E_0 ¹⁵⁴,

$$\tau(\varepsilon) \propto (E - E_0)^n \quad \text{Équation IV-63}$$

cela signifie que pour les interactions avec la rugosité de surface, l'exposant n peut être pris égal à 0, soit $r_{GMR}^{SR} = 1$. En ce qui concerne les interactions avec les phonons du réseau dans un gaz 2D, on peut considérer de la même manière, dans la mesure où les mécanismes prépondérants sont les interactions avec les phonons intravallées, que $n=0$ soit $r_{GMR}^{ph} = 1$, puisque la densité d'états 2D ne dépend pas de l'énergie (cf. Équation II-59 et Équation II-29) [LUNDST 00].

Enfin dans le cas des interactions coulombiennes à distance, nous avons calculé (avec le modèle décrit au §V.A.3.3.2.c) le temps de relaxation en fonction de l'énergie cinétique des porteurs $\tau(\varepsilon)$ (sur la Figure IV-40 est représenté le $\tau(\varepsilon)$ du premier niveau des vallées Δ_2). Cette caractéristique présente aux fortes énergies une dépendance en puissance de l'énergie (exposant n de 3/2) et aux faibles énergies une dépendance quasi-nulle (la position du coude dépend notamment du niveau d'inversion). Afin de déterminer quels sont les porteurs qui interviennent dans le calcul de la mobilité limitée par les interactions coulombiennes à distance, il convient de positionner sur ce tracé $\tau(\varepsilon)$ l'énergie des porteurs, convoluée selon l'intégrale de Kubo-Greenwood (Équation IV-60). Nous appellerons cette quantité n_{eff} , la « densité de porteurs de mobilité effective », calculée selon

$$n_{eff} = \tau(\varepsilon - E_{0,\Delta_2}(N_{inv})) \cdot (\varepsilon - E_{0,\Delta_2}(N_{inv})) \cdot N_{DOS,2D} \cdot \left(-\frac{\partial f}{\partial \varepsilon} \right) \quad \text{Équation IV-64}$$

¹⁵⁴ Notons toutefois que, d'une manière générale, il n'existe pas de loi pure en puissance de l'énergie.

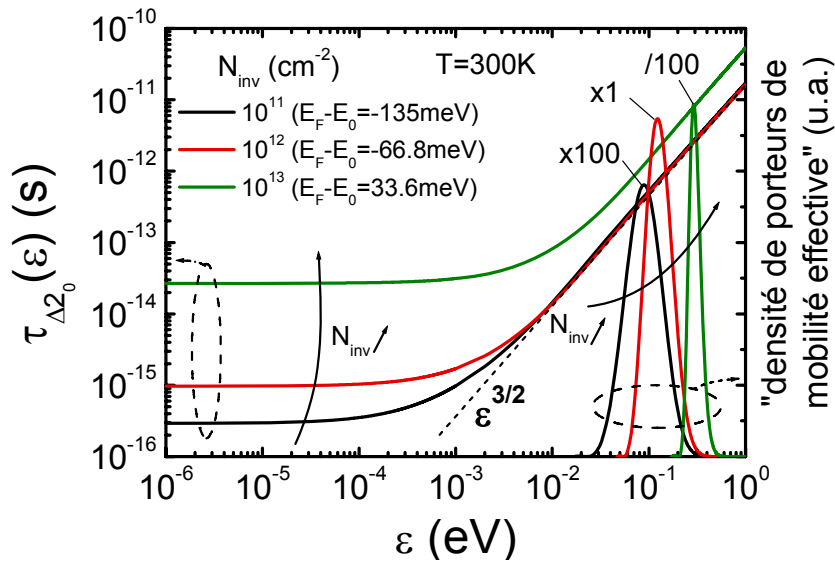


Figure IV-40 : Evolution du temps de relaxation des interactions coulombiennes à distance du niveau fondamental $E_{\Delta 2,0}$ avec l'énergie des porteurs pour différents niveaux de charge d'inversion à 300K. Mêmes paramètres de simulation que ceux utilisés au §V.A.3.3.2.c. Les « densités de porteurs de mobilité effective » sont calculées selon l'Équation IV-64.

Sur la Figure IV-40, on constate ainsi que les porteurs ayant une contribution majeure au transport se situent dans la partie de dépendance en énergie du temps de relaxation en puissance $3/2$. Nous avons pu vérifier que ce résultat reste vrai quelque soit la température, la charge d'inversion et le type de transport étudié (la puissance de μ dans l'Équation IV-60, selon que l'on s'intéresse à la mobilité de magnétorésistance ou effective, déplace légèrement le pic mais tout en restant dans la partie linéaire en puissance $3/2$). Ainsi pour les interactions coulombiennes à distance, l'exposant n pourra être pris à égal à $3/2$. Notons qu'un calcul multi-sous-bandes est nécessaire pour plus de précision, en particulier aux faibles charges d'inversion pour lesquelles les porteurs sont répartis dans beaucoup plus de sous-bandes qu'en forte inversion (cf. §V.A.3.3.2.c). Finalement, retenons que pour un gaz 2D, le ratio r_{GMR} est principalement gouverné par les interactions coulombiennes.

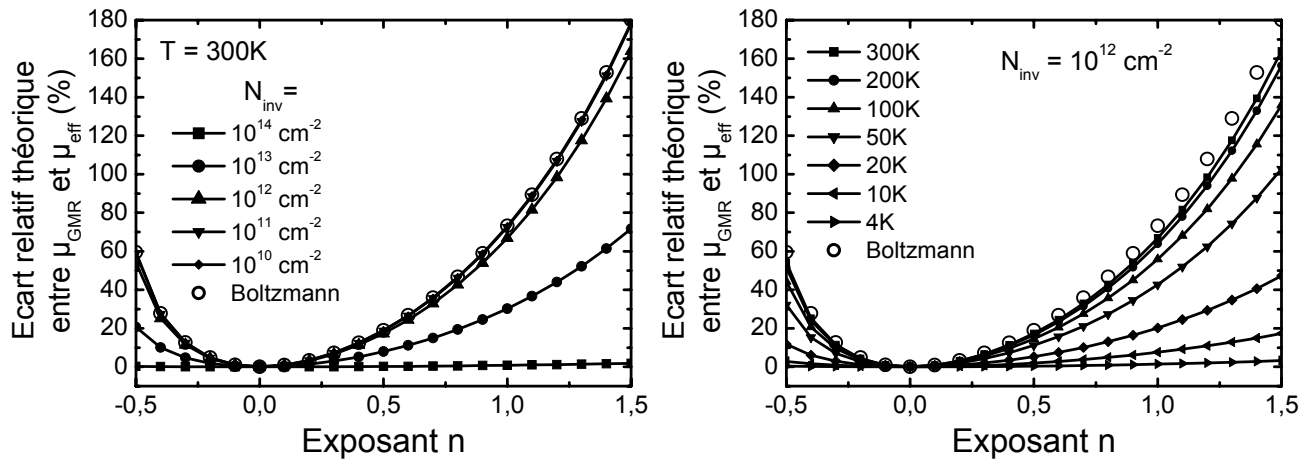
À partir de l'hypothèse formulée par l'Équation IV-63, dans le cas d'un gaz 2D non-dégénéré (approximation de Boltzmann, valable pour les faibles niveaux d'inversion) et en ne considérant qu'une seule sous-bande occupée, on peut obtenir une expression simple du ratio r_{GMR} :

$$r_{GMR} = \sqrt{\frac{\Gamma(3n+2)}{(\Gamma(n+2))^3}} \quad \text{Équation IV-65}$$

où $\Gamma(x)$ est la fonction gamma. Dans ce cas le ratio ne dépend plus de la charge d'inversion ni de la température. Dans le cas plus général d'un gaz 2D dégénéré ou non (statistique de Fermi) et en ne considérant qu'une seule sous-bande, le calcul du rapport des Équation IV-60 et Équation IV-54 est montré sur les Figures IV-41. On constate que le ratio r_{GMR} calculé dans l'approximation de Boltzmann s'écarte du calcul général pour des niveaux d'inversion de l'ordre de quelques 10^{12} cm^{-2} à 300K, ce qui correspond à la limite de dégénérescence¹⁵⁵. Dans le cas fortement dégénéré, donc en très forte inversion, de même qu'aux très basses températures, on retrouve bien un ratio indépendant de l'exposant n .

Les Figures IV-41 permettent ainsi d'obtenir une idée du type de mécanisme régissant la mobilité selon l'exposant correspondant à l'écart obtenu en mobilités μ_{GMR} et μ_{eff} .

¹⁵⁵ La densité de porteurs critique au-delà de laquelle le gaz est dégénéré peut être déterminée à partir de l'Équation II-31 pour un gaz 2D en considérant $E_F = E_0$. On obtient $N_{deg} = m_{DOS,2D} k_B T \ln(2) / (\pi \hbar^2)$. La dégénérescence s'obtient d'autant plus facilement que la température est basse.



Figures IV-41 : Ecart relatif entre la mobilité de magnétorésistance et la mobilité effective $(\mu_{GMR}-\mu_{eff})/\mu_{eff}$ en fonction de l'exposant n du mécanisme de dispersion.

IV.C.1.2.2.b Extraction de la mobilité de magnétorésistance géométrique

Dans le cas du semi-conducteur illimité, le rapport des résistances sous champ magnétique et sans champ magnétique peut s'écrire [SCHROD 90] :

$$\frac{R_B}{R_0} = \frac{\rho_B}{\rho_0} (1 + \mu_{GMR}^2 B^2) \quad \text{Équation IV-66}$$

La résistance augmente donc de façon parabolique avec le champ magnétique, comme vu précédemment. Le ratio $\frac{\rho_B}{\rho_0}$ traduit ici l'effet additionnel de *magnétorésistance transverse physique* qui sera toujours pris égale à l'unité puisque cet effet est beaucoup plus faible que celui de magnétorésistance transverse géométrique. L'Équation IV-66 se réduit donc à :

$$\frac{R_B}{R_0} = 1 + \mu_{GMR}^2 B^2 \quad \text{Équation IV-67}$$

Si l'on considère maintenant le cas réel des dispositifs MOS, une correction, tenant compte d'un rapport L/W non nul, doit être apportée. En effet la valeur de résistance, modifiée par l'effet de magnétorésistance géométrique et mesurée dans le cas d'un matériau fini, est influencée par le courant dévié qui doit être totalement collecté par les S/D. En négligeant l'effet de magnétorésistance physique et en considérant des champs magnétiques faibles tels que $\tan(\mu_{GMR} B) \approx \mu_{GMR} B$, on peut calculer la valeur de la résistance en fonction de B . Cette correction peut alors s'écrire sous la forme [CHANG 89] :

$$R_B/R_0 = 1 + r \cdot \mu_{GMR}^2 B^2 \quad \text{Équation IV-68}$$

Le facteur correctif r prend différentes formes selon le ratio L/W . Par exemple lorsque L/W est inférieur à 0,3, on a $r = 1 - 0,543 L/W$. Pour L/W supérieur ou égal à 1, on obtient $r = 0,543 L/W$. Entre ces deux cas, il n'y a pas d'expression analytique simple. On doit alors utiliser un tableau de valeurs pour r [CHANG 89]. Cependant on peut approcher ces valeurs par $r \approx 1 - 0,6 L/W$. On constate que, pour $L/W < 1,84$, on sous-estime la mobilité ($r < 1$) si l'on ne prend pas en compte le ratio L/W non nul. La Figure IV-42 représente l'erreur que l'on effectue sur notre extraction de mobilité sans prendre en compte ce facteur correctif. Ainsi avec une longueur de $1 \mu\text{m}$ pour une largeur de $10 \mu\text{m}$, l'erreur commise n'est que de -2,75%. Dans la littérature il est souvent conseillé de respecter la condition $W/L \gg 5$, ce qui correspondrait donc à une erreur sur

l'extraction de l'ordre de 5,6%. Mais dès lors que la longueur du canal est environ 30 fois plus petite que sa largeur, l'erreur commise est inférieure au pourcent.

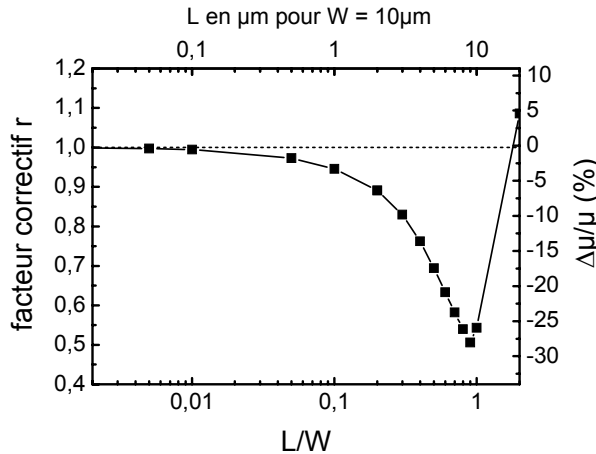


Figure IV-42 : Erreur commise sur l'extraction de la mobilité selon la géométrie de l'échantillon par rapport au calcul d'un échantillon illimité.

IV.C.1.2.3 Les avantages et limites de la méthode MR

- Avantages

Les avantages de l'extraction de mobilité par mesure de magnétorésistance sont importants.

Tout d'abord l'extraction de la mobilité de magnétorésistance résulte en la mesure directe d'une mobilité, sans faire appel à un modèle de courant de drain, contrairement aux techniques présentées précédemment. De plus elle ne nécessite pas la connaissance de la géométrie du dispositif testé, en particulier aucune hypothèse n'est effectuée sur la longueur effective du canal. En outre la mesure est d'autant plus précise que le ratio L/W est petit. C'est un avantage considérable quand l'on connaît la difficulté d'extraire la longueur effective des transistors MOS.

Ensuite, il est inutile de mesurer la capacité grille-canal pour extraire la mobilité de magnétorésistance. Là encore il s'agit d'un avantage considérable puisque les capacités des transistors ultracourts sont extrêmement difficiles à mesurer (faible valeur) et délicates à corriger du fait des capacités parasites qui occupent une place importante dans le contrôle électrostatique.

Cette méthode trouve donc une application forte intéressante pour l'étude de la mobilité des transistors ultracourts.

Enfin cette technique permet d'extraire une mobilité pour des tensions de grille à la limite de la tension de seuil voire dans le régime de faible inversion (sous le seuil), contrairement aux autres techniques qui, par définition, ne sont valables qu'en inversion forte (modèle du courant de drain en régime de dérive, en inversion forte). Les modèles de magnétorésistance géométrique habituels sont basés sur l'équation fondamentale de transport de Boltzmann mais en ne considérant que l'effet du champ, donc en négligeant la diffusion des porteurs ainsi que les effets de gradients de température (cf. Équation G-76 de l'Annexe G). Lorsque l'on se place en forte inversion, le courant de dérive décrit complètement le transport. L'approche décrite plus haut et en annexe est alors tout à fait exacte. Maintenant si l'on s'intéresse au régime sous le seuil ou même de faible inversion, la diffusion est à prendre en considération dans les modèles. Des modifications sont donc à apporter aux modèles présentés plus haut. On peut calculer le ratio des densités de courants $j_{xx}(B)/j_{xx}(0)$ (et non de conductivité puisque cela n'a plus aucun sens en régime de diffusion). Dans notre cas, on mesure effectivement un courant I donc on peut remonter à une densité de courant j . Notons simplement que les coefficients cinétiques K'_{ij} intervenant devant les termes correspondant à la diffusion des porteurs sont strictement les mêmes que ceux qui interviennent dans le cas de la dérive. Ainsi l'extraction d'une mobilité de magnétorésistance sous le seuil a un sens (dépendance en B^2).

- Limites

Comme toute technique d'extraction, la méthode MR a aussi ses limites.

Tout d'abord, elle nécessite un équipement de mesure de pointe. Pour extraire la mobilité de magnétorésistance du silicium, il faut être capable d'appliquer des champs magnétiques intenses, de l'ordre de la dizaine de teslas. Des bobines supraconductrices, refroidies à l'hélium, permettent de créer de tels champs magnétiques (jusqu'à $B=11\text{T}$ dans notre cas). En effet la variation de résistance étant proportionnelle à $\mu^2 B^2$, la mesure devra être d'autant plus précise que la mobilité à extraire sera faible. La variation relative de résistance devra être supérieure au bruit et incertitudes de mesure. On comprend ainsi que la mesure sera d'autant plus précise que la mobilité est grande et aussi que le champ magnétique appliqué est fort. Par exemple pour le silicium on s'attend à mesurer des mobilités d'électrons pouvant descendre jusqu'à $100\text{ cm}^2/\text{V}/\text{s}$ (cas des transistors ultracourts par exemple). La variation relative qu'il sera nécessaire de détecter ira du pourcent aux champs maximums (11T) jusqu'à $0,01\%$ seulement pour un champ de 1T !

Cette technique est coûteuse en temps de manipulation (extraction point par point, cf. §IV.C.2). Il est en effet nécessaire d'effectuer plusieurs balayages de la tension de grille à différents champs magnétiques pour extraire la mobilité. Ou alors il faut effectuer des rampes en champ magnétique pour chaque polarisation de grille, avec des temps de montée/descente de la rampe en champ magnétique de l'ordre de $1\text{T}/\text{min}$, soit une dizaine de minutes par point de mobilité extraite.

La méthode ne s'affranchit pas pour autant des résistances séries parasites. La résistance du canal est calculée à partir de la mesure du courant de drain. Or dans les dispositifs courts, la part prise par les résistances séries parasites est loin d'être négligeable. Il faut donc corriger les mesures de ces résistances, qui de plus dépendent aussi du champ magnétique. Une technique d'extraction, dite différentielle [CHAISA 05,06b], permet de remonter à la mobilité du canal moyennant des mesures sur plusieurs transistors courts de longueurs variables mais proches. Elle permet aussi de remonter à la mobilité de magnétorésistance des résistances séries parasites. Notons toutefois que quelques hypothèses supplémentaires doivent être prises pour mener à bien l'extraction ce qui réduit de ce fait la précision sur la valeur extraite. Notons enfin que les résistances de contact sont quand à elle relativement indépendantes du champ magnétique.

Le calcul de la charge d'inversion n'est pas simple avec cette technique, même si sous l'effet d'un champ magnétique il est possible de remonter à une charge d'inversion [CHANG 89]. On pourra alors soit utiliser la charge d'inversion mesurée par $C(V)$ lorsque cela est possible ou alors tracer l'évolution de la mobilité de magnétorésistance en fonction de $V_G - V_{Th}$, ce qui semble plus approprié puisque l'extraction de la tension de seuil ne nécessite que la mesure du courant de drain, mesure réalisée pour l'extraction de la mobilité de magnétorésistance.

La mobilité extraite est une mobilité dite de magnétorésistance, donc différente de la mobilité effective ou encore de Hall comme nous avons pu le voir (écarts qui dépendent du type d'interactions, de la température,...). Des précautions seront donc à prendre pour des comparaisons quantitatives entre les différentes méthodes d'extraction de la mobilité.

IV.C.2 Méthodes d'extraction de la mobilité utilisées : application aux dispositifs FDSOI

La variation de résistance du canal d'un MOSFET est directement reliée à la variation de son courant de drain, qui est la grandeur mesurée. On a

$$R = V_D / I_D \quad \text{Équation IV-69}$$

d'où

$$\Delta R/R = -\Delta I_D/I_D \tag{Équation IV-70}$$

L'Équation IV-67 permet donc de calculer la mobilité de magnétorésistance à partir d'un tracé $R_B/R_0 = f(B^2)$ qui doit représenter une droite de pente égale au carré de la mobilité.

Notre but ici est d'extraire la valeur de la mobilité pour différentes conditions de polarisations de la grille, $\mu=f(V_G)$. Deux possibilités s'offrent alors à nous. Soit on effectue une rampe en champ magnétique de 0 à 11T pour une polarisation de grille fixée. Ensuite il faut réitérer cette méthode pour toutes les tensions de grille désirées. Soit on réalise un balayage sur la tension de grille pour un champ magnétique fixé. Ce même balayage en tension sera alors réitéré pour différentes valeurs du champ magnétique de 0T à 11T de manière à pouvoir tracer la caractéristique $R_B/R_0 = f(B^2)$ pour chaque tension de grille du balayage. Chacune de ces deux techniques présente leurs avantages et inconvénients.

Les mesures présentées dans cette partie ont été effectuées au Laboratoire des Champs Magnétiques Intenses (LCMI) sur des transistors FDSOI de géométrie $L \times W = 1 \times 10 \mu m$, sans prendre en compte le facteur correctif de l'Équation IV-68 (erreur inférieure à 3%).

IV.C.2.1 Technique A : Rampe en champ magnétique pour différentes polarisations de grille fixées

IV.C.2.1.1 Principe

Sur la Figure IV-43 est représentée la caractéristique typique que l'on obtient en faisant une rampe en champ magnétique à une polarisation de grille fixée. Le courant de drain diminue de façon parabolique avec le champ magnétique. Le courant est mesuré avec un Keithley 2400 (limite de résolution de quelques nanoampères). On obtient bien une droite lorsque l'on trace l'évolution de la résistance normalisée (par rapport au champ magnétique nul) en fonction de B^2 (Figure IV-44).

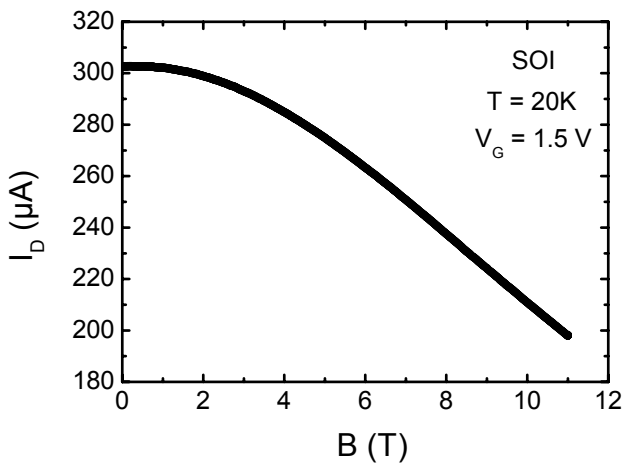


Figure IV-43 : Evolution du courant de drain en fonction du champ magnétique pour une tension de grille fixée.

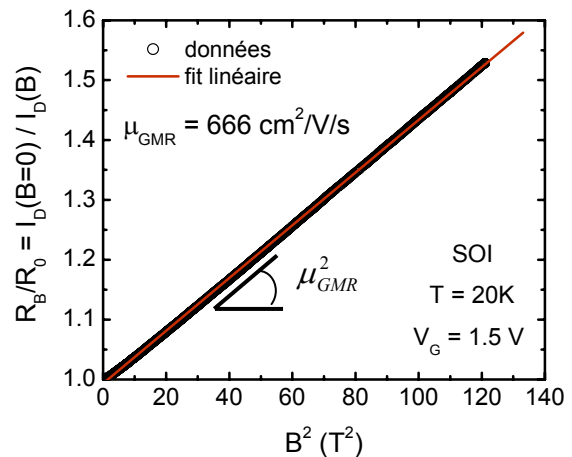


Figure IV-44 : Extraction de la mobilité de magnétorésistance à partir du tracé de la résistance normalisée en fonction du carré du champ magnétique.

Cette technique permet d'obtenir beaucoup de points pour la régression linéaire permettant d'extraire la mobilité. L'extraction sera plus fiable. Elle impose cependant d'appliquer une tension fixée sur la grille pendant un temps assez long pouvant créer le remplissage de pièges selon les tensions appliquées et l'empilement de grille utilisés.

IV.C.2.1.2 Effets spécifiques liés à la mesure

On observe parfois des différences dans l'extraction selon le sens de balayage de la rampe en champ B, plus particulièrement pour les faibles niveaux d'inversion du canal, correspondant aux mobilités les plus faibles et où le régime de transport est une combinaison de la diffusion et de la

dérive des porteurs (Figure IV-46). Ces écarts entraînent une incertitude sur l'extraction qui peut être de l'ordre de 15 à 20%.

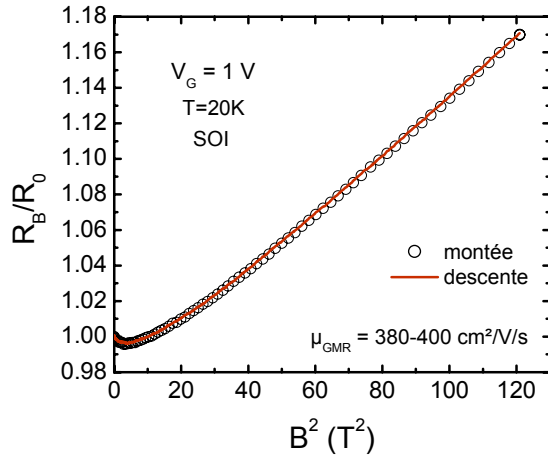


Figure IV-45 : Effet du sens de la rampe en champ magnétique sur l'extraction de la mobilité en forte inversion ($V_{GT} = 0,3V$).

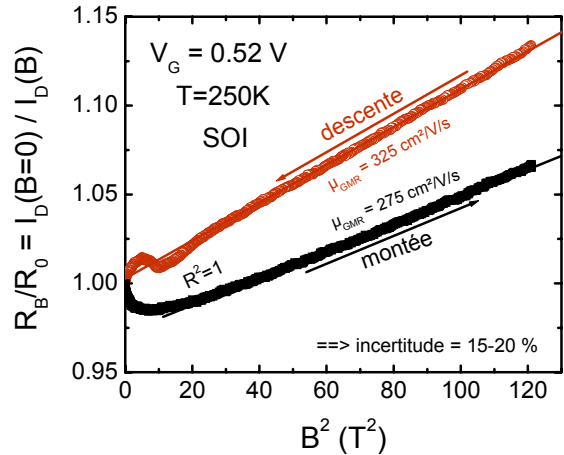


Figure IV-46 : Effet du sens de la rampe en champ magnétique sur l'extraction de la mobilité autour du seuil ($V_{GT} \approx 0$).

Un autre effet particulièrement gênant pour une extraction fiable apparaît même si l'effet du sens de la rampe est nul (Figure IV-45). Le courant de drain peut augmenter avec le champ magnétique avant de redescendre (Figure IV-47) ; comme si l'on passait par une phase de magnétorésistance négative. Cela se traduit sur la caractéristique $R_B/R_0(B^2)$ par une « virgule » avant de retrouver une dépendance en B^2 (Figure IV-45 et Figure IV-48). Plusieurs facteurs jouent sur cette tendance. Tout d'abord cet effet sera d'autant plus marqué que la température est basse. Ensuite cet effet sera d'autant plus marqué que la charge d'inversion sera faible (Figures IV-49).

Parfois même on trouve des sauts brutaux à partir d'un certain champ magnétique (Figure IV-48). Ceci peut-être lié par exemple à un changement brusque de tension de seuil lorsque le dispositif est polarisé trop longtemps¹⁵⁶.

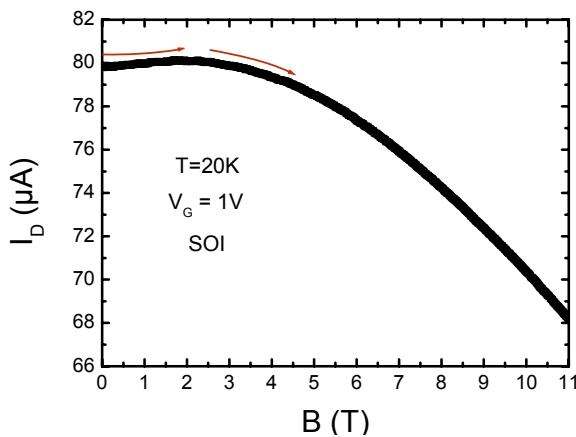


Figure IV-47 : Effet de « Magnétorésistance négative » à faible champ magnétique ($V_{GT} = 0,3V$).

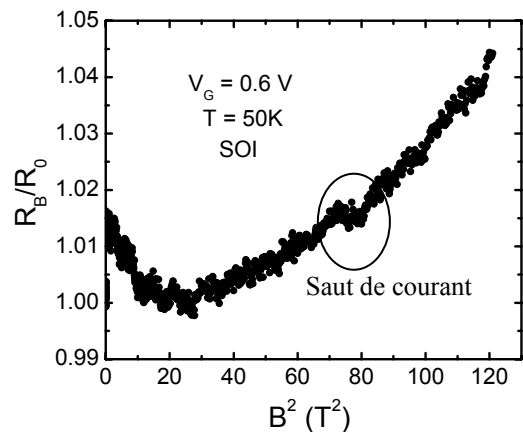
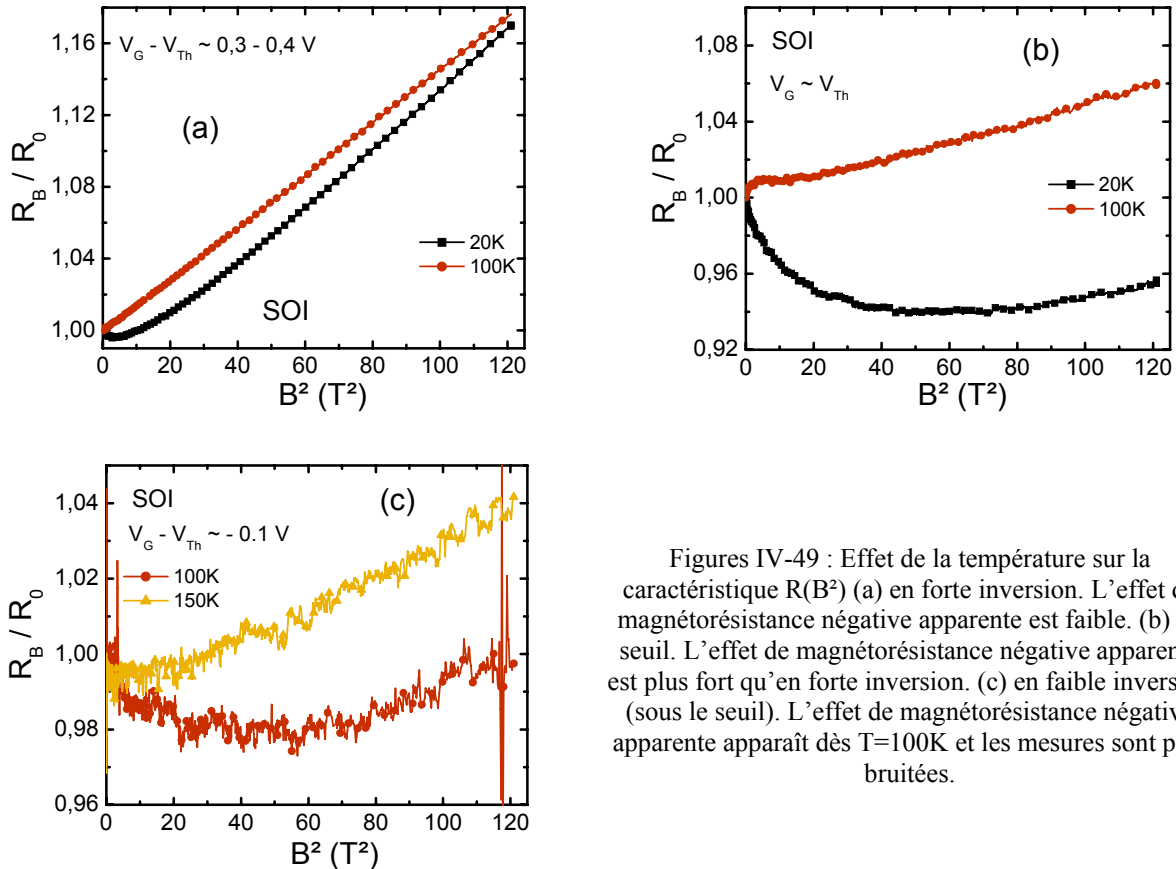


Figure IV-48 : Effet de magnétorésistance négative précédé d'un saut brutal de résistance ($V_{GT} = -0,1V$).

L'effet de magnétorésistance négative a été observé par d'autres personnes [CHAISA 06b]. La magnétorésistance négative observée habituellement dans les matériaux semi-conducteurs provient de la destruction de la localisation faible des électrons sous l'action d'un champ magnétique [CASSE 01]. Ce phénomène de localisation faible apparaît pour des températures inférieures à 4K et la perte de localisation faible (qui engendre donc une diminution de la résistivité du matériau) se produit dès lors qu'un faible champ magnétique est appliqué à la structure (ce champ critique est généralement inférieur à quelques milli teslas seulement) [LEE 98, MENSZ 87]. L'effet observé sur nos composants a donc une autre origine puisque l'on observe une

¹⁵⁶ En l'occurrence ici à une injection de charges négatives tendant à abaisser la tension de seuil.

magnétorésistance négative pour des températures bien supérieures à 4K et jusqu'à des champs magnétiques de quelques teslas, ce qui est incompatible avec la délocalisation faible.



Figures IV-49 : Effet de la température sur la caractéristique $R(B^2)$ (a) en forte inversion. L'effet de magnétorésistance négative apparente est faible. (b) au seuil. L'effet de magnétorésistance négative apparente est plus fort qu'en forte inversion. (c) en faible inversion (sous le seuil). L'effet de magnétorésistance négative apparente apparaît dès $T=100$ K et les mesures sont plus bruitées.

Afin de déterminer l'origine de cette observation, une étude sur la cinétique de stabilisation du courant de drain avec le champ B et la tension de grille a été menée. En effet si le courant met du temps à s'établir à une polarisation V_G et à un champ magnétique B donnés, lorsque l'on effectue une rampe en champ B , on comprend qu'il puisse exister une « virgule » en début de mesure, le temps que le courant se stabilise. L'extraction est alors perturbée puisque la valeur du courant à champ magnétique nul s'écarte de la tendance parabolique observée à plus fort champ B .

La Figure IV-50 fait la synthèse de la cinétique observée pour une tension de grille correspondant au régime de très faible inversion (sous le seuil) pour une température de 50K. Le courant se stabilise au bout de 5 secondes environ. Il varie au cours du temps dans une gamme de l'ordre du pourcent (<1%) jusqu'à des champs magnétiques de plusieurs teslas. Cependant les variations du courant attendues avec le balayage en champ B est aussi de l'ordre du pourcent (>1%) dans cette gamme de V_{GT} (faibles mobilités). L'incertitude sur l'extraction de mobilité dans ce régime sera alors importante. Plus la charge d'inversion N_{inv} augmente, plus le courant de drain I_D se stabilise rapidement. De même plus le champ B augmente, plus I_D se stabilise vite. Ainsi la mesure est plus précise et l'extraction plus fiable en forte inversion ou aux forts champs B (d'où l'idée d'extrapolation de I_D de $B=11$ T jusqu'à la valeur normalement attendue à $B=0$ pour s'affranchir de cet effet nuisible à l'extraction). Enfin plus la température augmente moins I_D est bruité, la mesure est alors plus fiable bien que plus la température augmente plus le courant diminue (mobilité diminue). Pour une charge d'inversion correspondant au régime d'inversion forte, ces effets deviennent négligeables.

En résumé, retenons que l'observation d'une magnétorésistance négative apparente est en grande partie liée à la cinétique de stabilisation du courant de drain. Il convient donc de laisser le courant se stabiliser suffisamment longtemps entre chaque points de mesure (en champ magnétique comme en tension de grille). Ainsi aux faibles charges d'inversion, là où le courant et la mobilité

sont les plus faibles et où le bruit est plus fort, il convient de laisser de grands temps de stabilisation (les cinétiques de piègeages étant plus longues à faible champ). En revanche en forte inversion, où le courant et la mobilité sont plus forts et où le piègeage est plus rapide, le délai de stabilisation pourra être beaucoup plus faible (il faudra toutefois veiller à empêcher toute dégradation du diélectrique de grille).

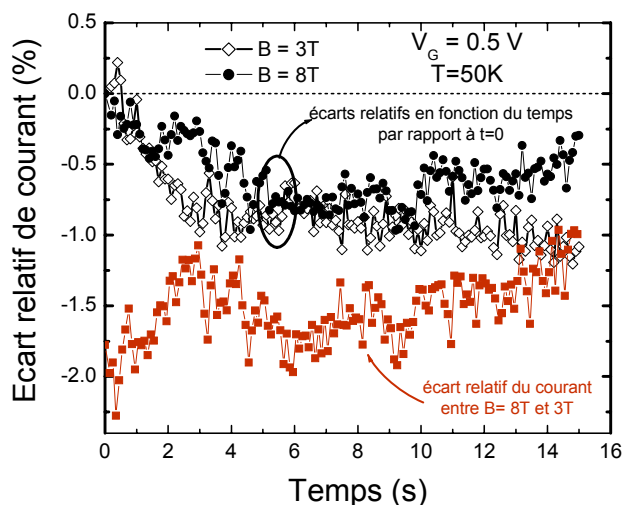


Figure IV-50 : Ecarts relatifs du courant en fonction du temps et selon le champ magnétique appliqué dans le cas du régime de faible inversion ($V_{GT} \approx -0,2V$).

IV.C.2.2 Technique B : Balayage en tension de grille V_G pour différents champs magnétiques B fixés

Cette technique présente l'avantage de pouvoir obtenir plus rapidement une courbe complète de mobilité en fonction du champ $\mu(V_G)$. On effectue un balayage sur la tension de grille pour les valeurs de champ magnétique suivantes : 0 ; 3 ; 6 ; 8 ; 9 ; 10 et 11 T. On peut ensuite obtenir la pente de la courbe $R_B/R_0(B^2)$ ainsi obtenue comportant sept points de mesure pour une tension de grille donnée (Figure IV-51). Le courant de drain est ici mesuré avec un analyseur de paramètre de semi-conducteur HP4155 ce qui permet notamment de mesurer de très faibles courants (jusqu'à quelques dizaines de femtoampères). Les résultats sont identiques à ceux obtenus avec la technique A (cf. Figure IV-52 en forte inversion).

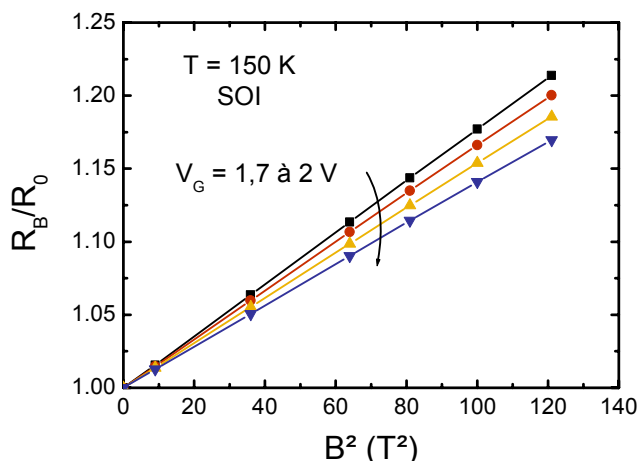


Figure IV-51 : Evolution du ratio de résistance R_B/R_0 en fonction de B^2 pour différentes tensions de grille à $T=150K$ en très forte inversion.

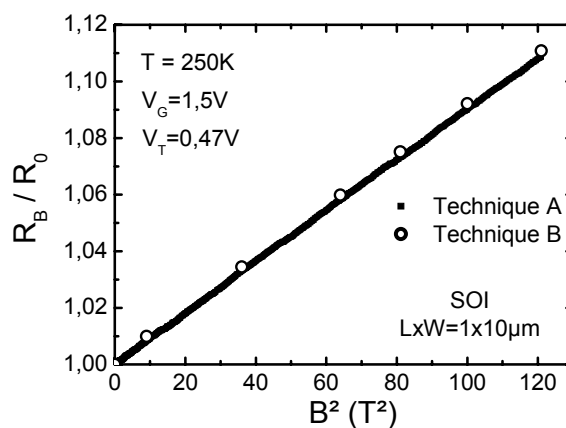


Figure IV-52 : Comparaison des deux techniques A et B en forte inversion.

Afin d'extraire la mobilité pour de relatives faibles charges d'inversion et s'affranchir des problèmes de stabilisation de courant, on peut par exemple ajouter un délai (*delay time*) entre chaque point de mesure du balayage de la tension de grille. Nous avons imposé un délai de 5 secondes avant de prendre la mesure ; le courant de drain est alors partiellement stabilisé ce qui

rend l'extraction plus fiable aux faibles charges d'inversion. Sur la Figure IV-53 est représentée la mobilité de magnétorésistance géométrique extraite par cette technique. Chaque point de mobilité correspond à une régression linéaire satisfaisant le critère $R^2 > 0,99$. La linéarisation a été faite soit sur tous les points en champ B soit sur les trois valeurs les plus fortes du champ B. On note ainsi que le délai permet d'obtenir des points de mobilité pour des tensions de grille plus faibles si l'on fait la linéarisation sur tous les points en champ B (de 0 à 11 T). Ce résultat confirme également que plus le champ B est grand, plus le courant se stabilise rapidement (extraction identique avec ou sans délai lorsque la linéarisation n'est faite que sur les trois champs magnétiques les plus forts).

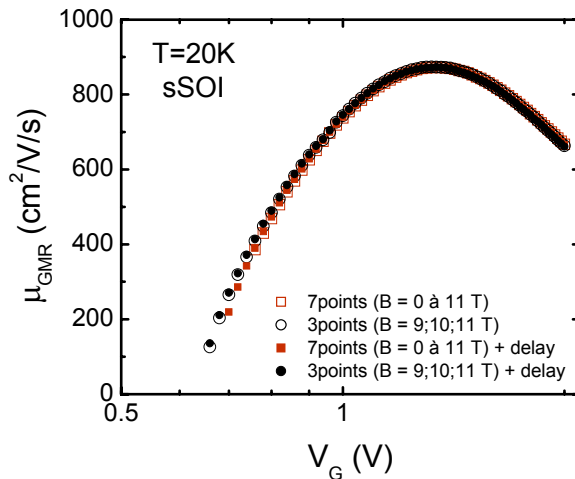


Figure IV-53 : Impact d'un délai de 5s entre chaque mesure (stabilisation) sur l'extraction de la mobilité selon le nombre de points en champ B ayant servis pour la linéarisation de la caractéristique $R_B/R_0(B^2)$

IV.C.2.3 Résultats de mobilité de magnétorésistance géométrique sur des transistors longs

IV.C.2.3.1 Evolution de la tension de seuil avec le champ magnétique

La Figure IV-54 représente l'évolution du courant de drain avec la tension de grille pour différents champs magnétiques allant de 0 à 11T. Dans l'insert, représentant le courant en échelle logarithmique, on remarque que le courant sous le seuil ne varie quasiment pas avec le champ magnétique. La tension de seuil est donc quasi-indépendante du champ magnétique ; les variations sont inférieures à 10 mV entre 0 et 11T (Figure IV-55). L'impact sur le courant en forte inversion est donc négligeable. En revanche sous le seuil, en régime de diffusion, l'effet du champ magnétique n'est pas nul puisque le ΔV_T , extrait à courant constant, est non strictement nul. Ceci est cohérent avec notre discussion du §IV.C.1.2.3.

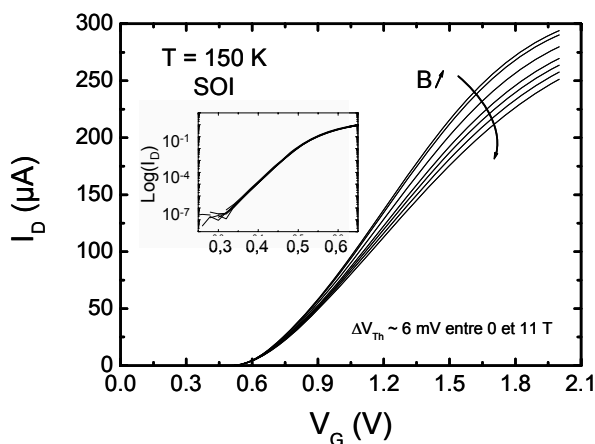


Figure IV-54 : Evolution du courant de drain avec la tension de grille pour différents champs magnétiques. Insert en échelle semi-logarithmique afin de visualiser le courant sous le seuil.

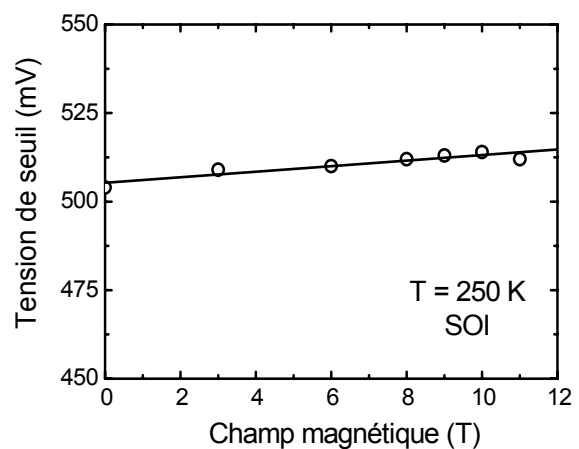
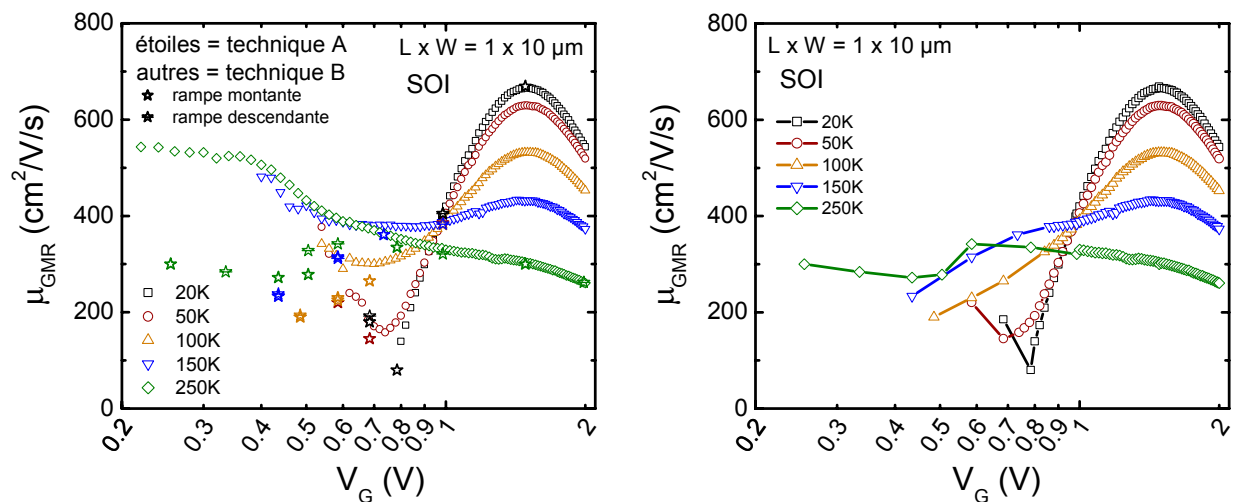


Figure IV-55 : Evolution de la tension de seuil, déterminée à $I_D = \text{cte} = 10^{-7} \text{ W/L}$, en fonction du champ magnétique.

IV.C.2.3.2 Comparaison des mobilités de magnétorésistance extraites par les deux techniques

Les Figures IV-56 représentent les mobilités extraites sur un transistor SOI complètement déserté en fonction de la tension de grille appliquée, en échelle semi-logarithmique, pour des températures allant de 20K jusqu'à 250K. Les deux techniques d'extraction ont été utilisées afin de vérifier la cohérence des résultats sur toute la gamme de tension appliquée. On remarque qu'en forte inversion les deux techniques donnent exactement la même valeur de mobilité alors qu'en faible inversion on note un écart très important (les valeurs extraites par la technique A sont représentées par des étoiles, creuses pour une rampe montante, rayées pour une rampe descendante). La technique A étant plus fiable pour les faibles niveaux d'inversion (meilleure stabilisation en temps pour les faibles niveaux de courant), les valeurs correspondant à cette technique ont été retenues dans cette gamme. Ainsi la figure de droite des Figures IV-56 montre la fusion des deux techniques. Un grand nombre de points fiables sont obtenus rapidement en forte inversion grâce à la technique B et quelques points en faible inversion obtenus par la technique A.



Figures IV-56 : Comparaison des mobilités de magnétorésistance d'un transistor FDSOI long en fonction de la tension de grille en échelle semi-logarithmique pour différentes températures extraites par les deux techniques A et B. Les points extraits par la technique A dite de rampe en champ magnétique sont représentés par des étoiles. À droite, seuls les points significatifs sont représentés (faible inversion = technique A ; forte inversion = technique B).

Il est intéressant de noter qu'en faible inversion (régime de diffusion pure), on obtient une mobilité quasi-constante avec la tension de grille à $T=250\text{K}$. La technique de magnétorésistance est la seule à pouvoir fournir de telles valeurs à des niveaux de charges si faibles ($<10^{11}\text{cm}^{-2}$). Lorsque la tension de grille augmente, on passe du régime de diffusion pure à un régime intermédiaire avant de rentrer dans le régime de transport de dérive pure (Figure IV-57)¹⁵⁷. Plusieurs hypothèses ont été émises pour expliquer l'origine de ce plateau, observé aussi par Meziani *et al.* sur des transistors courts [MEZIAN 04]¹⁵⁸. Il peut s'agir notamment de la manifestation d'un transport en régime de faible localisation liée aux fluctuations du potentiel de surface de la grille dont l'origine peut venir de la distribution aléatoire de charges dans l'oxyde [GHIBAU 86]. D'une manière générale, le désordre entraîne des fluctuations de potentiel importantes au regard de l'énergie des porteurs ce qui a pour effet de bloquer certains porteurs, en faible quantité dans la couche, situés dans des puits de potentiels. Le taux de désordre induit par des fluctuations de potentiel est généralement caractérisé par la largeur en énergie de la région où il existe ces états localisés (en bord de bande), notée

¹⁵⁷ Pour s'affranchir des questions soulevées par l'extraction de μ_{GMR} en régime de diffusion, on peut effectuer des mesures à très faible tension de drain afin de rester dans un régime de transport de dérive ($V_D < k_B T$) (cf. Équation I-5).

¹⁵⁸ Notons que dans notre cas il s'agit plus d'une remontée lorsque V_G diminue que d'un réel plateau (à 300K comme à 20K). Notons simplement que cette remontée aux faibles N_{inv} a été obtenue par le calcul pour certaines architectures, différentes des nôtres (grille en poly-Si), en prenant en compte l'effet des plasmons [FISCHE 01b].

$\Gamma = E_d - E_0$, où E_d représente l'énergie en-dessous de laquelle les porteurs sont bloqués, dans le cas de la présence de désordre. En absence de désordre $E_d=E_0$. Ainsi le nombre de porteurs participant effectivement au transport est réduit. Ce phénomène est responsable d'une dégradation de la mobilité effective et est accentué à basse température. C'est ce que l'on observe puisque, à mesure que la température diminue, les valeurs de mobilité à faible V_G diminue (comportement opposé aux plus fortes V_G où le mécanisme d'interaction avec les phonons prédomine). Cependant nous n'avons pu obtenir de façon précise ce plateau pour les plus faibles températures. L'origine de ces fluctuations de potentiel peut aussi être liée au fluctuation du dopage dans le cas des transistors courts, pour lesquels ces phénomènes prennent une importance majeure. Enfin l'origine de ce plateau peut aussi s'expliquer par la présence de charges coulombiennes. On peut montrer qu'en régime de Boltzmann, pour les très faibles charges d'inversion, pour lesquelles l'écrantage des charges coulombiennes par la charge d'inversion n'est pas encore effectif, la mobilité des porteurs limitée par l'ensemble des charges coulombiennes présentes doit être constante avec N_{inv} . Actuellement nous penchons plutôt vers cette hypothèse pour interpréter nos résultats.

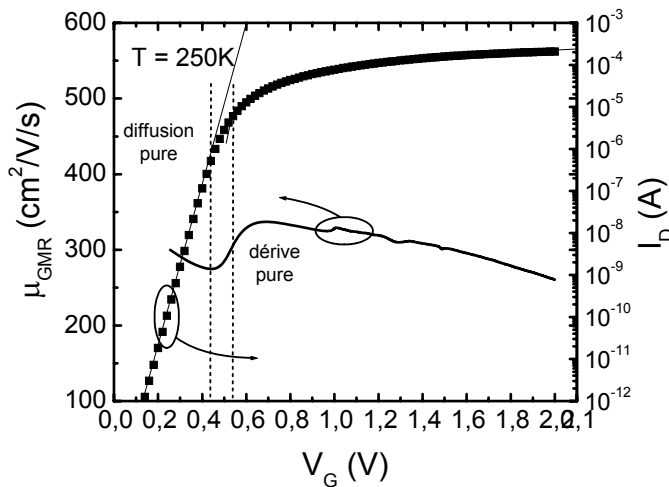
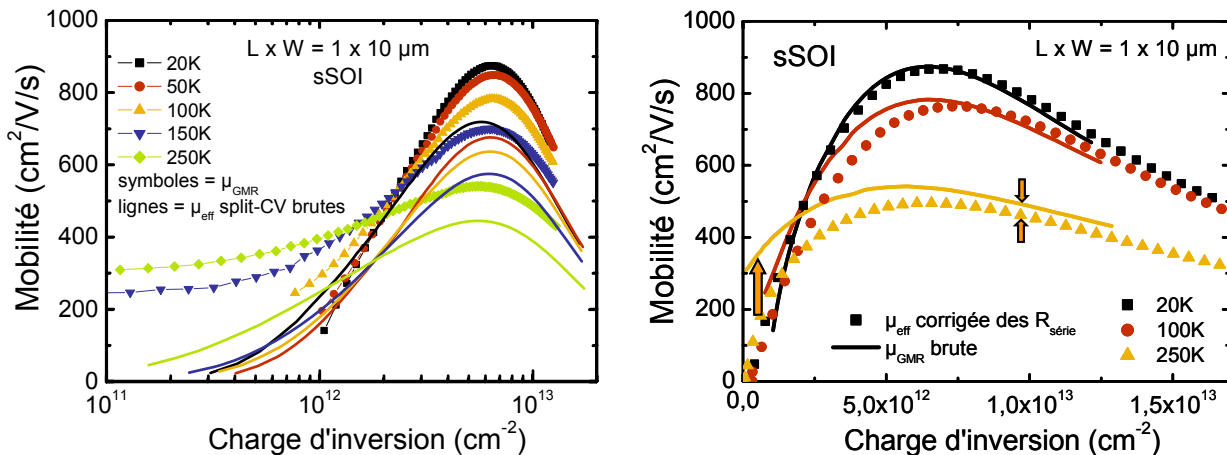


Figure IV-57 : comparaison des régimes de transport de courant de drain avec les résultats de mobilité de magnétorésistance à T=250K

IV.C.2.3.3 Comparaison des mobilités extraites par split CV et magnétorésistance

Les Figures IV-58 et la Figure IV-59 font la comparaison des mesures de mobilité effective extraite par split CV avec les mobilités de magnétorésistance (sSOI et SOI respectivement). Quelque soit la température et la charge d'inversion, la mobilité de magnétorésistance est supérieure à la mobilité effective. Après correction des résistances séries parasites sur la mobilité effective, on constate que la mobilité de magnétorésistance se superpose à la mobilité effective à basse température.



Figures IV-58 : Comparaison des mobilités effectives (mesurées par la technique split-CV), non corrigées des $R_{série}$ (à gauche) et corrigées des $R_{série}$ (à droite) avec les mobilités de magnétorésistance extraites sur des MOSFETs FD sSOI. La charge d'inversion a été déterminée par mesure capacitive $C_{GC}(V_G)$.

Les écarts de μ_{GMR} par rapport à la mobilité de dérive μ_{eff} sont donnés sur la Figure IV-60 en fonction de la température pour les dispositifs sSOI. L'écart diminue avec la température. En effet à très basse température, la mobilité de magnétorésistance doit être égale à la mobilité effective puisqu'il n'y a plus de dispersion en énergie des temps de relaxation (tous les porteurs occupent le même niveau quantifié d'énergie, *i.e.* le niveau fondamental E_0). Aux faibles charges d'inversion, où les interactions coulombiennes prédominent, l'écart est plus grand alors qu'en forte inversion il est très réduit. Ces observations sont donc cohérentes d'après les Figures IV-41 et l'Équation IV-62. Le ratio r_{GMR} dépend essentiellement de la dispersion en énergie des porteurs. Dans le cas d'un gaz 2D, les porteurs sont confinés sur des niveaux d'énergie quantifiés E_i (cf. §II.B.2.3). On peut alors montrer que le ratio r_{GMR} est principalement déterminé par la différence d'énergie entre les deux premiers niveaux occupés, notée ΔE , normalisée par rapport à l'énergie thermique $k_B T$ [DONETT 07]. Quelque soit la température et la charge d'inversion, au-delà de quelques $\Delta E/k_B T$, r_{GMR} tend vers l'unité. Le confinement joue un rôle similaire à la température sur le peuplement des sous-bandes, c'est pourquoi en forte inversion r_{GMR} est réduit comme il l'est à basse température.

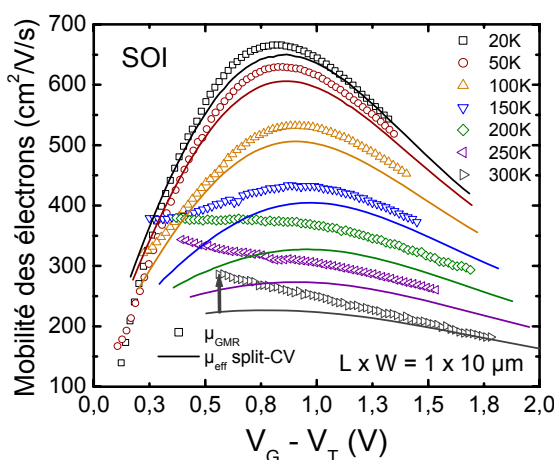


Figure IV-59 : Comparaison des mobilités effectives corrigées des $R_{série}$ avec les mobilités de magnétorésistance extraites sur des MOSFETs FD SOI. La tension de seuil a été extraite à courant constant. Pour $T > 100K$, μ_{GMR} devient plus grand que μ_{eff} pour les faibles $V_G - V_T$

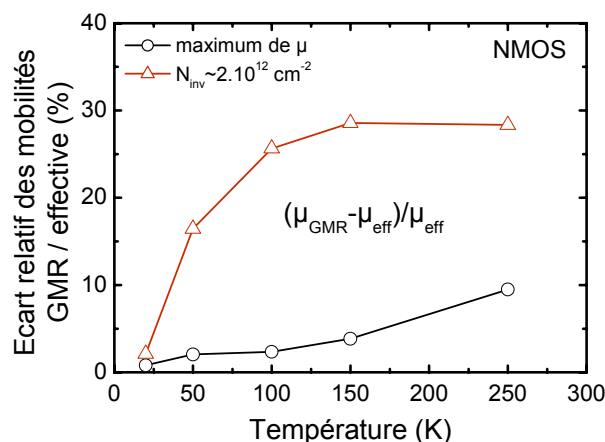


Figure IV-60 : Evolution de l'écart relatif entre la mobilité de magnétorésistance et la mobilité effective en fonction de la température et pour différentes conditions d'inversion. Mesures effectuées sur dispositifs FD sSOI.

Sur la Figure IV-61 sont comparées les mobilités de magnétorésistance (μ_{GMR}), effective (μ_{eff}) et extraite par la fonction Y (μ_Y à fort champ). La courbe μ_{eff} peut être reconstruite à partir de μ_Y , en ajoutant la mobilité limitée par les interactions coulombiennes (μ_{CS}) selon la règle de Matthiessen ; μ_{CS} étant extraite expérimentalement à faible champ et à basse température.

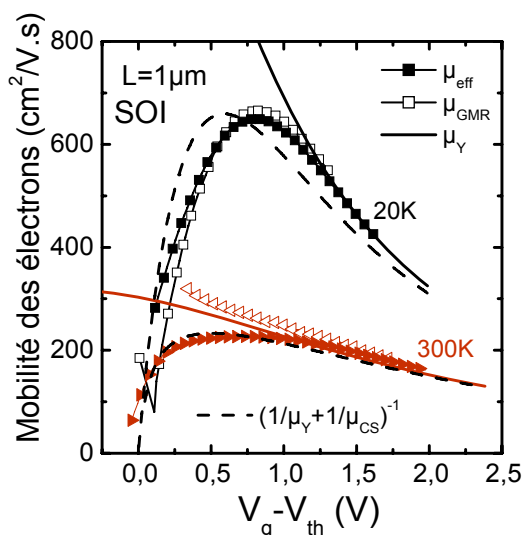


Figure IV-61 : Comparaison des mobilités effective, de magnétorésistance et extraite par la fonction Y (à fort champ) en fonction de $V_G - V_T$ à la température ambiante et à 20K sur des MOSFETs FDSOI longs. La courbe en pointillé représente la modélisation de la mobilité totale en ajoutant les interactions coulombiennes à la mobilité extraite à fort champ par la fonction Y.

La Figure IV-62 représente le calcul des mobilités de magnétorésistance et effective limitée par les interactions coulombiennes à distance. On obtient une mobilité μ_{GMR} presque trois fois plus grande que la mobilité effective à 300K sur une large gamme de charge d'inversion alors qu'à 20K l'écart est quasi-nul. Sur la Figure IV-63 on retrouve une décroissance de l'écart avec la charge d'inversion et la température. Pour les faibles charges d'inversion et à température ambiante, c'est-à-dire lorsque le gaz 2D est non dégénéré, on retrouve la formule approchée donnée par l'Équation IV-65. Nos mesures donnent quant à elle un écart maximal de seulement 30% à $N_{\text{inv}}=2 \times 10^{12} \text{ cm}^{-2}$. Cela vient en partie du fait qu'à cette température, les phonons limitent aussi la mobilité (même à $2 \times 10^{12} \text{ cm}^{-2}$).

À fort champ, où les interactions avec la rugosité de surface prédominent, l'écart est quasi-nul. Ceci est cohérent avec l'indépendance supposée des temps de relaxation de la rugosité de surface ($\tau_{\text{SR}}(\varepsilon) = \text{cte}$).

Enfin notons que les pics de mobilités de magnétorésistance et effective sont très proches (Figures IV-58 et Figure IV-59). Ceci rend pertinent l'étude de la mobilité de magnétorésistance des transistors ultracourts lorsque la mobilité effective est difficilement extractible.

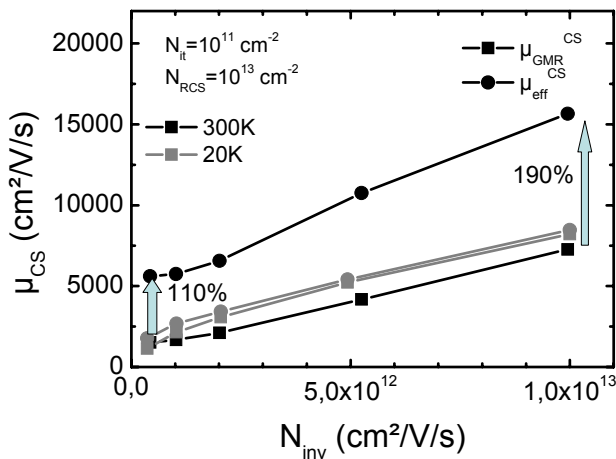


Figure IV-62 : Calcul théorique des mobilités effective et de magnétorésistance limitées par les seules interactions coulombiennes à distance. Seuls les deux premiers niveaux des vallées $\Delta 2$ et les premiers niveaux des vallées $\Delta 4$ sont pris en compte.

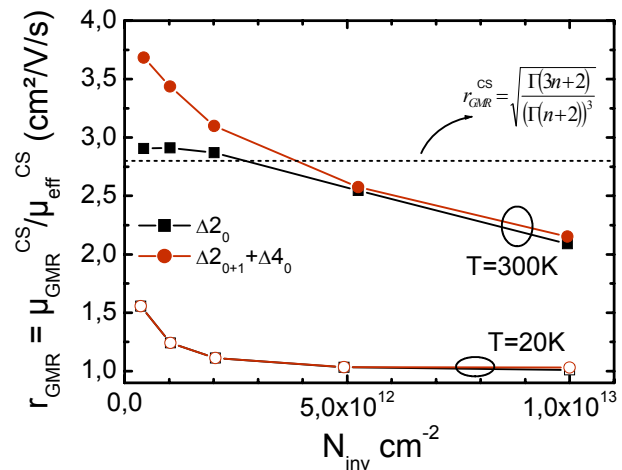


Figure IV-63 : Calcul du rapport entre la mobilité de magnétorésistance et la mobilité effective à 300K et à 20K en fonction de la charge d'inversion.

IV.C.3 Conclusion

En définitive, retenons que l'extraction de la mobilité par magnétorésistance géométrique est un outil d'investigation formidable pour le transport des transistors ultracourts, là où les techniques d'extraction traditionnelles montrent leurs limites.

Chapitre V - Etude expérimentale et analyse physique du transport dans les MOSFETs à canal fortement contraint biaxialement en tension en technologie FDSOI avancée

Au cours de ce chapitre, nous allons étudier en détails la mobilité de MOSFETs en technologie FDSOI avancée. L'effet d'une contrainte en tension biaxiale sur ce paramètre de transport sera particulièrement étudié, dans un premier temps sur des transistors longs et larges, grâce en particulier à la technique split CV (cf. §IV.B), puis dans un deuxième temps sur des transistors ultracourts, grâce notamment à la technique de magnétorésistance (cf. §IV.C). Les transistors étudiés dans ce chapitre sont essentiellement larges ($W \geq 1 \mu\text{m}$). En préambule, les effets du niveau de contrainte seront étudiés sur différents paramètres majeurs du MOSFET comme les fuites de grille ou encore la tension de seuil.

V.A Effets du niveau de contrainte sur les transistors longs

Différents niveaux de contraintes biaxiales en tension ont pu être introduits en faisant varier la concentration de germanium dans la couche tampon ayant servie à l'épitaxie de la couche active de silicium, orientée selon (001) (cf. §II.C.1.4) : 20%, 30% et 40%, soit des contraintes équivalentes selon la direction [110] d'environ 1,36GPa, 2,07GPa et 2,8GPa respectivement ou des déformations dans le plan de 0,76%, 1,15% et 1,55% (cf. §II.C.1).

V.A.1 Effet sur les fuites de grille – Extraction de la hauteur de barrière Si/SiO₂

Un effet intéressant d'une contrainte mécanique en tension biaxiale est d'augmenter la barrière de potentiel qui existe à l'interface entre le canal du MOSFET et le diélectrique de grille (cf. théorie du silicium contraint développée au Chapitre II, notamment sur les décalages énergétiques des bandes au §II.B.3). Les courants de fuites de grille de type tunnel seront donc amoindris dans une architecture contrainte. Cet effet attendu théoriquement a pu être vérifié expérimentalement. Nous avons tracé l'évolution des fuites de grilles en fonction de la tension de grille appliquée (Figure V-1). Quelque soit la contrainte, le niveau de fuite semble identique. Or la tension de seuil diminue avec la contrainte (Figures V-8 et Figure V-4) ce qui implique que, à même champ électrique, les fuites de grille sont plus faibles sur les substrats contraints.

Pour des oxydes minces ($< 7\text{nm}$), le mécanisme de conduction principal est la conduction par courant tunnel Fowler-Nordheim (Figure V-2). L'expression de la densité de courant tunnel de type Fowler-Nordheim (FN) est donnée par :

$$J_g = \frac{m_{\text{Si}} \cdot q^3 \cdot E_{\text{ox}}^2}{8\pi \cdot h \cdot m_{\text{ox}} \cdot \phi_b} \exp\left(-\frac{8\pi\sqrt{2m_{\text{ox}}}}{3h \cdot q \cdot E_{\text{ox}}} \phi_b^{3/2}\right) \text{ (A.m}^{-2}\text{)} \quad \text{Équation V-1}$$

où m_{Si} et m_{ox} sont les masses effectives de l'électron dans la bande de conduction du silicium et de l'oxyde de grille respectivement et dans la direction du champ électrique E_{ox} dans l'oxyde (direction du confinement)¹⁵⁹. ϕ_b est la barrière de potentiel à l'interface silicium/oxyde (en eV).

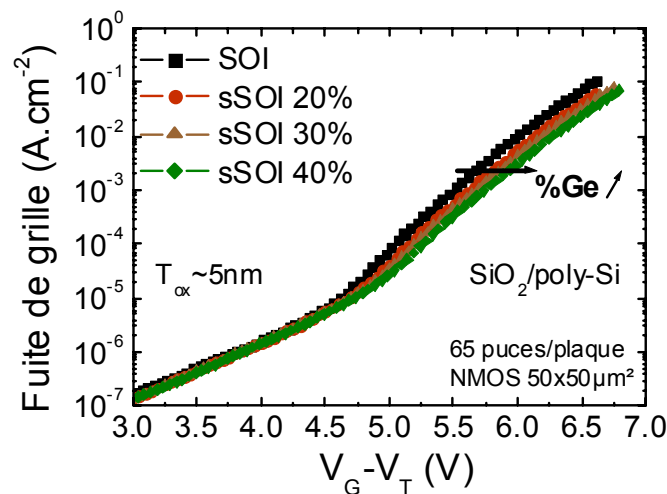


Figure V-1 : Evolution du courant de grille avec la tension de grille pour différents niveaux de contraintes biaxiales en tension. L'épaisseur de SiO₂ est d'environ 5nm.

Avec un tracé de type FN, il est donc possible d'extraire la barrière de potentiel ϕ_b (Figure V-2). ϕ_b augmente linéairement avec la contrainte ; elle est en effet directement liée au décalage du bas de la bande de conduction $\Delta E_{\Delta 2}$ (Figure V-3).

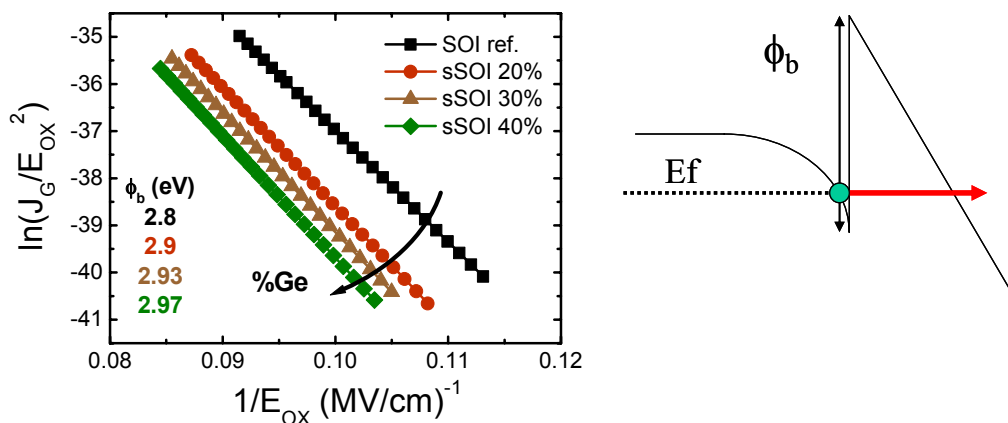


Figure V-2 : Tracé Fowler-Nordheim pour l'extraction de la hauteur de barrière ϕ_b à l'interface Si/SiO₂. Travail réalisé en collaboration avec X. Garros.

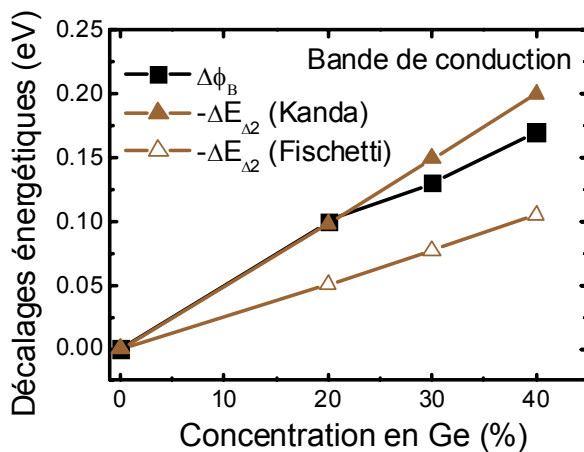


Figure V-3 : Décalages énergétiques en bande de conduction du silicium en fonction d'une contrainte mécanique en tension biaxiale dans le plan (001).

¹⁵⁹ m_{ox} a été prise égale à 0,55 m_0 pour modéliser les fuites de grille (valeur proche de celles communément admises).

On constate sur la Figure V-3 que les potentiels de déformation de Kanda sont plus proches des données expérimentales que ceux de Fischetti *et al.*, comme remarqué sur les caractéristiques $C(V)$ simulées au Chapitre II (cf. §II.B.3.1 et §II.B.3.5).

V.A.2 Modélisation du décalage de la tension de seuil avec la contrainte

Le décalage de la tension de seuil peut se modéliser simplement dans le cas des électrons (NMOS FDSOI). L'expression analytique de la tension de seuil est donnée par l'Équation A-21. En rappelant que $n_i = \sqrt{N_C N_V} \exp(-qE_G/2k_B T)$, il vient :

$$V_T = \phi_M - \chi_{Si} + \frac{k_B T}{q} \ln \left(\frac{k_B T C_{ox}}{q^2 T_{Si} \sqrt{N_C N_V}} \right) + \frac{\hbar^2 \pi^2}{2q m_{001} T_{Si}^2} \quad \text{Équation V-2}$$

Avec m_{001} la masse effective de confinement des électrons. D'où

$$\Delta V_T = \chi_{Si} - \chi_{sSi} + \frac{k_B T}{2q} \ln \left(\frac{N_{C,Si} \cdot N_{V,Si}}{N_{C,sSi} \cdot N_{V,sSi}} \right) + \frac{\hbar^2 \pi^2}{2q T_{Si}^2} \left(\frac{1}{m_{001,sSi}} - \frac{1}{m_{001,Si}} \right) \quad \text{Équation V-3}$$

Si l'on néglige les variations des masses effectives des électrons et des trous avec la contrainte en tension biaxiale, donc celles de N_C et N_V , on obtient :¹⁶⁰

$$\Delta V_T = -\Delta \chi_{Si} = \Delta E_C \quad \text{Équation V-4}$$

Ainsi le décalage de la tension de seuil est directement relié au décalage du minimum de la bande de conduction, et donc de la contrainte. En utilisant la théorie de Herring et Vogt, développée au §II.B.3.1 (Équations II-33), on obtient dans le cas d'une contrainte biaxiale dans le plan (001) :

$$\begin{aligned} \Delta V_T &= \delta E_{C,\Delta 2} = \Xi_d (2\varepsilon_{//} + \varepsilon_{\perp}) + \Xi_u \varepsilon_{\perp} \\ &= 2 \left(\Xi_d \left(1 + \frac{S_{12}}{S_{11} + S_{12}} \right) + \Xi_u \frac{S_{12}}{S_{11} + S_{12}} \right) \varepsilon_{//} \\ &= 2 [\Xi_d (S_{11} + 2S_{12}) + \Xi_u S_{12}] \sigma \end{aligned} \quad \text{Équation V-5}$$

Le lien avec le pourcentage de Ge est obtenu à l'aide des Équations II-113. La Figure V-4 montre que, en utilisant les valeurs numériques des potentiels de déformation de Fischetti *et al.* (Tableau II-2, p.71), déterminées à partir de calculs de mobilité, le décalage modélisé est deux fois plus faible que celui déterminé expérimentalement (tension de seuil extraite soit à partir de la mesure de la capacité soit à partir du courant de drain du MOSFET). En revanche si l'on utilise les valeurs proposées par Kanda *et al.* [KANDA 91a] (utilisées par Zaima *et al.* pour modéliser la piézorésistivité dans les n-MOSFETs [ZAIMA 89]¹⁶¹), l'accord entre théorie et expérience est parfait. Ainsi la non universalité des valeurs de potentiels de déformation utilisées dans la littérature semble démontrer notre manque de connaissance sur la nature exacte de chacun des mécanismes impliqués dans les phénomènes observés. En particulier nous pensons que l'ajustement nécessaire des potentiels de déformation fait par certains auteurs pour reproduire la mobilité traduit en réalité une description incomplète des modèles théoriques du calcul de la mobilité (interactions avec les phonons et la rugosité de surface notamment).

¹⁶⁰ Cette hypothèse est justifiée puisque pour un substrat XsSOI 40%, les second et troisième termes de l'Équation V-2 ne donnent des variations que d'environ +8,4 mV et -0,4mV respectivement par rapport à un substrat SOI non contraint (cf. variations des masses effectives avec une contrainte biaxiale au Chapitre II). La variation principale étant attribuée à celle de N_V via la variation de la masse effective de densité d'états 3D des trous.

¹⁶¹ Ξ_u étant de plus en accord avec la valeur expérimentale déterminée par Balslev [BALSLEV 66].

Notons aussi que le décalage de la tension de seuil augmente lorsque la température diminue (Figure V-5).

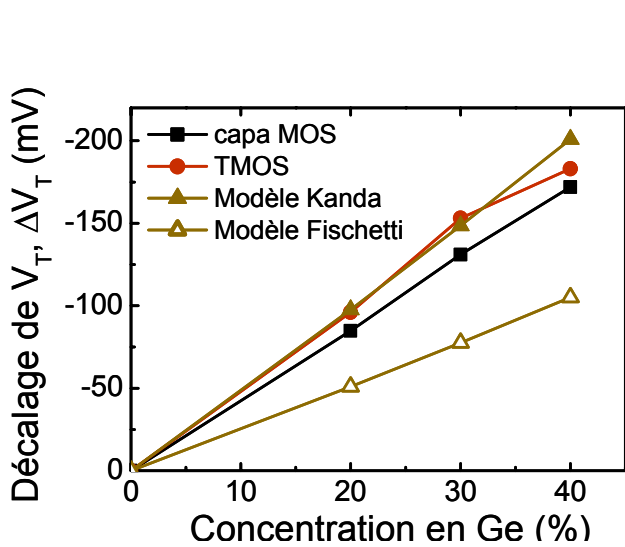


Figure V-4 : Confrontation des modèles de décalage de la tension de seuil selon les valeurs trouvées dans la littérature (cf tableau à droite) avec l'expérience en fonction de la contrainte.

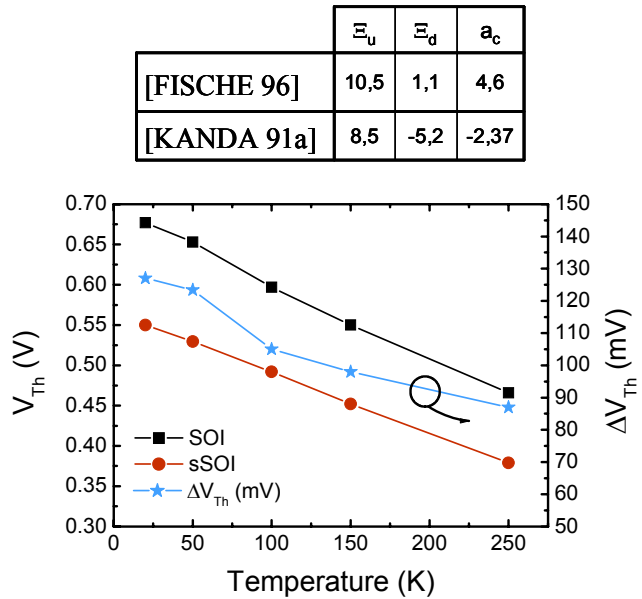


Figure V-5 : Evolution de la tension de seuil de transistors SOI et sSOI avec la température.

V.A.3 Effet de la contrainte sur la mobilité des transistors longs

Dans cette partie, l'étude de la mobilité sera étudiée sur deux empilements de grille différents : un premier empilement de grille standard (ou conventionnel), à savoir un diélectrique de grille en SiO₂ avec une grille en polysilicium (poly-Si/SiO₂) et un second, dit avancé, avec une grille métallique en nitrure de titane sur un diélectrique de grille à forte permittivité à base d'Hafnium (TiN/HfO₂).

V.A.3.1 Empilement de grille conventionnel SiO₂/poly-Si

L'épaisseur finale de silicium est de 13±0,7nm. L'épaisseur de l'oxyde enterré (BOX) est de 145nm (plaques Unibond™ de SOITEC). L'empilement de grille est standard : l'oxyde de grille SiO₂ est épais (5nm) afin de s'affranchir des effets coulombiens liés aux très faibles épaisseurs de SiO₂ [CASSE 06b]. L'épaisseur de la grille en poly-Si est de 100nm et de type N⁺⁺. Les S/D ont été par ailleurs siliciurées par du nickel (NiSi). La contrainte présente dans le film mince de silicium ne modifie en rien la qualité de la siliciuration, la résistance carrée étant de l'ordre de 8Ω quelque soit le type de MOSFET et le niveau de contrainte (cf. Figure V-6).

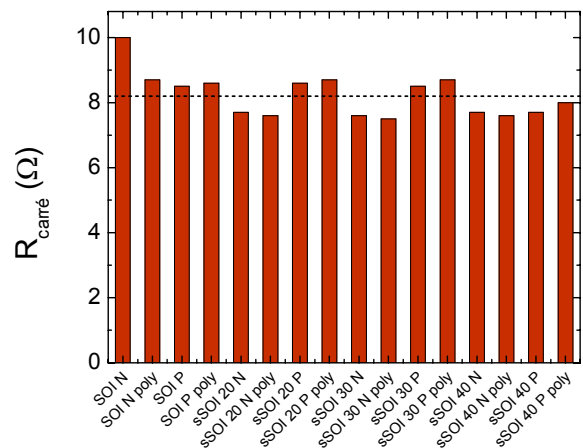


Figure V-6 : Résistance carrée des S/D en fonction du type de MOSFET et du niveau de contrainte.

V.A.3.1.1 Mobilité des électrons

La Figure V-7 représente l'évolution de la mobilité effective des électrons en fonction de la charge d'inversion pour différents niveaux de contraintes biaxiales en tension¹⁶². La mobilité maximale est obtenue avec le substrat sSOI 30%. Ce substrat présente donc une amélioration intéressante comparativement au substrat sSOI 20%. Une dégradation de la mobilité à faible champ est observée pour le substrat sSOI 40%. À fort champ, les substrats sSOI 30% et 40% présentent une mobilité légèrement supérieure à celle d'un substrat sSOI 20%. Ainsi il semble que la perte de mobilité à faible champ pour le substrat sSOI 40% ne soit pas un effet de relaxation de contrainte. Ceci a pu être confirmé en traçant l'évolution de la tension de seuil en fonction du niveau de contrainte (Figures V-8).

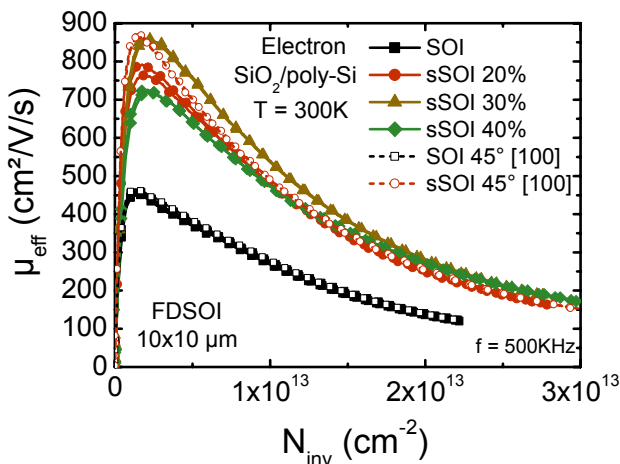
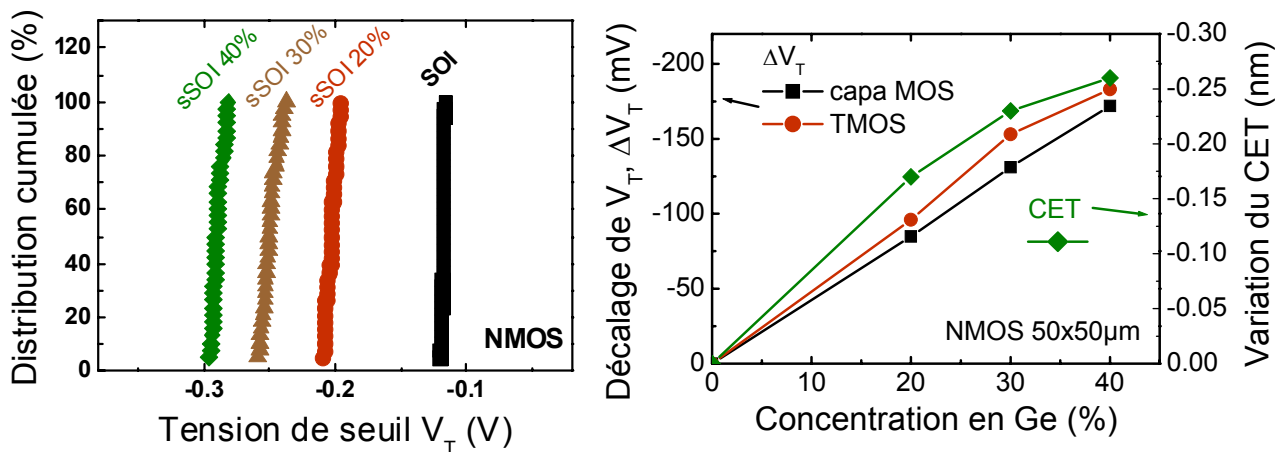


Figure V-7 : Mobilité effective des électrons en fonction de la charge d'inversion pour différents niveaux de contraintes biaxiales en tension et pour différentes orientations du canal (standard = [110], 45°=[100]).

La tension de seuil évolue linéairement pour des substrats allant de 0 à 40% de Ge, indiquant que le niveau de contrainte est bien conservé, même pour le substrat sSOI 40%. La dégradation de la mobilité du substrat sSOI 40% est probablement liée à des défauts locaux du matériau. Ce type de substrat n'est donc pas encore complètement maîtrisé. Toutefois les substrats sSOI 20% et surtout 30% montrent d'excellents résultats en terme de mobilité des électrons. Un gain sur le courant I_{ON} peut donc être attendu (cf. résultats au Chapitre VI). De plus la dispersion observée sur ce genre de substrats avancés reste très faible, même si elle augmente avec le niveau de contrainte (Figure V-9).



Figures V-8 : Distribution cumulée de la tension de seuil pour les différents substrats SOI et sSOI (à gauche). Evolution de la tension de seuil avec le pourcentage de germanium, mesurée sur une capacité MOS et sur un TMOS, et variation de la capacité en inversion CET (à droite).

Ces résultats montrent que l'effet d'une contrainte biaxiale en tension reste bénéfique pour les électrons d'une couche fine de silicium (technologie FDSOI). Les gains observés sont tout à fait comparables à ceux obtenus en technologie sur silicium massif (sSi/SiGe relaxé/Si massif) comme

¹⁶² Ici toutes les courbes de mobilités seront étudiées en fonction de la charge d'inversion, qui est directement proportionnelle au champ effectif dans le cas de dispositifs FDSOI (cf. Équation II-53 et §I.C.1.2.2).

l'illustre les Figures V-10. La différence principale est le dopage du canal, intrinsèque en technologie FDSOI, et de l'ordre de quelques 10^{17} cm^{-3} en technologie sur silicium massif. L'épaisseur du film de silicium est aussi à prendre en considération. Nos résultats sont aussi comparables à ceux obtenus par Rim *et al.* [RIM 03] et présentés sur la Figure II-66.

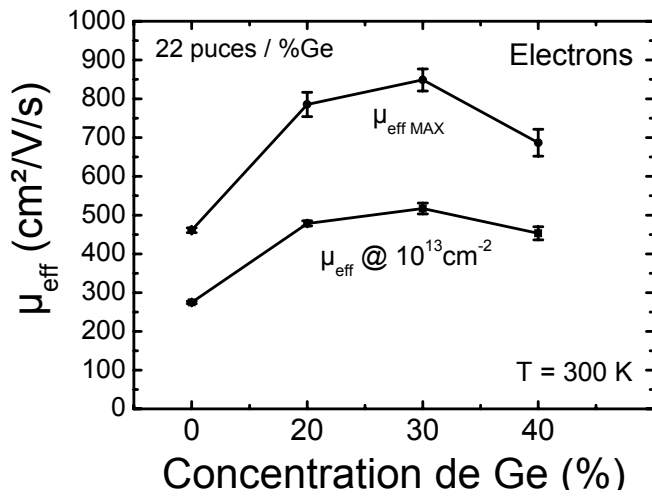
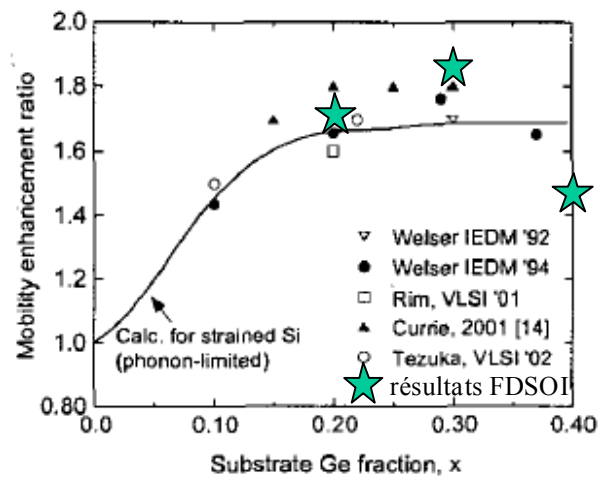
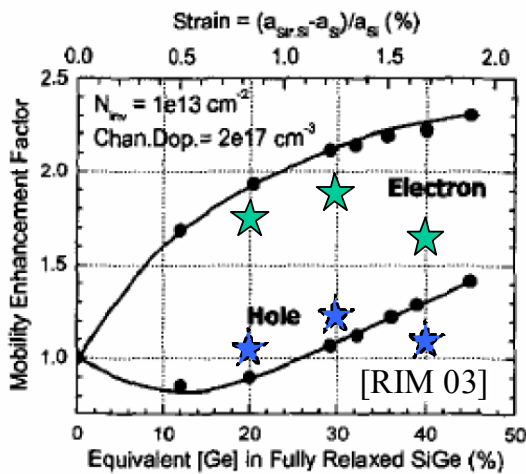


Figure V-9 : Evolution de la mobilité effective des électrons avec le niveau de contrainte (en % de Ge) et dispersion sur 22 puces.



Figures V-10 : Comparaison des gains en mobilité des électrons et des trous (pour $N_{inv}=10^{13} \text{ cm}^{-2}$ à gauche et mobilités maximales à droite) entre une architecture sur silicium massif et sur film mince (FDSOI). Les étoiles correspondent aux dispositifs FDSOI testés (empilement de grille conventionnel).

• Variations du CET avec le pourcentage de germanium utilisé pour réaliser la couche contrainte :

Enfin une variation de la capacité en inversion (CET, cf. note de bas de page n°20, p.24) est induite par le procédé (Figures V-8 à droite). D'après les remarques et simulations des caractéristiques $C(V)$ réalisées au §II.B.3.5 (p.80), cette variation ne peut s'expliquer que par une modification de l'épaisseur physique de l'oxyde (EOT). Ainsi pour de mêmes conditions d'oxydation (à 800°C pendant environ $2\text{H}30^{163}$), la croissance de l'oxyde de silicium semble plus lente sur une surface en tension. La cinétique de croissance d'une couche SiO_2 (pendant un recuit en atmosphère oxydante) est régie par un double mécanisme : la diffusion des espèces oxydantes à travers la couche d'oxyde déjà formée et la réaction de ces espèces avec le silicium à l'interface Si/SiO_2 [DEAL 65]. Il est connu depuis longtemps que tout ce qui met l'oxyde déjà formé en compression ralentit la diffusion des espèces oxydantes (cas bien connu des LOCOS^{164}) [PONCET 85]. Noma *et al.* ont montré qu'une contrainte en compression biaxiale ralentit considérablement la vitesse d'oxydation pour des températures inférieures à 800°C (au-dessus de 950°C l'oxyde devient

¹⁶³ La séquence du procédé d'oxydation est complexe en pratique (rampes de montée et de descente en température, sous atmosphère d'azote ou non...).

¹⁶⁴ LOCALized Oxidation of Silicon

viscoélastique ce qui permet aux contraintes de se relaxer) alors qu'une contrainte uniaxiale ne semble pas l'affecter [NOMA 01]. Ainsi on peut raisonnablement penser que le silicium en tension biaxiale provoque une réduction de la compression de l'oxyde et donc une accélération de la diffusion. Ceci dit, dans le cas des oxydes minces, l'oxydation est majoritairement gouvernée par la réaction des espèces oxydantes à l'interface ; ainsi le rôle des contraintes porte plus sur le coefficient de réaction à l'interface. Or la plupart des modèles considèrent que c'est la contrainte normale à l'interface qui influence l'oxydation [KAO 88]. En particulier, une contrainte en compression va favoriser la réaction des espèces. Or une couche en tension biaxiale dans le plan (001) voit son paramètre de maille réduit dans la direction normale à ce plan. L'effet observé semble donc cohérent. Cependant, pour expliquer complètement ce phénomène, il serait nécessaire de développer des modèles plus sophistiqués. Retenons tout de même que cet effet est bénéfique pour les performances puisque cela permet d'obtenir de plus forts $C_{ox,eff}$ (jusqu'à +4,2% pour le substrat XsSOI 40%) en même temps que l'on améliore la mobilité des porteurs avec de tels substrats contraints (cf. paragraphes suivants).

V.A.3.1.2 Mobilité des trous

La Figure V-11 représente l'évolution de la mobilité effective des trous en fonction de la charge d'inversion pour différents niveaux de contraintes biaxiales en tension. La mobilité maximale est obtenue, comme pour les électrons, avec le substrat sSOI 30%. On peut comparer ces résultats à ceux obtenus par Rim *et al.* et présentés sur la Figure II-66 [RIM 03] : nos mobilités sont même légèrement supérieures. Les gains augmentent avec la contrainte (Figures V-10). Toutefois on note une plus forte dispersion du maximum de mobilité comparativement aux électrons, notamment pour le substrat XsSOI 40% (Figure V-12)¹⁶⁵. Par la suite le substrat XsSOI 40% sera écarté de la discussion puisqu'il présente de nombreux défauts.

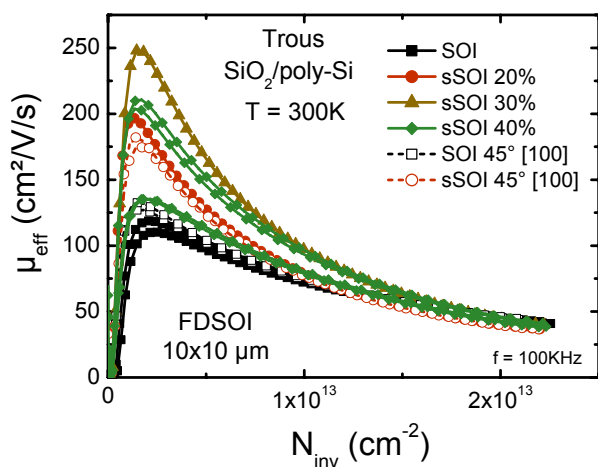


Figure V-11 : Mobilité effective moyenne (par plaque) des trous en fonction de la charge d'inversion pour différents niveaux de contraintes biaxiales en tension et pour différentes orientations du canal (standard = [110], 45°=[100]).

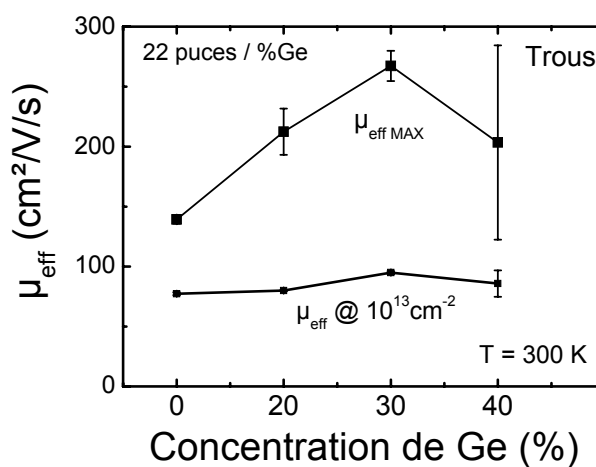


Figure V-12 : Evolution de la mobilité effective des trous avec le niveau de contrainte (en % de Ge) et dispersion sur 22 puces.

Le gain augmente avec la contrainte uniquement aux faibles charges d'inversion (Figure V-12). On obtient un gain de 92% en mobilité maximale pour le substrat sSOI 30%. En forte inversion ($N_{inv} = 10^{13} \text{ cm}^{-2}$), et à même niveau de contrainte, les gains en mobilité sont plus faibles pour les trous que pour les électrons (Figures V-10). Cependant, contrairement aux électrons, aucun effet de saturation du gain en mobilité n'est observé jusqu'à 30% de Ge ; ainsi en utilisant des substrats plus fortement contraints et dont la qualité serait parfaitement maîtrisée, on peut espérer obtenir des gains meilleurs comme l'illustre les Figures V-10 (de gauche).

¹⁶⁵ XsSOI pour eXtra sSOI.

Les dispositifs fonctionnant en CMOS autour de $V_G=V_{DD}=0,9$ à $1,2V$ ce qui correspond à N_{inv} autour de 5 à $8.10^{12} \text{ cm}^{-2}$, les gains deviennent alors faibles bien que non nuls (cf. Chapitre VI).

V.A.3.2 Empilement de grille avancé TiN/HfO₂

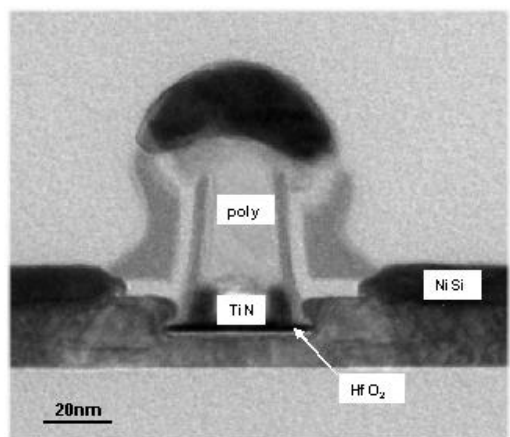


Figure V-13 : coupe TEM d'un MOSFET FDSOI avancé (CEA-LETI) laissant apparaître l'empilement de grille TiN/HfO₂ ainsi que l'épitaxie sélective des S/D et la siliciuration au nickel (en noir).

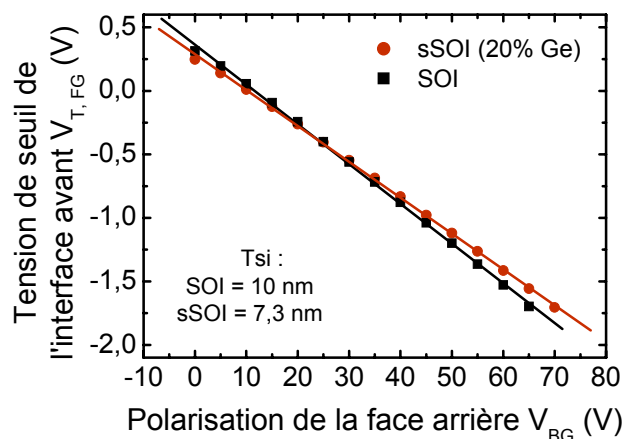


Figure V-14 : Courbe de couplage montrant l'épaisseur légèrement plus faible du canal des MOSFETs sSOI par rapport au SOI.

Dans le but d'étudier les performances des transistors ultracourts, une architecture avancée a été développée au CEA-LETI. L'empilement de grille est constitué d'un oxyde natif d'environ 0,8 à 1 nm d'épaisseur de type SiO_x sur lequel est déposé par CVD un diélectrique à forte permittivité (3 nm de HfO₂) puis une grille en TiN (CVD à 680°C). Cette grille est ensuite recouverte de 50 nm de poly-Si. Seuls des transistors NMOS ont été réalisés pour cette étude sur deux types de substrats SOI : un dit de référence (non contraint) et un substrat sSOI 20% Ge. Les caractéristiques principales de ces substrats sont données dans le Tableau V-1. L'épaisseur visée du film était de 10nm. Pour le substrat sSOI l'amincissement a été légèrement plus fort, comme l'illustre les mesures électriques du couplage des interfaces (Figure V-14). Les extensions des régions S/D (implantation « tiltée » des LDD) ont été suivies d'une épitaxie sélective de Si dans le but de réduire les $R_{série}$ (cf. §I.C.1.2.3). Enfin, après l'implantation des S/D (HDD), une siliciuration au nickel (NiSi) permet d'optimiser encore les $R_{série}$. Avec cette technologie, des MOSFETs fonctionnels de 20 nm de longueur de grille ont pu être obtenus (Figure V-13).

	SOI	sSOI
T_{Si} (nm)	10	7,3
T_{BOX} (nm)	145	130
$R_{série}$ (Ω)	17	24

Tableau V-1 : Caractéristiques des transistors étudiés en technologie FDSOI avancée (empilement de grille TiN/HfO₂). Les épaisseurs ont été obtenues par ellipsométrie ; l'épaisseur du film de silicium a été corrigée de la consommation de silicium lors de la réalisation de l'empilement de grille. Les résistances séries parasites ont été extraites par la fonction Y améliorée (cf. §IV.A.6).

Sur la Figure V-15 sont représentées les mobilités obtenues avec cet empilement de grille. Elles sont comparées à celles de l'empilement standard présentées précédemment ainsi qu'à la mobilité universelle (d'où le tracé en champ effectif plutôt qu'en charge d'inversion). Les mobilités effectives associées à l'empilement de grille TiN/HfO₂ sont réduites des faibles champs effectifs jusqu'à des champs effectifs relativement élevés (1,2 MV/cm) par rapport à un empilement standard. Or les dispositifs FDSOI en technologie CMOS fonctionnent pour des champs effectifs compris entre 0,4 et 0,6 MV/cm, soit la région qui correspond à la plus forte réduction de mobilité. Toutefois cette région correspond aussi au maximum de leur mobilité. Cet effet déjà étudié en technologie sur silicium massif se retrouve donc en technologie FDSOI (cf. §I.C.2). Le silicium contraint apparaît alors comme une solution possible pour contrecarrer cette limitation engendrée par une grille métallique et un diélectrique à forte permittivité pourtant indispensable pour poursuivre les spécifications de l'ITRS. En effet la mobilité du sSOI avec un empilement HfO₂/TiN

reste supérieure (autour de $450 \text{ cm}^2/\text{V/s}$ à $V_G=V_{DD}$) à celle d'un empilement standard fonctionnant en technologie sur silicium massif (champ effectif compris entre $0,7$ et $0,9 \text{ MV/cm}$ à V_{DD} soit une mobilité de l'ordre de $300 \text{ cm}^2/\text{V/s}$) : ce qui donne un gain en mobilité confortable de l'ordre de 50% .

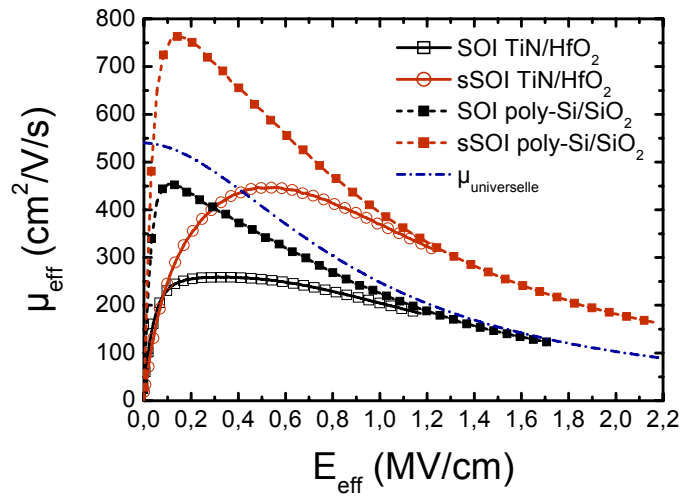


Figure V-15 : Mobilités effectives des MOSFETs selon leur empilement de grille et le niveau de contrainte en fonction du champ effectif. La mobilité universelle est également représentée.

À fort champ effectif ($> 1,2 \text{ MV/cm}$), les mobilités des substrats non contraints rattrapent la courbe de mobilité universelle. La rugosité des deux empilements semble donc comparable¹⁶⁶. La perte de mobilité peut alors venir des interactions avec les phonons (du réseau et de la grille) et/ou des interactions avec des charges coulombiennes (cf. §I.C.2 et rappels sur les mécanismes d'interactions des porteurs au §II.B.4). Aujourd'hui la deuxième hypothèse est privilégiée : il s'agit du mécanisme prépondérant de limitation de la mobilité comme l'ont démontré récemment Thevenod *et al.* [THEVEN 07]. Nous aurons l'occasion de revenir sur cet aspect lors de l'étude de la mobilité des transistors ultracourts (cf. §V.B).

La mobilité des transistors longs ne dépend pas de l'épaisseur du film dans la gamme 10-18 nm [OHATA 06]. Les différences d'épaisseur existant entre les MOSFETs à empilement de grille standard et ceux à empilement de grille avancé (contraint et non contraint) n'engendrent donc pas, *a priori*, d'écart de mobilité.

V.A.3.2.1 Influence du canal interface arrière

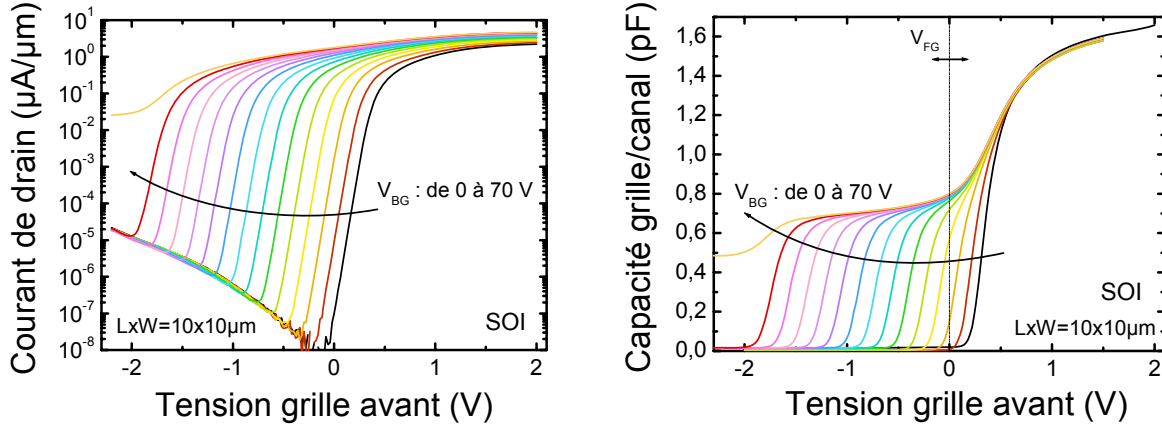
Afin de mieux comprendre l'origine physique des limitations de la mobilité avec un empilement de grille HfO_2/TiN , nous avons caractérisé la mobilité des électrons au niveau de l'interface arrière du film mince de silicium, *i.e.* au niveau de l'oxyde enterré. Pour cela le substrat nous sert de grille et le BOX constitue alors le diélectrique de cette grille. L'extraction de la mobilité par la technique split-CV classique (cf. §IV.A.9) n'est pas aisée en raison des faibles capacités, liées à la forte épaisseur du BOX, et des fortes tensions à appliquer pour créer l'inversion du canal arrière. La technique utilisée consiste alors à réaliser le split CV sur la grille avant (notée FG pour « Front Gate ») mais en polarisant fortement le substrat (grille arrière, notée ici BG pour « Back Gate ») afin de déterminer la charge d'inversion et la mobilité du canal arrière [OHATA 06]. L'allure des capacités grille/canal mesurées par cette technique est donnée sur les Figures V-16. Le plateau observé sur les courbes $C_{GC}(V_{FG})$ correspond à l'inversion du canal arrière avant le déclenchement du canal avant (pour V_{FG} de l'ordre de $0,3\text{V}$).

À partir de ces caractéristiques, il est possible de déterminer la charge d'inversion dans le canal, pour chaque condition de polarisation de la grille arrière et de la grille avant, selon :

¹⁶⁶ Pour être confirmé, il faudrait comparer les mobilités à très basse température (20K), où la mobilité n'est limitée que par la rugosité de surface à fort champ et par les interactions coulombiennes à faible champ (plus de phonons).

$$Q_{inv,BG}(V_{FG}, V_{BG}) = \int_{-\infty}^{V_{FG}} C_{GC} dV_{FG} \tag{Équation V-6}$$

La mobilité effective habituelle correspond simplement au cas où $V_{BG}=0V$. Les résultats de mobilité sont donnés sur la Figure V-17. En raison du couplage des interfaces dans un film complètement déserté (cf. §Annexe A), il convient de déterminer le champ effectif pour chacune des conditions de polarisation des grilles avant et arrière (cf. Équation II-54).



Figures V-16 : Capacités grille/canal en fonction de la tension de grille avant pour différentes polarisations du substrat.

Il est très intéressant de noter que la mobilité de l'interface arrière BOX/film mince rejoint la mobilité de notre empilement de référence $SiO_2/poly-Si$, que ce soit pour le SOI et le sSOI. À fort champ la mobilité de l'interface arrière du substrat SOI rejoint donc la mobilité universelle. Ceci laisse penser que la rugosité de cette interface est identique à celle de l'interface avant. Les dégradations induites sur la mobilité de l'interface avant ne se répercutent donc pas sur toute l'épaisseur du film mince et la qualité de l'interface arrière semble très bonne¹⁶⁷.

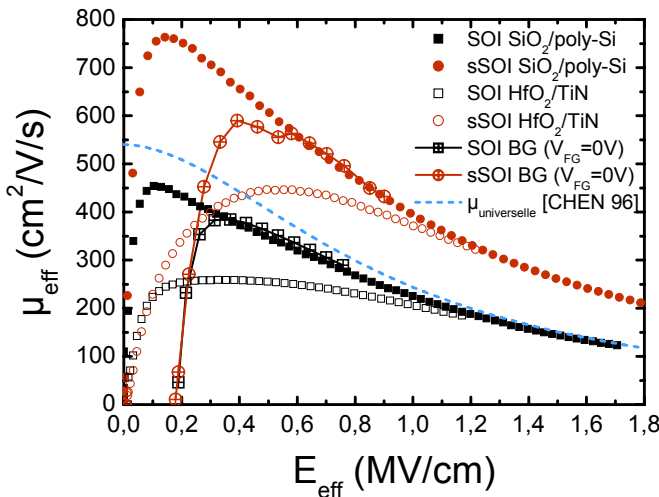


Figure V-17 : Mobilités effectives du canal avant et arrière (pour une polarisation de la grille opposée nulle) des substrats SOI et sSOI avec un empilement HfO_2/TiN en fonction du champ effectif. Les mobilités effectives du canal avant correspondant à l'empilement de grille conventionnel $SiO_2/poly-Si$ ainsi que la courbe de mobilité universelle sont également représentées (symboles pleins et ligne en pointillée respectivement).

Sur la Figure V-18, nous avons représenté les mobilités effectives du canal arrière pour différentes conditions de polarisation de la grille avant en fonction du champ effectif. Quelque soit la polarisation de la grille opposée, à fort champ les mobilités sont identiques puisque les porteurs sont alors fortement confinés à l'interface et voient la même rugosité. Sur la Figure V-19, nous avons représenté ces mêmes courbes en fonction de la charge d'inversion. Il est intéressant de noter que, quelque soit la polarisation de la grille avant, les mobilités se superposent aux faibles charges d'inversion. Dans cette région, la mobilité est principalement limitée par les interactions coulombiennes ; l'écrantage étant le même, il est normal que ces mobilités soient équivalentes. Sur les courbes de mobilité en fonction du champ effectif (Figure V-18), cela se traduit par une mobilité

¹⁶⁷ Une étude de la densité des états d'interface (D_{it}) serait à mener pour appuyer ce point.

plus faible à même champ effectif lorsque la tension de grille avant diminue. En effet, d'après l'Équation II-54, pour un même champ effectif, la charge en inversion dans le canal diminue lorsque la tension de grille avant diminue ; ce qui entraîne un écrantage plus faible des charges coulombiennes et donc une mobilité plus faible. De la même manière, si l'on regarde ce qui se passe en forte inversion sur la Figure V-19, la mobilité effective diminue lorsque V_{FG} diminue, puisque pour une charge d'inversion donnée, le champ effectif augmente lorsque V_{FG} diminue. Le centroïde des charges est alors déplacé près de l'interface BOX/film mince et les porteurs sont plus perturbés par la rugosité de surface.

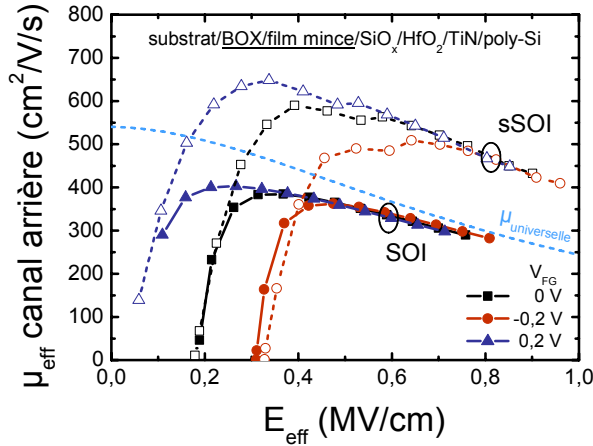


Figure V-18 : Mobilités effectives du canal arrière des substrats SOI et sSOI avec un empilement HfO_2/TiN en fonction du champ effectif pour différentes conditions de polarisation de la grille avant. La courbe de mobilité universelle est également représentée.

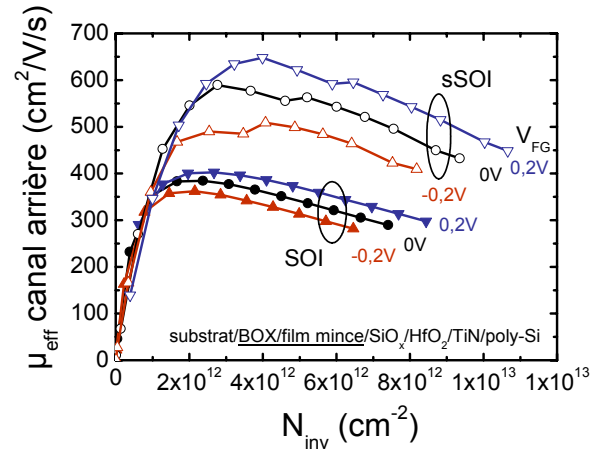


Figure V-19 : Mobilités effectives du canal arrière des substrats SOI et sSOI avec un empilement HfO_2/TiN en fonction de la charge d'inversion pour différentes conditions de polarisation de la grille avant.

Notons enfin que le pic de mobilité de l'interface arrière des transistors ayant un empilement de grille avant HfO_2/TiN est plus faible que le pic de mobilité de notre référence de mobilité canal avant de l'empilement $\text{SiO}_2/\text{poly-Si}$.

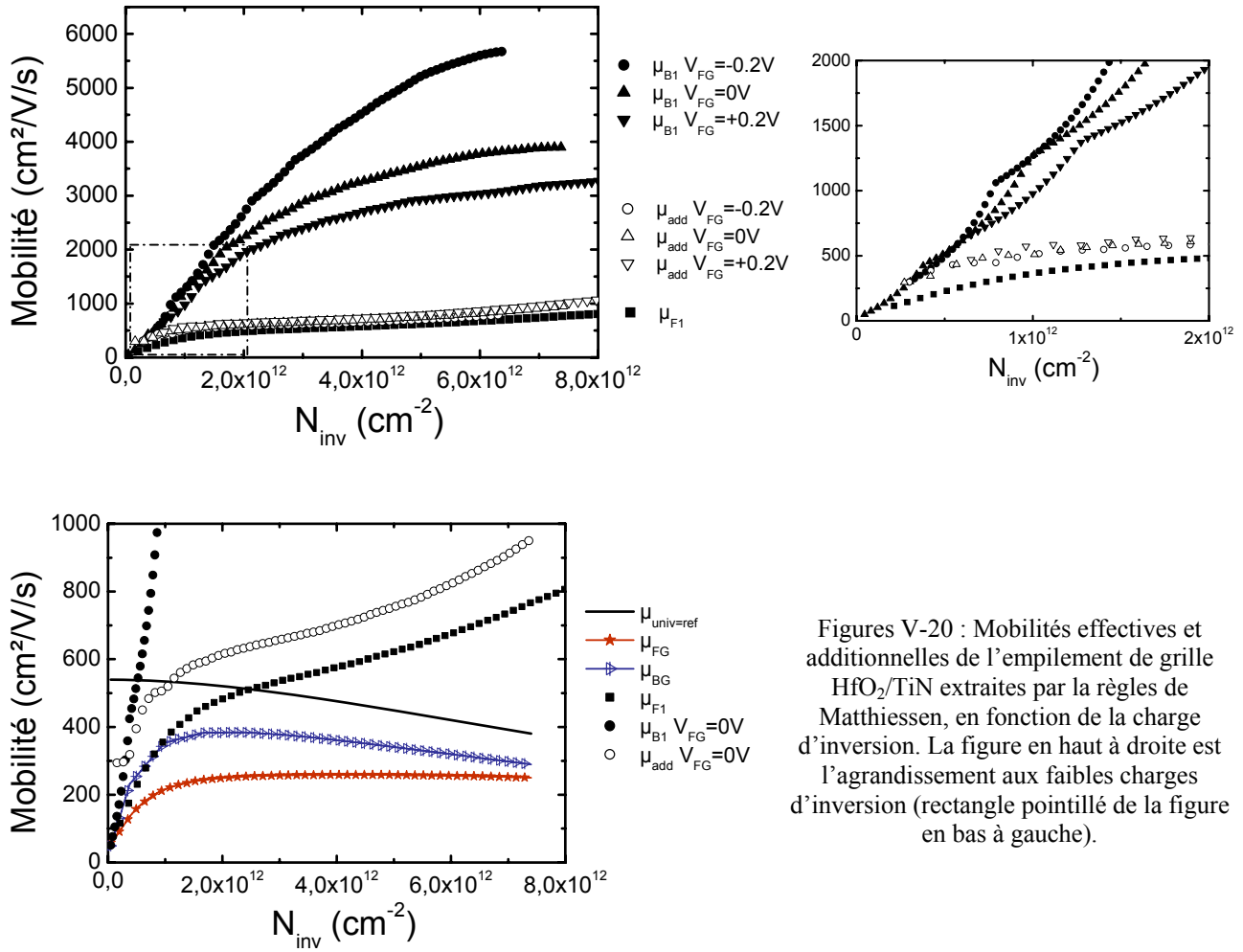
L'ensemble de ces observations laisse ainsi supposer qu'il existe une modification de la mobilité limitée par les interactions coulombiennes au niveau de l'interface avant du canal par rapport au canal arrière et que ce dernier est encore légèrement affecté par les charges additionnelles présentes au niveau de la grille avant.

Afin d'étudier ces aspects plus en détails, nous avons extrait les mobilités additionnelles, par rapport à la mobilité universelle, des canaux avant et arrière de cet empilement avancé. En d'autres termes, nous analysons les mécanismes d'interactions autres que ceux avec les phonons du réseau et de la rugosité de l'interface avant. Définissons alors, à l'aide de la règle de Matthiessen (cf. Équation II-51), les mobilités μ_{B1} et μ_{F1} par :

$$\left[\mu_{F1,B1}(E_{eff}) \right]^{-1} = \left[\mu_{eff}^{F,B}(E_{eff}) \right]^{-1} - \left[\mu_{univ}(E_{eff}) \right]^{-1} \quad \text{Équation V-7}$$

Sur les Figures V-20, μ_{B1} et μ_{F1} dépendent de N_{inv} (linéairement aux faibles charges d'inversion¹⁶⁸) ce qui prouve le caractère coulombien des interactions additionnelles responsables de la dégradation de mobilité.

¹⁶⁸ L'allure des μ_{add} observée est tout à fait attendue théoriquement pour des interactions essentiellement coulombiennes, à savoir une première partie très linéaire puis une seconde sous-linéaire avec une pente plus faible en raison d'un écrantage moins efficace pour les plus fortes charges d'inversion.



Figures V-20 : Mobilités effectives et additionnelles de l'empilement de grille HfO_2/TiN extraites par la règle de Matthiessen, en fonction de la charge d'inversion. La figure en haut à droite est l'agrandissement aux faibles charges d'inversion (rectangle pointillé de la figure en bas à gauche).

La mobilité additionnelle de l'interface arrière μ_{B1} est très grande comparativement à μ_{F1} , ce qui confirme que l'impact de ces interactions coulombiennes additionnelles se joue essentiellement sur le canal avant (interactions à faible distance, dépendance exponentielle avec la distance). Nous avons alors extrait cette mobilité additionnelle du canal avant, noté μ_{add} , selon :

$$[\mu_{add}(N_{inv})]^{-1} = [\mu_{F1}(N_{inv})]^{-1} - [\mu_{B1}(N_{inv})]^{-1} \quad \text{Équation V-8}$$

En effectuant cette opération on élimine de surcroît les interactions induites par les impuretés du canal (dopage supposé uniforme dans le film mince)¹⁶⁹. Cette mobilité additionnelle dépend peu de la polarisation de grille avant. Sa dépendance avec N_{inv} traduit typiquement une courbe de mobilité limitée par des interactions coulombiennes.

En définitive, la dégradation de mobilité est principalement causée par des charges coulombiennes additionnelles dans l'empilement HfO_2/TiN . On sait aujourd'hui que l'azote induit par le procédé de dépôt du TiN est responsable en grande partie des charges additionnelles induites par le TiN et que cet azote est principalement concentré dans le SiO_x et donc pas dans le canal [GARROS 08]. Ceci explique pourquoi la mobilité du canal arrière est excellente (très proche de la mobilité universelle). Ce canal arrière subit cependant encore légèrement l'influence des charges présentes dans la grille avant d'après les dépendances de μ_{B1} avec V_{FG} . Pour vérifier si cette dépendance est essentiellement liée aux interactions coulombiennes, il serait intéressant de

¹⁶⁹ Le dopage étant ici faible ($N_A \approx 10^{15} \text{cm}^{-3}$), ces interactions sont de toute façon négligeables par rapport à celles induites par les charges additionnelles dans la grille avant. Notons toutefois que cette dernière opération n'est pas permise en toute rigueur puisqu'il s'agit de deux canaux distincts (dont les mécanismes de collision sont a priori complètement décorrélés). Ceci dit le résultat de cette extraction est intéressant et son analyse doit être approfondie.

déterminer de quelle quantité se déplace le centroïde des charges avec ces polarisations et observer une dépendance exponentielle de la mobilité avec ce déplacement.

V.A.3.2.2 Gains en mobilité

Les gains en mobilité en forte inversion obtenus avec l'empilement avancé sont comparables à ceux obtenus avec l'empilement standard (Figure V-21) : de l'ordre de 80%, puisque les interactions coulombiennes jouent un rôle négligeable en forte inversion. À plus faible charge d'inversion ($<5.10^{12} \text{ cm}^{-2}$), le gain est meilleur avec l'empilement de grille standard puisqu'il y a moins de charges à écranter. En effet, à ces niveaux d'inversion, le gain dû à la contrainte est principalement associé à la réduction des interactions avec les phonons du réseau ; les effets d'une contrainte sur les interactions coulombiennes pouvant être négligés au premier ordre.

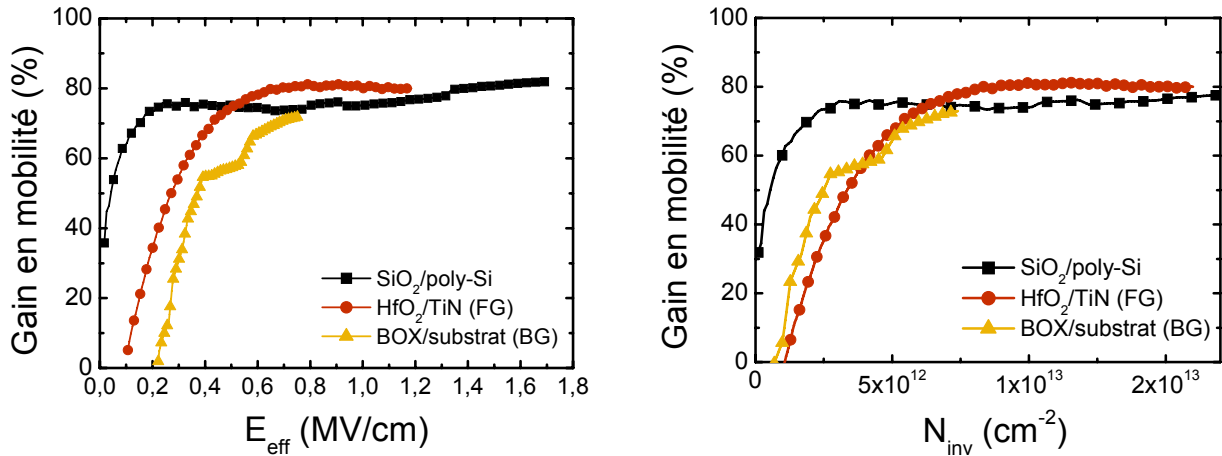


Figure V-21 : Gains en mobilité en fonction de la charge d'inversion selon l'empilement de grille et la localisation du canal de conduction.

Un phénomène mérite d'être relevé ici et fera l'objet d'une discussion dans le paragraphe suivant. On observe un gain non nul, et même constant à fort champ de grille. Ceci n'était pas attendu *a priori*. En effet on s'attendait à ce que le gain diminue en forte inversion puisque, à mesure que la charge d'inversion augmente, les vallées Δ_2 se peuplent préférentiellement au détriment des vallées Δ_4 , dans le silicium non contraint. Dans le silicium contraint, quasiment tous les porteurs sont déjà dans les vallées Δ_2 , quelque soit la charge d'inversion, en raison de la levée de dégénérescence des vallées Δ de la bande de conduction du silicium sous l'effet d'une contrainte biaxiale.

Une analyse en température devient indispensable pour comprendre l'origine physique du gain en mobilité et identifier les mécanismes participant à l'amélioration de la mobilité dans du silicium contraint.

En définitive le gain en forte inversion semble indépendant du procédé d'intégration (empilement de grille, substrat,...).

V.A.3.3 Interprétation physique du gain en mobilité des électrons induit par la contrainte

V.A.3.3.1 Analyse en température du gain en mobilité des électrons

Dans cette partie, nous nous focaliserons sur l'analyse en température de la mobilité des électrons essentiellement. Des mesures de capacités grille-canal (C_{GC}) et de courant de drain (I_D) ont été effectuées, de 20 à 450K (très basses à hautes températures), afin d'extraire la mobilité effective par la technique split-CV (cf. §IV.A.6), sur les dispositifs présentant l'empilement de grille avancé uniquement, puisque l'extraction a été problématique sur l'empilement standard (pour des raisons liées au procédé de fabrication de ce lot particulier). L'extraction par la fonction Y, qui permet de s'affranchir théoriquement des $R_{série}$, sera donc utilisée pour cette architecture.

V.A.3.3.1.a Empilement de grille standard SiO₂/poly-Si

Nous avons tout d'abord comparé les gains en mobilité entre des substrats sSOI 20% et XsSOI 30% (Figure V-22 et Figure V-23) présentant un empilement standard SiO₂/poly-Si. On constate un gain sur toute la gamme de température¹⁷⁰, et de l'ordre de 100% sur la mobilité μ_0 . À basse température, le même gain est obtenu avec un substrat 20% ou 30%. À haute température le gain est meilleur avec un substrat XsSOI 30%.

Cela vient du fait de la meilleure réduction des interactions des électrons avec les phonons intervallées puisque le décalage des vallées $\Delta 2-\Delta 4$ augmente avec le niveau de contrainte. En revanche à basse température, les phonons ne limitent plus la mobilité. D'où un effet additionnel nul du substrat XsSOI 30% par rapport au substrat sSOI 20%.

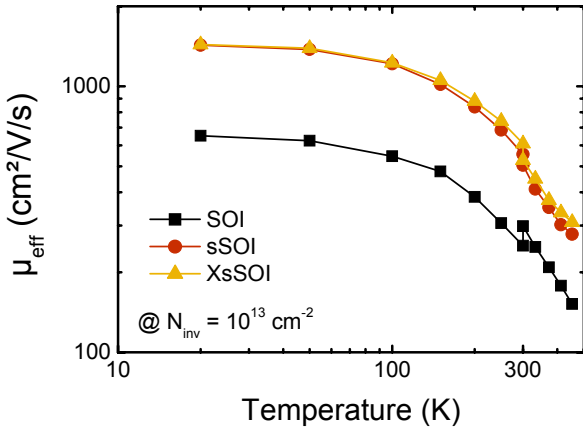


Figure V-22 : Evolution de la mobilité effective avec la température pour les trois substrats SOI (référence), sSOI (20%Ge) et XsSOI (30%Ge).

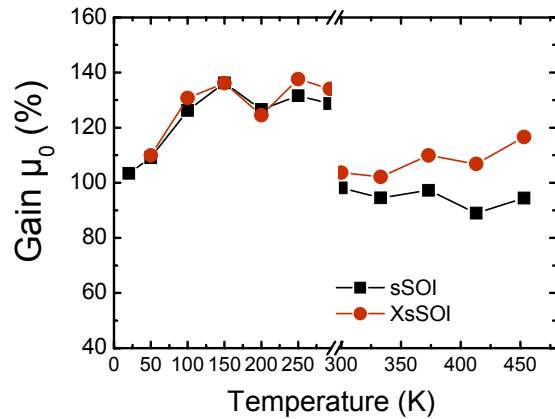


Figure V-23 : Evolution du gain en mobilité à faible champ (extraite par la fonction Y améliorée) avec la température pour les deux niveaux de contraintes des substrats sSOI et XsSOI.

V.A.3.3.1.b Empilement de grille avancé HfO₂/TiN

Intéressons-nous à présent à la mobilité effective des dispositifs avancés en technologie FDSOI avec un empilement de grille HfO₂/TiN. Nous avons extrait la mobilité effective par la technique split CV sur des transistors de longueur de grille 1 μ m et de largeur 10 μ m, pour pouvoir analyser la mobilité à des charges d'inversion élevées sans être perturbés par les fuites de grille (Figure V-24). Les dispositifs sSOI présentent une mobilité supérieure à la référence SOI sur toute la gamme de charge d'inversion et de température. Il est intéressant de noter que le pic de mobilité apparaît pour des charges d'inversion plus faibles sur sSOI, ce qui est bénéfique pour des applications de type LOP pour lesquelles les tensions d'alimentation sont faibles.

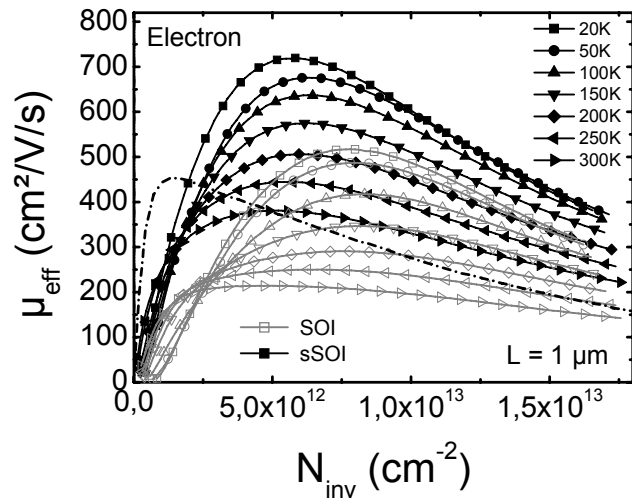


Figure V-24 : Mobilité effective extraite par split-CV sur substrat SOI et sSOI en fonction de la charge d'inversion, pour différentes températures, de 20K à 300K (données brutes). La ligne discontinue représente la mobilité effective de la référence FDSOI intégrant une grille conventionnelle SiO₂/poly-Si à 300K.

¹⁷⁰ Le décroché observable sur les courbes des Figure V-22 et Figure V-23 à T=300K vient du fait que les mesures à haute température ont été réalisées sur d'autres dispositifs que ceux testés à basse température. La dispersion est alors responsable de ce décroché, qui n'a aucune raison d'ordre physique.

Impact des résistances séries parasites $R_{série}$:

Les résistances séries parasites $R_{série}$ ont été extraites par le tracé de $\beta_0(\theta_1)$ (cf. §IV.A) pour différentes longueurs de grille (de $10\mu\text{m}$ jusqu'à 40nm). Les résultats de cette extraction sont montrés sur la Figure V-25 en fonction de la température. Aucune dépendance en température n'est observée. Les deux composantes principales des $R_{série}$ des technologies récentes sont généralement la résistance des extensions R_{EXT} (gouvernée par le dopage et l'épaisseur du film SOI) et la résistance de contact R_C entre le siliciure de nickel et le silicium des régions HDD. Pour les MOSFETs FDSOI la principale limitation critique pour la résistance série totale parasite est l'épaisseur de la couche mince de silicium. On peut ainsi considérer que la résistance sous les espaceurs ($\approx R_{OV} + R_{EXT}$) est inversement proportionnelle à l'épaisseur du film mince. La plus forte valeur des $R_{série}$ (30%) obtenue sur sSOI peut donc être attribuée à sa plus faible épaisseur (30%, cf. Tableau V-1). Alors que R_C augmente lorsque la température diminue (contact Schottky), R_{EXT} diminue si les extensions LDD sont dégénérées (comportement de type métallique). Il existe donc une compétition entre ces deux comportements opposés. Dans la suite nous utiliserons les valeurs des $R_{série}$ pour corriger les valeurs du courant de drain sur toute la gamme de température (selon l'Équation III-5).

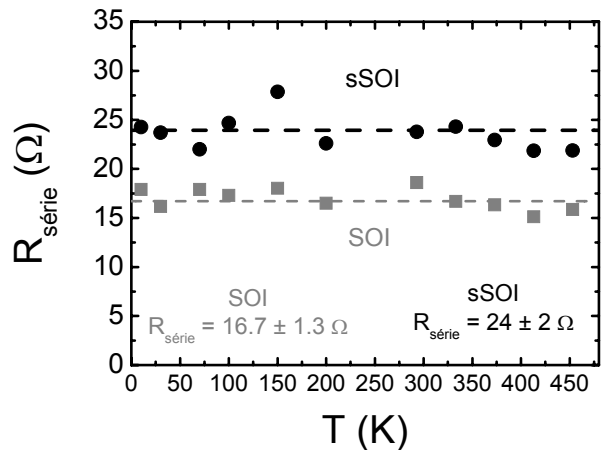


Figure V-25 : Evolution des résistances séries parasites $R_{série}$ en fonction de la température pour les dispositifs SOI et sSOI.

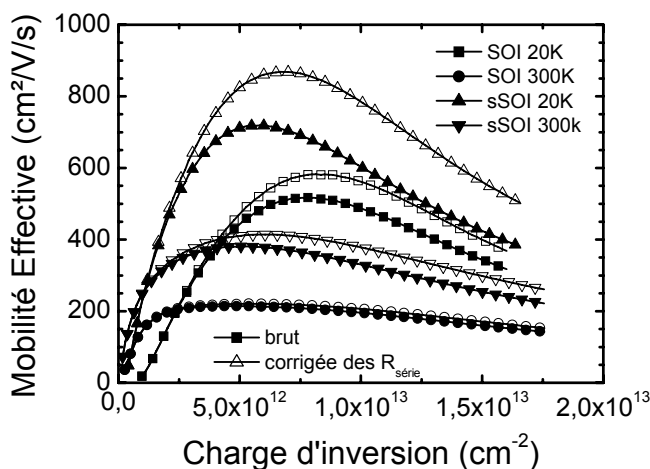


Figure V-26 : Mobilités effectives corrigées des $R_{série}$ ou non à $T=20\text{K}$ et 300K en fonction de N_{inv} pour les dispositifs SOI et sSOI. L'impact est d'autant plus fort que le courant de drain est grand.

La Figure V-26 illustre un point important : même pour des MOSFETs de géométrie $L \times W = 1 \times 10 \mu\text{m}^2$ le courant de drain est modifié par des $R_{série}$ de l'ordre de 10 à 20Ω , en particulier aux basses températures et en forte inversion ($N_{inv} > 3 \cdot 10^{12} \text{ cm}^{-2}$), à mesure que le courant de drain augmente (l'effet est donc plus fort sur les dispositifs sSOI). L'erreur faite sur l'extraction de la mobilité peut être aussi grande que 30% à $T=20\text{K}$ sur sSOI¹⁷¹. C'est pourquoi les données présentées dans la suite ont été systématiquement corrigées des $R_{série}$ (Figure V-27).

¹⁷¹ Le ratio $R_{série}/R_{canal}$ varie de 6% à 20% environ de 20K à 300K pour les MOSFETs SOI de cette technologie.

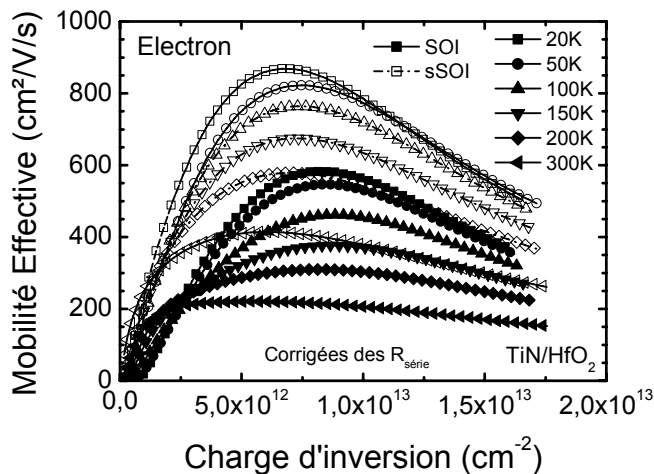


Figure V-27 : Mobilité effective des électrons, corrigées des $R_{série}$, en fonction de la charge d'inversion, pour les substrats SOI et sSOI, à différentes températures.

Amélioration de la mobilité :

Le gain en mobilité est supérieur à 40% sur toute la gamme de température et de charge d'inversion (Figure V-28). Plusieurs tendances peuvent être soulignées. Tout d'abord le gain augmente avec la température quelque soit le niveau de charge d'inversion supérieur à $5.10^{12} \text{ cm}^{-2}$ (Figure V-29)¹⁷². Or les dispositifs CMOS intégrés dans un circuit fonctionnent à haute température (jusqu'à 400K, cf. §I.C.3.3). L'utilisation d'un substrat contraint montre alors un atout supplémentaire. Ce comportement est interprété comme la signature de la levée de dégénérescence des bandes $\Delta 2$ et $\Delta 4$ induite par la contrainte sur les interactions avec les phonons du réseau. En effet lorsque la température diminue, les porteurs peuplent préférentiellement les vallées $\Delta 2$. Les interactions avec les phonons intervallée est donc réduite à la fois dans le silicium contraint et non contraint. L'intérêt de la levée de dégénérescence induite par la contrainte est ainsi réduit aux basses températures.

Ensuite, sur la Figure V-28, on constate que le gain en très forte inversion ($N_{inv} > 10^{13} \text{ cm}^{-2}$) augmente avec N_{inv} pour les très basses températures ($< 150\text{K}$). Pour des températures plus fortes ($T > 150\text{K}$), le gain diminue avec N_{inv} .

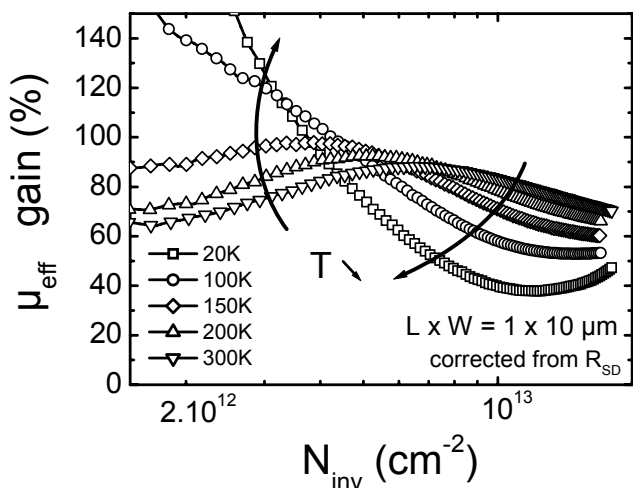


Figure V-28 : Evolution du gain en mobilité effective en fonction de la charge d'inversion pour différentes températures

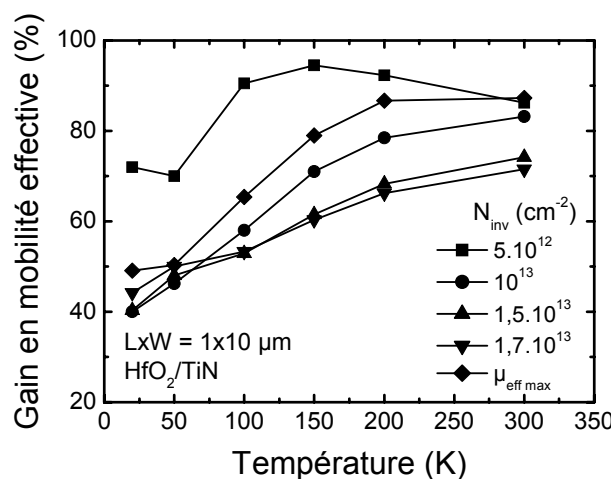


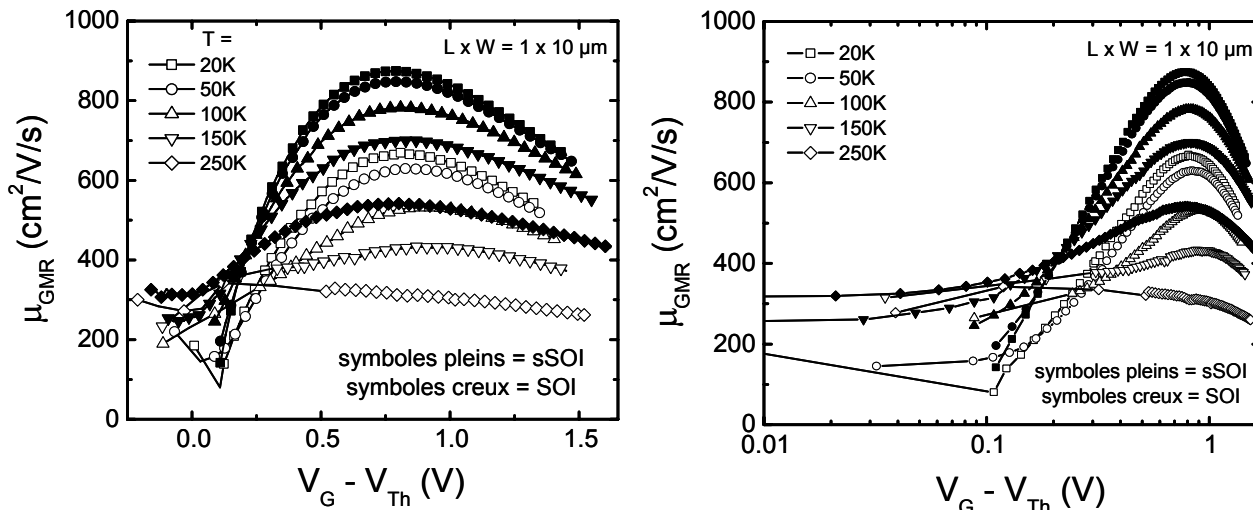
Figure V-29 : Evolution du gain en mobilité effective avec la température pour différents niveaux d'inversion.

Ces résultats expérimentaux sont discutés dans la partie suivante.

¹⁷² Pour les charges plus faibles, il convient d'utiliser une autre technique d'extraction compte tenu des capacités parasites présentes sur les transistors de géométrie $L \times W = 1 \times 10 \mu\text{m}$ (cf. §V.B.1), entraînant de ce fait des erreurs sur l'extraction de la mobilité pour de faibles charges d'inversion. De plus les erreurs sont amplifiées lorsque l'on s'intéresse à un gain.

Mesures de mobilité de MagnétoRésistance à basse température

Afin d'obtenir des informations supplémentaires sur la mobilité des électrons du silicium contraint, et surtout dans le but d'obtenir des résultats plus fiables en faible inversion, nous avons extrait la mobilité de magnétorésistance μ_{MR} (cf. §IV.C). Le rapport L/W 1/10 a été choisi pour s'affranchir des corrections sur l'extraction de μ_{MR} (condition de Corbino)¹⁷³. Les courbes de mobilité de magnétorésistance obtenues sur des transistors longs SOI et sSOI sont données sur les Figures V-30.



Figures V-30 : Mobilités de magnétorésistance de transistors longs FDSOI contraints (symboles pleins) et non contraints (symboles creux) en fonction de la tension de grille normalisée de la tension de seuil pour différentes températures en échelle linéaire (à gauche) et logarithmique (à droite).

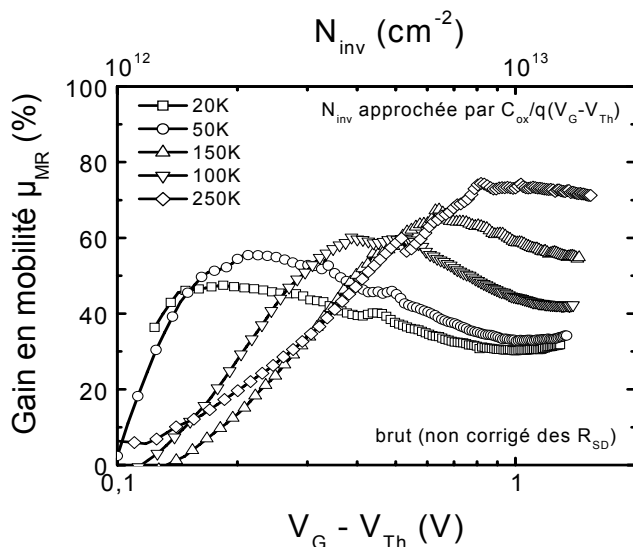


Figure V-31 : Evolution du gain en mobilité de magnétorésistance en fonction de la charge d'inversion pour différentes températures. Mesures brutes non corrigées de l'impact des résistances séries parasites.

Les gains en mobilité ont été représentés sur la Figure V-31 pour différentes températures allant de 20 K à 250 K en fonction du champ vertical de grille ($V_G - V_{Th}$). La charge d'inversion a été évaluée en utilisant la relation¹⁷⁴ :

$$N_{inv} = C_{ox} (V_G - V_{Th}) / q \quad \text{Équation V-9}$$

¹⁷³ C'est pourquoi nous avons mesuré la mobilité effective sur cette même géométrie. Les comparaisons sont ainsi possibles alors que si l'on avait choisi comme référence un transistor de longueur 10 μ m, on aurait été perturbé par l'effet de la réduction des dimensions sur la mobilité (cf. §V.B.1).

¹⁷⁴ Attention cette expression est une approximation de la charge d'inversion valable en forte inversion uniquement. Les mesures de magnétorésistance ne nous permettant pas d'extraire simplement la charge d'inversion. Certains auteurs calculent une charge d'inversion approchée en supposant que $\mu_{MR} = \mu_{eff}$ à partir de la relation $Q_{inv} = L/W \cdot I_D / V_D \cdot 1/\mu$ [MEZIAN 04, CHAISA 06a]. Or on sait que cette hypothèse n'est valable qu'à basse température.

Les mêmes observations peuvent être faites qu'à partir du gain en mobilité effective à la différence près que le gain chute à 0 en faible inversion. On note cependant des gains non nuls aux très basses températures pour des charges d'inversion relativement élevées de l'ordre de quelques 10^{12} cm^{-2} . Nous reviendrons sur ce point au §V.A.3.3.2.c.

V.A.3.3.1.c Synthèse des gains en mobilité

La Figure V-32 fait la synthèse des gains en mobilité en fonction de la température pour différents types de substrats et d'empilement de grille, et à différents champs électriques. On constate une forte disparité sur les gains obtenus avec le même type de substrat (cas des substrats sSi/SiGe avec empilement de grille standard). Rappelons que ces résultats peuvent être assez sensibles à l'extraction menée pour déterminer la mobilité, en particulier pour μ_0 . Si l'on s'intéresse à nos propres extractions, donc *a priori* comparables puisque le même protocole d'extraction a été effectué, on observe un gain systématiquement plus fort avec l'empilement de grille standard, à fort champ comme à faible champ. Ceci vient principalement du fait que l'étude en température a été effectuée sur un transistor de longueur égale à $1 \mu\text{m}$ pour l'empilement HfO_2/TiN . Or la mobilité effective d'un transistor FDSOI de $1 \mu\text{m}$ de long est dégradée par rapport à un transistor de $10 \mu\text{m}$ de long (cf. étude de ce phénomène au §V.B.1). La mobilité totale est donc limitée par des interactions supplémentaires qui, *a priori*, ne dépendent pas de la contrainte, d'où une contribution à la mobilité totale plus faible des interactions avec les phonons ou la rugosité de surface. Il en résulte un gain atténué par rapport à un transistor de $10 \mu\text{m}$ de long.

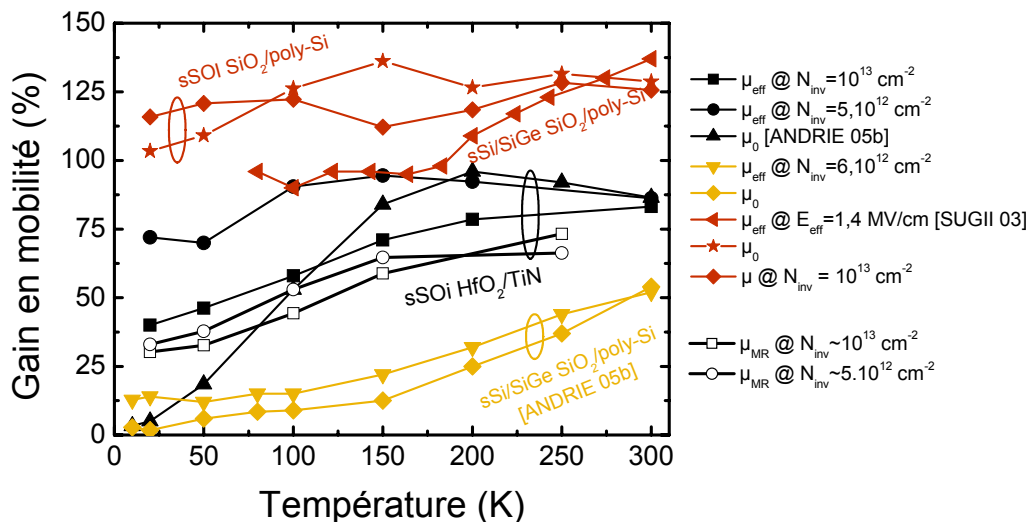


Figure V-32 : Synthèse des gains en mobilité en fonction de la température pour différents types de substrats et d'empilement de grille, et à différents champs électriques.

V.A.3.3.2 Discussion des résultats de mobilité du silicium contraint

Les différents mécanismes impliqués dans la mobilité du FDSOI MOSFET contraint, avec un empilement de grille HfO_2/TiN sont analysés dans cette partie. On s'intéressera dans un premier temps à l'effet de repopulation des porteurs induit par la contrainte. L'empilement de grille HfO_2/TiN induit des interactions coulombiennes additionnelles à distance ("remote coulomb scattering") en raison des charges fixes présentes dans le HfO_2 et/ou à l'interface $\text{HfO}_2/\text{SiO}_x$ [SAITO 03, CASSE 06b]. Comment la contrainte modifie ces interactions? Le couplage entre la charge d'inversion et les phonons optiques dits « mous » (« soft-optical phonons ») peut aussi dégrader la mobilité [FISCHE 01a,03, CHAU 04]. Cependant ce couplage est réduit par une grille métallique [DATTA 03]. De plus il n'a pas été observé d'influence claire des phonons optiques « mous » dans les couches fines de HfO_2 de nos dispositifs [CASSE 06a,b, THEVEN 07]. Dans la discussion suivante nous ne considérerons donc pas ces interactions qui restent dans notre cas du second ordre.

Le Tableau V-2 rappelle les principales limitations de la mobilité selon la gamme de température et de charge d'inversion.

Limitation de la mobilité	Faible N_{inv}	Fort N_{inv}
Basse T°	Coulomb	Rugosité de surface
Haute T°	Coulomb + phonons	Rugosité de surface + phonons

Tableau V-2 : Rappel des limitations principales de la mobilité selon la gamme de température et de charge d'inversion considérée.

V.A.3.3.2.a Effet du repeuplement des porteurs dans les vallées du silicium

Sur la Figure V-33 est représenté le taux d'occupation des vallées Δ_2 en fonction de N_{inv} pour $T=20K$ et $300K$ dans le cas du silicium contraint et non contraint. Avec une contrainte biaxiale de l'ordre de 1,4 GPa, tous les porteurs sont dans les vallées Δ_2 , quelque soit la température. Pour le silicium non contraint en revanche, les électrons peuplent à la fois les vallées Δ_2 et Δ_4 à température ambiante alors qu'à très basse température (20K), seules les vallées Δ_2 sont peuplées. Notons toutefois qu'en forte inversion, il y a un léger dépeuplement des vallées Δ_2 au profit des vallées Δ_4 (carrés pleins de la Figure V-33). Cette figure permet d'expliquer qualitativement quelques unes des observations faites précédemment.

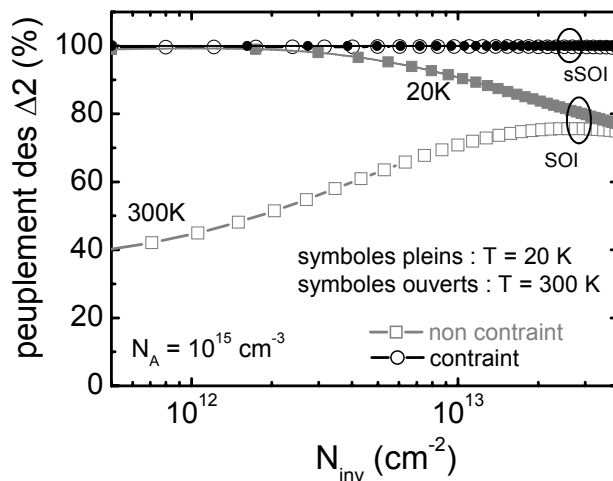
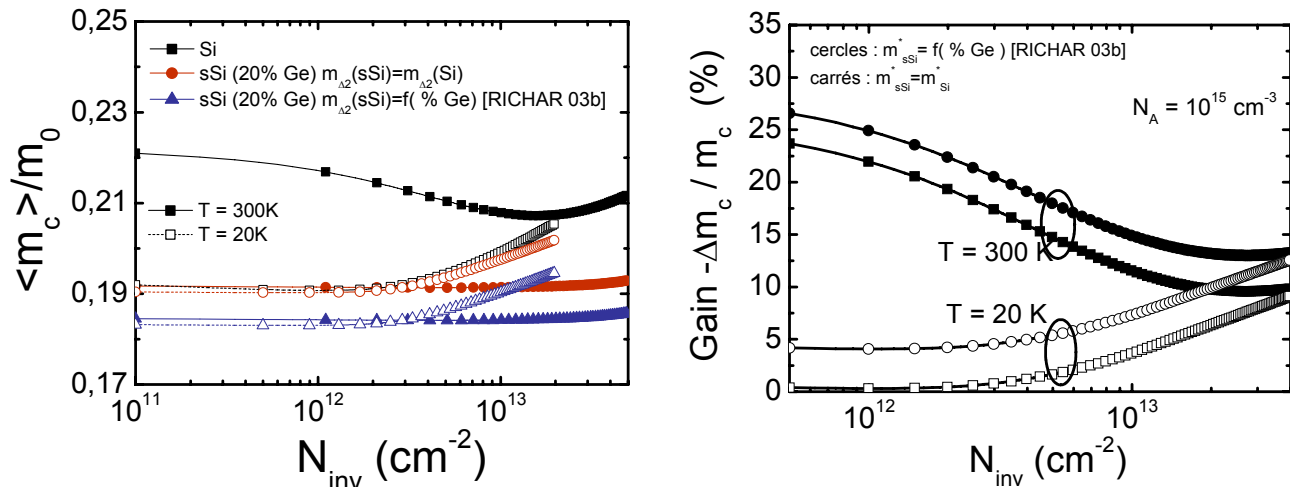


Figure V-33 : Peuplement des vallées Δ_2 en fonction de la charge d'inversion à 20K et 300K, pour du silicium contraint (20%Ge) et non contraint.

Tout d'abord, la décroissance du gain avec N_{inv} , observée pour $T > 150K$ en forte inversion (μ_{eff} : Figure V-28 et μ_{MR} : Figure V-31), peut être expliquée par les effets du confinement quantique. Le confinement joue le même rôle que la contrainte en levant la dégénérescence des vallées Δ_2 et Δ_4 , plus précisément les vallées Δ_2 descendent en énergie pendant que les vallées Δ_4 montent à mesure que N_{inv} augmente. Ainsi l'effet d'une contrainte est réduit en proportion.

Ensuite, l'augmentation du gain avec N_{inv} observée en très forte inversion aux basses températures ($T < 150K$) vient de la dépopulation des vallées Δ_2 du silicium non contraint puisque les interactions avec les phonons deviennent négligeables à ces températures (μ_{eff} : Figure V-28 et μ_{MR} : Figure V-31 à comparer aux Figures V-34). Les vallées Δ_4 du silicium contraint restent totalement dépeuplées grâce aux décalages de bandes supplémentaires induits par la contrainte mécanique. En définitive, le silicium contraint présente une plus forte proportion des porteurs dans les vallées Δ_2 , avec une masse effective de conduction plus faible, d'où une mobilité plus grande. La masse de conductivité de la bande de conduction du silicium contraint en tension biaxiale est donnée par (les vallées Δ_4 étant équi-peuplées) :

$$m_C = [x_{\Delta_2}/m_t + (1 - x_{\Delta_2})(m_t + m_l)/2m_t m_l]^{-1} \quad \text{Équation V-10}$$



Figures V-34 : Evolution de la masse effective de conduction moyenne de la bande de conduction (à gauche) et du gain en mobilité résultant lorsque seul cet effet est pris en compte (à droite) du silicium contraint ou non en fonction de la charge d'inversion pour T=20K et T=300K. Deux cas sont considérés: une masse effective invariante avec le niveau de contrainte (cas habituellement considéré dans la littérature) et une masse effective légèrement modifiée par une contrainte biaxiale en tension (calculée par [RICHAR 03b]).

Ainsi, à T=300K, la différence de masse effective de conduction en forte inversion (10¹³ cm⁻²) par effet de repeuplement ne peut expliquer que 11% du gain en mobilité ; 15% si l'on considère une modification des masses effectives des vallées $\Delta 2$ comme calculée théoriquement par S. Richard *et al.* (simulation par la méthode $\vec{k} \cdot \vec{p}$ à 30 bandes) [RICHAR 03b]. Avec un modèle simple incluant les interactions avec les phonons du réseau et la rugosité de surface (cf. [ANDRIE 05b]), le gain attendu vaut 20% en forte inversion (10¹³ cm⁻²), 10% dus à l'effet de masse lié au repeuplement des porteurs et 10% liés à la réduction des interactions avec les phonons intervalles, alors que le gain observé est de l'ordre de 80%. À T=20K, seuls restent les effets de masse et de rugosité de surface. Ainsi le gain attendu théoriquement n'est que de 3,7% (7,3% avec $m_{\Delta 2}(sSi) \neq m_{\Delta 2}(Si)$) pour $N_{inv} = 10^{13}$ cm⁻² alors que le gain mesuré expérimentalement est encore de l'ordre de 40%. Ces résultats laissent donc penser que le gain vient d'une modification de la rugosité de l'interface Si/diélectrique de grille par la contrainte mécanique (cf. paragraphe suivant).

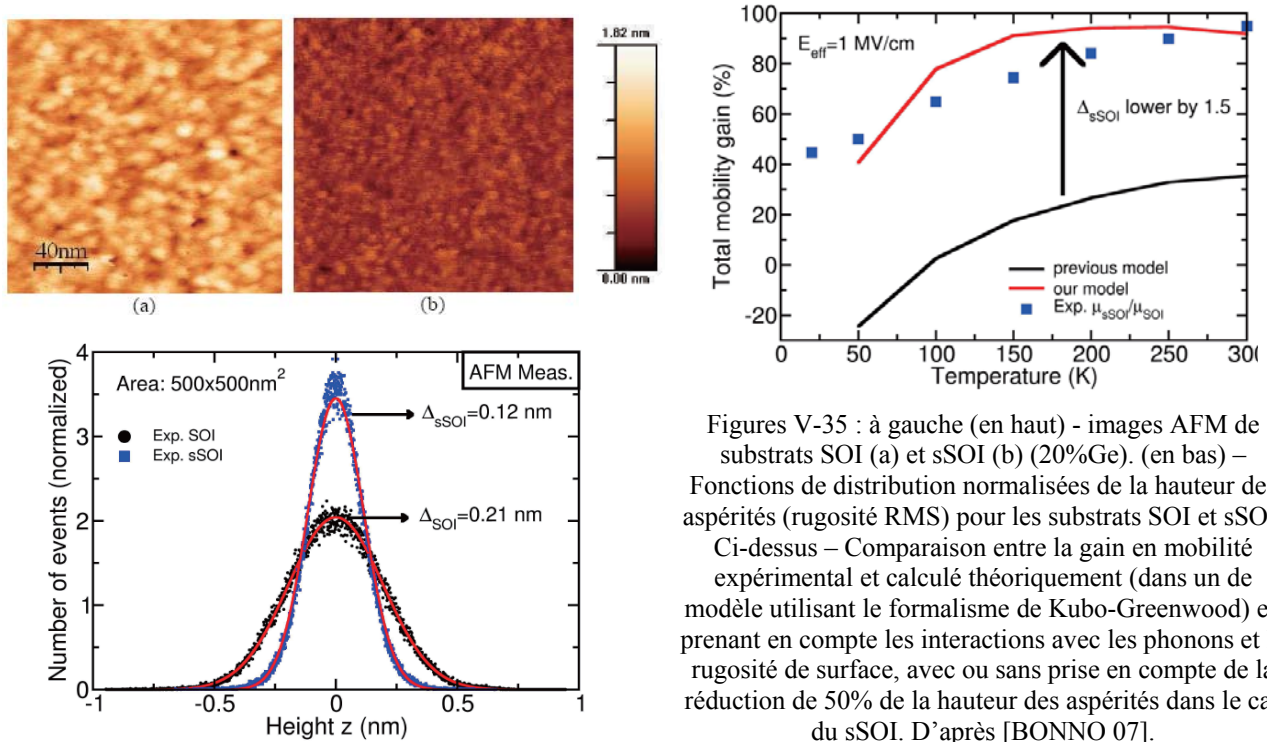
V.A.3.3.2.b Gain à fort champ de grille

Compte tenu des considérations évoquées précédemment, le gain observé en forte inversion, en particulier à basse température, ne peut s'expliquer uniquement par un effet de repeuplement ou de masse. À T=20K, les phonons ne jouent plus aucun rôle sur la mobilité (négligeables en-dessous de 50K). Alors que le gain aux faibles charges d'inversion a été bien décrit en considérant les effets de réduction de la masse effective de conduction et de réduction des interactions intervalles via les mécanismes de repopulation [TAKAGI 96], le gain à fort champ ($E_{eff} > 1$ MV/cm, ce qui équivaut dans notre cas à $N_{inv} > 10^{13}$ cm⁻² environ) est resté longtemps inexpliqué comme l'avait fait remarquer Fischetti *et al.* [FISCHE 02]¹⁷⁵. Ainsi seule une modification de la rugosité de surface avec la contrainte permet d'expliquer une telle observation. Evans *et al.* ont d'ailleurs pu expliquer la réduction de mobilité à faible densité observée dans des structures ultrafine de type double grille par une meilleure prise en compte des interactions avec la rugosité de surface (modélisation à l'échelle atomique) [EVANS 05]. Mais pour expliquer la différence de mobilité à fort champ entre le silicium contraint et le silicium non contraint, une modification de la rugosité elle-même est nécessaire. Certaines études théoriques ont entamé la discussion de cet effet. En particulier Xie *et al.* ont observé une augmentation importante de la rugosité de surface du silicium en compression biaxiale [XIE 94]. Grâce à des simulations moléculaires, ils ont pu montrer que la contrainte en

¹⁷⁵ "the performance advantage reported for the strained-Si inversion layer appears to be an exemplary case of serendipity".

compression diminue les énergies libres de surface, rendant la surface plus rugueuse. À l'époque la résolution des méthodes de mesure de la rugosité de surface n'a permis de mettre en évidence qu'une forte augmentation de la rugosité pour une surface en compression biaxiale. C'est seulement récemment, que Bonno *et al.* ont pu mesurer pour la première fois par AFM¹⁷⁶ une réduction de la rugosité de surface d'un substrat de silicium en tension biaxiale [BONNO 07] (Figures V-35).

Il a été trouvé une réduction de 50% des paramètres de rugosité (Δ et Λ , cf. §II.B.4.1.3) pour le silicium contraint (Figures V-35). Nous avons évoqué les différentes approches statistiques mathématiques de la rugosité dans le §II.B.4.1.3. Ceci explique pourquoi les valeurs des paramètres de la rugosité utilisées dans les modèles ne correspondent pas en valeur absolue aux valeurs extraites expérimentalement à partir des mesures AFM ($\Delta_{\text{model.}}=0,4\text{nm}$ contre $\Delta_{\text{exp.}}=0,21\text{nm}$ pour le silicium non contraint). Il est toutefois possible de reproduire convenablement le gain expérimental en ne considérant que la variation relative (50%) de la rugosité RMS ($\Delta_{\text{sSOI}}=1,5\Delta_{\text{SOI}}$) (Figures V-35). Il s'agit en effet du paramètre prépondérant de l'interaction avec la rugosité (dépendance en Δ^2) ; la variation de la longueur de corrélation Λ avec la contrainte n'a pas été prise en compte dans ce modèle. En effet les multiples expressions mathématiques de la fonction de corrélation de la rugosité S , dans laquelle intervient ce paramètre, sont sujettes à discussion.



Figures V-35 : à gauche (en haut) - images AFM de substrats SOI (a) et sSOI (b) (20%Ge). (en bas) - Fonctions de distribution normalisées de la hauteur des aspérités (rugosité RMS) pour les substrats SOI et sSOI. Ci-dessus - Comparaison entre la gain en mobilité expérimental et calculé théoriquement (dans un modèle utilisant le formalisme de Kubo-Greenwood) en prenant en compte les interactions avec les phonons et la rugosité de surface, avec ou sans prise en compte de la réduction de 50% de la hauteur des aspérités dans le cas du sSOI. D'après [BONNO 07].

En définitive, l'hypothèse de la modification de la rugosité de surface d'un substrat contraint et transposée à l'interface entre le silicium et le diélectrique de grille après la réalisation de l'empilement de grille, est tout à fait plausible et permet d'expliquer le gain en mobilité observé à fort champ. Cette modification est alors liée au procédé de fabrication.

V.A.3.3.2.c Interactions coulombiennes et contrainte

Intéressons-nous désormais au gain en mobilité observé aux faibles charges d'inversion. Pour cela il convient d'analyser le gain obtenu par mesures de magnétorésistance (Figure V-31). Nos dispositifs présentant une grande quantité de charges fixes dans l'empilement de grille, comme

¹⁷⁶ Atomic Force Microscopy.

discuté précédemment (voir aussi détails dans [CASSE 06b]), ces charges coulombiennes limitent principalement la mobilité totale de nos dispositifs aux faibles charges d'inversion¹⁷⁷.

Dans cette partie on se propose d'évaluer, par le calcul, le gain en mobilité limitée uniquement par les interactions coulombiennes à distance, à deux températures : 20K et à 300K.

Nous avons calculé la mobilité effective limitée par les interactions coulombiennes à distance en prenant en compte les effets du confinement quantique d'une couche d'inversion (par résolution auto-consistante des équations de Poisson-Schrödinger), les charges fixes et d'interface dans le diélectrique de grille ainsi que la variation de la masse effective par la contrainte. Nous avons utilisé un modèle basé sur la théorie originelle de Ando et Stern [ANDO 82], largement développée et utilisée depuis [GAMIZ 94, ESSENI 03]. Nous avons simulé une structure représentative de nos dispositifs en choisissant les paramètres donnés dans la Figure V-36. Notons cependant que la densité de charges fixes ou d'états d'interface ne change pas le gain induit par la contrainte puisque la mobilité limitée par ces interactions coulombiennes est proportionnelle à ces densités [ESSENI 03] (Équation V-11).

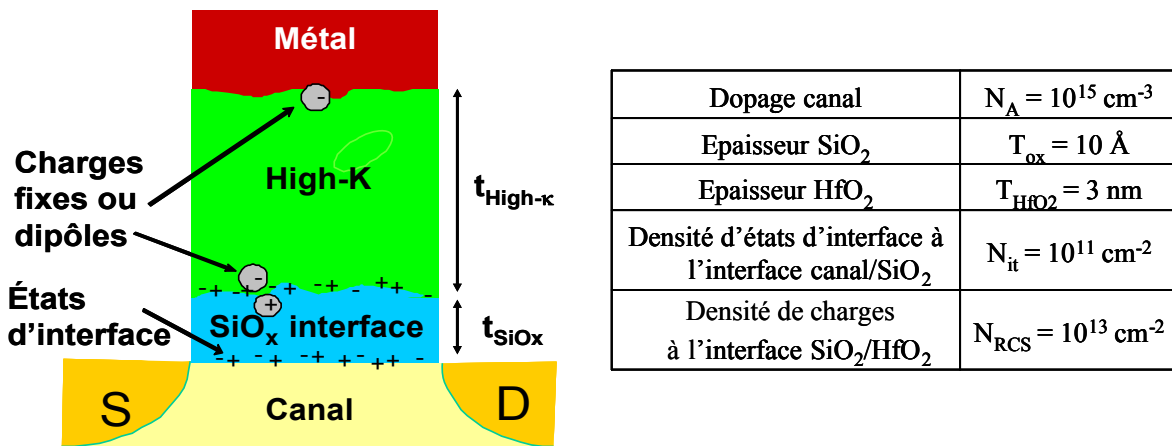


Figure V-36 : Représentation schématique de l'empilement étudié et paramètres utilisés pour la simulation.

Descriptions du modèle théorique utilisé et du principe du calcul de μ_{RCS} :

Nous ne rappellerons ici que les bases du calcul de la mobilité limitée par les charges coulombiennes à distance. Pour plus de détails sur la théorie, on pourra consulter les articles suivants [ANDO 82, ESSENI 03].

La mobilité est calculée à partir des taux de dispersion (ou fréquence d'interaction = inverse du temps de relaxation) d'un niveau d'énergie E_i :

$$1/\tau_{i,j} = K \cdot N_j \int_0^{2\pi} Ab^2 \cdot (1 - \cos(\theta)) \cdot d\theta \quad \text{Équation V-11}$$

avec N_j la densité surfacique de charge (it pour les états de l'interface Si/SiO₂ et RCS pour les charges à distance, à l'interface SiO₂/High- κ) et

$$K = \frac{2\pi m_d q^2 N_j}{\hbar^3} \quad \text{Équation V-12}$$

Ab représente l'effet électrostatique d'une charge et inclue le paramètre d'écrantage. Ce dernier dépend de la position des charges, de la position moyenne des porteurs de la couche

¹⁷⁷ C'est pourquoi le dopage ne sera pas pris en compte dans le calcul de la mobilité limitée par les interactions coulombiennes, d'autant plus que dans notre cas le dopage est faible (10^{15} cm^{-3}).

d'inversion et de la charge d'inversion. L'interaction est de type élastique (conservation de l'énergie et modification du vecteur d'onde).

Le temps de relaxation moyen se calcule en additionnant les différents taux d'interaction, soit

$$\tau_i = \left(1/\tau_{i,ut} + 1/\tau_{i,RCS}\right)^{-1} \quad \text{Équation V-13}$$

La mobilité de chaque niveau peuplé est ensuite moyennée en énergie selon

$$\mu_{RCS,vi} = \frac{q}{m_{c,v}} \cdot \frac{\int_{E_i}^{\infty} \tau_i(E - E_i) \cdot (E - E_i) \cdot \frac{\partial f}{\partial E}(E) \cdot g(E) \cdot dE}{\int_{E_i}^{\infty} g(E) \cdot f(E) \cdot dE} \quad \text{Équation V-14}$$

avec vi le niveau i de la vallée v considérée, f(E) la fonction de Fermi, $m_{c,v}$ la masse effective de conductivité de la vallée v.

Enfin la mobilité totale est calculée selon la décomposition :

$$\mu_{RCS} = \frac{1}{N_{inv}} \left[\sum_i (n_i \mu_i)_{\Delta 2} + \sum_j (n_j \mu_j)_{\Delta 41} + \sum_k (n_k \mu_k)_{\Delta 42} \right] \quad \text{Équation V-15}$$

avec $n_{i,j,k}$ la population du niveau ij ou k de la sous-bande des vallées $\Delta 2$, $\Delta 41$ ou $\Delta 42$ respectivement. N_{inv} est la population totale des porteurs en inversion.

Préambule :

En comparant la proportion des porteurs des cinq premiers niveaux par sous-bande par rapport au nombre total de porteurs (résolution des équations couplées de Poisson-Schrödinger avec un calcul prenant en considération 30 sous-niveaux par bande), on s'aperçoit qu'au-delà de quelques 10^{12} cm^{-2} , cinq niveaux par vallée suffisent à représenter plus de 99% des porteurs à 300K (Figure V-37). En très faible inversion ($<10^{11} \text{ cm}^{-2}$), cela ne représente plus que 95% des porteurs. Par la suite on se limitera donc à un calcul à 5 bandes par vallée (ce qui permet d'obtenir des temps de calcul beaucoup plus faibles).

Le calcul sera d'autant plus précis que l'on descend en température. En revanche à température ambiante et à faible densité de charges en inversion, ce calcul devient insuffisant (ex. pour $\sigma_{biax} = 1,5 \text{ GPa}$, à $N_{inv} = 1,6 \cdot 10^{11} \text{ cm}^{-2}$ la proportion $(n_{\Delta 2} + n_{\Delta 4}) / n_{inv}$ est de 65% seulement contre 93,3 % à $N_{inv} = 1,1 \cdot 10^{13} \text{ cm}^{-2}$). Pour évaluer le gain en mobilité à 300K nous nous sommes donc limités à des charges d'inversion supérieures à 10^{12} cm^{-2} (la mobilité μ_{RCS} étant quasi-proportionnelle à N_{inv}) (Figures V-38).

Les gains en mobilité expérimentaux obtenus à 300K, autour de 50% pour les faibles N_{inv} , sont cohérents avec les calculs de Gámiz *et al.* [GAMIZ 96]. Leurs calculs par simulations Monte Carlo montrent un gain de 45-55% pour $T=300\text{K}$ dans la gamme N_{inv} de $6,5 \cdot 10^{11}$ à $4 \cdot 10^{12} \text{ cm}^{-2}$. Ce gain est expliqué entièrement par les effets de repopulation des électrons dans les vallées $\Delta 2$. Dans le silicium contraint les vallées $\Delta 2$ sont plus peuplées pour une charge d'inversion donnée.

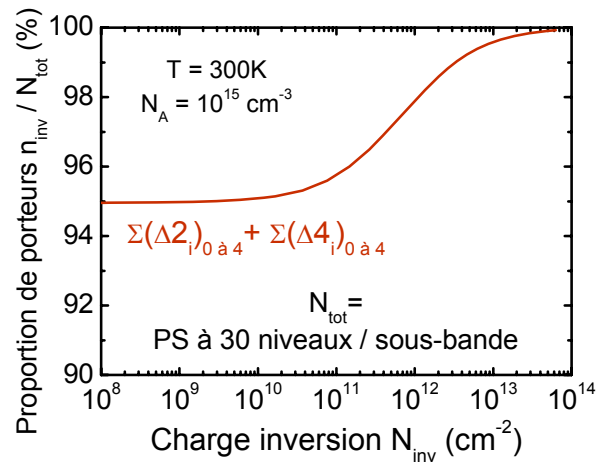
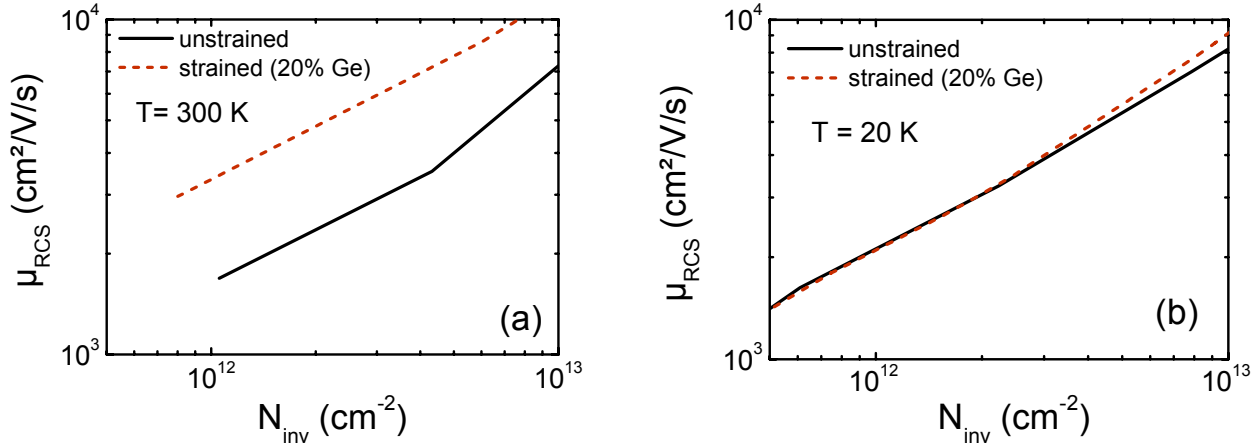


Figure V-37 : Proportion de porteurs pris en compte par une simulation intégrant 5 niveaux par vallée par rapport à une simulation à 30 niveaux par vallée.

L'écrantage des charges, qui est proportionnel à la densité d'électrons à un niveau d'énergie donné, devient meilleur et la mobilité limitée par les interactions coulombiennes augmente.



Figures V-38 : Mobilités limitées par les interactions coulombiennes calculées pour $T=300\text{K}$ (a) et $T=20\text{K}$ (b).

Dans un but de simplicité, nous avons pris en compte le peuplement seulement des deux premières sous-bandes des vallées $\Delta 2$ (notée $\Delta 2_0$ et $\Delta 2_1$) et les premières sous-bandes des vallées $\Delta 4$ ($\Delta 4_0$). Ainsi nous avons une très bonne description de la répartition des porteurs à $T=20\text{K}$ sur toute la gamme de N_{inv} et à 300K pour $N_{inv} > 10^{12}\text{ cm}^{-2}$ (>99% des porteurs représentés), à la fois pour le silicium contraint et non contraint.

Les résultats de ce calcul sont donnés sur les Figures V-38. Notons que nos calculs à 300K sont en bon accord avec nos résultats expérimentaux. À $T=20\text{K}$, aucun gain en inversion faible et modérée ($N_{inv} < 5 \cdot 10^{12}\text{ cm}^{-2}$) n'est observé. En faible inversion et à basse température, tous les porteurs sont dans les vallées $\Delta 2$, pour le silicium contraint ou non (Figure V-33). Un léger gain dû au peuplement préférentiel des sous-bandes $\Delta 2_1$ pour le silicium contraint au détriment des sous-bandes $\Delta 4_0$ dans le cas du silicium non contraint (Tableau V-3) est obtenu en très forte inversion ($N_{inv} > 5 \cdot 10^{12}\text{ cm}^{-2}$).

N_{inv} (cm^{-2})	%Ge	x_i (%)		
		$\Delta 2_0$	$\Delta 2_1$	$\Delta 4_0$
10^{13}	20	90.2	9.7	0
	0	88.4	2.3	9.3
10^{12}	20	100	0	0
	0	99.0	0.2	0.8

Tableau V-3 : Peuplement des sous-bandes des vallées $\Delta 2$ et $\Delta 4$ en faible et forte inversion pour $T=20\text{K}$ dans le cas du silicium contraint (20%Ge) et non contraint.

En définitive, nos calculs ne montrent aucune amélioration de la mobilité limitée par les interactions coulombiennes à distance par la contrainte aux basses températures. Le gain non nul observé jusqu'à des charges d'inversion de quelques 10^{12} cm^{-2} ne peut donc s'expliquer par ce modèle. On peut donc avancer les deux hypothèses suivantes : soit le nombre de charges coulombiennes est réduit dans les substrats sSOI soit l'interaction dominante dans ce régime est différente d'une celle liée à une simple charge coulombienne (dipôles ?). Nous penchons actuellement plus vers cette dernière hypothèse (cf. discussion du §V.B.3.4) pour les transistors ultracourts). Pour une analyse plus fine de l'effet de la contrainte sur les interactions coulombiennes, on pourra se référer à l'article de Weber *et al.* [WEBER 07a] (cf. aussi la discussion du §II.B.4.2.1).

V.B Mobilité des électrons des transistors ultracourts

V.B.1 Mobilité en fonction de la longueur de grille

Nous avons extrait la mobilité des porteurs par la fonction Y (avec le modèle de mobilité décrit par l'Équation IV-13) en fonction de la longueur de grille pour différents types d'architecture : sur silicium massif, en technologie FDSOI, avec en empilement de grille standard ou avancé, et avec un canal contraint ou non (Figure V-39). Dans tous les cas, la mobilité des transistors courts est plus faible que celle des transistors longs. Pour le silicium contraint, la mobilité chute même plus rapidement avec la longueur que pour le silicium non contraint.

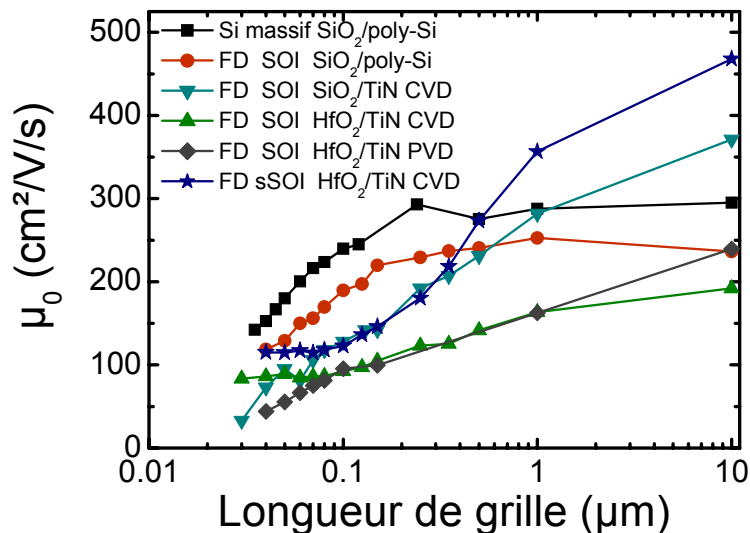


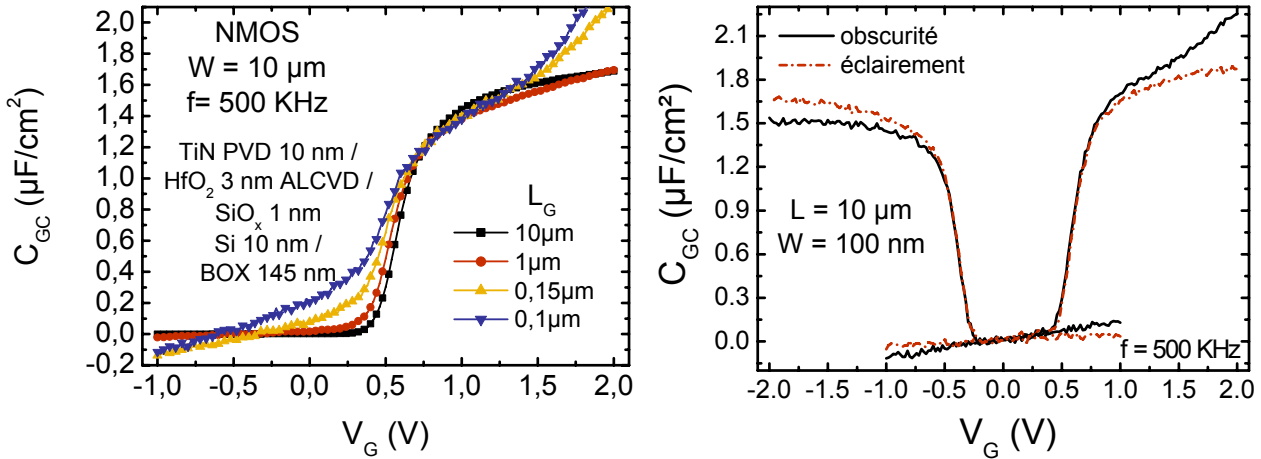
Figure V-39 : Evolution de la mobilité à faible champ μ_0 , extraite par la fonction Y, en fonction de la longueur de grille pour différentes architectures de MOSFETs et différents empilements de grille. Des résultats comparables ont été obtenus avec la méthode d'extraction de Hamer.

Ceci dit, l'étude et la caractérisation du transport électronique dans les transistors ultracourts ne sont pas triviales. Les extractions présentées sur les Figure V-39 sont réalisées en effectuant quelques hypothèses qu'il convient de rappeler ici.

Premièrement, l'extraction de la mobilité à partir de la seule mesure du courant de drain en fonction de la tension de grille nécessite la connaissance précise de la géométrie du transistor, en particulier sa longueur électrique effective (cf. §IV.A.3 et Équation IV-16). Lorsque l'étude porte sur des transistors ultracourts et étroits, la largeur effective devra être elle aussi connue avec précision. Des mesures de capacités grille/canal permettent de remonter à ces valeurs comme l'ont illustré les Figure IV-5 et Figure IV-8. Cependant de telles mesures ne sont pas toujours possibles. Si la valeur à mesurer est trop faible (bruit de mesure supérieur au signal attendu¹⁷⁸) et/ou si les capacités parasites sont trop importantes (ce qui est souvent le cas des dispositifs avancés en recherche, encore non optimisés), la courbe $C(V)$ ne permet pas de remonter à la géométrie du dispositif. Les Figures V-40 illustrent ce problème des capacités parasites, mesurées sur des transistors courts et larges ou sur des transistors longs et étroits. L'origine de ces capacités parasites est complexe. Nous avons pu observer sur certaines de nos architectures avancées FDSOI une dépendance quasi-linéaire de ces capacités parasites alors qu'il est plus habituel d'observer une capacité parasite qui s'annule en forte inversion [ROMANJ 04a]. La dépendance de ces capacités

¹⁷⁸ C'est le cas d'une mesure effectuée sur un transistor isolé court et étroit. Par exemple l'amplitude maximale du signal C_{GC} à détecter sur un MOSFET de 30 nm de long et 50 nm de large, pour un E.O.T. de 1 nm est de l'ordre de 0,05 fF seulement. Nos appareils de mesures permettent de mesurer à l'heure actuelle des capacités de l'ordre de la dizaine de fF. Une mesure sur des réseaux de transistors permet parfois de pallier cette difficulté.

avec l'éclaircement peut nous donner des informations supplémentaires (Figures V-40 de droite). Actuellement, ce comportement reste inexpliqué.



Figures V-40 : Illustration de capacités parasites avec la réduction des dimensions pour des transistors FDSOI intégrant un empilement de grille HfO₂/TiN. Rappel : C_{GC} signifie capacité grille-canal. Le film mince de Si est épais de 10nm de même que la grille TiN déposée par PVD. Le diélectrique de forte permittivité a été déposé par ALCVD et mesure 3nm d'épaisseur sur un oxyde natif SiO_x d'environ 1nm. Le BOX est épais de 145nm.

Deuxièmement, pour mener à bien l'extraction de la mobilité par le courant de drain, modélisé par l'Équation I-10 (qui en soit constituée déjà une hypothèse), il convient de considérer que l'E.O.T. est invariante avec les dimensions du transistor puisque la valeur de C_{ox,eff}¹⁷⁹ intervient dans la formulation du gain du transistor permettant de remonter à la mobilité μ_0 (Équation IV-16). Notons aussi que cette hypothèse est indispensable à l'extraction de la géométrie par mesure capacitive évoquée plus haut. Or il a parfois été observé une dégradation du couplage capacitif de grille avec la réduction des dimensions sur certaines des technologies FDSOI non optimisées et étudiées pendant ce travail (Figure V-41).

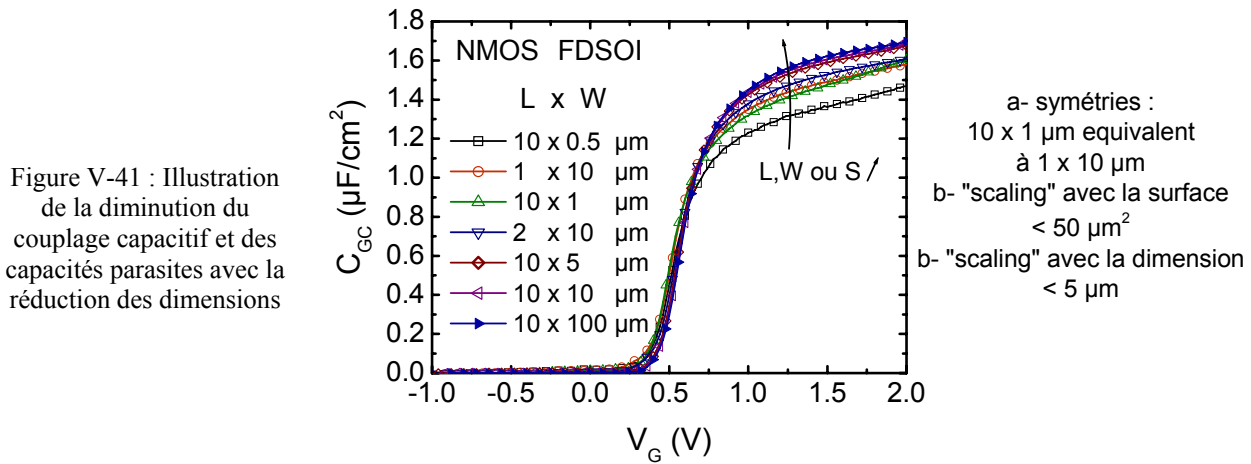


Figure V-41 : Illustration de la diminution du couplage capacitif et des capacités parasites avec la réduction des dimensions

En l'occurrence, lorsque ce phénomène existe, les valeurs de mobilités extraites sont sous-estimées. Néanmoins cet effet ne permet pas à lui seul d'expliquer la dégradation de mobilité μ_0 avec la réduction de la longueur de grille observée sur nos dispositifs puisqu'une dégradation de mobilité μ_0 comprise entre 10 et 30% est observée entre une longueur de 10µm et 1µm (pour W=10µm) alors que la réduction du C_{ox,eff} n'est que de 7,5% environ pour cette même gamme de longueur de grille. De plus nous avons extrait les mobilités effectives par la technique split-CV (qui ne fait aucune hypothèse sur le couplage capacitif) pour les longueurs de grille 10µm et 1µm (Figure V-42). Les résultats montrent une dégradation de 20% pour le TiN CVD et de 10% pour le TiN PVD à N_{inv}=10¹³cm⁻². Cette diminution du C_{ox,eff} a été observée principalement sur nos technologies FDSOI présentant des empilements de grille HfO₂/TiN, que le TiN soit déposé par

¹⁷⁹ Rappelons ici que le C_{ox,eff} est parfois appelé CET.

CVD ou par PVD. On l’attribue au procédé de fabrication qui pourrait entraîner une inhomogénéité de l’épaisseur du diélectrique de grille et notamment une recroissance des bords de l’oxyde interfacial pendant les différents dépôts et recuits lors de la réalisation de l’empilement de grille (dépôt de la grille métallique, gravure de la grille, réalisation des espaceurs...) [ANDRIE 06b]. Une étude technologique serait nécessaire pour approfondir cette observation.

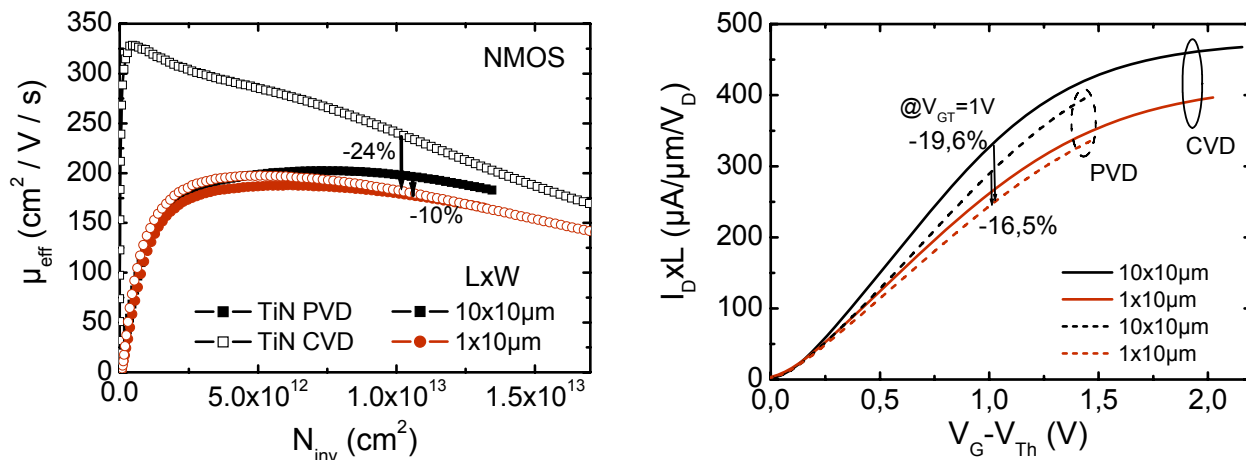


Figure V-42 : Illustration de la chute de mobilité par split CV dès les longueurs de grille autour du micron pour les architectures FDSOI à empilement de grille avancé (à gauche). Corrélation avec la perte du courant de drain mesurée sur ces mêmes dispositifs.

Alors que la dégradation de la mobilité à faible champ apparaît pour des longueurs inférieures à 200nm environ pour une architecture standard sur silicium massif ou en technologie FDSOI avec un empilement de grille standard $\text{SiO}_2/\text{poly-Si}$ (cf. Figure V-39), on observe une chute de mobilité dès des longueurs de l’ordre de quelques microns avec un empilement de grille avancé en FDSOI (Figure V-39 et Figure V-42) ; plus précisément dès lors que la grille est formée en TiN. Les charges induites lors du dépôt de la grille TiN dégradent la mobilité à faible champ (visible dès les grandes longueurs de grille). Le remplacement du SiO_2 par du HfO_2 ne fait qu’empirer la situation (voir aussi discussion du §V.A.3.2.1). Cependant l’effet néfaste de ces charges ne permet pas a priori d’expliquer la chute de mobilité avec la longueur de grille¹⁸⁰. D’autant plus que pour des charges correspondant à la très forte inversion, la mobilité n’est, en principe, plus limitée essentiellement par les interactions coulombiennes mais plus par les interactions avec les phonons du réseau et la rugosité de surface. Il semble ainsi, au vu des résultats de mobilité extraite par split-CV (Figure V-42) que le procédé de fabrication de la grille modifie aussi la rugosité à l’interface avec le canal de conduction. Ceci limite en outre l’effet d’une contrainte supplémentaire puisque la mobilité est limitée par d’autres interactions, *a priori* indépendantes de la contrainte.

L’origine de la dégradation de mobilité pour les plus petites géométries est encore discutée aujourd’hui : certains évoquent la présence de défauts neutres [CROS 06a] alors que dans certaines architectures la seule présence de charges coulombiennes additionnelles permettrait de l’expliquer (cf. §V.B.3.3 et [CASSE 08]). Nous aurons l’occasion de discuter plus largement des origines possibles de la dégradation de la mobilité dans les paragraphes suivants (§V.B.3.1).

En définitive, ces problèmes d’extraction sur les transistors de petites géométries empêchent l’étude précise de la mobilité effective des transistors ultracourts, que ce soit à partir d’extractions

¹⁸⁰ On peut toutefois imaginer que la forte concentration d’azote, induite par le procédé de dépôt de la grille TiN, qui permet d’expliquer l’origine de la dégradation de la mobilité des transistors longs par rapport à la mobilité d’un empilement standard $\text{SiO}_2/\text{poly-Si}$ [GARROS 08], peut se retrouver en plus forte proportion sur les bords de la grille. En effet les espaceurs en nitrure de silicium pourraient jouer le rôle de barrière la diffusion de l’azote lors des recuits post-dépôt de grille+espaceurs, de la même manière qu’ils jouent le rôle de barrière de diffusion aux dopants du silicium. Cet effet de bord pourrait alors peut-être expliquer la dépendance en longueur de grille, ceci dès l’ordre du micron. Cette hypothèse reste toutefois à être vérifiée (par analyse SIMS par exemple). Elle ne peut expliquer en revanche la dégradation de la mobilité observée pour les très petites longueurs sur l’architecture standard sur Si massif.

sur le courant de drain ou par la technique split-CV. La technique de magnétorésistance sera alors la seule façon d'étudier de façon fiable la mobilité des porteurs de ce type d'architecture.

V.B.2 Effet du champ latéral sur le gain en courant des architectures sSOI : aperçu

L'effet des $R_{série}$ est majoritairement responsable de la perte de gain à fort V_D , ceci dès les grandes longueurs de grille (Figure V-43 et Figure V-44). La chute du gain en courant avec la longueur de grille trouve plusieurs origines dont les principales sont l'impact des $R_{série}$ et la réduction de la mobilité avec la longueur. À même V_G , le gain est plus fort car la tension de seuil V_T des dispositifs contraints sSOI est plus faible que le V_T des dispositifs SOI.

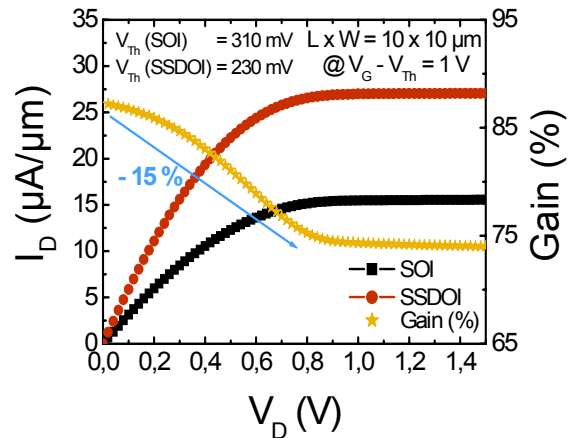
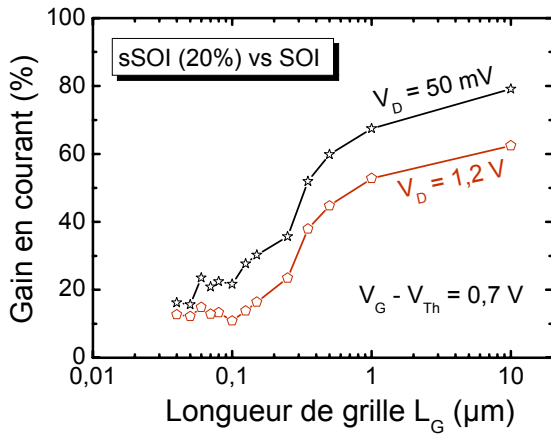
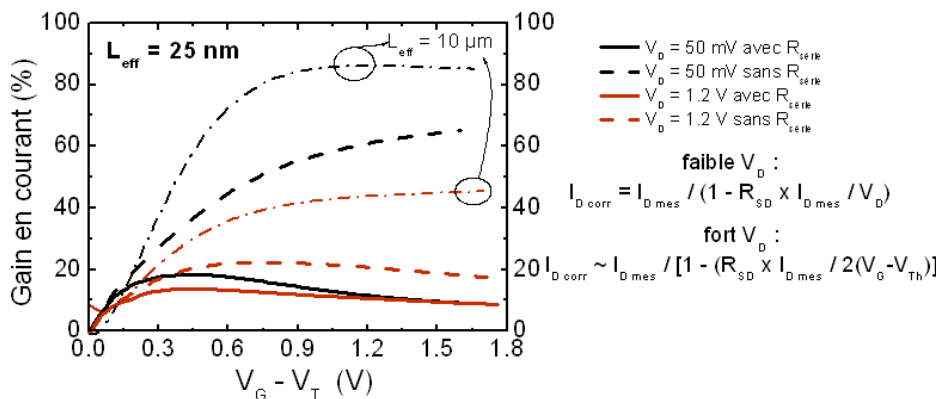
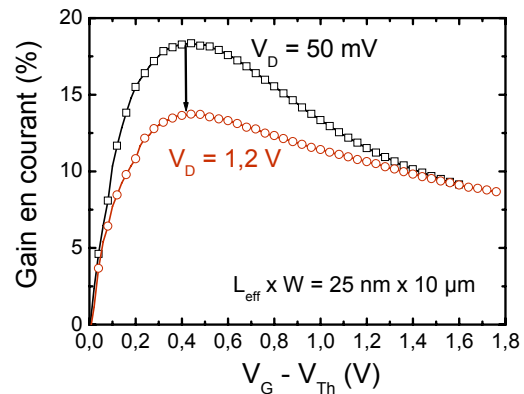
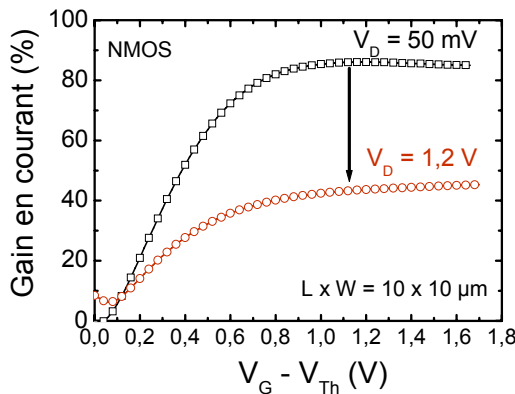


Figure V-43 : Evolution du gain en courant en fonction de L_G pour deux tensions de drain (régime linéaire et de saturation) avec l'architecture FDSOI à empilement de grille avancé et pour une tension de grille normalisée par la tension de seuil.

Figure V-44 : Evolution du gain en courant en fonction de la tension de drain pour un transistor long.



Figures V-45 : Evolution du gain en courant avec $V_G - V_T$ pour deux longueurs de grille différentes ($10 \mu m$ et $25 nm$) et pour deux conditions de polarisation sur le drain (régime linéaire et de saturation). L'effet des $R_{série}$ est illustré sur la figure du bas sur le transistor ultracourt.

Le gain diminue avec $V_G - V_T$ pour un transistor court car l'impact des $R_{série}$ devient de plus en plus fort à mesure que le courant augmente (Figures V-45). Ceci montre en particulier l'importance des $R_{série}$ dans la limitation du courant des transistors ultracourts. Le bénéfice de la contrainte

mécanique est donc d'autant plus limitée que les $R_{série}$ sont grandes et que la mobilité est dégradée par des mécanismes indépendants de la contrainte. Le gain plus faible obtenu à faible $V_G - V_T$ pour un transistor ultra-court à fort V_D (Figures V-45 en haut à droite) peut aussi s'expliquer en partie par le repeuplement des porteurs dans les vallées Δ_4 à fort champ (porteurs énergétiques).

V.B.3 Analyse de la mobilité des MOSFETs ultracourts avec la température

Seules les mobilités des transistors présentant un empilement de grille avancé en technologie FDSOI seront analysées puisque seuls ces transistors peuvent prétendre satisfaire les spécifications de l'ITRS à moyen terme (cf. Chapitre I). Avant de présenter nos résultats expérimentaux, nous rappelons les différents mécanismes évoqués jusqu'à aujourd'hui pour expliquer la dégradation de la mobilité des MOSFETs ultracourts.

V.B.3.1 Mécanismes limitant la mobilité des transistors courts

Plusieurs hypothèses ont été émises pour expliquer la chute de mobilité observée expérimentalement [CROS 06b]. Elle peut être liée à la technologie de fabrication : génération de défauts, neutres ou chargés (au cours des implantations des S/D ou des poches par exemple). Son origine peut aussi relever de principes plus fondamentaux : balisticité, mise en défaut du modèle de courant. Ou tout simplement être lié à des artefacts de mesure. Cette partie a pour but de faire le tour d'horizon des différentes origines possibles de cette observation expérimentale et de discuter de leur pertinence et/ou proportion dans l'explication générale de ce phénomène.

V.B.3.1.1 Balisticité du transport

La chute de mobilité n'est peut-être qu'un effet apparent, *i.e.* ne traduisant pas une dégradation du transport. En effet, l'extraction de la mobilité est basée sur l'Équation I-10 du courant de drain en régime ohmique et en forte inversion. Or ce modèle, dit « classique » (ou de Drude) s'appuie sur le phénomène de dérive des porteurs en régime stationnaire. Chaque porteur est accéléré uniformément par le champ électrique \vec{E} durant un intervalle de temps t_i entre deux collisions. À la fin de ce laps de temps, ils sont statistiquement relaxés dans leur état cinétique initial. Ainsi on peut leur attribuer une vitesse moyenne ou une mobilité, qui rend compte de la moyenne statistique des différents temps d'interactions $\langle t_i \rangle = \tau$ (cf. définition de la mobilité au §II.B.4.1.1). Ainsi pour que la mobilité ait un sens physique, il faut que les porteurs subissent un nombre suffisamment grand de collisions. Or dans le cas limite où le transport est dit balistique, tous les porteurs passent de la source au drain sans subir d'interaction (leur temps de relaxation est alors bien plus grand que leur temps de transit dans le canal). Le courant de drain ne dépend alors plus de la longueur du canal. Dans le cas intermédiaire où le nombre d'interactions est réduit, le régime de transport est alors quasi-balistique (cf. §I.B.2.2.2). Certains considèrent donc la limite balistique comme un phénomène supplémentaire de réduction de la mobilité, selon la règle de Matthiessen [SHUR 02] :

$$\frac{1}{\mu_{mes}} = \frac{1}{\mu} + \frac{1}{\mu_{bal}} \quad \text{Équation V-16}$$

Où μ_{mes} correspond à la mobilité « apparente », valeur extraite à partir d'un modèle de courant de type Drude et μ le paramètre physique de mobilité. On peut ainsi définir, comme on l'a fait au §I.B.2.2.2 (Équation I-22), à partir de l'expression du courant de drain en régime linéaire

(Équation I-10), une mobilité dite « balistique ». Elle s'écrit, lorsque l'on considère un coefficient de rétro-diffusion nul ($r=0$ soit $\lambda \gg L_{eff}$) et un gaz non dégénéré¹⁸¹ :

$$\mu_{bal} = \frac{v_{th}}{2k_B T/q} \cdot L_{eff} \quad \text{Équation V-17}$$

Cette mobilité, qui traduit en réalité la balisticité du transport, diminue avec la longueur effective du canal. Il devient donc intéressant de comparer les valeurs de mobilité expérimentales obtenues sur des transistors ultracourts à celles correspondant à la limite balistique (Figure V-46).

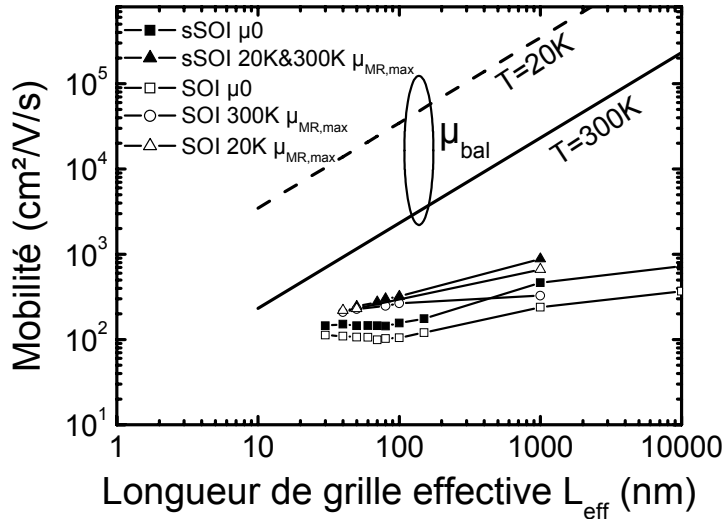


Figure V-46 : Comparaison des mobilités expérimentales des électrons, obtenues sur SOI ou sSOI, avec la mobilité balistique limite.

Pour une longueur effective de 50nm, cette limite est portée à environ 1160 cm²/V/s pour T=300K et 17 400 cm²/V/s à T=20K. Or expérimentalement les valeurs maximales obtenues (sur sSOI) sont de l'ordre de 250 à 300 cm²/V/s à 300K et 20K, à faible V_D. Si l'on retranche la mobilité balistique de la mobilité expérimentale apparente, $(1/\mu_{exp} - 1/\mu_{bal})^{-1}$, on peut évaluer dans quelles proportions la limite balistique contribue à la réduction de mobilité. Le résultat de ce calcul montre que la proportion est de l'ordre de quelques pourcents seulement à 20K mais peut aller jusqu'à 25-35% à 300K¹⁸². Notons que le transport balistique joue un rôle d'autant plus important que le champ électrique latéral est fort. En effet à fort champ latéral, la vitesse des porteurs est plus élevée, le temps de transit dans le canal est donc plus court et la proportion de porteurs balistiques augmente.

En définitive dans les transistors ultracourts, le transport n'est pas complètement uniforme. Cependant l'effet seul du transport balistique ne suffit pas à expliquer quantitativement la chute de mobilité « apparente » (environ 1/6 pour L=50nm à 300K) [ZILLI 07]. De plus, comme on le verra

¹⁸¹ Rappelons que cette expression n'est valable que dans le cas d'un gaz d'électrons non dégénéré, tel que $v_{inj} = v_{th}$ au niveau de la source. En très forte inversion (gaz dégénéré), la vitesse d'injection vaut $v_{inj} = v_{th} \cdot \mathfrak{F}_{1/2}(\eta_f) / \mathfrak{F}_0(\eta_f)$ (cf. note n°28 p.30). Le rapport des intégrales de Fermi dépend du régime de transport : en régime purement balistique, il est nécessairement supérieur à 1 mais en régime quasi-balistique il dépend du coefficient de rétro-diffusion ($\approx 1/\sqrt{1+r}$) en raison de la modification de la position du niveau de Fermi près de la source par la rétro-diffusion, et peut donc être inférieur à 1. Néanmoins, si l'on s'intéresse à la comparaison de cette mobilité « balistique » à la mobilité à faible champ de grille, où le gaz 2D est non dégénéré, les comparaisons deviennent tout à fait justifiées.

¹⁸² Pour des mobilités maximales de magnétorésistance donc rigoureusement non directement comparables à la mobilité « balistique » définie par l'Équation V-17. Il a d'ailleurs été démontré que la mobilité apparente de magnétorésistance diminue moins fortement que la mobilité apparente électrique avec la longueur de grille [ZILLI 07]. De fait la mobilité « balistique » en magnétorésistance est environ deux fois plus grande que μ_{bal} , ce qui ramène à 15% environ la proportion de transport balistique dans la réduction de la mobilité à 300K.

plus loin, nous avons pu démontrer, grâce à la mesure de mobilités de magnétorésistance géométrique, qu'il existe une dégradation réelle de mobilité. En effet une méthode corrective de l'effet des R_{serie} appliquée à la technique de magnétorésistance, dite méthode différentielle, permet d'éliminer la contribution possible de porteurs balistiques dans le transport du MOSFET (cf. §V.B.3.3).

V.B.3.1.2 Interactions coulombiennes

Nous avons vu que les interactions coulombiennes dégradent la mobilité des transistors. D'une manière générale, toute région fortement dopée induit des interactions coulombiennes à distance, qui peuvent dégrader la mobilité. C'est le cas bien connu du dopage du canal par exemple. Mais ce peut être aussi le cas des extensions source et drain. Ainsi, la mobilité peut être réduite dans les régions du canal proches des source et drain à cause de ce phénomène [FISCHE 00]. Ceci aurait pour effet de diminuer la mobilité globale dans les transistors courts. Cependant Cros *et al.* ont montré une dégradation maximale de mobilité d'environ 15% pour $L_{\text{eff}}=30\text{nm}$ [CROS 06b]. Ce qui ne permet pas d'expliquer entièrement la chute de mobilité ($\approx 70\%$ entre $L=1\mu\text{m}$ et 50nm).

Ces charges coulombiennes peuvent aussi se trouver au niveau des poches de surdopage des MOSFETs fabriqués sur silicium massif (cf. §I.C.1.1). Là encore la dégradation de mobilité induit par les dopants des poches de surdopage ne permet pas d'expliquer totalement la réduction de mobilité avec la longueur de grille [CROS 06b, ANDRIE 05c].

Enfin la dégradation de mobilité avec la longueur de grille peut s'expliquer par des interactions supplémentaires liées à des états d'interface qui se situeraient à proximité des jonctions source et drain avec le canal. Selon le profil de défauts, la dépendance de la mobilité avec la longueur de grille peut être reproduite par simulation. Cependant ces états d'interface additionnels s'accompagnent d'un fort effet de canal court inverse qui ne correspond pas à celui observé [CROS 06b]. De plus les techniques d'extraction de la densité d'états d'interface (type pompage de charge) sont difficiles à mettre en oeuvre sur des transistors ultracourts. Les courants de fuite de drain ou de grille viennent perturber le courant de pompage. Sur des dispositifs FDSOI, l'utilisation d'une prise substrat est en outre nécessaire pour ce genre d'analyse. Une extraction de la densité d'états d'interface N_{it} peut cependant être effectuée à partir de l'extraction de la pente sous le seuil, moyennant la connaissance précise d'un certain nombre de paramètres physiques (épaisseur de film, dopage, $C_{\text{ox,eff}}$,...). En définitive il est donc très difficile à l'heure actuelle de connaître avec précision la densité d'états d'interface dans les transistors courts et donc d'analyser son impact sur la mobilité.

V.B.3.1.3 Interactions avec des défauts neutres

Plusieurs arguments se dirigent en faveur des défauts neutres pour l'explication de la chute de mobilité aux faibles longueurs de grille. Tout d'abord il est souvent observé une dépendance en température faible de la mobilité à faible champ des transistors courts. Ensuite il a été observé une amélioration de la mobilité (+25% pour les NMOS et +60% pour les PMOS) avec l'augmentation du recuit d'activation des dopants sans modification de la tension de seuil (pour les NMOS uniquement) sur des technologies en silicium massif et à canal fortement dopé [CROS 06a].

Cependant les processus de génération et de diffusion de ces défauts sont complexes et font encore débat aujourd'hui. Aujourd'hui la diffusion transitoire assistée par les défauts issus de l'implantation ionique des régions fortement dopées des source et drain, en particulier au niveau des jonctions avec le canal, fait consensus (extensions LDD) [RAFFER 93, MATHIO 02]¹⁸³. L'implantation ionique crée des défauts ponctuels dans le silicium. Suite aux collisions des impuretés, fortement accélérées, avec les atomes du cristal, la surface du silicium présente

¹⁸³ Mécanisme plus connu sous le nom de « Transient Enhanced Diffusion » (TED).

majoritairement des lacunes alors qu'en profondeur on trouve principalement des interstitiels. Ces derniers sont en plus grande quantité car des impuretés ont été ajoutées au matériau. Lors d'un recuit, dit d'activation des dopants, les atomes implantés passent de site interstitiel en site substitutionnel, où ils deviennent électriquement actifs. En contrepartie une quantité équivalente d'atomes de silicium passe en site interstitiel. Dans le même temps, ces défauts (lacunes et interstitiels de silicium principalement) diffusent et se recombinaison, en surface préférentiellement ou dans le volume du matériau. En fin de recuit, il restera toutefois des défauts neutres ponctuels (silicium principalement) puisque les interstitiels se trouvaient en plus grand nombre au départ. La concentration de défauts résiduels sera plus forte dans le volume puisque la surface est un lieu privilégié de recombinaison.¹⁸⁴

Pour permettre l'activation des dopants et la guérison des défauts, il est nécessaire de réaliser des recuits avec des bilans thermiques importants (typiquement RTA¹⁸⁵ à plus de 1050°C), ayant pour conséquence de permettre la diffusion des impuretés (défauts et dopants). La diffusion étant possible pour des bilans thermiques plus faibles, on comprend pourquoi des recuits à plus basse température ($\approx 700^\circ\text{C}$) semblent incapables de guérir ces défauts sans engendrer d'autres problèmes.

De plus, les défauts ponctuels diffusant beaucoup plus rapidement que les dopants, il est tout à fait probable de retrouver ces défauts dans le canal. La distance caractéristique de diffusion de ces défauts dépend bien entendu du recuit d'une part mais on peut aussi imaginer une influence de la structure du MOSFET. En particulier en technologie FDSOI, une plus grande concentration de défauts ponctuels est envisageable au niveau du canal et sur de plus grandes distances. En effet, du fait de l'oxyde enterré, la diffusion des défauts dans le volume du substrat est impossible. Alors qu'il a été déterminé une distance caractéristique de l'ordre de 100nm en technologie sur silicium massif [CROS 06a], de plus fortes valeurs sur FDSOI pourrait expliquer les dégradations de mobilité observées pour des longueurs de grille plus grandes (de l'ordre du micron). Cette hypothèse reste à être démontrée. Il convient toutefois de recadrer les interactions prédominantes selon les dispositifs étudiés. Pour les dispositifs FDSOI à canal intrinsèque, la grille est en générale de type métallique alors que les dispositifs réalisés sur silicium massif possèdent un canal fortement dopé avec une grille en polysilicium. Ainsi les interactions coulombiennes jouent probablement un plus grand rôle sur les transistors non dopés que sur transistors dopés. En effet, la génération de défauts neutres est probablement accompagnée de défauts d'interface en quantité modérée. Leur effet pourrait être masqué par la grande concentration de dopants dans le canal des transistors sur silicium massif, mais pas dans le cas des transistors FDSOI. Ceci a pu être corroboré par des mesures à basse température qui montrent une influence prédominante de défauts neutres sur des architectures à canal fortement dopé [CROS 06a], et une influence plus grande des interactions coulombiennes sur des transistors à canal non dopé [CROS 06b]. Nous tâcherons de dégager quels sont les mécanismes principaux de dégradation de la mobilité sur nos architectures FDSOI à empilement de grille HfO_2/TiN dans la suite de cette section.

À l'origine ces défauts ponctuels ont permis d'expliquer l'effet de canal court inverse sur la tension de seuil (RSCE) de MOSFETs par diffusion accélérée des dopants assistée par les défauts ponctuels [RAFFER 93]¹⁸⁶. En effet, lorsque le pic de dopants implantés est éloigné de l'interface, il existe un gradient de concentration de dopants. Au milieu du canal, ce gradient ne donne pas lieu à la diffusion, mais elle peut se produire au voisinage des jonctions source et drain, où les défauts

¹⁸⁴ Une surface libre peut en effet être considérée comme une source infinie de lacune comme d'interstitiels. Les interfaces silicium/diélectrique de grille sont sans doute aussi une zone de recombinaison même si de moindre efficacité qu'une surface libre. Le rôle joué par ces interfaces est encore aujourd'hui mal compris.

¹⁸⁵ RTA = « Rapid Thermal Annealing » pour recuit à haute température pendant des durées relativement courtes.

¹⁸⁶ RSCE = Reverse Short Channel Effect. La tension de seuil, au lieu de diminuer comme attendu avec les faibles longueurs de grille, augmente légèrement pour des longueurs intermédiaires avant de chuter par SCE (cf. exemple de la Figure IV-23).

ponctuels présents en grand nombre facilitent la diffusion au voisinage des jonctions (jusqu'à des distances caractéristiques de l'ordre de la centaine de nanomètres). Par conséquent, dans les technologies présentant des recuits importants après implantation des S/D, la concentration surfacique de dopants est plus grande aux extrémités du canal qu'en son milieu. D'où l'apparition du RSCE. Cependant, dans les technologies actuelles, les bilans thermiques ont été réduits pour limiter au maximum cette diffusion des dopants afin d'obtenir un meilleur contrôle des effets de canal court. Les effets de canal court inverse observés dans les technologies actuelles sont alors essentiellement dus aux poches de surdopage qui augmentent localement près des jonctions source/drain avec le canal la concentration de porteurs minotaires, augmentant ainsi la tension de seuil.

En définitive, les défauts ponctuels restent présents dans le canal des technologies actuelles et même s'ils ne participent plus à la TED, ils peuvent continuer à jouer un rôle, parfois prédominant, sur les propriétés de transport dans les MOSFETs ultracourts.

V.B.3.1.4 Conclusion sur les mécanismes limitant la mobilité des MOSFETs courts

Gardons toutefois en mémoire que bien souvent les causes de cette réduction de mobilité sont multiples. Dans les paragraphes suivants nous étudierons la mobilité de transistors FDSOI ultracourts, contraints ou non, afin de déterminer quel est le mécanisme principal limitant la mobilité de nos architectures.

V.B.3.2 Résultats de mobilités obtenues par la fonction Y : analyse en température de dispositifs SOI et sSOI

Une étude en température, préliminaire à l'extraction de mobilité magnétorésistance, a été effectuée en utilisant la méthode de la fonction Y améliorée ou le pic de transconductance pour obtenir une information sur l'évolution du gain avec la température (Figure V-47 et Figure V-48).

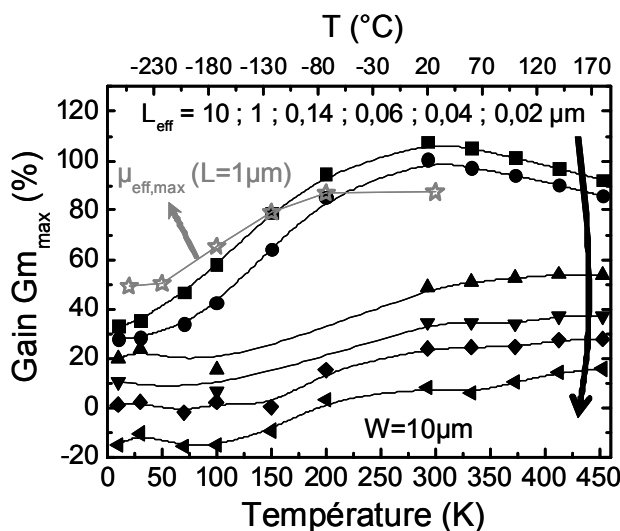


Figure V-47 : Evolution du gain $G_{m_{max}}$, traduisant celui en mobilité, avec la température et pour différentes longueurs de grille entre des dispositifs SOI et sSOI (20%Ge). Les étoiles représentent le gain en mobilité effective mesurée par split-CV.

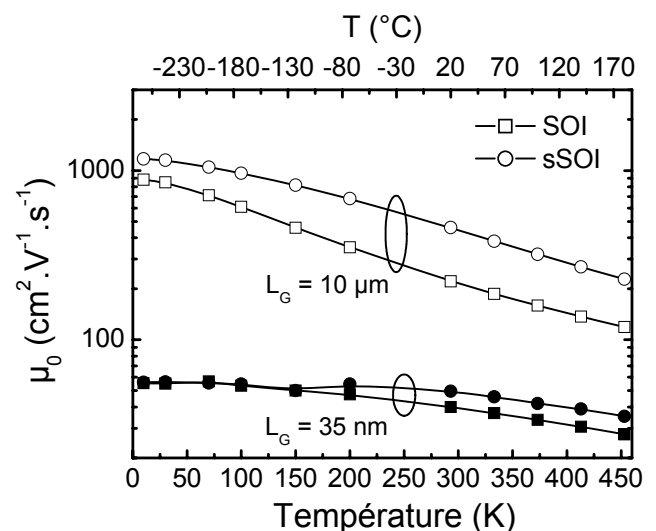


Figure V-48 : Evolution de la mobilité à faible champ μ_0 en fonction de la température pour deux longueurs de grille (ultracourte et longue) pour des transistors contraints ou non.

Plusieurs observations peuvent être effectuées. Tout d'abord le gain diminue dès des longueurs de grille de l'ordre du micron. L'effet des $R_{série}$ ne peut expliquer cette différence dans notre cas pour de si grandes longueurs de canal. De même les effets propres aux transistors courts (vitesse de saturation, transport quasi-balistique, ...) ne peuvent expliquer cette perte de gain dans cette gamme de L_{eff} . La réduction du $C_{ox,eff}$ ne peut pas, elle non plus, expliquer ce comportement. La réduction de la mobilité effective dès des longueurs proches du micron (cf. Figure V-39 et

Figure V-42) est alors responsable de cette perte de gain. En effet des mécanismes de réduction de la mobilité additionnels et a priori indépendants de la contrainte mécanique ont pour effet de réduire le gain en mobilité (cf. discussion du §III.B.3.1). L'effet de défauts neutres, dont la concentration est probablement plus forte dans les architectures FDSOI, pourrait notamment expliquer cette dégradation de mobilité et donc cette réduction du gain pour cette gamme de longueurs de grille.

Le gain diminue avec la diminution de la température. Ceci est cohérent avec les effets de repeuplement (cf. §V.A.3.3.2.a). Le gain n'est toutefois pas nul à très basse température pour des transistors suffisamment longs. Ceci s'explique par le fait que la transconductance ou la mobilité à faible champ μ_0 ne correspond pas exactement à la mobilité à champ nul. Par conséquent les modifications bénéfiques de la rugosité de surface dans le cas d'une architecture sSOI peuvent se faire sentir sur ces paramètres.

Le gain augmente lorsque la température augmente, signe de la proportion plus forte des interactions avec les phonons du réseau, dont la contrainte atténue les effets par le repeuplement préférentiel des vallées Δ_2 . En revanche on note une diminution du gain avec la température, pour $T > 300K$, pour les transistors longs. Cet effet n'a été observé que pour une architecture intégrant une grille métallique TiN avec un diélectrique de grille HfO_2 (observé également par [ANDRIE 05b] pour $T > 200K$, cf. Figure V-32).

Notons que ces résultats ont un sens en ce qui concerne les dépendances en température. Les valeurs absolues du gain ont un sens aussi si l'on suppose le même $C_{ox,eff}$ pour les transistors contraint ou non et la même évolution avec la température. Les problèmes évoqués au §V.B.1 (réduction du $C_{ox,eff}, \dots$) ne nous permettent toutefois pas d'étudier ici la mobilité absolue des transistors courts. Des précautions doivent donc être apportées à ces résultats puisque la signification physique précise du paramètre μ_0 est contestable.

V.B.3.3 Résultats de mobilité de magnétorésistance : analyse en température

Pour toutes les raisons évoquées aux §V.B.1, et dans le but d'obtenir des résultats plus fiables et plus précis que ceux que nous avons pu avoir par la technique split-CV ou par la fonction Y (§V.B.3.2), nous avons étudié la mobilité de magnétorésistance géométrique, μ_{GMR} , des transistors courts en fonction de la température.

Rappelons toutefois que la mobilité de magnétorésistance est extraite à partir de la mesure du courant de drain, ce qui signifie que l'extraction brute de μ_{GMR} est perturbée par les effets des résistances séries parasites $R_{série}$. Nous avons alors utilisé la technique de magnétorésistance différentielle pour corriger l'influence des $R_{série}$ [CHAISA 06b]. Cette méthode consiste à mesurer le courant de drain de deux dispositifs de longueurs de grille proches, de telle sorte que la mobilité varie peu entre ces deux dispositifs. On a alors :

$$\frac{\Delta R_{TOT}^2(B) - \Delta R_{TOT}^1(B)}{R_{TOT}^2 - R_{TOT}^1} = \mu_{canal}^2 B^2 \quad \text{Équation V-18}$$

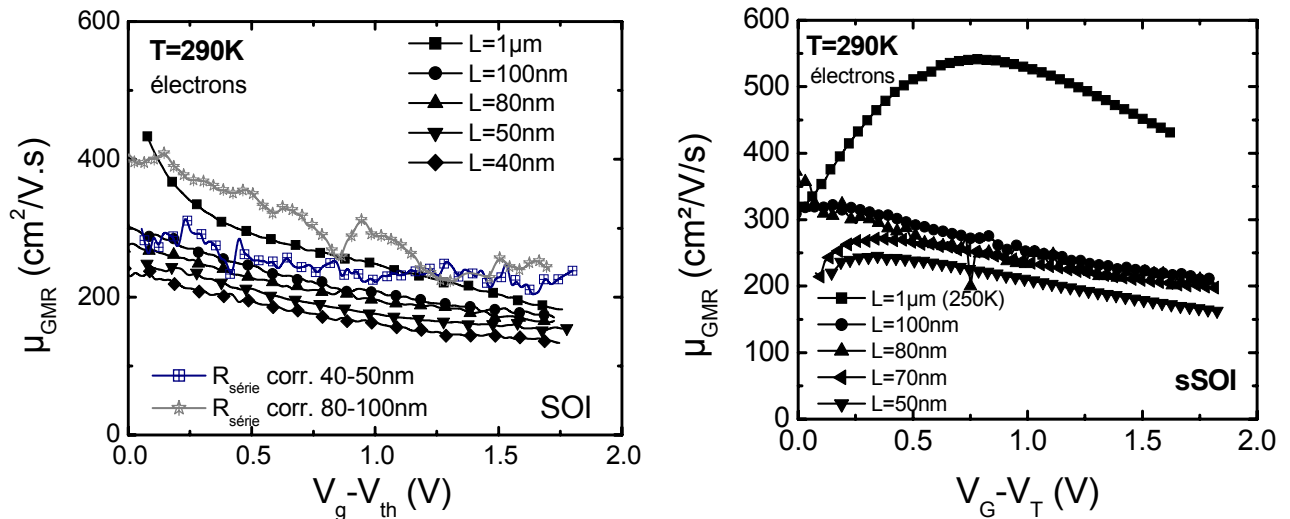
Cette technique présente l'avantage de s'affranchir de toutes les contributions qui ne dépendent pas de la longueur effective (S/D et extensions S/D notamment). Seules les contributions dépendant de la longueur effective sont ainsi analysées. En particulier, les effets liés à la balisticité des porteurs, quelque fois introduit par une résistance R_{bal} indépendante de la longueur sont éliminés [ZILLI 07]. En effet on peut écrire :

$$R_{canal} = R_{dérive} + R_{bal} \propto \frac{L}{\mu_0} + \frac{L}{\mu_{bal}} \quad \text{Équation V-19}$$

Or μ_{bal} est proportionnelle à L (cf Équation V-17). Donc R_{bal} est indépendante de la longueur. On extrait donc bien une mobilité et non une mobilité « apparente » (cf. §V.B.3.1.1).

Cette technique nous permet aussi d'extraire la mobilité des régions S/D, notée μ_{SD} , puisque ces régions présentent une résistance qui dépend du champ magnétique. La mobilité μ_{SD} vaut environ $90\text{cm}^2/\text{V}\cdot\text{s}$ pour nos dispositifs, valeur comparable à celle extraite par Chaisantikulwat et al. [CHAISA 06b].

La mobilité ainsi corrigée est plus forte lorsque la tension de grille augmente, comme attendu (Figures V-49 et Figures V-50). Ceci conforte la justesse de la correction.

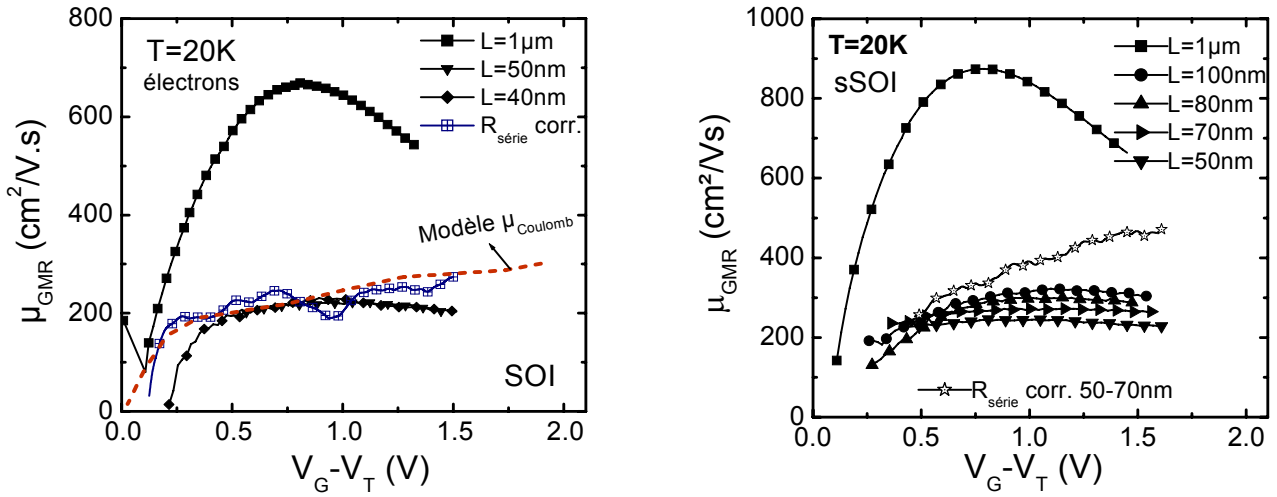


Figures V-49 : Mobilités de magnétorésistance en fonction de $V_G - V_T$ pour des transistors SOI (à gauche) et sSOI (à droite) de longueurs de grille allant de $1\mu\text{m}$ à 40nm ($W=10\mu\text{m}$) à température ambiante.

La dégradation de la mobilité semble quasi-nulle sur les dispositifs SOI à $T=300\text{K}$. La mobilité étant relativement faible à température ambiante, l'incertitude liée à la correction des $R_{série}$ ne nous permet toutefois pas de donner une conclusion définitive. En revanche, à basse température, où les interactions avec les phonons sont supprimées, la mobilité des transistors ultracourts est fortement dégradée par rapport à celle du transistor long (Figures V-50), même corrigée des $R_{série}$ par la méthode différentielle, qui, rappelons-le, s'affranchit de la proportion possible de porteurs balistiques. Il s'agit donc bien d'une dégradation réelle de mobilité. De plus μ_{GMR} augmente avec la charge d'inversion comme prévue par le calcul de la mobilité limitée par les seules interactions coulombiennes à distance, μ_{RCS} . Ainsi, à basse température, μ_{GMR} nous donne directement μ_{RCS} , puisque la mobilité limitée par les interactions avec la rugosité de surface est bien plus grande dans cette gamme de champ. La mobilité des transistors ultracourts semble donc presque entièrement limitée par les interactions coulombiennes. Les mesures à 20K peuvent être très bien reproduites par le calcul, en choisissant une densité de charges équivalente à $N_{it} \sim 2 \times 10^{13} \text{cm}^{-2}$, ramenée à l'interface $\text{SiO}_2/\text{canal}$ de conduction (Figures V-50)¹⁸⁷.

Les interactions coulombiennes semblent donc plus fortes sur les transistors courts que sur les transistors longs. Une explication possible est l'augmentation de la proportion des interactions à distance le long du canal induits par les forts dopages des régions S/D [FISCHE 00]. Ceci dit cela n'empêche pas nécessairement une dégradation de mobilité induite par des défauts neutres en plus des interactions coulombiennes à distance. Toujours est-il que ces dernières semblent jouer un rôle prédominant dans ces architectures.

¹⁸⁷ Valeur comparable à celle introduite par Cassé et al. pour un empilement de grille comparable [CASSE 06b].



Figures V-50 : Mobilités de magnétorésistance en fonction de $V_G - V_{Tn}$ pour des transistors SOI et sSOI de longueurs de grille allant de $1\mu m$ à $40nm$ ($W=10\mu m$) à basse température ($T=20K$).

Enfin, on note une dépendance en température plus faible sur les transistors courts ($\sim T^{-0,4}$) que celle habituellement observée sur les transistors longs ($\sim T^{-1\grave{a}1,75}$) [JEON 89, TAKAGI 94a] pour les gammes de charges d'inversion correspondant généralement au régime où les interactions avec les phonons sont prépondérantes (Figure V-52). Aux faibles $V_G - V_T$, la dépendance en température est inversée (Figure V-51 et Figure V-52), confirmant la présence dominante des interactions coulombiennes ($\sim T$, cf. §II.B.4.1.2, [JEON 89]).

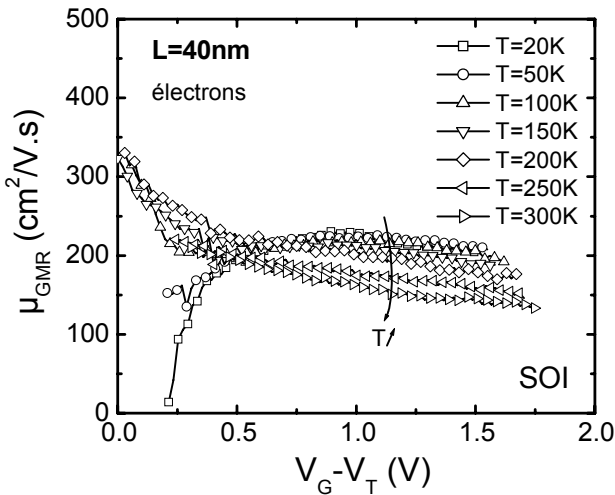


Figure V-51 : Mobilités de magnétorésistance en fonction de $V_G - V_T$ pour un transistor SOI ultracourt pour différentes températures .

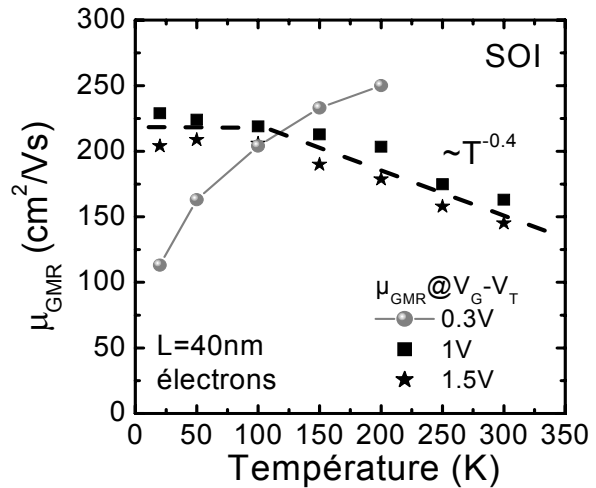


Figure V-52 : Evolution de la mobilité de magnétorésistance avec la température pour différents niveaux d'inversion.

Notons enfin que le point de croisement des courbes de mobilité est déplacé vers les plus fortes charges d'inversion pour les transistors ultra-courts (autour de $V_{GT}=0,5V$ contre $0,3V$ pour les transistors longs (Figures V-30 vs Figure V-51)), ce qui est cohérent avec une augmentation du nombre de défauts, chargés ou non.

V.B.3.4 Conclusion sur la chute de mobilité des transistors ultracourts

Cette dégradation, qui semble être commune à tous les types d'architectures (simple et multi-grilles, silicium massif ou FDSOI, canal dopé fortement ou intrinsèque), a donc plusieurs origines.

La contribution majeure observée sur silicium massif semble être attribuée à l'interaction des porteurs de la couche d'inversion avec des défauts neutres et chargés présents en densité importante près des jonctions source et drain (zone de charge d'espace). Les défauts neutres sont, très probablement, des défauts ponctuels de type majoritairement interstitiels, qui sont créés par l'implantation des source et drain et des extensions, et qui diffusent dans le canal. L'augmentation

de la température du recuit d'activation permet d'en éliminer une partie, mais parfois au détriment du contrôle des effets de canal court. Il pourrait être possible, en concevant une architecture exempte d'implantations, d'empêcher leur apparition. Notamment en réalisant des source et drain par épitaxie (dopage in-situ). Cependant il est difficile d'obtenir d'aussi forts dopages avec ce procédé. Des études sur ce sujet restent à être menées.

Pour des dispositifs FDSOI à canal intrinsèque avec un empilement de grille HfO_2/TiN , la contribution majeure semble plutôt provenir d'interactions coulombiennes comme nous avons pu le montrer dans cette partie avec les dépendances en température et en champ transverse de la mobilité, et comme d'autres études l'ont constaté sur des dispositifs différents (type multigrilles) [CROS 06b, WIDIEZ 05b], même si cela n'empêche pas la présence très probable de défauts neutres. En effet la dégradation de la mobilité obtenue pour des longueurs de grille supérieures à la centaine de nanomètres ne semble pouvoir s'expliquer que par de telles interactions. De plus le fort niveau de charges qu'il est nécessaire d'introduire dans le calcul de la mobilité limitée seulement par des interactions coulombiennes classiques à distance ne semble pas réaliste ($2 \cdot 10^{13} \text{ cm}^{-2}$). Une mauvaise prise en compte de l'écrantage ne peut expliquer des différences de 1 à 2 ordres de grandeur. Il peut toutefois s'agir de défauts chargés différents d'une simple charge coulombienne (dipôles ?). Une meilleure connaissance des défauts dans un empilement HfO_2/TiN est primordiale pour mieux comprendre l'effet strictement lié à la contrainte mécanique dans ce genre de dispositifs avancés.

L'effet des défauts neutres sur la mobilité n'est à l'heure actuelle pas assez bien compris. Notamment les dépendances avec la température ou la charge d'inversion sont mal connues (souvent supputées). Cela ne signifie donc pas que la mobilité de nos dispositifs ultra-courts soit gouvernée absolument uniquement par les interactions coulombiennes. L'origine de ces charges additionnelles étant de plus sujette à discussion. Notons aussi que les dépendances en température de ces interactions coulombiennes sont sujettes à discussion (cf. par exemple les articles de Jeon et Fischetti [JEON 82, FISCHIE 01b]).

V.B.4 Gain en mobilité des transistors sSOI ultracourts

Dans cette dernière partie, on se propose d'étudier le gain en mobilité de magnétorésistance induit par la contrainte mécanique biaxiale en tension (sSOI 20%Ge).

Tout d'abord, les Figures V-49 et Figures V-50 montrent que les mobilités des canaux courts sSOI se comportent comme celles des dispositifs non contraints SOI. Une forte dégradation de la mobilité est observée pour les canaux courts à $T=20\text{K}$. La mobilité corrigée des $R_{\text{série}}$ présente elle aussi les caractéristiques d'une mobilité limitée principalement par des interactions coulombiennes (Figures V-50 de droite).

Sur la Figure V-53, on observe un gain en mobilité, entre un MOSFET sSOI et SOI, pour un transistor ultra court (cf. Figure IV-6) sur toute la gamme de $V_G - V_T$ et quelque soit la température.

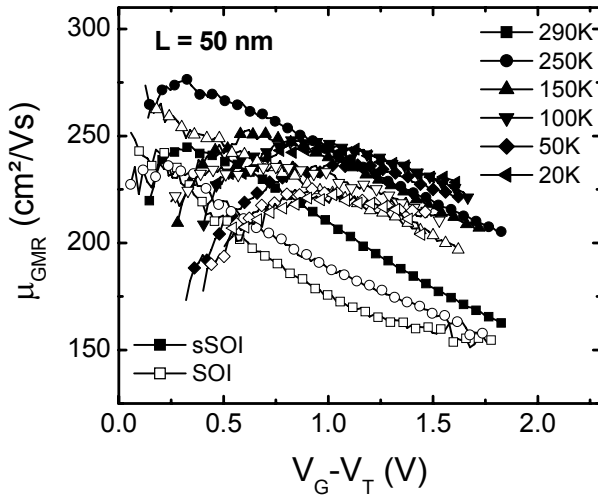


Figure V-53 : Mobilités de magnétorésistance brutes en fonction de $V_G - V_T$ pour des transistors SOI et sSOI ultracourts, pour différentes températures. $L_m \approx 50\text{nm}$ soit $L_{\text{eff}} \approx 35\text{nm}$ sur cette technologie

Les mobilités corrigées des $R_{\text{série}}$ sont synthétisées sur la Figure V-54. On constate donc, qu'en dépit de l'interaction prédominante des charges coulombiennes, un gain est observé à température ambiante comme à basse température, ce qui est plus surprenant. À fort $V_G - V_T$ ce gain vaut jusqu'à 50% (Figure V-55). Ce gain est toutefois plus faible que celui obtenu sur les transistors longs ($L=1\mu\text{m}$) à température ambiante ($\geq 80\%$). L'erreur sur la correction et la dispersion des mesures sur de tels dispositifs rend ce résultat de performance à considérer avec précaution. Ceci dit, il est clair qu'un gain non nul est obtenu en forte inversion, même à basse température. Ceci montre que la contrainte peut avoir un effet même sur la mobilité limitée principalement par les interactions coulombiennes et/ou que moins de défauts sont induits dans les dispositifs sSOI [WEBER 07a]¹⁸⁸. Les effets de repeuplement peuvent aussi expliquer cette observation, même à basse température, mais en partie seulement (cf. V.A.3.3.2.a).

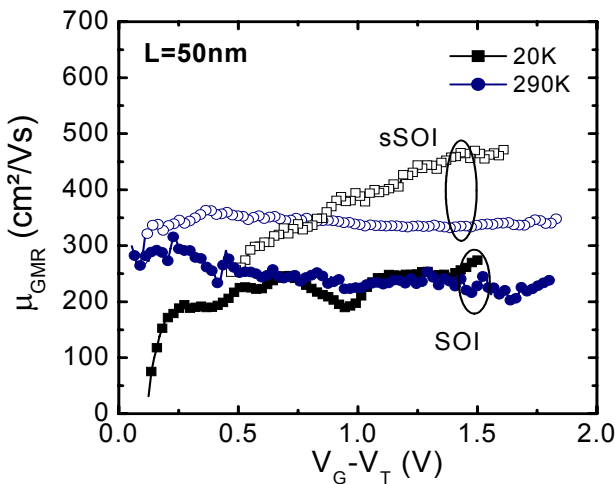


Figure V-54 : Mobilités de magnétorésistance corrigées des $R_{\text{série}}$ en fonction de $V_G - V_T$ pour des transistors SOI et sSOI de longueur de grille 50nm environ, à $T=20\text{K}$ et 290K .

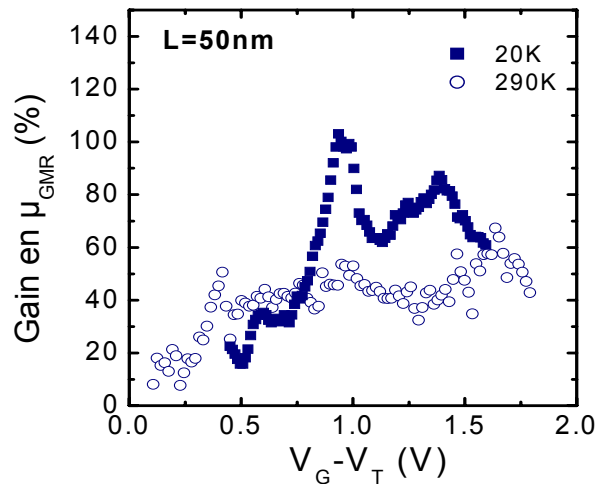


Figure V-55 : Gains en mobilité de magnétorésistance corrigées des $R_{\text{série}}$ en fonction de $V_G - V_T$ pour des transistors SOI et sSOI de longueur de grille 50nm environ, à $T=20\text{K}$ et 290K .

En définitive, retenons que la contrainte mécanique biaxiale en tension permet encore d'augmenter la mobilité des électrons des transistors ultracourts FDSOI intégrant une grille métallique TiN sur un diélectrique à forte permittivité HfO_2 . Les performances de ces dispositifs seront alors améliorées. Un aperçu des performances induites par la contrainte (sSOI vs SOI) sera donné dans le chapitre suivant.

¹⁸⁸ Notons toutefois qu'aucune différence de pente sous le seuil n'a été détectée entre les dispositifs SOI et sSOI longs de cette technologie. Ce qui laisse penser à un même niveau de N_{it} entre ces deux architectures. L'étude sur les dispositifs courts est cependant difficile à mener étant donné les effets de canal court sur la pente sous le seuil. Notons enfin que sur cette technologie NMOS, il n'a pas été possible d'extraire les D_{it} par la technique du pompage de charge.

V.C Résumé

Dans ce chapitre, nous avons étudié en détail l'effet d'une contrainte biaxiale en tension sur les paramètres du MOSFET.

Nous avons montré une diminution des fuites de grille avec un substrat contraint et ce d'autant plus que le niveau de contrainte est fort. Cet effet est expliqué par l'augmentation de la hauteur de barrière entre le canal et le diélectrique de grille, induit par l'abaissement des bandes de conduction du silicium les plus peuplées (vallées Δ_2) avec la contrainte. Le décalage des bandes d'énergie a pu être complètement modélisé en utilisant la théorie du potentiel de déformation d'Herring et Vogt avec comme choix de paramètres ceux déterminés par Kanda [KANDA 91a].

De la même manière nous avons modélisé complètement le décalage de la tension de seuil de transistors NMOS FDSOI induit par une contrainte mécanique en tension biaxiale. Ce décalage est essentiellement induit par les décalages des niveaux d'énergie des bandes de conduction. Les paramètres des potentiels de déformation de Kanda reproduisent le plus fidèlement nos mesures.

Ainsi les décalages des bandes d'énergie induits par une contrainte mécanique ont pu être modélisés de façon originale à partir de deux mesures différentes de courant : une basée sur les fuites de grille (I_G) et l'autre basée sur l'extraction de la tension de seuil (à partir de mesures de I_D).

L'effet d'un substrat sSOI sur la mobilité des porteurs a été longuement abordé. Pour les transistors longs dans un premier temps, les gains en mobilité avec des substrats sSOI 20% sont de l'ordre de 80 à 100% pour les électrons en forte inversion quelque que soit l'empilement de grille, à température ambiante. Les effets de repeuplement des porteurs dans les différentes sous-bandes du silicium et surtout la réduction des paramètres de rugosité de surface permettent d'expliquer entièrement le gain à fort champ, quelque soit la température. L'effet additionnel d'un substrat plus fortement contraint a été démontré, pour les électrons et pour les trous. Alors que le gain en mobilité des électrons est conservé à fort champ, celui des trous est nul et même négatif en très forte inversion. Les effets opposés du confinement quantique et d'une contrainte en tension biaxiale pour les bandes de valence permettent de proposer une explication à cette observation expérimentale.

L'étude de la mobilité des transistors ultracourts FDSOI intégrant un empilement de grille avancé HfO_2/TiN nous a permis d'identifier et/ou d'écarter un certain nombre de mécanismes de diffusion responsables de la limitation de la mobilité. Les mesures de mobilité de magnétorésistance corrigées de l'effet des résistances séries parasites nous ont permis de démontrer qu'il existe bel et bien une réelle dégradation de la mobilité pour les transistors courts, en particulier à basse température. En particulier, la proportion de porteurs balistiques dans le canal d'un MOSFET ne permet pas d'expliquer toute la perte de mobilité, et ce d'autant plus que la température est basse. Le rôle plus fort joué par des défauts situés à proximité des jonction S/D est ainsi mis en évidence. L'origine précise et quantitative de ces défauts n'est toutefois pas encore élucidée. Une meilleure connaissance des défauts liés à l'empilement de grille HfO_2/TiN ainsi qu'une meilleure connaissance des défauts non chargés et de leur interaction avec des électrons (dépendance en champ, en température...) nous permettrait de mieux comprendre le transport dans les transistors courts.

Nous avons démontré qu'un substrat sSOI permet d'améliorer encore la mobilité des transistors ultracourts, quelque soit la température et quelque soit le niveau d'inversion. Tout n'est pas compris encore aujourd'hui. Les gains sont cependant inférieurs à ceux obtenus sur des transistors longs (50% maximum à $T=300K$ pour $L_{eff}\approx 35nm$). Ce gain en mobilité induit par le substrat sSOI sera d'autant plus faible que la mobilité sera limitée par des mécanismes de diffusion

indépendants de la contrainte, ce qui est le cas des MOSFETs ultracourt (défauts neutres ou coulombiens¹⁸⁹), *a priori*. Le gain en courant I_{ON} d'un substrat sSOI sera aussi indéniablement limité par la proportion des résistances séries parasites. Ainsi l'optimisation des $R_{série}$ apparaît comme indissociable de celle du transport (mobilité et/ou vitesse d'injection).

Finalement le silicium contraint constitue un très bon vecteur d'amélioration des performances des MOSFETs, FDSOI ou non. Il permet d'obtenir des mobilités supérieures à celles du silicium non contraint en technologie sur substrat massif ; même lorsque l'empilement de grille avancé HfO_2/TiN , indispensable pour satisfaire les spécifications de l'ITRS, mais qui dégrade la mobilité en raison d'interactions coulombiennes additionnelles, est utilisé.

¹⁸⁹ Notons que si l'on envisage des mécanismes de diffusion liés à des dipôles, ces derniers peuvent voir leurs propriétés modifiées par une contrainte mécanique. Des études restent à mener sur ce sujet.

Chapitre VI - Performances des architectures CMOS avancées à canal contraint en technologie FDSOI intégrant un empilement de grille HfO_2/TiN (sSOI, CESL contraints et additivité)

Dans ce dernier chapitre, nous présentons des résultats électriques afin d'illustrer les performances d'architectures CMOS avancées à canal contraint en technologie FDSOI (réalisées au CEA-Léti). Les paramètres électriques étudiés se limiteront à la mobilité à faible champ μ_0 (extraite par la fonction Y) ou à la mobilité effective extraite par la méthode $R_{\text{TOT}}(L)$ (cf. §Chapitre IV) ou plus simplement à la transconductance maximale $G_{m_{\text{max}}}$, ainsi qu'à la tension de seuil V_T , aux $R_{\text{série}}$ et bien sûr à la caractéristique $I_{\text{ON}}/I_{\text{OFF}}$. Nous nous intéresserons aux performances des architectures sSOI ainsi qu'aux architectures SOI intégrant des CESL nitrurés contraints (cf. §II.C.2.1). Les effets des petites géométries (largeur, longueur) de ces dispositifs seront abordés ainsi que l'effet de l'orientation du canal de conduction. Enfin nous terminerons ce chapitre en abordant succinctement les performances d'architectures FDSOI bénéficiant à la fois du canal contraint par le substrat (sSOI) et par les CESL contraints (effet de superposition des techniques de mise sous contrainte du canal des MOSFETs).

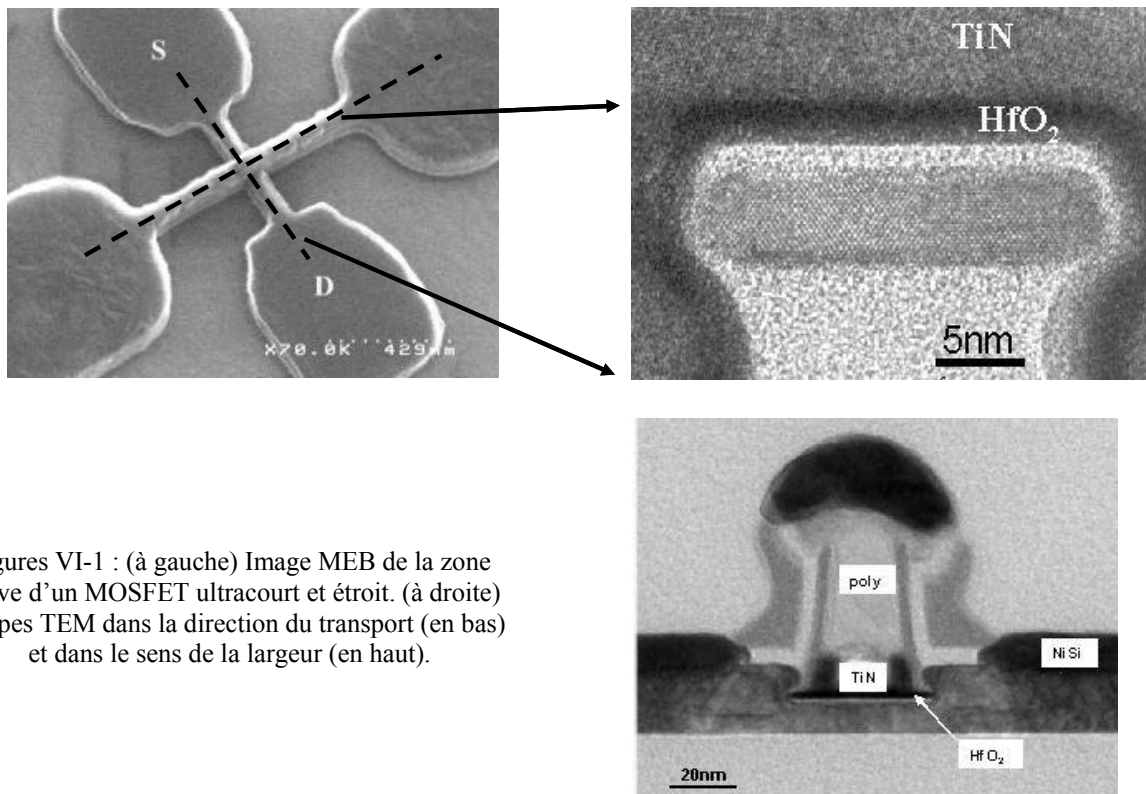
Les performances et analyses correspondantes ne seront présentées que succinctement dans ce dernier chapitre. Une description plus détaillée pourra être consultée dans les articles correspondants, publiés dans les conférences internationales de référence (VLSI et SSDM), à savoir [ANDRIE 06a] pour les effets de la réduction de la largeur de la zone active sur le gain des architectures sSOI, [ANDRIE 07a] pour les performances des architectures sSOI et XsSOI, ainsi que pour les architectures FDSOI intégrant des CESL contraints et [ANDRIE 07b] pour les effets d'additivité des contraintes induites par le substrat sSOI et les CESL contraints. L'accent sera plus particulièrement mis sur ma contribution à ces études, dès que cela s'y prêtera. La complexité de ces architectures (superposition des effets liés à un empilement de grille avancé, des méthodes de mise sous contrainte du dispositif et de l'architecture géométrique du MOSFET) rend souvent difficile l'interprétation des résultats de performance. Aussi dès que cela sera possible, nous essaierons de montrer le lien avec nos résultats présentés dans les chapitres précédents.

VI.A Architectures de type sSOI

VI.A.1 Description de l'architecture

L'architecture globale de ces transistors a déjà été présentée au Chapitre V. Nous nous intéresserons en plus ici aux canaux étroits. Les coupes TEM selon la direction du transport et dans le sens de la largeur sont données sur les Figures VI-1. Les épaisseurs du film mince sont comprises entre 8 et 10nm selon les lots et plaques étudiés. Des transistors courts, jusqu'à des longueurs de grille de 25 nm, et étroits, jusqu'à des largeurs de zone active de 35 nm, ont été développés sur des

substrats SOI, sSOI et XsSOI¹⁹⁰. Tous les substrats sont orientés selon (001). Le transport s'effectue soit selon une direction cristallographique de type $\langle 110 \rangle$, appelée encore orientation à 0° , soit selon $\langle 100 \rangle$, appelée aussi orientation à 45° , selon les cas¹⁹¹.



Figures VI-1 : (à gauche) Image MEB de la zone active d'un MOSFET ultracourt et étroit. (à droite) Coupes TEM dans la direction du transport (en bas) et dans le sens de la largeur (en haut).

VI.A.2 Résultats de performances

Les courbes traditionnelles I_{ON} - I_{OFF} permettent de comparer les performances des MOSFETs selon les variantes technologiques. Les mesures présentées par la suite ont été effectuées sur les 11 puces par plaque réalisées en lithographie « e-beam ». La limite de résolution du testeur automatique est de l'ordre de la dizaine de picoampère ($\approx 10^{-11}$ A).

Ces courbes de tendances présentent l'avantage de montrer en un coup d'œil la dispersion des courants sur les deux grandeurs principales d'un dispositif CMOS, à savoir le courant à l'état passant I_{ON} et celui à l'état bloqué I_{OFF} (cf. Chapitre I). Si I_{OFF} est situé dans la pente sous le seuil (partie linéaire de $\log(I_D)$ avec V_G) alors les variations de tension de seuil d'un dispositif à l'autre font que les points I_{ON} - I_{OFF} se déplacent sur une même droite indiquant ainsi la tendance de performance d'une architecture donnée. Plus cette caractéristique est située aux plus fortes valeurs de I_{ON} et aux plus faibles valeurs de I_{OFF} , meilleure est la technologie.

Notons toutefois que pour certains dispositifs de nos architectures, le courant à l'état bloqué I_{OFF} est limité par le GIDL (cf. I.B.2.3). Ainsi les interprétations des tendances à partir du raisonnement décrit plus haut seront biaisées. Il devient alors nécessaire de comparer les performances I_{ON} à un même $V_G - V_T$.

¹⁹⁰ La longueur de grille minimale au niveau masque (lithographie e-beam) est de 40nm. Un masque dur (oxyde de silicium SiO₂) est ensuite utilisé pour réduire les dimensions de la grille d'environ 15nm (gravure isotrope du masque dur suivi de la gravure anisotrope de l'empilement de grille, cf. §IV.A.3).

¹⁹¹ Cette dénomination vient du fait que traditionnellement, le transport s'effectue selon $[110]$. Lorsque le substrat est tourné de 45° pendant le procédé de fabrication, la direction du canal est alors selon $[100]$.

VI.A.2.1 Effet de la réduction de la largeur des lignes sSOI

Des gains en courant I_{ON} importants ont été obtenus sur des dispositifs NMOS sSOI par rapport à leur référence sans contrainte pour des longueurs de grille agressives ; +16-18% pour $L_G=25\text{nm}$ et $W=10\mu\text{m}$ à $I_{\text{OFF}}=10\text{nA}/\mu\text{m}$ (Figure VI-2). Le gain en mobilité a été étudié en fonction de la largeur de la zone active des nMOSFETs (Figure VI-3 et Figure VI-5). Des études précédentes ont en effet montré, par spectroscopie Raman ou par diffraction des rayons X, que la contrainte globale diminue dans les lignes étroites de silicium contraint ($W < 0,2\mu\text{m}$) [LEI 05, ANDRIE 05d]. Nous avons pu mesurer électriquement une diminution du gain en mobilité avec des transistors longs ($10\mu\text{m}$) de 100% pour $W=10\mu\text{m}$ à 40% pour $W=35\text{nm}$. Le gain est donc non nul pour des dispositifs aussi étroits que 35nm , preuve que la contrainte ne s'est pas complètement relaxée dans le canal du MOSFET. Le gain en courant I_{ON} correspondant à cette géométrie est alors de $\approx 30\%$. Pour comprendre les mécanismes physiques responsables de cette perte de gain, des simulations numériques mécaniques ont été effectuées (par C. Dupré, CEA-Léti) sur des zones actives sSOI après l'isolation MESA (Figure VI-3 et Figure VI-4). On constate qu'une relaxation de la contrainte apparaît en bord de zone active et s'étend sur environ 100nm , ce qui est cohérent avec les mesures physiques réalisées sur des lignes sSOI. Alors que la contrainte longitudinale (selon la direction du transport) est presque entièrement conservée, la contrainte transverse, dans le sens de la largeur, se relaxe fortement. Ainsi la contrainte dans le canal devient de plus en plus uniaxiale. Un modèle piézo-électrique est proposé sur la Figure VI-5 afin de reproduire le gain en $G_{m,\text{max}}$ (voir aussi Annexe B). Les coefficients piézorésistifs n'étant valables en toute rigueur que pour les faibles niveaux de contraintes (piézorésistivité linéaire, cf. Chapitre III) ou à la limite jusqu'à de fortes contraintes uniaxiales [THOMPS 04], cela explique pourquoi l'accord du modèle avec l'expérience est meilleur lorsque W est faible et devient insuffisant pour expliquer le gain obtenu sur un transistor long et large (Figure VI-3).

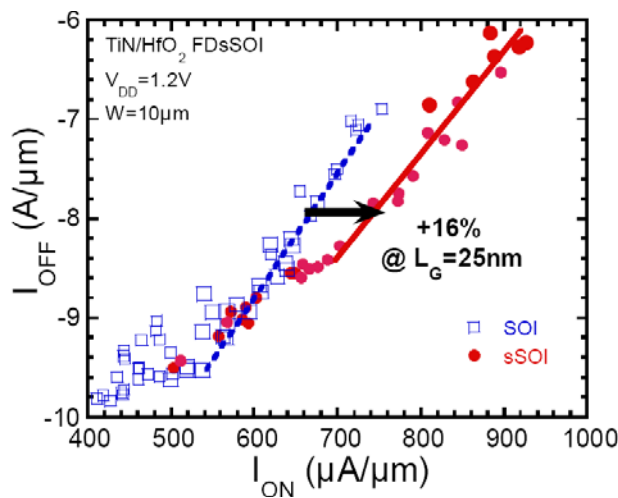


Figure VI-2 : Performances $I_{\text{ON}}-I_{\text{OFF}}$ des transistors courts et larges pour des substrats SOI et sSOI. Mesures réalisées par A. Toffoli (CEA-Léti). Tirée de [ANDRIE 06a]

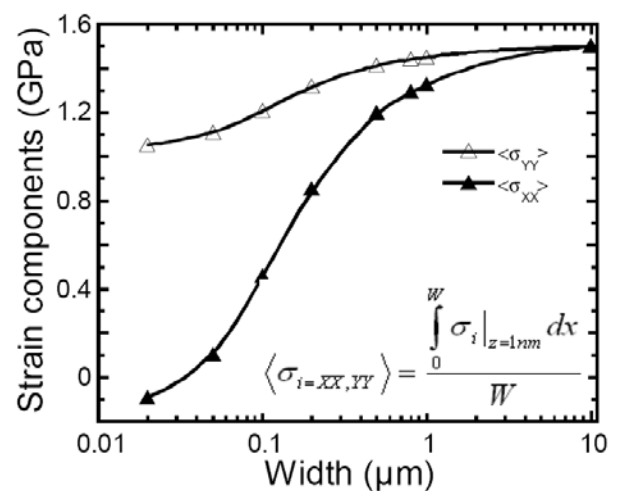


Figure VI-3 : Evolution des composantes moyennes transverses σ_{xx} et longitudinales σ_{yy} du tenseur des contraintes mécaniques en fonction de la largeur d'une zone active sSOI. Simulations réalisées par C. Dupré (CEA-Léti). Tirée de [ANDRIE 06a]

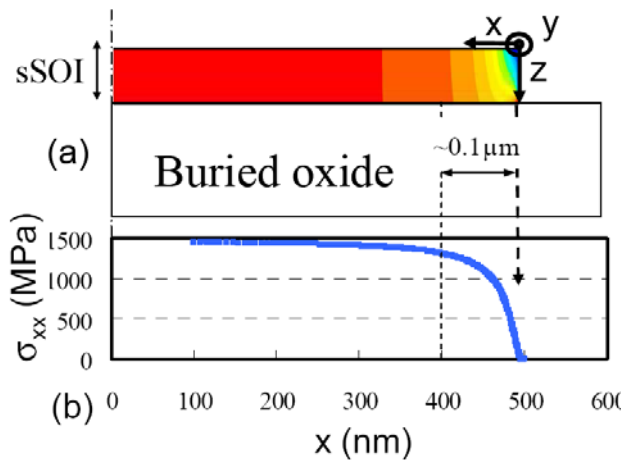


Figure VI-4 : (a) Distribution 2D simulée et (b) Variation 1D à 1nm en dessous de l'oxyde de grille de la composante σ_{xx} du tenseur de contrainte mécanique d'un îlot de silicium contraint sur isolant (zone active sSOI). Simulations réalisées par C. Dupré (CEA-Léti). Tirée de [ANDRIE 06a]

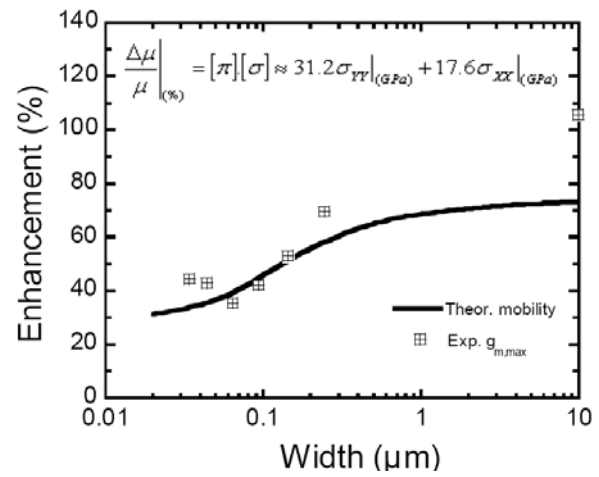


Figure VI-5 : Gain expérimental en $G_{m,max}$ en fonction de la largeur de la zone active W comparé à notre modèle basé sur les coefficients piézorésistifs (donné dans l'insert) pour une longueur de grille de $10\mu\text{m}$. Tirée de [ANDRIE 06a].

Ces éléments nous permettent de rebondir sur l'étude de la piézorésistivité des électrons de dispositifs déjà fortement contraints effectuée au §III.C. D'après les Figures III-48, pour des niveaux de contraintes uniaxiales selon [110] supérieures à environ 1,4 GPa, le gain en mobilité devient plus fort que celui obtenu avec une contrainte biaxiale. Ceci en raison de la diminution de la masse effective de conduction des électrons. Ainsi on peut s'attendre à obtenir des gains encore meilleurs sur des dispositifs étroits XsSOI dont la contrainte initiale dans le volume dépasse $\approx 1,4\text{GPa}$. En outre si l'on est capable de rajouter des matériaux qui permettent de mettre sous contrainte compressive le canal dans sa largeur, comme les tranchées STI par exemple, une amélioration additionnelle est possible, puisque $-\pi_T^*$ est négatif (effet de masse, cf. Figures III-47).

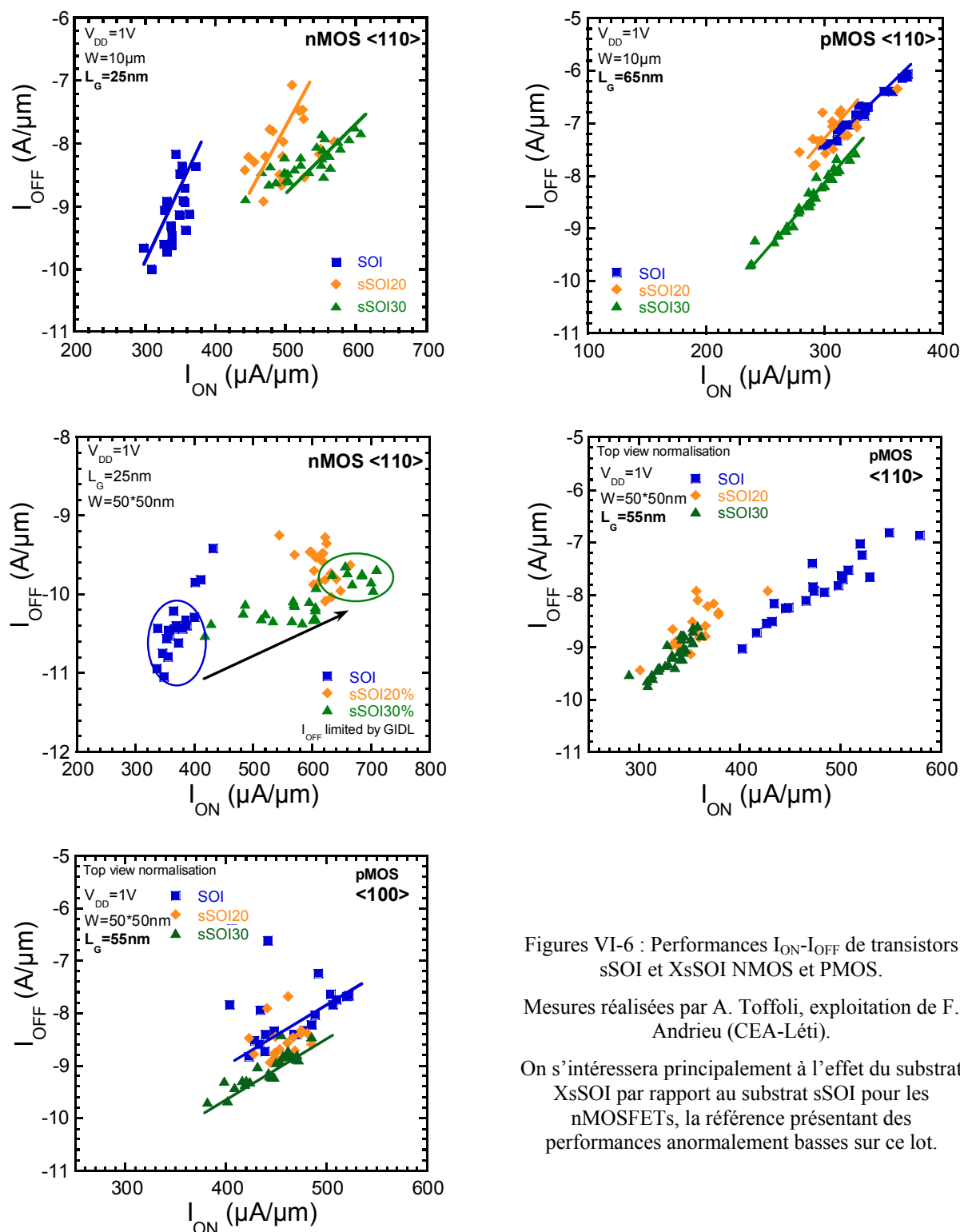
VI.A.2.2 Effets des substrats XsSOI vs sSOI, de l'orientation du canal et d'une grille TiN

Nous avons intégré, pour la première fois, des substrats XsSOI (30%) dans notre technologie FDSOI avancée, avec des longueurs et largeurs de grille aussi petites que 25nm et 40nm respectivement [ANDRIE 07a]. Grâce à ce niveau de contrainte ($\approx 1,9\text{GPa}$), des gains importants sont obtenus sur les performances $I_{ON}-I_{OFF}$ non seulement pour les nMOSFETs mais aussi pour les pMOSFETs (Figures VI-6), principalement pour les transistors larges. Un gain additionnel avec le substrat XsSOI est obtenu pour les nMOSFETs comparativement au substrat sSOI sur des dispositifs ultracourts et étroits (Figures VI-6). Ces résultats de performances sont à associer aux résultats de mobilité obtenus sur des transistors larges, longs et courts, en technologie sur silicium massif et FDSOI (cf. §II.C et Chapitre V). L'effet additionnel du substrat XsSOI devient toutefois fortement réduit pour les transistors les plus étroits.

Nous avons aussi étudié la mobilité (à travers $G_{m,max}$) des dispositifs SOI non contraints en fonction de la largeur et de l'orientation du transport. Pour les transistors longs et larges aucune différence significative de $G_{m,max}$ entre l'orientation du canal [110] et [100] n'est observée, même pour les pMOSFETs. Ces résultats sont en accord avec ceux de Saito *et al.* [SAITO 06]. En revanche, pour les dispositifs ultra-étroits ($W=40\text{nm}$) et longs ($L=10\mu\text{m}$), à la fois les n&pMOSFETs voient leur $G_{m,max}$ augmenter lorsque le transport est selon la direction [100] (Figure VI-8).

Une possible interprétation de cette observation pour les nMOSFETs est l'influence des canaux de conduction latérale. En effet pour $W=40\text{nm}$, la proportion des flans des doigts de silicium devient non négligeable dans le transport ($2T_{Si}/W \approx 0,45$, cf. Figure VI-7). Or pour un substrat initialement orienté selon (001), lorsque le transport s'effectue selon [110], les flancs ont une orientation de substrat (110) alors que lorsque le transport s'effectue selon [100], les flancs sont aussi orientés selon (100). Or nous avons vu au Chapitre I (Figure I-29, voir aussi [YANG 03b])

que la mobilité des électrons orientés selon $[110]/(110)$ est inférieure de moitié environ à celle selon $[110]$ ou $[100]/(001)$. Cependant cette interprétation ne tient pas pour les trous puisque l'on sait que la mobilité des trous selon $[110]/(001)$ est presque identique à la celle selon $[100]/(001)$ à température ambiante malgré les fortes différences de masse effective de conduction de la bande des trous lourds (Figures II-9) et qu'elle est environ 3 fois plus forte selon $[110]/(110)$.



Figures VI-6 : Performances I_{ON} - I_{OFF} de transistors sSOI et XsSOI NMOS et PMOS.

Mesures réalisées par A. Toffoli, exploitation de F. Andrieu (CEA-Léti).

On s'intéressera principalement à l'effet du substrat XsSOI par rapport au substrat sSOI pour les nMOSFETs, la référence présentant des performances anormalement basses sur ce lot.

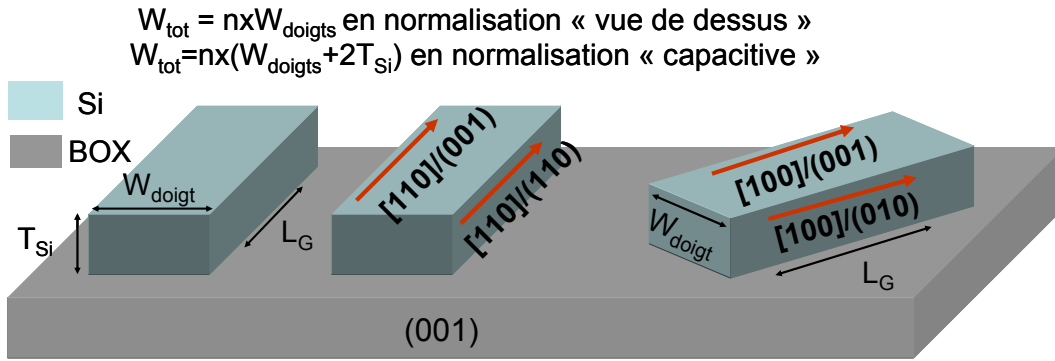


Figure VI-7 : Schéma des doigts de silicium de zones actives étroites. Orientation du transport et des plans cristallographiques.

Prenons alors en compte la contrainte induite par la grille TiN sur ces dispositifs ultracourts et étroits. Comme on l’a évoqué au §II.C.2.4.1, il existe une contrainte résiduelle forte en compression biaxiale dans la couche TiN déposée par PVD ($\approx 3\text{GPa}$). La grille agit comme un « liner » autour du doigt de silicium. Des simulations numériques mécaniques ont pu montrer que la contrainte, dans la direction de la largeur du doigt, est en tension au centre du doigt et devient en compression en bord de doigt. La contrainte moyenne sous la grille est en tension dans la direction de la largeur (Figure VI-9). D’après notre étude des coefficients piézorésistifs de l’architecture FDSOI avancée présentée au Chapitre III, on peut considérer les valeurs approximatives du Tableau VI-1 (pour $N_{inv} \approx 6 \times 10^{12} \text{cm}^{-2}$).

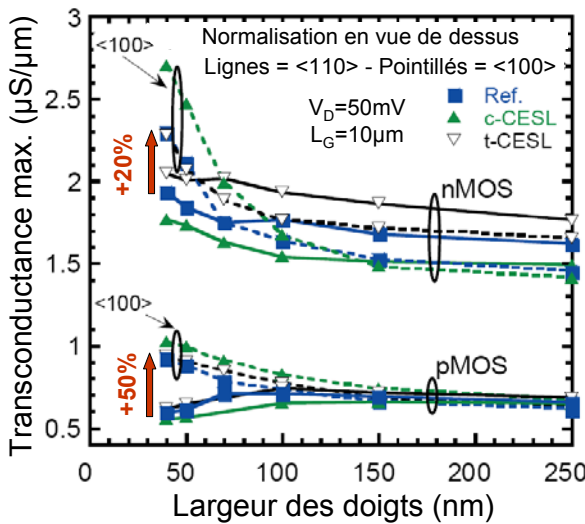


Figure VI-8 : Evolution de la transconductance maximale $G_{m_{max}}$ avec la largeur des doigts SOI, avec des CESL contraints ou non.

@ $N_{inv} = 6 \times 10^{12} \text{cm}^{-2}$	électrons	trous
$-\pi_{11} (\sigma // [100])$	420	-10
$-\pi_{12} (\sigma \perp [100])$	120	-210
$-\pi_L (\sigma // [110])$	420	-450
$-\pi_T (\sigma \perp [110])$	230	350
$-\pi_{44}$	185	-800

Tableau VI-1 : Valeurs des coefficients piézorésistifs des électrons et des trous de l’architecture FDSOI avancée.

Ainsi le passage de la direction de transport selon [110] à [100] entraîne un coefficient piézorésistif transverse de π_T à π_{12} et longitudinal de π_L à π_{11} . Pour les nMOS cela peut expliquer pourquoi aux plus fortes largeurs, la transconductance est supérieure pour la direction [110] (forte contrainte en tension avec $\pi_T > \pi_{12}$) alors que pour les plus faibles largeurs, la contrainte moyenne devenant faible, les différences de mobilité selon les orientations suffit à expliquer la plus forte transconductance de la direction [100]. Pour les pMOS, la même tendance devrait être observée or ce n’est pas le cas. Notons toutefois que si la contrainte devient plus rapidement compressive que ce

montre la Figure VI-9 à mesure que la largeur des doigts diminue, alors les caractéristiques des nMOS et des pMOS peuvent s'expliquer convenablement.

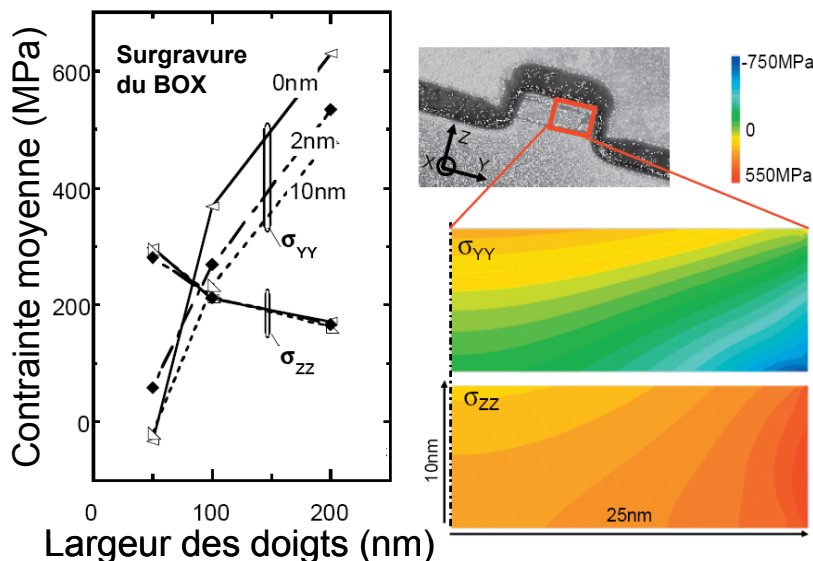


Figure VI-9 : Simulation du profil de contraintes induites par la grille TiN entourant le doigt de silicium. La contrainte moyenne (à gauche) est déterminée à 3nm sous la grille (X=direction du transport, Y=direction de la largeur de grille). Simulations réalisées par J.-C. Barbé, CEA-Léti.

Ainsi, comme on l'a exposé en introduction à ce chapitre, la complexité de l'architecture associée aux incertitudes de certains paramètres (telle que la contrainte de la grille TiN) et des méthodes de résolutions numériques (évolution de la contrainte dans le canal et dans la grille avec le cycle en température) nous laisse penser, d'après les mesures électriques, que le canal se retrouve effectivement en compression dans la direction transverse au transport pour des largeurs très fines (effet similaire à celui des STI, présenté dans [SAITO 06]).

Cette influence de la contrainte mécanique selon la direction de la largeur sur la mobilité est confortée par le fait que, lorsqu'un CESL compressif (c-CESL) est ajouté autour de la grille, les effets électriques induits par la grille sur les canaux longs et étroits sont renforcés, à la fois pour les pMOS et les nMOS (Figure VI-8).

Le Tableau VI-1 illustre à travers les coefficients piézorésistifs mesurés au Chapitre III, les gains possibles suivant l'orientation du transport, le type de porteurs et le type de contrainte. Un gain est obtenu avec un coefficient positif (resp. négatif) pour une contrainte en tension (resp. en compression). Notons que le coefficient piézorésistif relatif à une contrainte selon la direction normale à la grille, *i.e.* selon [001], est π_{12} pour un substrat (001). Ainsi pour les trous, une contrainte en compression selon [001] sera bénéfique alors qu'elle sera légèrement néfaste pour les électrons¹⁹². D'une manière générale, il ressort que pour les PMOS, des contraintes compressives sont bénéfiques (hormis selon la direction transverse au transport dans le plan) alors que pour les NMOS des contraintes en tension sont bénéfiques pour la mobilité et donc pour I_{ON} .

VI.B Architecture SOI intégrant des CESL nitrurés contraints

VI.B.1 Etude préliminaire : contrainte en fonction de l'épaisseur du CESL

Nous nous sommes tout d'abord intéressés à l'étude de la contrainte de couches de nitrure de silicium (SiN), pour différentes conditions de dépôt (épaisseur et signe de la contrainte variables).

¹⁹² Notons que si l'on prend les coefficients piézorésistifs de Canali et al. [CANALI 79] (cf. Figures II-45), un gain est obtenu pour les électrons et les trous avec une contrainte en compression selon [001].

Pour cela il a été déposé par PECVD des couches SiN compressives et tensiles (à 480°C), en comparaison avec les couches d'oxyde traditionnellement utilisées pour l'isolation diélectrique, nommée TEOS¹⁹³ (à 400°C). L'objectif a été de déterminer l'influence de l'épaisseur du nitrure sur la contrainte induite dans le substrat.

L'intensité et le signe de la contrainte de ces couches dépendent de multiples facteurs dont la température de dépôt, les proportions des concentrations des précurseurs (NH₃, SiH₄ et N₂), la pression dans le réacteur, la puissance et la fréquence RF ainsi que l'utilisation ou non de rayonnements UV. L'objectif de cette partie n'est pas de rentrer dans le détail technique du dépôt PECVD, dont les caractéristiques sont confidentielles [MAURY 07].

Les matériaux ont été caractérisés par ellipsométrie (extraction de l'épaisseur et de l'indice de réfraction), par mesures de courbure de la plaque avant et après dépôt (pour remonter à la contrainte induite par la couche déposée, cf. description de cette technique en Annexe C.D), par mesures FTIR¹⁹⁴ afin d'évaluer la composition du matériau, par mesures C(V) (technique de la goutte de mercure (Hg), cf. [GARROS 04] pour plus de détails sur cette technique) pour l'extraction de la permittivité et afin de déterminer les éventuelles charges induites.

La Figure VI-10 montre les résultats de contrainte dans la couche en fonction de l'épaisseur déposée. Quelque soit le type de dépôt, la contrainte est quasi-indépendante de la direction de balayage du faisceau laser pour la mesure de courbure. Cela nous indique que la contrainte est de type biaxiale, comme attendu. Pour les CESL dits compressifs, la contrainte vaut environ -2GPa pour des épaisseurs supérieures à 150nm. Pour des épaisseurs plus faibles, on note une diminution de la contrainte (-15% pour 50nm). La contrainte des CESL tensiles est peu dépendante de l'épaisseur et vaut environ +900MPa (elle est cependant plus dispersée). La contrainte des TEOS (basse densité ou recuit) est faiblement compressive (-200MPa).

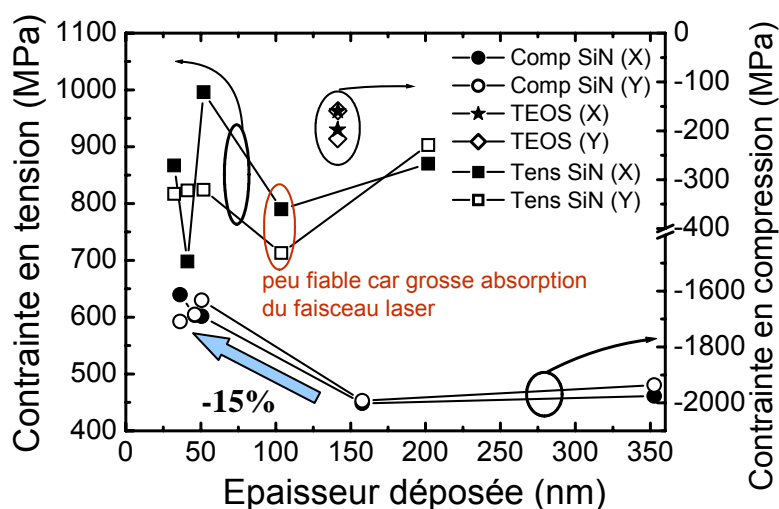


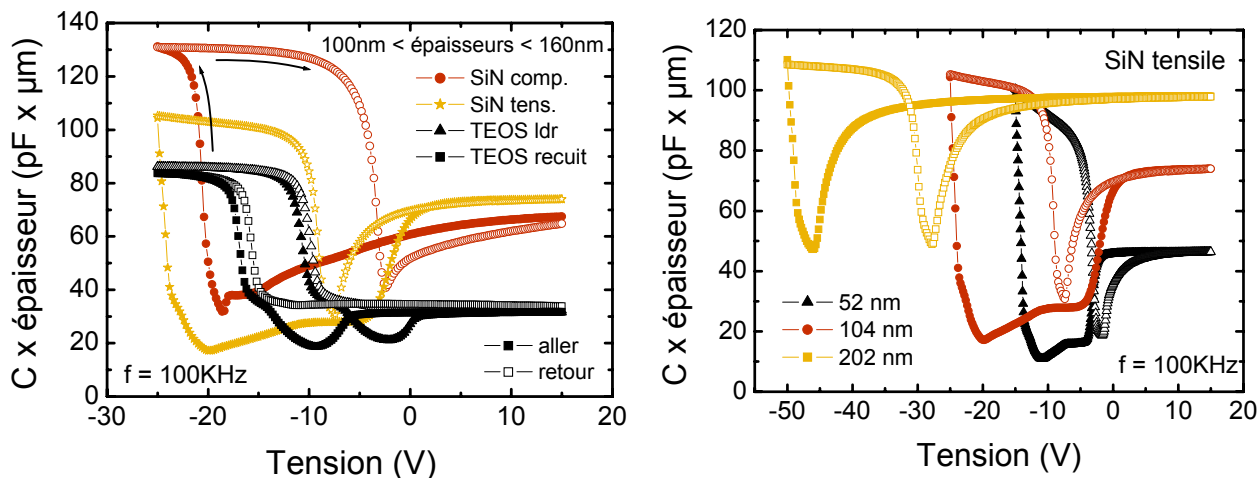
Figure VI-10 : Evolution de la contrainte dans la couche, en tension ou en compression, en fonction de l'épaisseur déposée. X et Y correspondent à deux directions perpendiculaires de balayage du faisceau laser pour analyser l'isotropie de la couche dans la couche (Mesures réalisées par P. Maury, CEA-Léti).

La permittivité des TEOS correspond à la valeur attendue autour de 4,3. Celle du SiN compressif est comprise entre 6 et 7, ce qui correspond à des valeurs classiques pour les SiN PECVD. Celle du SiN tensile est non mesurable car il a été impossible d'obtenir l'accumulation sur les caractéristiques C(V) (Figures VI-11). Afin d'évaluer les pièges possibles dans le volume des couches déposées, il a été effectué un balayage aller-retour des caractéristiques C(V) (mesure de l'hystérésis). Ainsi les C(V) des TEOS présentent peu d'hystérésis traduisant leur relative bonne qualité diélectrique. En revanche, les C(V) des nitrures à épaisseurs comparables présentent des

¹⁹³ TEOS = tetraethoxysilane. Il s'agit d'un oxyde de silicium.

¹⁹⁴ FTIR = Spectroscopie Infrarouge à Transformée de Fourier (Fourier Transformed InfraRed spectroscopy). Elle est basée sur l'absorption d'un rayonnement infrarouge par le matériau analysé. Elle permet via la détection des vibrations caractéristiques des liaisons chimiques d'effectuer l'analyse des fonctions chimiques présentes dans le matériau.

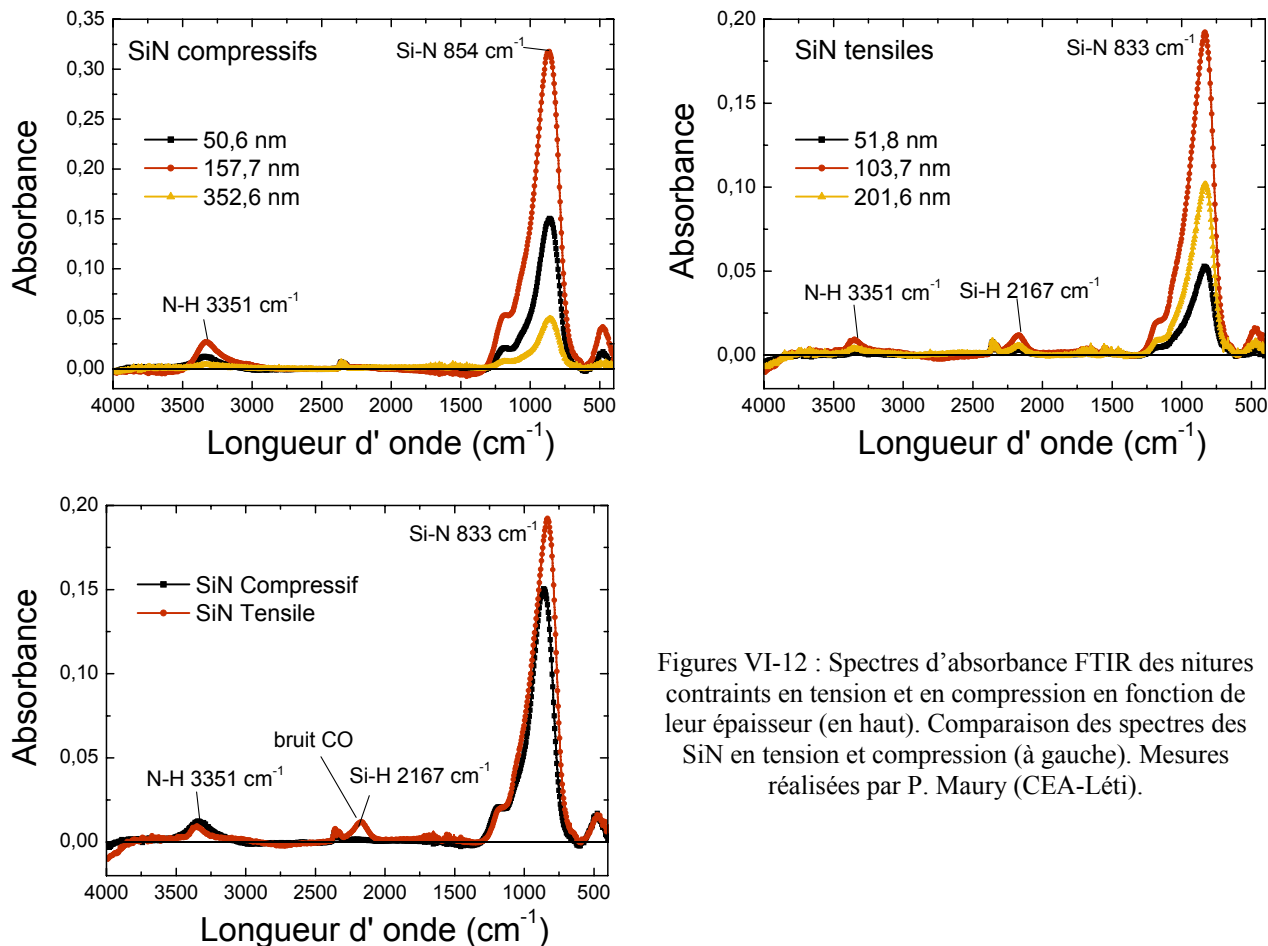
hystérésis beaucoup plus élevés que les oxydes, indiquant la présence importante de sites de piégeage de charges. Les V_{FB} des SiN sont également plus faibles que ceux des TEOS. Un plus grand nombre de charges positives semblent être présentes dans les SiN contraints. De plus pour les SiN tensiles, ce décalage augmente avec l'épaisseur de la couche déposée (Figures VI-11).



Figures VI-11 : Caractéristiques C(V) des nitrures contraints (en tension ou en compression) et des oxydes de référence TEOS (recuit ou ldr pour « Low Deposition Rate ») pour des épaisseurs comparables (à gauche). Evolution des caractéristiques C(V) des nitrures en tension avec l'épaisseur déposée (à droite)

Une étude plus poussée des caractéristiques C(V) de ces couches est nécessaire pour identifier avec précision les mécanismes responsables de ce comportement (analyse en fréquence, tensions de balayage...).

Les spectres d'absorbance FTIR des nitrures contraints sont donnés sur les Figures VI-12.



Figures VI-12 : Spectres d'absorbance FTIR des nitrures contraints en tension et en compression en fonction de leur épaisseur (en haut). Comparaison des spectres des SiN en tension et compression (à gauche). Mesures réalisées par P. Maury (CEA-Léti).

Les ratios des aires des pics Si-H et N-H rapportés à l'aire du pic Si-N (correspondant à l'épaisseur) donnent Si-H =0,3% et N-H=4,7% pour le SiN compressif et Si-H =2,3% et N-H=2% pour le SiN tensile. Ainsi le SiN compressif favorise le type de liaison N-H tandis que le SiN tensile favorise lui la forme Si-H ce qui est déjà connu dans la littérature sur les nitrures (cf. §II.C.2.1).

En conclusion, les nitrures de type PECVD qu'ils soient compressifs ou tensiles sont des matériaux comportant plus de charges positives et de pièges que les oxydes déposés par plasma de type TEOS. Le nitrure tensile comporte une forte proportion de liaisons Si-H à l'inverse du compressif qui lui a une forte proportion de liaisons N-H. Les contraintes apportées par le nitrure tensile restent quasi-indépendantes de l'épaisseur dans le domaine d'épaisseur 30nm-200nm alors que pour le SiN compressif, une perte de 15% sur la contrainte dans le film est observée aux épaisseurs les plus fines (30-50nm). Ceci pose les limites de l'intégration des CESL contraints dans les architectures MOS. Plus les règles de dessin sont strictes et plus l'épaisseur des CESL devra être fine. La contrainte sera alors plus faible, à la fois dans le film et donc nécessairement dans le canal du MOSFET. La contrainte transmise dans le canal étant en outre d'autant plus forte que le CESL est épais (cf. §II.C.2.1 et [PAYET 06]). On comprend ici les limites de ces techniques de mise sous contrainte du canal des MOSFETs, déjà utilisées en production depuis plusieurs années (noeud 90nm). Les substrats contraints, comme le sSOI par exemple, offriront alors une alternative forte intéressante pour poursuivre la « roadmap » de l'ITRS qui spécifie une augmentation de la mobilité. Toutefois cette technique de mise sous contrainte a été appliquée au cas de notre technologie FDSOI avancée afin d'en évaluer les bénéfices.

VI.B.2 Description de l'architecture

Des transistors N&PMOS ont été réalisés au CEA-Léti en technologie FDSOI ($T_{Si} \approx 10\text{nm}$) intégrant une grille métallique en TiN (10 nm déposé par PVD) sur un diélectrique de grille haute permittivité en HfO_2 (3 nm déposé par ALD sur un oxyde de silicium natif d'environ 0,8nm, $EOT=1,7\text{nm}$). Les S/D ont été épitaxiés après avoir réalisé les extensions puis implanté les HDD. Une siliciuration au nickel a été effectuée. Avant la réalisation des contacts, des dépôts de nitrure de silicium (SiN_x) contraint ont été déposés par PECVD (« strained CESL »¹⁹⁵). Leur épaisseur est de 100nm. Plusieurs variantes de nitrures contraints ont été testées et réalisées par le CEA-Léti soit par STMicroelectronics (cf. Tableau VI-2)¹⁹⁶. Il existe des différences importantes dans le procédé de dépôt de ces couches contraintes. Aussi, les caractéristiques de ces dépôts étant confidentielles, nous ne rentrerons pas dans l'origine de ces différences dans ce mémoire. Ils seront notés n°1 ou n°2. L'isolation entre dispositifs est de type MESA (simple gravure d'une quinzaine de nanomètres du film mince de silicium). Les Figures VI-13 illustrent par des coupes TEM l'architecture des composants obtenus.

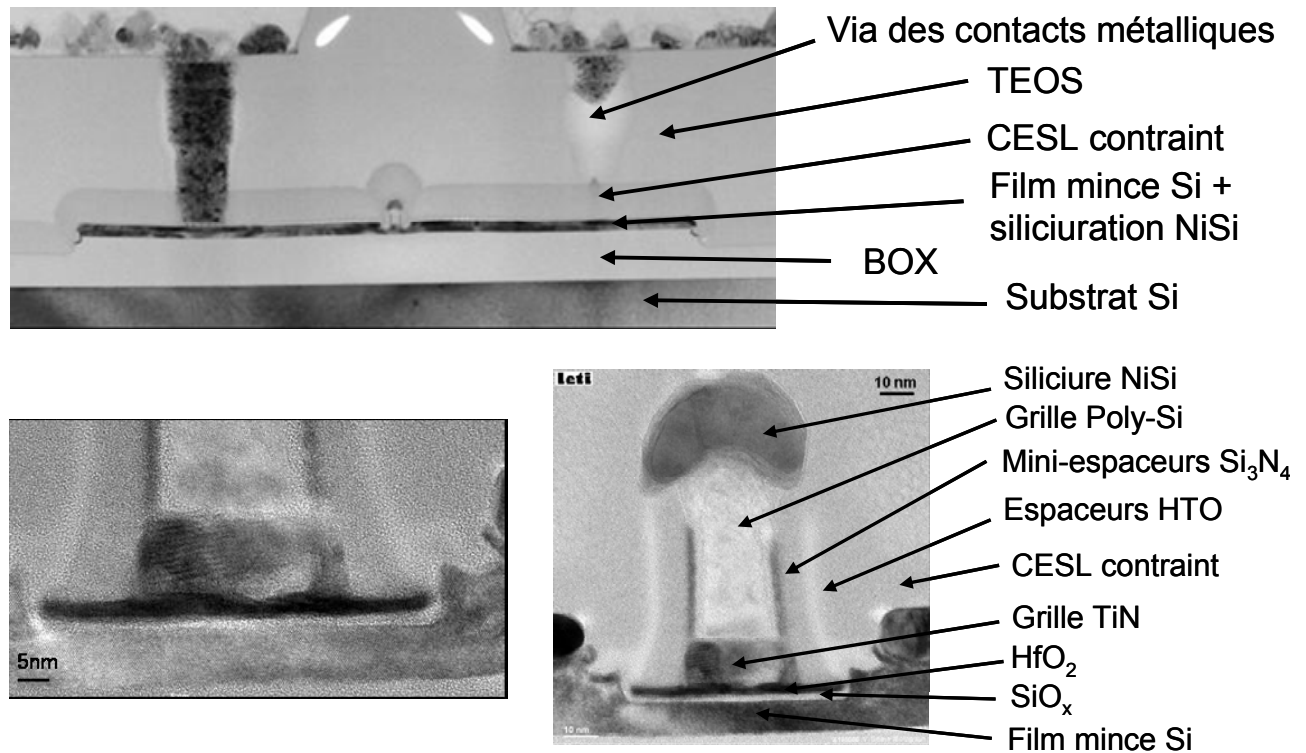
N° plaque	P01	P02	P03	P04	P05	P06	P07	P08	P09	P10
Type de CESL	Référence TEOS Ldr		SiN compressif n°1		SiN tensile n°1		SiN compressif n°2		SiN tensile n°2	
Contrainte approximative	-200 MPa		-2 GPa		+800 MPa		-800 MPa		+900 MPa	

Tableau VI-2 : Variantes des nitrures contraints étudiés et intensités approximatives de la contrainte du CESL.

On peut voir sur ces figures la très bonne conformité du CESL contraint autour de la grille. Sur le grossissement de la grille, on peut aussi voir les inhomogénéités du diélectrique de grille induites par les grains de TiN.

¹⁹⁵ « Strained CESL » = Couche contrainte d'arrêt à la gravure des contacts, souvent à base de nitrure de silicium.

¹⁹⁶ Dans le cadre de l'Alliance Crolles 2 et du partenariat au projet N.A.M. de la région Rhône-Alpes.



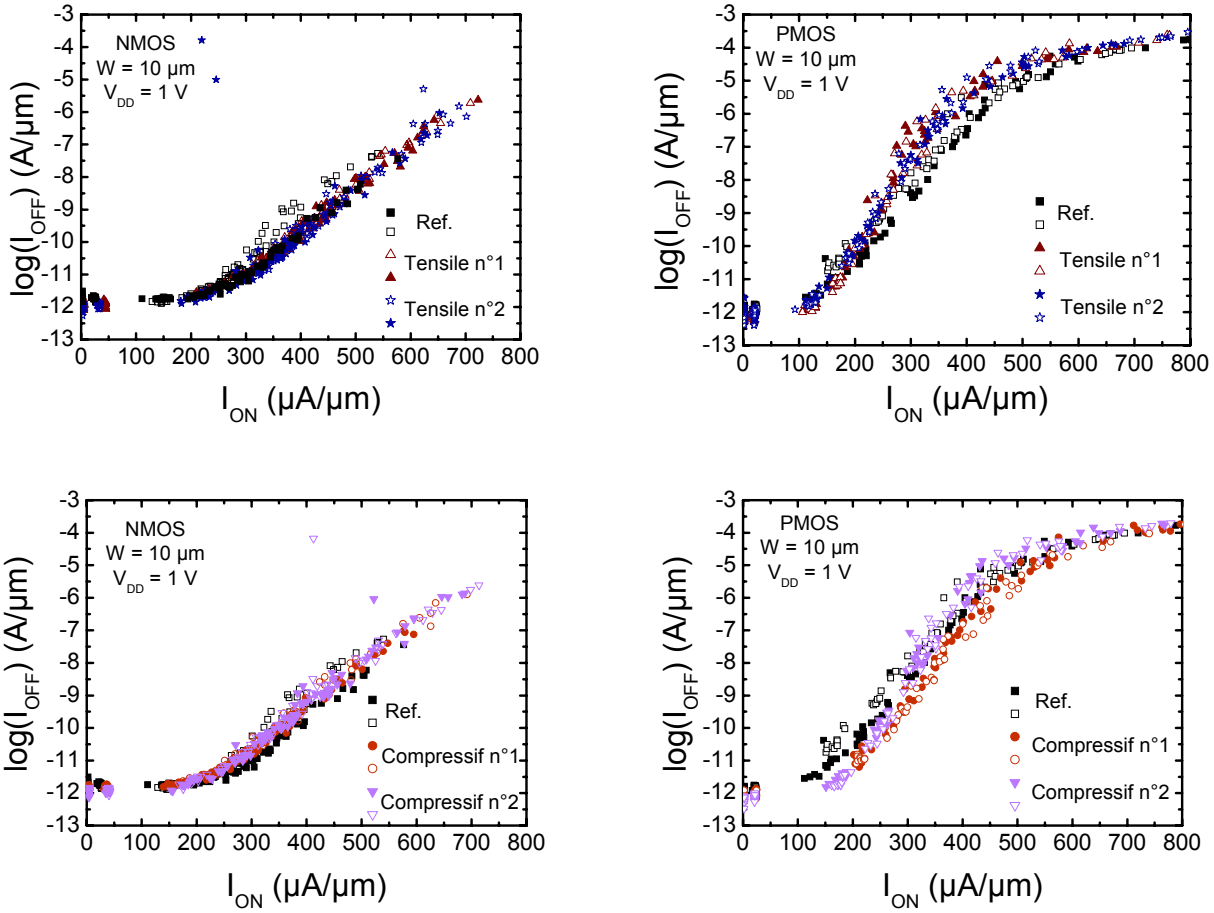
Figures VI-13 : Images TEM des dispositifs FDSOI avancés incorporant des CESL contraints. Réalisées par V. Delaye (CEA-Léti)

VI.B.3 Performances des transistors larges et courts

Les Figures VI-14 montrent les courbes traditionnelles de performance I_{ON} - I_{OFF} pour des MOSFETs N et P larges en fonction de la longueur de grille (L_m de $10\mu m$ à $30nm$) pour $V_{DD}=1V$.

Le courant I_{ON} maximal obtenu est de l'ordre de $720\mu A/\mu m$ @ $V_{DD}=1V$ ($880\mu A/\mu m$ @ $V_{DD}=1,1V$) pour un courant I_{OFF} de $2,5\mu A/\mu m$. Pour les applications LOP, L'ITRS 2006 prévoit pour le nœud technologique 45nm un courant $I_{ON}=740\mu A/\mu m$ pour un courant $I_{OFF}=8nA/\mu m$. Nos dispositifs ne présentent qu'un courant I_{ON} de $530\mu A/\mu m$ pour ce niveau de fuite malgré des $R_{série}$ dans les spécifications ITRS (Figure VI-15). Ceci illustre la difficulté à satisfaire les spécifications de l'ITRS et la nécessité d'introduire des architectures FDSOI beaucoup plus performantes telle que les substrats sSOI et XsSOI. Rappelons toutefois que l'architecture de nos composants n'a pas été complètement optimisée dans le cadre de ce travail (EOT notamment). On peut toutefois noter que le contrôle des effets de canal court de cette technologie FDSOI sans implantation de poches de surdopage est bon, en particulier pour les NMOS (Figure VI-16).

Sur les Figures VI-14, on observe une légère amélioration des performances des NMOS avec un t-CESL alors qu'aucun effet n'est constaté pour avec les c-CESL. Pour les PMOS on observe une nette amélioration des performances avec les c-CESL, ce d'autant plus que le CESL est contraint (+10% @ $I_{OFF}=5 nA/\mu m$), alors qu'une dégradation des performances est obtenue avec des t-CESL.



Figures VI-14 : Courbes de performances I_{ON} - I_{OFF} des transistors N&PMOS larges en fonction de la longueur de grille ($L_m=10\mu\text{m}$ à 30nm) selon le type de CESL contraint intégré (mesures réalisées par A. Toffoli, CEA-Léti).

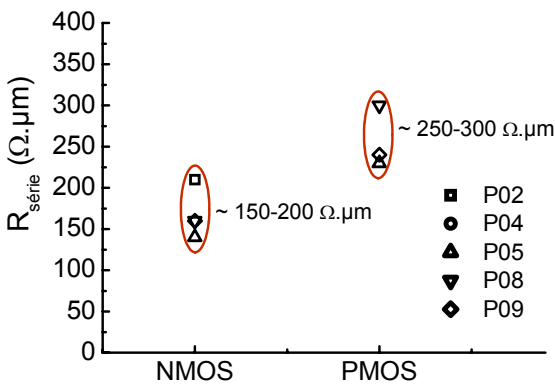


Figure VI-15 : $R_{série}$ des N&PMOSFET

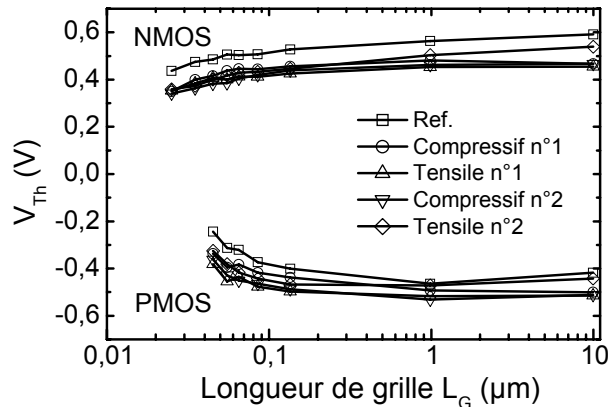
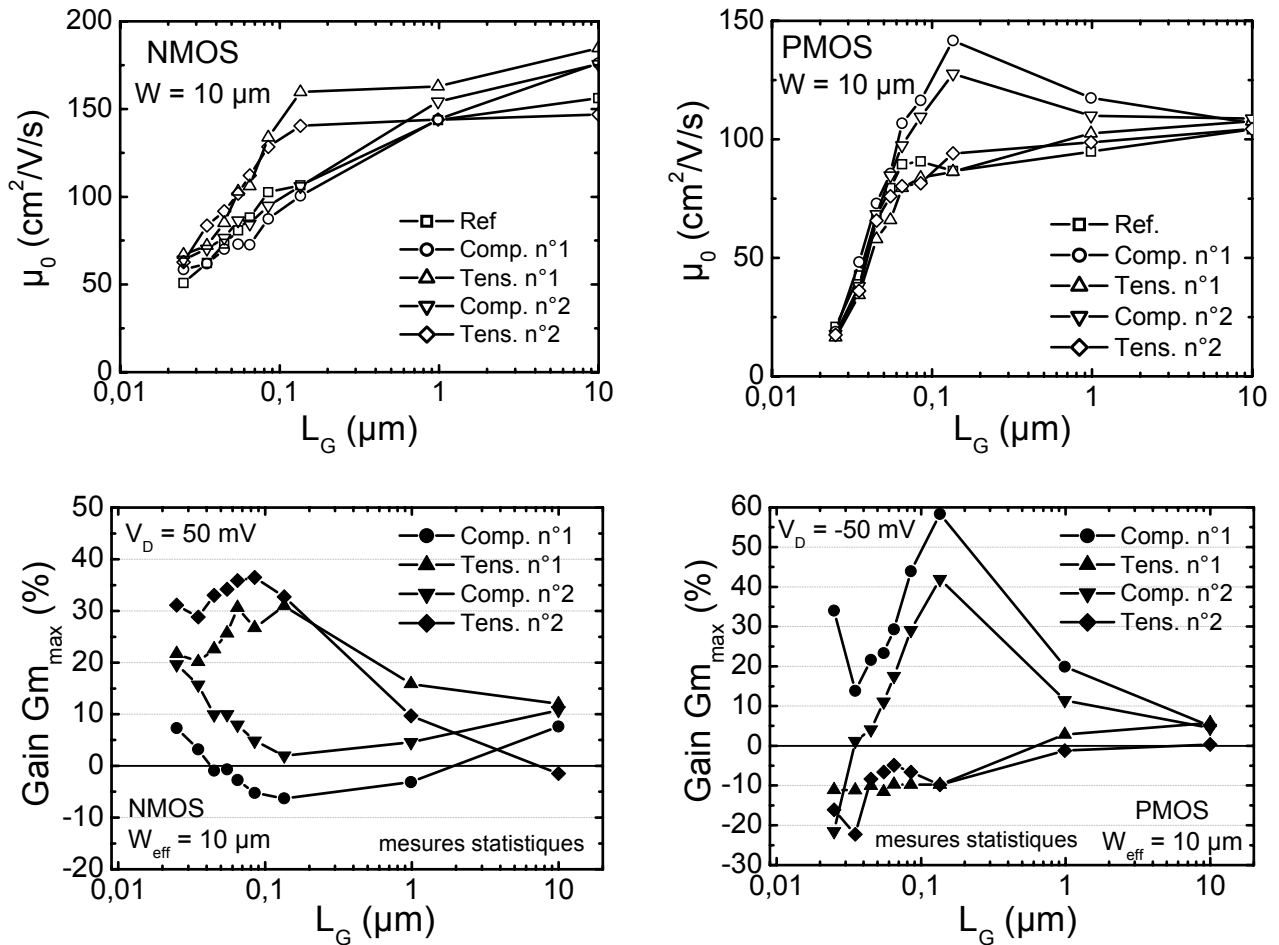


Figure VI-16 : Tensions de seuil des N&PMOSFET en fonction de la longueur de grille et selon le type de CESL

Ces résultats sont confortés par l'analyse de la mobilité μ_0 et de la transconductance maximale Gm_{max} (Figures VI-17). Le gain en Gm_{max} augmente lorsque la longueur de grille est réduite jusqu'à $L \approx 100\text{nm}$. Le gain optimum pour cette technologie est obtenu pour $L_m=150\text{nm}$ pour les NMOS et les PMOS. Alors que pour les NMOS, les t-CESL sont très bénéfiques (+35% max.), les c-CESL ont peu d'influence malgré leur plus forte contrainte intrinsèque. Inversement, pour les PMOS, les c-CESL sont très bénéfiques (+60% max.) alors que les t-CESL sont légèrement néfastes. Le gain des CESL contraints diminue pour les plus petites géométries.

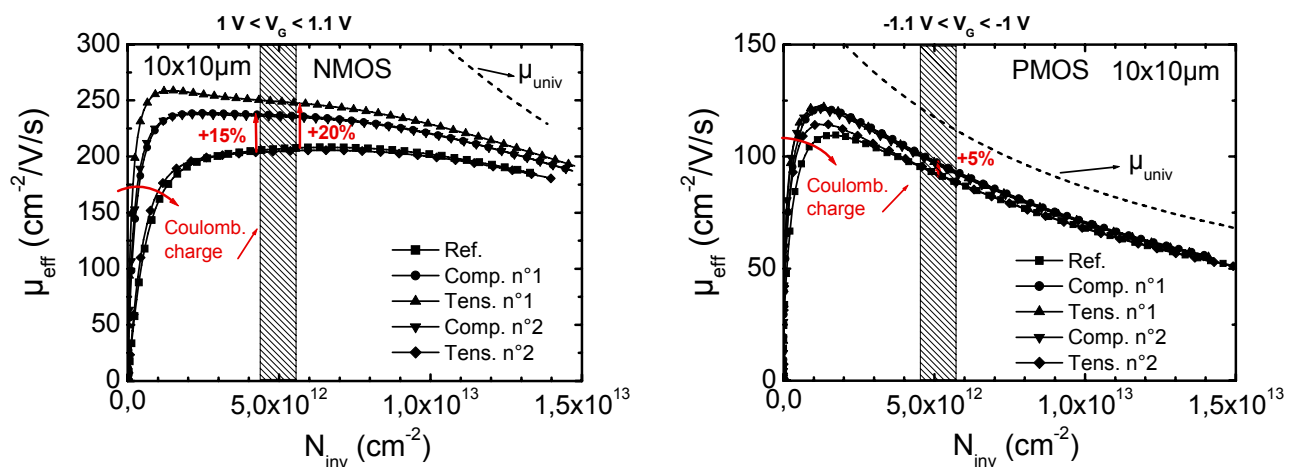
Ces résultats sont cohérents d'après ce qui a été exposé au §II.C.2.1. Les t-CESL mettent en tension les régions du canal à proximité des bords de grille alors que les c-CESL les mettent en compression, de type plutôt uniaxiale. Les variations des $R_{séries}$ sont aussi à prendre en considération pour expliquer les courbes I_{ON} - I_{OFF} . Malheureusement la fonction Y ne nous a pas permis d'extraire

de façon précise les $R_{série}$ de toutes les variantes technologiques. La méthode $R_{TOT}(L)$ est alors privilégiée (cf. §IV.A.8). Nous en verrons les résultats au §VI.D.



Figures VI-17 : Evolution de la mobilité μ_0 (en haut) et du gain en transconductance (comparable au gain en μ_0) avec la longueur selon le type de CESL contraint.

Les gains obtenus pour les grandes longueurs de canal (Figures VI-17) s'expliquent non pas par la contrainte induite par les CESL puisqu'elle est négligeable pour les transistors longs mais par le fait que la mobilité effective de la référence et de la variante tensile n°2 sont plus faibles de 5 à 20% pour les N&PMOS (Figures VI-18).



Figures VI-18 : Mobilités effectives en fonction de la charge d'inversion pour les NMOS (gauche) et les PMOS (droite)

Une plus grande quantité de charges fixes ou d'états d'interface peut expliquer ces résultats de mobilités. Aucune différence notable sur les courants de pompage de charge (image des D_{it}) n'a été

observée (Figure VI-19) bien qu'une dégradation de la pente sous le seuil ait été observée pour ces variantes (Figure VI-20). Les décalages de tension de seuil mesurés entre la référence et les autres variantes correspondent à une densité de charges fixes additionnelle minimale, ramenée à l'interface canal/SiO_x, d'environ 1 à 2.10¹²cm⁻². Ces charges sont soit négatives pour la référence (augmentation du V_{T,N}) soit positives pour les CESL contraints. D'après notre étude préliminaire, réalisée sur des CESL contraints proches de la variante n°1 (cf. §VI.B.1), il semblerait qu'il s'agisse plutôt de charges additionnelles positives dans les CESL contraints. Toutefois les résultats de mobilité nous laissent penser que les charges additionnelles correspondent à la référence (TEOS). La température de dépôt du TEOS étant plus faible, il est possible qu'une plus grande quantité de charge soit induite, même si ces résultats vont à l'encontre de ceux présentés plus haut (remise en cause de la fiabilité des mesures C(V) par goutte de Hg sur nos plaques ou dérive du procédé?). Rappelons l'étude récente qui a démontré que la dégradation de mobilité observée sur ces empilements de grille avancés était directement corrélée à la concentration d'azote située à l'interface canal/SiO_x [GARROS 08]. L'azote diffuse au cours du procédé de fabrication. Les différences observées ici peuvent ainsi s'expliquer par des concentrations d'azote variables selon le CESL utilisé. Des études plus fines seraient nécessaires pour identifier avec certitude les mécanismes responsables de la dégradation de la mobilité sur ces architectures.

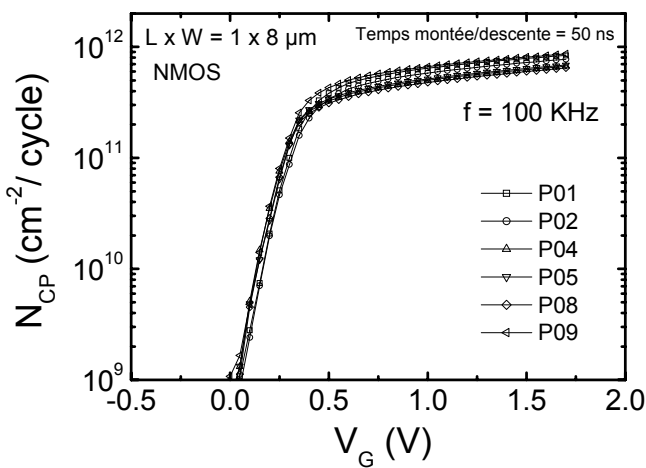


Figure VI-19 : Densités d'états d'interface extraites par pompage de charges sur les différentes variantes.

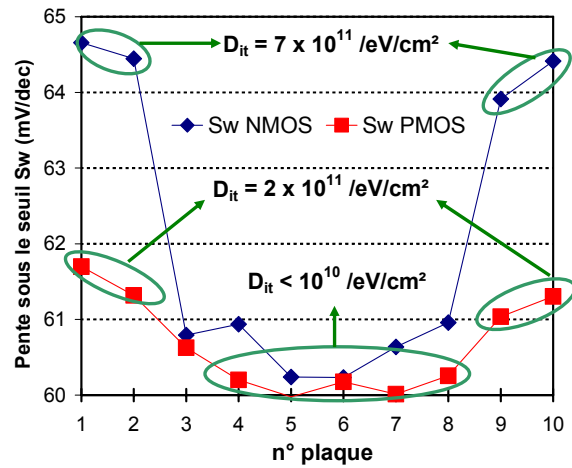


Figure VI-20 : Extraction approximative des D_{it} à partir de la pente sous le seuil selon les variantes de CESL.

En résumé, les Figures VI-14 montrent ainsi que même sur une architecture FDSOI avancée (*i.e.* avec un film mince, une grille TiN, des espaceurs doubles (Si₃N₄+HTO) et des S/D épitaxiés), les CESL contraints peuvent améliorer les nMOS (+5% sur I_{ON} avec un t-CESL) et les pMOS (+12% sur I_{ON} avec un c-CESL) larges orientés selon <110> comparativement aux dispositifs SOI non contraints.

VI.C Performances des transistors courts et étroits sSOI, XsSOI ou CESL contraints

Dans cette partie nous faisons la synthèse des performances de dispositifs ultracourts et étroits. Afin de ne pas être limité par la résolution du testeur paramétrique, nous avons analysé les courants de réseaux de doigts de silicium. Cinquante doigts en parallèle constituent alors le canal de conduction. Les courbes de performances sont normalisées ici par rapport à la largeur « vue de dessus » (cf. Figure VI-7).

La Figure VI-21 fait la synthèse des performances I_{ON}-I_{OFF} de transistors FDSOI (avec ou sans CESL contraints), sSOI et XsSOI, selon l'orientation du transport ([110] ou [100]).

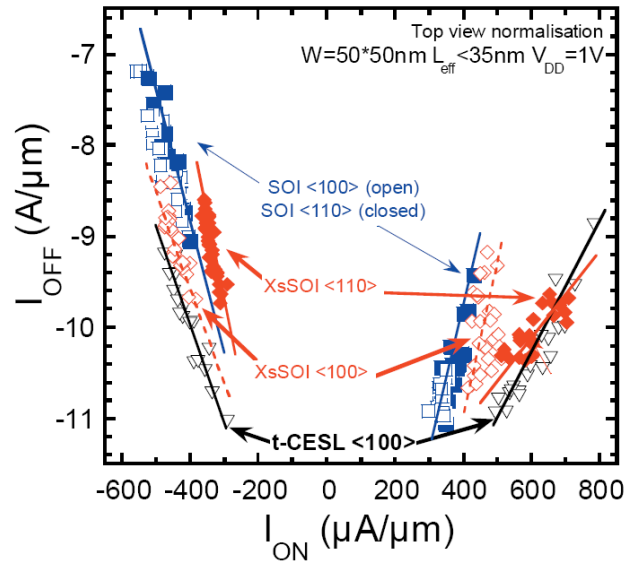


Figure VI-21 : Synthèse des performances I_{ON} - I_{OFF} de transistors FDSOI (avec ou sans CESL contraints), sSOI et XsSOI, selon l'orientation du transport ([110] ou [100]). Tirée de [ANDRIE 07a]

Dans tous les cas, on constate un gain en performance pour les nMOS, contrairement aux transistors larges. Une partie du gain vient du fait que les courants I_{OFF} sont parfois limités par le GIDL. Cependant cet effet ne permet pas d'expliquer les très forts gains en courants I_{ON} obtenus. Aussi, pour une analyse plus précise il conviendrait d'analyser les gains à un V_G-V_T fixé.

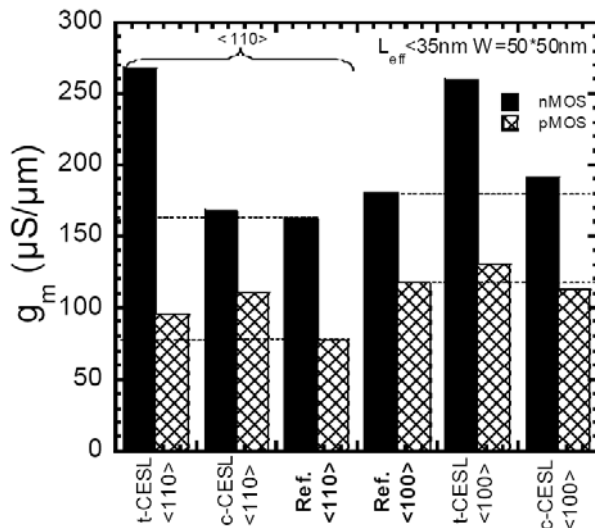


Figure VI-22 : Transconductance maximale des n&pMOSFET selon la direction de transport et les CESL contraints utilisés.

La conclusion apportée sur les transistors courts et larges est confirmée sur les dispositifs étroits comme peut l'illustrer la Figure VI-22. De plus grâce aux effets 2D discutés au § VI.A.2, un t-CESL peut aussi améliorer de façon conséquente les performances à la fois des nMOS et des pMOS orientés selon <100>.

Les gains en $G_{m,max}$ obtenus sur les architectures SOI avec des CESL contraints sont synthétisés dans le Tableau VI-3 selon : le type de MOSFET, la contrainte et le type de CESL contraints, l'orientation du transport et la géométrie des transistors.

Retenons simplement qu'au vu de ces résultats, les effets obtenus sur les électrons sur des dispositifs court et large semblent s'additionner avec ceux obtenus sur des dispositifs long et étroit lorsque l'on passe à des transistors court et étroit (Tableau VI-3). En revanche pour les trous, des gains plus importants sont systématiquement obtenus sur les dispositifs courts et étroits. L'effet des CESL contraints est également plus fort pour une direction de transport des trous selon [110] que selon [100], l'effet principal du changement d'orientation (de [110] à [100]) étant obtenu pour les dispositifs non contraints.

		@ $L_{\text{eff}} \approx 30 \text{ nm}$				@ $W_{\text{eff}} = 50 \text{ nm}$				
Gain		CESL tensile								
$G_{m_{\text{max}}}$ (%)	court & large		long & étroit				court & étroit			
	NMOS	PMOS	NMOS		PMOS		PMOS			
orientation			0°	45°	0°	45°	0°	45°	0°	45°
n°1	20	-10	20	20	10	50	44	40	26	47
n°2	30	-8	20	20	10	50	62	58	34	58
Gain		CESL compressif								
$G_{m_{\text{max}}}$ (%)	court & large		long & étroit				court & étroit			
	NMOS	PMOS	NMOS		PMOS		PMOS			
orientation			0°	45°	0°	45°	0°	45°	0°	45°
n°1	3	21.5	0	35	0	70	0	10	51	37
n°2	16	4	0	30	0	55	17	25	37	37
			13% (0° → 45°)		42% (0° → 45°)		10% (0° → 45°)		37% (0° → 45°)	

Tableau VI-3 : Synthèse des gains en $G_{m_{\text{max}}}$ selon : la variante technologique des CESL contraints, le type de MOSFET et ses dimensions et l'orientation du transport (0° correspond à la direction cristallographique [110] alors que 45° correspond à la direction [100]). La direction des transistors courts et larges est selon [110]. Ici large et long correspondent à 10 μm alors que court et étroit correspondent respectivement à 30nm et 50nm environ.

Les meilleurs candidats se dégageant pour les dispositifs ultracourts et étroits sont alors : le t-CESL, avec une légère préférence pour la variante n°2, pour une orientation selon [110] (0°) (+62%) ou [100] (45°) (+58%) pour les NMOS et selon [100] (+58%) pour les PMOS. Le c-CESL de la variante n°1 (plus fort niveau de contrainte) pour des PMOS orientés selon [110] est aussi un bon candidat (+51%).

En définitive, les gains en performance atteints sur n&pMOSFETs, soit avec les substrats XsSOI soit avec un CESL SiN contraint, permettent de se rapprocher des spécifications du nœud 32nm pour les applications à basse consommation de type LSTP (cf. §I.B.1). Nous avons démontré qu'un simple t-CESL (+900MPa) est suffisant pour une intégration CMOS pour atteindre $I_{\text{ON},n}=700\mu\text{A}/\mu\text{m}$ et $I_{\text{ON},p}=430\mu\text{A}/\mu\text{m}$ selon [100] à $I_{\text{OFF}}=140\text{pA}/\mu\text{m}$ avec $L_G<35\text{nm}$ et $W=50\text{nm}$ et $V_{\text{DD}}=1\text{V}$ (Figure VI-21).

Les meilleurs points en terme de performance ont été obtenus pour les NMOS avec un substrat XsSOI (30% Ge) et une direction du transport selon $\langle 110 \rangle$ ou avec un t-CESL pour une orientation du transport selon $\langle 100 \rangle$; pour les PMOS, un gain est obtenu par le simple changement de direction du transport ($\langle 110 \rangle \rightarrow \langle 100 \rangle$) ainsi qu'avec un substrat XsSOI (30% Ge) pour un canal orienté selon $\langle 100 \rangle$ ou avec un c-CESL pour un canal orienté selon $\langle 110 \rangle$ ou encore, avec un t-CESL pour un transport selon $\langle 100 \rangle$ (résultat inattendu).

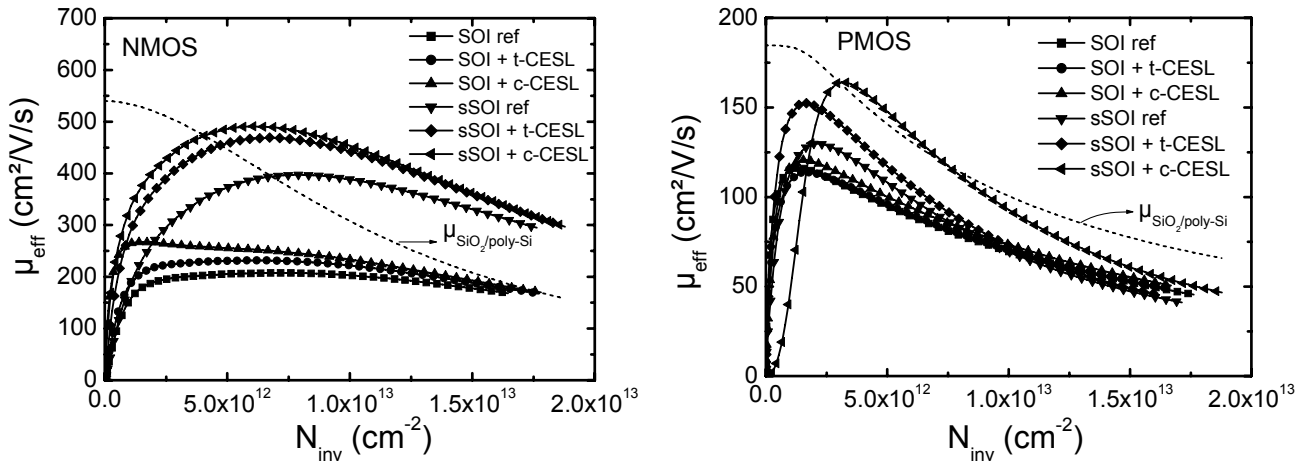
Tous ces résultats de performances illustrent bien la complexité de l'optimisation des performances des MOSFETs ainsi que la multitude de combinaisons possibles pour y parvenir.

Dans la dernière partie de ce chapitre nous allons illustrer une voix supplémentaire d'amélioration des performances, qui est l'étude de l'additivité des techniques de mise sous contraintes du canal. En particulier on s'intéressera à l'additivité CESL + substrats sSOI.

VI.D Superposition des contraintes induites par les CESL contraints (SiN) et par le substrat (sSOI) : performances des nMOSFETs

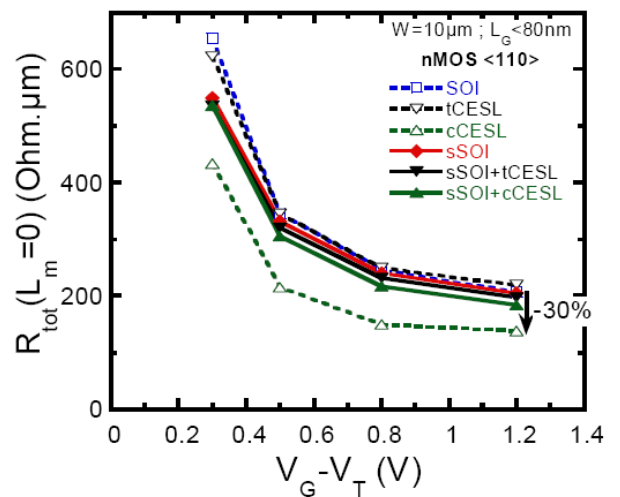
Cette dernière partie s'intéresse aux gains en performance de transistors NMOS induits par la superposition de CESL contraints à des substrats fortement contraints sSOI (20% Ge).

Les mobilités effectives extraites par la technique split-CV sont données pour les NMOS et les PMOS longs et larges sur les Figures VI-23.



Figures VI-23 : Mobilités effectives des électrons (à gauche) et des trous (à droite) de transistors longs et larges $L \times W = 10 \times 10 \mu m$ en fonction de la charge d'inversion, pour différentes variantes technologiques de mise sous contrainte du canal de conduction (extraites par split-CV).

Un gain additionnel en mobilité est obtenu sur des substrats sSOI avec des CESL contraints. Par la suite nous nous intéresserons essentiellement aux performances des dispositifs ultracourts et/ou étroits. L'étude de la mobilité effective par la technique split-CV devient alors difficile (cf. §IV.B.2). C'est pourquoi nous avons préféré utiliser la méthode basée sur la pente de $R_{TOT}(L)$ pour extraire la mobilité effective (§IV.A.8). Les longueurs de grille sont prises suffisamment proches pour considérer une mobilité moyenne indépendante de L_G (cf. Figures VI-27). La tension de grille a été normalisée de la tension de seuil extraite à courant constant (10^{-7} W/L). C_{ox} a été déterminée sur des transistors longs et larges et est ici supposée indépendante de la taille des dispositifs, bien que ce ne soit pas tout à fait exact pour nos architectures (cf. §V.B.1). Les comparaisons technologiques restent cependant correctes. Cette méthode permet aussi d'extraire les valeurs de $R_{série}$ (extrapolation des courbes $R_{TOT}(L)$ à $L=0$) ; ces valeurs sont toutefois approximatives puisque l'on ne connaît pas exactement la longueur effective de nos dispositifs (cf. Figures VI-24).



Figures VI-24 : Evolution de $R_{TOT}(L_m=0)$, image des $R_{série}$, avec la tension de grille au-dessus de seuil, pour les différentes variantes technologiques. Exploitation de F. Andrieu, tirée de [ANDRIE 07b].

Les Figures VI-26 illustrent les performances des transistors FDSOI larges. Un gain de 30% est obtenu sur I_{ON} à $I_{OFF}=10nA/\mu m$ pour une architecture sSOI 20% alors qu'un gain jusqu'à 35% est obtenu lorsqu'un t-CESL est superposé au substrat sSOI. Ce gain est clairement expliqué par l'amélioration de mobilité, jusqu'à des longueurs de grille ultracourtes, comme l'illustre les Figures VI-27. En effet comme nous l'avons vu plus haut, un t-CESL améliore la mobilité des électrons. Cependant, alors qu'un c-CESL dégrade normalement la mobilité des électrons, le courant à l'état ON n'est pas dégradé. Ceci s'explique par un gain d'environ 30% obtenu sur les $R_{série}$ avec un c-CESL (Figures VI-24). Cette réduction de $R_{série}$ induite par un c-CESL peut s'expliquer par le gain en mobilité des électrons de ces régions induit par la contrainte résultante en tension dans les S/D de ce c-CESL (cf. sens des flèches de la Figure VI-25). Nous avons pu démontrer aussi que ces réductions des $R_{série}$ avec les CESL contraints sont conservées sur des dispositifs étroits et ce quelque soit l'orientation du canal. Ainsi les résultats de performance peuvent s'interpréter

essentiellement par les modifications de la mobilité effective et des R_{serie} avec le type de contrainte et d'orientation du canal.

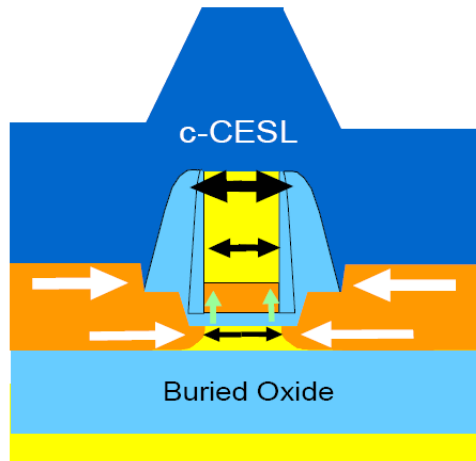
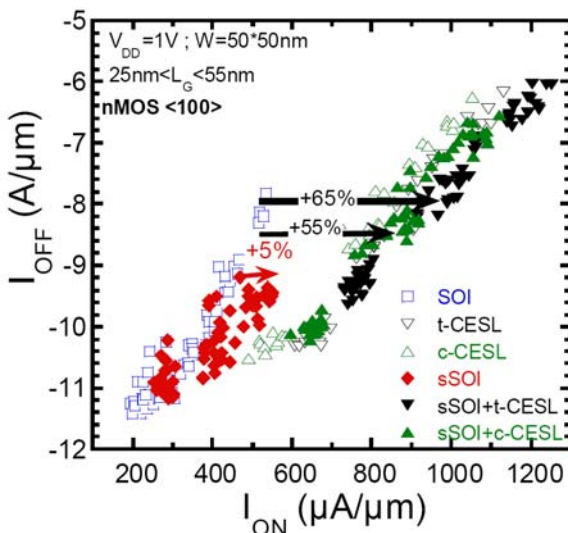
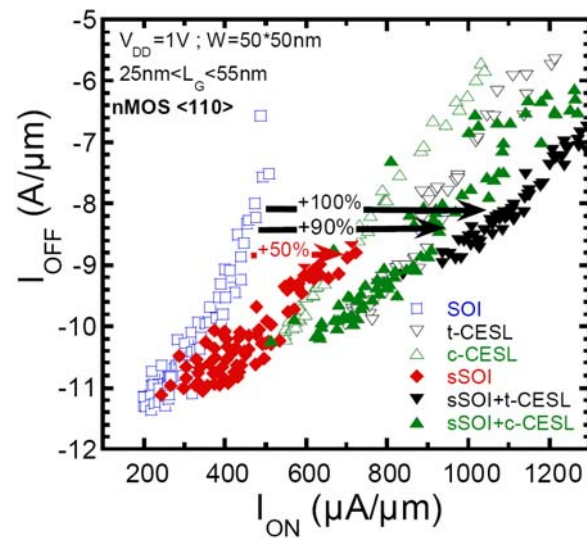
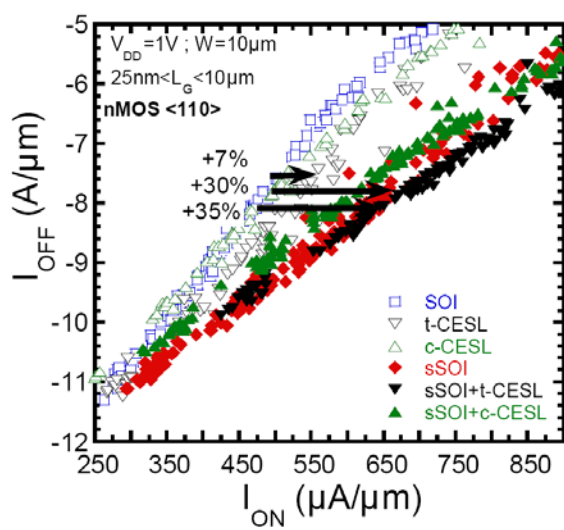


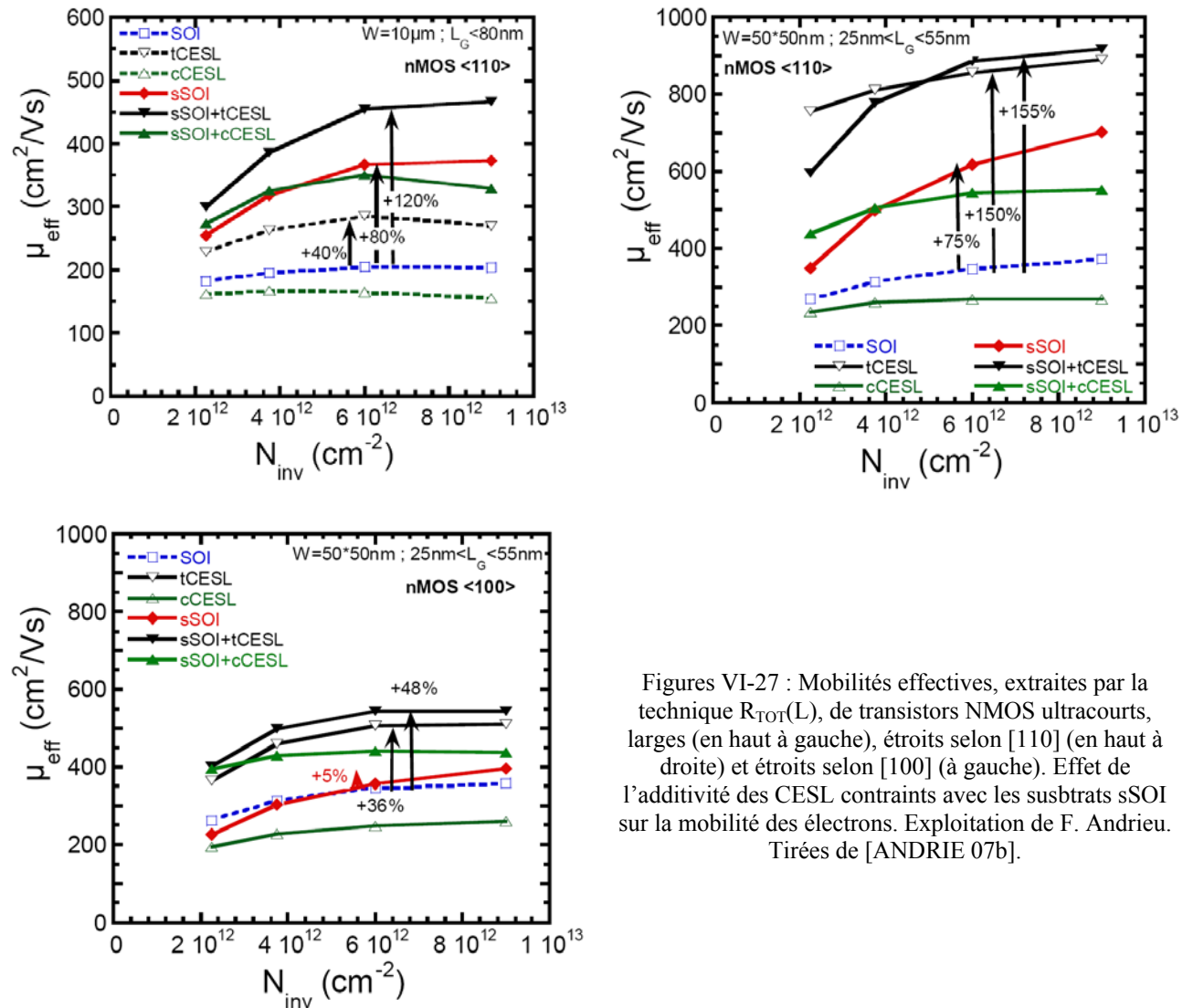
Figure VI-25 : Schéma des différentes contraintes dans l'architecture sSOI + c-CESL. Notamment les régions S/D sont en tension. D'après [ANDRIE 07b]



Figures VI-26 : Performances $I_{\text{ON}}-I_{\text{OFF}}$ de transistors NMOS ultracourts, larges (en haut à gauche), étroits selon [110] (en haut à droite) et étroits selon [100] (à gauche). Effet de l'additivité des CESL contraints avec les substrats sSOI. Mesures réalisées par F. Allain. Exploitation de F. Andrieu. Tirées de [ANDRIE 07b].

Les Figures VI-27 illustrent les variations de mobilité observées selon la géométrie des nMOSFETs, le type de contrainte et l'orientation du transport. On peut remarquer que plus les transistors sont étroits et plus les t-CESL deviennent efficaces comparativement aux substrats sSOI. Cela peut s'expliquer d'une part par le fait que l'effet d'un CESL contraint est d'autant plus efficace que le dispositif est petit et qu'une contrainte en tension de la direction transverse au transport est bénéfique pour les électrons. D'autre part nous avons vu précédemment que la contrainte du

substrat sSOI se relaxait dans la direction transverse lorsque la largeur de la zone active diminue vers des dimensions de l'ordre de la centaine de nanomètres.



Figures VI-27 : Mobilités effectives, extraites par la technique $R_{TOT}(L)$, de transistors NMOS ultracourts, larges (en haut à gauche), étroits selon $[110]$ (en haut à droite) et étroits selon $[100]$ (à gauche). Effet de l'additivité des CESL contraints avec les substrats sSOI sur la mobilité des électrons. Exploitation de F. Andrieu. Tirées de [ANDRIE 07b].

Lorsque le transport s'effectue selon $[100]$, les gains en performance diminuent (Figures VI-26) en raison d'un plus faible effet sur la mobilité effective (Figures VI-27). Cela peut s'expliquer par l'absence de gain en masse effective de conduction pour une contrainte selon $[100]$ (cf. §III.B.4), la contrainte des dispositifs étroits étant plutôt de type uniaxiale.

Finalement des gains de 100% sur I_{ON} et de 155% sur μ_{eff} ont pu être obtenus sur des dispositifs ultracourts et étroits. Les meilleurs I_{ON} des nMOSFETs FDSOI sont obtenus avec la superposition d'un t-CESL et d'un substrat sSOI ($1150\mu A/\mu m$ pour $I_{OFF}=10nA/\mu m$). Ces performances, tout à fait remarquables, permettent de satisfaire la plupart des spécifications de l'ITRS pour les prochains nœuds technologiques.

L'étude de la mobilité effective de ces architectures nous montre que pour des gains inférieurs à environ 150% sur la mobilité, l'effet des CESL contraints s'additionnent, mais de façon non linéaire, à celui du substrat sSOI. Ainsi on peut s'attendre à un effet réduit des CESL contraints sur des substrats plus fortement contraints XsSOI. En effet, comme nous avons pu le voir au §III.C, la piézorésistivité diminue aux plus fortes déformations. Seuls les effets de masse jouent encore un rôle significatif. Cependant le gain obtenu sur la masse effective de conduction n'est plus linéaire non plus aux fortes déformations et une saturation de l'effet des contraintes mécaniques apparaîtra. Aujourd'hui les niveaux de contrainte atteints dans les architectures MOS ne sont pas encore suffisants pour atteindre ces limitations. En effet Ungersboeck *et al.* ont montré par le calcul qu'une

contrainte additionnelle uniaxiale en tension selon [110], superposée à un substrat sSOI (20%Ge) augmente la mobilité des électrons jusqu'à des niveaux supérieurs à 2,5GPa [UNGERS 07a,b]. Or les contraintes induites au niveau du canal par le procédé de fabrication (type CESL ou S/D SiGe) ne dépassent encore pas le gigapascal.

Les contraintes mécaniques, avec des intensités plus fortes, continueront donc pendant encore plusieurs générations technologiques CMOS à jouer un rôle déterminant dans l'amélioration des performances (gain en I_{ON} ou amélioration du ratio I_{ON}/I_{OFF}).

VI.E Conclusions sur les choix technologiques

Au cours de ce chapitre nous avons pu illustrer la forte dépendance des performances avec le design des architectures (L_G , W , orientation du transport). Nous avons aussi pu montrer l'intérêt des substrats sSOI, et en particulier celui des substrats plus fortement contraints XsSOI, à la fois pour l'amélioration des performances des NMOS, et des PMOS dans une moindre mesure. L'intérêt des CESL contraints sur des architectures FDSOI a été démontré. Les CESL nitrurés en tension sont de bons candidats pour l'amélioration des dispositifs ultracourts et étroits. La complexité de l'architecture a été soulignée, ce qui rend difficile les interprétations de certains résultats électriques. Des modélisations et simulations numériques fines sont nécessaires pour une meilleure compréhension.

Nous avons démontré que les effets des CESL contraints et des substrats sSOI sont partiellement additifs. Même si la superposition des contraintes montrera un jour ses limites, elle apparaît dans les technologies actuelles indispensable pour améliorer encore un peu plus les performances des architectures CMOS. On pourra alors superposer à loisir différents types de contraintes (uniaxiales, biaxiales, en tension, en compression, induites par le substrat, ou par les procédés de fabrication), afin de trouver un optimum.

Enfin nous avons montré que les deux limitations principales du courant à l'état ON des dispositifs ultracourts et étroits sont la mobilité des porteurs et les résistances séries parasites $R_{série}$ (qui, selon les technologies, peut représenter 25% à 75% de la résistance du canal). Il convient de réduire au maximum les $R_{série}$, une solution ultime étant la réalisation de S/D métalliques, avec tous les défis que cela présuppose (cf. §I.B.2). L'amélioration ultime des paramètres de transport pour augmenter I_{ON} passera alors par l'augmentation de la vitesse d'injection des porteurs du côté de la source ; la contrainte mécanique, via la réduction de la masse effective de conduction, étant un moyen d'y parvenir.

Conclusion générale et perspectives

Depuis les années 1970, la miniaturisation des MOSFETs a permis dans le même temps l'augmentation de la densité d'intégration et des performances des circuits CMOS. Aujourd'hui cependant les dimensions déca-nanométriques rendent de plus en plus difficile cette réduction d'échelle. De plus les performances de ces MOSFETs déca-nanométriques sont de moins en moins gouvernées par la réduction de leurs dimensions. Ainsi la miniaturisation doit relever des défis technologiques de plus en plus contraignants. Les phénomènes parasites induits par ces très petites dimensions, tels que les effets de canal court ou encore les fuites de grille, imposent en outre une modification profonde de l'architecture du MOSFET. Des solutions technologiques comme la réalisation de grilles multiples et l'utilisation de matériaux nouveaux pour l'empilement de grille (diélectrique à plus forte permittivité associé à une grille métallique) permettent de compenser, sous certaines conditions, ces phénomènes parasites.

Mais, pour augmenter encore les performances des dispositifs CMOS, il devient nécessaire d'améliorer les propriétés du transport. Plusieurs solutions sont envisagées parmi lesquelles l'utilisation de l'effet piézorésistif du silicium. Les contraintes mécaniques apparaissent comme un très bon vecteur d'amélioration des performances des MOSFETs. Ce fut l'objet d'étude de ce mémoire, principalement au niveau de la caractérisation électrique. L'introduction de contraintes mécaniques contrôlées dans le canal des MOSFETs a d'ailleurs déjà été utilisée dès le nœud technologique 90nm en 2003 par Intel® (CESL pour les NMOS et S/D SiGe pour les PMOS), pendant que d'autres ont préféré dans un premier temps l'orientation du canal selon $\langle 100 \rangle$ (STMicronics par exemple). Les contraintes mécaniques seront néanmoins nécessairement utilisées pour les prochaines générations CMOS comme le prévoyait l'ITRS 2005 (au moins jusqu'au nœud 32nm et jusqu'en 2014). L'augmentation des niveaux de contraintes et la superposition des techniques de mise sous contrainte du canal sont particulièrement encouragées, comme nous avons pu l'illustrer. D'autres solutions existent, tel que le remplacement du matériau du canal par des matériaux à plus forte mobilité comme le germanium par exemple. Ceci dit le silicium semble rester aujourd'hui pour encore de longues années le matériau le plus approprié pour l'industrie de la microélectronique.

Les dispositifs que nous avons pu étudier au cours de ce travail combinent en grande partie l'ensemble des voies possibles d'amélioration (film non dopé ultramine FDSOI, grille HfO_2/TiN , canal fortement contraint) pour satisfaire les spécifications propres au nœud 45nm ou en-deçà. Des optimisations sont néanmoins nécessaires pour répondre complètement à ces exigences. Notamment l'EOT peut être réduit de 1,7nm à quelque 1,1nm comme cela a pu être démontré en technologie sur silicium massif. La dégradation de la mobilité induite par l'empilement HfO_2/TiN peut être contournée en améliorant les procédés de dépôt ou en utilisant d'autres matériaux dont les propriétés électriques sont similaires. L'épaisseur du film peut encore être réduite pour améliorer le contrôle électrostatique de la grille sur le canal. Le défi est alors de réduire les résistances séries parasites qui ont tendance à augmenter pour les films ultramines. De plus une dégradation du transport est attendue puisque la mobilité diminue lorsque l'épaisseur du film devient sub-déca-nanométrique et que l'EOT est encore réduit. La solution ultime pour le MOSFET à base de silicium pourrait alors venir d'une architecture multigrilles et multicanaux. Une attention toute particulière devra néanmoins être apportée à ces architectures qui nécessitent, pour délivrer un courant I_{ON} suffisant, la réalisation de structures en réseaux. Les effets parasites associés aux flancs, telles que les capacités parasites, seront alors additionnées.

Au cours de ce mémoire nous avons montré et illustré l'intérêt du paramètre de transport fondamental qu'est la mobilité, même pour des MOSFETs déca-nanométriques pour lesquels les mécanismes de transport diffèrent de ceux du transistor long (saturation de la vitesse des porteurs et balisticité des porteurs). Nous avons passé en revue les mécanismes de limitations de la mobilité additionnels propres à ces MOSFETs (effet de l'empilement HfO_2/TiN , défauts neutres et charges coulombiennes, malgré une architecture sans poche de surdopage). Ces mécanismes prennent une part de plus en plus importante dans la limitation de la mobilité et peuvent jouer des rôles plus importants que les phonons ou la rugosité de surface qui sont habituellement les mécanismes principaux de limitation de la mobilité pour les transistors longs (à température ambiante et pour des conditions de polarisation standards).

Parmi les autres voies possibles d'amélioration du transport qui seront peut-être un jour utilisées, le fonctionnement des dispositifs à plus basse température est compromis. En effet, outre son intérêt qui tient tant que le courant tunnel entre la source et le drain ne gouverne pas le transport global du MOSFET, nous avons pu montrer que les propriétés de transport dépendent d'autant moins de la température que la longueur de grille est faible. Un mécanisme de diffusion indépendant de la température semble devenir prédominant aux courtes longueurs de grille.

Au cours de ce travail, nous avons montré les limites des techniques traditionnelles d'extraction de paramètres, en particulier de la mobilité effective. L'utilisation de la technique de magnétorésistance géométrique est alors d'un grand secours pour discriminer certaines hypothèses indispensables dans les autres méthodes, telles que la connaissance précise de la longueur effective ou encore du couplage capacitif entre la grille et le canal. La technique de magnétorésistance permet en outre une extraction de mobilité directe, *i.e.* sans faire appel à un modèle du courant de drain, dont la validité peut être remise en question pour les transistors les plus courts. Grâce à ces mesures originales, nous avons pu démontrer que la dégradation de la mobilité avec la réduction de la longueur de grille est bien réelle, c'est-à-dire que, pour nos dispositifs testés, il ne s'agit pas essentiellement d'une diminution de la mobilité « apparente » liée à un régime de transport quasi-balistique.

Nous avons aussi illustré, à partir de mesures originales sous contrainte mécanique uniaxiale calibrée, l'importance de la masse effective de conduction sur les propriétés du transport. Ce paramètre est en effet essentiel puisqu'il est indépendant de la nature et du nombre d'interactions limitant par exemple la mobilité. Il intervient également directement dans la valeur de la vitesse d'injection des porteurs et conditionne donc en partie l'amélioration du transport des prochaines générations de dispositifs. Nous avons pu montrer l'effet d'une contrainte mécanique sur ce paramètre. Notamment pour les électrons, une contrainte uniaxiale en tension selon $\langle 110 \rangle$ permet de réduire la masse effective de conduction lorsque le transport s'effectue parallèlement à cette contrainte mécanique. Il s'agit même d'un moyen d'amélioration supplémentaire du transport des dispositifs déjà fortement contraints biaxialement par le substrat, comme nous l'avons démontré lors de l'étude de la piézorésistivité aux fortes déformations.

L'étude des dispositifs fortement contraints par le substrat a montré, outre une amélioration de la mobilité des électrons pouvant dépasser les 100%, une réduction de l'EOT ainsi que des fuites de grille à un champ électrique donné. Dans le premier cas, la suppression des interactions des électrons avec les phonons intervallées (Δ_2 - Δ_4), associée au peuplement préférentiel des vallées Δ_2 de la bande de conduction du silicium permet d'expliquer les gains en mobilité pour des charges d'inversion modérées. À fort champ de grille, la conservation du gain est due à la réduction des paramètres de la rugosité de l'interface canal/diélectrique de grille, induite par un substrat contraint en tension biaxiale. Dans le deuxième cas, un effet sur la croissance du diélectrique de grille sur un substrat en tension biaxiale est détecté. En particulier une réduction de la vitesse de réaction des espèces oxydantes est fort probable. Enfin dans le troisième cas, l'effet observé sur les fuites de grille vient de l'augmentation de la hauteur de barrière entre le canal contraint et le diélectrique de

grille. Cette réduction des fuites de grille ainsi que la diminution de la tension de seuil pour des dispositifs sSOI NMOS ont pu être complètement modélisées en utilisant les paramètres de Kanda pour les potentiels de déformation de la théorie développée par Herring et Vogt. Ces paramètres semblent donc être plus appropriés que ceux de Fischetti par exemple pour décrire les décalages énergétiques des vallées des bandes de conduction du silicium avec la contrainte mécanique. Le choix de paramètres différents pour modéliser convenablement la mobilité des porteurs illustre le manque de connaissance des mécanismes complexes intervenant dans la limitation de la mobilité des porteurs d'une couche d'inversion.

L'étude de la piézorésistivité de la couche d'inversion de transistors MOS a été mise à jour, puisque les technologies récentes ont fortement évolué au cours des trente dernières années. Cette étude a notamment permis de mettre en exergue i) l'évolution des coefficients piézorésistifs bidimensionnels avec le champ électrique de grille, et ce pour des valeurs encore jamais atteintes, ii) de fournir une nouvelle base de donnée des coefficients piézorésistifs. Notamment nous avons trouvé un signe opposé du coefficient piézorésistif π_{12} à celui proposé jusque là dans la littérature pour les électrons. Nous avons aussi illustré la dépendance de l'effet piézorésistif bidimensionnel avec l'architecture, dépendance qui pouvait être attendue d'après les bases théoriques posées au cours de ce mémoire. Un effet piézorésistif étonnamment plus fort a pu être relevé sur une architecture de transistors FDSOI intégrant un empilement de grille avancé (HfO_2/TiN). Ceci permet de rappeler que les défauts de cet empilement de grille ne sont pas encore totalement compris.

L'effet d'une contrainte mécanique sur des architectures plus innovantes telles que les architectures multigrilles à nanofils de silicium n'a pas été abordé dans ce travail. Cependant plusieurs études nous laissent penser à des effets formidables sur ce genre d'architectures qui sont déjà des plus intéressantes du point de vue du contrôle électrostatique (cf. les résultats de piézorésistivité géante obtenus par He *et al.* [HE 06]).

Des études fines ont permis de souligner le fait que les effets des contraintes mécaniques sur les propriétés de transport sont d'autant plus faibles que la mobilité est limitée principalement par des mécanismes indépendants de la contrainte mécanique. Ce point concerne en particulier les transistors à canal court. L'intérêt des contraintes sur les performances des MOSFETs ultracourts est également limité par le fait que le courant de ces dispositifs devient de plus en plus limité par les résistances séries parasites. Une optimisation des $R_{\text{série}}$ est alors indispensable à tout progrès en terme de performance des circuits CMOS. Il s'agit d'un point crucial et incontournable. La réalisation de source et drain métalliques (transistors Schottky) est une solution possible pour réduire au maximum les $R_{\text{série}}$, mais d'autres problèmes se posent (hauteur de barrière suffisamment faible pour permettre une bonne injection des porteurs). Pour améliorer les performances des circuits CMOS par la mise sous contrainte du canal des MOSFETs, il convient d'appliquer de plus forts niveaux de déformation. À terme, pour les dispositifs CMOS ultimes, la proportion de porteurs balistiques prendra plus d'importance. Le gain se fera alors principalement sur la vitesse d'injection. Le gain en masse effective de conduction pour les électrons (peuplement préférentiel des vallées Δ_2 et déformation de ces mêmes vallées) et pour les trous (forte déformation des bandes), induit par une contrainte mécanique bien choisie, sera particulièrement profitable. On comprend ainsi que chacun des éléments clés du MOSFET est imbriqué l'un avec l'autre. Ainsi améliorer un paramètre se fait parfois au détriment d'un autre. Des compromis doivent alors être trouvés.

Nous avons enfin illustré le fait que la complexité liée aux architectures les plus avancées rend souvent difficile la transposition directe des résultats fondamentaux obtenus dans des cas plus simples. Ainsi pour améliorer au mieux les transistors, une connaissance précise des effets induits par l'ensemble du procédé de fabrication d'un circuit CMOS est devenue indispensable. Les outils de simulations numériques multiphysiques, associés à ceux de la nanocaractérisation physique et

aux résultats de caractérisations électriques semblent être la meilleure approche pour répondre aux problématiques complexes posées par la microélectronique. Dans ce contexte, la recherche, la technologie et la production doivent collaborer de façon de plus en plus étroite.

En définitive, bien que la miniaturisation atteigne ses limites, en terme de bénéfice pour les performances des circuits CMOS, et de rendement économique (les coûts de la R&D et des outils de production devenant de plus en plus exorbitants, obligeant par là même les industriels à regrouper leurs moyens technologiques), beaucoup d'autres moyens existent pour améliorer les circuits CMOS, et ce d'autant plus que le composant élémentaire qu'est le MOSFET est de moins en moins l'élément limitant du circuit. Des progrès importants sont notamment attendus sur les délais des lignes d'interconnexions. L'augmentation de la densité d'intégration des fonctions électroniques pourra par exemple passer par l'intégration 3D (multiplication des fonctions dans l'épaisseur du substrat), approche actuellement très étudiée en R&D. Outre les défis technologiques propres à tout changement dans l'architecture d'un circuit, les défis liés à la conception seront sans doute ceux qui permettront d'envisager le futur du CMOS tel qu'on le connaît aujourd'hui. Les fonctions d'un circuit logique feront ainsi plus la valeur ajoutée que ses performances intrinsèques (« *More Than Moore* »). Technologues et concepteurs seront encore plus mis en relation qu'ils ne le sont déjà aujourd'hui pour intégrer par exemple sur la même puce des composants passifs, RF et logiques ou plus tard pour définir ensemble les nouveaux modes de fonctionnement des circuits intégrés (logique à plusieurs états...). Ainsi dans un avenir plus ou moins proche, l'association des hautes performances des circuits logiques de dernière génération à d'autres fonctions complexes (électronique, chimique, mécanique...) permettront aux puces électroniques d'atteindre des performances encore meilleures et surtout des fonctionnalités nouvelles, sans pour autant passer par une réduction supplémentaire des dimensions du composant élémentaire.

Comme on le devine, la multitude des perspectives possibles rend ce domaine passionnant mais pose aussi de sérieux problèmes aux industriels. Ils doivent en effet redéfinir leurs objectifs et leurs priorités afin de savoir dans quelles voies continuer. Ceci marquera peut-être la fin de l'ITRS *technologique*, du moins sous sa forme actuelle. Il semble que les industriels aient d'ores et déjà pris en compte ces aspects dans leur stratégie. En effet les spécifications de l'ITRS, notamment en terme de longueurs de grille sont souvent revues à la baisse. De même un ralentissement des nœuds technologiques (cycles de l'ordre de 2 ans dans les années 80 à 3 ans minimum actuellement) laissent penser que les efforts des industriels ont été redirigés, plus qu'à la difficulté intrinsèque associée au travail d'optimisation des architectures avancées (les deux raisons constituent cependant sans doute la réalité). L'après CMOS sera, à n'en pas douter, passionnant et riche en découvertes à la fois pour le monde de la recherche (phénomènes physiques nouveaux du nanomonde) comme pour celui de l'industrie (applications innovantes).

Annexe A - Phénomènes de couplage d'interfaces en technologie FDSOI

Le meilleur contrôle électrostatique obtenu sur SOI s'explique par le couplage entre les deux interfaces (empilement de grille/canal avant et canal arrière/oxyde enterré-substrat). Les équations qui explicitent les relations existant entre les tensions de grille avant et arrière ($V_{G1,2}$) et les potentiels d'interface ($\Psi_{S1,2}$) lorsque le film est totalement déserté sont obtenues en intégrant l'équation de Poisson et en appliquant le théorème de Gauss à chaque interface [FAYNOT 95]. Nous nous proposons de rappeler ici les principales relations de couplage dans le cas d'un NMOS en technologie FDSOI puisque ce genre de dispositif est particulièrement étudié tout au long de ce mémoire.

Les hypothèses de calcul utilisées par Lim & Fossum pour décrire le fonctionnement d'un MOSFET FDSOI sont les suivantes [LIM 83,84]:

- Désertion totale du film de silicium quelque soit le régime de fonctionnement du transistor ; cela signifie que T_{Si} et/ou N_A sont suffisamment faibles,
- Epaisseurs des couches d'inversion et d'accumulation négligées,
- Cas d'un transistor long (pas d'effet de canal court),
- Le substrat arrière, sous le BOX, est considéré comme une électrode parfaite (on néglige donc les effets de désertion du substrat arrière),
- Les charges d'inversion $Q_{inv1,2}$ sont négligeables au voisinage de la tension de seuil.

Les indices 1 et 2 font respectivement référence aux interfaces avant et arrière du film.

$$E_{S_1} - E_{S_2} = \frac{-Q_{dep}}{\epsilon_{Si}} \quad \text{Équation A-1}$$

$$\Psi_{S_1} - \Psi_{S_2} = T_{Si} \cdot E_{S_1} + \frac{Q_{dep} T_{Si}}{2\epsilon_{Si}} \quad \text{Équation A-2}$$

où Q_{dep} ($-qN_A T_{Si}$ pour un film de type P et $qN_A T_{Si}$ pour un film de type N) représente la charge de déplétion. E_{S_i} représente le champ électrique à l'interface i .

En appliquant le théorème de Gauss (Équation A-1) et en combinant les différentes relations on peut établir les équations liant les tensions appliquées sur les grilles avant et arrière avec les potentiels de surface :

$$V_{G_1} = V_{FB_1} + \Psi_{S_1} \left(1 + \frac{C_{Si} + C_{it_1}}{C_{ox_1}}\right) - \Psi_{S_2} \frac{C_{Si}}{C_{ox_1}} - \frac{Q_{dep}}{2C_{ox_1}} \quad \text{Équation A-3}$$

$$V_{G_2} = V_{FB_2} + \Psi_{S_2} \left(1 + \frac{C_{Si} + C_{it_2}}{C_{ox_2}}\right) - \Psi_{S_1} \frac{C_{Si}}{C_{ox_2}} - \frac{Q_{dep}}{2C_{ox_2}} \quad \text{Équation A-4}$$

où $C_{Si} = \epsilon_{Si}/T_{Si}$ représente la capacité de désertion du film de silicium et $C_{it1,2} = qD_{it1,2}$ représente la capacité liée aux états d'interface avant et arrière (souvent négligée pour les technologies bien rodées).

À partir de ces équations on peut définir les expressions régissant l'évolution de la tension de seuil avant suivant le type du dopage utilisé dans le canal. On considère que le potentiel de surface est constant et nul lorsque l'on se situe dans le régime d'accumulation et que l'inversion forte est définie lorsque le potentiel à l'interface film/diélectrique atteint $2\phi_f$. Toutes les relations données par la suite s'appliquent à un NMOS.

A.A Tension de seuil

La *tension de seuil du canal avant* lorsque l'interface arrière est dans le régime de désertion s'exprime par :

$$V_{th_1}^{dep} = V_{th_1}^{acc} - \frac{C_{Si} C_{ox_2}}{C_{ox_1} (C_{ox_2} + C_{Si} + C_{it_2})} \cdot (V_{G_2} - V_{G_2}^{acc}) \quad \text{Équation A-5}$$

où $V_{th_1}^{acc}$ est la tension de seuil du canal avant quand l'interface arrière est accumulée (*i.e.* $\Psi_{S_2} \approx 0$) :

$$V_{th_1}^{acc} = V_{FB_1} + \frac{C_{ox_1} + C_{Si} + C_{it_1}}{C_{ox_1}} \cdot 2\phi_f - \frac{Q_{dep}}{2C_{ox_1}} \quad \text{Équation A-6}$$

et $V_{G_2}^{acc}$ est donnée par :

$$V_{G_2}^{acc} = V_{FB_2} - \frac{C_{Si}}{C_{ox_2}} 2\phi_f - \frac{Q_{dep}}{2C_{ox_2}} \quad \text{Équation A-7}$$

On définit le coefficient de couplage α entre les deux interfaces (cf. signification sur la Figure A-1) :

$$\alpha = \frac{C_{Si} C_{ox_2}}{C_{ox_1} (C_{ox_2} + C_{Si} + C_{it_2})} \approx \frac{C_{ox_2}}{C_{ox_1}} = \frac{T_{ox_1}}{T_{ox_2}} \quad \text{si } C_{ox_2} \ll C_{Si} \quad \text{Équation A-8}$$

La relation $V_{th_1}^{dep} (V_{G_2})$ donnée plus haut est valable jusqu'à ce que $V_{G_2} = V_{G_2}^{inv}$, où $V_{G_2}^{inv}$ représente la tension arrière pour laquelle l'interface arrière atteint l'inversion ($\Psi_{S_2} = 2\Phi_F$) :

$$V_{G_2}^{inv} = V_{FB_2} + \left(1 + \frac{C_{it_2}}{C_{ox_2}}\right) \cdot 2\phi_f - \frac{Q_{dep}}{2C_{ox_2}} \quad \text{Équation A-9}$$

En fait, au delà de cette tension en face arrière, le déclenchement du transistor se fera dans le canal arrière en premier lieu lorsque l'on va augmenter la polarisation de la grille avant. La tension de seuil doit alors être définie comme la tension V_{G_1} requise pour avoir $\Psi_{S_2} = 2\Phi_F$. On obtient ainsi :

$$V_{th_1}^{inv} = V_{th_1}^{inv'} - \frac{C_{ox_2} (C_{ox_1} + C_{Si} + C_{it_1})}{C_{ox_1} \cdot C_{Si}} \cdot (V_{G_2} - V_{G_2}^{inv}) \quad \text{Équation A-10}$$

avec

$$V_{th1}^{inv'} = V_{FB1} + \left(1 + \frac{C_{it1}}{C_{ox1}}\right) \cdot 2\phi_f - \frac{Q_{dep}}{2C_{ox1}} \quad \text{Équation A-11}$$

qui représente la tension de seuil avant lorsque l'inversion à l'interface arrière est atteinte ($\Psi_{S2}=2\Phi_F$).

Cette fois-ci le coefficient de couplage devient (cf. signification sur la Figure A-1):

$$\beta = \frac{C_{ox2} (C_{ox1} + C_{Si} + C_{it1})}{C_{ox1} \cdot C_{Si}} \quad \text{Équation A-12}$$

Dans cette région la variation de la tension de seuil avant est également linéaire en fonction de V_{G2} . Il est clair que la variation linéaire de la tension de seuil avant lors de la conduction arrière ne dure pas indéfiniment. En effet, si la tension de grille arrière continue d'augmenter, l'interface arrière va se trouver en inversion alors que l'interface avant sera en situation d'accumulation ($\Psi_{S1} = 0$), alors que pour une tension plus faible sur la face arrière elle se situait dans le régime de désertion. Ainsi la tension de grille avant ne module plus le courant à l'interface arrière (découplage des interfaces, situation de mode partiellement déserté) et la tension de seuil devient constante. Les limites sont ($\Psi_{S1} = 0$ et $\Psi_{S2} = 2\Phi_F$) :

$$V_{G2}^{inv2} = V_{G2}^{inv} + \frac{C_{Si}}{C_{ox2}} \cdot 2\phi_f \quad \text{Équation A-13}$$

$$\text{et } V_{th1}^{inv2} = V_{th1}^{inv'} - \left(1 + \frac{C_{it1} + C_{Si}}{C_{ox1}}\right) \cdot 2\phi_f \quad \text{Équation A-14}$$

Au-delà de cette limite la grille avant ne contrôle plus la conduction du transistor qui devient permanente.

La Figure A-1 fait le bilan de l'évolution de la tension de seuil avant avec la polarisation de la face arrière. Compte tenu des ordres de grandeurs des capacités mises en jeu ($C_{ox2} \ll C_{ox1}$), le coefficient de couplage β de la région (c) est supérieur à celui de la région (b) α . Il est intéressant de noter que le coefficient de couplage β dépend de l'épaisseur du film de silicium (par l'intermédiaire de C_{Si}) alors que α en est quasiment indépendant : ainsi plus l'épaisseur de silicium sera fine, plus le coefficient β sera faible.

Il est à noter également que l'Équation I-2 de la tension de seuil s'applique aussi dans le cas d'un transistor PDSOI puisque ce dernier se comporte comme un MOSFET sur silicium massif.

Notons enfin qu'il existe plusieurs autres façons de définir la tension de seuil que le critère $\Psi_S=2\Phi_F$. D'un point de vue capacitif on peut considérer que l'on atteint la condition d'inversion forte lorsque [TSIVID 03] :

$$C_{inv} = C_{ox} + C_{dep} \quad \text{Équation A-15}$$

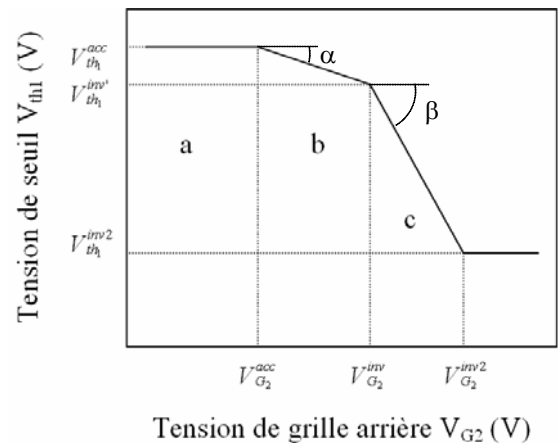


Figure A-1 : Variation théorique de la tension de seuil avant en fonction de la tension de grille arrière

Or dans le cas d'un transistor FDSOI on a $C_{dep}=0$ car $Q_{dep}=qN_A T_{Si}$ (Q_{dep} ne dépend donc pas des polarisations). La charge d'inversion dans le régime de faible inversion est donnée par

$$Q_{inv} = -qT_{Si}n_i \exp\left(\frac{\psi_s - \phi_f}{k_B T / q}\right) \quad \text{Équation A-16}$$

Au seuil on a donc :

$$Q_{inv} = \frac{k_B T}{q} C_{ox} \quad \text{Équation A-17}$$

D'où

$$\psi_s = \phi_f + \frac{k_B T}{q} \ln\left(\frac{k_B T C_{ox}}{q^2 T_{Si} n_i}\right) \quad \text{Équation A-18}$$

Avec l'Équation A-3 on en déduit la valeur de la tension de seuil satisfaisant l'Équation A-15 (en supposant C_{Si} faible devant C_{ox} ¹⁹⁷ et $\Psi_{s_2} \approx 0$ ¹⁹⁸) :

$$V_T = V_{FB} + \phi_f + \frac{k_B T}{q} \ln\left(\frac{k_B T C_{ox}}{q^2 T_{Si} n_i}\right) \quad \text{Équation A-19}$$

Si l'on considère le confinement quantique dans le film mince, il faut alors rajouter le terme [POIROU 05] :

$$\Delta V_T^{QM} = \frac{\hbar^2 \pi^2}{2q m_{001} T_{Si}^2} \quad \text{Équation A-20}$$

où m_{001} représente la masse effective de confinement (dans la direction transverse au canal, soit $m_l=0,918m_0$ pour un substrat de Si orienté selon (001)). Finalement l'expression de la tension de seuil d'un transistor NMOS FDSOI se résume à

$$V_T = \phi_M - \chi_{Si} - \frac{E_g}{2} + \frac{k_B T}{q} \ln\left(\frac{k_B T C_{ox}}{q^2 T_{Si} n_i}\right) + \frac{\hbar^2 \pi^2}{2q m_{001} T_{Si}^2} \quad \text{Équation A-21}$$

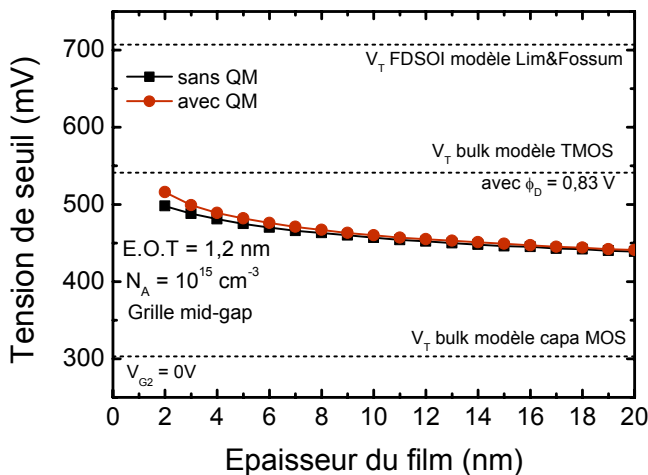


Figure A-2 : Variation de la tension de seuil déterminée par la condition sur la charge d'inversion avec l'épaisseur de silicium d'un transistor NMOS FDSOI. Les valeurs calculées à partir de l'Équation I-2, de l'Équation I-4 et d'après le modèle de Lim & Fossum (Équation A-5) sont également représentées. QM signifie ici confinement quantique

¹⁹⁷ Ce qui est vrai pour des films de quelques dizaines de nanomètres avec un oxyde de grille avancé présentant un EOT proche de 1nm.

¹⁹⁸ Cas où l'interface arrière est accumulée. Ce calcul est valable aussi pour le mode « double grille », *i.e.* lorsque $V_{G2}=V_{G1}$.

Il est intéressant de noter que dans l'Équation A-21, la tension de seuil ne dépend plus du dopage. Sur la Figure A-2 sont représentées les variations de la tension de seuil d'un transistor NMOS FDSOI, calculée à partir de l'Équation A-21 pour une grille mi-gap¹⁹⁹ présentant un EOT de 1,2 nm sur un film intrinsèque de type P à 10^{15} cm^{-3} . Les fluctuations sur l'épaisseur du film de silicium n'entraînent qu'une dispersion relativement modérée sur le V_T (inférieure à 10 mV pour une variation de 2 nm autour de $T_{Si} = 10 \text{ nm}$). Notons aussi que, d'après le modèle de Lim & Fossum, tant que l'interface arrière reste désertée, la tension de seuil $V_{th_1}^{dep}$ définie par l'Équation A-5 reste insensible aux variations de T_{Si} .

Plutôt que la condition définie par l'Équation A-15, on peut aussi définir le seuil par la condition capacité grille/canal $C_{GC}(V_T)=C_{OX}/2$. Cette condition est d'ailleurs beaucoup plus représentative du seuil de la capacité MOS. L'extraction d'une tension de seuil à partir d'un tracé $Q_{inv}(V_G)$ donne sensiblement la même valeur que cette condition sur C_{GC} . Elle est parfaitement vraie à température nulle.²⁰⁰

A.B Pente sous le seuil

En ce qui concerne *la pente en faible inversion* ou pente sous le seuil, le même type de travail peut être effectué à partir de l'expression de S en fonction de V_{G1} et Ψ_{S1} (cf. Équation I-8) [BALEST 90]. On trouve :

Cas où l'interface arrière est dans le régime d'accumulation :

$$S_1^{acc} = \ln(10) \cdot \frac{k_B T}{q} \cdot \left(1 + \frac{C_{Si} + C_{it_1}}{C_{ox_1}}\right) \quad \text{Équation A-22}$$

Cas où l'interface arrière est dans le régime de désertion :

$$S_1^{dep} = \ln(10) \cdot \frac{k_B T}{q} \cdot \left(1 + \frac{C_{it_1}}{C_{ox_1}} + \alpha \left(1 + \frac{C_{it_2}}{C_{ox_2}}\right)\right) \quad \text{Équation A-23}$$

Cas où l'interface arrière est dans le régime d'inversion :

$$S_1^{inv} = \ln(10) \cdot \frac{k_B T}{q} \cdot \left(1 + \frac{C_{it_1}}{C_{ox_1}} + \beta \left(1 + \frac{C_{it_2}}{C_{ox_2}}\right)\right) \quad \text{Équation A-24}$$

En définitive, la technologie SOI permet d'obtenir d'excellents résultats en terme de contrôle des effets de canal court et de courant de fuite, et plus particulièrement la technologie à canal complètement déserté.

¹⁹⁹ C'est-à-dire $\phi_M = \chi_{Si} + E_g/2$ (au milieu de la bande interdite du silicium)

²⁰⁰ Notons enfin qu'il existe toujours un décalage entre la tension de seuil de conduction de MOSFET et la tension de seuil d'une capacité MOS, responsable de limitations dans certaines extractions de paramètres (notamment pour l'extraction de la mobilité effective par la technique split-CV, cf. §IV.B).

Annexe B - Synthèse des gains en mobilité attendus d'après les valeurs des coefficients piézorésistifs

B.A Cas d'une surface orientée (001)

B.A.1 Cas d'une contrainte uniaxiale

1. Contrainte uniaxiale selon [100]

Si on applique une contrainte uniaxiale selon [100], le tenseur des contraintes s'écrit

$$X_j = \begin{pmatrix} X_1 \\ 0 \\ 0 \\ 0 \\ 0 \\ 0 \end{pmatrix} \text{ d'où } \frac{\Delta\mu}{\mu} = \begin{pmatrix} -\pi_{11} \\ -\pi_{12} \\ -\pi_{12} \\ 0 \\ 0 \\ 0 \end{pmatrix} \times X_1 \quad \text{Équation B-25}$$

$\left(\frac{\Delta\mu}{\mu}\right)_1$ nous donne la variation relative de mobilité selon l'axe parallèle à la contrainte.

$\left(\frac{\Delta\mu}{\mu}\right)_2$ nous donne la variation relative de mobilité selon l'axe perpendiculaire à la contrainte et dans le plan (001).

Enfin $\left(\frac{\Delta\mu}{\mu}\right)_3$ nous donne la variation relative de mobilité selon l'axe normal au plan (001), c'est-à-dire selon la direction [001].

2. Contrainte uniaxiale selon [010]

$$X_j = \begin{pmatrix} 0 \\ X_2 \\ 0 \\ 0 \\ 0 \\ 0 \end{pmatrix} \text{ d'où } \frac{\Delta\mu}{\mu} = \begin{pmatrix} -\pi_{12} \\ -\pi_{11} \\ -\pi_{12} \\ 0 \\ 0 \\ 0 \end{pmatrix} \times X_2 \quad \text{Équation B-26}$$

On retrouve bien le cas identique au précédent à l'inversion près des axes 1 et 2.

3. Contrainte uniaxiale selon [110]

$$X_j = \begin{pmatrix} X_1 \\ 0 \\ 0 \\ 0 \\ 0 \\ 0 \end{pmatrix} \text{ dans la base } \langle 110 \rangle \text{ d'où } \frac{\Delta\mu}{\mu} = \begin{pmatrix} -\pi_L \\ -\pi_T \\ -\pi_{12} \\ 0 \\ 0 \\ 0 \end{pmatrix} \times X_1 \text{ écrit dans la base } \langle 110 \rangle. \quad \text{Équation B-27}$$

4. Contrainte uniaxiale selon [1\bar{1}0]

$$X_j = \begin{pmatrix} 0 \\ X_2 \\ 0 \\ 0 \\ 0 \\ 0 \end{pmatrix} \text{ d'où } \frac{\Delta\mu}{\mu} = \begin{pmatrix} -\pi_T \\ -\pi_L \\ -\pi_{12} \\ 0 \\ 0 \\ 0 \end{pmatrix} \times X_2 \quad \text{Équation B-28}$$

Même remarque que précédemment ; on retrouve bien la même variation relative de mobilité avec l'inversion des axes 1 et 2.

B.A.2 Cas d'une contrainte biaxiale

1. Cas général $X_1 \neq X_2$

$$\frac{\Delta\mu}{\mu} = \begin{pmatrix} -(\pi_{11} \cdot X_1 + \pi_{12} \cdot X_2) \\ -(\pi_{12} \cdot X_1 + \pi_{11} \cdot X_2) \\ -\pi_{12} \cdot (X_1 + X_2) \\ 0 \\ 0 \\ 0 \end{pmatrix} \quad \text{Équation B-29}$$

si X_1 et X_2 sont exprimées dans la base principale du silicium $\langle 001 \rangle$.

$$\frac{\Delta\mu}{\mu} = \begin{pmatrix} -(\pi_L \cdot X_1 + \pi_T \cdot X_2) \\ -(\pi_T \cdot X_1 + \pi_L \cdot X_2) \\ -\pi_{12} \cdot (X_1 + X_2) \\ 0 \\ 0 \\ 0 \end{pmatrix} \quad \text{Équation B-30}$$

si X_1 et X_2 sont exprimées dans la base $\langle 110 \rangle$.

2. Cas homogène $X_1 = X_2$

$$X_j = \begin{pmatrix} X_1 \\ X_1 \\ 0 \\ 0 \\ 0 \\ 0 \end{pmatrix} \forall \text{ la base choisie d'où } \frac{\Delta\mu}{\mu} = \begin{pmatrix} -(\pi_{11} + \pi_{22}) \\ -(\pi_{11} + \pi_{22}) \\ -2 \cdot \pi_{12} \\ 0 \\ 0 \\ 0 \end{pmatrix} \times X_1 = \begin{pmatrix} -(\pi_L + \pi_T) \\ -(\pi_L + \pi_T) \\ -2 \cdot \pi_{12} \\ 0 \\ 0 \\ 0 \end{pmatrix} \times X_1 \quad \text{Équation B-31}$$

B.A.3 Bilan pour une surface orientée (001)

En définitive, le Tableau B-1 montrent les résultats obtenus sur le gain en mobilité des électrons pour (i) un niveau de contrainte fixé à 150 MPa (ii) une déformation fixée à 0.1%, en utilisant les coefficients piézorésistifs de Canali [CANALI 79].

$\Delta\mu/\mu$	$X = + 150 \text{ MPa}$	$\varepsilon = 0.1\%$
Biaxiale	7,32 %	8,83 % (181 MPa)
Uniaxiale 100 //	15,33 %	13,28 % (130 MPa)
Uniaxiale 100 \perp (ou 010)	-8,01 %	-6,94 % (130 MPa)
Uniaxiale 110 //	4,68 %	5,27 % (169 MPa)
Uniaxiale 110 \perp (ou $1\bar{1}0$)	2,64 %	2,97 % (169 MPa)

Tableau B-1 : Gains en mobilité des électrons selon le type de contrainte. // signifie que la contrainte (ou la déformation) est parallèle à la direction de transport alors que \perp signifie que la contrainte (ou la déformation) lui est perpendiculaire dans le plan (001).

Ce tableau nous montre ainsi que dans tous les cas, une contrainte en tension parallèle à la direction de transport est bénéfique. Le meilleur gain est obtenu pour une contrainte en tension parallèle dans une direction principale du silicium. Vient ensuite le cas d'une contrainte biaxiale. Enfin le cas d'une contrainte uniaxiale selon [110]. Nous verrons que pour les architectures récentes, ces conclusions sont fausses puisque les coefficients piézorésistifs sont différents. Le principe du calcul reste bien évidemment le même.

On peut d'ailleurs remarquer qu'une contrainte biaxiale est la superposition de deux contraintes uniaxiales à 90° dans le plan de la contrainte biaxiale. On a

$$\begin{pmatrix} X_{11} & 0 & 0 \\ 0 & 0 & 0 \\ 0 & 0 & 0 \end{pmatrix} + \begin{pmatrix} 0 & 0 & 0 \\ 0 & X_{22} & 0 \\ 0 & 0 & 0 \end{pmatrix} = \begin{pmatrix} X_{11} & 0 & 0 \\ 0 & X_{22} & 0 \\ 0 & 0 & 0 \end{pmatrix} \quad \text{Équation B-32}$$

C'est ce que l'on peut vérifier d'après les résultats du Tableau B-1 où le gain en mobilité induit par une contrainte uniaxiale selon $\langle 100 \rangle$ (ou $\langle 110 \rangle$) parallèle au transport superposée à une contrainte selon $\langle 010 \rangle$ (ou $\langle 1\bar{1}0 \rangle$) est égal au gain en mobilité induit par une contrainte biaxiale de même intensité. En revanche un même niveau de déformation ne donne pas les mêmes observations puisque la contrainte induite par une déformation dépend de la direction cristallographique. Or les coefficients piézorésistifs relient une contrainte et non une déformation à une variation de conductivité.

Enfin les Équation B-29 et Équation B-30 nous montrent qu'il est possible d'obtenir des configurations tout à fait intéressante pour gagner au mieux en mobilité, à la fois pour les électrons et pour les trous. Cela consiste à superposer une contrainte uniaxiale parallèlement au transport à une contrainte uniaxiale perpendiculairement au transport. Le signe des contraintes à appliquer dépend de celui des coefficients piézorésistifs associés et donc du type de porteurs et de la direction du transport. Pour les électrons selon [100], cela peut être obtenu par exemple en réalisant des transistors sSOI après l'isolation MESA (gravure de la largeur de la zone active) pour relâcher la contrainte biaxiale en une contrainte uniaxiale le long du canal puis en remplissant par un oxyde (STI) introduisant une contrainte en compression dans le sens de la largeur du transistor. Ce même type de dispositif pourrait être réalisé pour des PMOS selon [110] en SiGe compressif et utilisant un oxyde de remplissage de type HARP introduisant une contrainte en tension dans le sens de la largeur du dispositif.

Le Tableau B-2 montre le même type de résultats, pour les trous cette fois-ci.

$\Delta\mu/\mu$	X = + 150 MPa	$\varepsilon = 0.1\%$
Biaxiale	- 0.83 %	-1 % (181 MPa)
Uniaxiale 100 //	- 1 %	-0.86 % (130 MPa)
Uniaxiale 100 \perp (ou 010)	0.16 %	0.14% (130 MPa)
Uniaxiale 110 //	- 10.77 %	-12.13 % (169 MPa)
Uniaxiale 110 \perp (ou $1\bar{1}0$)	9.95 %	11.20 % (169 MPa)

Tableau B-2 : Gains en mobilité des trous selon le type de contrainte

Ainsi la meilleure configuration pour les trous semble être le cas d'une contrainte uniaxiale selon les directions $\langle 110 \rangle$ (en compression) ou $\langle 1\bar{1}0 \rangle$ (en tension).

B.B Cas d'une surface orientée autre que (001)

On s'intéresse dans ce paragraphe à l'effet d'une contrainte quelconque pour un substrat orienté selon (110) ou (111).

Pour ces surfaces le tenseur de piézorésistivité s'écrit pour une couche d'inversion orientée (d'après [COLMAN 68] voir aussi [KANDA 82]).

$$\pi'_{11} = \Pi_L = \pi_{11} - 2(\pi_{11} - \pi_{12} - \pi_{44})(l_1^2 m_1^2 + m_1^2 n_1^2 + n_1^2 l_1^2) \quad \text{Équation B-33}$$

$$\pi'_{12} = \Pi_T = \pi_{12} + (\pi_{11} - \pi_{12} - \pi_{44})(l_1^2 l_2^2 + m_1^2 m_2^2 + n_1^2 n_2^2) \quad \text{Équation B-34}$$

$$(110) \pi_{ij} = \begin{pmatrix} \pi_{11} & \pi_{12} & 0 \\ \pi_{21} & \pi_{22} & 0 \\ 0 & 0 & \pi_{44} \end{pmatrix} = \begin{pmatrix} 66 & -11 & 0 \\ -11 & 718 & 0 \\ 0 & 0 & 1381 \end{pmatrix} \text{ dans la base } \langle 001 \rangle \quad \text{Équation B-35}$$

$$(111) \pi_{ij} = \begin{pmatrix} \pi_{11} & \pi_{12} & 0 \\ \pi_{12} & \pi_{11} & 0 \\ 0 & 0 & \pi_{11} - \pi_{12} \end{pmatrix} = \begin{pmatrix} 718 & -663 & 0 \\ -663 & 718 & 0 \\ 0 & 0 & 1381 \end{pmatrix} \text{ dans la base } \langle \bar{1}10 \rangle \quad \text{Équation B-36}$$

On peut remarquer par exemple que les gains attendus pour les trous d'une surface (110) seront les mêmes que pour une surface (001).

Nous n'avons pas de données concernant les électrons sur des substrats possédant une autre orientation que (001). Cependant par le calcul, connaissant le tenseur de piézorésistivité pour une surface orientée (001), on peut remonter à l'expression du tenseur pour n'importe quelle orientation de substrat. Le même type d'analyse pourra donc être fait.

Annexe C - Techniques de caractérisation des contraintes mécaniques

Dans cette partie nous présentons, de manière non exhaustive, les principales techniques de caractérisation des contraintes mécaniques et développons succinctement les plus utilisées actuellement en microélectronique.

C.A Les méthodes optiques

Ces techniques de caractérisation permettent de déterminer l'état de déformation d'un matériau, à une échelle locale et/ou globale selon les techniques. Une fois le tenseur des déformations déterminé, on peut remonter au tenseur des contraintes mécaniques, connaissant les propriétés élastiques du matériau étudié.

C.A.1 La spectroscopie Raman : principe général (mRaman ou μ Raman)

Les trois dénominations Raman – mRaman²⁰¹ - μ Raman, souvent retrouvées dans les articles, dépendent essentiellement de la résolution spatiale du spectromètre Raman. La spectroscopie μ Raman est la technique la plus populaire pour la mesure des contraintes mécaniques [HARRIS 04, CHIDAM 06]. Son principe est basé sur la diffusion inélastique de la lumière (interaction photon/phonon du réseau cristallin). L'échantillon est bombardé par un faisceau de photons incidents de nombre d'onde ω_i et on analyse le rayonnement diffusé (Figure C-3).

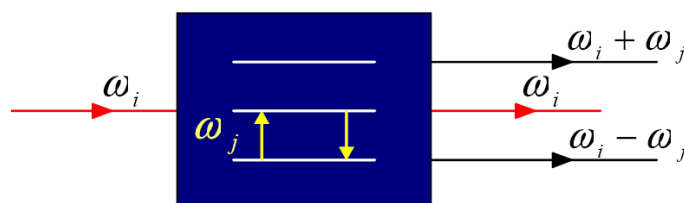
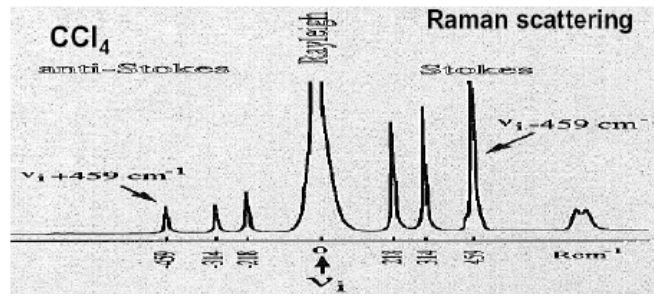


Figure C-3: Schéma de principe de la spectroscopie Raman

Sur le spectre de diffraction il apparaît un pic de diffusion principal et central, c'est-à-dire sans variation de fréquence, appelé pic Rayleigh (Figure C-4). Ce pic est associé à la dispersion dite quasi-élastique (ou diffusion Rayleigh) due à la présence de fluctuations des paramètres internes du solide à laquelle s'ajoute la diffusion élastique due à la présence de lacunes et impuretés. À ce pic s'ajoute des pics de diffusion Raman appelés dits Stokes et Anti-Stokes et positionnés à $\pm\omega_j$ du pic Rayleigh et qui correspondent respectivement à l'émission et à l'absorption d'un phonon de nombre d'onde ω_j .

Lorsque les phonons impliqués sont acoustiques, on parle de diffusion Brillouin. Lorsque les phonons impliqués sont les phonons optiques, on parle de diffusion polariton (ou parfois par abus de langage de diffusion Raman, qui est normalement le terme générique). Pour une analyse précise, il est préférable d'utiliser les phonons optiques puisque dans ce cas les pics satellites sont beaucoup plus espacés du pic principal, puisque le nombre d'onde des phonons optiques (ou leur fréquence) est élevé. Ainsi il est plus facile de distinguer les pics de type Stokes dans la diffusion polariton.

²⁰¹ m pour milli-

Figure C-4 : Illustration d'un spectre de diffraction Raman. Cas du CCl_4

La mesure des déformations est basée sur le décalage des pics de type Stokes du matériau étudié $\Delta\omega = \omega_j - \omega_{j0}$ (contraint – non contraint). Il est alors nécessaire de procéder à un étalonnage du décalage Raman. Pour le silicium il peut exister 3 modes Raman (R_x, R_y, R_z du tenseur Raman R_j) dont l'existence dépend de l'orientation du cristal et de la polarisation des faisceaux par rapport aux axes principaux du cristal. Ce sont les trois types de phonons pouvant vibrer dans un réseau cubique (deux transverses et un longitudinal). Par exemple pour un cristal de silicium orienté (001), seule la rétrodiffusion de phonons polarisés selon (001) (R_z) est observable. Pour un cristal non contraint, les 3 modes optiques Raman ont la même fréquence, $\omega_{j0} = 520 \text{ Rcm}^{-1}$ (Figure C-5). Suivant le type de déformation, la contrainte est reliée au décalage Raman par les relations suivantes :

- cas uniaxial : $\sigma_1 \text{ (MPa)} = -435 \Delta\omega \text{ (cm}^{-1}\text{)}$
- cas biaxial : $\sigma_1 + \sigma_2 \text{ (MPa)} = -435 \Delta\omega \text{ (cm}^{-1}\text{)}$
- cas hydrostatique : $\text{Tr}(\sigma) \text{ (MPa)} = -531 \Delta\omega \text{ (cm}^{-1}\text{)}$

Il est donc nécessaire d'une faire une hypothèse ad-hoc sur le type de contrainte attendue.

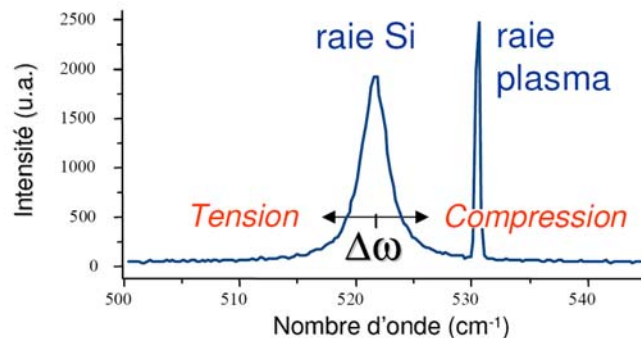


Figure C-5 : Illustration d'un spectre Raman de silicium et effet d'une contrainte sur la position du pic anti-Stokes des phonons optiques

La résolution spatiale est de l'ordre de $0,5\mu\text{m}$; la profondeur sondée dépend de la longueur d'onde incidente (UV, visible ou IR selon le matériau utilisé et la profondeur que l'on veut étudier). La précision est de quelques 10^{-4} sur la déformation soit une sensibilité d'environ 20 MPa pour des matériaux présentant des modules d'Young comparables à ceux du silicium. Il s'agit d'une technique de caractérisation non destructive. En général elle est utilisée par des mesures de contraintes en surface. Cette technique ne donne qu'une information partielle sur le tenseur des déformations puisque le nombre de mode de vibration est limité pour une condition donnée du faisceau incident. Notons qu'avec cette technique, et comme toute les méthodes optiques, on remonte à la déformation du matériau et non à la contrainte. La résolution de l'équation séculaire permet de trouver les expressions reliant les déformations aux décalages des modes vibratoires. Puisque la spectroscopie Raman ne nous fournit qu'un scalaire alors que les contraintes sont représentées par un tenseur, il est souvent conseillé de coupler les résultats expérimentaux avec de la modélisation par éléments finis. Enfin il est possible d'effectuer des cartographies surfaciques de contraintes.

C.A.2 NanoRaman et Raman polarimétrique

Le principe de la spectroscopie nano-Raman consiste en un couplage optique entre un spectromètre Raman à haute résolution et un microscope à force atomique (AFM), comme illustré sur la Figure C-6.

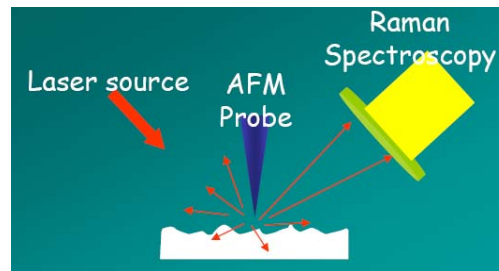


Figure C-6 : Schéma de principe de la spectroscopie nano-Raman. Un spectromètre Raman à haute résolution est couplé avec un microscope à force atomique (AFM)

Avec ce genre d'expérimentation, la résolution attendue est de l'ordre de 10nm (avec une longueur d'onde incidente adaptée) ; l'information des ondes évanescentes étant perdues en champ lointain (onde plane analysée en spectroscopie Raman classique), la sonde AFM permet d'analyser le champ électromagnétique proche (Figure C-7).

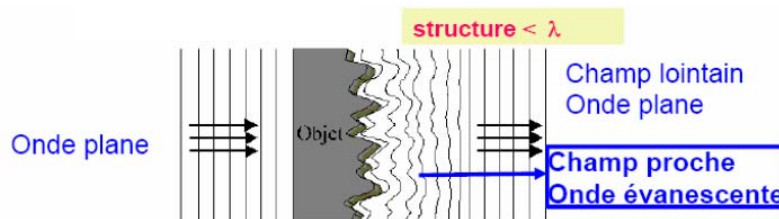


Figure C-7 : Description phénoménologique de la dispersion d'une onde plane de longueur d'onde λ sur une structure présentant des aspérités inférieures à la longueur d'onde incidente. Une sonde AFM permet d'analyser les ondes évanescentes en champ proche.

Enfin une dernière variante de la spectroscopie Raman pour l'analyse des contraintes mécaniques consiste à jouer sur la polarisation de l'onde incidente. On peut alors activer différents modes de vibrations et remonter au tenseur complet de Raman et donc aux six composantes du tenseur des déformations. Cette technique est appelée Raman polarimétrique.

C.B Les méthodes de diffraction X

De la même manière que les méthodes de diffraction optiques, les méthodes de diffraction X permettent de déterminer l'état de déformation d'un matériau, à une échelle locale et/ou globale selon les techniques.

C.B.1 Principe général

L'analyse des contraintes mécaniques par diffraction des rayons X a été utilisée dès les années 1930 [MOLLER 34]. Le principe consiste à mesurer la variation de la distance interréticulaire d'une famille de plans cristallins, plus précisément la variation de l'angle de Bragg qui varie avec la distance interréticulaire. La relation de Bragg permet de calculer la distance interréticulaire d_{hkl} pour une famille de plan (hkl) en position de diffraction (Figure C-8):

$$d_{hkl} = \frac{\lambda_0}{2 \sin \theta_{hkl}} \quad \text{Équation C-37}$$

où θ_{hkl} est l'angle de diffraction de la famille de plan (hkl) et λ_0 est la longueur d'onde des rayons X.

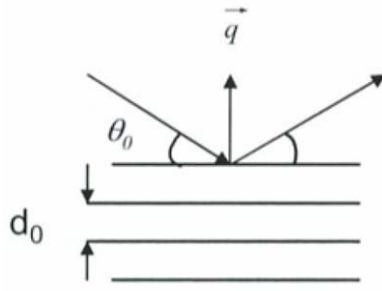


Figure C-8 : Condition de Bragg pour un matériau non contraint

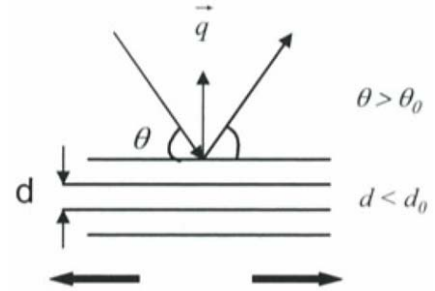


Figure C-9 : Condition de Bragg pour un matériau contraint (symbolisé par les flèches)

La déformation du réseau se traduit donc par une modification de la position angulaire des raies de diffraction (Figure C-9). La déformation étant donnée par

$$\varepsilon = \frac{d - d_0}{d_0} \quad \text{Équation C-38}$$

où d_0 et d sont les distances interréticulaires d'une famille de plans respectivement sans et sous contrainte. En combinant l'Équation C-37 et Équation C-38 on obtient alors

$$\varepsilon = \frac{\sin \theta_0}{\sin \theta} - 1 \quad \text{Équation C-39}$$

Par différenciation de l'équation de Bragg on peut aussi écrire la déformation sous la forme

$$\varepsilon = -\frac{1}{2} \cotan(\theta_0) \Delta 2\theta \quad \text{Équation C-40}$$

avec $\Delta 2\theta = 2\theta - 2\theta_0$.

Ainsi pour déterminer la déformation ε il faut connaître l'angle θ_0 . De plus l'Équation C-40 nous montre que pour obtenir le maximum de précision, il est préférable de travailler aux grands angles de diffraction puisque, pour une déformation ε donnée, le décalage $\Delta 2\theta$ de la raie de diffraction est d'autant plus important que l'angle θ_0 est grand. La précision de la mesure de déformation sera alors beaucoup plus grande. La diffraction des rayons X est donc tout à fait appropriée puisque les angles de Bragg sont supérieurs à 15-20°.

Pour déterminer les contraintes internes du matériau étudié à partir des mesures de déformations, il suffit d'établir la relation qui exprime la déformation en fonction des composantes du tenseur de contrainte. Le résultat est le suivant :

$$\begin{aligned} \varepsilon_{\phi\psi} = & \frac{1+\nu_f}{E_f} \left((\sigma_{11} - \sigma_{33}) \cos^2 \phi + (\sigma_{22} - \sigma_{33}) \sin^2 \phi + \sigma_{12} \sin 2\phi \right) \sin^2 \psi \\ & + \frac{1+\nu_f}{E_f} (\sigma_{13} \cos \phi + \sigma_{23} \sin \phi) \sin 2\psi \\ & + \frac{1}{E_f} (\sigma_{33} - \nu_f (\sigma_{11} + \sigma_{22})) \end{aligned} \quad \text{Équation C-41}$$

La définition des angles ϕ et ψ est donnée sur la Figure C-10. En effectuant six mesures de déformations selon six directions cristallographiques indépendantes (non-coplanaires), on peut donc remonter aux six composantes du tenseur des contraintes.

Si l'on suppose un état de contrainte de type biaxial et isotrope, c'est-à-dire que les composantes de contraintes $\sigma_{12}, \sigma_{33}, \sigma_{13}$ et σ_{23} sont nulles et que $\sigma_{11} = \sigma_{22}$, l'Équation C-41 peut se résumer à :

$$\varepsilon_{\phi\psi} = \frac{1 + \nu_f}{E_f} \sigma_\phi \sin^2 \psi - \frac{2\nu_f}{E_f} \sigma \tag{Equation C-42}$$

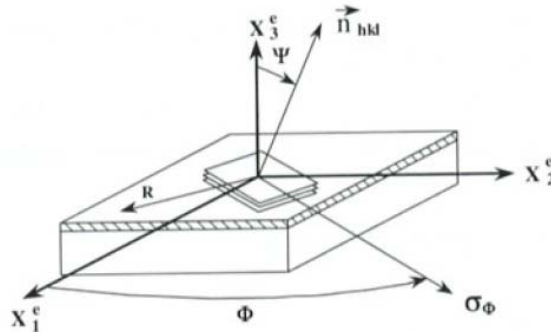


Figure C-10 : Définition du repère de mesure et des angles ϕ et ψ

Notons que cette hypothèse de travail peut être considérée comme valide puisque la profondeur d'analyse en diffraction des rayons X est typiquement de quelques dizaines de microns, ce qui peut être considéré comme relativement proche de la surface. Or l'équilibre mécanique impose des contraintes nulles au niveau des surfaces libres, soit $\sigma_{33} = \sigma_{13} = \sigma_{23} = 0$. La pente de la droite $\varepsilon_{\phi\psi}$ en fonction de $\sin^2 \psi$ donne accès à σ_ϕ si les constantes élastiques E_f et ν_f du matériau sont connues. La mesure de la contrainte dans trois directions ϕ indépendantes permet alors la détermination des 3 composantes de contraintes σ_{11}, σ_{22} et σ_{12} (on analyse selon ψ , décalage angulaire mesuré, et on s'intéresse à la direction de la contrainte selon ϕ). Cette dernière relation (Équation C-42) a ainsi donné le nom de « méthode des sinus carrés » à la technique d'analyse des contraintes par diffraction des rayons X. La précision moyenne est de l'ordre de 5 à 10%.

Afin d'obtenir des mesures bien résolues en intensité et rapide à l'acquisition (pour réaliser des cartographies par exemple), il est nécessaire d'utiliser une source de lumière intense. Des installations comme l'European Synchrotron Radiation Facilities (ESRF) de Grenoble permettent de réaliser de telles mesures. La diffraction X est aujourd'hui largement utilisée pour déterminer des variations locales de déformation [GERGAU 06].

C.B.2 Diffraction cohérente

Le principe est d'éclairer le matériau avec un faisceau de longueur de cohérence supérieure à la taille de l'échantillon (monocristal) et d'étudier la figure de diffraction d'une tâche de Bragg (Figure C-11). La détermination de la forme et du champ de déformation dans l'objet se fait à l'aide d'algorithme de recherche de la phase (GPA pour *Geometric Phase Analysis*).

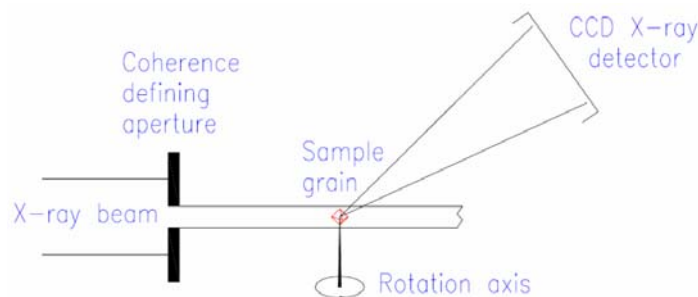


Figure C-11 : Schéma de principe de l'analyse par diffraction cohérente.

La résolution spatiale de cette technique atteint quelques dizaines de nanomètres et la précision quelques 10^{-4} . Cette technique permet de déterminer les six composantes du tenseur des déformations, mesurées en volume. Elle est assez difficile à mettre en œuvre. Cependant il est possible de reconstruire l'objet en 3D en adaptant la technique de mesure (angles variables, technique appelée 3D X-ray microscope).

C.B.3 Diffraction haute résolution (HRXRD)

La diffraction haute résolution HRXRD (High Resolution X-Ray Diffraction) est applicable sur des réseaux périodiques d'objets monocristallins. Cette technique a montré des résultats cohérents, comparés à des simulations par éléments finis (appliqués aux cas de lignes étroites sSOI). La résolution spatiale est inférieure au nanomètre et la précision est de quelques 10^{-4} sur la déformation (accès aux six composantes du tenseur). L'inconvénient de cette technique est qu'elle nécessite des échantillons spécifiques (en réseau) et qu'il ne s'agit pas réellement d'une mesure locale mais sur réseau ; les déformations représentent donc une valeur moyennée. Cependant l'intérêt de cette technique, par rapport à la diffraction cohérente par exemple, est qu'elle est non destructive et nécessite peu de préparation. Les mesures sont plutôt une représentation en volume.

C.B.4 Diffraction monochromatique

Cette technique est basée sur l'utilisation d'un microfaisceau monochromatique. La résolution spatiale est de l'ordre de 100 nm et la précision est inférieure à 10^{-4} . Toutefois elle ne permet pas de remonter aux six composantes du tenseur et nécessite des simulations par éléments finis pour interpréter les résultats. Elle nécessite comme la diffraction haute résolution des échantillons spécifiques (réseau) et est non destructive. Enfin les mesures concernent plutôt le volume du matériau.

C.B.5 Diffraction de Kossel

Cette méthode utilise un effet physique découvert par W. Kossel en 1934 : lorsqu'un faisceau focalisé d'électrons (produit par exemple dans un MEB²⁰²) ou de photons X (d'énergie adaptée) irradie un cristal, il provoque un rayonnement de fluorescence qui peut être diffracté par le cristal cible lui-même. Cette source divergente diffracte sur les plans cristallographiques du matériau. Les multiples réflexions simultanées pluridirectionnelles forment alors des cônes de Kossel (Figure C-12). Un cône émis correspond à un plan diffractant d'indice de Miller (hkl). Sur un cliché il apparaît ainsi des lignes correspondant à l'intersection des cônes de Kossel avec le détecteur plan (Figures C-13), comparables aux lignes de Kikuchi observable en EBSD (cf. §C.C.1) mais ici avec des rayons X. L'intérêt est d'avoir accès aux grands angles de diffraction et donc d'obtenir une meilleure résolution.

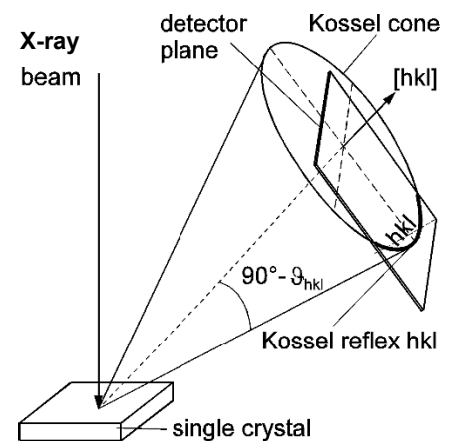
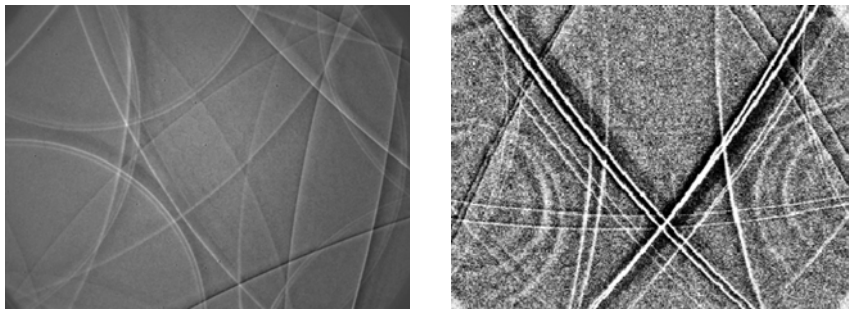


Figure C-12 : Schéma de principe de la diffraction de Kossel

L'indexation du cliché permet d'obtenir l'orientation cristallographique de la zone étudiée, faire une identification locale de phase, déterminer la densité de dislocation, déterminer les paramètres cristallins et donc remonter aux déformations du réseau et, par conséquent, d'en déduire l'état de contraintes du cristal diffractant.

²⁰² MEB = Microscope Electronique à Balayage



Figures C-13 : Exemples d'images obtenues en diffraction de Kossel

Les déformations du réseau entraînent un déplacement des lignes de Kossel (Figures C-13). Les difficultés liées à l'utilisation de cette technique sont d'une part le faible rapport signal/bruit et d'autre part la détermination précise de la position des lignes de Kossel. L'objectif est d'aller vers un traitement similaire à l'EBSD. L'intérêt par rapport à l'EBSD est qu'il n'est pas nécessaire de faire tourner l'échantillon.

La résolution spatiale latérale est de l'ordre de quelques microns. La résolution en profondeur dépend du type de la particule irradiante. La résolution en déformation peut aller de 10^{-5} seulement à 10^{-4} . Notons qu'avec cette technique il est possible d'effectuer des essais sous contrainte mécanique calibrée in-situ dans un MEB. La diffraction de Kossel permet de déterminer les six composantes du tenseur des déformations. De plus elle est non destructive et facile à mettre en œuvre. La mesure concerne plutôt le volume du matériau irradié. Très peu d'équipes dans le monde utilisent cette technique pour la mesure des contraintes [BRECHB 99, PESCI 06].

C.B.6 Diffraction en incidence rasante (GIXRD)

Pour étudier une faible épaisseur de matière, il faut utiliser une incidence rasante (Grazing Incidence X Ray Diffraction) pour ne sonder que la surface et s'affranchir de la diffusion du volume. Le principe de la GIXRD est simple : on analyse le décalage angulaire d'un pic de Bragg choisi (correspondant à une orientation de plan cristallographique) du matériau de référence, *i.e.* non contraint, à celui du matériau contraint. Ce décalage permet de remonter à la déformation correspondante. La particularité de cette technique est simplement d'utiliser un faisceau rasant le plan du matériau étudié (en réseau par exemple).

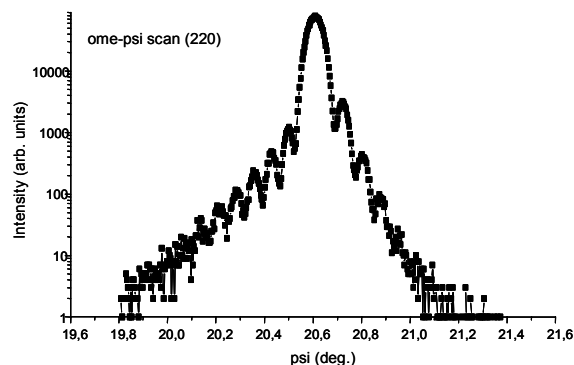


Figure C-14 : Exemple de spectre obtenu par la technique GIXRD sur un réseau de silicium contraint (mesures effectuées par J. Emery, DRFMC/CEA)

C.B.7 Autres techniques de diffraction X

Citons simplement ici deux autres techniques utilisées en diffraction X pour la détermination des contraintes mécaniques : la diffraction anormale et Micro Laue. Elles sont moins utilisées.

C.C Méthodes de diffraction électronique

Les électrons pouvant être facilement déviés, contrairement aux rayons X, les méthodes de diffraction électronique sont de très bons outils de caractérisation de l'état de déformation d'un matériau à une échelle très locale. En revanche la précision en déformation est inférieure aux méthodes basées sur la diffraction des rayons X puisque l'angle de diffraction est plus faible en diffraction électronique.

C.C.1 Diffraction des électrons rétrodiffusés (EBSD)

La technique de diffraction d'électrons rétrodiffusés (*Electron Back Scattered Diffraction*) permet de déterminer les orientations cristallographiques sur des matériaux mono- ou polycristallins. Elle peut être mise en œuvre en équipant un MEB d'un détecteur spécifique EBSD. La diffraction des électrons rétrodiffusés élastiquement permet d'obtenir sur un écran de phosphore un diagramme de diffraction constitué de pseudo-bandes de Kikuchi caractéristiques de l'orientation du grain analysé, comparables aux lignes de Kossel (Figure C-15). Une cartographie d'orientation des grains peut être obtenue en balayant avec le faisceau d'électrons la surface de l'échantillon.

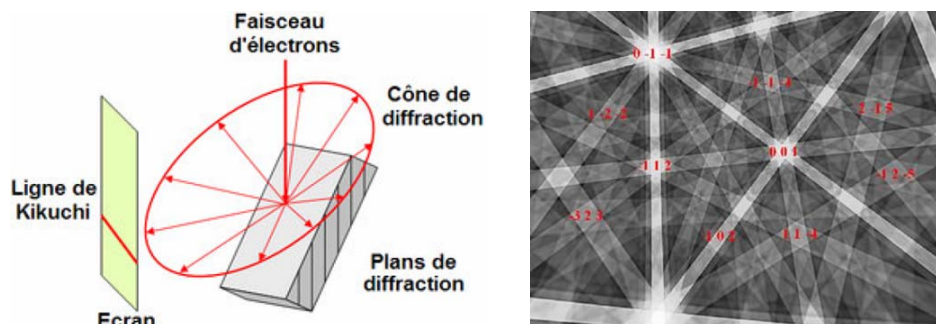


Figure C-15 : Principe de l'EBSD (à gauche) et exemple d'un diagramme de diffraction présentant les bandes de Kikuchi (à droite)

Cette technique permet de sonder des profondeurs sous la surface libre de l'échantillon de l'ordre de quelques dizaines de nanomètres (mesures en surface). La résolution spatiale est alors de 10 nm ou même inférieure. La résolution angulaire est en revanche de 0,1 à 1° ; des angles de Bragg inférieurs à 1° procure une relative faible résolution sur les déformations (plusieurs 10^{-4}). Cette méthode doit être étalonnée puisque les mesures de déformation s'effectuent par comparaison des diagrammes de diffraction (lignes de Kikuchi) sous contrainte et sans contrainte ; le diagramme se déformant sous contrainte. Cette technique permet d'accéder aux six composantes du tenseur des déformations et est non destructive.

C.C.2 Diffraction en faisceau convergent (CBED)

Le principe de la diffraction en faisceau convergent (*Convergent Beam Electron Diffraction*) consiste à coupler un microscope électronique en transmission (TEM) à un faisceau convergent. La résolution angulaire est de 0,1 à 1°. Cette technique est basée sur l'analyse des lignes de HOLZ présentes sur le cliché de diffraction. À ces lignes correspondent de forts indices de Miller (hkl) ; ainsi on peut obtenir une plus grande précision sur les déformations. Lorsque le cristal est déformé les lignes de HOLZ s'élargissent (Figure C-16).

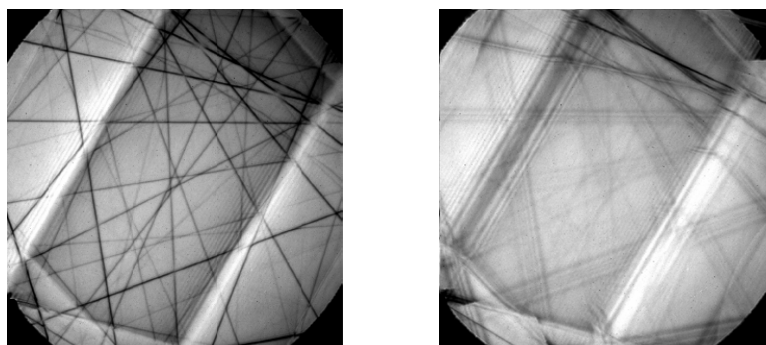


Figure C-16 : Cliché de diffraction CBED sans contrainte (à gauche) et sous contrainte (à droite). Les lignes de HOLZ s'élargissent dans le cas d'un cristal déformé.

Les avantages de cette technique sont multiples. Tout d'abord elle fournit des informations tridimensionnelles sur un seul cliché CBED (accès aux six composantes du tenseur des

déformations). La faible taille de la sonde (TEM) procure une résolution spatiale de quelques nanomètres. Les déformations sont donc étudiées à une échelle locale. La précision de mesure des déformations est de l'ordre de 10^{-4} , ce qui est remarquable pour une diffraction électronique.

Bien sûr cette technique s'accompagne aussi d'inconvénients qu'il faut prendre en compte. Cette technique est destructrice. En effet il est nécessaire de préparer des échantillons spécifiques pour la microscopie électronique en transmission. La lame mince est obtenue par le procédé FIB (*Focus Ion Beam*) comme illustré sur la Figure C-17. Cet amincissement entraîne des artefacts de mesures des déformations comme par exemple la relaxation des contraintes dans la lame mince (selon la normale à sa surface) ou encore l'amorphisation ou la dilatation du réseau cristallin par l'implantation. Le couplage avec la modélisation par éléments finis est alors nécessaire afin d'estimer la contrainte non relaxée (avant amincissement) et interpréter correctement les résultats.

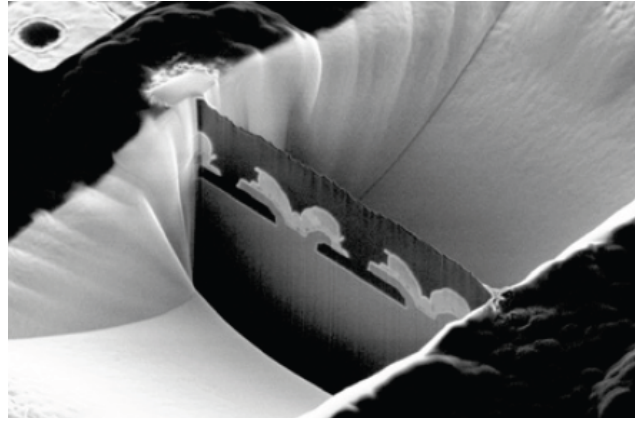


Figure C-17 : Illustration de préparation d'une lame mince obtenue par FIB pour analyse TEM

Cette technique peut être étendue à la microscopie électronique à haute résolution HRTEM (*High-Resolution Transmission Electron Microscopy*) mais avec toujours les mêmes artefacts de mesures à considérer.

C.D Mesures de courbure (de substrat pleine plaque)

La mesure de courbure permet de déterminer directement la contrainte mécanique alors que les autres techniques présentées plus haut permettent de déterminer les déformations.

C.D.1 Formule de Stoney

La courbure d'une lame induite par la présence de contraintes en surface est un phénomène connu depuis longtemps. G. Stoney a été le premier en 1909 à établir une relation entre la contrainte σ_f dans le film et le rayon de courbure du substrat R , supposé uniforme (Figure C-18) [STONEY 09]. Cette relation initialement établie pour une contrainte uniaxiale a été étendue au cas d'une contrainte biaxiale isotrope [FLINN 87, TOWNSE 87]. Son expression est la suivante :

$$\frac{F}{w} = \sigma_f t_f = Y_s \frac{t_s^2}{6} \kappa \quad \text{Équation C-43}$$

où σ_f est la contrainte dans le film, supposée constante, t_f l'épaisseur du film, t_s l'épaisseur du substrat, $Y_s = E_s / (1 - \nu_s)$ est le module d'Young biaxial du substrat (E_s module d'Young, ν_s coefficient de Poisson) et $\kappa = 1/R$ est la courbure du substrat. F/w est une force par unité de largeur isotrope dans le plan du film qui donne lieu à une courbure élastique sphérique du substrat.

L'un des intérêts majeur de cette méthode est la détermination directe de la contrainte dans le film mince sans en connaître ses propriétés élastiques. En pratique on mesure plutôt la déflection totale du substrat (ou flèche). On peut remonter alors à la courbure grâce à la relation suivante, valable dans le cas d'une déformation sphérique (Figure C-18) :

$$\delta = \frac{d^2}{8} \kappa \quad \text{Équation C-44}$$

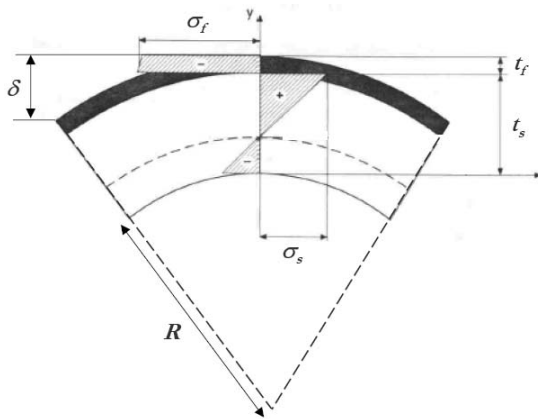


Figure C-18 : Vue en coupe de la courbure d'une bicouche avec une contrainte en compression dans le film et les contraintes résiduelles associées dans le film et le substrat. On notera la position particulière de la fibre neutre qui ne se situe pas à $t_s/2$ comme lors d'une flexion de poutre mais à $t_s/3$.

Pour déterminer la contrainte dans le film on effectue tout d'abord une mesure de la courbure du substrat vierge puis une seconde mesure est effectuée après dépôt de l'empilement film mince sur le substrat courbé. La détermination de la contrainte dans le film peut alors s'écrire :

$$\sigma_f = Y_s \frac{t_s^2}{6t_f} (\kappa - \kappa_0) \quad \text{Équation C-45}$$

où κ_0 est la courbure initiale du substrat. Les mesures sont également effectuées selon deux directions perpendiculaires afin de s'assurer de l'homogénéité de la contrainte.

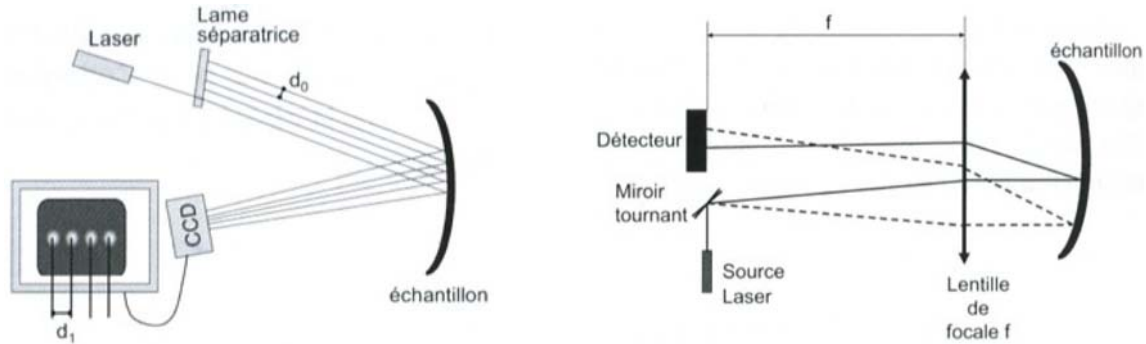
Il est important de rappeler ici que la formule de Stoney est le résultat de plusieurs hypothèses. Les conditions d'applications sont les suivantes : (a) la courbure du substrat est suffisamment faible pour ne pas modifier de manière significative la contrainte dans le film. Notons toutefois que cet effet peut être corrigé et qu'habituellement l'erreur commise est au maximum de l'ordre de 3%, ce qui est inférieur aux erreurs de mesures et à la dispersion attendue sur des films contraints déposés. (b) le film est parfaitement adhérent à son substrat. (c) les propriétés élastiques du substrat sont isotropes dans le plan. (d) le substrat se comporte élastiquement. (e) la déflexion du substrat est faible par rapport à son épaisseur. Ceci est en général vérifié pour les substrats de la microélectronique (forte épaisseur, $\approx 700\mu\text{m}$). La précision globale obtenue par mesure de courbure est de 5 à 10%.

Notons enfin qu'avec cette technique il est nécessaire de connaître les épaisseurs du substrat et de la couche sous contrainte ; l'erreur majeure est conditionnée principalement par la précision de l'épaisseur du substrat et non du film, ce qui est moins critique. Plusieurs études ont été menées afin de repousser les limites d'applications de la formule de Stoney en appliquant des coefficients correcteurs lorsque l'on s'écarte des conditions d'application de la formule standard. Citons par exemple le cas où l'épaisseur du film est non négligeable devant celle du substrat, le cas des grands déplacements, l'extension au cas de multicouche ou encore à une contrainte biaxiale anisotrope [WIKSTR 01].

C.D.2 Méthodes expérimentales

Il existe de très nombreuses méthodes pour mesurer la courbure d'une plaque. Citons par exemple la profilométrie mécanique, la mesure de capacité, l'interférométrie, la réflexion d'un faisceau lumineux ou encore la diffraction X. La plus utilisée consiste à mesurer la déflexion d'un faisceau laser sur la surface du substrat (Figures C-19). Cette méthode est rapide (0,1 à 1s par mesure), sans contact et précise (0,1 N/m seulement). Elle a de plus l'avantage de pouvoir être utilisée *in situ* (lors de recuit en température ou de dépôts de films par exemple). Citons pour finir

les deux artefacts expérimentaux les plus critiques : l'effet de la gravité (d'autant plus important que le substrat est mince et grand) et la tenue de l'échantillon.



Figures C-19 : Schémas de principe d'une mesure de courbure par suivi de la réflexion d'un faisceau laser sur le substrat : à gauche système multifaisceaux, à droite système par balayage laser

C.E Les mesures électriques basées sur la piézorésistivité

Afin de remonter aux contraintes dans des couches inaccessibles ou lorsque l'on ne veut pas détruire une plaque ou un dispositif électronique, on peut réaliser des mesures de conductivité (ou de résistivité) en s'appuyant sur les valeurs des coefficients piézorésistifs du matériau caractérisé. Il est alors nécessaire de connaître précisément le matériau que l'on caractérise et ses propriétés piézorésistives. Pour les matériaux semi-conducteurs usuels en microélectronique les coefficients piézorésistifs sont bien connus, notamment leur dépendance en température, selon le type, le niveau de dopage et la direction cristallographique [KANDA 82]. Ceci dit il est rare que les propriétés du matériau que l'on souhaite étudier soient parfaitement connues (alliage, dopage,...). De plus les coefficients piézorésistifs ne sont pas nécessairement constants selon le niveau de contrainte étudiée (piézorésistivité non linéaire [SUZUKI 84], ...). En outre si l'on veut étudier des couches fines, les coefficients piézorésistifs prennent des valeurs différentes du matériau volumique, massif. C'est le cas par exemple des nanofils ou même des transistors MOS où dans ce cas on caractérise la piézorésistivité bidimensionnelle d'une couche d'inversion (et qui dépend du nombre de porteurs en inversion). Ce point fait d'ailleurs l'objet du Chapitre III de ce mémoire.

En résumé l'utilisation des coefficients piézorésistifs pour l'extraction du niveau de contrainte est à utiliser avec précaution. Néanmoins ce moyen est encore très utilisé pour la caractérisation de l'état de contrainte dans les architectures MOS sur silicium massif [CHIDAM 06] en dépit de sa non exactitude pour une couche d'inversion (puisque les coefficients du silicium massifs sont généralement utilisés).

C.F Conclusion sur les techniques de caractérisation des contraintes mécaniques

Nous avons pu le voir, il n'existe pas de techniques universelles de détermination des contraintes mécaniques. Chacune des nombreuses méthodes présentées ici a ses avantages et ses inconvénients. Le couplage expérience / modélisation / simulation est souvent nécessaire dans ce genre d'étude et avec les réductions des dimensions (effets de bord, objets 3D de taille nanométrique, anisotropie), cela va prendre une importance grandissante.

Annexe D - Calcul des courants avec une structure de type Kelvin

Le schéma électrique équivalent du transistor est donné par :

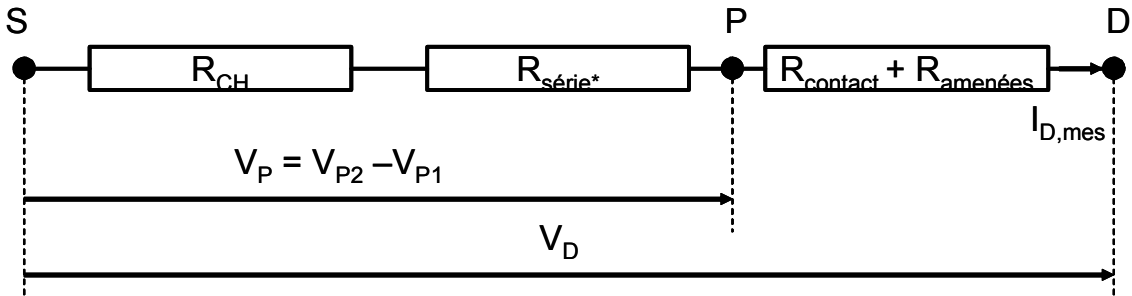


Figure D-20 : Schéma électrique équivalent entre les source et drain du transistor MOS

avec $R_{série*}$ la somme des résistances séries parasites diminuées de la résistance de contact et des amenées siliciurées du plot de source (drain) au plot de la prise P_1 (P_2). On a

$R_{CH} = \frac{V_D}{I_D} = \frac{1 + \theta_1 V_{GT}}{\beta V_{GT}}$ pour $R_{série} = 0 = R_{contact+amenées}$, R_{CH} étant la résistance intrinsèque du canal et $V_{GT} = V_G - V_T - \frac{V_D}{2}$.

Le courant de drain mesuré en appliquant V_D aux bornes de S et D (source et drain du motif Kelvin) est donnée par $I_{D,mes} = \frac{\beta V_D V_{GT}}{1 + \theta_1 V_{GT} + (R_{série*} + R_{contact+amenées}) \beta V_{GT}}$.

Le courant de drain que l'on obtiendrait avec les mêmes polarisations sans les résistances parasites $R_{contact+R_amenées}$ s'écrit $I_{D,corr} = \frac{\beta V_D V_{GT}}{1 + \theta_1 V_{GT} + (R_{série*}) \beta V_{GT}}$.

D'où

$$\frac{I_{D,corr}}{I_{D,mes}} = \frac{1 + \theta_1 V_{GT} + (R_{série*} + R_{contact+amenées}) \beta V_{GT}}{1 + \theta_1 V_{GT} + (R_{série*}) \beta V_{GT}} = \frac{\frac{1 + \theta_1 V_{GT}}{\beta V_{GT}} + R_{série*} + R_{contact+amenées}}{\frac{1 + \theta_1 V_{GT}}{\beta V_{GT}} + R_{série*}} \quad \text{Équation D-46}$$

$$= \frac{R_{CH} + R_{série*} + R_{contact+amenées}}{R_{CH} + R_{série*}} = \frac{V_D}{V_P}$$

Annexe E - Variation de la masse effective de conduction des électrons sous contrainte uniaxiale

E.A Calcul détaillé de $\left. \frac{\Delta\mu}{\mu} \right|_{\theta_2} - \left. \frac{\Delta\mu}{\mu} \right|_{\theta_1}$ pour l'extraction de la variation de la masse effective de conduction

Nous développons ici le détail du calcul nous permettant d'arriver à l'Équation III-26. L'objectif est de calculer $\left. \frac{\Delta I_D}{I_D} \right|_{\theta_2} - \left. \frac{\Delta I_D}{I_D} \right|_{\theta_1}$, qui est directement égal à $\left. \frac{\Delta\mu}{\mu} \right|_{\theta_2} - \left. \frac{\Delta\mu}{\mu} \right|_{\theta_1}$ dans notre cas.

Remarquons qu'en prenant le cas particulier d'un θ_2 tel que la contrainte uniaxiale soit parallèle au transport avec un θ_1 tel que la contrainte soit perpendiculaire au transport, ce calcul revient à calculer la différence des coefficients piézorésistifs longitudinaux et transverses, soit $\pi_L - \pi_T$, qui n'est autre que π_{44} .

La mobilité totale des électrons s'écrit :

$$\mu = \sum_v x_v \mu_v = x_{\Delta 2} \mu_{\Delta 2} + x_{\Delta 4} \mu_{\Delta 4} = \frac{q}{N_{inv}} \left(\frac{n_{\Delta 2} \tau_{\Delta 2}}{m_{c \Delta 2}} + \frac{n_{\Delta 4} \tau_{\Delta 4}}{m_{c \Delta 4}} \right) = q \left[x_{\Delta 2} \frac{\tau_{\Delta 2}}{m_{c \Delta 2}} + (1 - x_{\Delta 2}) \frac{\tau_{\Delta 4}}{m_{c \Delta 4}} \right] \quad \text{Équation E-47}$$

où $x_{\Delta 2}$ est la proportion d'électrons dans les vallées $\Delta 2$ et N_{inv} la charge totale en inversion. $m_{c \Delta 2}$ est la masse effective de conduction des vallées $\Delta 2$ soit $m_{\Delta 2}^{\sigma=0} = m_t \cdot \tau_v$ représente le temps de relaxation moyen des vallées v .

Lorsque l'on applique une contrainte mécanique on a :

$$\left. \frac{\Delta\mu}{\mu^{\sigma=0}} \right|_{\sigma} = \frac{\sum_v x_v^{\sigma=0} \Delta\mu_v + \sum_v \mu_v^{\sigma=0} \Delta x_v}{\mu^{\sigma=0}} \quad \text{Équation E-48}$$

En prenant la différence selon les deux orientations, on obtient, en rappelant que la mobilité des électrons dans chacune des vallées $\Delta 2$ ou $\Delta 4$ sans contrainte est isotrope pour un plan orienté (001), *i.e.* $\mu_{v,\theta 2}^{\sigma=0} = \mu_{v,\theta 1}^{\sigma=0}$, et en supposant que les temps de relaxation sous contrainte sont également isotropes²⁰³, *i.e.* $\tau_{v,\theta 2}^{\sigma \neq 0} = \tau_{v,\theta 1}^{\sigma \neq 0}$:

²⁰³ Il s'agit ici de la seule hypothèse pouvant porter à discussion si l'on considère qu'une faible contrainte mécanique uniaxiale peut modifier les interactions électron/phonon ou encore la rugosité de surface en raison de l'asymétrie engendrée dans le cristal par une telle contrainte. Ceci dit cet effet peut très raisonnablement être considéré comme négligeable pour les faibles niveaux de contraintes que l'on applique. De plus Weber *et al.* ont montré que les modifications de rugosité de surface constatées sur des substrats fortement contraints biaxialement en tension étaient un effet du procédé, non reproduit lorsque l'on étudie l'effet d'une contrainte appliquée de façon externe, après le procédé de fabrication du MOSFET [WEBER 07b].

$$\left. \frac{\Delta\mu}{\mu} \right|_{\theta_2} - \left. \frac{\Delta\mu}{\mu} \right|_{\theta_1} = \frac{\sum_v x_v^{\sigma=0} \Delta\mu_{v,\theta_2} - \sum_v x_v^{\sigma=0} \Delta\mu_{v,\theta_1}}{\mu^{\sigma=0}} \quad \text{Équation E-49}$$

ou encore

$$\left. \frac{\Delta\mu}{\mu} \right|_{\theta_2} - \left. \frac{\Delta\mu}{\mu} \right|_{\theta_1} = \frac{x_{\Delta 2}^{\sigma=0} \times \tau_{\Delta 2}^{\sigma \neq 0} \times \left(\frac{1}{m_{\Delta 2, \theta_2}^{\sigma \neq 0}} - \frac{1}{m_{\Delta 2, \theta_1}^{\sigma \neq 0}} \right) + (1 - x_{\Delta 2}^{\sigma=0}) \times \tau_{\Delta 4}^{\sigma \neq 0} \times \left(\frac{1}{m_{\Delta 4, \theta_2}^{\sigma \neq 0}} - \frac{1}{m_{\Delta 4, \theta_1}^{\sigma \neq 0}} \right)}{x_{\Delta 2}^{\sigma=0} \times \frac{\tau_{\Delta 2}^{\sigma=0}}{m_{\Delta 2}^{\sigma=0}} + (1 - x_{\Delta 2}^{\sigma=0}) \times \frac{\tau_{\Delta 4}^{\sigma=0}}{m_{\Delta 4}^{\sigma=0}}} \quad \text{Équation E-50}$$

Or on sait d'après Hensel *et al.* [HENSEL 65] que la masse effective des électrons des vallées dans le plan de la contrainte, *i.e.* les vallées $\Delta 4$ dans notre cas, ne dépend pas de la contrainte d'où

$$\left. \frac{\Delta\mu}{\mu} \right|_{\theta_2} - \left. \frac{\Delta\mu}{\mu} \right|_{\theta_1} = \frac{x_{\Delta 2}^{\sigma=0} \tau_{\Delta 2}^{\sigma \neq 0} \left(\frac{1}{m_{\Delta 2, \theta_2}^{\sigma \neq 0}} - \frac{1}{m_{\Delta 2, \theta_1}^{\sigma \neq 0}} \right)}{x_{\Delta 2}^{\sigma=0} \frac{\tau_{\Delta 2}^{\sigma=0}}{m_{\Delta 2}^{\sigma=0}} + (1 - x_{\Delta 2}^{\sigma=0}) \frac{\tau_{\Delta 4}^{\sigma=0}}{m_{\Delta 4}^{\sigma=0}}} = \frac{\left(\frac{1}{m_{\Delta 2, \theta_2}^{\sigma \neq 0}} - \frac{1}{m_{\Delta 2, \theta_1}^{\sigma \neq 0}} \right)}{\frac{1}{m_{\Delta 2}^{\sigma=0}} \times \frac{\tau_{\Delta 2}^{\sigma=0}}{\tau_{\Delta 2}^{\sigma \neq 0}} + \frac{(1 - x_{\Delta 2}^{\sigma=0}) \tau_{\Delta 4}^{\sigma=0}}{x_{\Delta 2}^{\sigma=0} \tau_{\Delta 2}^{\sigma \neq 0}} \times \frac{1}{m_{\Delta 4}^{\sigma=0}}} \quad \text{Équation E-51}$$

$$= \frac{m_{\Delta 2}^{\sigma=0} \times \frac{m_{\Delta 2, \theta_1}^{\sigma \neq 0} - m_{\Delta 2, \theta_2}^{\sigma \neq 0}}{m_{\Delta 2, \theta_2}^{\sigma \neq 0} \times m_{\Delta 2, \theta_1}^{\sigma \neq 0}}}{\frac{\tau_{\Delta 2}^{\sigma=0}}{\tau_{\Delta 2}^{\sigma \neq 0}} + \frac{(1 - x_{\Delta 2}^{\sigma=0}) \tau_{\Delta 4}^{\sigma=0}}{x_{\Delta 2}^{\sigma=0} \tau_{\Delta 2}^{\sigma \neq 0}} \times \frac{m_{\Delta 2}^{\sigma=0}}{m_{\Delta 4}^{\sigma=0}}}$$

En considérant de petites variations symétriques autour de $m_{\Delta 2}^{\sigma=0}$, *i.e.* :

$$m_{\Delta 2, \theta_i}^{\sigma \neq 0} \cong m_t \pm \delta \quad \text{Équation E-52}$$

Il vient :

$$m_{\Delta 2, \theta_2}^{\sigma \neq 0} \times m_{\Delta 2, \theta_1}^{\sigma \neq 0} \approx m_t^2 \quad \text{Équation E-53}$$

en rappelant que la masse de conduction des vallées $\Delta 4$ vaut²⁰⁴ $m_{\Delta 4}^{\sigma=0} = \frac{2m_t m_l}{m_t + m_l}$

On arrive à l'expression de l'Équation III-26 :

$$\left. \frac{\Delta\mu}{\mu} \right|_{\theta_2} - \left. \frac{\Delta\mu}{\mu} \right|_{\theta_1} = \frac{\frac{m_{\Delta 2, \theta_1}^{\sigma \neq 0} - m_{\Delta 2, \theta_2}^{\sigma \neq 0}}{m_t}}{\frac{\tau_{\Delta 2}^{\sigma=0}}{\tau_{\Delta 2}^{\sigma \neq 0}} + \frac{1 - x_{\Delta 2}^{\sigma=0}}{x_{\Delta 2}^{\sigma=0}} \times \frac{\tau_{\Delta 4}^{\sigma=0}}{\tau_{\Delta 2}^{\sigma \neq 0}} \times \frac{m_t + m_l}{2m_l}} \quad \text{Équation E-54}$$

Pour déterminer avec un maximum de précision les variations de masses effectives il conviendrait alors de prendre en compte le peuplement non nul des vallées $\Delta 4$ et d'évaluer les ratio

$\frac{\tau_{\Delta 4}^{\sigma=0}}{\tau_{\Delta 2}^{\sigma \neq 0}}$ et $\frac{\tau_{\Delta 2}^{\sigma=0}}{\tau_{\Delta 2}^{\sigma \neq 0}}$ à fort champ. Sinon en faisant l'hypothèse que tous les porteurs sont dans les vallées

²⁰⁴ La moitié des vallées $\Delta 4$ possède une masse de conduction transverse alors que l'autre moitié possède une masse de conduction longitudinale.

$\Delta 2$ en forte inversion dans les cas contraint ET non contraint on obtient simplement l'Équation III-27 :

$$\left. \frac{\Delta\mu}{\mu} \right|_{\theta_2} - \left. \frac{\Delta\mu}{\mu} \right|_{\theta_1} = \frac{m_{\Delta 2, \theta_1}^{\sigma \neq 0} - m_{\Delta 2, \theta_2}^{\sigma \neq 0}}{m_t} \quad \text{Équation E-55}$$

Si l'on ne fait pas l'hypothèse que les taux de dispersion sous contrainte sont indépendants de l'orientation, *i.e.* si $\tau_{v, \theta_2}^{\sigma \neq 0} \neq \tau_{v, \theta_1}^{\sigma \neq 0}$, on obtient dans le cas général:

$$\left. \frac{\Delta\mu}{\mu} \right|_{\theta_2} - \left. \frac{\Delta\mu}{\mu} \right|_{\theta_1} = \frac{x_{\Delta 2}^{\sigma=0} \left(\frac{\tau_{\Delta 2, \theta_2}^{\sigma \neq 0}}{m_{\Delta 2, \theta_2}^{\sigma \neq 0}} - \frac{\tau_{\Delta 2, \theta_1}^{\sigma \neq 0}}{m_{\Delta 2, \theta_1}^{\sigma \neq 0}} \right) + \frac{1 - x_{\Delta 2}^{\sigma=0}}{m_{\Delta 4}} \times (\tau_{\Delta 4, \theta_2}^{\sigma \neq 0} - \tau_{\Delta 4, \theta_1}^{\sigma \neq 0})}{x_{\Delta 2}^{\sigma=0} \times \frac{\tau_{\Delta 2}^{\sigma=0}}{m_{\Delta 2}^{\sigma=0}} + (1 - x_{\Delta 2}^{\sigma=0}) \times \frac{\tau_{\Delta 4}^{\sigma=0}}{m_{\Delta 4}^{\sigma=0}}} \quad \text{Équation E-56}$$

et en supposant tous les porteurs dans les vallées $\Delta 2$ l'expression précédente devient en faisant les mêmes hypothèses que plus haut pour les variations de $m_{\Delta 2}^{\sigma=0}$:

$$\left. \frac{\Delta\mu}{\mu} \right|_{\theta_2} - \left. \frac{\Delta\mu}{\mu} \right|_{\theta_1} = \frac{m_{\Delta 2, \theta_1}^{\sigma \neq 0} \times \tau_{\Delta 2, \theta_2}^{\sigma \neq 0} - m_{\Delta 2, \theta_2}^{\sigma \neq 0} \times \tau_{\Delta 2, \theta_1}^{\sigma \neq 0}}{m_t \tau_{\Delta 2}^{\sigma=0}} \quad \text{Équation E-57}$$

Dans cette expression les termes de modification de masse effective s'entremêlent avec les termes liés aux temps de relaxation des vallées $\Delta 2$ selon les deux orientations considérées. Ainsi l'extraction des variations de masses effectives sera plus faible si l'on prend en compte cet effet possible (même s'il très peu probable).

En définitive on surestime légèrement dans tous les cas de figure les variations effectives de la masse de conduction des vallées $\Delta 2$ sous contrainte uniaxiale par cette méthode simplifiée.

Notons enfin que ces relations simplifiées ne s'appliquent que dans le cas où la contrainte est selon $\langle 110 \rangle$. En effet pour une contrainte selon une direction $\langle 100 \rangle$, le décalage énergétique des vallées $\Delta 41$ et $\Delta 42$ sont différents.

E.B Justification de l'invariabilité de la masse effective de conduction selon $[100]$ sous l'effet d'une contrainte mécanique uniaxiale selon $[110]$

Nous pouvons démontrer avec une bonne approximation que, sous l'effet d'une contrainte uniaxiale selon $[110]$, la masse effective selon $[100]$ reste à peu près égale à la masse transverse des vallées $\Delta 2$ sans contrainte si l'on suppose que les surfaces d'iso-énergie des vallées $\Delta 2$ se déforment selon une ellipse comme évoqué par [HENSEL 65, KANDA 91 et UCHIDA 05].

La relation de dispersion de l'énergie pour la bande de conduction nous donne dans le plan xy

$$\frac{k_x^2}{m_x} + \frac{k_y^2}{m_y} = \frac{2 \cdot E_k}{\hbar^2} \quad \text{Équation E-58}$$

ce qui donne, ramenée à l'équation d'une ellipse,

$$\frac{k_x^2}{2 \cdot E_k \cdot m_x} + \frac{k_y^2}{2 \cdot E_k \cdot m_y} = 1 \quad \text{Équation E-59}$$

Ainsi les petit et grand axe de l'ellipse associée ont pour longueur $\sqrt{\frac{2 \cdot E_k}{\hbar^2} \cdot m_{x,y}}$

On choisit alors l'énergie E_k telle que $\sqrt{\frac{2 \cdot E_k}{\hbar^2}} = 1$, c'est-à-dire telle que la longueur des axes de l'ellipse soit directement proportionnelle à la racine carré de la masse effective (voir Figure III-38). Dans ce cas nous pouvons facilement exprimer la masse effective $m_{\theta=45^\circ}^{\sigma \neq 0}$ en fonction des masses $m_{\theta=0^\circ}^{\sigma \neq 0}$ et $m_{\theta=90^\circ}^{\sigma \neq 0}$. Nous avons (avec $0^\circ=[110]$, $45^\circ=[100]$ et $90^\circ=[1-10]$) :

$$m_{\theta=45^\circ}^{\sigma \neq 0} = \frac{2 \cdot m_{\theta=0^\circ}^{\sigma \neq 0} \cdot m_{\theta=90^\circ}^{\sigma \neq 0}}{m_{\theta=0^\circ}^{\sigma \neq 0} + m_{\theta=90^\circ}^{\sigma \neq 0}} \quad \text{Équation E-60}$$

L'hypothèse que nous avons évoquée plus haut exprimant la condition $m_{\theta=45^\circ}^{\sigma \neq 0} \cong m_t$ peut se justifier ici facilement. Si l'on considère que les masses selon 0° et 90° évoluent peu autour de la valeur sans contrainte, on peut écrire :

$$\begin{aligned} m_{\theta=0^\circ}^{\sigma \neq 0} &\cong m_t - \varepsilon_1 \\ m_{\theta=90^\circ}^{\sigma \neq 0} &\cong m_t + \varepsilon_2 \\ \text{avec } \varepsilon_1 &\approx \varepsilon_2 = \varepsilon \\ \text{soit} \end{aligned} \quad \text{Équation E-61}$$

$$m_{\theta=45^\circ}^{\sigma \neq 0} \approx \frac{2 \cdot m_t^2 - 2 \cdot \varepsilon^2}{2 \cdot m_t} \approx m_t$$

N.B. : Nous aurions aussi pu vérifier que les différences de masse satisfassent l'équation d'une ellipse. Cependant les incertitudes de mesure vis-à-vis des variations de masse considérées ne nous ont pas permis de le faire. En effet connaissant les Δm^* pour deux configurations données nous avons par exemple

$$m_{0^\circ} = \frac{\alpha_1 \alpha_2}{\alpha_1 - 2\alpha_2} \quad \text{Équation E-62}$$

$$\text{avec } \alpha_1 = m_{\theta=90^\circ}^{\sigma \neq 0} - m_{\theta=0^\circ}^{\sigma \neq 0} \text{ et } \alpha_2 = m_{\theta=45^\circ}^{\sigma \neq 0} - m_{\theta=0^\circ}^{\sigma \neq 0}$$

On s'aperçoit que l'extraction de m_{0° sera très sensible à la valeur du dénominateur !

C'est pourquoi nous avons supposé que les masses effectives s'inscrivaient effectivement dans une ellipse.

E.C Evaluation de la proportion des porteurs dans les vallées $\Delta 2$ ($x_{\Delta 2}$)

La Figure E-21 montre l'évolution de la proportion des porteurs dans les vallées $\Delta 2$ et $\Delta 4$ en fonction de la densité de porteurs N_{inv} en échelle linéaire et logarithmique. En ne prenant en compte que les deux premiers niveaux des vallées $\Delta 2$ et le premier niveau des vallées $\Delta 4$, on obtient la quasi-totalité des porteurs en inversion. La proportion des électrons dans les vallées $\Delta 2$ augmente progressivement jusqu'à une densité de porteurs d'environ $1,5 \times 10^{13} \text{ cm}^{-2}$ puis décroît. Ces résultats sont en accord avec ceux obtenus par Fischetti dans [FISCHE 02]. Cependant, comme le montre la

Figure E-21, la proportion des porteurs dans les vallées $\Delta 2$ et $\Delta 4$ évolue assez lentement avec la tension de grille. En particulier, à forte charge d'inversion, tous les porteurs ne sont pas dans les vallées $\Delta 2$.

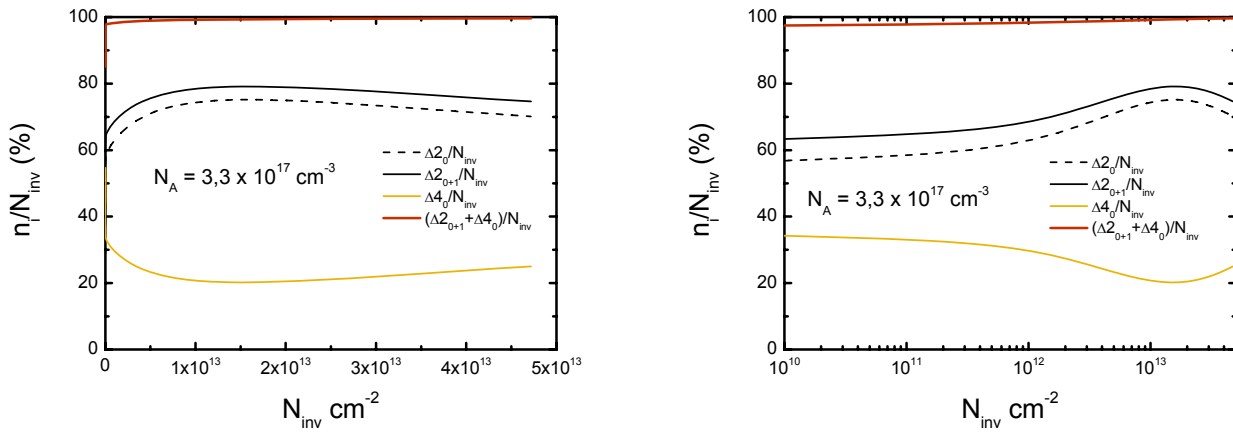


Figure E-21 : Evolution de la proportion des porteurs dans les différentes sous-bandes de la bande de conduction d'une couche d'inversion de silicium en fonction de la densité surfacique de porteurs ; en échelle linéaire à gauche et logarithmique à droite.

Au maximum, la proportion de charge dans les vallées $\Delta 2$ vaut 80%. Nous commettons ainsi une erreur sur l'extraction des masses effectives des vallées $\Delta 2$ si l'on ne tient pas compte de ceci. Nous avons alors cherché à évaluer cette erreur afin de corriger nos extractions si cela est nécessaire. L'hypothèse première que nous utilisons dans le calcul mené précédemment est que la proportion de porteurs dans les vallées $\Delta 2$ est sensiblement la même à fort champ dans le cas avec et sans contrainte. Nous avons alors effectué les simulations PS1D pour une contrainte de 150 MPa (contrainte maximale atteinte dans nos expériences). La Figure E-22 montre un écart de moins de 3% seulement entre la proportion x_2 dans le cas contraint et non-contraint, ce qui justifie notre hypothèse de travail (82% dans $\Delta 2$ à $N_{inv} = 1,4 \times 10^{13} \text{ cm}^{-2}$ dans le cas où $\sigma = 150 \text{ MPa}$ contre 79% sans contrainte). Ce résultat n'est valable que pour une contrainte faible.

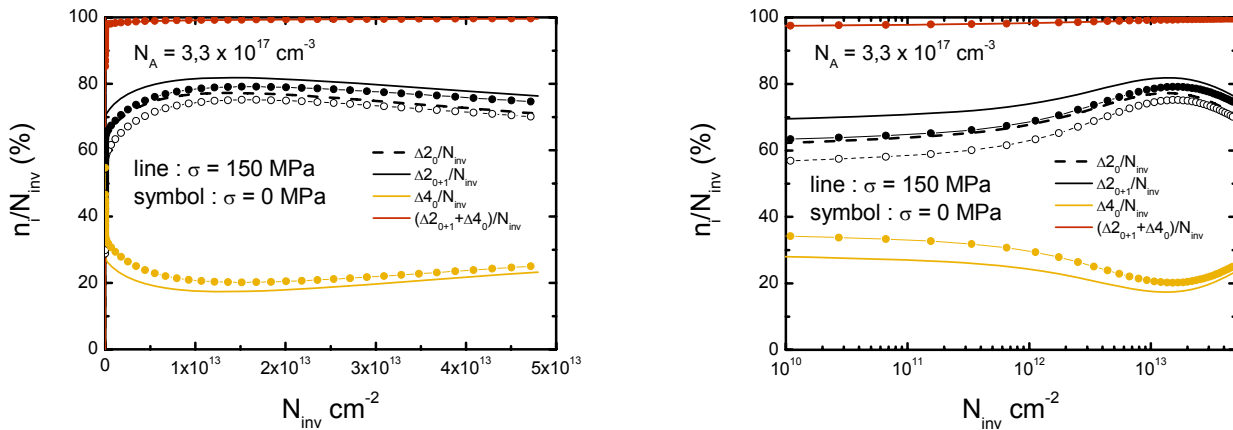


Figure E-22 : Evolution de la proportion des porteurs dans les différentes sous-bandes de la bande de conduction d'une couche d'inversion de silicium contraint uniaxialement selon [110] à 150 MPa (lignes seules) et non-contraint (symbol + ligne) en fonction de la densité surfacique de porteurs ; en échelle linéaire à gauche et logarithmique à droite.

On note bien au passage que les vallées $\Delta 2$ sont descendues en énergie et par conséquent sont plus peuplées que les vallées $\Delta 4$ lorsque le silicium est contraint en tension selon [110].

Au final, nous prendrons comme valeur pour x_2 , 80%.

E.D Evaluation du rapport des temps de relaxation des vallées $\Delta 2$ et $\Delta 4$

$$\left(\tau_{\Delta 4}^{\sigma=0} / \tau_{\Delta 2}^{\sigma=0} \right)$$

Afin d'évaluer l'expression donnée par l'Équation E-54, il nous reste à calculer le rapport $\frac{\tau_{\Delta 4}^{\sigma=0}}{\tau_{\Delta 2}^{\sigma=0}}$, puisque l'on a fait l'hypothèse que $\tau_{\Delta 2}^{\sigma=0} \approx \tau_{\Delta 2}^{\sigma \neq 0}$ dans le cas des contraintes faibles (hypothèse forte).

Dans le cas où l'on se place à un champ effectif élevé (1,44 MV/cm), les principales interactions intervenant dans la limitation de la mobilité sont celles avec la rugosité de l'interface. Nous cherchons finalement à calculer le rapport $\frac{\tau_{SR}^{\Delta 4}}{\tau_{SR}^{\Delta 2}}$.

Nous avons utilisé le formalisme de Ando et Fowler. Nous ne détaillerons pas ici le calcul mené. Notons seulement les paramètres de rugosité utilisés : $\Lambda = 1,3$ nm et $\Delta = 0,48$ nm où Λ est la longueur de corrélation de la rugosité et Δ est la hauteur moyenne des aspérités. Le modèle de distribution de la rugosité choisi est une forme Gaussienne. Nous avons également moyenné le temps de relaxation en énergie puisqu'à la température ambiante, la fonction de distribution de Fermi-Dirac n'est pas abrupte comme le montre la Figure E-23.

$$\tau_m = \frac{\int_{E_i}^{\infty} \tau(E) \cdot (E - E_i) \cdot \partial f(E) / \partial E \cdot dE}{\int_{E_i}^{\infty} f(E) \cdot dE} \quad \text{Équation E-63}$$

La Figure E-24 montre ce résultat. Notons toutefois que le calcul mené pour cette évaluation n'est pas parfaitement rigoureux, la prise en compte des vallées $\Delta 4$ entraîne en effet un calcul beaucoup plus complexe pour ces interactions [ANDO 82] et il sera nécessaire de le mener plus à bout pour plus de précision. On peut néanmoins prendre 0,4 comme valeur en première approximation, comme l'ont choisi par ajustement de données expérimentales Lime *et al.* [LIME 06].

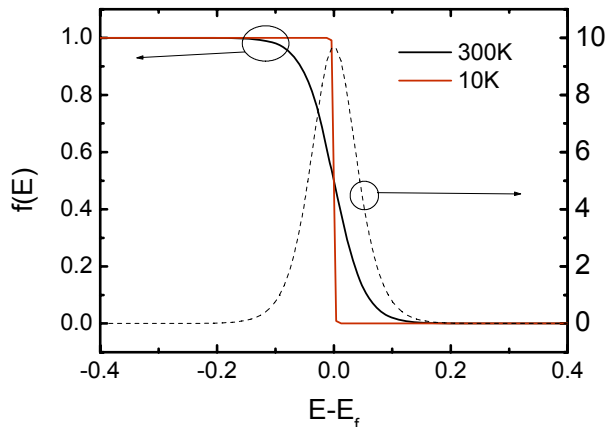


Figure E-23 : Fonction de distribution de Fermi-dirac pour deux températures (lignes). Sa dérivée par rapport à l'énergie pour 300K est donnée en pointillé.

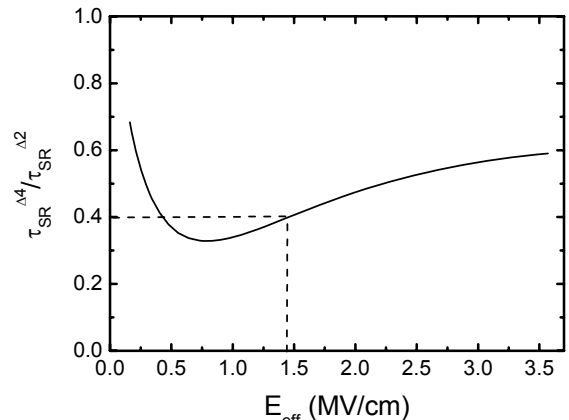


Figure E-24 : Evolution du rapport des temps de relaxation liés à la rugosité de surface entre les vallées $\Delta 4$ et $\Delta 2$ en fonction du champ effectif.

Ainsi le dénominateur de l'Équation E-54 prendrait la valeur $\beta=1,06$ d'après nos hypothèses et calculs. Or d'après les résultats présentés au §III.B.4.3, une valeur de β autour de 0,75 permet de reproduire les calculs théoriques de variations de la masse effective sous contrainte uniaxiale [110]. Ainsi l'erreur principale vient de l'hypothèse $\tau_{\Delta 2}^{\sigma=0} \approx \tau_{\Delta 2}^{\sigma \neq 0}$.

Annexe F - Modèle de mobilité effective : origine des termes θ_1 et θ_2

La mobilité effective est définie par : [RAIS 94a,b]

$$\mu_{eff} = \frac{\int_{\Delta}^{\infty} \mu(x)n(x)dx}{\int_0^{\infty} n(x)dx} \quad \text{Équation F-64}$$

avec

$$n(x) = n_s \exp(-\beta E_{eff} x) \quad \text{Équation F-65}$$

et

$$E_{eff} = \frac{\eta Q_{INV} + Q_{DEP}}{\epsilon_{Si}} \quad \text{Équation F-66}$$

et

$$Q_{INV} = C_{ox,eff}(V_G - V_T) \quad \text{Équation F-67}$$

et

$$\beta = \frac{q}{k_B T} \quad \text{Équation F-68}$$

D'où

$$\mu_{eff} = \mu_b \exp(-\beta E_{eff} \Delta) \quad \text{Équation F-69}$$

Avec μ_b la mobilité dans le volume du matériau. Elle dépend notamment du dopage.

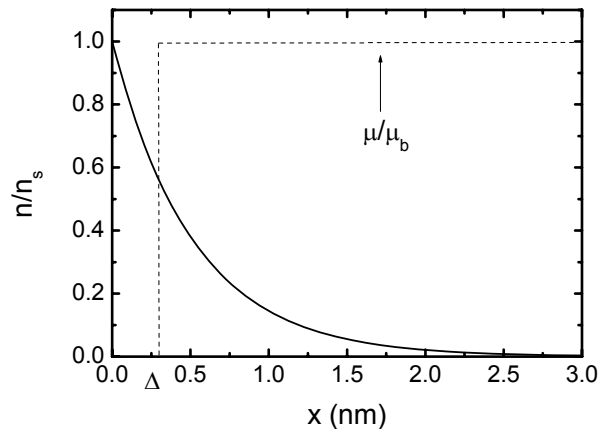


Figure F-25 : Modélisation de la concentration de porteurs dans la direction normale au transport.

Finalement on a

$$\mu_{eff} = \mu_b \exp\left(\frac{-\beta\Delta Q_{DEP}}{\varepsilon_{Si}}\right) \cdot \exp\left(-\frac{\beta\Delta\eta C_{ox}}{\varepsilon_{Si}}(V_G - V_T)\right) \quad \text{Équation F-70}$$

On pose alors

$$\theta = \frac{\beta\Delta\eta C_{ox}}{\varepsilon_{Si}} \quad \text{et} \quad \mu_0 = \mu_b \exp\left(\frac{-\beta\Delta Q_{DEP}}{\varepsilon_{Si}}\right) \quad \text{Équation F-71}$$

On peut voir ainsi à partir de ce modèle simple que μ_0 dépend du paramètre du rugosité de l'interface. Notons toutefois que ce modèle ne prend pas en compte l'aspect λ , longueur de corrélation de la rugosité, qui est pourtant un paramètre géométrique allant dans la direction du transport. θ est ici purement un paramètre affecté par la rugosité de surface. On peut donc écrire de façon synthétique :

$$\mu_{eff} = \mu_0 \exp(-\theta(V_G - V_T)) \quad \text{Équation F-72}$$

L'exponentielle peut être développée en série. Pour des valeurs de $V_G - V_T$ pas trop fortes on peut écrire (à l'ordre 2):

$$\mu_{eff} = \frac{\mu_0}{1 + \theta_1(V_G - V_{Th}) + \theta_2(V_G - V_{Th})^2} \quad \text{Équation F-73}$$

avec ici $\theta_2 = \frac{\theta_1^2}{2}$. En pratique, les termes θ_1 et θ_2 sont utilisés de manière découplée, servant seulement de paramètres d'ajustement de la mesure du courant de drain.

D'après ce modèle, à partir du tracé en échelle semi-log de la mobilité, on peut remonter à Δ avec la pente et μ_0 donc μ_b que l'on peut ensuite vérifier dans la littérature selon le dopage de notre canal.

Annexe G - Notions de base sur la théorie de magnétorésistance

G.A Définition d'un fort champ et d'un faible champ magnétique

Pour simplifier les expressions souvent complexes de l'effet d'un champ magnétique sur les propriétés de transport, il est commode de distinguer deux cas de figure différents : la condition de fort champ ou celle de faible champ. Si le temps de relaxation d'une particule (τ) est notablement supérieur à la période de rotation acquise ($2\pi/\omega_c$) par la particule sous l'influence du champ magnétique, la particule peut effectuer dans le temps τ plusieurs révolutions sur une trajectoire en hélice (ou cycloïde). On dit alors que le champ magnétique est fort. Inversement si le temps de relaxation est notablement inférieur à la période de rotation, la particule ne peut effectuer dans le temps τ qu'une fraction de révolution. On dit alors que le champ magnétique est faible. Pour dire qu'un champ magnétique est fort ou faible, on doit donc tenir compte non seulement de la valeur du champ magnétique B mais aussi de la mobilité μ des porteurs (via le temps de relaxation).

La condition de champ magnétique fort est alors définie par:

$$\tau \gg 2\pi / \omega_c \quad \text{Équation G-74}$$

avec $\omega_c = qB/m^*$ la vitesse angulaire de la particule (ou pulsation synchrotron).

La condition de champ fort peut s'écrire aussi :

$$\mu^2 B^2 \gg 1 \quad \text{Équation G-75}$$

Remarquons ici que l'unité d'un champ magnétique est l'inverse de celle d'une mobilité. Notons d'ores et déjà que dans nos cas d'étude, la mobilité varie entre 200 et 1000 cm²/V/s selon la température et les dispositifs. Ainsi, dans les cas extrêmes, on se rapproche du domaine des champs forts. En effet les champs magnétiques appliqués sur nos dispositifs avoisinent la dizaine de teslas ($B_{\max} = 11$ T). Cependant les relations obtenues dans l'approximation des champs faibles seront toujours celles utilisées dans ce mémoire.

G.B Magnétorésistance d'un matériau de dimensions finies

Pour analyser le phénomène de magnétorésistance, il faut écrire l'équation de cinétique globale (équation de transport de Boltzmann).

La densité de courant s'écrit [KIREEV 75] :

$$\begin{aligned} \vec{j} = & \left\{ e^2 K'_{11} \vec{E} - e K'_{11} T \nabla \left(\frac{F}{T} \right) - e K'_{21} \frac{\nabla T}{T} \right\} \\ & + \left[\left(\frac{e^3}{m} K'_{12} \vec{E} - \frac{e^2}{m} K'_{12} T \nabla \left(\frac{F}{T} \right) - \frac{e^2}{m} K'_{22} \frac{\nabla T}{T} \right) \wedge \vec{B} \right] \\ & + \left[\left(\frac{e^4}{m^2} K'_{13} \vec{E} - \frac{e^3}{m^2} K'_{13} T \nabla \left(\frac{F}{T} \right) - \frac{e^3}{m^2} K'_{23} \frac{\nabla T}{T} \right) \wedge \vec{B} \right] \vec{B} \end{aligned} \quad \text{Équation G-76}$$

où K'_{ij} représentent les coefficients cinétiques.

Le premier terme du second membre de cette équation représente le courant électrique de dérive. Les second et troisième termes sont relatifs aux courants déterminés respectivement par l'existence de gradients du potentiel chimique (diffusion due au gradient de concentration) et de la température et caractérisent donc les courants de diffusion et thermoélectrique. La seconde ligne détermine les courants transversaux galvano et thermomagnétiques (c'est-à-dire selon une direction perpendiculaire aux champs \vec{B} et \vec{E}) et la dernière ligne les variations que subissent les courants longitudinaux sous l'action d'un champ magnétique appliqué (*i.e.* selon la direction du champ B). F représente les forces extérieures (de diffusion dans notre cas). Les coefficients K'_{ij} représentent le tenseur reliant la densité de courant à la densité du flux d'énergie, qui est la quantité d'énergie transférée par unité de temps par section droite.

Le tenseur du coefficient cinétique K'_{rs} est déterminé par ses composantes K'^{ij}_{rs} :

$$K'^{ij}_{rs} = -\frac{1}{4\pi^3} \int \frac{\varepsilon^{r-1} \tau^s}{e^2 \tau^2 (v_k) \left(1 + \frac{|m|}{|B \cdot mB|}\right)} \frac{\partial f_0}{\partial \varepsilon} v_i v_j d\tau_k \quad \text{Équation G-77}$$

avec $|m| = m_1 m_2 m_3$ le déterminant du tenseur des masses effectives ($=m^3$ lorsque l'on considère la masse effective comme étant un scalaire).

Si l'on ne considère que les courants de dérives (semi-conducteur homogène et à la même température) et en se limitant au cas des champs mutuellement orthogonaux ($\vec{E} \cdot \vec{B} = 0$), la densité de courant s'écrit :

$$j = e^2 K'_{11} + \frac{e^3}{m} K'_{12} (E \wedge B) \quad \text{Équation G-78}$$

j_y étant nulle, on trouve une relation entre E_y et E_x du type :

$$E_y = -\frac{e}{m} \frac{K'_{12}}{K'_{11}} B E_x = -\mu_H B E_x \quad \text{Équation G-79}$$

D'où l'expression de la conductivité du semi-conducteur selon la direction du champ électrique qui se réduit à l'équation suivante :

$$\sigma = e^2 K'_{11} + \frac{e^4}{m^2} \frac{(K'_{12})^2}{K'_{11}} B^2 \quad \text{Équation G-80}$$

Ainsi dans le cas général d'un matériau soumis à un champ électrique perpendiculaire au champ magnétique, où l'on ne considère qu'un seul type de porteur ayant des temps de relaxation fonction de l'énergie et des surfaces d'isoénergie supposées sphériques (m est alors un scalaire), le coefficient de magnétorésistance s'écrit :

$$H = \frac{1}{B^2} \frac{\langle \mu \rangle - \left\langle \frac{\mu}{1 + \mu^2 B^2} \right\rangle - \frac{\left\langle \frac{\mu^2}{1 + \mu^2 B^2} \right\rangle B^2}{\left\langle \frac{\mu}{1 + \mu^2 B^2} \right\rangle}}{\left\langle \frac{\mu}{1 + \mu^2 B^2} \right\rangle + \frac{\left\langle \frac{\mu^2}{1 + \mu^2 B^2} \right\rangle^2 B^2}{\left\langle \frac{\mu}{1 + \mu^2 B^2} \right\rangle}} \quad \text{Équation G-81}$$

dans le cas des champs faibles où $\mu^2 B^2 \ll 1$,

$$H = \frac{\langle \mu^3 \rangle \langle \mu \rangle - \langle \mu^2 \rangle^2}{\langle \mu \rangle^2} = \frac{q^2}{m^2} \frac{\langle \tau^3 \rangle \langle \tau \rangle - \langle \tau^2 \rangle^2}{\langle \tau \rangle^2} = \mu_d^2 \left(\frac{\langle \tau^3 \rangle}{\langle \tau \rangle^3} - \frac{\langle \tau^2 \rangle^2}{\langle \tau \rangle^4} \right) \quad \text{Équation G-82}$$

Dans ce cas, le coefficient de magnétorésistance est constant et la résistance du semi-conducteur croît proportionnellement à B^2 . On peut remarquer que, comme on l'a évoqué précédemment, si les porteurs ont tous la même énergie, la magnétorésistance devient nulle.

Dans le cas des champs forts, il peut être montré que la magnétorésistance arrive à saturation. Le coefficient de magnétorésistance H s'écrit alors :

$$H = \frac{1}{B^2} (\langle \mu \rangle \langle \mu^{-1} \rangle - 1) \quad \text{Équation G-83}$$

G.C Magnétorésistance d'un matériau illimité

On entend par matériau illimité, un matériau dont la dimension perpendiculaire au champ magnétique \vec{B} et au champ électrique \vec{E} appliqués est infiniment grande ($W \rightarrow \infty$). Le cas idéal est le disque de Corbino (Figure IV-39).

Dans ce cas de figure, il n'apparaît aucun champ de Hall et le vecteur courant électrique \vec{j} tourne d'un angle φ . Il apparaît donc une composante de courant j_y non nulle.

Si l'on ne considère comme précédemment que les courants de dérives (semi-conducteur homogène et à la même température) et en se limitant au cas des champs mutuellement orthogonaux ($\vec{E} \cdot \vec{B} = 0$), la densité de courant du semi-conducteur s'écrit sous la forme :

$$\vec{j} = e^2 K'_{11} \vec{E} + \frac{e^3}{m} K'_{12} \vec{E} \wedge \vec{B} \quad \text{Équation G-84}$$

et la résistivité du semi-conducteur sous champ magnétique selon la direction du champ électrique est déterminée par

$$\sigma_B = e^2 K'_{11} \quad \text{Équation G-85}$$

Le coefficient de magnétorésistance s'écrit alors

$$H = \frac{1}{B^2} \frac{\sigma_0 - \sigma_B}{\sigma_B} = \frac{1}{B^2} \frac{\langle \mu \rangle - \left\langle \frac{\mu}{1 + \mu^2 B^2} \right\rangle}{\left\langle \frac{\mu}{1 + \mu^2 B^2} \right\rangle} = \frac{\left\langle \frac{\mu^3}{1 + \mu^2 B^2} \right\rangle}{\left\langle \frac{\mu}{1 + \mu^2 B^2} \right\rangle} \quad \text{Équation G-86}$$

Pour les champs faibles ($\mu^2 B^2 \ll 1$) on a

$$H = \frac{\langle \mu^3 \rangle - \langle \mu^5 \rangle B^2}{\langle \mu \rangle - \langle \mu^3 \rangle B^2} = \frac{\langle \mu^3 \rangle}{\langle \mu \rangle} \left[1 + \left(\frac{\langle \mu^3 \rangle}{\langle \mu \rangle} - \frac{\langle \mu^5 \rangle}{\langle \mu^3 \rangle} \right) B^2 \right] \quad \text{Équation G-87}$$

ET pour des valeurs telles que $\mu_d^2 B^2 \approx 0$ ($B \rightarrow 0$) l'expression se réduit à

$$H_0 = \frac{\langle \mu^3 \rangle}{\langle \mu \rangle} = \mu_d^2 \frac{\langle \tau^3 \rangle}{\langle \tau \rangle^3} = \mu_{GMR}^2 \quad \text{Équation G-88}$$

Nous appellerons μ_{GMR} la mobilité de magnétorésistance, ici ce sera d'ailleurs la mobilité de *magnétorésistance transverse géométrique* puisqu'il n'y a pas de champ de Hall. D'où

$$\mu_{GMR} = \frac{\int_0^\infty \varepsilon \cdot N_{DOS}(\varepsilon) \cdot \mu(\varepsilon)^3 \left(-\frac{\partial f}{\partial \varepsilon} \right) d\varepsilon}{\int_0^\infty \varepsilon \cdot N_{DOS}(\varepsilon) \cdot \mu(\varepsilon) \left(-\frac{\partial f}{\partial \varepsilon} \right) d\varepsilon} = \sqrt{\frac{\langle \tau^3 \rangle}{\langle \tau \rangle^3}} \cdot \mu_d = r_{GMR} \cdot \mu_d \quad \text{Équation G-89}$$

Il faut bien garder en mémoire qu'il s'agit d'un cas limite où $\mu_d^2 B^2 \approx 0$ ($B \rightarrow 0$), ce qui n'est pas toujours le cas, même avec le silicium (notamment à basse température), comme on l'a évoqué précédemment.

Si l'on compare les expressions donnant le coefficient magnétorésistif dans le cas des champs faibles pour un matériau fini et infini, elles se distinguent par le coefficient r_{GMR} de μ_d^2 qui vaut $\sqrt{\langle \tau^3 \rangle / \langle \tau \rangle^3}$ dans le cas d'un semi-conducteur infini et $\sqrt{(\langle \tau^3 \rangle / \langle \tau \rangle^3 - \langle \tau^2 \rangle^2 / \langle \tau \rangle^4)}$ dans le cas d'un semi-conducteur de dimensions finies. Dans un semi-conducteur infini, l'effet de magnétorésistance est donc plus grand alors que dans un semi-conducteur fini qui est alors partiellement compensé par le champ de Hall.

Dans le domaine des champs forts, pour un semi-conducteur illimité, le coefficient de magnétorésistance s'écrit

$$H_\infty = \mu_d^2 \frac{1}{\langle \tau \rangle - \langle \tau^{-1} \rangle} \quad \text{Équation G-90}$$

En résumé, dans le cas d'un semi-conducteur illimité, le coefficient H reste constant avec B aussi bien dans le domaine des faibles et des forts champs. En revanche dans le cas d'un semi-conducteur de dimensions finies, $H \sim B^{-2}$ dans le domaine des champs forts ce qui entraîne que la résistance du semi-conducteur tend vers une valeur de saturation alors que dans le domaine des champs faibles, H reste indépendant de B.

G.D Modèle simplifié de magnétorésistance

Une autre approche, simplificatrice, aurait pu être appliquée pour étudier l'effet de magnétorésistance dans un semiconducteur. Voici son développement classique. Nous nous placerons ici dans le cas d'un régime établi ce qui permet d'écrire :

$$\sum \vec{F} = 0 \text{ soit } -q(\vec{E} + \vec{v} \wedge \vec{B}) + \vec{F}_{coll} = 0 \quad \text{Équation G-91}$$

où \vec{F}_{coll} décrit les collisions que subissent les porteurs de charge. Un modèle simple permet d'introduire une force de frottement (collisions) fonction de la vitesse de dérive des porteurs selon [MATHIE 01]

$$\vec{F}_{coll} = -\frac{m}{\tau} \vec{v}_d \quad \text{Équation G-92}$$

En projetant sur les trois axes d'un repère cartésien on obtient le système d'équations

$$\begin{cases} v_x = -\frac{q\tau}{m} E_x - \omega_c \tau v_y \\ v_y = -\frac{q\tau}{m} E_y + \omega_c \tau v_x \\ v_z = -\frac{q\tau}{m} E_z \end{cases} \quad \text{Équation G-93}$$

soit en isolant les composantes des vitesses

$$\begin{cases} v_x = -\frac{q\tau}{m(1+\omega_c^2\tau^2)} E_x + \frac{q\tau^2\omega_c}{m(1+\omega_c^2\tau^2)} E_y \\ v_y = -\frac{q\tau^2\omega_c}{m(1+\omega_c^2\tau^2)} E_x - \frac{q\tau}{m(1+\omega_c^2\tau^2)} E_y \\ v_z = -\frac{q\tau}{m} E_z \end{cases} \quad \text{Équation G-94}$$

Puisque $\vec{j} = -nq\vec{v}$ pour les électrons et que $\vec{j} = \sigma\vec{E}$, on peut écrire le tenseur de conductivité. Après calcul il vient :

$$[\sigma] = \frac{\sigma_0}{1 + \mu^2 B^2} \begin{bmatrix} 1 & -\mu B & 0 \\ \mu B & 1 & 0 \\ 0 & 0 & 1 + \mu^2 B^2 \end{bmatrix} \quad \text{Équation G-95}$$

avec $\sigma_0 = nq\mu$ la conductivité du semi-conducteur sans champ magnétique appliqué.

Ici μ représente la mobilité particulière de magnétorésistance (μ_{GMR}).

Références bibliographiques

- [ABERG 04] I. Aberg, "Electron and hole mobility enhancements in sub-10 nm-thick strained silicon directly on insulator fabricated by a Bond and Etch-back technique", *Symp. VLSI Tech. Dig.*, p.52-53, 2004.
- [AL-BAY 05] A. Al-Bayati, "Production processes for inducing strain in CMOS channels", *Semiconductor FABTECH*, 26th edition, june 2005.
- [ANDO 82] T. Ando, A.-B. Fowler, F. Stern, "Electronic properties of two-dimensional systems", *Reviews of Modern Physics*, vol. 54, n°2, p. 437-672, april 1982.
- [ANDRIE 05a] F. Andrieu, T. Ernst, F. Lime, F. Rochette, K. Romanjek, S. Barraud, C. Ravit, F. Boeuf, M. Jurczak, M. Cassé, O. Weber, L. Brévard, G. Reibold, G. Ghibaudo, S. Deleonibus, "Experimental and Comparative Investigation of Low and High Field Transport in Substrate- and Process-Induced Strained Nanoscaled MOSFETs", *Symp. VLSI Tech. Dig.*, 2005.
- [ANDRIE 05b] F. Andrieu, "Transistors CMOS décanométriques à canaux contraints sur Si massif ou sur SOI", *thèse de doctorat de l'INPG*, 188p., 2005.
- [ANDRIE 05c] F. Andrieu, "In-Depth Study of Strained SGOI nMOSFETs down to 30nm Gate Length", *IEEE Proc. of ESSDERC*, 2005.
- [ANDRIE 05d] F. Andrieu, T. Ernst, O. Faynot, Y. Bogumilowicz, J.-M. Hartmann, J. Eymery, D. Lafond, Y.-M. Levallant, C. Dupré, R. Powers, F. Fournel, C. Fenouillet-Beranger, A. Vandooren, B. Ghyselen, C. Mazure, N. Kernevez, G. Ghibaudo, S. Deleonibus, "Co-integrated dual strained channels on fully depleted sSDOI CMOSFETs with HfO₂/TiN gate stack down to 15nm gate length", *Int. IEEE Proc. SOI Conf.*, p. 223-225, Oct. 2005.
- [ANDRIE 06a] F. Andrieu, C. Dupré, F. Rochette, O. Faynot, L. Tosti, C. Buj, E. Rouchouze, M. Cassé, B. Ghyselen, I. Cayrefourcq, L. Brévard, F. Allain, J.C. Barbé, J. Cluzel, A. Vandooren, S. Denorme, T. Ernst, C. Fenouillet-Béranger, C. Jahan, D. Lafond, H. Dansas, B. Previtali, J.P. Colonna, H. Grampeix, P. Gaud, C. Mazuré and S. Deleonibus, "25nm Short and Narrow Strained FDSOI with TiN/HfO₂ Gate Stack", *Symp. VLSI Tech. Dig.*, 2006.
- [ANDRIE 06b] F. Andrieu, O. Faynot, X. Garros, D. Lafond, C. Buj-Dufournet, L. Tosti, S. Minoret, V. Vidal, J.-C. Barbe, F. Allain, E. Rouchouze, L. Vandroux, V. Cosnier, M. Cassé, V. Delaye, C. Carabasse, M. Burdin, G. Rolland, B. Guillaumot, J.-P. Colonna, P. Besson, L. Brevard, D. Mariolle, P. Holliger, A. Vandooren, C. Fenouillet-Béranger, F. Martin, S. Deleonibus, "Comparative scalability of PVD and CVD TiN on HfO₂ as a metal gate stack for FDSOI cMOSFETs down to 25nm gate length and width", *in IEDM Tech. Dig.*, 2006.
- [ANDRIE 07a] F. Andrieu, O. Faynot, F. Rochette, J.-C. Barbé, C. Buj, Y. Bogumilowicz, F. Allain, V. Delaye, D. Lafond, F. Aussenac, S. Feruglio, J. Eymery, T. Akatsu, P. Maury, L. Brévard, L. Tosti, H. Dansas, E. Rouchouze, J.-M. Hartmann, L. Vandroux, M. Cassé, F. Boeuf, C. Fenouillet-Béranger, F. Brunier, I. Cayrefourcq, C. Mazuré, G. Ghibaudo, S. Deleonibus, "Impact of Mobility Boosters (XsSOI, CESL, TiN gate) on the Performance of <100> or <110> oriented FDSOI cMOSFETs for the 32nm Node", *Symp. VLSI Tech. Dig.*, June 2007, p. 50-51.
- [ANDRIE 07b] F. Andrieu, F. Allain, C. Buj-Dufournet, O. Faynot, F. Rochette, M. Cassé, V. Delaye, F. Aussenac, L. Tosti, P. Maury, L. Vandroux, N. Daval, I. Cayrefourcq and S. Deleonibus, "Additivity between sSOI- and CESL-induced nMOSFETs Performance Boosts", *Proc. of Sol. State Dev. Meeting*, 2007.
- [ANG 04] K.-W. Ang, "Enhanced Performance in 50 nm N-MOSFETs with Silicon-Carbon Source/Drain Regions", *Proc. of IEDM*, p.1069-72, 2004.
- [ANG 05] K.-W. Ang, "Lattice strain analysis of transistor structures with silicon-germanium and silicon-carbon source/drain stressors", *Applied Physics Letters*, n°86, 2005.
- [ANIEL 00] F. Aniel, N; Zerounian, R. Adde, M. Zeuner, T. Hackbarth, U. Konig, "Low temperature analysis of 0.25 μm T-gate strained Si/Si_{0.55}Ge_{0.45} n-MODFET's", *IEEE Transactions on Electron Devices*, Vol. 47, n° 7, p. 1477-1483, july 2000.
- [ANTONI 06] D.A. Antoniadis, "Continuous MOSFET performance increase with device scaling: The role of strain and channel material innovations", *IBM J. Res. & Dev.*, vol. 50, n°4/5, July 2006.
- [BALEST 87] F. Balestra, S. Cristoloveanu, M. Benachir, J. Brini et T. Elewa, "Doublegate silicon on insulator transistor with volume inversion : a new device with greatly enhanced performance". *IEEE Electron Device Letters*, vol. 8, p. 410, 1987.

- [BALEST 90] F. Balestra, Analytical Models of Subthreshold Swing and Threshold Voltage for Thin- and Ultra-Thin-Film SOI MOSFET's, *IEEE Transactions on Electron Devices*, vol. 37, p. 2303, 1990.
- [BALSLE 66] I. Balslev, "Influence of uniaxial stress on the indirect absorption edge in silicon and germanium", *Phys. Rev.*, vol. 143, n°2, 636-647, 1966.
- [BARDEE 50] J. Bardeen and W. Shockley, *Phys. Rev.*, vol. 80, p.72, 1950.
- [BARRAL 07] V. Barral, T. Poiroux, F. Rochette, M. Vinet, S. Barraud, O. Faynot, L. Tosti, F. Andrieu, M. Cassé, B. Prévitali, R. Ritzenthaler, P. Grosgeorges, E. Bernard, G. LeCarval, D. Munteanu, J.L. Autran and S. Deleonibus, "Will strain be useful for 10nm quasi-ballistic FDSOI devices? An experimental study", in *Symp. VLSI Tech. Dig.*, p. 128-129, june 2007.
- [BARRAU 05] S. Barraud, L. Clavelier, T. Enrst, "Electron transport in thin SOI, strained-SOI and GeOI MOSFET by Monte-Carlo simulation", *Solid State Electronics*, vol.49, 1090-1097, 2005.
- [BEER 63] A.C. Beer, "Galvanomagnetic effects in semiconductors", *Solid State Physics*, supplement 4, Academic Press, New York and London, 418 p., 1963.
- [BIR 59] G. E. Pikus et G. L. Bir, "Effect of deformation on the energy spectrum and the electrical properties of imperfect germanium and silicon", *Sov. Phys.—Solid State*, vol. 1, p. 136–138, 1959.
- [BIR 74] G.L. Bir and G.E. Pikus, "Symmetry and strain-induced effects in semiconductors", *Wiley*, New York, 1974.
- [BITTLE 91] D.A. Bittle, J.C. Suhling, R.E. Beaty, R.C. Jaeger and R.W. Johnson, "Piezoresistive stress sensors for structural analysis of electronic packages", *J. Electron. Pack.*, vol. 113, p. 203-214, 1991.
- [BOEUF 04] F. Boeuf, "Experimental Study of Transport in Nanoscale Planar MOSFETs Near the Ballistic Limit", *IEEE Trans. On NanoTechnology*, vol.3, n°1, p.105-109, march 2004.
- [BONNO 07] O. Bonno, S. Barraud, F. Andrieu, D. Mariolle, F. Rochette, M. Cassé, J. M. Hartmann, F. Bertin, and O. Faynot, "High-Field Electron Mobility in Biaxially-tensile Strained SOI: Low Temperature Measurement and Correlation with the Surface Morphology", in *Symp. VLSI Tech. Dig.*, p. 134-135, 2007.
- [BRADLE 01] A.T. Bradley, R.C.Jaeger, J.C. Suhling, K.J. O'Connor, "Piezoresistive Characteristics of Short-Channel MOSFETs on (100) Silicon", *IEEE Trans. Electron Dev.*, Vol. 48, n°9, p. 2009-2015, 2001.
- [BRECHB 99] J. Brechbuhl, J. Bauch and H.-J. Ullrich, *Crystal Research and Technology*, 34 59, 1999.
- [BRESSO 05] N. Bresson, S. Cristoloveanu, C. Mazuré, F. Letertre, C. Iwai, "Integration of high thermal conductivity burried insulators in SOI MOSFETs", *Proc. of EuroSOI*, p. 2.7, 2005.
- [BRILLO 05] M. Brillouet, séminaire lors du GdR Relax « Contraintes Internes : de leur origines à leur utilisation dans les matériaux à propriétés électroniques » à Nant, 18-23 septembre 2005.
- [BRUEL 95] M. Bruel, *Electron. Lett.* 31, 1201,1995.
- [BRUNET 81] R. Brunetti, C. Jacobini, F. Nava and L. Reggiani, *J. Appl. Phys.*, vol. 52, p. 6713, 1981.
- [CANALI 75] C. Canali, C. Jacobini, F. Nava, G. Ottaviani and A. Alberigi-Quaranta, *Phys. Rev. B*, vol. 12, p. 2265, 1975.
- [CANALI 79] C. Canali, "Piezoresistivity effects in MOS-FET useful for pressure transducers", *J. Phys. D: Appl. Phys.*, vol. 12, p.1973-1983, 1979.
- [CARTIE 05] E. Cartier, F.R. McFeely, V. Narayanan et al., "Role of Oxygen Vacancies in VFB/VT stability of pFET metals on HfO₂", in *Symp. VLSI Tech. Dig.*, p. 230, 2005.
- [CASSE 01] M. Cassé, "Etude du transport électronique dans des systèmes mésoscopiques : interféromètre à anneau", *Thèse de doctorat INSA Toulouse*, Grenoble, Mars 2001.
- [CASSE 03] M. Cassé, T. Poiroux, O. Faynot, "Interface coupling and film thickness measurement on thin oxide thin film fully depleted SOI MOSFETs", in *proc. ESSDERC*, p.87-90, 2003.
- [CASSE 06a] M. Cassé, L. Thevenod, B. Guillaumot, L. Tosti, V. Cosnier, J. Mitard, G. Reimbold, T. Billon, M. Mouis, F. Boulanger, "Impact of TiN/HfO₂ Integration on Carrier Mobility", *Mat. Research Soc.*, 2006.
- [CASSE 06b] M. Cassé, et al., "Carrier transport in HfO₂/metal gate MOSFETs: physical insight into critical parameters", *IEEE Transactions on Electron Devices*, vol. 53, n° 4, p. 759-768, April 2006.
- [CASSE 08] M. Cassé, F. Rochette, N. Bhourri, F. Andrieu, D.K. Maude, M. Mouis, G. Reimbold, F. Boulanger, "Mobility of strained and unstrained short channel FD-SOI MOSFETs: New insight by magnetoresistance", in *Symp. VLSI Tech. Dig.*, June 2008.

- [CHAISA 05] W. Chaisantikulwat, M. Mouis, G. Ghibaudo, C. Gallon, C. Fenouillet-Beranger, D.K. Maude, T. Skotnicki, S. Cristoloveanu, "Magnetoresistance technique for mobility extraction in short channel FDSOI transistors", *Proc. of ESSDERC*, p. 569-572, 2005.
- [CHAISA 06a] W. Chaisantikulwat, M. Mouis, G. Ghibaudo, S. Cristoloveanu, J. Widiez, M. Vinet, S. Deleonibus, "Experimental evidence of mobility enhancement in short-channel ultra-thin body double-gate MOSFETs", *Proc. of ESSDERC*, p. 367-370, 2006.
- [CHAISA 06b] W. Chaisantikulwat, M. Mouis, G. Ghibaudo, C. Gallon, C. Fenouillet-Beranger, D.K. Maude, T. Skotnicki, S. Cristoloveanu, "Differential magnetoresistance technique for mobility extraction in ultra-short channel FDSOI transistors", *Sol. State Electron.*, vol. 50, n° 4, p. 637-643, 2006.
- [CHANG 89] C.-S. Chang, H.R. Fetterman, C.R. Viswanathan, "The characterization of high electron mobility transistors using Shubnikov-de Haas oscillations and geometrical magnetoresistance measurements", *J. Appl. Phys.*, vol. 66, n° 2, p.928-36, 1989.
- [CHAU 04] R. Chau, S. Datta, M. Doczy, B. Doyle, J. Kavalieros, and M. Metz, "High-k/metal gate stack and its MOSFET characteristics," *IEEE Electron Device Lett.*, vol. 25, no. 6, pp. 408–410, Jun. 2004.
- [CHELIK 76] S.L. Chelikowsky, "Nonlocal pseudopotential calculations for the electronic structure of eleven diamond and zinc-blende semiconductors", *Phys. Rev. B*, vol.14, n°2, 556-82, 1976.
- [CHEN 96a] K. Chen et al., "MOSFET carrier mobility model based on gate oxide thickness, threshold and gate voltages", *Sol. State Elec.*, vol.39, n°10, p. 1515, 1996.
- [CHEN 96b] Kai Chen, "The Impact of Device Scaling and Power Supply Change on CMOS Gate Performance", *Electron Device Letters*, Vol. 17, n° 5, p. 202 – 204, May 1996.
- [CHENG 01] Z.Y. Cheng, *IEEE Electron Device Lett.* Vol. 22, p.321, 2001.
- [CHIDAM 06] P.R. Chidambaram, "Fundamentals of Silicon Material Properties for Successful Exploitation of Strain Engineering in Modern CMOS Manufacturing", *Trans. On Elec. Dev.*, vol. 53, n° 5, p. 944-964, may 2006.
- [CHOI 91] J-Y. Choi, J.G. Fossum, Analysis and Control of Floating-Body Bipolar Effects in Fully Depleted Submicrometer SOI MOSFET's, *IEEE Transactions on Electron Devices*, vol. 38, p. 1384, 1991.
- [CLAEYS 07] C. Claeys, M. Bargallo Gonzalez, G. Eneman, P. Verheyen, H. Bender, R. Schreutelkamp, L. Washington, F. Nouri and E. Simoen, "Leakage Current Control in Recessed SiGe Source/Drain Junctions", *Journal of The Electrochemical Society*, vol. 154, n° 9, H814-H821, 2007.
- [CLERC 04] R. Clerc, "Investigations on possible occurrence of ballistic transport in different NMOS architectures", in *Proc. ESSDERC*, p.237-240, 2004.
- [COLING 07] J.-P. Colinge, "Multi-Gate SOI MOSFETs", *Microelectronic Engineering*, vol. 84, p. 2071-2076, 2007.
- [COLMAN 68] D. Colman, "Mobility Anisotropy and piezoresistance in silicon p-type inversion layers", *Journal of Applied Physics*, vol. 39, n°4, p 1923-1931, March 1968.
- [CREEME 02] J.F. Creemer, "The Effect of Mechanical Stress on Bipolar Transistor Characteristics", *thèse de doctorat*, Amsterdam, 260 p., 2002.
- [CRETU 01] B. Cretu, T. Boutchacha, G. Ghibaudo, F. Balestra, "New ratio method for effective length and threshold voltage extraction in MOS transistors", *Electronics Letters*, Vol. 37, 717, 2001.
- [CRISTO 97] S. Cristoloveanu, Hot-carrier Degradation Mechanisms in Silicon-on-Insulator MOSFETs, *Microelectron. Reliab.*, vol 37, p. 1003, 1997.
- [CROS 05] A. Cros, "New Extraction Method for Gate Bias Dependent Series Resistance in Nanometric Double Gate Transistors", *IEEE ICMTS*, vol.18, p.69-74, 2005.
- [CROS 06a] A. Cros, "Unexpected mobility degradation for very short devices : A new challenge for CMOS scaling", in *IEDM Tech. Dig.*, 2006.
- [CROS 06b] A. Cros, "Caractérisation électrique des transistors MOS à grille enrobante pour les technologies CMOS sub-45nm", Thèse INPG, 258 p., 2006.
- [CURRIE 98] M. T. Currie, S. B. Samavedam, T. A. Langdo, C. W. Leitz, E. A. Fitzgerald, "Controlling Threading Dislocation Densities in Ge on Si Using Graded SiGe Layers and Chemical-Mechanical Polishing", *Appl. Phys. Lett.*, vol. 72, n°14, p. 1718-1720, 1998.
- [DATTA 03] S. Datta, G. Dewey, M. Doczy, B. Doyle, B. Jin, J. Kavalieros, R. Kotlyar, M. Metz, N. Zelik, and R. Chau, "High mobility Si/SiGe strained channel MOS transistors with HfO₂/TiN gate stack," in *IEDM Tech. Dig.*, p. 28.1.1–28.1.4, 2003.

- [DEAL 65] B. Deal, A. Grove, "General Relationship for the Thermal Oxidation of Silicon", *J. Appl. Phys.*, vol.36, p.3770, 1965.
- [DENNAR 74] R.H. Dennard, F.H. Gaensslen, H-N. Yu et al., "Design of Ion-Implanted MOSFET's with very small Physical Dimensions", *IEEE of Solid State Circuits*, 9 (5), p. 256, 1974.
- [DONETT 07] L. Donetti, F. Gámiz and S. Cristoloveanu, "A theoretical interpretation of magnetoresistance mobility in silicon inversion layers", *J. Appl. Phys.*, vol. 102, 013708-1-6, July 2007.
- [DORDA 71] G. Dorda, "Piezoresistance in Quantized Conduction Bands in Silicon Inversion Layers", *J. Appl. Phys.*, Vol.42, n°5, p.2053-2060, 1971.
- [DORDA 72] G. Dorda, "Band Structure Investigation on p-Type Silicon Inversion Layers by Piezoresistance and Mobility Measurements", *J. of Vacuum Science and Technology*, vol. 9, n° 2, p. 759-761, 1972.
- [ENRST 00] T. Ernst, Etude des structures MOSFET avancées sur SOI pour les applications basse consommation, thèse INPG, Grenoble, 159 p., 2000.
- [ERNST 02] T. Ernst, J.M. Hartmann, V. Loup, F. Ducroquet, P. Dolffus, G. Guegan, D. Lafond, P. Holliger, B. Previtali, A. Toffoli, S. Deleonibus, "Fabrication of a Novel Strained SiGe:C-Channel Planar 55 nm nMOSFET for High-Performance CMOS ", in *Symp. VLSI*, 2002.
- [ESSENI 03] D. Esseni and A. Abramo, "Modeling of electron mobility degradation by remote Coulomb scattering in ultrathin oxide MOSFETs", *Trans. Electron Dev.*, vol. 50, n° 7, p. 1665-1674, 2003.
- [EVANS 05] M. H. Evans, X.-G. Zhang, J. D. Joannopoulos and S. T. Pantelides, "First-Principles Mobility Calculations and Atomic-Scale Interface Roughness in Nanoscale Structures", *Phys. Rev. B*, vol. 95, p. 106802, September 2005.
- [FAYNOT 94] O. Faynot, S. Cristoloveanu, "A New Parameter Extraction Method for Ultra-Thin Oxide SOI MOSFETs", *Proceedings IEEE International SOI Conference*, p.17, 1994.
- [FAYNOT 95] O. Faynot, Caractérisation et modélisation du fonctionnement des transistors MOS ultra-submicroniques fabriqués sur SIMOX très minces, thèse INPG, Grenoble, 154 p., 1995.
- [FERRY 91] D. K. Ferry, *Semiconductors*, Macmillan, New York, 1991.
- [FIOREN 04] J.G. Fiorenza, *IEEE Reliability Physics Symposium Proceedings*, p.493, 2004.
- [FISCHER 00] A. Fischer, H.J. Osten and H. Richter, "An equilibrium model for buried SiGe strained layers", *Sol. State Elec.*, vol. 44, n°5, p.869-73, May 2000.
- [FISCHE 00] M. V. Fischetti, S. E. Laux, "Performance degradation of small silicon devices caused by long range Coulomb interactions", *Applied Physic Letters*, 76, 16, p. 2277, 2000.
- [FISCHE 01a] M.V. Fischetti, D. A. Neumayer, and E. A. Cartier, "Effective electron mobility in Si inversion layers in metal oxide semiconductor systems with a high-k insulator: The role of remote phonon scattering," *J. Appl. Phys.*, vol. 90, no. 9, p. 4587-4608, Nov. 2001.
- [FISCHE 01b] M.V. Fischetti, "Long-range Coulomb interactions in small Si devices. Part II. Effective electron mobility in thin-oxide structures", *J. Appl. Phys.*, vol.89, n°2, p.1232-1250, 2001.
- [FISCHE 02] M.V. Fischetti, F. Gámiz, W. Hänsch, "On the enhanced electron mobility in strained-silicon inversion layers", *J. Appl. Phys.*, vol. 92, n°12, p.7320-7324, 2002.
- [FISCHE 03] M. Fischetti, "Scaling MOSFETs to the limit: A physicist's perspective", *J. Comput. Electron.*, vol. 2, no. 2-4, pp. 73-79, 2003.
- [FISCHE 88] M.V. Fischetti and S.E. Laux, *Phys. Rev. B*, vol. 38, p. 9721, 1988.
- [FISCHE 93] M.V. Fischetti, S.E. Laux, "Monte Carlo study of electron transport in silicon inversion layers", *Phys. Rev. B*, vol.48, n°4, p.2244-74, 15 July 1993.
- [FISCHE 96] M.V. Fischetti, S.E. Laux, "Band structure, deformation potentials, and carrier mobility in strained Si, Ge, and SiGe alloys", *J. Appl. Phys.*, Vol. 80, n°4, p. 2234-2252, 1996.
- [FITZGE 03] E. A. Fitzgerald, M. L. Lee, C. W. Leitz, and D. A. Antoniadis "Strained Si, SiGe, and Ge MOSFET Channels", *JCSi3*, Santa-Fe, 2003
- [FLINN 87] P.A. Flinn, D.S. Gardner, W.D. Nix, *IEEE Trans. Elec. Dev.*, n°34, p.689, 1987.
- [FONOBE 06] V. A. Fonoberov and A. A. Balandin, "Giant Enhancement of the Carrier Mobility in Silicon Nanowires with Diamond Coating", *Nano Letters*, 2006.
- [FRIEDE 89] P. Friedel, M.S. Hybersten and M. Schluter, "Local empirical pseudopotential approach to the optical properties os Si/Ge superlattices", *Phys. Rev. B*, vol. 39, p. 7974-7977, 1989.

- [FULTON 07] Scott M. Fulton, "Intel Reinvents the Transistor", January 27, 2007, 12:01 AM in *BetaNews*, en ligne sur http://www.betanews.com/article/Intel_Reinvents_the_Transistor/1169872301.
- [GALDIN 00] S. Galdin, P. Dolfus, "Band offset predictions for strained group IV alloys : Si_{1-x-y}GexCy on Si(001) and Si_{1-x}Gex on Si_{1-z}Gez(001)", *Semicond. Sci. Technol.*, vol. 15, 565-572, 2000.
- [GALLON 03a] C. Gallon, G. Reimbold, G. Ghibaudo, "Electrical analysis of mechanical stress induced by shallow trench isolation", *33rd European Solid State Device Research Conference, ESSDERC*, p.359-362, 16-18 Sept. 2003.
- [GALLON 03b] C. Gallon, "Impact des contraintes mécaniques dans les composants CMOS avancés", *Mémoire de DRT (INPG-LETI)*, juin 2003.
- [GALLON 04a] C. Gallon, G. Reimbold, G. Ghibaudo, "Electrical analysis of external mechanical stress effects in short channel MOSFETs on (001) silicon", *Solid State Electronics*, vol. 48, p.561-566, 2004.
- [GALLON 04b] C. Gallon, G. Reimbold, G. Ghibaudo, "Electrical analysis of mechanical stress induced by STI in short MOSFETs using externally applied stress", *IEEE Transactions on Electron Devices*, Vol. 51, n°8, p. 1254-1261, August 2004.
- [GAMIZ 94] F. Gámiz et al., "A comprehensive model for Coulomb scattering in inversion layers", *J. Appl. Phys.*, vol. 75, n° 2, p.924-934, January 1994.
- [GAMIZ 96] F. Gámiz, J.B. Roldán, J.A. López-Villanueva and P. Cartujo, "Coulomb scattering in strained-silicon inversion layers on Si_{1-x}Gex substrates", *Appl. Phys. Lett.*, vol. 69, n° 6, p. 797-799, August 1996.
- [GARROS 04] X. Garros, "Caractérisation et modélisation de l'oxyde d'hafnium comme alternative à la silice pour les futures technologies CMOS submicroniques", *thèse INPG*, 298p., 2004.
- [GARROS 08] X. Garros, M. Cassé, G. Reimbold, F. Martin, A. Fanton, O. Renault, V. Cosnier, S. Lhostis and F. Boulanger, "Guidelines to improve mobility performances and BTI reliability of advanced High-K/Metal gate stacks", *Symp. VLSI Tech. Dig.*, 2008.
- [GAUTIE 03] J. Gautier, « Physique des dispositifs pour circuits intégrés silicium ». Paris, France : Lavoisier, 367p. ISBN 2-746-20658-7, 2003.
- [GERGAU 06] P. Gergaud, P. Goudeau, O. Sicardy, N. Tamura and O. Thomas, "Residual stress analysis in micro- and nano-structured materials by X-ray diffraction", *Int. J. of Mat. And Prod. Tech.*, vol. 26, n°3-4, p.354-71, 2006.
- [GHANI 03] T. Ghani, "A 90nm high volume manufacturing logic technology featuring novel 45nm gate length strained silicon CMOS transistors", *International Electron Devices Meeting. IEDM 2003, Technical Digest. IEEE*, p.978-980, 2003.
- [GHIBAU 86] G. Ghibaudo, "Transport in the inversion layer of a MOS transistor : use of Kubo-Greenwood formalism", *J. Phys. C : Solid State Phys.*, vol. 19, p.767-780, 1986.
- [GHIBAU 88] G. Ghibaudo, "New method for the extraction of MOSFET parameters", *Electronics Letters*, vol.24, n°9, p.543-545, April 1988.
- [GHIBAU 99] G. Ghibaudo, S. Bruyere, T. Devoivre, B. DeSalvo, E. Vincent, "Improved method for the oxide thickness extraction in MOS structures with ultra-thin gate dielectrics", *Proc. of Int. Conf. on Microelectronic Test Structures*, p. 111-116, 1999.
- [GHYSEL 04] B. Ghyselen, J-M. Hartmann, T. Ernst, "Engineering strained silicon on insulator wafers with the Smart Cut™ technology", *Solid-State Electronics*, vol. 48, p.1285-1296, 2004.
- [GOO 03a] J.-S. Goo, "Scalability of strained-Si nMOSFETs down to 25 nm gate length", *IEEE Electron Device Letters*, vol.24, p.351-353, may 2003.
- [GOO 03b] J.-S. Goo, "Band offset induced threshold variation in strained-Si nMOSFETs", *IEEE Electron Device Letters*, vol.24, p.568-570, sept. 2003.
- [GOODNI 85] S.M. Goodnick, D.K. Ferry, C.W. Wilmsen, Z. Liliental, D. Fathy, O.L. Krivanek, "Surface Roughness at the Si(001)-SiO₂ interface", *Phys. Rev. B*, vol. 32, n°12, p. 8171, 1985.
- [GUILLA 04a] T. Guillaume, M. Mouis, S. Maîtrejean, A. Poncet, M. Vinet, S. Deleonibus, "Evaluation of strain-induced mobility variation in TiN metal gate SOI n-MOSFETs", *Proceedings of the 34th European Solid State Device Research Conference, Proc. of ESSDERC*, p.393-396, 2004.
- [GUILLA 04b] T. Guillaume, M. Mouis, S. Maîtrejean, A. Poncet, M. Vinet and S. Deleonibus, "Influence of the strain induced by a metal gate on electron and hole transport in single and double-gate SOI MOSFETs", *Proc. of IEEE International SOI Conference*, p.42-43, Charleston SC (USA), 2004.

- [GUILLA 05a] T. Guillaume, "Variations of hole mass in p-MOSFETs under process-induced mechanical stress", *Proc. of ESSDERC*, p. 289-292, 2005.
- [GUILLA 05b] T. Guillaume, "Influence des contraintes mécaniques non-intentionnelles sur les performances des transistors MOS à canaux ultra-courts", *thèse de doctorat de l'INPG*, 2005.
- [HAMADA 91] A. Hamada, T. Furusawa, N. Saito, E. Takeda, "A new aspect of mechanical stress effects in scaled MOS devices", *IEEE Trans. Electron Dev.*, vol. 38, n° 4, p.895-900, 1991.
- [HAMAGU 01] C. Hamaguchi, "Basic Semiconductor Physics", Berlin, Germany : *Springer*, 1st edition, 434p. ISBN 3-540-41639-0, 2001.
- [HAMER 86] M. F. Hamer, "First-order parameter extraction on enhancement silicon MOS transistors", *IEE Proceedings I (Solid-State and Electron Devices)*, vol.133, n°2, avril 1986.
- [HARRIS 04] S.J. Harris, "Measurement of the state of stress in silicon with micro-Raman spectroscopy", *Journal of Applied Physics*, vol. 96, n°12, p.7195-7201, december 2004.
- [HAUGER 03] B. M. Haugerud, L. A. Bosworth and R. E. Belford, "Mechanically induced strain enhancement of metal-oxide-semiconductor field effect transistors", *J. Appl. Phys.*, vol. 94, n°6, p.4102-7, 2003.
- [HAUGER 04] B. M. Haugerud, L. A. Bosworth and R. E. Belford, "Elevated-Temperature electrical characteristics of mechanically strained Si devices", *J. Appl. Phys.*, vol.95, n°5, p.2792-2796, march 2004.
- [HE 06] R. He and P. Yang, "Giant piezoresistance effect in silicon nanowires", *Nature nanotechnology*, vol.1, p.42-46, october 2006.
- [HENSEL 63] J.C. Hensel and G. Fehrer, "Cyclotron resonance experiments in uniaxially stressed silicon: valence band inverse mass parameters and deformation potentials", *Phys. Rev.*, vol.129 n°3, 1041-1062, 1963.
- [HENSEL 65] J.C. Hensel, H. Hasegawa and M. Nakayama, "Cyclotron Resonance in Uniaxially Stressed Silicon. II. Nature of the Covalent Bond", *Physical Review*, vol.138 n°1A, p. A225-A238, April 1965.
- [HERRIN 56] C. Herring and E. Vogt, "Transport and deformation-potential theory for many-valley semiconductors with anisotropic scattering", *Phys. Rev.*, vol. 101, n°3, p. 944-961, 1956.
- [HOBBS 03] C. Hobbs, L. Fonseca, V. Dhandapani *et al.*, "Fermi Level Pinning at the PolySi/Metal Oxide Interface", *VLSI Tech. Dig.*, p. 9, 2003.
- [HOYT 02] J.L. Hoyt, H.M. Nayfeh, S. Eguchi, I. Aberg, G. Xia, T. Drake, E.A. Fitzgerald, D.A. Antoniadis, "Strained silicon MOSFET technology", in *IEDM Tech. Dig.*, p. 23-26, 2002.
- [HWANG 04] J.R. Hwang, "Symmetrical 45 nm PMOS on (110) substrate with excellent S/D extension distribution and mobility enhancement", *Symp. VLSI Tech. Dig.*, p. 90-91, 2004.
- [IEONG 04] M. Jeong, B. Doris, J. Kedzierski, K. Rim, M. Yang, "Silicon Device Scaling to the Sub-10-nm Regime", *Science*, www.sciencemag.org, Review, vol. 306, p.2057-2060, 17 december 2004.
- [IKARAS 03] N. Ikarashi, M. Ueki and M. Hiroi, "Spatially resolved electron energy-loss spectroscopy of an interfacial structure at a Ti thin film Cu interconnect", *J. Appl. Phys.*, vol. 83, n°4, p.686-688, 2003.
- [IOFFE] <http://www.ioffe.rssi.ru/SVA/NSM/Semicond/>
- [IRIE 04] H. Irie, K. Kita, K. Kyuno and A. Toriumi, "In-Plane Mobility Anisotropy and Universality Under Uni-axial Strains in n- and p-MOS Inversion Layers on (100), (110), and (111) Si", *Electron Devices Meeting. IEDM Technical Digest*, p. 225-228, 2004.
- [IWAI 06] H. Iwai, "CMOS for next 15 years as the mainstream of nano device technology: problems, solutions and beyond that", exposé oral lors du *SINANO Workshop "Nanoscale CMOS and Si-based beyond-CMOS Nanodevices"*, Montreux, le 22 septembre 2006.
- [JACOBI 79] C. Jacoboni and L. Reggiani, *Adv. Phys.*, vol. 28, p.493, 1979.
- [JACOBO 77] C. Jacoboni, C. Canali, G. Ottaviani and A. A. Quaranta, "A review of some charge transport properties of silicon", *Solid State Electron*, vol. 20, n°2, p.77-79, February 1977.
- [JACOBO 83] C. Jacobini and L. Reggiani, *Rev. Mod. Phys.*, vol. 55, p. 645, 1983.
- [JANCU 98] J.M. Jancu *et al.*, "Empirical spds* tight-binding calculation for cubic semiconductors : General method and material parameters", *Phys. Rev. B*, vol.57, n°11, 6493-6507, 1998.
- [JEON 89] D. Jeon, D. Burk, "MOSFET Electron Inversion Layer Mobilities-A Physically Based Semi-Empirical Model for a Wide Temperature Range", *IEEE Transactions on Electron Devices*, vol. 36, n°8, p.1456-1463, 1989.
- [KANDA 82] Y. Kanda, "A graphical representation of the piezoresistance coefficients in silicon", *IEEE Trans. Elec. Dev.*, vol. ED-29, n°1, p.64-70, January 1982.

- [KANDA 91a] Y. Kanda, "Piezoresistance effect of silicon", *Sensors and Actuators A*, vol. 28, p.83-91, 1991.
- [KANDA 91b] Y. Kanda, K. Suzuki, "Origin of the shear piezoresistance coefficient π_{44} of n-type silicon", *Physical Review B*, vol. 43, n°8, p. 6754-6756, March 1991.
- [KAO 88] D.-B. Kao, J.P. McVittie, W.D. Nix, K.C. Saraswat, "Two-dimensional thermal oxidation of silicon. II. Modeling stress effects in wet oxides", *Trans. On Electron Dev.*, vol. 35, n°1, p.25-37, 1988.
- [KAWAJI 69] S. Kawaji, "The Two-Dimensional lattice scattering mobility in a semiconductor inversion layer", *Journal of The Physical Society of Japan*, vol. 27, n° 4, p.906-908, October, 1969.
- [KEYES 60] R.W. Keyes, "The effects of elastic deformation on the electrical conductivity of semiconductors", *Solid State Phys.*, vol. 11, 149-218, 1960.
- [KHAKIF 04] A. Khakifirooz et D.A. Antoniadis, "On the electron mobility in ultrathin SOI and GOI", *IEEE Elec. Dev. Lett.*, vol.25, p.80-82, 2004.
- [KIREEV 75] P. Kiréev, "La physique des semiconducteurs", éditions MIR, Moscou, 2ème édition, traduction française, 728p., 1975.
- [KIRK 04] Harry R. Kirk, I.J. Malik, J. Sullivan, S. Kang, "Wafer-level uniaxially strained s-SOI by direct mechanical stress", *IEEE-International-SOI-Conference*, p.102-103, 2004.
- [KITTEL 98] C. Kittel, « Physique de l'état solide », Dunod, 7^e édition, Paris, ISBN 2-10-003267-4, 1998.
- [KOOMEN 73] J. Koomen, "Investigation of the MOST channel conductance in weak inversion", *Sol. State Electron.*, vol. 16, p. 801-810, 1973.
- [KRISHN 98] M.S Krishnan, "Remote charge scattering in MOSFETs with ultra-thin gate dielectrics", Electron Devices Meeting, 1998. *IEDM Technical Digest.*, p. 571-574, 6-9 Dec. 1998.
- [KUNIKI 94] T. Kunikiyi, M. Takenaka, Y. Kamakura, M. Yamaji, H. Mizuno, M. Morifuji, K. Taniguchi and C. Hamaguchi, *J. Appl. Phys.*, vol. 75, p. 297, 1994.
- [LAI 06] C.-M. Lai et al., "The Geometry Effect of Contact Etch Stop Layer Impact on Device Performance and Reliability for 90-nm SOI nMOSFETs", *Trans. Elec. Dev.*, vol. 53, n° 11, p.2779-2785, 2006.
- [LANDOL 82] Landolt-Börnstein, "Physics of group IV elements and III-V compounds", in *Numerical data and functional relationships in science and technology*, vol. 17a, Springer-Verlag, Berlin, 1982.
- [LAUDE 71] L.D. Laude, F.H. Pollak and M. Cardona, "Effects of uniaxiale stress on the indirect exciton spectrum of silicon", *Phys. Rev. B*, vol. 3, p. 2623-2636, 1971.
- [LAUER 05] I. Lauer, "The Effects of Strain on Carrier Transport in Thin and Ultra-Thin SOI MOSFETs", *PhD thesis of MIT*, 2005.
- [LEE 01] M. L. Lee, C. W. Leitz, Z. Cheng, A. J. Pitera, T. Langdo, M. T. Currie, G. Taraschi, E. A. Fitzgerald, "Strained Ge Channel p-type Metal-Oxide-Semiconductor Field-Effect Transistors Grown on Si_{1-x}Gex/Si Virtual Substrates", *Appl. Phys. Lett.*, vol. 79, n°20, p. 3344-3346, 2001.
- [LEE 03] M.H. Lee and E.A. Fitzgerald, "Optimized strained Si/strained Ge dual-channel heterostructures for high mobility p- and n-MOSFETs", *IEDM Tech. Dig.*, p.429-432, 2003.
- [LEE 04] M.H. Lee, "The noise characteristics of strained-Si MOSFETs", *Proc. Int. SiGe Technol. And Device Meeting (ISTDM)*, Frankfurt, Germany, p.87-88, 2004.
- [LEE 95] T-Y. Lee, R.M. Fox, Extraction of Thermal Resistance for Fully-Depleted SOI MOSFETs, *Proceedings IEEE International SOI Conference*, 1995.
- [LEE 98] C.H. Lee, Y.H. Chang, Y.W. Suen and H.H. Lin, "Magnetic-field-induced delocalization in center-doped GaAs/Al/sub x/Ga/sub 1-x/As multiple quantum wells", *Physical Review B*, vol. 58, n° 16, p. 10629-10633, Oct. 1998.
- [LEI 05] R.Z. Lei et al., *Appl. Phys. Lett.*, vol. 87, 251926, 2005
- [LEITZ 01] C. W. Leitz, M. T. Currie, M. L. Lee, Z. -Y. Cheng, D. A. Antoniadis, E. A. Fitzgerald, "Hole Mobility Enhancements in Strained Si/Si_{1-y}Gey p-Type Metal-Oxide-Semiconductor Field-Effect Transistors Grown on Relaxed Si_{1-x}Gex (x<y) Virtual Substrates", *Appl. Phys. Lett.*, vol .79, n°25, p. 4246-4248, 2001.
- [LEITZ 02] C.W. Leitz, *MRS Fall*, vol. 686, p.113, 2002.
- [LEROUX 04] C. Leroux, "Characterization and modeling of nanometric SiO₂ dielectrics", *Microelec. Eng.*, vol. 72, p. 121-124, 2004.
- [LIM 83] H-K. Lim, J.G. Fossum, Threshold Voltage of Thin-Film Silicon-on-Insulator (SOI) MOSFET's, *IEEE Transactions on Electron Devices*, vol. 30, p. 1244, 1983.

- [LIM 84] H-K. Lim, J.G. Fossum, Current-Voltage Characteristics of Thin-Film SOI MOSFET's in Strong Inversion, *IEEE Transactions on Electron Devices*, vol. Ed-31, p. 401, 1984.
- [LIME 06] F. Lime, G. Ghibaudo et al., "Low temperature characterization of effective mobility in uniaxially and biaxially strained nMOSFETs", *Sol. States Elec.*, vol. 50, p. 644-649, March 2006.
- [LIU 05] C. W. Liu, "Mobility-Enhancement Technologies", *IEEE Circuits & Devices Magazine*, p.21-36, may/june 2005.
- [LOCHTE 01] A. Lochtefeld, D.A. Antoniadis, "Investigating the relationship between electron mobility and velocity in deeply scaled NMOS via mechanical stress", *Electron Device Letters, IEEE*, vol. 22, n°12, p.591-593, 2001.
- [LOCHTE 02] A. Lochtefeld, "New insights into carrier transport in n-MOSFETs", *IBM J. Res&Dev.*, vol. 46, n°2/3, march/may 2002.
- [LOW 03] T. Low, "Investigation of performance limits of germanium double-gate MOSFETs", *IEDM Tech. Dig.*, p.691-694, 2003.
- [LUNDST 00] Mark Lundstrom. "Fundamentals of carrier transport". Cambridge, *United Kingdom: University Press*, 2nd edition, 418p. ISBN 0-521-63134-3, 2000.
- [LUNDST 01] M.S. Lundstrom, "On the mobility versus drain current relation for a nanoscale MOSFET", *Electron Device Letters*, Vol. 22, n° 6, p.293 – 295, June 2001.
- [LUNDST 97] M.S. Lundstrom, "Elementary Scattering Theory of the Si MOSFET", *Elec. Dev. Lett.*, vol. 18, n° 7, p.361-363, july 1997.
- [MARUYA 90] T. Maruyama, S. Zaima, Y. Koide, Y. Kanda and Y. Yasuda, "Anisotropy of piezoresistance in n-channel inversion layers of metal-oxide-semiconductor transistors on (001)Si", *J. Appl. Phys.*, vol. 68, n° 11, p.5687-5691, December 1990.
- [MASERJ 74] J. Maserjian, G. Peterson, C. Svensson, "Saturation capacitance of thin oxide MOS structures and the effective surface density of states of Silicon", *Solid State Electronics*, vol. 17, p.335-339, 1974.
- [MATHIE 01] H. Mathieu, « Physique des Semi-conducteurs et des Composants Electroniques », *Dunod*, 5° édition, Paris, ISBN 2-10-005654-9, 2001.
- [MATHIO 02] D. Mathiot, « Dopage et Diffusion dans le Silicium », cours en ligne sur <http://www-phase.c-strasbourg.fr/~mathiot/Ressources/DopageDiff.pdf>, 2002.
- [MATSUD 93] K. Matsuda, K. Suzuki, K. Yamamura, Y. Kanda, "Nonlinear piezoresistance effects in silicon", *J. Appl. Phys.*, vol. 73, n° 4, p. 1838-1847, 1993.
- [MATTHE 74] J.W. Matthews, A.E. Blakeslee, "Defects in epitaxial multilayers. I. Misfit dislocations", *J. Crys. Growth*, vol. 27, n° 1, p.188-25, Dec. 1974.
- [MAURY 07] P. Maury, "Etude des matériaux contraints : nitrure compressif, nitrure tensile, oxydes TEOS et LDRTEOS", *Compte-rendu technique interne*, projet Alliance Crolles 2, CEA-Léti, 2007.
- [MAZHAR 93] B. Mazhari and D. E. Ioannou, "Surface potential at threshold in thin-film SOI MOSFETs," *IEEE Trans. Electron Devices*, vol. 40, pp.1129–1133, June 1993.
- [McLART 95] P. K. McLarty, S. Cristoloveanu, O. Faynot, "A Simple Parameter Extraction Method for Ultra-Thin Oxide MOSFETs", *Solid-State Electronics*, vol. 38, p. 1175-1177, 1995.
- [MENSZ 87] P.M. Mensz, R.G. Wheeler, C.T. Foxon and J.J. Harris, "Determination of spatial potential fluctuations in Si and GaAs inversion layers by weak localization", *Appl. Phys. Lett.*, vol. 50, n° 10, p. 603-605, March 1987.
- [MERLE 78] J.-C. Merle, M. Capizzi and P. Fiorini, "Uniaxially stressed silicon: fine structure of the exciton and deformation potentials", *Phys. Rev. B*, vol. 17, p. 4821-4834, 1978.
- [MEZIAN 04] Y.M. Meziani, J. Lusakowski, W. Knap, N. Dyakonova, F. Teppe, K. Romanjek, M. Ferrier, R. Clerc, G. Ghibaudo, F. Bœuf and t. Skotnicki, "Magnetoresistance characterization of nanometer Si metal-oxide-semiconductor transistors", *J. Appl. Phys.*, vol. 96, n° 10, p. 5761-5765, 2004.
- [MIKOSH 81] H. Mikoshiba, "Stress-sensitive properties of silicon-gate MOS devices", *Solid-State-Electronics*, vol. 24, p.221-32, March 1981.
- [MISTRY 04] K. Mistry, M. Armstrong, C. Auth, S. Cea, T. Coan, T. Ghani, "Delaying forever: Uniaxial strained silicon transistors in a 90nm CMOS technology", *Symposium on VLSI Technology. Digest of Technical Papers IEEE*, p. 50-51, 2004.
- [MIZUNO 02] T. Mizuno, N. Sugiyama, T. Tezuka, T. Numata, S. -I. Takagi, "High Performance CMOS Operation of Strained-SOI MOSFETs using Thin Film SiGe-On-Insulator Substrate", *Symposium on VLSI Technology*, p. 106-107, 2002

- [MIZUNO 03] T. Mizuno, "High-performance strained-SOI CMOS devices using thin film SiGe-on-insulator technology", *IEEE Trans. On Electron Devices*, vol.50, p.988-994, april 2003.
- [MOLLER 34] H. Möller and J. Barbers, Mit. K., with. *Inst. Eisenf.*, Dusseldorf, 16, 21, 1934.
- [MOORE 65] G.E. Moore, "Cramming more components onto integrated circuits", *Electronics*, vol. 38, n°8, 1965.
- [MOURRA 00] C. Mourrain, B. Cretu, G. Ghibaudo and P. Cottin, "New method for parameter extraction in deep sub-micrometer MOSFETs", *Proceedings of the 2000 International Conference on Microelectronic Test Structures, ICMTS 2000*, 13-16, p.181 – 186, March 2000.
- [NAKAHA 03] S. Nakaharai, T. Tezuka, N. Sugiyama, Y. Moriyama, and S.-I. Takagi, "Characterization of 7-nm-thick strained Ge-on-insulator layer fabricated by Ge-condensation technique", *Appl. Phys. Lett.*, vol. 83, no. 17, p.3516–3518, Oct. 27, 2003.
- [NAYAK 92] D. K. Nayak, J. S. Park, J. C. S. Woo, K. L. Wang, G. K. Yabiku, K. P. MacWilliams, "High Performance GeSi Quantum-Well PMOS on SIMOX", *IEDM Tech. Dig.*, p.777-80, 1992.
- [NAYFEH 06] H.M. Nayfeh, "Effect of Tensile Uniaxial Stress on the Electron Transport Properties of Deeply Scaled FD-SOI n-Type MOSFETs", *IEEE Elec. Dev. Lett.*, vol. 27, n°4, april 2006.
- [NIU 00] G. Niu, "A Channel Resistance Derivative Method for Effective Channel Length Extraction in LDD MOSFET's", *IEEE Transactions on Electron Devices*, vol. 47, n° 3, p.648-650, mars 2000.
- [NIU 99] G. Niu, "A Total Resistance Slope-Based Effective Channel Mobility Extraction Method for Deep Submicrometer CMOS Technology", *IEEE Transactions on Electron Devices*, vol. 46, n° 9, p.1912-1914, septembre 1999.
- [NOMA 01] H. Noma, H. Takahashi, H. Fujioka, M. Oshima, Y. Baba, K. Hirose, M. Niwa, K. Usuda, N. Hirashita, "Uniaxial and biaxial strain field dependence of the thermal oxidation rate of silicon", *J. Appl. Phys.*, vol. 90, n°10, 2001.
- [O'NEIL 96] A.G. O'Neill and A.D. Antoniadis, "Deep submicron CMOS based on silicon germanium technology", *IEEE Trans. Electron Devices*, vol.43, p. 911-918, june 1996.
- [OHATA 06] A. Ohata, S. Cristoloveanu, M. Cassé, "Mobility comparison between front and back channels in ultrathin silicon-on-insulator metal-oxide-semiconductor field-effect transistors by the front-gate split capacitance-voltage method", *Appl. Phys. Lett.*, vol. 89, n°3, p. 032104-1-3, july 2006.
- [OHMURA 92] Y. Ohmura, "Numerical study of the piezoresistance effect in p-type Si", *J. Phys. Soc. of Jpn*, vol. 61, p. 217-26, 1992.
- [OMURA 95] Y. Omura, "An Improved Analytical Solution of Energy Balance Equation for Short-Channel SOI MOSFET's and Transverse-Field-Induced Carrier Heating", *IEEE Transactions on Electron Devices*, vol. 42, p. 301, 1995.
- [ORAIN 02] S. Orain, E. Robillart, A. Villaret, "Mechanical Stress in CMOS under Flexion – comparison Si / SOI technology", *rapport interne Alliance Crolles 2*, 2002.
- [ORTIZ- 02] A. Ortiz-Conde, F. J. García Sánchez, "A review of recent MOSFET threshold voltage extraction methods", *Microelectronics Reliability*, vol. 42 p. 583–596, 2002.
- [ORTOLL 04] C. Ortolland, C. Orian, J. Rosa, P. Morin, F. Arnaud, M. Woo, A. Poncet and P. Stolk, "Electrical characterization and mechanical modelling of process induced strain in 65 nm CMOS technology", *ESSDERC Proc.*, Estoril, septembre 2004.
- [ORTOLL 06] C. Ortolland, "Etude des effets des contraintes mécaniques induites par les procédés de fabrication sur le comportement électrique des transistors CMOS des nœuds technologiques 65nm et en deça", *thèse de doctorat de l'INSA de Lyon*, 2006.
- [PARK 07] K. H. Park, T. Unuma, K. Hirakawa and S. Takagi, "Determination of deformation potential constant of the conduction band in Si from electron heating experiments on Si metal-oxide-semiconductor field-effect transistors", *Appl. Phys. Lett.*, vol. 91, 132118, 2007.
- [PAYET 06] F. Payet, "A Full Analytical Model to evaluate Strain Induced by CESL on MOSFET Performances", *Int. Conf. on SSDM*, Yokohama, p.176-177, 2006.
- [PEOPLE 85] R. People and J.C. Bean, "Calculation of critical layer thickness versus lattice mismatch for Ge/sub x/Si/sub 1-x//Si strained-layer heterostructures", *Appl. Phys. Lett.*, vol. 47, n° 3, p. 322-4, Aug. 1985.
- [PESCI 06] R. Pesci, K. Ina, S. Berveiller, E. Patoor, J.S. Lecomte and A. Eberhardt, *Mater. sci. Forum*, 524-25, p.109-114, 2006.
- [PIDIN 04] S. Pidín, "MOSFET current drive optimization using silicon nitride capping layer for 65-nm technology node", in *Symp. VLSI Tech. Dig.*, p.54-55, 2004.

- [POIROU 04] T. Poiroux, "New and Accurate Method for Electrical Extraction of Silicon Film Thickness on Fully-Depleted SOI and Double Gate Transistors", *Proceedings IEEE International SOI Conference*, 2004.
- [POIROU 05] T. Poiroux, "Multiple gate devices: advantages and challenges", *Microelectronic Engineering*, vol.80, p.378-385, 2005.
- [PONCET 06] A. Poncet, dans « Contraintes mécaniques en micro, nano et optoélectronique », sous la direction de Mireille Mouis, *Ed. Hermes – Lavoisier, Traité HEGEM*, 448 pages, ISBN 2-7462-1308-7, 2006.
- [PONCET 85] A. Poncet, "Finite-Element Simulation of Local Oxidation of Silicon", *IEEE/CAD*, vol. CAD-4, n°1, p.41, 1985.
- [POP 04] E. Pop, "Analytic band Monte Carlo model for electron transport in Si including acoustic and optical phonon dispersion", *J. App. Phys.*, vol. 96, n°9, p.4998-5005, November 2004.
- [PRANGE 68] R.E. Prange and T.-W. Nee, "Quantum Spectroscopy of Low-Field Oscillations in the Surface Impedance", *Physical Review*, vol. 168, n°3, p.779-786, 1968.
- [RAFFER 93] C.S. Rafferty, H.H. Vuong, S.A. Eshraghi, M.D. Giles, M.R. Pinto, S.J. Hillenius, "Explanation of reverse short channel effect by defect gradients", *Tech. Dig. IEDM*, p.311-314, 1993.
- [RAHMAN 03] A. Rahman, "Assesment of Ge n-MOSFETs by quantum simulation", *IEDM Tech. Dig.*, p.471-474, 2003.
- [RAIS 94a] K. Rais, G. Ghibaudo and F. Balestra, "Surface Roughness Mobility Model for Silicon MOS Transistors", *Physica-Status-Solidi-A*, vol. 146, p.853-858, 1994.
- [RAIS 94b] K. Rais, F. Balestra and G. Ghibaudo, "On the High Electric Field Mobility Behavior in Si MOSFET's from Room to Liquid Helium Temperature", *Physica-Status-Solidi-A*, vol. 145, p.217-221, 1994.
- [REMASH 02] K. Remashan, "Modeling inversion-layer carrier mobilities in all regions of MOSFET operation, short communication", *Solid-State Electronics*, Vol. 46, n° 1, p. 153-156, January 2002.
- [RICHAR 03a] S. Richard, F. Aniel, G. Fishman, N. Cavassilas, "Energy-band structure in strained silicon: A 20-band k²p and Bir-Pikus Hamiltonian model", *Journal of Applied Physics*, vol. 94, n°3, p. 1795-1799, 2003.
- [RICHAR 03b] S. Richard, N. Cavassilas, F. Aniel, G. Fishman, "Strained silicon on SiGe: Temperature dependence of carrier effective masses", *Journal of Applied Physics*, vol. 94, n°8, p. 5088-5094, October 2003.
- [RICHAR 04a] S. Richard, F. Aniel, G. Fishman, "Energy-band structure of Ge, Si and GaAs : a thirty-band k.p method", *Physical Revue B*, vol. 70, 235204, 2004.
- [RICHAR 04b] S. Richard, « Modélisation physique de la structure électronique, du transport et de l'ionisation par choc dans les matériaux IV-IV massifs, contraints et dans les puits quantiques », *Thèse de doctorat de physique de l'université Paris XI Orsay*, 2004.
- [RICHAR 06] S. Richard et F. Aniel, dans « Contraintes mécaniques en micro, nano et optoélectronique », sous la direction de Mireille Mouis, *Ed. Hermes – Lavoisier, Traité HEGEM*, Chapitre 14 "Influence des contraintes sur les propriétés électroniques et optiques des semi-conducteurs", 448 pages, ISBN 2-7462-1308-7, juin 2006.
- [RIM 03] K. Rim, K. Chan, L. Shi, D. Boyd, J. Ott, N. Klymko, F. Cardone, L. Tai, S. Koester, M. Cobb, D. Canaperi, B. To, E. Duch, I. Babich, R. Carmthers, P. Saunders, G. Walker, Y. Zhang, M. Steen, and M. Jeong, "Fabrication and mobility characteristics of ultra-thin strained Si directly on insulator (SSDOI) MOSFETs", *in IEDM Tech. Dig.*, p. 49-52, 2003.
- [ROCHET 04] F. Rochette, "Caractérisation et simulation électriques de transistors MOS SOI complètement désertés", *Rapport de stage de fin d'études effectué au Laboratoire des Nano-Dispositifs Electronique du CEA-Léti (Grenoble), INSA de Lyon*, 89 p., juillet 2004.
- [ROCHET 05] F. Rochette, *Présentation Interne CEA-Léti*, Grenoble, le 22 juillet 2005.
- [ROCHET 06] F. Rochette, M. Cassé, M. Mouis, D. Blachier, C. Leroux, B. Guillaumot, G. Reibold, F. Boulanger, "Electron mobility enhancement in uniaxially strained MOSFETs: Extraction of the effective mass variation", *in Proceedings ESSDERC*, Montreux, p. 93-96, september 2006.
- [ROCHET 07] F. Rochette, M. Cassé, M. Mouis, G. Reibold, D. Blachier, C. Leroux, B. Guillaumot, F. Boulanger, "Experimental evidence and extraction of the electron mass variation in [110] uniaxially strained MOSFETs", *Solid State Electronics*, vol. 51, n°11-12, p. 1458-1465, 2007.
- [ROMANJ 04a] K. Romanjek, F. Andrieu, T. Ernst, G. Ghibaudo, "Improved Split C-V Method for Effective Mobility Extraction in sub-0.1- μm Si MOSFETs", *Electron Device Letters, IEEE*, vol. 25, n° 8, August 2004.

- [ROMANJ 04b] K. Romanjek, « Caractérisation et modélisation des transistors CMOS des technologies 50nm et en deçà », *Thèse de doctorat INPG*, 2004.
- [ROMANJ 04c] K. Romanjek, F. Andrieu, T. Ernst, G. Ghibaudo, “Characterization of the effective mobility by split C(V) technique in sub 0.1 μm silicon MOSFETS”, *Proc. of ULIS conference*, p.109-112, 2004.
- [ROSENB 88] J.J. Rosenberg and S.C. Martin, “Self-aligned germanium MOSFETs using a nitrided native oxide gate insulator”, *IEEE Elec. Dev. Lett.*, vol. 9, p. 639-640, December 1998.
- [ROUX-D 93] O. Roux-dit-Buisson, G. Ghibaudo, J. Brini, “Sensitive differential method for the extraction of the mobility variation in uniformly degraded MOS transistors”, *IEEE Proc. G*, vol.140, n°2, p.123–126, 1993.
- [SAITO 03] S. Saito, D. Hisamoto, S. Kimura, M. Hiratani, “Unified mobility model for high- κ gate stacks”, *IEEE Tech. Dig. IEDM*, 33.3.1-4 p.797-800, 2003.
- [SAITO 04] S. Saito, K. Torii, Y. Shimamoto, S. Tsujikawa, “Effects of remote-surface-roughness scattering on carrier mobility in field-effect-transistors with ultrathin gate dielectrics”, *Appl. Phys. Lett.*, vol. 84, n°8, p. 1395, 2004.
- [SAITO 06] S. Saito et al., “Origin of Drivability Enhancement in Scaled pMOSFETs with 45° Rotated <100> channels”, *Symp. on VLSI Tech. Dig. of Technical Papers*, 2006.
- [SAMAVE 99] S. B. Samavedam, W. J. Taylor, J. M. Grant, J. A. Smith, P. J. Tobin, A. Dip, A. M. Phillips, “Relaxation of Strained Si Layers Grown on SiGe Buffers”, *J. Vac. Sci. Technol. B*, vol. 17, n°4, 1999.
- [SANUKI 03] T. Sanuki, “Scalability of strained silicon CMOSFET and high drive current enhancement in the 40 nm gate length technology”, in *IEDM Tech. Dig.*, p.65-68, 2003.
- [SCHROD 90] Dieter K. Schroder, “Semiconductor Material and Device Characterization”, *J. Wiley & Sons*, ISBN 0-471-51104-8, 1990.
- [SHAHID 88] G. Shahidi, D. Antoniadis, H. Smith, “Electron Velocity Overshoot at Room and Liquid Nitrogen Temperatures in Silicon Inversion Layers”, *IEEE Trans. Elec. Dev.*, vol. 8, n° 2, p. 94, 1988.
- [SHERAW 05] C. D. Sheraw, “Dual stress liner enhancement in hybrid orientation technology”, *Symp. On VLSI Technology*, Kyoto, Japan, 2005.
- [SHERON 94] M.J. Sherony, “SOI MOSFET Effective Channel Mobility”, *IEEE Transactions on Electron Devices*, vol. 41, n°2, p. 276-278, février 1994.
- [SHIMIZ 01] A. Shimizu, “Local Mechanical-Stress Control (LMC):A New Technique for CMOS-Performance Enhancement”, in *IEDM Tech. Dig.*, p.433-436, 2001.
- [SHUR 02] S. Shur, “Low Ballistic Mobility in Submicron HEMTs”, *Elec. Dev. Lett.*, vol. 23, n°9, p.511-513, 2002.
- [SKOTNI 04] T. Skotnicki, “CMOS analysis (architectures and new materials) for the end of the roadmap”, *Short Course, VLSI Technology Digest*, 2004.
- [SMITH 54] C.S. Smith, “Piezoresistance effect in germanium and silicon”, *Phys. Rev.*, vol. 94 n°1, 42-49, 1954.
- [SODINI 82] C. Sodini, T. Ekstedt, J. Moll, “Charge accumulation and mobility in thin dielectric MOS transistors”, *Solid State Electronics*, vol. 25, n°9, p. 833-841, 1982.
- [STEEGE 98] A. Steegen, “Local Mechanical stress induced defects for Ti and Co/Ti silicidation in sub-0.25 μm MOS-technologies”, *Symp. VLSI Tech. Dig.*, p.200-201, 1998.
- [STEEGE 99] A. Steegen, “Silicidation induced pattern density and orientation dependent transconductance in MOS transistors”, *IEDM Tech. Dig.*, p.497-500, 1999.
- [STERN 67] F. Stern, W.E. Howard, “Properties of Semiconductor Surface Inversion Layers in the Electric Quantum Limit”, *Physical Review*, vol. 163, n°3, p.816-835, November 1967.
- [STONE 09] G.G. Stoney, *Proc. R. Soc. London Ser. A* 82, 172, 1909.
- [SU 94] L.T. Su, “Measurement and Modeling of Self-Heating in SOI NMOSFET’s”, *IEEE Transactions on Electron Devices*, vol. 41, p. 69, 1994.
- [SUGII 03] N. Sugii, “Low-Temperature Electrical Characteristics of Strained-Si MOSFETs”, *Jpn. J. Appl. Phys.*, Vol. 42, p.1924-1927, 2003.
- [SUTHRA 07] S. Suthram, J. C. Ziegert, T. Nishida, S. E. Thompson, “Piezoresistance Coefficients of (100) Silicon nMOSFETs Measured at Low and High (~1.5 GPa) Channel Stress”, *IEEE Electron Device Letters*, Vol. 28, n° 1, p. 58-61, January 2007.

- [SUZUKI 84] K. Suzuki, "Origin of the Linear and Nonlinear Piezoresistance Effects in p-Type Silicon", *Jap. J. Appl. Phys.*, vol.23, n°11, p. 871-874, 1984.
- [SZE 81] S.M. Sze, "Physics of Semiconductor Devices", *John Wiley and Sons*, 2nd edition, 880 p., 1981.
- [TAKAGI 02] S. Takagi, "Subband Structure Engineering for Realizing Scaled CMOS with High Performance and Low Power Consumption", *IEICE Trans. Electron.*, vol.E85-C, n°5, p.1064-1072, may 2002.
- [TAKAGI 03] S. Takagi, "Re-examination of subband structure engineering in ultra-short channel MOSFET's under ballistic carrier transport", *Symp. VLSI Tech. Dig.*, p.115-116, 2003.
- [TAKAGI 04] S. Takagi, "High Mobility Channel MOSFETs Combined with Thin Body Structures for Continuous Improvement of CMOS", *IFST*, 17-19 february, Paris, France, 2004.
- [TAKAGI 94a] S. Takagi, A. Toriumi, M. Iwase, H Tango, "On the universality of inversion layer mobility in Si MOSFET's: Part I - Effects of Substrate Impurity Concentration", *IEEE Transactions on Electron Devices*, Vol. 41 , n° 12 , p. 2357 – 2362, Dec. 1994.
- [TAKAGI 94b] S. Takagi, A. Toriumi, M. Iwase, H Tango, "On the universality of inversion layer mobility in Si MOSFET's: Part II – Effects of Substrate Orientation", *IEEE Transactions on Electron Devices*, Vol. 41 , n° 12, p. 2363 – 2368, Dec. 1994,.
- [TAKAGI 95] S. Takagi and A. Toriumi, "Quantitative understanding of inversion-layer capacitance in Si MOSFETs", *IEEE Trans. Electron Devices*, vol. 42, n°12, p.2125-2130, 1995.
- [TAKAGI 96] S. Takagi, J.L. Hoyt, J.J. Welser and J.F. Gibbons, "Comparative study of phonon-limited mobility of two-dimensional electrons in strained and unstrained Si metal-oxide-semiconductor field-effect transistors", *Journal of Applied Physics*, vol. 80, n°3, p. 1567-1577, 1996.
- [TAKAGI 99] S. Takagi, M. Takayanagi and A. Toriumi, "Characterization of inversion-layer capacitance of holes in Si MOSFET's", *IEEE Trans. Electron Devices*, vol.46, n°5, p.2125-2130, 1999.
- [TAKEUC 96] K. Takeuchi, "An Effective Channel Length Determination Method for LDD MOSFET's", *IEEE Transactions on Electron Devices*, vol. 43, n°4, p.580-587, avril 1996.
- [TATESH 06] Y. Tateshita, J. Wang, K. Nagano, T. Hirano, Y. Miyanami, T. Ikuta, T. Kataoka, Y. Kikuchi, S. Yamaguchi, T. Ando, K. Tai, R. Matsumoto, S. Fujita, C. Yamane, R. Yamamoto, S. Kanda, K. Kugimiya, T. Kimura, T. Ohchi, Y. Yamamoto, Y. Nagahama, Y. Hagimoto, H. Wakabayashi, Y. Tagawa, M. Tsukamoto, H. Iwamoto, M. Saito, S. Kadomura and N. Nagashima, "High-Performance and Low-Power CMOS Device Technologies Featuring Metal/High-k Gate Stacks with Uniaxial Strained Silicon Channels on (100) and (110) Substrates", *IEDM Proc.*, 2006.
- [TAUR 92] Y. Taur, "A new 'shift and ratio' method for MOSFET channel-length extraction", *IEEE Electron Devices Letters*, 13,5 pp 267-269, 1992.
- [TEZUKA 04] T. Tezuka, S. Nakaharai, Y. Moriyama, N. Sugiyama, S. Takagi, "Selectively-formed high mobility SiGe-on-Insulator pMOSFETs with Ge-rich strained surface channels using local condensation technique", *VLSI Tech. Dig.*, p. 198, 2004.
- [THEAN 05] A.V.Y. Thean, White-T; Sadaka-M; McCormick-L; Ramon-M; Mora-R; Beckage-P; Canonico-M; Wang-X-D; Zollner-S; Murphy-S; Van-Der-Pas-V; Zavala-M; Noble-R; Zia-O; Kang-L-G; Kolagunta-V; Cave-N; Cheek-J; Mendicino-M; Nguyen-B-Y; Orłowski-M; Venkatesan-S; Mogab-J; Chang-CH; Chiu-YH; Tuan-HC; See-YC; Liang-MS; Sun-YC; Cayrefourcq-I; Metral-F; Kennard-M; Mazure-C, "Performance of super-critical strained-Si directly on insulator (SC-SSOI) CMOS based on high-performance PD-SOI technology", in *IEEE Symp. VLSI Tech. Dig.*, p. 134-5, 2005.
- [THEVEN 07] L. Thevenod, M. Cassé, W. Desrat, M. Mouis, G. Reibold, D. K. Maude, and F. Boulanger, "Magnetoresistance mobility extraction on TiN/HfO₂/SiO₂ metal-oxide-semiconductor field effect transistors", *Appl. Phys. Lett.*, vol. 90, n° 15, April 2007.
- [THOMPS 02] S. Thompson et al., "A 90nm Logic Technology Featuring 50nm Strained Silicon Channel Transistors, 7 Layers of Cu Interconnects, Low k ILD, and 1µm² SRAM Cell", *Tech. Dig. IEDM*, p. 61-64, 2002.
- [THOMPS 04] S.E. Thompson et al., "A logic nanotechnology featuring strained silicon", *IEEE EDL*, vol.25, p.191-193, 2004 and *IEEE TED*, vol. 51, n° 11, p.1790-1797, 2004.
- [THOMPS 05] S.E. Thompson, R.S. Chau, T. Ghani, K. Mistry, S. Tyagi, M. Bohr, "In Search of "Forever", continued transistor scaling one new material at a time", *IEEE Trans. Elec. Dev.*, vol. 18, n°1, p.26, 2005.
- [THOMPS 06] S.E. Thompson, "High K / Metal Gates: Performance, Benchmarking and Integration with Strained Si", séminaire SAGST présenté à Sematech le 27 sept. 2006.

- [TIMOSH 76] S. Timoshenko, "Strength of Materials", 3rd ed. Huntington: Robert E. Krieger Publishing Co., Inc., 1976, c1958.
- [TOFFOL 95] A. Toffoli, J-L. Pelloie, O. Faynot, "Accurate Determination of the Main Parameters from $V_t(V_b)$ Curves of Fully-Depleted SOI Devices", *Proc. IEEE Int. Conference on Microelectronic Test Structures*, vol. 8, 1995.
- [TOWNSE 87] P.H. Townsend, D.M. Barnett, T.A. Brunner, *J. Appl. Phys.*, vol. 62, n°11, p. 4438, 1987.
- [TSAI 06] M.-N. Tsai, Chang, P.-T. Liu, O. Cheng, C. T. Huang, "Temperature Effects of n-MOSFET Devices with Uniaxial Mechanical Strains", *Electrochem. Sol. State Lett.*, vol. 9, n°8, p.G276-G278, 2006.
- [TSIVID 03] Y. Tsvividis, "Operation and Modeling of the MOS Transistor", ed. McGraw-Hill, 2003.
- [UCHIDA 01] K. Uchida, J. Koga, R. Ohba, T. Numata, and S. Takagi, "Experimental evidence of quantum mechanical effects on electrical characteristics of ultra-thin body SOI MOSFETs", *Tech. Dig. IEDM*, p. 633-636, 2001.
- [UCHIDA 02] K. Uchida, H. Watanabe, A. Kinoshita, J. Koga, T. Numata, S. -I. Takagi, "Experimental Study on Carrier Transport Mechanism in Ultrathin-Body SOI n- and p-MOSFETs with SOI Thickness Less Than 5 nm", *Tech Dig. IEDM*, p. 47-50, 2002.
- [UCHIDA 04] Uchida, K.; Zednik, R.; Ching-Huang Lu; Jagannathan, H.; McVittie, J.; McIntyre, P.C.; Nishi, Y., "Experimental study of biaxial and uniaxial strain effects on carrier mobility in bulk and ultrathin-body SOI MOSFETs", *IEDM Technical Digest*, p.229- 232, 2004.
- [UCHIDA 05] K. Uchida, "Physical Mechanisms of Electron Mobility Enhancement in Uniaxial Stressed MOSFETs and Impact of Uniaxial Stress Engineering in Ballistic Regime", *IEEE IEDM Tech. Dig.*, p.129-132, 2005.
- [UNGERS 07a] E. Ungersboeck, S. Dhar, G. Karlowatz, H. Kosina, S. Selberherr, "Physical modeling of electron mobility enhancement for arbitrarily strained silicon", *J. Comput. Electron*, vol. 6, p. 55-58, 2007.
- [UNGERS 07b] E. Ungersboeck, S. Dhar, G. Karlowatz, V. Sverdlov, H. Kosina, S. Selberherr, "The effect of general strain on the band structure and electron mobility of silicon", *Transactions on Electron Devices*, vol. 54, n°9, p.2183-90, Sept. 2007.
- [VANDOO 06] A. Vandooren, "Physics and Integration of Fully-Depleted SOI Devices", présentation orale à MIGAS 2006, *Emerging Silicon Devices for the End of the Roadmap*, Autrans, 2006.
- [VARTAN 05] V. Vartanian, "Channel substrate engineering for the 65nm CMOS technology node and beyond", *Semiconductor FABTECH*, 26th edition, june 2005.
- [VdWALL 86] C. G. Van de Walle, "Theoretical calculations of heterojunction discontinuities in the Si/Ge system", *Phys. Rev. B*, vol. 34, no 8, p. 5621-5634, 1986.
- [VdWALL 89] C.G. Van de Walle, "Band line-ups and deformation potentials in the model-solid theory", *Phys. Rev. B*, vol.39, n°3, 1871-1883, 1989.
- [VOGL 83] P. Vogl et al., "A semi-empirical tight-binding theory of the electronic structure of semiconductors", *J. Phys. Chem. Solids*, vol. 44, n°5, 365-378, 1983.
- [WANG 92] Z.Z. Wang, J. Suski, D. Collard, E. Dubois, "Piezoresistivity effects in n-MOSFET devices", *Sensors and Actuators A*, vol.34, p.59-65, 1992.
- [WANG 93] Z.Z. Wang, "Piezoresistive simulation in MOSFETs", *Sensors and Actuators A.*, vol. 37-38, 357-364, 1993.
- [WANG 94] Z. Wang, "Modélisation de la Piézorésistivité du Silicium : Application à la Simulation de dispositifs MOS", *Thèse de doctorat* préparée à l'Université des Sciences et Techniques de Lille Flandre-Artois, Janvier 1994.
- [WANG 96] L.W. Wang, A. Zunger, "Pseudopotential-based multiband k.p method for ~250000-atom nanostructure systems", *Phys. Rev. B*, vol.54, n°16, 11417-35, 1996.
- [WEBER 04] O. Weber, F. Ducroquet, "55 nm high mobility SiGe(:C) pMOSFETs with HfO₂ gate dielectric and TiN metal gate for advanced CMOS", *in symp. VLSI Tech. Dig.*, p.42-43, 2004.
- [WEBER 05a] O. Weber, Y. Bogumilowicz, T. Enrst, J.-M. Hartmann, F. Ducroquet, F. Andrieu, C. Dupré, L. Clavelier, C. Le Royer, N. Cherkashin, M. Hytch, H. Dansas, A.-M. Papon, V. Carron, C. Tabone, S. Deleonibus, "Strained Si and Ge MOSFETs with High-k/Metal Gate for High Mobility Dual Channel CMOS", *IEDM Tech. Dig.*, 2005.
- [WEBER 05b] O. Weber, "Etude, Fabrication et Propriétés de Transport de Transistors CMOS associant un Diélectrique Haute Permittivité et un Canal de Conduction Haute Mobilité", *Thèse de doctorat de l'INSA de Lyon*, 2005.

- [WEBER 07a] O. Weber, "New Findings on Coulomb Scattering Mobility in Strained-Si nFETs and its Physical Understanding", *Tech Dig. In Symp. VLSI*, p.130-131, 2007.
- [WEBER 07b] O. Weber, "Examination of Additive Mobility Enhancements for Uniaxial Stress Combined with Biaxially Strained Si, Biaxially Strained SiGe and Ge Channel MOSFETs", in *Tech Dig IEDM*, 2007.
- [WELSER 94] J. Welser, J-L Hoyt, S. Takagi, J.F. Gibbons, "Strain Dependence of the Performance Enhancement in Strained-Si n-MOSFETs", in *Tech Dig. IEDM*, p.373-376, 1994.
- [WIDIEZ 05a] J. Widiez, M. Vinet, T. Poiroux, et al., "TiN metal gate thickness influence on Fully Depleted SOI MOSFETs physical and electrical properties", *IEEE Int. SOI conf.*, p. 30, 2005
- [WIDIEZ 05b] J. Widiez, T. Poiroux, M. Vinet, B. Previtali, M. Mouis, S. Deleonibus, « Experimental low field transport investigation in sub-0.1µm ultra-thin SOI single and double gate MOSFETs », *Proceedings Silicon Workshop on Nanoelectronics*, 2005.
- [WIKSTR 01] A. Wikstrom and P. Gudmundson, "Stresses in thin coatings from curvature measurements on non-planar substrates", *Multiscale Modeling of Materials Symposium Mater. Res. Soc. Symposium Proceedings*, Vol.653. Z10.4.1-6, 2001.
- [WILLAT 94] M. Willatzen, M. Cardona, N.E. Christensen, "Linear muffin-tin-orbital and k.p calculations of effective masses and band structure of semiconducting diamond", *Phys. Rev. B*, vol. 50, n° 24, 18054-59, 1994.
- [WONG 02] H.-S. P. Wong, "Beyond the Conventional Transistor", *IBM J. Res. & Dev.*, vol. 46, n°2-3, 2002.
- [WORTMA 65] J.J. Wortman and R.A. Evans, "Young's Modulus, Shear Modulus, and Poisson's Ratio in Silicon and Germanium", *Journal of Applied Physics*, vol. 36, n°1, p. 153-156, January 1965.
- [WU 05] K. Wu, "Strain Effects on the Valence Band of Silicon: Piezoresistance in P-Types Silicon and Mobility Enhancement in Strained Silicon PMOSFETS," *Ph.D. Dissertation*, Dept. of Electrical and Computer Engineering, University of Florida, Gainesville, FL, December 2005.
- [XIE 94] Y.H. Xie, "Semiconductor Surface Roughness : Dependence on Sign and Magnitude of Bulk Strain", *Physical Review Letters*, vol.73, n° 22, p.3006-3009, 1994.
- [YAN 92] R.-H. Yan, A. Ourmazd and K.F. Lee, "Scaling the Si MOSFET : from bulk to SOI to bulk", *IEEE Trans. Electron Devices*, vol.39, p.1704, 1992.
- [YANG 03a] M. Yang, "High performance CMOS fabricated on hybrid substrate with different crystal orientations", *IEDM Tech. Dig.*, p.453-456, 2003.
- [YANG 03b] M. Yang, E. P. Gusev, M. Jeong, O. Gluschenkov, D. C. Boyd, K. K. Chan, P. M. Kozlowski, C. P. D'Emic, R. M. Sicina, P. C. Jamison, and A. I. Chou, "Performance Dependence of CMOS on Silicon Substrate Orientation for Ultrathin Oxynitride and HfO₂ Gate Dielectrics", *IEEE Electron Device Letters*, Vol. 24, N°5, p.339-341, 2003.
- [YANG 04] H.S. Yang et al., "Dual Stress Liner for High Performance sub-45 nm Gate Length SOI CMOs Manufacturing", in *Proceeding IEDM, IEEE*, p.1075-78, 2004.
- [YEO 00] Y. -C. Yeo, V. S. Subramanian, J. Kedzierski, P. Xuan, T. -J. King, J. Bokor, "Nanoscale Ultra-Thin-Body Silicon-On-Insulator p-MOSFET with a SiGe/Si Heterostructure Channel", *IEEE Electron Device Letters*, Vol. 21, no. 4, p. 161-163, 2000.
- [YEO 02] Y. -C. Yeo, V. Subramanian, J. Kedzierski, P. Xuan, T. -J. King, J. Bokor, C. Hu, "Design and Fabrication of 50-nm Thin-Body p-MOSFETs With a SiGe Heterostructure Channel", *IEEE Transactions on Electron Devices*, vol. 49, no. 2, p. 279-286, 2002.
- [YODER 94] P.D. Yoder and K. Hess, *Semicond. Sci. Technol.*, vol. 9, p. 852, 1994.
- [YU 04a] H.Y. Yu, C. Ren, Y.-C. Yeo et al., "Fermi Pinning-Induced Thermal Instability of Metal-Gate Work Functions", *IEEE Electron Device Letters*, vol. 25, p. 337, 2004.
- [YU 04b] S. Yu, "Strained-Si-strained-SiGe dual-channel layer structure as CMOS substrate for single work-function metal-gate technology", *IEEE Electron Device Letters*, vol.25, p.402-404, June 2004.
- [ZAIMA 86] S. Zaima, "Piezoresistance in n-channel inversion layers of silicon films on sapphire", *J. Appl. Phys.*, vol. 60, p.3959-3966, December 1986.
- [ZAIMA 89] S. Zaima, T. Maruyama and Y. Yasuda, "Piezoresistance in n-channel inversion layers of Si MOSFETs", *Applied Surface Science*, vol. 41/42, p.433-438, 1989.
- [ZILLI 07] M. Zilli, D. Esseni, P. Palestri and L. Selmi, "On the Apparent Mobility in Nanometric n-MOSFETs", *Elec. Dev. Lett.*, vol. 28, n°11, p. 1036-1039, 2007.

Bibliographie de l'auteur

➤ CONFÉRENCES INTERNATIONALES AVEC ACTES PUBLIES

- F. Andrieu, T. Ernst, F. Lime, **F. Rochette**, K. Romanjek, S. Barraud, C. Ravit, F. Boeuf, M. Jurczak, M. Cassé, O. Weber, L. Brévard, G. Reibold, G. Ghibaudo, S. Deleonibus, “Experimental and Comparative Investigation of Low and High Field Transport in Substrate- and Process-Induced Strained Nanoscaled MOSFETs”, in *Symp. VLSI Tech. Dig.*, June 2005, p. 176-177.
- F. Andrieu, C. Dupré, **F. Rochette**, O. Faynot, L. Tosti, C. Buj, E. Rouchouze, M. Cassé, B. Ghyselen, I. Cayrefourcq, L. Brévard, F. Allain, J.C. Barbé, J. Cluzel, A. Vandooren, S. Denorme, T. Ernst, C. Fenouillet-Béranger, C. Jahan, D. Lafond, H. Dansas, B. Previtali, J.P. Colonna, H. Grampeix, P. Gaud, C. Mazuré and S. Deleonibus, “25nm Short and Narrow Strained FDSOI with TiN/HfO₂ Gate Stack”, in *Symp. VLSI Tech. Dig.*, June 2006, p. 134-135.
- **F. Rochette**, M. Cassé, M. Mouis, D. Blachier, C. Leroux, B. Guillaumot, G. Reibold, F. Boulanger, “Electron mobility enhancement in uniaxially strained MOSFETs: Extraction of the effective mass variation”, in Proc. ESSDERC, Montreux, September 2006, p. 93-96.
- F. Andrieu, O. Faynot, **F. Rochette**, J.-C. Barbé, C. Buj, Y. Bogumilowicz, F. Allain, V. Delaye, D. Lafond, F. Aussenac, S. Feruglio, J. Eymery, T. Akatsu, P. Maury, L. Brévard, L. Tosti, H. Dansas, E. Rouchouze, J.-M. Hartmann, L. Vandroux, M. Cassé, F. Boeuf, C. Fenouillet-Béranger, F. Brunier, I. Cayrefourcq, C. Mazuré, G. Ghibaudo, S. Deleonibus, “Impact of Mobility Boosters (XsSOI, CESL, TiN gate) on the Performance of <100> or <110> oriented FDSOI cMOSFETs for the 32nm Node”, in *Symp. VLSI Tech. Dig.*, June 2007, p. 50-51.
- V. Barral, T. Poiroux, **F. Rochette**, M. Vinet, S. Barraud, O. Faynot, L. Tosti, F. Andrieu, M. Cassé, B. Prévitali, R. Ritzenthaler, P. Grosgeorges, E. Bernard, G. LeCarval, D. Munteanu, J.L. Autran, S. Deleonibus, “Will strain be useful for 10nm quasi-ballistic FDSOI devices? An experimental study”, in *Symp. VLSI Tech. Dig.*, June 2007, p. 128-129.
- O. Bonno, S. Barraud, F. Andrieu, D. Mariolle, **F. Rochette**, M. Cassé, J. M. Hartmann, F. Bertin, and O. Faynot, “High-Field Electron Mobility in Biaxially-tensile Strained SOI: Low Temperature Measurement and Correlation with the Surface Morphology”, in *Symp. VLSI Tech. Dig.*, June 2007, pp. 134-135.
- F. Andrieu, F. Allain, C. Buj-Dufournet, O. Faynot, **F. Rochette**, M. Cassé, V. Delaye, F. Aussenac, L. Tosti, P. Maury, L. Vandroux, N. Daval, I. Cayrefourcq and S. Deleonibus, “Additivity between sSOI- and CESL-induced nMOSFETs Performance Boosts”, in *Proc. SSDM*, September 2007.
- M. Cassé, **F. Rochette**, N. Bhouri, F. Andrieu, D.K. Maude, M. Mouis, G. Reibold, F. Boulanger, “Mobility of strained and unstrained short channel FD-SOI MOSFETs: New insight by magnetoresistance”, in *Symp. VLSI Tech. Dig.*, June 2008.

➤ REVUES INTERNATIONALES

- **F. Rochette**, M. Cassé, M. Mouis, G. Reibold, D. Blachier, C. Leroux, B. Guillaumot, F. Boulanger, “Experimental evidence and extraction of the electron mass variation in [110] uniaxially strained MOSFETs”, *Solid State Electronics*, vol. 51, n°11-12, p. 1458-1465, 2007.

- **F. Rochette**, M. Cassé, F. Andrieu, G. Reibold, F. Boulanger, A. Haziot, T. Pioger, M. Mouis and G. Ghibaudo, "Piezoresistive coefficients of strained and unstrained Fully-Depleted Silicon-On-Insulator transistor inversion layers", soumis à *Solid State Electronics*, 2008.
- X. Garros, **F. Rochette**, F. Andrieu, G. Reibold and F. Boulanger, "Modeling and Direct Extraction of Band Offset Induced By Stress Engineering On SOI MOSFET From Leakage Current Measurements", soumis à *Journal of Applied Physics*, 2008.
- M. Cassé, **F. Rochette**, L. Thevenod, N. Bhouri, F. Andrieu, G. Reibold, F. Boulanger, M. Mouis, G. Ghibaudo, and D.K. Maude, "Comprehensive study of magnetoresistance mobility in short channel transistors: Application to strained and unstrained silicon-on-insulator field-effect transistors", soumis à *Journal of Applied Physics*, 2008.
 - CONFERENCES NATIONALES AVEC ACTES PUBLIES
- **F. Rochette**, "Caractérisation de l'influence des contraintes mécaniques sur les propriétés de transport dans les nouvelles architectures MOS", in *Proc. JNRDM*, 9th Session, Rennes, 10-12 Mai 2006, ISBN 978-2-9527172-0-5.
- **F. Rochette**, Q. Rafhay, R. Clerc, X. Mescot, O. Penas, F. Boeuf, C. Schaeffer, "Travaux Pratiques de Caractérisation Electrique au CIME – Grenoble : étude des transistors MOS nanométriques", 9^{ème} Journées Pédagogiques du CNFM, Saint-Malo, 22-24 novembre 2006 (article + poster / enseignement).
 - AUTRES PARTICIPATIONS
- **F. Rochette**, M. Cassé, M. Mouis, G. Reibold, F. Boulanger, "Détermination expérimentale de la variation de la masse de conductivité des électrons dans un transistor MOS sous contrainte uniaxiale selon [110] ", *GdR nanoélectronique CNRS n°2054* - Journées simulation et caractérisation des nanocomposants - Grenoble, 19-20 Octobre 2006.
- **F. Rochette**, M. Mouis, M. Cassé, "Characterization of the mechanical strain influence on electronic transport properties in MOSFETs", *MIGAS*, 9th Session - Emerging Silicon Devices for the End of the Roadmap - 25-30 June 2006, Autrans.
- **F. Rochette**, poster in 8th Annual Review - Minatec Crossroads - 29-31 May 2006, Grenoble.
- **F. Rochette**, "Caractérisation de l'influence des contraintes mécaniques sur les propriétés du transport électronique", Journées Scientifiques de l'IMEP – Composants CMOS Avancés Silicium et SOI - 23-24 Mai 2006, Saint-Nizier du Moucherotte.
 - RAPPORTS & PRESENTATIONS PROFESSIONNELS
- **F. Rochette**, Rapports et présentations annuels d'activité scientifique pour la Région Rhône-Alpes dans le cadre du projet *NAM* (Nouvelles Architectures MOS), 2005-2007.
- **F. Rochette**, Rapports et présentations annuels d'activité scientifique pour le CEA-Léti, Direction de la Recherche Technologique, CEA Grenoble, 2005-2007.
- **F. Rochette**, "Caractérisation et simulation électriques de transistors MOS SOI complètement désertés", Rapport de stage de fin d'études effectué au Laboratoire des Nano-Dispositifs Electronique du CEA-Léti (Grenoble), INSA de Lyon, 89 p., juillet 2004.
- **F. Rochette**, Rapports techniques et présentations internes pour le CEA : « Mobilité et piézorésistivité », « Les architectures à canal contraint », « Simulateur Poisson-Schrödinger et Contrainte Mécanique », nombreux rapports de lots électriques...
- **F. Rochette**, Présentations orales pour STMicroelectronics dans le cadre du projet européen FOREMOST, « Double laser anneal and electrical parameters: a low temperature analysis », Confidentiel, 2008.

TITRE : ETUDE ET CARACTERISATION DE L'INFLUENCE DES CONTRAINTES MECANIQUES SUR LES PROPRIETES DU TRANSPORT ELECTRONIQUE DANS LES ARCHITECTURES MOS AVANCEES

RESUME

La miniaturisation des transistors Métal-Oxyde-Semi-conducteur à effet de champ (MOSFET) ne suffit plus à satisfaire les spécifications de performances de l'*International Technology Roadmap for Semiconductors* (ITRS). Une solution consiste à améliorer le transport électronique dans le canal de conduction des MOSFETs : l'utilisation de l'effet piézorésistif du silicium est une option intéressante pour y parvenir.

Cette étude présente l'état de l'art des architectures innovantes permettant d'introduire des contraintes mécaniques dans les MOSFETs après avoir posé la problématique de la microélectronique actuelle. La physique du silicium contraint est aussi exposée. L'accent est plus particulièrement mis sur l'effet d'une contrainte mécanique sur la mobilité des porteurs, paramètre de transport fondamental de la couche d'inversion d'un MOSFET. La piézorésistivité bidimensionnelle est alors étudiée expérimentalement sur différentes architectures. La réduction de la masse effective de conduction des électrons sous contrainte uniaxiale en tension a pu être mise en évidence. Après avoir présenté les principales techniques de caractérisation électrique permettant d'extraire les paramètres de transport d'un transistor MOS, en particulier la technique avantageuse de l'extraction de la mobilité par magnétorésistance, l'origine physique du gain en mobilité est étudiée en détail sur des architectures innovantes de silicium contraint directement sur isolant (sSOI). Les dégradations de la mobilité et du gain induit par la contrainte mécanique avec la réduction des dimensions sont analysées. Les mécanismes responsables de la limitation de la mobilité dans les transistors ultracourts sont identifiés. Enfin des résultats de performances d'architectures avancées à canaux contraints par le substrat ou par le procédé de fabrication sont montrés afin d'illustrer l'intérêt du silicium contraint à des échelles déca-nanométriques. Les effets de superposition des techniques de mises sous contrainte du canal sont également abordés.

SPECIALITE

Micro-Nanoélectronique

MOTS-CLES

caractérisation, contrainte mécanique, CMOS, magnétorésistance, microélectronique, mobilité, MOSFET, piézorésistivité, silicium, SOI, transistor MOS, transport électronique.

TITLE : STUDY AND CHARACTERIZATION OF THE MECHANICAL STRESS INFLUENCE ON ELECTRONIC TRANSPORT PROPERTIES IN ADVANCED MOS ARCHITECTURES

ABSTRACT

The Metal-Oxide-Semiconductor-Field-Effect-Transistors (MOSFET) down-scaling becomes insufficient to satisfy the *International Technology Roadmap for Semiconductors* (ITRS) performances specifications. A solution consist in improving electronic transport in the MOSFET channel : the use of the silicon piezoresistive effect is an interesting alternative to reach that point.

This study presents the state-of-the-art of innovating architectures making it possible to generate strain in the MOSFET channel, after having outlined the problematics that the current microelectronics must face. The strained-Si physics is also expounded. The emphasis is on the mechanical stress effect on carrier mobility which is a fundamental transport parameter in a MOSFET inversion layer. The two-dimensional piezoresistivity is then experimentally studied on various architectures. Electron conductivity mass decreasing under tensile uniaxial stress has been evidenced. After having presented the main electrical characterization techniques making it possible to extract the transport parameters of a MOS transistor, in particular the attractive mobility extraction by magnetoresistance, the physical origin of the mobility gain is extensively analysed on advanced architectures such as strained Silicon Directly On Insulator transistors (sSOI). The electron mobility and the stress-induced gain degradations with the gate length down-scaling are analysed. The mechanisms involved in the mobility limitation in very short channels are identified. Finally performances results of advanced substrate- or process-induced strained nanoscaled MOSFETs are shown in order to illustrate the benefit of strained silicon for the next CMOS generations. The cumulative effect of techniques able to strain the channel are also broached.

KEY WORDS

characterization, strain, mechanical stress, CMOS, magnetoresistance, microelectronic, mobility, MOSFET, piezoresistivity, silicon, SOI, MOS transistor, electronic transport.

Thèse préparée au Laboratoire d'Electronique et des Technologies de l'Information (CEA-LETI), 17 avenue des Martyrs, 38054 GRENOBLE Cedex 9, et à l'Institut de Microélectronique, Electromagnétisme et Photonique (IMEP-LAHC), 3 parvis Louis Néel, BP 257, 38016 GRENOBLE Cedex 1, au sein du pôle en Micro et NanoTechnologies (MINATEC), FRANCE.