



**HAL**  
open science

# Protection des Circuits Intégrés CMOS Profondément Submicroniques contre les Décharges Electrostatiques

Antoine Rivière

► **To cite this version:**

Antoine Rivière. Protection des Circuits Intégrés CMOS Profondément Submicroniques contre les Décharges Electrostatiques. Sciences de l'ingénieur [physics]. Université Montpellier II - Sciences et Techniques du Languedoc, 2008. Français. NNT : . tel-00341887

**HAL Id: tel-00341887**

**<https://theses.hal.science/tel-00341887>**

Submitted on 27 Nov 2008

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

ACADEMIE DE MONTPELLIER

**UNIVERSITE MONTPELLIER II**

—SCIENCES ET TECHNIQUES DU LANGUEDOC—

# THESE

présentée à l'université Montpellier II, Sciences et Techniques du Languedoc  
pour obtenir le grade de

**DOCTEUR de l'université Montpellier II**

SPECIALITE : **ELECTRONIQUE, OPTRONIQUE ET SYSTEMES**

*Formation doctorale* : **Systèmes Automatiques et Microélectroniques**

*Ecole Doctorale* : **Information, Structure et Systèmes**

## **Protection des Circuits Intégrés CMOS Profondément Submicroniques contre les Décharges Electrostatiques**

par

**Antoine RIVIERE**

Soutenue publiquement le **23 Mai 2008**, devant le jury composé de :

|                   |   |                       |
|-------------------|---|-----------------------|
| <b>M. BAFLEUR</b> | Directeur de recherche CNRS, LAAS, Toulouse         | Rapporteur            |
| <b>A. BRAVAIX</b> | Maître de Conférence Im2np, Toulon                  | Rapporteur            |
| <b>L. TORRES</b>  | Professeur, LIRMM, Université Montpellier II        | Président             |
| <b>F. AZAIS</b>   | Chargé de recherche CNRS, Université Montpellier II | Co-directeur de thèse |
| <b>D. BERNARD</b> | Docteur Ingénieur, ATMEL, Rousset                   | Examineur             |
| <b>P. NOUET</b>   | Professeur, LIRMM, Université Montpellier II        | Directeur de thèse    |
| <b>P. COLL</b>    | Docteur Ingénieur, ATMEL, Rousset                   | Membre Invité         |



# Remerciements

Les travaux présentés dans cette thèse ont été effectués en collaboration entre la société ATMEL Rousset et le laboratoire d'Informatique, de Robotique et de Microélectronique de Montpellier (LIRMM) dans le cadre d'un contrat CIFRE.

Je voudrais en premier lieu remercier Monsieur E.PALM, directeur du département "Libraries and Design Tools", de m'avoir permis d'effectuer mes travaux au sein de la société.

Je remercie les rapporteurs de cette thèse Madame M.BAFLEUR, directeur de recherche CNRS au LAAS à Toulouse, ainsi que Monsieur A.BRAVAIX, enseignant-chercheur à l'ISEN-Toulon pour l'intérêt qu'ils ont porté à mon travail.

Je souhaite également remercier Monsieur L.TORRES, Professeur à l'Université de Montpellier II, d'avoir accepté la présidence de mon jury de thèse.

Je tiens à exprimer toute ma gratitude à Monsieur P.COLL et Monsieur D.BERNARD qui ont assuré mon encadrement au sein de la société ATMEL. Leurs précieux conseils ont été déterminants dans le cheminement et la réalisation de ces travaux de thèse.

Je remercie également Madame F.AZAIS, chargée de recherche CNRS, et Monsieur P.NOUET, Professeur à l'Université de Montpellier II pour leurs nombreuses discussions et contributions aux différentes réflexions que nous avons eues ensemble.

Je souhaite vivement remercier l'ensemble de l'équipe "Digital Libraries" pour l'aide précieuse qu'elle m'a apportée et pour les agréables conditions de travail.

Je tiens également à remercier Monsieur B.BERTELLO, Monsieur J-J.KAZAZIAN pour leur support technique et leur sympathie qu'ils m'ont témoigné au cours de ces trois années de thèse.

Je ne peux pas terminer sans remercier ma femme, ma mère et mon frère pour leur soutien et leur affection depuis toutes ces années et sans avoir une pensée toute particulière pour mon père.



# Table des matières

|  |            |
|--|------------|
| <b>Remerciements</b>   | <b>iii</b> |
| <b>Glossaire</b>   | <b>1</b>   |
| <b>Introduction</b>  | <b>5</b>   |
| <b>I Généralités sur les ESD</b>   | <b>7</b>   |
| I.1 Généralités . . . . .  | 9          |
| I.1.1 La protection ESD . . . . .  | 9          |
| I.1.2 Evaluation du niveau de protection . . . . .                           | 10         |
| I.1.2.1 Modèles de décharge ESD . . . . .                                    | 10         |
| I.1.3 Caractérisation TLP . . . . .  | 16         |
| I.1.3.1 Système 50-500 $\Omega$ TLP . . . . .                                | 17         |
| I.1.3.2 VF-TLP . . . . .   | 17         |
| I.1.3.3 cc-TLP . . . . .   | 18         |
| I.1.4 Mécanismes de défaillance . . . . .                                    | 19         |
| I.2 Stratégie de protection . . . . .  | 20         |
| I.2.1 Stratégie locale de protection . . . . .                               | 20         |
| I.2.2 Stratégie globale de protection . . . . .                              | 21         |
| I.2.3 Stratégie de protection à étages . . . . .                             | 22         |
| I.2.3.1 Stratégie de protection à un étage . . . . .                         | 22         |
| I.2.3.2 Stratégie de protection à deux étages . . . . .                      | 23         |
| I.2.4 Stratégie de protection utilisant un bus dédié de protection . . . . . | 23         |
| I.3 Eléments de protection à base de transistors bipolaires . . . . .        | 24         |
| I.3.1 La structure ggNMOS . . . . .  | 24         |
| I.3.1.1 Principe de fonctionnement . . . . .                                 | 24         |
| I.3.1.2 Amélioration apportée . . . . .                                      | 27         |
| I.3.2 La structure LVTPNP . . . . .  | 38         |
| I.3.2.1 Etat de l'art . . . . .  | 38         |
| I.3.2.2 Contribution . . . . .   | 39         |
| I.4 Conclusion . . . . .   | 43         |

|   |           |
|---|-----------|
| <b>II Développement d'une protection centrale</b>                                 | <b>45</b> |
| II.1 Etat de l'art . . . . .  | 47        |
| II.1.1 Les protections centrales élémentaires à base de diodes empilées . . . . . | 47        |
| II.1.1.1 Le pont de diode . . . . .   | 47        |
| II.1.1.2 Le pont de diode amélioré "Cladded Bias Network" . . . . .               | 49        |
| II.1.1.3 Le circuit de diodes en "Porte à faux" . . . . .                         | 51        |
| II.1.2 Le "Power Clamp" à base de MOS . . . . .                                   | 52        |
| II.1.2.1 Principe . . . . .   | 52        |
| II.1.2.2 Optimisation du filtre de détection . . . . .                            | 53        |
| II.1.2.3 Optimisation de la surface . . . . .                                     | 54        |
| II.2 Conception et amélioration d'une protection centrale . . . . .               | 57        |
| II.2.1 Introduction . . . . .   | 57        |
| II.2.2 Conception du détecteur . . . . .  | 58        |
| II.2.2.1 La capacité de découplage . . . . .                                      | 58        |
| II.2.2.2 Le dimensionnement du filtre . . . . .                                   | 60        |
| II.2.3 Conception du dispositif de maintien . . . . .                             | 64        |
| II.2.4 Circuit d'immunité au bruit . . . . .                                      | 64        |
| II.2.5 Amplification du signal de contrôle . . . . .                              | 67        |
| II.2.6 Le circuit global . . . . .  | 68        |
| II.3 Conclusion . . . . .   | 70        |
| <b>III Mise en œuvre d'une cellule de protection</b>                              | <b>73</b> |
| III.1 Flot de validation . . . . .  | 75        |
| III.1.1 Phase de conception . . . . .   | 75        |
| III.1.2 Phase de caractérisation . . . . .  | 76        |
| III.1.2.1 Description . . . . .   | 76        |
| III.1.2.2 Automatisation de la phase de caractérisation . . . . .                 | 77        |
| III.1.3 Procédure de développement . . . . .                                      | 81        |
| III.2 Création d'une fiche technique . . . . .                                    | 83        |
| III.2.1 Propriétés restrictives . . . . .   | 83        |
| III.2.2 Règles d'utilisation . . . . .  | 83        |
| III.3 Vérification au niveau circuit . . . . .                                    | 87        |
| III.3.1 Présentation de l'outil . . . . .   | 87        |
| III.3.2 Création d'un module de vérification ESD . . . . .                        | 87        |
| III.4 Conclusion . . . . .  | 89        |
| <b>IV Amélioration de la cellule de détection</b>                                 | <b>91</b> |
| IV.1 Circuit de coupure . . . . .   | 93        |
| IV.1.1 Principe . . . . .   | 93        |
| IV.1.2 Approche théorique . . . . .   | 94        |

---

|        |  |            |
|--------|--|------------|
| IV.1.3 | Limitation du dispositif . . . . .                           | 98         |
| IV.1.4 | Optimisation de la cellule de coupure . . . . .              | 99         |
| IV.2   | Détection sur niveau . . . . .                               | 101        |
| IV.2.1 | Définition du concept . . . . .                              | 101        |
| IV.2.2 | Étude statique du dispositif de détection . . . . .          | 102        |
| IV.2.3 | Effet de la température . . . . .                            | 106        |
| IV.2.4 | Influence des variations du procédé de fabrication . . . . . | 109        |
| IV.2.5 | Etude transitoire . . . . .                                  | 111        |
| IV.2.6 | Circuit final . . . . .                                      | 113        |
| IV.3   | Conclusion . . . . .   | 115        |
|        | <b>Conclusion et Perspectives</b>                            | <b>117</b> |
|        | <b>Annexes</b>   | <b>121</b> |



# Glossaire

- **CDM** *Charged Device Model*  
Modèle de charge et de décharge électrostatique reproduisant une décharge engendrée par l'accumulation de charges à l'intérieur même du circuit lors de sa fabrication ou du stockage du composant.
- **cc-TLP** *coupled-capacitor-Transmission Line Pulse*  
Méthode de caractérisation permettant de mettre en évidence l'efficacité des structures de protection relative aux évènements ESD de type CDM.
- **CTAT** *Conversely To Absolute Temperature*  
Diminutif décrivant une influence inversement proportionnelle en température.
- **DRC** *Design Rules Check*  
Diminutif décrivant les différentes règles de dessin à respecter liées aux contraintes technologiques d'implémentation.
- **ERC** *Electrical Rules Check*  
Diminutif décrivant les différentes règles de dessin à respecter liées aux contraintes électriques d'implémentation.
- **EOS** *Electrical OverStress*  
Surcharge électrique.
- **ESD** *Electrostatic Discharge*  
Décharge électrostatique.
- **FCDM** *Field induced Charge Device Model*  
Méthode de test CDM utilisant la charge du circuit par induction.

- **gcNMOS** *gate-coupled NMOS*  
Structure de protection utilisant le bipolaire parasite de la structure MOS initialisé par la mise en conduction du transistor MOS.
- **ggNMOS** *grounded-gate NMOS*  
Structure de protection utilisant le bipolaire parasite de la structure MOS avec la grille connectée à la source pour éviter tout fonctionnement MOS.
- **GDCS** *Gate to Drain Contact Spacing*  
Distance séparant la grille des contacts situés sur le drain pour un transistor MOS.
- **GSCS** *Gate to Source Contact Spacing*  
Distance séparant la grille des contacts situés sur la source pour un transistor MOS.
- **HBM** *Human Body Model*  
Modèle de décharge électrostatique caractéristique du contact humain.
- **LVTPNP** *Low-Voltage-Triggering PNP*  
Structure de protection utilisant un bipolaire avec diminution de la tension de déclenchement.
- **LDD** *Light Doped Drain*  
Zone d'implants situées sous la grille du transistor MOS à proximité des actives établissant une continuité dans les doses d'implant entre celles-ci et le substrat.
- **MM** *Machine Model*  
Modèle de décharge électrostatique caractéristique du contact machine (Bras métallique robotisé).
- **ND-Mode** *Negative to Vdd Mode*  
Diminutif décrivant la combinaison de stress de polarité négative entre un pad et une alimentation.
- **NS-Mode** *Negative to Vss Mode*  
Diminutif décrivant la combinaison de stress de polarité négative entre un pad et une masse.
- **SSO noise** *Simultaneously Switching Output noise*  
Bruit créé sur l'alimentation par les commutations simultanées des interfaces du circuit.

- 
- **PD-Mode** *Positive to Vdd Mode*  
Diminutif décrivant la combinaison de stress de polarité positive entre un pad et une alimentation.
  
  - **PS-Mode** *Positive to Vss Mode*  
Diminutif décrivant la combinaison de stress de polarité positive entre un pad et une masse.
  
  - **PTAT** *Proportional To Absolute Temperature*  
Diminutif décrivant une influence proportionnelle en température.
  
  - **TLP** *Transmission Line Pulse*  
Méthode de caractérisation permettant de mettre en évidence l'efficacité des structures de protection.
  
  - **vF-TLP** *Very-Fast Transmission Line Pulse*  
Méthode de caractérisation permettant de mettre en évidence l'efficacité des structures de protection vis à vis des décharges de type CDM.
  
  - **ZCE** *Zone de charge et d'espace*  
Zone déplétée de porteurs d'une jonction PN.



# Introduction

Le phénomène de décharge électrostatique est connu de toute personne ayant ressenti une impulsion électrique après avoir retiré un tricot en acrylique ou ayant entendu parler de l'explosion en 1937 en plein vol de l'"Hindenburg", le plus grand dirigeable jamais construit. En effet la cause de ces événements est directement liée au phénomène de décharge électrostatique (ESD) générant un arc électrique de plus ou moins forte intensité. Ce n'est qu'au 17<sup>ème</sup> siècle qu'une première machine fût construite par Otto von Guericke afin de générer des décharges électriques et permettre diverses expérimentations pour l'étude de la conduction électrique. Aux cours des années qui suivirent, plusieurs machines à frottement fûrent construites. Ce n'est que durant le 20<sup>ème</sup> siècle que les recherches de Noël Felici ont mené à la construction d'un générateur électrostatique commercialisé jusque dans les années 1970 et utilisé pour des essais électriques et des projections électrostatiques. Le rendement de ces générateurs reste cependant limité. Ces derniers ne conviennent pas comme nouvelle source d'énergie exploitable vouée à une production industrielle.

Par ailleurs, un phénomène naturel comme la foudre, qui n'est autre qu'une décharge électrostatique à grande échelle échangeant quelques centaines de coulombs entre le ciel et la terre, fait aujourd'hui l'objet de toutes les attentions pour pouvoir être maîtrisé. L'homme qui essaie d'exploiter l'énergie issue de ce phénomène, doit en revanche s'en protéger lors du développement technologique des circuits intégrés en microélectronique où la diminution des dimensions fragilise les circuits vis-à-vis de ce phénomène. Les décharges électrostatiques sont des ondes en courant rapides et intenses pouvant causer de nombreuses dégradations sur les circuits intégrés et entraîner la perte de fonctionnalité du circuit.

Aujourd'hui le monde du semi-conducteur au regard du phénomène ESD n'en est plus au stade de l'observation comme en 1958 lorsqu'il était assimilé à un phénomène mystérieux qui causait de nombreuses défaillances sur les premiers transistors de puissance. Il fallut attendre le début des années 70 pour voir apparaître les premières structures dédiées à la protection des circuits intégrés et à la mise en place de modèles et de normes utilisés pour la qualification des circuits intégrés au niveau ESD. De plus, la création de l'association ESD, communauté regroupant industriels, chercheurs et étudiants a permis la mise en commun des multiples avancées sur les dispositifs de protection appliqués aux semi-conducteurs d'un point de vue technologique, topologique ou concernant encore la conception de circuit.

Les travaux exposés dans ce manuscrit concernent principalement la mise en place d'une stratégie de protection mettant en œuvre de nouvelles cellules de protection en technologie CMOS épitaxiée. Il sera également présenté le fonctionnement et les améliorations apportées sur des structures de protection à conduction bipolaire implantées sur des circuits présentant une sensibilité aux ESDs. Le manuscrit s'articule autour de quatre parties décrites ci-après.

Le premier chapitre présentera les différentes catégories de décharges électrostatiques, les types de défaillances engendrées sur les circuits intégrés et la description des différents systèmes permettant d'évaluer la tenue ESD des circuits. De plus, nous effectuerons la synthèse des principales stratégies de protection au niveau circuit en précisant leurs avantages et leurs inconvénients. Nous présenterons également les résultats obtenus sur silicium et établiront des règles de dessin concernant des structures de protection utilisant la conduction bipolaire pour évacuer les décharges électrostatiques.

Les propriétés électriques de ce type de structure présentent une dépendance avec le procédé technologique de fabrication qui s'avère être une limitation dans la conception d'une protection. Pour cela, et après avoir effectué une étude bibliographique, notre objectif fût de développer une protection dynamique à base de transistors MOS permettant de s'affranchir de la dépendance à la technologie. Les chapitres 2 et 3 proposeront respectivement la conception détaillée d'une cellule de protection dynamique et la méthode de caractérisation associée permettant la qualification de la protection au niveau cellule mais également au niveau circuit. Nous présenterons enfin la procédure d'exploitation des résultats de simulation menant à l'édition d'un document de référence.

La difficulté principale rencontrée lors de la conception de la cellule est d'obtenir une protection efficace contre les décharges électrostatiques tout en garantissant un niveau de transparence optimal et adapté aux applications visées. En effet certains systèmes imposent un environnement de fonctionnement électrique contraignant se traduisant par des rampes d'alimentation très rapides. Cette situation électrique peut être interprétée par la protection comme une décharge électrostatique menant ainsi au déclenchement de la protection et se traduisant par une consommation en courant voire la perte de la fonctionnalité du circuit.

Nous proposerons dans le dernier chapitre une solution adaptée aux contraintes décrites précédemment et permettant d'arrêter la consommation en courant de la cellule de protection lorsque celle-ci a déclenché intempestivement lors de la mise sous tension du circuit. Pour finir, nous présenterons ensuite un nouveau concept de détection basé sur la reconnaissance dynamique du niveau de tension aux bornes du dispositif.

# **Chapitre I**

## **Généralités sur les ESD**

Avec la réduction des dimensions élémentaires, il est aujourd'hui inimaginable de ne pas prendre en considération le risque potentiel grandissant des décharges électrostatiques sur les circuits intégrés. Les risques encourus pour une puce électronique deviennent importants dès la sortie des pièces de l'unité de fabrication où l'environnement clos est protégé contre les décharges électrostatiques. En effet pendant toutes les phases de fabrication ou de caractérisation, l'utilisation de matériels antistatiques est une priorité pour manipuler les plaques de silicium et les circuits encapsulés. Les risques augmentent lors des procédures de test et d'assemblage sur carte électronique ou pendant l'utilisation du produit. Les applications manipulables par l'utilisateur telles que les cartes à puces ou encore les clés USB se généralisant, les circuits sont contraints de résister aux multiples agressions. De plus le boîtier, le transport ou encore le stockage sont devenus de nouvelles sources constituant un risque majeur de décharge électrostatique pour les circuits intégrés en technologies profondément submicroniques.

Ce chapitre présente les différents aspects des décharges électrostatiques, leur impact sur les circuits électroniques, les méthodes et solutions apportées par la communauté ESD pour protéger les circuits intégrés ainsi que les travaux expérimentaux effectués au cours des trois années de thèse.

Dans une première partie, nous rappelons les contextes d'apparition des phénomènes de décharge électrostatique en distinguant les différents types de décharge et les méthodes de caractérisation employées en vue de la qualification du niveau de protection d'un circuit contre les décharges électrostatiques. Afin de rendre un circuit robuste vis-à-vis des décharges électrostatiques, il convient de mettre en place une stratégie de protection. Les différentes stratégies de protection sont présentées au cours de la seconde partie du chapitre.

Dans une dernière partie, nous décrivons le principe de fonctionnement et les améliorations effectuées en technologie CMOS 0,18  $\mu\text{m}$  siliciurée concernant deux structures de protection utilisant la conduction bipolaire.

## I.1 Généralités

Une décharge électrostatique est un phénomène transitoire qui se produit lorsque l'on soumet, deux matériaux chargés à des potentiels différents à un simple rapprochement ou à un contact. La conséquence de la réunion de deux accumulateurs électriques, chargés différemment, induit un rééquilibrage brutal des charges entre les deux matériaux appelé décharge électrostatique. Cette décharge en courant entre les deux parties permet de stabiliser, d'un point de vue électrique, le nouveau corps ainsi formé. Ce phénomène appelé triboélectrification est un phénomène d'électricité statique et peut engendrer de forts courants transitoires sur des délais très brefs. Tous les corps conducteurs ou semi-conducteurs peuvent acquérir une quantité de charge par les phénomènes d'électrisation ou d'induction électromagnétique. Cette partie a pour objectif de présenter le contexte d'apparition d'une décharge électrostatique et les impacts majeurs de ce phénomène sur les circuits intégrés.

### I.1.1 La protection ESD

Le nombre de défaillances attribué aux phénomènes de décharges électrostatiques est aujourd'hui considérable, il est incontournable pour un fondeur de qualifier le niveau de protection des circuits et cela ne va pas sans la possibilité de reproduire à souhait et de façon la plus réaliste possible les différentes décharges électrostatiques. Trois contextes d'apparition de décharges électrostatiques associées à trois formes d'ondes caractéristiques sont à considérer :

- Les décharges électrostatiques induites par contact humain.
- Les décharges électrostatiques produites par contact machine (bras robotisé).
- Les décharges électrostatiques créées lors de la mise à la masse du circuit après que celui-ci eût fait l'objet d'une accumulation de charges.

Ces trois modèles de décharges électrostatiques sont associés à des procédures de test normalisées permettant la qualification d'un produit en vue de connaître la robustesse ESD vis-à-vis des différents types de décharges électrostatiques. Ainsi un circuit peut être robuste vis-à-vis des décharges électrostatiques induites par contact humain sans pour autant résister à une décharge rapide se produisant lors de la mise à la masse du circuit préalablement chargé. Nous présentons dans la partie suivante les différentes procédures de test et les signatures électriques associées aux trois types de décharge.

## I.1.2 Evaluation du niveau de protection

L'origine des décharges électrostatiques est aujourd'hui bien connue et est de manière générale assimilée à un événement bref pouvant fournir un courant élevé sur une durée n'excédant pas 200 ns. Le niveau de courant, la durée et la rapidité de l'onde dépendent de plusieurs facteurs comme l'impédance et l'inductance de la ligne de propagation de la décharge. Il sera montré par la suite que certains éléments parasites peuvent impacter directement la forme de l'onde transmise.

### I.1.2.1 Modèles de décharge ESD

#### *Modèle HBM*

Le modèle HBM est le modèle de décharge le plus répandu dans le secteur des semi-conducteurs. Il permet de reproduire une décharge électrostatique caractéristique de l'accumulation électrique du corps d'un être humain lorsque celui-ci rentre en contact avec le circuit. Le schéma électrique dans sa version simplifiée représentatif de l'accumulation statique dont peut faire l'objet un être humain est présenté sur la figure I.2.

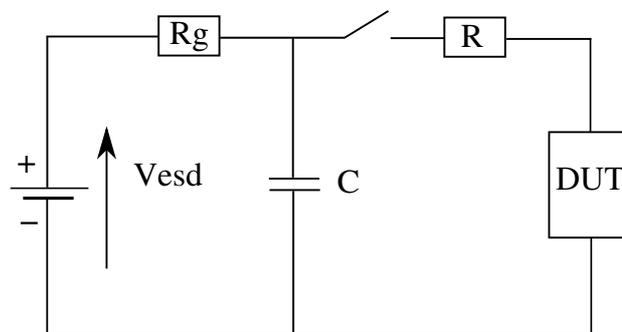


Fig. I.1 – Circuit simplifié modélisant la décharge de type HBM

Le circuit d'un testeur HBM s'apparente en l'association d'une capacité de valeur  $C=100\text{ pF}$  et d'une résistance de valeur  $R=1500\Omega$  représentant respectivement la capacité corporelle et la résistance intrinsèque musculaire du bras d'un être humain. La capacité est initialement chargée à une tension de référence HBM par l'intermédiaire d'une résistance de charge  $R_g > 1\text{ M}\Omega$ . Dès l'activation du relais, la capacité  $C$  est ensuite déchargée à travers la résistance  $R$  et induit une onde en courant entre deux plots du circuit sous test. La figure I.2 présente la forme d'une onde caractéristique d'une décharge électrostatique HBM pour une tension de charge de 2kV.

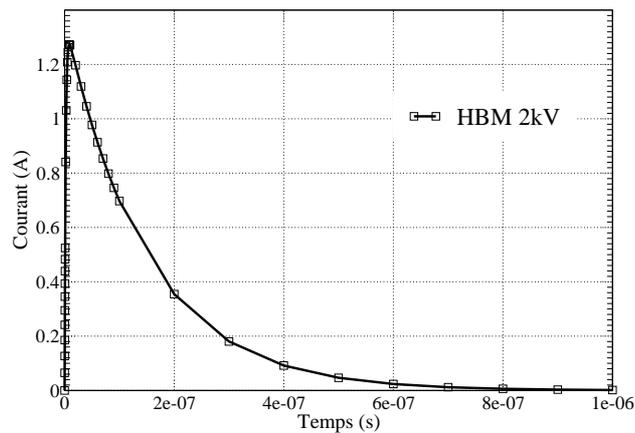


Fig. I.2 – Forme typique d'une onde HBM

En règle générale l'onde en courant générée par les testeurs HBM reproduit fidèlement la réalité d'un événement ESD de type HBM. La calibration et l'utilisation des testeurs sont régies par les normes ou procédures énoncées ci-dessous.

- Norme militaire : MIL-STD-883-F Method 3015.7
- Méthode de test standard évaluée par l'association ESD : ANSI/ESD-STM5.1-2001.
- Norme Jedec : JESD22-A114C.01.
- Spécification Automobile : AEC-Q100-002-Rev-D Method 002.

En effet, la qualification d'un circuit d'un point de vue HBM dépend directement de la procédure choisie. Les différentes normes, listées ci-dessus, renseignent sur le nombre de circuits devant être testés, les niveaux de tension de charge, le nombre de décharges électrostatiques ou encore les combinaisons de décharge des plots d'un circuit. Des différences entre les spécifications sont à considérer et cela nécessite une certaine prudence quant à la comparaison de la robustesse d'un circuit testé sous deux normes différentes. Par exemple, la spécification militaire impose trois décharges électrostatiques identiques alors que les autres spécifications stipulent uniquement une seule décharge électrostatique par niveau. Le circuit n'est donc pas qualifié dans les mêmes conditions. La norme militaire est par ailleurs considérée comme étant la méthode de test la plus agressive.

De plus, les composantes parasites des testeurs ne sont pas considérées dans les schémas descriptifs des modèles des documentations officielles. En effet, les spécifications ne font pas état des valeurs des éléments parasites telles que les inductances ou les effets capacitifs de la ligne de

transmission du testeur. La figure I.4 présente l'influence de la variation des éléments parasites de la ligne de transmission sur la forme de l'onde en courant en considérant le circuit de la figure I.3 et les valeurs des éléments parasites des testeurs mentionnées dans le tableau I.1.

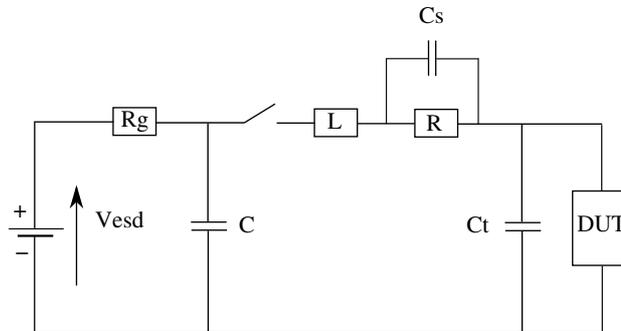


Fig. I.3 – Circuit équivalent LCR modélisant la décharge de type HBM

| Composants | Valeur        |
|------------|---------------|
| C          | 100pF         |
| R          | 1500 $\Omega$ |
| L          | 7,5 $\mu$ H   |
| $C_S$      | 1pF           |
| $C_T$      | 10pF          |

Tab. I.1 – Valeur des composants du circuit LCR modélisant la décharge HBM

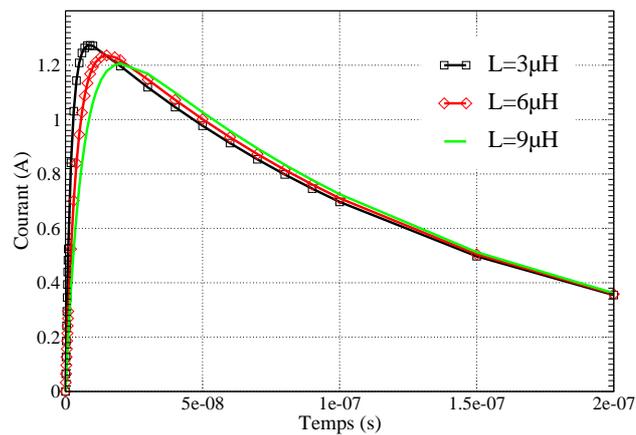


Fig. I.4 – Onde HBM pour différentes valeurs d'inductance parasite

Les variations des éléments parasites impactent majoritairement la rampe, le pic et la durée de l'onde en courant. Nous verrons par la suite que nous tenons compte de ces variations des éléments parasites d'un testeur HBM lors de la conception d'un circuit central de protection dynamique.

### Modèle MM

Le modèle de la machine permet de reproduire la décharge résultante d'un contact entre une partie métallique peu résistive et un circuit intégré relié à la masse.

- Méthode de test standard évaluée par l'association ESD : ESD/STM5.2-1999.
- Standard Jedec : EIA/JESD22-A115-A.
- Spécification Automobile : AEC-Q100-003-Rev-F.

Afin de modéliser ce phénomène, le circuit électrique est identique à celui du modèle HBM mais en considérant des valeurs de composants différentes. Les valeurs de la capacité de charge et de la résistance caractéristique d'un bras métallique généralement utilisées sont de  $100\text{pF}$  et  $25\Omega$  respectivement. La forme de l'onde MM concernant une tension de charge de  $100\text{V}$  est représentée sur la figure I.5.

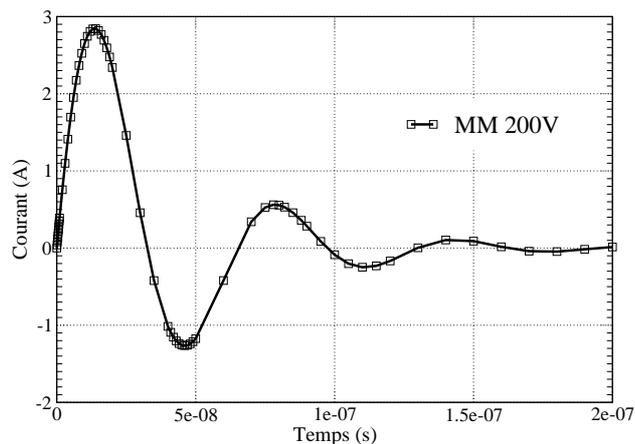


Fig. I.5 – Onde en courant de type MM

Les décharges électrostatiques HBM et MM sont caractérisées par une durée n'excédant pas  $200\text{ ns}$ , ce qui soumet la structure de protection pendant toute cette durée à un fort courant impliquant une énergie à dissiper dépendant de la résistance de la structure de protection et du niveau de courant. Plus la valeur de la résistance intrinsèque de conduction de la structure de protection est grande, plus le niveau de tension engendré aux bornes de celle-ci est élevé. Les dégradations physiques caractéristiques à ce type de décharge électrostatique sont l'altération des jonctions et la destruction des voies d'accès et des interconnexions par fusion. Sans atteindre la destruction, les décharges électrostatiques peuvent être à l'origine d'un vieillissement prématuré des transistors.

### Modèle CDM

La complexité grandissante des circuits, résultant en une augmentation de la taille des circuits, associée à la réduction des longueurs élémentaires des transistors ont entraîné une sensibilité des circuits à un nouveau type de décharge. Aujourd'hui la part de défaillances imputées aux décharges électrostatiques de type CDM (Charged Device Model) est grandissante par rapport à celles attribuées aux décharges de type énergétique. La décharge CDM est créée au sein même du circuit et initiée par l'accumulation de charges durant la fabrication ou lors du transport ou du stockage des puces électroniques dans les tubes plastifiés. La décharge apparaît lors du dépôt du circuit, durant la phase d'assemblage sur les cartes imprimées ou au cours des différents tests du composant. Il suffit que l'un des plots du circuit entre en contact avec du matériel polarisé à une référence de tension différente de celle du circuit pour qu'une décharge apparaisse et se propage à l'intérieur même du circuit en rejoignant l'extérieur du circuit.

Ce type de décharge est très rapide et difficile à modéliser car dépendant étroitement des éléments internes du circuit tels que les capacités et les résistances parasites liées au routage. De plus l'environnement tel que la nature du boîtier ou le câblage des entrées peuvent faciliter ou empêcher l'accumulation de charges du circuit. La forme de l'onde standard CDM est présentée sur la figure I.6.

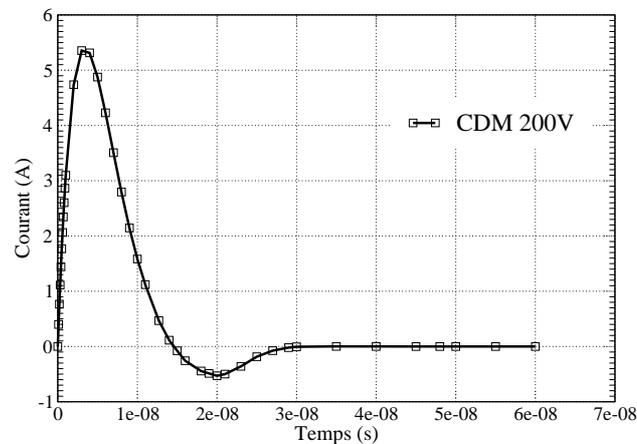


Fig. I.6 – Onde en courant de type CDM

Le nombre grandissant d'Entrées/Sorties sur un circuit facilite également l'accumulation des charges [CVA<sup>+</sup>98]. J. Lee [LHC<sup>+</sup>00] [LKH<sup>+</sup>03] et son équipe ont mis en place une méthodologie globale de modélisation du CDM au niveau circuit en hiérarchisant les différentes parties d'un circuit, distinguées par leurs localisations, leurs fonctionnalités et leurs alimentations. Par la suite, un macro-modèle CDM est associé à chaque sous-circuit et tous les potentiels obtenus aux bornes de chaque transistor sont analysés et comparés à la rigidité du diélectrique des transistors considérés. Une étude complémentaire [SSS<sup>+</sup>] [SCJS<sup>+</sup>05] révèle que la prise en compte du

substrat (capacité et résistance intrinsèque) dans le modèle de simulation met en évidence de nouveaux chemins de conduction de la décharge électrostatique. La norme de test standard associée est l'ESD-STM5.3.1-1999. Deux procédés de test sont disponibles :

- FIM "Field-Induced-Method". Méthode permettant de charger le circuit par induction.
- DCM "Direct-Charging-Method". Méthode permettant de charger le circuit directement par contact.

Le circuit à tester dans son boîtier est placé à l'envers sur un support métallique. Selon le type de système de test employé, la charge est appliquée soit directement par contact à travers l'entrée la moins résistive du circuit pour permettre la polarisation du substrat ou bien par induction dans le cas du FIM. Cette dernière méthode réduit la durée du test et permet de minimiser les effets parasites indésirables induit par le système de charge par contact.

Concernant la méthode FIM qui est la plus employée, la durée du test CDM dépend directement du temps nécessaire au positionnement du bras métallique au-dessus du plot d'E/S à décharger. Par conséquent, augmenter le nombre d'Entrée/Sortie revient à augmenter considérablement la durée du test.

Dans les années 90, un test CDM alternatif, appelé SDM a été mis au point pour diminuer la durée des tests CDM. Le circuit est inséré sur un socket et testé avec une procédure de test s'apparentant au test HBM et MM utilisant le principe des relais. Cette technique est très efficace pour réduire la durée du test. En revanche, des analyses théoriques ont été effectuées [CVA<sup>+</sup>98] et mettent en évidence des différences concernant la forme des ondes en courant induisant plusieurs types de défaillances obtenues pour un même test SDM. Également trop éloignée d'une décharge CDM réelle, l'association ESD a convenu qu'aucune norme de test serait éditée.

Contrairement aux décharges de type HBM ou MM, la décharge CDM impacte principalement les oxydes de grille des transistors de coeur sous l'effet de forts champs électriques. En effet, un champ électrique élevé peut entraîner une rupture du diélectrique dans le cas où le champ imposé est plus élevé que la rigidité diélectrique de l'isolant. Dans certains cas, il y a injection de porteurs chauds piégés dans l'oxyde [LKH<sup>+</sup>03], ce qui a tendance à favoriser le vieillissement de l'oxyde ou produire des défaillances irréversibles.

### I.1.3 Caractérisation TLP

La caractérisation TLP est utilisée pour déterminer l'efficacité d'une structure de protection par rapport à son niveau de robustesse et à sa faculté à protéger un circuit. La signature de l'onde HBM en courant (double exponentielle) permet difficilement de mettre en évidence le fonctionnement à fort courant de la protection. L'introduction de générateurs d'impulsions carrées a facilité le développement et l'analyse du niveau de performance d'une protection ESD. Le principe du banc de caractérisation TLP consiste à appliquer des impulsions carrées les unes après les autres en incrémentant le niveau en courant. Pour chaque niveau de courant, la réponse en tension de la structure est mesurée. La courbe I/V de sortie associée à une mesure du courant de fuite correspond à la signature de conduction de la protection en régime ESD. La figure I.7 présente un exemple de résultat de caractérisation TLP pouvant être attribué à une protection efficace. Une protection ESD est définie comme efficace lorsqu'elle respecte la fenêtre de fonctionnement ESD. En effet cette fenêtre est définie par un niveau bas de transparence imposé par le régime de fonctionnement du circuit à protéger et par un niveau haut à ne pas dépasser, défini comme tension interdite provoquant des défaillances irréversibles des transistors à protéger.

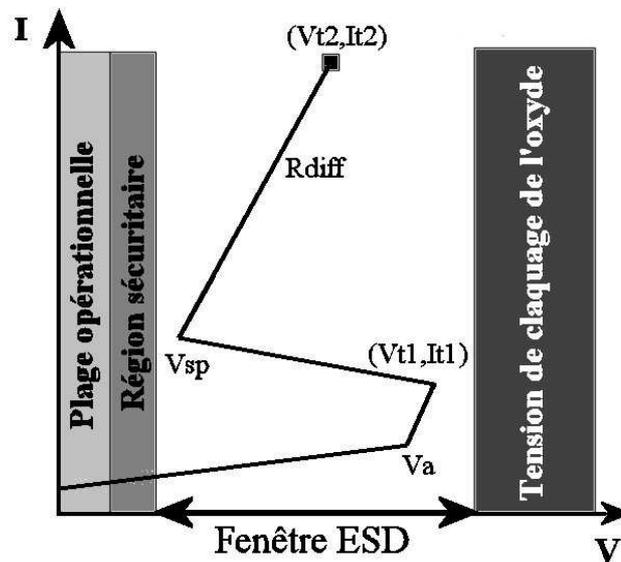


Fig. I.7 – Fenêtre de fonctionnalité pour une protection ESD

En 1985 [JK85], Timothy Maloney a mis au point le premier banc de caractérisation TLP. Nous présenterons succinctement les différents systèmes TLP existant à ce jour et décrirons les avantages et inconvénients de chaque système.

### I.1.3.1 Système 50-500 $\Omega$ TLP

Un système TLP consiste en l'association d'un câble avec un générateur de tension. La ligne de transmission est un câble coaxial d'impédance de 50  $\Omega$  qui est chargé à la tension DC imposée par le générateur. Un ensemble de relais permet alors d'en contrôler les charges et les décharges. Le mécanisme de réflexion autorise la génération d'une agression rapide en courant et sensible aux effets parasites de la ligne de transmission telle que l'inductance des relais. L'ajout d'une impédance en bout de la ligne permet d'atténuer les réflexions et donc de limiter les distorsions de l'onde. Si l'onde réfléchie est retransmise à nouveau, une énergie supplémentaire non quantifiée peut être transmise à la structure [EVGR01]. La valeur d'impédance associée en fin de ligne permet de distinguer le type de système utilisé. Quelques types de système TLP sont disponibles :

- Tout d'abord le standard TLP-50  $\Omega$ , utilisant une impédance de fin de ligne de 50 $\Omega$  effectue une mesure simultanée de l'onde incidente et de l'onde réfléchie. L'avantage principal du TLP-50  $\Omega$  est lorsque la protection se trouve dans un régime de faible impédance (proche du court-circuit), le système peut délivrer un fort courant ce qui en revanche n'est pas le cas lors de l'utilisation du système TLP-500  $\Omega$  limité par son impédance importante de fin de ligne.
- Le TLP-500  $\Omega$  possède une impédance de fin de ligne de 500  $\Omega$  permettant d'obtenir une meilleure précision dans les mesures en courant lorsque la structure de protection sous test est en régime de haute impédance.
- Le troisième type de système est le "TLP Combined" [EVGR01]. Ce système adapte son mode d'impédance en fonction du régime de conduction de la protection sous test. Ce système possède les avantages des deux précédents systèmes TLP.

### I.1.3.2 VF-TLP

Le VF-TLP permet l'application d'impulsions en courant avec des temps de montée très rapides de l'ordre de la centaine de pico-seconde (<300ps), de forte densité et très courts en durée afin d'établir une corrélation avec les décharges de type CDM. Afin d'obtenir ce type d'impulsions rapides, il est important de se prémunir des effets parasites de la ligne d'émission. Différents effets parasites [GH96] comme les arcs électriques des relais peuvent induire des fluctuations sur l'onde transmise et en perturber les mesures. Comme décrit précédemment le phénomène CDM prend naissance au sein même du circuit et la procédure habituelle du VF-TLP qui consiste à tester le niveau de protection entre deux entrées/sorties du circuit n'est pas représentative de ce qui

se passe en réalité lors d'un événement CDM. Le système cc-TLP présenté ci-après reproduit le phénomène CDM en tenant compte également de l'importance du boîtier, élément étant essentiel pour ce type d'évènements.

### I.1.3.3 cc-TLP

Le cc-TLP [GWI06] utilise le système VF-TLP pour générer des impulsions rapides entre une entrée/sortie et toutes les autres entrées/sorties du circuit connectées à une capacité  $C_b$  représentant la capacité totale du boîtier, elle-même connectée à la masse du dispositif (I.8).

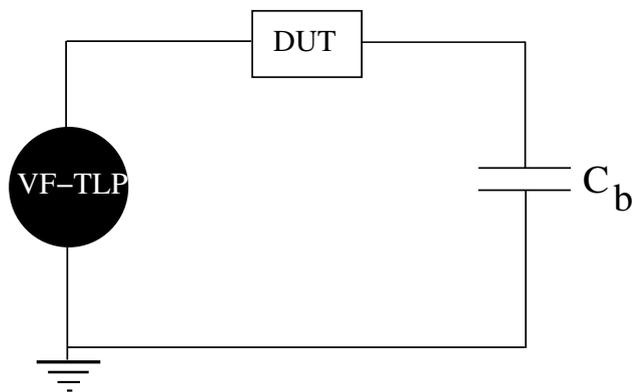


Fig. I.8 – Représentation schématique du dispositif cc-TLP

Ce système permet d'analyser l'efficacité de la structure de protection interne au circuit en comparant les ondes émises et réfléchies. Dans le cas d'un déclenchement d'une des structures de protection située entre l'E/S agressée et la capacité, cela se traduira par une caractéristique de l'onde tension résultante devant être équivalente à la forme d'onde d'une charge d'une capacité. La mesure du courant de fuite en statique permet de mettre en évidence l'apparition des défaillances le plus souvent attribuées aux claquages de grille des transistors internes au circuit. Grâce à ce dispositif, il est possible de caractériser au niveau CDM un circuit électronique.

Pour les différents types de système TLP présentés, l'objectif est de récupérer la réponse dynamique de la protection sous la forme d'une représentation Courant/Tension associée à une mesure de courant de fuite après chaque niveau de décharge imposé. Les signatures Courant/Tension issues de ce type de caractérisation et leurs interprétations qui en découlent renseignent sur les caractéristiques électriques intrinsèques de la structure de protection. Les propriétés électroniques retenues sont généralement la tension et le courant de déclenchement, l'impédance effective de conduction et le niveau de courant pour lequel la structure de protection fait apparaître ses premières défaillances. Ces investigations de caractérisation TLP permettent d'évaluer la faculté à protéger et le niveau de robustesse de la protection en régime ESD.

### I.1.4 Mécanismes de défaillance

Par analogie avec la foudre ( $E = 10^6 kWs$ ) qui s'abat sur un arbre de grande envergure (1 tonne), la densité d'énergie calculée est de l'ordre de  $10^3 W.s/g$ , niveau de densité comparable à une décharge électrostatique infligée à un circuit intégré ( $0,1 \mu g$ ) par contact humain d'énergie ( $E=0,1 mW.s$ ).

Lors d'une décharge ESD, le courant généré produit une augmentation de la tension et de la température au sein du circuit. Si le circuit n'est pas ou peu protégé, des destructions irréversibles ou un vieillissement prématuré des transistors peut entraîner à terme une perte de la fonctionnalité du circuit et des consommations statiques en courant non acceptables. Le mécanisme de défaillance physique dépend avant tout du type de décharge infligé. Les décharges de type énergétique (HBM, MM) induisent des défaillances causées par les effets thermiques menant à la fusion du silicium ou des lignes de métallisation (figure I.9 (a)). En ce qui concerne les décharges électrostatiques CDM, les défaillances sont principalement attribuées au claquage d'oxyde des transistors de coeur [MGC<sup>+</sup>98] (figure I.9 (b)).

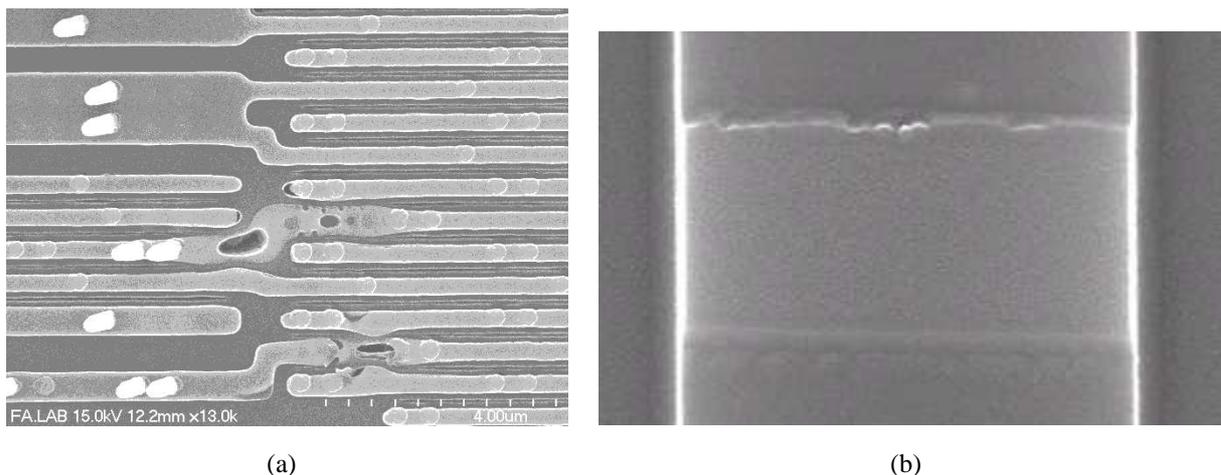


Fig. I.9 – Exemple de défaillance causée par des décharges électrostatiques sur a) un segment d'alimentation b) un oxyde d'un transistor de coeur

Afin d'éviter les dégradations du silicium entraînant la perte de la fonctionnalité, il convient de mettre en place une stratégie de protection au niveau circuit. Plusieurs stratégies existent et nous en faisons la description dans la partie suivante.

## I.2 Stratégie de protection

La mise en place d'une stratégie de protection permet de créer un dispositif de protection global au niveau circuit. Un élément de protection seul, localisé en périphérie dans les plots d'Entrée/Sortie ou d'alimentation, ne peut en aucun cas protéger de manière efficace l'ensemble d'un circuit. Pour des raisons d'optimisation de surface, de fonctionnalité et d'efficacité de protection, il convient donc d'agencer les protections selon des règles déterminées en fonction de l'élément de protection utilisé. Les effets parasites comme les capacités de découplage, la résistance des alimentations ou les impédances d'accès doivent être considérées pour le choix de la stratégie. Plusieurs configurations pour gérer l'évacuation du courant ESD sont envisageables et présentées dans les parties suivantes.

### I.2.1 Stratégie locale de protection

Une stratégie de protection est considérée comme locale lorsque la décharge ESD est uniquement évacuée localement par la protection appartenant au plot d'Entrée/Sortie. Les plots d'Entrée/Sortie utilisent des protections bidirectionnelles afin de permettre un chemin de conduction uniquement à travers les protections du plot pour toutes les combinaisons de décharges électrostatiques. Par exemple, lors d'un programme de zap entre un plot d'Entrée/Sortie et un plot de masse locale (figure I.10), le courant ESD est évacué localement par la protection située dans le plot. Cette stratégie de protection utilise généralement des protections élémentaires ayant des propriétés électriques intrinsèques de déclenchement liées au procédé technologique utilisé.

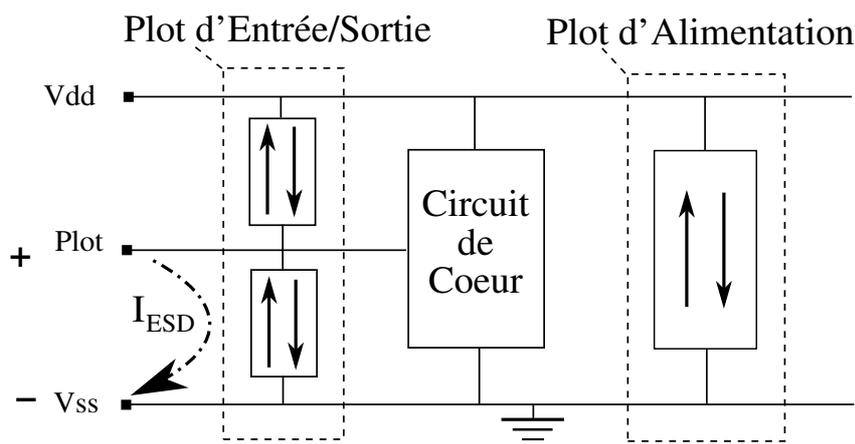


Fig. I.10 – Schéma simplifié d'un circuit électronique avec le chemin d'évacuation du courant lors d'une décharge HBM de type PS dans le cadre d'une stratégie locale de protection

## I.2.2 Stratégie globale de protection

Cette stratégie consiste à évacuer l'évènement ESD par l'intermédiaire d'une protection centrale connectée entre les alimentations. Les plots d'Entrée/Sortie utilisent des protections unidirectionnelles permettant la redirection du courant ESD à travers les bus de polarisation vers la protection centrale comme cela est présenté à la figure I.11 pour un agression HBM de type PS (Positive to Vss).

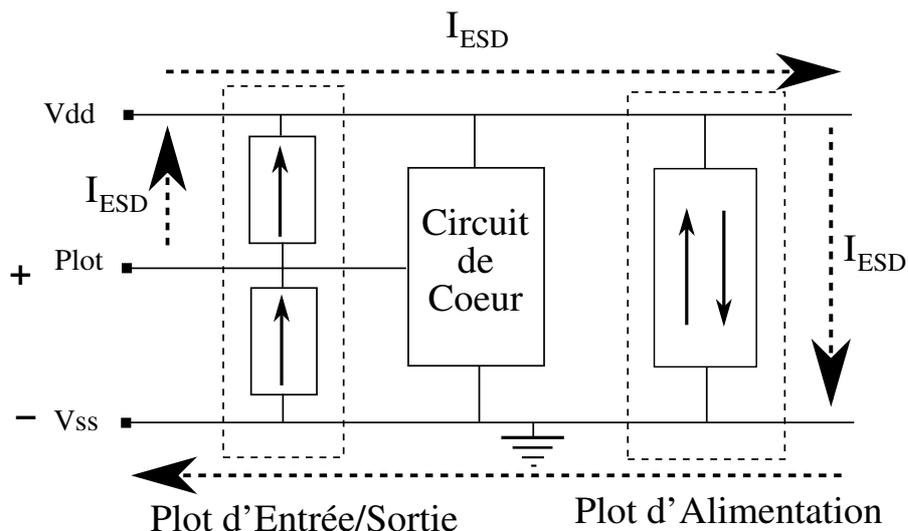


Fig. I.11 – Schéma simplifié d'un circuit électronique avec le chemin d'évacuation du courant lors d'une agression HBM de type PS dans le cadre d'une stratégie globale de protection

La protection unidirectionnelle utilisée dans ce type de stratégie est généralement une diode. L'utilisation de diodes permet la réduction de la surface sur silicium allouée pour la protection dans les plots d'Entrée/Sortie. Il convient en revanche de considérer les effets résistifs des bus d'alimentation. Le passage du courant ESD à travers les bus d'alimentation pour atteindre les protections centrales entraîne une hausse du potentiel aux bornes des buffers à protéger connectés au plot agressé. En revanche, la stratégie globale reste incompatible avec certaines applications utilisant la notion de tolérance ou encore le fonctionnement en "Cold-Sparing" des circuits d'un seul et même système. Le fonctionnement en tolérance d'un plot d'E/S autorise le signal d'entrée à être supérieur à celui de l'alimentation en contrôlant la polarisation des caissons des transistors PMOS des buffers de sortie. Un circuit dit en fonctionnement de "Cold-Sparing" est un circuit qui n'est pas alimenté mais dont les plots d'Entrée/Sortie sont restés connectés à un circuit en activité. Dans ces deux configurations de fonctionnement, les diodes connectées entre le plot d'entrée et le bus d'alimentation entraîne des courants de fuite dès lors que le seuil de la diode est dépassé. Il convient alors d'utiliser une configuration de stratégie mixte pour ce type d'Entrée/Sortie embarquant uniquement une protection bidirectionnelle connectée entre le plot et la masse locale comme présenté sur la figure I.12.

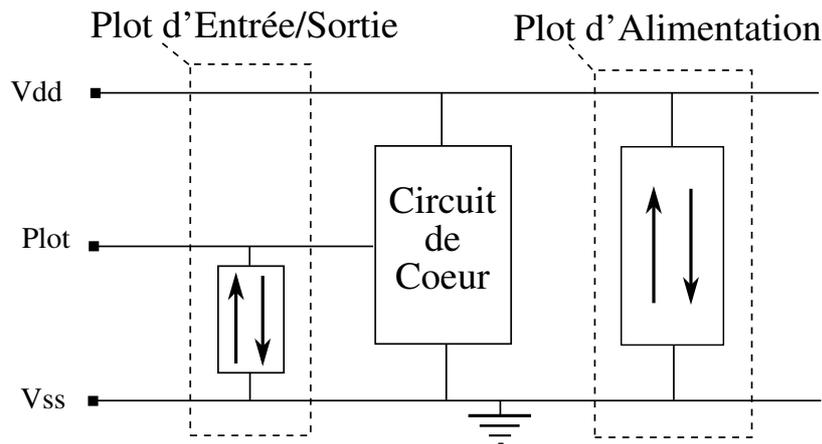


Fig. I.12 – Schéma simplifié d'une stratégie mixte de protection

A l'instar de la stratégie de protection globale, le passage du courant lors d'une agression PD (Positive to Vdd) dans les résistances des bus induit une élévation en tension au niveau des grilles des transistors PMOS connectés au plot. L'approche au niveau de ce type de stratégie est équivalente à la stratégie globale de protection.

### I.2.3 Stratégie de protection à étages

La notion d'étage concerne uniquement les protections situées dans les plots d'Entrée/Sortie.

#### I.2.3.1 Stratégie de protection à un étage

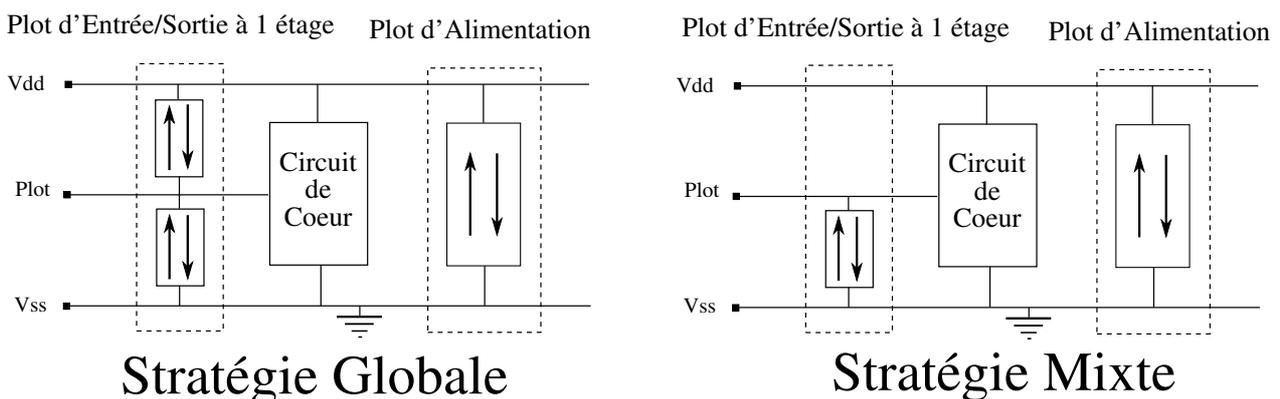


Fig. I.13 – Protection à 1 étage dans le cadre d'une stratégie globale et mixte

La protection utilisant un seul niveau est directement connectée entre le plot et le coeur du circuit. Les avantages de l'utilisation d'un seul niveau de protection sont la faible impédance d'entrée du circuit et la surface réduite allouée au dispositif de protection. En revanche, lorsque le

plot est une entrée, les grilles du premier étage logique sont directement connectées à l'ouverture de passivation. La tension induite par la protection ne doit pas être, par conséquent, supérieure à la tension de claquage de l'oxyde et surtout dans le cadre des procédés technologiques avancés.

### I.2.3.2 Stratégie de protection à deux étages

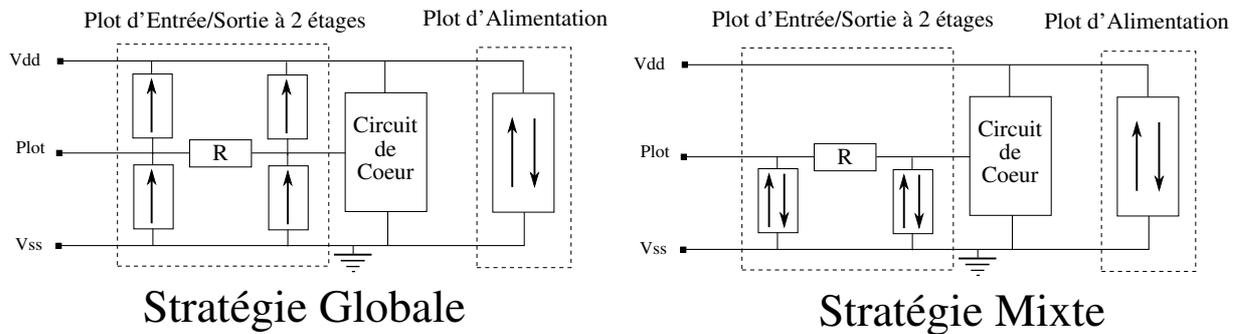


Fig. I.14 – Protection à 2 étages dans le cadre d'une stratégie globale et mixte

La protection secondaire associée à la résistance de limitation  $R$  ou encore appelé résistance d'isolation, permet de réduire la tension induite au premier étage du plot d'entrée. Ce dispositif permet d'augmenter le nombre de chemin d'évacuation pour les évènements ESD de type CDM qui prennent naissance dans le coeur du circuit. La résistance du chemin d'évacuation est réduite ce qui entraîne, pour un même niveau de courant, de diminuer le pic en tension induit aux bornes des oxydes de grille. En revanche, l'utilisation d'une résistance de limitation ne permet pas d'obtenir des commutations satisfaisantes pour des plots d'Entrée/Sortie utilisés pour des applications RF.

### I.2.4 Stratégie de protection utilisant un bus dédié de protection

Les cellules centrales de protection sont généralement des dispositifs dynamiques utilisant un circuit de détection permettant ainsi le contrôle de l'élément d'évacuation. Le circuit de contrôle nécessite une certaine surface silicium et ce, au détriment de la place allouée au dispositif d'évacuation. Il convient, si la disposition des bus d'alimentation périphériques le permet, de rendre commun le dispositif de contrôle à l'ensemble des protections centrales d'un même segment d'alimentation périphérique [AWS<sup>+</sup>01], [SWG<sup>+</sup>03].

## I.3 Éléments de protection à base de transistors bipolaires

Avant de découvrir au début des années 90 que le transistor MOS pouvait être un élément de conduction adapté pour protéger les circuits dans les technologies avancées, le transistor bipolaire fut largement utilisé comme élément de protection. Pour certaines configurations de stratégie de protection telles que les stratégies locales et mixtes, le transistor bipolaire s'avère être aujourd'hui une protection convenable. Il convient en revanche de respecter certaines règles de dessin ou modifications afin de le rendre efficace. Cette partie est consacrée à la présentation de deux structures de protection utilisant la conduction bipolaire pour évacuer le courant d'une décharge électrostatique. Nous présenterons le fonctionnement de chaque structure en décrivant les différentes évolutions apportées, avant de présenter par la suite les améliorations effectuées à chacune.

### I.3.1 La structure ggNMOS

#### I.3.1.1 Principe de fonctionnement

La technologie CMOS propose deux transistors de conduction NMOS et PMOS qui par construction possèdent intrinsèquement un transistor bipolaire parasite NPN et deux transistors bipolaires PNP respectivement. Le fonctionnement MOS est physiquement inhibé en régime d'alimentation car les sources et les grilles des transistors MOS sont connectées entre elles, ce qui lui confère un régime de transparence optimal. En régime ESD, les charges électrostatiques sont évacuées par le transistor bipolaire parasite lorsqu'une décharge apparaît entre le plot d'Entrée/Sortie et la masse ou entre l'alimentation et le plot d'E/S. Nous considérons uniquement pour l'étude de cette structure le transistor de type N dont la vue en coupe est présentée sur la figure I.15. Le drain N<sup>+</sup> et la source N<sup>+</sup> sont considérés respectivement comme le collecteur et l'émetteur du transistor bipolaire parasite. Le substrat joue le rôle de base.

La prise substrat est connectée à la masse pour permettre une évacuation des charges à travers la diode Base/Collecteur de la structure lorsqu'une décharge intervient entre le plot de masse et le plot d'E/S. La structure ainsi formée est bidirectionnelle. Dans un premier temps nous étudierons la configuration ggNMOS standard sachant qu'il existe à ce jour un nombre important de techniques améliorant son fonctionnement. La figure I.16 représente deux vues en coupe de la structure associées à un résultat de caractérisation I/V mettant en évidence les échanges de charges pour deux régimes différents de fonctionnement de la protection.

Lorsque la tension augmente entre le drain et la source du ggNMOS, la diode fonctionne en régime d'inversion ce qui favorise l'extraction de porteurs minoritaires de part et d'autre de la zone de charge d'espace (ZCE) de la jonction drain/substrat. Les trous extraits par la diode sont

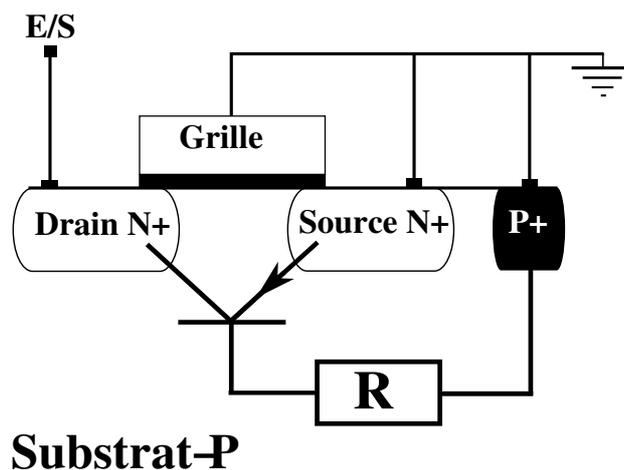


Fig. I.15 – Vue en coupe d'un transistor NMOS avec son transistor bipolaire NPN parasite

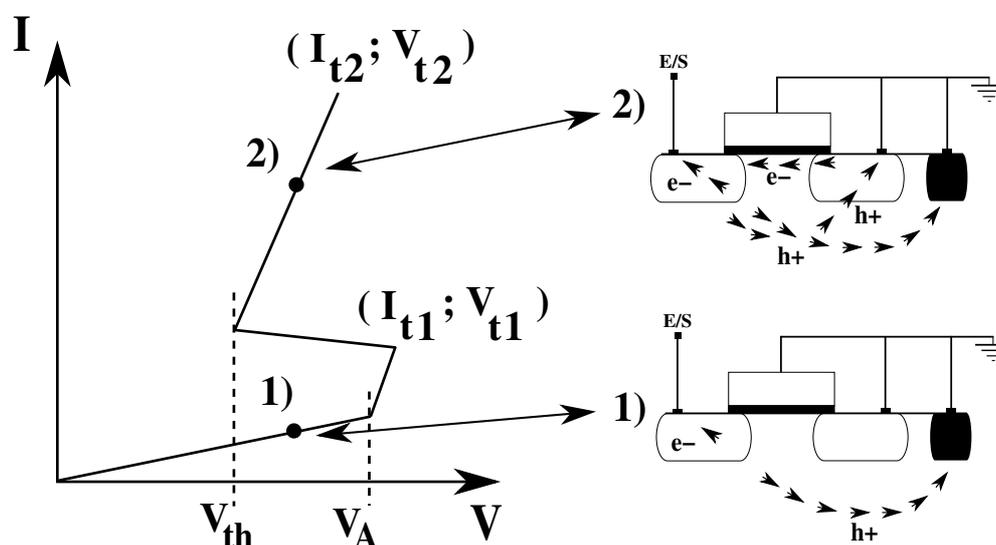


Fig. I.16 – Vues en coupe du transistor ggNMOS dans deux régimes différents de conduction 1) Inversion diode 2) Régime bipolaire.

injectés dans le substrat et rejoignent la prise de polarisation P+. À l'inverse, les électrons sont collectés par le drain N+. Plus la tension augmente aux bornes du dispositif, plus les densités de porteurs minoritaires augmentent et diffèrent des valeurs d'équilibre. Le courant de trous dans le substrat le polarise localement. Le fort champ émanant pour un niveau de tension donné impose par la suite un régime d'avalanche au niveau de la jonction. Contrairement au phénomène Zener, le phénomène d'avalanche survient pour des largeurs de ZCE significatives, conséquence de l'utilisation de faibles doses de dopage du silicium de l'ordre de  $10^{15} \text{ cm}^{-3}$  et  $10^{16} \text{ cm}^{-3}$ . Les porteurs sont suffisamment accélérés dans la zone dépeuplée et sont alors appelés porteurs chauds. Cette notion est attribuée à une charge dont l'énergie cinétique est supérieure à la valeur de l'énergie comprise entre les bandes de valence et de conduction du silicium. Il s'ensuit des collisions inélastiques générant de nouvelles paires électrons-trous. Ce processus est appelé ionisation par

impact. Les nouveaux porteurs ainsi créés par l'impact participent à leur tour à la conduction et sont suffisamment accélérés pour générer des nouveaux porteurs. Cet emballement, dit effet d'avalanche, provoque une multiplication exponentielle du nombre de porteurs. Le niveau de courant de trous dans le substrat impose de ce fait un niveau de tension  $V_{t1}$  permettant le déclenchement de la diode Source/Substrat en régime direct. Ce qui a pour effet d'injecter des électrons dans le substrat et des trous dans la source. A l'extraction par le collecteur des électrons ainsi injectés dans le canal sous la grille MOS, le fonctionnement bipolaire est activé ( $V_{th}$ ). La structure passe d'un régime de haute impédance caractéristique d'un régime de diode en inverse à celui de faible impédance liée à la conduction bipolaire. Le régime bipolaire est alors entretenu par le passage des porteurs trous à travers le substrat polarisant ainsi la jonction Émetteur/Base en direct durant toute la durée de l'agression. La structure possède un niveau de robustesse intrinsèque déterminé en courant  $I_{T2}$  à l'aide de la caractérisation TLP. La tension  $V_{t2}$  renseigne par ailleurs sur le niveau à protéger de la structure. A un niveau de courant  $I_{t2}$  la protection peut faire l'objet de différents types de défaillances physiques. Deux signatures de dégradation typiques du silicium sont décrites ci-après :

- La dégradation de type thermique est liée à la combinaison du mécanisme physique d'ionisation par impact avec la génération thermique de porteurs [H.V99]. Un second retournement en tension intervient lors de la caractérisation TLP. Le passage d'une densité importante de charges couplé au fort champ entraîne l'échauffement du silicium localement dans la région du collecteur et par la suite une fusion menant au court-circuit de la jonction en inverse.
- La grille étant polarisée à la masse, un champ vertical aux bornes de la capacité induit une redirection verticale des trous se dirigeant initialement vers le substrat. Les charges ainsi déviées vont dégrader l'oxyde de grille. Pour des épaisseurs d'oxyde fins, cela a pour effet de diminuer la faculté isolant de l'oxyde et entraîner par la suite un claquage d'oxyde. La conduction MOS étant dégradée, il est possible de détecter ce type de défaillance par l'augmentation du courant de fuite mesuré après chaque impulsion de courant lors de la caractérisation TLP. Ce type de défaillance est généralement rencontré pour des technologies très avancées comportant des oxydes fins. Certains fondeurs utilisent un masque supplémentaire pour introduire des grilles épaisses sur les protections ESD pour éviter ce type de défaillance.

Après avoir présenté le fonctionnement électrique de la structure ggNMOS, il convient d'admettre que les caractéristiques électriques de la protection dépendent directement du procédé technologique et du dessin de la structure. Nous présenterons dans le paragraphe suivant les résultats de caractérisation TLP des structures de test en technologie  $0,18\mu\text{m}$  CMOS EEPROM en distinguant l'influence des paramètres technologiques et les configurations de la structure sur les

critères de conduction TLP. Des études approfondies telles que celles des travaux de thèse de Kai Esmark [Esm02] ou de Pascal Salomé [Sal98] proposent une approche théorique du fonctionnement du ggNMOS. Nous apporterons une explication vulgarisée de l'influence de chaque facteur sur les propriétés électriques de fonctionnement de la structure en s'appuyant sur les différents travaux de recherche et de développement publiés par la communauté ESD.

### I.3.1.2 Amélioration apportée

Dans cette partie nous considérons le procédé technologique epi-CMOS EEPROM 0,18  $\mu\text{m}$  siliciuré avec diffusion de type LDD. Ce procédé propose trois types de transistor associés chacun à une épaisseur d'oxyde différente. Le tableau I.2 suivant renseigne sur les caractéristiques technologiques élémentaires de chaque élément.

| Propriétés                  | LV                 | MV                 | HV                   |
|-----------------------------|--------------------|--------------------|----------------------|
| Épaisseur d'oxyde           | 28 Å               | 70 Å               | 250 Å                |
| Longueur de grille minimale | 0,18 $\mu\text{m}$ | 0,36 $\mu\text{m}$ | 0,9 $\mu\text{m}$    |
| $V_T$                       | 0,52V ; 0,66V      | 0,62V              | 0,35V ; 0,75V ; 0,8V |
| Option blocage siliciure    | OUI                | OUI                | OUI                  |
| Domaine d'alimentation      | 1,8V               | 3,3V               | 5V                   |

Tab. I.2 – Synthèse des caractéristiques des transistors disponibles pour le procédé technologique epi-CMOS EEPROM 0,18  $\mu\text{m}$  siliciuré

L'efficacité d'une protection repose sur ses facultés de déclenchement, de conduction et de robustesse. Nous reviendrons sur les différentes évolutions d'un point de vue technologique, topologique ou encore système permettant d'optimiser les propriétés électriques de la structure en configuration standard ggNMOS. Tous les résultats présentés dans les prochains paragraphes proviennent de caractérisation TLP-50 $\Omega$  de structures ESD ggNMOS symétriques à deux doigts de type HV ou MV. Le paramètre W correspond à la largeur d'un seul doigt et la longueur de grille lorsqu'elle n'est pas spécifiée correspond par défaut à la longueur minimale de la technologie.

#### *Optimisation du déclenchement*

L'amorçage de la protection est principalement lié au phénomène d'avalanche et dépend intrinsèquement du dopage du substrat et des caractéristiques en inverse de la jonction du collecteur [HEJ96]. Ce régime à fort champ électrique induit une tension de déclenchement importante pour activer le bipolaire parasite. Or, pour certaines technologies avancées, la structure ggNMOS ne convient plus et ce à cause de la tension de déclenchement supérieure à la tension de claquage

des oxydes considérés. Les différentes améliorations présentées par la suite consistent à réduire la tension de déclenchement tout en minimisant le courant nécessaire pour initialiser la conduction bipolaire parasite. Plusieurs techniques externes à la protection consistent à polariser la capacité MOS par l'intermédiaire de la grille [LC92] [ODBW02c] ou du substrat [ODS<sup>+</sup>] [ODBW02a]. Ces techniques permettent en effet de créer un canal MOS et éviter d'atteindre le régime d'avalanche auparavant nécessaire pour faire déclencher le bipolaire parasite. Un dispositif supplémentaire de contrôle externe à la structure est donc nécessaire pour différencier les régimes de fonctionnement et éviter de dégrader la transparence de la protection.

La tension de déclenchement de la structure peut être également réduite par l'ajout d'une implantation spécifique au niveau du drain du transistor [VCBH02]. La vue en coupe d'une structure NMOS à deux doigts avec l'implant ESD est présentée sur la figure I.17.

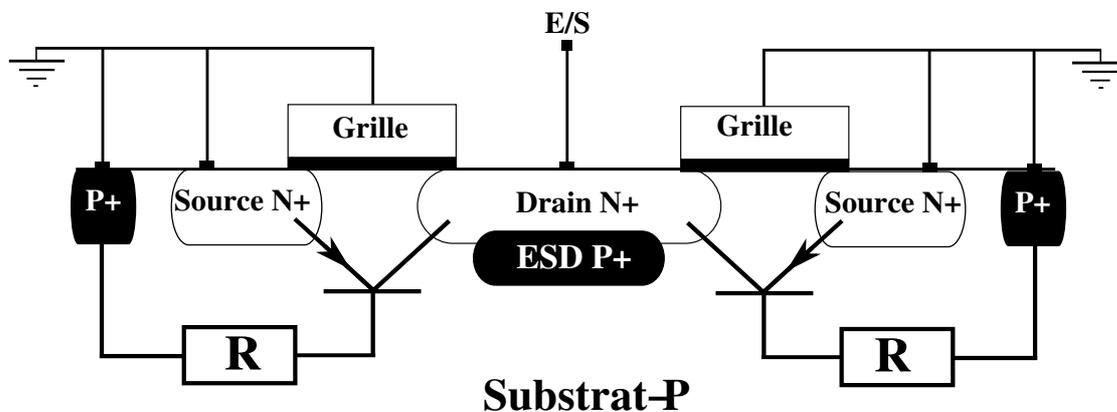


Fig. I.17 – Vue en coupe d'une structure ggNMOS avec implant en configuration à 2 doigts

Le procédé technologique considéré utilise un substrat de type P épitaxié. L'implantation choisie est par conséquent de nature P. En effet, comme le montre le profil de jonction de la diode sans implant ESD (figure I.18), celle-ci possède une jonction de type abrupte liée au passage du plan N fortement dopé au plan P faiblement dopé. Il convient de rééquilibrer la jonction en dopant localement le substrat afin d'obtenir une jonction dite symétrique.

En régime inverse, le champ électrique induit est du même coup augmenté pour un même potentiel donné. Cela accentue par conséquent le phénomène d'accélération des porteurs au sein de la zone dépeuplée de porteur et le régime d'avalanche apparaît pour une tension de polarisation inférieure. Au final, la tension de déclenchement induite de la structure est réduite.

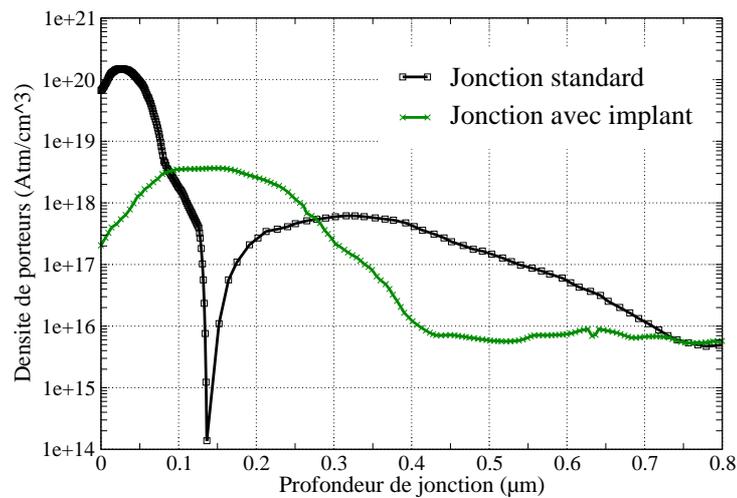


Fig. I.18 – Profil de jonction d’une diode de type MV en technologie epi-CMOS EEPROM 0,18  $\mu\text{m}$  avec et sans implant ESD

Pour notre expérimentation, l’implant Bore 11 est préféré au BFII fluoré pour ses propriétés de diffusion en profondeur dans le silicium. Plusieurs configurations avec différentes doses et énergies d’implantation ont été effectuées pour déterminer la meilleure configuration d’implant permettant de réduire la tension d’avalanche sans pour autant dégrader la jonction. En effet, l’ajout d’un implant en vue d’améliorer la diode pour une configuration donnée se traduit également par l’augmentation du courant de fuite de la diode en condition normale d’utilisation.

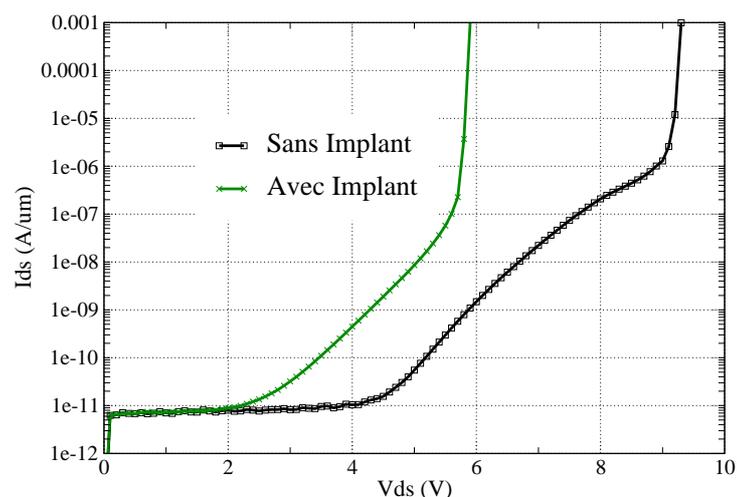


Fig. I.19 – Résultats de caractérisation DC du transistor MOS MV en technologie epi-CMOS EEPROM 0,18  $\mu\text{m}$  avec et sans implant ESD pour une température de 125°C en considérant

Il convient de choisir la configuration de l'implant ESD en évitant de dégrader le mode transparent de la structure. Le courant de fuite doit rester proche de celui de la structure sans implant ESD. La figure I.19 présente l'analyse de caractérisation DC selon le profil de jonction considérée. Sur cette dernière figure, nous pouvons distinguer 3 régions correspondant à trois ordres de grandeur du courant  $I_{off}$  en fonction de la tension aux bornes du transistor. Pour des faibles tensions de polarisation. Dans le cas contraire où la tension adressée est proche de la tension intrinsèque inverse de la diode, le courant de fuite devient conséquent. Il convient d'utiliser un implant permettant de réduire la tension inverse de la diode tout en conservant un niveau de fuite acceptable pour la plage d'alimentation visée. Dans le cas proposé à la figure I.19, l'implant permet de réduire la tension inverse de diode de 3.4 V tout en conservant un courant de fuite acceptable pour le domaine d'alimentation de 3.3V considéré.

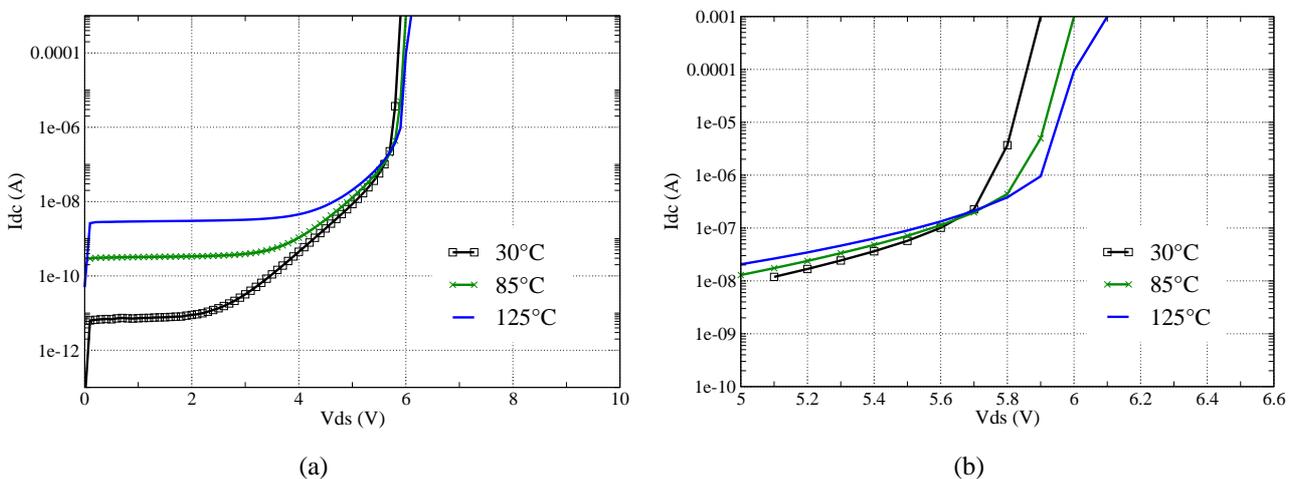


Fig. I.20 – Résultats de caractérisation DC du transistor MOS avec implant pour différentes températures avec un agrandissement de la région de retournement

La diode fonctionnant en inverse, il convient de déterminer l'effet physique initiateur d'une augmentation significative du courant pour la structure utilisant l'implant ESD. Deux effets sont à considérer :

- L'effet Zener caractéristique de l'effet tunnel entre les bandes de valence et de conduction. L'agitation thermique favorise cet effet. La tension de claquage de la diode est inversement proportionnelle à la température.
- Le phénomène d'avalanche initié par le processus d'ionisation par impact. L'agitation thermique est défavorable au phénomène d'ionisation. La tension de claquage de la diode est proportionnelle à la température.

Nous constatons figure I.20 que l'augmentation de la température fait augmenter la tension de claquage de la diode. Le phénomène considéré est le phénomène d'avalanche. L'ajout de l'implant a considérablement réduit la tension de déclenchement de la protection comme nous l'avons présenté avec la caractérisation DC de la figure I.19. Le résultat de caractérisation TLP présenté figure I.21 confirme l'effet de réduction de la tension de déclenchement de la protection en régime ESD.

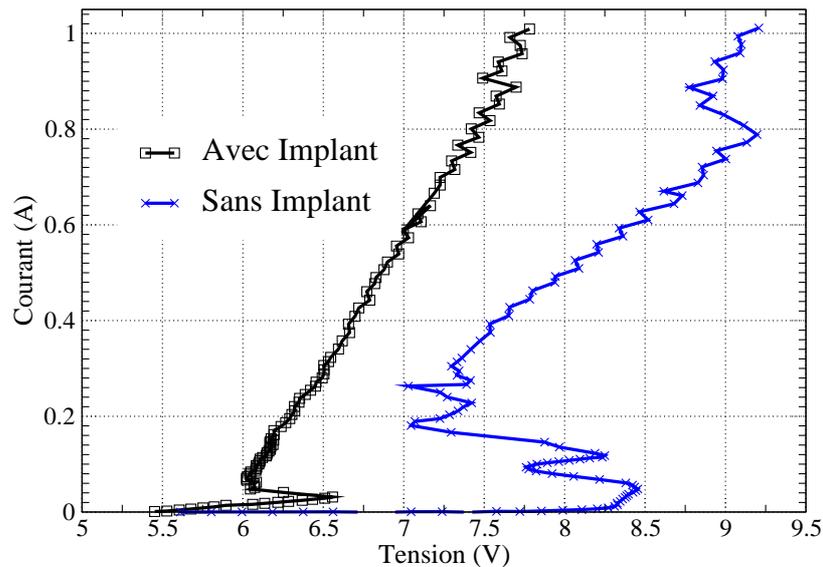


Fig. I.21 – Influence de l'implant ESD sur un transistor MOS en régime TLP

La différence de gain en tension entre les résultats de caractérisation DC et TLP est lié aux régimes de faible et fort courant respectivement (9V au lieu de 8,5V pour la structure sans implant ESD). En effet dans le cas de la caractérisation TLP impliquant un fort courant, il convient de prendre en compte la résistance du substrat et l'amorçage de la conduction bipolaire. Les choix du substrat et du dopage [ODS<sup>+</sup>] [VCBH02] des zones actives influencent majoritairement le niveau de courant nécessaire au déclenchement du transistor bipolaire parasite. Augmenter la résistance intrinsèque du substrat permet, par exemple, de réduire le courant de déclenchement  $I_{t1}$ .

Différentes techniques permettant d'améliorer le déclenchement de la protection ont été présentées dans ce paragraphe. Il convient par la suite de considérer l'efficacité du transistor bipolaire utilisé pour l'évacuation des forts courants dans une configuration standard sans implant ESD.

### Optimisation du régime de résistance négative

Le passage d'un régime résistif d'inversion de diode à celui de conduction bipolaire peu résistif induit un régime de résistance négative. Il convient de considérer ce retournement comme le témoin de la faculté de conduction du transistor bipolaire. Pour cela nous considérons dans ce paragraphe le rapport de la tension de déclenchement  $V_{t1}$  sur la tension de maintien  $V_{th}$  comme paramètre révélateur du gain en courant du transistor bipolaire [ODBW02b] [NHD<sup>+</sup>99]. La valeur du gain en courant d'un transistor bipolaire est inversement proportionnelle à la longueur efficace de la base  $W_B$  comme le spécifie l'équation extraite du modèle d'EBERS-MOLL ci-après :

$$\beta \propto \frac{\mu_n \times x_{jE}}{\mu_p \times W_B} \quad (\text{I.3A})$$

avec  $x_{jE}$  : Longueur physique de la jonction côté émetteur

$\mu$  : Mobilités respectives à chaque type de charge

$W_B$  : Longueur effective de la base du transistor bipolaire parasite

La diminution de la largeur de la base facilite l'extraction des porteurs minoritaires par le collecteur tout en diminuant le taux de recombinaison au sein de la base. L'objectif est de déterminer la longueur de la grille du transistor MOS permettant d'optimiser et de favoriser la conduction bipolaire parasite. La figure I.22 présente des résultats issus de caractérisations effectuées sur des transistors en configuration symétrique à deux doigts pour différentes longueurs de grille.

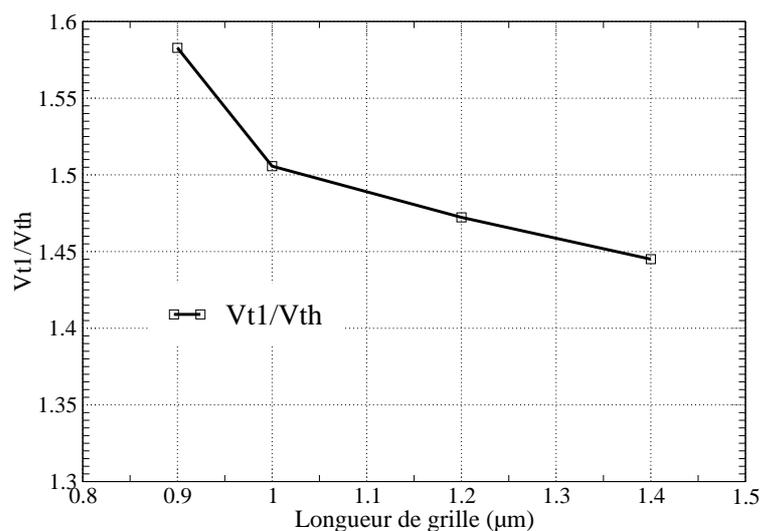


Fig. I.22 – Influence de la longueur de grille du transistor MOS sur le rapport  $V_{t1}/V_{th}$

Nous observons la tendance prévue à savoir que réduire la longueur de grille permet d'améliorer le gain du transistor bipolaire. Par ailleurs que le nombre de Gummel ( $WN_A$ ) étant relativement grand pour la longueur de grille minimale  $L_G = 0,9\mu m$ , nous n'avons pas rencontré de limitation liée à l'effet de modulation EARLY pouvant causer la dégradation du gain bipolaire pour des longueurs de grille réduites [Sal98].

Le deuxième paramètre de dessin défini I.23 comme l'espace de la grille par rapport aux contacts de source ou communément nommé GSCS (Gate to Source Contact Spacing) permet également d'optimiser le gain en courant du transistor bipolaire parasite.

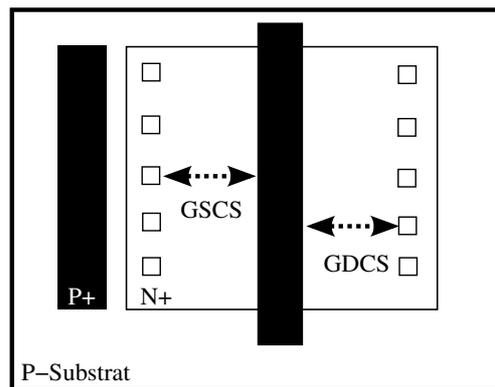


Fig. I.23 – Vue schématique d'un transistor ggNMOS

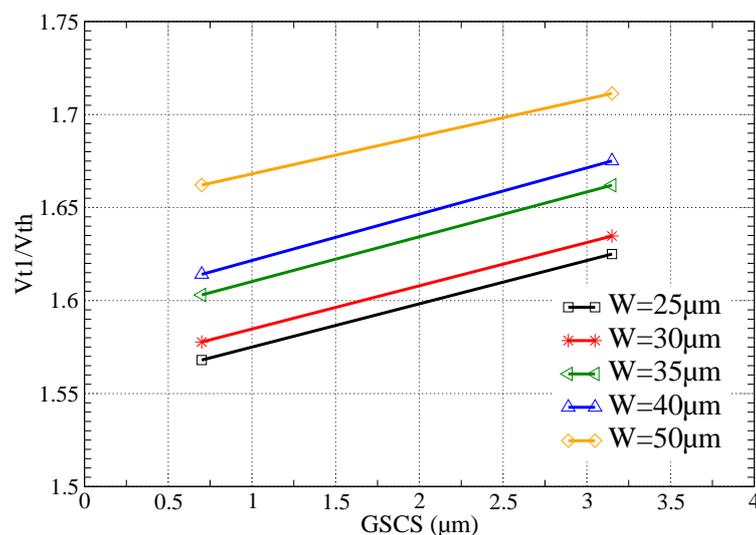


Fig. I.24 – Influences du paramètre de dessin GSCS et de la largeur du transistor sur le rapport  $V_{t1}/V_{th}$  du transistor bipolaire parasite

Nous constatons sur le graphique I.24 que plus la grille est éloignée des contacts de source plus le rapport  $V_{T1}/V_{TH}$  est grand. En effet un espacement de  $2,5\mu\text{m}$  entraîne une augmentation du rapport  $V_{t1}/V_{th}$  de 0,05. Ce phénomène suit la même tendance quelle que soit la largeur  $W$  des transistors. L'amélioration du gain du transistor s'explique par l'augmentation de la surface de l'émetteur du transistor bipolaire. La surface de l'émetteur dépend de l'espacement GSCS et de la largeur des transistors. Augmenter un de ces deux paramètres revient à améliorer l'efficacité d'injection de l'émetteur. L'efficacité d'injection est calculée selon le rapport entre le courant des électrons injectés dans la base  $J_{nE}$  et le courant total de l'émetteur  $J_E = J_{nE} + J_{pE}$ . L'efficacité d'injection satisfait l'équation I.3B où celui-ci est exprimé en fonction de la densité de porteur de part et d'autre de la jonction  $N_{AB}$  (Densité d'accepteur dans la base) et  $N_{DE}$  (Densité de donneur dans l'émetteur) mais également en fonction des longueurs de la base  $W_B$  et de l'émetteur  $W_E$ .

$$\gamma = \frac{1}{1 + \frac{N_{AB} \times W_B}{N_{DE} \times W_E}} \quad (\text{I.3B})$$

### Optimisation de la robustesse $I_{t2}$ et de la faculté à protéger $V_{t2}$

Nous avons précédemment distingué l'efficacité de conduction du transistor bipolaire en tenant compte uniquement du rapport des critères de caractérisation  $V_{t1}$  et  $V_{th}$ . En revanche il convient de considérer également le niveau de courant acceptable par la structure  $I_{t2}$  comme témoin de l'efficacité de conduction du transistor bipolaire. Dans ce paragraphe nous assimilons le niveau de robustesse d'une protection à un niveau de courant TLP pour lequel la mesure du courant de fuite correspond à une variation distincte par rapport au courant de fuite initial. La moindre défaillance causant une augmentation du courant de fuite est définie comme défaillance de type "Soft" et considérée comme critique dans notre approche.

L'augmentation de la largeur du transistor en plus de l'optimisation de l'injection permet de réduire la résistance effective de conduction et du coup réduire pour ce type de protection le niveau de tension  $V_{t2}$ . Le courant se répartit théoriquement de manière uniforme tout le long du transistor. Les résultats obtenus pour différentes tailles de transistor dans la technologie considérée sont présentés à la figure I.25.

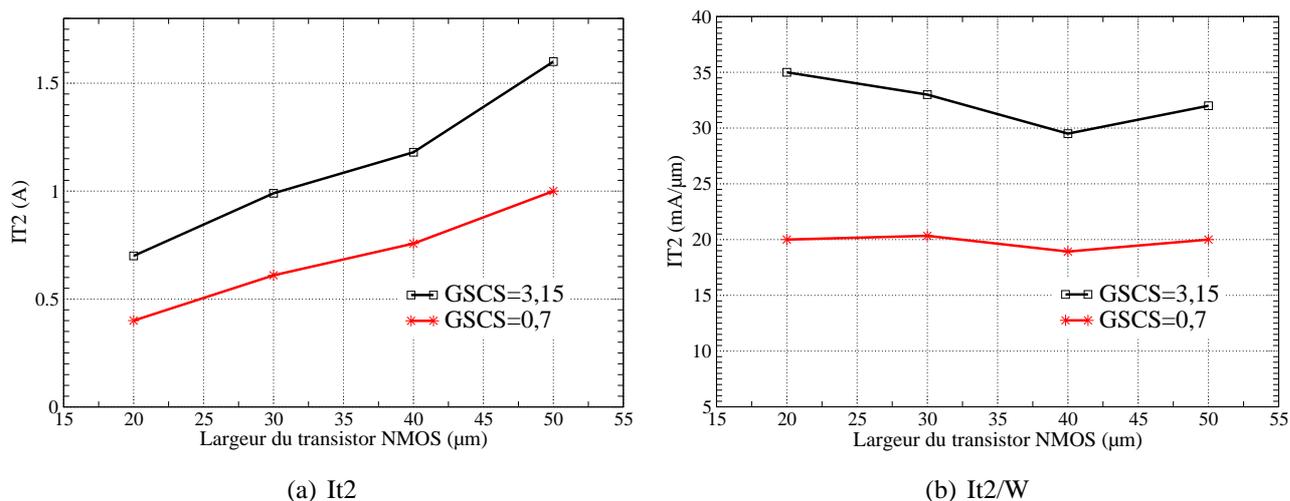


Fig. I.25 – Influence de la largeur du transistor sur la robustesse du ggNMOS pour deux configurations de GSCS

Pour la technologie siliciurée considérée avec l'option de blocage du siliciure, nous obtenons une dépendance linéaire moyenne de l'ordre de  $20\text{mA}/\mu\text{m}$ . Pour les technologies siliciurées sans option de blocage, il n'existe pas de dépendance linéaire [ODS<sup>+</sup>]. En effet, une très faible résistance d'accès facilite la focalisation du courant et le claquage de la diode intervient avant même l'utilisation de toute la largeur du doigt [NHD<sup>+</sup>99]. Afin d'éviter la focalisation du courant, il convient de définir la taille du drain siliciuré du transistor en choisissant le paramètre GDSC ("Gate to Drain Contact Spacing") adapté [ODBW02b]. Dans notre cas de figure où le blocage de

l'étape de siliciuration est disponible, nous définissons la taille de la zone non siliciurée améliorant ainsi le niveau de robustesse de la structure. La figure I.26 présente l'influence de la taille de la zone non-siliciurée côté drain sur la robustesse du ggNMOS à un GSCS constant.

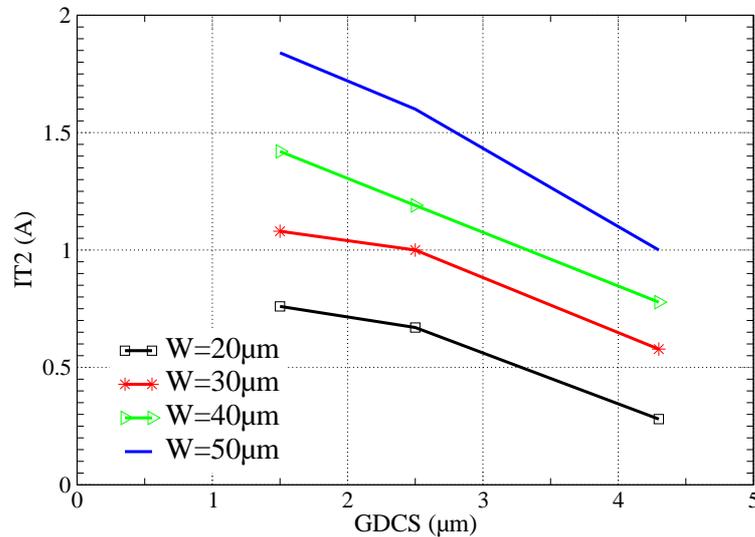


Fig. I.26 – Influence de la taille de la zone non siliciurée du drain sur la robustesse du ggNMOS pour différentes largeurs de transistor

En effet plus la taille de la zone non siliciurée est grande plus la résistance  $R_{ON}$  de conduction est importante. Une large taille du drain non siliciuré favorise les effets thermiques et engendre l'échauffement du silicium localement au niveau du drain de la structure. Par ailleurs l'augmentation de la résistance  $R_{ON}$  réduit l'efficacité de protection de la structure car la tension induite par la structure peut devenir critique pour les oxydes de grille des transistors à protéger.

Jusqu'à présent, nous avons considéré uniquement une structure à deux doigts. Afin d'améliorer la robustesse de la structure de protection tout en minimisant sa surface silicium, il convient d'utiliser une structure multi-doigts malgré les inconvénients que cela implique en terme de déclenchement. En effet, la structure peut présenter un déclenchement non-uniforme des multiples doigts de transistor [ACTBH04] causé par la focalisation du courant menant ainsi à la réduction du niveau de robustesse de la structure globale. Afin de s'affranchir de ce phénomène, différentes techniques succinctement présentées auparavant, utilisées pour l'optimisation de la tension de déclenchement permettent également d'uniformiser le déclenchement des doigts. En effet l'ajout d'un implant (figure I.27) ou encore l'association d'un mécanisme d'aide au déclenchement permet d'éviter la focalisation du courant dans un seul doigt et par conséquent une non-uniformité de déclenchement des différents doigts de la structure [PGC<sup>+</sup>01]. Par ailleurs, la dépendance des GDCS ou GSCS diminue avec l'emploi d'un implant ESD ou d'un circuit d'aide au déclenchement utilisé pour la polarisation de la grille ou du substrat [ODBW].

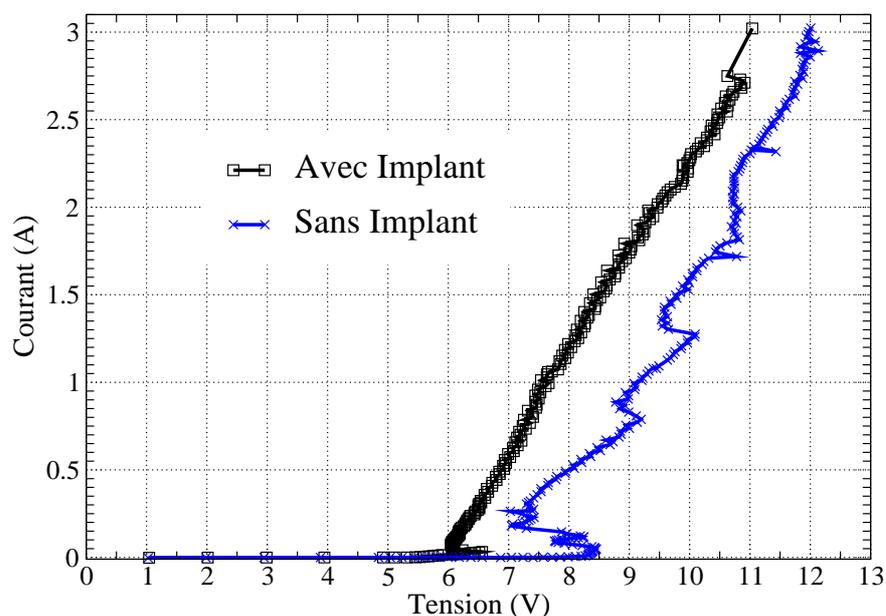


Fig. I.27 – Influence de l'implant ESD sur le déclenchement d'une structure multi-doigts

La structure de protection ggNMOS demande à être calibrée d'un point de vue topologique et structurel afin de la rendre efficace pour une technologie donnée. En règle générale il convient d'ajouter une étape pour la rendre optimale. Pour l'implantation de cette structure, notre choix s'est porté sur l'ajout d'un implant P+ pour optimiser à la fois le déclenchement et la robustesse de la protection pour les bibliothèques existantes LV et HV. A ce jour, les résultats HBM des circuits utilisant une stratégie locale à base de ggNMOS avec implant sont conformes à nos attentes et le niveau de robustesse obtenu correspond à  $1\text{mA}/\mu\text{m}$ . Le tableau ci-dessous présente l'impact de l'augmentation des principaux paramètres topologiques sur le fonctionnement électrique en régime ESD d'une structure ggNMOS.

| Paramètre           | $V_{t1}$ | $\frac{V_{t1}}{V_{th}}$ | $R_{ON}$ | $I_{t2}$ | $V_{t2}$ |
|---------------------|----------|-------------------------|----------|----------|----------|
| W                   |          |                         | ↓        | ↑        | ↓        |
| $L_G$               |          | ↑                       |          |          |          |
| GSCS siliciurée     |          | ↑                       |          | ↑        |          |
| GDCS non siliciurée |          |                         | ↑        | ↓        | ↑        |
| Implant ESD         | ↑        |                         | ↓        | ↑        | ↓        |

Tab. I.3 – Tableau récapitulatif

### I.3.2 La structure LVTPNP

Nous avons auparavant présenté, que la stratégie globale de protection utilisant des diodes localisées entre le plot d'E/S et l'alimentation ne permet pas l'utilisation des E/S intégrant la fonctionnalité "Tolérance". Afin de remédier à cette limitation, nous devons utiliser une protection bidirectionnelle connectée entre le plot d'E/S et sa masse. Nous avons également vu qu'il convenait d'ajouter un implant spécifique pour améliorer le niveau de déclenchement de la structure ggNMOS. L'ajout d'une étape supplémentaire dans le procédé de fabrication entraîne une augmentation du coût de fabrication du circuit. Pour certains projets où les coûts et les délais doivent être réduits, il n'est pas concevable de rajouter cette étape. Afin de réduire ces deux limitations, nous nous sommes intéressés à la structure de protection LVTPNP proposé par M. Ker [KCL03] [CK04] en technologie CMOS 0,25  $\mu\text{m}$ . Dans cette partie, nous présentons les avantages et les inconvénients de cette structure tout en décrivant les améliorations apportées durant ces trois ans à la structure initiale.

#### I.3.2.1 Etat de l'art

Le transistor bipolaire (conductions verticale et horizontale) est utilisé pour évacuer la décharge électrostatique. Par ailleurs, la protection conserve un niveau de déclenchement initié par le régime d'avalanche en régime ESD mais lui permettant de rester transparente lorsque le plot embarquant la structure est actif. Le principe essentiel du LVTPNP réside dans la diminution de la tension de déclenchement par l'ajout d'un implant en surface (déjà disponible pour les zones actives des transistors MOS) au niveau de la jonction Substrat P/Caisson N permettant ainsi de modifier les caractéristiques électriques de la diode en régime d'inversion. La figure I.28 présente la configuration électrique dans laquelle est utilisée la protection LVTPNP ainsi que la vue en coupe de la version standard dite type 1.

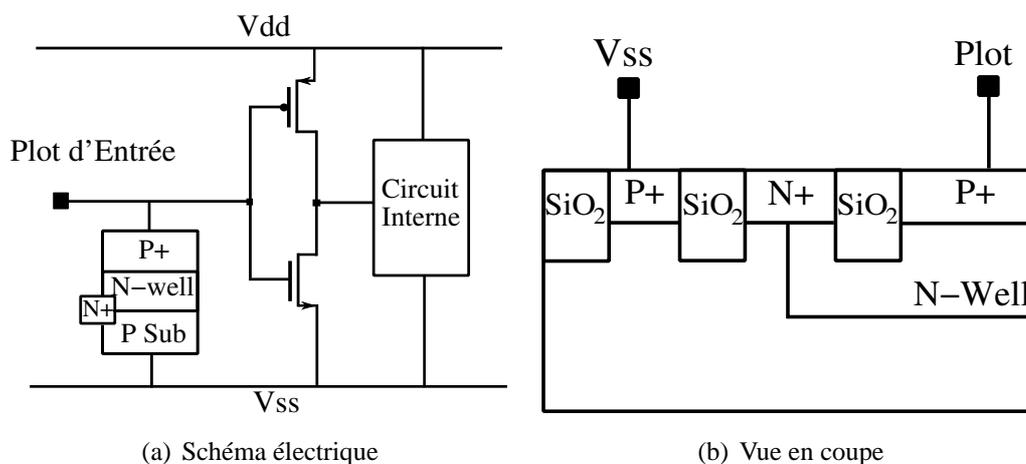


Fig. I.28 – LVTPNP Type 1

Le travail de Ming-Dou Ker a porté essentiellement sur l'optimisation de la géométrie de la structure en proposant [KCL04] différents types de configuration se décrivant par une meilleure disposition des différents caissons et du type des implants utilisés au sein de la structure. Vu les résultats proposés en technologie CMOS 0,25  $\mu\text{m}$  siliciurée, nous avons considéré dans notre approche la structure en configuration type 3 (figure I.29) présentée comme la structure optimale en mode direct et la structure en configuration type 1 utilisé comme élément de comparaison.

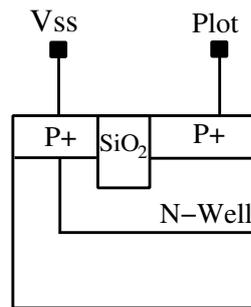


Fig. I.29 – Vue en coupe du LVTNP en configuration type 3

Ce type de structure possède deux inconvénients dont le plus contraignant est le mode inverse de conduction (Mode NS). D'un point de vue structurel, la protection est rendue dissymétrique, ce qui a pour inconvénient de la rendre efficace dans un mode de décharge donné au détriment du mode de décharge inverse. Pour la suite de l'étude, nous avons uniquement considéré la conduction directe de la protection en sachant qu'il est préférable de conserver la diode connectée entre le plot d'E/S et la masse locale pour permettre un accès peu résistif aux décharges en mode NS et obtenir au final une protection bidirectionnelle optimisée. Le deuxième point pouvant être limitant est que contrairement au ggNMOS qui peut être utilisé en configuration buffer pour le mode sortie d'un plot bidirectionnel, de part sa topologie et ses caractéristiques électriques, le LVTNP n'est pas utilisé dans le fonctionnement des E/S.

### I.3.2.2 Contribution

Nous souhaitons protéger des transistors de type HV en CMOS EEPROM 0,18  $\mu\text{m}$ , dont la tension critique à ne pas excéder aux bornes des transistors est de l'ordre de la vingtaine de volts. La tension des signaux d'entrée en fonctionnement normale est comprise entre 0V et 5V. Dans ce domaine d'alimentation la protection doit rester inactive avec un courant de fuite minimisé. Par ailleurs, la structure LVTNP ne comprend pas d'oxyde de grille ce qui est un avantage considérable dans le mode de claquage et dans le potentiel d'utilisation de la structure. En effet, la dégradation physique élémentaire du LVTNP est le claquage de la jonction base/collecteur. Par ailleurs, le fait de ne pas implanter d'oxyde permet l'utilisation de la structure dans des domaines

de tensions supérieures à celles qu'aurait pu accepter un oxyde de grille. En effet la technologie considérée propose un transistor LV à faible épaisseur d'oxyde avec une configuration des implants d'active adaptée aux faibles tensions. L'approche expérimentale entreprise consiste à utiliser une structure LVTPNP avec des implants destinés aux transistors LV pour protéger des composants alimentés à une tension HV. La figure I.30 présente deux résultats de caractérisation TLP mettant en évidence l'impact de l'implant des zones actives sur le fonctionnement de la structure dans de

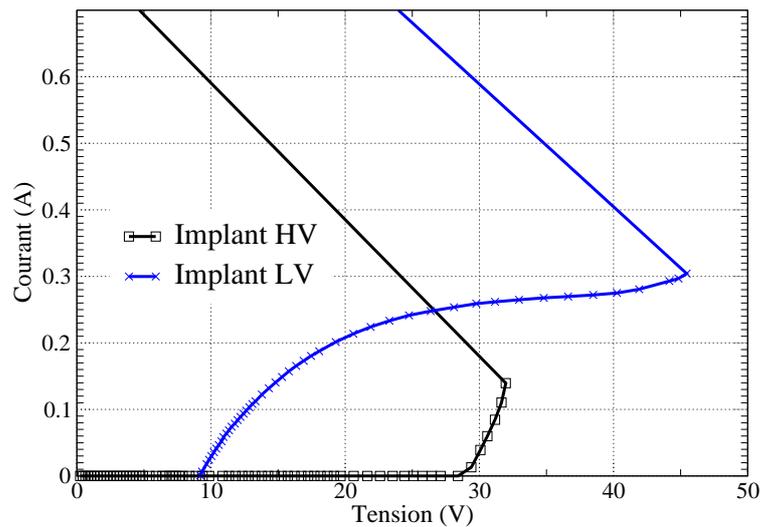


Fig. I.30 – Résultats de caractérisation TLP pour deux structures LVTPNP type 1 utilisant deux implants différents

Nous constatons effectivement que l'utilisation des implants LV entraîne la réduction de la tension de déclenchement à une tension de l'ordre de  $V_T = 9V$  tout en augmentant le niveau de robustesse  $I_{T2}$  de 150mA à 300mA de la structure, facilitée par une résistance effective de conduction diminuée par l'utilisation d'un implant LV. Mais l'utilisation de celui-ci ne permet pas de réduire significativement la résistance de conduction pour éviter d'induire une tension supérieure à 20V, définie comme étant critique pour les éléments à protéger. La protection permet donc de protéger des niveaux de courant inférieurs à 200mA. Par ailleurs, le gain sur la tension de déclenchement de près de 20 V entre les deux structures rend le LVTPNP LV très concurrentiel par rapport à la protection ggNMOS HV possédant en revanche une tension de déclenchement de l'ordre de 13,2V. Il convient de s'assurer du niveau de courant de fuite de la structure LVTPNP LV et contrôler si sa configuration d'implant est adaptée aux tensions élevées (5V). Les résultats de caractérisation DC présentés à la figure suivante I.31 renseignent sur le niveau de courant de fuite d'un transistor ggNMOS HV en comparaison avec celui obtenu pour une structure LVTPNP de type LV pour une température de 125°C.

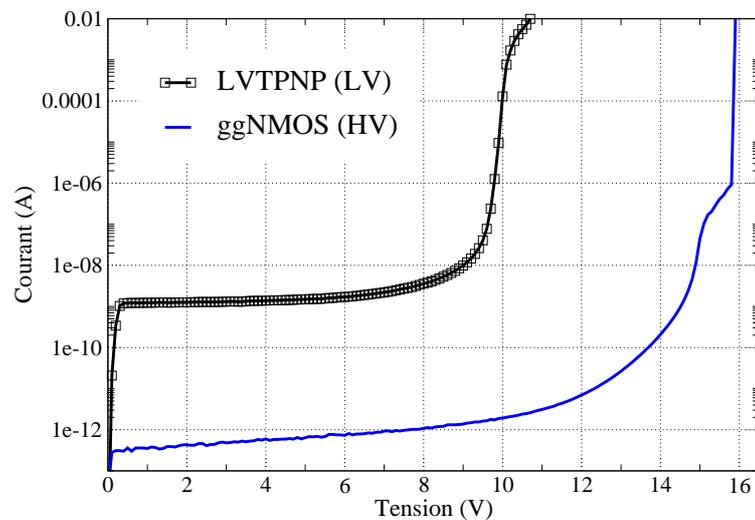


Fig. I.31 – Résultats de caractérisation DC d'une structure de protection ggNMOS HV et d'un transistor LVTPNP LV à une température de 125°C

La protection LVTPNP LV peut être utilisée pour des tensions n'excédant pas 9V en régime d'alimentation. Son niveau de courant de fuite dans ce domaine de tension reste acceptable. Par ailleurs nous avons également étudié l'effet du type de LVTPNP en configuration LV. La figure suivante I.32 présente l'effet sur les propriétés électriques de conduction en régime à fort courant du LVTPNP pour deux configurations : type 1 et type 3.

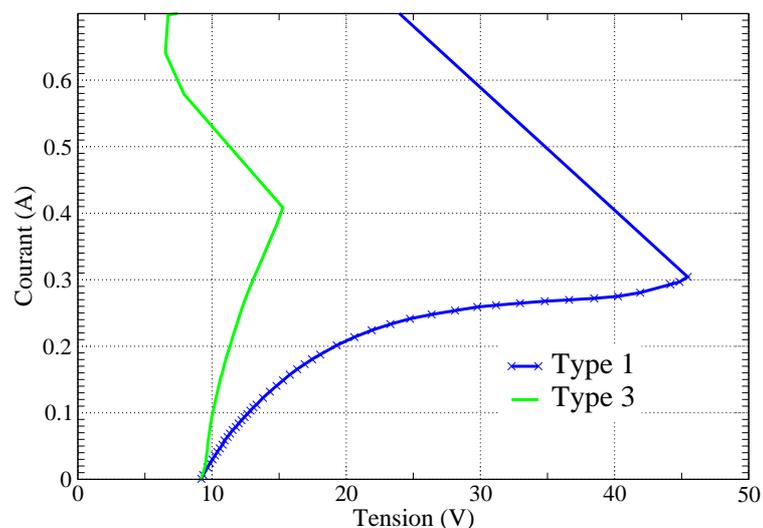


Fig. I.32 – Résultats de caractérisation TLP de LVTPNP en configuration type 1 et type 3

Comme l'avait publié M. Ker, la structure LVTPNP type 3 est plus efficace en terme de résistance de conduction mais également concernant sa robustesse en comparaison avec le LVTPNP type 1. En effet, le remplacement de l'implant N<sup>+</sup> (type 1) par l'implant P<sup>+</sup> au niveau de la jonction du collecteur associé à la suppression de l'implant de polarisation P<sup>+</sup> permet de réduire le chemin de conduction à travers le substrat et diminuer la surface allouée à la protection. Cela permet d'augmenter également le niveau de robustesse par surface.

Le recours à une protection bidirectionnelle est obligatoire pour certaines applications et vu les premiers résultats le LVTPNP semble être un bon candidat pour une implantation future dans les circuits. Ces travaux expérimentaux ont été exposés au cours d'une présentation orale durant le séminaire ESD international organisé par l'association ESDa [RBC<sup>+</sup>07].

## I.4 Conclusion

Aujourd'hui la décharge électrostatique est connue et reconnue comme étant un phénomène important à considérer lors du développement d'un circuit électronique. L'évolution des procédés en technologie CMOS (Réduction des dimensions) est contraire au gain de robustesse des structures ESDs pour la protection des circuits intégrés. En revanche, nous disposons à ce jour des systèmes de caractérisation et d'évaluation permettant de comprendre et de déterminer le comportement électrique d'une structure de protection en régime à fort courant.

Dans ce chapitre, nous avons présenté les stratégies classiques de protection au niveau circuit et proposé une étude expérimentale de deux structures de protection utilisant la conduction par transistor bipolaire pour évacuer le courant ESD.

Cependant, le fonctionnement de ce type de protection élémentaire présente une dépendance vis-à-vis de la technologie et nécessite un développement technologique pour sa calibration et son optimisation. La suite du manuscrit propose une description détaillée d'une structure de protection utilisant la conduction par transistor MOS pour l'évacuation des décharges électrostatiques. Cette structure sera utilisée de manière générique comme protection centrale au sein d'une stratégie de protection globale pour l'ensemble des circuits intégrés. Nous exposerons les avantages, les limitations et les améliorations apportés à la cellule.



# **Chapitre II**

## **Développement d'une protection centrale**

Les changements opérés aux cours des dix dernières années sur les procédés technologiques de fabrication ont réduit l'efficacité des structures de protection à base d'éléments parasites. La siliciuration, procédé technologique permettant de réduire la résistance d'accès des transistors, a amplifié les effets de focalisation du courant dans les protections ESD. Afin d'éviter les défaillances par focalisation, il est possible de bloquer l'étape de siliciuration, mais ceci est pénalisant en termes de surface ou encore de flot de vérification (DRC-ERC).

De plus, la réduction des dimensions élémentaires comme celle de l'épaisseur d'oxyde a fait diminuer le niveau de tension acceptable par les transistors à protéger. La tension maximale acceptable pour des technologies avancées devient la tension de claquage de l'oxyde et non plus la tension d'avalanche d'une jonction en inverse. Or cette tension était jusqu'alors utilisée comme déclencheur des protections ayant recours à la conduction bipolaire (SCR, ggNMOS), ce qui n'est plus viable avec des claquages d'oxyde ayant lieu pour des tensions inférieures. Des artifices de déclenchement ont ensuite été proposés afin de réduire les niveaux de déclenchement de ces protections (STMSCR, gcNMOS, Implant ESD). Ce genre de structure de protection reste évidemment dépendant du procédé de fabrication. Notre objectif est d'obtenir au final un dispositif de protection efficace avec une conception facilitée par un maximum d'indépendance vis-à-vis du procédé technologique de fabrication. Le choix du transistor MOS comme élément de protection permet par simulation électrique d'évaluer la robustesse et la capacité à protéger les composants dans une technologie donnée, dans les délais de développement d'une cellule analogique standard. Par conséquent, les temps de développement concernant le portage d'une technologie à une autre sont également réduits puisqu'on évite l'inertie que peut provoquer le développement d'un modèle spécifique des protections ESD telles que les structures SCR ou ggNMOS. La mise en balance de ces avantages et inconvénients a orienté notre choix vers une stratégie globale mettant en œuvre une protection centrale de type MOS.

Dans la première partie de ce chapitre, nous faisons un état de l'art des protections centrales et des différentes approches et solutions présentées durant ces dernières années par la communauté ESD. Notre travail a consisté à développer une protection centrale reprenant les caractéristiques de fonctionnement du circuit de référence présenté dans la première partie de ce chapitre.

Du choix de la structure de base, en passant par la proposition de règles de dimensionnement, aussi bien que par les améliorations notables apportées, la deuxième partie détaille le circuit de protection que nous avons développé.

L'objectif fixé est la proposition d'une cellule de protection pouvant faire l'objet d'une offre générique pour les technologies  $0,18\mu\text{m}$  CMOS et  $0,18\mu\text{m}$  CMOS EEPROM.

## II.1 Etat de l'art

### II.1.1 Les protections centrales élémentaires à base de diodes empilées

#### II.1.1.1 Le pont de diode

L'utilisation du MOSFET comme composant de conduction n'est pas la seule solution présentée dans la littérature pour réduire les désavantages des structures de type bipolaire parasite. Au milieu des années 90 l'équipe de Maloney [JD96] proposa différentes solutions optimisant les protections centrales à base de pont de diodes P+/Nwell dont la vue en coupe simplifiée est illustrée figure II.1.

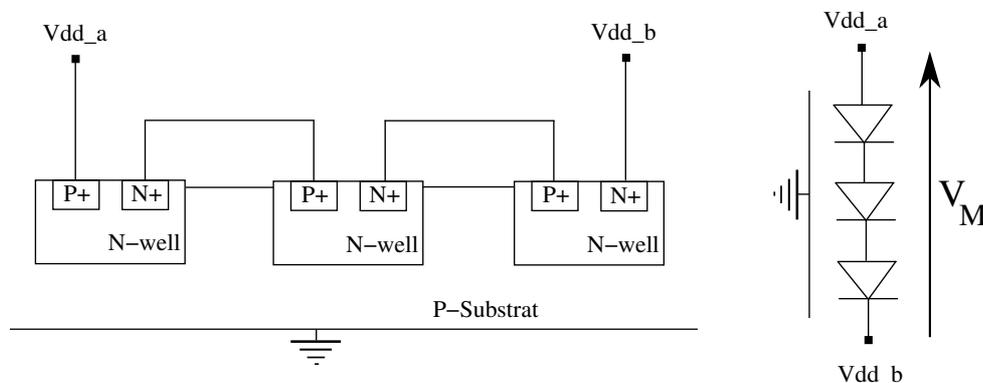


Fig. II.1 – Vue en coupe du pont de diode

L'utilisation de diodes P+/Nwell entraîne la formation d'un bipolaire parasite entre l'anode et le substrat. En fonction de la polarisation du pont de diodes, les transistors bipolaires participent à la conduction en régime ESD. En régime statique, la tension maintenue aux bornes de la diode dépend directement du gain en courant du transistor ce qui a pour effet de réduire la tension de maintien  $V_M$  du pont de diodes [JD96].

$$V_M = m \times V_1 - V_0 \times \frac{m \times (m - 1)}{2} \times \log(\beta + 1) \quad (\text{II.1A})$$

avec

$V_M$  : Tension de maintien du pont de diode.

$V_0$  : Tension de maintien idéale d'une diode.

$$V_0 = \frac{k \times T}{e} \times \ln\left(\frac{N_A \times N_B}{N_I^2}\right) \quad (\text{II.1B})$$

$V_1$  : Tension Base-Émetteur de la diode pour un niveau de courant donné lorsque la Base et le Collecteur du transistor sont connectés ensemble.

$m$  : Nombre de diodes

$\beta$  : Gain en courant du transistor bipolaire.

En régime ESD, l'efficacité de conduction du pont de diode est fonction de la configuration dans laquelle la protection est utilisée. Deux configurations sont distinguées :

- Protection insérée entre l'alimentation et la masse.

Dans le cas de figure où le pont de diode est situé entre l'alimentation et la masse, les transistors bipolaires parasites de chaque caisson, en parallèle aux diodes, participent à la conduction.

- Protection insérée entre 2 alimentations.

Dans la configuration de la figure II.2 où le pont de diode relie deux alimentations avec des potentiels différents ( $Vdd_A > Vdd_B$ ), la conduction parasite bipolaire n'intervient pas de la même manière lors d'un stress HBM aux bornes du pont de diodes. L'évacuation du courant se fait presque exclusivement par les diodes. Les charges évacuées par les bipolaires se retrouvent dans le substrat et sont ensuite redirigées vers le rail d'alimentation  $Vdd_B$  à travers les résistances d'accès et la protection centrale. Ce chemin résistif réduit le rôle des transistors bipolaires dans la conduction.

Lorsque le plot d'alimentation  $Vdd_B$  est stressé positivement par rapport au plot  $Vdd_A$ , il convient d'ajouter une diode entre les deux alimentations comme présenté à la figure II.3. Cela évite que les protections bidirectionnelles propres aux alimentations soient sollicitées et que le passage du courant dans les bus d'alimentation entraîne des surtensions aux bornes des transistors à protéger.

En régime ESD, le gain du transistor bipolaire est un élément réducteur qui prend toute son importance dans la configuration présentée à la figure II.2 où seule la conduction directe Base/Émetteur autorise le passage du courant. Le courant dans la diode décroît à la sortie du pont de diode d'un facteur  $(1 + \beta)^m$  avec  $m$  étant le nombre de diode (figure II.4). Dans un souci d'utiliser le transistor bipolaire parasite pour évacuer les charges vers le substrat, il convient de prendre en considération l'effet Webster. Cet effet consiste en la diminution du gain en courant avec l'augmentation de la densité en courant de l'émetteur. Cet effet diminue la faculté du transistor bipolaire

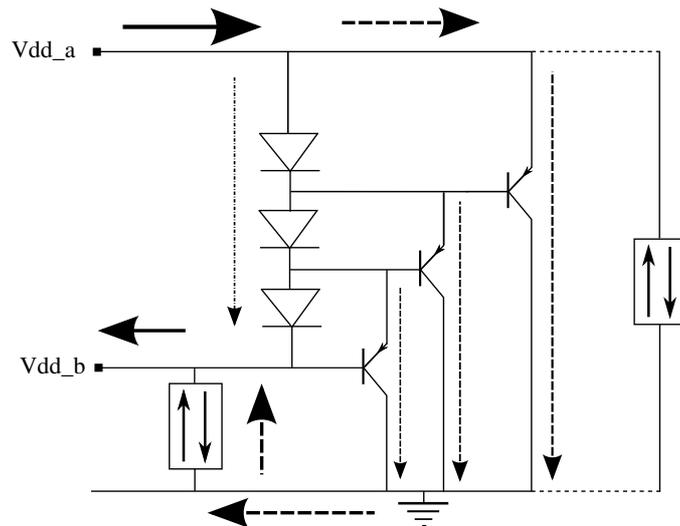


Fig. II.2 – Schéma représentatif des différents chemins de conduction lors d'un zap positif entre les deux alimentations

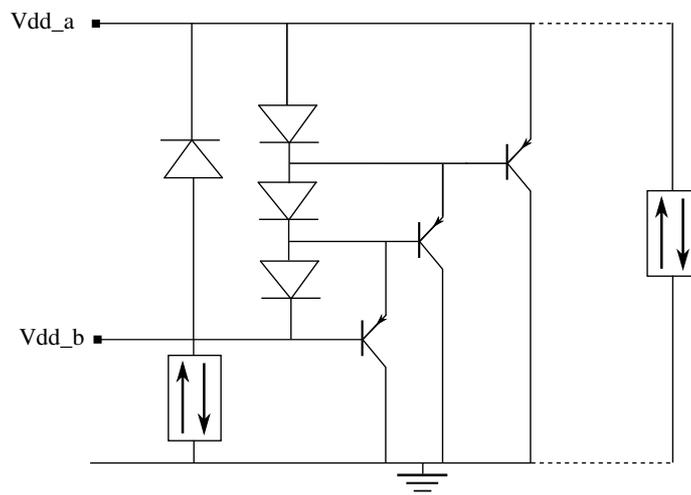


Fig. II.3 – Dispositif amélioré

à transférer les charges vers le substrat dans des régimes de fort courant. Ce dernier phénomène de conduction pouvant être difficilement amélioré, Timothy Maloney et son équipe [JD96] ont par ailleurs proposé une solution, décrite ci-après, permettant de réduire le courant de fuite en mode de polarisation normale sans pour autant dégrader les performances ESD.

### II.1.1.2 Le pont de diode amélioré "Cladded Bias Network"

Lors du fonctionnement normal du circuit, la polarisation des caissons s'établit en fonction du courant de fuite dans chaque transistor bipolaire parasite dont le substrat joue le rôle de collecteur. De par sa connexion entre la borne supérieure  $Vdd_A$  et la masse, le transistor bipolaire

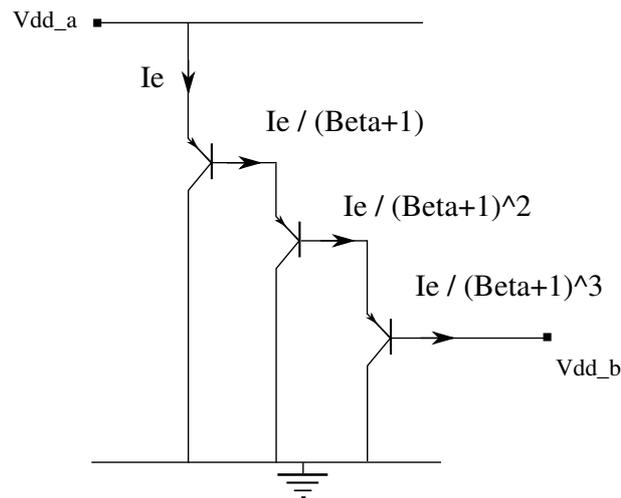


Fig. II.4 – Représentation simplifiée de la réduction de courant de fuite dans chaque diode

parasite de la première diode fait l'objet d'une plus forte densité de courant de fuite par rapport aux autres transistors bipolaires de la chaîne (figure II.4). Chaque diode possède une tension de maintien différente et dépendante de la température. La tension de maintien du pont de diodes varie par conséquent avec la température. Afin d'annuler cette dépendance, la solution apportée est présentée sur la figure II.5. L'ajout de résistances en parallèle à chaque paire de diodes permet d'imposer une tension équivalente à chaque paire de caissons et ainsi contrôler le courant de fuite à travers le pont de diodes sans pour autant dégrader l'efficacité de conduction en régime à fort courant.

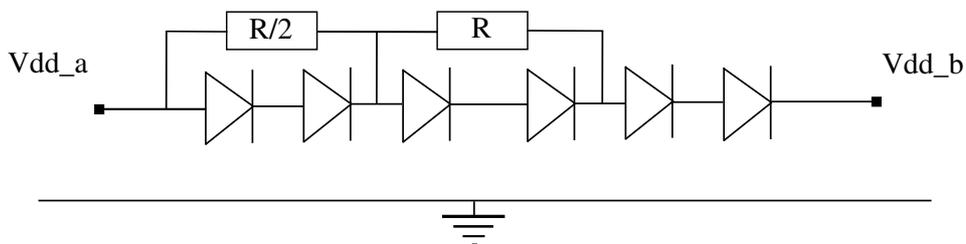


Fig. II.5 – Pont de diodes amélioré avec résistances de polarisation

Afin d'optimiser la surface silicium, les résistances sont remplacées par des transistors PFET jouant à leur tour le rôle de résistance pour polariser les caissons des diodes.

- Lors de décharges électrostatiques entre  $Vdd_A$  et  $Vdd_B$ , les transistors T1 à T3 étant très résistifs et les grilles de contrôle se trouvant en haute impédance, le passage du fort courant s'effectue à travers le pont de diodes.

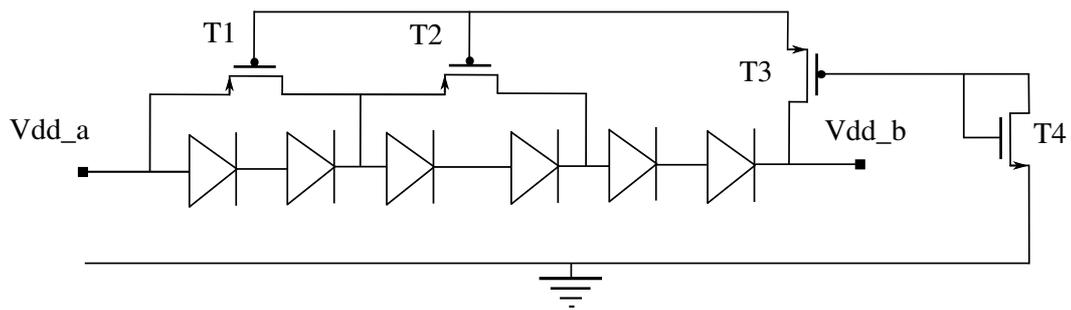


Fig. II.6 – Pont de diodes amélioré avec transistors de polarisation

- En régime d'alimentation établie avec  $Vdd_A > Vdd_B$ , le transistor de contrôle T3 est rendu actif par le transistor T4 connecté en diode. Le transistor T3 autorise la conduction des transistors T1 et T2 et permet donc la polarisation des caissons des diodes ESD au potentiel  $Vdd_A$ .

### II.1.1.3 Le circuit de diodes en "Porte à faux"

La solution introduite dans cette section a l'avantage d'annuler presque totalement les courants de fuite lorsque l'alimentation est établie. Contrairement au circuit de la figure II.6, la protection présentée ci-dessous à la figure II.7 doit être connectée entre les bus d'alimentation et de masse pour être efficace.

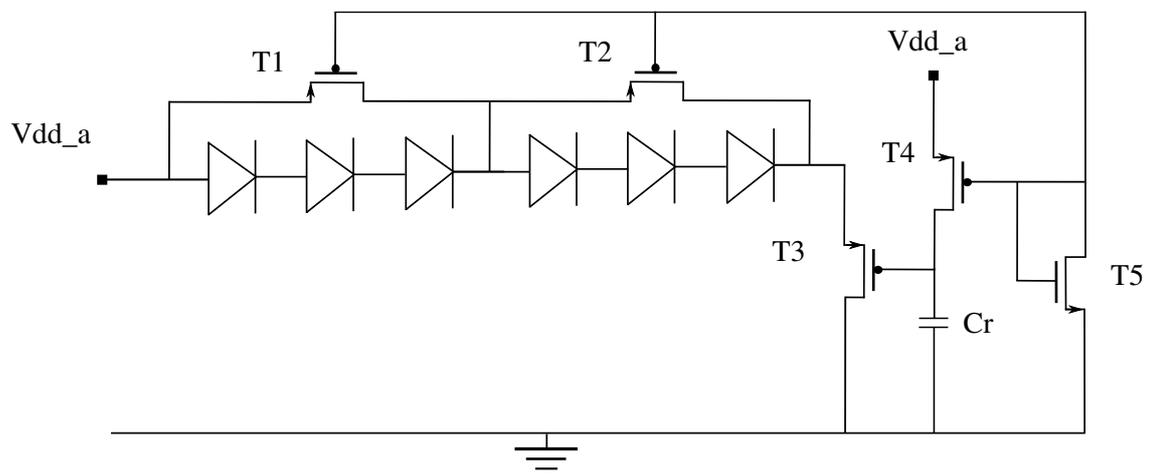


Fig. II.7 – Pont de diodes en "Porte à faux"

Le circuit est composé d'un pont de diodes en série avec un transistor PMOS T3. La grille du transistor T3 est contrôlée par un dispositif composé d'une capacité  $C_R$  et d'un transistor T4. Le fonctionnement de ces éléments est assimilé au fonctionnement d'un filtre passe-bas du premier

ordre. Le transistor T4 joue le rôle de résistance contrôlée par le transistor T5 lui-même connecté en diode.

- En régime ESD, le transistor T3 est maintenu passant durant toute la durée de l'évènement.
- En régime d'alimentation établie, la grille du transistor T3 est à la tension d'alimentation ce qui a pour effet de bloquer la conduction du transistor T3. La conduction à travers les diodes est annulée.

Les mesures TLP faites par l'équipe de T.Maloney [JD96] révèlent entre autres que la tension induite aux bornes de la structure est supérieure à celle du simple pont de diodes. Selon ces données de caractérisation TLP, il a été mis en évidence que la tension critique de défaillance est par conséquent plus rapidement atteinte. Malgré cet inconvénient, la possibilité d'ajouter plusieurs protections en parallèle peut se révéler être la solution envisagée afin de réduire la résistance globale de conduction durant l'agression ESD.

Les ponts de diodes sont principalement utilisés aujourd'hui pour permettre un chemin de conduction faible impédance en régime ESD entre deux domaines d'alimentation. Dans le cadre d'une stratégie globale avec une protection centrale localisée entre l'alimentation et sa ligne de masse, il a été proposé dans la littérature des cellules de protection plus efficaces en termes de conduction et de niveau de protection. La conduction à base de diodes empilées a montré ses limites et a laissé place à l'utilisation du transistor MOS comme élément d'évacuation. Nous faisons état, dans la partie suivante, du dispositif traditionnel de conduction à base de transistor MOS ainsi que des évolutions notables dont il fût l'objet.

## II.1.2 Le "Power Clamp" à base de MOS

La notion de "Power Supply Clamp" a pris toute son importance lors du changement de stratégie de type local à la stratégie globale de protection dans laquelle un seul type de protection dynamique centralisée et située dans les alimentations s'active lors de l'apparition d'un évènement ESD sur le rail d'alimentation. La première cellule de protection en technologie CMOS 0,8  $\mu\text{m}$  a été proposée par R.Merrill [Mer93]. Le schéma électrique est présenté à la figure II.8.

### II.1.2.1 Principe

Le filtre RC est utilisé comme cellule de détection et permet par l'intermédiaire de 3 inverseurs T1, T2 et T3 de contrôler la grille du transistor TN4 utilisé pour l'évacuation du courant en régime ESD. Les valeurs des composants du filtre sont déterminées afin de rendre active la protection durant toute la durée de la décharge électrostatique. En régime ESD, la constante de temps du filtre



appels de courant initiés par une alimentation bruitée. Afin d'éviter tout risque de consommation durant les montées d'alimentation rapides de l'ordre de  $1\mu\text{s}$  et de réduire le risque de déclenchements intempestifs, plusieurs solutions ont été proposées [LGM<sup>+</sup>06] [XTW04], dont le circuit élémentaire est présentée à la figure II.9. Ces solutions consistent à dissocier l'élément de détection de celui de maintien.

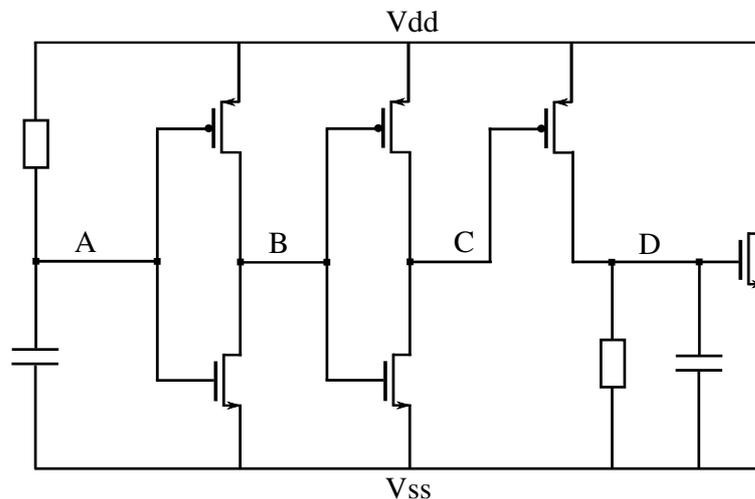


Fig. II.9 – Circuit de protection embarquant un dispositif de détection dissocié du dispositif de maintien

Différentes configurations quant à la connexion du dispositif de maintien sont possibles (Noeuds B, C, ou D) à l'exclusion du noeud A réservé à la détection. Cette approche qui permet d'adresser une plus large gamme de temps de montée d'alimentation et la précédente nécessitent toutefois une surface importante pour implémenter les constantes RC. En effet l'implémentation d'une constante de temps de l'ordre de  $1\mu\text{s}$  nécessite une surface de l'ordre de  $10000\mu\text{m}^2$  de silicium pour une technologie CMOS  $0,18\mu\text{m}$ . Pour certains circuits où les contraintes de surface sont un facteur primordial, il n'est pas envisageable d'allouer une telle surface au circuit de maintien.

### II.1.2.3 Optimisation de la surface

Toujours sur le principe de la dissociation des circuits de détection et de maintien, la solution présentée à la figure II.10 a été proposée par [CB03] [LGR04]. Elle consiste au remplacement du RC de maintien par un simple circuit de verrouillage. Dès que la commutation du dernier inverseur a lieu, celui-ci est maintenu dans son état grâce au rebouclage de la grille du transistor d'évacuation sur la sortie du second inverseur. Cette approche offre un gain de surface significatif se traduisant par la réduction de la surface totale d'un facteur dix, hors transistor d'évacuation.

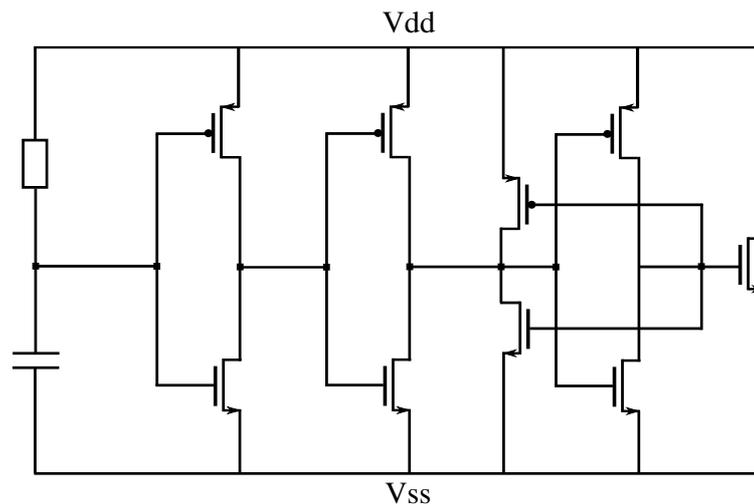


Fig. II.10 – Circuit de protection embarquant une optimisation de la cellule de détection

Toujours dans un souci de réduction de surface, d'autres solutions telles que le remplacement de la résistance en polysilicium du filtre de détection par un transistor ont été proposées [LGR04]. Les caractéristiques du filtre dépendent alors du mode de conduction du transistor. Pour des tensions inférieures au  $V_t$ , le transistor se trouve dans un régime de faible inversion et impose une résistance bien supérieure à celle qu'aurait imposée le transistor s'il se trouvait dans un régime ohmique ou saturé. Cette spécificité est très avantageuse en régime ESD mais elle s'avère être une limitation pour les régimes de rampes d'alimentation. En effet la mise sous alimentation du circuit induit un passage du niveau d'alimentation par une tension inférieure à la tension de seuil d'un transistor qui entraîne l'activation de la protection menant ainsi à une consommation en courant.

Les différentes solutions décrites présentent des avantages et des inconvénients. Le circuit de protection de la figure II.10 présente les avantages suivants :

- Possibilité d'adresser des rampes d'alimentation rapides.
- Une faible sensibilité au bruit réduisant ainsi les risques de déclenchements intempestifs.
- Une surface réduite pour l'implémentation du circuit.

Toutefois, bien que satisfaisantes en terme de surface, toutes ces approches ayant recours à un système de verrouillage pour le circuit de maintien présentent cependant un inconvénient majeur. En effet, lorsque le circuit est en cours d'utilisation, l'activité des plots d'E/S génère des fluctuations de la tension présente sur le rail d'alimentation. Ces fluctuations peuvent entraîner des déclenchements intempestifs de la protection. Dans certaines situations extrêmes, le transistor d'évacuation une fois déclenché est maintenu dans un état passant par ce dispositif de maintien. Cela engendre une consommation directe en courant entre l'alimentation et la masse, et nécessite

un redémarrage du circuit pour stopper la consommation.

Malgré ces inconvénients, les multiples avantages décrits ont orienté notre choix vers ce type de circuit de protection comme base de travail. Nous nous sommes attachés à la rendre plus robuste en proposant des règles de dimensionnement et à la faire évoluer en identifiant puis en corrigeant ses principaux inconvénients. La partie suivante présente la cellule de protection que nous avons développée.

## II.2 Conception et amélioration d'une protection centrale

### II.2.1 Introduction

Après avoir pris connaissance des différentes solutions proposées dans la littérature, notre choix de protection s'est porté sur une cellule dynamique de protection utilisée comme protection centrale dans le cadre d'une stratégie globale de protection, reprenant les éléments fondamentaux du dispositif dynamique de protection proposé par R.Merril. Notre volonté de couvrir une large gamme de rampes d'alimentation et d'utiliser des plots d'alimentation à surface réduite nous a conduit à séparer l'élément de détection et celui de maintien. Nous considérons le schéma de principe à la figure II.11 représentant le dispositif de protection qui nous servira de base de travail.

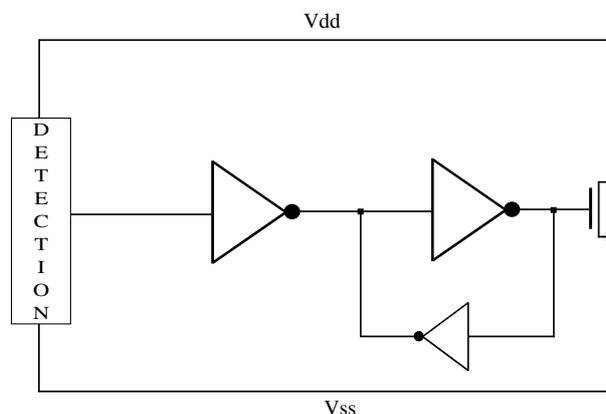


Fig. II.11 – Schéma de principe du dispositif standard de protection

L'étude du circuit II.11 nous a permis de découvrir certaines limitations pouvant être contraignantes pour les applications visées. Les limitations du circuit électrique de départ sont présentées ci-après :

- Le phénomène de bruit généré sur le rail d'alimentation peut être assimilé à une décharge électrostatique et par conséquent entraîner le déclenchement de la protection. Le verrouillage automatique de la protection en mode actif ne permet pas un arrêt du mode de conduction de la protection menant à une consommation statique irréversible. Il est impératif d'éviter que le circuit soit confronté à ce genre de situation. Nous nous devons d'améliorer la différenciation des régimes de fonctionnement rencontrés et permettre une meilleure transparence de la structure de protection lorsque le circuit est alimenté.
- A l'aide de simulations de rampes d'alimentation effectuées lors de la conception, nous avons mis en évidence que ce circuit II.11 présentait des surconsommations en courant de type transitoire causées par des rampes d'alimentation très lentes de l'ordre  $\frac{\partial V}{\partial t} = 1V/100ms$

lors de la mise sous tension du dispositif. Ces surconsommations sont liées au régime de conduction sous le seuil des transistors qui, dans certaines conditions ne permettent pas de contrôler la grille du transistor d'évacuation sans engendrer un appel de courant.

Les paragraphes suivants sont consacrés à la description de chaque élément du circuit de protection. Les simulations utilisées pour le dimensionnement et l'évaluation de l'efficacité de chaque élément sont également abordées pour chaque sous-circuit.

## II.2.2 Conception du détecteur

Le circuit de détection permet de contrôler la mise en conduction du transistor d'évacuation par l'intermédiaire d'une chaîne d'inverseurs. Le circuit de détection considéré est un circuit utilisant un filtre passif du premier ordre de type passe-haut. Le choix du filtre, passe-haut ou passe-bas dépend uniquement du nombre d'inverseurs qui suivent et du type de transistor MOS utilisé pour l'évacuation du courant.

Dans le cas d'un passe-haut, la sortie du filtre génère en fonction de son gain un niveau haut pour des signaux dont la fréquence est supérieure à la fréquence de coupure du filtre. Par ailleurs un tel filtre maintient un niveau logique bas à sa sortie pour des signaux sur l'alimentation basse-fréquence (Montée d'alimentation). Afin d'obtenir une bonne détection des décharges électrostatiques de type HBM, la fréquence de coupure du dispositif doit permettre d'évacuer l'onde en courant HBM. Il faut également prendre en compte les pentes de montée des tensions d'alimentation et s'assurer qu'elles correspondent à des fréquences inférieures à la fréquence de coupure du filtre.

Par ailleurs, les détecteurs tels que les filtres passifs utilisant une constante de temps pour différencier les conditions de fonctionnement, sont sensibles aux effets capacitifs. Il convient d'éviter que l'efficacité de détection soit réduite par des effets parasites.

### II.2.2.1 La capacité de découplage

La capacité de découplage  $C_D$  ramenée sur l'alimentation dégrade la réponse en tension résultante de l'onde ESD en courant. Certaines valeurs de capacité inhibent la détection sans pour autant limiter la tension à une valeur suffisamment basse pour protéger les oxydes des transistors du coeur. Il faut donc considérer ce paramètre comme un élément perturbateur au premier ordre lors du dimensionnement du filtre.

L'inconvénient majeur pour le concepteur est la difficulté à estimer la valeur de la capacité du circuit. La valeur de la capacité ramenée aux bus d'alimentation dépend essentiellement de la taille du segment connecté au noeud d'alimentation considéré. En général, plusieurs segments d'alimentation se retrouvent au niveau d'un circuit. Dans une approche générique il faut donc s'affranchir de ce paramètre.

Trois cas de figure de réponse du circuit de protection à une décharge électrostatique sont à considérer :

1. La capacité de découplage  $C_D$  est très faible et sa valeur est transparente pour le dispositif de détection ce qui n'empêche pas d'activer le circuit de protection.
2. La capacité de découplage  $C_D$  inhibe le dispositif de détection et n'est pas suffisante pour engendrer un niveau de tension acceptable aux bornes des éléments à protéger.
3. La capacité de découplage  $C_D$  est suffisamment importante pour limiter la tension à un niveau acceptable pour la technologie considérée sans que la protection soit activée.

L'objectif est de rencontrer uniquement les situations n°1 ou n°3 sous régime ESD. Les éléments du filtre sont dimensionnés pour assurer la détection jusqu'à des valeurs de capacité suffisamment élevées pouvant protéger le circuit. Afin d'éviter le cas de figure n°2 critique, il convient de déterminer la valeur minimum de la capacité permettant la protection des circuits internes pour une technologie donnée.

Nous rappelons donc l'équation en courant d'une décharge électrostatique de type HBM :

$$I_{ESD}(t) = V_{ESD} \times C_C \times \left( \frac{\omega_0^2}{\sqrt{a^2 - \omega_0^2}} \right) \times e^{(-a \times t)} \times \frac{1}{2} \times (e^{t \times \sqrt{a^2 - \omega_0^2}} - e^{-t \times \sqrt{a^2 - \omega_0^2}}) \quad (\text{II.2C})$$

avec

$$a = \frac{R}{2 * L} \quad \text{et} \quad \omega_0 = \frac{1}{\sqrt{L * C_s}} \quad (\text{II.2D})$$

R, L,  $C_S$  sont les composants décrits dans le tableau I.1. La tension  $U_D(t)$  induite par la décharge aux bornes de la capacité  $C_D$  satisfait l'équation suivante :

$$U_D(t) = \frac{1}{C_D} \times \int I_{ESD}(t) \partial t \quad (\text{II.2E})$$

Le tableau II.1 renseigne sur la valeur de capacité  $C_D$  permettant de limiter la tension à un niveau  $U_d$  lors d'un stress HBM de 2kV.  $U_d$  correspond à la tension maximale à ne pas dépasser dans une technologie donnée.

| $U_D$ | $C_d$  |
|-------|--------|
| 4V    | 49,9nF |
| 5V    | 39.8nF |
| 6V    | 33,4nF |
| 7V    | 28.6nF |
| 8V    | 24.9nF |
| 9V    | 22.3nF |

Tab. II.1 – Valeur de capacité utilisée pour protéger le circuit par rapport à un niveau de tension

### II.2.2.2 Le dimensionnement du filtre

Connaissant la tension maximale  $U_d$  d'une technologie donnée, le tableau nous donne la valeur  $C_d$ . Il convient de dimensionner le filtre de détection ( $R_f; C_f$ ) en considérant en parallèle la capacité  $C_d$ . Le schéma électrique considéré pour le calcul est présenté à la figure II.12.

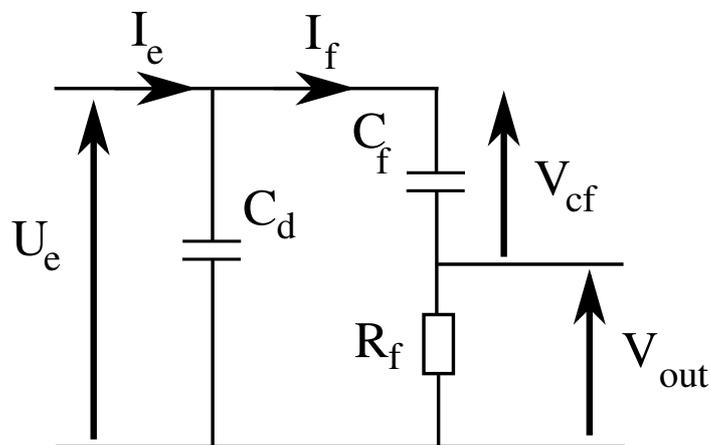


Fig. II.12 – Schéma électrique

Nous vérifions que pour des valeurs choisies ( $R_f; C_f$ )  $V_{out}$  atteint le seuil de commutation du premier inverseur de la cellule de protection. Par cette approche, nous pouvons nous assurer que la fonctionnalité du détecteur ne sera pas altérée par la présence d'une capacité inférieure ou égale à  $C_d$  en parallèle. La valeur de capacité qui pourra altérer la fonctionnalité du détecteur sera supérieure à  $C_d$  et donc suffisante pour jouer le rôle de protection à elle-seule.

Le courant de sortie  $I_f(t)$  du circuit présenté figure II.12 suit l'équation différentielle d'ordre 1 suivante :

$$\frac{\partial I_f(t)}{\partial t} + \frac{1}{R_f \times C_f} \times \left(1 + \frac{C_d}{C_f}\right) \times I_f(t) = \frac{I_e(t)}{R_f \times C_d} \quad (\text{II.2F})$$

La solution de cette équation est de la forme :

$$I_f(t) = A \times e^{\left(\frac{-1}{R_f \times C_d} \times \left(1 + \frac{C_d}{C_f}\right) \times t\right)} + \frac{I_e(t)}{1 + \frac{C_d}{C_f}} \quad (\text{II.2G})$$

En considérant qu'à  $t_0 = 0s$ ,  $I_f(0) = I_e(0) = 0$ , la constante A est égale à 0, le courant  $I_f(t)$  satisfait l'équation suivante :

$$I_f(t) = \frac{I_e(t)}{1 + \frac{C_d}{C_f}} \quad (\text{II.2H})$$

On peut donc en déduire la tension  $V_{cf}(t)$  aux bornes de la capacité  $C_f$  en considérant l'équation du courant d'une onde HBM ( $I_e = I_{ESD}$ ) :

$$V_{cf}(t) = \frac{1}{C_f} \times \int I_f(t) \partial t \quad (\text{II.2I})$$

Ce qui mène à l'équation suivante :

$$V_{cf}(t) = \frac{1}{C_f} \times \frac{1}{1 + \frac{C_d}{C_f}} \int I_{ESD}(t) \partial t \quad (\text{II.2J})$$

L'onde en courant HBM peut être définie suivant l'équation ci-dessous :

$$I_{ESD}(t) = K_S \times (e^{K_A \times t} - e^{-K_B \times t}) \quad (\text{II.2K})$$

$$K_S = \frac{V_{ESD} \times C_C}{2} \times \left(\frac{\omega_0^2}{\sqrt{a^2 - \omega_0^2}}\right) \quad (\text{II.2L})$$

$$K_A = -a + \sqrt{a^2 - \omega_0^2} \quad K_B = a + \sqrt{a^2 - \omega_0^2} \quad (\text{II.2M})$$

$$V_{cf}(t) = \frac{K_S}{C_f} \times \frac{1}{1 + \frac{C_d}{C_f}} \times \int (e^{K_A \times t} - e^{-K_B \times t}) \partial t \quad (\text{II.2N})$$

Le calcul de l'intégrale mène à la loi ci-dessous :

$$V_{cf}(t) = \left( \frac{K_S}{C_f} \times \frac{1}{1 + \frac{C_d}{C_f}} \right) \times \left( \frac{1}{K_A} \times e^{K_A \times t} \right) + \left( \frac{1}{K_B} \times e^{-K_B \times t} \right) \quad (\text{II.2O})$$

Les valeurs des tensions  $U_e$  sur l'alimentation et  $V_{out}$  de la sortie du filtre sont définies ci-dessous :

$$U_e(t) = V_{cf}(t) + V_{out} \quad \text{avec} \quad V_{out} = R_f \times I_f(t) \quad (\text{II.2P})$$

Les formes d'onde de la sortie du filtre pour différentes valeurs de résistance  $R_f$  avec les tensions  $U_e$  induites associées sont illustrées à la figure II.13.

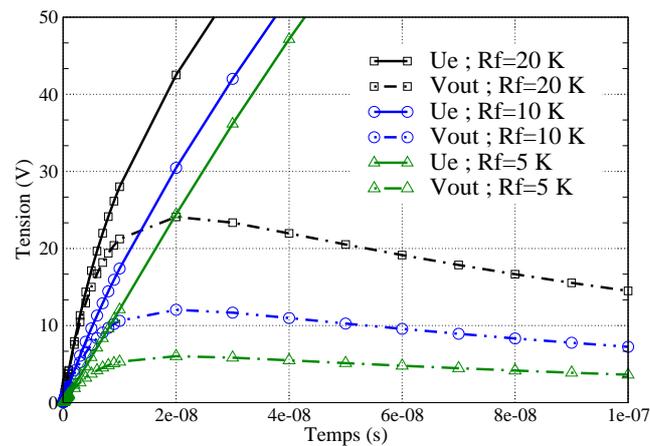


Fig. II.13 – Illustration de l'effet de la résistance pour différentes valeurs  $R_f$  sur le signal de sortie du filtre et la tension  $U_e$

On constate que pour une valeur de capacité  $C_d$  constante et une tension HBM de 2kV, la diminution de la valeur de la résistance  $R_f$  entraîne une réduction de la tension à la sortie du filtre. En considérant une tension critique de 6V sur l'alimentation et une tension de commutation de l'inverseur équivalente à  $V_{dd}/4$ , la diminution de la résistance de  $20k\Omega$  à  $1k\Omega$  entraîne une dégradation du signal de sortie  $V_{out}$  et engendre le déclenchement de la protection pour un niveau de tension sur le noeud d'alimentation supérieur au niveau acceptable considéré dans le cas où la capacité  $C_d$  de découplage entre les bus d'alimentation n'est pas assez importante.

L'objectif de cette étude est de dimensionner le sous-circuit de détection en s'affranchissant de ce type de situation. Les éléments du filtre de détection sont choisis afin d'atteindre la tension de commutation pour la valeur de capacité  $C_d$  choisie en rapport avec le tableau II.1 du paragraphe précédent.

Deux types de simulation sont effectués pour déterminer le niveau d'efficacité de détection de la cellule lors de la phase préliminaire de conception. La première est une simulation HBM reprenant les conditions électriques décrites à la figure II.12. Le choix d'un modèle typique de décharge électrostatique reste restrictif et ne tient pas compte de l'effet de la ligne de transmission du testeur HBM. Nous avons donc distingué plusieurs modèles de simulation HBM prenant en compte les variations cumulées de l'inductance  $L$  et de la capacité  $C_S$  d'une ligne de transmission d'un testeur HBM dont les valeurs sont répertoriées dans le tableau II.2. Lors de la simulation HBM, le modèle HBM choisi est de type "Lent" afin d'accentuer, grâce aux effets parasites inductifs et capacitifs du testeur, l'éventualité de non-déclenchement de la cellule de détection. L'objectif de cette simulation est de contrôler que le cas de figure 2 de non-déclenchement ne se produit pas.

| HBM   | Typique       | Lent          | Rapide        |
|-------|---------------|---------------|---------------|
| C     | 100pF         | 100pF         | 100pF         |
| R     | 1500 $\Omega$ | 1500 $\Omega$ | 1500 $\Omega$ |
| L     | 7,5 $\mu$ H   | 9,5 $\mu$ H   | 5,5 $\mu$ H   |
| $C_S$ | 1pF           | 100fF         | 2pF           |
| $C_T$ | 10pF          | 10pF          | 10pF          |

Tab. II.2 – Description des valeurs utilisées pour les différents modèles HBM

La deuxième étude consiste à simuler une montée d'alimentation aux bornes de la cellule. L'objectif est de mettre en évidence la limite basse de non-déclenchement de la protection en faisant varier la rampe de l'alimentation. Cette limite est définie comme étant la pente critique à ne pas atteindre lors de la montée d'alimentation. Il convient d'admettre que le cahier des charges du produit utilisant cette protection soit en accord avec cette limitation. Pour cela, la cellule est soumise à plusieurs simulations transitoires pour différents temps de montée d'alimentation. Par ailleurs, les conditions initiales de simulation telles que les variations du procédé de fabrication ou la température sont également prises en compte et choisies afin de simuler, dans des cas extrêmes,

la cellule de détection. Les critères de sélection des conditions initiales sont décrits dans le chapitre suivant.

### II.2.3 Conception du dispositif de maintien

La réduction des éléments du filtre de détection ne permet plus de maintenir la conduction du transistor d'évacuation pendant toute la durée de l'évènement ESD. Un circuit de maintien est ajouté pour éviter la commutation du dernier inverseur contrôlant la grille du transistor d'évacuation. Cela est assuré par un rebouclage de la grille du transistor d'évacuation sur l'entrée du dernier inverseur de la chaîne par l'intermédiaire d'un transistor NMOS qui fait office de point mémoire. L'utilisation d'un filtre passif associé à un circuit de maintien comporte l'inconvénient majeur d'entraîner des conductions statiques, lors des déclenchements intempestifs. Pour éviter cette situation il convient d'inhiber la cellule de détection lorsque la tension est établie.

### II.2.4 Circuit d'immunité au bruit

Un phénomène de diaphonie entre deux E/S en activité fonctionnant à une certaine fréquence, lorsque le circuit est alimenté, est considéré comme étant une source potentielle de bruit parasitant localement le rail d'alimentation où est connecté le plot d'alimentation embarquant la protection. Ces fluctuations, surtensions ou sous-tensions, peuvent être à l'origine d'un déclenchement intempestif des cellules de protection dynamiques utilisant des éléments passifs pour la détection. Des surtensions représentant plus de 50% du niveau d'alimentation peuvent survenir sur certains produits. Il convient d'ajouter un dispositif d'immunité au bruit dans le cadre du développement d'une cellule de protection.

Le rôle du dispositif d'immunité au bruit est d'inhiber la sortie du filtre lorsque le circuit est alimenté. Le premier dispositif présenté à la figure II.14 est basé sur l'utilisation d'un deuxième filtre de type opposé au premier. La sortie du second filtre contrôle la grille d'un transistor de type N. La résistance  $R_F$  est alors court-circuitée et le filtre  $[R_F, C_F]$  est, par ce biais, désactivé. Quelle que soit la nature du bruit parasitant l'alimentation, la sortie  $V_{OUT}$  reste au potentiel de masse, assurant ainsi la non conduction du transistor d'évacuation. La protection ESD est désactivée lorsque le circuit est alimenté.

L'inconvénient de ce dispositif est la surface occupée par les éléments passifs RC. Notre objectif est de réduire au maximum la surface silicium allouée au circuit de contrôle. Une autre solution présentée à la figure II.15 permet de réduire de 90% la taille de la cellule d'immunité au bruit tout en conservant la même fonction d'inhibition de la protection.

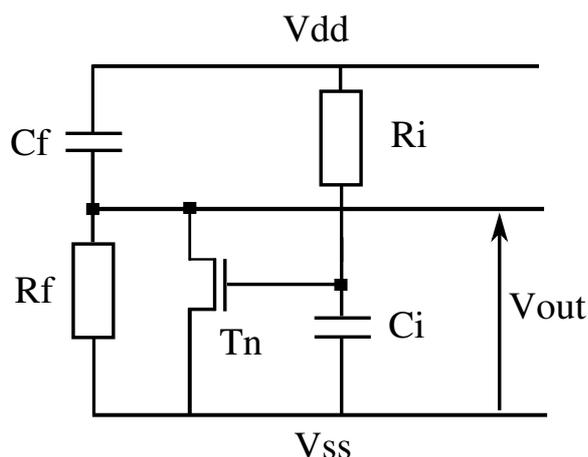


Fig. II.14 – Circuit de détection comprenant le circuit d'immunité au bruit dans sa version initiale

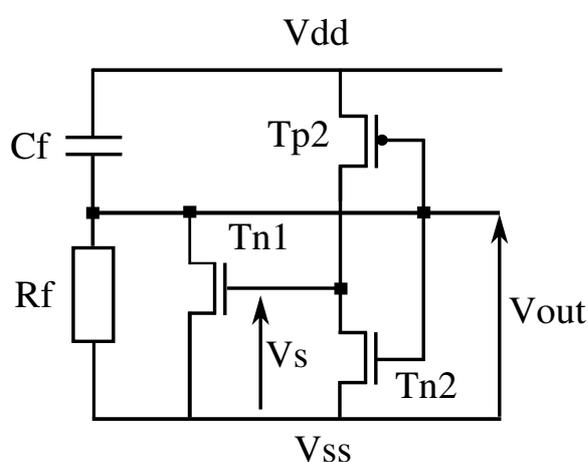


Fig. II.15 – Circuit de détection comprenant le circuit d'immunité au bruit dans sa version améliorée

L'inverseur T2 est dimensionné de manière à garder sa tension de seuil inférieure à la tension de commutation du premier inverseur de la chaîne d'inverseurs. Cette condition de dimensionnement évite, l'inhibition du dispositif de détection  $[R_F, C_F]$  et le maintien de la sortie du dispositif à l'état bas lors de décharges électrostatiques. En régime d'alimentation, la sortie du filtre de détection est maintenue à l'état bas grâce au transistor Tn1 court-circuitant de ce fait la résistance du filtre de détection. La figure suivante II.16 représente les résultats de simulation en technologie CMOS  $0,18\mu\text{m}$  du dispositif énoncé précédemment. On remarque que la sortie du filtre  $V_{out}$  n'est pas affectée par le rebouclage du dispositif d'immunité. La sortie  $V_s$  de l'inverseur T2 est maintenue à l'état bas pendant toute la durée du pic de l'évènement ESD.

De la même manière que pour la cellule de détection, la simulation électrique transitoire nous permet de dimensionner le dispositif d'immunité au bruit et d'éprouver son niveau d'efficacité. Un stimulus illustré à la figure II.17 est appliqué aux bornes de la cellule avec l'amplitude  $A$  et la période  $T_m$  paramétrables du bruit. Le niveau d'amplitude  $A$  du bruit, pour une période  $T_m$ ,

entraînant un déclenchement de la cellule est défini comme limite de transparence de la cellule et est retenu comme critère d'efficacité d'immunité du circuit.

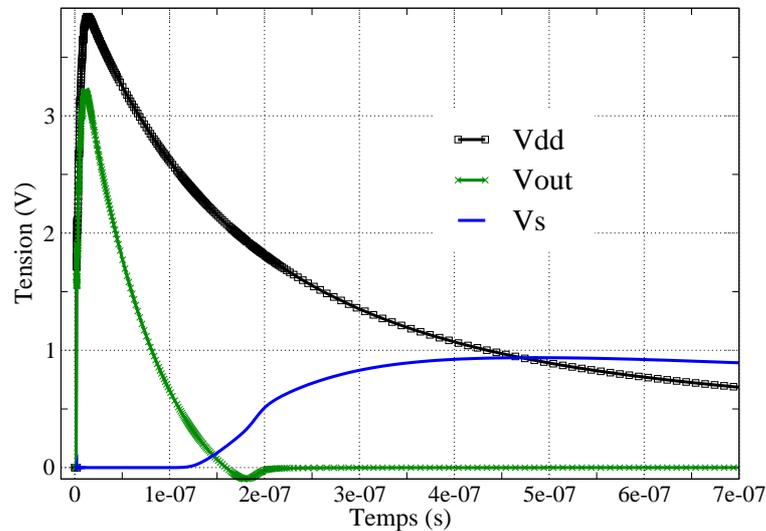


Fig. II.16 – Résultats de simulation transitoire d'un détecteur associé à un dispositif d'immunité au bruit en Technologie CMOS 0,18 $\mu\text{m}$

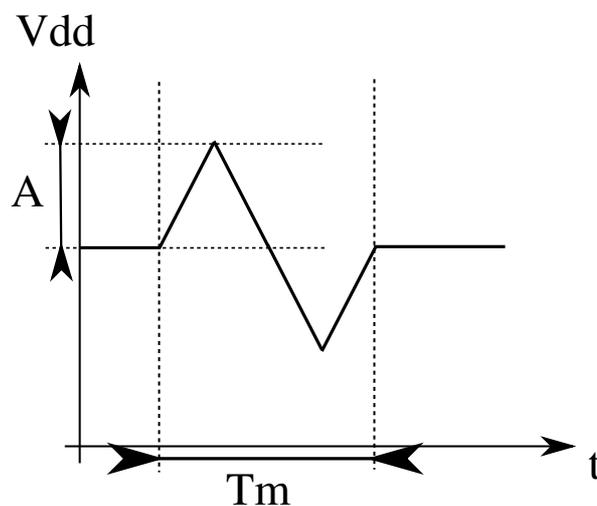


Fig. II.17 – Stimulus utilisé lors de simulation pour la conception d'une cellule d'immunité au bruit

Ces deux solutions d'immunité au bruit [BRb] [BRa] ont été déposées à l'office international des brevets et sont en cours d'acceptation. Les premiers résultats de caractérisation des circuits de test utilisant ce dispositif n'ont pas présenté de déclenchement pour des amplitudes de bruit proches de la tension d'alimentation, corrélant ainsi avec les résultats obtenus en simulation. La cellule d'immunité au bruit permet d'éviter des déclenchements intempestifs lorsque le circuit

est alimenté. Dans de rares applications telles que les branchements de clé USB, des décharges électrostatiques imposées par l'utilisateur peuvent survenir alors que le circuit est sous tension. L'alimentation étant établie, les protections ESD basées sur le principe proposé ne participeront pas à la protection du circuit. Il convient donc d'exclure l'utilisation du principe proposé pour ce type d'application, excepté dans le cas où le rôle de protection ESD pourrait être délésté à des composants externes au circuit intégré.

## II.2.5 Amplification du signal de contrôle

L'amplification du signal de sortie du filtre est effectuée par l'intermédiaire d'inverseurs comme représenté à la figure II.18. Le nombre d'inverseurs est choisi le plus faible possible pour des questions de délai d'amorçage de la protection en régime ESD. L'utilisation du transistor NMOS, plus efficace en conduction qu'un transistor PMOS à taille équivalente comme dispositif d'évacuation associé à un dispositif de maintien impose l'utilisation de deux inverseurs pour l'utilisation d'un filtre de type passe-haut. Le dimensionnement des transistors des inverseurs est effectué après avoir déterminé la taille du transistor d'évacuation  $T_e$ . La largeur du transistor étant importante, sa capacité de grille sera proportionnelle à la taille de sa grille. Pour des raisons de rapidité d'amorçage en régime ESD, il convient de dimensionner la taille du transistor  $T_{p4}$  venant charger la grille du transistor d'évacuation en proportion avec ce dernier pour réduire le délai de démarrage de la protection.

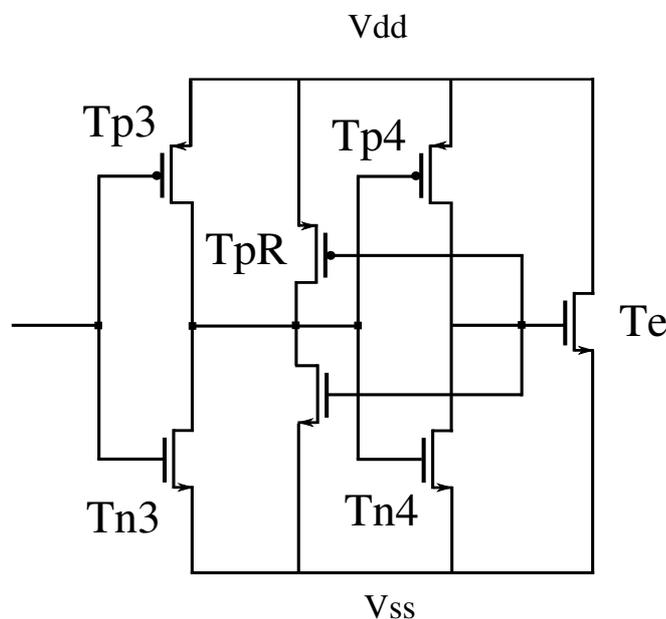


Fig. II.18 – Schéma électrique du circuit amplificateur

Par ailleurs, les transistors ne rentrant en régime de conduction optimale qu'à partir d'une tension supérieure au  $V_T$ , le noeud intermédiaire peut se retrouver flottant dans certaines configura-

rations électriques. Une sur-consommation apparaît, par exemple, lors de rampes d'alimentation lentes [ $10\mu\text{s}$ ;  $1\text{s}$ ]. Afin d'éviter ce phénomène il convient d'ajouter, dans le cas où la technologie le permet, un transistor PMOS à faible  $V_T$ , TpR sur la figure II.18. Le transistor est contrôlé par la tension de grille du transistor d'évacuation et permet de faire suivre la sortie du premier inverseur (Tn3 ; Tp3) au niveau de tension vue sur l'alimentation. Sa largeur est réduite par rapport à celle du transistor Tn3 du premier inverseur afin de favoriser un déclenchement en régime ESD. Lorsque le procédé technologique ne propose pas un transistor à faible  $V_T$ , il convient d'utiliser une simple résistance comme élément de tirage. La simulation de la protection en condition de rampes d'alimentation est également effectuée pour vérifier l'efficacité du dispositif de tirage et contrôler le niveau de courant de consommation dynamique pour chaque rampe de tension.

## II.2.6 Le circuit global

De manière générale, la surface standard des E/S d'une bibliothèque générique est définie par la taille de l'E/S bidirectionnelle la plus contraignante en terme de surface. La taille des alimentations est généralement équivalente à celle des entrées/sorties ce qui offre une certaine flexibilité dans la construction de l'anneau périphérique du circuit. En effet, une cellule d'alimentation peut être permutée avec n'importe quelle E/S sans impact sur les règles d'assemblage. Dans la cellule d'alimentation, la surface disponible n'est pas utilisée pour implanter une quelconque fonctionnalité du circuit. Par conséquent la surface entière du plot d'alimentation peut être exclusivement dédiée au circuit de protection ESD. La largeur du transistor d'évacuation dépend de la surface restante après dimensionnement du dispositif de contrôle de la cellule. Par ailleurs, la taille du transistor d'évacuation reflète à elle-seule le niveau de robustesse d'un dispositif vis-à-vis des décharges électrostatiques. En augmentant la largeur du transistor, la résistance effective de conduction est diminuée, ce qui permet pour un même niveau de courant d'atteindre une tension inférieure. La taille du transistor d'évacuation étant fixée, la cellule possède un niveau intrinsèque de robustesse ESD déduit de la résistance effective en conduction pour un niveau de courant donné. La résistance effective est déterminée à l'aide de la simulation HBM de type "Rapide" utilisant les valeurs des éléments parasites mentionnés dans le tableau II.2. Ce type de simulation permet d'évaluer la tension induite par la protection, pour un niveau de courant donné, dans des conditions de décharges électrostatiques extrêmes. Le circuit final au niveau transistor de la protection centrale développée est présenté à la figure II.19.

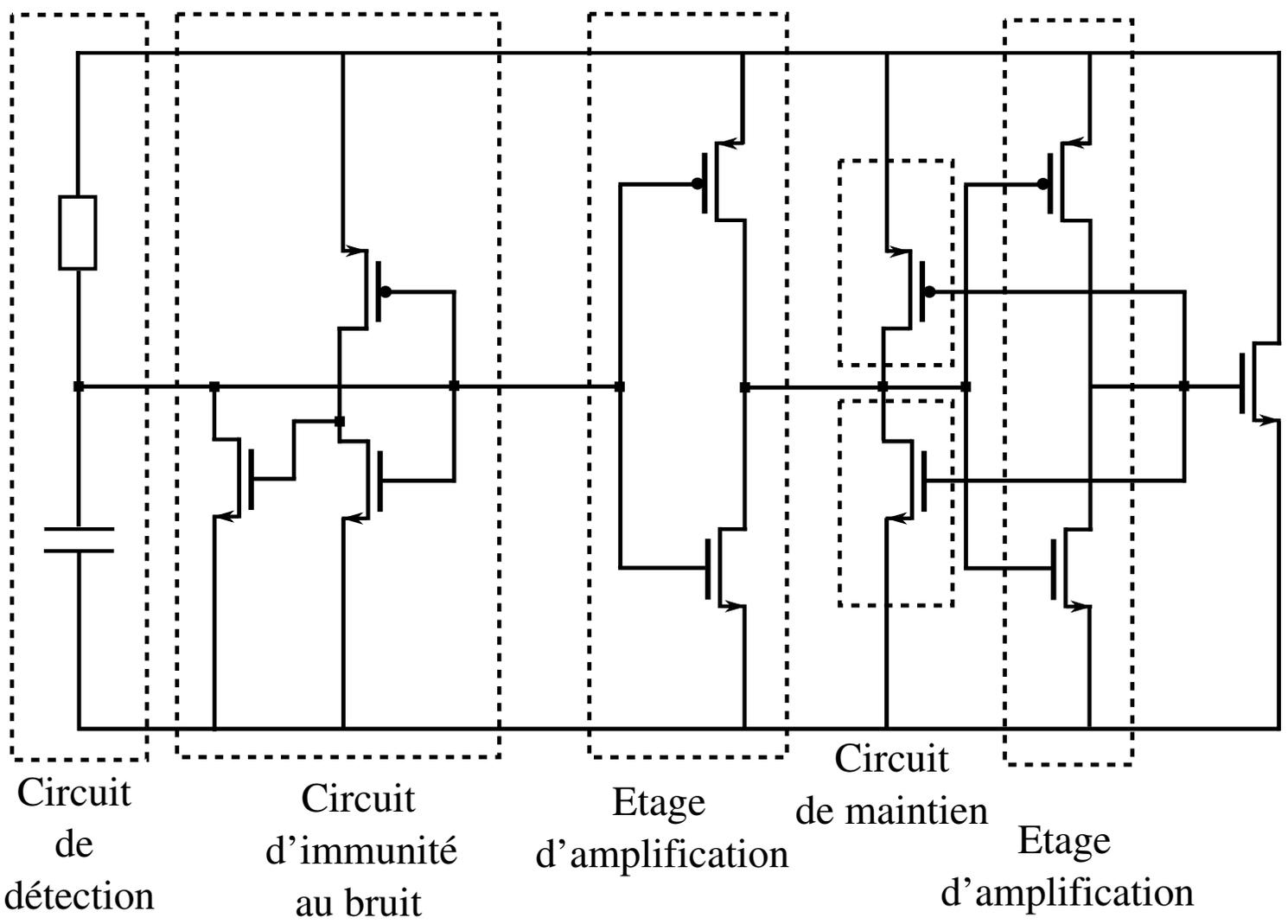


Fig. II.19 – Circuit de protection ATMEEL

## II.3 Conclusion

Dans ce chapitre, nous avons présenté un circuit de protection améliorant les caractéristiques de fonctionnement en mode repos du circuit de protection proposé dans la littérature. Les améliorations apportées concernent l'immunité du circuit vis-à-vis du bruit parasitant les alimentations et la réduction de la consommation en courant dans des conditions de rampes d'alimentation lentes. Nous avons également proposé pour chaque sous-circuit, une méthode de conception permettant de les dimensionner en accord avec les contraintes d'application du circuit.

Conformément à nos attentes, les produits utilisant le circuit de protection présentent de très bonnes performances en régime ESD comme en régime standard d'utilisation pour une technologie CMOS EEPROM 0,18 $\mu$ m. Ce procédé technologique a la particularité de proposer trois éléments MOS avec des épaisseurs d'oxyde différentes, associés chacun à un niveau d'alimentation. Trois protections ont donc été développées pour cette technologie. Les résultats des tests HBM effectués concernant la fenêtre de précharge [250V ; 8kV] sur les circuits, embarquant aujourd'hui différents segments d'alimentation protégés par ce dispositif de protection, sont convaincants.

Les résultats de test HBM concernant les tensions de précharge basses sont également encourageants. Il convient d'admettre que la méthode de conception employée permet d'évaluer et d'élaborer un circuit de protection efficace quelles que soient les conditions de stress HBM. Une méthode de conception prenant en compte les critères de fonctionnement et les conséquences de l'environnement du circuit est donc nécessaire. Le chapitre suivant fait l'objet de la présentation du flot global de conception d'un circuit dynamique de protection dans le cadre d'une stratégie globale de protection.

En revanche, il convient d'admettre que le circuit présente une limitation considérée comme bloquante pour certaines applications. En effet, les rampes d'alimentation très rapides sont assimilées par le circuit à un évènement ESD. Cela entraîne un déclenchement de la protection et une consommation statique de courant. L'amélioration de cette sensibilité sera abordée dans le dernier chapitre du manuscrit.





# **Chapitre III**

## **Mise en œuvre d'une cellule de protection**

Ce chapitre est consacré à la présentation de la procédure à suivre pour la validation d’une cellule de protection dynamique en vue de son utilisation dans un contexte industriel.

La première partie présente les différentes étapes du flot de validation. Parmi ces étapes, on retrouve la phase de conception (largement abordée au chapitre II) et la phase de caractérisation qui sera décrite ici au travers de la présentation d’une interface développée en vue de réduire la durée de caractérisation par son automatisation.

Dans la deuxième partie, nous verrons que les résultats de simulation générés par la phase de caractérisation sont principalement destinés à éditer la fiche technique de la cellule. Cette dernière renseigne le concepteur (niveau circuit) sur les propriétés électriques restrictives de la cellule ainsi que sur son mode d’utilisation (règles indicatives de placement des protections au niveau circuit). Nous présenterons dans une troisième partie la procédure de vérification du placement des protections ESD au niveau circuit. Cette dernière a été intégrée au sein d’un outil existant dédié à la vérification électrique des segments périphériques d’un circuit et des règles d’assemblage.

## III.1 Flot de validation

Comme présenté au chapitre précédent où nous avons décrit la conception d'une protection ESD, plusieurs types de simulations électriques sont effectués afin de reproduire les différentes situations électriques auxquelles le circuit est confronté. Les différentes simulations rappelées dans le tableau III.1 sont utilisées pour la conception mais aussi lors de la phase de caractérisation du circuit :

| Simulation                   | Objectif   |
|------------------------------|--|
| HBM Lent avec capacité $C_d$ | Déterminer l'efficacité de détection de la cellule.                            |
| HBM Rapide                   | Déterminer la résistance effective de conduction à fort courant.               |
| Rampe d'alimentation rapide  | Déterminer la pente limite de mise sous tension à respecter.                   |
| Rampe d'alimentation lente   | Déterminer la consommation en courant sous seuil lors de la mise sous tension. |
| Bruit                        | Déterminer l'efficacité d'immunité au bruit                                    |

Tab. III.1 – Rappel des simulations effectuées lors du flot global de conception d'un circuit

Pour chaque situation électrique, il convient de renseigner les conditions de simulation telles que la température et les variations du procédé de fabrication. En revanche, il n'est pas envisageable d'effectuer les simulations pour toutes les conditions lors de la phase de conception. C'est pour cela que nous avons été amenés à distinguer deux phases dans le flot de validation d'une cellule de protection.

### III.1.1 Phase de conception

Lors de la conception des différents éléments de notre circuit de protection (détecteur, circuit de maintien, circuit d'immunité au bruit, etc...) nous réalisons les simulations en sélectionnant les conditions de simulation considérées comme étant les plus critiques pour le circuit. Les conditions extrêmes de fluctuation du procédé de fabrication (Slow ; Fast) associées aux conditions de température (-40°C ; 125°C) considérées comme limites de validité des modèles de simulation, sont prises comme référence et permettent a priori d'encadrer au mieux l'efficacité du dispositif en concordance avec les critères de performance attendus. Cette phase de simulation au niveau schéma est qualifiée de phase de conception. Il est évident que cette approche non exhaustive n'est pas idéale mais elle permet en revanche de réduire la durée de conception de la cellule tout en donnant un premier aspect de l'efficacité du circuit en cours de conception.

### III.1.2 Phase de caractérisation

Dans une approche rigoureuse, il est nécessaire d'effectuer les simulations post-layout pour toutes les combinaisons de conditions de simulation avant de considérer valide la cellule de protection. Cette première étape de validation est appelée phase de caractérisation.

#### III.1.2.1 Description

Les fluctuations liées aux procédés technologiques de fabrication entraînent une variation des valeurs électriques des éléments implantés sur silicium. Il convient d'encadrer la valeur typique par des limites haute et basse pour la simulation, en représentant ainsi les variations technologiques maximales possibles pour la technologie considérée. Les valeurs des résistances et des capacités sont donc bornées. Pour chaque élément, trois cas sont à considérer :

- Le cas typique.
- La valeur majorée de l'impact de la fluctuation maximale.
- La valeur minorée de l'impact de la fluctuation maximale.

Un autre effet technologique concerne l'impact des variations du procédé sur le transistor MOS. De la même manière, les fluctuations technologiques altèrent ou au contraire améliorent la conduction du transistor MOS. Cinq cas sont à considérer :

- Le cas typique où les transistors NMOS et PMOS ne sont pas altérés.
- Le cas où les conductions NMOS et PMOS sont améliorées.
- Le cas où les conductions NMOS et PMOS sont dégradées.
- Le cas où la conduction NMOS est dégradée et la conduction PMOS est améliorée.
- Le cas où la conduction NMOS est améliorée et la conduction PMOS est dégradée.

Nous pouvons noter cependant que les deux dernières situations sont généralement reconnues comme improbables par les technologies en tout cas dans les proportions de fluctuation considérées. Il existe au final 45 configurations de variation liées aux fluctuations du procédé technologique pour les 3 éléments implantés.

En prenant également en compte l'effet de la température, et si nous considérons 5 valeurs appartenant à la fenêtre des températures spécifiées pour un développement appliqué à l'environnement automobile [-40°C ;125°C], le nombre de conditions de simulation passe alors à 220. Dans le cas de la validation HBM, nous effectuons plusieurs simulations à différentes valeurs de tension de précharge (250V, 500V, 1kV, 1.5kV, 2kV). Le nombre total de simulations s'élève alors à 1100. Dans un contexte industriel, il n'est pas concevable d'attribuer une ressource humaine pour effectuer le paramétrage des diverses simulations. L'automatisation du flot s'avère être indispensable pour réduire la durée de caractérisation d'une cellule. Les outils et la plateforme de simulation mis en place pour permettre une simulation post-layout automatisée sont présentés dans le paragraphe ci-après.

### III.1.2.2 Automatisation de la phase de caractérisation

#### *Description de l'outil d'automatisation*

L'outil d'automatisation est développé (interface graphique) principalement en langage Skill pour permettre une adaptation simplifiée à la plateforme Cadence. Une passerelle en langage C-Shell propre à l'environnement Unix permet d'éditer les différentes netlists de simulation choisies et de lancer par la suite les simulations électriques Skill-Ocean les unes après les autres. Un exemple de l'interface graphique est présenté sur la figure III.1

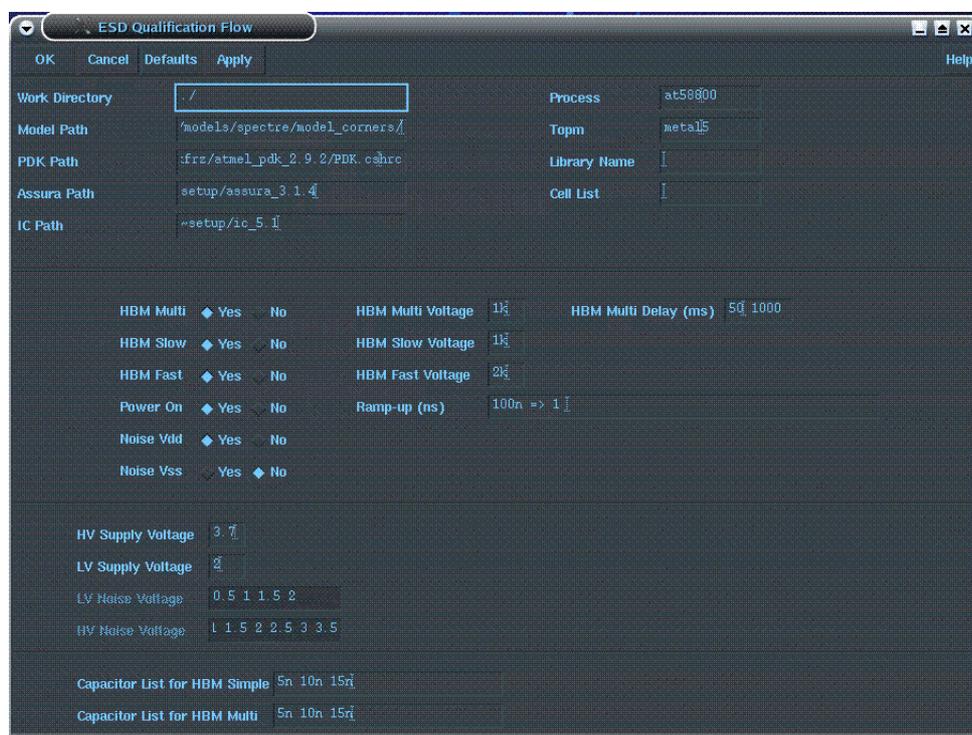


Fig. III.1 – Interface graphique Cadence du flot de caractérisation ESD

L'utilisateur a le choix d'effectuer une ou plusieurs simulations décrites auparavant dans le tableau III.1. Il convient pour chaque type de simulation de référencer également les propriétés électriques nécessaires à la simulation. Pour cela l'interface graphique permet à l'utilisateur de renseigner les niveaux de tension de précharge du stress HBM, les valeurs des rampes d'alimentation pour les simulations de temps de montée d'alimentation ou encore le type de bruit (amplitude, rampe) pour la simulation des alimentations bruitées. Des capacités peuvent également être ajoutées en parallèle de la cellule. L'avantage principal de l'outil est que les simulations sont activées les unes après les autres dans toutes les conditions de simulation. Cela évite donc au concepteur de lancer pas à pas les simulations. Au final les fichiers de sortie du simulateur sont stockés dans un répertoire spécifique consultable par le concepteur. Un exemple de résultat graphique concernant une simulation HBM à 2kV est présentée à la figure III.2.

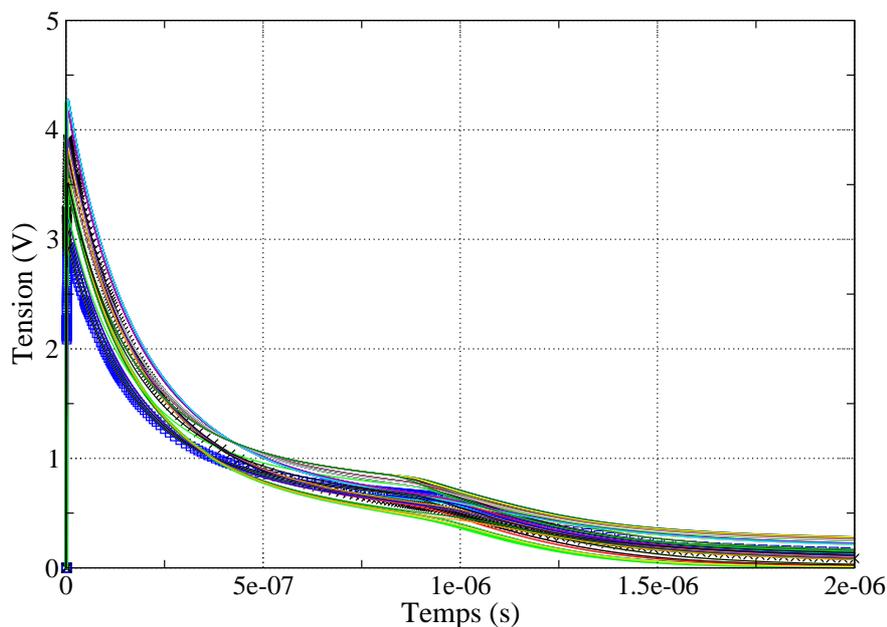


Fig. III.2 – Résultats de simulation concernant une qualification d'une cellule de protection vis à vis du stress HBM pour une précharge de 2kV

L'utilisateur vérifie que les réponses en tension soient cohérentes avec la fenêtre de conception et caractéristiques d'une conduction typique à la structure. Le niveau de tension maximum est, par ailleurs, extrait pour déterminer la résistance intrinsèque maximale de la protection en conduction ESD.

### Perspectives

L'outil dans sa version actuelle ne permet pas l'interprétation automatique des résultats de simulation. Aujourd'hui les fichiers de simulation sont consultables et assujettis à l'interprétation du concepteur. Nous prévoyons d'intégrer cette fonctionnalité dans la version finale de l'outil. En revanche, cette partie présente certaines difficultés. Dans le cas de figure où nous souhaitons, par exemple, déterminer la résistance de conduction de la protection lors d'une décharge électrostatique, nous devons extraire le niveau de tension maximum atteint pour une onde en courant HBM. Lorsque la protection fonctionne correctement le maximum en tension induit par la protection correspond au pic en courant de l'onde HBM. Or en fonction de l'efficacité de déclenchement et de conduction du circuit de protection, plusieurs réponses en tension sont envisageables comme le montre la figure III.3.

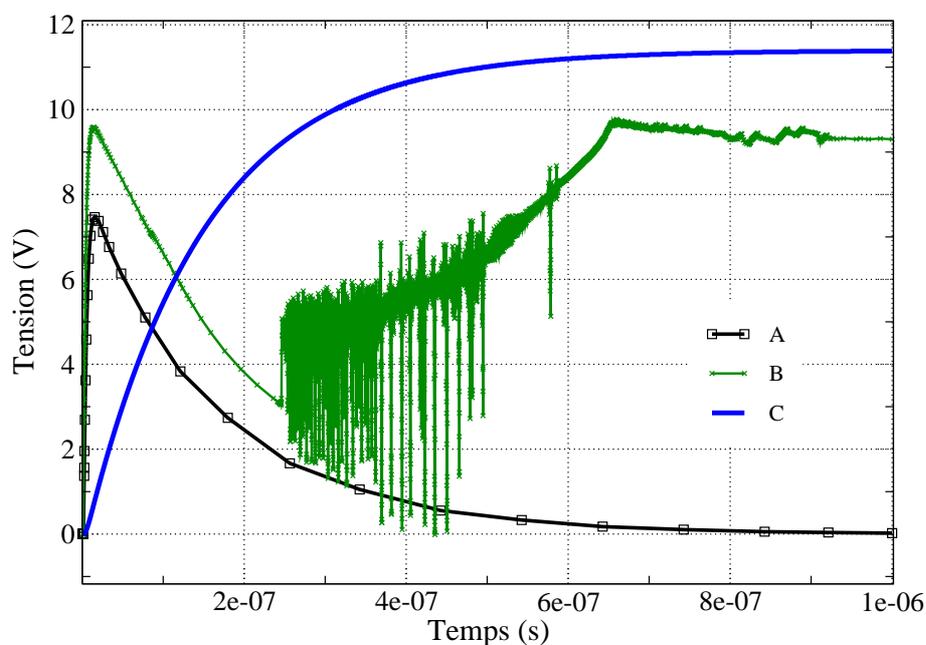


Fig. III.3 – Différentes signatures de réponses en tension d'un circuit soumis à une décharge électrostatique

La courbe A correspond à la signature en tension d'une protection efficace. La cellule passe par deux régimes s'apparentant à une évolution croissante suivie d'une décroissance en tension. Le pic en tension correspond au pic en courant de l'onde HBM et constitue un indicateur de la résistance effective de conduction de la protection pour un niveau de courant donné. En revanche la courbe C présente un maximum de tension indépendant de l'action de la cellule de protection. Cette signature comme nous l'avons présenté auparavant correspond à un phénomène capacitif et la résistance de conduction de la structure ne peut pas en être extraite car la cellule de protection n'a

pas déclenché. La courbe B quant à elle correspond à la signature d'une protection se déclenchant et amorçant normalement la conduction mais présentant un mécanisme de maintien mal calibré se traduisant par une ouverture du transistor d'évacuation avant la fin de l'évènement ESD. De ce fait, la tension augmente à nouveau à un niveau qui dépend du courant rémanent au moment de l'ouverture du transistor de protection. Dans ce cas précis le maximum en tension ne correspond pas au paramètre électrique voulu. Ces trois exemples montrent qu'il est difficile d'extraire la résistance de conduction de la protection et d'établir également un critère de différenciation des diverses signatures.

### III.1.3 Procédure de développement

Les résultats obtenus durant la phase de caractérisation doivent concorder avec les résultats de la phase de conception à l'influence près des effets parasites. Dans le cas contraire, il convient donc de corriger à nouveau le circuit au niveau schéma et effectuer les simulations avec les nouvelles conditions critiques de simulation identifiées lors de la phase de caractérisation. Le flot de caractérisation nous permet donc également de vérifier si les critères de sélection des conditions de simulation déterminées pour la phase de conception sont valides et de les enrichir le cas échéant. Le synoptique final du flot de validation décrivant la procédure à suivre est présenté sur la figure III.4.

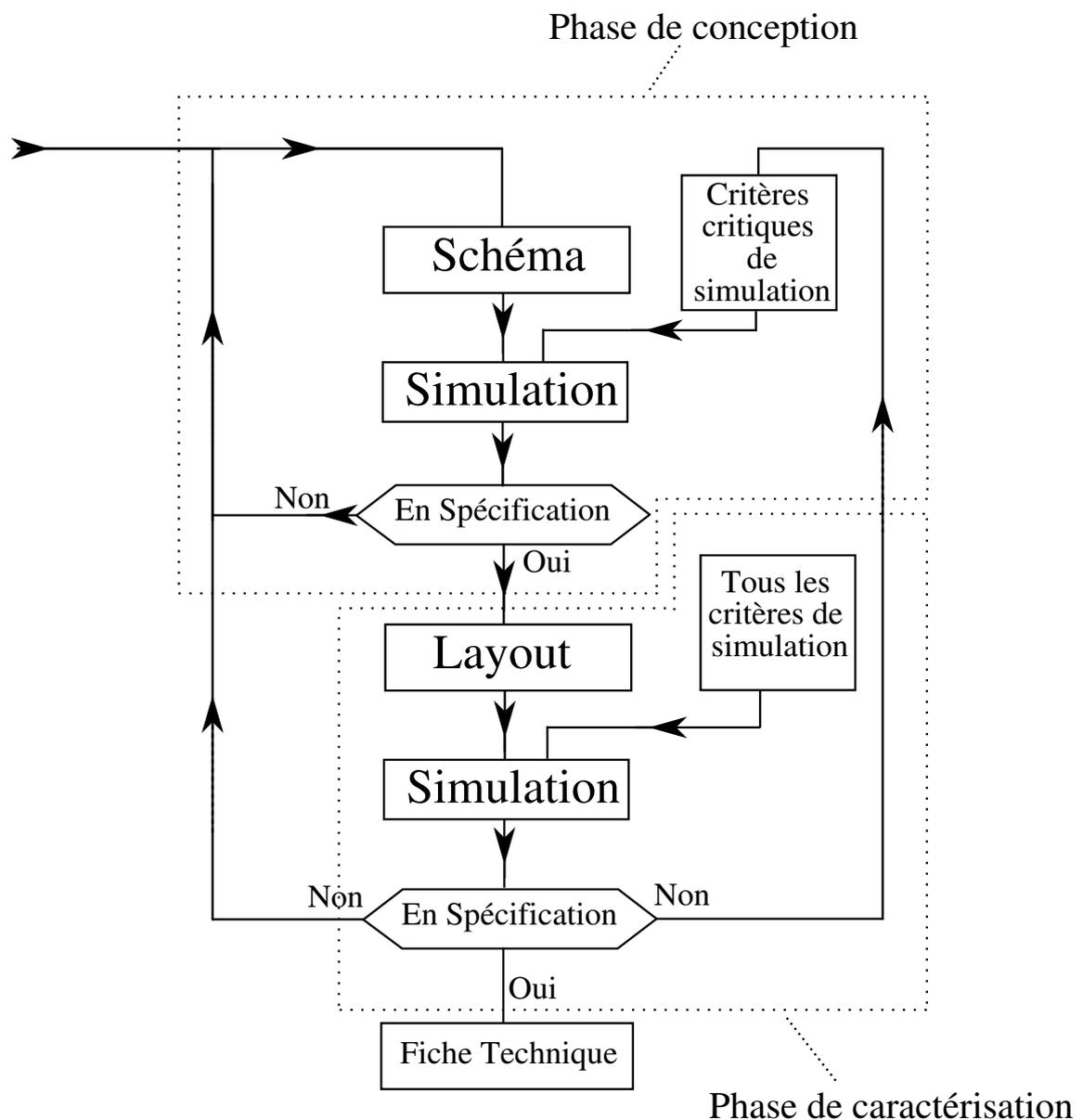


Fig. III.4 – Synoptique du flot de validation

Lorsque les résultats du flot de validation sont conformes aux attentes du concepteur, un document référençant les propriétés électriques de la cellule de protection est édité. Ce document est considéré comme la carte d'identité de la protection et les caractéristiques électriques de la protection en régime ESD ainsi qu'en régime d'alimentation y sont mentionnées. Certains résultats de simulation sont utilisés pour éditer des règles de placement au niveau circuit utilisées lors de la conception d'un circuit comme nous l'aborderons dans la partie suivante.

## III.2 Création d'une fiche technique

La fiche technique comporte deux parties distinctes. La première fait état des paramètres restrictifs quant à l'utilisation de la cellule. La deuxième partie donnera des indications sur la façon d'utiliser la cellule au niveau circuit.

### III.2.1 Propriétés restrictives

Les propriétés restrictives sont directement issues de la phase de caractérisation et sont décrites ci-après et référencées dans la fiche technique.

- la pente limite  $\frac{\partial V}{\partial t}$  acceptable de non déclenchement issue de la simulation "Montée d'alimentation rapide".
- les courants de consommation pour les différentes plages de rampe d'alimentation lentes.
- l'amplitude de bruit acceptable par la protection (Niveau de transparence).
- le courant de fuite en régime d'alimentation.

Pour chaque propriété mentionnée ci-dessus, nous communiquons les valeurs typiques et critiques. L'utilisateur (concepteur niveau-circuit) est alors en mesure de décider si la cellule est en accord avec les spécificités de fonctionnement du cahier des charges. Il nous reste maintenant à lui transmettre la marche à suivre sur la façon dont les protections doivent être utilisées. Cela se traduit par des règles définissant quel type de protection est en mesure de protéger quelle cellule et surtout par des règles indicatives quant au positionnement des protections à la périphérie du circuit.

### III.2.2 Règles d'utilisation

Nous avons vu précédemment que la protection possède un niveau intrinsèque de protection déterminé par le biais de la simulation HBM. Dans le cadre d'une stratégie globale de protection le niveau de protection au niveau circuit dépend en premier lieu de l'efficacité du réseau de protection. La configuration considérée comme étant la plus critique lors d'un test HBM est le zap de type PS dans le cas d'un segment constitué d'E/S et d'alimentation. La différence de potentiel aux bornes des diodes de redirection localisées dans les plots d'E/S et des bus d'alimentation entraîne une élévation de la tension induite aux bornes des transistors connectés entre le plot stressé et la masse locale. Nous avons donc mis en place des règles indicatives de répartition des E/S en considérant les deux cas de figure de positionnement pouvant être rencontrés. En prenant en compte

que les protections centrales sont implantées au sein des plots d'alimentation, les plots d'E/S sont répartis entre deux alimentations (figure III.5 a)) ou pas (figure III.5 b)).

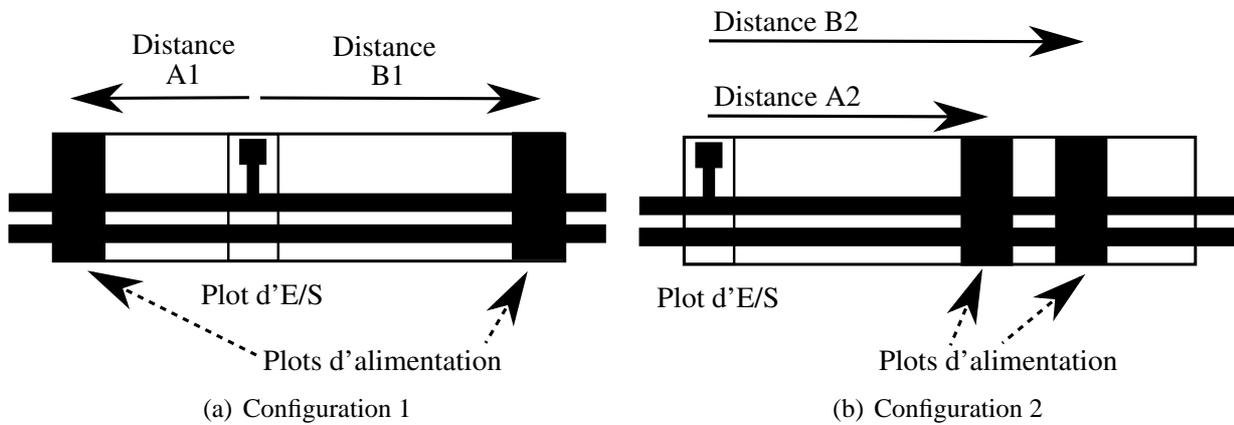


Fig. III.5 – Schéma de principe de deux cas de figure de positionnement des E/S

Lors du mode de zap PS, l'onde en courant, en se dirigeant vers l'alimentation, passe à travers la diode de redirection P+/Nwell et les bus d'alimentation. Cela engendre une différence de potentiel pouvant être déterminée à l'avance par le placement des E/S de manière stratégique. En effet, le potentiel causé par les effets résistifs est paramétrable en fonction des distances entre l'E/S stressée et le plot d'alimentation le plus proche. Il est donc possible de définir la différence de potentiel induite pour un niveau de tension de précharge HBM. La tension induite par le passage du courant satisfait l'équation suivante :

$$V = V_T + R_D \times I_{ESD} + R_{Eq} \times I_{ESD} \quad (\text{III.2A})$$

avec

$V_T$  : Tension de seuil de la diode et  $R_D$  : Résistance intrinsèque de la diode

La résistance équivalente du cas de figure 1 suit la loi suivante :

$$R_{1Eq} = \frac{2 \times R_{A1} \times R_{B1} + R_{A1} \times R_C + R_{B1} \times R_C + \frac{(R_C)^2}{2}}{R_{A1} + R_{B1} + R_C} \quad (\text{III.2B})$$

avec

$R_C$  la résistance effective à fort courant du transistor d'évacuation.

Les courbes pour différentes valeurs de  $R_C$  données sur la figure III.6 montre l'influence des distances A et B sur la résistance équivalente  $R_{1_{Eq}}$  du cas de figure n°1 de la figure III.5.

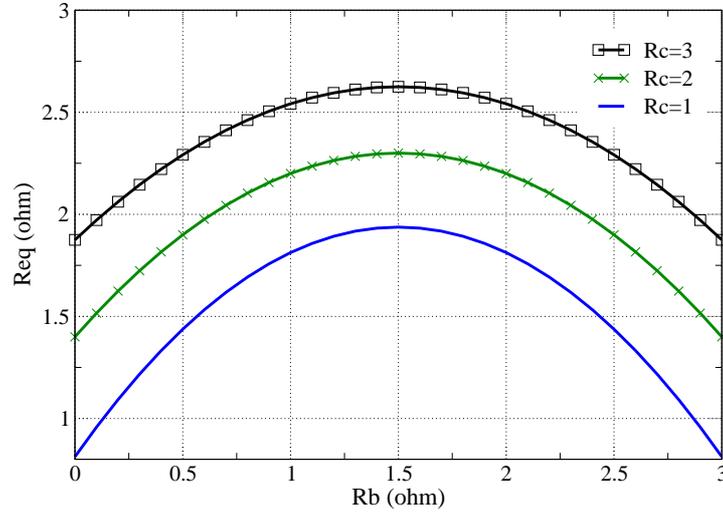


Fig. III.6 – Résistance équivalente en fonction de la résistance  $R_B = S - R_A$  pour différentes valeurs  $R_C$  en considérant la somme des résistances  $S=3\Omega$

Le calcul de la dérivée première permet de conclure de l'implication de la résistance  $R_C$  sur la résistance équivalente dans le domaine d'application considéré  $[0; +\infty]$ . La dérivée étant positive, la variable influence de manière croissante la résistance équivalente.

$$\frac{\partial R_{Eq1}}{\partial R_C} = \frac{R_{A1}^2 + R_{B1}^2 + 0.5 \times R_C^2 + R_C \times (R_{A1} + R_{B1})}{R_{A1} + R_{B1} + R_{A1}} \quad (III.2C)$$

Comme l'indique la figure, le maximum de la résistance équivalente est atteint lorsque la résistance d'accès  $R_{A1}$  est équivalente à la résistance  $R_{B1}$ . Ce cas particulier sera considéré comme la référence dans le calcul de la résistance équivalente autorisée.

De la même manière la résistance équivalente du cas de configuration n°2 est calculée et suit la loi ci-dessous en spécifiant la condition  $R_{A2}=R_{B2}$  car la juxtaposition des alimentations est considérée comme étant le cas le plus critique. La distance entre les deux alimentations est donc considérée négligeable.

$$R_{Eq2} = 2 \times R_{A2} + \frac{R_C}{2} \quad (III.2D)$$

Connaissant la résistance par carré des bus d'alimentation et la tension critique à ne pas dépasser, nous en déduisons les règles de disposition des E/S pour chaque segment d'alimentation périphérique. Par ailleurs les règles de disposition n'interviennent pas lorsque le segment d'alimentation ne comprend aucune E/S par exemple dans le cas de figure où le segment n'est pas périphérique et seulement dédié au coeur du circuit. Dans cette situation il faut s'assurer que la cellule d'alimentation possède à elle seule le niveau de protection correspondant au niveau HBM demandé. Il convient, dans le cas contraire, d'imposer la juxtaposition de deux alimentations afin de réduire d'un facteur 2 la résistance équivalente de conduction et ainsi de suite jusqu'à trouver une résistance de conduction équivalente suffisamment faible pour le niveau de protection ESD souhaité. Ces informations de placement ne sont qu'une indication pour les personnes responsables de la conception d'un produit et utilisant la bibliothèque. Le choix de la disposition des plots d'alimentation au niveau produit tient alors compte des contraintes ESD. Afin de vérifier si les indications de placement ont été respectées et sont considérées comme optimales nous avons adapté un outil de vérification pour la validation du placement des E/S au sein du circuit.

## III.3 Vérification au niveau circuit

Après les phases de conception, de caractérisation, il est important de vérifier si les règles de placement des E/S à la périphérie du circuit ont été respectées. Nous disposons pour cela d'un outil interne développé pour permettre la vérification du nombre et du positionnement des E/S situées à la périphérie du circuit vis-à-vis des contraintes électriques et des contraintes liées à l'encapsulation du circuit. Dans le cadre du développement de cellules ESD, nous avons décidé d'enrichir cet outil d'un module dédié aux vérifications ESD.

### III.3.1 Présentation de l'outil

L'outil existant est utilisé lors de la conception d'un circuit pour la vérification des règles d'assemblage. D'un point de vue électrique il permet également de contrôler si un nombre suffisant de plots d'alimentation ont été disposés à la périphérie du circuit en rapport avec les règles d'électromigration de la technologie concernée et les caractéristiques électriques des E/S. En effet il convient de s'assurer que les bus et les différents accès des alimentations sont compatibles avec la densité de courant nécessaire aux multiples E/S.

Par ailleurs, l'outil procède également à la vérification du niveau de tension de tous les noeuds locaux du segment d'alimentation. Le passage du courant induit des différences de potentiel devant être minimisées pour éviter de dégrader le niveau d'alimentation, et entraîner une perte de la fonctionnalité du circuit. Les caractéristiques électriques des plots d'E/S telles que le type de transistor utilisé, le domaine d'alimentation ou encore les valeurs des résistances d'accès internes à l'E/S sont mentionnées et utilisées par l'outil pour reconstituer un réseau de résistances.

### III.3.2 Création d'un module de vérification ESD

Cet outil a été adapté, par l'ajout d'un module, pour vérifier d'une part le positionnement des protections et dans un second temps effectuer la vérification de l'existence des chemins d'évacuation. Dans le cadre d'une stratégie de protection globale et afin d'effectuer ces vérifications, l'outil nécessite diverses informations décrites ci-dessous :

- La résistance en conduction des cellules centrales de protection.
- La résistance des bus d'alimentation.
- Les propriétés électriques des diodes (tension de seuil et résistance de conduction).

- Les informations de connexion des protections (diodes et cellules centrales).
- Le niveau de tension critique des transistors utilisés.

Afin de vérifier si le placement des E/S est optimisé pour obtenir un niveau de protection contre les décharges électrostatiques, nous considérons le stress PS comme étant le stress le plus critique dans le cadre de la stratégie employée. En effet, lorsque la décharge électrostatique intervient entre une E/S et la masse (figure III.7), le courant ESD est évacué vers le bus d'alimentation par l'intermédiaire de la diode localisée entre l'E/S et l'alimentation. La protection centrale, localisée au plus proche de l'E/S stressée, est rendu active et redirige par conséquent le courant vers sa masse locale. La décharge électrostatique est alors acheminée vers le plot de masse.

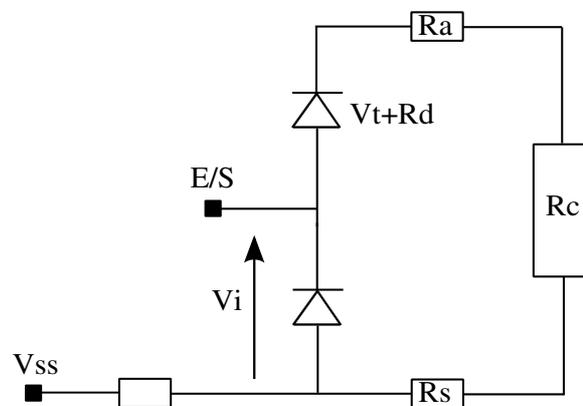


Fig. III.7 – Circuit représentatif du stress PS

La tension induite  $V_i$  lors du passage du courant dans la diode de redirection, la résistance  $R_a$  du bus d'alimentation Vdd, la résistance de conduction  $R_c$  de la protection centrale et la résistance  $R_s$  de masse locale est imposée aux transistors connectés entre le plot d'E/S et la masse locale de celui-ci. Le stress PS est considéré comme étant le plus critique parmi les multiples configurations de stress d'un test standard HBM. L'outil de vérification reconstitue la périphérie du circuit à un réseau de résistance permettant ainsi de vérifier si toutes les configurations de stress PS n'induisent pas une tension critique aux bornes des transistors utilisés. Au final l'outil est en mesure de déterminer le niveau de tension HBM maximum acceptable par le circuit. En revanche il convient également de s'assurer qu'il existe un chemin de conduction pour toutes les configurations de stress HBM. Nous devons déterminer par exemple que les groupes de masse soient connectés à l'aide de diodes "têtes-bêches" permettant ainsi un passage du courant d'un segment à l'autre.

Grâce à cet outil nous sommes aujourd'hui en mesure de déterminer la faculté à protéger d'un circuit pour un niveau de courant HBM donné quelle que soit la configuration des multiples segments d'alimentation et du type de plots d'E/S utilisés dans le cadre d'une stratégie globale de protection.

## III.4 Conclusion

Dans ce chapitre nous avons exposé une méthode automatisée de validation de cellules dynamiques de protection. Dans un contexte industriel, il est important d'accomplir cette étape afin de considérer tous les facteurs limitants ou toutes les contraintes extérieures pouvant dégrader les propriétés électriques d'une cellule dynamique de protection.

Par ailleurs, une large partie a été consacrée à l'exploitation des résultats de caractérisation en vue de l'utilisation du circuit de protection au sein d'une stratégie globale de protection ESD. Un outil de vérification des règles de positionnement des E/S constituant les segments d'un circuit a également été présenté.

Nous disposons à ce jour d'un flot de validation efficace lui-même associé à un flot de vérification optimal permettant de qualifier une cellule de protection ESD en accord avec les spécificités de fonctionnement souhaitées.



# **Chapitre IV**

## **Amélioration de la cellule de détection**

Aujourd'hui, la réduction des dimensions entraîne l'apparition de nouveaux systèmes intégrant des fonctionnalités complexes et spécifiques. La difficulté pour la conception d'un circuit de protection dynamique repose sur l'attribution de priorités de fonctionnement du dispositif en rapport avec les contraintes externes d'utilisation. Dans le cas d'une cellule de protection, la détection de l'évènement ESD est mis au premier rang dans les contraintes à respecter au détriment d'un niveau acceptable de transparence. Nous avons vu précédemment au chapitre 2 que la cellule de protection présentée est sensible à certaines rampes rapides entraînant son déclenchement, et par la suite une consommation en courant irréversible pouvant à terme détruire le circuit. Il faut donc pouvoir, pour certaines applications, adresser des temps de montée d'alimentation très rapides sans pour autant obtenir une dégradation, voire dans certains cas la destruction du circuit. Dans ce chapitre, deux évolutions pour protections dynamiques sont présentées. La première partie fait l'objet de la description d'un sous-circuit utilisé pour désactiver la conduction causée par un déclenchement intempestif. Ce dispositif est adaptable au dispositif de protection présenté au cours du chapitre 2. La deuxième partie est consacrée à la présentation d'un nouveau concept de détection autorisant des temps de montée d'alimentation très rapides.

## IV.1 Circuit de coupure

Dans certaines applications comme lors de l'utilisation des cartes à puces, les temps de montée d'alimentation sont très rapides avec une rampe pouvant atteindre  $\frac{\partial V}{\partial t} = 10mV/ns$ . Le circuit de protection actuel utilisant un filtre passif ne peut pas être soumis à des rampes aussi rapides sans induire un déclenchement suivi d'une conduction du transistor d'évacuation. La diminution de la constante de temps du filtre pour améliorer sa sélectivité impliquerait des non-déclenchements en régime ESD pour des décharges électrostatiques à basse tension de charge. L'alternative présentée ci-après permet la conservation du circuit initial tout en réduisant la conduction en courant à des niveaux acceptables pour les rampes trop rapides.

### IV.1.1 Principe

Certaines applications autorisent une surconsommation de courant au démarrage du produit. Les dispositifs analogiques tels que les régulateurs, les oscillateurs ou encore les démarreurs de circuit, consomment également du courant lors des phases de démarrage. Le principe consiste donc à couper la conduction en courant, par le déverrouillage du dispositif de maintien après un certain retard. Le schéma de principe figure IV.1 illustre le fonctionnement de la cellule de coupure. Un sous-circuit de coupure, activé par le signal de sortie de la cellule de détection, contrôle l'activation ou non du dernier inverseur de la chaîne. Cette temporisation permet de désactiver la protection après une durée jugée suffisante pour une décharge électrostatique.

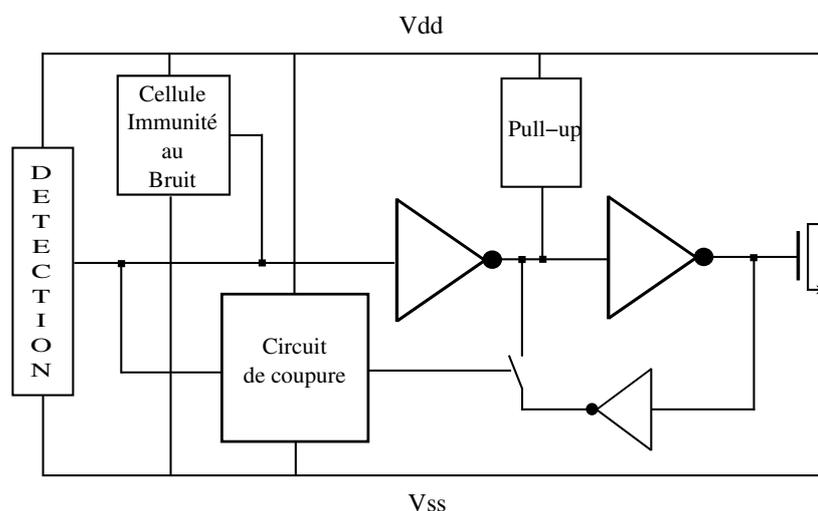


Fig. IV.1 – Schéma de principe du circuit global de protection avec le circuit de coupure

### IV.1.2 Approche théorique

Le dispositif, présenté dans cette section, permet la coupure des transistors d'évacuation lorsqu'un déclenchement intempestif intervient. Le sous-circuit considéré est présenté figure IV.2.

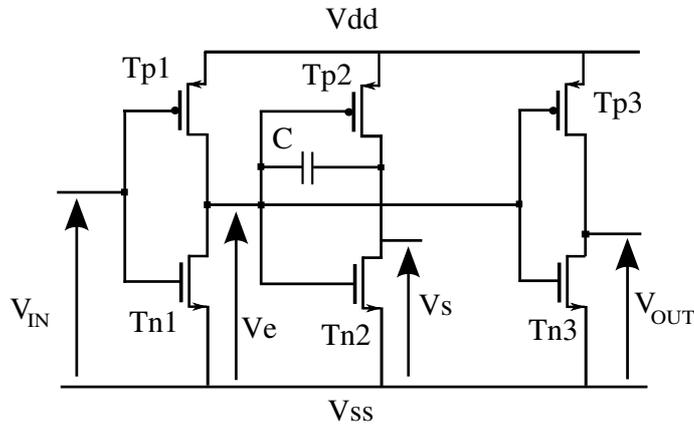


Fig. IV.2 – Circuit de coupure

Nous considérons un filtre passe-haut comme dispositif de détection dont la sortie est connectée à l'entrée de la cellule de coupure. Dans le cas de figure où la montée d'alimentation est suffisamment rapide, la tension d'entrée  $V_{IN}$  passe à l'état logique haut et entraîne l'initialisation du circuit de retard. Le circuit composé du transistor PMOS  $Tp1$ , de l'inverseur  $T2$  et de la capacité  $C$  est assimilable au fonctionnement d'un filtre du premier ordre de type passe-bas. Le rebouclage entre l'entrée et la sortie de l'inverseur  $T2$  par la capacité  $C$  permet de multiplier la valeur de celle-ci par le gain de l'inverseur. Ce dispositif permet donc de réduire la taille de la capacité et de gagner en surface de silicium. L'approche théorique est décrite à l'aide du théorème de Miller dont le principe est rappelé à l'aide de la figure IV.3.

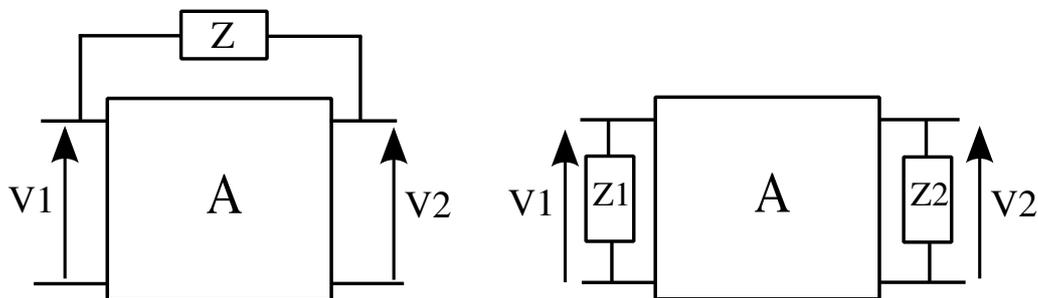


Fig. IV.3 – Schémas conceptuels du théorème de Miller

Le théorème de Miller stipule que les deux quadripôles de la figure IV.3 sont identiques si les impédances  $Z_1$  et  $Z_2$  sont définies suivant les équations ci-dessous :

$$Z_1 = \frac{Z}{1 - \frac{V_2}{V_1}} \quad \text{et} \quad Z_2 = \frac{Z}{1 - \frac{V_1}{V_2}} \quad (\text{IV.1A})$$

avec

$$\frac{V_2}{V_1} = A \quad (\text{IV.1B})$$

La figure suivante présente les schémas conceptuels de la cellule de temporisation en appliquant le théorème de Miller IV.4.

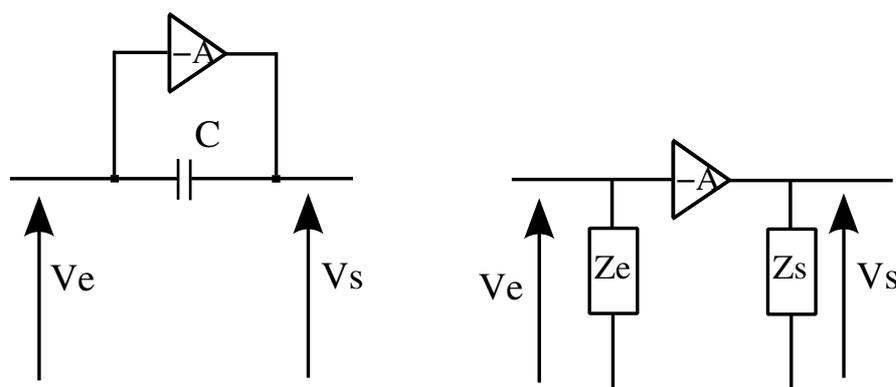


Fig. IV.4 – Illustration du théorème de Miller appliqué à la cellule de temporisation

$$Z_e = \frac{Z}{1 - \frac{V_s}{V_e}} \quad \text{et} \quad Z_s = \frac{Z}{1 - \frac{V_e}{V_s}} \quad (\text{IV.1C})$$

avec

$$Z = \frac{1}{j\omega C} \text{ et } \frac{V_s}{V_e} = -A \quad (\text{IV.1D})$$

Ce qui revient à exprimer  $Z_e$  et  $Z_s$  en fonction du gain en tension  $A$  de l'inverseur T2 et de la capacité  $C$  :

$$Z_e = \frac{1}{j\omega C \times (1 + A)} \text{ et } Z_s = \frac{1}{j\omega C(1 + \frac{1}{A})} \quad (\text{IV.1E})$$

$A$  étant défini par la loi suivante :

$$|A| = \frac{gm_P + gm_N}{r_{DSn} + r_{DSp}} \quad (\text{IV.1F})$$

avec

$$gm = \frac{\partial I_{DS}}{\partial V_{GS}} = \sqrt{\frac{2 \times \mu \times C_{OX} \times W \times I_{DS0}}{L}} \quad (\text{IV.1G})$$

Nous obtenons au final la constante de temps du circuit de temporisation qui est équivalente à :

$$\tau = (1 + A) \times C \times R_{Tp1} \quad (\text{IV.1H})$$

avec

$$R_{Tp1} = \frac{1}{g_{DSTP1}} \quad (\text{IV.1I})$$

Lorsque la cellule de temporisation est activée, la tension  $V_e$  augmente alors avec un certain retard

dépendant comme nous l'avons présenté du dimensionnement de l'inverseur T2 et du transistor Tp1 ainsi que de la valeur de la capacité C (figure IV.2). Lorsque la tension  $V_e$  est supérieure à  $V_{dd} - V_{tTp3}$ , la sortie  $V_{OUT}$  du dispositif commute à l'état logique bas. La sortie  $V_{OUT}$  désactive le dispositif de maintien de la protection par le biais du transistor NMOS TnC de la figure IV.5. Le point mémoire de verrouillage du mode de conduction de la protection est par conséquent désactivé et la tension de grille du transistor d'évacuation atteint une valeur proche de zéro. Le schéma électrique de la cellule de protection est présenté dans sa globalité figure IV.5.

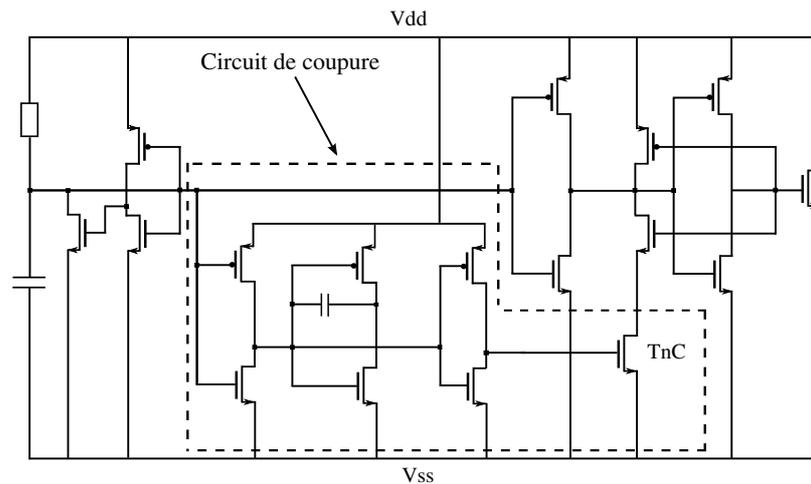


Fig. IV.5 – Schéma électrique de la protection dynamique incluant le circuit de coupure

La figure IV.6 présente des résultats de simulation en technologie CMOS  $0,18\mu\text{m}$  pour différentes valeurs de capacité contrôlant le temps de conduction de la protection.

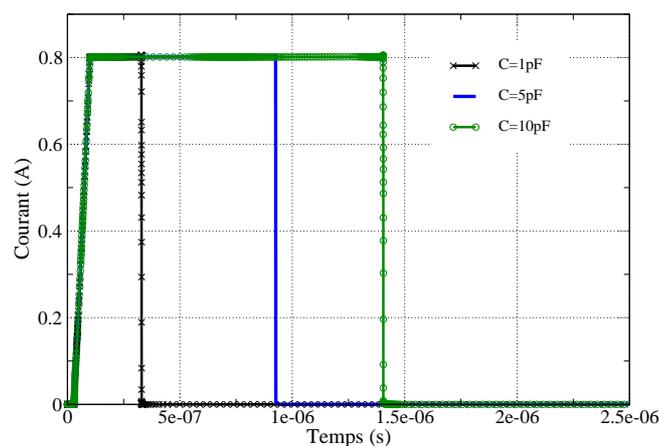


Fig. IV.6 – Simulation électrique du dispositif de protection dans des conditions de rampes d'alimentation rapides pour différentes valeurs de capacité C du circuit de coupure

L'allure de la caractéristique en courant nous renseigne sur l'efficacité du dispositif de coupure et sur la distinction des 3 régimes de conduction. Une montée d'alimentation rapide de  $\frac{\partial V}{\partial t} = 50mV/ns$  permet de déclencher la protection. Celle-ci consomme près de 800 mA pendant une période de temps définie par le dimensionnement des éléments du circuit. La cellule de coupure intervient après quelques  $\mu s$  pour permettre l'arrêt de la conduction de la cellule.

### IV.1.3 Limitation du dispositif

La majorité des applications embarquent des alimentations non idéales. Une alimentation idéale correspond à une alimentation pouvant fournir un courant infini sous la tension nominale. En règle générale, les alimentations externes utilisées possèdent une limitation équivalente à une centaine de milli-ampères. Une protection peut consommer à elle seule une centaine de milli-ampères. Dans le cas de figure où plusieurs cellules déclenchent, la demande en courant globale devient supérieure à ce que peut fournir l'alimentation. Un phénomène d'équilibre entre la demande en courant des protections et la capacité à fournir un niveau de courant par l'alimentation intervient et cause un effondrement de la tension de polarisation du dispositif. La tension résiduelle de polarisation  $V_R$  obtenue sur le noeud d'alimentation correspond alors au passage du courant dans la résistance effective de conduction de la structure d'évacuation ou des structures d'évacuation si plusieurs d'entre elles ont déclenché. Nous avons vu, par ailleurs, que le retard de la cellule de temporisation dépend des conditions de polarisation de l'inverseur T2. En effet, la réduction de la tension de polarisation  $V_R$  aux bornes de l'inverseur entraîne la réduction du courant de polarisation. La charge de la capacité s'effectue alors plus lentement, ce qui par conséquent augmente le retard avant la coupure de la protection.

Lorsque celui-ci est atteint, la protection relâche sa demande en courant et la tension d'alimentation du dispositif externe est de nouveau imposée par le dispositif d'alimentation. Lors de ce relâchement la protection peut rentrer de nouveau en mode de conduction ESD causé par la variation du potentiel d'alimentation passant de la tension  $V_R$  à  $V_{dd}$  en conservant au minimum la rampe de polarisation initiale. Il s'en suit alors un phénomène oscillatoire de déclenchement et d'arrêt de la cellule de protection provoqué par le niveau de tension  $V_e$  de la cellule de temporisation resté au potentiel intermédiaire  $V_R$ .

La figure IV.7 présente un résultat de simulation électrique concernant une mise sous tension utilisant une alimentation non idéale.

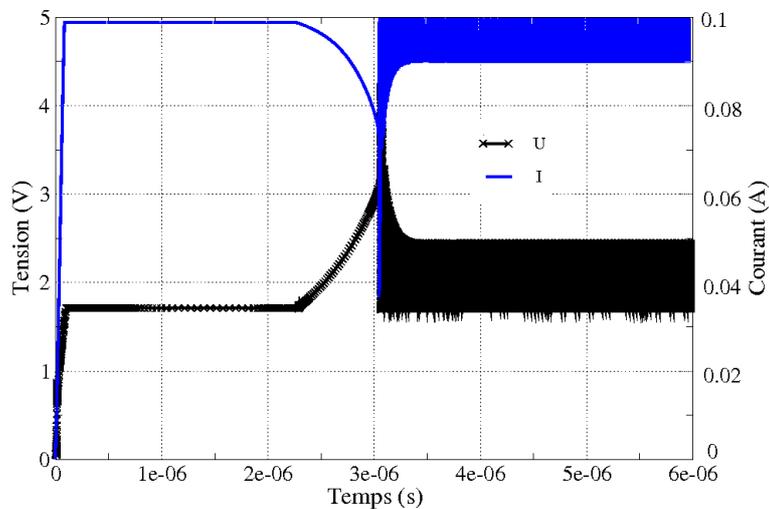


Fig. IV.7 – Simulation électrique du dispositif de protection utilisant une alimentation non idéale

Ces nouvelles conditions d'alimentation affectent directement le fonctionnement de la cellule. Une amélioration du dispositif de coupure permettant de réduire les problèmes causés par ces conditions de polarisation est présentée dans la partie suivante.

#### IV.1.4 Optimisation de la cellule de coupure

Pour éviter ce phénomène oscillatoire, il convient d'ajouter un transistor PMOS, Tp4 sur la figure IV.8 utilisé pour maintenir le niveau de tension  $V_e$  à celui de l'alimentation. Lorsque la commutation du dernier inverseur T3 a lieu, la tension  $V_e$  devient identique à Vdd.

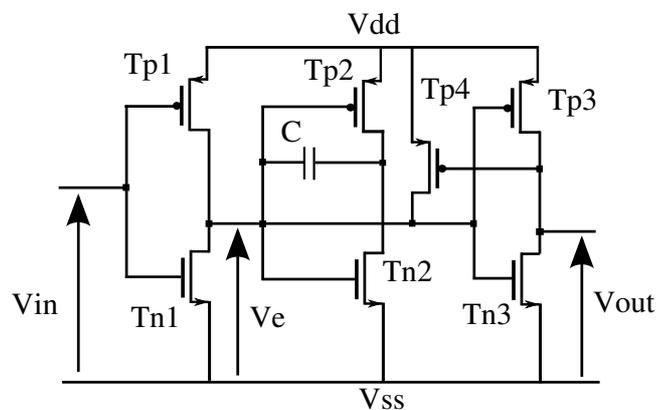


Fig. IV.8 – Cellule de temporisation améliorée

La figure IV.9 ci-après présente les résultats de simulation et de caractérisation de la solution retenue. Dans les deux cas nous distinguons les 3 régimes de conduction de la protection. Après les phases de déclenchement et de conduction, il apparaît un nouveau régime initié par un arrêt franc de la consommation du dispositif en remplacement du régime d'oscillation vu précédemment. La tension d'alimentation peut par conséquent s'établir sans déclencher à nouveau la protection.

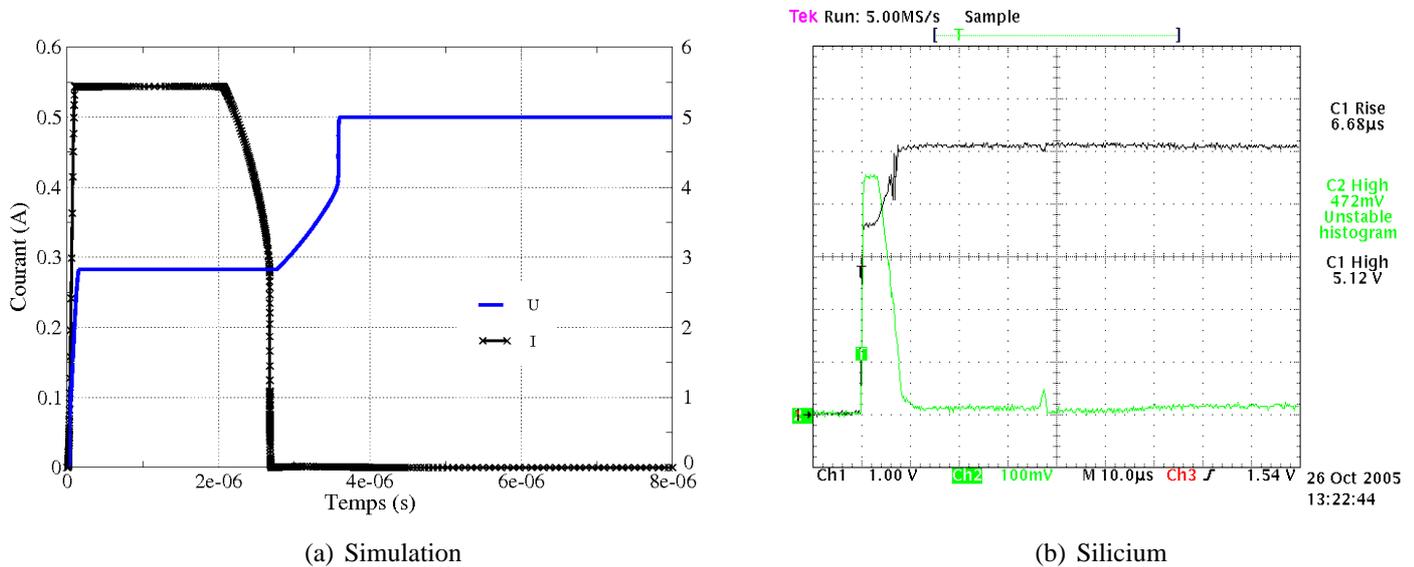


Fig. IV.9 – Résultats de la structure optimisée en a) simulation et sur b) silicium

Certaines applications tolèrent l'utilisation de cette protection, en gérant au niveau système, les sur-consommations au démarrage à l'aide d'un dispositif électrique externe à la puce. La notion de tolérance n'étant pas universelle, il convient d'admettre que ce type de détection a montré ses limites dans des conditions extrêmes d'utilisation. La partie suivante présente un nouveau concept de détection permettant de répondre sans provoquer de sur-consommations aux domaines de montée d'alimentation très rapides.

## IV.2 Détection sur niveau

Cette partie est consacrée à la description d'un nouveau type de détection dynamique développé en CMOS ( $0,18\mu\text{m}$  ;  $T_{OX}=70\text{\AA}$ ), afin d'obtenir une meilleure différenciation des événements ESD avec les conditions électriques de fonctionnement d'un circuit. Cette partie est consacrée à la présentation du fonctionnement théorique de la cellule de détection en distinguant les avantages des inconvénients. Des résultats de simulations sont également présentés en complément de l'explication théorique proposée.

### IV.2.1 Définition du concept

Comme pour toute protection ESD, deux modes de fonctionnement sont à considérer :

- Le mode de repos lorsque le circuit se trouve alimenté ou durant la phase de montée d'alimentation.
- Le mode de protection rendu actif dès lors que le circuit est soumis à une décharge électrostatique.

Le paramètre retenu pour la distinction du mode de protection avec le mode de repos est la tension d'alimentation présente aux bornes du circuit de protection. Lorsque survient une décharge électrostatique sur un circuit, celui-ci se trouve dans un état de haute impédance. La tension sur le rail stressé atteint rapidement une tension théorique infinie si aucune protection ne déclenche. Le niveau de tension d'alimentation nominale est rapidement dépassé. Il convient de déterminer la tension de référence pour laquelle la cellule de protection commute du mode de repos au régime de protection. Cette tension de référence, qui peut également être nommée tension de commutation, est strictement supérieure au niveau d'alimentation accepté par les transistors de la portion de circuit qui est considérée. Par ailleurs, il convient de prendre en compte, lorsque l'alimentation est établie, l'influence des commutations digitales ou de l'activité analogique du circuit qui peuvent induire localement des fluctuations de la tension d'alimentation qui ne doivent pas faire déclencher la structure. Pour supprimer le risque de ces déclenchements intempestifs, nous ajouterons un dispositif exclusivement dédié au renforcement de l'immunité au bruit de la structure comme présenté au cours du chapitre 2.

Il conviendra également d'amplifier le signal de sortie du détecteur de niveau en utilisant une chaîne d'inverseurs pour permettre une activation optimale du dispositif d'évacuation du courant. Nous nous intéresserons dans cette section à la conduction MOS comme élément d'évacuation de la décharge électrostatique (figure IV.10).

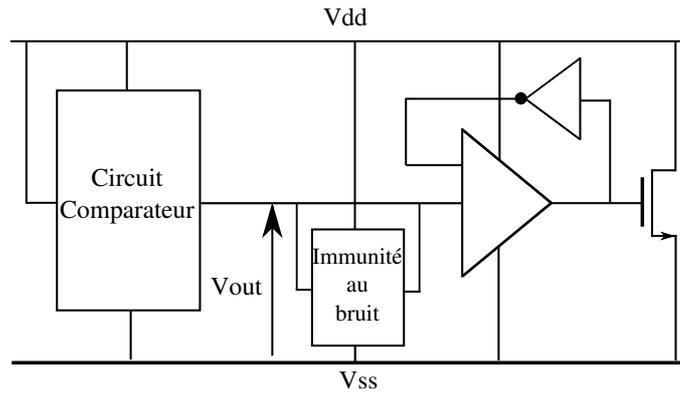


Fig. IV.10 – Schéma de principe de la cellule de protection dynamique proposée

Le principe de fonctionnement de la structure est le suivant. Dans le cas de figure où le niveau de tension est équivalent à ce que pourrait produire une décharge électrostatique sur une résistance infinie, la sortie du comparateur passe à l'état haut et commande par le biais d'une série d'inverseurs le début de la charge de la grille du transistor de type N. Lorsque la tension sur la grille dépasse le  $V_t$  du transistor la conduction s'amorce et à l'aide d'un point mémoire qui inhibe tout changement d'état, le transistor d'évacuation est maintenu en conduction tant que la tension aux bornes du dispositif de protection est supérieure au  $V_t$  du transistor. L'intérêt majeur du dispositif tient dans sa cellule de détection qui va déterminer dans quel mode la cellule de protection doit fonctionner.

## IV.2.2 Étude statique du dispositif de détection

La cellule de détection de tension utilise un comparateur de courant. Son principe repose sur la comparaison de deux courants de référence des branches B1 et B2, ayant chacun une signature bien distincte en fonction du niveau d'alimentation (figure IV.11). Dans cette étude nous nous sommes intéressés à comparer deux types de courant ayant une dépendance exponentielle et quadratique en fonction de la tension d'alimentation mais une multitude de sources de courant avec des signatures différentes telles que logarithmique, hyperbolique en fonction de  $V_{dd}$  peuvent également être utilisées.

Ces deux courants sont alors recopiés et amplifiés à l'aide de miroirs de courant dans une même et seule branche B0.

Dans la plage de tensions d'alimentation comprise entre 0V et  $V_{ref}$ , le courant  $I_{B1}$  recopié et amplifié par le miroir de courant (M3, M4) est inférieur au courant  $I_{B2}$  recopié et amplifié par le miroir de courant (M1, M2). Ce manque de courant dû à la limitation en courant du transistor M4 a pour effet de maintenir la sortie du comparateur à l'état bas. Lorsque la tension d'alimentation avoisine la tension de référence, les deux caractéristiques en courant convergent vers une seule et

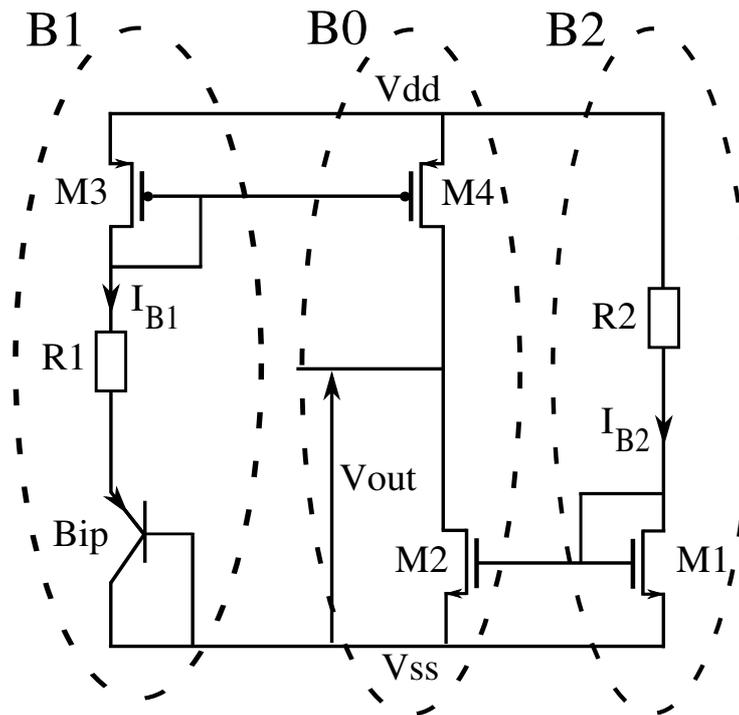


Fig. IV.11 – Schéma électrique de la cellule de détection

même valeur pour  $V_{dd}=V_{ref}$  et lorsque celle-ci est supérieure à la tension de référence, le courant  $B1$  recopié et amplifié devient supérieur au courant  $B2$  recopié et amplifié. Cette différence de courant imposée par le transistor  $M4$  a pour effet de faire commuter la sortie du comparateur  $V_{OUT}$  à l'état haut. Le changement de mode de fonctionnement de la structure est donc initié.

Considérons le schéma électrique suivant la figure IV.12 représentant l'association d'un transistor bipolaire connecté en diode, lui-même en série avec une résistance et un transistor MOS à canal P polarisé en régime de saturation. Le courant dans la branche  $B1$  respecte les conditions suivantes de polarisation.

La connexion physique du transistor MOS  $M3$  impose un régime de saturation. L'équation simplifiée qui caractérise le transistor dans ce mode de fonctionnement en excluant l'effet Early est la suivante :

$$I_{SD} = \frac{K_P \times W_P}{2 \times L_P} \times (V_{SG} - |V_{Tp}|)^2 \text{ avec } K_P = \mu_P \times C_{OX} \quad (\text{IV.2J})$$

L'ajout d'un transistor bipolaire connecté en diode permet une dépendance exponentielle du courant par rapport à la tension aux bornes du transistor. Le transistor bipolaire vertical étant disponible a été préféré à un transistor MOS monté en diode pour éviter des fluctuations liées au procédé de fabrication. L'équation de la diode en mode direct satisfait la loi suivante :

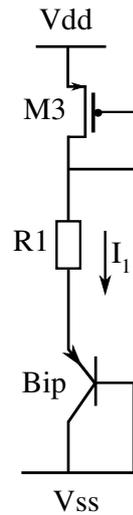


Fig. IV.12 – Schéma électrique de la branche B1

$$I_e = I_s \times (e^{\frac{V_{BE}}{Nf \times V_T}} - 1) \quad (\text{IV.2K})$$

Le courant  $I_1$  dans la branche B1 satisfait l'équation statique suivante (en supposant  $V_{ss}=0$ ) :

$$\frac{V_{DD}}{R1} = I_1 + \frac{Nf \times V_T}{R1} \times \ln\left(\frac{I_1}{I_s} + 1\right) + \frac{1}{R1} \times (|V_{Tp}| + \sqrt{\frac{2 \times I_1 \times L_P}{K_P \times W_P}}) \quad (\text{IV.2L})$$

Considérons le schéma électrique suivant à la figure IV.13 composé d'une résistance en série avec un transistor en source de courant.

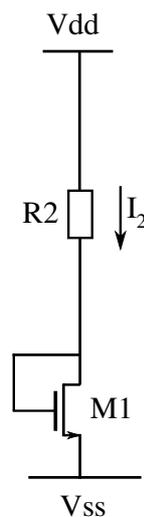


Fig. IV.13 – Schéma électrique de la branche B2

Le courant  $I_2$  dans la branche B2 respecte les conditions suivantes de polarisation. La connexion physique du transistor MOSFET M1 impose un régime de saturation régie par l'expression quadratique suivante en écartant l'effet Early. Cet effet n'est pas pris en compte dans cette étude car en tenir compte compliquerait inutilement dans un premier temps les équations et il n'est pas nécessaire de faire intervenir ce coefficient par rapport aux longueurs de grille utilisées.

$$I_{DS} = \frac{K_N \times W_N}{2 \times L_N} \times (V_{GS} - V_{TN})^2 \text{ avec } K_N = \mu_N \times C_{OX} \quad (\text{IV.2M})$$

Le courant  $I_2$  dans la branche B2 satisfait la loi statique suivante :

$$\frac{1}{R_2} \times (V_{Tn} + \sqrt{2 \times I_2 \times \frac{L_{N1}}{K_N \times W_{N1}}}) + I_2 = \frac{V_{dd}}{R_2} \quad (\text{IV.2N})$$

Le facteur d'amplification est égal à l'unité pour chaque miroir de courant. La figure IV.14 représente le comportement des courants dans chaque branche et le signal de sortie en fonction de la tension d'alimentation Vdd.

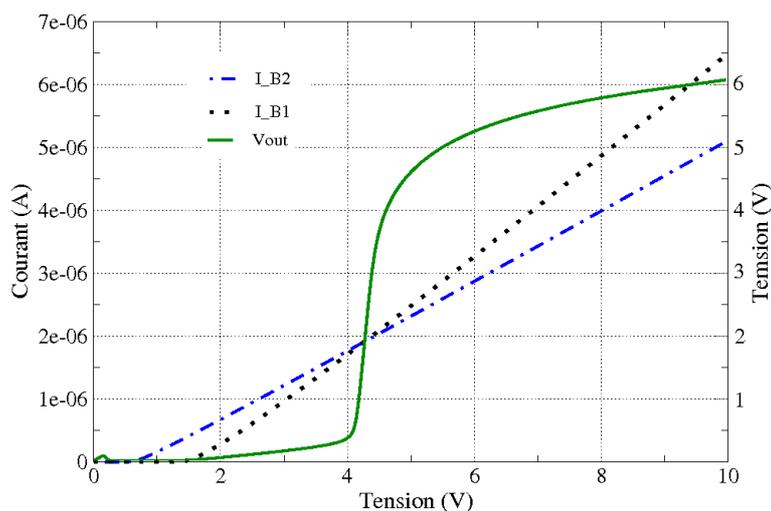


Fig. IV.14 – Signatures des courants dans chaque branche avec le signal de sortie associé en fonction de la tension d'alimentation Vdd

Si nous considérons que la tension de commutation du premier inverseur connecté à la sortie du détecteur est de l'ordre de 2,5V, le dispositif de détection commutera du mode inactif au mode de conduction pour une tension de référence sur l'alimentation de 4,2V. Ce résultat de simulation renseigne également sur la forme des courants dans chaque branche. En effet, il est nécessaire d'atteindre l'activation de deux éléments (Bipolaire et MOS) dans la branche B1 contrairement à la branche B2 qui nécessite uniquement l'activation d'un transistor MOS. Le courant  $I_2$  dans la branche B2 est donc supérieur à celui de la branche B1 pour les faibles tensions d'alimentation et cela évite de se retrouver dans la configuration où la protection est rendue active pour les tensions sous le seuil.

### IV.2.3 Effet de la température

Après l'étude statique, il convient d'étudier l'effet de la température sur le dispositif et en particulier l'impact de la température sur le courant dans chaque branche. Afin de réduire les écarts de la tension de référence pour les variations en température, il est préférable que les courants dans chaque branche évoluent dans la même direction. La dérivée première en fonction de la température de chaque courant est calculée afin de déterminer l'évolution des courants. On notera que la tension  $V_t$  du transistor MOS [Gra01] et la tension base émetteur du transistor bipolaire [Raz01] évoluent de manière inversement proportionnelle à la température.

$$\frac{\partial V_T}{\partial T} = -\frac{1}{T} \times \left( \frac{E_g}{2 \times q} - \phi_f \right) \times \left( 2 + \frac{\gamma}{\sqrt{2 \times \phi_f}} \right) \quad (\text{IV.2O})$$

avec  $\gamma$  : body factor et  $\phi_f$  : niveau de Fermi

$$\frac{\partial V_{be}}{\partial T} = \frac{V_{be} - (4 + m) \times V_T - \frac{E_g}{q}}{T} \quad (\text{IV.2P})$$

La dérivée première du courant dans la branche B1 suit la loi suivante :

$$\frac{\partial I_{B1}}{\partial T} = -\frac{1}{R1} \times \left( \frac{\partial V_{be}}{\partial T} + \frac{\partial V_{GS3}}{\partial T} \right) \quad (\text{IV.2Q})$$

et

$$\frac{\partial V_{GS3}}{\partial T} = \frac{\partial V_T}{\partial T} + A \times \frac{1}{\sqrt{T}} \quad (\text{IV.2R})$$

avec

$$A = \frac{3}{4} \times \sqrt{\frac{2 \times I_{d0} \times L}{W \times C_{OX} \times \mu_0 \times 300^{\frac{3}{2}}}} \quad (\text{IV.2S})$$

On admet facilement que la variation en température de la mobilité est inférieure à celle de la tension de seuil pour les tailles de transistor considérées. Le terme  $A \times \frac{1}{\sqrt{T}}$  sera donc considéré très petit devant  $\frac{\partial V_T}{\partial T}$ . Par conséquent, en excluant l'impact de la température sur les résistances en polysilicium, le courant dans la branche B1 est de nature PTAT (Proportional To Absolute Temperature) [Raz01] (figure IV.15).

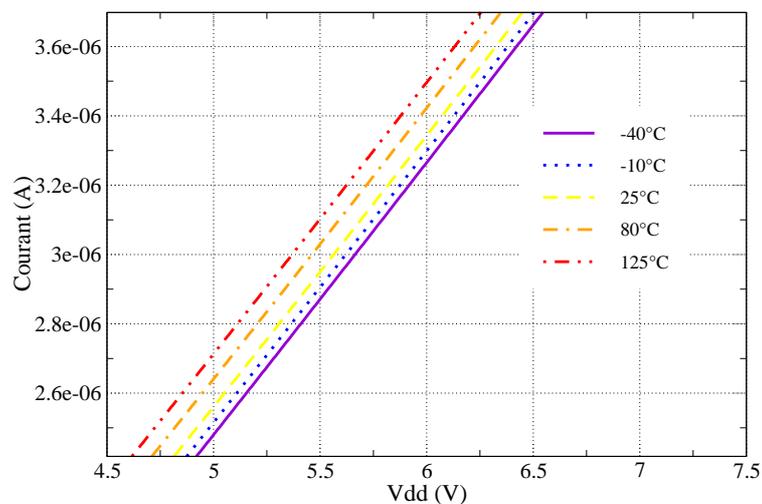


Fig. IV.15 – Effet de la température sur le courant dans la branche B1

De la même manière la variation en température sur le courant dans la branche B2 satisfait l'équation suivante :

$$\frac{\partial I_{B2}}{\partial T} = -\frac{1}{R2} \times \frac{\partial V_{GS1}}{\partial T} \quad (\text{IV.2T})$$

$V_{GS1}$  étant de nature CTAT (Conversely To Absolute Temperature) [Raz01]. Il convient d'admettre que le courant dans la branche B2 est donc de nature PTAT IV.17.

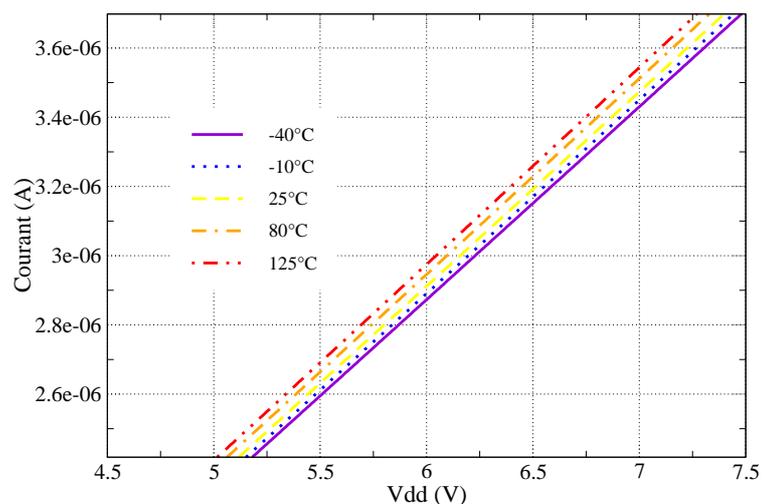


Fig. IV.16 – Effet de la température sur le courant dans la branche B2

Les deux courants varient proportionnellement avec la température, ce qui donne pour un dimensionnement de transistor fixé, dans une plage de température considérée allant de  $-40^{\circ}\text{C}$  à  $125^{\circ}\text{C}$ , une variation de 800 mV sur la tension de référence à la sortie de la cellule de détection IV.17. En effet les croisements des courants dans les branches B1 et B2 interviennent à une tension de référence de 3,5V et de 4,3V pour des températures de  $125^{\circ}\text{C}$  et  $-40^{\circ}\text{C}$  respectivement.

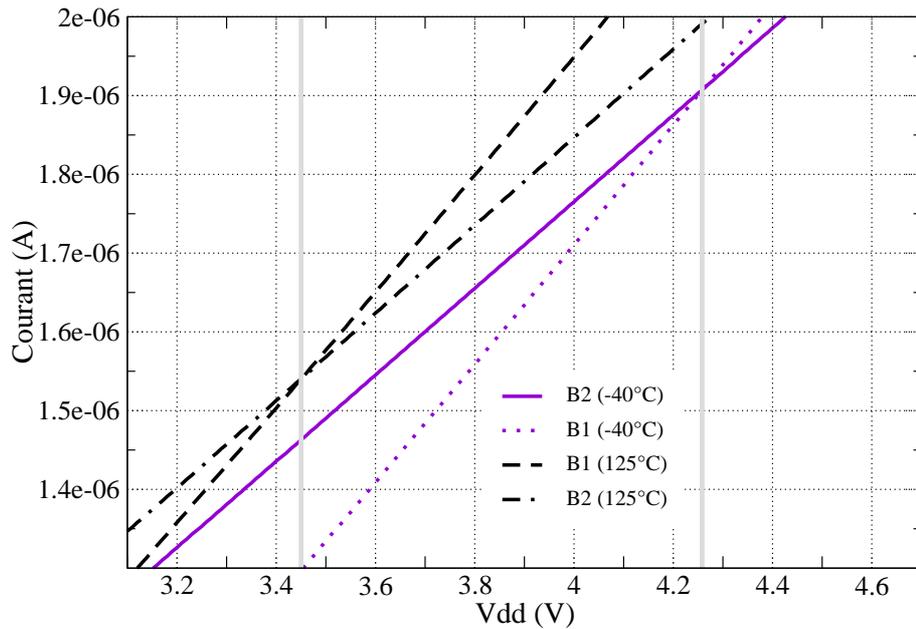


Fig. IV.17 – Effet de la température sur la tension de référence

### IV.2.4 Influence des variations du procédé de fabrication

Par ailleurs, étant donnée l'utilisation de plusieurs types de composants (MOS, bipolaire et Résistance) au sein du circuit, nous avons considéré l'impact des fluctuations du procédé technologique en effectuant une analyse statistique sur le dispositif de détection. En effet, ce genre de simulation permet de considérer la variation du procédé de fabrication pouvant impacter par exemple la longueur ou la largeur des transistors utilisés. Cela permet également de considérer l'impact du "mismatching" des transistors MOS. Cette dernière notion est à considérer car le circuit est composé de miroirs de courant utilisant une même taille de transistor. En effet si la taille des transistors du miroir est différente, la copie du courant n'est donc pas équivalente dans chaque branche et pour par conséquent faire varier la tension de référence du dispositif. Nous pouvons donc par l'intermédiaire de simulation Monte-Carlo nous assurer que malgré la fluctuation des tailles des transistors, nous obtenons la fonctionnalité souhaitée. La figure IV.18 présente un résultat de simulation Monte-Carlo effectuée pour une centaine de tirs impliquant la notion de "mismatching" couplée à la fluctuation du procédé de fabrication et ce pour une température de 25°C.

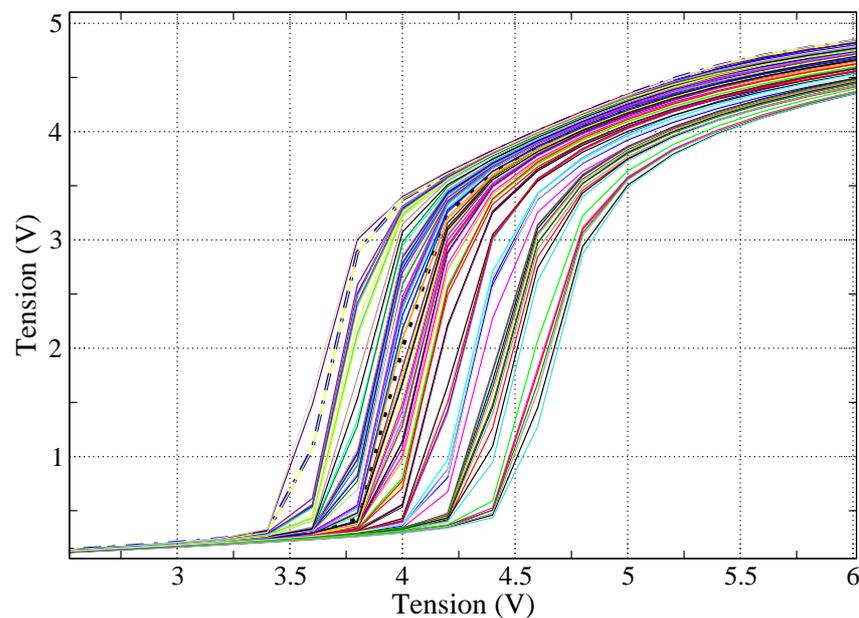


Fig. IV.18 – Effet des variations du procédé de fabrication sur la tension de référence

Nous constatons que la tension de référence varie d'environ 1V sans être inférieure à la tension d'alimentation. Nous pouvons donc admettre que la protection restera inactive si la tension d'alimentation ne dépasse pas une tension de 3,3V. Dans cette partie nous avons rappelé qu'il est

important de considérer l'impact des effets de température et des variations du procédé de fabrication sur ce type de dispositif. Il convient de considérer également l'influence du dimensionnement des éléments pour obtenir un fonctionnement transitoire optimal du dispositif de détection.

### IV.2.5 Etude transitoire

Afin de considérer les effets capacitifs pour des larges signaux nous effectuons une étude transitoire de la cellule de détection. Le fonctionnement du dispositif étudié repose sur l'utilisation du courant comme paramètre de comparaison ce qui lui confère l'avantage d'obtenir des temps de réaction très rapides. De manière générale il convient d'admettre que plus le niveau de courant est important dans les branches B1 et B2, et plus la réaction de la cellule sera rapide au détriment de la consommation en courant. Les éléments limitatifs sont donc les résistances et le ratio ( $W/L$ ) des transistors des miroirs de courant. La figure IV.19 présente les résultats de simulation concernant deux circuits de détection avec des configurations de dimensionnement différentes.

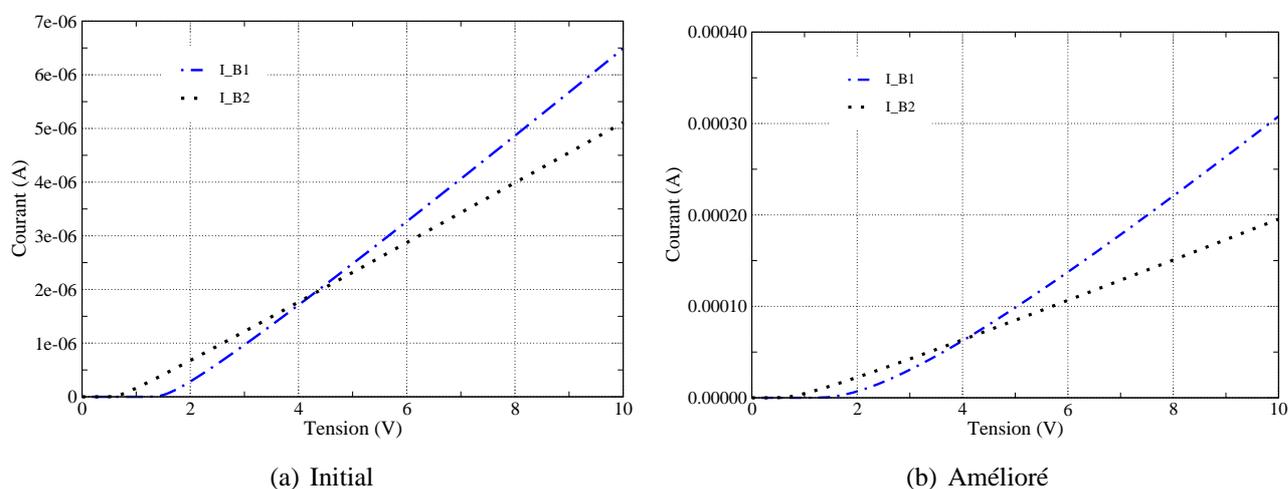


Fig. IV.19 – Résultats de simulation du courant dans les branches B1 et B2 pour deux configurations de dimensionnement des éléments du détecteur (a) Initial et b) Amélioré

Le point de croisement des courants de chaque branche reste inchangé et nous conservons une tension de référence identique malgré l'augmentation des niveaux de courant de près d'un facteur 100 dans chaque branche. L'étude qui suit montre l'impact du dimensionnement des éléments du circuit sur l'amorçage de la cellule de détection. Pour cela l'étude transitoire repose sur l'application d'une rampe d'alimentation suffisamment rapide  $\frac{\partial V}{\partial t} = \frac{0.7}{1n}$ , avec un niveau de tension final de 7V supérieur à la tension de référence, initiant ainsi le régime de commutation de la protection. Nous vérifions alors la réponse en tension de la sortie du comparateur et nous déterminons le retard d'amorçage de la protection. La figure IV.20 présente des résultats de simulation mettant en évidence l'impact du dimensionnement des éléments du circuit de détection, pour une longueur de grille des transistors fixée à ( $L=5\mu m$ ), sur le temps d'amorçage de la protection.

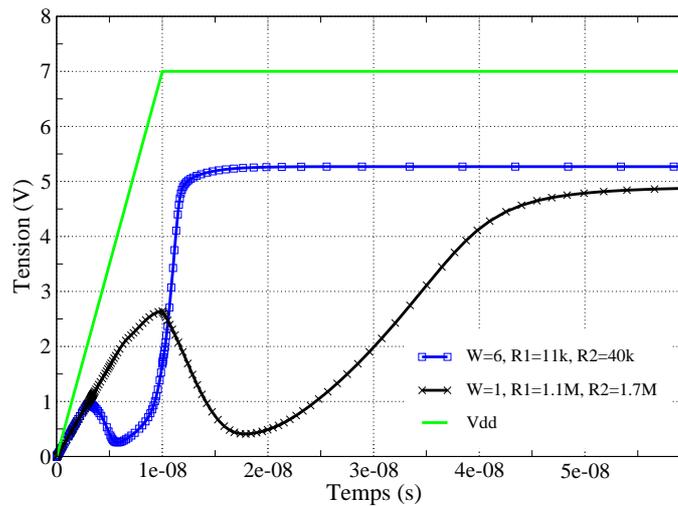


Fig. IV.20 – Résultats de simulation de la sortie du détecteur pour une rampe d'alimentation  $\frac{\partial V}{\partial t} = \frac{0.7}{1n}$  concernant deux configurations de dimensionnement des éléments du détecteur

Comme nous l'avons expliqué ci-dessus, le fait d'augmenter le niveau de courant dans chaque branche permet de réduire l'impact des effets capacitifs. La protection s'amorce plus rapidement de 40ns et le temps d'amorçage est d'une dizaine de nanosecondes. Il est important que l'impact des effets capacitifs n'entraîne pas la sortie du détecteur à un niveau supérieur de celui de la commutation du premier inverseur. Dans le cas contraire la rampe d'alimentation est assimilée à un évènement ESD et le déclenchement de la protection est alors activé.

### IV.2.6 Circuit final

Nous avons vu que les effets capacitifs limitent les performances du circuit pour des rampes d'alimentation très rapides. En revanche il convient d'admettre que le nouveau critère de détection basé sur le niveau de tension du bus d'alimentation permet d'adresser des rampes d'alimentation de l'ordre de la dizaine de nanosecondes. En comparaison, une rampe d'alimentation de l'ordre de la microseconde est considéré comme rampe d'alimentation critique pour un circuit traditionnel utilisant un filtre passif.

Afin d'obtenir une cellule efficace dans toutes les configurations électriques, il convient d'ajouter des sous-circuits de maintien et d'immunité au bruit équivalent à ceux décrits précédemment dans le chapitre 2. Le schéma global [RDB07] en cours de dépôt de brevet dans sa version finale est présenté figure IV.21.

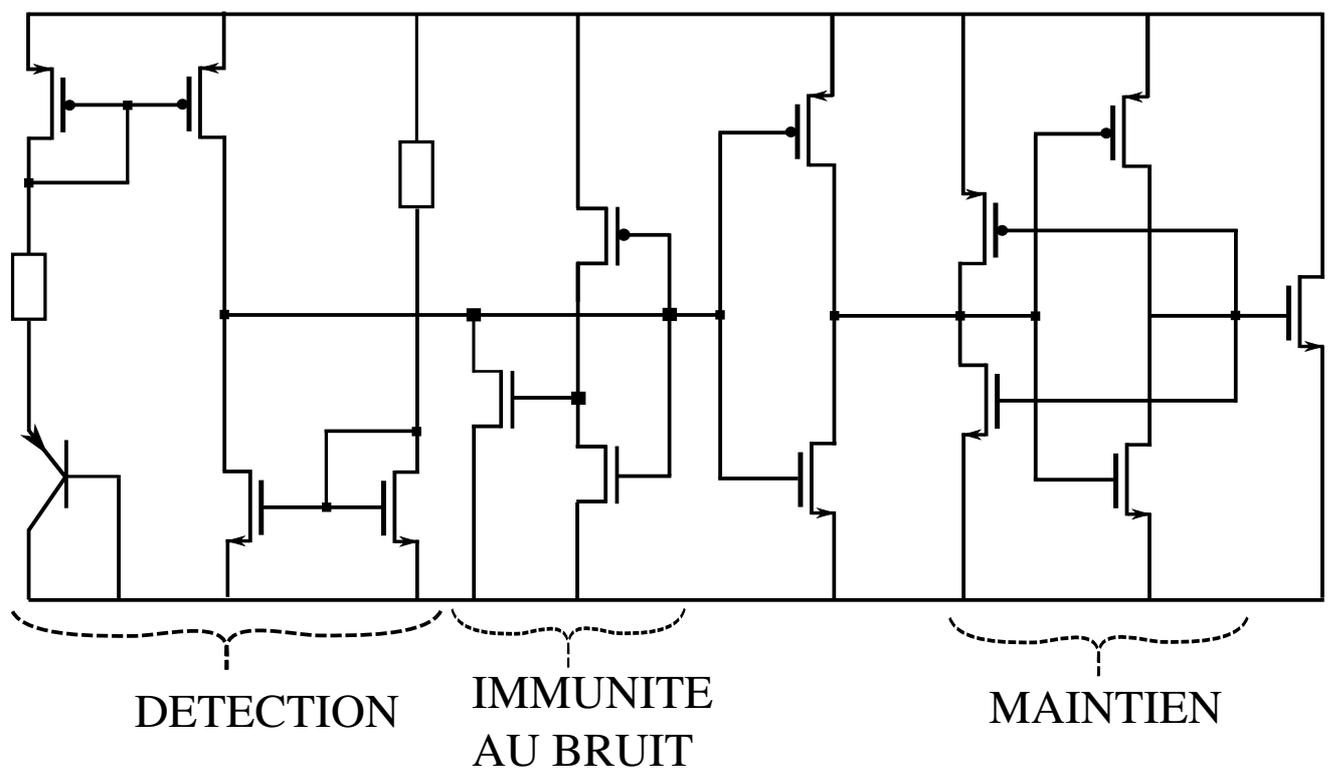


Fig. IV.21 – Schéma électrique du brevet proposé

La figure suivante présente un résultat de simulation HBM effectuée à 2kV montrant l'efficacité de conduction de la protection en régime ESD.

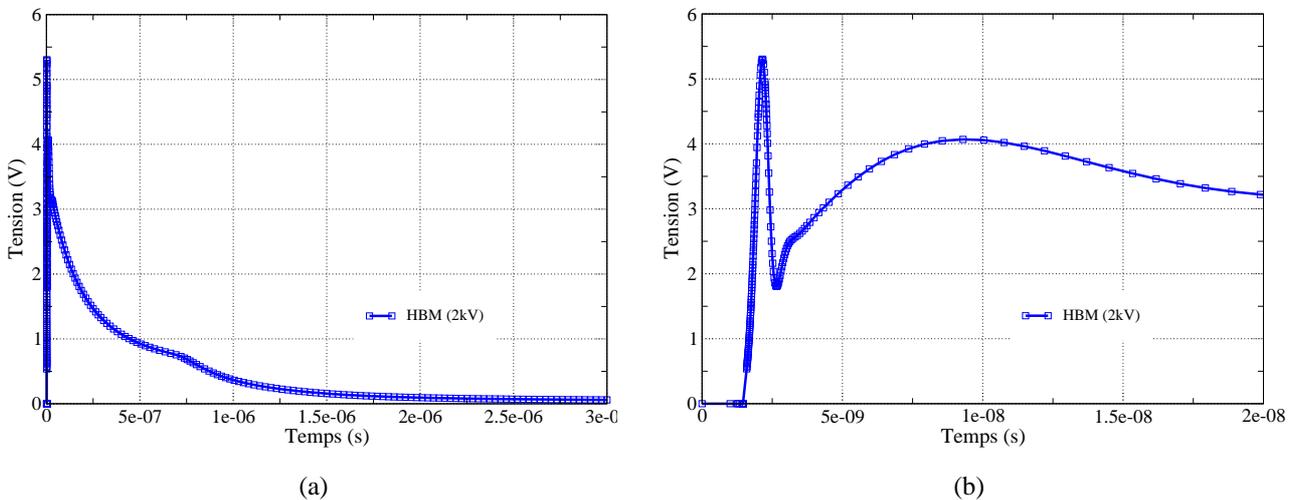


Fig. IV.22 – Réponse en tension de la protection lors d'une décharge HBM du circuit final avec un agrandissement de la région d'amorçage

Un agrandissement du pic de tension révèle un second pic attribué en premier lieu au fait que le dispositif de détection doit atteindre la tension de référence pour induire le déclenchement. Par ailleurs cette sur-tension est également liée au temps d'amorçage nécessaire à la cellule de détection. Ces spécificités de fonctionnement peuvent s'avérer être un point bloquant dans le développement de ce type de protection dédié à la protection de circuit vis à vis des décharges électrostatiques rapides de type CDM. De plus, la conception d'un tel circuit peut s'avérer compliquée concernant des technologies très avancées utilisant des oxydes fins où la marge entre la tension critique à ne pas dépasser et la tension de référence de commutation sont réduites. Un recours à la stratégie de protection mixte pour réduire l'impact de la conduction de diode et des effets résistifs liés aux accès permet cependant d'augmenter la marge de tension.

## IV.3 Conclusion

Dans ce chapitre nous avons présenté deux solutions permettant d'améliorer le fonctionnement d'un circuit de protection dynamique et en particulier l'optimisation de la sensibilité du dispositif de protection au regard des rampes d'alimentation rapides. Nous avons proposé un sous-circuit compatible au dispositif de protection présenté au chapitre 2 permettant de désactiver le dispositif de protection après que celui-ci ait déclenché dans des conditions agressives de mise sous tension. Les résultats silicium des produits embarquant la solution sont aujourd'hui convainquant et permettent de satisfaire certaines applications.

Les limitations de la protection dynamique utilisant un filtre passif comme élément de différenciation nous ont incité à rechercher un nouveau mode de détection plus efficace. Dans ce chapitre nous avons également présenté une nouvelle approche de détection basée sur la reconnaissance du niveau de tension pour faire déclencher la protection. A ce jour, les résultats de simulation sont encourageants. Ce type de détection permet de maintenir la protection dans un état transparent pour des montées d'alimentation très rapides mais cette solution nécessite de plus amples investigations pour être implantée sur des circuits en technologie CMOS  $0.13\mu\text{m}$  dans les semaines à venir.



## Conclusion et Perspectives

Depuis l'apparition des premiers transistors jusqu'à nos jours, les technologies ont considérablement évolué et permettent aujourd'hui l'implantation de plusieurs centaines de millions de transistors sur un même circuit intégré. En revanche, ces évolutions technologiques ne sont pas sans conséquences sur la sensibilité grandissante des circuits aux multiples contraintes rencontrées durant les phases de fabrication, de test, de stockage ou encore de fonctionnement. En particulier la réduction des dimensions élémentaires des transistors a affecté sensiblement la robustesse des circuits intégrés vis-à-vis des décharges électrostatiques. La protection des circuits intégrés reste constamment un défi lors de la mise en place d'un nouveau procédé technologique. Durant ces 40 dernières années, de multiples précautions ont été considérées pour réduire le risque d'apparition des agressions. Malgré les nouveaux dispositifs anti-statiques pour protections externes mis en place, les semi-conducteurs peuvent encore faire l'objet de dégradations irréversibles durant toute la vie d'un circuit. En effet, de multiples défaillances sont observées depuis la fabrication jusqu'à l'utilisation des circuits et sont parfois imputables aux décharges électrostatiques. Afin de protéger les circuits intégrés contre ces agressions, des cellules dédiées sont développées et implantées à la périphérie des circuits intégrés. Ces protections, associées à une stratégie d'implémentation adaptée, garantissent un niveau de protection et de robustesse du circuit vis-à-vis des décharges électrostatiques.

L'objectif des travaux présentés dans ce manuscrit était de développer une stratégie de protection associée à une protection centrale efficace et adaptée aux fonctionnalités des circuits pour les procédés technologiques CMOS. Nous avons également effectué un suivi des protections à base de transistors bipolaires utilisées auparavant par la société et avons été amenés à réaliser, dans certains cas, différentes expérimentations en vue de l'amélioration de l'efficacité des structures.

Nous avons montré dans le premier chapitre que l'implication des décharges électrostatiques est telle que les phases de caractérisation d'un circuit comportent une étape dédiée entièrement à la validation de la robustesse ESD du circuit ou à l'estimation des propriétés électriques en régime de fort courant des protections implantées. Le développement d'une cellule de protection est aujourd'hui facilité par les moyens mis à la disposition du concepteur afin d'évaluer l'efficacité de protection d'une structure. En effet, nous avons présenté le système TLP et ses déclinaisons utilisés pour la caractérisation des structures de protection en régime de fort courant. L'utilisation des

systèmes de caractérisation et de test permet d'évaluer l'efficacité d'un circuit tout en distinguant ses propriétés électriques de conduction et son niveau de transparence de la protection. L'objectif étant de déterminer si les propriétés intrinsèques de la protection sont en accord avec la stratégie de protection employée. Nous avons présenté dans ce chapitre les différentes stratégies de protections existantes.

La validation de la robustesse d'un circuit dépend aujourd'hui de sa résistance face à trois types de décharges électrostatiques. Il existe plusieurs formes de décharges électrostatiques impliquant un fonctionnement approprié de la protection et nécessitant une conception adaptée à chaque type d'onde en courant tant au niveau de la structure qu'au niveau du circuit. Dans ce manuscrit, nous nous sommes intéressés en particulier à la protection des circuits vis-à-vis des ondes de type HBM induites par l'homme. Par ailleurs, nous avons effectué des expérimentations ayant mené à des résultats sur silicium de structures technologiques utilisant la conduction par transistor bipolaire. Nous avons mis en évidence l'efficacité d'un implant spécifique utilisé pour l'optimisation de la structure ggNMOS largement connue pour ses problèmes de déclenchement en configuration standard. Nous avons également introduit le LVTPNP et l'avons adapté pour le rendre concurrentiel vis-à-vis du ggNMOS pour des applications électriques spécifiques. Cette dernière structure demande une analyse complémentaire pour une éventuelle implémentation sur des circuits industriels. En effet, les structures de type technologique ont l'inconvénient majeur de nécessiter un développement long et dépendant du procédé de fabrication, donc difficilement portable d'une technologie à l'autre. L'objectif suivant a donc été de développer une protection ayant une dépendance réduite au procédé de fabrication.

Les études entreprises par la suite se sont orientées vers la mise en place d'une stratégie globale de protection en remplacement de la stratégie locale utilisant la structure ggNMOS comme élément de protection principal et local dans chaque plot d'E/S. L'utilisation de la conduction par transistor MOS permet d'évaluer la cellule par simulation électrique dès la disponibilité du modèle de simulation MOS. Le second chapitre de ce manuscrit concerne la description de la cellule de protection centrale utilisée à ce jour dont les différents sous-circuits sont présentés et analysés. Nous proposons également un sous-circuit utilisé pour renforcer le niveau de transparence de la protection. Ce dispositif d'immunité au bruit a fait l'objet de dépôts de brevets [BRb] [BRa] aux cours de ces trois années de thèse. Nous avons également présenté le flot de conception utilisé pour le dimensionnement de chaque élément constituant la cellule de protection.

Durant le développement de la stratégie globale de protection, nous avons été contraint de considérer la résistance parasite des bus d'alimentation et des éléments secondaires de protection pour concevoir une protection optimale au niveau circuit. Dans le chapitre 3, nous avons décrit la méthode employée pour la caractérisation de la cellule de protection. Les résultats de simulation ont été exploités en vue d'éditer les règles de placement des E/S sur la périphérie d'un circuit. La topologie des circuits n'étant pas identique, nous avons adapté un outil existant de vérification

pour la validation du placement des E/S. Cet outil reconstitue le circuit en un réseau résistif et permet par ce biais, d'évaluer les chemins critiques de conduction dans le cadre des décharges électrostatiques et par la suite de définir le niveau global de protection de chaque circuit avant l'étape de fabrication. Dans ce chapitre, nous avons montré qu'il ne suffit pas de développer une protection efficace sans considérer l'influence des éléments parasites d'un circuit, qui par ailleurs influe de plus en plus au premier ordre dans l'efficacité d'une stratégie globale de protection. Conformément à nos attentes les résultats silicium obtenus en régime ESD et en conditions réelles sur les produits embarquant cette solution démontrent la bonne performance de cette cellule de protection.

Les études portées dans le dernier chapitre concernent la conception de circuits permettant de réduire la limitation principale de la protection centrale développée. En effet dans certaines applications où les rampes d'alimentation de type "Hot Plug" peuvent être assimilées par la protection à un événement ESD. Dans ce cas, le déclenchement des protections provoque une consommation en courant non acceptable au sein du dispositif. Afin de conserver à l'identique le sous-circuit de détection, nous avons proposé un dispositif de coupure du mode actif de la protection qui ne dégrade pas le fonctionnement en régime ESD de la cellule. Cette solution n'étant pas adaptée pour les systèmes faible consommation, il a été mis au point un nouveau concept de différenciation des régimes de fonctionnement permettant ainsi de satisfaire une plus large plage de rampes d'alimentation. Cette nouvelle méthode de détection dont le principe repose sur la détection du niveau de tension vu sur l'alimentation a donné lieu au dépôt d'un brevet [RDB07] et est en cours d'expérimentation pour une implémentation future sur silicium.

En conclusion, le travail réalisé à ce jour a permis à la société ATMEL d'apporter des solutions auxquels la société doit faire face. Il reste en revanche à consolider ces bons résultats vis-à-vis des phénomènes ESD de type CDM tout en garantissant une stratégie de protection adaptée aux applications spécifiques pour les procédés technologiques matures et émergents. Nous devons dans les prochains mois étudier la conduction SCR qui a l'avantage de présenter une meilleure conduction en régime ESD, mais qui en revanche, demande un travail en amont pour la rendre industrialisable. De plus, les effets parasites des accès, comme nous l'avons montré, deviennent prépondérants par rapport à l'efficacité de conduction de la protection centrale. La stratégie mixte de protection conviendra-t-elle pour réduire l'impact des effets résistifs ou serons-nous contraint de réduire les niveaux de référence HBM, MM et CDM comme cela a été envisagé durant les dernières conférences [Mer07] ?



## Annexes

Brevets déposés concernant les décharges électrostatiques

- 1970 A.D. M.Fischer (IBM). Resistor-thick oxide FET gate protection device for thin oxide FETs. *IBM Technology Disclosure Bulletin* :1272-1273. This introduced the use of a gate-coupled "thick oxide " field effect transistor and a series resistor element. This invention discloses the concept of using a thick oxide insulated gate field effect transistor (IGFET) to protect a thin oxide IGFET.
- 1971 A.D. Boss et al. (IBM). ESD network with capacitor divider and half-pass transmission gate. *IBM Technology Disclosure Bulletin* . This introduced the concept of using a capacitive divider across a half-pass transmission gate to reduce the gate oxide stress.
- 1971 A.D. M.Lenzlinger (RCA). ESD distributed diode/resistor double-diode network. *RCA Corporation*. Publication : "Gate Protection of MIS Devices", M. Lenzlinger, *IEEE Transactions on Electron Device* :1971. This publication discloses the concept of a double-diode ESD network as well as distributed diode-resistor transmission line for the diode to Vdd.
- 1973 A.D. G.W.Steudel (RCA). Input transient protection for complimentary field effect transistor integrated circuit device. *U.S Patent No. 3,712,995*, January 23, 1973. The patent shows a distributed double-diode ESD network with diode/resistor distributed network, but with the reverse polarity.
- 1974 A.D. T.Enomoto and H. Morita (Mitsubishi). Semiconductor device. *U.S Patent No.3,819,952*, June 25, 1974. The patent shows the use of a first-stage gate-coupled thick oxide insulated gate field effect transistor(IGFET), a series resistor element (prior to the IGFET drain), and a IGFET source resistor element. This first stage is followed by a second-stage thin oxide IGFET whose gate is coupled to the first-stage IGFET source node. The network introduces the concept of a first- and second-stage ESD network, gate-coupled, series resistor options, as well introduces a de-biasing resistor at the source of the first stage.
- 1979 A.D. C.Bertin(IBM). Over-voltage protective device and circuits for insulated gate transistors. *U.S Patent No.4,139,935*, February 20, 1979. This patent by Claude Bertin was the first process patent that produced a metallurgical junction with a lower breakdown voltage using junction "tailoring" where the breakdown element was to serve as a "gate tie

down" or protection network for MOSFET gate oxides.

- 1983 A.D. N.Sasaki (Fujitsu). Semiconductor integrated circuit device providing z protection circuit. *U.S Patent No. 4,423,431*. December 27, 1893. Sasaki introduces the idea of use of a series resistor, and thin oxide transistor as a protection network. The network also introduces gate-coupled thin oxide and a resistor in series with the capacitor. This is the first network that is using gate-coupled thin oxide devices with a resistor on the gate electrode to ground, in a single-stage implementation.
- 1983 A.D. L.Avery (RCA). Integrated circuit protection device. *U.S Patent No. 4,400,711*. August 23, 1983. This patent used a MOSFET in the regenerative feedback loop of a *pnpn* silicon-controlled rectifier (SCR) for ESD protection applications.
- 1989 A.D. C.Duvvury and R.Rountree (Texas Instruments). Ouptut buffer with improved ESD protection. *U.S. Patent No 4,855,620*, August 8, 1989. This patent is the first patent to discuss the optimization of output buffers for ESD protection improvements.
- 1990 A.D. R.Rountree (Texas Instruements). Circuit structure with enhanced electrostatic discharge protection. *U.S Patent No. 4,939,616*, July 3, 1990. this patent discusses the formation of a low-voltage trigger *pnpn* silicon-controlled rectifier (SCR) using an n+ diffusion that extends outside of the n-well region to form a lower breakdown voltage and lateral *nnp* element. this innovation was important to produce low-voltage trigger SCRs as technology began to scale.
- 1992 A.D. A.Grahm (Gazelle). Structure for providing electrostatic discharge protection. *U.S Patent No.5,124,877*, June 23, 1992. This patent introduces the concept of a diode string as well as a "ESD discharge reference rail". Today , ESD diode strings are commonly used, as well as the discharge rail concept.
- 1993 A.D W.Miller (National Semiconductor). Electrostatic discharge detection and clamp control circuit. *U.S Patent No. 5,255,146*, October 19, 1993. This patent was the first patent RC-triggered ESD power clamp network to address the presence of "detection circuits" which respond to the ESD pulse. This is the first patent that addresses the usage of an RC network which is chosen to be reponsive to the ESD pulse network.
- 1993 A.D R.Merrill (National Semiconductor). Electrostatic discharge protection for integrated circuits. *U.S Patent No. 5,239,440*, August 24, 1993. This innovation utilized the RC-discriminator network, inverter logic, and logic circuitry that is parallel to the pre-drive

- circuitry, and turns on the I/O off-chip driver (OCD) output stage during ESD events.
- 1993 A.D Kirsch, G.Gerosa and S.Voldman (Motorola and IBM). Snubber-clamped ESD diode string network. This network introduced a diode string as a mixed-voltage interface network and solved the reverse-Darlington amplification using a "Snubber" diode element. Implemented into the PowerPC microprocessor and embedded controller family. this was applied to advanced microprocessors for mixed-voltage applications.
  - 1994 A.D D.Puar (Cirrus Logic). Shunt circuit for electrostatic discharge protection. *U.S Patent No.5,287,241*, February 15, 1994. This introduced the first RC-triggered p-channel MOSFET-based ESD power clamp network.
  - 1994 A.D J.Pianka (AT,T). ESD protection of output buffers. *U.S Patent No. 5,345,357*, September 6, 1994. Development of RC-trigger and gate coupling circuit elements for activation of the output of an n-channel MOSFET pull-up and pull-down off-chip driver (OCD). This ESD technique is especially valuable for small computer system interface (SCSI) chips, since only n-channel output transistors are used as the pull-up and pull-down elements.
  - 1996 A.D. T.J.Maloney (Intel). Electrostatic discharge protection circuits using biased and terminated PNP transistor chains. *U.S Patent No. 5,530,612*, June 25, 1996. Maloney's patent application was a second ESD circuit application to address the leakage amplification in diode string ESD networks. This was applied to advanced microprocessors for mixed-voltage applications.
  - 1997 A.D S. Voldman, S.Geissler, and E.Nowak (IBM). Semiconductor diode with silicide films and trench isolation. *U.S Patent No. 5,629,544*, May 13, 1997. This is the first patent that addresses four items :first, it addresses STI pull-down effects ; it addresses the lateral polysilicon-bound gated ESD p-n diodes ; and fourth, the silicon-on-insulator (SOI) lateral ESD gated diode structures.
  - 1997 A.D D.Krakauer, K.Mistry, S.Bulter, and H.Partovi, (Digital Corp). Self-referencing modulation circuit for CMOS integrated circuit electrostatic discharge protection clamps. *U.S Patent No.5,617,283*, April 1, 1997. This was the first ESD application using MOSFETs to establish a MOSFET gate-modulation network. This was applied to microprocessor application.
  - 1997 A.D S.Voldman (IBM). Power sequence-independent electrostatic discharge protection circuits. *U.S Patent No. 5,610,791*, March 11, 1997. This patent is the first patent to address sequencing issues in a multiple-rail power supply chip. The ESD protection circuitry

is power sequence-independent thereby eliminating any restrictions on the sequencing of power as applied to, and removed from, the different power supply rails of the IC chip.

- 1997 A.D. S.Voldman (IBM). Voltage regulator bypass circuit. *U.S patent No. 5,625,280*, April 29, 1997. This patent was the first to address ESD implementations for ESD protection of voltage regulators which are integrated between peripheral I/O and core power rails. This was important for DRAM, SRAM, and ASIC applications with core regulation, mixed-voltage power, and low-voltage core voltages.
- 1998 A.D. F.Assaderaghi, L.Hsu, J.Mandelman, G.Shahidi and S.Voldman(IBM). Silicon-on-insulator body-coupled gated diode for electrostatic discharge (ESD), and analog applications. *U.S Patent No. 5,811,857*, September 22, 1998. This invention discusses the first body- and gate-coupled silicon on insulator (SOI) ESD network applying dynamic threshold MOS (DTMOS) concepts to ESD networks.
- 1999 A.D. J.Chen, L.Li, T.Vrotsos, and C.Duvvury. PNP-driven NMOS ESD protection circuits. *U.S Patent No. 5,982,217*, November 9, 1999. This circuit innovation uses a *pnp* element to improve the ESD robustness of a MOSFET ESD device. The emitter of a *pnp* transistor and the drain of protection NMOS device are connected to an I/O pad. The collector of the *pnp* transistor and the gate of the protection NMOS transistor are connected to ground through a resistor.
- 1999 A.D. S.Voldman (IBM). Modified keeper half-latch receiver circuit. *U.S Patent No. 5,894,230*, April 13, 1999. This patent addressed ESD issues with CMOS receiver circuits which utilized p-channel MOSFET feedback networks, which demonstrated ESD problems in Vdd reference test modes. This way very important in achieving ESD robustness in receiver networks for applications below 0.5-um CMOS technologies. This network was implemented into CMOS microprocessors, CMOS logic, memory, and ASIC applications.
- 1999 A.D. S.Voldman (IBM). Electrostatic discharge protection circuits for mixed-voltage interface and multi-rail disconnected power grid applications. *U.S Patent No. 5,945,713*, August 31, 1999. This patent addresses two concepts : The first concept is for an ESD diode network for a multiple power supplies and separated ground rails, as well as a second circuit is a self-bias well sequence-independent input node ESD circuit. The first network was integrated was integrated into CMOS DRAM designs, and the second ESD network was implemented into both CMOS microprocessors, servers, and ASIC I/O libraries. The self-bias well sequence-independent circuit was implemented into sequence-independent I/O libraries, which required the ability to lower the power supply voltage when the input pins are

positive.

- 2000 A.D. M.D.Ker (ITRI, Taiwan). Substrate-triggering electrostatic discharge protection circuit for deep-submicron integrated circuits. *U.S Patent No.6,072,219*, June 6, 2000. The patent is the first patent to address substrate triggered ESD protection networks.
- 2000 A.D. S.Voldman and D.Hui (IBM). Switchable active clamp network. *U.S Patent No. 6,075,399*, June 13, 2000. This application demonstrates the first "active clamp" network that is suitable for ESD protection in triple well and silicon-on-insulator (SOI) technology that utilizes body-coupling techniques.
- 2001 A.D. R.Mashak, R.Williams, D.Hui and S.Voldman (IBM). Active clamp network for multiple voltages. *U.S Patent No 6,229,372*, May 8, 2001. This invention is the first active clamp network used to provide active clamping and ESD protection that utilizes MOSFET body-coupling techniques in a multiple-voltage power supply environments.
- 2002 A.D. S.Voldman and S.Ames (IBM). Modified current mirror circuit for BiCMOS applications. *U.S Patent No.6,404,275*, June 11, 2002. The invention is the first to address the problem of current mirror circuits on inputs pads, and develops new current mirror circuits to improve the ESD robustness.
- 2003 A.D. M.D.Ker, K.K.Hung, and T.H. Tang (UMC). Silicon-on-insulator diodes and ESD protection circuits. *U.S Patent No. 6,649,944*, November 18, 2003. This is the first patent of an SOI ESD lateral gated diode P+/P-/n-/n+ network, which uses both well implants, and removes the gate structure for improved ESD protection levels.
- 2003 A.D. S.Voldman, A.Botula, and D.Hui. Electrostatic discharge power clamp circuit. *U.S Patent No. 6,549,601*, April 15, 2003. This is the first silicon patent germanium (SiGe) ESD power clamp network for mixed-voltage and mixed-signal applications using high frequency, and high-breakdown SiGe HBT devices. The significance of the invention is the utilization of the natural scaling of the breakdown voltages of a SiGe HBT device.
- 2003 A.D. S.Voldman. SOI voltage-tolerant body-coupled pass transistors. *U.S Patent No. 6,628,159*, September 30, 2003. This patent is the first patent to address the ESD failure mechanisms of a SOI half-pass transmission gate using body-coupling techniques.
- 2003 A.D. K.Verhaege, M.Mergens, C.Russ, J.Armer and P.Jozwiak. Multi-finger current ballasting ESD protection circuit and interleaved ballasting for ESD sensitive circuits. *U.S Patent No. 6,583,972*, June 24, 2003. this patent addresses the concept of using gate-coupling

from one MOSFET finger to another in a "domino" fashion.





## Bibliographie

- [ACtBH04] V. A.Vashchenko, A. Concannon, M. ter Beek, and P. Hopper. Physical limitation of the cascoded snapback nmos esd protection capability due to the non-uniform turn-off. *IEEE Transactions on Device and Materials Reliability*, 4 :281–291, June 2004.
- [AWS<sup>+</sup>01] C. A.Torres, J. W.Miller, M. Stockinger, M. D.Akers, M. G.Khazhinsky, and J. C.Weldon. Modular, portable, and easily simulated esd protection networks for advanced cmos technologies. *EOS/ESD Symposium*, 2001.
- [BRa] D. Bernard and A. Riviere. Low cost noise immune rc trigger for esd protection. *US filling serial patent*.
- [BRb] D. Bernard and A. Riviere. Noise immune rc trigger for esd protection. *US filling serial patent 60/806,608*.
- [CB03] J. C.Smith and B. Boselli. A mosfet power supply clamp with feedback enhanced triggering for esd protection in advanced cmos technologies. *EOS/ESD Symposium 2003*, 2003.
- [CK04] W.J. Chang and M.D. Ker. Layout optimization on low-voltage-triggered pnp devices for esd protection in mixed-voltage i/o interfaces. *Proceedings of the 11th IPFA*, pages 213–216, 2004.
- [CVA<sup>+</sup>98] M. Chaine, K. Verhaege, L. Avery, M. Kelly, H. Gieser, K. Bock, L.G. Henry, T. Meuse, T. Brodbeck, and J. Barth. Investigation into socketed cdm(sdm) tester parasitics. *EOS/ESD Symposium 1998*, 4A :1–10, 1998.
- [Esm02] K. Esmark. *Device Simulation of ESD Protection Elements*. 2002.
- [EVGR01] J. E.Barth, J. Verhaege, L. G.Henry, and J Richner. Tlp calibration, correlation, standards, and new techniques. *IEEE Transactions on Electronics Packaging Manufacturing*, 24 :99–107, 2001.
- [GH96] H. Gieser and M. Haunschild. Very-fast transmission line pulsing of integrated structures and the charged device model. *EOS/ESD Symposium 1996*, 2 :1–10, 1996.
- [Gra01] Lewis Meyer Gray, Hurst. *Analysis and Design of Analog Integrated Circuits*. 2001.

- [GWI06] H. Gieser, H. Wolf, and F. Iberl. Comparing arc-free capacitive coupled transmission line pulsing cc-tlp with standard cdm testing and cdm field failures. *EOS/ESD/EMI Workshop Toulouse 2006*, pages 25–31, May 2006.
- [HEJ96] C. H.Diaz, T. E.Kopley, and P. J.Marcoux. Building-in esd/eos reliability for sub-halfmicron cmos processes. *IEEE Transactions on Electron Devices*, 43 :991–999, June 1996.
- [H.V99] S. H.Voldman. The state of the art of electrostatic discharge protection : Physics, technology, circuits, design, simulation, and scaling. *IEEE journal of Solid-State Circuits*, 34 :1272–1282, September 1999.
- [JD96] T. J.Maloney and S. Dabral. Novel clamp circuits for ic power supply protection. *IEEE Transactions on Components, Packaging, and Manufacturing Technology*, 19 :150–161, 1996.
- [JK85] T. J.Maloney and N. KHURANA. Transmission line pulsing techniques for circuit modeling of esd phenomena. *Electrical Overstress / Electrostatic Discharge Symposium*, pages 49–54, September 1985.
- [KCL03] M.D. Ker, W.J. Chang, and W.Y. Lo. Low-voltage-triggered pnp for esd protection in mixed-voltage i/o interface. *International Conference on Solid State Devices and Materials*, pages 404–405, 2003.
- [KCL04] M.D. Ker, W.J. Chang, and W.Y. Lo. Low-voltage-triggered pnp for esd protection in mixed-voltage i/o interface with over-vdd and under-vss signal levels. *IEEE Computer Society*, 2004.
- [LC92] T. L.Polgreen and A. Chatterjee. Improving the esd failure threshold of silicided n-mos ouptut transistors by ensuring uniform current flow. *IEEE Transactions on Electron Devices*, 39 :379–388, February 1992.
- [LGM<sup>+</sup>06] J. Li, R. Gauthier, S. Mitra, C. Putnam, K. Chatty, R. Halbach, and C. Seguin. Design and characterization of a multi-rc-triggered mosfet-based power clamp for on-chip esd protection. *EOS/ESD Symposium*, 2006.
- [LGR04] J. Li, R. Gauthier, and E. Rosenbaum. A compact timed-shutoff mosfet based power clamp for on-chip esd protection. *EOS/ESD Symposium 2004*, 2004.
- [LHC<sup>+</sup>00] J. Lee, Y. Huh, J.W. Chen, P. Bendix, and S.M. Kang. Chip-level simulation for cdm failures in multi-power ics. *2003 EOS/ESD Symposium*, 4A :1–9, 2000.
- [LKH<sup>+</sup>03] J. Lee, K.W. Kim, Y. Huh, P. Bendix, and S.M. Kang. Chip-level charged-device modeling and simulation in cmos integrated circuits. *IEEE Transactions on Computer-Aided Design of Integrated Ciruits and Systems*, 22 :67–81, January 2003.
- [LTW03] X. Li, R. Tennyson, and R. Worley. Fully synthesisable and highly area efficient very large scale integration (vlsi) electrostatic discharge (esd) protection circuit. *US Patent 6643109*, November 2003.

- [Mer93] R.B. Merrill. Electrostatic discharge protection for integrated circuits. *US Patent 5239440*, August 1993.
- [Mer07] M. Mergens. Introduction to esd in semiconductor industry, esd challenges in nano-scale cmos technologies. *Cadence Web Seminar*, 2007.
- [MGC<sup>+</sup>98] G. Meneghesso, N. Grapputo, P. Colombo, M. Brambilla, P. Pavan, and E. Zanoni. Hbm and cdm esd stress results in 0,6 um cmos structures. 1998.
- [NHD<sup>+</sup>99] G. Notermans, J. Heringa, M.V. Dort, S. Jansen, and F. Kuper. The effect of silicide on esd performance. *37th International Reliability*, pages 154–158, 1999.
- [ODBW] K.H. Oh, C. Duvvury, K. Banerjee, and R. W.Dutton. Investigation of gate to contact spacing effect on esd robustness of salicided deep submicron single finger nmos transistors.
- [ODBW02a] K.H. Oh, C. Duvvury, K. Banerjee, and R. W.Dutton. Analysis of nonuniform esd current distribution in deep submicron nmos transistors. *IEEE Transactions on Electron Devices*, 49 :2171–2181, 2002.
- [ODBW02b] K.H. Oh, C. Duvvury, K. Banerjee, and R. W.Dutton. Impact of gate-to-contact spacing on esd performance of salicided deep submicron nmos transistors. *IEEE Transactions on Electron Devices*, 49 :2183–2192, 2002.
- [ODBW02c] K.H. Oh, C. Duvvury, K. Banerjee, and R. W.Dutton. Analysis of gate-bias-induced heating effects in deep-submicron esd protection designs. *IEEE Transactions on Device and Materials Reliability*, 2 :36–42, June 2002.
- [ODS<sup>+</sup>] K.H. Oh, C. Duvvury, C. Scaling, K. Banerjee, , and R. W.Dutton. Non-uniform conduction in single finger nmos transistors and implications for deep submicron esd design.
- [PGC<sup>+</sup>01] M. P.J.Mergens, K. G.Verhaege, C. C.Russ, A. Armer, P. C.Jozwiak, G. Kolluri, and L. R.Avery. Multi-finger turn-on circuits and design techniques for enhanced esd performance and width-scaling. *EOS/ESD Symposium*, pages 1–11, 2001.
- [Raz01] B. Razavi. *Design of Analog CMOS Integrated Circuits*. 2001.
- [RBC<sup>+</sup>07] A. Riviere, D. Bernard, P. Coll, P. Nouet, and F. Azais. On the use of lvt pnp in esd protection structures. *First International ESD Workshop ESDA*, pages 323–334, 2007.
- [RDB07] A. Riviere, F. Demolli, and D. Bernard. Threshold voltage method and apparatus for esd protection. *US filling serial patent 11/759,351*, June 7 2007.
- [Sal98] P. Salomé. *Etude des Décharges Electrostatiques dans les Circuits MOS Submicroniques et Optimisation de leurs Protections*. PhD thesis, Institut National des Sciences Appliquées de Lyon, 1998.

- [SCJS<sup>+</sup>05] M.S.B Sowariraj, P C.de Jong, C. Salm, T. Smedes, A.J.T. Mouthaan, and F.G. Kuper. Significance of including substrate capacitance in the full chip circuit model of ics under cdm stress. *43rd Annual Internationaly Reliability Physics Symposium*, pages 608–609, 2005.
- [S.P94] D. S.Puar. Shunt circuit for electrostatic discharge protection. *US Patent 5287241*, February 1994.
- [SSS<sup>+</sup>] M.S.B Sowariraj, C. Salm, T. Smedes, A.J. Ton Mouthaan, and F. G.Kuper. Full chip model of cmos integrated circuits under charged device model stress. pages 801–807.
- [SWG<sup>+</sup>03] M. Stockinger, J. W.Miller, M. G.Khazhinsky, C. A.Torres, J. C.Weldon, B. D.Preble, M. J.Bayer, M. Akers, and V. G.Kamat. Boosted and distributed rail clamp networks for esd protection in advanced cmos technologies. *2003 EOS/ESD Symposium*, 2003.
- [VCBH02] V.A. Vashchenko, A. Concannon, M.T. Beek, and P. Hopper. Esd-implant effect on protection capability of nmos structures. *37th International Reliability*, pages 565–568, 2002.
- [XTW04] L. Xiaoming, R. Tennyson, and R. Worley. Fully synthesisable and highly area efficient very large scale integration (vlsi) electrostatic discharge (esd) protection cicruit. *US patent 6,643,109*, November 2004.