



**HAL**  
open science

## Le test haute résolution de circuits imprimés nus

Christophe Vaucher

► **To cite this version:**

Christophe Vaucher. Le test haute résolution de circuits imprimés nus. Modélisation et simulation. Institut National Polytechnique de Grenoble - INPG, 1993. Français. NNT: . tel-00343737

**HAL Id: tel-00343737**

**<https://theses.hal.science/tel-00343737v1>**

Submitted on 2 Dec 2008

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

TU 90/20

# Thèse

présentée par

**Christophe VAUCHER**  
Ingénieur

pour obtenir le grade de

**Docteur de l'Institut National Polytechnique de Grenoble**  
(Arrêté ministériel du 30 Mars 1992)

(Spécialité : Microélectronique)

**"Le test haute résolution de circuits imprimés nus"**

Date de soutenance : 25 Novembre 1993

## **Jury**

Prof. Bernard COURTOIS (Président)  
Dr Danièle NEEL  
Prof. Gérard BOUVIER  
Dr Louis BALME

## **Rapporteurs**

Dr Danièle NEEL  
Dr Ioan BACIVAROV

## **Invité du jury**

Mr Philippe CARVAILLO

Thèse préparée au sein du Laboratoire TIM A



---

*"La société d'aujourd'hui  
a-t-elle plus besoin  
de trouveurs sensés que  
de chercheurs fous ?"*

---



---

*à Cécile ...*

---



---

*à mes parents ...*

---





---

## *REMERCIEMENTS*

Je voulais ici remercier tout particulièrement Mr Louis Balme, qui, plus que l'apport d'un encadrement ou de méthodes de travail, a su m'insuffler un "esprit", au-delà de la simple ligne de conduite.

Merci à Mr Philippe Carvaillo pour sa patience compréhensive.

Merci à Mr Bernard Courtois pour sa confiance active.

Un grand merci à Mme Danièle Neel et à Mr Bacivarov pour avoir bien voulu rapporter sur mon travail.

Merci à Monsieur Bouvier pour m'avoir fait l'honneur de participer à mon jury.

---

---

## *TABLE DES MATIERES*

RESUME	21
ABSTRACT	22
AVERTISSEMENT	24
GLOSSAIRE	24
INTRODUCTION	25
1 - LE MARCHE DE LA PRODUCTION ÉLECTRONIQUE ET NOTAMMENT DE LA FABRICATION DES CIRCUITS IMPRIMES NUS	28
1.1 GÉNÉRALITÉS	29
1.1.1 Les évolutions de la technologie	29
1.1.2 Description de la technologie CMS	30
1.2 LE MARCHE MONDIAL DE LA FABRICATION DES CIRCUITS IMPRIMES NUS	33
2 - LES CIRCUITS IMPRIMES NUS ET LEUR TEST	34
2.1 QU'EST-CE QU'UN CIRCUIT IMPRIME NU ?	35
2.1.1 Généralités	35
2.1.2 Les différentes étapes de la fabrication d'un circuit nu	36
2.1.2.1 Descriptif général	36
2.1.2.2 Préparation	40
2.1.2.3 Fabrication des couches internes ou d'un circuit simple face	40
2.1.2.4 Fabrication des couches externes (ou des multicouches)	41
2.1.3 Grandeurs physiques	43
2.1.4 Les classes de fabrication des circuits nus	44
2.1.5 La dilatation thermique des substrats	45
2.1.6 Design et Testabilité des cartes	46
2.1.7 Les évolutions à venir en terme de fabrication	47
2.2 LE TEST DE LA NOUVELLE GENERATION DE CIRCUITS IMPRIMES	51
2.2.1 Généralités	51
2.2.2 Nécessité de tester, testabilité et notion de test	53
2.2.2.1 Nécessité de tester	53
2.2.2.2 Testabilité	57
2.2.2.3 Notion de test	58
2.2.3 Les défauts que l'on rencontre sur les circuits imprimés	58
2.2.3.1 Introduction	58
2.2.3.2 Statistiques - défauts typiques	58
2.2.4 Qu'est-ce que le test à 100% d'un circuit imprimé nu - approche "composants"	63
2.2.4.1 Tester à 100 % un circuit nu	63
2.2.4.1.2 Qu'est-ce que tester à 100% un circuit ?	64
2.2.4.1.3 Conséquences au niveau du nombre de face d'accès au circuit d'un point de vue test	67
2.2.4.2 Les différents types de boîtiers	67
2.2.4.2.1 Généralités	67
2.2.4.2.2 QFP, où Quad-Flat-Pack (Japon)	70
2.2.4.2.3 PQFP (Plastic QFP) ou BQFP (Bumpered QFP) (Etats-Unis)	70

---

2.2.4.2.4 SOJ (Small Outline) (Etats-Unis / Japon)	70
2.2.4.2.5 PLCC (Plastic Leaded Chip Carrier) (Etats-Unis)	71
2.2.4.2.6 TSOP (Japon)	71
2.2.4.2.7 LCC ou LCCC (Leaded Ceramic Chip Carrier) (Etats-Unis, Europe, Japon pour boîtiers nus)	71
2.2.4.2.8 PGA (Pin Grid Array)	71
2.2.4.2.9 TAB (Tape Automated Bonding)	71
2.2.4.2.10 TAPE-PAK	73
2.2.4.2.11 MCM (Multi Chip Module)	74
2.2.4.3 Commentaires généraux sur les boîtiers	75
2.2.4.4 La répartition des divers types de boîtiers dans la production	75
2.2.4.5 Densité des boîtiers	76
2.2.4.6 Densité moyenne des circuits en termes de broches	79
2.2.4.7 Complexité des boîtiers	80
2.2.4.8 Empreintes de boîtiers - Géométrie et nature	81
2.2.4.8.1 Géométrie des empreintes de boîtiers	81
2.2.4.8.2 Nature des empreintes de boîtiers	84
2.2.4.9 Proximité des composants	84
2.2.4.10 Test et vernis épargne	84
2.2.4.11 Taux de couverture réel	85
2.2.4.12 Nombre de points de test et densité de grille	87
2.2.4.13 Outils CAO pour l'aide au test - Notion de Netlist	88
2.2.4.13.1 Description	88
2.2.4.13.2 Les formats équivalents GERBER	91
2.2.4.13.2.1 Le format GERBER	92
2.2.4.13.2.1.1 Format adresse	93
2.2.4.13.2.1.2 Format binaire	98
2.2.4.13.2.2 Les autres formats vectorisés	101
2.2.4.13.2.2.1 Format HPGL	101
2.2.4.13.2.2.2 Postscript	102
2.2.4.13.3 Normalisation des données CAO - Le standard EDIF	102
2.2.4.13.3.1 Qu'est-ce qu'un standard ?	103
2.2.4.13.3.2 Description sommaire d'EDIF	104
2.2.4.13.3.3 EDIF et les circuits imprimés	104
2.2.4.13.3.4 EDIF et le test	105
2.2.4.13.3.5 Commentaires par rapport à l'utilisation d' EDIF	106
2.2.4.14 Notion de station de réparation - Programme de test	106
2.2.4.15 Notion de surface utile de test	107
2.2.4.16 Conclusion - Recommandations générales pour le test à 100% des CI nus	108
2.2.5 Les méthodes de test actuelles	110
2.2.5.1 Les systèmes traditionnels de test	110
2.2.5.1.1 Test à lit de clous	110
2.2.5.1.1.1 Le marché du test à lits de clous	110
2.2.5.1.1.2 Les principes du test à lit de clous	110
2.2.5.1.1.2.a Description standard d'un testeur à lit de clous	110
2.2.5.1.1.2.b Les principes de mesure des testeurs électriques classiques	115
2.2.5.1.1.2.c Les divers types d'outillages du test électrique	116
2.2.5.1.1.3 Conseils externes pour le test à lit de clous	121
2.2.5.1.1.4 Les limites des outillages à décalage	122
2.2.5.1.1.5 Notion de coûts de test	122
2.2.5.1.2 Test optique	124
2.2.5.1.2.1 Généralités	124
2.2.5.1.2.2 Description sommaire des principes du test optique	125
2.2.5.1.2.3 Les systèmes d'inspection à rayons X	126
2.2.5.1.3 Test à sondes mobiles	127
2.2.5.2 Les paramètres de test	128
2.2.5.2.1 Ordre de grandeur et tolérances des défauts de nature électrique	128
2.2.5.2.2 Normes	129

2.2.5.2.3	Remarques importantes à propos du test d'isolement	129
2.2.5.2.4	Caractéristiques électriques de test	131
2.2.5.2.4.1	Tension de test et seuil d'isolement	131
2.2.5.2.4.1.a	Généralités	131
2.2.5.2.4.1.b	Les machines du passé	132
2.2.5.2.4.1.c	Les raisons du passé pour lesquelles on souhaitait faire un test en tension	132
2.2.5.2.4.1.d	Comparaison des temps d'établissement de la mesure d'isolement pour les méthodes à imposition de courant et de tension	133
2.2.5.2.4.1.e	Notion d'isolement diélectrique	136
2.2.4.2.4.2	Courant de test et seuil de continuité	141
2.2.5.2.5	Autres caractéristiques	141
2.2.5.2.5.1.a	Temps de test - Notion d'équilibre entre la durée du test électrique et le temps de cycle mécanique	141
2.2.5.2.5.1.b	Débit	142
2.2.5.2.5.1.c	Fiabilité, réparabilité, maintenance	142
2.2.5.2.5.1.d	Temps de chargement / déchargement des outillages	142
2.2.5.4	Les possibilités de communication du système avec le monde extérieur	142
2.2.6	Récapitulatifs des lacunes des systèmes actuels faces aux besoins	143
2.2.6.1	Recommandations générales en vue du test de circuits imprimés nus	144
2.2.6.1.1	Le cahier des charges du test d'un circuit imprimé nu	144
2.2.6.1.2	Le matériel minimum nécessaire pour y parvenir	144
2.2.6.2	Limites techniques des testeurs actuels - Les points à travailler	145
2.2.6.3	Limites économiques	146
2.2.6.4	Les points à améliorer	146

### 3 LES SOLUTIONS PRÉCONISÉES 147

3.1	Outillage de test - les Cartes Miroir Standard	147
3.1.1	Première génération	147
3.1.2	Deuxième génération les cartes miroir "boîtier"	150
3.1.3	Troisième génération les Cartes Miroir Standard (CMS)	151
3.1.3.2	Carte Miroir V1.0	151
3.1.3.2	Remarques complémentaires	155
3.1.3.3	Carte Miroir Standard V2.0	156
3.1.3.3.1	Description	156
3.1.3.3.2	Familles de CMS	158
3.1.3.3.2.1	Référence des CMS.	159
3.1.3.3.2.2	Définition des familles des CMS.	159
3.1.3.3.2.2.1	Les différents constituants des CMS	159
3.1.3.3.2.2.2	Les différentes familles de CMS	161
3.1.3.3.3	Montage des CMS	167
3.1.3.4	Carte Miroir V3.0 (CMS (V3.0))	168
3.1.3.5	Nature des cales mécaniques.	168
3.1.3.6	Le rivet de positionnement / fixation des CMS	169
3.1.4	L'algorithmique de la génération des CMS IMD	171
3.1.4.1	Formatage	171
3.1.4.1.1	Méthodes générales de formatage - méthode choisie	171
3.1.4.1.2	Le programme format(cad,nom_fichier)	171
3.1.4.1.3	Méthode générale de formatage	171
3.1.4.2	Tri - RDF	172
3.1.4.2.1	Le tri	
3.1.4.2.2	La reconnaissance des points proches	
3.1.4.2.3	Le tri des classes	175
3.1.4.2.4	Sauve garde des fichiers créés lors de la RDF	176
3.1.4.3	Traitement des lignes	176
3.1.4.4	Edition GERBER	177
3.1.4.5	Génération finale - vérification des compatibilités	179

3.1.5 Description globale de l'interface mixte IMD	180
3.1.5.1 Composition sommaire	180
3.1.5.2 Contraintes générales prises en compte	180
3.1.5.3 Principe de fonctionnement	181
3.1.5.4 Agencement interne	183
3.1.5.5 Définition des pointes	185
3.1.5.5.1 Pointes à double effet (Grille universelle)	185
3.1.5.5.2 Aiguilles à décalage	185
3.1.5.5.3 Aiguilles RESSORT	188
3.1.5.5.4 Pointes pour matrice supérieure câblée	188
3.1.5.6 Définition de la structure des plaques de Plexiglass - notion de Kit (matrice standard)	188
3.1.5.6.1 Plaques spécifiques	191
3.1.5.6.2 Plaques de base, ou plaque plexi de grille universelle	192
3.1.5.7 Définition des différents types de matériau d'interconnexion	195
3.1.5.8 Mise en oeuvre	195
3.1.5.8.1 Montage	195
3.1.5.8.2 Transport, positionnement sur le système de test et utilisation des K7 interfaces.	197
3.1.5.8.3 Stockage	197
3.1.5.8.4 Liaison points de test circuit / points de test testeur (Circuit ligne / colonne)	198
3.1.5.8.5 Auto-apprentissage à partir d'un circuit étalon	206
3.1.5.8.6 Apprentissage à partir de la liaison CAO	206
3.1.6 Les avantages décisifs de l'outillage mixte IMD, à base de CMS	207
3.1.7 Les spécifications d'utilisation	209
3.2 Extraction de Netlist - Conversion automatique de plages dessinées	210
3.2.1 Introduction - Objectifs	210
3.2.2.1 Introduction - Notion de plage CMS dessinée	210
3.2.2, 3.2.3, 3.2.4, 3.2.5 Confidentiel IMD	211
3.2.6 Performances et perspectives	212
3.2.6.1 Objectifs à atteindre	212
3.2.6.2 Situation actuelle	212
3.2.6.3 Utilisation d'une carte co-processeur	213
3.2.7 Conclusion sur l'extraction de Netlist	214
3.3 Système de test IMD	215
3.3.1 Présentation générale	215
3.3.2 Partie électronique	217
3.3.2.1 Carte de communication	217
3.3.2.1.1 Objet / Mission	217
3.3.2.1.1.1 Objet	217
3.3.2.1.1.1 Mission	217
3.3.2.1.1.1.1 Rôle de la carte dans le système face à la mission	217
3.3.2.1.1.1.2 Principales fonctions	217
3.3.2.1.1.1.3 Composition sommaire	217
3.3.2.1.1.1.4 Relations fonctionnelles	217
3.3.2.1.1.1.5 Contraintes générales à prendre en compte	218
3.3.2.1.1.1.6 Remarques diverses	218
3.3.2.1.2 Caractéristiques	218
3.3.2.2 Carte de raccordement	218
3.3.2.2.1 Objet / Mission	218
3.3.2.2.1.1 Objet	218
3.3.2.2.1.2 Mission	218
3.3.2.2.1.2.1 Rôle de la carte dans le système face à la mission	218
3.3.2.2.1.2.2 Composition sommaire	218
3.3.2.2.1.2.3 Relations fonctionnelles	218

3.3.2.2.1.2.4	Contraintes générales à prendre en compte	218
3.3.2.2.2	Caractéristiques	218
3.3.2.3	Cartes Fond de panier	219
3.3.2.3.1	Objet / Mission	219
3.3.2.3.1.1	Objet	219
3.3.2.3.1.2	Mission	219
3.3.2.3.1.2.1	Rôle de la carte dans le système face à la mission	219
3.3.2.3.1.2.2	Principales fonctions	219
3.3.2.3.1.2.3	Composition sommaire	219
3.3.2.3.1.2.4	Relations fonctionnelles	219
3.3.2.3.1.2.5	Contraintes générales à prendre en compte	220
3.3.2.3.2	Caractéristiques	220
3.3.2.4	Carte Module	220
3.3.2.4.1	Objet / Mission	220
3.3.2.4.1.1	Objet	220
3.3.2.4.1.2	Mission	220
3.3.2.4.1.2.1	Rôle de la carte dans le système face à la mission	220
3.3.2.4.1.2.2	Principales fonctions	221
3.3.2.4.1.2.3	Composition sommaire	221
3.3.2.4.1.2.4	Relations fonctionnelles	221
3.3.2.4.1.2.5	Contraintes générales à prendre en compte	221
3.3.2.4.2	Caractéristiques	222
3.3.2.5	Embase Module	222
3.3.2.5.1	Objet / Mission	222
3.3.2.5.1.1	Objet	222
3.3.2.5.1.2	Mission	222
3.3.2.5.1.2.1	Rôle de l'ensemble dans le système face à la mission	222
3.3.2.5.1.2.2	Principales fonctions	222
3.3.2.5.1.2.3	Composition sommaire	223
3.3.2.5.1.2.4	Relations fonctionnelles	223
3.3.2.5.1.2.5	Contraintes générales à prendre en compte	223
3.3.2.5.2	Caractéristiques	223
3.3.2.6	Système d'alimentations	223
3.3.2.6.1	Objet / Mission	223
3.3.2.6.1.1	Objet	223
3.3.2.6.1.2	Mission	223
3.3.2.6.1.2.1	Rôle du sous-ensemble d'alimentation dans le système face à la mission	223
3.3.2.6.1.2.2	Principales fonctions	224
3.3.2.6.1.2.3	Composition sommaire	224
3.3.2.6.1.2.4	Relations fonctionnelles	224
3.3.2.6.1.2.5	Contraintes générales prises en compte	224
3.3.2.6.2	Caractéristiques	224
3.3.2.7	Code barre	224
3.3.2.7.1	Objet / Mission	224
3.3.2.7.1.1	Objet	224
3.3.2.7.1.2	Mission	225
3.3.2.7.1.2.1	Rôle du logiciel dans le système face à la mission	225
3.3.2.7.1.2.2	Principales fonctions	225
3.3.2.7.1.2.3	Composition sommaire	225
3.3.2.7.1.2.4	Relations fonctionnelles	225
3.3.2.7.1.2.5	Contraintes générales prises en compte	225
3.3.2.7.2	Documents applicables	225
3.3.2.7.2.1	Liste	225
3.3.2.7.2.1.1	Normes	225
3.3.2.7.2.1.2	Formats	226
3.3.2.7.2.1.3	Autres documents	226
3.3.2.7.2.2	Description détaillée	226

3.3.2.7.2.2.1 Normes	226
3.3.2.7.2.2.2 Formats	227
3.3.2.7.2.2.3 Autres documents	227
3.3.2.7.3 Caractéristiques	227
3.3.2.7.3.1 Présentation - Architecture	227
3.3.2.7.3.1.1 Langage (s) utilisé (s)	227
3.3.2.7.3.1.2 Support hardware et environnement minimum nécessaire	228
3.3.2.7.3.1.3 Les imprimantes matricielles	228
3.3.2.7.3.1.4 Architecture - liste résumée des principales fonctions	230
3.3.2.7.3.1.5 Organigrammes commentés	232
3.3.2.7.3.1.6 Liste des fonctions d'impression	232
3.3.2.7.3.2 Caractéristiques fonctionnelles - Performances	235
3.3.2.7.3.2.1 Échanges d'informations et liaisons	235
3.3.2.7.3.2.2 Performances	236
3.3.2.7.4 Compléments d'information relatifs au codes barres et aux imprimantes	236
3.3.2.7.4.1 Glossaire	236
3.3.2.7.4.2 Les différents types d'imprimantes	236
3.3.2.7.4.3 Tableau des résolutions d'imprimantes matricielles	237
3.3.2.7.4.4 Tableau des symbologies du code 39	238
3.3.2.7.4.5 Organigrammes	238
3.3.2.7.4.6 Les différents types de code-barre	243
3.3.3 Partie Mécanique	244
3.3.3.1 Grille universelle	244
3.3.3.1.1 Objet / Mission	244
3.3.3.1.1.1 Objet	244
3.3.3.1.1.2 Mission	244
3.3.3.1.1.2.1 Rôle du produit dans le système face à la mission	244
3.3.3.1.1.2.2 Principales fonctions	244
3.3.3.1.1.2.3 Composition sommaire	244
3.3.3.1.1.2.4 Relations fonctionnelles	244
3.3.3.1.1.2.5 Contraintes générales prises en compte	244
3.3.3.1.2 Caractéristiques	245
3.3.3.1.2.1 Présentation - Architecture	245
3.3.3.1.2.1.1 Principe de fonctionnement	245
3.3.3.1.2.1.2 Commandes et visualisation	249
3.3.3.1.2.1.3 Agencement interne	249
3.3.3.1.2.2 Caractéristiques fonctionnelles - Performances	251
3.3.3.1.2.2.1 Alimentation en énergie	251
3.3.3.1.2.2.2 Performances	251
3.3.3.1.2.3 Caractéristiques opérationnelles	251
3.3.3.1.2.4 Caractéristiques physiques - Interfaces	251
3.3.3.1.2.4.1 Encombrement	251
3.3.3.1.2.4.2 Masse	251
3.3.3.1.2.4.3 Installation	251
3.3.3.1.2.5 Caractéristiques complémentaires	251
3.3.3.1.3 Vérifications et épreuves	252
3.3.3.2 Bâti mécanique	252
3.3.3.2.1 Objet / Mission	252
3.3.3.2.1.1 Objet	252
3.3.3.2.1.2 Mission	252
3.3.3.2.1.2.1 Rôle de l'ensemble dans le système face à la mission	252
3.3.3.2.1.2.2 Principales fonctions	252
3.3.3.2.1.2.3 Composition sommaire	253
3.3.3.2.1.2.4 Relations fonctionnelles	253
3.3.3.2.1.2.5 Contraintes générales à prendre en compte	253
3.3.3.2.2 Caractéristiques	254
3.3.3.2.2.1 Présentation - Architecture	254
3.3.3.2.2.1.1 Principe de fonctionnement	254



3.3.3.2.2.1.2	Commandes et visualisation	259
3.3.3.2.2.1.3	Agencement interne	259
3.3.3.2.2.1.4	Nature et technologie du bâti mécanique	260
3.3.3.2.2.1.5	Testabilité	261
3.3.3.2.2.2	Caractéristiques fonctionnelles - Performances	261
3.3.3.2.2.2.1	Alimentation en énergie	261
3.3.3.2.2.2.2	Échanges d'informations et liaisons	261
3.3.3.2.2.2.3	Performances	262
3.3.3.2.2.3	Caractéristiques opérationnelles	262
3.3.3.2.2.3.1	Fiabilité	262
3.3.3.2.2.3.2	Sécurité	262
3.3.3.2.2.3.3	Aptitude à la maintenance	262
3.3.3.2.2.4	Mise en oeuvre	262
3.3.3.2.2.5	Transport - Manutention - Stockage	263
3.3.3.2.2.6	Environnement	263
3.3.3.2.2.4	Caractéristiques physiques - Interfaces	263
3.3.3.2.2.4.1	Encombrement	263
3.3.3.2.2.4.2	Masse	263
3.3.3.2.2.4.3	Installation	263
3.3.3.2.2.4.4	Graduations, inscriptions, figurations	263
3.3.4	Partie Logicielle	264
3.3.4.1	Organisation logicielle générale	264
3.3.4.2	Logiciel testeur	264
3.3.4.2.1	Définitions	265
3.3.4.2.1.1	Définition des origines et de la numérotation	265
3.3.4.2.1.2	Définition du fichier de cartographie	265
3.3.4.2.1	Logiciel carte module (P3)	266
3.3.4.2.2	Logiciel carte de communication (P2)	266
3.3.4.2.3	Logiciel interface utilisateur (P1)	266
3.3.4.2.4	Logiciel de Setup	267
3.3.4.3	Logiciel d'aide à la réalisation d'outillage	267
3.3.4.3.1	Description générale	267
3.3.4.3.2	Logiciel d'extraction des cartes miroir	268
3.3.4.3.3	logiciel d'extraction de Netlist / conversion automatique des pages dessinées	268
3.3.4.3.4	générateur / éditeur complet d'outillage de test	268
3.3.4.4	Base de données Test de CI nus	268
3.3.4.5	Logiciel accompagnant les diverses clés de protection de nos logiciels	268
3.3.4.5.1	Introduction	268
3.3.4.5.2	Clé Rainbow - Microphare	268
3.3.4.5.2.1	Mission	268
3.3.4.5.2.1.1	Rôle du logiciel dans le système face à la mission	269
3.3.4.5.2.1.2	Principales fonctions	270
3.3.4.5.2.2	Documents applicables	270
3.3.4.5.2.3	Caractéristiques	270
3.4	Évolutions futures	271
3.4.1	Introduction	271
3.4.2	Logiciels	271
3.4.3	Testeur	271
3.4.3.1	Remarques préliminaires	271
3.4.3.2	Réduction du prix de revient de l'électronique modulaire	272
3.4.3.2.1	Introduction	272
3.4.3.2.2	Remarques	272
3.4.3.2.2.1	Définition d'un point de test électronique	272
3.4.3.2.2.2	Rappels des principes schématiques du test d'un CI nu.	272
3.4.3.2.2.3	Notations	273
3.4.3.2.3	Description d'une première solution possible	274

3.4.3.2.4	Solution effectivement proposée	274
3.4.3.2.4.1	Introduction	274
3.4.3.2.4.2	Test de continuité	276
3.4.3.2.4.3	Test d'isolement	277
3.4.3.2.4.4	Critères pour l'algorithme d'attribution des points de test	278
3.4.3.2.5.5	Calculs	279
3.4.3.2.4.6	Modélisation du réseau	281
3.4.3.2.4.7	Premières conclusions	282
3.4.3.2.4.8	Mise en oeuvre de cette solution	282
3.4.3.2.4.9	Les produits pouvant dériver de cette solution	283
3.4.3.2.5	Conclusion	283
3.4.4	Outillage	284
<b>CONCLUSION</b>		<b>285</b>
<b>REFERENCES BIBLIOGRAPHIQUES</b>		<b>287</b>
<b>ANNEXES</b>		<b>1</b>
A1.	MONTAGE EN SURFACE ET AUTRES TECHNOLOGIES DE POINTE	1
A1.2	Description des diverses technologies de Bonding	1
A1.3	Techniques de soudure des composants 'Fine Pitch'	2
A1.4	Techniques de câblage des circuits imprimés	3
A1.5	Techniques d'hybridation	4
A2.	LE MARCHÉ MONDIAL DE LA FABRICATION DES CIRCUITS IMPRIMÉS NUS	5
A2.1	Pénétration de la technologie CMS	5
A2.2	Le Marché mondial de la fabrication de circuits nus	6
A2.2.1	Introduction au marché mondial - Le marché français de fabrication de CI nus	6
A2.2.2	Segmentation en terme de CA	6
A2.2.3	Segmentation en fonction des divers types de circuits	9
A2.2.4	Segmentation en fonction de la taille des fabricants (CA et technologie)	10
A2.3	Les utilisateurs de circuits imprimés pour CMS	11
A3	NOTIONS EN VUE DE L'EVALUATION DU MARCHÉ DU TEST DE CIRCUITS IMPRIMÉS NUS	13
A3.1	Raisonnement en termes de besoins	13
A3.2	Raisonnement en termes de moyens - Notion de prix maximum d'un système de test	14
A3.3	Confrontation à certaines données en notre possession	15
A4.	LE MARCHÉ DU TEST A LIT DE CLOUS	17
A4.1	Les différentes sociétés présentes sur le marché	17
A4.2	Les parts de marché de chacun	19
A4.3	Les taux d'équipement	20
A4.4	La nature des testeurs du parc installé en France	21
A4.5	Notion d'investissement limite qu'accepte de faire un fabricant français	22
A4.6	Part de l'amortissement du prix d'un testeur et de son exploitation dans le coût du test	23
A4.7	Intentions d'achat en 1990	24
A4.8	Quantification du Marché Français	25
A4.9	Extrapolation au Marché International	25

## INDEX DES FIGURES ET TABLEAUX

Obsolescence d'un produit	27
Tendances au niveau des évolutions de composants dans la dernière décennie de ce siècle	27
Composants Montés en Surface et composant traversant	28
Progression estimée de la technologie CMS	29
Comparatif de l'utilisation des divers boîtiers CMS entre 1988 et 1991	29
Comparaison de l'évolution du pas des motifs de base sur les circuits imprimés et sur les circuits intégrés	34
Empilement de base d'un circuit imprimé nu	35
Nature des empilements des divers type de circuits imprimés	35
Définition GERBER d'un plan de masse	36
Les différentes étapes de la fabrication d'un circuit imprimé nu	37
Classes de gravure d'un circuit imprimé nu (valeurs théoriques et mesurées) - UTE 75	42
Comparaison des coefficients de dilatation thermique pour les principaux supports de circuit imprimé	43
Paramètres du logiciel de DFA (Design For Accessibility) de VALID	44
Progression de la réduction de largeur des conducteurs sur les circuits imprimés nus	47
Coût de recherche de défaut en fonction de l'étape de production d'une carte	52
Couverture du test de CI nus en fonction du seuil d'isolement	53
Distribution typique d'erreurs sur une carte	54
Distribution des défauts pour les circuits nus	57
Distribution des défauts pour cartes montées	57
Défauts possibles sur les cartes CMS suivant les modes de brasage	58
Taux de défaut global au niveau de la production d'une carte en fonction du taux de défaut de chaque étape élémentaire	60
Proportions des défauts rencontrés sur les cartes cablées	61
Récapitulatif des défauts rencontrés sur les circuits cablés	61
Exemple de disposition de conducteurs sur un circuit imprimé	63
Boîtiers à 2 rangées de broches	67
Boîtier QFP	68
Conditionnement de boîtiers TAB	70
Comparatif de la dimension de divers types de boîtiers en fonction de leur nombre de broches	71
Boîtier MCR	72
Répartition des divers types de boîtier dans la production	74
Densité de broches par cm <sup>2</sup> de divers boîtiers	75
Densité de broches en multiple de densité de grille universelle au pas de 2.54 mm, pour un composant carré au pas de 0.5 mm, en fonction du nombre de broches d'un côté.	76
Proportion de circuits pour une densité de broches au cm <sup>2</sup> donnée (les 2 faces confondues)	78
Quelques recommandations d'un fabricant de boîtiers au niveau de la géométrie des empreintes qui vont le recevoir	79
Paramètres de description de la géométrie des plages d'accueil des composants	80
Empreinte du boîtier QFP 100 - pas de 0.65 mm	81
Géométrie recommandée par OKI au niveau des empreintes de boîtiers sur le circuit imprimé nu	81
Taux de couverture en continuité (Test de CI nus) - 1	84
Taux de couverture en continuité (Test de CI nus) - 2	84
Proportion de circuits pour une densité de points de test au cm <sup>2</sup> donnée (par face de circuit)	86
Synoptique de fabrication d'un circuit imprimé nu à partir de systèmes de CAO	87
Champs définissant les instructions GERBER	91
Les champs du format adresse pour différents photoplotters commercialisés par GERBER.	91
Fonctions préparatoires et leurs codes pour différents photoplotters de GERBER	92
Quadrants circulaires d'interpolation GERBER	93
Les codes D pour des photoplotters commercialisés par GERBER	95
Commandes C,D,T,U,V pour le modèle 761 VAPE HEAD CONTROL.	95
Les codes M pour des photoplotters commercialisés par GERBER	96
Caractères fin-de-bloc - (dernier champ de l'instruction).	96

Configuration binaire du mot M.	97
Fonctions réalisées selon les valeurs des bits 10 à 0 du mot M.	98
Rôle des bits 11 à 13 du mot M1.	99
Configuration binaire du mot M2.	99
Objectif de la définition de standard de format pour les fichiers CAO	101
Modèle non détaillé de représentation des schémas et des circuits imprimés en langage EDIF	103
Dispersion des dimensions des circuits imprimés nus [20]	106
Synoptique général d'un système de test de circuits imprimés nus	108
Exemples de modules de grille universelle (vue de dessous)	109
Pointe à ressort de grille universelle (élément de base du lit de clous)	110
Architecture mécanique d'un testeur double face	111
Electronique de test + grille universelle + matrices + CI à tester	112
Electronique de test modulaire	113
Principe de mesure d'une résistance des testeurs classiques	114
Outils spécifique à décalage pour testeur à lit de clous	115
Les divers types d'aiguilles à décalage utilisables	117
Principe d'une matrice à câblage spécifique	118
Le Staggering et ses limites	118
Allocation de points de test à des points de grille	119
Notion de coût d'investissement a propos de systèmes de test de CI nus	121
Position des fabricants français de CI nus par rapport au test optique	123
Résistance d'une piste de circuit imprimé en fonction de ses paramètres géométriques	126
Dualité courant de fuite <--> Résistance d'isolement	128
Taux de défauts en fonction de la résistance d'isolement [57]	130
Description des différents courants intervenant dans la mesure d'isolement à tension constante	132
Schéma équivalent pour la mesure d'isolement à tension constante	132
Description des différents courants intervenant dans la mesure d'isolement à courant constant	133
Schéma équivalent pour la mesure d'isolement à courant constant	133
Exemple de défaut diélectrique	134
Courbe de Paschen de claquage entre 2 conducteurs d'un condensateur plan dans l'air	135
Phénomène de rampage	136
Phénomène d'émission froide d'une pointe	137
Charge d'espace	138
Claquage entre 2 pistes d'un circuit imprimé	138
Comparaison des caractéristiques du testeur idéal et des testeurs du Marché	144
Structure d'un élastomère plan à conduction anisotrope	145
Principe de l'interconnexion élastomère	146
Épaisseur du vernis photo-imageable et contact élastomère	146
Exemple de mini-carte miroir	148
Exemple de réalisation d'interface mixte 'clous - mini-cartes miroir '	149
Définition des cartes miroir - 1	150
Définition des cartes miroir - 2	151
Définition des cartes miroir - 3	152
Assemblage et positionnement des cartes miroir	153
CMS V2.0 - 1	155
CMS V2.0 - 2	155
CMS V2.0 - 3	156
Paramètres particuliers des élastomères utilisés	158
Limites de compatibilité en densité des différentes CMS pour des composants carrés	160
CMS semi-standards (CMSS)	162
Tolérance de positionnement des CMS - 1	163
Tolérance de positionnement des CMS - 2	164
Tolérance de positionnement des CMS requise en fonction du pas	164
Montage des CMS	165
CMS V3.0 (versions futures possibles)	166
CMS Sferflex	166
Rivet de fixation / positionnement des CMS	167
Apparence finale des CMS V2.0	168

Principe de la compression de l'outillage IMD	180
Opérations de préparation de l'outillage inférieur	181
Opérations de préparation de l'outillage supérieur	182
Utilisation de forêts étagés	182
Pointe mono-référence IMD	185
Structure de la matrice type IMD	187
Kit matrice IMD	188
Plaque de base de l'outillage IMD - 1	190
Plaque de base de l'outillage IMD - 2	191
Plaque de base de l'outillage IMD - 3	192
Caches SD pour l'outillage IMD	192
Montage des pointes "au godet"	194
Automatisation du montage des pointes au godet	194
Description du circuit Ligne / Colonne	197
Disposition des aiguilles pour l'apprentissage de la matrice par le circuit Ligne / Colonne	198
Calcul de l'offset par rapport au fichier GERBER dans la méthode du circuit Ligne / Colonne	199
Affectation des points dans la méthode du circuit Ligne / Colonne - 1	200
Affectation des points dans la méthode du circuit Ligne / Colonne - 2	200
Définition du circuit Ligne / Colonne	202
Définition de l'outillage standard pour le circuit Ligne / Colonne	203
Spécification de la disposition des modules pour une utilisation de la méthode du circuit Ligne/Colonne	203
Comparaison de l'affectation de points de grille entre les méthodes classique et CMS	205
Tableau de spécifications en vue de l'utilisation des CMS	207
Notion de pastille dessinée	208
Architecture générale du système de test IMD	213
Organisation des cartes Fond de panier	217
Synoptique carte module	219
Alignement des aiguilles sur une imprimante 9 aiguilles	227
Alignement des aiguilles sur une imprimante 24 aiguilles	227
Numérotation des aiguilles	228
Modes graphiques des imprimantes 9 et 24 aiguilles	236
Schéma de principe de la grille universelle non modulaire IMD (vue de face)	243
Schéma de principe de la grille universelle non modulaire IMD (vue de dessus)	244
Schéma de principe de la grille universelle modulaire IMD (vue de face)	244
Schéma de principe de la grille universelle modulaire IMD (coupe)	245
Pointes utilisées pour la grille universelle IMD	246
Positionnement de la grille universelle IMD	248
Disposition des modules sur la grille universelle	252
Table de desserte testeur	253
Schéma bâti double grille	254
Schéma bâti double grille - Principe de l'automatisation	254
Schéma bâti double grille - step & repeat	255
Principe du step & repeat	256
Schéma bâti simple grille - vue de face	256
Schéma bâti simple grille - vue de dessus	257
Organisation logicielle générale	262
Définition des origines et de la numérotation	263
Principe de fonctionnement d'un verrou logiciel	267
Rappel des principes élémentaires de mesure sur un CI nu. - Continuité	271
Rappel des principes élémentaires de mesure sur un CI nu - Isolement.	271
Principe du multiplexage de grille de points de test électroniques	273
Schéma électrique équivalent d'une mesure dans le cadre d'un multiplexage de grille	274
Cas particulier test d'isolement (multiplexage de grille)	276
Cas particulier test d'isolement (multiplexage de grille)	276
Cas particulier test d'isolement (multiplexage de grille)	277
Tableaux de simulations de résultats pour le multiplexage de grille	278
Modélisation du réseau - 1	279

---

Modélisation du réseau - 2	280
Solution finale IMD pour le test de circuits imprimés nus	283
Comparaison des performances des différentes techniques de Bonding	2
Pénétration des circuits intégrés en technologie CMS, en France	5
Répartition de l'industrie française du circuit imprimé nu en 1989 [20]	6
Marché mondial de la fabrication de circuits imprimés nus	7
Parts de marchés mondiales de la fabrication de circuits imprimés nus	8
Segmentation du marché des circuits imprimés par types de fabrication (CA)	9
Segmentation du marché des circuits imprimés par types de fabrication (Surface)	10
Prix indicatifs au dm2 des diverses technologies de circuits imprimés nus, en France	10
Répartition des CA chez les fabricants de circuits imprimés nus français	11
Les divers consommateurs de CMS dans l'industrie électronique	12
Estimation des besoins mondiaux en nombre de testeurs de circuits nus	13
Marché de renouvellement des testeurs de circuits imprimés nus, dans les diverses parties du monde	14
Architecture MANIA - Système de test + Périphériques	18
Parts de Marché des différents fabricants de testeur sur le Marché Français , en 1990 [20]	19
Parts de Marché des différents fabricants de testeur sur le Marché Français, segmenté par taille d'entreprise[20]	20
Taux d'équipement des fabricants français de CI nus en systèmes de test [20]	21
Valeur du pas de grille des testeurs installés sur la Marché Français [20]	21
Valeur du pas de grille des testeurs installés sur la Marché Français [20]	22
Prix psychologique d'un testeur électrique pour le Marché Français [20]	22
Hypothèses d'équipement moyen au niveau du test de circuits imprimés nus	23
Proportion de l'amortissement de la machine dans le coût total du test	24
Intentions d'achat de système de test [20]	24
Intentions d'achat de système de test - segmentation par taille d'entreprise [20]	25
Quantification du Marché Français de systèmes de test [20]	25
Quantification du Marché International de systèmes de test [20]	26

---

---

## RESUME

La présente thèse traite du test des circuits imprimés nus en général, et plus particulièrement de leur test électrique.

L'apparition de la Technologie de Montage en Surface, qui représente aujourd'hui plus de 50% de la production électronique mondiale contre 10% en 1984, pose le problème de l'augmentation de la densité des conducteurs sur les circuits imprimés et ce faisant, de leur testabilité.

Certaines cartes électroniques sont aujourd'hui dessinées en classe 6 (100  $\mu\text{m}$  de largeur de piste pour les conducteurs, séparés par un isolement de 100  $\mu\text{m}$ ). Leur densité en terme de nombre de composants au  $\text{dm}^2$  s'est vue multipliée par 8 en moins de 10 ans.

Une des nombreuses conséquences de ce bouleversement a été la difficulté croissante, pour aboutir à l'impossibilité, de tester, avec les moyens usuels, les circuits imprimés nus les plus complexes, mais aussi des circuits imprimés tout à fait standards, en dépit de la systématique de test à chaque étape de la fabrication d'un produit.

A titre d'exemple, le marché demande aujourd'hui un accès haute résolution à 8 mil (0.200 mm), alors que les meilleurs systèmes ne peuvent offrir en standard que 25 mil (0.635 mm), et exceptionnellement 0.5 mm.

L'auteur s'est donc penché sur ces problèmes, en concertation étroite avec les professionnels du domaine. Ses travaux l'ont conduit à proposer diverses solutions (définition théorique du point de test, accès haute résolution à 8 mil (par utilisation d'élastomères composites à conduction anisotrope), développement de logiciels d'interfaçage avec les équipements de production, diminution importante du coût du testeur lui-même, etc..) qui ont été validées industriellement, la juxtaposition de ces solutions constituant une réponse globale au test des circuits imprimés nus d'aujourd'hui et de demain.

---

---

## ABSTRACT

This document deals with bare Printed Circuit Board (PCB) testing in general, and more particularly with the electrical test of bare boards.

The rise of new technologies like the Surface Mounted Technology (SMT), which represents more than 50% of the worldwide electronic production today, against 10 % in 1984, leads to an increase of the conductor's density on the PCBs, and as a matter of fact, to testability problems.

Some boards are now designed using class 6 rules (100  $\mu\text{m}$  conductor width and 100  $\mu\text{m}$  spacing), increasing the density by a ratio of 8 during the last decade.

One of the numerous consequences of this rise is the increasing difficulty, and finally the inability, to test, with traditional means, some of the most complex bare PCBs (and even standard ones), despite that the test is now required at each step of the manufacture of a system.

For instance, today's market's requirements regarding the high resolution access to PCBs is 8 mil, though the maximum resolution provided by the best bare board testers is 20 mil.

The author brings his contribution in close collaboration with the main professionals in this field, leading to several solutions (theoretical test point definition, high resolution access up to 8 mil (by the use of composite elastomers with anisotropic electrical characteristics), development of specific softwares allowing the link with regular industrial equipment, drastic costs reductions in Bare Board Testers, etc...), that have past the industrial level, the combination of which resulting in a global answer to access and test today's and tomorrow's bare PCBs.





## *AVERTISSEMENT*

Ce rapport utilise un vocabulaire spécifique au monde du test ou de la fabrication des circuits imprimés nus.

Ce vocabulaire utilise un grand nombre de termes empruntés à l'anglais.

L'auteur a hésité entre la possibilité de franciser ces termes et celle de les laisser tels quels. La francisation de ceux-ci n'entraînant pas une meilleure compréhension pour les néophytes, tout en diminuant la clarté générale pour les spécialistes du domaine ainsi que l'auteur lui-même, celui-ci a décidé de conserver les termes anglais en vigueur de manière internationale dans ce domaine.

On trouvera donc ci-dessous un glossaire décrivant les principaux termes techniques fréquemment employés tout au long de cet ouvrage :

### **GLOSSAIRE**

**CAT** : circuit à tester.

**CIN** : circuit Imprimé Nu.

**CMS** : composant Monté en Surface (en anglais SMC : Surface Mounted Component).

**COMPOSANTS H.T.** ou **SWITCHes** : ensemble de 2 composants à semi-conducteur entrant dans la réalisation électronique d'un point de test élémentaire.

**EEPROM** : Electrically Erasable Programmable Read Only Memory.

**EQUIPOTENTIELLE** : ensemble de plages et de pistes électriquement reliées sur un circuit imprimé.

**FIXTURE** : outillage de test pour accéder au circuit nu.

**FOOTPRINT** : zone d'un circuit imprimé nu destinée à recevoir une broche de composant en vue de sa soudure.

**NETLIST** : Liste d'équipotentiels (coordonnées (X;Y) ) classée.

**OPEN** : coupure sur une piste de cuivre d'un circuit imprimé

**PAD**: plage d'accès sur un CIN, accueillant une broche de composant

**PCB** : Printed Circuit Board, ou Circuit imprimé nu

**PIN** : broche de composant

**PROBE**: sonde

**RAM** : Random Access Memory.

**ROM** : Read Only Memory.

**Ron** : résistance du drain des composants H.T..

**SD / 2D** : simple densité / double densité.

**SHORT** : court-circuit sur une piste de cuivre d'un circuit imprimé

**SWITCH** : cf. **COMPOSANTS H.T.**

**VPP** : source analogique de tension programmable entre les valeurs de 15 V à 300 V.

**µC** : micro-contrôleur.

**TM** : Trous Métallisés

**VIAS** : Trous Métallisés d'interconnexion entre diverses couches d'un circuit multicouche. Un trou de vias n'accepte pas de composants.

## INTRODUCTION

Depuis l'avènement du premier microprocesseur, il y a tout juste 22 ans, le monde industriel a subi une mutation sans précédent, entraînant l'économie moderne dans une course folle, lui donnant une nouvelle impulsion avec l'apparition du premier micro-ordinateur personnel, il y a un peu plus de 10 ans.

La préhistoire de cette époque remonte à il y a une quarantaine d'années, avec l'invention du transistor. L'âge de bronze a coïncidé avec les premières utilisations de circuits imprimés au début des années 60.

En l'espace de moins de 2 générations, le monde a plus changé que n'ont pu l'imaginer, dans leurs hypothèses les plus folles, les auteurs de science-fiction des années 40 : qui aurait pu croire il y a seulement 50 ans que l'homme puisse fabriquer, à partir d'un des composants les plus répandus sur la terre, le silicium, des mécanismes équivalents à la mémoire humaine, et dont la densité volumique a dépassé celle du cerveau depuis un peu moins de 4 années [16] ?

D'énormes quantités d'argent ont été investies, qui ont rapporté encore plus d'argent. Les sociétés les plus dynamiques ont investi jusqu'à 10% de leur chiffre d'affaire en Recherche et Développement (R&D), pour se maintenir au sommet. Les taux annuels de croissance économique ont atteint des records, pour commencer à diminuer, puis finalement à stagner, pour cause de saturation du marché de consommation.

Ces mêmes sociétés se sont alors regroupées, et concentrées sur des secteurs jugés porteurs, c'est à dire présentant un potentiel de chiffres d'affaire important pour l'avenir.

Par exemple la production de micro-ordinateurs. Des moyens colossaux ont été mis en oeuvre au niveau commercial, mais aussi au niveau de la fabrication : ces sociétés se sont assurées initialement le contrôle de l'assemblage de ces machines, du câblage des diverses cartes, de la fabrication des composants et même de la fabrication du circuit imprimé nu, drainant au niveau de ces différents niveaux de production des sommes d'argent relativement importantes.

Avec le ralentissement économique et la concurrence agressive, elles se sont progressivement séparées de ces activités, en commençant par le bout de la chaîne, c'est à dire la fabrication de circuits nus.

Les nouveaux sous-traitants, devenus indépendants, n'ont pas les moyens de leurs donneurs d'ordre, ceux-ci conservant des secteurs R&D développés, poussant encore plus loin la technologie.

Ces sous-traitants se doivent alors de suivre ou de mourir. Cela est vrai pour le monde de la fabrication de circuits imprimés nus, drainant un modeste chiffre d'affaire mondial. Cela est encore plus vrai au niveau des équipements de test de circuits imprimés nus, qui voient moins d'une dizaine P.M.E. se partager le marché mondial.

Le paradoxe en est arrivé là : l'avènement de technologies comme la TMS (Technologie de Montage en Surface), ces 10 dernières années, a totalement changé les règles de la production des cartes électroniques, donc de la fabrication des circuits imprimés nus, et en particulier de leur test, laissant sur place les 10 P.M.E. qui n'ont pu suivre faute de moyens.

Aujourd'hui, tout un chacun, dans sa vie de tous les jours, utilise des appareils électroniques comprenant des circuits imprimés nus dont certains ne sont plus testés, parce que non testables avec les moyens actuels. Cela est une aberration d'un point de vue production, comme on le verra plus loin. Et le pire est encore à venir.

Si le test de circuits nus reste dans l'impasse, cela risque d'avoir des conséquences dramatiques sur l'ensemble de l'activité économique de l'industrie électronique.

---

C'est dans cet esprit qu'une activité de recherche s'est instituée dans le cadre du Laboratoire TIM A, sous la direction de Mr Louis Balme.

Le domaine étant totalement nouveau pour elle, l'équipe de recherche s'est attachée à se plonger aux racines des problèmes.

Une démarche (relativement nouvelle dans le cadre d'un travail de recherche) a également été entreprise au niveau de la surveillance des techniques de production : celles-ci évoluent à une vitesse telle, que 3 ou 4 années de recherche passées à une certaine distance pourraient rendre obsolète une solution qui aurait parfaitement convenue initialement. Cette veille technologique a en fait pour but l'anticipation des changements à venir, de manière à essayer de devancer les problèmes, contrairement à ce qui a été fait jusqu'à lors.

De ces remarques découle naturellement le plan proposé pour ce document, qui est le suivant :

- 1 - Le marché de la production électronique, de la technologie CMS.
- 2 - Les circuits nus et leur test.
- 3 - Les solutions proposées.



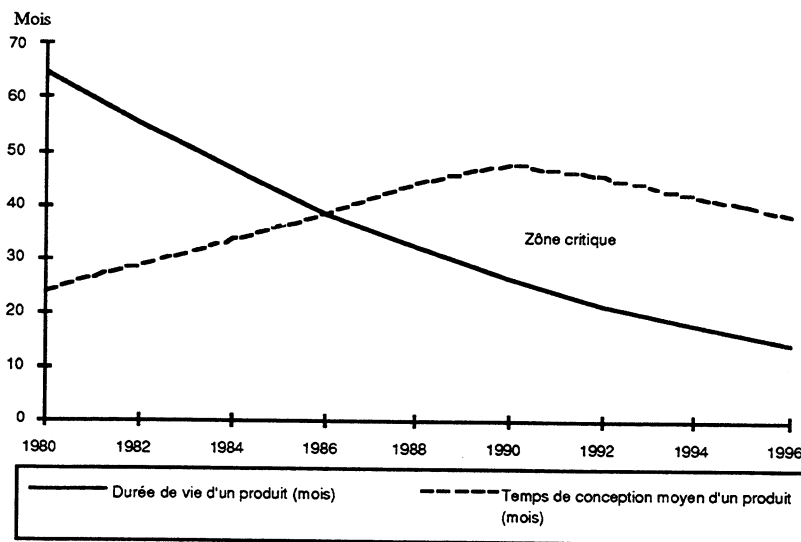
*1 - LE MARCHÉ DE LA PRODUCTION  
ÉLECTRONIQUE ET NOTAMMENT DE  
LA FABRICATION DES CIRCUITS  
IMPRIMÉS NUS*

## 1.1 GÉNÉRALITÉS

### 1.1.1 Les évolutions de la technologie

La technologie de ces dernières années évolue à une vitesse de plus en plus difficile à suivre, par les hommes, qui se maintiennent difficilement au niveau de formation nécessaire, et par les sociétés, victimes d'une concurrence farouche.

La complexité des nouveaux dispositifs électroniques amène des durées de développement proche de la durée d'utilisation des produits, pour finir par la dépasser comme s'en fait l'image de la courbe suivante [91] :



### Obsolescence d'un produit

Aussi les techniques en sont d'autant stimulées : il faut aller toujours plus vite pour ne pas être dépassé. Un des leaders mondiaux de l'industrie électronique, Hewlett-Packard, a prévu le tableau de progression suivant, en matière d'intégration de composants électroniques [62] :

	1985	1990	1995	2000
Gravure silicium ( $\mu\text{m}$ )	1,0 $\mu\text{m}$	0,8 $\mu\text{m}$	0,3 $\mu\text{m}$	0,1 $\mu\text{m}$
Nbre de transistor / puce	10 E 5	10 E 6	10 E 7	10 E 8
Nbre de couche d'interconnexion / puce	2	3	4	5
Nbre de portes / puce	20 K	200 K	2 M	20 M
Taille des puces 'mémoire'	1 Mbit	4 Mbit	64 Mbit	256 Mbit
Nbre de bits de données des $\mu$ -processeurs	16	32	64	128
Nbre d'E/S par puce	200	400	600	1200
Puissance des $\mu\text{P}$	3 MIPS	10 MIPS	100 MIPS	?
Fréquence d'horloge	10/20 Mhz	30/50 Mhz	50/100 Mhz	100/300 Mhz

### Tendances au niveau des évolutions de composants dans la dernière décennie de ce siècle

Entre 1990 et 2000, on observe une (R) évolution d'un rapport :

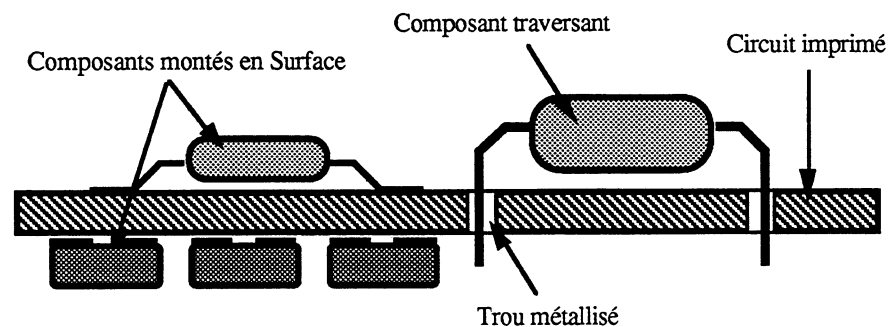
- 100 au niveau du potentiel d'intégration d'une puce
- 64 au niveau du potentiel d'intégration d'une puce "mémoire"
- 10 (d'ici à 1995) au niveau de la puissance des  $\mu\text{P}$ .
- 4 au niveau de la longueur des mots de données

- 3 au niveau du nombre d'E/S des boîtiers
- 3 au niveau de la fréquence d'horloge

En parallèle avec l'explosion des technologies de fabrication des composants à semi-conducteur, sous l'impulsion des ASICs (Application Specific Integrated Circuits) ou des MCM (Multi Chip Modules), se situant au niveau des "puces" elles-mêmes, une technologie militaire française des années 60 a été remise au goût du jour par les japonais, il y a de cela une dizaine d'années. Il s'agit de la technologie CMS (Composants Montés en Surface), qui allait révolutionner les techniques de câblage sur circuits imprimés et les circuits imprimés eux-mêmes.

### **1.1.2 Description de la technologie CMS**

Les composants électroniques traditionnels sont caractérisés par leurs mode de montage sur les circuits imprimés : on les appelle composants montés 'en insertion' précisément parce que les broches de connexion, espacées de 2.54 mm au minimum, traversent le circuit imprimé qui les supporte. Par opposition, les Composants Montés en Surface (CMS) sont caractérisés par le fait que leurs broches de connexion sont dans ce cas posées à plat sur le circuit imprimé. La distance entre les broches de connexion est alors de 1.27 mm voire moins de 0.635 mm.



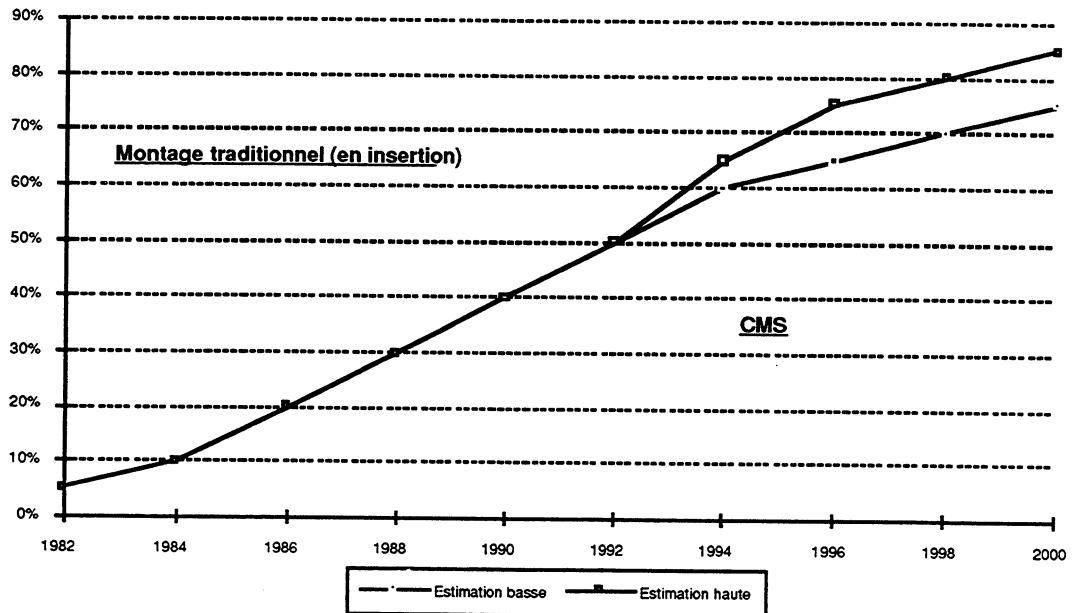
#### **Composants Montés en Surface et composant traversant**

Toute une gamme de composants montés en surface est donc apparue sur le marché. Ceux-ci sont de taille nettement inférieure à celle des composants classiques. Leurs terminaisons métallisées permettent de souder ces composants directement sur la surface des plages de soudure du circuit imprimé, sur les 2 faces de ce dernier, ce qui n'était pas possible avec la technologie traversante.

La Technologie du Montage en Surface apporte des avantages décisifs à l'industrie de l'électronique : les dimensions, le poids et le prix des circuits imprimés diminuent tandis que leur fiabilité et leurs performances augmentent (principalement en haute fréquence : [3] montre que si  $\alpha$  est le coefficient de réduction en longueur d'un circuit CMS par rapport à un circuit en technologie classique, la réduction des retards de propagation des signaux se fait suivant ce même rapport  $\alpha$ , la réduction de la diaphonie piste à piste également, la réduction du couplage champ à carte en  $\alpha^2$ ).

Parallèlement à cela, la technique du montage en surface s'avère particulièrement adaptée à la production de masse puisqu'elle autorise une mise en oeuvre entièrement automatisée. La figure ci-dessous montre l'évolution du marché des CMS ces dernières années, ainsi que les estimations d'ici à la fin du siècle [15][16][17] :





*Progression estimée de la technologie CMS:*

On remarque que le cap des 50 % de fabrication de cartes en technologie CMS est maintenant dépassé, tandis que tous les indicateurs montrent que cette tendance va se confirmer pour les années à venir.

La croissance annuelle de la technologie CMS avoisine en fait les 7% [15]. Sur la figure suivante, est représentée la progression de pénétration des divers types de circuits intégrés, qu'on trouve dans les 2 technologies concurrentes :

	1988	1991	Progression annuelle
DIP	58%	35%	-8%
SIP	9%	9%	0,2%
PGA & autres	1%	2%	0%
<i>Total technologie traversante :</i>	67%	46%	-7%
SO	19%	30%	4%
QFP	12%	14%	1%
TAB	1%	6%	2%
PLCC/LCC et autres	2%	4%	1%
<i>Total technologie CMS :</i>	33%	54%	7%

*Comparatif de l'utilisation des divers boîtiers CMS entre 1988 et 1991*

De manière plus précise, les avantages de la TMS peuvent être résumés par les 3 points suivants :

- a). Les avantages liés aux circuits imprimés :
  - augmentation de la densité des conducteurs
  - diminution des dimensions de l'ordre de 30%.
  - placement des composants sur les deux faces du circuit imprimé ce qui entraîne un gain de place de 50% (ou une augmentation de la densité potentielle de composants par cm<sup>2</sup> d'un facteur 2.
  - diminution du nombre de connexions câblées.
  - diminution du nombre de sous ensembles électroniques.
  - possibilités d'interconnexions en 3 dimensions (apparition de circuits imprimés 3D)
- b). Les avantages liés aux composants montés en surface :

- réduction des dimensions menant à une grande densité de composants sur le circuit.
  - diminution du poids conduisant à des structures mécaniques du système plus simples et plus fiables.
  - réduction des connexions entre circuits conduisant à diminuer les parasites inductifs et capacitifs.
  - géométrie des composants adaptée aux équipements automatiques.
- c). Les avantages liés à la fabrication.
- technologie parfaitement adaptée aux chaînes de production automatisées.
  - pas de choc thermique dû à la phase de soudure.
  - soudure des composants sur les deux faces en une seule phase.
  - rigidité des assemblages utilisant des composants à base de céramiques (LCC : composants étanches, exigés par l'industrie militaire et spatiale), sans connexions souples
  - accroissement de la densité d'énergie dissipée

En résumé, la TMS est sans aucun doute une technologie bien adaptée aux besoins actuels puisqu'elle présente dès lors, d'indéniables avantages par rapport à la technologie des composants montés en insertion, notamment au niveau de l'intégration globale d'une application.

Les conséquences au niveau des inconvénients en découlent directement :

- choix des cartes imprimées et de CMS, avec coefficients de dilatation adaptés
- appel à des classes élevées, et en parallèle, dans certains cas, à des techniques de cartes adaptées en impédance.
- testabilité en continuité et isolement des cartes nues rendue plus difficile
- obsolescence des systèmes de test usuels (grille universelle pas de 2.54 mm, simple face)
  - . évolution des plages d'accueil de 1.6 mm de large à moins de 0.25 mm
  - . pas de problèmes pour le test d'isolement si l'on ajoute des vias supplémentaires (ce test se fait entre équipotentielles, et ne nécessite qu'un point par équipotentielle)
  - . problèmes pour le test de continuité, car on ne peut accéder à toutes les plages d'une même équipotentielle .
  - . utilisation croisée d'un test optique et d'un test électrique : le test optique sert essentiellement à vérifier la continuité dans la mesure où les plages ne sont en général pas accessibles par les systèmes classiques : un système industriel permettant d'accéder à ces plages.
- obsolescence de la sérigraphie actuelle (on ne peut plus admettre un recouvrement de la sérigraphie sur la plage) ce qui conduit à l'utilisation de vernis photo-imageables.
- augmentation des trous de vias (jusqu'à un facteur 2), en grande partie due à la nécessité de ramener les points de test sur une seule face (notamment pour le test 'in-situ').
- l'indexation ne peut plus se faire uniquement par des locatings pouvant conduire à des imprécisions de l'ordre de 200  $\mu\text{m}$ , mais avec des mires de centrages, qu'utilisent par exemple les machines de placement.

---

## *1.2 LE MARCHÉ MONDIAL DE LA FABRICATION DES CIRCUITS IMPRIMÉS NUS*

Cf annexes A2 et A3.

*2 - LES CIRCUITS IMPRIMES NUS ET  
LEUR TEST*

---

## 2.1 QU'EST-CE QU'UN CIRCUIT IMPRIME NU ?

### 2.1.1 Généralités

Les premiers circuits imprimés sont apparus au cours des années 60. Ils étaient destinés à remplacer les cablages de plus en plus importants et encombrants qui reliaient les composants des divers systèmes, ceux-ci devenant de plus en plus complexe.

Sa fonction n'a pas changé depuis : un circuit imprimé n'est autre que l'"ersatz" d'un faisceau de cables reliant divers composants (Cette remarque a une importance fondamentale d'un point vue du test, comme on le verra par la suite).

On y a gagné en fiabilité, en encombrement et en coût.

Initialement, les circuits ne comportaient qu'une face de conducteurs. Puis, sous la pression de l'évolution de la technologie, des circuits double face sont apparus, la liaison entre les 2 faces étant initialment effectuée avec des "straps" conducteurs.

L'étape suivante à été le passage aux trous métallisés, pour finir avec la technologie multi-couches.

En 1991 [94], le plus haut niveau de complexité de circuits imprimés nus atteint chez RTC-Evreux (1er fabricant français) correspondait à une largeur de 125 à 150  $\mu\text{m}$  pour les pistes, 0.3 à 0.4 mm pour les trous et un maximum de 12 à 14 couches. A titre de comparaison, l'électronique automobile aujourd'hui se contente de 200  $\mu\text{m}$ , 0.6 mm et 4 couches.

Aujourd'hui certains circuits à la pointe de la technologie peuvent posséder des pistes de 100  $\mu\text{m}$  de largeur, avec des trous métallisés de diamètre 0.2 mm, et un nombre d'une trentaine de couches.

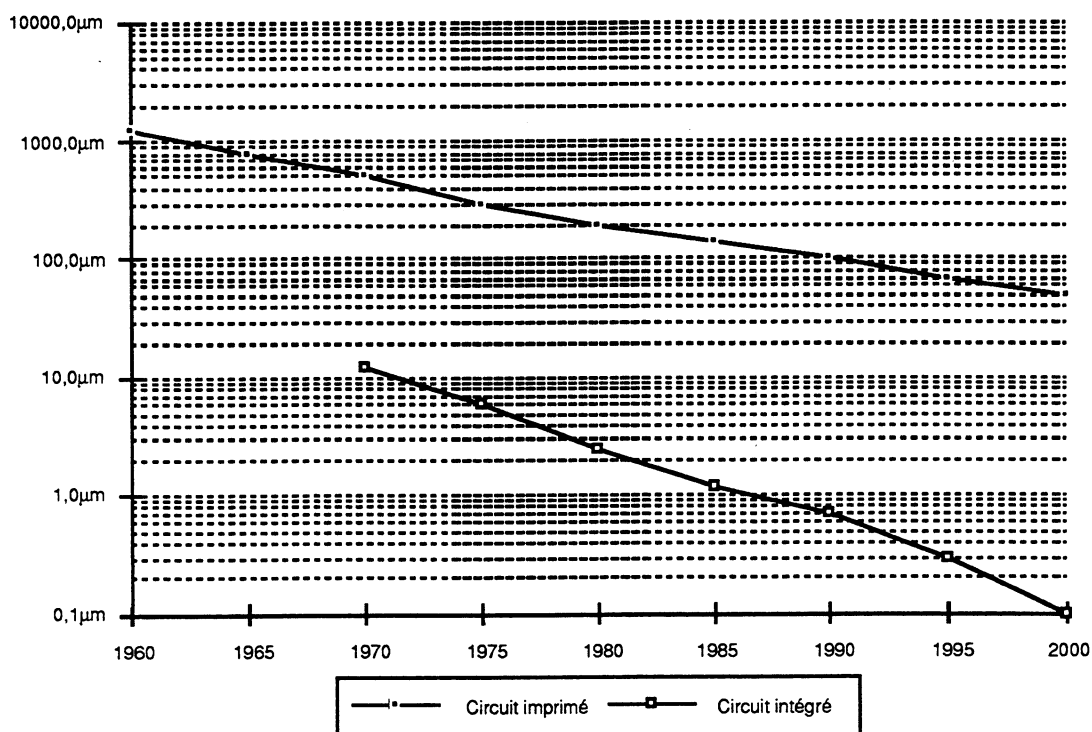
Le record en matière du nombre de couches est Fujitsu avec 42 couches.

L'objectif 1993 chez BULL est le suivant : classe 6, avec des pistes de 75  $\mu\text{m}$ , des largeurs d'isolement de 100  $\mu\text{m}$  et des trous enterrés de 0.15 mm de diamètre (perçage 100 000 tours / minute). BULL estime qu'on devrait pouvoir pousser les méthodes de fabrication connues jusqu'à une finesse de gravure de 50  $\mu\text{m}$ .

Le tracé de pistes à impédance contrôlée exige des tolérances de 15 à 20  $\mu\text{m}$  contre 50  $\mu\text{m}$  pour les pistes classiques.

On ne rencontre pas actuellement de problèmes majeurs au dessus de 180  $\mu\text{m}$  de largeur de piste et 180  $\mu\text{m}$  d'isolement. En dessous, le prix commence à augmenter. Il en va de même pour les trous métallisés de diamètre inférieurs à 0.7 mm.

Mais si la technologie de fabrication des circuits nu a évoluée, sa progression n'a pas été aussi rapide que celle des circuits intégrés, comme le montre la figure suivante [99] :



### Comparaison de l'évolution du pas des motifs de base sur les circuits imprimés et sur les circuits intégrés

On le voit, depuis seulement une trentaine d'année, les techniques de fabrication des circuits imprimés nus ont subi de nombreuses mutations, mais ces techniques restent à la traîne des techniques de fabrication des puces elle-mêmes, ce qui laisse supposer qu'on est encore loin de la stabilisation.

Nous allons maintenant à titre d'information décrire les différentes étapes de fabrication d'un circuit imprimé nu.

## 2.1.2 Les différentes étapes de la fabrication d'un circuit nu

### 2.1.2.1 Descriptif général

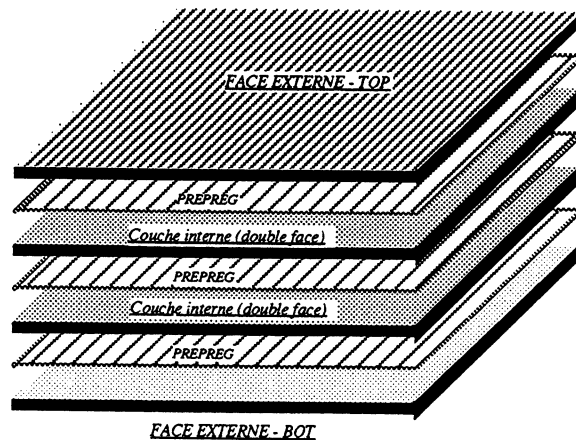
Il y n'y a encore qu'une ou 2 années, les fabricants de circuits se contentaient de recevoir de la part de leur client les films, et le plan de perçage, en vue de la production du circuit demandé. Mais à l'instar de PCI (anciennement RTC) ceux-ci ne souhaitent plus traiter les CI à partir de films, mais à partir des disquettes CAO.

Ils veulent :

- . la table d'"ouverture", décrivant le codage des données (voir chapitre dédié)
- . les fichiers GERBER
- . le détourage avec le plan mécanique
- . le plan de test (liste des points de test).

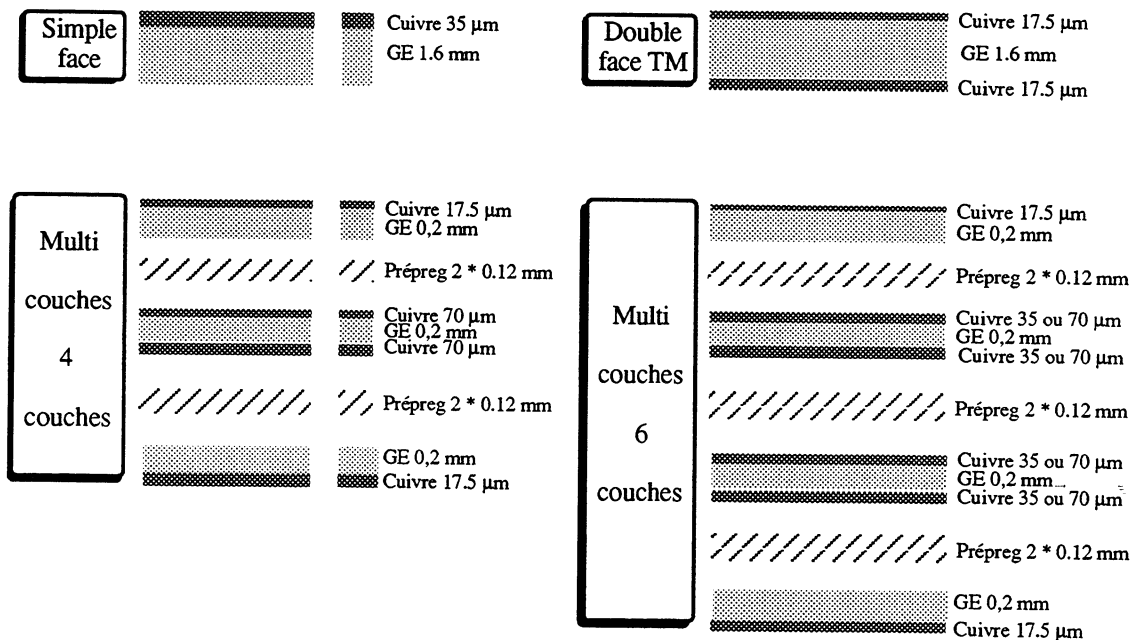
Il apparait en effet que la fiabilisation de processus tels que la fabrication de circuits au delà de la classe 4 (conducteurs de 200 μm et isolement de 200 μm) nécessite l'utilisation des données numériques de référence.

On distinguera par la suite la fabrication d'un circuit simple face, et la fabrication d'un circuit multi-couches, ce dernier consistant en un empilement de double-faces (couches internes), pris en sandwich entre les 2 faces externes, qui sont elles, simple face (NB : le "prepreg" est un matériau stratifié permettant l'assemblage des couches d'un circuit imprimé, sous l'action d'une forte pression. "GE" est utilisée comme abréviation de "GLASS EPOXY", ou verre époxy.) :



*Empilement de base d'un circuit imprimé nu*

La figure suivante expose typiquement les divers matériaux et les différentes épaisseurs des technologies simple face, double face TM, multi-couches 4 couches, multi-couches 6 couches.



*Nature des empilements des divers type de circuits imprimés*

Bien entendu, les paramètres d'épaisseurs des différents substrats peuvent varier en fonction des objectifs et des fabricants.

On peut ajouter à cette description la notion de plan de masse : le plan de masse correspond en général à une couche de cuivre uniforme. Sur un circuit imprimé, on peut trouver plusieurs plans de masse : un

pour la masse, et un pour l'alimentation, par exemple. Ces plans peuvent également parfois être réunis sur une même couche, qui est alors séparée en 2 zones.

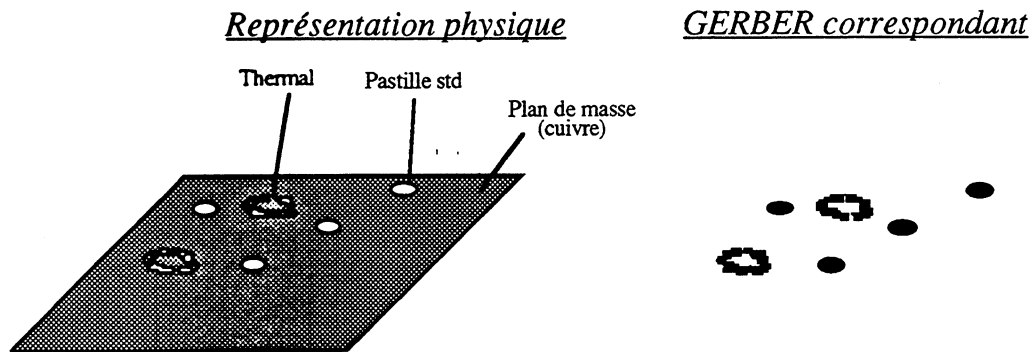
La fonction de ces plans est de constituer une capacité importante pour stocker du courant, pour de cette manière, éviter des chutes de tension lors d'appels de courant importants.

NB : c'est d'ailleurs cette capacité importante qui, comme on le verra plus loin, est à l'origine de certains problèmes au niveau du test d'isolement : le chargement de capacité fausse la mesure. Il serait peut-être bienvenu, au niveau du test, de signaler à part ces équipotentielles, pour permettre de les aborder correctement, sans pénaliser le reste du test (essentiellement en terme de temps).

Du fait de sa structure uniforme de cuivre, le plan de masse n'est pas décrit en général par un ensemble de conducteurs, mais par un ensemble de flashes (Thermal ou non), qui vont être utilisés en négatifs sur le plan de masse :

- les 'flashes' standard, pour permettre aux signaux (autres que ceux correspondant aux signaux du plan en question) de traverser le circuit pour aller vers d'autres couches, sans être en court-circuit avec le plan.
- les 'thermal', qui représentent les pastilles d'interconnexion avec le plan, et dont la géométrie permet de constituer un frein thermique, pour éviter que, lors du cablage des composants, la chaleur apportée par un fer à souder ou un autre chauffant ne s'évade sur le plan de masse, retardant ainsi la montée en température de la soudure du trou métal, constituant une diminution de la qualité de celle-ci.

Un plan de masse aura donc l'aspect suivant :



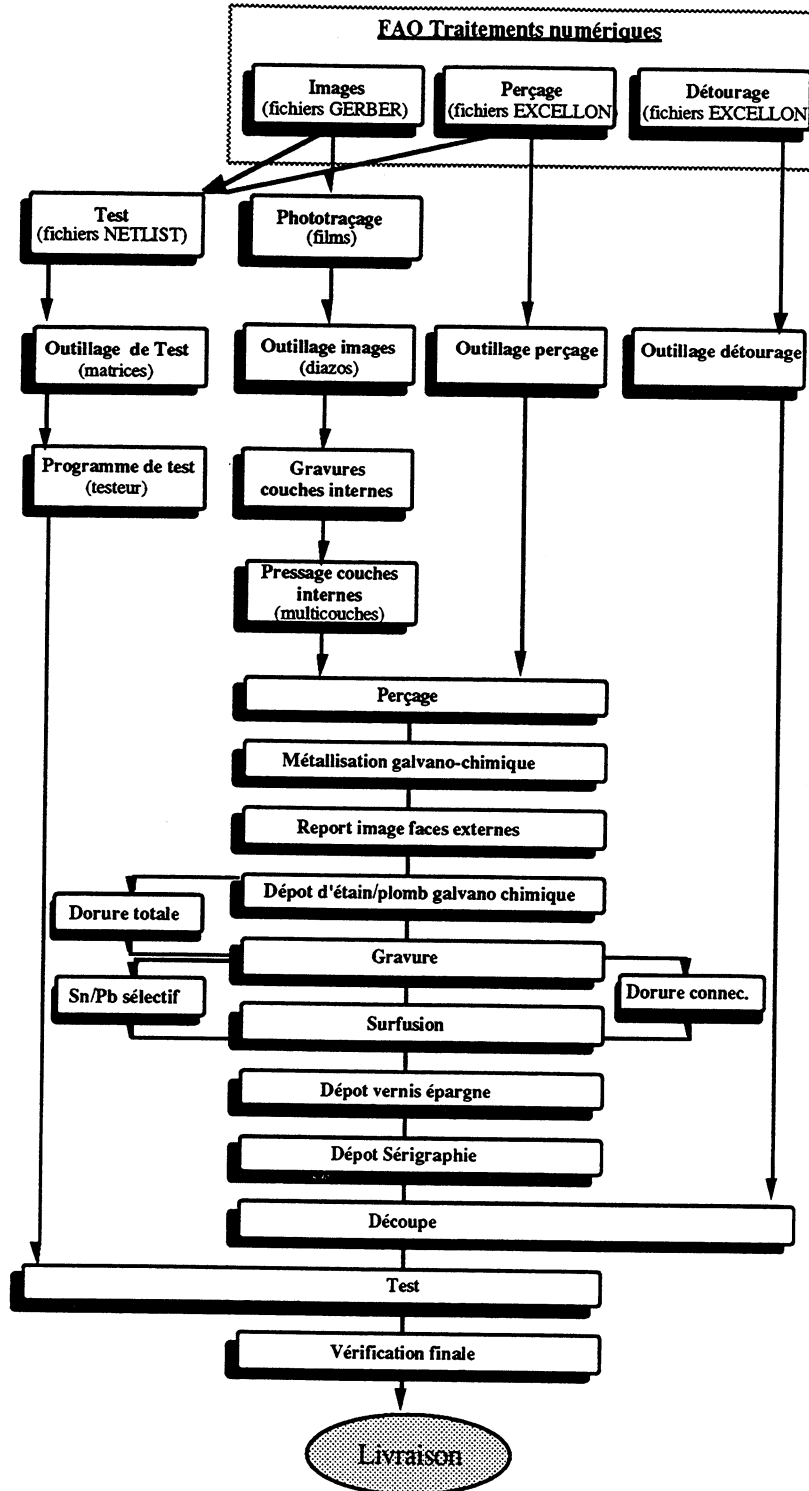
#### Définition GERBER d'un plan de masse

La gestion de plan de masse sera donc particulière. Aujourd'hui, tous les logiciels d'extraction de netlist demande à l'opérateur de spécifier l'existence de tels plans, pour pouvoir les traiter.

Une autre difficulté est la gestion des SPLIT POWER PLANES : couches qui intègrent 2 moitiés de plans de masse. La frontière de séparation entre les 2 plans est alors spécifiée au niveau du GERBER, en général par un draw (ou plusieurs) de séparation, qu'il faut analyser comme tel.

En résumé, les différentes étapes de la fabrication d'un circuit imprimé peuvent être résumées par le diagramme suivant [41] :





*Les différentes étapes de la fabrication d'un circuit imprimé nu*

On remarquera que la fourniture de fichiers informatiques, les fichiers de description de l'image, ou fichiers GERBER et fichiers de description du perçage où fichiers EXCELLON (voir plus loin la description détaillée de ces fichiers) est nécessaire et suffisante pour la fabrication de ceux-ci.

Mais revenons aux diverses étapes de la fabrication d'un circuit imprimé nu.

### 2.1.2.2 Préparation

Avant d'entamer la fabrication à proprement parler d'un circuit imprimé, il faut générer l'outillage qui va servir à le fabriquer. Cet outillage est constitué de films, tracés à l'aide de données CAO.

Ces films correspondent à des feuilles de mylar transparentes, sur lesquelles vont être tracées à l'échelle 1 les zones de cuivre que l'on souhaite représenter sur le circuit imprimé final. Ces films seront utilisés (ou plutôt leurs copies, en positif ou négatif selon les cas) pour insoler des résines photosensibles qui vont permettre le gravage des diverses zones de cuivres, comme on va le voir plus loin.

Les différentes étapes de ce travail préparatoire sont les suivantes :

Etape 1 : dessin des films.

Sur un système CAO, le circuit est dessiné à l'écran, couche par couche, en fonction d'un schéma électronique théorique.

Cette CAO génère en sortie un ou plusieurs fichiers informatiques (en général un fichier par couche + un fichier d'information, souvent appelé Tourelle ou table d'aperture, décrivant physiquement (Rond, carré, rectangle, etc... et dimensions) les outils théoriques (D21, D10, etc...), décrits dans les autres fichiers). Le format de ces fichiers est très souvent un format de la famille des formats GERBER. Il est également fourni par le système de CAO un fichier informatique correspondant aux trous à percer du circuit à fabriquer. Cette "bande de perçage" (abus de langage par rapport aux rubans de perçage utilisés autrefois) sera lue par une perceuse à commande numérique, lors de la phase de fabrication du circuit.

Le format de ce fichier correspond généralement aux 2 standards les plus répandus, EXCELLON, ou SIEB & MEYER.

Etape 2 : traçage des films.

Le tracé des films est réalisé à l'aide d'un phototraceur, qui exploite directement les données générées lors de l'étape précédente (fichiers GERBER).

Cet appareil trace sur un film mylar, en général couche par couche, les motifs (pistes, trous, etc...) définis lors de l'étape de Conception Assistée par Ordinateur (CAO).

Ces films vont consister en l'outillage de base pour la fabrication des circuits imprimés correspondant.

### 2.1.2.3 Fabrication des couches internes ou d'un circuit simple face

Les couches internes sont tout d'abord gravées, le perçage en vue de la métallisation des trous ayant lieu en phase finale, comme on le verra plus loin.

Etape 1 : fabrication des diazos.

Les diazos sont des copies photographiques inversées (en négatif pour des couches internes) des films précédents. A la différence du film, tracé avec une encre noire opaque, les diazos sont tracés avec une encre brune, transparente à la lumière visible (mais non transparente aux rayons ultra-violet).

Entre autres choses, les diazos permettent l'empilement des couches, tout en autorisant l'alignement par transparence.

Ce sont les diazos qui vont être véritablement utilisés pour la fabrication, les films étant renvoyés au donneur d'ordre.

Etape 2 : dépôt de résine photosensible sur le substrat de cuivre-époxy. Ce substrat se présente sous la forme d'une base époxy, recouverte sur chaque face par une couche de cuivre.

Etape 3 : insolation.

Les diazos sont disposés et alignés sur une plaque de cuivre pleine, sur laquelle a préalablement été déposée une couche de résine photosensible (sensible aux UV). La résine subit une transformation chimique sous l'action des UV, qui fait qu'elle sera insensible à certains solvants.

On l'insole aux UV (on le rappelle, avec une image négative) : les parties recevant des rayons au travers du diaso sont les parties correspondant aux motifs de cuivre que l'on désire conserver sur le substrat (pistes, plages, etc...).

Etape 4 : développement

Cette étape permet de dissoudre la résine qui n'a pas été éclairée.

Etape 5 : gravure

Cette étape permet d'enlever tout le cuivre ne participant pas aux motifs retenus. A la fin de cette étape, la couche interne est terminée. Le cuivre est ensuite traité en oxydation noire, cette opération consistant à rendre le cuivre poreux pour améliorer l'accrochage de la colle (Prépreg).

Etape 6 : pressage

Lors de cette dernière étape avant la fabrication finale (perçage, métallisation des trous, gravage des couches externes), on empile les diverses couches internes, les 2 plaques de cuivre correspondant aux futures couches externes, avec entre chaque éléments un prépreg. Cet empilage se fait avec l'alignement le plus précis possible.

Le sandwich est alors mis sous presse (2 heures sous 20 T), pour constituer la matière de base des dernières étapes de préparation.

#### 2.1.2.4 Fabrication des couches externes (ou des multicouches)

Les couches externes sont celles qui seront visibles, le circuit étant terminé.

Le processus décrit ci-dessous s'applique à un circuit se présentant comme un circuit à une ou 2 couches externes. Cela pourra donc être :

- un circuit double face à trous métallisés
- un empilage de couche internes et de couches externes (ces dernières étant encore non gravées à ce stade), assemblées entre elles par du prépreg et pressées.

Etape 1 : fabrication des diazos.

Les diazos sont ici des copies photographiques (en positif) des films des couches externes, par opposition aux diazos utilisés pour les couches internes.

On peut rappeler que le positif représente le cuivre en noir (ou brun), et les isollements en transparent.

Etape 2 : perçage de l'empilage, suivant le fichier de perçage du circuit à fabriquer, issue de la CAO.

Etape 3 : métallisation des trous. Cette métallisation est rendue possible par les plaques de cuivre plein correspondant aux couches externes. C'est une opération de galvanochimie, qui dépose une couche d'environ 5 µm de cuivre sur toutes les surfaces (trous et plan).

Etape 4 : dépôt de résine photo-sensible sur l'empilage.

Etape 5 : insolation.

Les diazos sont disposés et alignés de chaque côté de l'empilage.

On l'insole aux UV (on le rappelle, avec une image positive) : les parties recevant des rayons au travers du diazo sont les parties correspondant aux motifs de cuivre que l'on désire enlever sur l'empilage.

Etape 6 : développement primaire

Cette étape permet de dissoudre la résine qui n'a pas été éclairée. Seule la résine sur les pistes et les pastilles est dissoute.

Etape 7 : dépôt d'étain/plomb électrolytique

Cette étape permet de déposer une couche d'étain-plomb (Sn/Pb) par galvano (le cuivre est encore présent partout à ce stade). Cela permet de renforcer la faible couche (5µm) de cuivre qui recouvre les

---

trous métallisés, tout en économisant la matière, puisqu'on n'en dépose que sur les pistes et sur les trous métallisés, en raison de la présence de résine ailleurs.

Etape 8 : développement secondaire

Un solvant différent est utilisé ici, qui permet d'éliminer le reste de la résine, encore présente sur les 2 faces de l'empilement.

Etape 9 : gravure

Cette étape permet de graver les zones de cuivre non désirées : les zones protégées par l'étain-plomb (pistes, plages, trous métallisés, etc...) ne sont pas attaquées.

Etape 10 : surfusion de l'étain-plomb

On opère 15 s à 90°C pour le choc thermique, 15 s à 220°C, puis 30 s de rinçage.

Etape 11 : dépôt film vernis-épargne, de plus en plus sous la forme d'un film sec, beaucoup plus précis.

Etape 12 : insolation

On utilise pour cela le diaso du film correspondant à la couche vernis-épargne. On le dispose sur l'empilage (sur la ou les couches externes souhaitées). On insole.

Etape 13 : développement du VE

On développe le VE par l'utilisation d'un solvant adapté.

Etape 14 : dépôt sérigraphie

Comme son nom l'indique, il s'agit d'une sérigraphie au pochoir, à partir d'un outillage adapté.

A la fin de cette étape, le circuit est acheminé au service test, en vue de sa qualification, dernière étape avant l'emballage, la livraison et la facturation.

### 2.1.3 Grandeurs physiques

Les grandeurs physiques sur les circuits imprimés nus, en ce qui concerne le test, sont essentiellement les dimensions des conducteurs, qui impliquent la densité de composants sur un même circuit. Le point de vue japonais du Technical Guide of SMT est le suivant [15] :

Le 'designer' se doit maintenant de considérer les conditions de production. A titre indicatif, le pas le plus faible industriellement faisable en grosses quantités est de 0.5 mm.

Les dimensions des conducteurs sont :

- . 200 microns pour la largeur, et jusqu'à 150 microns. Le 100 microns en production (4 conducteurs par canal de 2.54 mm entre 2 trous métallisés) existe chez les meilleurs sous-traitants.
- . 0.4 mm pour les trous métallisés de 'Via', allant jusqu'à 0.3 mm. HITACHI a développé une machine capable de forer des trous de 0.1 mm !
- . l'épaisseur de cuivre en standard des CI est de 35  $\mu\text{m}$ ; pour les circuits simple face, mais passe à 60  $\mu\text{m}$  pour les double face, en raison des 25  $\mu\text{m}$  supplémentaires nécessités par le cuivre chimique des trous métallisés.

La hauteur d'étain-plomb varie de 7 à 15  $\mu\text{m}$ .

L'or chimique est de 0.2  $\mu\text{m}$ .

Les technos de dépôt d'or sont au nombre de 2 :

- simple face : exposition + gravure + dorure chimique
- double face : perçage + cuivre chimique + etc...

La dureté d'un revêtement est essentiellement donnée par le support du revêtement, et non essentiellement par le revêtement lui-même.

Perçage des trous :

- . précision de positionnement : plus ou moins 0.01 mm (10  $\mu\text{m}$ )
- . précision de positionnement du trou percé : plus ou moins 0.030 mm
- . vitesse de rotation du forêt (trou de 0.4 mm dans un PCB GE de 1.6 mm d'épaisseur) : 75 000 tours/minute.
- . des problèmes d'impureté peuvent apparaître dans les trous de faibles dimensions.

Précisions dimensionnelles des PCB CMS :

- . torsion : inférieure à 0.5 % de la diagonale
- . variation de hauteur, rectitude : +/- 0.05 mm
- . tolérance de positionnement de la broche : +/- 0.13 mm

Alignement des diverses couches de cuivre avec les trous de références du circuit (locatings)

- . +/- 50  $\mu\text{m}$ .

Constante diélectrique:

- . GE (Glass-Epoxy) : 4 - 5.5
- . Céramique : 8 - 9

Réflexion : la réflexion devient un problème lorsque le conducteur excède de 100 fois la longueur d'onde : pour un temps de montée de 1 nano seconde, la longueur du conducteur sur un matériau GE ne devra pas excéder 9 cm.

Les PCB de très haute densité (largeur conducteur 100 microns, espacement 150 microns, diamètre des trous métallisés 0.3 mm, 20 couches) sont plutôt réalisés avec des procédés semi-additifs ou totalement additifs, sur des matériaux polymides ou autres, contrairement aux autres types de PCB réalisés par une méthode soustractive sur des matériaux GE.

La dimension des PCB augmenterait encore, par la juxtaposition de PCB élémentaires identiques (notion de format).

Propriétés physiques du cuivre plaqué :

- . tension de rupture (kgf/mm<sup>2</sup>) : 30 - 60
- . élongation (%) : 4 - 10

Pour ce qui est de l'avenir de l'évolution des dimensions des conducteurs, il semblerait que la limite de 50  $\mu\text{m}$  pour la largeur des conducteurs soit acceptée par tous, compte tenu des technologies actuellement connues.

### 2.1.4 Les classes de fabrication des circuits nus

La classification des cartes imprimées selon les caractéristiques de gravure a pour objet d'établir un système cohérent de dimensions des divers paramètres indépendants de l'impression conductrice.

Le système définit pour 5 classes (bientôt 6), suivant le degré de concentration de l'impression conductrice, les valeurs limites théoriques de conception du tracé conduisant aux valeurs minimales mesurées sur le cliché de production et permettant d'atteindre les valeurs minimales correspondantes mesurées sur le circuit imprimé.

La classe est désignée par un chiffre de 1 à 6. Les normes sont ainsi publiées dans le guide UTE C93-703 (normes françaises).

La figure ci-dessous indique les valeurs phares pour les 5 premières classes :

<i>Caractéristiques</i>	<i>CLASSES</i>									
	<i>1</i>		<i>2</i>		<i>3</i>		<i>4</i>		<i>5</i>	
	<i>Théorique</i>	<i>Mesurée</i>	<i>Théorique</i>	<i>Mesurée</i>	<i>Théorique</i>	<i>Mesurée</i>	<i>Théorique</i>	<i>Mesurée</i>	<i>Théorique</i>	<i>Mesurée</i>
Largeur minimale des conducteurs	0,70 mm	0,55 mm	0,45 mm	0,35 mm	0,36 mm	0,30 mm	0,22 mm	0,17 mm	0,18 mm	0,10 mm
Espacement Minimal										
. des conducteurs	0,60 mm	0,45 mm	0,45 mm	0,35 mm	0,31 mm	0,25 mm	0,20 mm	0,17 mm	0,18 mm	0,15 mm
. des conducteurs et des pastilles	0,60 mm	0,45 mm	0,45 mm	0,35 mm	0,31 mm	0,25 mm	0,20 mm	0,17 mm	0,18 mm	0,15 mm
. des pastilles	0,60 mm	0,45 mm	0,45 mm	0,35 mm	0,31 mm	0,20 mm	0,20 mm	0,17 mm	0,18 mm	0,15 mm
Tolérance de superposition d'une face à l'autre	0,15 mm	0,20 mm	0,10 mm	0,20 mm	0,07 mm	0,05 mm	0,03 mm	0,20 mm	0,03 mm	0,20 mm
Tolérance de position du centre d'une pastille par rapport à la grille	0,20 mm	0,05 mm	0,10 mm	0,05 mm	0,05 mm	0,05 mm	0,02 mm	0,05 mm	0,02 mm	0,05 mm

#### Classes de gravure d'un circuit imprimé nu (valeurs théoriques et mesurées) - UTE 75

On remarque que la classe 5 permet en pratique d'atteindre de manière limite des pas de 250  $\mu\text{m}$  (10 mils) sur les circuits.

### 2.1.5 La dilatation thermique des substrats

La stabilité dimensionnelle du circuit imprimé, et donc du substrat, nous intéresse pour plusieurs raisons :

- le perçage des trous métallisés d'interconnexion (vias) doit être précis pour viabiliser ces connexions
- le coefficient de dilatation des circuits imprimés doit être voisin de celui des boîtiers céramiques de manière à réduire les contraintes sur les joints de soudure qui interviennent, soit lors de la phase de brasage, soit pendant la durée de vie de la carte.
- un accès mécanique précis sur les plages du circuit, en vue de son test, est impératif.

Le coefficient de dilatation thermique d'une résine augmente brusquement lorsque sa température atteint et dépasse sa température de transition vitreuse. On cherchera donc à utiliser des substrats à partir de résines possédant une température de transition vitreuse élevée et un coefficient de dilatation thermique moyen le plus faible possible sur la gamme 0°- 120°C.

Le tableau suivant se fait l'image des températures de transition vitreuse ainsi que des coefficients de dilatation thermique pour les principaux supports de circuits imprimés [100] :

<b>RENFORT / RESINE</b>	<b>Temp de transition vitreuse Tg (°C)</b>	<b>Coeff. de dilatation thermique moyen sur la plage 20°C / 125°C</b>	
		<b>Transversal (x;y)</b>	<b>Longitudinal</b>
Verre-époxy FR4	125 °C	14 ppm/°C	189 ppm/°C
Verre-polymide	200 °C	13 ppm/°C	60 ppm/°C
Verre-téflon	75 °C	24 ppm/°C	261 ppm/°C
Kevlar-quatrex	185 °C	6 ppm/°C	90 ppm/°C
Kevlar-polymide	200 °C	6 ppm/°C	83 ppm/°C
Quartz-polymide	200 °C	6 ppm/°C	34 ppm/°C
<b>Référence</b>			
Cuivre		17 ppm/°C	17 ppm/°C
Alumine		6 ppm/°C	6 ppm/°C

#### Comparaison des coefficients de dilatation thermique pour les principaux supports de circuit imprimé

Il est clair que les résines époxy traditionnelle (type FR-4), ont atteint leur limite au niveau de la stabilité en regard de leur pas. Prenons par exemple un circuit de 400 mm de long, et une variation de température de 10°C entre le moment de sa fabrication et celui de son test. La dilatation du circuit sera voisine de 50 µm, soit +/- 25 µm entre un point central et un point de la périphérie. Cela correspond à 10% d'un pas de 10 mils (classe 4/5), ce qui n'est plus tout à fait négligeable, surtout si cette erreur s'additionne aux erreurs de perçage.

### **2.1.6 Design et Testabilité des cartes**

Au delà du dessin d'un circuit imprimé nu, pour sa fonctionnalité même, il faut que celle-ci soit également testable lors des différentes étapes de sa fabrication.

La testabilité d'un circuit imprimé est fortement remise en cause par [77] :

- les trous borgnes
- les trous enterrés
- l'autoroutage,

dans la mesure ou l'accès classique au niveau des points de test se fait sur des 'vias'.

Le tableau ci-dessous décrit la fonctionnalité du DFA (Design For Accessibility) défini par VALID , qui est un logiciel faisant partie d'ALLEGRO, destiné à la testabilité des cartes.

<i>Parametre</i>	<i>Definition</i>
Couche	Spécifie quel côté de la carte on souhaite 'prober' : dessus, dessous, les deux
Type de pad	Peut restreindre les points de test sondés aux pads CMS, vias, ou les deux
Type de Broches	Spécifie la priorité d'utilisation des broches pour le 'probing' : entrée, sortie, via, toutes, ou point de test généré
Dimension minimale du pad de test	Spécifie la dimension minimale du point de test
Grille de test	Spécifie la grille de test appropriée pour la tête de test.
Allow under component	Autorise ou non les pads de test sous composants
Test pad	Spécifie le pad de test à insérer
Display text	Spécifie si les labels vont être affichés ou non

#### **Paramètres du logiciel de DFA (Design For Accessibility) de VALID**

Il y a 3 degrés d'accessibilité lors des méthodes de test :

- test de CI nus : plusieurs accès par équipotentielle en vue du test des 'opens' et des 'shorts'.
- test in circuit : 1 point d'accès par équipotentielle (c'est la méthode la plus usitée commercialement)
- test fonctionnel : 1 point d'accès pour tous les stimuli (ou un certain nombre), au niveau d'un connecteur.

En résumé, moins d'accès conduit à un taux de couverture inférieur.

Une règle de dessin devrait être : '1 point d'accès pour chaque signal de la carte (chaque équipotentielle), incluant toutes les sorties des circuits intégrés.

Une des règles principales au niveau du design est de garder les points de test 'visibles' (pour le test in situ), c'est à dire non masqués par un composant.

On remarque que la contrainte la plus forte est celle de la testabilité du circuit imprimé nu : un accès par extrémité d'équipotentielle (une équipotentielle comporte en moyenne 3 extrémités), soit trois fois plus que pour les test "in circuit" et fonctionnels.

Il est clair que cette dernière contrainte n'est respectée par pratiquement aucun concepteur de carte : la solution concernant le test de circuits nus devra s'affranchir de la mise à disposition éventuelle de points de test particulier.



### 2.1.7 Les évolutions à venir en terme de fabrication

La technologie de fabrication des circuits imprimés nus est loin de se stabiliser, pour plusieurs raisons :

- il est essentiel [63], pour des raisons économiques, de poursuivre la course au faible pas des composants : faible encombrement (LAPTOPS), faible poids, plus haute rapidité, etc... Cela a pour conséquence des difficultés croissantes au niveau du test de ces circuits..

La densité commune des circuits était de 6 points de test (plages de soudure) par cm<sup>2</sup>. Aujourd'hui elles atteignent 20 points de test par cm<sup>2</sup> répartis sur les 2 faces), et demain elles le dépasseront.

C'est le coût et la qualité qui limite l'introduction d'une nouvelle technologie. Ainsi, si l'on est pas capable d'assurer la qualité (par le test), des cartes en nouvelles technologies, celles-ci ne peuvent être introduites.

Les stations de travail vont également utiliser ces mêmes techniques de packaging, pour, à surface équivalente de circuit, augmenter la puissance de la station.

Certaines résistances CMS ou capacités ont des dimensions de 1 mm \* 0.76 mm, ce qui est du même ordre de grandeur que des plages de test : il devient aberrant de vouloir ajouter une plage de test spécifique pour chaque borne de ces composants, si le gain de place est ce que l'on recherche avant tout.

Les dimensions des pistes des circuits de demain sont de 150 µm pour la largeur de piste, et 75 µm d'isolement. Le pas minimal des empreintes sur le circuit nu va finalement rejoindre le pas des puces nues, par la technologie du Chip-on-board.

- les machines de positionnement automatique des composants font des progrès énormes [30] :

- . Siemens, qui a consacré 50 MF en 1989 à la R&D de machines de placement, vient de sortir la SP120, basée sur un 'Revolver' saisissant 12 composants à la fois (et non plus un seul), testés pendant leur transport, conduisant à une cadence théorique de 14 400 composants / heure. La précision de placement, vérifiée par des caméras mobiles, est de l'ordre de +/- 8/100<sup>e</sup> de mm (+/- 80 µm).

Une machine future va permettre le positionnement et soudage des composants en même temps. Ça n'est pas un hasard si Siemens utilise sur ses cartes mères des QFP au pas de 317 µm (12.5 mils) ...

- . Apparition, à l'Internecon 1991 Japan de machines de reports capables de poser plus de 20 000 composants à l'heure (le double des cadences des machines du marché actuel).

Ces machines sont capables de déposer aussi bien des CMS de 0.5 mm de coté que des QFP de 50 mm de coté (avec une vitesse de report moindre pour ces derniers, de l'ordre de 2 à 3 secondes).

La précision de placement est assurée par un système de traitement d'image, et autorise (TDK, Sanyo, Hitachi, Panasonic) le report de boîtiers de pas de 300 µm.

La CP5 de Fuji met la barre à 25000 composants à l'heure, admettant des composants de 0.5 à 36 mm de coté. La CP5 a été pensée pour être insérée dans une ligne complètement automatique (concept CIM : Computer Integrated Manufacturing). L'innovation principale de cette machine est un tambour de 64 têtes pouvant chacune recevoir l'un des 8 types de buses aspirantes disponibles. La précision de positionnement atteinte est de l'ordre de +/- 100 µm.

NB : du fait des précisions en jeu, il n'est plus question de positionnement mécanique : les cartes sont grossièrement positionnées sur un de leurs bords, puis le système de vision recale l'ensemble de la machine.

La Panasert de Panasonic admet une cadence maximale de 20 000 composants à l'heure.

Selon Bis Mackintosh, Siemens domine largement le Marché des machines de report CMS avec 43 % des équipements, suivi par Fuji 15 % , devant Universal, Dynapert, Panasonic. Mais Fuji occuperait 80 % du Marché des machines à plus de 10 000 composants / heure. (Parc de 100 machines pour Fuji en France, selon le distributeur, Fenwick).

Commentaires : avec de telles précisions de positionnement, il va être possible de réduire encore la largeur des 'footprint', et par voie de conséquence, le pas des composants CMS, ce qui implique une réduction de la largeur des conducteurs, LEIT MOTIV pour éviter l'augmentation trop importante du nombre de couches.

De plus, la taille moyenne des circuits imprimés ne diminue en fonction de la diminution des largeurs des conducteurs, mais reste stable : c'est la fonctionnalité d'une carte qui s'en trouve accrue.

Ainsi, le besoin d'un test efficace pour les circuits imprimés nus va en augmentant pour les trois principales raisons suivantes :

- augmentation de la complexité des cartes,
- augmentation du taux de défaut sur les cartes (1% il y a 2 ou 3 ans, 5 % maintenant),
- augmentation du taux de défaut dans ce qu'on appelle le "proche assemblage", autrement dit le cablage de la carte.

La carte typique d'il y a quelques années, comprenait, par dm<sup>2</sup>, 60 trous, dont 25 % représentaient de simples traversées, et contenait une moyenne de 30 équipotentielles, toujours pour 1 dm<sup>2</sup>.

Aujourd'hui, pour ces mêmes dimensions, on trouve 150 trous dont 40 % représentent de simples traversées.

Cette évolution a bien sûr été dictée par les progrès d'intégration au niveau des VLSI, mais n'a pas pu suivre le rythme de ces derniers.

La conception des circuits imprimés a donc évolué de l'utilisation d'une grille universelle au pas de 2.54 mm (représentant le pas minimal dont chaque dimension du circuit est un multiple), vers des grilles au pas de 0.635 mm, voire 0.317 mm, soit 8 fois moins en longueur, et 64 fois moins en surface !

La dimension des trous passe de 0.8 mm à 0.3 mm, car ils n'assurent plus maintenant qu'une liaison électrique par leur métallisation.

En fabrication, les chaînes de métallisation et de gravure doivent permettre l'obtention de pistes fines et rapprochées sans défaut (on pourra citer la tendance vers l'utilisation de procédés semi-additifs de cuivre par opposition au procédé différentiel par photogravure).

L'épargne soudure doit être elle aussi parfaitement positionnée par rapport au circuit.

On peut encore noter que la réduction des dimensions s'obtient également en augmentant le nombre de couches du circuit imprimé, qu'il n'est pas rare de voir à 10, 12 ou 14 pour les cartes d'aujourd'hui, contrairement à 2, 4 ou 6 il y a quelques années.

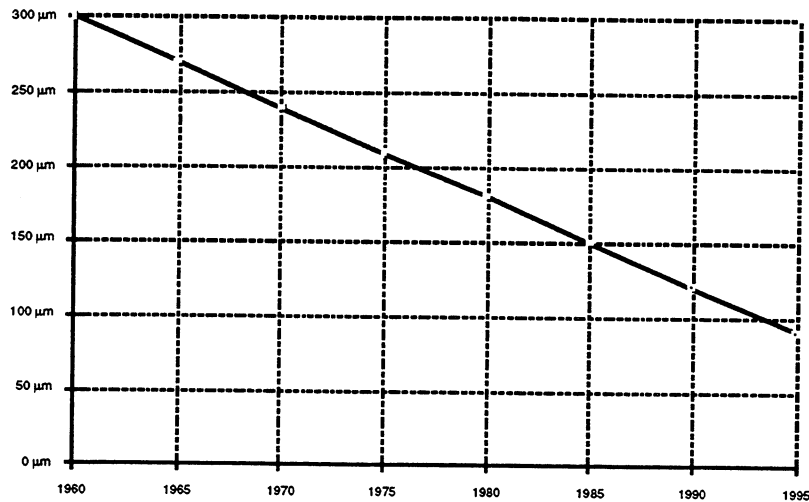
Enfin, pour illustrer l'évolution de ces dernières années, nous avons interrogé plusieurs fabricants de circuits imprimés, ce qui nous a permis de voir l'évolution de la complexité des cartes suivant le secteur d'activité du demandeur.

On observe entre autres, l'augmentation irréversible du nombre de trous, ainsi que la prolifération des trous enterrés.

Pour ce qui est des dimensions des pistes de circuits imprimés et de leur isolement, ils diminuent [15] d'environ 30 µm tous les 5 ans.

La limite physique de la réduction de ces largeurs sera probablement atteinte vers l'an 2000 avec une largeur de 50 µm et un isolement de 50 µm :

Evolution de la largeur de conducteurs (et de leur isolement) sur circuits imprimés



Progression de la réduction de largeur des conducteurs sur les circuits imprimés nus

Pour ce qui est des tendances pour les années à venir, on se dirige vers [18] :

- circuits de classe 5-6 avec des pistes inférieures à 120 µm.
- augmentation de la densité locale (chip à 400 E/S).
- pas de 250 µm

Du fait de cette course à la miniaturisation, la méthode de réalisation de circuits nus par procédé additif (contrairement à la méthode soustractive de cuivre actuellement en vigueur de manière très majoritaire) redevient d'actualité. En 1989 [95], les ventes de circuits imprimés entièrement additifs ont représenté 2 % du marché total (estimé à 15 000 Millions de \$) dont les 2/3 en Asie du sud-est, et pratiquement le 1/3 restant aux Etats-Unis, l'Europe se contentant de 5 M\$.

Pour ce qui est de la photogravure, dans un avenir très proche, le transfert d'image ne devrait plus réalisé par clichés photographiques, mais par système laser (Direct Imaging), ce qui nécessiterait alors de disposer systématiquement des données GERBER sous la forme de fichiers informatiques.

Nicolitch trouve également de plus en plus de circuits à Impédance Contrôlée, ou l'on doit tenir compte de :

- la constante diélectrique des matériaux
- l'épaisseur des diélectriques (distances entre couches)
- la largeur des conducteurs
- l'épaisseur des conducteurs.

Il serait par ailleurs intéressant de disposer d'un système de test qui mesure l'impédance caractéristique d'une piste.

D'autres technologies dérivées émergent également :

- en 2 ans, la société BREE de Pithiviers est devenue le leader Européen des circuits imprimés double face à liaison à base de pâte d'argent, et a adapté cette technologie bon marché (30 à 50 % moins chère) aux circuits 4 couches.

BREE produira à terme 20 000 m<sup>2</sup> de circuits multicouches avec seulement 35 personnes. Le CA 90 atteint 12 MF (multiplié par 10 en 1 an). Les Japonais en sont eux aussi au stade d'industriel de cette technologie.

- les techniques de câblage des LCD à leurs drivers. Le matériau polymide utilisé pour le TAB fait en général 75  $\mu\text{m}$  d'épaisseur. La longueur des électrodes doit être suffisamment longue pour permettre la capture des microsphères servant à interconnecter le TAB et le substrat (GLASS). Les électrodes ont en général une géométrie de 120  $\mu\text{m}$  \* 1.5 mm. Aujourd'hui, ces électrodes présentent une longueur de 3.0 mm plutôt que 1.5 mm.

Maintenant que nous avons eu un aperçu de la fabrication des circuits imprimés nus, nous allons passer à l'étape suivante, qui concerne leur test.

## *2.2 LE TEST DE LA NOUVELLE GÉNÉRATION DE CIRCUITS IMPRIMÉS*

### **2.2.1 Généralités**

La TMS ainsi que les technologies émergentes ont engendré dans le domaine du test des besoins nouveaux qui représentent un véritable gap technologique par rapport à ce que les systèmes de test traditionnels sont aujourd'hui capables d'offrir. Globalement, le test de la dernière génération de circuits imprimés nécessite :

d'un point de vue connectique:

- un test à 100% du circuit imprimé. Chaque équipotentielle doit être vérifiée à partir de points de test appropriés. Une optimisation du nombre de points de test se doit d'être effectuée, tout en gardant un taux de couverture de 100 %.
- des points de test beaucoup plus rapprochés les uns des autres que pour les circuits imprimés traditionnels.
- un test simultané des deux faces du circuit imprimé.

d'un point de vue électrique:

- un seuil d'isolation jusqu'à 100 MOhms.
- un seuil de continuité de quelques Ohms.
- un système de protection électrostatique de l'électronique de commande.
- des connexions entre les points de test et les points à tester aussi courtes que possible.
- une maintenance du système de test efficace.

d'un point de vue informatique:

- un lien direct entre le logiciel de CAO et le système de test.
- un algorithme de test rapide.

d'un point de vue outillage:

- accessibilité mécanique aux zones de faible pas
- diminution des coûts de réalisation.
- fiabilisation.
- diminution de la complexité

Les systèmes de test traditionnels ne répondent que partiellement à ces exigences. On peut les classer suivant trois catégories :

- a) les systèmes de test à sonde "XY": deux sondes mobiles se déplacent sur les différents points de test du circuit imprimé. Le marché de tels systèmes est très étroit car cette technique est lente et ne s'applique donc qu'aux tests de très petite série.
- b) les systèmes de test à traitement d'image: de tels systèmes sont réellement limités car, d'un part, le temps de test est très important (30 secondes en moyenne en 88), d'autre part, la technique est très sensible au mode d'éclairage, et enfin le test n'est en aucun cas un test électrique.
- c) les systèmes de test à "lit de clous": beaucoup plus répandus sur le marché que les deux systèmes de test précédents, cette méthode consiste à presser sur les points de test des clous de contact grâce à un support en plexiglass de guidage, spécifique au circuit à tester.

Cette technique présente cependant des limitations majeures pour le test de circuits CMS. Les deux principales sont les suivantes :

- la distance minimale entre deux points est de 0.635 mm. Les technologies émergentes nécessitent des pas de l'ordre de 0.5 mm, voire moins (pour le test de continuité); Il est alors nécessaire de reporter les points à des pas compatibles, ce qui fausse le test et augmente par la même la surface du circuit.
- les "lits de clous" posent d'énormes problèmes de fiabilité sur le plan mécanique, lorsqu'il s'agit de descendre à des résolutions inférieures à 0.635 mm.

En définitive, le test électrique pourrait être condamné s'il n'évolue pas rapidement. Il pourrait alors être remplacé par des tests optiques sophistiqués, comme le test à base de rayons X, qui, s'il ne représente pas

---

un test capable de mesurer physiquement des résistances, a au moins le mérite de ne pas nécessiter d'outillage, et de ne pas être limité en terme de résolution.

## 2.2.2 Nécessité de tester, testabilité et notion de test

### 2.2.2.1 Nécessité de tester

#### Le problème du test dans l'industrie électronique

La nécessité d'accroître les rendements de production, exigée par une compétition mondiale omniprésente, a donné le jour au concept du "ZERO DEFAULT", qui, s'il se place à un niveau théorique, n'en devient pas moins le "LEIT-MOTIV" de tout industriel digne de ce nom.

Aussi a-t-on vu ces dernières années les procédures de test prendre une place prépondérante dans toutes les étapes de la production. Mais le test coûte cher et n'ajoute rien à la valeur intrinsèque du produit. De plus, les coûts du test ne cessent de croître au fur et à mesure de l'évolution des technologies jusqu'à intervenir, pour certains produits haut de gamme à plus de 25 % du prix de revient.

Cependant la testabilité des produits n'est pas toujours assurée du fait que l'évolution des techniques de test essaye seulement de suivre, sans jamais devancer, les évolutions des technologies de production.

#### Les besoins au niveau du test dans une chaîne de production

Il est nécessaire de tester les composants avant (ou pendant) placement, le circuit imprimé nu (testeur PCB nu), la fonctionnalité des composants montés, isolés de leur environnement (test "in situ"), la fonctionnalité de la carte sous tension (test fonctionnel), le tout étant idéalement interconnecté par un bus contrôlé par un ordinateur, avec en amont un lien CAO, et une réparation (toujours assistée par ordinateur) des cartes défectueuses. Il faut bien dire qu'en pratique, cette interconnexion n'est pas encore effective, loin de là, de par le fait que la plupart des opérations en amont de la production (CAO, circuit imprimé, etc...) sont souvent réalisés par des sous-traitants divers, n'ayant aucun lien entre eux, le phénomène étant encore compliqué par l'absence de standard au niveau de la CAO.

Pour ce qui est du composant "Circuit imprimé", on pourra citer Wolfgang Erat, manager de l'un des plus gros fabricants de circuits imprimés canadiens, Circo Craft : "Le test est la meilleure indication sur la façon dont le process se déroule. Je ne pense pas que nous puissions jamais compter sur un process parfait, même si cela est hautement désirable".

Mais au delà de ces remarques plutôt générales, un fabricant de carte se doit de nos jours de livrer un produit sans faille à son client.

Étant donnée la complexité des cartes d'aujourd'hui, même en suivant un processus de production rigoureux, il est prouvé que la moitié au moins des produits finis s'avèreraient défectueux s'ils n'avaient subi un test préalable.

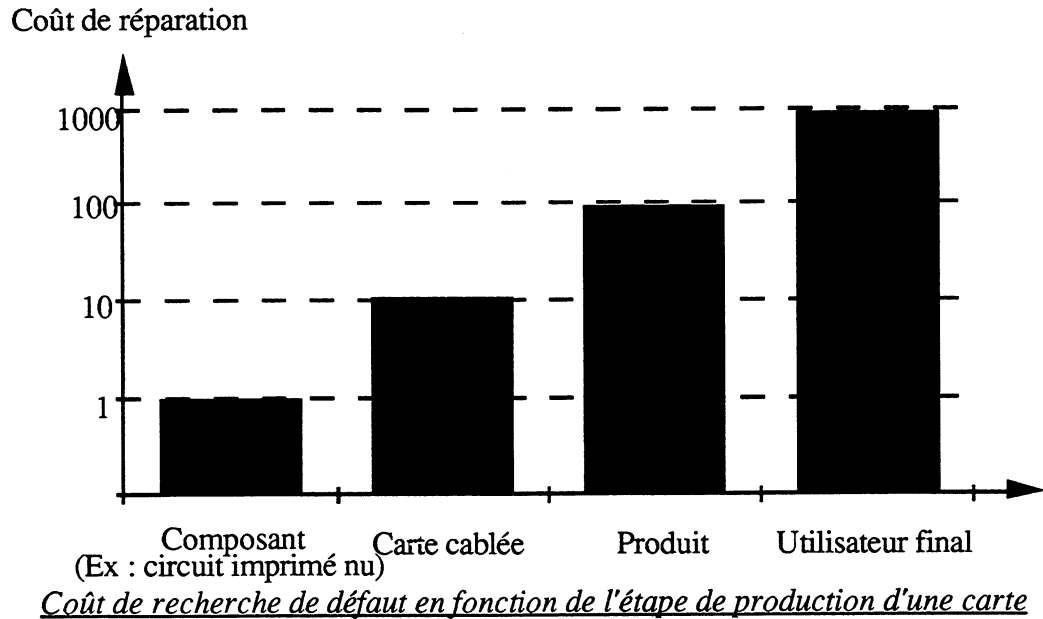
Il n'y a pas aujourd'hui de produits remis à l'utilisateur qui n'aient été testés.

Il est bien évident que pour qu'un produit fini assume sa fonction, il est nécessaire que tous les ingrédients qui le composent soient fonctionnels également.

Partant de là, on en vient à la conclusion que tous ces ingrédients doivent être testés : circuits imprimés, composants, assemblage, etc...

Or, le test coûte très cher.

Il existe une règle d'or qui stipule que les coûts pour l'élimination des défauts augmentent d'un facteur 10 à chaque nouvelle étape de fabrication :



Si, par exemple, l'élimination d'un défaut s'élève à 1 F par composant au contrôle d'entrée, l'élimination de ce même défaut va coûter 10 F lors du test automatique de la carte, et 100 F au moment du contrôle final de l'appareil.

Cela montre combien il est important d'inclure la stratégie de test dès les stades préliminaires de fabrication de la carte.

Le test du circuit imprimé, en début de chaîne, prend alors toute sa signification, et est d'autant plus important aujourd'hui qu'il est établi qu'en proportion, les circuits imprimés CMS présentent plus de défauts, que les circuits classiques, même denses :

- selon le leader mondial de la fabrication de testeur de circuits imprimés nus, MANIA, d'après une étude réalisée sur un échantillon significatif de circuits, en 1989, 20 % en moyenne des circuits nus CMS présentaient des défauts, dont 13% pour les double-face, 21 % pour les multicouches, ce qui est sensiblement surévalué si l'on s'en réfère aux chiffres dont nous disposons, de l'ordre de 5%.

Le pourcentage de défauts dépend également du nombre de points de test :

- . 10 % pour un nombre < 1 000 points
- . 50 % pour un nombre > 5 000 points

La plupart des défauts sont des court-circuits (95 %).

La majorité des circuits testés comportent environ entre 1000 et 2000 trous (tranche 17 % de défauts)

Il semblerait qu'en France le taux de défauts soit supérieur à celui enregistré aux EU (27 % contre 20 %), ceux-là se répartissant en 70 % de courts-circuits et 30 % de coupures.

Les problèmes engendrés au niveau du test par les CMS sont les suivants :

- . problème du contact sur une plage qui n'est pas un trou
- . nécessité d'augmenter la pression pour un meilleur contact => plus gros ressorts : pour éviter les problèmes d'encombrement, les ressorts sont placés au niveau de la grille universelle et non pas au niveau du circuit à tester.
- . nécessité d'avoir des aiguilles longues pour passer de la grille faible densité à la grille haute densité.
- . test double face en raison de la présence de composants sur les deux faces.
- . automatisation de l'outillage de test et des processus d'identification des fautes.

- selon l'ex leader américain de la fabrication de testeur de circuits imprimés nus, TRACE Instruments, disparu aujourd'hui, [61] dans les années 80, le pourcentage de défauts moyen pour un circuit imprimé (Opens, Shorts, Leakage) se situait dans une fourchette de 5 à 20 %.



Pour des raisons de rendement, de qualité, et d'intégration, ces pourcentages doivent maintenant se recentrer pour les années 90 dans la fourchette 0.5 % à 2.0 % : on ne parle plus de % mais de ppm (parts per million).

Les problèmes rencontrés jusqu'à aujourd'hui dans le domaine du test de circuits imprimés nus, traitaient essentiellement des opens et des shorts, avec une très petite part accordée aux fautes dues aux courants de fuite et de contamination. Au fur et à mesure de l'augmentation de la qualité et des exigences des technologies utilisées, ces derniers facteurs vont devenir de plus en plus importants dans les années 90 : ainsi des seuils minimaux de 100 Mohms vont être nécessaires.

Il y a 2 types majeurs de défauts, indépendamment de leur qualité (opens, shorts ou contamination) :

- . les défauts immédiats, détectés lors du test de production
- . les défauts latents apparaissant plus tard, pendant la vie du produit. On constate que ces défauts latents sont plus importants en proportion pour les circuits complexes que pour les circuits bas de gamme.

La plupart (sinon la totalité) des défauts latents sont finalement le résultat d'actions électriques et d'environnement lors de la fabrication du circuit imprimé, par exemple les films contaminants. Il est impératif que le processus de test détecte même les plus petites traces de ces défauts, dans la mesure où ceux-ci vont évoluer dans le mauvais sens lors de la vie du produit, conduisant un jour ou l'autre à un défaut de fonctionnement plus ou moins grave.

On peut alors dresser le tableau suivant :

	Opens	Shorts	Fuites & contamination
<b>1 Mohm</b>	100,00%	100,00%	90,00%
<b>2 Mohms</b>	100,00%	100,00%	95,00%
<b>10 Mohms</b>	100,00%	100,00%	98,50%
<b>100 Mohms</b>	100,00%	100,00%	99,90%

#### Couverture du test de CI nus en fonction du seuil d'isolement

On remarque que quelque soit la valeur du seuil d'isolement, les court-circuits et les coupures sont détectées à 100 % (défauts immédiats). Il n'en va pas de même pour les défauts de contamination, qui rappellent le, deviennent de plus en plus sournois et coûteux lorsque la gamme du circuit se situe vers le haut.

Ensuite, c'est au donneur d'ordre du circuit imprimé de se prononcer (et non pas au fabricant) : passer de 10 Mohms à 100 Mohms n'apporte qu'une augmentation de 1.4 % de couverture de défauts latents : est-ce que celui-ci consent à payer le prix pour atteindre cet objectif ?

En raisonnant en %, cela n'est pas évident, mais si l'on raisonne en ppm (comme IBM, ou Hewlett Packard), cela devient impératif pour certains types de production.

Mais il reste très discutable, comme on le verra par la suite, que les défauts de contamination puissent être mis en évidence à l'aide d'un testeur électrique : cela fait plutôt appel à une machine spécialisée, appelée testeur d'isolement, capable d'appliquer des différences de potentiel élevées (jusqu'à 1500 V) pendant plusieurs minutes, et dans certaines conditions.

- selon Brian Mills, Joint managing director de Bath Scientific (BSL), il est probable que 20 à 30 % des défauts repérés sur des circuits câblés proviennent du circuit nu, bien que cela soit impossible de le mettre en évidence.

- selon PCI (Philips Circuit Imprimés), le taux moyen de défaut sur la production PCI (plus gros fabricant de circuits imprimés nus français) est, en 1993 :

- ≥ 3 % pour les circuits multicouches
- ≥ 1.6 % pour les circuits double face

En final, le taux de rejet global est d'environ 5 % (rayures, défauts, électriques, défauts d'apparence, etc...).

Parmi 2/3 des circuits défectueux sont réparables (court-circuits), 1/3 doivent être jetés (coupures) soit :

1 % des circuits multicouches (les plus chers), et 0.5 % des circuits double face.

NB : ce taux est en cours d'augmentation, sans qu'il soit possible de dire si cela est dû à une augmentation de la complexité des circuits.

Par ailleurs, 0.05 % des circuits sont endommagés au cours du test.

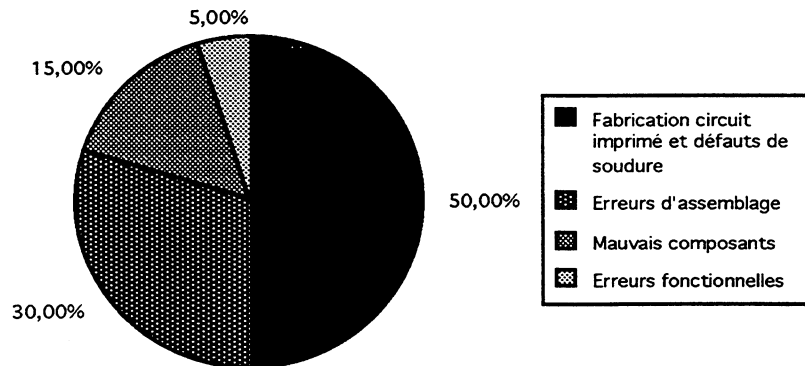
On le voit, les process de fabrication sont loin d'être parfaits, en partie parcequ'ils n'ont jamais le temps de se stabiliser : ils n'arrivent pas plutôt à être relativement fiables, qu'ils deviennent obsolètes. D'où l'absolue nécessité de tester 100 % de la production.

De plus, ce que certains pensaient encore il y 3 ans (selon Mr Chevillard, Nicolitch, la nécessité d'investissement dans un système de test s'évalue en fonction de la rentabilité de l'investissement qu'il représente : chez Nicolitch, le taux de rebut en 1990 était assez faible (quasi nul pour les circuits classiques, < 10 % pour les circuits CMS) : seul un investissement faible pourra se justifier au niveau du test.) n'a plus cours aujourd'hui : si ne serait-ce qu'1% de la production de circuits est mauvaise, il faut tester 100% de celle-ci.

En parallèle, seront testés les composants destinés à équiper les cartes.

En aval de ces deux procédures, on trouvera le "test in circuit", pour lequel les composants et leurs liaisons avec la carte imprimée sont contrôlés en étant isolés dans le circuit (on utilise à cet effet des amplificateurs opérationnels mis à la masse dans ce système de test pour les composants analogiques. Sur les circuits intégrés numériques, on injecte aux entrées des impulsions brèves qui sont enregistrées aux sorties par le récepteur puis comparées à une table de vérité. Le contact avec la carte à tester est assuré usuellement par des pointes de test qui sont plaquées sur les noeuds électriques de la carte) et "le test fonctionnel" qui consiste à contrôler le comportement fonctionnel global de la carte équipée à l'aide d'une simulation périphérique de celle-ci, comme par exemple l'analyse par signature.

La figure suivante montre la proportion de défauts que l'on trouve statistiquement à chaque étape de la fabrication d'une carte.



*Distribution typique d'erreurs sur une carte*

Avec la moitié des défauts attribués au circuit nu, ou aux défauts de soudure (il est impossible de les dissocier au stade de la carte câblée), on imagine que les cableurs deviennent très vigilants au niveau du test de circuit nu.

### 2.2.2.2 Testabilité

Le test n'est pas une étape qui se subisse forcément. Elle peut se préparer. Cela s'appelle la testabilité.

#### Testabilité : définition [98]

*"En fonction des objectifs économiques et techniques du produit fabriqué, la testabilité est la méthodologie de conception, d'exécution et d'optimisation des phases nécessaires et suffisantes de test et de diagnostic, afin que celles-ci soient financièrement les plus rentables en coût et qualité".*

Donnons quelques éclaircissements sur les mots clefs de cette définition :

- conception, exécution, optimisation : la testabilité n'est pas la préoccupation d'un seul moment dans la réalisation d'un produit, mais doit être un souci permanent, en particulier au moment de la conception.
- nécessaire et suffisant : un manque d'exhaustivité du test compromet la performance, un excès grève le prix. Toute la réussite de la stratégie de test réside dans ce compromis.
- test et diagnostic : le test est une opération de tri qui contient un double objectif de détection et de localisation d'erreur. Le diagnostic est l'analyse qui permet d'identifier la cause, phase indispensable au processus d'amélioration de la qualité.
- délai, coût et qualité : la testabilité ne recouvre pas que le seul aspect des techniques de test, mais aussi la transposition des alternatives techniques en prix et durée.

On peut alors définir une méthodologie de manière à prévoir cette testabilité.

La stratégie globale du test correspond à l'art de gérer des compromis. La conception de la testabilité est une opération à mener parallèlement à l'étude du produit.

La productivité du service 'TEST' dans l'entreprise ne se mesure plus au montant de l'investissement en testeurs qu'il gère, mais au gain sur le coût de production obtenu dans la fabrication du produit.

Les lignes qui suivent représentent quelques conseils utiles pour l'établissement de la testabilité en général :

- 1 - définir la mesure à effectuer
  - . conformité structurelle
  - . conformité fonctionnelle

- 2 - acquérir cette mesure

La mesure doit être acquise et répétitive sur un testeur. Le test se déroule généralement à des vitesses inférieures à l'utilisation normale, au travers d'une interface limitant les performances dynamiques de la mesure et l'accessibilité.

On considère les 6 limitations du test suivantes :

- . accessibilité en E/S
  - . incertitude dans la conformité des signaux
  - . incertitudes dans la synchronisation
  - . coût global du test
  - . limitations technologiques des testeurs
  - . traitement des données extraites
- 3 - Comparer avec une référence
    - . Matérielle (ex composant réputé bon)
    - . Logicielle (ex modélisation)

- 4 - Fixer les critères

A chaque mesure doit être associée une tolérance qui doit tenir compte des dispersions de caractéristiques inhérentes aux diversités des approvisionnements et garantir le bon fonctionnement dans un temps donné.

- 5 - Diagnostic de la faute

- 6 - Réparer ou jeter

- 7 - Diagnostic des causes

Ayant identifié la faute lors de la phase 5, il faut savoir pourquoi cela s'est produit, afin de ne pas revivre des défauts systématiques. Les causes peuvent être classées en 5 types (5M) :

- . machine : usure ou dérèglement

- . méthode : utilisation de la machine (programmes), succession et nature des différentes opérations.
- . matière : produits, dispositifs, ingrédients utilisés dans les phases de production
- . main d'oeuvre : interventions humaines tant au niveau conception que production.
- . mesure : les 4 phases de test ne sont pas exemptes de fautes d'acquisition ou de reproduction.

#### 8 - Initier l'amélioration

Celà exige la participation des différents spécialistes concernés par la création, la production, la vente et la maintenance du produit.

### 2.2.2.3 Notion de test

Pour les cartes nues, le concept de testabilité peut se résumer en deux mots :

- "contrôlabilité" ou facilité de changer l'état d'un noeud électrique.
- "observabilité" ou facilité de rendre visible l'état d'un noeud.

L'idéal au niveau du test d'un circuit imprimé est d'accéder à tous ces noeuds d'équipotentielle en surface ou dans les couches internes.

On démontrera plus loin en fait qu'il suffit d'accéder aux terminaisons de ces équipotentielles. Ces terminaisons correspondent aux pastilles de contact où viennent être soudés les différents composants.

D'où l'assertion :

*"Le test idéal d'un circuit imprimé quelconque (CMS, MULTICOUCHES, etc...) se fait en accédant aux pastilles de terminaison des équipotentielles qui reçoivent les composants."*

### 2.2.3 Les défauts que l'on rencontre sur les circuits imprimés

#### 2.2.3.1 Introduction

Les évolutions des technologies de fabrication des circuits imprimés nus sont aujourd'hui condamnées à se faire suivant 2 axes :

- **les matériaux** utilisés dans la fabrication du circuit imprimé, en particulier les stratifiés verre-époxy (GE pour Glass-Epoxy), vont être à l'avenir concurrencés par des matériaux plus performants : stratifiés plus stables dimensionnellement, présentant une tenue en température et une constante diélectrique plus faible, par exemple.
- **les paramètres géométriques des circuits imprimés**, qui évoluent : le pas des composants CMS atteignent des dimensions de l'ordre de 0.3 mm maintenant. Celà signifie que très bientôt, des pistes d'une largeur inférieure à 100  $\mu\text{m}$  vont faire leur apparition. Ces contraintes ont des conséquences électro-magnétiques non négligeables : diaphonie entre pistes, rayonnement, couplage entre cartes, qui font l'objet d'études détaillées.

Les défauts constatés sur les circuits imprimés résultent souvent d'une méconnaissance de ces 2 domaines. Les connaître mieux, c'est aussi pouvoir intervenir très tôt dans le process de fabrication et donc diminuer fortement le coût du test.

#### 2.2.3.2 Statistiques - défauts typiques

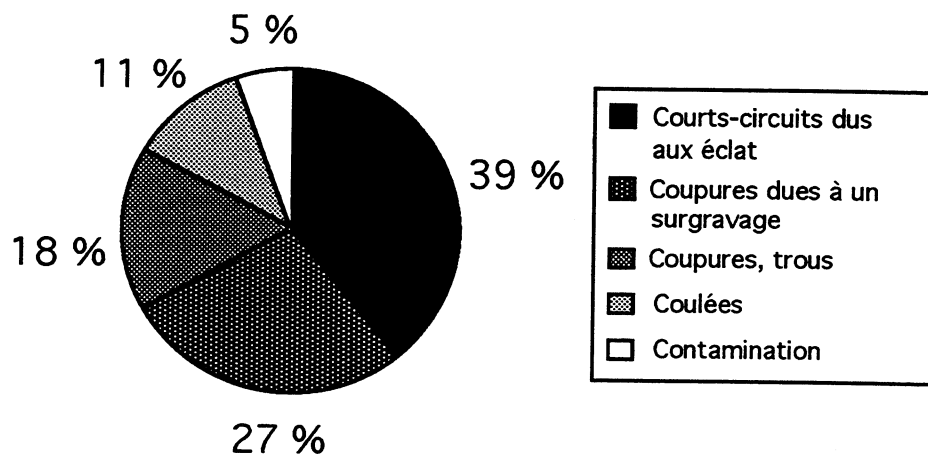
Avant de définir la fonctionnalité d'un système de test adapté, il faut essayer de dresser une liste aussi exhaustive que possible des divers types de défauts pouvant surgir sur une carte nue, ou sur une carte montée.

Il est en effet indubitable que la connaissance des causes facilitera l'approche du test, mais aussi aura son influence sur le "Design" des cartes.

Il faut savoir qu'au niveau des défauts, leur probabilité de surgir, ainsi que les règles de conceptions pour les éviter, ou pour rendre testable une carte, dépendent en partie de la méthode de brasage des cartes.

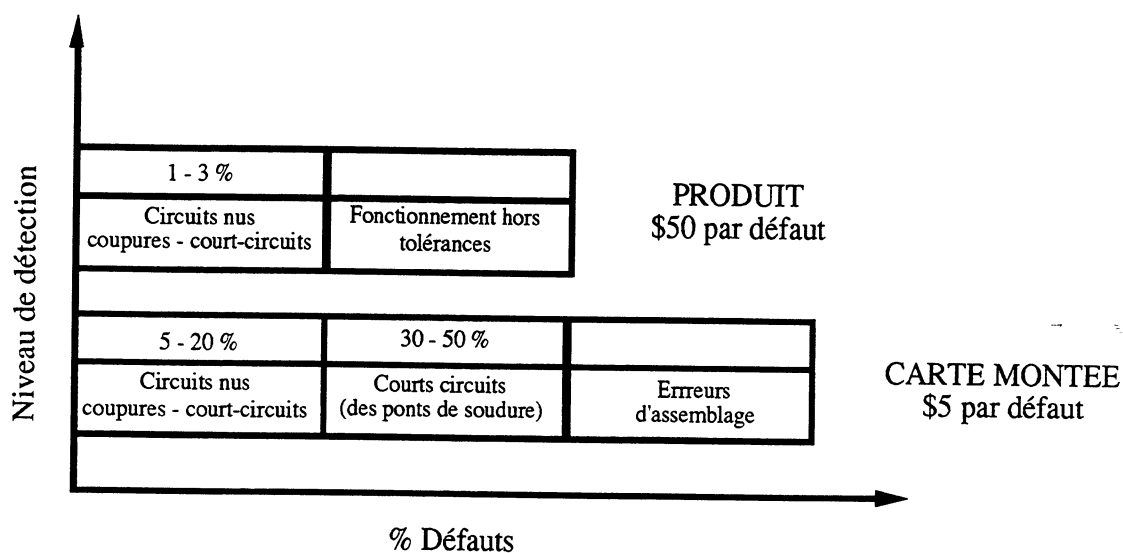
Avant d'aller un peu plus loin dans ce sens, faisons le point d'une manière générale, relativement aux défauts les plus courants, sur les circuits nus, mais également sur les cartes cablées.

La figure ci-dessous témoigne clairement qu'un large pourcentage des défauts enregistrés sur les cartes nues entre dans la catégorie des irrépares. Changer le circuit imprimé à ce stade coûtera bien moins cher que de jeter la carte montée une étape plus loin.



*Distribution des défauts pour les circuits nus*

La figure ci-dessous (source TRACE INSTRUMENTS, 1987) représente une distribution typique des défauts sur une carte cablée, indiquant également le coût typique de la détection et suppression d'un défaut en fonction de la position où l'on se trouve dans la chaîne de production.



*Distribution des défauts pour cartes montées*

Deux choses apparaissent clairement sur cette figure :

- la plupart des défauts du circuit imprimé nu sont détectés sur la carte montée et ceux qui échappent à cette détection, bien que représentant un faible pourcentage du total des défauts, coûtent ensuite très chers.
- le pourcentage des fautes sur circuit nu au niveau de la carte montée correspond à une part importante du spectre de défaut total.

Il est vrai qu'il ne coûte pas plus cher de détecter un défaut du circuit nu lors d'un test in-circuit : ce qui coûte cher à ce moment est la correction, qui dans certains cas ne sera même pas possible.

Certains défauts, et en particulier ceux survenant sur des circuits imprimés simple ou double face sont facilement réparables, et à faibles coûts, à quelque stade de la production que ce soit.

Considérons par exemple un simple éclat entre deux pistes causées par une erreur de process. Il peut être enlevé avec une pointe, tout simplement. Mais un court-circuit causé par un éclat sur une couche interne entraîne la complète défection de la carte !

Or, la majorité des défauts qu'on rencontre [61] sur les circuits multicouches sont internes, et la proportion augmente avec le nombre de couches.

Si maintenant on va plus loin dans cette analyse, en tenant compte des procédés de brasage, on aboutit au tableau décrit par la figure ci-dessous :

	BRASSAGE A LA VAGUE	REFUSION
COURTS-CIRCUITS	Chaîne à souder	Boules de soudure
COUPURES	Inclusions de gaz Effet d'ombre Recouvrement par l'adhésif	Surfaces sèches Contamination Pastilles rugueuses
COMPOSANTS MANQUANTS	Manque d'adhésif Erreur de la machine de placement Erreurs de manipulation	Manque de soudure Pâte Erreur de manipulation
COMPOSANTS DEFECTUEUX	-	-
MAUVAIS PLACEMENT DE COMPOSANTS	Déplacement de l'adhésif	-
COMPOSANTS ENDOMMAGES	-	-

*Defauts possibles sur les cartes CMS suivant les modes de brasage*

Il y a, en effet, deux techniques de base pour le brasage des composants sur le circuit imprimé : le brasage à la vague, et le brasage par refusion (infrarouge ou phase vapeur).

- pour le brasage à la vague, les composants sont collés par un adhésif. La carte est ensuite retournée pour être mise en contact avec une vague de soudure (en général une double vague) qui vient souder le composant sur le circuit imprimé par effet de capillarité (points entre broches rapprochées, etc...)
- pour le brasage par refusion, les pastilles qui vont accueillir le composant sont préalablement sérigraphiées avec une "pâte à souder". On place ensuite les composants.

La carte est ensuite conduite dans une enceinte où l'on maintient une température constante (215 °C pour la phase vapeur, un peu plus pour le procédé à infrarouge), qui aura pour effet, au bout de quelques secondes, de faire fondre la pâte à souder, réalisant ainsi le brasage entre le circuit imprimé et le composant.

On peut ajouter à titre d'information que les résultats de la phase vapeur sont meilleurs que ceux obtenus par l'infrarouge, mais cette dernière est en train de supplanter la phase vapeur, car beaucoup moins nocive pour les techniciens qui brasent la carte.

Revenons aux problèmes engendrés par les deux techniques :

- les courts circuits, sont très fréquents. Cela est principalement dû au faible espacement entre pistes et au très faible espacement entre pastilles accueillant la soudure, pour des raisons de tolérance et de meilleure soudabilité.

L'emploi de la vague est ici critiqué, car fait apparaître de nombreux points de soudure par capillarité. Si la sérigraphie de la pâte à souder est bien contrôlée, la refusion est ici moins critique, bien que puissent apparaître des petites boules de soudure pouvant provoquer elles aussi des courts-circuits.

- les coupures constituent également un problème important.

Avec la vague, cela peut arriver pour différentes raisons. Un cas souvent observé est l'apparition de poches de gaz (phénomène qui diminue avec l'emploi d'une double vague) qui gênent le mouillage des surfaces de contact, entraînant une discontinuité.

L'effet d'ombre peut entraîner que la soudure n'atteigne pas certaines pastilles.

Ces effets sont en relation avec la manière dont la soudure passe derrière le composant. Un tracé approprié de la carte peut alors résoudre certains problèmes.

Il peut également se produire que l'adhésif soit mal positionné, et entraîne la séparation du point de contact de la surface à souder du composant.

Avec les techniques de refusion, ces problèmes n'apparaissent pas, mais d'autres causes de discontinuité sont enregistrées :

- une trop faible quantité de pâte à souder peut amener une discontinuité

- une contamination peut empêcher le "mouillage" des surfaces de contact.

- les composants manquants. C'est un des gros problèmes rencontrés par les fabricants de carte. Cela peut apparaître avec la vague en raison d'un manque d'adhésif pour maintenir le composant ; la machine de placement peut elle aussi être mise en cause. Pour des raisons d'accélération, on enregistre les mêmes problèmes avec les techniques de refusion. On voit donc l'intérêt d'effectuer un contrôle visuel avant le brasage.

- composants défectueux ou de valeur erronée. Il faut savoir que la plupart des composants CMS ne sont pas marqués, et donc que cela peut constituer une source importante d'erreur, si la machine de placement n'est pas équipée d'un système de test des composants.

- mauvais placement de composants. On peut citer, par exemple, des inversions de polarisation pour des capacités ou des diodes.

On le voit, une carte montée a une probabilité assez importante de contenir un défaut.

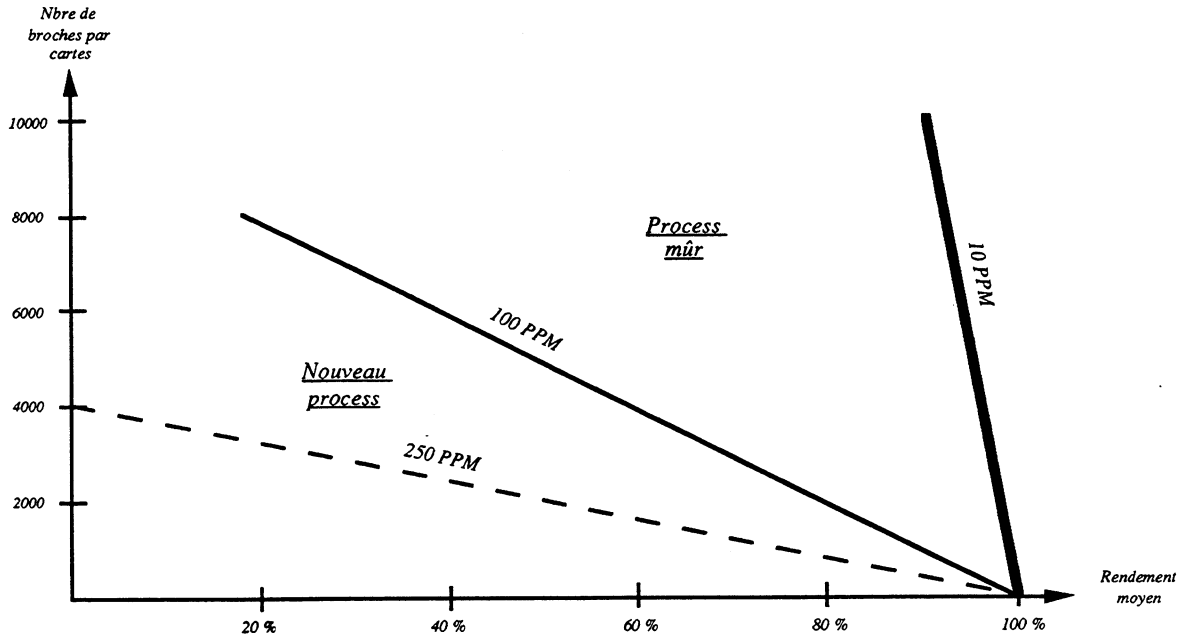
Indépendamment du fait que leur utilisation complique le test, il se fait une demande de plus en plus pressante pour le "test in circuit", du fait qu'un test fonctionnel ne peut identifier assez rapidement une faute.

Mais indépendamment des problèmes de cablage, le gros problème pour le donneur d'ordre est que le contrôle des circuits est laissé au fabricant de circuit à 95 %. Les 5 % restant doivent être alors testés lors du test in situ de la carte, avec toutes les implications que cela comporte au niveau du coût de la réparation : cela n'est maintenant plus acceptable pour les donneurs d'ordre : ils exigent un test à 100% des circuits nus, et pour 100 % de la production.

En effet, les rendements de production (fers de lance de la compétitivité actuelle) sont devenus critiques en terme de survie des sociétés.

La figure suivante [62], donne ces rendements (exprimé par rapport à l'unité de carte) en fonction :

- du taux de défauts de soudure (en PPM) (exprimé par unité de soudure)
- du nombre de broches de la carte



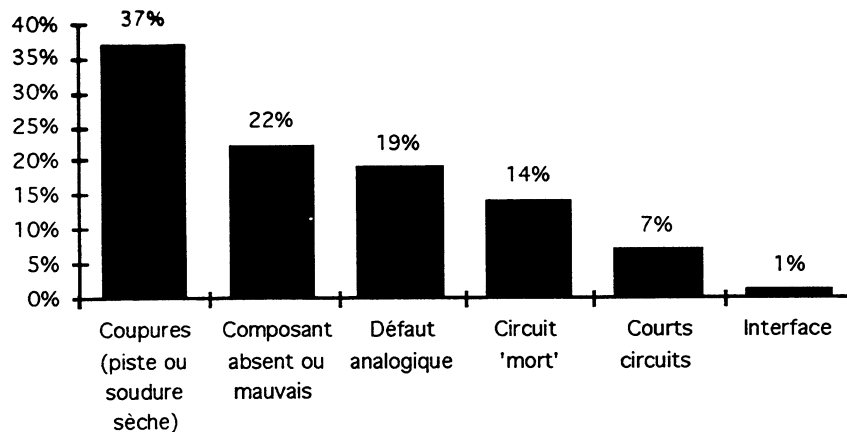
Taux de défaut global au niveau de la production d'une carte en fonction du taux de défaut de chaque étape élémentaire

On remarque qu'un taux de défaut de 250 PPM en défauts de soudure conduit à un rendement en production de 0 % pour les cartes de plus de 4000 broches ( $250 \text{ PPM} * 4000 = 1$ ).

Un taux de 10 PPM en défauts de soudure (un fois le process à maturité) conduit à un rendement de 90 % pour des cartes de plus de 10 000 broches : le rendement en production n'est pas une fonction linéaire du taux de défauts de soudure. Les cartes comprennent de plus en plus de broches : seul un rendement inférieur à 10 PPM en défauts de soudure pourra conduire à des rendements en production (TRUE YIELDS) de plus de 90 %.

Cette figure est valable pour les défauts exprimés en soudure. Elle est tout à fait transposable au niveau de la fiabilité d'un trou métallisé ou de celle de la gravure d'une piste fine.

Plus généralement, les défauts les plus couramment détectés au niveau de la fabrication de cartes sont les suivants :





### Proportions des défauts rencontrés sur les cartes câblées

Le tableau suivant [63] se fait le récapitulatif des types de défaut rencontrés sur des circuits câblés, en fonction de la technologie utilisée :

<i>Technologie</i>	<i>Caractéristiques</i>	<i>Types de défaut</i>
CMS : 0.050", 0.025" et moins (pas)	Faible espacement entre broches Les broches doivent être coplanaires	Court-circuits dus au faible espacement. Open dus à une mauvaise coplanéité, à un mauvais placement.
Largeur de ligne de 150 µm et isolement de 75 µm ou moins	Devient susceptible de dégâts physiques	Opens dus à la flexibilité. Court-circuits. Open dus à une mauvaise coplanéité, à un mauvais placement.
Faibles diamètres de trou métal (< 0.3 mm), trous borgnes ou aveugles.		Coupure au niveau de la jonction de la pastille avec la piste.
Epaisseur du circuit (0.5 mm à 1.6 mm)	Devient susceptible de dégâts physiques	Opens dus à la flexibilité. Court-circuits. Open dus à une mauvaise coplanéité, à un mauvais placement.
Techno traversante (2.24 et 1.27 mm)	Maintenant soudés avec de la pâte à souder dans la même opération de refusion que les CMS.	Opens de soudure dus à la quantité importante de soudure nécessaire. Court-circuits dus à la grande densité de broches.
PGA soudés en surface comme les CMS	Techno traversante modifiée pour permettre le brasage sur des joints de soudure sont cachés par le composant.	Opens dus à des broches courbées, à une absence de coplanéité, etc Court-circuits dus à la grande densité de broches.

### Récapitulatif des défauts rencontrés sur les circuits câblés

Il se trouve que la configuration optimale d'un circuit comprenant des CMS est un circuit conduisant à un process ne requérant pas de soudure à la vague, c'est à dire un circuit pour lequel les CMS sont d'un côté du circuit, et les Composants non CMS de l'autre : le process est alors très simple. Hors c'est précisément cette configuration qui est la plus complexe au niveau du test "in situ" car elle implique un outillage de test double face. Le test du circuit nu, quant à lui, peut rester simple face et se faire du côté CMS : les points de test correspondant aux composants traditionnelles (traversants) seront accédés au niveau des trous métallisés, côté CMS.

La meilleure solution pour rendre testable un circuit câblé reste néanmoins de fournir au moins un point de test accessible pour chaque équipotentielle.

#### 2.2.4 Qu'est-ce que le test à 100% d'un circuit imprimé nu - approche "composants"

##### 2.2.4.1 Tester à 100 % un circuit nu

###### 2.2.4.1.1 Tester 100% d'une production, à 100%

Aujourd'hui, tout fabricant de circuit imprimé qui se respecte se doit de tester 100% de sa production. Encore doit il le faire à 100 % ! En effet, tester à 100% une production signifie que tous les circuits sont testés, mais par forcément qu'ils sont testés à 100%.

Parce que les circuits sont de plus en plus difficile à accéder électriquement, et en raison du coût élevé des outillages de test complexes (plus de 3000 F en moyenne, selon un source PCI), certaines zones du circuit ne sont tout simplement pas testées.

Le fabricant garantit à son client que le circuit est testé, ce qui est vrai. Ce qu'il ne lui dit pas, est que le circuit est peut-être mauvais quand même, car il n'a pas été complètement vérifié.

Une enquête menée par nous en Europe au niveau des fabricants de circuits nus a conduit aux résultats suivants :

- . environ 1.5% à 3 % des circuits double face sont contrôlés défectueux
- . environ 3% à 5 % des circuits multi-couches sont contrôlés défectueux

En combinant maintenant les 2 précédentes statistiques, on s'aperçoit que si le taux de couverture d'un circuit imprimé est de 95%, cela veut dire qu'en moyenne, 0.15 % des circuits livrés aux étapes ultérieures de fabrication sont défectueux.

Même si le taux de couverture est de 99.95%, 15 ppm sont encore livrés défectueux, ce qui serait tout simplement inacceptable par les donneurs d'ordre s'ils le savaient.

Or si l'on considère un circuit moyen possédant 2000 points de test, et qu'on oublie volontairement ou non un point de test, le taux de couverture passe de 100% à 99.95%, ce qui est monnaie courante actuellement.

Voilà pourquoi 100% de la production doit être testée à 100%.

#### *2.2.4.1.2 Qu'est-ce que tester à 100% un circuit ?*

Un circuit imprimé est fait d'une ou plusieurs couches, chacune étant composée par des pistes de cuivre, séparées par un isolant (Verre époxy FR4, CEM-1, céramique, etc...).

Certaines pistes de cuivres sont reliées entre elles : elles constituent ce qu'on appelle un réseau, ou une équipotentielle (Netlist pour l'appellation anglaise, pour Network list).

Un circuit imprimé est généralement constitué de plusieurs centaines voire plusieurs milliers de réseaux, qui doivent être isolés entre eux.

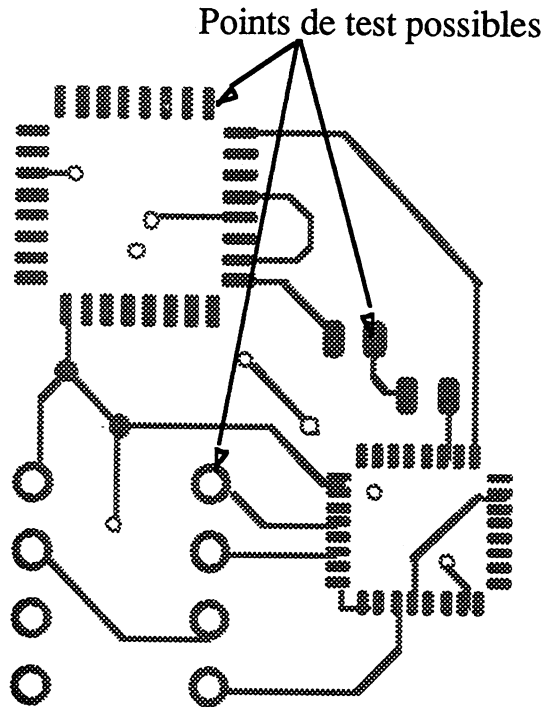
Le test d'un circuit consiste à vérifier qu'aucune coupure n'est présente sur aucun réseau (coupures), et que tous les réseaux sont disjoints (absence de court-circuit).

La façon la plus rigoureuse de le faire est d'effectuer un test électrique. En effet, un test optique (qui a l'avantage de ne nécessiter aucun outillage) peut être utilisé pour contrôler les couches internes. Il pourra détecter les défauts les plus grossiers, sans être en mesure de les quantifier. De plus certaines coupures, comme les micro-coupures ne pourront être identifiées. Le test optique est donc utilisé au niveau d'un pre-screening. Mais il ne peut être utilisé lors de l'assemblage final du circuit multi-couche : en effet, les couches internes n'étant pas visibles, le test est alors caduque pour repérer un défaut qui se serait produit lors du pressage par exemple. De plus, le test optique est relativement lent (plusieurs secondes à plusieurs dizaines de secondes par circuit).

La seule possibilité d'effectuer le test final d'un circuit est donc le test électrique, car il permet de quantifier les défauts occasionnels, par rapport à des valeurs prédéfinies par l'utilisateur (seuil de continuité et seuil d'isolement), ce qui ne peut être fait au niveau d'un test autre qu'électrique.

Mais pour tester électriquement un circuit imprimé, il est aujourd'hui nécessaire d'accéder mécaniquement au circuit, ce qui implique la nécessité d'un outillage spécifique de chaque circuit à tester.

La figure suivante montre un exemple de disposition des conducteurs d'une couche externe d'un circuit imprimé, incluant des pistes reliant des pastilles où sont censées être soudés les composants.



Exemple de disposition de conducteurs sur un circuit imprimé

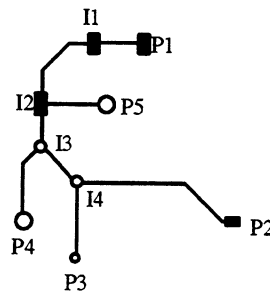
Nous allons maintenant essayer de voir que le nombre points de test peut être singulièrement optimisé en tenant compte de certaines remarques.

Assertion 1

**"Pour tester à 100% un circuit imprimé, il est nécessaire et suffisant d'accéder à chacune des extrémités de toutes ses équipotentiels. Les éventuelles plages ou pastilles se trouvant à l'intérieur d'un réseau peuvent ne pas être considérées comme des points de test."**

Preuve : lorsqu'on accède à chaque extrémité d'équipotentielle, on peut :

- a - vérifier que tout au long du réseau, il n'y a pas de coupure.



Définition des points de test d'une équipotentielle

Pour complètement vérifier un réseau donné, comme par exemple le réseau de 5 branches ci-dessus, un point de test à chaque extrémité de branche est nécessaire, c'est à dire 5 points de test (P1 ... P5). Ensuite, si l'on injecte une tension au niveau de P1, et qu'on vérifie qu'on obtient tour à tour le même courant au niveau de P2, P3, P4, P5 (après avoir successivement connecté tour à tour ces 4 points à la masse), alors la continuité de ce réseau est établie. Si on opère de même sur tous les autres réseaux, le test de continuité est ainsi effectué.

Pour cette phase, il est nécessaire d'utiliser autant de points de test que de branches. Et on peut remarquer que les points aux intersections des branches (I1 ... I4) ne sont pas nécessaires. Ils peuvent bien sûr être utilisés, mais ils n'augmenteront en rien la couverture du test, qui est déjà à son maximum, soit de 100%, et ne feront qu'augmenter la complexité de l'outillage nécessaire : le nombre de points de test peut ainsi doubler, voire tripler sans apporter d'autre compensation, même pas au niveau de l'aide à la localisation des défauts, car un algorithme bien étudié saura donner cette information de manière tout aussi fiable.

**Par conséquent, il n'est pas utile de considérer comme point de test des vias, ou des plages de composants CMS intérieurs à une équipotentielle.**

NB : sur les circuits multi-couches, les différentes couches sont reliées électriquement entre elles par des trous métallisés, aussi appelés "vias". Comme nous allons le voir dans le paragraphe suivant, les vias ne correspondent pas à un élément physique ou vient être soudé un composant. Ce ne peut donc pas être une extrémité d'équipotentielle, et donc encore en moins un point de test.

Actuellement encore, un grand nombre de fabricants de circuits nus utilisent les vias comme points de test (alors qu'ils sont souvent recouverts par le vernis épargne). La raison en est simplement que les logiciels d'aide à la génération d'outillages les définissent comme tels, premièrement parce qu'ils ne sont se sont jamais véritablement posé le problème tel que nous le présentons ici, et deuxièmement parce que savoir qu'un point de test se situe à une extrémité d'équipotentielle requiert de connaître au préalable la liste des équipotentielles, ce qui commence seulement à être possible en raison de l'utilisation de plus en plus systématique des données CAO de tracé des circuits (fichiers GERBERS), et ce depuis 1 ou 2 ans seulement. Mais les produits d'extraction logicielle de Netlist à partir des fichiers GERBER sont encore loin d'être fiables, pour des raisons qu'on expliquera ultérieurement, au moment de la présentation de notre propre produit d'extraction de Netlist.

b - vérifier qu'entre une équipotentielle et toutes les autres reliées ensemble, il n'y a pas de court-circuit. Pour ce faire, un seul point par réseau est nécessaire, qui peut être choisi parmi les points précédents. Par exemple, toutes les équipotentielles sauf une sont mises à la masse. Cette dernière est mise à un potentiel différent. Si un courant significatif est collecté sur cette équipotentielle, cela veut dire que la résistance liant l'équipotentielle et les autres est non nulle, et donc qu'il y a un court-circuit plus ou moins franc, suivant la valeur du courant.

En conclusion, si on accède à chaque extrémité d'équipotentielle, et à chaque extrémité d'équipotentielle seulement, on test le circuit à 100%.

#### Assertion 2

**"Une extrémité d'équipotentielle est nécessairement un emplacement ou vient être soudé un composant, aussi appelé 'footprint'"**

Preuve : comme on l'a déjà montré dans le paragraphe 2.1, un circuit imprimé est l'équivalent d'un faisceau de cables destiné à interconnecter des composants. Les extrémités d'équipotentielles correspondant aux extrémités du faisceau de cables, celles-là correspondent donc bien aux "footprint".

#### Corollaire 1

**"Les points de test d'un circuit imprimé sont inclus dans l'ensemble des emplacements où vont être soudés les composants, ou 'footprint'"**.

Un "footprint" peut être soit un trou métallisé acceptant la broche d'un composant traversant (ce que nous appelons PIN), soit une plage d'un composant CMS (ce que nous appelons PAD).

#### Conclusion

**Pour tester à 100% un circuit imprimé nu, il faut et il suffit d'accéder à toutes ses extrémités d'équipotentielles, qui sont incluses dans la liste des "footprint"**.

Et comme les "footprint" sont organisées suivant des formes standard, les points de test le sont aussi. Pour connaître la diversité des ces organisations, il nous faut mieux connaître les divers types de boitiers qui sont actuellement utilisés ou qui le seront à l'avenir.

C'est l'objet du paragraphe 2.2.4.2.

### 2.2.4.1.3 Conséquences au niveau du nombre de face d'accès au circuit d'un point de vue test

Les points de test, ou extrémités d'équipotentielles, sont inclus dans la liste des empreintes des composants devant être acceptés par le circuit. Ces composants peuvent être :

- soit traversant, auquel cas on peut accéder au point de test des 2 côtés de la carte.
- soit CMS, auquel cas on ne peut accéder au point de test que sur la face où se trouve le composant.

On peut alors considérer les 3 cas suivants :

- a) le circuit ne possède pas de composants CMS. Les composants se trouvent alors tous sur une même face, la face composant. Le test sera simple face.
- b) le circuit possède des composants CMS sur l'une des 2 faces (mais pas sur les 2 faces), et des composants traversant (répartis sur une même face, qui n'est pas forcément la même que la précédente). Le test est alors encore simple face (face CMS), car les points de test correspondant aux composants traversants (trou métallisé) sont accessibles au choix d'un côté ou de l'autre du circuit.
- c) le circuit possède des composants CMS sur les 2 faces : le test est alors double face.

**Le test d'un circuit imprimé nu n'est double face que si et seulement si les 2 faces du circuit comprennent des composants CMS.**

Cet aspect est un des aspects majeurs qu'a introduite la TMS au niveau du test de circuits nus : auparavant, les testeurs étaient systématiquement simple face.

## 2.2.4.2 Les différents types de boîtiers

### 2.2.4.2.1 Généralités

Les boîtiers, d'une manière générale, peuvent se classer suivant 2 grandes familles : les boîtiers en technologie traversante, et les boîtiers CMS.

Le tableau ci-dessous dresse la liste quasi exhaustive des diverses sous-familles, en décrivant le pas, ainsi que la fourchette de variation du nombre de broches.

Boitiers	Technologie/Utilisation		Nb de broches	Pas (mm)
STANDARD	TRAVERSANTE	COURANTE	8 à 48	2,54
SKINNY	TRAVERSANTE	PEU COURANTE	20, 22	2,54
SHRINK	TRAVERSANTE	PEU COURANTE	42, 64	1,27
SIP	TRAVERSANTE	PEU COURANTE	8	2,54
PGA	TRAVERSANTE	COURANTE	88 à 208	2,54
CERDIP	TRAVERSANTE	COURANTE	8 à 40	2,54
.0805	CMS	COURANTE	.2	-
.1206	CMS	COURANTE	.2	-
.1210	CMS	COURANTE	.2	-
.1812	CMS	COURANTE	.2	-
.2220	CMS	COURANTE	.2	-
MELF	CMS	COURANTE	.2	-
MINIMELF	CMS	COURANTE	.2	-
MICROMELF	CMS	COURANTE	.2	-
SOD80	CMS	COURANTE	.2	-
SOT23	CMS	COURANTE	.3	-
SOT143	CMS	COURANTE		-
SOT89	CMS	COURANTE		-
SOT192	CMS	COURANTE		-
SO6...28	CMS	COURANTE	6 à 32	1,27
SOJ		PEU COURANTE	24 à 26	1,27
TSOP	CMS	COURANTE	16 à 76	0,65, 0,5, 0,4, 0,3 mm
PLCC	CMS	COURANTE	18 à 124	1,27, 0,635
LCCC	CMS	COURANTE	16 à 156	1,27 (50 mils), 1,06 (40 mils)
CC	CMS	COURANTE	14 à 44	1,27
FP	CMS	PEU COURANTE	8 à 24	1,27
QFP	CMS	COURANTE	20 à 240	1,27, 0,8, 0,65, 0,6, 0,5, 0,317
PQFP	CMS	COURANTE	52 à 244	0,635
PIGGYBACK	HYBRIDE	PEU COURANTE	40, 42	2,54
SIMM	A INSERER	PEU COURANTE	.30	2,54
SIMP	A INSERER	PEU COURANTE	.30	2,54
TAB	à bonder	encore peu courants	jusqu'à 400	inférieur à 150 µm

### Liste des différentes familles de boitiers de composants électroniques

En principe [28], il n'y a pas de différence dans les exigences d'encapsulation des circuits intégrés catalogués standard et les produits spécifiques réalisés à la demande (ASICs). Toutefois, la liberté de choisir un boîtier particulier parmi plusieurs types possibles impose, pour le concepteur de CI spécifiques, la connaissance des avantages et des limitations de chaque type de boîtier.

Au delà de leur forme, les types de boîtiers peuvent encore être divisés en 2 catégories :

- les boîtiers plastiques (DIP, SOIP, PLCC, QFP, etc..)
- les boîtiers céramiques (Boîtiers à bord brasé, CerDIP, LCCC, PGA).

La principale fonction d'un boîtier consiste en l'encapsulation d'une puce de silicium, de telle manière que celle-ci puisse être reliée de manière fiable et efficace à d'autres puces. On peut distinguer les diverses fonctions suivantes :

- la protection contre l'environnement

L'eau pure est paradoxalement l'une des substances les plus dangereuses pour les boîtiers plastiques ou non hermétiques par la dilatation de la vapeur d'eau en fonction des écarts de température générés par la puissance dissipée par la puce.

- la connexion électrique

Le premier élément est le fil qui relie la zone de connexion sur la puce à la broche de sortie. Ce fil est généralement un fil d'or. Un fil d'aluminium est choisi pour les applications haute fiabilité, car ce dernier est plus résistant que le fil d'or.

Ensuite, on trouve la broche elle-même, qui outre une bonne conductivité, présente généralement une capacité et une inductance parasite, pouvant gêner les applications hautes fréquences (au delà de 5

MHz). Les propriétés diélectriques du plastique font que cet inconvénient est moins marqué pour les boîtiers céramiques, c'est la raison pour laquelle on les préfère pour les applications haut de gamme bien que ceux-ci soient plus chers.

#### - le refroidissement

L'objectif est un fonctionnement de la puce à une température aussi proche que possible de la température ambiante, sachant que cette puce dissipe nécessairement un minimum de puissance, qui va provoquer un échauffement local supérieur à la température ambiante.

Ainsi, un boîtier mauvais conducteur de chaleur ne dissipera pas suffisamment rapidement la puissance émanant de la puce, ce qui aura pour conséquence un échauffement local important, d'où un affaiblissement de certaines propriétés de la puce (augmentation des courants de fuites (qui doublent tous les 7 à 8 °C), etc...).

L'augmentation  $\Delta T$  de température par rapport à l'ambiante est donnée par :  $\Delta T = R_{th} * P_d$  où  $R_{th}$  est la résistance thermique du boîtier (propriété intrinsèque de ce dernier), et  $P_d$  la puissance dissipée par la puce. On remarque qu'un boîtier sera d'autant meilleur que sa résistance thermique sera faible.

Trois découpes de broche sont actuellement utilisées pour les divers types de boîtiers CMS [15] :

- . 'GULL-WING' (Aile de mouette) (82% des boîtiers en 1992)
- . 'BUTT-LEAD' (Arceau de tonneau)
- . 'J-BEND' (Forme de J) (10% des boîtiers en 1992)

Les formes de ces broches vont avoir des répercussions directes sur la forme et la disposition des "footprints" sur les circuits imprimés nus.

Les versions de boîtiers américaines et japonaises ont des dimensions différentes [24], avec un nombre équivalent de broches. Ils ne peuvent alors en général pas utiliser les mêmes 'solder pads'. Pire encore, certaines géométries diffèrent suivant les fabricants Japonais.

L'aile de mouette (Gull wing) des QFP se voit de plus en plus remplacée par l'aile d'albatros (albatross wing), en raison de contraintes trop importantes au niveau de la planéité sur une trop grande surface.

Le QFP est le packaging appelé à proliférer en raison du nombre important de broches qu'il autorise, bien qu'il présente un certain nombre de contraintes. Il a été introduit et reste appuyé par les japonais. Son pas est métrique, et varie de 0.8 mm à 0.3 mm, en passant par 0.65 mm, 0.5 mm. Le nombre maximal de broche peut dépasser 200.

La réponse américaine est la structure 'J-lead', basée sur l'unité impériale, au pas de 1.27 mm. Le moulage plastique est plus profond (4 mm de hauteur), ce qui conduit à de meilleures planéités. Ce type de boîtier est le plus facile à assembler. Cependant, ses limitations en pas (1.27 mm) et en nombre de broche (84) sont sévères.

C'est ce qui a fait que les américains l'ont remplacé par le 'mini-PLCC', traditionnellement carré, qui présente des excroissances à chaque coin, protégeant les broches en aile de mouette (qui ont remplacé les 'J-leads') des mauvaises manipulations. Son pas est de 0.635 mm, et le nombre max de broches est de 240, ce qui en fait un concurrent sérieux du QFP japonais.

Mais l'intégration des boîtiers n'a fait qu'initialiser sa progression jusqu'à lors.

Au Japon, on voit même apparaître des boîtiers à 2 rangées de broches, comme l'illustre la figure ci-dessous :



*Boîtiers à 2 rangées de broches:*

Cette technique devrait permettre d'atteindre des puces de 800 broches sur une surface de 2 cm<sup>2</sup>, soit une densité de 400 broches au cm<sup>2</sup>. On peut rappeler que le pas de 2.54 mm en carré correspond à une densité de 15.5 broches par cm<sup>2</sup>.

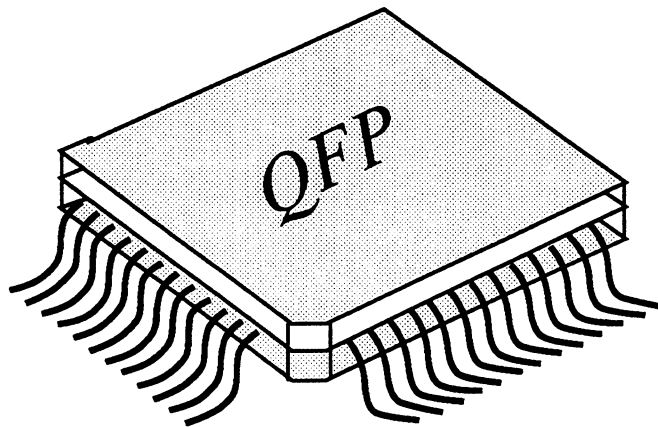
Passons maintenant en revue de manière un peu plus détaillée les types de boîtiers les plus importants de notre point de vue.

#### 2.2.4.2.2 QFP, où Quad-Flat-Pack (Japon)

Ce type de boîtier figure parmi les plus utilisés avec les PLCC.

Les boîtiers QFP sont décrits par les normes EIAJ IC-74-4 1986 et EIAJ ED 74-04 Janvier 1990. Ces normes ne sont pas toujours respectées.

Ils se présentent sous la forme de 4 rangées de broches, comme s'en fait l'illustration la figure ci-dessous :



Boîtier QFP

Le pas est variable suivant le nombre de sorties (entre 20 à 240 broches) : 1 mm, 0.8 mm, 0.65 mm, 0.50 mm; 0.317 mm.

Ainsi, Siemens, pour la manufacture de ces cartes mères d'ordinateurs, utilise des boîtiers QFP 320 au pas de 0.3175 mm, et ce depuis quelques années déjà, à titre expérimental.

Aujourd'hui [62], les pas les plus faibles sont atteints industriellement par MATSUSHITA, avec 400 µm depuis les années 90/91 (256 à 400 E/S) et 300 µm pour les années 91/92 (156 à 580 E/S).

#### 2.2.4.2.3 PQFP (Plastic QFP) ou BQFP (Bumpered QFP) (Etats-Unis)

Les boîtiers PQFP (Plastic Quad Flat Pack) sont décrits par la norme JEDEC MO-069.

Ils se présentent de manière analogue aux QFP japonais, avec en plus 4 oreilles assurant la protection des broches (bumpers)

Le nombre de broches va de 52 à 244, le pas fixe étant de 0.635 mm (25 mils).

#### 2.2.4.2.4 SOJ (Small Outline) (Etats-Unis / Japon)

Les boîtiers SOJ (Small Outline) sont décrits par les normes JEDEC MO-063. et MO-065.



Ils se présentent sous la forme de 2 rangées de broches (24 / 26) au pas de 1.27 mm, et sous 2 largeurs : 0"30 (7.62 mm) et 0"35 (8.9 mm). Il leur manque en général des broches au centre du boîtier. La forme des broches est en J.

#### 2.2.4.2.5 PLCC (*Plastic Leaded Chip Carrier*) (*Etats-Unis*)

Les boîtiers PLCC (Plastic Leaded Chip Carrier) sont décrits par les normes JEDEC MO-047. et MO-052 Ils se présentent sous la forme de 4 rangées de broches (entre 18 et 124) au pas de 1.27 mm. La forme des broches est en J.

#### 2.2.4.2.6 TSOP (*Japon*)

Ces boîtiers sont ceux qui peuvent atteindre les pas les plus faibles avec les boîtiers TAB. Les boîtiers TSOP (Thin Small Outline Package) sont décrits par la norme EIAJ 74-III-1988. Ils se présentent sous la forme de 1 ou 2 rangées de broches le long du petit côté (entre 16 et 76) aux pas de 0.65 mm, 0.5 mm, 0.4 mm, 0.3 mm. Il existe plusieurs longueurs de boîtiers : 14 mm, 16 mm, 18 mm, 20 mm, et plusieurs largeurs : 6 mm, 8 mm, 10 mm, 12 mm. La forme des broches est en L (gull wing). Leur application typique consiste en l'encapsulation de "chip" mémoire : ils sont promis à un brillant avenir.

#### 2.2.4.2.7 LCC ou LCCC (*Leaded Ceramic Chip Carrier*) (*Etats-Unis, Europe, Japon pour boîtiers nus*)

Les boîtiers LCCC (Leadless Ceramic Chip Carrier) sont décrits par les normes JEDEC MS 002 0, MS 005, MS 009 à MS 014, MIL-M-38510 F-Appendix C. Ils se présentent sous la forme de boîtiers céramiques mono ou multi-couches, avec 4 rangées dépourvues de broches. Le système d'interconnexion avec le circuit qui doit le recevoir est basé sur des terminaisons métallisées, généralement dorées, sous le composant, et par des crénelures latérales pour raccordement par brasage. Le pas de ces métallisations peut être 1.27 mm (50 mils) ou 1.06 mm (40 mils). Le nombre de terminaisons varie entre 16 et 156.

#### 2.2.4.2.8 PGA (*Pin Grid Array*)

Aujourd'hui, les pas les plus faibles sont 25 mils (0.635 mm), avec un maximum de 600 broches pour Hitachi. Il est à noter qu'on voit apparaître des versions PGA en montage en surface !! Ces composants, bien que n'ayant pas un pas très faible, conduisent à des densités locales élevées (32 à 64 broches /cm<sup>2</sup>), qu'il est difficile d'appréhender au niveau du test de circuit nu. Heureusement, ces boîtiers ne sont pas encore répandus en production, et personne ne sait s'ils le deviendront.

#### 2.2.4.2.9 TAB (*Tape Automated Bonding*)

Avez-vous noté que dès que vous commencez à utiliser une méthode d'assemblage, quelqu'un en invente une autre ?

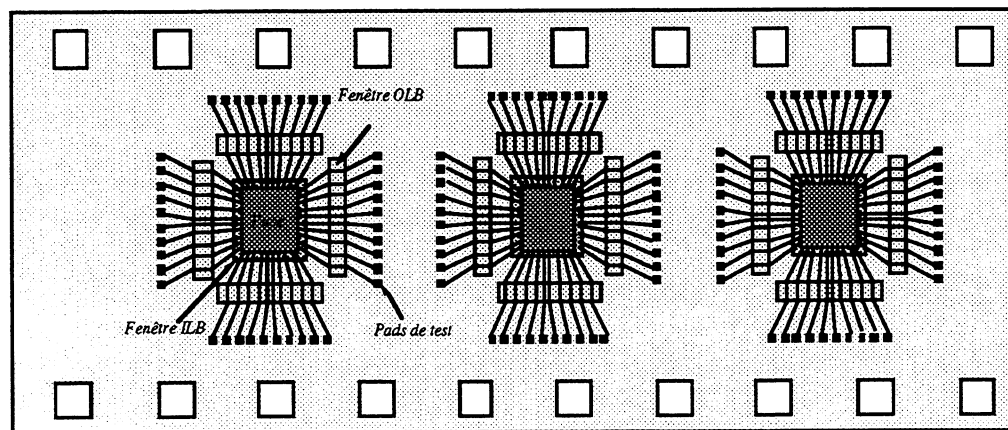
Ainsi le TAB (Tape Automated Bonding) est en train de prendre une importance croissante dans les méthodes d'assemblage. Le ratio de l'espace de broche varie de façon importante, mais le plus petit pas standard disponible est le 8 / 1000° de pouce de Texas Instrument (203  $\mu\text{m}$ ).

Les boîtiers TAB correspondent à un nouveau conditionnement des puces, de haute densité. Ce conditionnement se présente sous la forme d'une bande sur laquelle se succèdent des substrats comprenant des pistes conductrices. Chaque substrat reçoit une puce qui y a été liée (bondée) sans fil. Chaque substrat présente des conducteurs éclatant vers la périphérie les liaisons avec la puce.

Pour ce qui est de la liaison entre le circuit imprimé et le substrat, on commence à voir des pas de 6 à 7 mil (150  $\mu\text{m}$ ), pour des boîtiers comprenant de 500 à 1000 E/S (gate arrays).

A 200  $\mu\text{m}$ , voire 150  $\mu\text{m}$ , les contraintes de brasages doivent être cernées de très près pour assurer un rendement élevé.

Le TAB se présente sous la forme d'une bande flexible supportant un nombre identiques d'éléments comme l'illustre la figure suivante :



Conditionnement de boîtiers TAB

Aujourd'hui, les pas les plus faibles sont [62] :

- 80 à 100  $\mu\text{m}$  pour l'ILB
- 100 à 200  $\mu\text{m}$  pour l'OLB

Les TAB présentent 2 couches de métallisation, avec des plaquages sélectifs des ILB (compatibilité avec le silicium) et OLB (compatibilité avec le cuivre).

Le TAB est donc démontable.

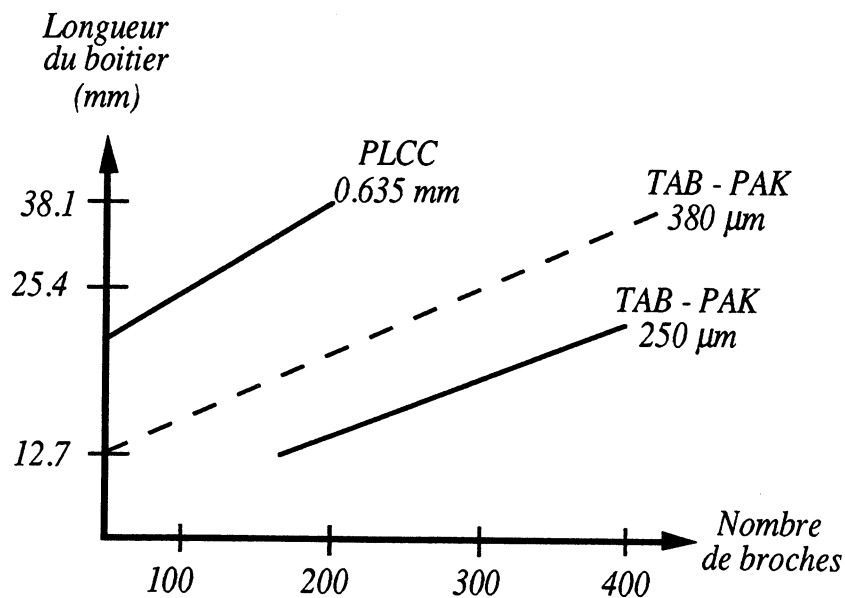
La fenêtre ILB (Inner Lead Bond) est la fenêtre où est connecté le TAB au substrat silicium. La fenêtre OLB (Outer Lead Bond) est la fenêtre où est connecté le TAB au circuit imprimé.

La bande peut être un matériau standard, ou un circuit multicouche, ceci dépendant de la complexité du TAB.

Les TAB sont soudés sur le circuit imprimé par thermo-compression. 2 méthodes sont utilisées :

- le 'gang bonding', où une thermodé chauffée applique une pression et une chaleur au substrat et aux broches, ce qui fait que toutes les broches sont soudées en même temps.
- le 'single point bonding', où une sonde ultra-sons applique une pression, chaque broche étant soudée l'une après l'autre. Cette technique, contrairement à la précédente ne requiert pas d'outillage spécifique en correspondance avec la géométrie de la puce.

Le TAB peut être assimilé à un composant CMS de faible pas. La figure suivante [97] montre que la densité d'intégration de puces packagées sous la forme de TAB est supérieure à un packaging CMS (en l'occurrence PLCC 0.635 mm) :



Comparatif de la dimension de divers types de boîtiers en fonction de leur nombre de broches

On voit donc que les TAB occuperont beaucoup moins de place au sol que les composants CMS, en général, ce qui ne va pas sans reposer le problème de la densité locale du nombre de points de test par  $\text{cm}^2$ , qui avoisine les 100 points /  $\text{cm}^2$  pour le TAB-PAK de 250  $\mu\text{m}$ .

Un autre avantage non négligeable du TAB est que la liaison 'circuit imprimé / substrat TAB' est 5 fois plus fiable que les bonding sous la forme de fils utilisés dans les boîtiers SO ou DIL. De plus, en raison de la géométrie, l'électronique peut opérer plus rapidement du fait de la faible inductance des pistes (absence de capacité/inductance parasite des broches).

Ainsi, le MTBF (Mean Time Before Failure) d'un packaging TAB est 10 fois supérieur à celui d'un boîtier conventionnel.

Le TAB pourra être utilisé dans des applications requérant un grand nombre d'E/S au niveau des boîtiers, au-delà des limites des boîtiers classiques (cf paragraphe à cet effet). Les applications à très faible pas seront principalement utilisées dans le secteur des télécoms, et dans celui des ordinateurs.

D'ici à 1995, le TAB sera utilisé à hauteur de 10 % des boîtiers à grand nombre d'E/S, prenant notamment la relève des PGA.

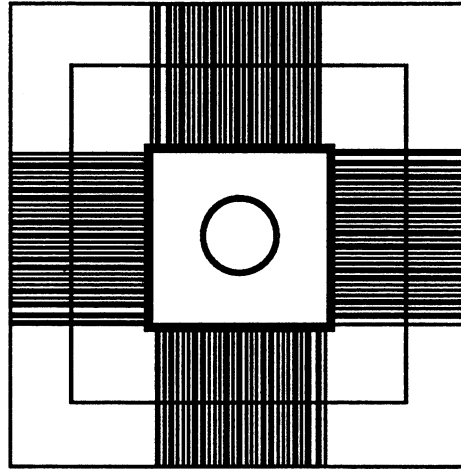
C'est une technique d'assemblage très simple, bien qu'elle nécessite des investissements non négligeables. Il faut voir le TAB comme on voyait le CMS il y a seulement quelques années. Le TAB s'annonce déjà comme un concurrent sérieux du CMS, par ses atouts au niveau production. Il va accentuer les problèmes d'interfaçage au niveau du test du circuit imprimé nu qui va le recevoir, avec des pas qui vont probablement rapidement descendre en dessous des 150  $\mu\text{m}$ , et, problème encore plus grave, avec des densités locales de points de test dépassant les 100 points /  $\text{cm}^2$ .

A titre d'exemple, des boîtiers TAB, de 576 broches, au pas de 250  $\mu\text{m}$  sont disponibles chez Mitsubishi. Des circuits TAB à 2 niveaux de métallisation, de plus de 360 E/S, au pas de 100  $\mu\text{m}$  (ILB ?) (50  $\mu\text{m}$  épaisseur de cuivre + 50  $\mu\text{m}$  d'espacement) sont aujourd'hui également disponibles chez Rogers Corp., PO Box 700, Chandler Ariz. 85244.

En développement, on trouve des composants au pas de 76  $\mu\text{m}$  : 38 + 38, avec plus de 700 E/S. Il s'agit ici des pas pour l'ILB.

#### 2.2.4.2.10 TAPE-PAK

Ces boîtiers semblent promis à un brillant avenir. Les broches de ces composants se terminent autour d'un support plastique (Molded Carrier Ring, ou MCR). Le pin out de ces boîtiers peut aujourd'hui aller jusqu'à 520.



*Boîtier MCR*

#### 2.2.4.2.11 MCM (Multi Chip Module)

On voit maintenant apparaître [62] des boîtiers intégrant non plus une seule puce sur un substrat de silicium, mais plusieurs puces sur un même substrat : le gain en surface active de silicium est supérieur à 20 % en raison de l'interconnexion directe sur ce même silicium entre ces chips (les pourtour des plots d'interconnexion des puces (ou sont soudés les fils de liaison aux broches des boîtiers) est souvent ce qui induit leur taille, en raison de leur encombrement important), d'où l'intérêt.

La séparation entre l'appellation 'Hybride' et MCM est déterminée par le pourcentage en gain de surface de silicium : MCM au-delà des 20 %.

On note alors que les composants passifs deviennent de plus en plus gros en regard de la taille des puces. On retrouve également le problème de la frontière entre test fonctionnel et test in-situ : la carte qui a été remplacée par un MCM était auparavant testée par un test 'in-circuit' : le test du MCM équivalent est devenu fonctionnel.

Cette technique permet d'atteindre entre 300 et 450 E/S, avec un pas de 6.5 mils (160  $\mu\text{m}$ ), au niveau silicium. Les boîtiers d'encapsulation, quant à eux, restent des boîtiers standards.

Elle deviendra compétitive en prix d'ici 1 à 2 ans.

En fait le MCM est le packaging des années 90 [34]. Ils sont attendus pour maintenir une chaude croissance du marché pendant les années 90.

Les MCM sont très proches de la définition classique des hybrides céramiques, mais en diffèrent suivant un aspect majeur : tandis que les hybrides sont destinés à augmenter le gain en volume, les MCM sont destinés à accroître les performances. Ils sont concernés par des caractéristiques électriques comme les temps de propagation, et l'impédance contrôlée. MCM peut donc être considéré comme une autre forme de l'intégration Wafer.

Pourquoi les MCM ? Parce qu'on va doucement vers les 150 / 200 Mhz de fréquence d'horloge demandés par les nouvelles stations de travail. A ces vitesses, les chemins de connection de boîtier à boîtier deviennent un facteur limitant de la performance. Ceci ne peut être atteint que par l'élimination ou la réduction du nombre de boîtiers discrets et par le placement aussi proche que possibles des diverses puces nues.

Il y a 3 types de MCM :

- MCM-L, où les puces nues sont montées sur un substrat FR-4 multicouche (extension d'un PCB)
- MCM-C, qui utilise un substrat céramique multicouche (extension d'un hybride)
- MCM-D, utilisant ou un substrat à base de céramique ou à base de silicium, possédant des couches alternées de diélectrique (on cherchera de faibles constantes diélectriques et de faibles facteurs de dissipation) et de couches routées (jusqu'à 25  $\mu\text{m}$  de largeur de cuivre et d'isolement). Cette dernière technologie est celle qui obtient les meilleures performances.

La liaison entre la puce et le substrat peut-être un bonding, ou du TAB.

Le succès futur des MCM ainsi que l'abaissement du coût des techniques de production dépend fortement du test et des diagnostics. Il existe 2 techniques prometteuses :

- le Boundary Scan
- l' e-beam (ou electron beam). Ce dernier est rapidement en train de remplacer les systèmes à accès mécanique, car ceux-ci sont lents, et pourraient endommager les substrats. Le test des court-circuits et des coupures avec l'e-beam, employant une méthode sans contact de contrastes d'image produits par des voltages différents est 10 à 100 fois plus rapide que les systèmes mécaniques.

### 2.2.4.3 Commentaires généraux sur les boitiers

Lorsque l'on considère l'évolution de la complexité des boitiers, il y de quoi s'inquiéter : des pas de 300  $\mu\text{m}$  voire moins peuvent faire peur.

On peut toutefois relativiser les choses avec la remarque suivante : la diminution du pas des boitiers peut difficilement aller plus vite que l'augmentation de la finesse de gravure des circuits imprimés.

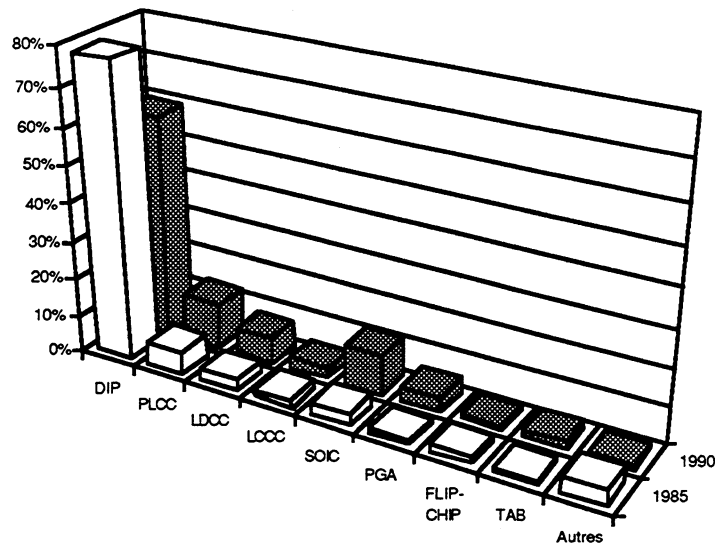
Aujourd'hui, la classe 4 est un standard industriel, avec 230  $\mu\text{m}$  de largeur de piste, et 230  $\mu\text{m}$  d'isolement entre pistes ou trous métallisés, ce qui conduit à des pas minimaux de 460  $\mu\text{m}$ .

La classe 5 est dominée par quelques fabricants (les plus gros), avec 150  $\mu\text{m}$  de largeur de piste, et 200  $\mu\text{m}$  d'isolement, soit un pas min de 350  $\mu\text{m}$  théorique, ou 250  $\mu\text{m}$  en pratique.

Seule la classe 6, qui n'est pas encore là, permettra d'atteindre les pas de 300  $\mu\text{m}$  et moins. Il faut s'y préparer.

### 2.2.4.4 La répartition des divers types de boitiers dans la production

La figure ci-dessous (SGS-THOMSON), situe en 1987 la répartition des divers types de boitiers dans la production :



Boitiers	1985	1990
DIP	78%	59%
PLCC	6%	12%
LDCC	3%	7%
LCCC	2%	3%
SOIC	3%	11%
PGA	1%	4%
FLIP-CHIP	2%	1%
TAB	1%	2%
Autres	4%	1%

#### Répartition des divers types de boîtier dans la production

On vérifie la décroissance progressive de la technologie à insertion.

Dans la mesure où une carte est dite CMS dès qu'elle contient un certain nombre de composants CMS, du fait que toute la technique de production CMS (assemblage + test) doit lui être appliquée, il est clair que le nombre de cartes dites CMS est encore plus important que ne le souligne cette courbe.

66.5 % des boîtiers seront CMS en 1994 (dont 32 % de la production mondiale sous la forme de boîtiers SO), contre 26.8 % en 1989. Dans le même temps, les boîtiers DIP passeront de 73.2 % à 33.5 % de la production mondiale.

Les boîtiers QFP et Chip Carrier passeront respectivement de 9 % à 18.8 % et de 6.5 % à 13 %.

Les technologies Chip on Board et TAB, bien que promises à un bel avenir semblent encore sous-employées en raison d'un manque de standardisation.

Selon une source ICE, 80 % des circuits imprimés recevront des circuits CMS en 1994.

#### 2.2.4.5 Densité des boîtiers

La densité des boîtiers nous intéresse au plus haut point, dans la mesure où la densité de points de test y est inférieure ou égale, d'après nos remarques précédentes (paragraphe 2.2.4.1). Si nous utilisons le concept d'extrémités d'équipotentielle, on va voir que la densité réelle de test devrait être entre 50% et 75 % moins élevée.

Le tableau suivant traduit l'occupation de surface des boitiers, en fonction du nombre de sorties, et du type de boitier (source divers DATA BOOK) :

DENSITE (broches/mm2)								Pas
Broches	DIP	PLCC	SOP	SSOP	PGAQFP	TAB-PAK	MCM	
8	11,0	-	22,9	-	-	-	-	
14	9,3	-	-	-	-	-	-	
16	10,7	-	18,8	-	-	-	-	
18	9,7	15,7	-	-	-	13,8	-	
20	10,0	20,0	-	-	-	-	-	
22	7,6	19,1	-	-	-	-	-	
24	4,9	-	-	-	-	12,5	-	
28	4,8	17,5	13,0	-	-	-	-	
32	-	16,8	-	-	-	16,3	-	
40	5,0	-	-	-	-	-	-	
42	5,3	-	-	-	-	-	-	
44	-	14,2	-	-	-	22,4	-	
44	-	-	-	-	-	23,8	-	0,8 mm
46	-	-	-	-	-	8,7	-	
48	5,0	-	-	28,8	-	-	-	
52	3,5	-	-	-	-	-	-	
52	-	-	-	-	-	16,8	-	1 mm
56	-	-	-	30,5	-	28,6	-	
60	-	-	-	-	-	12,5	-	
64	3,7	-	-	-	9,3	13,5	-	
64	-	-	-	-	-	15,4	-	1 mm
68	3,6	10,6	-	-	-	-	-	
72	-	-	-	-	9,2	-	-	
80	-	-	-	-	-	16,8	-	
80	-	-	-	-	-	28,6	-	
80	-	-	-	-	-	19,3	-	0,8 mm
80	-	-	-	-	-	40,8	-	0,5 mm
84	-	-	-	-	-	-	6,8	1,27 mm
84	-	9,1	-	-	-	16,2	-	
88	-	-	-	-	9,5	18,5	-	
100	-	-	-	-	-	25,0	62,1	380 µm
100	-	-	-	-	-	35,7	-	
100	-	-	-	-	-	-	7,1	1,27 mm
100	-	-	-	-	-	24,1	-	0,65 mm
120	-	-	-	-	7,3	12,0	-	
120	-	-	-	-	-	15,3	-	
120	-	-	-	-	-	11,7	-	0,8 mm
124	-	-	-	-	-	-	6,1	1,27 mm
132	-	-	-	-	10,4	16,3	-	
132	-	-	-	-	-	-	17,6	635 µm
136	-	-	-	-	-	13,3	-	0,65 mm
144	-	-	-	-	-	18,4	-	
148	-	-	-	-	-	13,8	-	
160	-	-	-	-	-	16,0	-	
160	-	-	-	-	-	20,4	-	
160	-	-	-	-	-	15,6	-	0,65 mm
164	-	-	-	-	-	13,0	-	
124	-	-	-	-	-	-	10,1	635 µm
176	-	-	-	-	13,9	-	109,3	250 µm
184	-	-	-	-	-	18,0	-	
196	-	-	-	-	-	-	13,9	635 µm
208	-	-	-	-	12,6	-	-	
208	-	-	-	-	-	26,5	-	
240	-	-	-	-	-	23,4	-	
244	-	-	-	-	-	-	11,9	635 µm
256	-	-	-	-	-	32,7	-	
272	-	-	-	-	-	21,0	-	
296	-	-	-	-	-	28,9	81,5	250 µm
304	-	-	-	-	-	19,0	-	
336	-	-	-	-	-	25,9	-	
376	-	-	-	-	-	23,5	-	
400	-	-	-	-	-	25,0	62,0	250 µm
400	-	-	-	-	-	25,0	28,6	380 µm

### *Densité de broches par cm2 de divers boitiers*

On voit que la grande majorité des boitiers, ou en tous cas les plus courants (hormis les boitiers TAB) ne dépassent pas 16 broches/cm2, ce qui correspond à la densité de grille universelle au pas de 1/10 de pouce (voir plus loin).

Le cas de densité supérieure à 16 et inférieure à 32 est peu courant (sauf pour le TAB, ou cela est presque systématique).

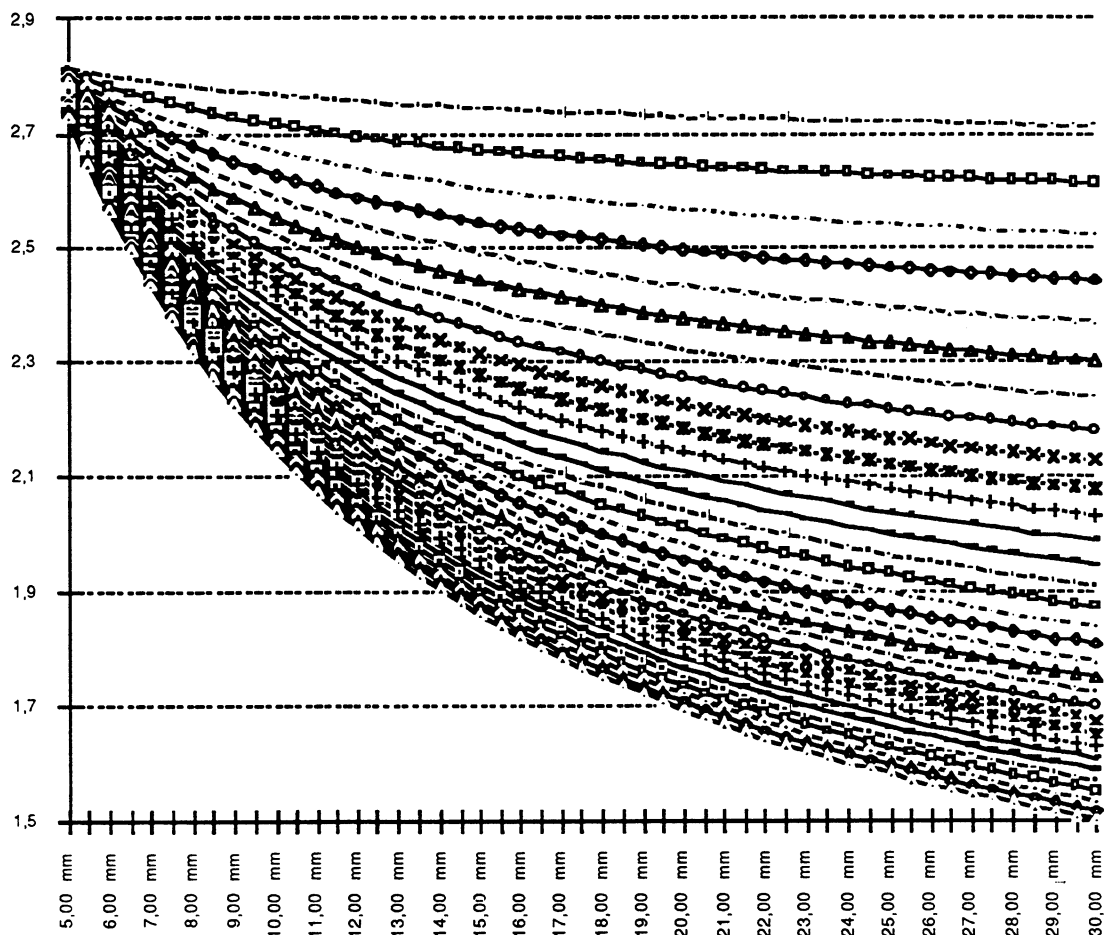
Le cas d'une densité supérieure à 32, comme c'est le cas pour le TAB, deviendra de moins en moins exceptionnel, sauf pour les boitiers classiques (DIL, CMS, etc...).

Pour la figure suivante, nous avons essayé de montrer que la densité de broches d'un composant (QFP, soit 4 côtés) dépendait non seulement de son pas, mais aussi de ses dimensions.

Au préalable, il nous faut définir ce que nous appelons la densité de référence. La densité de référence est la densité équivalente d'une grille universelle au pas de 100 mils (2.54 mm). Nous définirons plus en détail ce qu'est la grille universelle un peu plus loin. Il faut savoir ici que la grille universelle représente un agencement régulier de contacts électriques, chacun relié à un point de test électronique du testeur. La maille standard est de 2.54 mm, ce qui représente environ une densité de 15.5 contacts au cm<sup>2</sup>.

En abscisse, on trouve la longueur d'un côté du composant, et en ordonnée la densité auquel le composant correspond, en terme de multiples de pas de grille de 2.54 mm.

Les diverses courbes correspondent à l'autre dimension du composant (2ème côté, allant de 5 à 20 mm).



Densité de broches en multiple de densité de grille universelle au pas de 2.54 mm, pour un composant carré au pas de 0.5 mm, en fonction du nombre de broches d'un côté.

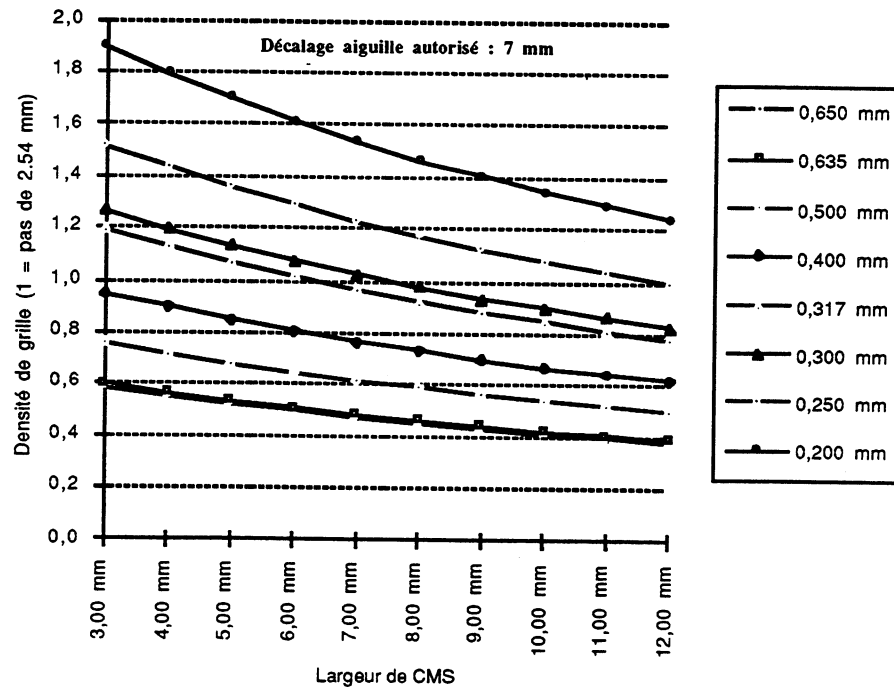
On peut alors faire les remarques suivantes :

- la densité relative du composant diminue au fur et à mesure que ses dimensions augmentent.
- les composants de ce pas ont en général une longueur bien au delà des 10 mm, ce qui veut dire que leur densité relative ne devrait pas excéder 2, dès que le composant dépasse une dimension de 15 \* 15 mm.



- ce qui veut dire, en prenant pour hypothèse qu'une équipotentielle comprend au moins 2 fois plus de composants que d'extrémités d'équipotentielle, que ce type de composant sera tout à fait testable avec une grille universelle au pas de 2.54 mm, comme nous le détaillerons plus loin.

La figure ci-dessous permet de voir, pour un connecteur à pas fin (ligne simple) quelle densité de grille est nécessaire, en fonction de la largeur d'une carte miroir, de son pas, et du décalage max autorisé au niveau de l'aiguille. L'exemple ci-dessous est donné pour un décalage max de 7.0 mm (un peu moins de 3 décalages de pas).



On remarque entre autres que le pas de 10 mils (254  $\mu$ m) est interfaçable avec une grille simple densité pour une largeur de CMS de 12 mm.

NB : un connecteur est a priori exclusivement fait d'extrémités d'équipotentielles. On ne peut donc pas tenir compte d'un facteur de réduction au niveau du nombre de points de test réel.

#### 2.2.4.6 Densité moyenne des circuits en termes de broches

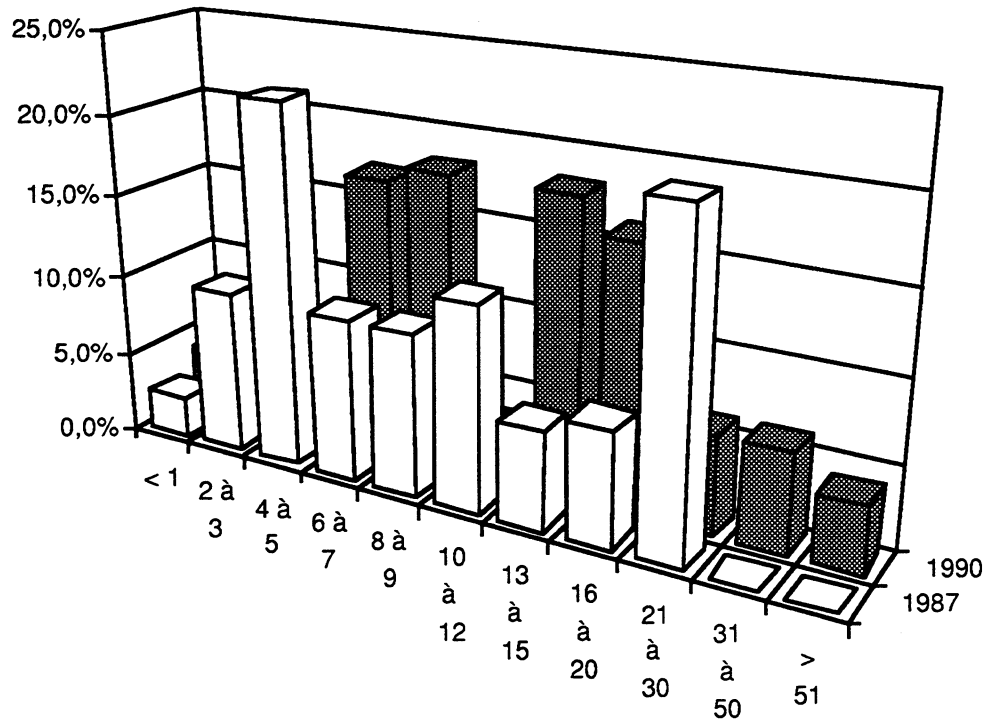
Au de à de la densité locale d'un circuit, correspondant aux boîtiers, il est également intéressant de prendre un peu de recul, pour avoir une idée de la densité moyenne d'un circuit.

En 1989, la densité de 'broches' au cm<sup>2</sup>, par face de circuit, était de [15] :

- . 3 - 4 (max 5) pour la technologie traversante
- . 7 - 16 (max 20) pour le CMS

Aujourd'hui, certains circuits atteignent des densités moyennes de plus de 32 broches par cm<sup>2</sup>. On peut relativiser en remarquant que ce chiffre est donné pour un circuit, et non par face de circuit. Cela fait chuter d'un rapport 2 la densité par face, qui n'en reste pas moins voisine de 15 broches / cm<sup>2</sup> et par face, ce qui est très proche de la densité de référence, soit 15.5 broches/ cm<sup>2</sup>.

D'une manière plus générale, la figure ci-dessous montre la proportion de circuits pour une densité de broches au cm<sup>2</sup> donnée (les 2 faces confondues) :



#### Proportion de circuits pour une densité de broches au cm<sup>2</sup> donnée (les 2 faces confondues)

Si l'on assimile un point de test à une broche, les testeurs basés sur une grille universelle au pas de 2.54 mm (densité de référence) ne sont plus à même de tester localement ce type de circuits, car la densité locale dépasse les 15 points par cm<sup>2</sup>.

#### 2.2.4.7 Complexité des boîtiers

On l'a vu précédemment, c'est de la nature des boîtiers, ou plus exactement de leurs empreintes sur le circuit imprimé que va dépendre la complexité du test.

Nous allons maintenant essayer de décrire plus précisément les caractéristiques des boîtiers susceptibles d'engendrer des problèmes au niveau du test.

La complexité d'un boîtier s'entend donc ici au sens de son accessibilité en vue de son test. Il y a ainsi deux paramètres importants à considérer :

- la densité des boîtiers. On remarque sur le tableau 'Densité de broche par cm<sup>2</sup> des divers boîtiers' qu'un certain nombre de boîtiers dépassent les 16 pins / cm<sup>2</sup>, qui est la densité de référence des grilles universelles de testeurs actuels : au delà de cette densité, les outillages de test ne restent plus simples, car il n'y a pas localement suffisamment de points de test électronique à mettre en correspondance avec les points à tester sur le circuit, d'où l'intérêt a priori de systèmes de test à densité supérieures.

NB : la liste ci-dessus n'est pas exhaustive.

On peut toutefois ajouter que la surface utilisée pour le test est légèrement supérieure à la surface d'occupation réelle, en raison de la possibilité de décalage des aiguilles utilisées pour l'outillage de test,

qui sera décrit plus en détail ultérieurement, ce qui fait chuter cette densité, celle-ci restant néanmoins importante.

- le pas des boîtiers. Certains boîtiers vont présenter des densités inférieures à 16, à l'échelle de la surface qu'ils occupent, mais :
  - . ils peuvent présenter localement des densité fortes (supérieures à 16), du fait de leur faible pas
  - . ils peuvent être inaccessibles par un système à lit de clous, du fait de la proximité de deux points de test juxtaposés à un faible pas.

**Boîtier complexe** (définition) : un boîtier est dit complexe au sens du test dès l'instant où son empreinte n'est pas facilement accessible par un lit de clous classique, sans déployer des moyens faussant le test, comme le décalage de points de test sur une équipotentielle.

C'est le cas pour l'un ou l'autre des cas suivants :

- densité locale ramenée à la surface de l'empreinte supérieure à 16 broches / cm<sup>2</sup>.
- pas du boîtier inférieur ou égal à 0.025 " (0.635 mm).
- surface de test inférieure à 1 mm<sup>2</sup>.

Cette liste n'est peut-être pas tout à fait exhaustive. Elle reste à être complétée. A la suite de cela, il sera possible de cerner le nombre de ces empreintes complexes qui ne devrait pas dépasser la centaine, voire beaucoup moins si l'on utilise quelques astuces (voir plus loin la notion de carte miroir standard).

Ci-dessous, on trouvera des exemples de définition d'empreintes préconisées par le fabricant de boîtier (ici OKI), en correspondance avec la nature du boîtier (dimensions de ses broches).

Pas (mm)	EMPREINTE					CONTOUR			
	Largeur (mm)	Erreur max de largeur	Longueur (mm)	Surface (mm <sup>2</sup> )	Isolément (mm)	Nb Broches	Boîtier	Surface empreinte (mm <sup>2</sup> )	Densité (broches/cm <sup>2</sup> )
1,27	0,5		2,2	1,1	0,77	8	PLCC	34,48	23,20
1,27	0,5		2,2	1,1	0,77	16	PLCC	87,33	18,32
1,27	0,5		2,2	1,1	0,77	24	PLCC	191,00	12,57
1	0,5		2,2	1,1	0,5	32	PLCC	204,60	15,64
0,8	0,4		2,2	0,88	0,4	44	PLCC	230,79	19,06
0,65	0,35		2,2	0,77	0,3	56	PLCC	230,79	24,26
0,8	0,4		2,2	0,88	0,4	80	PLCC	529,24	15,12
0,65	0,35		2,2	0,77	0,3	100	PLCC	529,24	18,90
0,65	0,3	± 0,1 mm	2,2	0,66	0,35	56	QFP	195,75	28,61
0,8	0,3	± 0,1 mm	2,2	0,66	0,5	80	QFP	475,00	16,84
0,65	0,3	± 0,1 mm	2,2	0,66	0,35	100	QFP	475,00	21,05

### Quelques recommandations d'un fabricant de boîtiers au niveau de la géométrie des empreintes qui vont le recevoir

On constate alors :

- que le pas minimal de 0.65 mm ici est loin de la valeur théorique de l'élastomère, qui est, pour cette largeur d'empreinte (0.3 mm) de 0.37 mm
- que la surface des empreintes, même pour les faibles pas (0.65 mm), est supérieure à 0.66 mm<sup>2</sup>, alors que la valeur limite aujourd'hui au niveau des élastomères pour avoir un bon contact est 0.165 mm<sup>2</sup>.
- que l'isolement minimal entre 2 pastilles de test est de 0.2 mm au pas de 0.650 (tolérances comprises), alors que la valeur limite au niveau de l'utilisation des élastomères est 0.1 mm.

## 2.2.4.8 Empreintes de boîtiers - Géométrie et nature

### *2.2.4.8.1 Géométrie des empreintes de boîtiers*

Considérant que les composants de la technologie traversante, vu leur pas toujours supérieur ou égal à 2.54 mm (voire dans certains cas 1.27 mm) ne pose pas de problèmes au niveau du test, nous nous concentrerons sur les composants CMS.

Le dessin des plages d'accueil, leur orientation, la prise en compte des contraintes dues au test, les proximités pour le passage des outils de réparation sont des paramètres importants à considérer.

Les données de base permettant de définir les plages d'accueil sont les suivantes :

- les tolérances dimensionnelles sur les composants
- les contraintes de dessin (grille, classe)
- les contraintes de traçage ("ouverture" disponibles)
- les contraintes liées aux procédés (passage d'outils, position des points de colle, etc...)

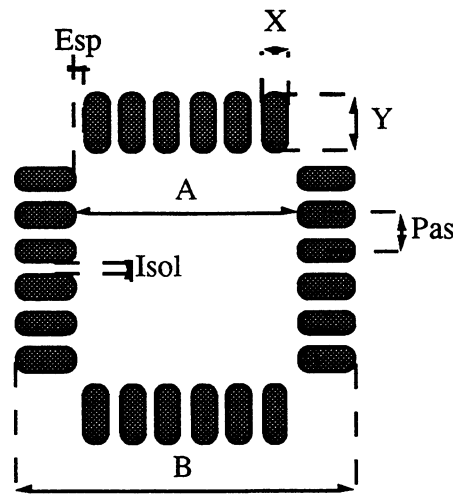
Les plages d'accueil peuvent avoir des géométries différentes suivant le mode de brasage utilisé.

On peut alors donner le tableau suivant :

BOITIER	Ex de pas	Nb broches	Xmax (mm)	Isol min (mm)	Y (mm)	A (mm)	B (mm)	S (mm <sup>2</sup> )	Esp. (mm)
SO	1,27	16	0,64	0,63	1,92	2,9	6,74	1,23	-
PLCC	1,27	44	0,64	0,63	1,45	14	16,9	0,93	0,23
LCC	1,27	44	0,81	0,46	1,75	14	17,5	1,42	0,23
PQFP	0,635	100	0,4	0,235	3,5	17	24	1,4	0,23

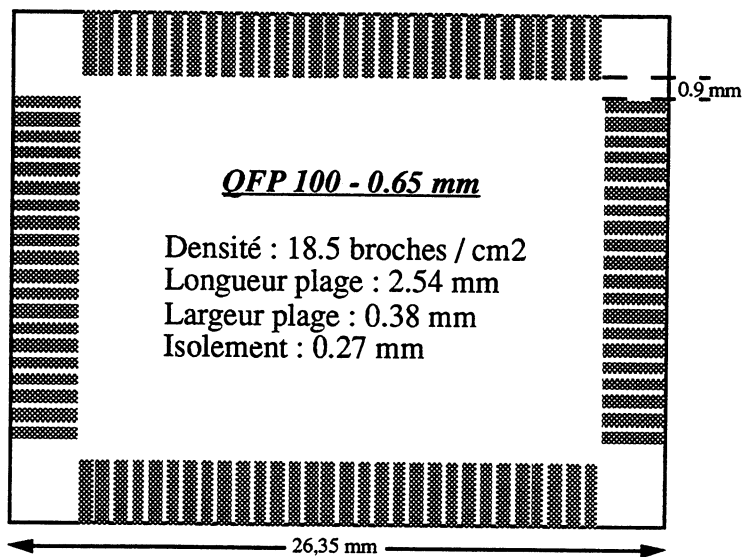
Recommandations [22] au niveau de la géométrie des plages d'accueil des composants

Où les différents paramètres sont exprimés par la figure suivante :



Paramètres de description de la géométrie des plages d'accueil des composants

A titre d'exemple, nous avons représenté l'empreinte d'un boîtier de plus en plus courant le QFP 100 [68], au pas de 0.65 mm, avec les différents paramètres qui le caractérisent :



**Empreinte du boîtier QFP 100 - pas de 0.65 mm**

Pour obéir à certains impératifs de tenue mécanique, chaque broche CMS se doit d'être soudée avec une certaine rigidité. Cela implique une surface minimale de brasage. Aussi, lorsque le pas des boîtiers diminue, impliquant une diminution de la largeur de l'empreinte, la longueur devrait augmenter, de telle façon qu'on obtienne une surface constante ou minimale. Le document ci-dessous s'en fait l'illustration :

Source OKI - Déc. 86

Référence boîtiers	1.27 mm			1 mm			0.8 mm			0.65 mm		
	Largeur	Longueur	Surface	Largeur	Longueur	Surface	Largeur	Longueur	Surface	Largeur	Longueur	Surface
<b>QFP</b>												
8 pins → 32 pins	0.5	2.2	1.1									
44 pins							0.4	2.2	0.88			
56 pins → 64 pins				0.5	2.2	1.1				0.35	2.2	0.7
80 pins							0.4	2.2	0.88			
88 pins → 100 pins										0.35	2.2	0.7
			min : 1.1			1.1			0.88			0.77
Surface min empreinte QFP =		0.77	mm <sup>2</sup>									
<b>PLCC</b>												
18 pins → 84 pins	0.76	1.8	1.368									
			min : 1.368									
Surface min empreinte PLCC =		1.368	mm <sup>2</sup>									

### Géométrie recommandée par OKI au niveau des empreintes de boîtiers sur le circuit imprimé nu

On remarque que la surface min recommandée est de 0.77 mm<sup>2</sup>, pour un pas de 0.65 mm. C'est la surface disponible pour accéder mécaniquement à la plage à tester.

Nous ne disposons pas des informations pour les boîtiers à plus faible pas, tels les boîtiers QFP 0.5 mm, ou les boîtiers TSOP, de pas de 0.4, voire 0.3 mm. Mais pour de simples raisons de brasabilité, nous pensons que la longueur de l'empreinte devra rester supérieure à 1 mm, ce qui porte à 0.15 mm<sup>2</sup> la surface de contact min pour les pas de 0.3 mm. On voit que le problème de l'accès à des plages de cette nature va être un problème ardu.

A titre d'information, les fabricants de circuits les plus performants atteignent leurs limites pour des largeurs de plage de 0.25 mm, ce qui correspond à des pas voisins de 0.5 mm voire 0.4 mm,

indépendamment des autres problèmes que ce genre de pas puissent leur poser : ceci est la limite mécanique des pointes utilisées à l'intérieur des outillages.

#### 2.2.4.8.2 Nature des empreintes de boitiers

La finition métallique la plus répandue jusqu'à présent [22] était l'étain-plomb refondu (étamage) sur les conducteurs et les zones à braser.

Mais sur les circuits de densité élevée, l'absence d'étain-plomb sur les conducteurs permet d'améliorer les opérations de brasage (refusion et vague), en supprimant les défauts suivants :

- formation de courts-circuits entre pistes rapprochées sous le revêtement d'épargne (postérieur à la fabrication du circuit nu).
- craquelures du revêtement d'épargne-brasage sur les plages de masse.

Différentes solutions techniques sont alors possibles :

- étain-plomb sélectif : l'étain plomb est déposé par 'étamage au trempé' sur les plages d'accueil (les conducteurs sont revêtus d'une couche épargne), puis nivelage par air chaud (Hot Air Leveling).
- cuivre nu passivé sur la totalité du circuit.

Les CMS ont besoin d'une plage d'accueil plane : l'étain plomb refondu ne convient donc pas. L'étain plomb sélectif, ou le cuivre nu passivé conviennent.

Mais de plus en plus, la tendance [22] au niveau du revêtement des plages acceptant des composants est la dorure, ou dorure sélective. Ces technologie permet des tracés beaucoup plus précis que l'étamage. De plus la plage est beaucoup plus plane ce qui en fiabilise la soudabilité.

L'accès mécanique à la plage en vue du test se devra de tenir compte de ces revêtements, de manière à optimiser celui-là, sans endommager la plage.

#### 2.2.4.9 Proximité des composants

Les distances entre 2 composants CMS sur un circuit imprimé ne peuvent pas être aussi proches que ne pourrait le souhaiter son concepteur. En effet, l'utilisation de machines de placement, manipulant les composants avec des buses qui ont parfois un encombrement non négligeable ont conduit à une réglementation dans ce domaine.

Le Guide Européen des CMS recommande [22] de laisser les espacements suivants :

- Chip (résistance / condensateur) / SO : min 2.54 mm
- Chip (résistance / condensateur) / PLCC ou QFP : min 5.08 mm
- SO / SO : min 2.54 mm
- SO / PLCC : min 5.08 mm
- QFP / PLCC : min 5.08 mm

Les distances exprimées ci-dessus sont définies centre à centre par rapport aux plages d'accueil des composants.

Nous verrons plus loin que cette caractéristique pourra nous être relativement utile par la suite.

#### 2.2.4.10 Test et vernis épargne

Le revêtement d'épargne-brasage a pour but principal d'éviter la formation de ponts de soudure entre conducteurs rapprochés lors des opérations de brasage. Avec l'intégration des circuits imprimés, ces revêtements doivent répondre à de nouvelles exigences :

- précision de pose
- régularité de l'épaisseur du revêtement
- compatibilité chimique avec la colle qui va permettre le maintien des composants CMS.

On distingue :

- les vernis sérigraphiques conventionnels (applicables jusqu'à la classe 3)
- les masques photo-imageables :
  - . films secs (50 à 100  $\mu\text{m}$  d'épaisseur) : polymères semi-solides, insolés aux UV, puis développés et polymérisés.
  - . les résines liquides photosensibles (épaisseur contrôlée entre 20 et 50  $\mu\text{m}$ )

Les vernis-épargne vont être de grande utilité au niveau du test des circuits nus. En effet, la connaissance de ce dernier, sous la forme de fichiers GERBER va correspondre à la définition d'un masque des points de test : tous les points de test du circuit devront se trouver dans les fenêtres épargnées par le vernis. La distance et la hauteur de ces films par rapport aux plages de test pourra induire des problèmes de contact suivant les méthodes d'accès au points de test utilisées.

#### 2.2.4.11 Taux de couverture réel

Nous abordons ici la description d'un paramètre fondamental pour le test : le taux de couverture en test du circuit.

La complexité des systèmes de test actuels, et essentiellement des empreintes des nouveaux boîtiers haute densité, fait que l'accès aux noeuds d'équipotentiels (constitués des empreintes des boîtiers) est très délicat avec la technologie classique du lit de clous, ce qui amène à prévoir, lors du 'design de la carte' (DFA : Design For Accessibility), des points de test déportés un peu plus loin (points utilisés pour le test de continuité) que les plages de test théoriques.

Dans ces zones très denses, il se présente statistiquement 90 % de chance de trouver un défaut d'isolement (source MANIA).

En conséquence, seulement 10 % des défauts sont des défauts dus à des coupures (non continuité). Hors la continuité n'est théoriquement pas testée (pour les empreintes complexes, et en utilisant une méthode classique à base de lits de clous et de déport de points de test) entre le point de test déporté, et le point de test théorique (terminaison d'équipotentielle) : le taux de couverture du circuit n'est donc pas de 100 % avec la méthode classique.

On en vient alors au paradoxe suivant : du fait d'un manque de communication, des concepteurs ajoutent ces points (sous l'impulsion de nombreux articles sur le DFT, Design for Testability) qui sont écrits en ces périodes difficiles au niveau du test) qui n'ont d'autre objet que d'aider la fabricant à tester le circuit. Mais ce dernier n'ayant dans 99.9 % des cas aucune relation avec le concepteur, pense devoir tester à la fois la plage originelle, et ce point correspondant au point de test déporté : le problème est encore plus crucial pour lui !

Idéalement, le taux de couverture se doit d'être au moins 100% : le circuit doit avoir été vérifié complètement, c'est à dire que la continuité doit être vérifiée sur toutes les équipotentiels, et l'isolement entre toutes les équipotentiels.

Ce taux peut également être supérieur à 100%, lorsqu'on introduit une redondance au niveau du test (ajouter par exemple des points de test qui ne seraient pas des extrémités d'équipotentiels) volontairement ou involontairement. Cela ne sera qu'exceptionnellement utile.

Par contre, il est inacceptable que le taux de couverture soit inférieur à 100%, ne serait-ce que d'1%, car il autorise la livraison de cartes défectueuses. L'exemple suivant s'en fait l'illustration :

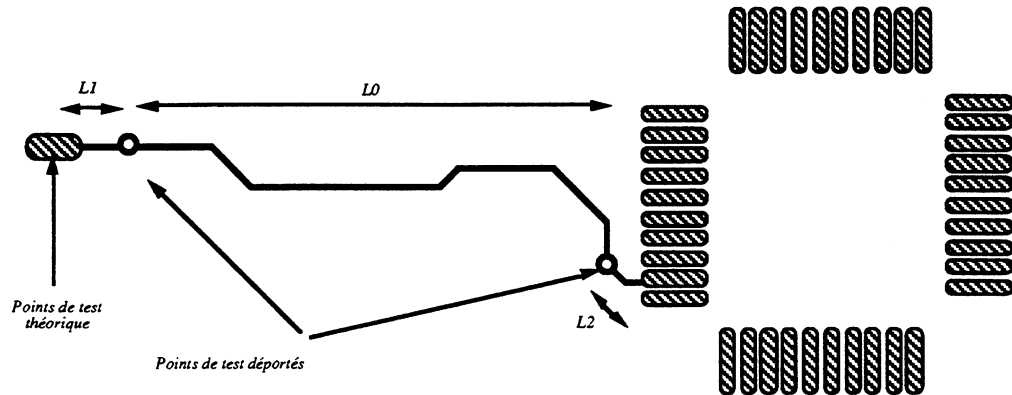
Si un circuit imprimé n'est couvert au niveau de son test qu'à 95 % (pour des raisons de non accessibilité aux points réels), et si l'on reprend les chiffres moyens des taux de défauts sur les circuits CMS (5 % des circuits de 2000 équipotentielles en moyenne comprennent au moins une erreur) alors on calcule qu'1 équipotentielle sur 2 500 présente une erreur (25 PPM). Si on n'en teste que réellement que 95 % du total, on aura une marge d'erreur possible sur 100 équipotentielles, soit une erreur moyenne sur  $5 \% * 100 = 5$  équipotentielles, ce qui conduit à une incertitude sur l'erreur globale de 0.25 % (250 PPM), ce qui est colossal.

Un taux de couverture de 99 % conduirait à 500 PPM (avec un taux d'erreur process de 5 %).

Un taux de couverture de 99.9 % conduirait à 5 PPM (avec un taux d'erreur process de 5 %).

Un taux de couverture de 99.95 % conduirait à 2 PPM (avec un taux d'erreur process de 5 %).

Reprenons l'exemple concret du début de ce paragraphe : les circuits d'aujourd'hui présentent un grand nombre d'équipotentielles non accessibles dans leur totalité au niveau du test de continuité (test des extrémités d'équipotentielles). Il est alors communément admis (bien que cela soit aberrant comme on va le voir) de déplacer ces points de quelques mm, du fait de leur non accessibilité par des systèmes de test classiques. La figure ci-dessous illustre les différents paramètres intervenant dans notre calcul :



Taux de couverture en continuité (Test de CI nus) - 1

L0 est la longueur de l'équipotentielle à problème réellement testée en continuité. L1 et L2 sont les portions non testées. On obtient alors, en fonction de diverses hypothèses sur la fiabilité du process de fabrication, la proportion d'équipotentielles posant des problèmes d'accès aux points de test réels, la distance entre le point de test théorique et le point de test réel, le tableau suivant, donnant le taux d'erreur finales non détectées :

Taux d'erreur process (% circuits bons)	% de défauts de continuité	% des équipotentielles à problème d'accès	L0 (mm)	L1 (mm)	L2 (mm)	Taux de de couverture	Erreurs non détectées (PPM)
0,50%	20,00%	20,00%	100	1	1	100,00%	4
2,50%	20,00%	20,00%	100	1	1	100,00%	20
5,00%	20,00%	20,00%	100	1	1	100,00%	39
10,00%	20,00%	20,00%	100	1	1	99,99%	78
0,50%	30,00%	20,00%	50	2	2	100,00%	15
2,50%	30,00%	20,00%	50	2	2	99,99%	74
5,00%	30,00%	20,00%	50	2	2	99,99%	148
10,00%	30,00%	20,00%	50	2	2	99,97%	296

Taux de couverture en continuité (Test de CI nus) - 2

Une source MANIA nous apprend qu'en moyenne, entre 5 et 30 % des défauts enregistrés sont dus à des défauts de continuité.



On remarque que dans un cas typique de process, générant 5 à 10% de cartes défectueuses, pour une carte comprenant 20% d'équipotentiels comprenant des composants "fine pitch" (causant des problèmes d'accès), avec une moyenne de 5 cm de longueur par équipotentielle, et une hypothèse moyenne de déport des points de 2 mm, 3 cartes sur 10 000 seront annoncées bonnes alors qu'elles ne le seront pas.

**D'où l'importance d'accéder véritablement à tous les points de test théoriques**, de manière à faire chuter à 0 PPM le nombre de circuits imprimés nus passant le cap du test alors qu'ils ne sont pas bons.

#### 2.2.4.12 Nombre de points de test et densité de grille

Les circuits devenant de plus en plus denses, pour une surface de test donnée, le nombre de points de test nécessaires croît, en nombre et en densité.

Aujourd'hui, les systèmes de test utilisent une grille universelle au pas de 2.54 mm, ce qui conduit à une densité d'environ 16 points de test par cm<sup>2</sup> (15.5 exactement). Or la densité de broches des composants évolue fortement (cf paragraphe 1.4), et certains d'entre eux dépassent largement 16 pts/cm<sup>2</sup>, voire atteignent les 32 pts/cm<sup>2</sup>. Cela veut dire qu'une évolution des grilles universelles vers la double densité est inéluctable, si l'on en reste sur ses hypothèses non optimales.

Une conséquence majeure en serait l'augmentation du nombre de points de test sur un même système, car si la densité de la grille universelle double, la surface reste la même : les systèmes vont posséder en moyenne à terme 2 fois plus de point de test.

Aujourd'hui, néanmoins, la grande majorité des systèmes de test comprennent des grilles au pas de 2.54 mm, le nombre de points de test moyen se situant aux alentours de 30.000.

Toutefois, le nombre moyen de points réellement affectés au test est de l'ordre de 3500 (ce chiffre variant dans une fourchette de qq pts à 20000 pts), soit environ 10% seulement des points présents sur la grille de test. Avec un système double densité, ce chiffre passerait à 5 %, ce qui représente un gachis relativement important, d'autant plus que doubler le nombre de points de test sur le testeur revient à doubler son prix, qui est déjà un goulet d'étranglement pour son achat en simple densité.

Or la progression de la complexité des cartes n'est pas stabilisée. On peut rappeler les tendances pour les années 90 :

- circuits de classe 5-6 avec des pistes inférieures à 120 µm.
- augmentation de la densité locale (chip à 400 E/S).
- pas de 250 µm

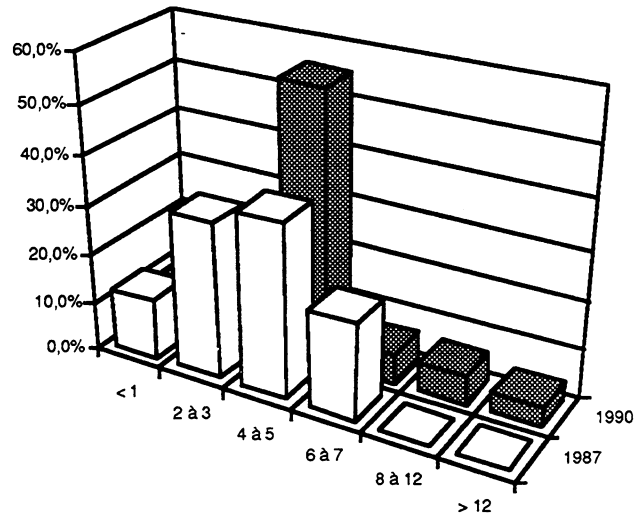
Alors que déjà se posent des problèmes de densité pour 51 % des sociétés françaises [20] (100 % des fabricants intégrés, et 60 % chez les petits fabricants de moins de 50 employés).

En fait, une grande confusion règne à la fois chez les fabricants de circuits imprimés (qui ne sont pas des spécialistes du test) mais également chez les fabricants de testeur. Comme on l'a déjà vu précédemment, les points de test ne sont jamais définis de manière optimale, c'est à dire en tant qu'extrémité d'équipotentiels, pour 2 raisons majeures :

- personne n'a encore eu l'approche composant du test d'un circuit imprimé nu, que nous avons exposé au préalable (les points de test se trouvent parmi les empreintes de soudure des composants équipant à terme le circuit). Cette approche composant permet de lever le voile sur la définition d'un point de test : on peut dès lors utiliser des algorithmes de définition de points de test, ce qu'il n'était pas possible de faire avant cela : les points de test étaient simplement assimilés à des flashes, qu'ils correspondent à des vias ou non. Plus grave, les plages CMS dessinées (n'étant pas présentes dans les fichiers GERBER sous forme de flash) n'étaient en général pas prise en compte comme point de test.
- il n'existe pas encore de logiciel d'extraction de Netlist fiable, utilisant cette "approche composant", et de plus de convertir de manière automatique toutes les plages CMS dessinées en point de test potentiel.

Or d'après une statistique menée sur un certain nombre de cartes, il apparaît que seulement 30 à 50 % des empreintes des composants complexes correspondent à des extrémités d'équipotentielle, essentiellement par ces composants admettent des bus d'entrée/sortie commun avec d'autres composants complexes, comme des RAM par exemple.

Prenons 50% comme hypothèse, et revoyons le tableau de densité moyenne des cartes (paragraphe 2.2.4.6), en lui adjoignant la correction supplémentaire de ne considérer la densité pour chacune des 2 faces du circuit :



Proportion de circuits pour une densité de points de test au cm² donnée (par face de circuit)

On voit que les circuits les plus denses dépassent tout juste 12 points de test par cm², à opposer aux 16 points de test par cm² des grilles universelles de test simple densité : celles-ci ont encore de beaux jours devant elles !

### 2.2.4.13 Outils CAO pour l'aide au test - Notion de Netlist

#### *2.2.4.13.1 Description*

Les circuits imprimés fabriqués à partir de la CAO chez PCI à Evreux, ne représentaient que 12 % de leur fabrication en 1990. Ils représentent maintenant plus de 90% en 1993.

Devant la complexité des circuits CMS vu du test, tout fabricant qui se respecte est passé à l'utilisation directe des données informatiques de fabrication des circuits nus, c'est à dire les fichiers de type GERBER.

Dans ce paragraphe, nous allons essayer de décrire un peu plus en détail les différents éléments.

Le principal objectif du test d'un circuit imprimé nu est de vérifier [84] que chaque circuit fabriqué est le reflet de l'interconnexion définie originellement.

Il y a aujourd'hui 2 sources possibles pour obtenir les informations d'interconnexion (il en existe une troisième, qui n'est pas industrielle : la saisie manuelle des données) :

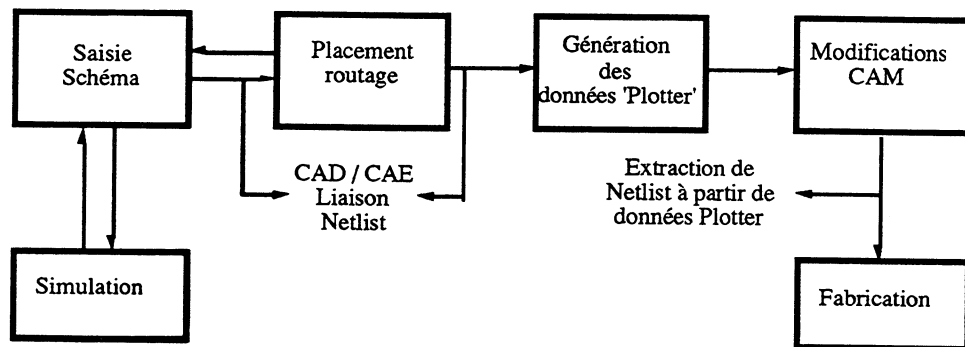
- le 'Golden Board', qui présuppose la fabrication d'un circuit réputé bon
- les données CAO

Aujourd'hui, devant l'accroissement de la complexité des circuits imprimés, la probabilité de disposer d'un 'Golden Board' est de plus en plus faible, ce qui fait que cette méthode est de moins en moins utilisée au niveau des utilisateurs de systèmes de test. De plus, un auto-apprentissage à partir d'un circuit étalon ne donne aucune information quant à la localisation d'une éventuelle erreur détectée sur un circuit, hormis la position du point de grille correspondant : il n'est par exemple pas possible de faire surbriller l'équipotentielle en défaut, puisque les données relatives à la géométrie de celle-ci ne sont pas connues.

On voit donc les utilisateurs finaux des circuits imprimés forcer les fabricants de circuits imprimés de charger leurs données d'interconnexions à partir des données CAO.

Aujourd'hui, devant la diminution du coût du silicium, et devant l'augmentation de la complexité du circuit imprimé, le coût de ce dernier représente une fraction non négligeable du coût de la carte assemblée : il faut donc le tester avant de le cabler. Le seul moyen fiable de le faire aujourd'hui est d'avoir accès aux informations CAO.

Les informations CAO peuvent être extraites à deux endroits du cycle de fabrication d'un circuit imprimé, explicités par la figure ci-dessous :



*Synoptique de fabrication d'un circuit imprimé nu à partir de systèmes de CAO*

On peut partir du principe que les données d'interconnexion doivent se rapprocher le plus possible de la saisie schéma. Cependant, pour diverses raisons (comme par exemple des aspects de confidentialité) il y a une tendance chez les fabricants de circuits imprimés vers l'utilisation des données de type 'plotter', en général les données GERBER (voir plus loin la description de ce format), qui à l'avantage de figurer comme un standard, contrairement aux multiples sources CAO existant sur le marché, non standardisées, et qui sont également nécessaires pour la fabrication des circuits : le fabricant en dispose donc systématiquement.

Ainsi, le format GERBER est également utilisé pour d'autres applications, comme par exemple l'aide à la réparation.

Cependant, lors d'une enquête effectuée par une société de test américaine (Circuitest Inc.), il s'est avéré que lors d'1 test sur 2, si le modèle du circuit en terme d'interconnectivité (NETLIST, ou liste des réseaux de conducteurs) avait bien été extraite des données GERBER, le circuit ne reflétait pas l'interconnexion initiale. En fait, dans une grande majorité de cas, il s'avère que des corrections doivent souvent être effectuées sans être réintégrées depuis le début de la chaîne de conception, en éditant par exemple directement le fichier GERBER.

Une autre paramètre important concernant l'extraction de NETLIST à partir de données plotter est le temps (CPU) nécessaire à cette opération, qui est très important : à l'origine, le GERBER n'était pas prévu pour cela.

Le format GERBER n'est pas le seul format 'plotter' existant : on peut passer de l'un à l'autre par des 'post processeurs' qui peuvent être développés en 1 ou 2 heures de temps.

Pour pallier ces inconvénients, certaines sociétés se sont penchées un peu plus profondément sur le problème, comme les sociétés suivantes :

### **DISC, en Belgique.**

Ils proposent leur système LPS de conception de circuits imprimés très performant, associé à leurs outils d'aide à la production (Traçage des films, génération automatique de fichiers de réalisation d'outillage de test, etc...).

Pour ce faire, ils ont défini un format standard de traçage, le DPF (Disc Plotting Format), qui, contrairement aux autres formats type GERBER, SECROL, HP-GL, etc..., définit les 'ouvertures' (définition des formes élémentaires du tracé) de façon interne.

### **ARCHITECTURE HARDWARE**

Ils utilisent comme support à leur Soft un VAX connecté par un réseau ETHERNET à des stations de travail (CAO), Lasers, Scanners, etc..., et un PC qui, par exemple commande le système de perçage numérique.

### **ORGANISATION SOFTWARE**

Leur 'Soft' permet aujourd'hui le passage dans les 2 sens de fichier GERBER, SECROL, etc... à leur format DPF, avec l'appui des données de traçage (EXCELLON, etc..) avec lesquelles ils font la jonction au niveau des couches.

Le fichier DPF de description du tracé du circuit est appelé 'NAME.JOB', et contient un certain nombre de sous-fichiers :

- 1 fichier par couche
- 1 fichier Netlist pour lequel on peut extraire sélectivement :
  - . les points correspondant aux extrémités d'équipotentielle
  - . ces derniers plus les pads
  - . des points sélectionnés par leur type d'ouverture'.
- d'autres fichiers de description

A partir de ce fichier NAME.JOB, il va être possible de générer d'autres fichiers d'aide à la production :

- fichier de panélisation (remplissage du format standard du fabricant de circuit imprimé)
- nouvelles bandes de perçage (Excellon)
- fichiers d'aide à la réalisation d'outillage de test.

Leur Soft permet également de 'Scanneriser' des films manuels pour en générer les fichiers d'informations CAO.

Leur Soft est écrit en C, et tourne sous UNIX.

### **OPTROTECH (maintenant ORBOTECH, après la fusion avec ORBOT)**

Le système Image 5000 est un système complexe, architecturé autour d'une station de travail de type APOLLO (TCP/IP LAN, RS232), destiné à gérer et contrôler tous les 'processes' ou générations de données pour la réalisation d'un circuit imprimé. On y trouve les possibilités suivantes :

- une unité d'édition de données CAO (génération, layout d'un circuit imprimé (ES 5000)).
- un système de plotter pour la génération des films destinés à la fabrication des circuits imprimés.
- le plotter est réversible : il peut se transformer en scanner pour des contrôles divers, et/ou génération automatique de données CAO (GERBER ou autres).
- une unité d'intégration pour testeurs électriques (ET 5000) :
  - . définit et optimise les points de test
  - . génère une Net-list fiable
  - . dispose en quinconce les plages de test CMS
  - . génère les infos de perçage pour les outillages spécifiques
  - . charge le système de test avec les infos issues de la CAO.
- une unité DNC (Direct Numerical Control) pour l'automatisation complète des opérations de routage et de perçage (DNC 5000).
- le système accepte tous type de données (GERBER, HP GL, etc...)
- etc...

MANIA et OLIVETTI-TECNOST on déjà fait développer par OPTROTECH des Softs d'aide à la réalisation d'outillage : extraction de Netlist, génération automatique de bandes de perçage pour la réalisation des interfaces spécifiques, etc...

### **GSI (Gerber Scientific Instruments)**

Gerber est comme son nom l'indique, l'un des 'grands' de la génération de films pour la production de circuits imprimés. Aussi propose-t-il des plotters laser de haut de gamme. Son activité ne s'arrête pas là : avec le système VectorScan, GSI peut capturer une image positive ou négative, et la vectoriser, le tout avec l'aide d'un scanner et d'un module de reconnaissance, tout deux connectés à un réseau LAN, ou l'on retrouve également des stations de travail de type compatible IBM PC, à l'aide desquelles on peut figoler les images récupérées, le tout pour un peu moins de 120.000 \$ quand même.

GSI n'est apparemment pas aussi avancée que DISC ou OPTROTECH en matière d'aide au test de circuits imprimés. Cela pourrait venir.

GSI propose dans sa gamme un système d'inspection optique des circuits imprimés (1850 AOI System).

Les 3 sociétés qui viennent d'être citées ont toutes la particularité d'utiliser des stations de travail coûteuses pour leur logiciels.

Nous pensons qu'un grand nombre de petits fabricants ne peut se permettre ces investissements aujourd'hui. Il s'agit alors de profiter de la puissance de plus en plus significatives des PC, notamment de celle du Pentium, pour proposer l'équivalent sur PC.

La société Katplot [83], par exemple, a déjà ouvert la voie :

### **Katplot**

Aujourd'hui, les fabricants de circuits imprimés ne reçoivent guère plus que les informations GERBER (Code RS-274). Il leur faut alors générer les bandes de perçage, les masques de sérigraphie, les masques de soudure, les infos de test, etc...C'est ce qu'est capable de faire un Système logiciel E-CAM.

Chaque machine utilisée dans le process de fabrication (machine de perçage, Système de test de circuits nus, etc...) utilise des codes spécifiques. Une machine E-CAM est capable de s'adapter très facilement à tous les codes utilisés, tous plus ou moins dérivés de codes standards tels les codes GERBER, HPGL, ou EMMA. Un système E-CAM permet de visualiser à l'écran les données et de les vérifier.

Un système E-CAM peut optimiser d'un facteur 50 % les temps de perçage.

Un système E-CAM peut créer une bande de perçage à partir des données GERBER.

Un système E-CAM permet d'extraire une NETLIST d'un fichier GERBER, et de générer les données d'outillage.

### *2.2.4.13.2 Les formats équivalents GERBER*

Les concepteurs de circuits électroniques font la saisie de leurs schémas à l'aide de la conception assistée par ordinateur. Ils dessinent les schémas électroniques des diverses couches de la carte à réaliser : Le système de CAO utilisé leur permet d'accéder à des commandes de traçage des pistes électriques, de placement de composants, ou plus exactement de placement de l'emplacement de ces composants : la CAO permet le positionnement des "pins" de composants ou des "pads" des composants. On parle de "pad" lorsque la patte du composant CMS ou non est soudée sur une couche externe de la carte, reliée à une piste tracée sur cette même couche externe. On parle de "pin" lorsque la patte du composant est reliée à une piste tracée sur une couche interne : ce pin correspond alors à un trou percé dans toutes les couches supérieures à la couche concernée.

Une équipotentielle peut s'étendre sur plusieurs couches, la continuité est alors assurée par des trous appelés VIA, ce sont des trous métallisés en surface qui réalisent ainsi cette continuité entre deux pistes

ou plus, appartenant à la même équipotentielle. Le système de CAO a des commandes qui permettent de placer l'emplacement de ces divers trous sur le dessin des couches concernées.

Les commandes de traçage de CAO permettent également de donner les tailles de ces différents pads. Leurs diamètres sont le plus souvent contenus dans des bibliothèques du système CAO. On peut aussi choisir parmi différentes largeurs de pistes et des instructions de traçage de pistes précisent les directions de traçage, les distances, les coordonnées des points extrêmes.

Toutes ces instructions de traçage sont nécessaires pour la réalisation physique de la carte par un fabricant de circuits imprimés. Ce fabricant réalise chaque couche, pour cela il a besoin d'un film de traçage qui contient donc le dessin de toutes les pistes et de tous les emplacements de pins et de pads avec leurs tailles respectives et il a besoin d'un film de perçage qui pour chaque couche, contient l'emplacement des trous et leur diamètres respectifs.

A l'aide de ces deux films, on peut, lors de l'assemblage final des différentes couches, concrétiser la carte qui a été dessinée par la CAO. Cet assemblage est accompagné d'une métallisation des trous percés.

La CAO génère donc des informations de traçage et des informations de perçage dans un format qui est propre au logiciel de CAO utilisé.

Il existe différents formats de perçage, dont les plus connus sont :

- **EXCELLON** conçu par la société du même nom ; c'est le format de perçage le plus répandu. Tous les systèmes de CAO peuvent fournir un fichier d'instructions de perçage écrit en format EXCELLON.
- **SIEB & MEYER** très répandu également.

Quant aux formats de traçage, les plus répandus sont:

**SECROL**, conçu par la société SECMAI, sur lequel nous n'avons pas pu obtenir d'informations. SECMAI est actuellement en liquidation financière.

**ARISTO**, conçu par ARISTO GRAPHIC SYSTEMS.

**FERRANTI**, de MARCONI, qui est de moins en moins utilisé.

**EMMA**,

**D.M.P.L.**,

**D.X.F.**,

**D.P.F.**, de la société DISC,

**POSTSCRIPT**, un nouveau format dont l'emploi ne s'est pas encore généralisé mais qui semble être le format d'avenir,

**H.P.G.L.**, qui, comme POSTSCRIPT, commence à voire son utilisation se généraliser.

Cependant le format de traçage qui fait référence est le format **GERBER**, conçu par la société GERBER SCIENTIFIC INSTRUMENT qui fabrique et commercialise notamment de nombreux photoplotters. Il existe de nombreuses versions de ce format, toutes relativement proches du standard GERBER. Un fichier de traçage en format GERBER est disponible en sortie de tous les systèmes de CAO, c'est pourquoi nous avons retenu l'étude de ce format.

Il est à noter toutefois, que ces dernières années, un effort de normalisation de ces divers formats de traçage a été fait et a eu pour conséquence la définition du format **EDIF**, c'est à dire **Electronic Design Interchange Format**. La version actuelle est la version 2.00 décrite dans la publication American National Standard ANSI/EIA-548-1988.

#### 2.2.4.13.2.1 Le format GERBER

Les informations qui suivent sont extraites de DATA REFERENCE MANUAL de la société G.S.I.

Comme indiqué ci-dessus, il n'existe pas un seul format GERBER mais une famille de formats GERBER dont le plus fréquemment utilisé est celui correspondant à la norme EIA RS-274, décrit ici.

Ce format a deux écritures possibles, l'une dite format binaire, l'autre dite format adresse. Les photoplotters existants acceptent soit un seul, soit les deux types de format.

#### 2.2.4.13.2.1.1 Format adresse

Les données pour les photoplotters qui acceptent le format adresse peuvent être codées dans l'un ou plusieurs des codes suivants:

- code ASCII (EIA RS-358)
- code EIA (EIA RS-244-B)
- code BCD
- code EBCDIC
- code ISO ASCII

Le format adresse, correspondant à la norme EIA RS-274-D, est caractérisé par un ensemble de champs pour chaque instruction : On ne trouve pas les mêmes champs pour les différents photoplotters existants; Le tableau ci-dessous indique les différents champs possibles pour une gamme de photoplotters commercialisés par GERBER.

1600/9300	Nh	Gn	X+/m.n	Y+/m.n		Im.n	Jm.n		W+/3.3		Um.n	Vm.n	Dn	Mn	°	
2000C	Nh	Gn	X+/m.n	Y+/m.n	Z+/m.n	Im.n	Jm.n	Km.n			Um.n	Vm.n	Dn	Mn	°	
3100	Nh	Gn	X+/m.n	Y+/m.n	Z+/m.n	Im.n	Jm.n	Km.n	W+/3.3	Cm.n	Tn	Um.n	Vm.n	Dn	Mn	°
4100	Nh	Gn	X+/m.n	Y+/m.n	Z+/m.n	Im.n	Jm.n	Km.n	W+/3.3			Um.n	Vm.n	Dn	Mn	°
5100			X+/m.n	Y+/m.n	Z+/m.n									Dn	Mn	°
8000/852			X+/m.n	Y+/m.n	Z+/m.n									Dn	Mn	°
8000/866		Gn	X+/m.n	Y+/m.n	Z+/m.n	Im.n	Jm.n	Km.n			Um.n	Vm.n	Dn	Mn	°	

#### Champs définissant les instructions GERBER

N,n digits	SEQUENCE NUMBER
G,n digits	PREPARATORY FUNCTION
X,Y,Z, m.n digits	COORDINATE COMMANDS
I,J,K, m.n digits	ARC CENTER COORDINATE COMMANDS ( sans signe pour un arc de cercle de 90°, avec signe pour une rotation de 360° ).
W, 6 digits	SYMBOL ROTATION
Cm.n, Tn	TAPERED LINE MODE
U, V, m.n digits	VAPE APERTURE SIZE
D, n digits	DRAFT FUNCTION
M, n digits	MISCELLANEOUS FUNCTION
Dernière colonne	END OF BLOCK CHARACTER

*Les champs du format adresse pour différents photoplotters commercialisés par GERBER.*

#### SEQUENCE NUMBER :

C'est un nombre d'identification du bloc de données, constitué du caractère N suivi de n digits (3, 4 ou 5 selon le photoplotter) d'une valeur allant de 0 à 9.

#### PREPARATORY FUNCTION :

Le caractère G est suivi par deux digits et il définit comment tout le bloc de données doit être traduit ; Le tableau suivant récapitule les différentes fonctions possibles avec leurs codes pour une gamme de photoplotters de G.S.I.. Des fonctions permettent de tracer des segments de droite ou des arcs de cercle,

dans différents systèmes d'unité, en mode absolu (c'est à dire par référence à une origine fixée) ou en mode incrémental (c'est à dire par rapport à la position courante de la pointe du traceur).

CODE	FUNCTION	1600 9300	2000C CONTROL	3X00 CONTROL	4X00 CONTROL	6X00 CONTROL	8000-852	8000-866
G01	Linear Interpolation (échelle X1)	O	O	O	O	O	O	O
G02 G20,G21	Circular Interpolation (sens de la montre)	O	O	O	O	N	N	O
G03 G30,G31	Circular Interpolation (sens inverse montre)	O	O	O	O	N	N	O
G04	Ignore le bloc present G01 par défaut pour le bloc suivant	O	O	O	O	N	N	O
G06	Parabolic Interpolation (optionnel)	N	O	O	O	N	N	N
G07	Cubic Interpolation (optionnel)	N	O	O	O	N	N	N
G10	Linear Interpolation (échelle X10)	N	O	O	O	N	N	N
G11	Linear Interpolation (échelle X0.1)	N	O	O	O	N	N	N
G12	Linear Interpolation (échelle X0.01)	N	O	O	N	N	N	N
G52	Traçage d'un symbole référéncé par Dnn	O	O	O	O	N	N	N
G53	Comme G52 avec rotation de 90° du symbole	O	O	O	O	N	N	N
G54	Tool Select (Traçage ou Aperture)	O	O	O	O	N	N	O
G55	Génération d'un flash	O	O	O	N	N	N	O
G56	Traçage d'un symbole référéncé par Dnn A	O	O	O	O	N	N	N
G60	Linear Interpolation (échelle X100)	N	O	O	O	N	N	N
G70	Unité : Le Pouce	O	N	O	O	N	N	N
G71	Unité : Le Millimètre	O	N	O	O	N	N	N
G74	Empêche le tracé d'un arc de cercle	O	N	O	N	N	N	N
G75	Autorise le tracé d'un arc de cercle	O	N	O	N	N	N	N
G90	X,Y,Z en mode absolu	O	N	O	O	N	N	N
G91	X,Y,Z en mode incrémental	O	N	O	O	N	N	N

*Fonctions préparatoires et leurs codes pour différents photoplotters de GERBER ;  
(O ou N, selon qu'elles sont reconnues ou non par le photoplotter).*

### **X, Y, Z, COORDINATE COMMANDS :**

Les coordonnées X, Y et Z définissent le point vers lequel le photoplotter doit être déplacé en se référant par rapport à une origine fixe (mode absolu: G90) ou par rapport à la position présente (mode incrémental: G91).

Ces coordonnées peuvent être exprimées en millimètres ou en pouces . La valeur numérique est toujours interprétée comme étant de la forme "m.n" où m est le nombre de digits entiers et n est le nombre de digits décimaux.

Enfin parmi les coordonnées X, Y et Z, n'importe lesquelles des deux peuvent être assignées aux deux axes du photoplotter.

### **LINEAR INTERPOLATION :**



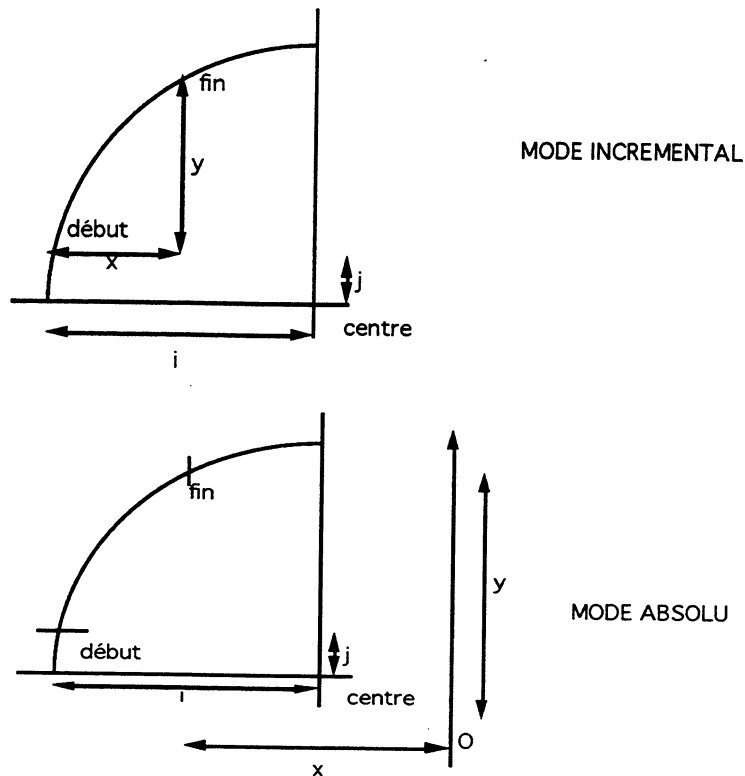
Avec l'une des commandes G01, G10, G11, ou G60 on trace une ligne droite allant de la présente position à la position spécifiée par les coordonnées X, Y et Z. On a le choix entre le mode absolu ou le mode incrémental et divers facteurs d'échelle sont possibles.

**QUADRANT CIRCULAR INTERPOLATION :**  
(G02, G20, G21, G03, G30, G31).

Ces codes spécifient le traçage d'un arc de cercle. Le format du bloc d'instruction est le suivant:

**G-- X+/-m.n Y+/-m.n Z+/-m.n Im.n Jm.n Km.n D--\***

Le nombre qui suit G spécifie également le sens du traçage du cercle à partir de la position courante du photoplotter. X, Y et Z indiquent le point vers lequel on tourne en mode incrémental ou en mode absolu. I, J et K définissent la distance parallèlement aux trois axes entre le centre de l'arc de cercle et le point de départ de l'arc qui est la position courante de la pointe du traceur.



*Quadrants circulaires d'interpolation GERBER*

**360° CIRCULAR INTERPOLATION :**

Le format du bloc d'instructions est le suivant:

G75\*

G -- X+/-m.n Y+/-m.n Z+/-m.n I+/-m.n J+/-m.n K+/-m.n D -- \*

G74\*

Ici on spécifie les signes de I, J et K. Ces trois paramètres indiquent la distance entre le centre du cercle et le point de départ du tracé comme dans le cas du traçage d'un arc de cercle et les signes précisent les directions de déplacement par rapport aux axes. Le nombre qui suit G dans le bloc d'instruction indique le sens du traçage circulaire.

**SYMBOL FEATURE :**

Le format du bloc d'instruction est: G -- D -- M -- \*

Le caractère D permet d'appeler un symbole ou un groupe de symboles stockés dans une table de symboles.

Après G52 et G53, le caractère D est suivi par deux digits de valeur comprise entre 10 et 51 qui font référence à des caractères alphanumériques.

Après G53, le caractère alphanumérique est tourné de 90° dans le sens inverse des aiguilles d'une montre.

En revanche, après les fonctions G56, G57, et G58, on a par exemple

D NN CECI EST UNE PHRASE où les deux digits NN de 10 à 99 identifient la place dans laquelle est inscrite la chaîne de caractères "CECI EST UNE PHRASE". D10 doit être suivi d'une chaîne d'au plus 50 caractères, sinon on utilise un autre code D.

La rotation de la chaîne de caractères par rapport au coin inférieur gauche du premier caractère est possible grâce au code W écrit selon le format suivant W+/-3.3 ( 3 digits pour la partie entière et 3 pour la partie décimale ).

### **TOOL SELECT :**

Un code G54 peut être utilisé avec les codes D appropriés pour sélectionner un stylo de traçage ou une ouverture ( flash ).

### **DRAFT CODES :**

Ce code comprenant le caractère D suivi de deux digits permet de sélectionner et contrôler le traçage par le photoplotter, de sélectionner des symboles comme on l'a vu précédemment. Il permet également de contrôler les commandes de flashes et d'ouvertures de différentes tailles.

Le tableau ci-dessous récapitule les différentes options correspondant aux Draft Codes existants.

CODE	FONCTION	MODE TRACAGE	MODE FLASH	1600 9300	2000C CONTROL	3X00 CONTROL	4X00 CONTROL	6X00 CONTROL	8000-852	8000-866
D01	Traçage autorisé	0		0	0	0	0	0	0	0
D01	Flash autorisé		0	0	0	0	0	0	0	0
D02	Traçage interdit	0		0	0	0	0	0	0	0
D02	Flash interdit		0	0	0	0	0	0	0	0
D03	Commande de traçage	0		0	0	0	0	0	0	0
D03	Commande de flash par OEH		0	0	0	0	0	0	0	0
D04	Ligne tracée type 1	0	0	N	0	0	0	0	0	N
D05	Fin de ligne de type 1,2,3	0	0	N	0	0	0	0	0	N
D06	Ligne tracée type 2	0	0	N	0	0	0	0	0	N
D07	Ligne tracée type 3	0	0	N	0	0	0	0	0	N
D10-D15	Choix parmi 6 traceurs	0		0	0	0	0	0	N	N
D10-D19	Apertures 1 à 10		0	0	0	0	0	0	0	0
D70-D71	Apertures 11 et 12		0	0	0	0	0	0	0	0
D20-D29	Apertures 13 à 22		0	0	0	0	0	0	0	0
D72-D73	Apertures 23 et 24		0	0	0	0	0	0	0	0
D10-D255 (sauf D51)	Apertures assignables		0	0	N	0	N	N	N	N
D10-D51	Sélection d'un symbole (précédé par G52 ou G53)	0	0	0	0	0	0	N	N	N
D10-D99	Sélection de la position d'un symbole (après G56)	0	0	0	0	0	0	N	N	N
D51	Sélection du modèle 714 VAPE (après G54)	0	0	0	0	N	0	N	N	0

*Les codes D pour des photoplotters commercialisés par GERBER ;  
(O si il est reconnu, N sinon)*

1) Tool Control and Selection ( D01 - D03, D10 - D255 ):

La fonction D dépend du type de la tête du photoplotter. Plusieurs traceurs de différentes largeurs sont disponibles sur une tête appelée Tool Head.

Plusieurs apertures sont disponibles et appelables avec le code D qui leur correspond sur une tête appelée OEH (Optical Exposure Head ). Le tableau précédent montre que les apertures disponibles ne sont pas les mêmes pour les différents photoplotters de G.S.I..

2) Model 714 VAPE Head Control ( D09, D51 ):

VAPE signifie Variable Aperture Photo Exposure.

G54 est suivi du caractère D et de deux digits qui sélectionnent une aperture rectangulaire d'une certaine taille.

Le format typique du bloc de données est le suivant:

G54 D51\*

U05 V015\*

X01 Y01\*

D09\*

Cette sélection reste valable tant qu'il n'y a pas de nouvelle fonction G; U et V spécifient la taille de l'aperture dans les deux directions; X et Y spécifient l'origine de l'aperture; D09 est la commande de flash.

3) Model 761 VAPE Head Control ( C, D, T, U, V ):

Les commandes C, D, T, U, V sont expliquées dans le tableau ci dessous:

CODE	DESCRIPTION DE L'INSTRUCTION CORRESPONDANTE
Cm.n	Spécifie la rotation de l'image flash de 0 à 360° en 2048 pas. Le format m.n peut prendre les valeurs 0.1 à 5.5.
D10-D255 (sauf D51)	Sélection d'une aperture parmi une liste de valeurs fixées
T00	Arrêt du dessin de la ligne courante
T01	Début du dessin d'une ligne
Um.n	Définie la longueur de l'aperture variable en mode flash et dans la direction de l'axe A du photoplotter. Le format m.n peut prendre les valeurs 0.1 à 5.5.
Vm.n	Définie la largeur de l'aperture variable en mode flash et dans la direction de l'axe B du photoplotter. Définie également la largeur d'aperture pour le dessin d'une ligne indépendamment de l'orientation de la ligne. Peut être utilisé pour définir la largeur de départ et/ou d'arrivée d'une ligne dessinée. Le format m.n peut prendre les valeurs 0.1 à 5.5.

*Commandes C,D,T,U,V pour le modèle 761 VAPE HEAD CONTROL.*

**MISCELLANEOUS CODES:**

M est suivi de deux digits; Ce code permet le choix d'un facteur d'échelle pour l'écriture de symboles ( M50 à M54 ). Il permet, dans le modèle 714 VAPE, le contrôle de la superposition d'images ( M60 à M63 ).

CODE	FONCTION	1600 9300	2000C CONTROL	3X00 CONTROL	4X00 CONTROL	6X00 CONTROL	8000-8528000-866	
M00	Arrêt du programme	0	0	0	0	0	0	0
M01	Arrêt optionnel	0	0	0	0	N	N	N
M02	Fin du programme	0	0	0	0	0	0	0
M30	Fin de frappe	0	0	0	0	0	0	0
M50	Echelle symbole X10	?	0	0	0	N	N	N
M51	Echelle symbole X25	?	?	?	?	N	N	N
M52	Echelle symbole X50	?	?	?	?	N	N	N
M53	Echelle symbole X75	?	?	?	?	N	N	N
M54	Echelle symbole X100	?	?	?	?	N	N	N
M60	Débordement à gauche	N	0	N	0	N	N	N
M61	Débordement en haut	N	?	N	?	N	N	N
M62	Débordement à droite	N	?	N	?	N	N	N
M63	Débordement en bas	N	?	N	?	N	N	N
M64	La position courante du plotter devient l'origine	N	N	0	N	0	N	N

*Les codes M pour des photoplotters commercialisés par GERBER ;  
(O si reconnu par le photoplotter, N sinon ).*

#### **END OF BLOCK CHARACTER:**

CODE DES DONNEES ENTREES	CARACTERES FIN-DE-BLOC (EOB) PERMIS
ASCII	* (astérisque)
EBCDIC	* (astérisque) ou \$ (dollar)
BCD	* (astérisque) ou \$ (dollar)
EIA	CR (retour chariot)
ISO ASCII	LF (fin de ligne)

*Caractères fin-de-bloc - (dernier champ de l'instruction).*

#### **2.2.4.13.2.1.2 Format binaire**

Les données sont envoyées sous la forme de mots de 16 bits.

Il existe un format binaire et un format binaire étendu; Tous deux ne sont pas interprétés par les mêmes machines.

#### **LE FORMAT BINAIRE:**

Les données sont groupées dans des blocs de trois mots de 16 bits. Chaque bloc contient des coordonnées X et Y données en mode incrémental uniquement et un mot M qui spécifie le signe.

Le premier mot code le déplacement selon l'axe X. Le deuxième mot code le déplacement selon l'axe Y. La valeur du LSB de chacun de ces mots est égale à la résolution du plotter utilisé et l'amplitude du déplacement a pour valeur maximale la valeur codable sur 16 bits avec cette résolution.

Le troisième mot ou mot M peut aussi être appelé Miscellaneous Control Functions. Sur ces 16 bits, peuvent être codées toutes les fonctions exécutables par le photoplotter utilisé. La configuration binaire du mot M est donnée dans le tableau ci-dessous. Si un bit correspond à une fonction qui n'est pas utilisée, ce bit est forcé à la valeur 0.

BIT	FONCTION EXECUTABLE CORRESPONDANTE
15	SELECTION D'UN TRACEUR OU D'UNE APERTURE PARMI LES VALEURS CODEES SUR 4 BITS.
14	
13	
12	
11	CHOIX DU MODE FLASH OU DU MODE TRACAGE
10	CHOIX DU TYPE DE LIGNE APRES LE CHOIX D'UNE
9	POINTE DE TRACEUR
8	CHANGEMENT DE TRACEUR
7	AUCUN ROLE
6	AUCUN ROLE
5	AUCUN ROLE
4	ARRET DU PROGRAMME
3	AUTORISATION DU FLASH
2	POSITIONNEMENT DU TRACEUR
1	SIGNE DE L'AXE Y
	SIGNE DE L'AXE X

Configuration binaire du mot M.

Les cinq bits de poids fort correspondent à la sélection d'un traceur particulier ou d'une aperture particulière. Le choix d'un traceur ou d'une aperture est fixé par la valeur du bit 11. Si ce bit est à 0, on sélectionne une pointe de traceur et si ce bit est à 1, on sélectionne une aperture. Les bits 12 à 15 permettent de préciser quel traceur ou quelle aperture est sélectionné.

Le bit 2 permet de sélectionner ou non la pointe du traceur qui a été choisi grâce aux bits 12 à 15.

De la même façon, le bit 3 permet de sélectionner la tête optique qui permet d'obtenir des flashes pour des apertures.

Les bits 9 et 10, parallèlement aux valeurs des bits 3 et 2, permettent de choisir un parmi trois types de ligne lorsqu'une pointe de traceur a été sélectionnée.

Les bits 0 et 1 précisent les signes des axes.

Le rôle des bits 0 à 10 est récapitulé dans le tableau ci-dessous :

10 et 9	TRACE DE LIGNES				SIGNIFICATION
	BITS				
	10	9	3	2	
	0	0	0	0	Traceur et tracé de ligne non autorisés
	0	0	0	1	Traceur autorisé, tracé de ligne non autorisé
	0	0	1	0	Flash
	0	0	1	1	Tracé de ligne de type 1 autorisé
	0	1	1	1	Tracé de ligne de type 2 autorisé
	1	0	1	1	Tracé de ligne de type 3 autorisé
	1	1	1	1	Fin de tracé de ligne
8	CHANGEMENT DE TRACEUR				
	0 = pas de nouveau traceur sélectionné				
	1 = nouveau traceur sélectionné				
4	ARRET DU PROGRAMME				
	0 = pas d'arrêt				
	1 = arrêt				
3	COMMANDE DE FLASH				
	0 = pas de flash				
	1 = flash				
2	COMMANDE DU TRACEUR				
	0 = remontée du traceur				
	1 = abaissement du traceur				
1	SIGNE DE L'AXE DES Y				
	0 = +				
	1 = -				
	SIGNE DE L'AXE DES X				
	0 = +				
	1 = -				

*Fonctions réalisées selon les valeurs des bits 10 à 0 du mot M.*

**LE FORMAT BINAIRE ETENDU :**

Un bloc de données est constitué de trois à six mots de 16 bits et a le format suivant:

M1    M2\*    X1    X2\*    Y1    Y2\*

La présence des mots repérés par \* dépend du mot M1. Le mot M2 est présent si le bit 15 du mot M1 est à 1. X et Y sont écrits sur un ou deux mots selon la valeur du bit 14 dans le mot M1.

Les bits 0 à 10 de M1 sélectionnent quelle ouverture ou quelle pointe de traceur est utilisée et les bits 11 à 13 de M1 précisent si on sélectionne le mode traçage ou le flash; Ils précisent aussi quel type de ligne est tracé dans le premier cas.

BIT			SIGNIFICATION
13	12	11	
0	0	0	?
0	0	1	Dessin d'une ligne
0	1	0	Flash
0	1	1	Dessin d'une ligne type 2
1	0	0	Pas utilisé
1	0	1	Tracé d'une ligne type 1
1	1	0	Tracé d'une ligne type 2
1	1	1	Tracé d'une ligne type 3

*Rôle des bits 11 à 13 du mot M1.*

Si M2 est sélectionné, le tableau suivant explique quelles fonctions sont associées aux 16 bits de ce mot.

BIT	FONCTION EXECUTABLE CORRESPONDANTE
15 à 9	Pas utilisés. Ils sont forcés à 0.
8	Mode des coordonnées 0 = mode incrémental 1 = mode absolu
7, 6, 5 et 4	Pas utilisés. Ils sont forcés à 0.
3	Intervention de l'opérateur 0 = continue 1 = arrêt et attente d'une intervention de l'opérateur (faire l'analogie avec MOO du format adresse)
2	Pas utilisé. Il est forcé à 0.
1	0 = continue 1 = Fin du programme (faire l'analogie avec MO2 du format adresse)
	0 = continue 1 = Début d'un nouveau programme

*Configuration binaire du mot M2.*

2.2.4.13.2.2 Les autres formats vectorisés

Il existe 2 grands formats de vectorisation :

- GKS (Graphic Kernel System), reconnu par ISO et ANSI.
- PHIGS (Programmers Hierarchical Interactive Graphics System) (Fonctionnalités 3D plus sophistiquées).

Le GKS et le PHIGS possèdent tous deux un format de fichier commun, le CGM (Computer Graphic Metafile).

La conversion CGM <--> POSTSCRIPT existe.

Par ailleurs, nous allons passer en revue les principaux formats susceptibles de nous intéresser :

2.2.4.13.2.2.1 Format HPGL

Le format HPGL utilisé sur les plotters Hewlett-Packard, voit son utilisation se généraliser. Une norme décrivant les fonctions de ce format existe : C'est la norme HPGL RS-232-C-.

Notre but, ici, n'est pas de dresser une liste exhaustive des commandes d'HPGL et de tous leurs paramètres, mais d'en présenter certaines généralités ; En résumé, une commande de traçage du format HPGL a la syntaxe suivante :

### **MNEMONIQUE paramètre, (paramètre) caractère-fin-d'instruction**

"MNEMONIQUE" est une abbréviation en deux lettres de la commande de traçage correspondante.  
 "paramètre" est une donnée supplémentaire pour certaines fonctions seulement.  
 "caractère-fin-d'instruction" est le caractère de fin de commande.

Les principales familles de commandes HPGL sont :

- commandes de sélection du plotter, .
- commandes de configuration (du plotter, de la mémoire),
- commandes de configuration d'output,
- commandes d'abandon,
- commandes de configuration de la pointe du plotter,
- commandes de tracés de lignes et de courbes,
- commandes d'écriture de caractères,
- commandes de l'état d'output,
- commandes de gestion de page et d'impression,
- commandes de tracés graphiques.

#### 2.2.4.13.2.2 Postscript

Parmi tous les formats de données vectorisées utilisés, le format Postscript semble être le langage d'avenir.

La génération de données de traçage pour tous les types d'imprimantes est actuellement faite dans le langage Postscript, ce qui laisse supposer une généralisation de son emploi au traçage des films de circuit imprimé.

Contrairement aux formats actuellement utilisés, postscript, développé par la société ADOBE, est un langage complet de communication avec un périphérique. Les informations échangées ne seront plus de simples informations de traçage ou de déplacement mais des instructions qui devront être stockées, traduites et exécutées. Le périphérique doit donc être doté d'un processeur spécifique capable de "comprendre" le langage Postscript. Les commandes sont décomposées en opérateur et objet. Les opérateurs sont des ordres qui initialisent les polices, qui définissent des déplacements, qui remplissent des zones de données. Les objets peuvent être des noms symboliques ou des chaînes de caractères.

#### Exemples de commandes Postscript :

Times-Roman findfont : charger la police Times  
 moveto : se positionner à  
 translate : effectuer la même opération en translatant de  
 setgray : choisir le niveau de gris  
 show : tracer

...

Une étude détaillée du langage postscript nécessite plusieurs ouvrages. Il est cependant indispensable de savoir que Postscript ne peut pas être converti de manière élémentaire en un autre format utilisé en CAO. Dans le cas où des fichiers Postscript devraient être utilisés, une interface complète devrait être prévue, utilisant un processeur spécialisé identique à celui d'une imprimante laser.

#### *2.2.4.13.3 Normalisation des données CAO - Le standard EDIF*



Une multitude de formats CAO co-existent sur le marché. Chaque société a développé son propre format, sans aucun soucis de standardisation. Les communications entre les divers logiciels sont donc pour le moins difficiles. Or certains sont bons dans un domaine, et inefficaces dans d'autres. L'absence de standardisation fait qu'il n'est pas possible actuellement de disposer d'outils performants tout au long de la chaîne de fabrication des circuits imprimés nus, de leur conception, à leur test, en passant par leur fabrication.

De par le fait qu'il est un passage obligé pour la fabrication des films, le GERBER est devenu un standard. Mais il est totalement inadapté pour un grand nombre de fonctions, telle l'extraction de Netlist.

Le regroupement de quelques sociétés influentes et d'organismes de Recherche compétents est en train d'uniformiser les différents concepts, pour donner naissance à un format standardisé EDIF (Electronic Data Interchange Format), qui devrait combler le vide existant en ce domaine.

EDIF est un standard de description et d'échanges de descriptions des produits électroniques, qu'il s'agisse de circuits intégrés ou imprimés. EDIF est déjà homologué ANSI et ISO.

#### 2.2.4.13.3.1 Qu'est-ce qu'un standard ?

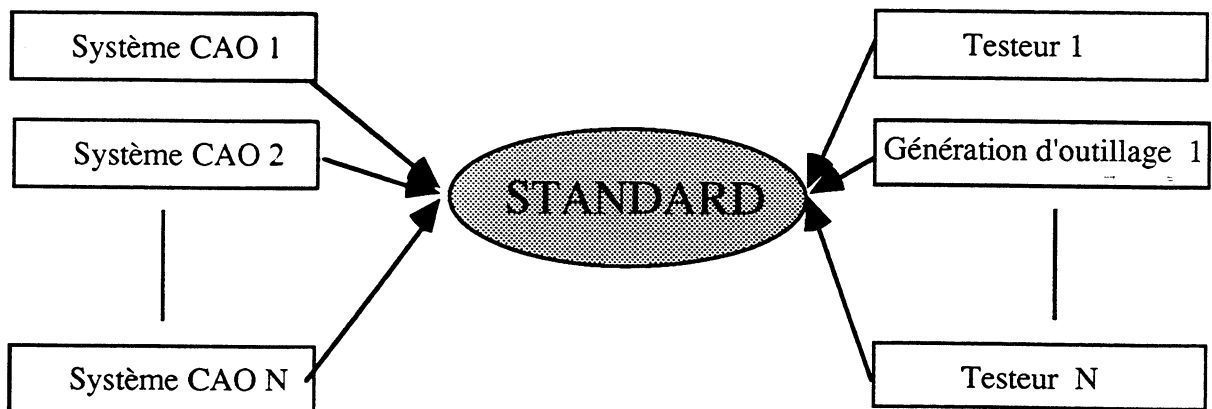
Un standard est un langage neutre destiné à traduire sous une forme normalisée les informations contenues dans les bases de données de tout système CAO garantissant l'indépendance et la pérennité des données face à l'hétérogénéité des systèmes et des formats [5].

Généralement, une bibliothèque de sous-programmes est associé au langage pour traiter l'ensemble des problèmes de lecture et d'écriture sur les fichiers au format standard. C'est une interface.

Ces standards sont utilisés pour :

- les échanges de données : la possibilité d'interface standard dans 2 systèmes A et B rend possible l'échange des données entre ces 2 fichiers via un fichier standard.
- l'archivage des données : les données produites par les systèmes de CAO, et traduites en langage standard sans perte d'information, pourront être réutilisées dans le futur, même après la disparition des systèmes qui leur ont donné naissance.

En ce qui concerne le test, le standard n'est pas un langage de test, mais il décrit des données CAO issues de différents systèmes. Ces données pourront ensuite être interprétées par différents systèmes de test ou systèmes d'aide à la génération d'outillages.



#### Objectif de la définition de standard de format pour les fichiers CAO

Il est donc nécessaire de disposer :

- d'une part d'une interface entre chaque système CAO et le standard choisi pour décrire les données CAO en langage standard.
- d'autre part d'une interface avec chaque système de test, ou avec chaque logiciel d'aide à la génération automatique d' outillages pour pouvoir lire les données nécessaires au test (essentiellement, la Netlist) et écrire les résultats à représenter.

#### 2.2.4.13.3.2 Description sommaire d'EDIF

##### Syntaxe

Le format EDIF utilise une syntaxe proche du langage LISP, et a pour objectif de décrire tous les aspects d'un produit électronique (fonctionnel, structurel, technologique) de manière unique. EDIF permet de définir des objets et de mettre en oeuvre des relations avec ces objets.

EDIF permet, en l'interprétant, de générer une représentation arborescente de ces objets.

En principe, tout type de donnée électronique est représentable en format EDIF, mais si des lacunes persistent, on peut créer de nouveaux types d'objet. De plus EDIF n'en est qu'à sa phase de confirmation et tout type de modification peut être encore accepté.

Les fichiers EDIF, une fois créés, peuvent être interprétés par un traducteur (ou interface). Des structures d'objets peuvent être générées conformément à la syntaxe des différents langages informatiques évolués, tels le langage C.

##### Les outils associés à EDIF

Il est nécessaire d'adjoindre au traducteur un certain nombre d'outils supplémentaires, afin d'offrir un environnement similaire à celui dont on dispose avec les langages de haut niveau.

On peut proposer des interfaces entre EDIF et des systèmes de visualisation graphique (permettant de représenter les aspects schéma, symbolique, et plans de masque d'une description EDIF) ou avec un outil de vérification des règles de dessin, ou bien encore avec un outil d'aide à la génération d'outillage de test.

#### 2.2.4.13.3.3 EDIF et les circuits imprimés

Un fichier EDIF contiendra, dans le cadre d'un circuit imprimé, les informations concernant les conducteurs (pistes et pastilles), les trous métallisés ou non et les différents couches du circuit. Une couche supérieure de description pourra lui adjoindre les composants.

Un fichier EDIF contient toujours un en-tête, puis une librairie de cellules d'une technologie définie. Chaque cellule peut être représentée suivant différentes vues, déterminées par leur type.

La liaison entre les vues se fait par une table (ViewMap). Les objets EDIF sont donc organisés en cellules arborescentes.

##### En-tête

L'en-tête donne la version d'EDIF utilisée et des informations générales : date, créateur, données externes ou non normalisées utilisées. Les informations sont suivies de la cellule de tête d'un ensemble de fichiers (Design(CellRef)).

##### Librairie

###### *Technologie*

Chaque fichier est constitué de librairies (Library). Une librairie définit une technologie d'un ensemble de cellules en déterminant des paramètres généraux (unités, figures, tailles) concernant toutes les cellules du groupe.

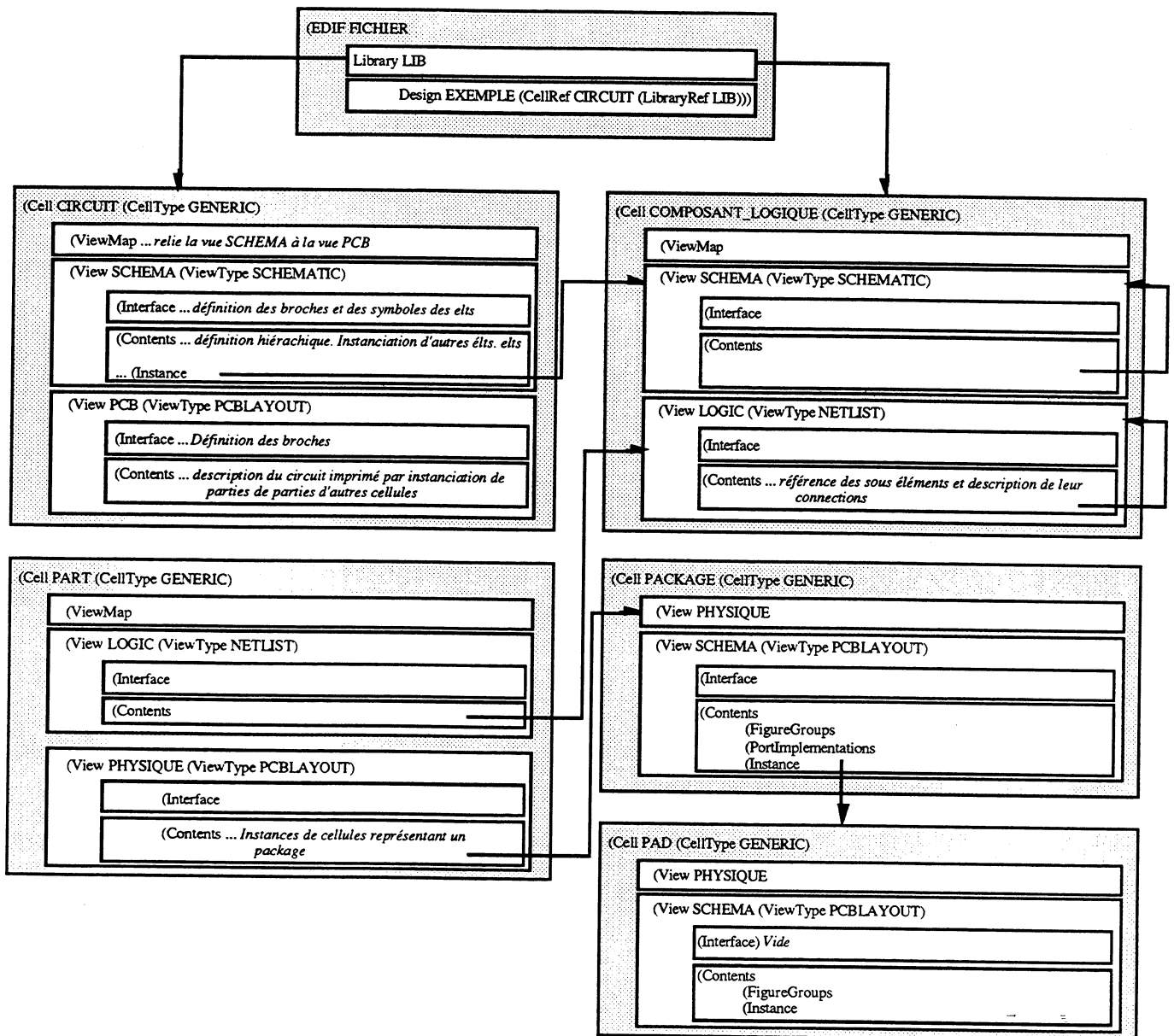
###### *Cellule (Cell)*

Une cellule peut définir n'importe quel type d'objet : composants, pastilles ...

A chaque cellule, on associe une vue (View) qui définit le niveau de description de la cellule (Logic ...), et un type de vue (Schematic, PCB Layout, ...)

La définition de la cellule se fait ensuite grâce à l'interface (vision externe de la cellule) et le contenu (Contents, ou vision interne de la cellule) organisée en instances d'objets définis.

L'arborescence ci-dessous donne un exemple de description générique d'un circuit imprimé :



*Modèle non détaillé de représentation des schémas et des circuits imprimés en langage EDIF*

#### 2.2.4.13.3.4 EDIF et le test

On s'intéresse ici bien sûr au test de circuits imprimés nus en particulier.

Les cellules sont des pastilles, des trous métallisés, ou des piles de pastilles.

On trouvera les informations relatives aux équipotentielles dans les cellules des vues de type PCBLAYOUT du circuit imprimé sur les pastilles.

On trouvera la localisation des pastilles dans les parties de description, alors que leurs formes sont dans la définition de la cellule représentant la pastille.

Exemple : définition d'une cellule pastille

```

1 (Cell PAD1 (CellType GENERIC)
2 (property flash (Integer 1)
3 (property continuity (Boolean (TRUE))))
4 (View TOP
5 (ViewType GRAPHIC)
6 (Interface)
7 (Figure PCB_TOP_PAD (Circle (Pt a b) (Pt c d))))))

```

Ligne 1 : correspond au nom et N° de pastille

Ligne 2 : cette "property" fait référence à l'outil GERBER qui permet de tracer la pastille (D-Code).

Ligne 4 : la pastille pourra ou non apparaître sur toutes les couches, et dans ce cas, pour chacune des couches sur laquelle apparaît la pastille, on réitère les lignes 3, 4, 5 en modifiant le nom de la vue.

Ligne 5 : la "View" est de type graphique

Ligne 6 : l'interface est vide

Ligne 8 : la pastille sera placée dans une figure appelée PCB\_TOP\_PAD qui contient toutes les pastilles de la couche supérieure (par exemple). Sa forme est soit circulaire, définie par son diamètre soit rectangulaire, définie par ses sommets inférieur gauche et supérieur droit.

Exemple : utilisation d'une pastille

```

1 (Net NB_EQUI
2 (Instance PAD1
3 (ViewRef LAYER1 (CellRef PAD_125))
4 (Transform (Origin (Pt x y)))
5 (Orientation R90)))

```

Ligne 1 : N° d'équipotentielle. Il prend la valeur 0 si la pastille est isolée y compris pour les pastilles de saupoudrage.

Ligne 2 : nom d'instance de la pastille

Ligne 3 : nom de la couche sur laquelle se trouve la pastille. Appel de la pastille PAD\_125, qui est le nom et le N° de définition de la pastille.

Ligne 4 : la pastille est placée en, (x,y)

Les formes des pastilles ne peuvent être définies que par un cercle ou un rectangle. Les pastilles de forme complexe ne sont pas représentables actuellement avec EDIF. Mais on verra qu'on peut se contenter d'un rectangle englobant pour la définition des formes des pastilles de test.

2.2.4.13.5 Commentaires par rapport à l'utilisation d' EDIF

Toutes les informations nécessaires au test des circuits imprimés nus sont contenues dans EDIF. EDIF pourra donc servir de standard de description des données du test des circuits imprimés nus.

Mais l'interface d'EDIF avec les différents systèmes ou bases de données CAO n'est pas terminée. La validation d'EDIF en tant que format d'échange dans un environnement industriel ne sera effective que dans l'avenir.

De plus, certains concepteurs de systèmes ne sont pas prêts à communiquer leurs données.

Dans ce cadre, tout en observant la progression d'EDIF, il est sage de ne travailler qu'à partir des données dont tout le monde dispose aujourd'hui, c'est à dire les données GERBER.

2.2.4.14 Notion de station de réparation - Programme de test

Une fois testé, un circuit se doit également d'être réparé si cela est possible en conformité avec le cahier des charges de la livraison du circuit.

---

Généralement, si une coupure est détectée sur une équipotentielle, le circuit n'est pas réparable de manière fiable. Il est alors tout simplement jeté à la poubelle.

Mais dans le cas d'un court-circuit, souvent provoqué par une paillette de conducteur qui s'est établie entre 2 pistes relativement proches, la carte est en général réparable lorsque le défaut apparaît sur l'une des 2 couches externes (les couches internes sont inaccessibles une fois le circuit pressé). Il suffit de localiser le défaut, et de gratter localement la paillette.

Or la localisation d'un défaut n'est pas forcément chose facile. En effet, on peut rappeler qu'aujourd'hui, la modélisation du circuit est auto-apprise à partir d'un circuit réputé bon (voir plus loin), mais seulement en terme de Netlist : le testeur sait que tel point de sa grille universelle (qui est connecté à un point inconnu de lui du circuit) est alors théoriquement relié à tel autre point. Il n'a aucune connaissance du chemin physique (la piste) les reliant sur le circuit, ni même de la position des points de test correspondant sur le circuit : cette position n'est connue que de manière approximative, dans la mesure où l'on sait que le point de test est à moins de 1 ou 2 pas de 2.54 mm (décalage max de l'aiguille de l'outillage) de la coordonnée de grille universelle.

Il existe toutefois un moyen de le savoir, qui est d'associer à l'utilitaire d'extraction de Netlist une routine permettant de générer automatiquement le Programme de test (ou modélisation du circuit) dans le langage du testeur, à partir de la Netlist. De cette manière, le testeur connaît la liaison entre le point de grille et la coordonnées réelle du point de test sur le circuit. Il peut alors non plus afficher, au moment de la description des erreurs, les coordonnées de la grille universelle, qui sont de faible utilité pour la réparation, mais les coordonnées réelles du point de test sur le circuit, ce qui est bien plus utile.

De manière encore plus précise, il est possible d'utiliser un logiciel, communément appelé station de réparation, qui en plus de la fourniture des coordonnées réelles des 2 points du circuit mis en cause au niveau de l'erreur, affiche graphiquement ceux-ci, ainsi que les conducteurs qui les relient.

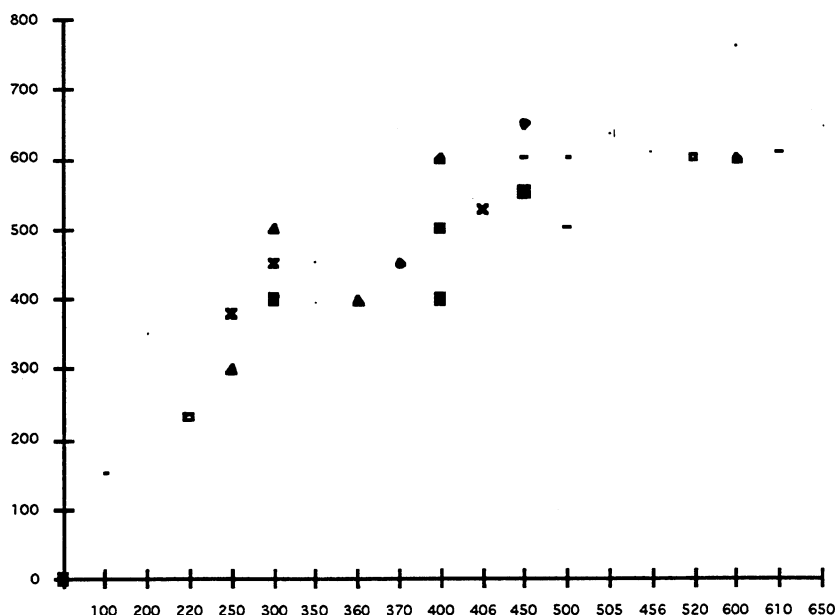
Ainsi, un opérateur pourra voir en surbrillance à l'écran les 2 équipotentielles mise en cause dans un court-circuit. Il n'aura plus qu'à aller vérifier aux endroits où celles-ci sont les plus proches l'une de l'autre s'il n'existe pas une paillette qui pourrait être responsable du court-circuit.

Une recherche qui pouvait prendre une quinzaine de minute auparavant ne prend plus que quelques secondes avec un tel outil.

#### 2.2.4.15 Notion de surface utile de test

Le nombre de points de test n'est pas un critère essentiel pour définir le testeur attendu : les entreprises s'expriment plutôt en surface de test utile, corrélée au pas de la grille de test.

La surface utile de test est imposée par la taille des circuits à tester dont le graphique suivant donne une idée. On trouve en abscisse la longueur de cette surface utile (pour différents testeurs installés) et en ordonnée sa largeur (en mm) :



Dispersion des dimensions des circuits imprimés nus [20]

On remarque que les circuits dépassent très exceptionnellement des dimensions de 650 \* 650 mm. En fait, 99.9 % des circuits présentent des dimensions inférieures à 610 \* 500 mm.

#### 2.2.4.16 Conclusion - Recommandations générales pour le test à 100% des CI nus

Un fabricant de circuits imprimés nus se doit de tester 100% de sa production, avec pour chaque circuit un taux de couverture de 100%.

Cela implique la définition de points de test comme étant les extrémités d'équipotentiels faisant partie de la liste des empreintes de brasage des composants que le Circuit est sensé accepter à terme.

Pour mener à bien le test de manière industrielle, il lui faudra utiliser les fichiers informatiques de description des circuits qu'il fabrique, c'est à dire les fichiers de type GERBER ou équivalent.

Il aura besoin pour cela du matériel suivant :

A - un logiciel d'aide à la génération de ses outillages et des données de test, qui devra posséder les fonctionnalités suivantes :

1 - Lecture / interprétation des fichiers GERBER

\* fichiers descriptif des diverses couches de conducteurs

\* fichiers descriptifs des vernis-épargne (le cas échéant) des 2 faces externes

2 - Reconnaissance automatique de toutes les empreintes des composants sur les 2 faces externes du circuit, et notamment une reconnaissance complètement automatique des empreintes dessinées et non "flashées"

3 - Génération de la liste de points de test finale, avec les distinctions suivantes :

\* attribution d'un N° d'équipotentielle à chaque point

\* description de la géométrie pour chaque point

\* attribution d'un drapeau "extrémité d'équipotentielle" ou non

- 
- \* attribution d'un drapeau "Face" (TOP, BOT, ou les 2)
  - \* attribution d'un drapeau "point de test utilisé ou non" ou non
  - 4 - Génération de l'outillage de test
    - \* nombre de matrice (BOT, ou TOP & BOT)
    - \* nombres et hauteurs des diverses plaques
    - \* affectation des types d'aiguilles aux points de test circuit
    - \* affectation des aiguilles aux points de grille du testeur
    - \* attribution d'un drapeau "point de test utilisé ou non" ou non
  - 5 - Génération du programme de test, ainsi que du mode graphique de l'interconnexion du circuit

B - un testeur à grille universelle simple densité (100 mil, ou 2.54 mm), double face.

C - une station de réparation, lui permettant de réparer facilement les circuits défectueux en liaison avec son testeur.

Cette description paraît élémentaire et très simple. Il n'en est pas moins vrai que nous ne connaissons pas de fabricant utilisant en totalité cette configuration, soit parce qu'ils ignorent certains aspects, soit parcequ'ils rencontrent certaines difficultés à la mettre en oeuvre.

C'est ce que va nous apprendre le paragraphe suivant, qui va nous éclairer sur les moyens actuellement employés, et leurs limitations.

## 2.2.5 Les méthodes de test actuelles

### 2.2.5.1 Les systèmes traditionnels de test

#### 2.2.5.1.1 Test à lit de clous

##### 2.2.5.1.1.1 Le marché du test à lits de clous

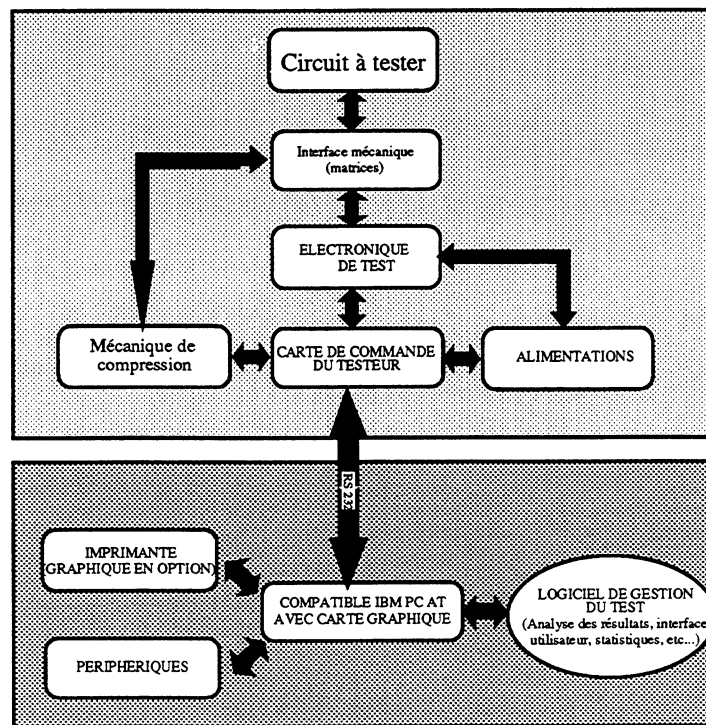
Cf annexe 4

##### 2.2.5.1.1.2 Les principes du test à lit de clous

###### 2.2.5.1.1.2.a Description standard d'un testeur à lit de clous

Un testeur de circuits imprimés nus basé sur un lit de clous est un testeur utilisant le principe d'une grille universelle de points de test électroniques (contacts, ou pointes à ressort suivant les versions), organisés comme son nom l'indique selon une répartition régulière, dans les deux axes X-Y du plan, selon un pas donné, qui est de manière générale 100 mils, ou 2.54 mm.

Le synoptique suivant traduit l'architecture très générale de ce type de systèmes :



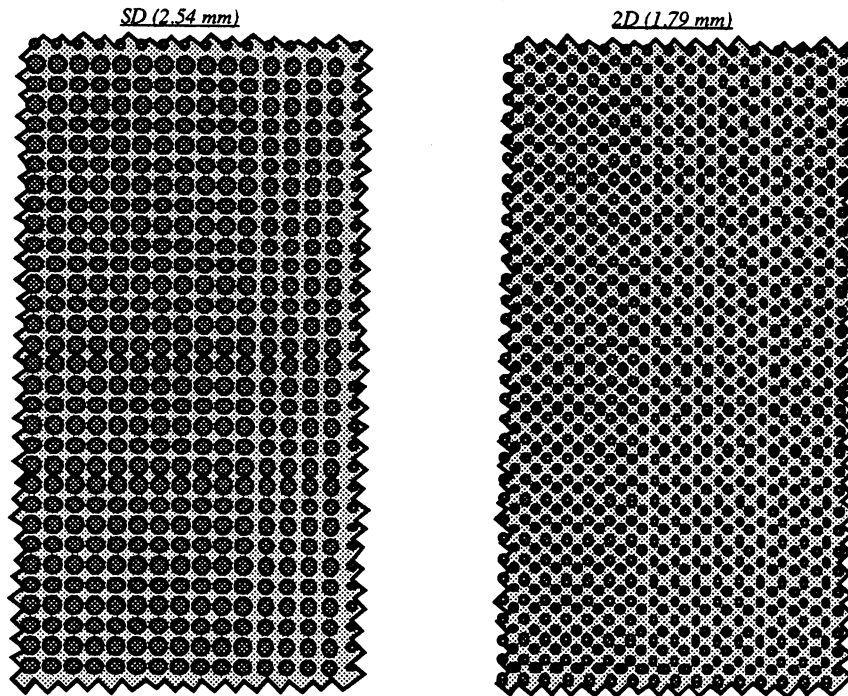
*Synoptique général d'un système de test de circuits imprimés nus*

L'électronique de test interface l'outillage de test (matrices) par des pointes à ressort, qu'on appelle grille universelle, ou lit de clous.

En général, la surface de la grille universelle (pouvant atteindre des dimensions de 650 \* 650 mm) est constituée de la juxtaposition de modules, dits "modules de test".



On pourra trouver des modules à un pas de 2.54 mm, ou à un pas de 1.79 mm (double densité, soit  $2.54 \text{ mm} * \text{Racine}(2)/2$ ). La double densité, comme son nom l'indique, est constituée de 2 grilles au pas de 2.54 mm, décalées de 1.27 mm dans les 2 axes.

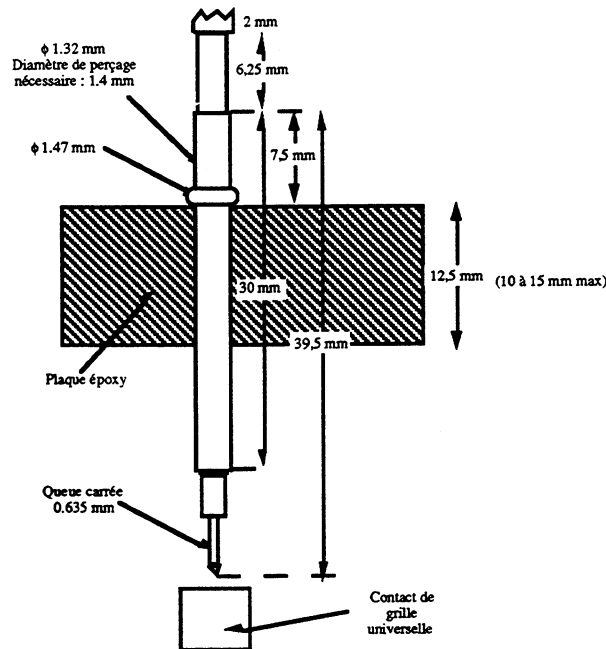


*Exemples de modules de grille universelle (vue de dessous)*

Chaque contact est relié à une électronique de test, tandis qu'il est interfacé de l'autre côté :

- soit avec une pointe à ressort, du type de celle de la figure ci-dessous. Cette pointe à ressort est elle-même en contact avec une extrémité aiguille à décalage de l'outillage spécifique, l'autre extrémité étant au contact du point de test sur le circuit à tester. L'aiguille à décalage est dans ce cas de type "corde à piano", c'est à dire rigide-flexible).

TCI 43  
--> Grille universelle  
FACE INFÉRIEURE



Pointe à ressort de grille universelle (élément de base du lit de clous)

- soit directement avec une extrémité aiguille à décalage de l'outillage spécifique, sans passer par une pointe à ressort, le ressort étant alors inclus dans l'aiguille à décalage, l'autre extrémité de celle-ci étant au contact du point de test sur le circuit à tester. L'aiguille à décalage est dans ce cas de type "spring loaded".

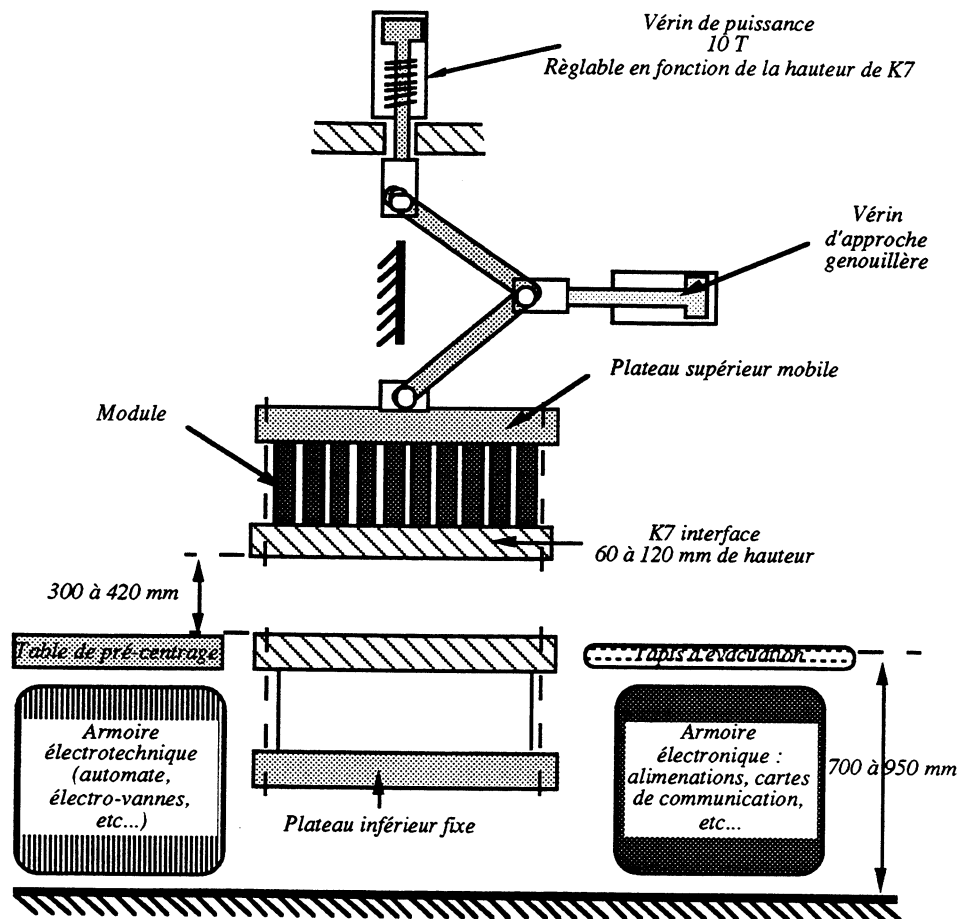
La comparaison de ces 2 types d'outillages est faite au paragraphe suivant.

Un des problèmes techniques cruciaux au niveau de ces machines est l'interconnexion entre l'électronique de test, qui se présente sous la forme d'un certain nombre de cartes identiques, et la grille universelle de contacts ou de pointes à ressort. La densité d'interconnexion est en effet très importante, et se fait sur une grande surface. Une grosse partie de coût des machines se situe à ce niveau.

Les anciennes générations de machines ont résolu ce problème par le câblage : des kilomètres de câble relient les différents contacts à l'électronique, installée dans un rack. Le câblage coûte cher, est long à mettre en oeuvre, peu fiable, et encore plus difficilement maintenable.

C'est pourquoi les nouvelles générations de machines mettent en oeuvre des électroniques intégrées, ou une carte électronique se situe à la verticale de la portion de grille universelle à laquelle elle correspond. Cette méthode fait néanmoins l'objet de prises de brevet de la part de LUTHER & MAELZER, ainsi que d'un brevet de perfectionnement de MANIA et IMD.

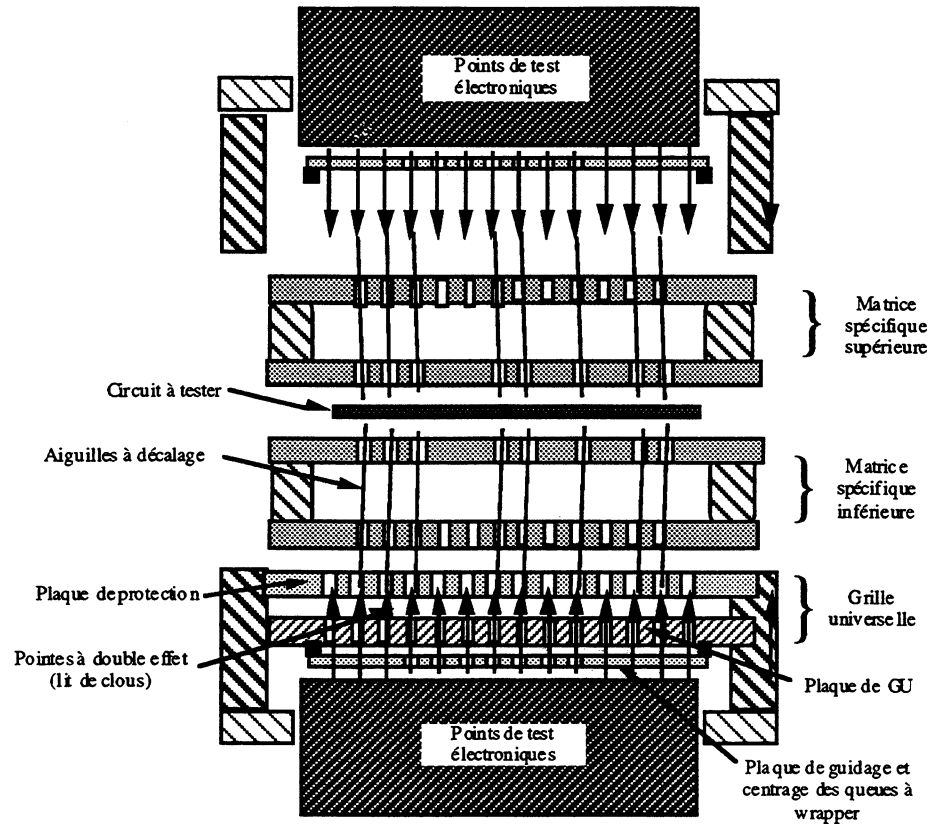
Au niveau architecture mécanique, un testeur double face peut se présenter de la manière suivante :



*Architecture mécanique d'un testeur double face*

L'encombrement total d'une telle machine est de l'ordre de 1 à 2 mètres de largeur, 2 mètres de hauteur et 1.50 mètre de profondeur, pour un poids généralement compris entre 500 Kg et 1 tonne.

On distingue une partie électronique supérieure et inférieure, qui viennent, sous l'action d'un vérin (ou d'un système de compression), prendre en sandwich le circuit à tester, lui même pris en sandwich dans les 2 parties de son outillage d'accès, les matrices (ensemble d'aiguilles à décalage guidée par 2 à 5 plaques de plexiglas), qui sont explicitées par la figure ci-dessous :



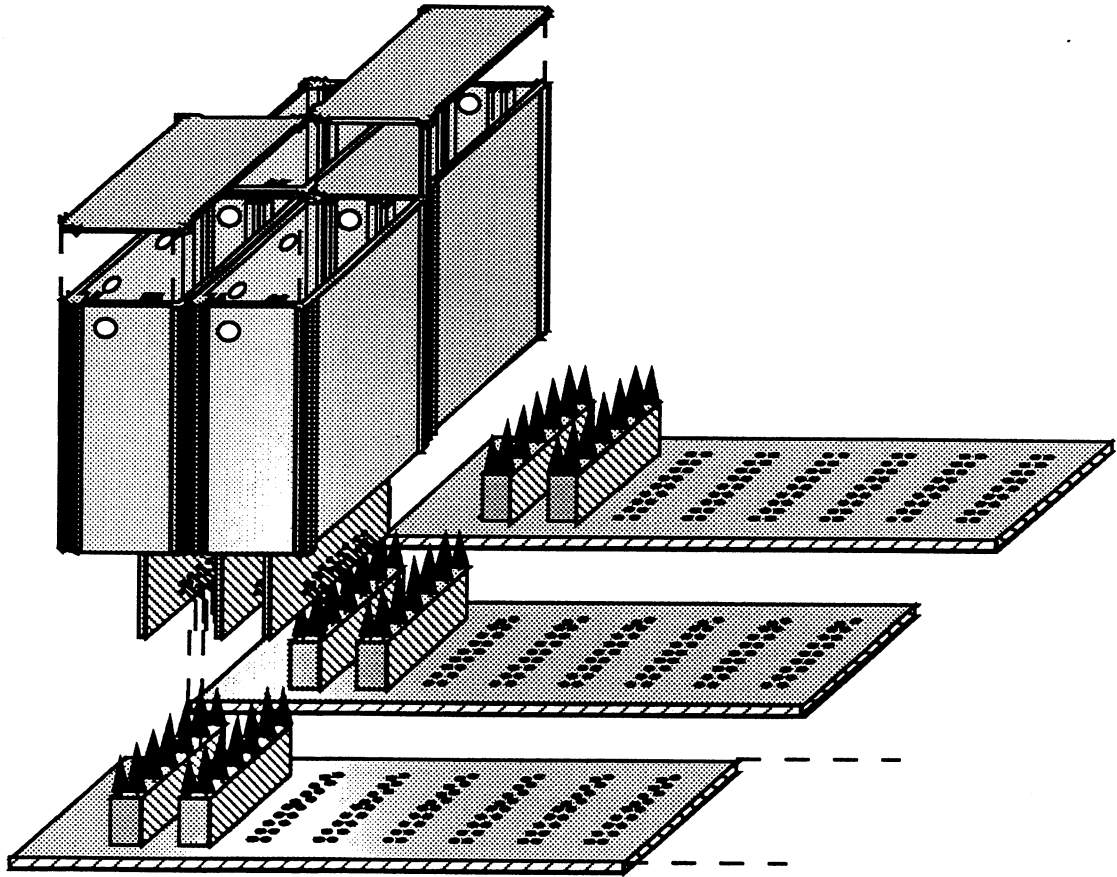
Electronique de test + grille universelle + matrices + CI à tester

Au Japon, les systèmes de compression sont plutôt orientés mécaniques [92], par opposition aux États-Unis et à l'Europe, où ceux-ci sont plutôt orientés sur l'aspiration du vide.

Les 'vacuum fixture' offrent de multiples avantages, mais un inconvénient : si la carte présente trop de trous, l'aspiration peut ne plus être complète, et provoquer de mauvais contacts. Une solution est alors de couvrir la carte avec une feuille de plastique. Mais le plastique ou la gomme sont de grands générateurs d'électricité statique, qui peut être destructrice pour les composants se trouvant sur la carte.

Une société ALPHASTAT (28 Goodhue St., Salem, MA 01970, (508) 744-1100), a développé un matériau antistatique spécialement adapté aux 'fixtures'.

L'électronique de test est elle aussi modulaire. Les différents modules électroniques sont reliés à une carte mère de commande par l'intermédiaire d'un bus de fond de panier. Une image simplifiée en est donnée par la figure suivante :



### Electronique de test modulaire

La fonction première de l'électronique de test est de pouvoir, au niveau de chaque point de grille universelle, indépendamment de ses voisins :

- imposer un courant ou une tension, pouvant aller jusqu'à 300 V.
- le mettre à la masse
- mesurer une tension ou un courant aussi faible que quelques micro-ampères.

Cette fonction est répétée plusieurs dizaines de milliers de fois, autant qu'il y a de points de test. A titre d'information, une grille universelle double face, au pas de 2.54 mm, sur une surface de 500 \* 400 mm (qui n'est pas la plus grande surface qu'on va trouver) comprend déjà 64 000 points de test !

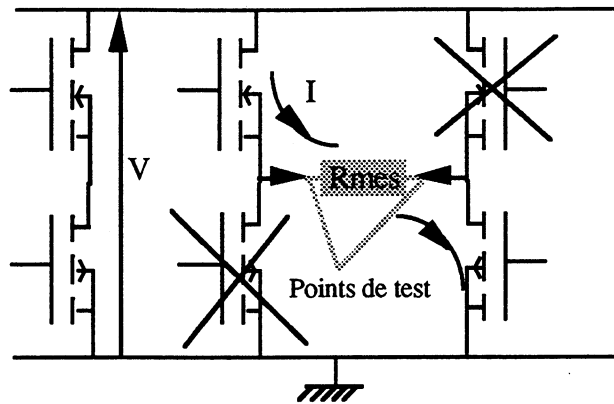
On comprend mieux les coûts de ces machines, qui oscillent généralement entre 800 KF et 3 MF, suivant les configurations et le nombre de points de test.

#### 2.2.5.1.1.2.b Les principes de mesure des testeurs électriques classiques

Il s'agit systématiquement de mesurer une résistance. Dans le cas du test d'isolement cette résistance sera élevée, typiquement entre 1 Mo et 100 Mo. Elle sera beaucoup plus faible dans le cas de la continuité (quelques ohms à quelques centaines d'ohms).

Les systèmes classiques imposent un courant connu, de faible valeur pour le test d'isolement, et de valeur plus élevée pour le test de continuité.

Cette imposition peut se faire entre 2 points de test particuliers parmi les dizaines de milliers, en utilisant un multiplexage au niveaux de ceux-ci :



### Principe de mesure d'une résistance des testeurs classiques

La variation de tension induite dans la résistance à mesurer  $R_{mes}$  est ensuite obtenue par un système de mesure précis commun aux points de test, qui permet de déduire la valeur de  $R_{mes}$ , en fonction de la valeur de  $I$ .

Ainsi, le test de continuité consistera à imposer un courant connu entre 1 extrémité d'équipotentielle et toutes les autres, pour vérifier que la résistance mesurée est inférieure à un seuil donné, par exemple 10 ohms.

L'isolement consistera à imposer un courant faible entre 1 un point de test choisi sur une équipotentielle donnée, et toutes les autres réunies à la masse. Pour obtenir des seuils d'isolement élevé, il existe alors 2 possibilités :

- soit diminuer le courant d'imposition. Cela n'est plus possible en deçà d'une certaine valeur en raison des fuites de l'électronique de multiplexage (ou de commutation). Ces fuites seront d'autant plus importantes que le nombre de points de test électroniques sera élevé.
- soit augmenter la plage de variation de la tension de test. C'est ce qui a été fait, en poussant celle-ci parfois jusqu'à 300 V. De là, un certain amalgame a été fait entre test haute tension (pour tester la contamination) et test d'absence de court-circuit, qui est l'objectif premier de ces machines. Nous aborderons cette discussion plus précisément dans le paragraphe "caractéristiques de test".

Le test de continuité ne pose pas de problèmes majeurs, car il s'opère pour des valeurs classiques de courant et de tension : quelques mA, sous quelques volts.

Il n'en va pas de même pour le test d'isolement, surtout si l'on souhaite atteindre des résistances de 100 Mo : se posent alors des problèmes de perturbations de par les diverses fuites du multiplexeur (la valeur du courant imposé n'est que de l'ordre du  $\mu A$ ), ainsi que des problèmes de rapidité d'imposition de la mesure. En effet, le temps de test d'un circuit ne doit pas dépasser 1 à quelques secondes. Ce qui impose, pour un circuit comprenant plusieurs milliers de points de test, quelques centaines de  $\mu s$  par mesure. Or pour ces faibles courants se pose le problème de la charge de la capacité que constitue certaines équipotentielles, qui peut prendre plusieurs ms, ce qui est incompatible avec l'objectif de temps. Ces diverses points seront abordés plus en détail dans le paragraphe "caractéristiques de test".

#### 2.2.5.1.1.2.c Les divers types d'outillages du test électrique

Il existe 2 grandes familles d'outillage pour le test de circuits imprimés nus :

- les outillages basés sur l'utilisation d'aiguilles à décalage, interfacés à une grille universelle de points de test électroniques
- les outillages câblés, beaucoup plus long à réaliser, mais n'exigeant pas la présence d'une grille universelle de points électroniques : le testeur est alors moins coûteux à l'investissement, en raison du plus faible nombre de points de test électroniques.

### Outillages à décalage

Chaque nouveau circuit est a priori différent des précédents. Son test exige alors la préparation d'un nouvel outillage spécifique, permettant de l'interfacer avec la partie standard du testeur, c'est à dire la grille universelle.

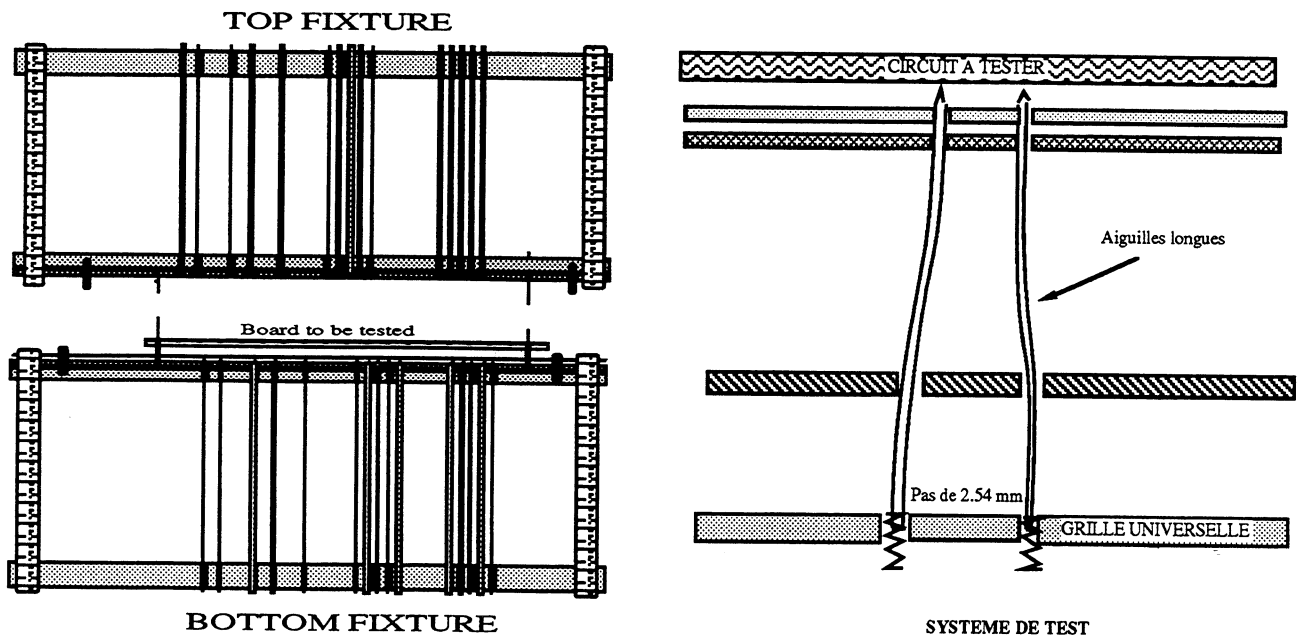
L'aspect standard du testeur s'arrête en effet à sa grille universelle, qui comme on l'a vu précédemment, peut être de 2 types, comprenant ou non une grille universelle de pointes à ressort ou de contacts simples.

Les 2 méthodes ont leurs avantages et inconvénients :

- dans le cas de l'utilisation d'une grille universelle de pointes à ressort, l'investissement initial au niveau de la grille universelle est relativement élevé. Typiquement, une grille de 50 000 pointes à ressort coûte environ 250 à 500 KF. Mais par la suite, les aiguilles des outillages spécifiques "cordes à piano", sont relativement bon marché, de l'ordre de 1 à 3 F par aiguille. En moyenne, un outillage comprend 2 à 3 000 aiguilles réutilisables une centaine de fois.
- dans le cas de l'utilisation d'aiguilles à décalage "chargées" avec des ressorts, l'investissement initial est nul (à comparer au 250 à 500 KF), mais les coûts d'exploitation sont beaucoup plus élevés, du fait du coût de ce type de pointes 7 à 10 F pièce, avec une cinquantaine de réutilisations possibles contre 100 pour les précédentes : c'est à l'utilisateur de faire son calcul, suivant ses besoins en test.

Toutefois, la tendance est maintenant à l'utilisation de la première solution (grille universelle de pointes à ressort), malgré l'investissement initial qu'elle représente, pour des raisons de fiabilité.

On peut trouver jusqu'à 50 000 pointes de ce type par face de test, ce qui a donné son nom au tapis de fakir, le "lit de clous".



### Outillage spécifique à décalage pour testeur à lit de clous

Un test double face implique la réalisation de deux outillages spécifiques, un par face.

Chaque outillage se présente sous la forme d'un sandwich d'au moins 2 plaques de guidage (en général 3, et dans certains cas 5, pour des problèmes de précision). Ces plaques sont percées pour laisser passer et retenir des aiguilles à décalage, interfaçant le point de test sur le circuit imprimé avec une pointe à ressort (ou plus simplement un contact) relié électriquement à l'électronique de test.

La plaque la plus proche de la grille universelle, ou plaque de base, est en général standard. Elle est percée "à la grille", c'est à dire qu'elle comporte autant de trous que ne comporte de contacts la grille universelle. Le pas des trous de cette plaque est donc typiquement de 2.54 mm.

La plaque la plus proche du circuit, dite "plaque circuit" est percée à l'image des points de test sur le circuit. Le fichier informatique de perçage est automatiquement généré par logiciel à partir de la liste des points de test, supposée préétablie par le même logiciel.

Pour associer de manière unique un point du circuit à tester, avec un point de grille universelle (ce qui permet à la fois d'en faciliter le montage, et de permettre de remettre l'aiguille à la même place si celle-ci était enlevée pour une raison ou pour une autre), on utilise au moins une plaque spécifique intermédiaire, dont le perçage est calculé automatiquement par logiciel pour amener une aiguille interfaçant un point de test en particulier avec un point de grille donné. Un tel logiciel se doit de gérer les différentes affectations de telle manière qu'il n'y ait pas de risque de courts-circuits entre les différentes aiguilles.

Entrons un peu dans le détail de la description des aiguilles à décalage. Ces aiguilles ont donc pour fonction de réaliser le décalage entre l'emplacement du point de test au niveau du circuit à tester (CAT) ou de la carte MIROIR et de celui correspondant sur la grille universelle.

Usuellement, la 2 types d'aiguilles sont principalement utilisées, compatibles avec un pas de 1.79 mm :

- corde à piano diamètre 1.45 mm
- corde à piano diamètre 0.9 mm

Les contraintes liées à ces pointes sont les suivantes :

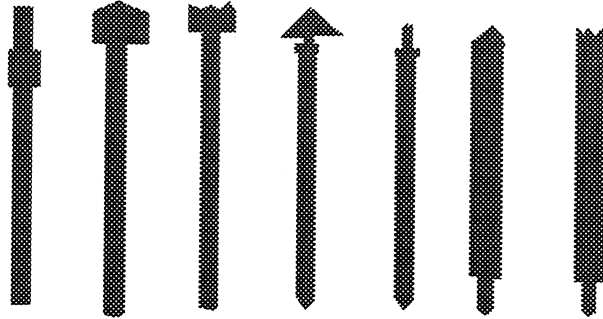
- terminaisons non pointues, ou multi-pointes (striées), de manière à éviter les forts champs disruptifs susceptibles d'endommager l'électronique de test lors du déchargement du CAT.
- aiguilles identiques si possible pour les matrices inférieures et supérieures. Cela n'est souvent pas le cas.

NB : la matrice inférieure étant celle qui est systématiquement utilisée, on s'attachera à définir les contraintes minimales pour les aiguilles de ce type de matrice.

- blocage par gravité : les aiguilles ne doivent pas pouvoir s'échapper des matrices par le seul jeu de leur poids. Cela est valable pour les matrices inférieures et supérieures.
- bonne transmission des signaux électriques (contact < 100 milli-ohm)
- très faible coût (elles se situent en grand nombre sur chaque outillage, ces dernières pouvant être stockées après montage (en vue de runs de test ultérieurs), cela représente un investissement proportionnel au coût des pointes.
- décalage D autorisé d'environ 7.5 mm autour de la position du point de test. Ce paramètre va induire la longueur de ces aiguilles, qui devra être la plus courte possible (coût de l'aiguille, et facilité de stockage des cassettes (hauteur et poids)).
- chargement des aiguilles aisé à partir de la plaque spécifique, devant conduire à un montage d'une matrice en quelques mn.
- les aiguilles devant interfacier un trou métallisé ne devront pas dépasser 100 g en compression pour éviter d'endommager le trou si le contact se fait en un nombre discret de points (3 ou 4 par exemple). Ces aiguilles pourraient alors être moins longue de quelques mm par rapport aux autres aiguilles correspondant à une compression de 300 g.
- éventuellement, fonction ressort, pour le cas où l'on n'utiliserait pas de grille universelle de pointes à ressort.
- le diamètre du corps de l'aiguille (ou en tout cas celui de l'extrémité qui viendra s'insérer dans la plaque de base) doit être le même pour toutes les références, pour que la dimension des trous de la plaque de base (grille au pas de 1.79 mm ou 2.54 mm) soit standard.

Tous ces impératifs font que ces aiguilles pourront avoir les formes suivantes :





Les divers types d'aiguilles à décalage utilisables

Les longueurs de ces aiguilles varient en général entre 50 et 100 mm, un compromis devant être trouvé entre la flexibilité qui doit être suffisante pour pouvoir autoriser un décalage de quelques pas de grille (entre la position verticale du point de test sur le circuit et le point correspondant sur la grille universelle), mais pas trop importante car alors la compression nécessaire pour établir un bon contact (100 à 300 g) n'est plus obtenue.

Le diamètre de la tête varie dans la fourchette 0.5 mm - 5 mm. Le diamètre du corps varie dans une fourchette plus réduite, 0.4 - 1 mm.

Les limitations de ce type d'outillage sont essentiellement dues à 2 paramètres :

- le diamètre des têtes ne peut devenir aussi petit que l'on veut, car il est lié à celui du corps.
- le diamètre du corps de ce type d'aiguille ne peut devenir aussi fin qu'on le souhaiterait [48], pour accéder à des pas de l'ordre de 0.5 mm, tout en conservant une longueur suffisante pour accéder à des points de grille éloignés, sans devenir beaucoup trop flexible, et donc ne plus être en mesure de transmettre l'effort (généralisé par la compression mécanique du système) compris entre 100 et 300 g, pour établir un contact électrique fiable, tout en augmentant le risque de courts-circuits avec ses voisines.

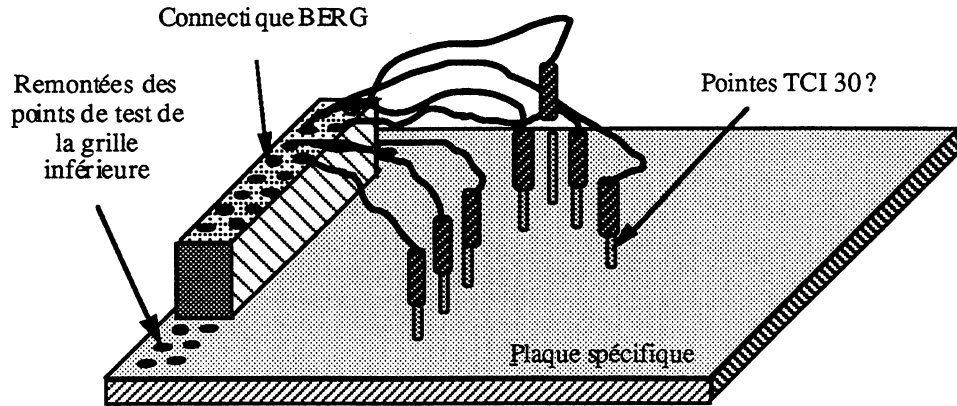
Pour cette raison, le nombre de plaques de guidage de ce type d'outillage augmente en fonction de la finesse du pas sur le circuit.

- la fiabilité de contact avec des plages fines peut difficilement être obtenue avec des aiguilles, pour des problèmes de précision, mais également pour des problèmes d'endommagement de ces mêmes plages.

### Outillages à câblage spécifique

Il s'agit alors de remplacer la grille universelle par un certain nombre de connecteurs, reliés à l'électronique de test. L'avantage réside en ce que beaucoup moins de points de test électroniques sont nécessaires, puisque leur nombre n'est plus lié à la dimension du circuit, comme dans le cas de l'utilisation d'une grille universelle.

Le principe en est alors le suivant : on utilise de la connectique à wrapper ou de type BERG, organisée en barrettes de connexion au pas de 2.54 mm, d'où partent des fils, terminés par une connectique qui permette de venir s'enficher sur des queues à wrapper (ou toute autre type extrémité), compatible avec un pas de 1.27 mm.



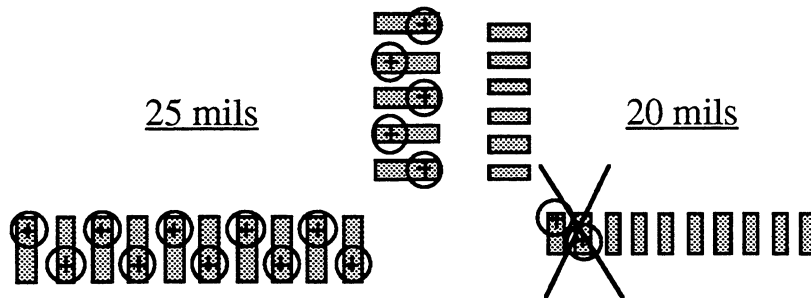
*Principe d'une matrice à câblage spécifique*

Au niveau du circuit à tester, cette matrice câblée se présente comme une interface standard. Ce qui limite aujourd'hui l'utilisation de ce type d'outillage est essentiellement la dimension des aiguilles comprenant des ressorts. Pour accéder aux pas présents sur les circuits d'aujourd'hui, il faudrait des aiguilles trop fines (de diamètre inférieur au plus petit pas), ce qui est inconcevable dans l'état actuel des choses.

### Le STAGGERING

De manière à s'affranchir légèrement du problème des diamètres minimaux des aiguilles, une technique est systématiquement utilisée pour accéder à des empreintes de faible pas, qui est celle du Staggering (mise en quinconce).

Les plages CMS correspondant à ces composants 'fine pitch' présentent en général une longueur d'au moins 1 mm. Au lieu de disposer tous les points de test au centre de chaque plage, ceux-ci sont disposés de manière alternée à l'une ou l'autre extrémité des plages, comme le montre la partie gauche de la figure ci-dessous.



*Le Staggering et ses limites*

Cela donne la possibilité d'utiliser la technique des aiguilles à décalage jusqu'à des pas de 25 mils (0.635 mm), tout en utilisant encore des aiguilles acceptables (diamètre de tête de l'ordre de 0.8 mm, pour 0.5 mm de corps environ).

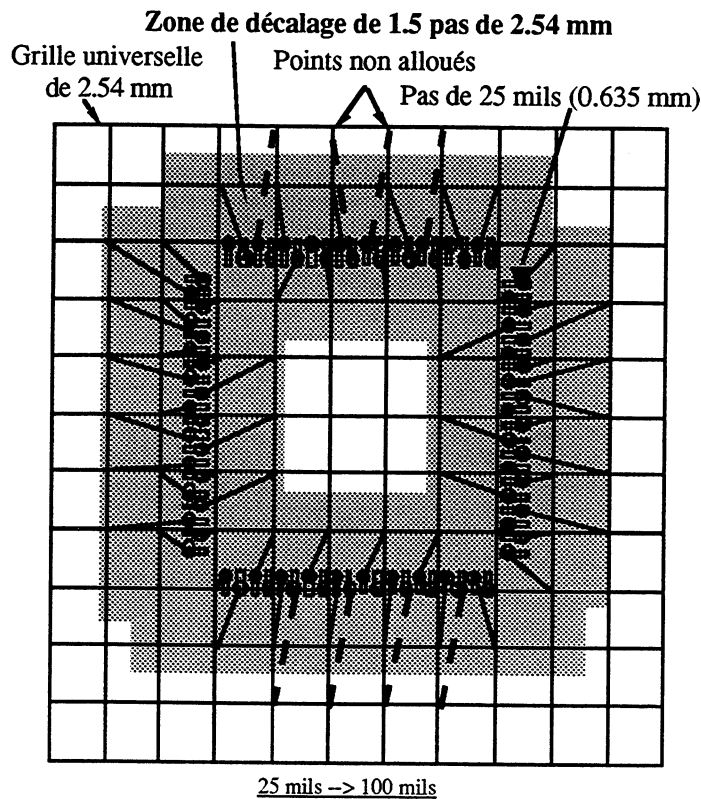
Mais comme le montre la partie droite de la figure ci-dessus, cela ne devient plus possible pour les pas inférieurs ou égaux à 20 mils (0.5 mm), dont la longueur de leur plages est souvent réduite à moins de 1 mm.

### Notion d'allocation de point de grille

Chaque point de test du circuit à tester doit être mis en correspondance avec un point de la grille universelle. Or celle-ci présente typiquement une densité de 15.5 points de grille par cm<sup>2</sup> (grille au pas de 2.54 mm).

Dans le cas d'un composant à pas fin, comme par exemple le QFP 25 mils de la figure ci-dessous, la densité locale de points de test (sur une ligne) est supérieure à ces 15.5 Points /cm<sup>2</sup>.

La possibilité de décalage autorisée par les aiguilles flexibles permet d'aller récupérer des points de grille à une certaine distance du point initial. Mais cette distance est limitée et dépend typiquement de la nature de l'aiguille utilisée. Ainsi, dans l'exemple ci-dessous, l'utilisation d'aiguilles de 2 pouces (51 mm) pour lesquelles un décalage de 1.5 pas est possible (la zone en grisée correspond aux points de grille théoriquement accessibles en fonction de cette valeur), conduit à une impossibilité d'allocation à la grille de 7 points sur les 40 en tout.



#### Allocation de points de test à des points de grille

Une solution immédiate pour résoudre ce problème est l'utilisation d'une densité de grille supérieure, comme la double densité. Le testeur voit alors son coût multiplié par 2, ce qui est inacceptable, et inaccepté.

#### 2.2.5.1.1.3 Conseils externes pour le test à lit de clous

La littérature du test [53], [77], etc..., n'est pas avare de conseils pour essayer de faciliter la vie aux fabricants de circuits imprimés nus, dans leur tâche du test. En voici quelques uns :

- prévoir dans toute la mesure du possible des points de test séparés dans tous les noeuds électriques (diamètre minimal recouvert de soudure 0.9 mm).
- dans le cas de cartes imprimées équipées sur les deux faces, tous les points de test devraient être appliqués sur une face de la carte imprimée, autant que possible la face soudée, au niveau des trous métallisés.

- éviter dans la mesure du possible d'utiliser des sondes miniaturisées pour le pas de 1/20 inch à la place des sondes standard pour le pas de 1/10 inch. On peut par exemple y parvenir en décalant les points de test ou en les agençant en éventail.
- les points de test doivent présenter un espacement minimal par rapport aux pastilles et aux composants de manière à ce que les évidements prévus dans le dispositif de test pour les composants de grande hauteur soient suffisamment éloignés des trous de positionnement des pointes de test.
- S'il n'est pas possible d'éviter un contrôle simultané (connexion) des deux faces de la carte, prévoir des trous de positionnement précis (diamètre > 3 mm) pour les tétons de guidage servant à l'ajustement des deux lits à clous.
- le pad de test accueillant une pointe doit avoir un diamètre minimal de 0.9 mm.
- il est utile de recouvrir les pads de test par un matériau non oxydable, voire par de la soudure, qui présente l'intérêt d'être molle, et oxydée seulement en surface : une pointe percera facilement cette couche d'oxydation.
- la tolérance minimale d'alignement entre la pointe et le pad de test est de 50 µm.
- il est préférable de ne pas avoir de points de test trop près des bords de la carte.
- il est conseillé de laisser un anneau de 0.45 mm de large autour de chaque point de test.

Ces conseils ne sont en fait que de doux euphémismes.

#### 2.2.5.1.1.4 Les limites des outillages à décalage

Concrètement, les outillages à décalage classiques permettent un accès de manière relativement fiable jusqu'à des pas de 25 mils (0.635 mm). Au-delà, aucune solution n'est aujourd'hui disponible, alors que les pas de 0.5 mm sont maintenant industriels, et qu'on commence à voir apparaître des pas de 0.4 mm, voire 0.25 mm (10 mils).

De plus, se posent les problèmes suivant :

- la densité locale des points de grille disponibles n'étant pas suffisante dans certains cas, cela conduit à l'utilisation de grilles universelles de densité supérieures, beaucoup plus onéreuses.
- le montage des outillages à décalage pour pas fin, avec la multiplicité de plaques, devient très long est très fastidieux, donc très coûteux.
- la fiabilité de ce type d'outillage décroît avec les pas rencontrés sur les circuits.

#### 2.2.5.1.1.5 Notion de coûts de test

Le coût du test peut être décliné suivant quatre niveaux :

1 - investissement : le fabricant de circuits imprimés nus doit investir dans un système de test complet et parfaitement adapté au test de sa production, associé à un logiciel performant d'aide à la génération des outillages, ainsi qu'à la réparation des circuits défectueux. On l'a vu, il existe plusieurs possibilités au niveau des investissements, notamment l'option de la grille universelle de pointes à ressort, qui si elle est choisie, va induire un coût d'exploitation moindre et une plus grande fiabilité de contact. De manière générale, le prix du point de test testeur oscille entre 20 et 40 F par point, le prix d'une pointe à ressort de grille universelle entre 4 et 6 F, le prix d'une machine de base entre 300 et 1 000 KF.

Le tableau suivant propose un calcul de la fourchette d'investissement en fonction des options (Grille universelle, densité simple ou double, utilisation d'une grille universelle de pointes à ressort, sur la base des prix du Marché :

<i>Hypothèses</i>		Fourchette basse	Fourchette haute			Coût de la machine	
Machine de base		300KF	1 000KF			Hypothèse basse	Hypothèse haute
Prix du point de test		20 F	40 F				
Prix d'une pointe à ressort		4 F	6 F				

Longueur surface utile	Largeur surface utile	Densité de grille	Nombre de face de test	Nombre de points de test	Option grille universelle	Coût de la machine	
						Hypothèse basse	Hypothèse haute
500 mm	400 mm	1	1	31000	0	920KF	2 240KF
500 mm	400 mm	1	1	31000	1	1 044KF	2 426KF
500 mm	400 mm	1	2	62000	1	1 788KF	3 852KF
500 mm	400 mm	2	1	62000	0	1 540KF	3 480KF
500 mm	400 mm	2	1	62000	1	1 788KF	3 852KF
500 mm	400 mm	2	2	124000	0	2 780KF	5 960KF
500 mm	400 mm	2	2	124000	1	3 276KF	6 704KF

(Min ; Max) :            920KF            6 704KF

Notion de coût d'investissement a propos de systèmes de test de CI nus

On constate que la fourchette est relativement écartée. Un système raisonnable se situant entre 1.5 MF et 2.5 MF, ce qui est énorme par rapport au CA de certains fabricants (en France, plus des 2/3 des fabricants de CI nus font moins de 20 MF de CA), surtout que ce type d'équipement n'est pas productif pour eux.

A titre d'indication, si l'on considère un débit moyen de test de 200 circuits à l'heure, 20 heures par jour, 200 jours par an, et un amortissement sur 5 ans du testeur, l'amortissement de l'investissement (sans compter les coûts d'exploitation) représentera, sur la base d'une machine de 2 MF, sera de 35 centimes par circuit.

2 - exploitation : une fois l'équipement de test acheté, celui-ci va engendrer des coûts annexes, dits d'exploitation :

\* maintenance (achats de cartes pour remplacer les cartes défectueuses), immobilisation de la machine pendant les maintenances / réparation, etc...

\* fabrication des outillages de test. Ceci est en fait la finalité de la machine. Un fabricant fabrique en moyenne 2 à 3 outillages nouveaux, et assemble entre 5 et 10 outillages (éventuellement en réutilisation), par jour. Il a en gros environ 200 à 500 références d'outillages en cours, d'une moyenne de 2 000 pointes chacun. Il lui est donc difficile de stocker tous ces outillages montés, car cela lui occasionnerait une immobilisation de :

. 800 KF à 4 MF de pointes rigides (de type corde à piano, sur la base de 2 F pièce), utilisées avec une grille universelle de pointes à ressort, soit un coût (à un taux de 10%) de 80 KF et 400 KF par an, sans compter le renouvellement du stock, ni le coût de stockage.

. 2 MF à 10 MF de pointes à décalage à ressort, soit un coût (à un taux de 10%) de 200 KF et 1 MF KF par an, sans compter le renouvellement du stock, ni le coût de stockage.

Il lui faut donc démonter ses matrices, ou tout du moins la grosse majorité qui s'y prête bien, et pouvoir les remonter rapidement.

Monter une matrice prend de plus en plus de temps au fur et à mesure que le pas descend. Typiquement, le temps de montage est de 1000 pointes à l'heure pour un circuit simple ne présentant pas de pas fins, par un opérateur confirmé. Ce temps chute à 500 pointes à l'heure pour les outillages complexes.

Il faudra donc entre 2 et 4 heures à un opérateur pour monter une matrice de 2 000 points, ce qui représente environ un coût moyen se situant entre 200 et 400 F par matrice, sans compter le

démontage. A raison de 1 000 à 2 000 matrices par an, cela entraîne des coûts de 200 KF à 800 KF par an.

Ces chiffres montrent qu'en fonction de la production du fabricant, celui-ci devra choisir telle ou telle option, qui entraînera pour lui les coûts les plus faibles.

3 - le non-test : si le fabricant prend le risque de ne pas tester sa production, qui présente en général 3 à 5 % de défauts, il va s'attirer les foudres de ses clients et les perdre. En tout état de cause, si ceux-ci restent fidèles malgré tout, il lui renverront 3 à 5 % de sa production, soit 3 à 5 % de son chiffre d'affaire. Ainsi, pour un CA moyen de 50 MF, il perdra 2 MF. A comparer avec l'amortissement d'un système de test, sur 5 à 7 ans, qui est d'environ 1 MF par an.

4 - la sous-traitance en test : si le fabricant n'a pas les moyens ou une production suffisante pour amortir un testeur, il lui est encore possible de faire appel à de la sous-traitance de test.

A titre d'information, les prix au point de test de l'une de ces sociétés en France sont les suivants :

- outillages **cablés** :

- . 13 F / point pour le pas de 2.54 mm
- . 23 F / point pour le pas de 1.27 mm
- . 65 F / point pour les fine pitch (20 mils).

- outillages à **décalage** :

- . entre 1500 et 3500 F la première fois (environ 0.26 F le point standard, puis 0.82 F pour des pas  $\leq 1.27$  mm pour la première mise en oeuvre)
- . mise en route de 300 F à chaque run ensuite, chaque fois que les séries reviennent
- . plus entre 2.90 F et 5.50 F par circuit, suivant la complexité.

Ainsi, le test d'un circuit de 2 000 points, comprenant 50% de pas fins lui en coûtera 260 F + 820 F = 1080 F pour la réalisation de l'outillage entre 3 et 6 F par circuit pour la suite, ce dernier chiffre étant à comparer à l'amortissement de la machine achetée de l'ordre de 35 centimes par circuit.

On peut montrer, enfin, que **le coût du test électrique, par circuit** (incluant l'amortissement du testeur, la réalisation de l'outillage et sa gestion, ainsi que le test lui-même) **oscille entre 0.30 F et un peu plus d'1 F**, suivant les fabricants, l'utilisation du matériel dans lequel ils ont investi, leur organisation, et l'importance de la série (l'amortissement d'un outillage de 1000 F sur une série de 1000 circuits revient de manière évidente à 1 F par circuit).

## 2.2.5.1.2 Test optique

### 2.2.5.1.2.1 Généralités

Devant les difficultés du test électrique face à la technologie CMS, certains ont revisité le test optique, pour envisager des solutions à leurs problèmes.

Le test optique ne présente pas les contraintes au niveau accessibilité aux équipotentielles, ni d'outillage spécifique à chaque type de circuit testé, contrairement au test électrique. Cependant, la nécessité d'un lien CAO, l'absence de standards à ce niveau, le balbutiement des algorithmes de reconnaissance des formes, la durée élevée du test ( $> 30$  s), la non réalité physique du test des cartes nues (l'inconvénient majeur qui est en général opposé au test optique est la spécificité du test : un test optique ne peut remplacer un test électrique, dans la mesure où les grandeurs de fonctionnement du circuit testé sont elles-mêmes électriques), ainsi que le coût élevé de ces systèmes fait que le test électrique a encore de nombreux atouts, à supposer qu'il puisse solutionner à moindre coût ses problèmes d'interface.

Les tests électrique et optique s'avèrent en tout cas être complémentaires au niveau du test des cartes nues (inspection des couches internes et des faces finales avant vernis épargne pour le test optique, test électrique final).

Par exemple pour l'analyse successive des couches d'un circuit multicouche avec détection des amorfes de défaut (test optique) et test final (électrique), comme nous le confirme la stratégie en la matière d'un grand de l'Informatique Française, la société BULL [18] :

Bull teste aujourd'hui ses couches internes par système optique.

Les CI qu'ils utilisent sont en général des CI double face, ne comprenant du CMS que sur une face.

BULL fait du test électrique 1.27 mm, combiné à une analyse d'image, de façon à vérifier la continuité de la piste liant le trou de via (ou la pointe vient se planter), et la plage de réception du composant.

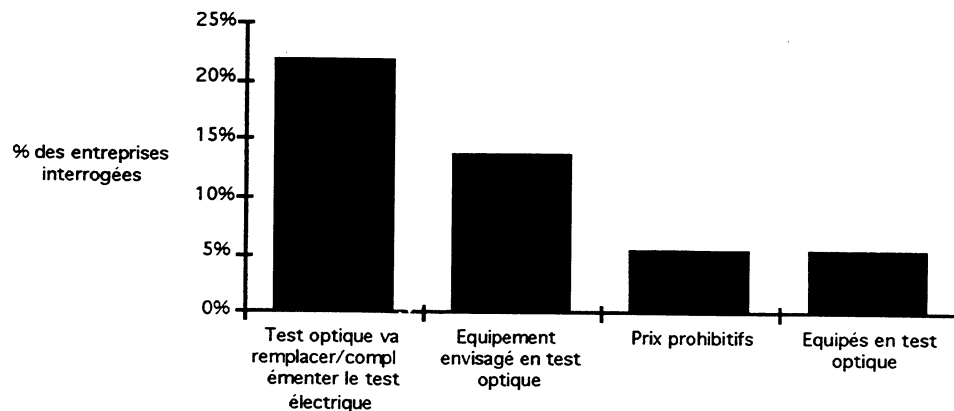
La grille de test est actuellement au format de 250 mm \* 250 mm (40.000 points).

L'AOI (Automatic Optic Inspection) a débuté en 1983. Plus des 3/4 de systèmes AOI sont installés aux États-Unis. Selon les utilisateurs, l'AOI conduit à améliorer le process de fabrication des CI, comme celles utilisant des lignes fines (100 µm à 150 µm).

Le nombre de systèmes d'AOI de par le monde, qui était de 100 en 84 est passé à 600 en 88.

Bien qu'encore peu présent chez les fabricants de CI nus, beaucoup d'entreprises considèrent aujourd'hui, devant l'absence de solutions, qu'à terme [20], le test optique viendra compléter le test électrique. Celui-ci serait alors limité à la métallisation des trous, ce qui réduirait la densité des points à tester électriquement. Cette orientation pourrait être remise en question si une solution technologique nouvelle pouvait répondre aux problèmes de densité à un prix compétitif, les prix des testeurs optiques restant pour l'instant prohibitifs (plusieurs MF).

Position par rapport au test optique des entreprises interrogées



Position des fabricants français de CI nus par rapport au test optique

Moins de 5 % des fabricants français sont équipés en test optique, tandis que 15% envisagent de s'équiper. 1 fabricant sur 5 pense sérieusement que le test optique pourrait remplacer, ou en tout devenir plus complémentaire au test électrique.

#### 2.2.5.1.2.2 Description sommaire des principes du test optique

A l'origine, les systèmes AOI étaient basés sur des algorithmes de 'design rule', ce qui nécessitait beaucoup de hardware. Les limites d'inspection étaient les lignes 250 µm. La deuxième génération de systèmes AOI a utilisé les 'data base' CAO, qui entraînent des temps de traitement longs (de l'ordre de 30 s par face pour les plus rapides), et diverses conversions de formats.

En fait, les problèmes qui se posent au niveau du test des CMS sont de 2 ordres :

- macro-problèmes (très gros courts circuits, etc...)

- micro-problèmes (échancrures de 20 % sur une piste de 100 µm, etc...), sans que les problèmes de 'regISTRATION' (précision de positionnement) n'entraînent de fausses erreurs, ceci impliquant la possibilité au niveau du système AOI de changer d'axes en temps réel pour se positionner au centre de la figure inspectée, indépendamment du positionnement mécanique de l'ensemble de la carte. Pour des pistes de l'ordre de 250 µm avec une résolution (pixel) de 20 µm, la précision de positionnement des éléments de scanner doit être de l'ordre de 200 µm, contre 80 µm pour des pistes de 100 µm (pixels de 8 µm).

La dernière génération d'AOI est une combinaison mixte de 'design rule' (orientés Software cette fois-ci) destinée à tester les micro-défauts, et de bases de données, en vue de l'inspection au niveau de macro-défauts.

#### Le test électrique :

- ne peut pas inspecter les clichés
- ne peut pas inspecter du photoresist
- ne peut pas détecter des échancrures
- ne peut pas détecter un manque sur une plage de report
- nécessite un outillage long à préparer
- ne repère pas l'emplacement du défaut
- a des limites dues à des problèmes mécaniques
- réalise une quantification des paramètres électriques mesurés

#### L'AOI :

- inspecte les clichés
- inspecte le photoresist
- détecte les échancrures
- détecte les manques et les piqûres sur les plages de report
- repère l'emplacement des défauts
- ses limites sont plus dues à des problèmes optiques que mécaniques
- ne contrôle pas les liaisons intérieures des trous métallisés avec les couches internes
- ne contrôle qu'une seule couche à la fois et non l'ensemble du circuit fini

Il n'existe pas aujourd'hui de solution globale alliant test électrique et test optique, comme le souhaiteraient les fabricants de circuits imprimés.

L'AOI est cependant en constante évolution : capteurs plus précis, temps de traitement en baisse (facteur 1.5 tous les ans), apparition du contrôle 3D pour les circuits montés.

Devant cette interrogation, certains fabricants de testeurs électriques se sont lancés dans le domaine de l'optique, comme MANIA en association avec, par exemple, la société Lloyd Doyle (association rompue en 1992). On note l'existence d'un certain nombre de produits : MOP 4002, MOP 5001, 5002, 5004, dont les temps de test se situent autour de 40 dm<sup>2</sup>/mn (ce qui est relativement élevé). Ces systèmes fonctionnent par comparaison pixel par pixel avec un circuit étalon disposé à côté. Le temps de mise en oeuvre est par contre très court (env. 5 mn), et aucun outillage n'est nécessaire.

D'autres sociétés sont plus spécialisées, comme ORBOT ou OPTROTECH, qui se sont d'ailleurs associées début 1993, sous le nom d'ORBOTECH. On trouve dans la gamme ORBOTECH des systèmes d'inspection des trous métallisés (DB-800), des systèmes d'inspection des couches internes (Séries PC-1200), des stations de réparations (VRS-1 2 et 3) et un système d'inspection dédié aux films issus des plotters (PT-127).

ORBOT n'était pas aussi avancé en CAO que ne le sont DISC, OPTROTECH ou GSI. L'association avec OPTROTECH comble cette lacune.

#### 2.2.5.1.2.3 Les systèmes d'inspection à rayons X

D'autres méthodes "optiques" de test ont été développées, comme celles exposées ci-dessous. Elles ne sont pas adaptées au test de circuits nus, mais plutôt à l'examen des joints de soudure, et surtout relativement lentes.



**Scanned Beam X-ray Laminography (Test & Measurement World, Dec 90, John Adams & Ryan E. Hendricks, Four Pi Systems)**

Contrairement à la radiographie traditionnelle, qui transmet des rayons X au travers d'un circuit imprimé dans une direction pour former une image, la 'Scan Beam laminography' (SBL) tridimensionnelle utilise un rayon tournant pour extraire des tranches horizontales d'image, pour les empiler, reconstituant ainsi un volume. On l'utilise donc par exemple pour l'inspection de la pâte à braser.

Mais en raison de cette aptitude, la SBL est capable d'isoler des couches individuelles, ainsi que les liaisons. Comme l'image complète est alors stockée, il est possible de la comparer avec les données CAO préalablement enregistrées.

L'inspection d'une carte de 5" \* 7" prend quelques minutes.

Commentaires : surtout intéressant pour les joints de soudure, et l'examen des vias entre couches, mais n'intervient pas ou peu au niveau du test de CI nus.

**High-Resolution Ultrasonic Image (Test & Measurement World, Dec 90, Thomas J. Nelligan, Panametrics Inc. Waltham, MA)**

Les systèmes d'image ultrasoniques (SIU) sont des transducteurs piézo-électriques spécialisés qui génèrent et reçoivent des pulsations hautes fréquences (> 100 Mhz). Le diamètre de ces pulsations est de l'ordre de 250 µm. Le système est à même de détecter la présence de parasites, de ponts, etc..., du fait que l'énergie sonore passe au travers des solides, mais est réfractée sur un matériau discontinu.

Le spécimen testé doit présenter certaines caractéristiques géométriques minimales et doit être immergé dans l'eau !

L'application principale est l'inspection de joints de soudure (ex : bonding) et de résine.

Commentaires : surtout intéressant pour les joints de soudure, et en particulier les liaisons bonding. L'inconvénient majeur est la nécessité de l'immersion.

**Automated Laser/Infrared Solder-joint Inspection (Test & Measurement World, Dec 90, Riccardo Vanzetti, Vanzetti Systems, Stoughton, MA)**

Une structure n'est détectable par infrarouge que si sa température excède la température ambiante. Ainsi, lors d'un échauffement voisin, si une broche ne chauffe pas, c'est qu'elle présente un défaut de soudure.

Commentaires : surtout intéressant pour les joints de soudure.

**2.2.5.1.3 Test à sondes mobiles**

Le test à sondes mobiles est de plus en plus utilisé pour le test de prototypes. Il a pour principal avantage de ne pas utiliser d'outillage.

Des sondes mobiles (au moins 2) se déplacent en (X,Y) vers des couples de points de test. La première impose une tension, tandis que l'autre mesure le courant récolté. Le système peut ensuite déduire la valeur de la résistance mesurée.

Le principal inconvénient de ce type de test est sa lenteur. Il est très efficace en continuité (environ 5000 points testés à la minute) car proportionnel au nombre de points, mais relativement lent en isolement, où l'isolement doit être mesuré entre un point et tous les autres, ce qui implique un algorithme en  $N^2$ , où  $N$  est le nombre d'équipotentiels. Certains algorithmes utilisant les données CAO pour statistiquement éliminer certaines équipotentiels en raison de leur éloignement par rapport à l'équipotentielle considérée permettent d'optimiser ce temps, mais qui reste très long : il faut plusieurs minutes pour tester un circuit de plusieurs milliers de points.

En conclusion, ces systèmes, relativement intéressants d'un point de vue prix (entre 200 et 300 KF) et coût d'exploitation (quasi nul) ne seront utiles que pour tester des toutes petites séries, ou des prototypes.

## 2.2.5.2 Les paramètres de test

Les paramètres de test les plus importants d'un point de vue technique sont sans conteste les paramètres d'isolement et de continuité, enregistrés sur le circuit.

Du point de vue économique, des paramètres comme le temps de test, le débit du testeur, entrent également en ligne de compte.

### 2.2.5.2.1 Ordre de grandeur et tolérances des défauts de nature électrique

Au niveau d'un circuit imprimé, tout défaut se traduit par une coupure ou un court-circuit sur une équipotentielle.

Entre deux terminaisons d'une piste de circuit imprimé, pour une longueur d'une dizaine de centimètres, la résistance de la piste va varier de 0.1 ohm à quelques ohms suivant son épaisseur et sa largeur, comme s'en fait l'image le tableau suivant :

Cas typiques									
Largeur de piste (µm)	150	200	300	200	200	200	150	150	150
Hauteur de cuivre (µm)	70	70	70	25	35	70	35	35	35
Longueur de piste (Cm)	10	10	10	10	10	10	10	20	30
Résistance de piste (milliohms)	162	121	81	340	243	121	324	648	971
Résistance de contact interface (milliohms)	50	50	50	50	50	50	50	50	50
Résistance totale (milliohms)	212	171	131	390	293	171	374	698	1 021
Cas extrêmes									
	Classe 6		Classe 1						
Largeur de piste (µm)	120	800							
Hauteur de cuivre (µm)	17,5	105							
Longueur de piste (Cm)	40	5							
Résistance de piste (milliohms)	3 238	10							
Résistance de contact interface (milliohms)	50	50							
Résistance totale (milliohms)	3 288	60							

Résistivité du Cuivre :  $\rho$  (ohm . m) = 1,7E-08

### Résistance d'une piste de circuit imprimé en fonction de ses paramètres géométriques

Pour être exhaustif, il faudrait également tenir compte des résistances de trous métallisés (en général très faibles). On peut d'ores et déjà dire que le *seuil de continuité va augmenter avec la complexité du processus de fabrication*. Ainsi, si on prend l'exemple en classe 5 (largeur de piste 150 µm, hauteur de cuivre : 50 µm pour les faces apparentes, et 35 µm pour les couches internes), une équipotentielle de 30 cm pourra présenter une résistance supérieure à 1 ohm vis à vis de l'électronique de test. Il est alors stupide d'imposer un seuil de continuité à 1 ohm.

Cependant, dans un cas général, la résistance de continuité est inférieure à l'ohm, et cette tendance se généralise au fur et à mesure de l'accroissement de la densité des cartes.

Les impédances d'entrées de certains amplificateurs sont de l'ordre de  $10^{12}$  ohms, l'isolement requis entre deux pistes doit être sensiblement de cet ordre de grandeur, bien qu'il soit communément admis qu'un isolement de 100 Mohm est suffisant.

Tolérances : voir normes, paragraphe suivant.

NB : les défauts d'isolement représentent en moyenne 70 % à 95 % des erreurs sur les circuits imprimés nus.

### 2.2.5.2.2 Normes

La norme militaire américaine MIL P 55110 D (18 Mai 1989) [90] requiert, pour les circuits imprimés un isolement minimal de 2 Mohm entre 2 équipotentiels, et une valeur de résistance entre deux équipotentiels à moins de 10 ohm (en production).

Les courants de test sont limités en valeur maximale (MIL - STD - 275), mais non en valeur minimale.

La tension de test doit être égale à :

- 2 fois la tension maximale d'utilisation du CI nu lorsque celle-ci est connue
- 40 V sinon

La norme française NF C 93-716 (Août 1983), 'Contrôle de continuité et d'absence de courts-circuits par appareillage automatique', prescrit :

- générateurs ayant une tension de test comprise entre 5 V et 40 V
- courants de court-circuit entre quelques dizaines et quelques centaines de milliampères
- température : 15 °C - 35 °C
- humidité relative : 45 % - 75 %
- pression : 850 mbar - 1060 mbar
- sanction de continuité :  $Z \leq 5$  kohms
- sanction pour l'absence de courts-circuits :  $Z \geq 100$  kohms

Commentaires : la norme française est moins sévère que la norme américaine MIL-P-55110, du fait que celle-ci ne s'applique pas à des produits militaires à priori. On remarque toutefois que cette norme stipule de ne pas dépasser les 40 V en tension de test alors que la norme MIL stipule le contraire !

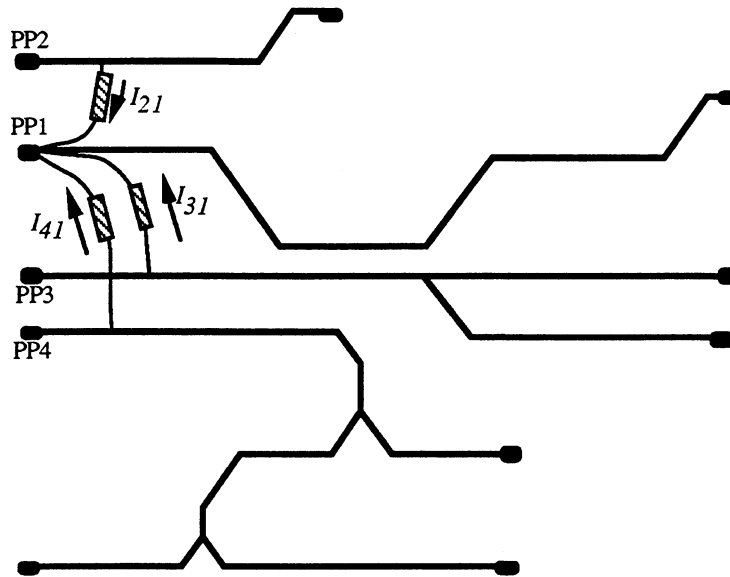
### 2.2.5.2.3 Remarques importantes à propos du test d'isolement

Le test d'isolement, comme on l'a vu précédemment, est un test en  $N^2$ , N étant le nombre d'équipotentiels du circuit. De plus, l'imposition de la mesure d'isolement, en raison de la charge de la capacité parasite que constitue l'équipotentielle avec les plans de masse, est très lente.

La mesure d'isolement, on le rappelle, consiste à élever une équipotentielle à la tension de test, et de mettre à la masse toutes les autres. Ainsi, et seulement ainsi, on teste la résistance de l'équipotentielle en question **par rapport à toutes les autres simultanément**. De cette manière, la somme de tous les courants de fuites parallèles est mesurée, et non le courant de fuite entre 2 équipotentiels.

Aujourd'hui, les composants modernes (haute impédance d'entrée, haute vitesse, etc...), impose que chaque composant soit isolé non seulement de tout autre composant sur le circuit, mais de l'influence de tous les autres composants réunis.

Il est important de faire apparaître ici la notion de **dualité** entre la résistance d'isolement d'une équipotentielle par rapport à toutes les autres, et les courants de fuites qui arrivent à cette équipotentielle. Le dessin ci-dessous s'en fait l'illustration :



Dualité courant de fuite <--> Résistance d'isolement

On voit que pour un circuit très simple de 4 équipotentielle, on pourra avoir 3 causes de défaut d'isolement, qui se superposent :

- la fuite (ou défaut d'isolement) entre la piste 2 et la piste 1, matérialisée par le courant  $I_{21}$ .
- la fuite (ou défaut d'isolement) entre la piste 3 et la piste 1, matérialisée par le courant  $I_{31}$ .
- la fuite (ou défaut d'isolement) entre la piste 4 et la piste 1, matérialisée par le courant  $I_{41}$ .

Le défaut global est en fait caractérisé par la somme des fuites  $I_{21} + I_{31} + I_{41}$  (ou la mise en parallèle des 3 résistances d'isolement), alors qu'une mesure d'isolement entre équipotentielles 2 à 2 ne permettrait que de détecter l'un des trois courants.

On remarque également que ce problème est d'autant plus grave que le nombre d'équipotentielles est important : un défaut d'isolement d'un circuit possédant 1000 équipotentielles est la résultante de 999 courants de fuites, alors qu'un seul aurait été mesuré avec la méthode '2 à 2'.

C'est la méthode d'isolement entre une équipotentielle est toutes les autres réunies qui est imposée par la norme MIL MPD 2011.

Une possibilité pour rejoindre cette norme, est de programmer l'ensemble des équipotentielles en liaison à la masse, puis de programmer l'équipotentielle considérée en injection de courant, pour mesurer la chute de potentiel de celle-ci par rapport à la masse (et donc par rapport à toutes les autres), de façon à en tirer la résistance d'isolement.

A la fin de la mesure, on reprogramme l'équipotentielle en liaison à la masse.

Cette méthode permet théoriquement un test très rapide, puisqu'elle suppose autant de mesures qu'il y a d'équipotentielles, soit  $N$  mesures très simples. Cependant, d'un point de vue pratique, il est nécessaire, une fois le courant imposé, d'attendre un certain temps pour permettre la charge des capacités réparties sur chaque équipotentielle. Un circuit imprimé est en effet un isolant avec un certain nombre de traces conductrices sur sa surface. Deux conducteurs séparés par un isolant forment une capacité. De petites pistes, séparées par une épaisse couche d'isolant forment une faible capacité, tandis que des pistes plus importantes forment des capacités non négligeables. Ainsi, des plans de masse parallèles forment de grosses capacités. Lorsque le test d'isolement commence, un courant est appliqué, qui dans un premier temps charge les capacités réparties : le potentiel monte suivant un constante de temps  $RC$ , qui correspond au temps d'établissement. Deux types d'optimisation peuvent alors être effectuées :

- 1 - on peut envisager de mesurer au préalable [51] la capacité de l'équipotentielle (qui sera du même ordre de grandeur pour les circuits d'un même type, et pour un point en particulier), de manière à

pouvoir injecter un courant suffisamment fort pour charger la capacité, mais pas trop pour ne pas l'endommager.

2 - on démontre que le temps de montée  $T$  dépend du seuil d'isolement, et vaut  $T = Z_i * C$ . (Cf. paragraphe suivant).

Avec une application numérique simple, pour  $Z_i = 100$  Mohms, et  $C = 10$  pF, on trouve  $T = 1$  ms.

Il est alors nécessaire d'attendre au moins  $2 RC$  soit 2 ms, ce qui implique un temps de test assez important dès que le nombre d'équipotentiels dépasse le millier, ce qui arrive de plus en plus fréquemment.

On peut toutefois optimiser ce temps en mesurant la pente de la charge de la capacité (si on suppose connaître celle-ci, ce qui permet d'en déduire la valeur de la résistance sans atteindre la fin de la charge).

En raison d'effets capacitifs sur le circuit à tester (lors de l'utilisation de certaines méthodes, notamment celle de l'imposition d'un courant de test), un certain temps d'établissement est nécessaire pour opérer la mesure. Ce temps d'établissement est dit 'dwell time'.

Au vu de ces commentaires, il est clair que la méthode de mesure d'isolement dite "limited isolation" qui ne met en oeuvre que l'isolement entre 2 équipotentiels, ne représente pas la réalité physique du circuit imprimé. Elle est donc à proscrire.

Une méthode intermédiaire pourrait être la mesure d'isolement 'true isolation' [2] [76], ou mesure d'isolement 'Log de P', ou dichotomique.

Lorsque le testeur est particulièrement lent, on peut optimiser le temps de test en utilisant la méthode dite 'Log de P'.  $P$  est le nombre de points de test du circuit. Le Log désigné est le Log en base 2. On montre qu'il n'est besoin que de  $\text{Log } P$  phases de mesure.

Ce test n'est pas un véritable test d'isolement, puisqu'il ne considère pas l'isolement d'une équipotentielle par rapport à toutes les autres.

**En conclusion, un test d'isolement conforme doit mesurer l'isolement d'une équipotentielle par rapport à toutes autres reliées entre elles.**

#### 2.2.5.2.4 Caractéristiques électriques de test

##### 2.2.5.2.4.1 Tension de test et seuil d'isolement

###### 2.2.5.2.4.1.a Généralités

Si l'on se rappelle qu'il coûte typiquement 10 fois plus cher de trouver et corriger un défaut à l'étape ultérieure de la production, il est important que lors de chaque étape soit détecté un pourcentage maximal de défaut.

Le coût du test augmente de façon importante avec la tension de test (directement liée à la résistance d'isolement, par la loi d'ohm,  $V_{\text{test}} = R_{\text{isol}} \times I_{\text{dec}}$ ,  $I_{\text{dec}}$  étant le plus petit courant communément détectable au niveau de la commande d'un appareil, à l'abri des parasites).

Selon [57], pour un seuil d'isolement entre pistes fixé à 1 Mohm, le taux de couverture des défauts se situe entre 85 % et 95 %, ce qui est très loin d'être suffisant.

Le tableau suivant fait le point sur le taux de couverture en fonction du seuil d'isolement, à deux niveaux :

- circuit nu
- produit

Seuil d'isolement	Niveau circuit imprimé nu	Niveau produit
1 Mohm	10,00%	2,00%
10 Mohm	8,00%	1,50%
100 Mohm	1,00%	0,10%
1000 Mohm	0,10%	0,01%

*Taux de défauts en fonction de la résistance d'isolement [57]*

Cette figure montre aussi la répercussion de la non détection des erreurs. Sur l'étape suivante, avec, on le rappelle un coût majoré de 10 en moyenne.

La différence entre le standard 1 Mohm et 100 Mohm apparaît clairement.

Mais la différence entre le standard 100 Mohms et le standard 1000 Mohms est loin d'être aussi significative, comparativement au faible gain de performances qu'elle octroie.

Finalement, le standard 100 Mohm s'imposerait de lui-même.

Mais indépendamment de cette valeur idéale de seuil, un amalgame s'est instauré au niveau des mentalités, associant à tort seuil d'isolement et tension de test, faisant la confusion entre le test de vérification d'absence de courts-circuits, fonction du test de CI nus, et le test de vérification d'absence de contamination, objet d'une toute autre machine. La confusion naît sans doute du terme "isolement", utilisé pour les 2 types de test en raison de la pauvreté du vocabulaire.

Le choix d'un testeur de circuit imprimé nu est en effet souvent fait sur le seul critère de la tension de test [74] : "nous avons besoin d'un testeur 250 V".

Or le test de continuité est un test destiné à vérifier la liaison électrique entre deux points d'une même équipotentielle. Il mesure donc de faibles résistances. Un courant de test de 10 mA appliqué à une résistance de 0.1 ohm (typique pour une piste de CI nu), va seulement provoquer une chute de potentiel de 1 mV. Tandis que des courants plus forts pourront endommager les pistes du circuit.

Pour ce qui est du test d'isolement, il s'agit de mesurer des résistances élevées (ou leur duales, des courants de fuites faibles) entre 2 équipotentielles. Des facteurs comme le courant de fuite de l'électronique de mesure, la décharge de la capacité de charge, le temps d'établissement, pourront perturber la mesure elle-même.

#### 2.2.5.2.4.1.b Les machines du passé

Au début de la fabrication de circuits imprimés, il s'agissait de vérifier simplement la continuité, et de garantir une isolation de quelques milliers d'ohms. Les testeurs étaient basés sur des 'Hi-pot testers' utilisant des relais, autorisant des seuils de 10 Mohms sous 1500 V, avec le risque d'endommager le circuit testé. Ensuite sont apparus les premiers testeurs à semi-conducteurs (CMOS), autorisant un test de 2 Mohms en isolement sous 10 V. Avec les progrès du CMOS, on a pu tester 10 Mohms sous 40 V. Ensuite, l'utilisation de circuits à translation de niveau conduisit à un test de 10 à 100 Mohms sous 100 V.

#### 2.2.5.2.4.1.c Les raisons du passé pour lesquelles on souhaitait faire un test en tension

La raison originelle de sélection d'un voltage élevé a été le désir d'augmenter la performance d'isolement. La loi d'ohm s'écrit :  $U = RI$ . Lorsque l'on veut mesurer 100 Mohms, si l'on ne veut pas utiliser une tension trop élevée, il faut un courant très faible, ce qui n'est pas toujours possible en raison de l'existence des différents courants parasites cités plus haut, qui peuvent noyer le courant de mesure. A 100 V, un seuil de 100 Mohms exige un courant de mesure de 1  $\mu$ A. A 250 V ce courant devient 2.5  $\mu$ A. On voit donc que la raison qui a poussé à l'augmentation de la tension de test est tout simplement l'impossibilité d'abaisser le courant de mesure, sans autre forme de considération.

Ainsi la haute tension est un critère de choix indirect au niveau de la performance du testeur, qui va induire sa caractéristique d'isolement en fonction du minimum de courant de mesure admissible au niveau du testeur (qui dépend lui des performances de l'électronique de test choisie).

Certains fabricants de testeurs, comme Luther & Maelzer [75], ne s'y sont pas laissés prendre : ils ont prouvé que non seulement un testeur basse tension pouvait mesurer de hautes impédances en isolement, mais aussi régler certains problèmes de contact.

Le seul avantage d'un équipement haute tension est d'éliminer les dépôts superficiels qui pourraient faire obstacle au contact, et donc provoquer une erreur qui n'en est pas une. Mais la haute tension n'est pas nécessaire si l'équipement de test peut éliminer ces dépôts par d'autres moyens.

Une méthode fiable correspond par exemple à l'utilisation d'ultrasons : pendant qu'on enregistre la carte, on produit une vibration haute fréquence, qui élimine tous les dépôts et en même temps nettoie les sondes à chaque test, ce qui conduit à un contact fiable entre la sonde et le circuit à tester, ainsi qu'une augmentation de la durée de vie de la sonde.

Toutefois, quand le marché est demandeur, même si cela ne sert à rien, il faut le lui donner. Et c'est ce qui s'est produit : tous les fabricants de testeur proposent aujourd'hui des options 'haute tension' (250 à 300 V).

En fait le véritable test d'isolement ou test de contamination n'est pas destiné à être effectué par un système de test de circuits imprimés nus.

Il existe en effet des problèmes de migrations entre les conducteurs d'un circuit imprimé Verre-époxy. Ces phénomènes de migration entraînent des courts-circuits plus ou moins francs entre des conducteurs relativement proches, lorsqu'on applique une tension de 100 VDC pendant 10 heures (entre les 2 conducteurs considérés), sous une température de 80°C à 85°C, et avec un coefficient d'humidité relative de 70 à 85%.

La contamination d'un circuit se fait au fur et à mesure de sa vie. Elle est quasi nulle au départ. Elle se qualifie effectivement sous haute tension, mais avec une application de cette tension pendant plusieurs heures. L'échantillon est ensuite perdu. Tester à 300 V pendant moins d'1 ms pour évaluer la contamination est une aberration. Cette dernière, qui est identique sur l'ensemble des circuits d'une même série, sera évaluée par échantillonnage, sur des testeurs d'isolement dédiés.

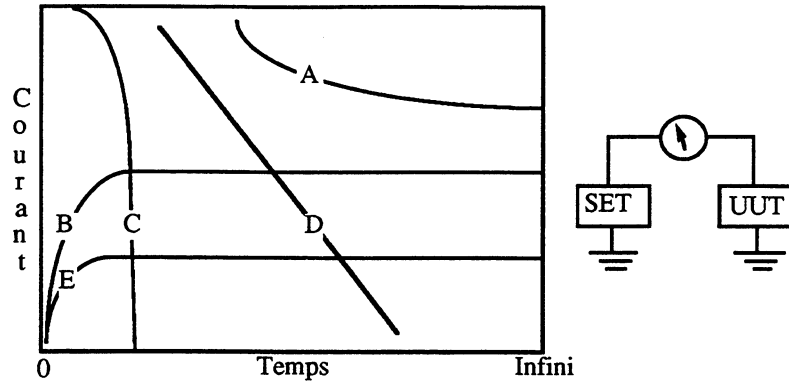
#### 2.2.5.2.4.1.d Comparaison des temps d'établissement de la mesure d'isolement pour les méthodes à imposition de courant et de tension

Nous allons maintenant comparer 2 types de mesure d'isolement, face au problème du temps d'imposition.

##### Calcul des temps d'établissement (Méthode d'imposition de tension) :

Le problème de la mesure d'isolement se résume à celui de la charge des capacités des conducteurs du circuit imprimé à tester, charge qui est longue si le courant est faible, ce qui conduit à utiliser des courants plus élevés, et donc un test à tension élevée, si l'on veut obtenir une résistance d'isolement suffisamment élevée.

Le courant de test au niveau de la mesure d'isolement basée sur une imposition de tension (par opposition à la méthode basée sur une imposition de courant) est la composante de 4 courants, comme le montre la figure ci-dessous :



Description des différents courants intervenant dans la mesure d'isolement à tension constante

- courant B : courant traversant la résistance d'isolement
- courant C : courant de charge des capacités
- courant D : courant d'absorption due aux changements moléculaires du matériau
- courant E : courant de fuite de l'électronique (proportionnel au nombre de points de test dans les systèmes classiques).
- courant A : courant de test résultant mesuré.

On note qu'il existe un temps d'établissement, au bout duquel les différents courants parasites s'éliminent, laissant place au courant qui nous intéresse.

Une prise d'information pointue peut entraîner une ionisation locale du matériau, provoquant l'apparition de courants parasites pouvant perturber le test.

Il peut être intéressant d'utiliser une 'Garde', qui élimine les fuites de courant vers les conducteurs se présentant en parallèle avec le conducteur testé.

Il faut veiller à la sécurité de l'opérateur, du fait de la haute tension.

Après un test d'isolement, il est intéressant de décharger l'équipotentielle, en la mettant à la masse. Cette mise à la masse doit se faire de façon progressive si la tension de test est supérieure à 20 V.

Pour estimer les résistances d'isolement d'un bus, il faut parler en Mohms/m ou Mohms/ $\mu$ F.

Le générateur de tension fournit une tension  $V_i$  constante, et possède une résistance interne  $R_g$ .

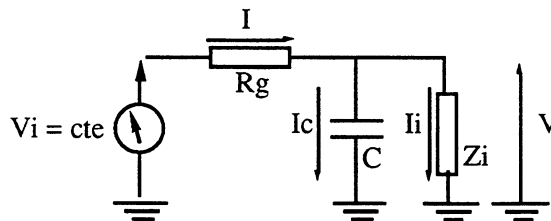


Schéma équivalent pour la mesure d'isolement à tension constante

On a :  $I_v = C \cdot dV / dt$  (courant de charge de la capacité) ;  $I_i = V/Z_i$  ;  $V_i - V = R_g \cdot I$ ,  $I = I_i + I_c$  d'où :

$$V_i = R_g \cdot C \cdot dV/dt + (1 + R_g/Z_i) \cdot V \text{ Or } R_g \ll Z_i, \text{ d'où } V_i = R_g \cdot C \cdot dV/dt + V \implies$$

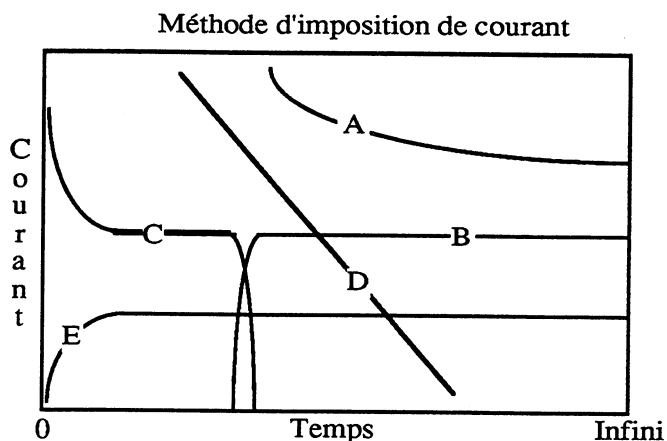
$$V = V_i (1 - \exp(-t / R_g \cdot C))$$

On voit que la tension sera stabilisée après une durée supérieure à  $T = R_g \cdot C$  ou  $R_g$  est la résistance du générateur de tension  $V_i$  (constant), qui est de l'ordre de quelques ohms. D'où  $T \ll 1 \text{ ns}$ .



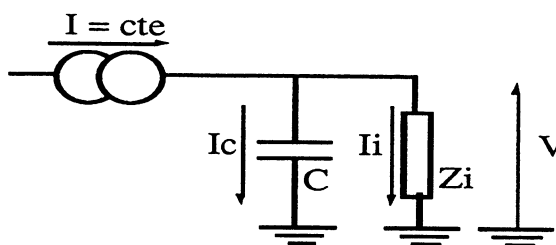
**Calcul des temps d'établissement (Méthode d'imposition de courant) :**

Il nous faut ici considérer le point de vue d'une méthode de test à courant constant.



*Description des différents courants intervenant dans la mesure d'isolement à courant constant*

- courant A : courant de test résultant mesuré.
- courant B : courant traversant la résistance d'isolement
- courant C : courant de charge des capacités
- courant D : courant d'absorption due aux changements moléculaires du matériau
- courant E : courant de fuite de l'électronique (dépend du nombre de points de test sur la même équipotentielle).



*Schéma équivalent pour la mesure d'isolement à courant constant*

On a :

$$V = I * Z_i (1 - \exp(-t / Z_i * C))$$

V est nulle à  $t = 0$ , et croît progressivement par la suite : il existe un temps d'établissement, qu'en première approximation on fixera au temps de chargement RC de la capacité de l'équipotentielle.

Pour une charge à courant constant, on a :  $DT = C * DV / I$

Or  $DV / I = Z_i$ , d'où  $T_{charge} = C * Z_i$  : le temps de charge d'une capacité à courant constant ne dépend pas du courant de test, mais de la capacité elle-même et de la résistance qu'on s'est donné pour seuil (qui est en fait différente de la résistance d'isolement réelle en général).

Si  $Z_i$  est grande (100 Mohms), le temps de charge est très grand (1 ms pour  $C = 10$  pf), mais peut être majoré.

On remarque alors que la notion de temps de test va varier de manière linéaire par rapport au seuil d'isolement, pour les systèmes basés sur un isolement à imposition de courant. Ainsi, si une

caractéristique de test est annoncée à 1 000 Points par seconde pour un isolement à 10 Mo, cette caractéristique tombera à 100 Points de test par seconde pour un isolement de 100 Mo.

**En conclusion, une méthode à imposition de courant impose un temps d'établissement proportionnel à la résistance seuil qu'on veut mesurer. Ce temps d'imposition est typiquement de l'ordre d'1 ms pour un seuil de 100 Mo, alors qu'une méthode à imposition de tension conduit à un temps d'établissement très faible ( $\ll 1$  ns), ne dépendant pas du seuil d'isolement souhaité. C'est donc cette dernière méthode qu'il faut utiliser.**

#### 2.2.5.2.4.1.e Notion d'isolement diélectrique

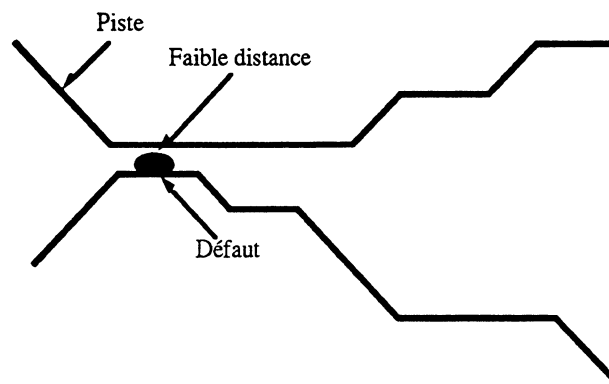
Il ne faut toutefois pas considérer l'isolement électrique comme seul paramètre d'isolement : il faut également tenir compte de l'*isolement diélectrique*, aussi connu sous le nom d'isolement capacitif.

En effet, l'air est un diélectrique. Ainsi, il existe systématiquement une capacité entre deux conducteurs. Comme tout diélectrique, l'air possède une tension de claquage, qui varie suivant les conditions d'humidité par exemple.

La tension de claquage est donnée en proportion inverse de la distance qui sépare les conducteurs. Ainsi, pour une tension de fonctionnement donnée, si l'on rapproche suffisamment les conducteurs, on pourrait observer un claquage de l'air, à partir d'une certaine valeur de différence de potentiel (ddp) entre ces 2 conducteurs, qui va occasionner le passage d'un courant de l'un vers l'autre. NB : c'est la différence de potentiel entre les deux conducteurs qui fait office de tension du condensateur formé.

Inversement, à distance fixe entre conducteurs, si l'on augmente la ddp entre les conducteurs, viendra un moment où l'on observera un claquage.

On note donc ici le risque de voir apparaître un défaut d'isolement indépendant de la résistance d'isolement entre les deux courts-circuits.



Exemple de défaut diélectrique

L'effet condensateur sera d'autant plus marqué que la longueur des conducteurs en parallèle sera importante.

Mais la considération des lois de Paschen dans l'air [71] vont moduler cette approche.

Le problème des décharges électrostatiques lors de l'abaissement ou de l'enlèvement de la tête de test (à l'occasion du test du circuit imprimé nu), composée de pointes au rayon de courbure plus ou moins faible est également un problème à ne pas négliger.

Pour ce qui est des couplages électriques, il faut et suffit de vérifier qu'il existe entre 2 pistes 2 à 2 une résistance dite d'isolement suffisamment élevée pour que le courant de fuite d'une piste vers l'autre soit suffisamment faible vis à vis du courant le plus faible pouvant effectivement circuler dans un mode de fonctionnement du circuit.

Pour ce qui est du couplage diélectrique, le phénomène est plus complexe : il faut vérifier la non influence d'un conducteur sur ses conducteurs voisins, et à l'extrême, vérifier l'absence de claquage (dans l'air) dans les conditions normales d'utilisation du circuit, avec une certaine marge de tolérance.

Cas de la décharge entre 2 électrodes planes séparées par un isolant (condensateur plan).

On montre en physique des matériaux [71] que l'initialisation d'une décharge électrostatique est régie par l'équation simplifiée ( $e^{\alpha x} \gg 1$ ) suivante :

$$i = i_0 e^{\alpha x} / (1 - \gamma e^{\alpha x}) \quad (1)$$

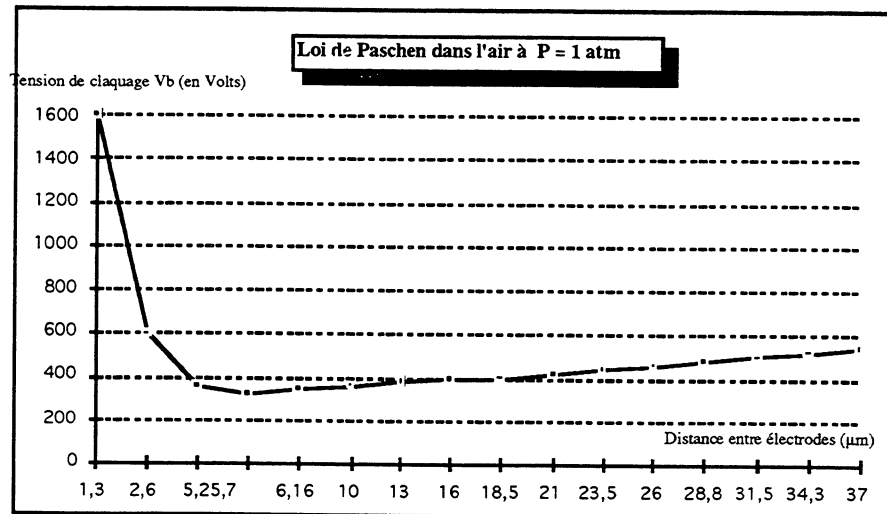
x étant la distance entre les 2 conducteurs,  $\alpha$  et  $\gamma$  étant des paramètres dépendant des conditions de mesure (pression, température, humidité, etc...)

On constate que i croît infiniment lorsque x se rapproche de la valeur d telle que :

$$\gamma e^{\alpha x} = 1 \text{ ou } \gamma e^{\eta V_b} = 1 \quad (2)$$

$V_b$  étant la tension de claquage.

L'image physique du claquage est qu'un nombre suffisant de paires d'ions sont formées par mécanisme  $\alpha$  de telle façon qu'au travers du mécanisme  $\gamma$  au moins 1 électron soit produit pour maintenir le courant. Le concept du choix de variables adéquates pour décrire le phénomène de claquage est important. Un premier choix de variables peut être  $V_b$  et  $E/P$  (E le champ électrique, et P la pression). Un autre choix, qui nous intéressera plus, étant donné que l'on travaille à la pression atmosphérique constante est le couple  $V_b$  et  $P \cdot d$ , d étant la distance entre les 2 électrodes, conduisant à une relation connue sous la Loi de Paschen :



Courbe de Paschen de claquage entre 2 conducteurs d'un condensateur plan dans l'air

Le minimum de cette courbe est le résultat de 2 facteurs opposés (qu'on ne décrira pas ici) et apparaît lorsque le chemin libre moyen est égal à la distance séparant les électrodes. Ce minimum, à pression atmosphérique, et dans l'air est de l'ordre de 320 V, obtenu pour une distance inter électrodes d'environ 6  $\mu\text{m}$ . Toutefois, la valeur de ce minimum dépend de la nature de l'électrode. De plus, elle est donnée ici pour un condensateur plan.

Pour un écartement de 50  $\mu\text{m}$ , on arrive déjà à 600 V.

Théoriquement, le claquage, et donc la valeur minimale de la tension de claquage dépend de la surface et de la nature de l'électrode. Il serait intéressant de disposer des courbes de Paschen avec des Électrodes en Cuivre, ou en cuivre étamé, dans l'air, à pression atmosphérique. A titre d'indication, dans l'Argon, à Pression atmosphérique, une tension minimale de claquage de 100 V est obtenue avec une électrode en Sodium, pour une distance de 13  $\mu\text{m}$ . Cette tension remonte progressivement vers 300 V, et les atteint au voisinage de 130  $\mu\text{m}$ .

NB : la loi de Paschen est valable pour des pressions au-delà de la pression atmosphérique, mais ne reste plus cohérente pour le vide (à partir de  $10^{-3}$  atmosphère) : la loi de Paschen est applicable à un condensateur plan rempli par un gaz, qui présente une distance inter électrode très supérieure au libre parcours moyen (LPM =  $5 \cdot 10^{-3} \text{ cm} / P$  (torr) ; LPM = 6.6  $\mu\text{m}$  à  $P = 1 \text{ atm}$  ; LPM augmente lorsque  $P$  diminue).

**On voit donc que pour les pressions voisines de la pression atmosphérique, la distance inter piste étant de quelques dizaines de LPM, l'effet d'avalanche conduisant au claquage n'aura pas la possibilité de s'établir, pour un condensateur plan.**

Essayons de voir si cette assertion se vérifie également pour les circuits imprimés.

Le LPM d'un électron est égal à ("physique et techniques des tubes électroniques", R Champeix, Dunod 58, p58) :

$$\lambda_e = 4 k T / \pi d^2 P = 5.6 \lambda_{\text{atome}}$$

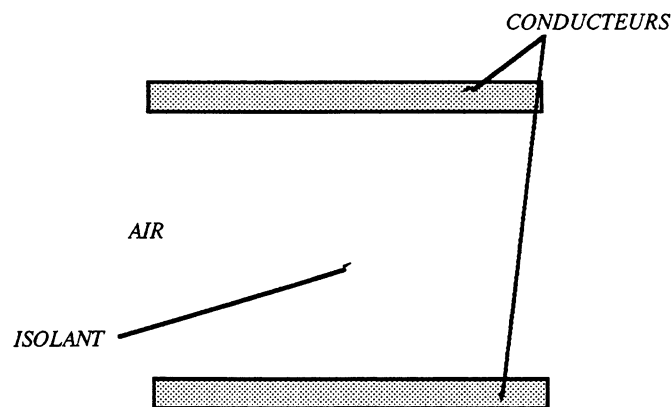
Comme on le voit, notre problème est à considérer pour des pressions atmosphériques ou inférieures, ce qu'on pourra appeler le vide. Pour ces pressions, les facteurs essentiels sont plus liés aux électrodes qu'aux gaz :

- nature
- géométrie
- état de surface

L'ouvrage "High Voltage Technology", édité par L. Alston, aux presses de l'université d'Oxford en 68, est riche d'enseignements sur ces phénomènes.

Un autre ouvrage de référence pourra être : "Electrical Break-down of gases" J.M. Meek, J. D. Craggs, éditions Wiley & Sons.

Une approche réaliste des problèmes que nous voulons examiner passe par la prise en considération du phénomène de 'rampage', se produisant lorsqu'on introduit un isolant entre les 2 électrodes, comme le décrit le schéma suivant :



Phénomène de rampage

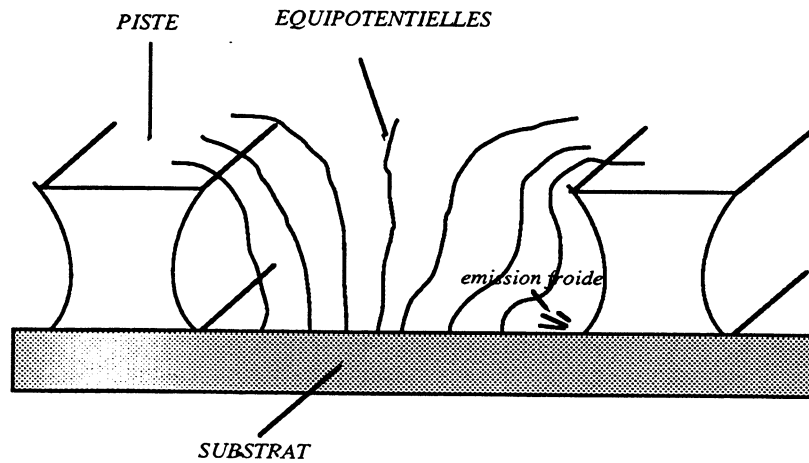
Les équations de continuité du champ électrique donnent :

$$\varepsilon_1 E_1 = \varepsilon_2 E_2$$

où  $\varepsilon_1$  et  $\varepsilon_2$  sont les permittivités diélectriques de l'air et de l'isolant, et  $E_1$ ,  $E_2$  les champs électriques dans l'air et dans l'isolant.

On voit qu'on va assister à une amplification du champ électrique d'un facteur  $\varepsilon_1/\varepsilon_2$ , soit 4 si on prend l'exemple de l'air et de l'époxy. **La tension de claquage pourra ainsi s'abaisser d'un facteur 4, soit passer de 320 volts à 80 V, pour ce qui est du minimum, pour une distance de 6  $\mu\text{m}$  entre conducteurs.** Cet aspect est connu sous l'appellation 'point triple'.

Un autre phénomène conduit à une amplification locale du champ électrique, l'émission froide d'une pointe (ou d'une arête de gravure d'une piste sur un CI), décrit par la figure suivante :



### Phénomène d'émission froide d'une pointe

L'émission froide d'électrons provoque un déplacement des lignes équipotentielles, d'où un resserrage de celles-ci, et donc une amplification du champ électrique dans ces zones : les conditions facilitant le claquage s'en trouvent accrues.

NB : un isolant stoppe l'émission froide. Ainsi, un circuit recouvert d'un vernis épargne sera moins sensible, sauf dans les zones épargnées, comme les plages de test.

### Nature et formation de la décharge

On peut montrer que la charge d'espace du condensateur joue un rôle majeur dans la création de l'étincelle.

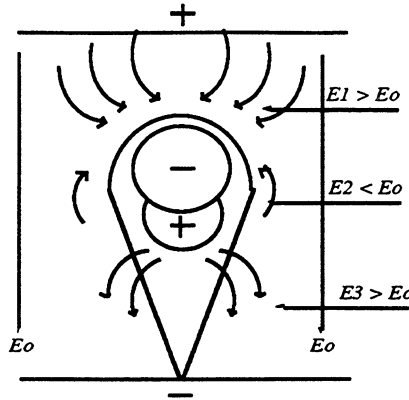
#### *La Flamme*

L'ionisation produite par des électrons conduits par le champ électrique suit la loi du mécanisme de Townsend :

$$n = n_0 e^{\alpha x}$$

Cela est valable tant que la charge d'espace n'est pas modifiée par le champ électrique. Si cela se produit, la multiplication d'électrons passe sous le contrôle du champ de charge d'espace.

On suppose alors que le champ prend la forme suivante :



### Charge d'espace

Le champ électrique est donc supérieur à  $E_0$  d'un coté et de l'autre de l'avalanche, mais pas au centre. Si l'on fait l'hypothèse que la charge d'espace prend la forme d'une sphère de rayon  $R_a$ , le champ électrique d'une telle sphère chargée sera :

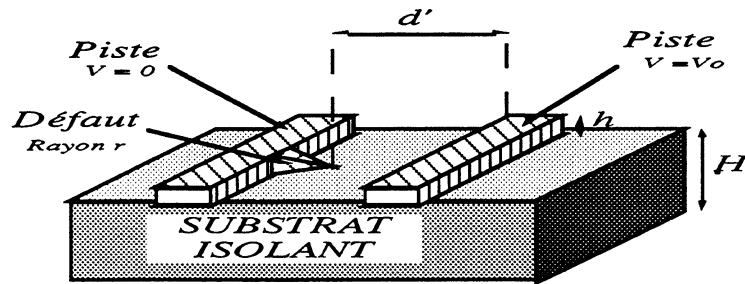
$$E_s = e * e^{\alpha d} / (4 \pi \epsilon_0 R_a^2) = 1.5 \cdot 10^{-7} e^{\alpha d} / R_a^2$$

### Effet de Pointe

Les calculs précédents s'appliquent à un condensateur plan, pour lequel on a :

$$U = E / d$$

U étant la ddp entre les électrodes, E le champ électrique, et d la distance inter électrode.



### Claquage entre 2 pistes d'un circuit imprimé

Or la loi de Paschen est fonction du champ électrique. Si maintenant l'électrode n'est plus plane, mais se présente sous la forme d'une pointe, caractérisée par un rayon de courbure, sachant que le champ de claquage dans l'air sous 1 atmosphère est de 30 kV.cm, alors **on montre que pour une distance séparant la pointe et l'électrode plane de 1 mm, on obtient une valeur de tension de claquage (dans l'air et sous 1 atmosphère) de 300 V pour un rayon de courbure de pointe de 100  $\mu\text{m}$ .**

NB : si l'on met en vis à vis 2 pointes, le champ disrupteur dans l'air et sous pression atmosphérique passe de 30 kV.cm à 15 kV.cm.

**En conclusion, les claquages entre 2 conducteurs sur un circuits imprimés, même très proche ( $\geq 100 \mu\text{m}$ ), sont statistiquement hautement improbables lorsque les tensions en jeux sont inférieures à 300 V.** En effet au-dessus d'une distance interpiste de 100  $\mu\text{m}$ , l'effet de rampage, en l'absence de vernis épargne, peut conduire à des claquages possibles pour des différences de potentiel  $> 150 \text{ V}$ , dans des

conditions particulières de température et d'humidité. Cette tension min peut être abaissée dans le cas de la présence de pointes de faible rayon de courbure ( $\leq 100 \mu\text{m}$ ), ou d'impuretés métalliques équivalentes. En ce sens, le test d'isolement à tension  $\geq 50 \text{ V}$  peut avoir une signification, notamment pour les militaires. Mais pour une application mettant en jeu une alimentation de tension  $V$  ( $V \leq 20 \text{ V}$ ), il est stupide de tester à des tensions de plus de  $40 \text{ V}$ .

**En conséquence, la tension de test ne doit pas être un critère d'achat pour l'utilisateur, mais seulement le seuil d'isolement max autorisé par la machine.**

D'ailleurs, une solution technologique permettant un test à  $40 \text{ V}$  serait acceptée a priori par  $84 \%$  des fabricants français de CI nus [20].

Paradoxalement, les entreprises interrogées n'expriment que peu de spécifications sur le paramètre d'isolement.  $10 \text{ Mohms}$  semble un maximum, le minimum étant  $500 \text{ Kohms}$ .

#### 2.2.4.2.4.2 Courant de test et seuil de continuité

Il n'existe a priori aucune contrainte à ce sujet. Typiquement le seuil de continuité est de l'ordre de  $10 \text{ ohms}$ . Il descend rarement au niveau de  $1 \text{ ohm}$ , cette contrainte ne dépendant que du destinataire final. La fourchette va de  $1$  à  $100 \text{ ohms}$ .

Il n'existe pas non plus de contrainte au niveau du courant de test. Celui-ci doit typiquement atteindre les valeurs d'utilisation sur les cartes à tester. Il doit être de l'ordre de  $1$  à  $100 \text{ mA}$ .

NB : il est communément admis qu'une tension de test élevée, ou un courant de test élevé peu éliminer partiellement les problèmes de contact. En fait, il s'agit plutôt de la combinaison de ces 2 paramètres, soit la puissance injectée, plus que l'un des 2 séparément, qui va permettre de faire voler en éclats la couche d'oxyde qui peut être responsable de problèmes de contact.

#### *2.2.5.2.5 Autres caractéristiques*

##### 2.2.5.2.5.1.a Temps de test - Notion d'équilibre entre la durée du test électrique et le temps de cycle mécanique

Le temps de test a son importance dans la mesure où il est le paramètre qui va permettre l'optimisation de l'amortissement du testeur. Le temps de test doit être typiquement du même ordre de grandeur que le temps de cycle mécanique. Il ne servirait à rien en effet de chercher à obtenir des temps de test de  $1 \text{ ms}$  si le temps de cycle mécanique est de l'ordre d'une dizaine de secondes.

Un cycle mécanique comprend :

- le chargement du circuit à tester sur la machine ( $5 \text{ s}$  en manuel,  $1 \text{ s}$  en automatique)
- la compression ( $1$  à  $5 \text{ s}$ )
- le test électrique
- la décompression ( $1$  à  $5 \text{ s}$ )
- le déchargement du circuit ( $5 \text{ s}$  en manuel,  $1 \text{ s}$  en automatique)

Les opérations de chargement / déchargement peuvent être quasi simultanées avec un système de navettes. De même le chargement / déchargement peut être automatisé.

Suivant les machines et les automatisations du chargement / déchargement, le temps de cycle complet (hors test électrique) varie entre  $3 \text{ s}$  pour les meilleurs systèmes,  $20 \text{ secondes}$  pour les systèmes totalement manuels.

Par conséquent, quelque soit le nombre de points de test sur la carte à tester (les plus grosses cartes comportent exceptionnellement plus de 10 000 points de test, 95 % se situant en-dessous de 5 000 Points de test), un temps de test de 1 s pour le test électrique devra être recherché, ce qui correspond à **une vitesse de test idéale de 5 000 Points de test / s.**

Aujourd'hui, les machines les plus rapides sont à 1 500 Points de test par seconde, pour des seuils d'isolement voisins de 10 Mo, et 150 Points / s pour les seuils à 100 Mo, ce qui n'est pas suffisant.

#### 2.2.5.2.5.1.b Débit

Le débit, ou sortance du testeur, correspond au nombre de panneaux de test qu'il est capable de tester à l'heure, un panneau de test correspondant à une planche pouvant comprendre plusieurs circuits.

Le débit est donc lié au temps de test électrique et au cycle mécanique.

En reprenant les chiffres du paragraphe précédent, on voit que le débit idéal théorique maximum variera entre 1 200 circuits à l'heure et 200 à l'heure.

Aujourd'hui, certains testeurs spécialités, les RMS 19 de Luther & Maelzer, simple face, faible nombre de points, faible seuil d'isolement (1 Mo), atteignent 1 000 circuits à l'heure, ce qui est une bonne performance, pour cette utilisation.

Pour ce qui est du test double face, avec un isolement de 100 Mo, le débit ne dépasse jamais les 100 circuits à l'heure, ce qui n'est pas suffisant.

#### 2.2.5.2.5.1.c Fiabilité, réparabilité, maintenance

Toujours dans un objectif d'optimisation de l'amortissement de la machine (on a vu que ce dernier pouvait entrer typiquement à hauteur de 50% dans le coût du test), la machine doit fonctionner avec le moins possible d'interruption.

Elle doit donc faire l'objet du minimum de pannes ou d'entretien, qui risqueraient de l'immobiliser. Si un tel cas devait se produire, sa conception doit être prévue pour assurer une réparabilité ou une maintenance rapide.

#### 2.2.5.2.5.1.d Temps de chargement / déchargement des outillages

Le chargement / déchargement des outillages, qui se produit typiquement entre 1 et 10 fois par jour doit immobiliser le moins possible la machine.

Il doit se faire typiquement en moins de quelques minutes, ce temps incluant l'éventuel apprentissage du circuit (Golden Board), ou la chargement du programme de test s'il a été enregistré au préalable, ou s'il a directement été généré par le logiciel d'aide à la réalisation des outillages.

Cela a pour conséquence que le temps d'auto-apprentissage doit typiquement être de l'ordre de 10 000 points de test par minute.

### 2.2.5.4 Les possibilités de communication du système avec le monde extérieur

Chaque domaine devenant de plus en plus pointu, il devient de plus en plus difficile de développer des produits en interne d'un bout à l'autre d'une chaîne de fabrication. Il faut alors acheter divers produits, qui doivent avoir pour principale caractéristique de pouvoir communiquer entre eux, pour assumer la fonction globale. C'est ce qui a valu aux réseaux locaux un essor colossal ces dernières années.

Tous système de test se doit de pouvoir être connecté à un réseau local, ne serait-ce que pour recevoir les informations de test à partir de stations de travail déportées, ou pour pouvoir communiquer les informations relatives à la réparation de circuits de circuits défectueux sur un autre poste de travail.

Mais les réseaux locaux [102] apportent autant de problèmes qu'ils n'en résolvent. Ils sont chers, consomment du temps, et sont dangereux politiquement.

En 1990, il fallait compter 30 KF par noeud pour un bon réseau, contre 6 KF par noeud pour le réseau bas de gamme. Un réseau ETHERNET coûtait entre 300 KF et 600 KF avant qu'on puisse en utiliser quelques noeuds.



Il fallait passer entre 5 et 10 heures par semaine pour assurer la bonne maintenance de l'ensemble.  
Conclusion : à moins d'en avoir réellement besoin, il ne fallait pas installer de réseau local !

En 1993, les réseaux se sont simplifiés, leur maintenance a fortement chuté ainsi que leurs prix.

Un réseau est composé d'un ensemble d'ordinateurs et d'éléments intelligents (noeuds) qui sont interconnectés et se partagent ainsi l'information. Si l'un d'entre eux est connecté au public par téléphone ou radio, le réseau n'est plus local, mais devient 'large'. En mesure, est dit 'réseau local' toute architecture Hardware capable de lire ou d'écrire des données sur un disque contrôlé par un autre ordinateur, ou d'utiliser une imprimante ou un plotter attaché à un autre ordinateur, etc..., du moment que la connexion ne fasse pas appel à des liaisons téléphoniques ou radio externes.

Les interfaces de liaison vont de la simple liaison RS232 jusqu'à ETHERNET.

On trouve les diverses configurations suivantes :

- en étoile (le plus simple, le moins cher, le moins problématique mais le moins rapide)
- en bus
- en anneau

Si l'on se trouve dans un environnement où une structure bus ou en anneau est évidente (ex VAX / ETHERNET), alors utiliser cette dernière structure. Sinon, utiliser un réseau en étoile basé sur des liaisons RS232.

La limitation du réseau à base de RS232 est sa vitesse, ainsi que la faible longueur de câble autorisée (30 m à 9600 bauds typiquement).

Pour lier une station de travail (ex SUN) à un testeur, via RS232, il faut écrire des routines CUSTOM. Blaise Computer (Berkeley, CA) offre un KIT soft (C.Asynchr Manager) pour Microsoft C 5.1, de même que Greanleaf Software (Dallas, TX).

Pour utiliser un réseau, il faut un soft de gestion du serveur et des stations de travail (Ex : MSNET ?).

3 compagnies dominent le marché pour les réseaux basés sur des PCs :

- NOVELL's Netware (60 % du marché US)
- IBM's LAN Manager and LAN Server (20 %)
- 3 COM's 3+ (10 %)

Le présent appartient à Netware, mais le futur appartiendra sans doute aux produits basés sur le Microsoft's Windows Power group, ou Windows NT.

NB : lorsqu'on connecte des PC sur un réseau via des cartes réseaux, celles-ci sont souvent en compétition avec les autres cartes dans l'espace mémoire de la zone 0xA0000 à 0xFFFFF du PC. Ainsi, il arrivera qu'on ne puisse pas installer ce qu'on veut dans un PC. Par exemple, il n'est pas possible d'installer simultanément :

- une carte 16 bit VGA
- une carte EMS
- une carte ARCNET

**En conclusion, le réseau choisi sera ETHERNET, car c'est un standard du marché, et il est aujourd'hui possible de se connecter à un tel réseau à moindre frais (≥ 10 KF pour un réseau de 5 noeuds en 1993, pour 10 Mbits / s), à supposer que le testeur soit compatible avec un PC, ce qui est relativement indispensable vu l'ouverture sur le monde extérieur que cela entraîne.**

### 2.2.6 Récapitulatifs des lacunes des systèmes actuels faces aux besoins

Nous allons, dans ce paragraphe, établir tout d'abord quels sont, de notre point de vue, et après cette étude, les recommandations générales pour le test de circuits imprimés nus. Ensuite, nous les comparerons aux moyens actuellement utilisés, avec leurs limites (seuls les systèmes électriques seront considérés, les autres n'étant pas acceptés en tant que test final de la production), pour essayer de proposer une solution concrète pour chaque problème rencontré, les uns après les autres.

### 2.2.6.1 Recommandations générales en vue du test de circuits imprimés nus

On pourra distinguer plusieurs niveaux :

- le cahier des charges d'un test à 100% d'un circuit imprimé nu
- les contraintes que ce cahier des charges imposent à un système de test qui voudrait y être conforme, en terme de fonctionnalités et de performances.

#### *2.2.6.1.1 Le cahier des charges du test d'un circuit imprimé nu*

Pour tester à 100 % un circuit imprimé, il faut accéder à toutes ses extrémités d'équipotentielles, directement (ne pas utiliser le déport de points de test). Il est par ailleurs totalement inutile de considérer des points de test à l'intérieur d'une équipotentielle. Ainsi, des trous de "vias", ou des plages CMS internes à une équipotentielle ne doivent pas être considérés comme des points de test : ils ne font que compliquer l'outillage.

Pour chaque équipotentielle, il s'agit de tester :

- la continuité, avec un seuil de l'ordre de 10 ohms, et un courant de test de l'ordre de quelques dizaines de mA.
- l'isolement avec toutes les autres réunies entre elles, suivant un seuil de 10 Mo (100 Mo si possible) la tension de test étant un paramètre tout à fait secondaire, de même que le courant de test.

C'est tout !

#### *2.2.6.1.2 Le matériel minimum nécessaire pour y parvenir*

Le fabricant à besoin d'au moins 2 produits complémentaires, qui peuvent parfois être réunis en un seul. Il s'agit :

- d'un **logiciel d'aide à la réalisation des outillages de test** et du programme de test, qui traitera les fichiers informatiques de type GERBER dont disposent systématiquement les fabricants pour la production du circuit.

Une attention toute particulière doit être portée au choix de ce logiciel. Il doit, en automatique, :

- . lire et éditer les informations de type GERBER
- . convertir automatiquement toutes les plages CMS dessinées qui pourraient contenir ces fichiers, sans aide extérieure.
- . générer une liste de points de test, ceux-ci étant choisis en tant qu'extrémités d'équipotentielles, en affectant les trous métallisés considérés comme extrémités en priorité à une face donnée du circuit, ainsi que le modèle électrique du circuit (Netlist). En permettre sa modification manuelle à l'éditeur.
- . prendre en considération la description de la machine et d'un type d'outillage.
- . générer les données de perçage pour votre outillage, avec un minimum de plaques, et en affectant les points de test à un point particulier de grille universelle (qui aura préalablement été décrite). En permettre sa modification manuelle à l'éditeur.
- . en option, générer le programme de test, permettant au testeur utilisé de connaître la modélisation du circuit sans être obligé de réaliser un auto-apprentissage, ce qui évite de faire l'hypothèse aléatoire du circuit bon.

- d'un **testeur de circuits imprimés nus** simple densité (pas de 2.54 mm) et double face, d'une surface d'environ 500 \* 400 mm (environ 64 000 Points de grille), possédant les caractéristiques suivantes :
  - . seuil de continuité minimum de 10 ohms.
  - . seuil d'isolement minimum de 10 Mo.
  - . tension de test : non spécifiée, car inutile.
  - . temps de test électrique : 5 000 Points par seconde, à 10 Mo.
  - . sortance ou débit : 1000 circuits (5 000 points à 10 Mo) à l'heure.
  - . temps d'auto-apprentissage : 10 000 points de test par minute.
  - . fiable, et facilement maintenable.
  - . outillage peu coûteux à réaliser (inférieurs à 500 F en moyenne).
- en option, d'une **station de réparation** des circuits défectueux, à partir des fichiers de défauts générés par le testeur.

### 2.2.6.2 Limites techniques des testeurs actuels - Les points à travailler

Nous allons maintenant établir la comparaison entre le testeur idéal et les testeurs disponibles sur le Marché.

#### *Testeur IDÉAL*

##### **Logiciel d'aide à la réalisation des outillages de test et du programme de test**

Lecture et édition des informations de type GERBER

Conversion automatique de toutes les pages CMS dessinées

Génération d' une liste de points de test (extrémités d'équipotentielle), ainsi que le modèle électrique du circuit (Netlist). En permettre sa modification manuelle à l'éditeur.

Prise en considération la description du testeur et de l' outillage.

. génération des données de perçage pour l'outillage, avec un minimum de plaques, et en affectant les points de test à un point particulier de grille universelle. En permettre sa modification manuelle à l'éditeur.

. en option, génération du programme de test

##### **Testeur de circuits imprimés nus**

- . surface de 500 \* 400 mm
- . simple densité (pas de 2.54 mm)
- . test double face
- . seuil de continuité minimum de 10 ohms.
- . seuil d'isolement minimum de 10 Mo.
- . tension de test : non spécifiée, car inutile.
- . temps de test électrique : 5 000 Points par seconde, à 10 Mo.
- . sortance ou débit : 1000 circuits à l'heure.
- . temps d'auto-apprentissage : 10 000 Points/mn

#### *Testeur du Marché*

##### **Logiciel d'aide à la réalisation des outillages de test et du programme de test**

Lecture et édition des informations de type GERBER

Conversion manuelle les pages CMS dessinées (très long, et non fiable)

Génération d' une liste de points de test (tous les flashes sont pris --> 3 fois plus de points de test), ainsi que le modèle électrique du circuit (Netlist). Modification manuelle à l'éditeur.

Prise en considération la description du testeur et de l' outillage.

. génération des données de perçage pour l'outillage, avec un minimum de plaques, et en affectant les points de test à un point particulier de grille universelle. Modification manuelle à l'éditeur.

. en option, génération du programme de test

##### **Testeur de circuits imprimés nus**

- . surface de 500 \* 400 mm
- . simple densité et double densité (inutiles)
- . test double face
- . seuil de continuité minimum de 1 ohms.
- . seuil d'isolement minimum de 10 Mo.
- . tension de test : 250 à 300 V : inutile.
- . temps de test électrique : 1 000 Points par seconde, à 10 Mo.
- . sortance ou débit : 300 circuits à l'heure.
- . temps d'auto-apprentissage : 1 000 Points/mn

. fiable, et facilement maintenable.  
 . outillage peu coûteux à réaliser (< à 500 F en Moyenne), et capable d'atteindre en toute fiabilité des pas de l'ordre de 0.5 mm ou moins.

?

. outillage coûteux à réaliser (> 1000 F en Moyenne), limités à 0.635 mm.

**Station de réparation des circuits défectueux.**

**Station de réparation des circuits défectueux.**

*Comparaison des caractéristiques du testeur idéal et des testeurs du Marché*

### 2.2.6.3 Limites économiques

On a vu par exemple qu'en France les 2/3 des fabricants de circuits nus avaient un CA de moins de 20 MF. Même si cela est peu différent à l'étranger, il ne faut pas que l'investissement total au niveau d'un testeur et d'un logiciel d'aide à la réalisation d'outillages ne dépasse 1 MF, qui peuvent être décomposés en 900 KF pour le testeur, et 100 KF pour le logiciel.

**Pour le testeur (qui comporte aux alentours de 64 000 points), cela revient à une machine de base voisine de 250 KF, et un point de test à 10 F.**

Avec un coût moyen de réalisation d'outillage inférieur à 500 F.

### 2.2.6.4 Les points à améliorer

On voit que les lacunes essentielles des systèmes sur le marché sont, par ordre de priorité décroissante :

- 1 - outillages complexes, coûteux, limités à 0.635 mm.
  - . il faudrait permettre d'atteindre de manière industrielle des pas plus faibles.
  - . il faudrait imaginer un outillage moins complexe à réaliser.
- 2 - conversion semi-automatique des plages dessinées. Il faut passer à une conversion complètement automatique.
- 3 - les logiciels d'aide à la génération d'outillage n'ont pas encore réalisé l'"approche composant" du test de circuit imprimés nus. Les points de test ne sont pas encore définis uniquement comme extrémités d'équipotentielle : les plages CMS internes aux équipotentielles sont par exemple systématiquement utilisées.
- 4 - les testeurs sont beaucoup trop chers (systèmes de base à plus de 500 KF, et 20 F le point au minimum, entraînant des configurations à plus de 2 MF pour le double face). Les limites rencontrés au niveau des outillages actuels imposent de plus en plus l'achat de testeurs double densité, deux fois plus chers, ce qui est stupide.
- 5 - les temps de test pour des seuils d'isolement de l'ordre de 10 Mo sont trop élevés. Il faut gagner un rapport 4.
- 6 - l'électronique de test doit être directement connectée à la grille universelle, sans passer par un câblage vers des racks externes.
- 7 - il semble que la grille universelle de pointes à ressort soit incontournable, alors qu'elle revient à peu près à 5 F par point de grille, ce qui est une aberration. Il faut trouver une alternative autre que la grille de contacts, impliquant l'utilisation de pointes à décalage à ressort, dont l'utilisation n'est pas satisfaisant, car non fiable.

C'est au niveau de ces divers problèmes que nous avons cherché à travailler. Le paragraphe suivant expose les solutions que nous avons définies et mises en oeuvre.

### 3 LES SOLUTIONS PRÉCONISÉES

Nous allons successivement décrire les solutions proposées pour :

- 1 - l'outillage de test (accès sur les circuits)
- 2 - la conversion des plages dessinées - Extraction de Netlist
- 3 - le système de test
- 4 - les évolutions futures.

#### 3.1 Outillage de test - les Cartes Miroir Standard

L'accès aux points de test des circuits d'aujourd'hui a tendance à devenir de plus en plus délicat au fur et à mesure de la progression des technologies de fabrication des circuits imprimés nus, qui conduit à des espacements et des densités auxquels ne peuvent plus répondre les interfaces classiques, basées sur des lits de clous, autour du concept de grille universelle au pas de 2.54 mm.

L'objet de cette interface mixte, dite interface mixte IMD, est de permettre l'accès au niveau des extrémités de toutes les équipotentielles d'un Circuit à tester (CAT), quelque soit sa complexité (nombre de points de test, pas au minimum entre points de test, densité), en adéquation avec le reste du système de test IMD.

##### 3.1.1 Première génération

Dans un premier temps, nous nous sommes orientés vers une solution [9] utilisant le concept de circuit miroir complet, associé à un élastomère plan de grande dimension.

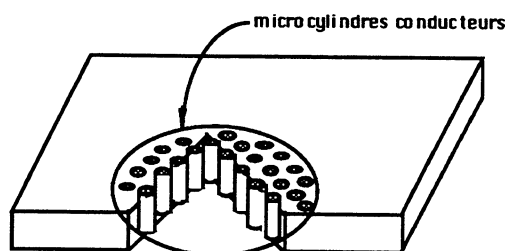
Le principe de l'interface initiale était basé sur l'utilisation de circuit imprimés outillage dites 'miroir'.

Le problème est lié à l'accès aux points de test, et à la définition de ceux-ci.

Il a été reposé dans l'absolu. On peut rappeler ce que nous avons démontré au préalable, a propos du test à 100 % d'un circuit :

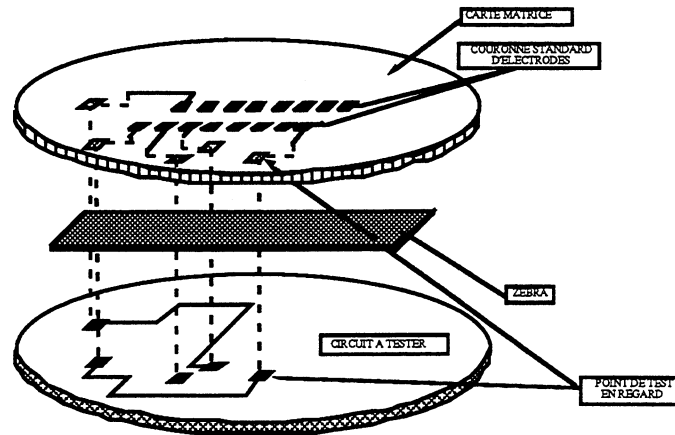
'Pour tester à 100 % un circuit imprimé nu il est nécessaire et suffisant d'accéder à toutes les terminaisons d'équipotentielles de celui-ci, c'est à dire à une partie des empreintes de tous les composants (à insertion ou montés en surface) que l'on trouve sur la carte'.

C'est alors qu'est née l'idée de remplacer, les clous par un matériau élastomère à conduction anisotrope, décrit par la figure suivante :



Structure d'un élastomère plan à conduction anisotrope

Ce matériau présente l'avantage de rendre accessibles des points de test 5 fois plus rapprochés que ne le permettent les systèmes usuels à lit de clous, suivant le principe décrit par la figure ci-dessous :



*Principe de l'interconnexion élastomère*

Les points de test sur le circuit imprimé à tester sont reportés par l'élastomère sur un outillage spécifique au circuit à tester, se présentant sous la forme d'un circuit imprimé, dite 'circuit image' ou 'circuit miroir', dont la face inférieure est à l'image des points de test sur le circuit à tester.

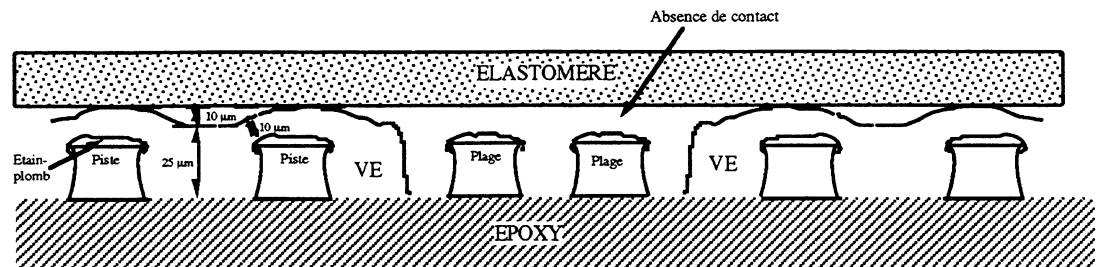
Ensuite, sur ce circuit image, les images des points de test sont routées sur la face supérieure en une matrice de contacts, pouvant correspondre, par exemple, à une grille universelle au pas de 2.54 mm, facilement accessible à l'électronique de test avec des moyens d'interconnexion classiques (par exemple un lit de clous).

Divers brevets ont été déposés au sujet de ce principe, en particulier un brevet CNRS/INPG [9], dont IMD a acquis l'exclusivité de la licence en France.

Le principe se heurte pourtant aux problèmes suivants :

- l'utilisation d'élastomère conducteur exige un très bonne planéité du circuit sur toute sa surface (écart total inférieur à +/- 20  $\mu\text{m}$ ), et une pression parfaitement contrôlée, également sur toute la surface, ce qui est utopique, si l'on considère par exemple les tolérances de fabrication des circuits, ainsi que la flexion de ceux-ci, et notamment des multicouches.
- le circuit miroir complet est long à réaliser, cher, et donc non adapté à des petites séries de test, car non amortissable de manière raisonnable. De plus, il est au moins aussi complexe que le circuit que l'on veut tester, et il faut bien le tester lui-même.
- l'élastomère conducteur est trop facilement endommagé ce qui conduit à la nécessité de devoir le remplacer souvent, ce qui revient très cher.
- des problèmes de contact apparaissent lorsque le Vernis-Epargne est trop proche de la plage à accéder.

En effet, le vernis photo-imageable présente une épaisseur qui varie entre 25  $\mu\text{m}$  et 10  $\mu\text{m}$ . Le dessin ci-dessous s'en fait l'illustration :



*Épaisseur du vernis photo-imageable et contact élastomère*

Le comparatif des avantages et inconvénients des diverses méthodes est alors le suivant :

### Lits de clous

#### Avantages

Faciles à mettre en oeuvre  
Peu coûteux  
Technique rodée

#### Inconvénients

Couverture des circuits complexes différente de 100 %  
Résolution limitée à 0.635 mm

### Élastomères + carte miroir complète

#### Avantages

Résolution élevée  
Couverture à 100 % de tous types de circuits

#### Inconvénients

Spécificité coûteuse du circuit image  
Délais de réalisation  
Dépendance vis à vis de la sous-traitance  
Circuit outillage non testé

Nous avons alors imaginé une solution mixte [10], alliant tous les avantages des deux solutions exposées ci-dessus, avec en plus la possibilité de tester l'outillage, sans en subir aucun inconvénient.

Il s'agit d'une interface mixte 'Clous - mini cartes Miroir', dans laquelle seules les zones de haute densité sont interfacées avec une circuit image, qui n'est plus spécifique, le reste étant interfacé par les techniques classiques à lit de clous (ex : aiguilles à décalage).

Sa description est l'objet du paragraphe suivant.

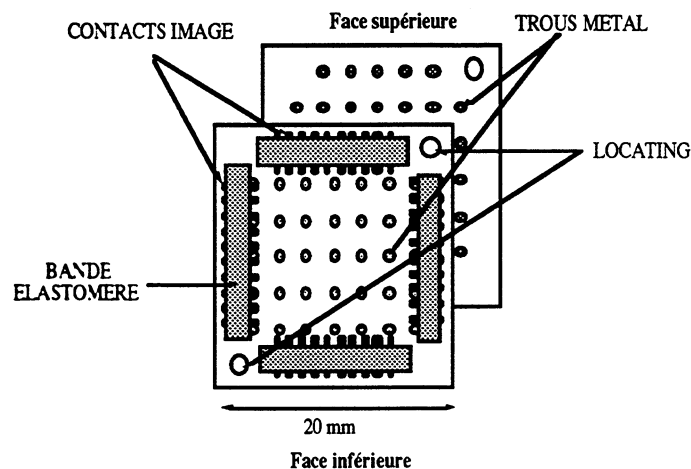
### 3.1.2 Deuxième génération les cartes miroir "boîtier"

Si l'on se rappelle que les points de test correspondent en théorie aux empreintes des composants, il vient que ces 'zones à haute densité' décrites plus haut ne peuvent être que des composants complexes, type PLCC 40, par exemple.

Or s'il existe un grand nombre de composants complexes aux fonctionnalités diverses, il n'existe qu'un nombre restreint de boîtiers les accueillant.

Cela veut dire qu'on pourra réaliser au préalable un certain nombre de mini-cartes miroirs, standard, éliminant de fait les aspects de coûts (ces cartes pourront être produites en série, contrairement à la carte miroir dans la solution intégrale, qui était produite à un seul exemplaire), les aspects de délais et de dépendance vis à vis de la sous-traitance, dans la mesure où les utilisateurs pourront puiser dans un stock préalable.

La figure ci-dessous donne une idée de ce que pourra être une carte miroir standard, pour un composant donné (ex : PLCC 40, pas de 1 mm) :



Exemple de mini-carte miroir

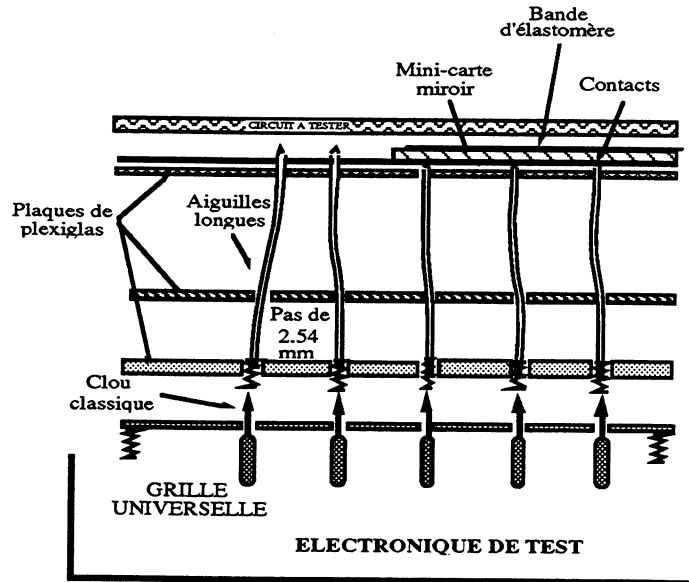
Chaque contact de la face inférieure (correspondant à une partie élémentaire de l'empreinte) est rapporté à un trou métallisé, qui pourra ou non faire partie d'une grille virtuelle au pas de 2.54 mm, ce trou métallisé étant relié à un contact sur la partie supérieure faisant partie de la grille virtuelle à un pas donné (par exemple 2.54 mm).

Cette technique suppose alors qu'il n'existe jamais de points de test à l'intérieur du contour défini par la mini-carte, autres que les empreintes du composant concerné. Cela est en effet toujours le cas, compte tenu des remarques suivantes :

- on associe une carte miroir à un composant dit 'complexe'.
- les composants de la technologie à insertion sont par définition non complexes.
- les composants complexes sont les composants appartenant par exemple à la technologie CMS, présentant des empreintes dont les constituants sont espacés d'un pas inférieur ou égal à 1.27 mm.
- les points de test ne sont constitués que des empreintes de composant : il ne peut y avoir deux composants complexes empilés. Par conséquent, il ne peut y avoir d'autres points de test à l'intérieur du contour défini par un composant. (NB : on pourra trouver, à l'intérieur de ce contour, des vias de traversées, qui ne sont pas testés ici, car ne correspondant pas à une extrémité d'équipotentielle au sens propre), ce qui assure l'aspect non spécifique de la mini-carte miroir.

La figure suivante donne un exemple de réalisation d'une interface mixte.





*Exemple de réalisation d'interface mixte 'clous - mini-cartes miroir'*

La carte miroir pourra être réalisée dans diverses technologies, sa fonction essentielle restant d'interfacer le circuit à tester avec une reprise de contact standard pour faire la jonction avec l'électronique de test. L'une de ces technologies pourra être le circuit imprimé combiné à l'utilisation d'un élastomère conducteur, ce dernier fiabilisant le contact.

L'idée exposée ci-dessus exploite et combine les avantages de deux techniques connues aujourd'hui des milieux industriels, chacune présentant dans l'absolu des inconvénients conduisant à des points de blocage au niveau technico-économique.

Le lien entre ces deux techniques n'est pas évident a priori. L'originalité de l'idée d'IMD tient en ce qu'elle a démontré que cette liaison était réalisable et imaginé une méthode de mise en oeuvre de cette combinaison, conduisant enfin à une solution acceptable en termes industriels, au niveau du test des circuits imprimés nus dernière génération.

Toutefois, l'examen des divers types de boîtiers existants (plus d'une centaine de références), les faibles différences apparaissant entre 2 boîtiers équivalents, mais conduisant à la définition de 2 cartes miroir différentes nous on pousser à aller encore plus loin dans la standardisation. C'est la troisième génération présentée dans le paragraphe suivant.

### **3.1.3 Troisième génération les Cartes Miroir Standard (CMS)**

Nous allons tour à tour examiner les 3 versions que nous avons développées.

#### **3.1.3.2 Carte Miroir V1.0**

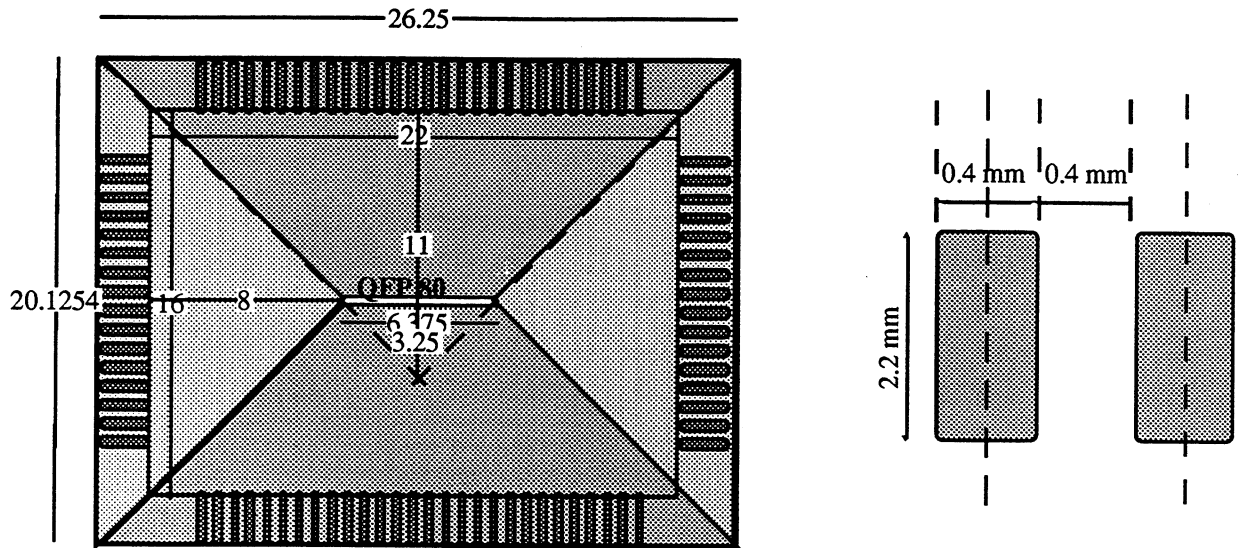
##### **Notion de cartes miroir standard**

###### **Exemple 1**

Nous allons ici essayer de retracer la démarche conduisant à la définition d'une carte miroir standard. Prenons le cas d'un boîtier QFP 80, au pas de 0.8 mm (boîtier courant).

*1 - détermination de la densité de la carte (simple ou double)*

La surface donnée du boîtier est de  $25 * 19$  mm. La surface correspondante recommandée pour l'empreinte est de  $20.2 * 26.2$  mm soit une densité de 15 broches par  $\text{cm}^2$  pour le contour externe théorique.



*Définition des cartes miroir - 1*

La surface du contour intérieur des empreintes est de  $16 * 22 = 352$   $\text{mm}^2$  pour 80 broches, ce qui représente une densité de 23 broches /  $\text{cm}^2$ . L'adjonction d'une bande de 1.2 mm externe aux zones interdites porterait cette surface à 443  $\text{mm}^2$  soit une densité de 18 broches/ $\text{cm}^2$ . Ainsi, il n'est pas envisageable d'utiliser la simple densité pour ce composant.

La double densité est donc requise.

Il se trouve que le QFP 80 est un composant courant. De ce fait, il est probable qu'il fera l'objet d'une carte miroir entière, qui pourra être amortie. Mais tel n'est pas le cas de tous les composants.

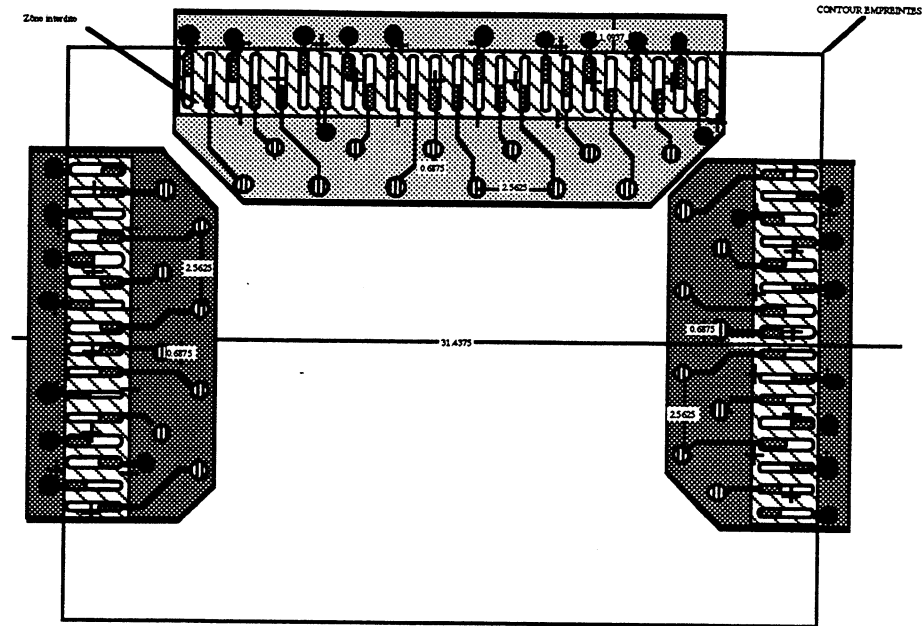
Examinons alors l'éventualité d'une solution en 4 sous-cartes juxtaposables.

## 2 - Étude de la découpe possible en cartes miroir standard

Une carte miroir standard est une carte miroir destinée à interfacer une rangée linéaire d'empreinte, et non plus un contour complet. En raison des densités importantes, elle doit néanmoins faire appel à des points intérieurs de la grille.

Dans le cas de contours carrés (largement majoritaires), une juxtaposition sera toujours possible si l'on impose de rester à l'intérieur de la médiatrice à  $45^\circ$ .

Ce précepte peut aussi être étendu aux contours rectangulaires, avec l'impératif de n'utiliser que les points les plus proches de la base du triangle, la juxtaposition des cotés adjacents (pour un contour non carré) en impliquant la découpe de la pointe du triangle possédant la plus grande base (cf. figure ci-dessous).



Définition des cartes miroir - 2

*3 - Rester à l'intérieur de la médiatrice, avec découpe de la plus grande pointe possible du triangle*

Calculons pour cela les densités des divers trapèzes (au nombre de 4) constituant la zone interdite. Le plus critique est le triangle à plus petite base. Sa surface est de  $16 * 8 / 2 = 64 \text{ mm}^2$ , ce qui conduit à une densité de 25 broches/cm<sup>2</sup>. Ce triangle est routable en 2D, voire en SD si on accepte plusieurs décalage de pas. Ensuite vient le trapèze à grande base : c'est un triangle auquel il faut enlever un petit triangle. Sa surface est de 110 mm<sup>2</sup>, ce qui conduit à une densité de 22 broches par cm<sup>2</sup>.

On peut donc conclure que d'un point de vue densité, le QFP 80 est subdivisible en 4 sous-cartes miroir en 2D, voire SD, suivant le nombre de décalages de pas autorisé au niveau des aiguilles de l'outillage.

*4 - Surface des empreintes et choix du matériau élastomère*

Le pas nécessaire est de 0.8 mm. Un facteur 4 en coefficient de sécurité nous conduit à l'utilisation d'un élastomère au pas de 200 µm. La surface de contact alors requise est de 0.165 mm<sup>2</sup>.

La dimension recommandée d'une empreinte élémentaire est de 0.4 \* 2.2 mm, avec 0.4 mm d'isolement. Une surface de contact de 0.3 mm<sup>2</sup> est suffisante pour l'utilisation de l'élastomère (coefficient de sécurité 2) ce qui nous conduit à une zone de contact de 0.3 mm \* 1 mm.

*5 - Définition du film isolant*

Un film isolant fin de type kapton recouvrira le contour intérieur des empreintes sur la face côté circuit à tester des sous-cartes miroir.

*6 - Calcul de la surface du matériau élastomère.*

Une compression de 10 à 20 g/mm<sup>2</sup> est conseillée (paramètre lié au matériau).

- cas de la carte miroir entière. Il y a 80 pointes de 100 g à 300 g, soit un effort de 8 à 24 Kg à répartir.

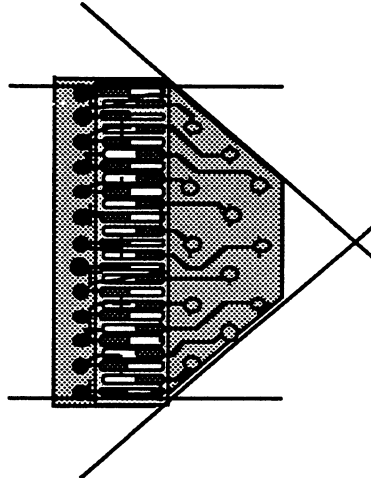
Si l'on souhaite avoir une transmission de cet effort par l'élastomère, il faut au moins 400 mm<sup>2</sup> de surface de transmission, ce qui correspond à un peu moins de la surface de la carte miroir, ce qui est coûteux en terme d'élastomère. En ce cas, on aura intérêt à utiliser un isolant, de type Kapton, qui fasse en même temps office de cale ajustable (feuilles de Kapton), de façon à régler la hauteur de compression du matériau.

- cas des sous-cartes miroir : la conclusion est ici identique.

### Règles de conception des CMS IMD V1.0

Pour être utilisées de manière aussi standard que possible, ces mini-cartes miroir doivent obéir à un certain nombre de règles simples, dont voici la liste :

- Règle N°1 : règle de symétrie : si le nombre de plages d'un côté de l'empreinte est pair, l'axe de symétrie passe suivant la médiatrice des 2 plages centrales, lorsqu'il est impair, il passe par l'axe de la plage centrale.



Définition des cartes miroir - 3

Conséquence 1 : la grille universelle virtuelle de référence ne sera pas forcément la même pour les diverses CMS : il y aura nécessairement des décalages par rapport à la grille universelle du système de test, ce qui n'est pas gênant dans la mesure ou le décalage est toujours inférieur à un 1/2 voire 1 pas.

- Règle N°2 : règle de découpe : la découpe de ces cartes se fait suivant une ligne à 45 °, puis parallèle à la base une fois que tous les points ont été englobés (voir figure ci-dessus).

- Règle N°3 : routage : les plages seront routées à partir des extrémités selon un angle intérieur au triangle : la piste doit toujours être semi-parallèle au bord et non pas antiparallèle, de manière à ce qu'une découpe n'isole pas une plage d'un trou métal hors de la zone de découpe.

- Règle N°4 : dimension des plages de test : la dimension de ces plages est indissociable du type d'élastomère utilisé. Ces dimensions devront être calculées de telle façon qu'une erreur de positionnement:

- . ne provoque pas un chevauchement possible d'une plage de carte miroir avec la plage de test voisine de la cible effective (court-circuit).
- . conserve une surface de correspondance au moins supérieure à celle recommandée pour l'utilisation de l'élastomère.

Afin de rester compatible avec le plus d'empreintes possibles, il sera préférable de positionner les plages de test de la carte miroir sur l'axe médian de la zone interdite.

Ex : pas de 400  $\mu\text{m}$ , isolement 200  $\mu\text{m}$ , surface minimale de correspondance : 0.165 mm<sup>2</sup>. Erreur de positionnement tolérée : +/-100  $\mu\text{m}$ . Largeur de plage carte miroir 200  $\mu\text{m}$ . La longueur minimale de la plage sur la carte miroir devra être alors de 1.65 mm.

- Règle N°5 : trous métallisés : dans la mesure du possible, le décalage des points de test de la face inférieure de la carte miroir vers les trous métallisés rejoignant la face supérieure, en contact avec les aiguilles, devra être effectué sur la face inférieure, afin d'éviter les risques de court-circuit au niveau des têtes de contact qui viendront se loger dans ces trous métallisés.

Ces derniers seront d'un diamètre externe d'environ 0.6 mm (en fait 0.65 mm passe), de telle sorte que le trou interne soit d'environ 0.5 mm (resp. 0.55 mm), afin de recevoir les axes des contacts, munis d'une collerette, d'un diamètre équivalent.

- Règle N°6 : espace au minimum entre trous métal : le diamètre de la tête des contacts sera de l'ordre de 1 mm. En ce sens, l'espacement des trous métal devra être d'au moins 1.27 mm, ce qui laisse un jeu au minimum de 0.27 mm entre les têtes.

### Assemblage, fixation et positionnement des CMS V1.0

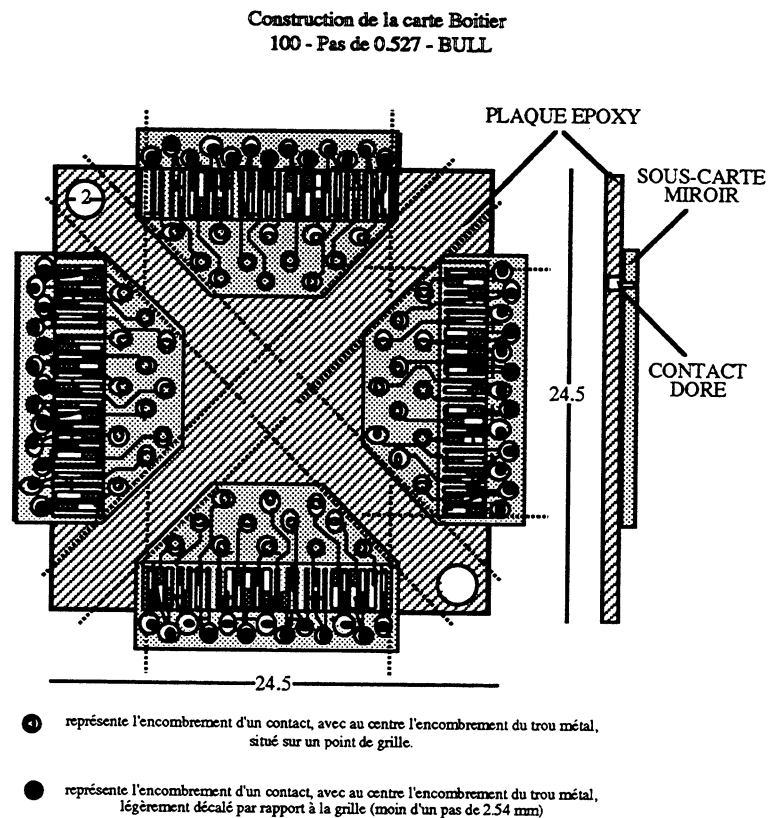
#### Assemblage et positionnement

A priori, il incombait à IMD de découper puis d'assembler plusieurs CMS (pour constituer une empreinte à part entière).

Pour cela, on utilise une plaque d'époxy d'environ 1 mm d'épaisseur, qu'on dispose sur la face supérieure de la carte miroir (coté contacts dorés), percée suivant la bande perçage des cartes miroir (la génération de cette bande de perçage se fera à l'aide d'un outil soft : on disposera en bibliothèque CAO des diverses barrettes. On les superpose à l'empreinte qu'on désire tester. La bande de découpe ainsi que la bande de perçage correspondante seront ainsi automatiquement générées).

Le positionnement des sous-cartes miroir est alors automatiquement assuré par les contacts qui viennent prendre place dans les trous de la plaque époxy. NB : ces locatings ne doivent pas dépasser de plus de l'épaisseur des cartes miroir, sous peine de gêner le contact élastomère entre le circuit à tester et les cartes miroir.

Le positionnement de la carte miroir ainsi constituée est alors assuré par 2 'locatings' d'au moins 2 mm de diamètre, disposés sur la plaque d'époxy, à l'intersection du prolongement des zones interdites, comme explicité sur la figure ci-dessous.



### Assemblage et positionnement des cartes miroir

Mais cette version 1.0 présente un certain nombre de limites, établies lors des expérimentations, qu'il va falloir faire évoluer. C'est l'objet de la version 2.0.

#### 3.1.3.2 Remarques complémentaires

### **Objectif principal des cartes Miroir**

Les cartes Miroir seront positionnées sur une empreinte de composant afin d'"éclater" les points de test, ou d'opérer un STAGGERING qu'il n'est pas possible d'effectuer directement sur les plages. Elles débordent de l'empreinte de ce composant et pourront éventuellement se superposer dans le cas de boîtiers tels que certains PLCC ou QFP complexes. Afin de limiter les débordements il faudra minimiser la largeur des cartes Miroir. De plus ces cartes Miroir devront être "modulaires" et seront découpées dans les sens de leur longueur afin de limiter les débordements latéraux. Il faut donc converger vers une solution où les découpes longitudinales et transversales puissent ce faire de manière la plus rapprochée possible.

### **Avantage de l'emploi d'aiguilles à décalage**

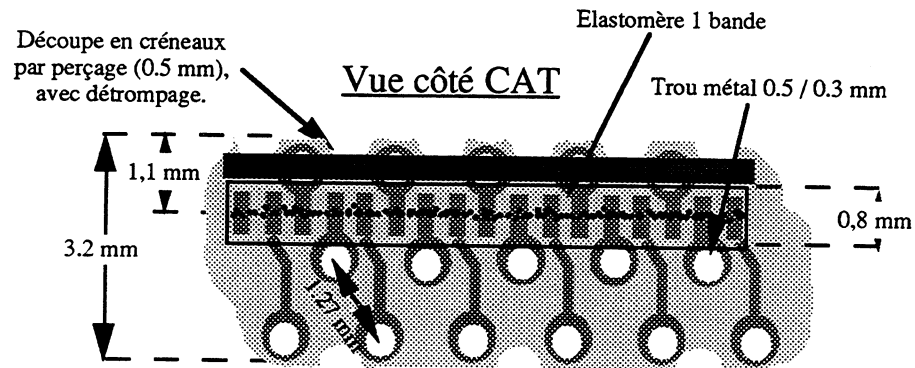
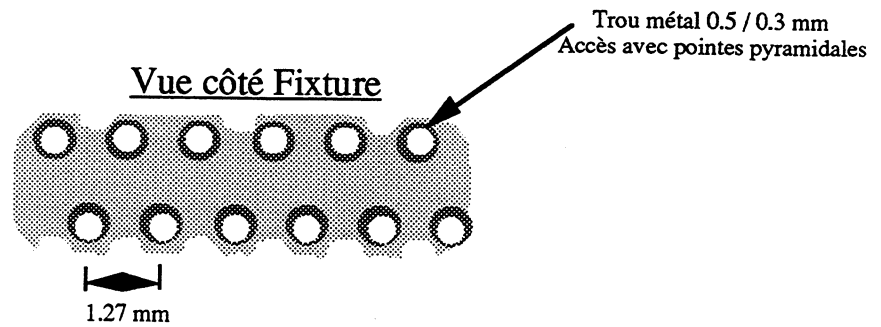
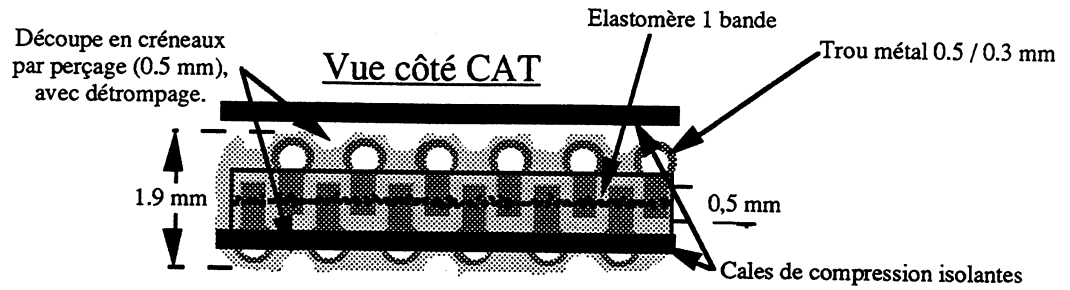
Les aiguilles employées sur le testeur pourront être décalées d'un pas de 1.5 à 3 pas de grille simple densité, soit environ 4 à 7 mm. L'emploi d'aiguilles à décalage rend obsolète la répartition des points de test sur les faces supérieures des cartes Miroir. Cette répartition se fera de manière "NATURELLE" par la disposition manuelle des aiguilles dans l'outillage généré de manière logicielle. On s'attachera simplement à vérifier que les points de test redéfinis à l'aide des cartes Miroir sont accessibles par des aiguilles (c'est à dire qu'ils respectent les densités de points de test disponibles ainsi que la contrainte sur ResolMatrice).

## **3.1.3.3 Carte Miroir Standard V2.0**

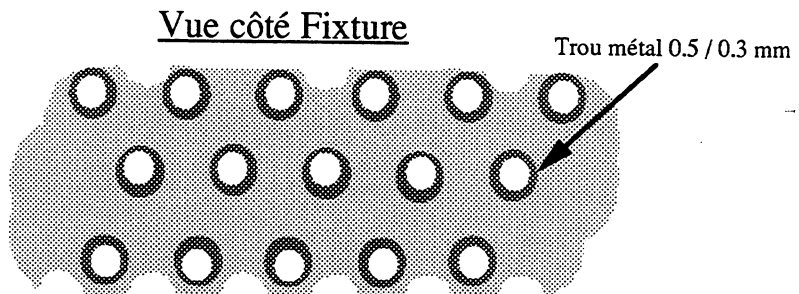
### ***3.1.3.3.1 Description***

Une première optimisation des cartes Miroir pourrait être, d'après des remarques issues des manipulations :

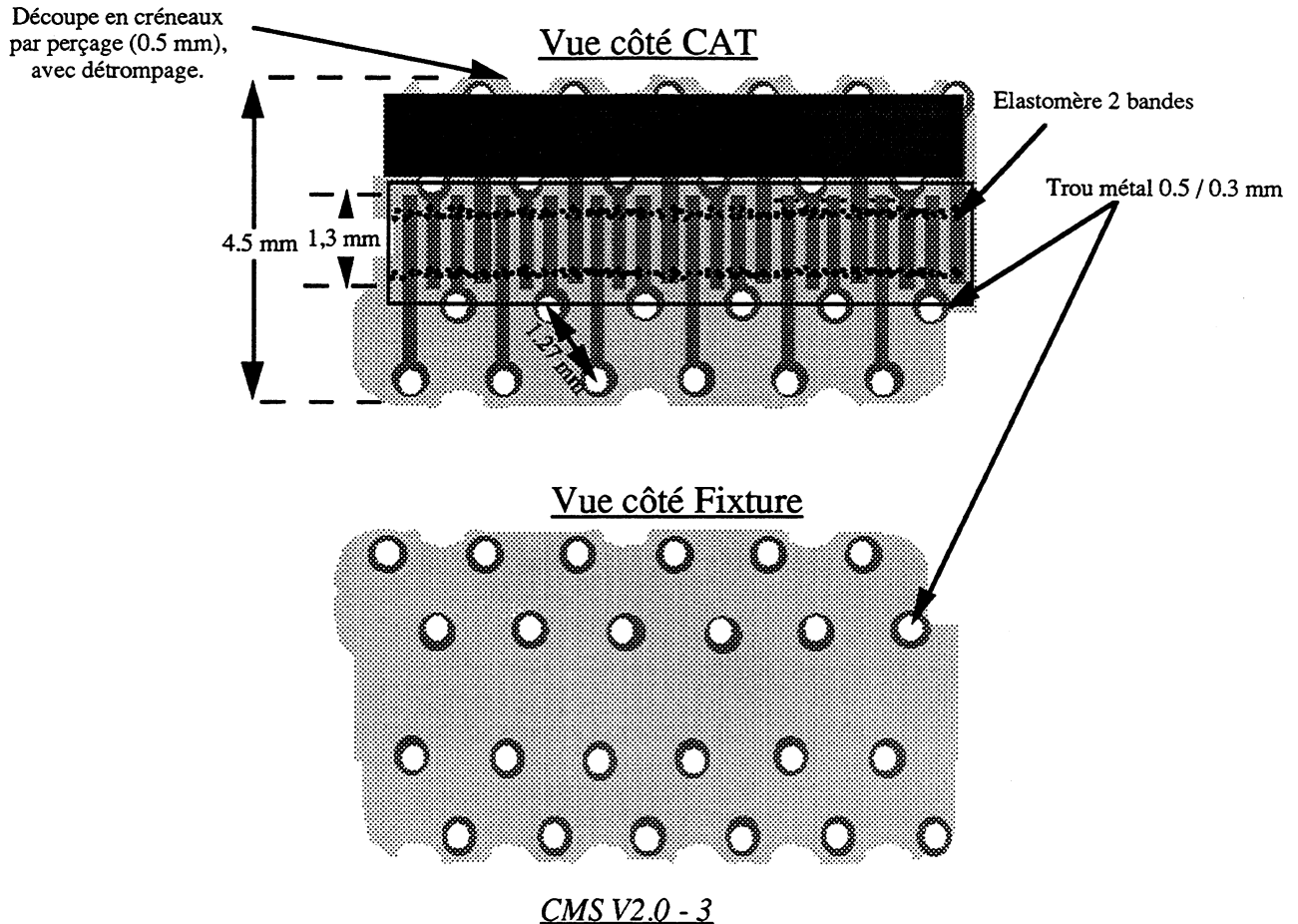
- utilisation de pointes à têtes pyramidales à la place des pointes striées, conduisant à une diminution du diamètre de la plage d'accueil de la pointe de 0.9 mm à 0.5 mm. L'expérience a montré qu'au bout de 20 000 cycles de compression, les trous métallisés n'étaient pas significativement endommagés. De plus, le pointe pyramidale à un effet de recentrage de la carte Miroir.
  - utilisation d'un élastomère à une seule rangée, en lieu et place de l'élastomère double rangée, jusqu'à un pas de 423  $\mu\text{m}$ . L'expérience a en effet montré un très grande fiabilité de l'élastomère double rangée, qui laisse à penser que l'élastomère mono-rangée est largement envisageable.
- Les figures ci-dessus décrivent les nouvelles cartes ainsi que l'élastomère utilisé.



Distance min entre 2 trous : 16.6 mils \* 3 : 50 mils (1.27 mm)



CMS V2.0 - 2



On remarque que ces cartes Miroir sont compatibles avec des aiguilles au pas de 1.27 mm.

Cela conduit à des largeurs de CMS de :

- . 1.9 mm jusqu'à un pas de 635  $\mu\text{m}$ , contrairement à 3.8 mm pour les versions 1.x, soit une différence de 100 %.
- . 3.2 mm entre 0.635 mm et 0.423 mm, contrairement à 5 mm pour les versions 1.x, soit un gain de 56 %.
- . 4.5 mm entre 0.423 mm et 0.317 mm, contrairement à 6 mm pour les versions 1.x, soit un gain de 33 %.

### 3.1.3.3.2 Familles de CMS

On suppose pouvoir disposer d'une zone de débordement de chaque côté de la ligne finale que l'on souhaite constituer : une ligne comportant 15 contacts pourra s'en voir attribuer 17 ou 18 (du fait qu'une carte puzzle ne comprend jamais moins de 3 contacts, comme on va le voir plus loin), dont 2 ou 3 ne seront pas utilisés. Le battement max autorisé est de  $D_b$  ( $\mu\text{m}$ ) de chaque côté. On verra à priori que  $D_b \leq l_{\text{min}}/2$ , ou  $l_{\text{min}}$  est la largeur minimale d'une CMS (voir plus loin), qui ne dépend que des paramètres suivants :

- diamètre  $D_{\text{tm}}$  du trou métallisé utilisé au niveau des contacts métalliques

NB :  $D_{\text{tm}}$  intègre le diamètre de la collerette (environ 200  $\mu\text{m}$  d'épaisseur en classe 5, 500  $\mu\text{m}$  en classe 4).

- largeur de piste  $l_p$  du circuit puzzle
- isolement  $l_i$  entre piste ou entre trou métal autorisé

NB : on remarque que ces paramètres fixent la classe du circuit :



- classe 5 :  $lp = 150 \mu\text{m}$ ,  $li = 200 \mu\text{m}$ ,  $l\text{collerette} = 185 \mu\text{m}$  (valeurs de dessins : les valeurs réelles pourront être inférieures)
- classe 4 :  $lp = 230 \mu\text{m}$ ,  $li = 230 \mu\text{m}$ ,  $l\text{collerette} = 245 \mu\text{m}$

Les différentes CMS sont distinguées par le seul critère de leur pas : ce pas induira leur famille au sens d'IMD). Cette famille IMD induira la classe de fabrication des CMS.

#### 3.1.3.3.2.1 Référence des CMS.

Le routage des CMS se fera indépendamment de la densité de grille (bien que celle-ci soit indirectement liée au pas comme on le verra plus loin).

Les CMS se distingueront uniquement par leur pas (1 mm, 0.635 mm, etc...), par leur nombre de contacts (de manière à pouvoir construire efficacement une ligne avec plusieurs CMS, il faut disposer de plusieurs longueurs de celles-ci), ainsi que par leur compatibilité de densité (SD / 2D).

Une CMS aura alors pour référence IMD :

**CMS - Pas ( $\mu\text{m}$ ) - Nombre de contacts - Densité Ex : CMS - 317 - 10 - SD**

#### 3.1.3.3.2.2 Définition des familles des CMS.

Suivant les pas des cartes MIROIR, celles-ci vont être plus ou moins complexes en réalisation, donc plus coûteuses, alors qu'elles ne pourront correspondre qu'à une production marginale (par exemple 16 mils, ou 12 mils).

L'objet du présent document est d'optimiser le prix de revient des cartes MIROIR qui seront le plus utilisées.

#### 3.1.3.3.2.2.1 Les différents constituants des CMS

Pour toutes les cartes, on va distinguer les éléments suivants :

- **Circuit imprimé** : ce dernier sera de préférence double face TM. On pourra envisager des circuits 4 couches pour les cartes complexes. Les 2 faces comporteront un flash d'or de  $2 \mu\text{m}$  sur  $5 \mu\text{m}$  de Nickel.

Les trous métallisés en standard auront un diamètre de 0.3 mm, 0.5 mm collerette comprise. **Toutefois, la collerette côté pointes sera augmentée autant que possible, jusqu'à concurrence de 1 mm.**

- **Bandes de Kapton** : cette bande présente les 2 fonctionnalités suivantes :

- . isolant pour éviter les courts-circuits entre les pistes de la carte MIROIR côté CAT, et ce dernier.
- . cale d'épaisseur, pour contrôler l'écrasement de l'élastomère.

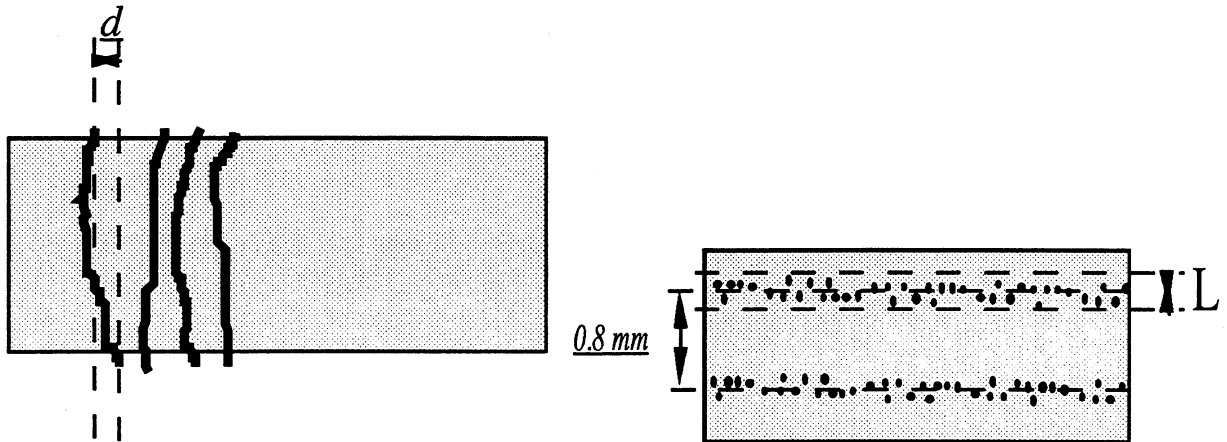
Ces bandes de Kapton, pour des élastomères Fujipoly d'épaisseur 0.5 mm, doit présenter les caractéristiques suivantes :

- . épaisseur : 420 à 460  $\mu\text{m}$  (6 bandes de Kapton de 70 à 75  $\mu\text{m}$  superposées, sans bulles d'air).
- . largeur : 1 mm min.

- **Rivets** : ces rivets permettent d'accrocher et de positionner les cartes MIROIR sur la carte support. Ils sont fabriqués en matière isolante. Un schéma est fourni en annexe.

- **Élastomère** : 4 types d'élastomères pourraient être utilisés. Avant de les lister, expliquons par dessin 2 des caractéristiques majeures de l'élastomère à utiliser :

- . d : décalage max d'un fil entre les 2 plans de l'isolant, pour un matériau d'une hauteur de 0.5 mm.
- . L : largeur max d'une bande de contacts.



Paramètres particuliers des élastomères utilisés

**Réf WBL 081** (0.8 \* 120 \* 0.5 mm) :

- . Densité min : 7 fils / mm (distance moyenne entre 2 conducteurs : 140  $\mu\text{m}$ ).
- . nombre de rangées de conducteurs : 1
- . d (skewing) = 0.2 mm max
- . L = 0.4 mm max --> longueur min de plage de contact : **0.7 mm**
- . pas min de la carte MIROIR pour une hypothèse de 4 fils min par plage contactée :
  - \* isolement min entre 2 plages : 0.3 mm.
  - \* largeur min d'une plage : 400  $\mu\text{m}$  (--> plus de 4 contacts)
  - \* **pas min : 30 mils (0.762 mm)**

**Réf WBL 082** (1.6 \* 120 \* 0.5 mm) :

- . Densité min : 7 fils / mm (distance moyenne entre 2 conducteurs : 140  $\mu\text{m}$ ).
- . nombre de rangées de conducteurs : 2
- . d (skewing) = 0.2 mm max
- . L = 0.4 mm max --> longueur min de plage de contact : **1.6 mm**
- . pas min de la carte MIROIR pour une hypothèse de 4 fils min par plage contactée :
  - \* isolement min entre 2 plages : 0.3 mm.
  - \* largeur min d'une plage : 200  $\mu\text{m}$  (--> plus de 4 contacts)
  - \* **pas min : 25 mils (0.635 mm)**

**Réf WBL 081 - F** (1.6 \* 120 \* 0.5 mm) :

- . Densité min : 15 fils / mm (distance moyenne entre 2 conducteurs : 66  $\mu\text{m}$ ).
- . nombre de rangées de conducteurs : 1
- . d (skewing) = 0.1 mm max
- . L = 0.5 mm max --> longueur min de plage de contact : **0.7 mm**
- . pas min de la carte MIROIR pour une hypothèse de 4 fils min par plage contactée :
  - \* isolement min entre 2 plages : 0.2 mm.
  - \* largeur min d'une plage : 200  $\mu\text{m}$  (--> plus de 4 contacts)
  - \* **pas min : 16 mils (ou 0.4 mm)**

**Réf WBL 082 - F** (1.6 \* 120 \* 0.5 mm) :

- . Densité min : 15 fils / mm (distance moyenne entre 2 conducteurs : 66  $\mu\text{m}$ ).
- . nombre de rangées de conducteurs : 2
- . d (skewing) = 0.1 mm max
- . L = 0.5 mm max --> longueur min de plage de contact : **1.6 mm**
- . pas min de la carte MIROIR pour une hypothèse de 4 fils min par plage contactée :
  - \* isolement min entre 2 plages : 0.150 mm.
  - \* largeur min d'une plage : 100  $\mu\text{m}$  (--> plus de 4 contacts)

\* pas min : 10 mils (ou 0.25 mm)

Conclusion : les élastomères utilisés seront, en fonction de pas de la carte MIROIR :

10 mils  $\leq$  pas < 16 mils : **Réf WBL 082** - F (double rangée, haute densité), longueur plage : **1.6 mm min**

16 mils  $\leq$  pas < 25 mils : **Réf WBL 081** - F (simple rangée, haute densité), longueur plage : **0.7 mm min**

25 mils  $\leq$  pas < 30 mils : **Réf WBL 081** - F (simple rangée, haute densité), longueur plage : **0.7 mm min** plutôt que **Réf WBL 082** (double rangée, densité normale), longueur plage : 1.6 mm min, car ce dernier vaut 1.5 fois plus cher que le premier.

30 mils  $\leq$  pas < 100 mils : **Réf WBL 082** (simple rangée, densité normale), longueur plage : **0.7 mm min**

**On utilisera donc a priori 3 type d'élastomères : 2 mono-rangées (simple et haute densité, et un double rangée haute densité). En fait, il est vraisemblable, pour des raisons économiques, que seul l'élastomère WBL 081 -F -AD soit utilisé.**

- **Packaging** : il s'agit de la protection des cartes MIROIR une fois assemblées.

### 3.1.3.3.2.2 Les différentes familles de CMS

La première définition de familles de ces cartes ne prenait en compte qu'un seul paramètre, qui était le pas de la ligne. Un autre paramètre doit être pris en compte dans la nouvelle définition, qui est la densité de grille compatible avec la définition des cartes MIROIR.

#### Hypothèses

On suppose que tous les clients potentiels accèdent facilement à des points de test voisins de moins de 50 mils (1.27 mm), voire 1.2 mm dans certains cas.

#### Notions de composants / pas / densité de grille

L'approche du test d'un circuit imprimé nu est jusqu'à aujourd'hui restée relativement primaire. Les points de test sont supposés ne pas avoir de propriétés propres, alors qu'IMD a montré que les points complexes (pour simplifier, points de pas en-dessous de 1.27 mm) se présentent sous la forme de lignes à pas régulier.

IMD a également montré que la répartition des points de test est à l'image des composants que doit accueillir le circuit imprimé. Or ces composants se présentent essentiellement sous la forme de 2 lignes parallèles ou 4 lignes formant un rectangle. IMD a démontré qu'il ne pouvait y avoir de points de test à l'intérieur du composant, dès l'instant où ceux-ci sont définis comme les extrémités des équipotentielles. Donc toute la surface interne d'un composant est utilisable au niveau des points de grille.

De plus, si on n'utilise que les points internes au contour définis par les lignes, à quelques tolérances près, alors on peut être certain que les cartes MIROIR ne se superposent pas. Cela est vrai pour les cartes MIROIR, mais cela est également vrai pour les accès avec de simples aiguilles.

Alors le calcul des densités de grille nécessaire en fonction :

- du pas des lignes

- de la longueur de celles-ci

va nous préciser les limites des grilles universelles. NB : tous les points de la grille doivent être utilisables sans restriction.

On suppose devoir être en mesure de tester tous types de circuits, y compris les circuits présentant des composants "fine pitch" proches les uns des autres, ce qui, vu la nature des développements de l'industrie électronique (ASICS et MCM en particulier), devrait se généraliser dans un proche futur.

Si l'on prend comme hypothèses minimales que la longueur d'une plage de ces composants fait au moins 1.5 mm, et que la distance minimale entre 2 composants (distance entre les contours externes des plages) est de 4 mm, alors les tableaux de calcul conduisent aux résultats suivants (voir plus précisément le paragraphe 2.2.4.5) :

**Hypothèses**

Longueur plages : 1.5 mm

Distance entre 2 contours proches : 4 mm

Composants carrés

***Longueur minimale d'une ligne pour un pas donné (Hyp : toutes les plages sont des points de test)***

	0,800 mm	0,635 mm	0,600 mm	0,500 mm	0,400 mm	0,300 mm	0,200 mm
<b>Grille SD (2.54 mm)</b>	17,5 mm	26,0 mm	28,0 mm	35,0 mm	54,7 mm	133,5 mm	795,8 mm
<b>Grille 2D (1.79 mm)</b>	0,0 mm	0,0 mm	0,0 mm	10,0 mm	17,6 mm	28,2 mm	72,4 mm
<b>Grille 4D (1.27 mm)</b>	0,0 mm	0,0 mm	0,0 mm	0,0 mm	0,0 mm	0,0 mm	17,6 mm

***Longueur minimale d'une ligne pour un pas donné (Hyp : une plage sur 2 est affectée à un point de test)***

	0,800 mm	0,635 mm	0,600 mm	0,500 mm	0,400 mm	0,300 mm	0,200 mm
<b>Grille SD (2.54 mm)</b>	8,8 mm	13,0 mm	14,0 mm	17,5 mm	27,3 mm	66,8 mm	397,9 mm
<b>Grille 2D (1.79 mm)</b>	0,0 mm	0,0 mm	0,0 mm	5,0 mm	8,8 mm	14,1 mm	36,2 mm
<b>Grille 4D (1.27 mm)</b>	0,0 mm	0,0 mm	0,0 mm	0,0 mm	0,0 mm	0,0 mm	8,8 mm

**Limites de compatibilité en densité des différentes CMS pour des composants carrés**

NB : 1 les longueurs des lignes sont ici calculées pour des composants carrés. Un composant pourra donc admettre une ligne plus courte si par ailleurs celle-ci est compensée par la longueur plus importante du grand côté.

NB 2 : ces calculs sont essentiellement valables pour des composants rectangulaires. Les composants de type SO permettent de repousser un peu plus les besoins en densité, en fonction du pas.

NB : 3 : ces résultats sont donnés indépendamment de la notion d'extrémité d'équipotentielle. En fait, moins d'un point sur 2 au niveau d'une ligne à pas fin sera affectée à un point de test. Ce qui fait que les résultats dont il faut tenir compte correspondent au tableau inférieur.

On peut alors faire les remarques suivantes :

- à supposer qu'on puisse utiliser la totalité des points de test à l'intérieur des contours des composants fine pitch (ce qui n'est pas le cas des aiguilles, limitée par le nombre de décalage (3 aujourd'hui), mais qui est plus vrai avec la définition des cartes MIROIR V3.0) :

- . la grille SD peut encore convenir systématiquement jusqu'au pas de 0.4 mm. On remarque que la taille des composants devra être supérieure à un seuil (27 mm pour une ligne), qui n'est pas négligeable.

- . la grille 2D permettrait de descendre sans encombre (toujours sous réserve de l'accessibilité à l'intégralité des points de test internes au contour) jusqu'à un pas de 0.2 mm (8 mils).

- . la grille 4D serait totalement inutile.

- une structure modulaire de l'électronique de test ne présente d'intérêt réel qu'en dessous de 0.4 mm, or aujourd'hui :

- . peu de circuits descendent à des pas inférieurs à 0.4 mm, tout en étant rectangulaires.

- . lorsque c'est le cas, ce n'est que localement.

**Famille de cartes**

On suppose que tous les clients potentiels accèdent facilement à des points de test voisins de moins de 50 mils (1.27 mm), voire 1.2 mm.

**Cas 30 mils ≤ pas < infini**

Alors NbC = 2. Cette carte présentera une faible largeur, et donc ne présentera pas de problèmes de superposition. De plus, elle ne devrait pas présenter de problèmes de densité.

--> les cartes MIROIR seront des lignes standard, avec un élastomère **Réf WBL 081 - F** (simple rangée, haute densité), longueur plage : **0.7 mm min.**

**Compatibilité grille testeur : 2.54 mm**

**NB : il est à prévoir qu'aucune carte de cette famille ne sera jamais utilisée, avec les possibilité de staggering.**

Cas  $0.6\text{ mm} \leq \text{pas} < 0.762\text{ mm}$

Alors NbC = 2. Cette carte présentera une faible largeur, et donc ne présentera pas de problèmes de superposition. De plus, elle ne devrait pas présenter de problèmes de densité.

--> les cartes MIROIR seront des lignes standard, avec un élastomère **Réf WBL 082** (simple rangée, densité normale), longueur plage : **0.7 mm min**

**Compatibilité grille testeur : 2.54 mm**

Cas  $16\text{ mils } (0.4\text{ mm}) \leq \text{pas} < 0.6\text{ mm}$

Alors NbC = 3. La ligne standard se présentera sous une forme asymétrique de largeur totale environ 3.5 mm (longueur plage : 0.7 mm), et donc pourrait présenter des problèmes de superposition. De plus, elle pourrait commencer à présenter des problèmes de densité, en cas de composants voisins.

--> on proposera alors 2 références pour ces cartes :

a) une **ligne standard asymétrique**, qui sera utilisée dans 90 % des cas, avec un élastomère **Réf WBL 081 - F** (simple rangée), longueur plage : **0.7 mm min.**

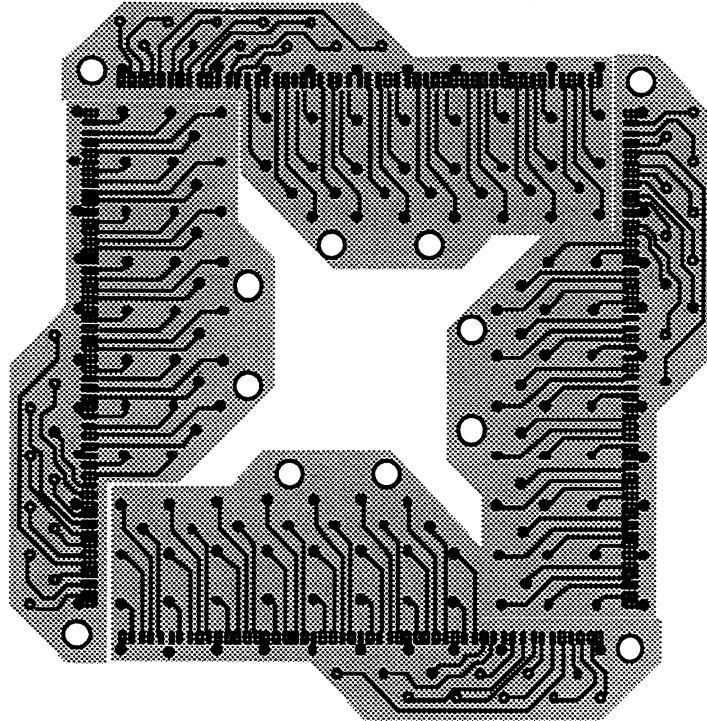
L'espacement entre 2 points de test de la carte pourra aller jusqu'à 1.2 mm min. Ces lignes ne comportant que 3 rangées, l'utilisation d'aiguilles à décalage devrait pouvoir autoriser un accès simple, même avec une grille SD, surtout si le composant est de type SO.

b) une **carte semi-standard (voir CMS V3.0)**, qui pourrait être utilisée dans 10 % des cas, qui vise à répondre à 2 objectifs :

- éviter les superpositions
- conserver la compatibilité avec un testeur simple densité.

Cette carte sera donc compatible SD : pas de 2.54 mm à l'intérieur de la carte, avec des pas de 1.27 mm sur sa périphérie.

On peut avoir une idée de la définition de ces cartes avec le dessin suivant :



CMS semi-standards (CMSS)

Cas  $0.3 \text{ mm (12 mils)} \leq \text{pas} < 16 \text{ mils (0.4 mm)}$

Alors NbC = 4.

**Compatibilité grille testeur : 2.54 mm**

Cas  $0.250 \text{ mm (10 mils)} \leq \text{pas} < 12 \text{ mils (0.3 mm)}$

Alors NbC = 5.

**Compatibilité grille testeur : 1.79 mm**

Conclusion sur l'adéquation "famille de carte / pas de composants / densité de grille du testeur"

On peut dégager le tableau suivant :

**Glossaire**

CP std :	lignes simples
CP - D :	lignes simples, sauf début. Evité les superposition + utilise les points internes
WBL 082 -AD	Elastomère simple rangée, densité normale, avec adhésif.
WBL 081 - F -AD	Elastomère simple rangée, haute densité, avec adhésif.
WBL 082 - F -AD	Elastomère double rangée, haute densité, avec adhésif.

	$1.27 < \text{pas} \leq 0.760 \text{ mm}$	$0.760 < \text{pas} \leq 0.6 \text{ mm}$	$0.6 < \text{pas} \leq 0.4 \text{ mm}$	$0.4 < \text{pas} \leq 0.3 \text{ mm}$	$0.3 < \text{pas} \leq 0.2 \text{ mm}$
<b>Type Carte PUZZLE</b>	CP - S	CP - S	CP-S & CP-D	CP - D	CP - D
<b>Référence élastomère</b>	WBL 082 -AD	WBL 081-F-AD	WBL 081-F-AD	WBL 082 -F-AD	WBL 082 -F-A
<b>Densité électronique nécessaire</b>	2,54 mm	2,54 mm	2,54 mm	1,79 mm	1,79 mm

**On distinguera donc :**

- 3 références d'élastomère (1 seule deviendra en fait effective, WBL 081 -F -AD)
- 1 référence de cartes MIROIR jusqu'à 0.6 mm et de 0.4 à 0.2 mm.
- 2 références de cartes Miroir entre 0.635 et 0.4 mm

**NB : pour chaque pas, on définira également une CMS compatible avec le pas de 2.54 mm, qui sera utilisée de préférence chaque fois que cela sera possible.**

**La grille SD pourra suffire jusqu'à des pas de 0.4 mm, voire 0.25 mm dans certains cas (composants de type SO ou connecteurs).**

**Pour des composants de faible pas et de faible longueur de lignes, le besoin des cartes MIROIR custom (CMS - C) se fera sentir.**

#### Notion de précision de positionnement

En fait, la définition de la géométrie des CMS concerne les paramètres suivants :

- 1 - largeur, longueur (et donc surface) des Plages de Contact des CMS en regard des Plages du Circuit à tester. Appelons PC3 ces plages.
- 2 - Largeur, longueur de la CMS.
- 3 - Pas p des PC3
- 4 - Erreur max de positionnement (d'une plage CMS par rapport à la plage à tester sur le circuit) acceptée ( $T \mu\text{m}$ ) par rapport au circuit à tester. Cette erreur correspond au cumul de plusieurs sources d'erreur, pour chacune des 2 faces :

**t1 : précision relative de perçage des plaques plexi de la matrice (écart relatif par rapport aux locatings)**

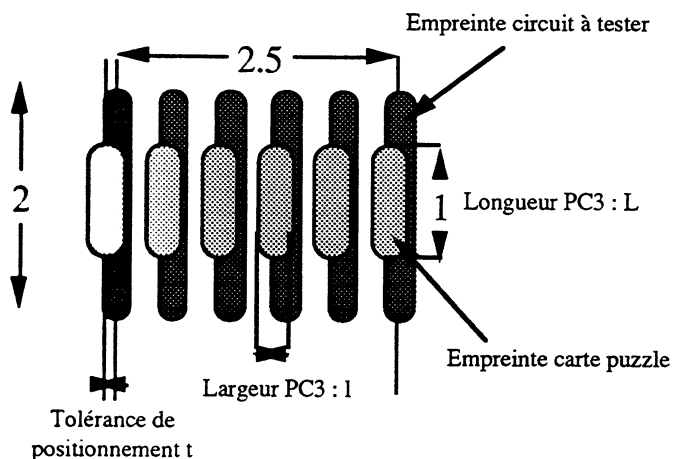
**t2 : précision d'alignement de l'image de cuivre par rapport aux locatings des CMS.** Cette précision peut faire l'objet d'une spécification détaillée de la part d'IMD.

**t3 : précision d'alignement des CMS par rapport aux locatings carte support**

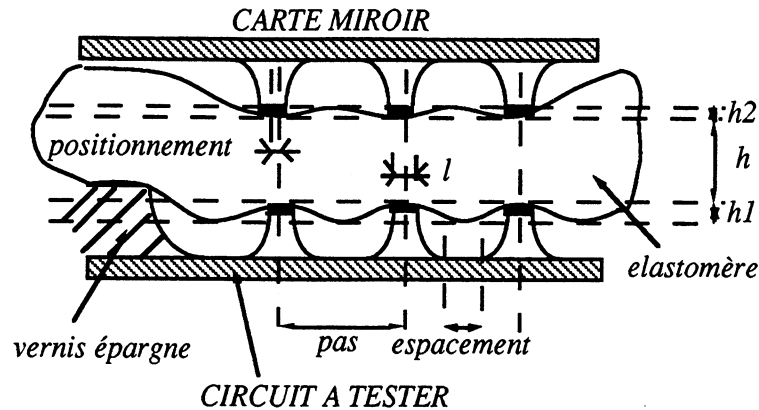
**t4 : précision d'alignement de la carte support par rapport aux locatings matrice**

**t5 : précision d'alignement de l'image de cuivre par rapport aux trous de locatings du circuit à tester.** NB : cette précision est à considérer pour les 2 faces du circuit à tester : un circuit pourra, tout en étant viable, présenter une erreur d'alignement par rapport à la bande de perçage (locatings) de  $+ 100 \mu\text{m}$  pour une face et  $- 100 \mu\text{m}$  pour l'autre face, ce qui implique alors un positionnement différent de chaque matrice par rapport à la face correspondante du circuit.

**t6 : précision d'ajustement du circuit à tester par rapport à la plaque supérieure de la matrice**  
**t7 : dilatation du matériau époxy.**



Tolérance de positionnement des CMS - 1



### Tolérance de positionnement des CMS - 2

A titre d'information, l'alignement requis des couches de cuivre avec les trous de référence est maintenant de +/- 50  $\mu\text{m}$ .

A titre d'exemple :

- le pas de 0.5 mm va requérir une erreur max de positionnement de 100  $\mu\text{m}$ , soit moins de 20  $\mu\text{m}$  pour chacune des 5 tolérances citées ci-dessus.
- le pas de 0.25 mm va requérir une erreur max de positionnement de 50  $\mu\text{m}$ , soit moins de 10  $\mu\text{m}$  pour chacune des 5 tolérances citées ci-dessus.

Or 2 au moins de ces paramètres sont plus difficilement maîtrisables :

- l'alignement des couches externes de cuivre avec les locatings du circuit
- la précision de positionnement du circuit par rapport aux locatings de l'outillage, qui implique presque systématiquement l'utilisation de locatings coniques.

**Il va donc falloir essayer de durcir les tolérances sur les autres paramètres, pour diminuer au maximum l'influence de ceux-ci.**

Le tableau ci-dessus fixe les limites cohérentes de ces précisions, en fonction du pas auquel on veut accéder :

		0,8 mm	0,635 mm	0,5 mm	0,4 mm	0,25 mm
t1	précision relative de perçage des plaques plexi de la matrice	50 $\mu\text{m}$	40 $\mu\text{m}$	30 $\mu\text{m}$	20 $\mu\text{m}$	10 $\mu\text{m}$
t2	précision d'alignement de l'image de cuivre par rapport aux locatings des CMS.	50 $\mu\text{m}$	40 $\mu\text{m}$	40 $\mu\text{m}$	30 $\mu\text{m}$	20 $\mu\text{m}$
t3	précision d'alignement des CMS par rapport aux locatings carte support	20 $\mu\text{m}$	20 $\mu\text{m}$	10 $\mu\text{m}$	10 $\mu\text{m}$	10 $\mu\text{m}$
t4	précision d'alignement de la carte support par rapport aux locatings matrice	20 $\mu\text{m}$	20 $\mu\text{m}$	10 $\mu\text{m}$	10 $\mu\text{m}$	10 $\mu\text{m}$
t5	précision d'alignement de l'image de cuivre par rapport aux trous de locatings du circuit à tester	50 $\mu\text{m}$	50 $\mu\text{m}$	40 $\mu\text{m}$	30 $\mu\text{m}$	20 $\mu\text{m}$
t6	précision d'ajustement du circuit à tester par rapport à la plaque supérieure de la matrice	20 $\mu\text{m}$	20 $\mu\text{m}$	10 $\mu\text{m}$	10 $\mu\text{m}$	10 $\mu\text{m}$
t7	dilatation du matériau époxy.	10 $\mu\text{m}$	10 $\mu\text{m}$	10 $\mu\text{m}$	10 $\mu\text{m}$	10 $\mu\text{m}$
Précision globale (+/-) :		220 $\mu\text{m}$	200 $\mu\text{m}$	150 $\mu\text{m}$	120 $\mu\text{m}$	100 $\mu\text{m}$

### Tolérance de positionnement des CMS requise en fonction du pas

Seul t5 est un paramètre que l'on ne contrôle pas vraiment, puisqu'il est propre au circuit à tester. Mais on peut supposer que la réalisation de circuit à pas fin, et donc à petits trous métallisés, entraîne la maîtrise de ce paramètre par le fabricant.

Il s'agit donc ensuite de maîtriser le reste de la chaîne de cote pour être compenser cette inconnue : un travail très soigneux doit être accompli au niveau de la structure de positionnement (à tous les niveaux) de la matrice).



On peut penser qu'une maîtrise aussi fine de ces paramètres sera délicate en milieu industriel, pour des grandes séries de circuits, d'autant plus que le positionnement de la matrice inférieure devra vraisemblablement être différent de celui de la matrice supérieure, en raison de l'alignement de la couche cuivre du circuit à tester par rapport à ses trous de localings, cet alignement n'étant pas forcément le même pour les 2 couches.

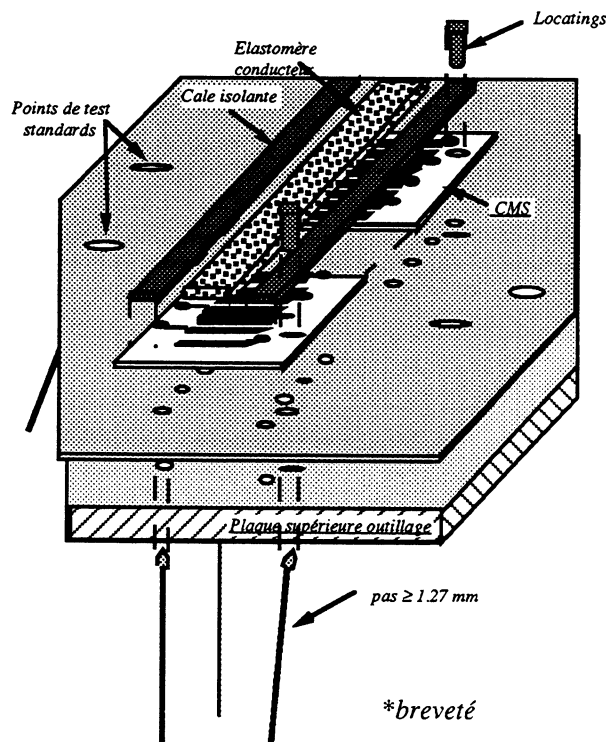
Or on remarque que les erreurs de positionnement ne devraient pas dépasser 0.2 ou 0.3 mm, en prenant un minimum de précautions. On peut également remarquer qu'il n'est nécessaire d'aligner avec précision que les CMS et non l'intégralité des points de test, du fait que les points classiques ne demandent pas une aussi grande précision (0.3 mm est largement suffisant pour un pas de 0.8 mm avec des plages de plus de 0.4 mm).

Nous avons alors imaginé d'asservir la carte support par rapport à l'acquisition d'une image de référence sur le circuit à tester. Cette acquisition se fait par un capteur CCD de précision environ 10 à 25  $\mu\text{m}$ . Lorsque la matrice s'abaisse, le capteur transmet une image qui est comparée à l'image théorique que l'on doit obtenir, les écarts en X et Y sont calculés, et la carte support déplacée d'autant en temps réel. Les paramètres restant alors à maîtriser sont représentés dans le tableau suivant :

### 3.1.3.3 Montage des CMS

Après découpe sur la base d'informations générées par le logiciel d'extraction des CMS (voir plus loin), l'opérateur dispose les CMS sur un film époxy d'environ 0.2 mm d'épaisseur, percé en même temps que la plaque supérieure de l'outillage.

La figure ci-dessous s'en fait l'illustration :



### Montage des CMS

Le film époxy, aussi appelé "carte support" est ensuite disposé sur l'outillage de test de la manière que le circuit à tester, en référence aux mêmes localings. Le film est donc amovible en quelques secondes, pour autoriser l'accès éventuel aux pointes de test.

### 3.1.3.4 Carte Miroir V3.0 (CMS V3.0)

Parmi les futures versions possibles des Cartes Miroir Standard (CMS) figurent les suivantes :

- CMS Kapton (souple), avec possibilité de placer des pavés routés à l'intérieur des composants formés, en jouant sur la longueur des bandes par pliage.
- CMS simple face (Kapton), s'enroulant autour d'une barre d'époxy.
- CMS à imbrication (Fig 1) :

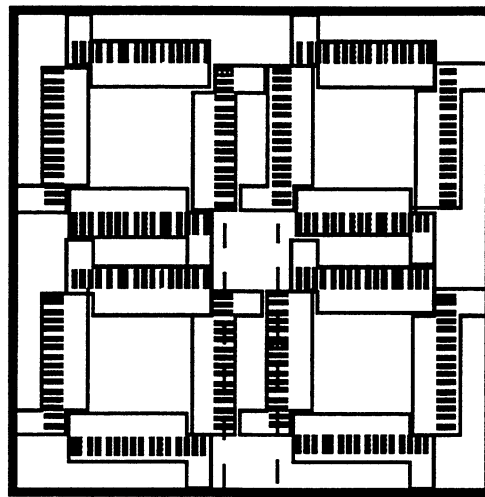


Fig 1

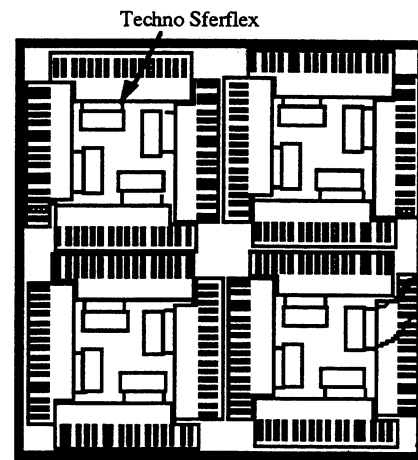
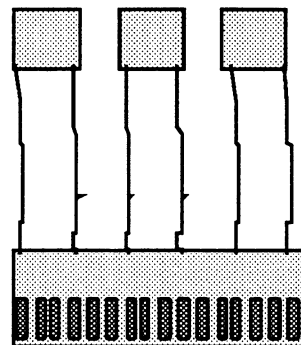


Fig 2

#### CMS V3.0 (versions futures possibles)

On note que la distance centre à centre des plages n'excède pas la largeur totale d'une carte Miroir standard, c'est à dire environ 4 mm pour 16 mils. Si les plages sont supposées avoir une longueur d'au moins 1.5 mm, alors cela suppose un distance min de 2.5 mm entre 2 composants voisins pour ne pas que les cartes se touchent.

- CMS à imbrication en technologie Sferflex (Fig 2) : la zone non routable à l'intérieur du composant (fig 1) est déportée à l'aide de Kapton (qui passe en dessous de la CMS, côté aiguilles). Cette technologie Sferflex pourra être étendue au concept de CMS compatible SD, avec déport de zones de points de test vers des points de grille accessibles (à une distance supérieure au décalage maximum de pas autorisé) :



CMS Sferflex

### 3.1.3.5 Nature des cales mécaniques.

De manière à régler la compression du matériau à la bonne valeur, et ce de manière systématique, on utilise des cales mécaniques de hauteur correspondant à la hauteur de l'élastomère comprimé.

Ainsi, pour un élastomère d'une hauteur de 200  $\mu\text{m}$ , et nécessitant une compression de 15 %, la hauteur de ces cales doit être de 170  $\mu\text{m}$  +/- 20  $\mu\text{m}$ .  
Ces cales seront utilisées dans une largeur de 1 à 2 mm.

Le matériau utilisé doit présenter les caractéristiques suivantes :

- très bonne tenue mécanique en hauteur (< 3%)
- très bon isolement résistif transversal (> 10<sup>6</sup> Mohms)
- très bon isolement diélectrique (> 5 kV)
- très faible pouvoir de contamination
- faible pouvoir de corrosion électrolytique

Les épaisseurs nécessaires concernant ce type de matériau sont :

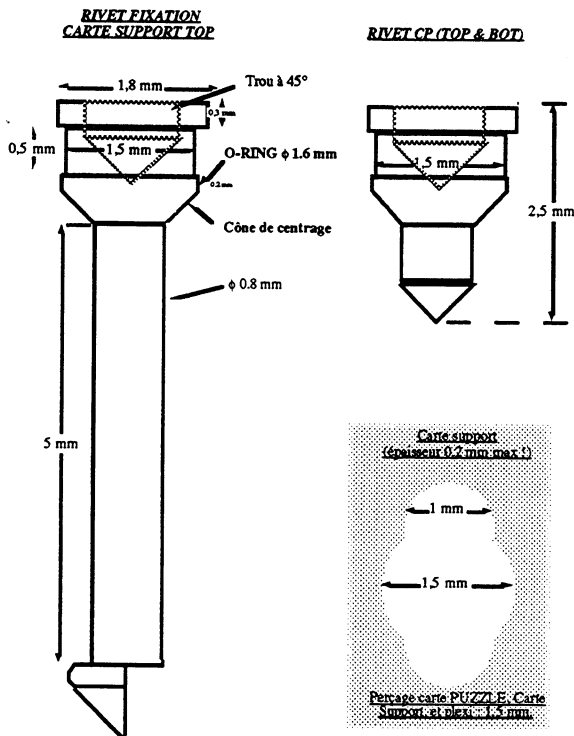
- 160 à 170  $\mu\text{m}$  pour le MAF 200  $\mu\text{m}$  de SHIN-ETSU
- 320 à 340  $\mu\text{m}$  pour le MAF 400  $\mu\text{m}$  de SHIN-ETSU
- 200  $\mu\text{m}$  pour le matériau AT&T.
- 225 à 250  $\mu\text{m}$  pour le FUJIPOLY WSS
- 425 à 450  $\mu\text{m}$  pour le FUJIPOLY WBS

NB : ces épaisseurs dépendent de l'existence de VE sur les CMS.

### 3.1.3.6 Le rivet de positionnement / fixation des CMS

Les cartes Miroir doivent être positionnées de manière très précise, en même temps que fixées sur la carte support.

Nous avons défini un rivet spécial à cet effet, décrit par la figure suivante :



*Rivet de fixation / positionnement des CMS*

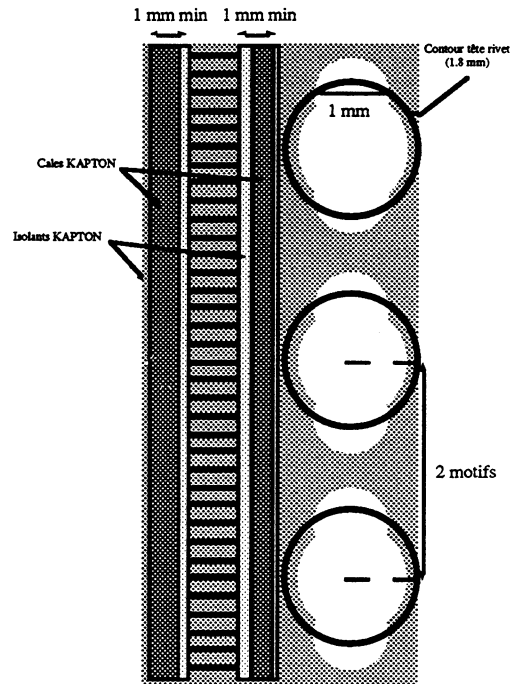
Voici le rivet tel qu'il a l'air de s'imposer. La queue ne sert a priori qu'à la manipulation. Ainsi une longueur total du rivet de 3 mm suffit largement. On prévoira une deuxième version de rivet identique au niveau de la tête, mais dont la queue sera plus longue et terminée par un O-ring qui servira à arrimer la

carte support pour la face TOP, en 4 endroits, de telle manière qu'on puisse l'enlever facilement si on le souhaite.

NB 1 : les rivets sont alors totalement réutilisables.

NB 2 : l'O-ring côté CAT pourra être amené à disparaître.

Les CMS vont donc finalement avoir l'apparence suivante :



Apparence finale des CMS V2.0

### 3.1.4 L'algorithmique de la génération des CMS IMD

NB : le paragraphe 3.1.4 correspond à un développement effectué par Mr Philippe Toureille, sous les responsabilités de l'auteur du présent rapport.

#### 3.1.4.1 Formatage

##### *3.1.4.1.1 Méthodes générales de formatage - méthode choisie*

Le programme `format(cad,nom_fichier)` permet la mise en forme d'un fichier ASCII sortant de l'un des programmes CAD/CAM compatible avec le système de test IMD. Il réalise aussi le stockage en RAM des points de test et des numéros de NET. Le format de ce fichier devra être connu et sera transmis à la sous-routine `format` par l'intermédiaire de la variable `cad`.

Etant donné le faible nombre de types de formats que nous allons utiliser, il est préférable d'utiliser une fonction spécifique et adaptée par fichier traité. Cependant, il sera possible de créer un programme global (peu performant en temps) qui sera capable de reconnaître le format des fichiers et dont les données extraites pour être formatées seront paramétrables. Ce programme pourra, qui plus est, servir de passerelle GERBER en entrée du système. Un programme qui réalise la passerelle entre divers types de fichiers ASCII est un outil puissant, mais sa réalisation semble assez longue à effectuer.

##### *3.1.4.1.2 Le programme `format(cad,nom_fichier)`*

`format(cad,nom_fichier,x_c_t,y_c_t,x_c_b,y_c_b,net_t,net_b,long_t,long_b)`  
réf E1/P2.9.2

Le programme `format(cad,nom_fichier)` sera la première étape de l'extraction de données par la liaison CAO. Ce programme extrait les points de test ainsi que les numéros d'équipotentielle du fichier sortie du CAD/CAM. Dans la version 0 de la liaison CAO IMD, ces données sont directement stockées en mémoire RAM. En effet, on s'affranchit ici des problèmes de temps d'accès aux mémoires de masse. De plus, le temps d'accès au disque dur étant plus faible que celui des disquettes, il pourra être utile de copier les fichiers entrée sur disque dur afin de réduire les temps de traitement. Cette copie pourra être réalisée de manière automatique par la liaison CAO dans le répertoire IMDTEMP. Le problème du stockage direct en RAM provient du nombre sans cesse croissant de points de test à traiter et il sera peut être nécessaire de lire des lots successifs de N points afin de ne pas encombrer la RAM disponible. Une telle segmentation des données traitées n'est pas idéale car elle pose des problèmes pour le tri qui est indispensable à la partie RDF de la liaison CAO. Dans la version initiale du logiciel 10 tableaux de données sont créés. Les tableaux sont déclarés avec des pointeurs de type `far` qui permettent un adressage sur 32 bit et donnent directement accès aux 640.000 octets du MOS-DOS. Dans une version ultérieure du logiciel on pourra envisager l'utilisation de la mémoire étendue pour stocker les points de test.

`x_c_t` = abscisse d'un point de test sur la face supérieure du circuit à tester

`y_c_t` = ordonnée d'un point de test sur la face supérieure du circuit à tester

`net_t` = numéro d'un point de test sur la face supérieure du circuit à tester

`long_t` = nombre d'éléments sur la face supérieure

`x_c_b, y_c_b, net_b, long_b` : même chose pour la face inférieure

La variable `cad` est un entier qui permet de choisir le type de fichier à formater.

1 = fichier type FABMASTER

2 = fichier type ECAM

3..10 = formats disponibles

##### *3.1.4.1.3 Méthode générale de formatage*

En règle générale, un fichier ASCII se compose de différentes lignes, elles-mêmes subdivisées en champs. L'idée est de scruter plusieurs lignes afin de lire leur format pour pouvoir ensuite stocker chaque champs dans une structure. Les difficultés résident dans la multiplicité des séparateurs de champs, dans la non-unicité du séparateur pour un champs donné et dans l'absence de certains champs.

**Exemple concret**

Données lues :

/commentaire

```
$champ1 %champ2 * champ3 champ4 champ5
      *champ3 champ5
```

Données ASCII :

Editeur 1

```
/c o m m e n t a i r e FL LF $ c h a m p 1      % c h a m p 2      ...      FL LF
      (n espaces)                * c h a m p 3 ...
```

Editeur 2

```
/c o m m e n t a i r e FL LF $ c h a m p 1 TAB % c h a m p 2 TAB ...
09 09 *champ3
```

FL = fin de ligne

LF = ligne suivante

TAB = caractère de tabulation

09 = caractère particulier à l'éditeur qui est interprété et traité quand une impression est demandée

La majorité des fichiers ASCII est cependant visualisable directement par la commande type du MS-DOS ce qui laisse supposer que les séparateurs sont standardisés et en nombre fini. Lors de la réalisation d'un formatage standard il faudra connaître tous les séparateurs standards ainsi que les données relatives à des informations.

Le principe de l'apprentissage du format est la distinction de l'information et des séparateurs. Seront considérées comme information certains caractères ASCII à définir (exemple : lettres, chiffres...).

**Quelques codes ASCII significatifs**

HEX	DEC	CODE
0A	10	ligne suivante
0D	13	fin ligne
09	09	HT, marque de tabulation ?
1A	26	fin fichier

La fonction fgetc() du langage C retourne -1 pour la fin de fichier. Pour l'écriture du formatage global il sera nécessaire de connaître toutes les informations relatives à la mise en forme des fichiers ASCII ainsi que les valeurs retournées par les diverses fonctions de lecture dans un fichier du langage C et normes au niveau du MSDOS.

**3.1.4.2 Tri - RDF*****3.1.4.2.1 Le tri:***

Le fichier de points de test du circuit imprimé nu à tester, qui vient d'être formaté, va ensuite être traité, afin de reconnaître les zones complexes qui ne peuvent pas être atteintes directement par un lit de clous. La procédure de formatage fournit le nombre de points de test du fichier TOP et le nombre de points de test du fichier BOTTOM, ainsi que les tableaux de taille n suivants :

- x\_c\_t est le tableau des abscisses des points de test du fichier TOP,
- y\_c\_t est le tableau des ordonnées des points de test du fichier TOP,
- x\_c\_b est le tableau des abscisses des points de test du fichier BOTTOM,
- y\_c\_b est le tableau des ordonnées des points de test du fichier BOTTOM,
- net\_t est le tableau des équipotentielles du fichier TOP,
- net\_b est le tableau des équipotentielles du fichier BOTTOM.

La procédure de traitement est la même pour le fichier TOP et pour le fichier BOTTOM ; Elle débute par un tri du fichier de points de test dans le sens des abscisses croissantes, et à abscisse égale, dans le sens des ordonnées croissantes. La procédure qui réalise ce tri est **TRIXY(G,D,tabx,taby,tabN)**, référencée E1/P2.9.3, où tabx et taby sont les pointeurs vers les tableaux de coordonnées de type *long int* et où tabN est un tableau des équipotentielles de type *int*. G et D sont respectivement l'indice minimum et l'indice maximum du segment des tableaux sur lesquels le tri s'opère. Au cours de ce tri, on opère des permutations d'éléments de tableaux, en appelant la procédure **SWAPTAB1(px,py)**, référencée E1/P2.9.4, qui permute deux objets de type *long int* ou en appelant la procédure **SWAPTAB2(px,py)**, référencée E1/P2.9.5, qui permute deux objets de type *int*.

La méthode de tri choisie ici, est dérivée du tri par segmentation : Elle est appelée "tri rapide" et a été développée par HOARE. Elle s'avère être très adaptée au tri de tableaux qui peuvent être de grande taille et qui ne présentent aucune caractéristique de pré-tri qui aurait, éventuellement, pu simplifier ce travail. Ce tri est basé sur l'idée qu'on améliore les performances de tri en effectuant les permutations d'éléments de tableau sur des éléments distants et pas forcément successifs.

Dans la méthode de HOARE, on prend un élément au hasard, appelé "x", dans le tableau à trier. On parcourt le tableau à partir de l'élément le plus à gauche, d'indice G, jusqu'à trouver un élément d'indice i supérieur à x pour la relation d'ordre que l'on s'est fixée. On parcourt également le tableau à partir de l'élément le plus à droite, d'indice D, jusqu'à trouver un élément d'indice j inférieur à x pour cette même relation d'ordre. On permute alors les deux éléments d'indices i et j et on continue ce processus de parcours et permutation jusqu'à ce que les deux balayages se rencontrent quelque part dans le milieu du tableau. L'indice i doit être inférieur à l'indice j pour qu'il y ait permutation, sinon, on sort de la présente étape de segmentation.

Il en résulte alors que le tableau est maintenant segmenté en une partie gauche qui contient tous les éléments inférieurs ou égaux à x, et une partie droite contenant tous les éléments supérieurs ou égaux à x. Il est facile de passer de la partition du tableau au tri du tableau : Après avoir segmenté un tableau, il suffit de réappliquer le même processus aux deux segments du tableau, puis aux segments de ces segments... Cet appel récursif à la procédure de tri, en changeant à chaque fois les indices G et D permet d'arriver à ce que chaque segment ne soit plus constitué que d'un élément unique.

L'exemple suivant, qui porte sur le tri de huit éléments, permet de comprendre la méthode de HOARE : On choisit de segmenter par rapport à l'élément de valeur 42 dans le tableau suivant: 44 ; 55 ; 12 ; 42 ; 94 ; 06 ; 18 ; 67 ;

On réalise d'abord la permutation de 18 et 44, puis celle de 06 et 55 et le tableau est alors segmenté de la façon suivante, 18 ; 06 ; 12 ; 42 ; 94 ; 55 ; 44 ; 67 ;

Les valeurs des indices i et j dans ce tableau à huit éléments sont respectivement de 4 et 2 (les indices vont de 0 à 7) ; En effet, en venant de la droite du tableau, on s'arrête à la valeur 12 qui est inférieure à 42 et en venant de la gauche, on s'arrête à la valeur 94 qui est supérieure à 42,

mais la permutation de ces deux éléments n'a pas lieu, contrairement aux deux précédentes, car i est supérieur à j.

Puis le tri continue, en segmentant maintenant, les deux segments d'indices 0 à 2 d'une part et 4 à 7 d'autre part.

Dans le cas de notre application, la relation d'ordre porte sur deux tableaux de coordonnées et lors des permutations, on permute dans les deux tableaux de coordonnées, les deux éléments d'indices concernés. Avant le tri, dans le tableau d'abscisses, dans le tableau d'ordonnées et dans le tableau d'équipotentielles, un même indice fait référence aux trois caractéristiques d'un même point ; Il faut qu'il en soit de même après le tri, c'est pourquoi, on effectue aussi une permutation dans le tableau des équipotentielles, grâce à **SWAPTAB2 (E1/P2.9.5)**.

### 3.1.4.2.2 La reconnaissance des points proches:

Elle se réalise sur les tableaux précédemment triés dans le sens des abscisses croissants et pour un même abscisse dans le sens des ordonnées croissantes.

On passe à la procédure **RDF(n,tabx,taby,tabN,tabL)**, référencée E1/P2.9.6, un pointeur vers le tableau des abscisses, un pointeur vers le tableau des ordonnées, un pointeur vers le tableau des équipotentielles et la taille "n" de ces tableaux ; On crée, dans cette procédure, un nouveau tableau d'entiers de taille n qui stocke le numéro de la classe à laquelle le point, d'indice associé, appartient. Ce tableau est initialisé avec des zéros et les éléments correspondants à des points isolés, après cette présente étape de reconnaissance, resteront à cette valeur.

Dans les organigrammes correspondants à la reconnaissance de formes, la notation  $D1(i,k)$  est la distance entre les abscisses des points d'indices i et k ; La notation  $D2(i,k)$  est la distance euclidienne entre les points d'indices i et k.

Pour tous les points d'indices  $i = 0$  à  $i = n-1$ , on regarde d'abord s'il existe un point d'indice supérieur dans le fichier trié, qui lui est proche. Si le point immédiatement supérieur, a un abscisse beaucoup plus grand (c'est à dire que la distance entre leurs deux abscisses,  $D1$ , est supérieure au seuil que l'on a choisi), il est inutile de poursuivre la recherche, sinon on scrute tout le fichier jusqu'au dernier élément, en considérant la distance euclidienne entre le point d'indice i et les points d'indices supérieurs (à chaque incrémentation, on vérifie d'abord que  $D1$  est inférieure au seuil). Pour que le point d'indice i ait un point proche, il faut que l'on trouve un point tel qu'entre eux deux,  $D2$  soit inférieure à un seuil que l'on choisit.

Dès qu'on trouve un point proche, si ce point proche a une valeur de classe égale à 0, cela veut dire que ce point n'a pas encore été classé dans un ensemble de points proches ; On vient donc de trouver une nouvelle classe, actuellement constituée de deux éléments, et on appelle la procédure **ligne(dx,d,i,k,l,tabx,taby,tabN,tabL,n)**, référencée E1/P2.9.8, qui va poursuivre la recherche des points de cette classe. Si ce point proche appartient déjà à une autre classe, alors le point d'indice i entre dans cette même classe ( $tabL(i)$  est modifié en conséquence).

Si on n'a pas trouvé de point proche au point d'indice i en scrutant le fichier vers les points d'indices supérieurs, on étudie le fichier vers les points d'indices inférieurs (i doit être au moins égal à 1), en appelant la procédure **RDF\_inv(i,tabx,taby,tabL,dx,d)**, référencée E1/P2.9.7 : On sait déjà qu'on ne pourra pas trouver de point proche à celui d'indice i, qui n'appartienne à aucune classe (ce cas est impossible car il a, normalement, été détecté, précédemment lors de la recherche dans l'autre sens). On passe à la procédure **RDF\_inv**, les pointeurs vers les tableaux des caractéristiques de points de test, et un pointeur vers l'indice i du point isolé, ainsi que les valeurs des seuils servant à la recherche de points proches ; On recherche un point proche à i, jusqu'à atteindre le début du fichier et si on trouve un point proche, celui-ci est forcément dans une classe ; Le point d'indice i entre alors dans cette classe ( $tabL(i)$  est modifié en conséquence).

La procédure **ligne**, est appelée par la procédure **RDF**, lorsque celle-ci a déjà reconnu deux points proches ; On passe à **ligne**, des pointeurs vers le numéro de classe courant (c'est la variable l) et vers les indices i et k des deux points proches reconnus par la procédure **RDF**. **ligne** poursuit la recherche d'un point proche au point d'indice k, dans le sens des indices croissants des tableaux, et ainsi de suite, et affecte un nouveau numéro de classe (elle incrémente le numéro courant) à l'ensemble de points proches qu'elle reconnaît.

Si un point proche, trouvé dans la procédure **ligne**, a déjà un numéro de classe différent de 0, cela veut dire que la classe, en train d'être reconnue, est à rattacher à une autre classe, déjà existante, ce qu'on fait, en réaffectant les numéros de classe de la ligne en train d'être reconnue, et en renvoyant à **RDF** un numéro de classe courante décrétement de 1 (c'est à dire la même valeur l que la procédure **ligne** a reçue de la procédure **RDF**).

Lorsque ce cycle de reconnaissance est fini, on appelle la procédure **ligne\_inv(dx,d,k,tabx,taby,tabL,n,l)**, référencée E1/P2.9.9, à laquelle on passe un pointeur vers k (indice du dernier point de la ligne précédemment reconnue), vers l (numéro de classe courante) et vers les tableaux d'abscisses, d'ordonnées et de classes. On recherche, de la même façon, des points proches au point d'indice k, en scrutant les éléments de tableaux vers le début du tableau. On ne s'intéresse



qu'aux points non isolés, ayant un numéro de classe différent de celui du point d'indice  $k$ . Si on trouve un tel point, ce dernier appartient donc à une classe différente de celle de  $k$ , tout en étant proche du point d'indice  $k$  avec les seuils  $dx$  et  $d$  que l'on a choisi ; il faut, alors, fusionner les deux classes : Les éléments de la classe de  $k$  changent de numéro de classe et toutes les classes de numéros supérieurs voient leurs numéros être décrémentés de 1. Le numéro de classe courante est, lui aussi, décrémenté de 1 et repassé à la procédure **ligne**, qui le repasse, elle même, à la procédure **RDF**.

L'intérêt des procédures **RDF\_inv** et **ligne\_inv**, s'explique si on considère la classe de points proches suivante :

```

X6
X3
X5
X2
X4
X1

```

On a vu, par une expérience, que si le pas est le même entre  $X1$ ,  $X2$  et  $X3$  et égal à 100 millièmes de pouce, et de même entre  $X4$ ,  $X5$  et  $X6$ , et que si le pas entre les deux ensembles ( $X1$ ,  $X2$ ,  $X3$ ) et ( $X4$ ,  $X5$ ,  $X6$ ) est de 30 millièmes de pouce, alors, en se fixant une limite de 100 millièmes de pouce sur les seuils  $dx$  et  $d$  pour, respectivement, les distances  $D1$  et  $D2$ , on trouve les classes de points proches suivantes :

( $X1$ ,  $X2$ ,  $X4$ ) ; ( $X3$ ,  $X5$ ) ;  $X6$  est, quant à lui, reconnu comme étant un point isolé. On aboutit donc à une aberration sans **RDF\_inv** et **ligne\_inv**.

Grâce à **ligne\_inv**, on trouve, en revanche, que le point d'indice  $k = 5$  est éloigné du point d'indice 4, proche du point d'indice 3 mais celui-ci a le même numéro de classe, et, enfin, proche du point d'indice 2 qui n'a pas le même numéro de classe : On fusionne donc les classes ( $X1$ ,  $X2$ ,  $X4$ ) et ( $X3$ ,  $X5$ ).

Ensuite, lors de **RDF**, le point d'indice 6 n'a pas de point proche dans le sens des indices croissants ; **RDF\_inv** est alors appelée et permet de le rattacher à la classe ( $X1$ ,  $X2$ ,  $X3$ ,  $X4$ ,  $X5$ ).

### 3.1.4.2.3 Le tri des classes

Avant d'étudier les classes qui viennent d'être reconnues (et qui ne sont pas forcément des lignes), on trie les points de test selon leur numéro de classe (c'est à dire qu'on considère le tableau  $tabL$ ) et pour chaque classe, on conserve le classement dans le sens croissant des abscisses. La méthode de tri par Hoare s'est révélée inadaptée ici, pour la relation d'ordre choisie qui est un classement sur le numéro de classe ; L'existence de nombreux points ayant le même numéro de classe pose, en effet, un problème pour la réalisation de ce tri.

On réalise donc un tri par permutation simple, dont l'algorithme est basé sur le principe de la comparaison et de l'échange de couples d'éléments adjacents jusqu'à ce que tous les éléments soient triés. On effectue des passes successives sur le tableau à trier, en faisant glisser chaque fois, le plus petit élément de l'ensemble restant à trier vers l'extrémité gauche de cet ensemble. Ce tri est réalisé par la procédure **TRILIG(n,tabx,taby,tabL,tabN)**, référencée E1/P2.9.11.

Considérons, par exemple, l'ensemble des huit valeurs suivantes à trier : On va réaliser huit passes sur ce tableau, les trois dernières étant d'ailleurs inutiles (l'indice  $i$  fait référence au numéro de la passe, et l'indice  $j$  fait référence à l'indice des éléments du tableau à trier).

j	i=1	i=2	i=3	i=4	i=5	i=6	i=7	i=8
0	44	06	06	06	06	06	06	06
1	55	44	12	12	12	12	12	12
2	12	55	44	18	18	18	18	18
3	42	12	55	44	42	42	42	42
4	94	42	18	55	44	44	44	44
5	18	94	42	42	55	55	55	55

---

6	06	18	94	67	67	67	67	67
7	67	67	67	94	94	94	94	94

Lors de la première passe, on va de  $j=7$  à 1 et on permute  $\text{tabL}(j-1)$  et  $\text{tabL}(j)$  si  $\text{tabL}(j-1)$  est supérieur à  $\text{tabL}(j)$ , ainsi le plus petit des éléments du tableau a maintenant l'indice 0. On poursuit ensuite le tri, en considérant, lors de la deuxième passe, l'indice  $j$  de 7 à 2. Dans la huitième passe, on ne considère que les éléments d'indices  $j=7$  et  $j=6$ .

Dans notre application, il y a quatre tableaux de caractéristiques pour l'ensemble des points de test : L'un pour les abscisses, l'un pour les ordonnées, l'un pour les équipotentielles, et l'un pour les classes ; Il faut qu'un indice  $i$  reste associé à un seul et même point, aussi, lors du tri sur le tableau des numéros de classes, on effectue des permutations sur les quatre tableaux, grâce aux procédures **SWAPTAB1** et **SWAPTAB2**, respectivement référencées E1/P2.9.4 et E1/P2.9.5.

#### 3.1.4.2.4 Sauve garde des fichiers créés lors de la RDF

**SAUVET(nom\_fichier,n,tabx,taby,tabN,tabL)**, référencée E1/P2.9.12.1, sauvegarde les points de test du fichier de la face supérieure du circuit imprimé (dit fichier TOP), après les étapes de reconnaissance des formes et du tri des classes.

On lui passe les pointeurs vers les tableaux de caractéristiques des points de test ; Ils sont classés par numéros de classes, et à numéro égal, par coordonnées croissantes, l'abscisse étant privilégiée. La chaîne, de nom "nom\_fichier", a été lue dans la procédure **generation** (E1/P2.9). C'est le nom complet (préfixe et extension) du fichier de données que l'on traite.

On va sauvegarder les tableaux des caractéristiques des points de test de la face supérieure, dans un fichier dont le nom a le préfixe du nom du fichier initial et a l'extension **.rdd**.

**SAUVEB(nom\_fichier,n,tabx,taby,tabN,tabL)**, référencée E1/P2.9.12.2, réalise une opération similaire pour les points de test du fichier de la face inférieure du circuit imprimé (dit fichier BOTTOM). L'extension est, ici, **.rdb**.

### 3.1.4.3 Traitement des lignes

**void traitlig(n,tabx,taby,tabN,tabL,tabxp,tabypl,ptr\_carte)**  
réf E1/P2.9.15

Après l'étape de RDF les lignes seront traitées afin de trouver les points de test ramenés sur les faces supérieures de carte miroir. Le programme **traitlig()** appelle séquentiellement chaque une des lignes et les traite afin de les regrouper par catégorie. A chaque étape, un type de ligne est extrait pour être étudié. La version 0 de la liaison CAO IMD n'a pas la prétention de résoudre tous les problèmes relatifs aux composants complexes mais elle permet de traiter de manière automatique les cas simples (majorité des circuits sur le marché), d'isoler de manière précise les divers types de problème qui pourront être rencontrés et de connaître le type de carte miroir à prévoir. Ainsi les problèmes sont décomposables en quatre classes.

#### **Problèmes de type 1:**

Le premier test est basé sur la surface de la ligne en cours. En effet la fonction **traitlig()** stocke la ligne de travail dans un tableau **ligne1**. Longueur et largeur de la ligne traitées sont calculées. Si la largeur de la ligne est supérieure à un seuil (par exemple 150 millièmes d'INCH) la ligne présente un problème de type 1. Cette première étape permettra d'extraire les composants de densité élevée tels que les PGA (pin grid array) ainsi que les zones de points spéciales. La génération des données pour un composant fortement oblique devra être étudiée de manière automatique au moyen de cartes puzzle. Les problèmes des PGA seront plus difficiles à résoudre du fait de leur densité qui sera parfois supérieure à celle du testeur lui-même. Une carte miroir entière spécifique pourra être utilisée pour ce type de composant.

**Problèmes de type 2:**

Les lignes qui ne satisfont pas à cette condition sont ensuite réalignées selon leur plus petite dimension et stockées dans les tableaux ligne2 et ligne3 pour standardiser le traitement des lignes horizontales et des lignes verticales.

Format des tableaux ligne 2 et 3:

ligne2(0.. long\_ligne-1) <-- x ou y du point (x si horizontal, y sinon)

ligne2( long\_ligne) <-- autre coordonnée du point : (YMAX+YMIN)/2 pour ligne horizontale)

ligne2( long\_ligne+1) <-- sens : 0 si verticale 1 sinon

ligne2( long\_ligne+2) <-- X ou Y MAX

ligne2( long\_ligne+3) <-- X ou Y MIN

On recherche ensuite le pas de cette ligne. Le pas est par définition le plus petit écart entre deux points de ligne2. Si le pas est inférieur à un seuil (par exemple 10 mil INCH qui correspond à la résolution limite du testeur) le composant est classé dans les problèmes de type 2. Dans l'état actuel de la technologie CMS ce pas ne devrait jamais être atteint. Cependant il est possible que des points de test se superposent après réalignement. Il faudra donc comparer les tableaux ligne1 et ligne 2 pour voir ce qu'il en est. Dans un futur proche la résolution limite des 10mI pourra être franchie par les circuits de type TAB (Tape Automated Bounding) et une carte miroir spécifique qui déborderait de l'empreinte pourrait être créée.

**Problèmes de type 3**

Quand le pas est trouvé on vérifie que les points de la ligne sont tous distants d'un multiple du pas avec une certaine tolérance (par exemple 5mI). Si ce n'est pas le cas on a un problème3 qui regroupe les lignes faiblement obliques et les lignes qui n'ont pas de pas régulier.

**Problèmes de type 4**

Une vérification finale sur les lignes à pas régulier sera faite afin d'informer l'utilisateur s'il manque plus de n de pads à un composant. Cette vérification n'est pas indispensable mais elle permet une vérification finale.

**Composants "classiques"**

Le testeur IMD a été conçu afin que la majorité des composants CMS soient "classiques". Pour ces composants la génération des données de perçage et d'outillage est automatique. Elle est décrite dans la partie relative aux cartes puzzle. Des tests effectués sur des composants réels ont permis de mettre en évidence quelques petits problèmes de superposition qui pourront être résolus par simple retournement des cartes puzzle.

**3.1.4.4 Edition GERBER**

**CREGBRBOT(nom\_fichier,n,tax,taby,talL)**, référencée E1/P2.9.13, sauvegarde les points du fichier BOTTOM, (juste après les étapes de reconnaissance des classes de points proches et de tri de ces classes et avant l'étape de traitement de ces classes), sous la forme d'un fichier de type GERBER, éditable par le CAD/CAM associé au logiciel I.M.D.. Les numéros d'équipotentielle des points ne sont pas nécessaires ici.

Pour comprendre, plus précisément, les instructions codées dans ce fichier, il est préférable de se reporter à une documentation sur le GERBER. Toutefois, on peut indiquer le sens des principales lignes d'instructions écrites dans ce fichier GERBER de sauvegarde. Le nom de ce dernier fichier a le même préfixe que le fichier initial qui vient d'être traité (son nom est "nom\_fichier" et a été lu dans la procédure **generation**, référencée E1/P2.9) et il a l'extension **.grb**.

La première ligne de commande est :

**X0Y0D02\***

Elle marque le début du fichier, avec déclaration d'une origine ; Ensuite suivent les lignes d'instructions relatives aux commandes de traçage des emplacements des points de test ; En pratique, ce ne sont pas des traçages, mais plutôt des flashes réalisés par une tête optique, ces flashes ayant des tailles variables ; Ces tailles sont aussi appelées des apertures (les différentes apertures des points de test à tracer sont stochées dans un fichier, ce fichier doit être chargé au CAM qui va éditer le fichier GERBER ; Si on ne charge pas ce fichier, le CAM donne aux points la même ouverture par défaut).

Dans ce fichier de sauvegarde, qui suit l'étape de reconnaissance des classes, on affecte une ouverture particulière à chaque classe (à partir de D101), une ouverture particulière aux points isolés notée D100 et une ouverture particulière à l'ensemble formé par l'origine et les locatings notée D73. La commande est la même pour chaque ensemble de points ; On déclare d'abord l'ouverture puis la liste des points concernés par cette ouverture ; Par exemple, pour l'origine et les locatings, on a les lignes d'instructions suivantes :

D73\*

XmaxY0D03\*

X0YmaxD03\*

Y0D03\*

D03 signifie que l'on réalise un flash de la taille spécifiée précédemment.

Après ces commandes de flashes, viennent les commandes de traçage de lignes : Dans le présent fichier de sauvegarde, on ne trace que les axes de coordonnées, avec un motif de traçage qui est déclaré de la même façon qu'une ouverture pour un ensemble de points. On a choisi de coder le motif de traçage par D12 qui doit être précédemment chargé au CAM, et si ce n'est pas le cas, celui-ci donne à D12 une valeur par défaut. Les codes D02 et D01 interviennent dans le traçage de lignes, et spécifient les deux extrémités d'un trait à tracer. Ainsi, pour le tracé des axes de coordonnées, la séquence des instructions à écrire dans le fichier de sauvegarde est :

D12\*

X0Y0D02\*

YmaxD01\*

Y0D02\*

XmaxD01\*

Enfin, la commande suivante, en fin du fichier de sauvegarde :

M02\*

indique la fin d'un fichier de type GERBER.

**CREGBRTOP(nom\_fichier,n,tabx,taby,tabL)** , référencée E1/P2.9.14, réalise la même sauvegarde pour le fichier TOP ; L'extension est, ici, **.grt**.

**CREGBRBOT** et **CREGBRTOP** ouvrent des fichiers de type GERBER, avant l'étape de traitement des classes, réalisée par la procédure **TRAITLIG**, référencée E1/P2.9.15.

Après l'étape de traitement des classes, on souhaite éditer deux fichiers GERBER, l'un pour la face TOP et l'un pour la face BOTTOM, contenant tous les points (c'est à dire toutes les instructions écrites dans les fichiers **.grb** et **.grt**) ainsi que les cartes puzzle associées à certaines classes de points proches pour les seuils que l'on a choisi. Les classes retenues pour l'instant, sont les lignes, soit horizontales, soit verticales (ceci est également déterminé par un seuil sur l'écart entre les coordonnées extrémaux des points de la classe considérée) ; Parmi ces lignes, on a retenu celles qui ont un pas régulier ou des pas différents mais multiples entre eux, et celles à qui il ne manque pas un nombre de points supérieurs à un certain seuil choisi par l'utilisateur.

Le fichier GERBER de la face TOP, contenant de telles cartes puzzle, est réalisé par la procédure **CONTOURGBRTOP(nom\_fichier,n,tabx,taby,tabL,l,tabxp,tabyt)**, référencée E1/P2.9.20. "nom\_fichier" est le nom du fichier initial que l'on traite ; Il a été lu dans la procédure **generation** (E1/P2.9). Les caractéristiques des points du fichier TOP sont contenues dans les tableaux **tabx**, **taby** et

---

tabL, le tableau des équipotentielles n'est pas nécessaire ici. "n" est la taille de ces tableaux. Les coordonnées des points de contour de ces cartes ( 8 points par carte puzzle) sont contenues dans les tableaux tabxp et tabyp. La taille de ces tableaux est "l". Dans **CONTOURGBRTOP**, on crée donc un fichier GERBER dont le nom a le préfixe du fichier initial et l'extension **.gpt**. Ce fichier contient des dessins de cartes puzzle, en plus, par rapport au fichier d'extension **.grt**. Ces dessins sont simplement réalisés par des commandes de tracés de lignes entre les huit points de contour d'une carte puzzle. Les lignes d'instructions sont de même type que celles écrites dans le fichier **.grt**.

**CONTOURGBRBOT(nom fichier,n,tabx,taby,tabL,l,tabxp,tabyp)**, référencée E1/P2.9.19, ouvre, de même, un fichier de type GERBER, pour la face **BOTTOM**, contenant tous les points de test et des dessins de cartes puzzle. L'extension de ce nouveau fichier est **.gpb**.

#### 3.1.4.5 Génération finale - vérification des compatibilités

Une fois extraites les données relatives aux cartes miroir, une vérification de la non superposition des cartes et une optimisation du positionnement du circuit sur le lit de clou du testeur sera à envisager. Le testeur IMD est composé de divers modules qui pourront avoir des densités de points de test différentes. Il faudra donc prévoir une vérification de densité entre points sur les faces supérieures de carte miroir et grille du testeur. Cette étude, qui devra être menée avec le partenaire d'industrialisation d'IMD n'a pas été réalisée. Les organigrammes prévisionnels en sont donnés en annexe.

### 3.1.5 Description globale de l'interface mixte IMD

#### 3.1.5.1 Composition sommaire

L'interface mixte IMD se présente sous la forme d'une cassette (K7), ou matrice (test simple face) ou de 2 K7 ou matrices (test double face).

Le principe consiste en une interface à décalage standard, associée localement à des circuits imprimés d'interfaçage de zones hautes densité, dit 'Cartes Miroir' Standard', ou CMS

#### 3.1.5.2 Contraintes générales prises en compte

La liste des contraintes générales à prendre en compte est la suivante :

##### Aiguilles

**A1** - Aiguilles les moins longues possibles, tout en autorisant un décalage de 3 pas (7.5 mm) au moins.

**A2** - Pour des problèmes de compatibilité de grille, le diamètre de corps des aiguilles, côté plaque de base, doit être inférieur à 1.3 mm (1.79 mm - 0.5 mm de pastille pour le perçage).

De préférence, ce diamètre doit être homogène pour toutes les références de pointes.

**A3** - Le corps des aiguilles, sur la plus grande partie de leur longueur devra être inférieur à 0.6 mm.

**A4** - Les trous non métallisés des circuits simple face ne doivent pas poser de problèmes au niveau accès.

**A5** - Les aiguilles doivent être maintenues en position sur la matrice de test lorsque l'opérateur enlève le circuit.

**A6** - Les aiguilles de la matrice (TOP ou BOT) doivent rester en place sous l'effet de la gravité.

**A7** - La forme terminale des aiguilles doit être compatible avec un bon contact électrique --> perforation de la couche d'oxyde.

On pourra également établir ce contact de façon plus sûre en donnant un coup léger sur le CAT, de façon à provoquer une micro-rayure au travers de la couche d'oxyde, ou en utilisant des ultra-sons

Il est à noter que pour obtenir un bon contact, il faut franchir une certaine barrière de potentiel. Le test de continuité devra donc se faire à une tension minimale (12 V ?).

**A8** - Il faut essayer d'avoir le moins possible de références d'aiguilles. Dans ce sens, il serait intéressant que les aiguilles de la matrice TOP soient identiques à celles de la matrice BOT.

##### Plaques

**P1** - Il faut utiliser le moins de plaques possibles, en tous cas, le moins de bandes de perçage possible.

On pourra toutefois percer plusieurs plaques à la fois.

**P2** - Les épaisseurs des plaques spécifiques et plaque de base devront être minimales pour permettre une bonne souplesse au niveau du décalage mais suffisante pour assurer une bonne rigidité.

**P3** - Il faut utiliser de préférence pour les circuits comprenant des faibles pas des plaques réalisées en époxy plutôt qu'en plexi, car ces dernières sont plus sensibles aux variations de température et d'humidité.

##### Ergonomie

**E1** - la CIS où la CII doivent se présenter d'un seul tenant, de manière à être transportable par un opérateur (les considérations de masse ne sont donc pas négligeables).

**E2** - chaque CIS ou CII a une orientation privilégiée : le transport de celles-ci ne doit donner lieu à aucun problème particulier, comme la chute des aiguilles.

**E3** - il serait plus astucieux de charger les aiguilles à partir du côté spécifique, dans la mesure où l'on est sûr de trouver un vis à vis côté plexi grille, ce qui n'est pas le cas si l'on commence à charger côté plexi grille. Cela est systématique pour la CII, mais implique un retournement pour la CIS.

**E4** - les opérations de chargement / déchargement des cassettes doivent être rapides et aisées (moins d'une minute). A cet effet, un chargement / déchargement en mode tiroir serait peut-être intéressant.

**E5** - un point en défaut au niveau de la grille universelle ne doit pas bloquer le système : l'utilisateur doit être à même de changer l'aiguille de place au niveau de la grille universelle, de ré-effectuer l'apprentissage de correspondance, puis enfin de poursuivre le test d'une série de CAT.

**E6** - il faut prévoir l'utilisation des K7 en compatibilité avec la simple et double densité de la grille universelle, par rapport à une cartographie minimale de modules, calculées au moment de la préparation de l'outillage. Cela conduit à la définition de la **notion de caches SD**.

**E7** - pour des raisons de matière et d'ergonomie, la surface de la K7 doit s'adapter à la taille du CAT. La K7 doit ensuite être positionnable à un nombre fini d'endroits sur la grille universelle, de manière à pouvoir jouer sur la répartition des modules SD ou 2D, sans avoir à procéder à une réorganisation systématique de la surface utile de test, pour chaque nouvelle série à tester.

**E8** - La matrice doit être connue de telle manière qu'elle doit permettre les différentes réparation des points de test.

**E9** - Pour pouvoir insérer "au godet" les aiguilles sans être gêné pour celles qui sont déjà tombées, il faut prévoir un lamage dans la plaque spécifique ou une deuxième plaque de diamètre plus gros.

**E10** - il faudra prévoir un outillage comprenant les 2 rangées d'aiguilles d'utilisation du circuit ligne/colonne, de manière à ce que cet outillage soit facilement adaptable à tout type de matrice, sans avoir à repercer les trous de ces même aiguilles pour chaque plaque spécifique.

### Coûts

**C1** - le coût d'outillage doit être très faible : on doit pouvoir réutiliser au maximum les éléments constitutifs des cassettes, c'est à dire les aiguilles, les plaques plexi grille (un trou au perçage coûte environ 3 à 5 centimes). La plaque spécifique n'est par contre pas réutilisable pour un type de circuit à tester différent.

### Locatings

**L1** - L'utilisation du circuit ligne/colonne implique l'utilisation de locatings escamotables pour le circuit à tester.

**L2** - Dans le cas d'un test double face mettre des locatings à une position standard pour indexer la matrice supérieure par rapport à la matrice inférieure.

**L3** - La matrice TOP doit être flottante par rapport au châssis pour pouvoir venir s'indexer sur les locatings de la matrice BOT.

**L4** - Le positionnement des CAT se fera par l'utilisation de locatings. On pourra envisager également un positionnement par le contour du CAT.

**L5** - Le positionnement du circuit ligne/colonne devra lui aussi se faire par des locatings escamotables, pour éviter que ceux-ci ne viennent au contact du plateau supérieur.

### Remarques

**R1** - Étant donnée l'utilisation des cartes miroir, les accès aux plages CMS fines se feront systématiquement au travers d'une carte miroir. De plus, si tant est que le CAT présente de grandes plages CMS à tester, il suffira d'y accéder avec une pointe de taille standard. Ceci conduit à l'assertion suivante :

**Une seule référence d'aiguille CMS pourrait nécessaire pour tous les type de circuits.**

**R2** - La notion de pointe pyramidale peut permettre de faire correspondre 1 seule référence de pointes à toute une gamme de trous métallisés.

**R3** - La définition IMD des points de test implique que les vias ne sont pas testées (d'autant plus qu'elles sont de plus en plus recouvertes de VE).

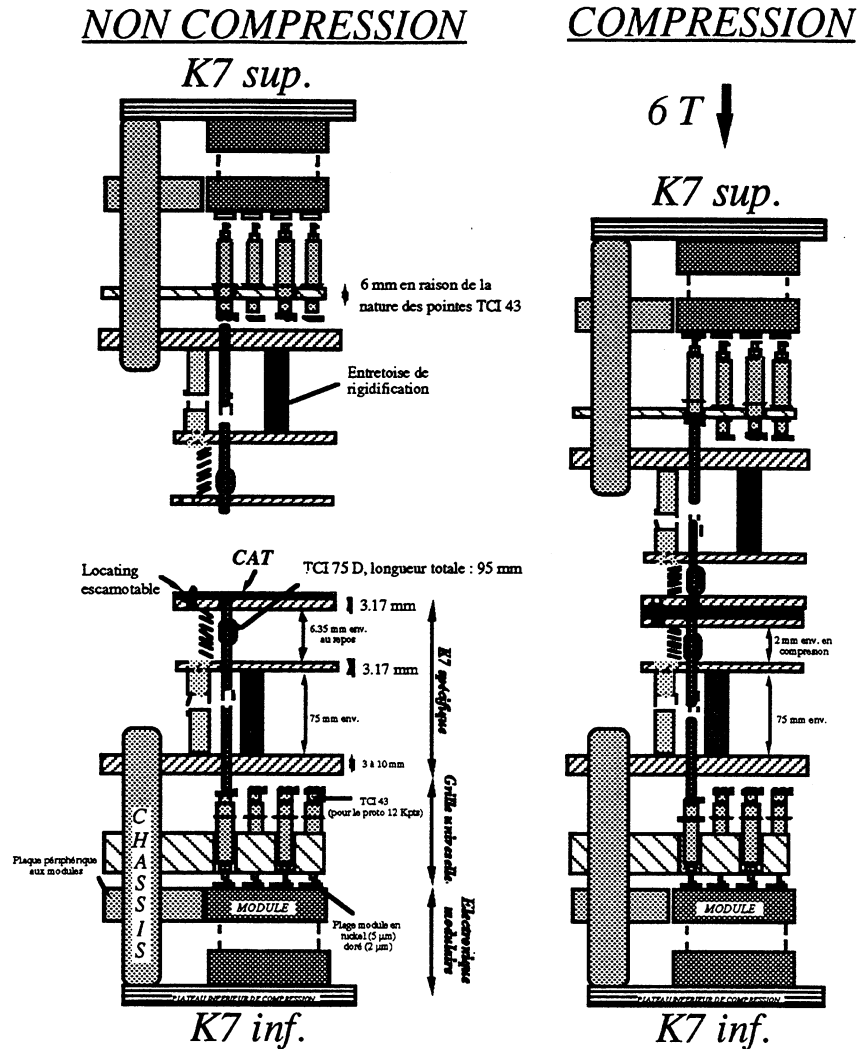
**R4** - 99 % des TM (sauf vias) sont des TM de diamètre 0.8 mm à 1 mm.

**R5** - il serait idéal de n'avoir, pour 99 % des cas, qu'une seule référence de pointes, ce qui faciliterait grandement le montage de la matrice.

**R5** - On peut peut-être envisager, en quasi mono-référence, une aiguille compatible plages CMS et TM à partir de et jusqu'à un certain diamètre.

## 3.1.5.3 Principe de fonctionnement

De manière générale le fonctionnement de l'outillage est défini par la figure suivante :



Principe de la compression de l'outillage IMD

La séquence des différentes prises de contact lors d'un 'run' de test sera alors la suivante :

- 1 - positionnement du CAT sur les locatings de la CII : le CAT repose sur la CII et non sur des pointes émergentes : ces dernières ne doivent pas être comprimées à cet instant, de manière à pouvoir monter les cartes MIROIR directement sur le système .
- 2 - amorçage de la descente de la partie supérieure sur son guidage (l'électronique est mise à la masse).
- 3 - mise en contact de la plaque plexi spécifique supérieure avec le CAT (les pointes de la CIS pendant dans le vide, retenues par le poinçon ou les cartes MIROIR).
- 4 - mise en butée des 2 ensembles : compression d'environ 4 mm des pointes.
- 5 - Accoup éventuel sur le CAT, pour fiabiliser le contact par génération de micro-rayures. Envoi d'un signal 'prêt pour le test' (par lecture des capteurs).
- 6 - Test
- 7 - mise à la masse de l'électronique (qui reste à la masse pendant toute phase de non test)
- 8 - annulation de l'effort de compression : remontée des cassettes sur le ressort. Séparation des locatings.
- 9 - ouverture du système
- 10 - déchargement du circuit - chargement du suivant

- en liaison avec la ou les chaînes fonctionnelles dont il est l'un des éléments :



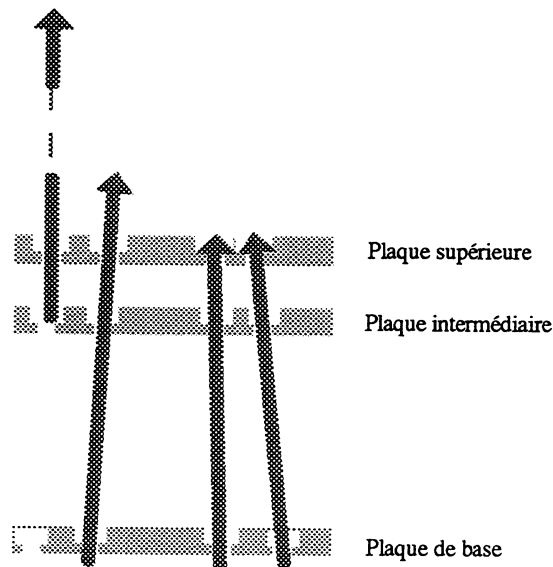
- . chaque K7 interface (qui comprend les plaques de plexi, les pointes à décalage, ainsi que les cartes Miroir) va être en contact avec :
  - . les pointes à double effet de la grille universelle (ce sont ces pointes, qui possèdent un ressort), qui vont doser l'effort transmis par les modules, en fonction de leur course.
  - . le CAT
  - . les locatings communs aux plaques spécifiques et au CAT. Ces locatings seront a priori fixés dans la plaque spécifique inférieure.
  - . avec la plaque de positionnement/protection, disposée sur la grille universelle

NB : on pourra prévoir 2 types d'indexation pour les CAT :

- indexation par des locatings disposés sur la carte plexi spécifique (pour les CAT requérant une certaine précision)
- indexation par les contours du circuit, qu'on déposerait à l'intérieur d'un trou d'une plaque outillage, si la précision de détourage est suffisante pour le positionnement du CAT.

### 3.1.5.4 Agencement interne

On peut alors imaginer le mode de préparation de l'interface suivant :



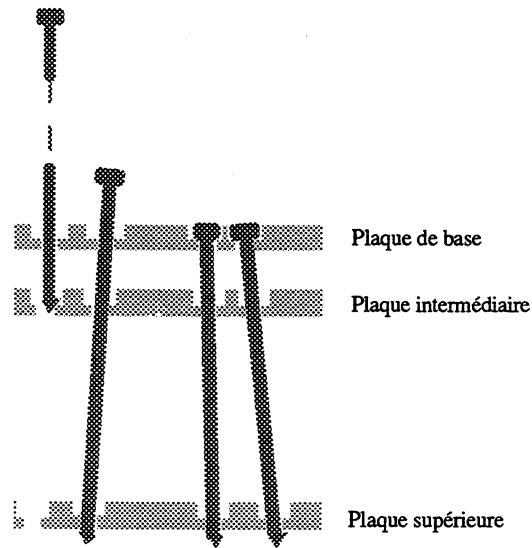
#### Opérations de préparation de l'outillage inférieur

La plaque intermédiaire est à une distance d'environ 1 cm de la plaque supérieure, de telle manière, qu'en fonction du diamètre des trous de la plaque intermédiaire, les aiguilles, insérées au PIN LOADER, ou au "godet", prennent automatiquement l'inclinaison qui va les guider jusqu'au trou de la plaque de base que l'aiguille est censée atteindre.

Cette méthode, employée notamment par Circuit Line a fait ses preuves : elle permet de atteindre des vitesses d'insertion de plus de 1000 pointes à l'heure en manuel.

**Remarque importante :** l'outillage doit être extrêmement rigide. On pourra utiliser un châssis métallique comme base pour supporter les 3 plaques.

Pour la matrice supérieure, le problème est un peu plus compliqué, en raison du maintien nécessaire qu'on doit prévoir pour les pointes :

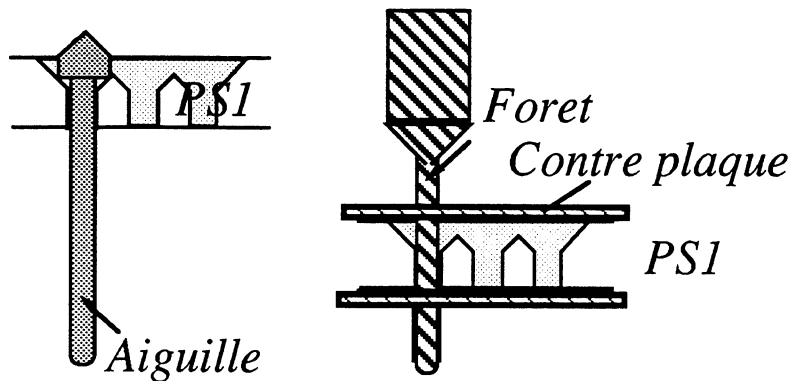


Opérations de préparation de l'outillage supérieur

On remarque que les pointes sont ici différentes des pointes utilisées pour la matrice inférieure.

Cette solution nécessite toutefois :

- soit un perçage en 2 passes, pour réaliser un lamage.
- soit l'utilisation d'un forêt étagé, permettant de réaliser l'équivalent d'un lamage en une passe :



Utilisation de forets étagés

On remarque toutefois que la définition des aiguilles correspondantes ne permet pas simplement le maintien des aiguilles pour la matrice supérieure sans astuce complémentaire.

On peut alors faire les remarques suivantes :

- les points correspondant aux trous métallisés pourront systématiquement être accédés sur l'une des 2 faces, puisqu'il traversent le circuit (sauf pour les trous borgnes).
- On peut alors choisir par défaut la face inférieure. Ce qui a pour conséquence que théoriquement, aucune pointe d'accès à un trou métal ne doit se trouver sur la face supérieure : cette dernière ne devrait comprendre que des aiguilles d'accès à des plages de test.
- seul les pointes d'accès à un trou métallisé pourront avoir une tête supérieure au diamètre le plus large de leur corps.

On impose donc que les aiguilles d'accès aux plages CMS ont une tête de diamètre strictement inférieur (par exemple 0.2 mm) au diamètre max du reste de son corps, ce qui autorisera le maintien de l'aiguille de la matrice inférieure.

- s'il advenait pour raison X (par exemple présence de trous borgnes), qu'on ait des aiguilles d'accès à des trous métallisés, on pourrait utiliser exceptionnellement pour celles-ci des rondelles de caoutchouc élastique qu'on viendrait disposer autour de l'extrémité de l'aiguille correspondant dépassant de la plaque de base de la K7 supérieure, ce qui empêcherait celle-ci de tomber par gravité.

### 3.1.5.5 Définition des pointes

On rappelle qu'on aura les différents éléments suivants :

- Pointes à double effet (grille universelle)
- Aiguilles à décalage (Cassette inférieure et supérieure).

#### 3.1.5.5.1 Pointes à double effet (Grille universelle)

On utilisera des pointes TCI réf. 43 pour le premier prototype, puis de réf 110 pour la suite, qui seront passées au pas de 1.79 mm.

#### 3.1.5.5.2 Aiguilles à décalage

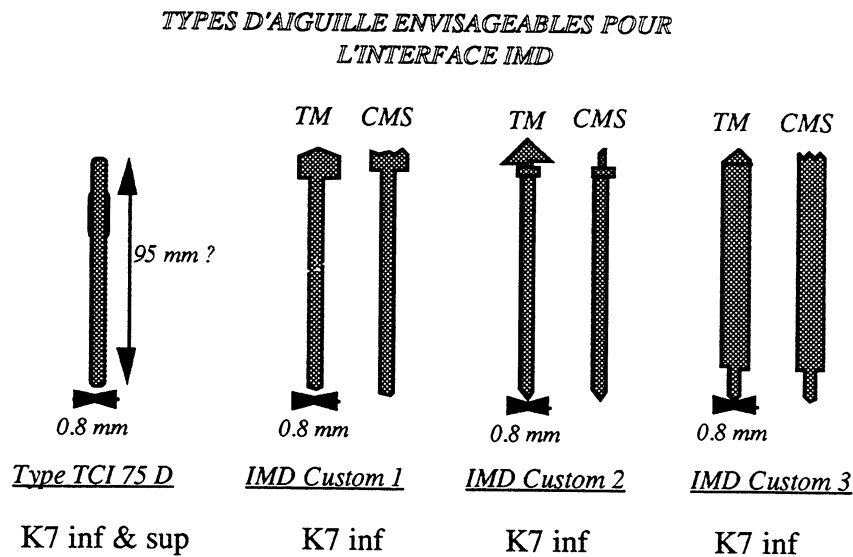
Ces aiguilles ont pour fonction de réaliser le décalage entre l'emplacement du point de test au niveau du CAT ou de la carte MIROIR et de celui correspondant sur la grille universelle.

Usuellement, la concurrence utilise principalement 2 types d'aiguilles, compatibles avec un pas de 1.79 mm :

- corde à piano diamètre 1.45 mm
- corde à piano diamètre 0.9 mm

Les contraintes liées à ces pointes sont explicitées au paragraphe 3.1.5.2 :

Les aiguilles pourront avoir les formes suivantes :



### Solution TCI 75 D

La solution TCI 75 D a cet avantage que l'aiguille existe déjà. Cependant, elle ne conduit pas à un montage industriel de la matrice, dans la mesure où elle implique la disposition d'une plaque de recouvrement, ce qu'il n'est peut-être pas aisé de faire.

Cette solution convient toutefois pour les matrices supérieures ou inférieures, avec les mêmes références d'aiguille.

La nature et la géométrie des extrémités ne va pas dans le sens d'un contact fiable.

#### **Solution IMD Custom 1**

La solution présente des pointes simples, mais non adaptées pour la matrice supérieure, sauf si le diamètre de la tête reste en dessous du diamètre du corps. Cela implique l'utilisation de pointes uniquement CMS, ce qui peut être envisagé compte tenu d'une remarque figurant ci-après.

#### **Solution IMD Custom 2**

Idem.

#### **Solution IMD Custom 3**

Non adaptée à une matrice supérieure, dans tous les cas. L'utilisation de ce type de pointe implique la redéfinition d'un autre type de pointe pour la matrice supérieure.

#### **Solution IMD TCI 71S (50 mm)**

Non adaptée à une matrice supérieure, dans tous les cas. Les aiguilles trop pointues restent accrochées au circuit, ce qui est très gênant.

De plus, les diamètres de corps ne sont pas constants, suivant les versions, alors que la définition de la plaque de base de la matrice implique un diamètre inférieur à 1.2 mm. Il faudra vraisemblablement décoller le corps à un diamètre acceptable. Cela est d'autant plus vrai qu'un corps de fort diamètre (> 0.8 mm) ne se prête pas bien au décalage de pas.

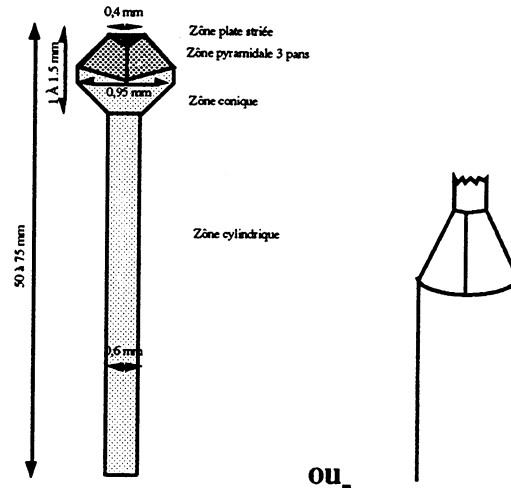
#### **Solution idéale (une seule référence de pointe pour tous les points de test)**

Il existe aujourd'hui en général 2 types de pointes utilisées sur les matrices, avec pour chacun une gamme de diamètres différents.

Or l'utilisation de plusieurs références de pointes présente un certain nombre d'inconvénients :

- . problèmes au niveau d'un PIN LOADER : il faut gérer plusieurs références.
- . problèmes au niveau du démontage de la matrice : il faut trier les pointes
- . problèmes au niveau du montage manuel : il ne faut pas se tromper de référence
- . coût plus élevé.
- . etc...

Or on utilise aujourd'hui une référence pour le CMS et pour les trous métallisés. Si la collerette des trous métallisés est suffisamment large (200 µm), il est possible d'y accéder directement avec une pointe CMS). Or pour les trous acceptant des composants (≠ des vias), c'est systématiquement le cas. Par conséquent, on peut proposer la référence de pointe suivante :



### Pointe mono-référence IMD

Au delà du diamètre 1 mm, par exemple, on utiliserait d'autres aiguilles, plus classiques. On pourrait même tout simplement venir recouvrir la même aiguille avec un bouchon correspondant à un pyramide d'accès à un plus gros diamètre.

Cette pointe est compatible avec un pas de 1.27 mm.

Elle permet l'accès aux trous métal de diamètre compris entre 0.4 mm et 0.9 mm, ce qui représente la majorité des diamètres de trous acceptant des composants.

Pour les autres trous métaux (diamètre supérieur à 0.9 mm), on utilisera la collerette (de largeur supérieure largement à 0.2 mm d'après les normes) comme plage d'accès.

L'utilisation de ce type de pointe implique une gestion précise de la définition d'un point de test, avec les notions de zone d'exclusion et zone d'autorisation pour le point de test, ce qui est prévu au niveau de la base de données IMD.

NB : La longueur des aiguilles est un paramètre à adapter en fonction des critères suivant :

- longueur min = poids min de la matrice montée
- doit autoriser un décalage d'environ 4 mm.
- doit être assez souple

Il faut donc trouver un bon compromis. 70 mm semble cohérent, mais n'est pas figé aujourd'hui.

Ces aiguilles pourront être typiquement ce qu'on appelle de la corde à piano.

Un exemple concret est donné par la documentation TCI, au niveau des références 75D et 85D, qui permettent de descendre à une distance minimale entre 2 aiguilles de 0.635 mm. Une gamme de diamètre allant de 1.3 mm à 0.41 mm est proposée, avec une excroissance supérieure de 0.2 mm au niveau du diamètre.

Chaque extrémité devra permettre un bon contact électrique. Un bout arrondi ne suffira peut-être pas.

Pour les pointes TCI, on distingue :

- des pointes à bout rond, destinées aux contacts avec trous métallisés (PR HT IMD  $\neq$  0.40 F).
- des pointes à bout pointu, destinée aux contacts sur étain-plomb (PR HT IMD  $\neq$  0.40 F)
- des pointes à bout pyramidal 3 arêtes, destinées aux contacts avec trous métallisés (PR HT IMD : > 1 F).

### 3.1.5.5.3 Aiguilles RESSORT

Ce type d'aiguilles peut être utilisé lorsqu'on ne dispose pas d'une grille universelle de pointes à double effet.

Ces aiguilles font office à la fois de grille universelle et d'aiguille interface : elles sont constituées d'une aiguille comme celle définie dans le paragraphe précédent (peut-être à l'excroissance près), qui sont serties dans un réceptacle classique de pointe à ressort.

Il est bien évident qu'on pourra utiliser, de manière exclusive :

- où une aiguille simple associée à une grille universelle
- où une aiguille à ressort.

C'est l'utilisateur qui choisira (voir paragraphe 2.2.5.1.1.5). Dans le premier cas, il aura à subir un investissement initial assez lourd au niveau de la grille universelle, les aiguilles étant ensuite bon marché. Dans le second cas, il n'aura pas d'investissement initial de grille universelle, mais devra utiliser des aiguilles à ressort assez coûteuse.

Ce choix résultera d'un compromis dont sera maître le client, en fonction de son mode de fonctionnement au niveau de la préparation des outillages, ainsi que de sa production.

IMD pourrait fabriquer ces aiguilles à ressort avec un outillage préexistant. Sur la base d'une cadence de 300 à 400 pointes à l'heure en production (--> environ 0.50 F de MO par pointe), et sur la base de PRU de 3 F de matière (pointe + réceptacle + aiguille), on obtiendrait un PRU de 3.50 F par pointe, qu'on pourrait vendre 5 F au client.

NB 1 : les aiguilles devraient avoir un diamètre de 0.6 mm à 0.8 mm, voire plus.

NB 2 : il faudrait disposer de pointes et réceptacles au pas de 1.79 mm.

### 3.1.5.5.4 Pointes pour matrice supérieure câblée

Ces pointes seront des pointes TCI 30.

### 3.1.5.6 Définition de la structure des plaques de Plexiglass - notion de Kit (matrice standard)

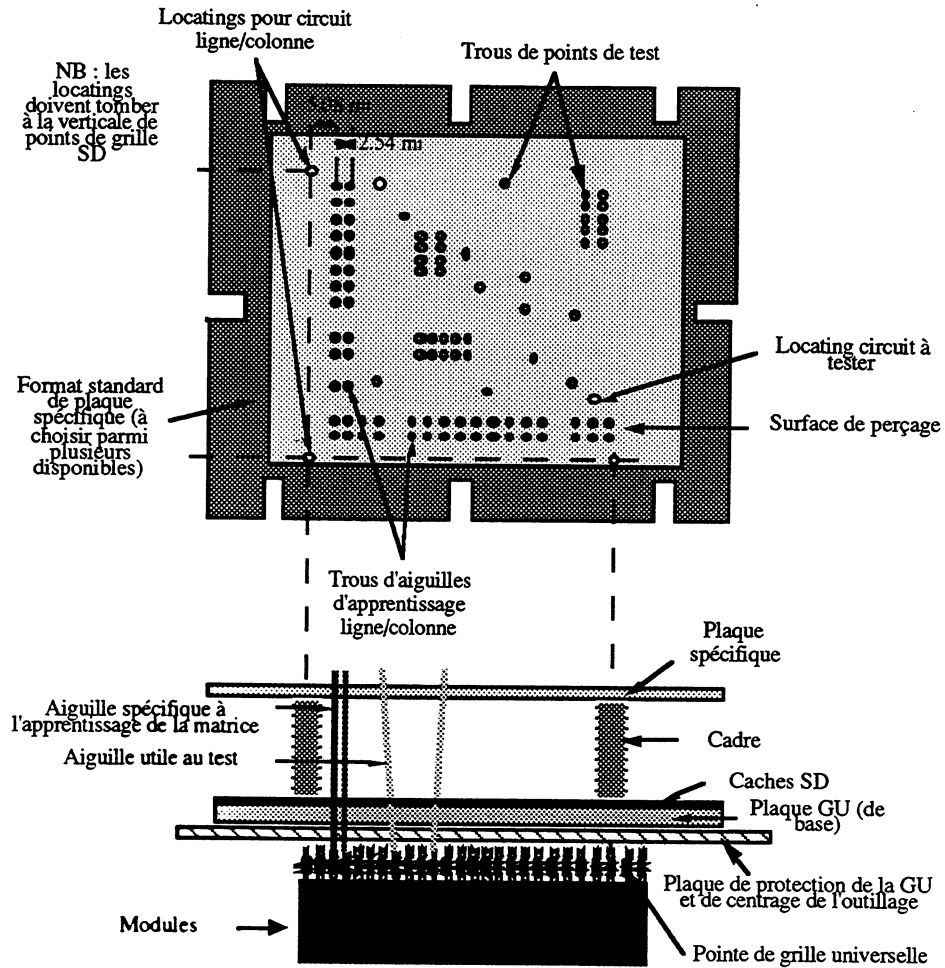
La définition de la matrice IMD part des remarques suivantes :

- il est stupide de systématiquement générer des matrices dont les plaques de base ont la dimension de la surface utile (qui peut être importante), alors que le circuit testé peut être de faible taille : cela pose des problèmes d'encombrement, de coût matière, et de coût de perçage pour la plaque de GU. - l'indexation de la matrice par rapport au testeur doit être immédiate, et très précise.

- l'outillage est réalisé en fonction d'une cartographie minimale. Lorsqu'on préparera l'outillage, il faudra disposer sur la plaque de GU de la matrice des '**caches SD**' partout où il n'est pas nécessaire d'utiliser des modules 2D, de manière à ce que les trous 2D (qui existent a priori sur l'ensemble de la surface de la plaque de base de la GU, pour des raisons de standardisation et de compatibilité) ne soient pas occupés, lors du montage, par des aiguilles alors qu'ils ne le devraient pas.

- il est nécessaire, une fois la matrice montée, pour acquérir la liste des points de test, d'utiliser un circuit outillage, dit circuit '**ligne/colonne**' (qui remplace la fonction plaque court-circuit chez les concurrents), qu'on viendra positionner sur la matrice (cette dernière devant donc avoir une structure prévue pour l'accueillir, notamment au niveau de locatings, et de trous de passage des aiguilles destinées à interfacer les lignes et les colonnes avec le testeur. Il faut également prévoir des locatings escamotables.

La structure de la matrice IMD pourra être la suivante :



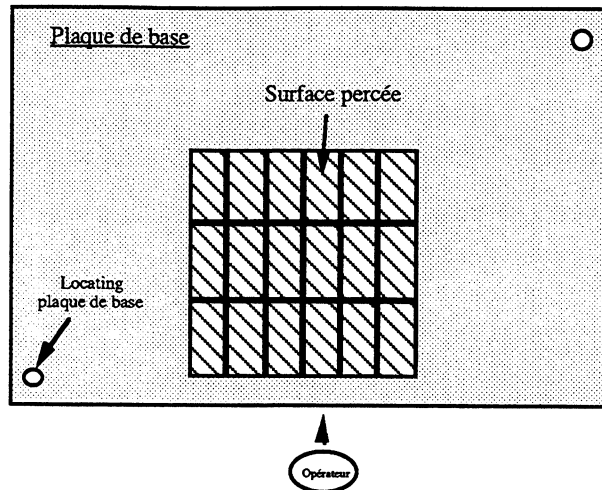
*Structure de la matrice type IMD*

On peut également envisager la définition de la notion de KITs standards de matrice, en adéquation avec la dimension d'un module. Un 'KIT matrice' sera constitué :

- d'une plaque de base, adaptable sur la mécanique du testeur, avec 2 trous au moins permettant de référencer sa position dans le système de coordonnées du testeur.

Cette plaque pourra être compatible avec la simple ou la double densité. Pour chaque KIT, on pourra donc avoir 2 références de plaques de base.

La surface percée se présentera de la manière suivante :



### Kit matrice IMD

On note que cette surface est centrée, et est placée le plus près possible de l'opérateur.

On note également qu'elle est proportionnelle à la surface équivalente d'un certain nombre de modules

- d'un ensemble de caches SD, venant recouvrir la totalité de la surface percée.

NB : pour faciliter le positionnement de ces derniers, il serait préférable de percer une ou 2 rangées de trous supplémentaires sur le contour de la surface percée. En outre, il faudra dessiner, au marqueur indélébile, l'emplacement des différents modules.

- d'une plaque spécifique, munie d'un certain nombre de locatings standards (positionnement par rapport à la plaque de base, positionnement du circuit ligne /colonne, positionnement du circuit à tester.

On trouvera également, outre les trous correspondant aux points de test, 2 double-rangées de pointes correspondant aux aiguilles du circuit ligne/colonne. Cet ensemble pourra avantageusement être remplacé par un outillage définitif, qui se rapporte à chaque plaque spécifique, pendant la phase d'apprentissage de la matrice.

Les dimensions de la plaque spécifique sont en correspondance avec la surface percée de la plaque de base du même kit.

Il est nécessaire d'opérer un lamage dans la plaque spécifique, de manière à soutenir les pointes tout en autorisant à la tête de celles-ci de s'effacer à l'intérieur du trou, pour 2 raisons essentielles :

- . remplissage de la plaque spécifique 'au godet'
- . possibilité d'affleurage du circuit ligne/colonne ou à tester.

Ce lamage devra être dimensionné à environ 0.4 mm de plus que le diamètre de la tête de la pointe concernée, sans qu'il dépasse 1.27 mm.

- d'un cadre adapté à la dimension de la surface percée. Ce cadre servira de support à la plaque spécifique. Sur le dessus du cadre, sur toute sa périphérie, on disposera du poron de 5 mm d'épaisseur, ayant une fonction ressort importante.

- d'un circuit ligne colonne, aux dimensions adaptées au format de la plaque spécifique. Voir sa description dans une partie qui lui est consacrée plus loin.

NB : les aiguilles TCI utilisées (71S) ont une longueur de 2", soit 5.1 mm. Pour cette longueur, l'expérience montre que le niveau supérieur de la plaque spécifique doit être à :

- . 33 mm de cadre
- . 5 mm de poron
- . 4 mm de plaque comprenant un lamage de x (?) mm. Il serait toutefois préférable que l'épaisseur de cette plaque passe à 4 mm.

soit un total de 52 mm.



Les différents formats de KIT pourront être les suivants (on raisonne en nombre de largeurs de module (40.64 mm) pour l'axe Ox et en nombre de longueurs de module (81.28 mm) pour l'axe Oy) :

- . 8 \* 3,            soit 325 \* 244 mm.
- . 10 \* 4,           soit 406 \* 325 mm.
- . 12 \* 5,           soit 488 \* 406 mm.
- . 14 \* 6,           soit 568 \* 488 mm.
- . 16 \* 7,           soit 650 \* 568 mm.

### 3.1.5.6.1 Plaques spécifiques

Le dessin précédent s'en fait également l'illustration.

Ces plaques ont pour fonction de réaliser le guidage des aiguilles à décalage, ainsi que le positionnement relatif des 2 cassettes et du CAT.

Les contraintes à prendre en compte sont les suivantes :

- a) transparence de la plaque permettant la visualisation de la disposition des aiguilles.
- b) flèche minimale des plaques de manière à ne pas avoir de différence de course notable au niveau des ressorts des pointes à double effet.

NB : le test double face devrait en partie éliminer cet aspect.

Cela implique des plaques d'une certaine épaisseur, avec des doigts de rigidification, qu'il faudra prévoir au niveau du logiciel de réalisation de ces plaques.

- c) résistance à la compression pouvant atteindre 6 T globalement

- d) les plaques doivent comprendre des locatings en correspondance avec les locatings du circuit à tester : fonction du logiciel de liaison CAO.

La précision de perçage des trous, ainsi que la précision de positionnement des locatings va fixer en partie la résolution de l'interface.

- e) les plaques doivent comprendre des trous périphériques pour réaliser l'apprentissage de la matrice (les pointes sont chargées de manière aléatoire sur les cassettes) : fonction réalisée par soft.

- f) les plaques plexi spécifiques doivent être percées :

- . suivant un format dépendant des dimensions du châssis du testeur (paramètres disponibles dans le fichier de cartographie du programme de liaison CAO)

- . suivant la 'bande' de points de test (après remplacement des points complexes par des points 'carte MIROIR' : fonction du programme liaison CAO).

- g) faible sensibilité aux variations de température et d'humidité au niveau de son élancement.

L'épaisseur de ces plaques reste à définir. On pourra partir sur une base de 3.2 mm, comme le conseille TCI, avec un espacement de 6.4 mm entre les 2 plaques spécifiques. ATG préconise des épaisseurs de plaque de 1.6 mm.

NB 1 : un bon guidage est réalisé pour une hauteur de 5 fois le diamètre :  $5 * 0.8 = 4$  mm,  $5 * 1.3 = 6.5$  mm =  $3.2$  mm \* 2 plaques).

NB 2 : TCI propose aujourd'hui 2 hauteurs d'aiguille : 7.6 cm et 9.5 cm.

NB 3 : Le perçage devra être effectué entre 2 contre-plaques, de manière à obtenir un trou 'propre'.

A titre d'exemple, les trous accueillant les aiguilles de diamètre 1.3 mm auront un diamètre théorique de 1.35 mm et seront percés avec un forêt carbure affûté de diamètre 1.4 mm, avec les paramètres suivants :

- vitesse de rotation : 40 000 tr / mn
- avance : 6 m / mn

La distance séparant les 3 plaques sera minimale, tout en autorisant le décalage de 7.5 mm autour d'un point de grille. On pourra partir sur une distance de hauteur totale de 95 mm ?.

On pourra également prévoir une option où la plaque spécifique serait segmentée en sous-plaques de même motif, flottantes, possédant chacune des locatings, de manière à avoir une meilleure précision de positionnement sur l'ensemble de la surface utile (qui pourra atteindre des dimensions de 650 mm \* 568 mm).

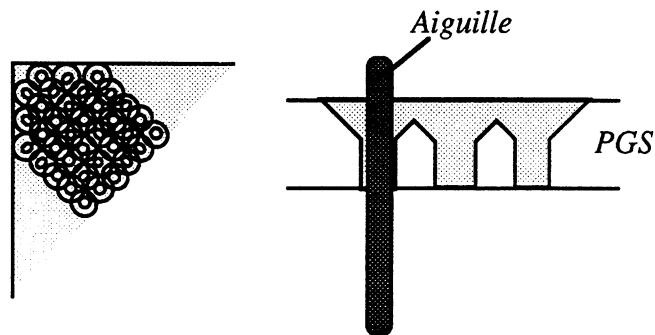
La notion de double rangée ligne/colonne devra être également intégrée au Kit de manière standard : il sera possible d'éviter d'ajouter systématiquement les trous correspondant à la double rangée dans la plaque spécifique (et donc les pointes). On pourra se reporter à la partie 3.3.4.4 qui le décrit. On utilisera plutôt un outillage, composé de 2 double-rangées de longueurs compatibles avec le KIT utilisé, ces 2 double-rangées venant s'arrimer à la plaque de plexi spécifique.

NB : le format de cette dernière sera un peu en dessous du format cité plus haut (il faut lui enlever l'espace correspondant à ces 2 rangées).

### 3.1.5.6.2 Plaques de base, ou plaque plexi de grille universelle

Les plaques plexi grille (PGI et PGS) ont pour fonction de réaliser le guidage des aiguilles à décalage au niveau de la grille universelle, de manière à mettre en contact les aiguilles avec les pointes à 2 têtes (ou directement avec les contacts métalliques des embases modules).

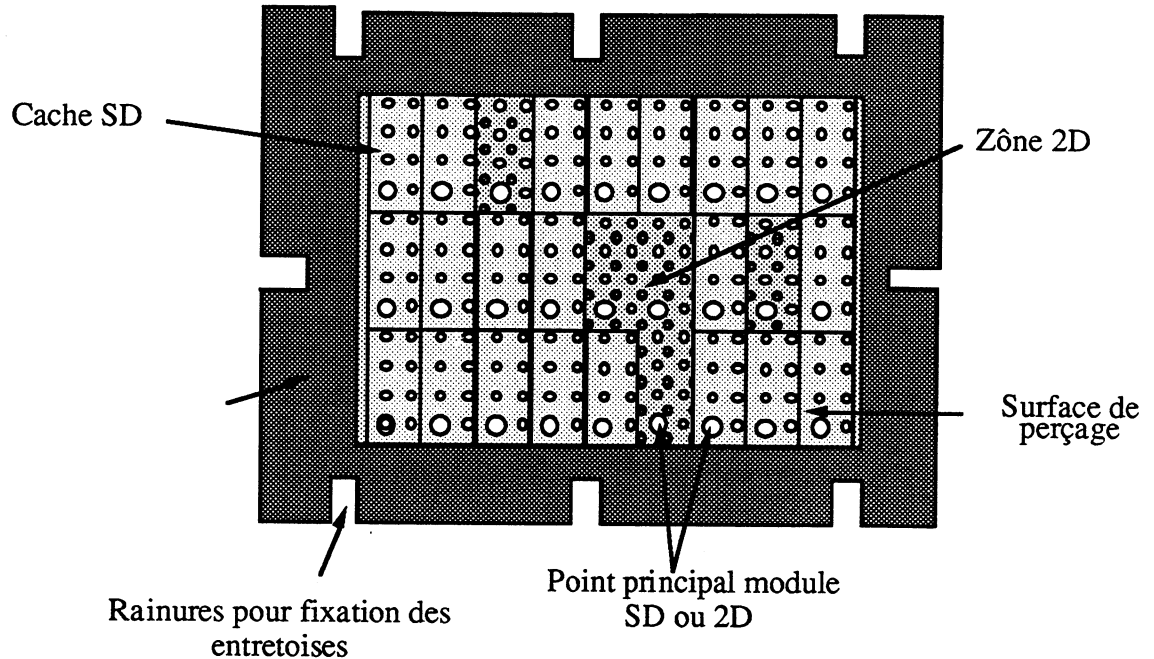
La figure suivante explicite cette description :



Plaque de base de l'outillage IMD - 1

Ces plaques seront percées au pas de 2.54 mm, sauf indication contraire, et seront réutilisables.

La géométrie de celles-ci devra permettre le positionnement d'entretoises vissables à montage rapide. La figure ci-dessous s'en fait la représentation simplifiée :



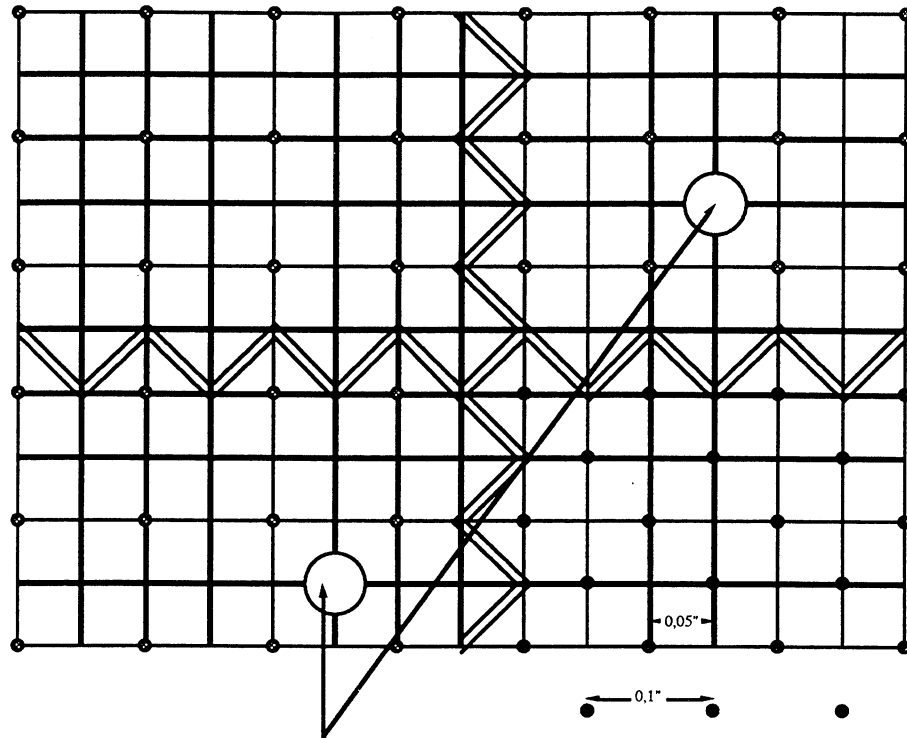
Plaque de base de l'outillage IMD - 2

On note un certain nombre de rainures épaulées permettant, sans autre manipulation, de glisser des colonnettes à différents endroits sans réglage précis de chaque plaque plexi spécifique par rapport à la plaque plexi grille.

Le perçage des trous coniques ( $\phi$  1.45 mm avec cône sécant) est obtenu par un foret étagé spécial (Ref. CM 145 317 90), avec les paramètres suivants :

- vitesse de rotation : 40 000 tr / mn
- avance : 1.5 m / mn

En outre, côté électronique de test, certains points (2 sur 1024 si elle est en 2D) de la plaque de base comprendront un cône d'entrée, pour faciliter le positionnement des locatings que pourront posséder les blocs SD. Ci-dessous, est représenté l'emplacement de ces locatings sur un bloc SD :

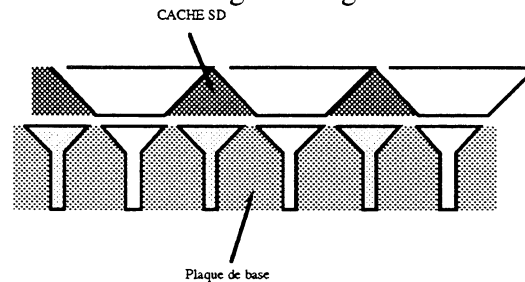


Locatings 1.27 mm, pour positionner un modula dans la plaque de base.

### Plaque de base de l'outillage IMD - 3

Les 2 locatings des blocs SD (les blocs 2D n'en comprennent pas) sont disposés à une position 2D.

On note également, sur la plaque de base, la présence de plaques plus petites, dites '**Cache SD**', dont la fonction est explicitée plus haut. Ces caches ont en fait la même dimension que les circuits semelles SD, et la même bande de perçage. Ils pourront présenter également, en position 2D, 2 locatings, qui permettront de les positionner sur la plaque de base. Ces locatings ne devront pas être suffisamment longs pour éventuellement venir en contact avec le locating bloc défini quelques lignes plus haut. Ces caches présenteront une entrée conique (cônes sécants) dans le prolongement des cônes d'entrée de la plaque de base, de manière à faciliter le montage des aiguilles.



### Caches SD pour l'outillage IMD

L'assemblage de ces caches pourra se faire avec de la colle 3M à repositionnements successifs.

NB : compte tenu de la course des aiguilles de la GU (env. 4 mm), un mauvais guidage va conduire à un angle avec la verticale de l'aiguille de la matrice, ce qui pourra être à l'origine d'un court-circuit entre cette dernière aiguille, et une pointe voisine de GU, non comprimée.

### 3.1.5.7 Définition des différents types de matériau d'interconnexion

## ***Confidentiel IMD***

### 3.1.5.8 Mise en oeuvre

#### *3.1.5.8.1 Montage*

Les opérations de fabrication de l'interface peuvent se faire de manière indépendante sur un autre PC que celui pilotant le test, appelé 'PC-OUTILLAGE'. Il sera toutefois nécessaire de disposer d'un fichier dit de 'cartographie', contenant les informations de description de la configuration de modules du système de test sur lequel va être montée l'interface.

Ce fichier pourra être disponible sur une disquette, ou directement par liaison hard et soft (programmes résidents) entre les 2 PCs.

La génération des données nécessaires à la fabrication de l'interface (Bandes de perçage des plaques de plexi spécifiques inférieures et supérieures) est réalisée par un logiciel spécifique IMD, référencé ST - LCAO (cf. spécifications à cet effet). Ce logiciel génère également la NETLIST correspondante du circuit.

A partir des données GERBER de description du circuit à tester, le logiciel génère la liste des points de test sur les 2 faces (TOP & BOTTOM). Cette liste est triée en points de test classiques, et points de test complexes. Aux points complexes sont associées automatiquement des cartes MIROIR standard.

L'utilisateur valide ces choix. Le logiciel génère alors l'ensemble des données nécessaires au perçage des plaques plexi (locatings, nouveaux points de test, points nécessaires à l'apprentissage de la correspondance points de grille / points plexi spécifique, sous la forme d'une disquette ou d'une bande de perçage, compatible avec la machine de perçage de l'utilisateur).

Une fois les plaques de plexi spécifiques percées, on assemble chaque cassette : plaques plexi grillé avec plaque plexi spécifique.

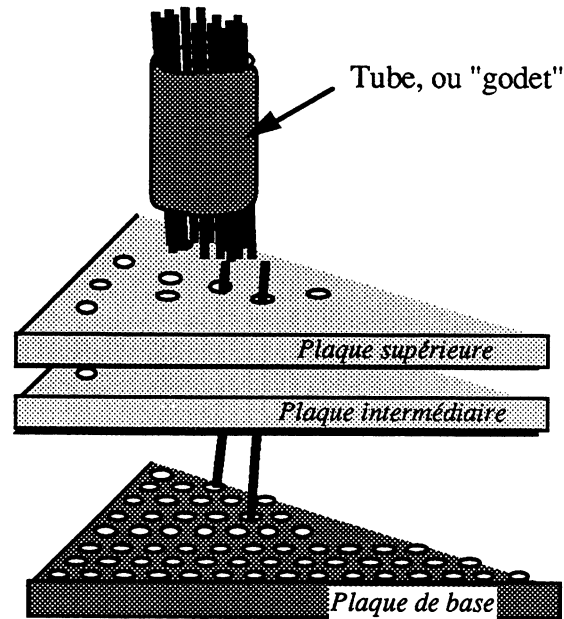
Pour chaque face de circuit à tester, il est en fait nécessaire de fabriquer plusieurs plaques, suivant les options choisies. Pour chacune de ces plaques, la bande de perçage est identique. Seuls les outils diffèrent.

#### **Description de l'opération de montage des 2 K7.**

La première opération, après le perçage des plaques, est le montage des aiguilles 'à la poignée', ou au godet, côté plaque spécifique.

On commencera bien sûr par le diamètre le plus important, puis on continuera par décroissance de diamètre, de manière à éviter le remplissage de trous par des pointes qui ne leur sont pas destinées.

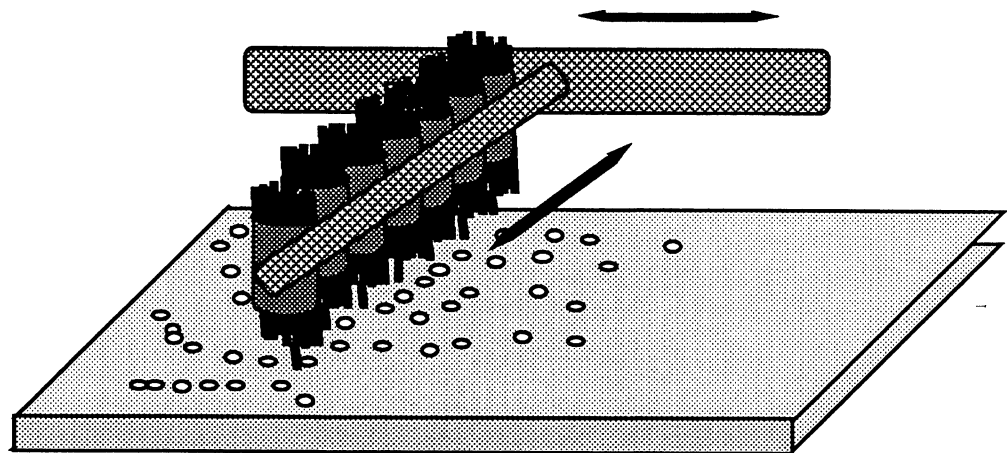
On pourra utiliser la méthode du remplissage par 'godet', décrite ci-dessous :



Montage des pointes "au godet"

NB 1 : on remplit d'abord les trous correspondant aux aiguilles de plus gros diamètre, puis les aiguilles de diamètre inférieur, de manière à ce qu'aucune aiguille de plus petit diamètre ne se trouve en lieu et place d'une aiguille à plus fort diamètre.

NB 2 : le remplissage des aiguilles est l'étape prenant le plus de temps dans le montage des K7. C'est donc cette étape qu'il faut chercher à optimiser, donc à automatiser (à moindre coût). On peut alors penser à utiliser 2 axes X-Y, pilotés par une carte PC au travers de commandes rentrées au niveau du clavier (flèches) par un opérateur. Une représentation pourrait en être la suivante :



Automatisation du montage des pointes au godet

On distingue une potence supportant en ensemble de barillet (autant qu'il en faut pour atteindre le largeur de la plaque plexi), le bol vibrant n'étant pas utilisable pour des raisons de maintien des aiguilles. Les aiguilles tomberaient de manière à ce qu'elles viennent remplir le trou à fleur de surface (aucune deuxième aiguille ne peut venir s'insérer, même partiellement, dans le même trou).

La station qui permettrait un tel montage ne devrait pas revenir en prix de revient à plus de 25 KF (une carte 2 axes, ainsi qu'une petite potence mécanique comprenant les axes), alors qu'elle permettrait, conjointement à l'aide de l'opérateur qui actionnerait les flèches, et remplirait les barillettes, de multiplier par 10 (?) la vitesse de chargement des pointes au niveau de la plaque spécifique. On peut rappeler que, selon une étude RTC, plus de 80 % du coût matrice est imputable à la MO pour le montage de ces matrices. En atteignant un objectif de 10 000 pointes à l'heure, on répond du même coup de façon positive à la première exigence des utilisateurs de testeurs : un faible prix de revient des matrices.

Ensuite, on vient insérer les entretoises à ressort.

La phase finale consiste en la mise en place des cartes MIROIR, le cas échéant (voir paragraphe précédent), en déposant la carte support contenant les CMS, sur l'outillage.

NB 1 : si l'effort n'est transmis que par les pointes, il pourra se poser un problème de répartition de cet effort.

NB 2 : l'effort n'est a priori transmis que par les pointes si on arrête la compression une fois qu'un capteur annonce que les cassettes sont en butée. Sinon, l'effort continue d'être transmis par la plaque de plexi spécifique, ce qui pourrait jouer un rôle de maintien du CAT.

NB 3 : il est important de souligner que le temps d'insertion des pointes à décalage est fonction d'un certain nombre de paramètres :

- diamètre de perçage de la plaque plexi spécifique. Ce paramètre est le plus important : il doit autoriser une insertion facile des aiguilles (--> bout rond ou conique), un bon glissement, en même temps qu'un bon guidage. Un bon compromis pourra autoriser un gain d'un facteur 2 au niveau du temps de montage.
- densité du circuit imprimé : plus le circuit est dense, plus le nombre d'aiguilles insérées à l'heure est important.
- configuration du circuit imprimé.
- pourcentage d'aiguilles hors grille.

En fait, le montage peut se subdiviser en 2 phases :

- temps réel d'insertion des aiguilles (jusqu'à 4000 aiguilles à l'heure)
- manipulation de montage (quasi forfaitaire au niveau de chaque outillage)

En tout état de cause, la vitesse de montage des outillages devrait être au moins de l'ordre de 3000 aiguilles à l'heure.

On pourra à ce stade assembler les 2 matrices, et les verrouiller en position pour le transport et le montage sur le testeur.

L'interface est alors prête à être montée sur le système de test, en vue de l'apprentissage de la correspondance 'points de grille' <--> 'points plexi spécifique'. Le logiciel CAO donne ensuite la correspondance 'points du circuit' <--> 'points plexi spécifique'.

La méthode d'établissement de la correspondance est explicitée au paragraphe 3.3.4.4.

### *3.1.5.8.2 Transport, positionnement sur le système de test et utilisation des K7 interfaces.*

Une fois le montage terminé, on a vu que les K7 se présentaient sous la forme d'un ensemble verrouillé, facilement transportable, sans risque de démontage des aiguilles.

Cet ensemble est ensuite positionné sur la grille inférieure du système de test. On vient ensuite descendre la grille supérieure (ordre soft), ce qui va permettre le déverrouillage des K7. On a vu que de par leur principe, les aiguilles devaient être maintenues, même en l'absence de compression.

### *3.1.5.8.3 Stockage*

Étant donné le montage rapide de chaque matrice, on pourra envisager un stockage des seules plaques spécifiques, les aiguilles étant préalablement démontées, ainsi que la carte support contenant les CMS.

#### 3.1.5.8.4 Liaison points de test circuit / points de test testeur (Circuit ligne / colonne)

NB : l'utilisation d'une Netlist et d'une interface avec plaque intermédiaire de détrompage remet en cause l'utilité du concept du circuit Ligne / colonne que nous allons développer dans ce paragraphe. En effet, le concept du circuit ligne colonne est aujourd'hui spécifique d'un testeur donné. Il implique donc le développement d'une interface avec le testeur qui lui est compatible, ce qui est relativement équivalent à développer le programme de test dédié au testeur.

Nous l'exposons toutefois à titre d'information, au cas où ce concept pourrait s'affranchir de la spécificité de la machine (ce qui n'est pas totalement aberrant).

Dans le cas où le logiciel d'aide à la génération des outillages génère une liste de points de test, ou une Netlist, sans pouvoir générer le programme de test, les informations correspondant à cette Netlist ne peuvent pas être utilisées pour la réparation des circuits, car les résultats sont donnés en terme de grille testeur, et non en terme de coordonnées circuit.

L'utilisation du circuit Ligne/Colonne IMD va rendre possible cette opération :

- 1 - dans le cas où le circuit est auto-appris (sans passer par la Netlist).
- 2 - dans le cas où une Netlist est disponible, sans liaison avec le testeur et qu'on ne souhaite pas utiliser un circuit étalon supposé bon, sans disposer de l'utilitaire logiciel permettant de générer le programme de test.

Il s'agit ici d'apprendre la disposition des aiguilles dans la matrice. Cette matrice est montée rapidement et simplement avec des aiguilles réparties de manière aléatoire, sans forcément utiliser une plaque intermédiaire de détrompage, celle-ci permettant d'associer de manière unique un point de grille du testeur à un point de test du circuit.

L'utilisation d'un circuit outillage standard permet, à l'aide du logiciel de test :

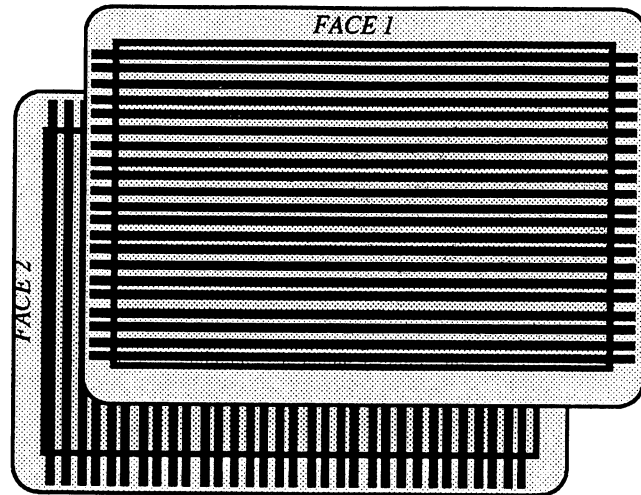
- . une affectation d'un point électronique à un point de la plaque supérieure de l'outillage
- . la vérification des contacts électriques, continuité et isolement (auto test de la matrice)
- . l'utilisation de la NETLIST CAO, lorsqu'elle est disponible, sans passer par un programme de test pour la réparation des circuits défectueux.

Il s'agit en fait de repérer à quels points de la plaque de plexi spécifique de chaque cassette sont affectés les points de la grille universelle (ou points de test électroniques), et ce, sans nécessairement passer par l'apprentissage à partir d'un circuit étalon (les aiguilles ont été rentrées aléatoirement par les opérateurs). On utilise pour cela une plaque outillage, conductrice, qui, par le biais d'impositions de tensions/courants par l'électronique de test va permettre de générer le fichier de correspondance.

Le principe est exposé ci-dessous.

On utilise un circuit imprimé double face (ou 2 \* simple face) doré, dit circuit 'ligne/colonne', se présentant de la manière suivante :





Description du circuit Ligne / Colonne

NB : si l'on désire un circuit imprimé outillage indépendant de la cartographie (tout en restant lié à la surface utile max), il faut le prévoir de telle façon qu'il soit systématiquement accessible par des pointes à décalage (sans que le cas d'une pointe tombant entre 2 pistes puisse se produire), même si, dans sa définition, cela implique le risque d'un court-circuit par une pointe avec deux lignes et/ou colonne : ce court circuit pourra être traité par soft.

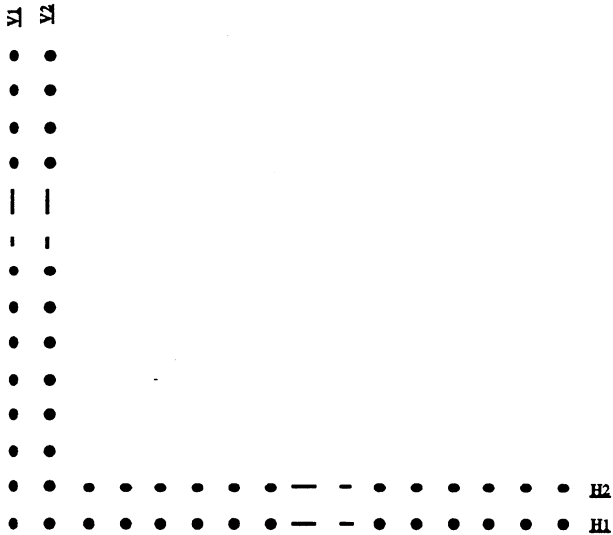
Ce circuit présente sur la 1ère face des pistes conductrices parallèles, espacées d'un pas connu, p. Sur la deuxième face, se présentent des colonnes espacées du même pas p.

Le principe consiste à utiliser les points de test électronique à la périphérie de la surface utile (qui ne sont en général pas affectés au test).

NB : les trous seront calculés de telle manière que les aiguilles soient verticales (utilisation des mêmes emplacements de trous pour la plaque intermédiaire), et qu'il ne soit pas possible d'inverser 2 aiguilles, faussant ainsi l'affectation des lignes et des colonnes (--> décalage de plus d'un pas).

Les cassettes sont utilisées avant montage des cartes MIROIR. En effet, le pas de ces dernières (jusqu'à 250  $\mu\text{m}$ ) pourrait poser des problèmes au niveau de cette correspondance. On préfère donc utiliser les cassettes juste avant la pose des cartes MIROIR, de manière à rester avec un pas supérieur ou égal à 1.27 mm. Les cartes MIROIR sont ensuite montées directement sur les plaques spécifiques, sans qu'il soit nécessaire de démonter les K7 (le montage sur la plaque inférieure est évident, le montage sur la plaque supérieure étant facilité par la possibilité de rotation de la partie supérieure).

Les aiguilles servant à réaliser cet apprentissage sont disposées de la manière suivante :



Disposition des aiguilles pour l'apprentissage de la matrice par le circuit Ligne / Colonne

On définit alors les hypothèses suivantes :

Hyp 1 : les 4 aiguilles définissant le coin des 2 double-rangées appartiennent au même bloc module. Elle correspondront de préférence à un coin de module SD.

Hyp 2 : la position d'une de ces 4 aiguilles doit être connue. Pour cela, on demande à l'opérateur de toucher l'une d'elle (de préférence celle du coin) avec la sonde.

Hyp 3 : la position des double rangées est toujours la suivante (en prenant comme point de repère l'opérateur) :

- . à gauche de la surface utile (face Bottom) pour la double rangée verticale.
- . en bas de la surface utile (face Bottom) pour la double rangée horizontale.

Hyp 4 : les rotations possibles du CAT entre la position définie par le GERBER original et la position sur la matrice spécifique ne peuvent être que :  $0^\circ$ ,  $90^\circ$ ,  $180^\circ$ ,  $270^\circ$ .

Pour chaque face du circuit à tester, on opère de la manière suivante :

Étape 1 : Stylet --> position des 2 double rangées.

Étape 2 : apprentissage des aiguilles de référence horizontales (H1 et H2), le circuit ligne colonne étant en position 1. Cet apprentissage est réalisé avec les premières aiguilles des lignes H1 et H2).

Étape 3 : apprentissage des aiguilles de référence verticales (V1 et V2), le circuit ligne colonne étant en position 3. Cet apprentissage est réalisé avec les premières aiguilles des lignes V1 et V2).

Étape 4 : position 3 toujours. On injecte une tension tour à tour sur toutes les aiguilles de H1 et H2 alimentant des lignes verticales. Cela permet, pour une abscisse donnée, de lister tous les points de test électroniques y correspondant, avec une précision de  $p/2$  (0.635 mm).

Étape 5 : position 4. On opère un décalage du circuit ligne/colonne de la position 3 à la position 4 (2.54 mm + 0.635 mm). On injecte une tension tour à tour sur toutes les aiguilles de H1 et H2 alimentant des lignes verticales. Cela permet, pour une abscisse donnée, de lister tous les points de test électroniques y correspondant, avec une précision de  $p/2$  (0.635 mm), qui n'auraient pas été détectés lors de l'étape précédente, parce que ces derniers tombaient à côté des lignes. Le décalage permet d'avoir un recouvrement complet des aiguilles, dans la mesure où la largeur d'une ligne du circuit ligne/colonne est supérieure à l'isolement entre 2 lignes.

Étape 6 : position 1. On injecte une tension tour à tour sur toutes les aiguilles de V1 et V2 alimentant des lignes horizontales. Cela permet, pour une ordonnée donnée, de lister tous les points de test électroniques y correspondant, avec une précision de  $p/2$  (0.635 mm).

Étape 7 : position 2. On opère un décalage du circuit ligne/colonne de la position 1 à la position 2 (2.54 mm + 0.635 mm). On injecte une tension tour à tour sur toutes les aiguilles de V1 et V2 alimentant des lignes horizontales. Cela permet, pour une ordonnée donnée, de lister tous les points de test électroniques y correspondant, avec une précision de  $p/2$  (0.635 mm), qui n'auraient pas été

détectés lors de l'étape précédente, parce que ces derniers tombaient à côté des lignes. Le décalage permet d'avoir un recouvrement complet des aiguilles, dans la mesure ou la largeur d'une ligne du circuit ligne/colonne est supérieure à l'isolement entre 2 lignes.

NB : si une aiguille est en contact avec 2 lignes (pas de 1.27 mm par exemple), on lui affecte une coordonnée intermédiaire, modulo  $p/2$ , soit 0.635 mm.

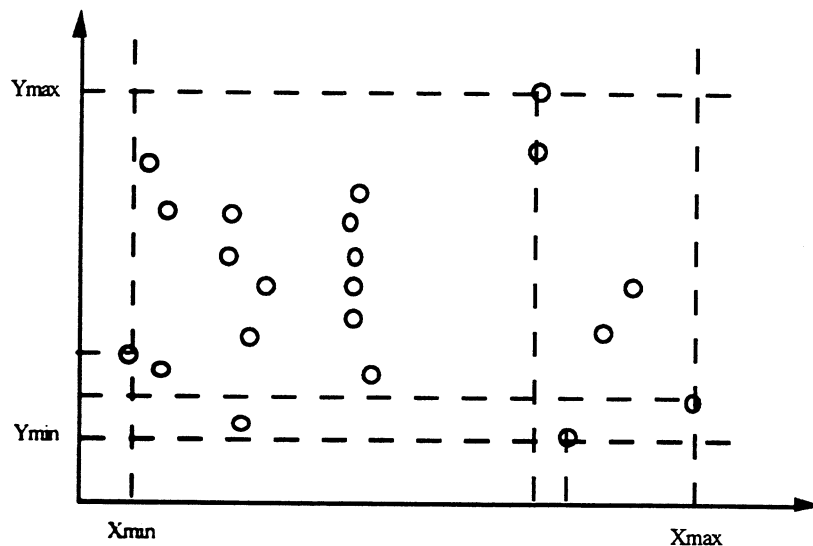
On génère ainsi un tableau attribuant à un N° d'aiguille donné un couple de coordonnées,  $(X_{lc}; Y_{lc})$ , approximant le couple réel  $(X_c; Y_c)$  à moins de 0.4 mm près (voir plus loin).

Étape 8 : récupération du tableau par le PC. NB : il n'est transmis que des entiers, qu'il faudra multiplier par 0.635 mm pour obtenir les coordonnées  $(X_{lc}; Y_{lc})$ .

Étape 9 : calcul de l'OFFSET existant entre le repère des coordonnées transmises et le repère CAO du circuit à tester, pour lequel on dispose des coordonnées réelles  $(X_c; Y_c)$ . On aura 4 hypothèses à envisager, pour les 4 possibilités de rotation.

On détermine, sur le GERBER original alors les coordonnées des 4 points correspondant aux abscisses et ordonnées max et min. On essaye de les retrouver sur l'ensemble des  $(X_{lc}; Y_{lc})$ , avec détermination de l'OFFSET. En phase finale on vérifie le décalage avec un certain nombre de points.

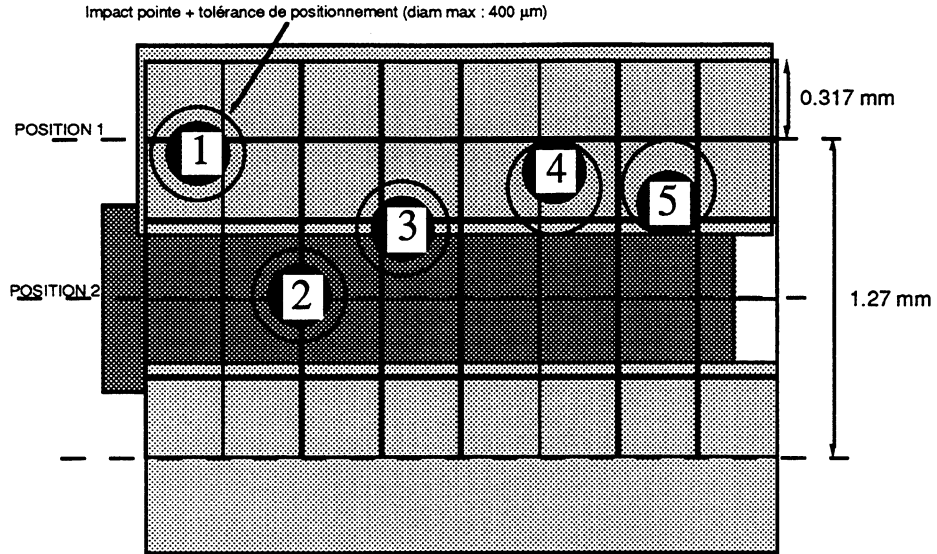
Le dessin ci-dessous s'en fait l'explication.



#### Calcul de l'offset par rapport au fichier GERBER dans la méthode du circuit Ligne / Colonne

Étape 10 : affectation des  $(X_{lc}; Y_{lc})$  aux  $(X_c; Y_c)$ , de manière bijective. Le travail de l'apprentissage de la matrice est terminé. On sait maintenant faire correspondre à une aiguille (point de test électronique, ou adresse logique), un N° de NET, si on dispose de la NETLIST, qui va nous donner le N° de NET pour chaque couple  $(X_p; Y_p)$ .

La méthode conduisant ensuite à l'attribution des points de grille (adresse logique) aux points de centre (correspondant aux trous percés dans la plaque spécifique), de façon bijective, pourra être la suivante (on rappelle qu'on utilise 2 positions d'apprentissage pour le circuit ligne/colonne, décalées l'une de l'autre de 0.635 mm. Cette astuce doit permettre de connaître l'ensemble des points présents, même si certains n'impactent pas le circuit dans une position, de par le fait qu'ils tombent entre 2 lignes au pas de 1.27 mm):



### Affectation des points dans la méthode du circuit Ligne / Colonne - 1

1 - à chaque N° d'aiguille (NA), le logiciel attribue pour chaque position un couple de coordonnées (Xlcj1; Ylcj1), soit 2 couples en tout, chacun défini à 0.635 mm près. Dans une position donnée, un point de test électronique, ne pourra se trouver en correspondance qu'avec un seul point d'intersection ligne / colonne (en faisant l'hypothèse sur le diamètre d'aiguille telle que chaque aiguille est en contact avec une ligne ou colonne). On peut alors associer à un NA donné un couple de coordonnées (Xlcj ; Ylcj) multiple d'un pas de 0.317 mm, qui représente la moyenne arithmétique des 2 couples cités précédemment (Xlcj1 ; Ylcj1) et (Xlcj2 ; Ylcj2).

En se référant à la figure ci-dessus, le tableau ci-dessous analyse de manière exhaustive les différents cas de figure qui pourront se présenter, et affecte la coordonnée à renvoyer pour chaque cas :

1 = Impact avec ligne 0 = non impact	Position 1	Position 1	Coordonnées modulo 317 $\mu$ m
Aiguille 1	1	0	0
Aiguille 2	0	1	2
Aiguille 3	1	1	1
Aiguille 4	1	0	0
Aiguille 4bis	1	1	1

### Affectation des points dans la méthode du circuit Ligne / Colonne - 2

**NB :** il est nécessaire que le diamètre de la tête des pointes ne soit compatible qu'avec un impact avec une seule ligne pour une position donnée. En effet, si tel n'était pas le cas, la pointe provoquerait un court circuit entre les 2 lignes, ce qui fausserait la mesure pour toutes les autres pointes en contact avec ces 2 lignes.

#### Hypothèses

On considérera 1 seul type de pointe possible :

- un type mixte destiné aux plages CMS, dont la tête se présente sous la forme d'un disque strié, dont nous fixerons la dimension maximale à  $D = 0.4$  mm.
- le circuit ligne/colonne se présente sous la forme de lignes de largeur  $l_p = 0.7$  mm (dans la version actuelle), l'isolement entre pistes étant de  $l_i = 0.57$  mm, ce qui conduit à un pas de  $p = 1.27$  mm.

---

NB 1 : cette méthode permet d'affecter un point de grille et un seul à chaque point de plaque spécifique, à supposer que l'espacement des points de la plaque spécifique soit au moins égal au pas des lignes et colonnes de la plaque outillage.

Par défaut, le pas en dessous duquel on utilisera des cartes MIROIR est fixé à 1.27 mm (les aiguilles de l'interface mixte IMD ne sont aujourd'hui pas prévues pour descendre en dessous). Cela conduit donc à une circuit matricé au pas de 1.27 mm.

NB 2 : l'utilisateur pourra utiliser des aiguilles et non une carte MIROIR pour traiter le pas de 1.27 mm.

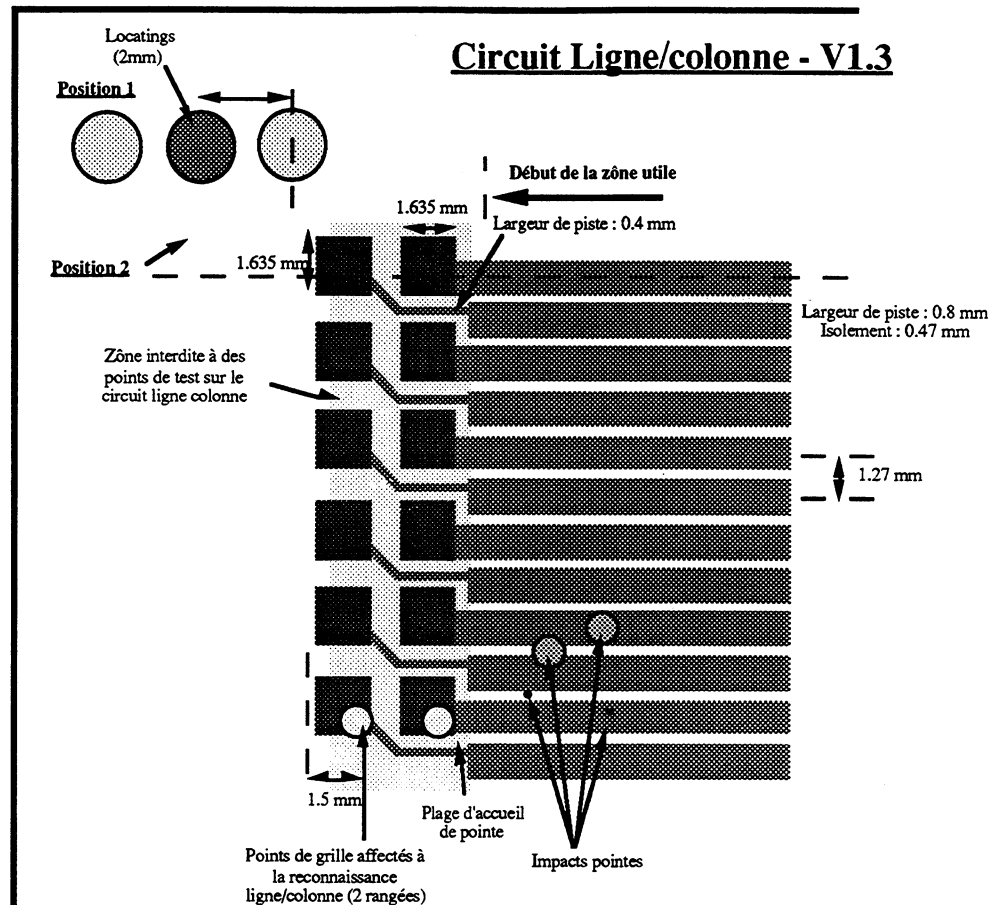
NB 3 : l'utilisateur pourra utiliser, dans certaines conditions (STAG), des aiguilles pour traiter des pas inférieurs strictement à 1.27 mm en ligne, par exemple 0.8 mm, mais pour lesquels la distance entre 2 points de test est encore supérieure à 1.27 mm, s'ils sont mis en quinconce. NB 4 : la distance entre deux contacts métalliques de carte Miroir est de 1.27 mm.

Étape 11 : on itère la même opération en retournant le circuit ligne/colonne, de manière à accéder à l'autre coordonnée.

Il est également intéressant de considérer l'accès périphérique de ces lignes et colonnes par l'électronique de test, qui pourra être simple ou double densité. Pour des raisons d'universalité, on choisira un accès au circuit outillage matricé par des modules SD.

Les contraintes précédemment citées font qu'on peut choisir un pas de 1.27 mm pour les lignes et les colonnes du circuit outillage, avec 1 mm de largeur de piste, et 0.27 mm d'isolement, de manière à ce que l'on soit sûr du contact d'une aiguille avec au moins une colonne ou ligne.

L'accès périphérique au circuit outillage de l'électronique de test est alors explicité par la figure suivante :



NB 1 : le positionnement du circuit ligne colonne doit se faire sur la plaque spécifique de la matrice concernée. Cela devra se faire par l'intermédiaire de locatings escamotables disposés sur cette plaque, qu'il faudra prévoir systématiquement au moment de la génération de l'outillage.

Ces locatings seront générés à la verticale de points de grille SD connus, ce qui permettra le positionnement systématique du circuit ligne/colonne à la verticale de point de grille SD.

NB 2 : le vecteur de translation est de 3.175 mm vers le bas, à partir de la position 1, c'est à dire 2.54 mm + 0.635 mm. Il faudra donc prévoir une ligne de plus en raison de ce décalage. la longueur du circuit ligne colonne sera donc un multiple de 81.28 mm + 2.54 mm.

### Définition du circuit Ligne / Colonne

On remarque aussi deux positions possibles pour le circuit ligne/colonne, qui permettent de décaler les lignes d'une valeur de 0.635 mm (la moitié du pas du circuit ligne/colonne), de telle manière qu'après le passage dans les 2 positions, aucun impact d'aiguille en puisse échapper, aussi petit soit-il : on opère ainsi un recouvrement de la totalité de la surface d'impact.

NB 1 : de manière à être à éviter des bavures du cuivre sous l'impact des aiguilles, on pourra exiger pour ce dernier une hauteur de cuivre de 17.5  $\mu\text{m}$ , terminée par 5  $\mu\text{m}$  de nickel/or.

NB 2 : dans une première version du circuit Ligne/colonne, on pourra imaginer un circuit simple face, auquel on fera subir une rotation de 90° pour passer de l'enregistrement ligne à l'enregistrement colonne. De fait, ce circuit sera carré.

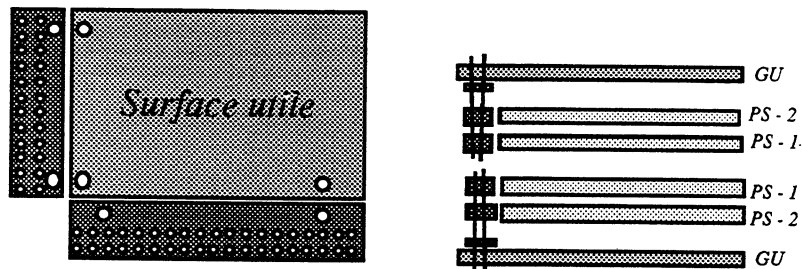
Une fois l'affectation terminée et la vérification partielle de l'interface par là même effectuée, il reste à l'opérateur à monter les cartes MIROIR sur chaque K7. Il n'est pas nécessaire de démonter les K7 du système pour effectuer cette opération.

Le système est alors prêt à l'emploi pour une série de test.

NB 3 : Le nombre d'aiguille 'OUTILLAGE' nécessaires en raison de l'apprentissage avec le circuit ligne/colonne sera proportionnel à la taille du circuit, ce qui n'est pas prohibitif.

NB 4 : cette méthode permettra également le test de la matrice, ce qui est une première.

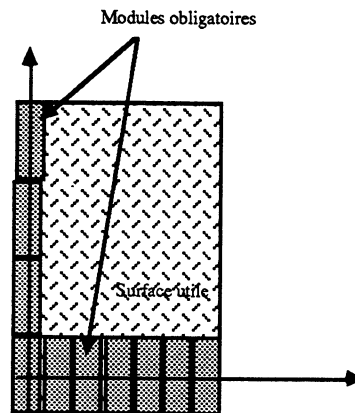
NB 5 : si l'on trouve gênant d'avoir à mettre en place systématiquement des aiguilles périphériques, qui plus est en nombre important (cela pourra dépasser le chiffre de 1000), et qui doivent être placées rigoureusement en correspondance avec les lignes et colonnes, car ce sont elles qui servent de référence à l'apprentissage, on peut s'affranchir de ce problème en définissant un outillage complémentaire, construit une fois pour toutes, consistant en 2 barrettes d'aiguilles, disposées selon un plan de câblage précis (vérifié une bonne fois pour toutes), barrettes qui viennent s'ajouter à la K7 classique par simple fixation (à préciser), avec utilisation de locatings, comme s'en fait l'image la figure suivante.



#### Définition de l'outillage standard pour le circuit Ligne / Colonne

NB 6 : on pourrait utiliser ce concept plutôt pour la matrice câblée.

**NB 7 : une autre contrainte, et non des moindres, est qu'il faudra systématiquement que la surface utile de modules installés croisse dans le sens de la diagonale, pour que si celle-ci s'agrandit, on n'ait simplement qu'à prolonger par un ou plusieurs modules les 2 lignes obligatoires de module SD (qui ne pourront pas être déplacés, si l'on veut pouvoir apprendre la matrice). La figure suivant s'en fait l'illustration :**



#### Spécification de la disposition des modules pour une utilisation de la méthode du circuit Ligne/Colonne

On choisit par exemple le coin inférieur gauche, comme origine de la surface utile : pour l'utilisateur désirant utiliser la fonction d'apprentissage de la matrice, on imposera à la surface utile de commencer à partir de ce coin.

Cette contrainte tombe, si l'on adopte la structure par formats croissants de la matrice, en fonction de la taille du circuit à tester.

NB 8 : à moins de définir 2 circuits, un circuit ligne, et un circuit colonne, le circuit ligne/colonne devra être carré, ce qui peut entraîner certains problèmes d'encombrement.

NB 9 : pour faciliter l'accès à la pointe de coin, avec le stylet (correspondant à l'étape 1 décrite ci-dessus), on pourra envisager de remonter la plage correspondant à ce point (ou les 4 plages en correspondance avec les 4 pointes définissant le coin des 2 double-rangées) par le biais d' 1 ou 4 trous métallisés reliés à une plage de la face TOP du circuit ligne/colonne, de dimension suffisante pour ne pas tâtonner (5 mm \* 5 mm, par exemple).

#### *3.1.5.8.5 Auto-apprentissage à partir d'un circuit étalon*

L'ensemble des 2 K7 étant monté sur le système, y compris les cartes MIROIR, l'opérateur ne disposant pas de la liste des interconnexions du circuit (NETLIST) pourra procéder à un auto-apprentissage de cette liste à partir d'un circuit réputé bon, dit 'circuit étalon', ou 'Golden Board'.

L'opérateur positionne le circuit étalon sur le système de test, et actionne le menu 'auto apprentissage' du logiciel du système de test, qui génère un fichier NETLIST (au sens du testeur : les coordonnées enregistrées correspondent à des points de grille et non aux coordonnées circuit), réutilisable par la suite. Le circuit est modélisé, le test peut commencer.

#### *3.1.5.8.6 Apprentissage à partir de la liaison CAO*

Les matrices étant apprises, le logiciel effectue la correspondance 'point de test circuit' <--> 'adresse testeur' <--> 'N° d'équipotentielle' (ou programme de test), si la NETLIST est disponible au préalable, par exemple par stockage d'une ancienne version, ou par création d'après les données GERBER du circuit.



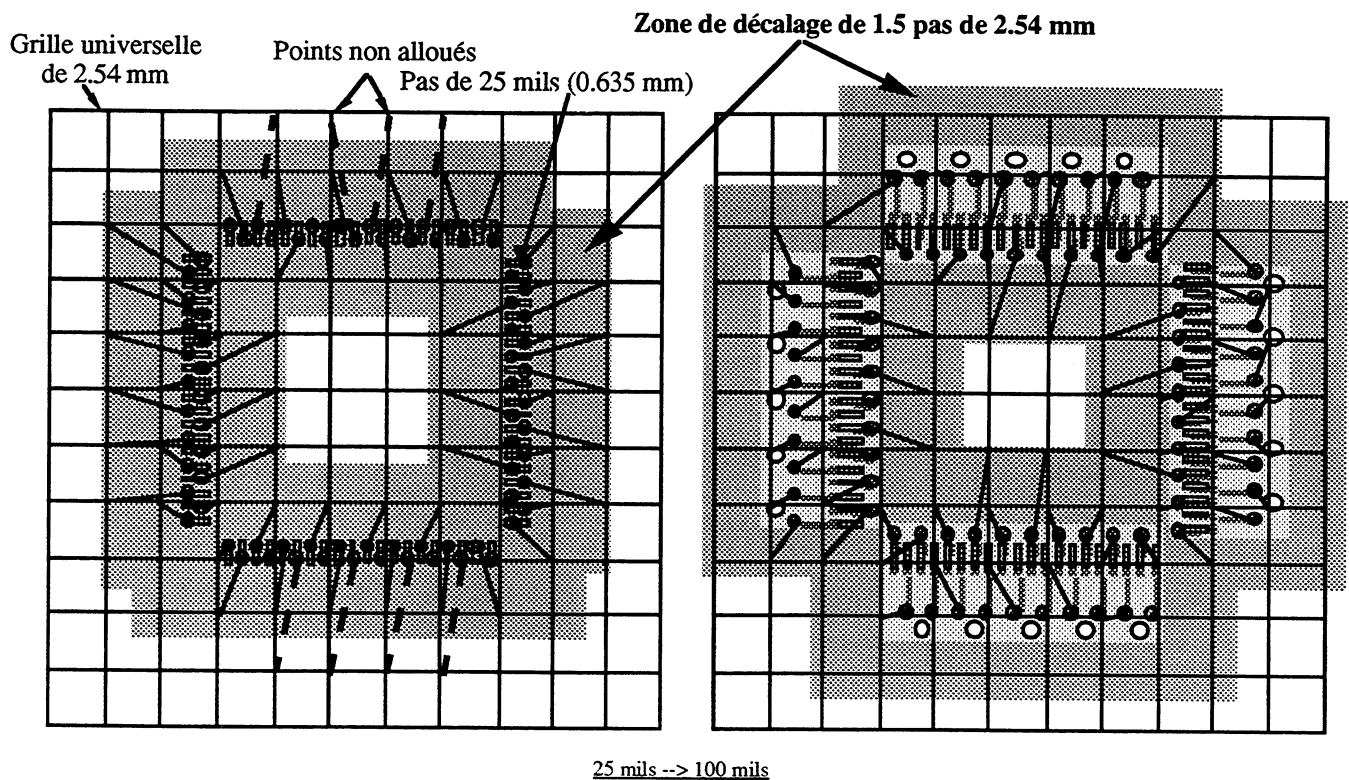
### 3.1.6 Les avantages décisifs de l'outillage mixte IMD, à base de CMS

Les CMS IMD conduisent à des avantages majeurs qui sont, dans l'ordre d'importance décroissante :

1 - autorisent un accès fiable à des circuits possédant des composants ou connecteurs de pas aussi petits que 10 mils (250  $\mu\text{m}$ ), alors que les techniques classiques sont limitées de manière industrielle à 0.635 mm.

2 - autorisent un HYPER STAGGER, ce qui permet de ne pas envisager l'utilisation de grille universelle double densité.

La figure ci-dessus réalise la comparaison de l'affectation de points de grille directement à partir des plages du circuit à tester, ou en passant par l'utilisation de CMS :



#### Comparaison de l'affectation de points de grille entre les méthodes classique et CMS

Les zones grises correspondent aux zones d'accès possible à une pointe de grille : on voit que ces zones sont nettement plus importantes par l'utilisation des CMS, ce qui accroît artificiellement la densité locale de la grille universelle.

3 - les pointes utilisées sont des pointes standard, compatibles avec le pas de 1,27 mm (voire même avec le pas de 2,54 mm dans certaines versions). Elles sont donc :

- beaucoup plus simples à monter --> diminution du temps de montage des outillages.
- beaucoup plus faciles à gérer (moins de références)
- beaucoup moins chères car standard.

4 - le fait d'utiliser des pointes standards simplifie considérablement les outillages, qui peuvent ne plus comporter que 2 ou 3 plaques en lieu et place des interfaces 5 plaques que l'on voit pour essayer d'accéder à du 20 mils, qui sont de plus très longues à monter et peu fiables.

En conclusion, les CMS sont une réponse concrète et adaptée aux problèmes d'outillage d'aujourd'hui et de demain, car elles ne remettent pas en question les techniques utilisées actuelles, elles en reportent simplement leurs limites beaucoup plus loin.

Elles n'ont d'ailleurs pas de solutions équivalentes actuellement sur le Marché.

### 3.1.7 Les spécifications d'utilisation

Le tableau suivant résume les diverses contraintes imposées pour l'utilisation des CMS :

	Characteristic required	Minimum	Standard	Maximum
<b>Printed Circuit Board</b>				
Thickness	10%	0,18 mm	0,20 mm	0,22 mm
Rigidity	semi-rigid			
Copper / Drill alignment (1,27 mm $\geq$ pitch $\geq$ 0,635 mm)	.-/+ 0,05 mm			
Copper / Drill alignment (0,635 mm > pitch $\geq$ 0,5 mm)	.-/+ 0,03 mm			
Copper / Drill alignment (0,5 mm > pitch $\geq$ 0,4 mm)	.-/+ 0,02 mm			
Copper / Drill alignment (0,4 mm > pitch)	.-/+ 0,01 mm			
Insulation between 1 net and the other ones	100 Mo			
Continuity on one net	1 ohm			
Gold plating (both sides)	5 $\mu$ m Nickel - 1 $\mu$ m Gold			
Final pad width (1,27 mm $\geq$ pitch $\geq$ 0,317 mm)	3/5 of total pitch			
Final pad width (0,317 mm > pitch $\geq$ 0,250 mm)	1/2 of total pitch			
Final pad width (0,250 mm > pitch $\geq$ 0,200 mm)	2/5 of total pitch			
<b>Conductive Rubber</b>				
Reference	Fujipoly WBL 081 -F -AD			
Length	?	?	120,00 mm	?
Width	?	?	0,80 mm	?
Insulator Thickness	?	?	?	?
Wire length	?	?	?	?
Difference between wire length and insulator thickness	?	?	?	?
Adhesive thickness	?	?	?	?
Dilatation ratio vs °C	?	?	?	?
Wire diameter	?	?	?	?
Compression set	?	8%	10%	13%
Skewing (max misalignment between two extremities of a wire)	?	?	?	0,10 mm
Wire linear density	?	15 fibers / mm	30 fibers / mm	50 fibers / mm
Width of a row of wires	?	0,30 mm	0,40 mm	0,50 mm
Maximum admissible current per wire	?	?	?	?
Breakdown voltage	?	?	?	?
Continuity resistance	?	?	?	?
Resistance between adjacent conductors	?	?	?	?
Operating temperature	?	-20°C	?	+120°C
Durability (with adhesive)	?	?	50 000,00 mm	250 000,00 mm
Min cycle time to guaranty the recover of elastic properties	?	?	?	?
<b>Spacers</b>				
Thickness (including adhesive)	2%	0,441 mm	0,450 mm	0,459 mm
Rigidity	semi-rigid			
<b>Clinchers</b>				
?				
<b>Support Film</b>				
Thickness	10%	0,18 mm	0,20 mm	0,22 mm
Material	Epoxy FR4	(--> moins de +/- 25 $\mu$ m de dilatation sur 400 mm)		
Rigidity	semi-rigid			
<b>Circuit à tester</b>				
Ecart de température entre la fab et le test (--> 25 mils)	10°C	13°C	23°C	33°C
Ecart de température entre la fab et le test (0,635 mm > p $\geq$ 0,4 mm)	8°C	15°C	23°C	31°C
Ecart de température entre la fab et le test (0,4 mm > p)	5°C	18°C	23°C	28°C
<b>Fixture plates</b>				
Pin diameter overstepping (SMBs test point)		0,30 mm	0,40 mm	0,50 mm
Material	Epoxy FR4	( less sensitive to temperature and humidity variati		
<b>SMBs pins</b>				
Head shape	Pyramidal			
Cone angle		45°	60°	75°
Material	Gold plating if possible			
Spring travel		4mm	6mm	-
Spring force (2/3 travel)		120g	150g	300g
<b>Fixture plate drilling precision</b>				
Drill precision (1,27 mm $\geq$ pitch $\geq$ 0,635 mm)	.-/+ 0,05 mm			
Drill precision (0,635 mm > pitch $\geq$ 0,5 mm)	.-/+ 0,03 mm			
Drill precision (0,5 mm > pitch $\geq$ 0,4 mm)	.-/+ 0,02 mm			
Drill precision (0,4 > pitch)	.-/+ 0,01 mm			

Tableau de spécifications en vue de l'utilisation des CMS

## 3.2 Extraction de Netlist - Conversion automatique de plages dessinées

### 3.2.1 Introduction - Objectifs

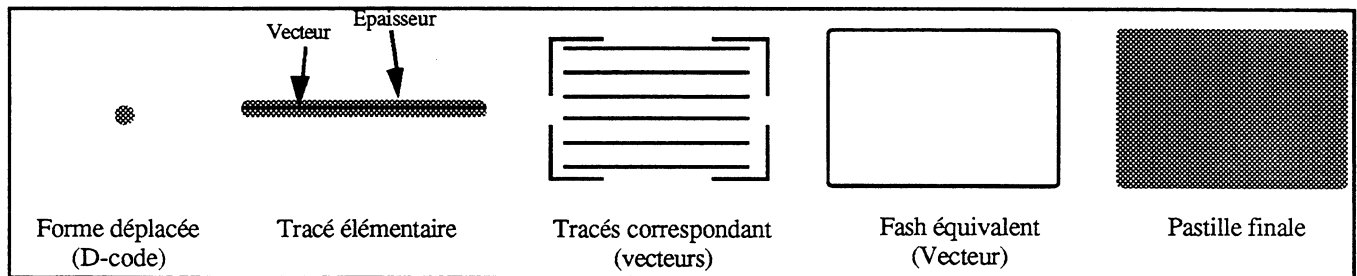
#### 3.2.2.1 Introduction - Notion de plage CMS dessinée

Comme on l'a vu dans le paragraphe 1, l'extraction automatique de Netlist, de manière fiable, et notamment la reconnaissance automatique des plages dessinées en tant que point de test potentiel (si il correspond à une extrémité d'équipotentielle) est un réel problème : aucun logiciel du marché n'est actuellement en mesure de le faire.

L'existence de plages dessinées provient du fait qu'une partie importante des CI nus est conçue sur des systèmes CAO ne reconnaissant pas l'existence de flashes. Il en est ainsi pour le format HPGL (Hewlett Packard Graphic Language), relativement répandu dans le domaine de la CAO.

De tels systèmes dessinent les pastilles, et reconstituent des formes rectangulaires par un ensemble de tracés qui peuvent être aussi divers qu'inattendus.

La figure ci-dessous s'en fait l'illustration :



#### Notion de pastille dessinée

Le tracé d'un film (outillage de base pour la fabrication du CI nu) se fait par le déplacement d'une forme (D-code) suivant une ligne de vecteur. Le format GERBER prévoit la notion de "flash", qui est immédiatement reconnaissable à la lecture du fichier (voir description du format GERBER, paragraphe 2.2.4.1.3.3.1)

Le format HPGL ne la prévoit pas. Il lui faut donc alors dessiner la plage, par remplissage.

Les fabricants de CI nus utilisant pratiquement à 100% du GERBER, une passerelle logicielle transforme les instructions de tracé du format initial (par exemple HPGL) en format GERBER. Mais bien évidemment, elle ne rétablit pas la notion de flash. Les tracés apparaissant dans la pastille ci-dessus sont identiques à ceux qui apparaîtraient pour une simple piste.

Le logiciel d'extraction de Netlist n'est pas alors en mesure de voir que la liste des tracés définit en fait une pastille, et il n'en tient pas compte, c'est à dire que le point de test est purement et simplement "oublié". Il est bien évident alors que la couverture du test n'est plus de 100 %.

Certains ont alors évolué en permettant à l'opérateur de signaler, au niveau de l'édition graphique, que telle forme correspond à une plage CMS. Une fois cette opération réalisée, le logiciel recherche ensuite toutes les séquences équivalentes dans le fichier GERBER, pour les remplacer par un flash équivalent.

Ce travail est fastidieux (il prend facilement plusieurs heures à un opérateur pour certains circuits, et il n'est pas exhaustif : si le travail est aisé pour l'opérateur, pour la reconnaissance des plages des

composants, çà l'est beaucoup moins pour les plages des condensateurs ou résistances CMS, qui se remarquent beaucoup moins facilement. Cela veut dire que l'opérateur peut oublier des points de test, ce qui n'est pas admissible.

Un logiciel de reconnaissance des pastilles dessinée de doit d'effectuer cette opération de manière complètement automatique, exhaustive et fiable, sans assistance d'opérateur, à partir des seuls fichiers GERBER.

Cela correspond à notre cahier des charges.

NB : certains logiciels utilisent les fichiers correspondant à la description des masques de soudure, pour remplacer l'opérateur dans son indication des plages. Ces fichiers ne sont pratiquement jamais disponibles au niveau du fabricant de circuits imprimés nus, car ils correspondent à un stade ultérieur de fabrication (câblage des composants), contrairement aux fichiers GERBER, nécessaires pour la fabrication du CI nu. Ces logiciels ne fournissent donc pas non plus une solution acceptable.

### 3.2.2, 3.2.3, 3.2.4, 3.2.5 *Confidentiel IMD*

### 3.2.6 Performances et perspectives

L'objet de ce module logiciel est la conception et la réalisation d'un logiciel d'extraction des points de test d'un circuit imprimé nu. Or le développement actuel dans le domaine de l'électronique a permis l'utilisation de cartes en plusieurs couches. Donc, pour avoir une liste complète des points de test et la Netlist (liste des équipotentielles), il faudrait pouvoir traiter les films de toutes les couches. Par conséquent, pour une carte électronique au format A4 à 6 couches par exemple (ce qui suppose une bonne moyenne), il faudrait considérer au moins 6 fois le temps de traitement d'une couche qui dure en gros environ 1 heure actuellement. Il faudrait alors que l'opérateur puisse prévoir 6 heures avant de commencer le test lui même de la série des circuits imprimés. Ces performances sont déjà bonnes puisqu'on peut faire exécuter le programme d'extraction des points de test pendant la nuit (hors des heures de travail) mais ceci a l'inconvénient que personne n'est sur les lieux pour s'assurer du bon déroulement du programme. On est alors amené à améliorer les performances de ce logiciel, et ce, en cherchant et étudiant les moyens aussi bien matériels que logiciels qui permettent de gagner en temps d'exécution et avec un très grand pourcentage.

#### 3.2.6.1 Objectifs à atteindre

Nos objectifs à terme concernent le temps de traitement que nous cherchons à réduire en gardant les mêmes résultats physiques (extraction fidèle de la liste des points de test). Nos souhaits pour l'extraction de la liste des points de test d'un circuit imprimé de format A3 sont les suivants :

- traitement complet d'une couche :environ 1 mn.
- traitement complet de 8 couches avec extraction de la Netlist :environ 10 mn

#### 3.2.6.2 Situation actuelle

Avant de citer les performances actuelles, commençons par rappeler les caractéristiques de notre logiciel ainsi que les problèmes rencontrés.

### ***Confidentiel IMD***

La nature du codage utilisé nous a permis d'avoir une progression linéaire du temps de traitement en fonction de la surface du cuivre du circuit imprimé nu et de sa taille.

Pour un format A3 et une surface de cuivre moyenne (pistes ni trop denses ni trop espacées) on estime, d'après les expériences réalisées sur un PC 386 DX - 25 MHz, le temps de traitement à 80 mn tout compris.

Sur un PC 486 DX - 33 MHz on conçoit que le temps est divisé par 4 ce qui correspond à un temps de traitement de 20 mn pour le même circuit.

Actuellement il existe sur le marché des PC 486-2 - 66 MHz. Avec un tel PC le temps de traitement devrait descendre à moins de 7 mn pour la même configuration.

Ce gain en rapidité s'explique par l'évolution des performances des composants et par l'utilisation d'une mémoire cache intégrée.

Nous remarquons que même avec les ordinateurs les plus puissants du marché on n'arrivera sûrement pas à nos souhaits de temps de traitement (1 mn pour un format A3).

### ***Confidentiel IMD***

### 3.2.6.3 Utilisation d'une carte co-processeur

Confidentiel IMD

**3.2.7 Conclusion sur l'extraction de Netlist**

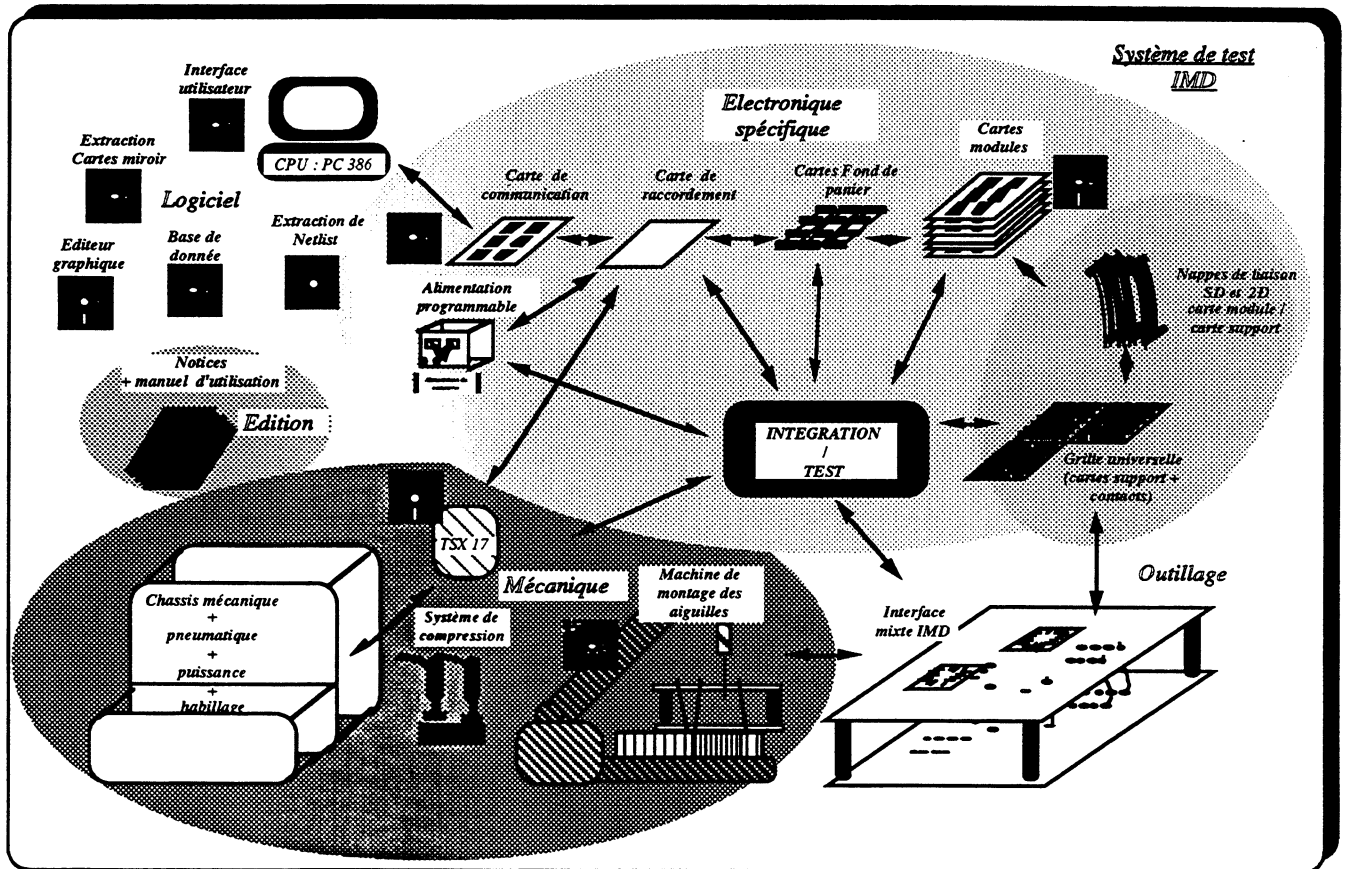
***Confidentiel IMD***



### 3.3 Système de test IMD

#### 3.3.1 Présentation générale

Nous avons développé un système de test complet, sur la base des remarques du paragraphe 2. Le synoptique de l'architecture générale de la machine est donné par la figure suivante :



*Architecture générale du système de test IMD*

- Ce système, dont nous avons réalisé un premier prototype opérationnel, présente les parties suivantes :
- une partie mécanique, pilotée par un automate TSX 17, aux ordres de l'électronique de gestion du testeur (carte de communication)
  - une partie électronique, constituée :
    - . d'un **PC classique**
    - . d'une carte de gestion de l'ensemble du test (**carte de communication**), recevant des informations de la part d'un compatible IBM PC, et alimentant des modules de test intelligents, simple ou double densité.
    - . d'une **carte de raccordement** (une par face de test) qui relie la carte de communication aux cartes fond de panier
    - . de **cartes fond de panier** (7 au maximum par face de test), qui délivrent les informations de la carte de communication aux cartes modules.
    - . de **cartes modules** (plusieurs centaines par système), qui réalisent la fonction "point de test électronique".

---

Un module simple densité comprend 512 points de test électroniques au pas de 2.54 mm, pilotés par une carte comprenant un microprocesseur. Un module double densité comprend 1024 points de test électroniques au pas de 1.79 mm, et 2 cartes de 512 points.

- . des **embases module**, qui réalisent l'interconnexion entre les cartes module et la grille de contact mixte (2.54 mm et 1.79 mm)
- . d'un **système d'alimentations**
- . une **grille universelle** de pointes à ressort.

- une partie outillage, que nous avons déjà décrite (CMS)

- une partie logicielle, dont nous avons déjà décrit la partie correspondant à l'extraction de Netlist (avec reconnaissance automatique des plages dessinées) et celle correspondant à l'extraction des CMS.

Dans la suite de ce paragraphe, nous allons nous attacher essentiellement à la description de ces diverses parties.

### 3.3.2 Partie électronique

#### 3.3.2.1 Carte de communication

##### 3.3.2.1.1 Objet / Mission

###### 3.3.2.1.1.1 Objet

Cette carte a pour objet principal l'aiguillage des informations de gestion du test issues du PC vers l'électronique de test (cartes module SD/2D), la gestion des paramètres et des résultats de test.

###### 3.3.2.1.1.1 Mission

###### 3.3.2.1.1.1.1 Rôle de la carte dans le système face à la mission

La carte de communication est une carte intelligente, qui est reliée au PC de gestion du test via une liaison série de type RS232. Les informations récupérées sur le PC lié au système de test, sont envoyées via une liaison série haut débit (300 Kbauds - RS485) sur les cartes modules pour être traitées par les  $\mu$ C de celles-ci.

On pourra prévoir sur cette carte plusieurs slots d'extension, de manière à pouvoir lui adjoindre plus tard d'autres fonctionnalités.

###### 3.3.2.1.1.1.2 Principales fonctions

La liste de ses principales fonctions est la suivante :

- liaison avec le PC de commande du système de test via une liaison série RS 485.
- gestion et mise en forme des données de test envoyées par le PC
- stockage des informations de test en RAM partagée, sous un format spécifique optimisé, en vue de la programmation automatique de l'électronique de test.
- gestion & programmation de l'électronique de test, via un transfert par 14 liaisons série en parallèle.
- monitoring et programmation des alimentations, définissant les paramètres de test.
- mesure du courant de test en réponse à une tension imposée
- dialogue avec l'automate TSX 17, qui doit gérer les automatismes du bâti mécanique.
- NB : la gestion des interruptions de RESET et de sécurité est faite par la partie automate.
- cette carte sera également munie d'un bus d'extension de telle façon qu'on puisse lui adjoindre ultérieurement des fonctionnalités complémentaires.
- repérage des coordonnées X-Y d'un point de grille (semelle) à l'aide d'un stylet conducteur mobile (avec indications de convergence).

NB : ce repérage pourra être facilement effectué grâce à l'assistance d'un opérateur vocal.

- prévoir l'adjonction ultérieure d'un écran LCD 4 \* 20 caractères indiquant le status du système, ainsi qu'un son de fréquence modulable.

###### 3.3.2.1.1.1.3 Composition sommaire

A venir.

###### 3.3.2.1.1.1.4 Relations fonctionnelles

La carte de communication va donc être en relation avec :

- le PC via une liaison série RS 232.
- l'électronique de test via les cartes fond de panier et la carte de raccordement) .
- le système d'alimentation, via une commande 0 / 10 V.
- l'automate TSX 17 de gestion des parties mécaniques, pneumatiques et de sécurité.

### 3.3.2.1.1.1.5 Contraintes générales à prendre en compte

- a) carte produite à quelques exemplaires par an.
- b) modularité et bus d'extension souhaité

### 3.3.2.1.1.1.6 Remarques diverses

La carte de communication est une carte essentielle au niveau de la caractéristique de rapidité du test. Elle devra être optimisée dans cette optique, tout en prenant en compte les aspects économiques. Cette carte sera également le tampon des fonctionnalités intermédiaires à rajouter en cours de développement.

## *3.3.2.1.2 Caractéristiques*

### ***Confidentiel IMD***

## 3.3.2.2 Carte de raccordement

### *3.3.2.2.1 Objet / Mission*

#### 3.3.2.2.1.1 Objet

Cette carte a pour objet principal la réduction des nappes entre les cartes fond de panier et la carte de communication, dans un but de fiabilité.

#### 3.3.2.2.1.2 Mission

##### 3.3.2.2.1.2.1 Rôle de la carte dans le système face à la mission

La carte de raccordement est une carte passive, de connectique, qui relie la carte de communication aux cartes fond de panier. Elle n'a pour seul but que de rassembler toutes les nappes issues de chaque carte fond de panier, pour en faire une seule nappe, gainée dans un câble de type robotique, à même de supporter en grand nombre de mouvements sans que la connectique perde sa fiabilité.

##### 3.3.2.2.1.2.2 Composition sommaire

##### 3.3.2.2.1.2.3 Relations fonctionnelles

La carte de raccordement va donc être en relation avec :

- la carte de communication.
- les cartes fond de panier .

##### 3.3.2.2.1.2.4 Contraintes générales à prendre en compte

- a) la longueur de la nappe principale doit être compatible avec les mouvements mécaniques définis par Automa-tech.
- b) l'encombrement de la carte doit tenir compte des contraintes Automa-tech.
- c) les pistes faisant transiter le Vpp (jusqu'à 300 V) devront présenter des isolements avec les autres pistes d'au moins 0.5 mm. Les autres pistes d'alimentations devront également être dimensionnées en conséquence de leur ampérage.

## *3.3.2.2.2 Caractéristiques*

## ***Confidentiel IMD***

### 3.3.2.3 Cartes Fond de panier

#### *3.3.2.3.1 Objet / Mission*

##### 3.3.2.3.1.1 Objet

Cette carte a pour objet le support de la liaison électrique entre la carte de raccordement et les cartes module, simple ou double densité.

On en trouve un certain nombre sur chaque système IMD, au maximum 8 par face soit 16 en tout.

##### 3.3.2.3.1.2 Mission

##### 3.3.2.3.1.2.1 Rôle de la carte dans le système face à la mission

La carte FDP est une carte passive. Chaque carte fond de panier a pour mission l'acheminement des signaux électriques de commande de l'ensemble d'une ligne de modules (au plus 32 modules), ainsi que des divers signaux d'alimentation de ceux-ci, en tenant compte des contraintes d'encombrement et des contraintes mécaniques.

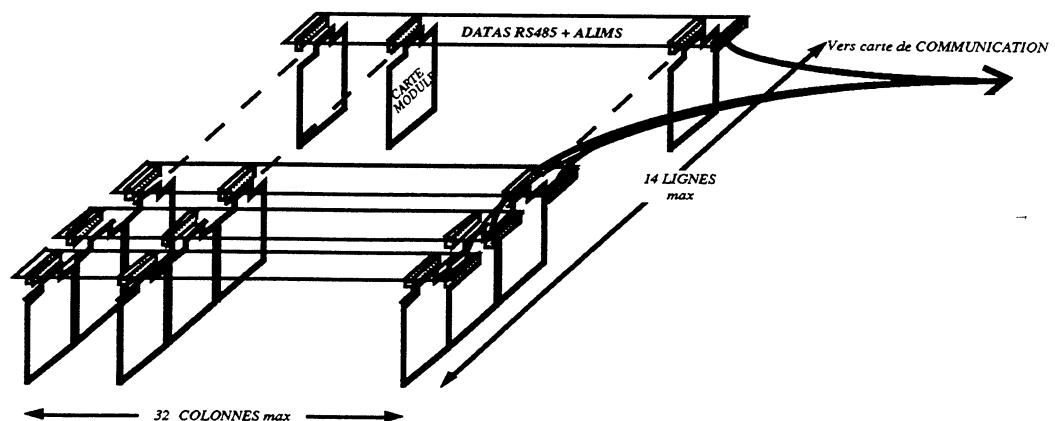
##### 3.3.2.3.1.2.2 Principales fonctions

La liste de ces principales fonctions est la suivante :

- liaison carte de raccordement <--> modules
- support liaison série haut débit (RS485)
- acheminement des divers signaux électriques de commande des modules.
- acheminement des divers signaux d'alimentation des modules.
- décodage de la position des modules (colonne)
- arrimage / positionnement des modules

##### 3.3.2.3.1.2.3 Composition sommaire

L'organisation générale de ces cartes FDP par rapport aux modules est explicitée par la figure suivante :



*Organisation des cartes Fond de panier*

##### 3.3.2.3.1.2.4 Relations fonctionnelles

Chaque carte FDP va donc être en relation avec :

- au plus 32 modules, par l'intermédiaire de 32 connecteurs custom IMD, comprenant 32 pointes à ressort femelles, montées sur un socle d'époxy. Ces connecteurs seront fournis par IMD, et cablés par OPTION, à la vague.
- la carte de raccordement, par l'intermédiaire d'un connecteur HE10, 2\*17 contacts.

#### 3.3.2.3.1.2.5 Contraintes générales à prendre en compte

- a) cette carte est au contact des plateaux de compression, métalliques : il ne doit pas y avoir de pistes du côté du plateau. De plus, des rainures devront être prévues dans le plateau à l'endroit où débouchent les connecteurs de la carte FDP.
- b) elle comprend un grand nombre de connecteurs, qui pourront être soumis à des efforts importants (insertion / désinsertion des modules, vibrations, etc...) : bien que les signaux n'apparaissent que sur une face, il est important de conserver des trous métallisés en vue d'une bonne tenue mécanique de ces connecteurs (si ceux-ci sont maintenus).
- c) cette carte doit être compatible avec le passage d'air dans les modules, en vue de la ventilation de ceux-ci.
- d) le haut débit de la liaison série peut induire un parasitage des signaux de retour vers la carte de communication (via la carte de raccordement), et notamment le courant de test. La diaphonie devra être réduite au maximum par l'emploi de gardes autour des signaux critiques.
- e) cette carte ne doit pas subir, ou faiblement, la compression du plateau. Des rainures pourront être prévues dans ces derniers pour abriter ces cartes. Les plateaux exercent directement la compression sur les profilés alu des modules, sans passer par les cartes FDP : celles-ci ne subissent que les efforts d'insertion / désinsertion des modules.

#### *3.3.2.3.2 Caractéristiques*

### ***Confidentiel IMD***

#### 3.3.2.4 Carte Module

##### *3.3.2.4.1 Objet / Mission*

###### 3.3.2.4.1.1 Objet

Cette carte constitue l'électronique modulaire du système de test IMD et est commandée au niveau des paramètres de test, à partir d'informations provenant de la carte de communication, elle-même pilotée par un Compatible IBM PC.

NB : on rappelle qu'IMD proposera au moins 2 versions de module, SD & 2D, basées sur un seul type de carte module.

###### 3.3.2.4.1.2 Mission

###### 3.3.2.4.1.2.1 Rôle de la carte dans le système face à la mission

La carte module constitue un ensemble de 512 points de test, programmables via un bus de données et de contrôle, intégré à une carte fond de panier, par la carte de communication.

La carte est intelligente : elle possède un micro-contrôleur qui va la gérer, en fonction des informations reçues de la carte de communication.

Chaque point de test, lors d'un certain nombre d'étapes (dites 'phases de test'), est placé dans une configuration spécifique au circuit imprimé que l'on s'apprête à tester, configurations décrites dans le document 'Méthode de mesure HT basée sur l'utilisation de convertisseurs Série/Parallèle'.

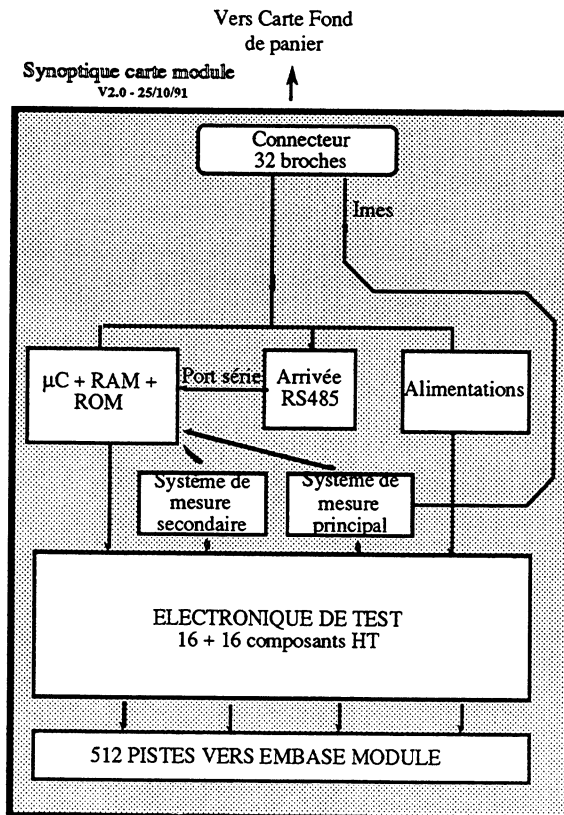
### 3.3.2.4.1.2.2 Principales fonctions

La liste de ces principales fonctions est la suivante :

- 512 points de test électroniques
- gestion des 512 points de test
- auto-apprentissage
- apprentissage de la disposition des aiguilles dans la K7 interface
- repérage XY d'un point de la grille universelle, à l'aide d'un stylet, lié à la carte de communication.
- système de mesure grossier

### 3.3.2.4.1.2.3 Composition sommaire

Le synoptique en est le suivant :



*Synoptique carte module*

### 3.3.2.4.1.2.4 Relations fonctionnelles

La carte module va donc être en relation avec :

- l'embase module selon une connectique à base de circuits souples.

NB: c'est au niveau de l'embase module, et non au niveau de la carte module que se fera la distinction entre cartes modules SD et 2D. Toutefois, chaque module (Carte module + Embase) devra intégrer son identité SD ou 2D, de telle façon que le système puisse générer sans équivoque la cartographie du nombre et de la densité des modules.

- la carte de communication via une liaison série haut débit supportée par un hardware de type RS485, ayant pour support un circuit imprimé passif, de référence. Le connecteur est femelle, 32 broches.

### 3.3.2.4.1.2.5 Contraintes générales à prendre en compte

- a) Cette carte intervient de façon très notable au niveau du prix de revient global du système. Son industrialisation devra être poussée de façon à optimiser son prix de revient.

- b) Lors de la manipulation des circuits imprimés testés, des frottements peuvent induire des décharges électrostatiques sur les entrées sorties des composants HT. Des précautions efficaces à cet effet devront être prises.
- c) La carte module est compatible avec les seules versions SD et 2D des modules. Toutefois, on pourra prévoir l'extension possible de l'utilisation de cette même carte à un module 4D. Cela impliquerait une surface de semelle de 20.32 mm \* 81. 28 mm, comportant 2 cartes modules.  
Il faut alors envisager :
- une liaison souple de connecteur à connecteur au niveau de la carte fond de bac, dans la mesure où on ne trouvera qu'un seul connecteur pour 2 cartes modules.
  - des composants CMS de faible hauteur : on ne dispose que de 20 mm pour 2 cartes, dont 5 mm sont utilisés par le profilé, et 3.2 mm par les 2 circuits nus : il reste un peu plus de 10 mm pour 4 épaisseurs de composants : cela implique une hauteur de moins de 2 mm.
  - un switch 2 bits pour indiquer la nature du module (SD, 2D, 4D ou autre).
- d) La carte module, et plus exactement l'embase qui va l'accueillir, doit être prévue pour que la carte module ne subisse aucune compression lors des diverses phases de test.
- e) Le connecteur doit être femelle, pour éviter que ne tombe de la poussière d'époxy dans les connecteurs de la carte 'fond de panier', s'ils étaient femelles.
- f) La carte module sera fixe par rapport à l'embase (Réf IMD - ST - EM - 01). Un couvercle permettra de sceller la carte dans l'embase, de manière à ce que l'accès à la carte soit interdit au client.

### 3.3.2.4.2 Caractéristiques

## **Confidentiel IMD**

### 3.3.2.5 Embase Module

#### 3.3.2.5.1 Objet / Mission

##### 3.3.2.5.1.1 Objet

On distingue en fait 2 types d'embase, simple et double densité (SD & 2D).

Chacun de ces ensembles, comprenant un circuit imprimé rigide passif câblé (carte semelle), 8 nappes souples en SD ou 16 en 2D, recouvertes de résine à l'une de leurs extrémités et un tube profilé alu, constitue la deuxième partie du module de test IMD, venant en complément de la carte module. C'est cette partie qui va matérialiser la grille de contacts standards au travers desquels l'électronique de test va se présenter aux K7 interfaces.

##### 3.3.2.5.1.2 Mission

###### 3.3.2.5.1.2.1 Rôle de l'ensemble dans le système face à la mission

L'embase module constitue un ensemble électro-mécanique de 512 contacts en SD et 1024 contacts en 2D, qui a pour fonction de transmettre les stimuli électriques issus de la carte module et réponses aux stimuli des circuits à tester, via les K7 interfaces, et ce, avec les contraintes d'encombrement imposées par la densité des points de test.

NB : c'est l'embase module qui fixe le pas du module. Ce pas pourrait, dans des versions ultérieures, ne pas être métrique. La principale implication serait alors le changement de la surface de base des modules.

###### 3.3.2.5.1.2.2 Principales fonctions

La liste de ces principales fonctions est la suivante :



- interface électrique haute densité entre les composants haute tension de la carte module et les K7 interfaces.

#### 3.3.2.5.1.2.3 Composition sommaire

Le schéma simplifié est explicité en annexe de ce document (cf. schéma IMD 'Embase module SD/2D' du 10/09/91).

#### 3.3.2.5.1.2.4 Relations fonctionnelles

L'embase module va donc être en relation avec :

- une carte module pour la SD et 2 cartes modules pour la 2D, selon une connectique à base d'élastomères composites et de nappes d'époxy.  
NB: c'est au niveau de l'embase module, et non au niveau de la carte module que se fera la distinction entre modules SD et 2D.
- la grille universelle.

#### 3.3.2.5.1.2.5 Contraintes générales à prendre en compte

- Cet ensemble intervient de façon très notable au niveau du prix de revient global du système. Son industrialisation devra être poussée de façon à optimiser son prix de revient.
- Pour des raisons de repérage, il pourra être intéressant de disposer d'une sérigraphie numérotant les points d'un module.
- Le montage / démontage d'une carte module et de son embase devra être très rapide et très fiable.
- L'isolement diélectrique de cet ensemble, au niveau de ces divers éléments, devra être au moins de 500 V.
- Les embases SD et 2D doivent être juxtaposables les unes à côté des autres.
- Les embases qui vont accueillir la carte module, doivent être prévues pour que la carte module ne subisse aucune compression lors des diverses phases de test.

### *3.3.2.5.2 Caractéristiques*

## ***Confidentiel IMD***

### 3.3.2.6 Système d'alimentations

#### *3.3.2.6.1 Objet / Mission*

##### 3.3.2.6.1.1 Objet

Le système d'alimentation a pour objet de pourvoir aux besoins en énergies électriques du système de test IMD, à partir du secteur (220 V + prise de terre).

##### 3.3.2.6.1.2 Mission

##### 3.3.2.6.1.2.1 Rôle du sous-ensemble d'alimentation dans le système face à la mission

Le système de test IMD requiert plusieurs types d'alimentations pour son fonctionnement :

- des alimentations logiques (5 V, 12 V) pour alimenter la partie logique des diverses cartes du système de test.
- des alimentations analogiques, destinées à fournir des tensions ou courants analogiques aux cartes modules en vue du test.

### 3.3.2.6.1.2.2 Principales fonctions

- source 1 :
  - . 9 V (?)
  - . 10 A (?)
  - . tolérance  $10^{-2}$
  - . sense : oui
  - . ondulation max : 50 mV
- source 2 :
  - . 12 V (?)
  - . 10 A (?)
  - . tolérance  $10^{-2}$
  - . sense : oui
  - . ondulation max : 100 mV
- source 3 :
  - . 15 V - 300 V, step de 5 V (Vpp ne peut être inférieure à Vdd)
  - . 1 A (?)
  - . tolérance  $10^{-4}$
  - . sense : oui
  - . programmation par 0 / 10 V
  - . ondulation max : ? mV

### 3.3.2.6.1.2.3 Composition sommaire

La conception est souhaitée modulaire. Chaque source doit pouvoir fonctionner indépendamment des autres.

Les sources 1 et 2 pourront être réalisées à partir d'un module à découpage.

La source 3 nécessitera sans doute un module linéaire.

### 3.3.2.6.1.2.4 Relations fonctionnelles

Le système d'alimentations est 'monitoré' par la carte de communication.

### 3.3.2.6.1.2.5 Contraintes générales prises en compte

- a) modularité des sources : en particulier le module analogique (10 V - 300 V) pourra être facilement interchangeable avec un module équivalent de tension plus faible (10 V - 100 V ou 10 V - 40 V).
- b) les éventuels rayonnements causés par les modules à découpage ne doivent pas avoir d'impact sur la précision et la fiabilité de la mesure. A cette intention, le système d'alimentation devra être tenu éloigné de la carte de communication qui va effectuer cette mesure. En tout état de cause, le rayonnement du système d'alimentation devra être minimisé.

## *3.3.2.6.2 Caractéristiques*

# ***Confidentiel IMD***

## 3.3.2.7 Code barre

### *3.3.2.7.1 Objet / Mission*

#### 3.3.2.7.1.1 Objet

IMD prévoit de référencer les cartes testées avec son testeur par un système à base de code-barre. Une étiquette sur laquelle sont imprimées les informations code-barre est collée sur chaque carte issue du PC testeur.. Les cartes repérées comme étant défectueuses sont traitées sur le PC Réparation. L'opérateur qui travaille sur ce PC dispose d'un lecteur optique de code-barre inséré en série entre l'UC de son PC et le clavier. La lecture du code-barre entraîne le transfert automatique via le réseau du fichier .ERR contenant toutes les informations relatives aux erreurs détectées sur la carte.

Il est donc nécessaire à ce stade de l'avancement du projet Testeur IMD de déterminer parmi les codes existant dans l'industrie celui qui est le plus adapté ( code 39, code 2 parmi 5 entrelacé, code 49 bidimensionnel ... ). Il faut par la suite développer le logiciel d'impression de ces codes-barres. Il n'a pas été choisi d'acheter un produit déjà existant dans le commerce car le programme d'impression de code-barre doit être intégré dans des logiciels propres à IMD.

La programmation d'une imprimante graphique étant étroitement dépendante de la technologie utilisée, il a d'abord été nécessaire de *cibler le type d'imprimante* qui sera utilisé par le système IMD.

### 3.3.2.7.1.2 Mission

#### 3.3.2.7.1.2.1 Rôle du logiciel dans le système face à la mission

Le rôle du logiciel qui fait l'objet de cette spécification est de piloter une imprimante afin d'imprimer les codes-barres utilisés par IMD.

#### 3.3.2.7.1.2.2 Principales fonctions

Les fonctions mises en jeu sont des fonctions d'impression bien entendu ( envoi de caractères ) mais également des fonctions de configuration d'imprimantes (imprimantes série, parallèle, mode unidirectionnel ou bidirectionnel de la tête d'impression... ).

#### 3.3.2.7.1.2.3 Composition sommaire

Les fonctions d'impression se trouvent dans le fichier *barcode.c*. Ce fichier est accompagné des fichiers *define.h* et *biblio39.h* qui sont décrits au 3.3.2.7.4.3

#### 3.3.2.7.1.2.4 Relations fonctionnelles

#### 3.3.2.7.1.2.5 Contraintes générales prises en compte

Les contraintes qui ont été prises en compte pour le choix du codage, du matériel et la réalisation du logiciel d'impression sont les suivantes:

- le code utilisé doit être largement répandu dans les milieux industriels et sa densité doit être élevée: Le code 39 a été choisi.
- les imprimantes utilisées doivent être peu chères tout en ayant une résolution suffisante pour l'application IMD: l'impression se fera sur des imprimantes matricielles 8, 9 ou 24 aiguilles.
- le logiciel doit être compatible avec le plus grand nombre possible d'imprimantes. De plus les paramètres d'impression doivent être facilement modifiables.

### 3.3.2.7.2 Documents applicables

#### 3.3.2.7.2.1 Liste

##### 3.3.2.7.2.1.1 Normes

- ASCII: Norme qui code de manière numérique l'ensemble des caractères imprimables ainsi que des caractères de contrôle.
- ESC/P ( Epson Standard Code for Printers ): Normes relatives aux séquences de commandes acceptées par les imprimantes compatibles Epson ( Epson, IBM, NEC ).

- Norme 39: Norme relative à l'encodage de données par le code alphanumérique 39.

### 3.3.2.7.2.1.2 Formats

#### 3.3.2.7.2.1.3 Autres documents

##### Environnement PC:

- La bible du PC, MICRO APPLICATIONS.
- Documentation MS-DOS, MICROSOFT.

##### Documentation Impression:

- Le grand livre des imprimantes PC, Ralf OCKENFELD, MICRO APPLICATION.
- Documentation sur imprimantes IBM et EPSON.

##### Documentation Code-barre:

- Catalogue INTERMEC.
- Symbologie 39 fournie par AXE INFORMATIQUE.

##### Programmation en C:

- Documentation Microsoft C5.1, MICROSOFT.
- Le langage C, Kernighan, Ritchie, MASSON.
- Le guide PSI du programmeur en C, Jean-Luc Luczak, PSI.

### 3.3.2.7.2.2 Description détaillée

#### 3.3.2.7.2.2.1 Normes

##### ASCII:

Pour communiquer, les ordinateurs et les imprimantes échangent des codes numériques ASCII représentant les caractères à imprimer ou les commandes de contrôle de l'imprimante. Le standard ASCII (American Standard Code for Information Interchange) a été développé afin de s'assurer que les deux unités traduisent les caractères de la même façon. Ce code comprend les codes de caractères imprimables ( lettres, signes de ponctuation, chiffres et symboles mathématiques ), ainsi que les 33 premiers caractères de la table ASCII qui sont des codes de contrôle. Aux caractères de contrôle correspondent des fonctions telles que le déclenchement du signal sonore, l'exécution du retour chariot ou le passage en mode graphique. Du fait qu'il ne suffit pas de 33 commandes pour contrôler toutes les fonctions de l'imprimante, la plupart des commandes de l'imprimante sont constituées de 2 codes, voire davantage.

##### ESC:

L'un des codes de commande évoqués précédemment est le code ESCAPE ( ESC: code Ascii 27 ). Il signale le début d'une séquence de codes. C'est la raison pour laquelle la plupart des commandes d'impression sont des séquences de codes, dont le premier est le code ESC. L'utilisation de ces codes pour l'impression graphique est abordée plus loin dans ce document.

##### Code 39:

Le code 39 permet de coder les 26 lettres de l'alphabet , les chiffres 0 à 9 ainsi que 7 signes particuliers qui sont : le dollar ( "\$" ), la barre oblique ( "/" ), le plus ( "+" ), le pour cent ( "%" ), le point ( "." ), le tiret ( "-" ), l'espace ( " " ) ainsi que le caractère de début et de fin de message, l'étoile ( "\*" ).

La dénomination code 39 a pour origine le fait qu'un caractère est codé par 9 éléments dont 5 barres noires et 4 espaces, parmi lesquels 3 sont larges ( 1 binaire ) et 6 sont étroits ( 0 binaire ). Les espaces entre caractères ne sont pas significatifs.

Le code 39 est un code de longueur variable. La longueur maximale dépend en fait de l'équipement de lecture. La plupart des lecteurs pouvant atteindre 32, 48, voire 64 caractères, la limitation pratique provient plutôt des contraintes liées à l'application ou à l'opérateur.

Remarque : le lecteur optique Soundmaster utilisé a une capacité de stockage de 8 Ko.

Du fait de sa structure, le code 39 est auto-contrôlé. De ce fait, il n'est pas nécessaire, pour les applications courantes, de prévoir un caractère de contrôle. Néanmoins, pour les quelques applications qui le nécessiteraient, une clé de contrôle peut être utilisée.

L'encombrement et la densité du code 39 sont très variables. Une densité de 9.4 caractères par pouce est usuelle, tandis que des densités très faibles comme 1.4 caractères par pouce ( impression sur cartons ondulés ) ou très fortes de 15 caractères par pouce sont également utilisées.

Un caractère particulier est utilisé pour marquer le début et la fin du symbole. Ce caractère est habituellement interprété par une étoile ( "\*" ) et n'est pas transmis lors de la lecture. Un symbole en code 39 se compose donc de :

- un espace blanc
- le caractère de début de message : "\*"
- les caractères du message proprement dit
- le caractère de fin de message : "\*"
- un espace blanc

Il faut noter que les espaces blancs précédant le symbole lui-même sont indispensables pour la lecture.

#### Spécifications d'impression:

- Hauteur: pour une lecture par crayon, une hauteur minimale de 0.15 fois la longueur du symbole est recommandée.
- Ratio ( rapport de la largeur barre large / barre étroite ): si le symbole est de moyenne ou grande densité ( 5 caractères par pouce et au delà ), respecter un ratio minimum de 2.2. Dans les autres cas, le ratio minimum imposé est de 2. Le ratio maximum est de 3.
- Dimension des éléments: elle ne doit pas changer à l'intérieur d'un même symbole. L'espace entre caractère doit être de une à trois fois la largeur de l'élément étroit. Les zones blanches précédant et suivant le symbole doivent être au minimum de 10 fois la largeur de l'élément étroit , avec un minimum absolu de 2.5 mm et un minimum recommandé de 6 mm.

#### 3.3.2.7.2.2.2 Formats

##### 3.3.2.7.2.2.3 Autres documents

- La Bible PC et la documentation DOS ont permis de mieux connaître deux aspects de l'environnement PC: l'utilisation des interruptions DOS et la gestion des imprimantes ( configuration, redirection des ports...).
- Le grand livre des imprimantes PC a apporté les informations nécessaires au pilotage des imprimantes par logiciel et à la connaissance du mode graphique.
- Les documentations sur les codes-barre ont été à la base de l'élaboration des bibliothèques utilisées par les programmes d'impression.
- Les livres concernant le C ont été utilisés comme bibliothèques de fonctions.

#### *3.3.2.7.3 Caractéristiques*

##### 3.3.2.7.3.1 Présentation - Architecture

###### 3.3.2.7.3.1.1 Langage (s) utilisé (s)

Le logiciel d'impression a été écrit en Quick C de Microsoft. Cette version est largement compatible avec la version 5.1 du langage C.

### 3.3.2.7.3.1.2 Support hardware et environnement minimum nécessaire

Le logiciel fonctionne sur tout type de PC. En ce qui concerne les imprimantes, elles doivent respecter la norme EPSON ou la norme IBM.

### 3.3.2.7.3.1.3 Les imprimantes matricielles

Cette partie décrit le fonctionnement des imprimantes matricielles ainsi que la structure des commandes graphiques utilisées dans le programme.

Des informations complémentaires sur les autres types d'imprimantes sont disponibles en annexe.

#### i) Mode de fonctionnement de la tête d'impression:

Le mode de fonctionnement des imprimantes matricielles est quasiment identique pour toutes les imprimantes à aiguilles qu'elles en aient 8, 9, 18 ou 24. Une impulsion électrique projette violemment l'aiguille sur le ruban encreur qui entre alors en contact à un endroit précis avec le papier, laissant une trace d'encre.

La qualité et la vitesse d'impression dépendent du nombre d'aiguilles, de leur diamètre ainsi que du pas minimal de transport de la tête d'impression par le moteur.

On distingue deux types d'imprimantes: celles qui sont équipées d'une seule rangée d'aiguilles (imprimante à 8 ou 9 aiguilles) et celles qui sont équipées de deux rangées d'aiguilles (imprimantes à 18 ou 24 aiguilles). Pour mieux comprendre le mode graphique, nous allons décrire les deux modèles les plus répandus: les imprimantes 9 aiguilles et les imprimantes 24 aiguilles

#### ii) Les imprimantes 9 aiguilles:

La tête d'impression contient une rangée unique de 9 aiguilles disposées verticalement, comme le montre la figure 1 page suivante.

Les aiguilles ont un diamètre de 0,255 mm et sont séparées de 0,35mm ( soit 1/72<sup>ème</sup> de pouce ).

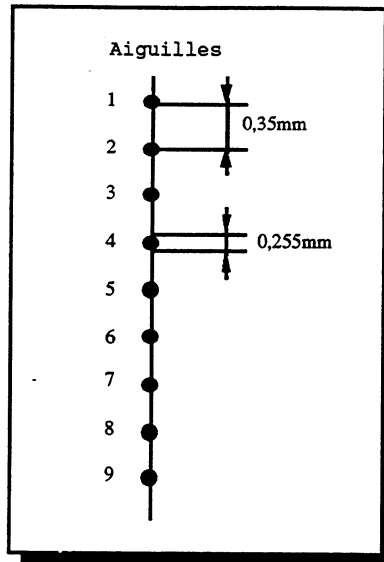
La résolution horizontale dépend du pas d'avancement de la tête soit 1/240<sup>ème</sup> de pouce. Cette résolution, appelée quadruple densité, ne peut s'obtenir en un seul passage car une aiguille qui vient d'être projetée à besoin d'un certain délai avant d'être projetée à nouveau. En pratique, une aiguille ne peut être projetée qu'à un intervalle de 1/120<sup>ème</sup> de pouce. La quadruple densité ne peut être obtenu qu'en effectuant deux passages de la tête et en décalant celle-ci de 1/240<sup>ème</sup> de pouce lors du deuxième passage.

En réglant la tête d'impression sur un pas d'avance double, triple ou quadruple, on obtient une impression de densité triple, double ou simple.

La résolution horizontale est donc de 120 points par pouce, voire 240 points par pouce si l'on passe deux fois sur la même ligne.

Pour ce qui est de la résolution verticale, la tête d'impression passe deux fois sur chaque ligne, le papier se décalant de 1/144<sup>ème</sup> de pouce juste avant le deuxième passage. Ceci permet d'obtenir une résolution verticale de 144 points par pouce au lieu des 72 points par pouce attendus.

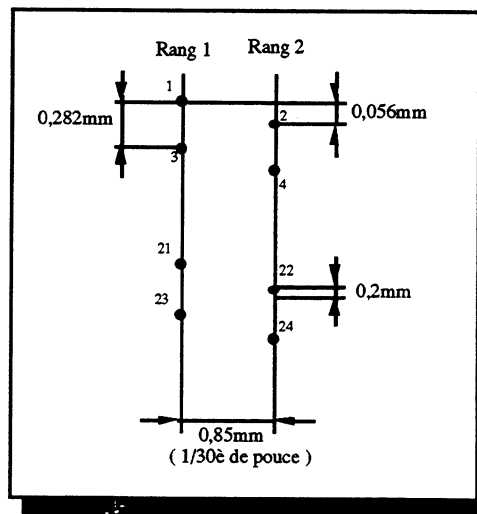
En résumé, la résolution d'impression est de 120 \* 144 points par pouce<sup>2</sup> avec deux passages de la tête d'impression et peut être portée à 240 \* 144 points par pouce<sup>2</sup> avec quatre passages.



Alignement des aiguilles sur une imprimante 9 aiguilles

iii) Les imprimantes 24 aiguilles:

La tête d'impression comprend 24 aiguilles disposées en deux rangées de 12 ( voir figure suivante ).



Alignement des aiguilles sur une imprimante 24 aiguilles

Les aiguilles ont un diamètre de 0,2 mm et sont séparées en hauteur de  $1/90^{\text{ème}}$  de pouce. La deuxième rangée est décalée de  $1/180^{\text{ème}}$  de pouce vers le bas tout en étant séparée de la première par un espace horizontal de  $1/30^{\text{ème}}$  de pouce. L'imprimante se charge de projeter les aiguilles de l'une des rangées  $1/30^{\text{ème}}$  de pouce plus loin selon la direction de la tête de sorte que tout se passe comme si les 24 aiguilles étaient alignées sur une seule et même rangée.

La résolution horizontale est de 180 points par pouce voire de 360 points par pouce si l'on fait deux passages ( même raison que pour 9 aiguilles mais avec un pas d'avancement de  $1/180^{\text{ème}}$  de pouce ).

La résolution verticale est cette fois ci obtenue en un seul passage, elle est de 180 points par pouce.

En résumé, la résolution d'impression est de  $180 * 180$  points par pouce<sup>2</sup> voire de  $360 * 180$  si l'on effectue deux passages.

Ajoutons que la plupart des imprimantes 24 aiguilles acceptent aussi les commandes graphiques pour imprimantes 8 aiguilles, mais en distendant l'impression dans la dimension verticale en raison de la

différence d'avance de ligne ( 1/180 ème de pouce pour l'imprimante 24 aiguilles contre 1/216 ème de pouce pour l'imprimante 9 aiguilles ). Le diamètre des aiguilles étant plus petit, il en résulte aussi une impression très 'claire'.

#### iv) L'impression graphique:

Pour les imprimantes 9 aiguilles comme pour les 24 aiguilles, l'information graphique est définie octet par octet. Pour les imprimantes 9 aiguilles, l'aiguille du bas n'est pas utilisée. Pour les 24 aiguilles, on divise la colonne d'impression en 3 groupes de 8 aiguilles.

Un groupe de 8 aiguilles offre 256 combinaisons différentes numérotées de 0 à 255. Pour distinguer l'ordre dans lequel les aiguilles doivent être activées selon le numéro de combinaison, les aiguilles sont numérotées de la manière suivante:

128	●
64	●
32	●
16	●
8	●
4	●
2	●
1	●

#### Numérotation des aiguilles

Pour qu'une aiguille soit projetée, l'imprimante doit recevoir le numéro correspondant: le numéro 32 par exemple, activera la 3<sup>ème</sup> aiguille en partant du haut. Pour activer plusieurs aiguilles, il suffit d'envoyer à l'imprimante la somme de leurs numéros respectifs.

#### v) Les commandes graphiques:

Les imprimantes 9 ou 24 aiguilles disposent d'une commande permettant de créer des graphiques:

ESC \* m n1 n2 Données

La séquence "ESC \*" permet de passer en mode graphique. Le paramètre "m" sert à déterminer le degré de résolution désiré ( voir tableau ). Les paramètres n1 et n2 permettent de spécifier le nombre de colonnes à imprimer ( nombre de colonnes = 256 \* n2 + n1 ). La chaîne de données correspond aux octets à envoyer à l'imprimante pour piloter les aiguilles ( 1 octet par colonne avec 9 aiguilles, 3 octets par colonne avec 24 aiguilles, le premier octet correspondant aux 8 aiguilles supérieures ).

#### 3.3.2.7.3.1.4 Architecture - liste résumée des principales fonctions

Dans sa version actuelle, le programme d'impression de code barre en code 39 se compose d'un module C contenant toutes les fonctions nécessaires à l'impression proprement dite et de deux fichiers d'en-tête à inclure dans ce module: ce sont les fichiers *define.h* et *biblio39.h* .

La structure des deux fichiers précédents est donnée ci-après, le module C est décrit au 3.3.2.7.3.1.6.

#### Le fichier *define.h*:



Le fichier *define.h* contient tous les paramètres de l'impression que le programmeur est susceptible de modifier suivant les besoins du moment. Ces paramètres sont :

- **nb\_col** : ce paramètre indique le nombre de colonnes graphiques affectées à une barre étroite blanche ou noire. Connaissant le plus petit pas d'avancement de la tête d'impression, autrement dit la résolution horizontale ( laquelle est déterminé par le mode graphique choisi, cf. tableau donné en annexe ), on peut en déduire la largeur physique de la barre imprimée.
- **ratio** : définit le rapport entre une barre large et une barre étroite. La norme 39 spécifie que ce paramètre doit être compris dans tous les cas entre 2 et 3.
- **nb\_ligne**: définit comme son nom l'indique le nombre de lignes sur lesquelles seront imprimés les codes-barre, c'est à dire la hauteur du code barre.
- **ESC\_or\_IBM** : ce paramètre est à mettre à 1 si l'imprimante considérée est une imprimante EPSON ou est compatible ESC/P ( Epson Standard Code for Printer ). Il faut le fixer à 0 si l'imprimante utilisée est une imprimante IBM ou compatible IBM.
- **sp** : ce paramètre est à mettre à 1 si l'imprimante est une imprimante série. Il faut le mettre à 0 si l'imprimante est parallèle.
- **LPT** : ce paramètre définit le port de l'imprimante parallèle utilisée d'après les valeurs suivantes:
  - LPT = 1 : LPT1
  - LPT = 2 : LPT2
  - LPT = 3 : LPT3
- **COM** : ce paramètre définit le port de l'imprimante série utilisée d'après les valeurs suivantes:
  - COM = 1 : COM1
  - COM = 2 : COM2
- Les 4 paramètres suivants permettent de configurer l'imprimante série:
  - . **nbytes** : nombre de bits de données transmis ( 7 ou 8 ).
  - . **nbstop** : nombre de bits de stop ( 1 ou 2 )
  - . **parité** : 0 = pas de parité, 1 = parité impaire, 3 = parité paire
  - . **vitesse** : définit la vitesse d'impression en bauds. Le paramètre vitesse peut valoir 9600, 4800, 2400, 1200, 600, 300, 150, 110.
- **mod\_uni** : définit si la tête d'impression travaille en mode unidirectionnel ( mod\_uni = 1 ) ou en mode bidirectionnel ( mod\_uni = 0 ). En mode bidirectionnel, la tête d'impression imprime alternativement chaque ligne de gauche à droite puis de droite à gauche, ce qui fait gagner en vitesse au détriment de la précision d'ajustement: par exemple, les barres d'un code barre peuvent ne pas être parfaitement alignées d'une ligne à l'autre
- **mode** : ce paramètre définit la résolution horizontale de l'impression. Cette résolution qui dépend du nombre d'aiguilles de la machine ( 9 ou 24 ) est exprimée en points par pouce ou dpi ( dots per inch ) selon les conventions suivantes :
  - . Pour les imprimantes 8 aiguilles :
    - mode = 0 : 60 dpi, simple densité
    - mode = 1 : 120 dpi, double densité
    - mode = 2 : 60 dpi, double densité, double vitesse
    - mode = 3 : 240 dpi, quadruple densité
  - . Pour les imprimantes 24 aiguilles:
    - mode = 32 : 60 dpi, simple densité
    - mode = 33 : 120 dpi, double densité
    - mode = 39 : 180 dpi, triple densité
    - mode = 40 : 360 dpi, sextuple densité

### Le fichier *biblio39.h*

Ce fichier contient la déclaration et l'initialisation de tous les caractères soutenus par la norme 39. Le nom symbolique de ces caractères correspond au caractère codé en code 39.

Exemple: int A=0x121.

Ces caractères sont de type **int** , ce qui permet d'avoir accès à 16 bits en mémoire. Parmi ces 16 bits, seuls les bits 0 à 8 sont significatifs. Chaque bit code une barre large ou étroite, blanche ou noire. Un bit à 1 signifie qu'il faut imprimer une barre large, un bit à 0 code l'impression d'une barre étroite. Il n'y a pas

besoin de coder la couleur de la barre à imprimer puisqu'un caractère commence toujours par une barre noire. Les 8 barres qui suivent alors alternativement blanches et noires. Entre chaque caractère est insérée une barre blanche étroite séparatrice. La valeur hexadécimale qui initialise chaque variable du fichier biblio39.h correspond suivant ce principe au codage de la norme 39 dont on trouvera les références exactes dans le tableau donné en Annexe.

#### 3.3.2.7.3.1.5 Organigrammes commentés

Les organigrammes sont donnés en Annexe (paragraphe 3.3.2.7.4.5).

#### 3.3.2.7.3.1.6 Liste des fonctions d'impression

Cette partie contient la liste des fonctions qui réalisent l'impression de code-barre. Ces fonctions sont classées par ordre alphabétique. Les listings commentés sont fournis en annexe.

##### *Fonction **Barre\_blanche***

void **Barre\_blanche** (*tampon*) :

##### Descriptif général:

si tampon = 1 impression d'une barre blanche large

si tampon = 0 impression d'une barre blanche étroite

Cette fonction appelle les fonctions ITPAR() ou ITSER() pour envoyer vers l'imprimante parallèle ou série les octets de codage d'une barre blanche ( l'envoi de l'octet 0 provoque l'impression d'une colonne graphique noire pour une imprimante 8 aiguilles. Dans le cas d'une imprimante 24 aiguilles, il faut envoyer 3 fois ce même octet pour obtenir le même résultat. Cf. imprimantes matricielles )

Paramètres en entrée: int tampon

Paramètres en sortie: aucun

##### *Fonction **Barre\_noire***

void **Barre\_noire** (*tampon*) :

##### Descriptif général:

si tampon = 1 impression d'une barre noire large

si tampon = 0 impression d'une barre noire étroite

Cette fonction appelle les fonctions ITPAR() ou ITSER() pour envoyer vers l'imprimante parallèle ou série les octets de codage d'une barre noire. En mode graphique, l'envoi de l'octet 255 provoque l'impression d'une colonne graphique noire pour une imprimante 8 aiguilles. Dans le cas d'une imprimante 24 aiguilles, il faut envoyer 3 fois ce même octet pour obtenir le même résultat.

Paramètres en entrée: int tampon

Paramètres en sortie: aucun

##### *Fonction **calc\_n1\_n2***

void **calc\_n1\_n2**(*nb\_carac, n1, n2*) :

##### Descriptif général:

La commande de passage en mode graphique demande comme argument le nombre total de colonnes graphiques qui vont être imprimées. Ainsi l'imprimante interprète les octets qui suivent comme des commandes de positionnement de ses aiguilles. Le nombre d'octets que l'imprimante s'attend à recevoir est égal au nombre de colonnes graphiques spécifié, pour une imprimante 8 aiguilles et est égal à trois fois ce nombre dans le cas d'une imprimante 24 aiguilles. Le nombre total de colonnes graphiques est

égal à  $n1 + 256*n2$ . La fonction `calc_n1_n2()` a pour but de calculer de façon automatique  $n1$  et  $n2$  en fonction du nombre de caractères à imprimer, du nombre de colonnes composant une barre étroite ( paramètre `nb_col` du fichier `define.h` ), du ratio choisi ( déterminé dans `define.h` ).

Paramètres en entrée: `int nb_carac` = longueur de la chaîne de caractères que l'on veut imprimer  
Paramètres en sortie: `int *n1, *n2`

**Fonction `go`**  
`void go(string)`

Descriptif général :

Cette fonction fait commuter l'imprimante en mode unidirectionnel ou bidirectionnel par appel de la fonction `mode_uni()`. Elle appelle ensuite `imprim(string)` pour imprimer le code barre sur une ligne. La fonction `interligne()` replace la tête d'impression une ligne plus bas. La même manipulation est effectuée ligne après ligne de façon à avoir la hauteur du code barre voulue. Enfin, les codes ASCII de `string` sont imprimés en dessous du code barre par appel de `imprim(string)`.

Paramètres en entrée: `char string[]`  
Paramètres en sortie: aucun

**Fonction `imprim`**  
`void imprim(string)`

Descriptif général:

Cette fonction reçoit en entrée la chaîne de caractères ASCII à imprimer en code-barre. Elle calcule le nombre de caractères de cette chaîne, fait commuter l'imprimante en mode graphique en fonction de tous les paramètres définis puis imprime le code barre caractère par caractère par appel de la fonction `imprim_caractere()`.

Remarque: la chaîne de caractères est précédée et terminée par le caractère de début et de fin de message: l'étoile.

Paramètres en entrée: `char string[]`  
Paramètres en sortie: aucun

**Fonction `imprim_caractere`**  
`void imprim_caractere(donnee):`

Descriptif général:

Impression d'un caractère en code 39 par appels successifs des fonctions `Barre_blanche()` et `Barre_Noire()`. L'appel d'une des ces deux fonctions est évidemment toujours précédé et déterminé par la lecture d'un bit de la variable donnée. Un caractère à imprimer est toujours suivi d'une barre blanche étroite séparatrice de caractères.

Paramètres en entrée: `int donnee`. `donnee` est initialisée dans `biblio39.h`  
Paramètres en sortie: aucun

**Fonction `interligne`**  
`void interligne()`

Descriptif général:

---

Séquence d'échappement compatible Epson et IBM qui permet d'ajuster la valeur de l'espacement vertical entre les lignes imprimées après appel de cette fonction. La syntaxe est:

ESC 3 n où n est une valeur entière comprise entre 0 et 255. la valeur de l'interligne vaut alors n/180 pouce ( 1 pouce = 2.54 cm )

Ceci permet d'imprimer des codes-barres sur plusieurs lignes consécutives et donc de maîtriser la hauteur des codes-barres à imprimer. Le nombre de lignes est défini par la variable **nb\_ligne** ( Cf. fichier define.h )

Paramètres en entrée: aucun

Paramètres en sortie: aucun

#### *Fonction ITPAR*

void *ITPAR* (*ascii\_code*) :

#### Descriptif général:

Cette fonction utilise la fonction 00h de l'interruption 17h pour envoyer sur le port parallèle spécifié par la variable LPT du fichier define.h le caractère dont le code ascii est donné par le paramètre d'entrée.

Paramètres en entrée: int *ascii\_code*

Paramètres en sortie: aucun

#### *Fonction ITSER*

void *ITSER* (*ascii\_code*) :

#### Descriptif général:

Utilise la fonction 01h de l'interruption 14h pour envoyer sur le port série spécifié par la variable COM du fichier define.h le caractère dont le code ascii est donné par le paramètre d'entrée.

Paramètres en entrée: int *ascii\_code*

Paramètres en sortie: aucun

#### *Fonction main*

void *main*()

#### Descriptif général:

Le main demande à l'utilisateur d'entrer une chaîne de caractères et transmet la chaîne saisie à la fonction go() qui l'imprime le code barre ainsi que la chaîne elle-même.

Paramètres en entrée: aucun

Paramètres en sortie: aucun

#### *Fonction message*

void *message*(*string*)

#### Descriptif général:

Imprimer en dessous du code barre sa signification alphanumérique.

Remarque: les caractères minuscules saisis au clavier sont convertis en majuscules.

Paramètres en entrée: char *string*[]

Paramètres en sortie: aucun

*Fonction mode\_graphique*  
void *mode\_graphique*(nb\_carac)

Descriptif général :

Mode\_graphique() est la séquence d'échappement ( Epson ou IBM ) qui fait passer l'imprimante en mode graphique. La syntaxe de cette séquence est :

standard ESC/P: ESC \* mode n1 n2

mode définit la densité d'impression ( cf. define.h ), n1 et n2 le nombre de colonnes graphiques à imprimer. Ces deux derniers paramètres sont calculés par appel de la fonction calc\_n1\_n2 ().

Paramètres en entrée: int nb\_carac = longueur de la chaîne de caractères que l'on veut imprimer

Paramètres en sortie: aucun

*Fonction mode\_uni*  
void *mode\_uni*(string):

Descriptif général:

Séquence d'échappement compatible Epson ou IBM permettant de passer en mode unidirectionnel ou bidirectionnel suivant la valeur de la variable mode du fichier define.h:

mode = 1: mode unidirectionnel

mode = 0 mode bidirectionnel

Paramètres en entrée: aucun

Paramètres en sortie: aucun

*Fonction newline*  
void *newline*():

Descriptif général:

Séquence d'échappement compatible Epson et IBM qui vide le contenu du buffer d'entrée de l'imprimante. La syntaxe est : LF

Paramètres en entrée: aucun

Paramètres en sortie: aucun

### 3.3.2.7.3.2 Caractéristiques fonctionnelles - Performances

#### 3.3.2.7.3.2.1 Échanges d'informations et liaisons

*Informations d'entrées*

L'information d'entrée est la chaîne de caractères à imprimer.

*Informations de sorties*

L'information de sortie est le résultat de l'impression du code-barre sur l'étiquette.

*Traitements*

a) sur les entrées/sorties :

- vérification de la configuration hardware :

- contrôles de cohérence effectués sur les données reçues et/ou transmises :

- méthodes de prise en compte et de mise à jour (changement de format, arrondis, extrapolation, interpolation, ...)
- b) pour les commandes et les visualisations :
  - traitements associés à des commandes, visualisations et sorties associées :
  - traitements associés à des visualisations et origine des informations :
- c) paramètres modifiables :

#### 3.3.2.7.3.2.2 Performances

- définition des domaines de fonctionnement (environnement PC) :  
Le logiciel fonctionne sur tout type de PC en vue de piloter des imprimantes matricielles compatibles EPSON ou IBM.

- définition des conditions d'emploi et d'entretien :  
Pour une bonne qualité d'impression, il est nécessaire de changer fréquemment de ruban ( une mauvaise qualité d'impression se traduira par une mauvaise lecture de l'étiquette au niveau du lecteur de code-barre.

- performances :
  - \* rapidité :
  - \* etc...

#### *3.3.2.7.4 Compléments d'information relatifs au codes barres et aux imprimantes*

##### 3.3.2.7.4.1 Glossaire

**ASCII** : American Standard Code for Information Interchange.

**ESC/P** : Epson Standard Code for Printers.

**Ratio** : Rapport entre la largeur d'une barre large et celle d'une barre étroite dans un code-barre

##### 3.3.2.7.4.2 Les différents types d'imprimantes

###### **Les imprimantes à jet d'encre :**

Ce procédé d'impression repose sur le même principe matriciel que celui des imprimantes à aiguilles. Il tend actuellement à se développer énormément alors qu'il ne retenait guère l'attention jusqu'ici. Cela vient surtout du fait que l'on est parvenu à maîtriser un des problèmes principaux de cette technologie, à savoir le nettoyage des gicleurs après le séchage de l'encre.

Les imprimantes à jet d'encre font partie du groupe des imprimantes sans impact, ce qui signifie que l'encre parvient sur le papier sans contact mécanique. Il en résulte un avantage évident: le fonctionnement quasi silencieux de cette machine et une durée de vie accrue. Mais ce ne sont pas les seuls avantages.

En effet, ces imprimantes acceptent exactement le même jeu de commandes que les imprimantes matricielles, ceci en mode texte ou en mode graphique. Les programmes développés seront donc portables sur ce type d'imprimantes.

Les imprimantes à jet d'encre n'imposent qu'un seul type de contrainte: le type de papier utilisé doit être d'une qualité irréprochable. En effet, un papier à fibres grossières 'gobe' l'encre, qui se met à diffuser. Il en résulte une impression sale, particulièrement préjudiciable à des applications utilisant des codes-barre.

Pour obtenir de bons résultats à l'impression, il convient d'utiliser du papier sans débris de bois, qu'il s'agisse de feuilles ou de papier continu. Pour l'impression de graphiques, il est recommandé d'utiliser du papier dont la surface a été traitée au talc : sa finesse permet d'obtenir un rendu bien contrasté de grandes surfaces noires ou de trames à points très fins. Un tel papier facilite de plus le séchage de l'encre, lequel

de dure théoriquement le temps d'imprimer deux lignes. Avec un papier de mauvaise qualité, le séchage peut demander quelques secondes.

Ajoutons enfin que les imprimantes à jet d'encre peuvent s'avérer plus rapides que les imprimantes à aiguilles. Elles sont évidemment plus chères que ces dernières.

### **Les imprimantes thermiques :**

Ce type d'imprimante est certes peu répandu mais quasi prédestiné à certains domaines d'utilisation bien précis. Il n'existe pas moins de sept procédés différents en thermo-impression. Deux d'entre eux s'imposent sur le marché : le procédé par thermo-réaction et celui par thermo-transfert :

#### **Impression par réaction thermique:**

Les imprimantes fonctionnant avec le procédé de réaction thermique sont appelées communément "imprimantes thermiques", ce qui est un peu abusif puisque nous venons de voir qu'il existe plusieurs procédés d'impression thermique. Par "imprimante à réaction thermique", on désigne un appareil utilisant un papier spécial : le plus souvent, il s'agit d'ordinateurs portables ou de mini-imprimantes pour ordinateurs de poche.

L'impression se fait ici sans qu'intervienne un ruban encreur: les substances colorantes se trouvent dans le papier. La coloration du papier se fait par une réaction chimique déclenchée par la chaleur que produit point par point la tête d'impression. Celle-ci est constituée par une ligne de points carrés, dont la juxtaposition permet donc l'impression de vraies barres, avec des bords extrêmement nets, au contraire des imprimantes matricielles dont l'impression se fait par des points de forme plus ou moins ronde. Comme pour les imprimantes à impact, le consommable ne passe qu'une fois dans l'imprimante, et la constance de la qualité d'impression est donc assurée (au contraire également des imprimantes matricielles, dont la qualité d'impression se dégrade suivant l'usure du ruban encreur). Malheureusement, ces impressions résistent mal à la lumière. De plus, il suffit d'effleurer ce papier avec un objet métallique pour voir apparaître des traînées noires. On peut aisément imaginer le résultat que produirait un contact avec le lecteur optique... . Un autre aspect négatif est que ces imprimantes s'avèrent coûteuses à l'utilisation . Il ne faut pas se laisser abuser par le prix généralement bas des imprimantes à réaction thermiques. Le papier spécial engendre vite des coûts appréciables, si bien que ces appareils sont à exclure pour l'impression de grandes masses de données.

#### **Impression par transfert thermique:**

L'impression par transfert thermique ressemble à celle par thermo-réaction, la différence étant ici la présence d'un ruban encreur et l'utilisation de papier normal. Ce ruban ne peut être utilisé qu'une fois, dans un seul sens, après quoi il faut le changer, ce qui est assez coûteux mais assure la constance de la qualité de l'impression. Autre inconvénient: les imprimantes par transfert thermique ne brillent pas par leur vitesse d'impression, leurs concurrentes à aiguilles ou à jet d'encre atteignent toutes des vitesses très supérieures. Ces imprimantes produisent néanmoins des impressions de très bonne qualité.

### **Les imprimantes à impact:**

Les caractères code-barre, comme les caractères normaux, sont gravés en relief sur un tambour tournant à grande vitesse. Des marteaux transfèrent l'encre d'un ruban encreur, ce transfert étant total, c'est à dire que le ruban encreur ne passe qu'une fois. On parvient ainsi à une grande qualité d'impression et également à une grande constance de cette qualité. Les imprimantes à impact utilisent des rubans encres très chargés en carbone et délivrent une impression insensible au vieillissement et à la chaleur. Les performances de résistance au vieillissement et aux hautes températures ne sont donc limitées que par les caractéristiques du support employé et éventuellement de l'adhésif.

#### **3.3.2.7.4.3 Tableau des résolutions d'imprimantes matricielles**

### **Modes graphiques des imprimantes 9 et 24 aiguilles**

La colonne Mode correspond aux valeurs du paramètre m évoqué dans la partie 3.3.2.7.1.2.3 de ce document lors des explications concernant les commandes en mode graphique ( séquence d'échappement à envoyer à l'imprimante ).

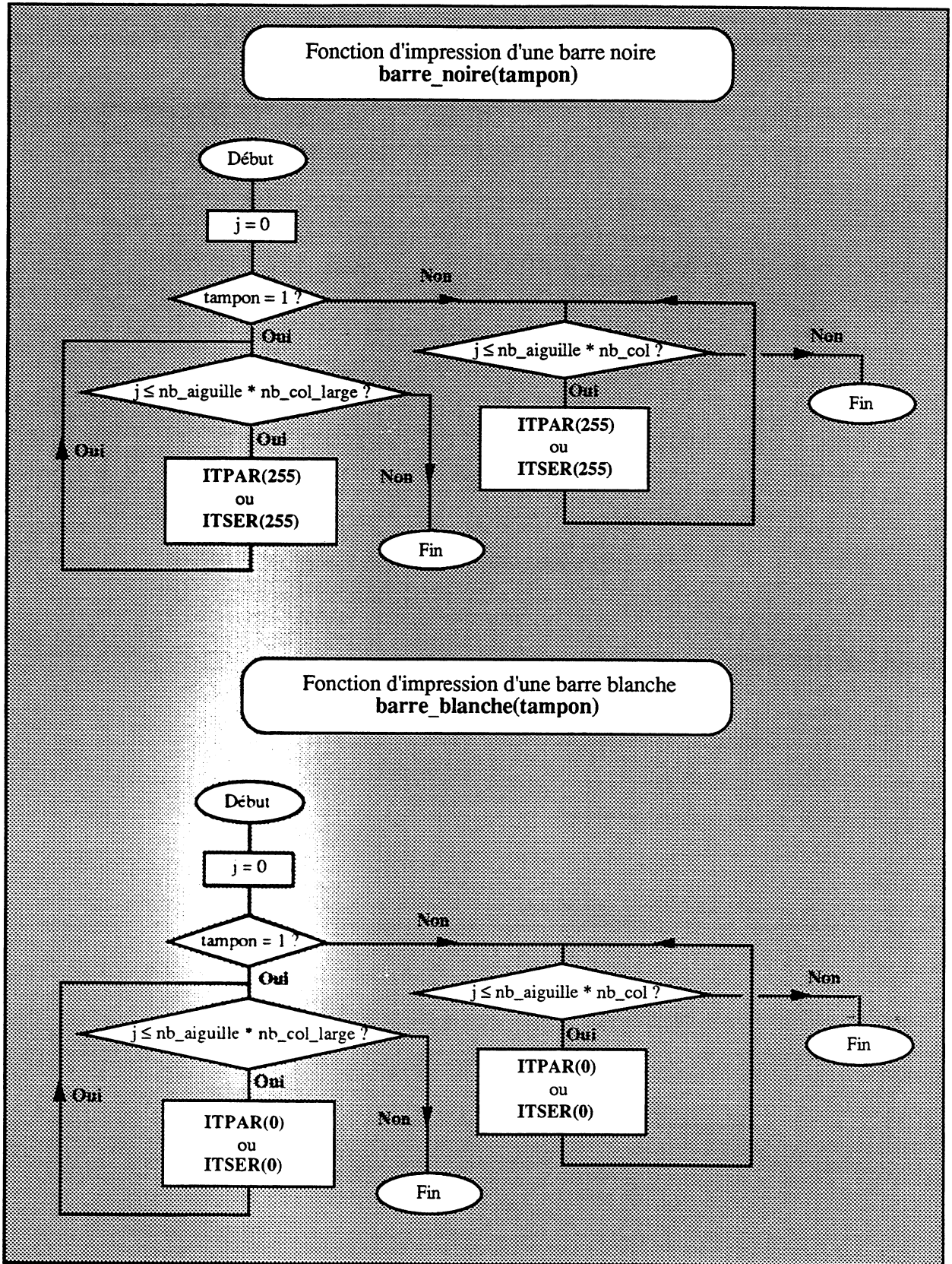
<b>Mode</b>	<b>Densité des points</b>	<b>Points par pouce</b>	<b>Points consécutifs</b>	<b>Nombre d'aiguilles</b>
0	simple densité	60	possible	8
1	double densité	120	possible	8
2	double vitesse double densité	120	impossible	8
3	quadruple densité	240	impossible	8
32	simple densité	60	possible	24
33	double densité	120	possible	24
39	triple densité	180	possible	24

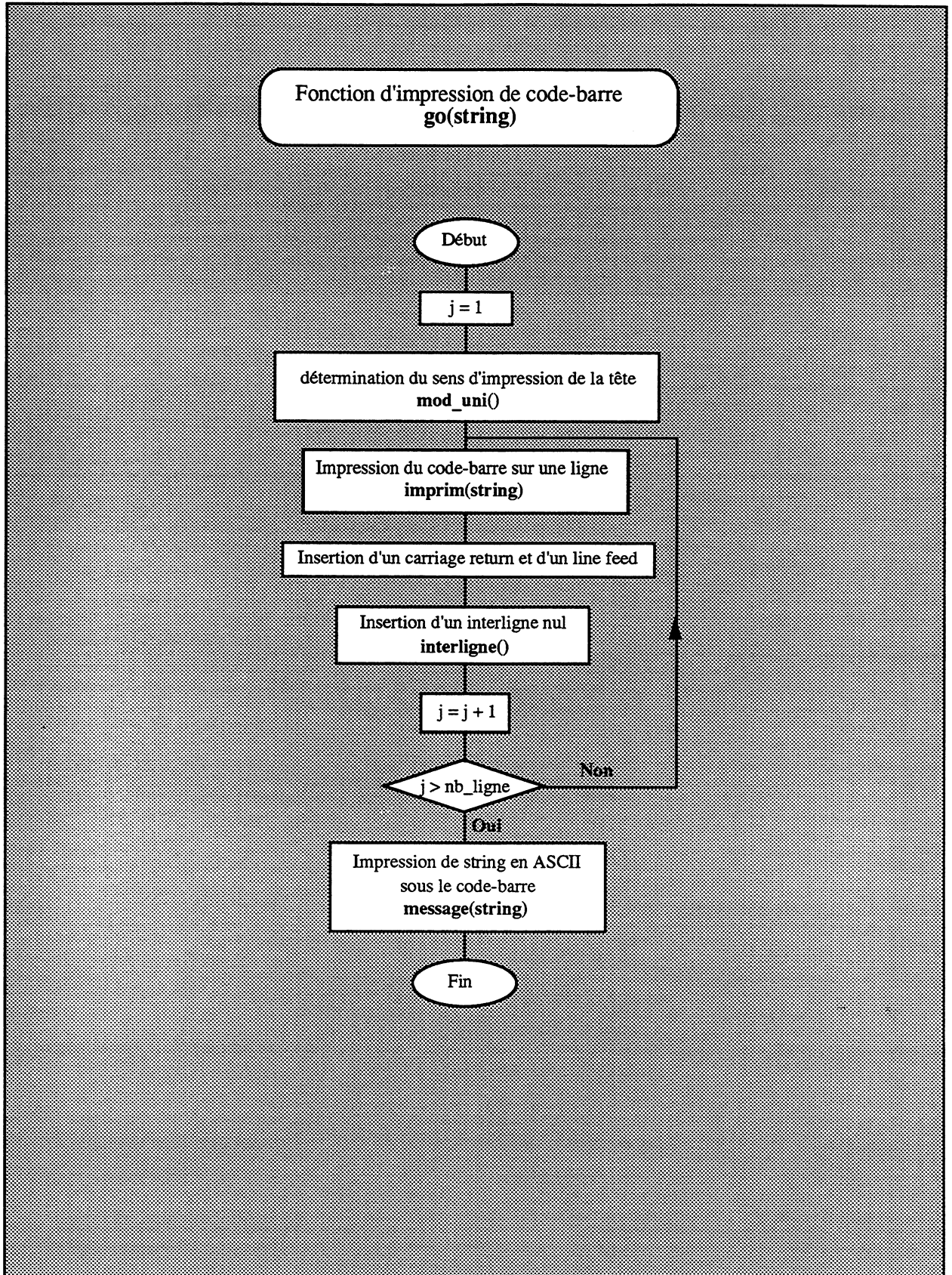
*Modes graphiques des imprimantes 9 et 24 aiguilles*

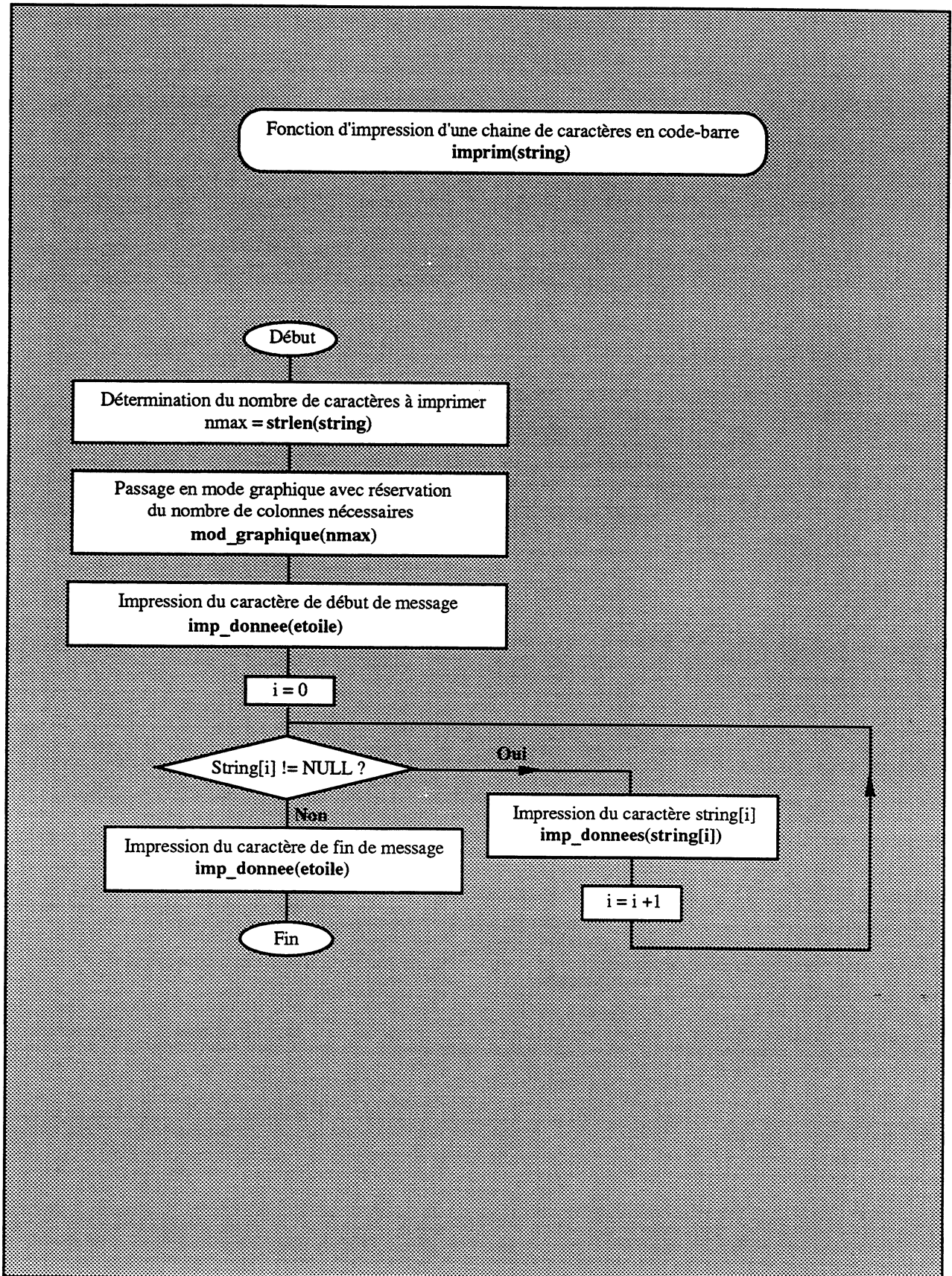
#### 3.3.2.7.4.4 Tableau des symbologies du code 39

#### 3.3.2.7.4.5 Organigrammes

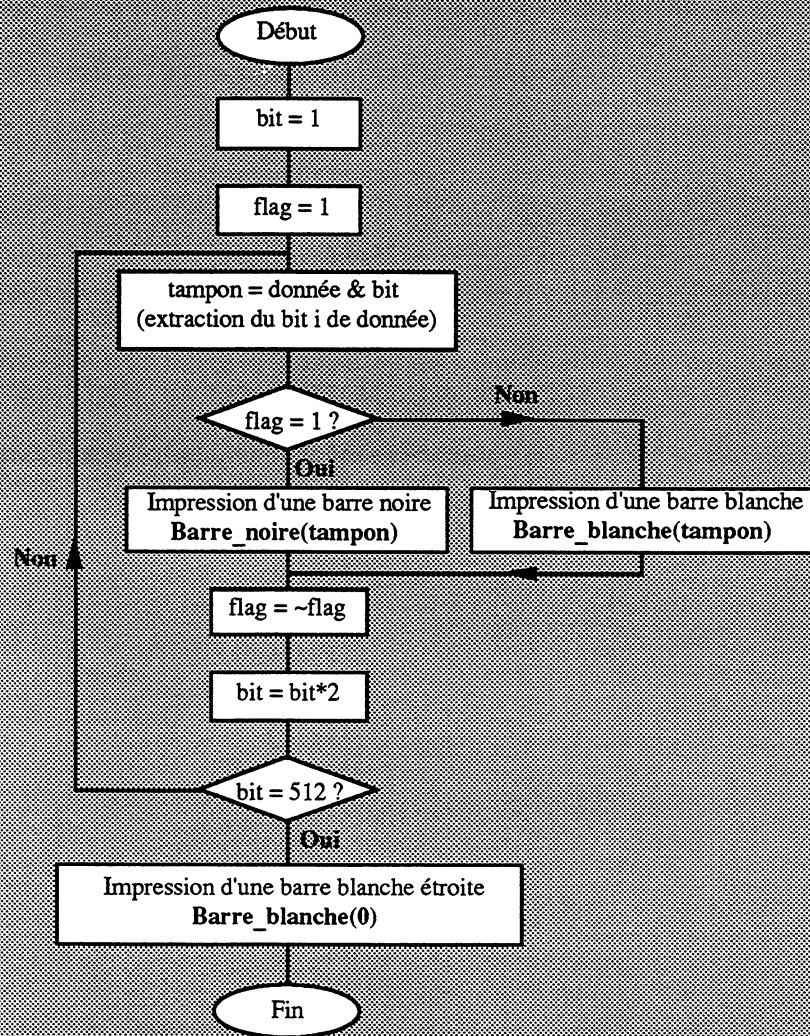








Fonction d'impression d'un caractère en code-barre  
**imp\_donnee(donnee)**



---

### 3.3.2.7.4.6 Les différents types de code-barre

#### **Les différent types de code-barre**

Code 39: code alphanumérique auto-contrôlé, présentant de très bonnes qualité de fiabilité, de facilité de lecture et d'impression qui en font le code le plus utilisé en applications industrielles ne posant pas de gros problème de place disponible .

Code 2 parmi 5: code numérique, rendu maintenant obsolète par sa faible densité.

Code 2 parmi 5 entrelacé: Code numérique très dense mais dont la moins bonne fiabilité intrinsèque oblige à l'utiliser soit en longueur fixe, soit avec une clé de contrôle. Peut convenir à toute application industrielle se suffisant d'un code numérique en longueur fixe ou avec clé de contrôle.

Code ITF: Code exactement équivalent au 2 parmi 5 entrelacé avec clé de contrôle.

Code EAN: Code numérique très dense spécifique aux applications de grande distribution ou de presse.

Code Monarch ( CODABAR ) : concerne les applications de transfusion sanguine, d'analyse médicale et de traitement photographique.

Code 93: Code alphanumérique haute densité permettant de coder le jeu ASCII complet.

Code 11: Code numérique haute densité, ou les caractères peuvent être imprimés séparément les uns des autres ( au contraire du 2 parmi 5 entrelacé ou les espaces sont tous significatifs ).

Code 49: Code alphanumérique ASCII complet bidimensionnel extrêmement dense.

### **3.3.3 Partie Mécanique**

#### **3.3.3.1 Grille universelle**

##### ***3.3.3.1.1 Objet / Mission***

###### **3.3.3.1.1.1 Objet**

La grille universelle est destinée à assumer la fonction 'ressort' de l'ensemble 'module + aiguilles' de la K7 interface. En effet, l'objet du système de test est d'accéder à l'information électrique sur le CAT. Cet accès se fait à l'aide de pointes métalliques de longueur donnée. Pour obtenir un bon contact simultané sur toutes les pointes, il faut :

- exercer un effort sur la pointe
- pouvoir rattraper les différences de planéité du CAT

C'est le rôle de la grille universelle, dont l'élément de base est une pointe à double effet.

NB 1 : on dénombre une grille universelle par face de test, soit 2 au maximum.

NB 2 : pour des raisons économiques, le ressort peut ne pas toujours être directement intégré aux aiguilles de la K7 interface, de par le coût élevé en immobilisation de pointes que cela engendrerait.

###### **3.3.3.1.1.2 Mission**

###### **3.3.3.1.1.2.1 Rôle du produit dans le système face à la mission**

La grille universelle doit transmettre l'effort du vérin de puissance, transmis par les modules, et plus exactement par chaque contact métallique (512 par module en SD et 1024 en 2D) de chaque module au niveau de chaque aiguille de la K7 interface, tout en permettant de rattraper des jeux max d'1 mm au niveau de :

- . la longueur des aiguilles
- . des différences de planéité du CAT (par défaut du CAT, ou par flèche de celui-ci sous une pression non équitablement répartie)
- . la flèche des plateaux de compression.

###### **3.3.2.3.1.2.2 Principales fonctions**

Fonction ressort et rattrapage de jeux.

###### **3.3.3.1.1.2.3 Composition sommaire**

On dénombre 2 types de grille universelle :

- une grille version prototype, non modulaire, qui pourra être simple ou double densité, voire mixte. Cette grille sera constituée de plusieurs plaques époxy, dans lesquelles on aura inséré des pointes à double effet sur toute ou partie de la surface. Cette grille est indépendante des modules électroniques.
- une grille modulaire, où les pointes à double effet sont directement intégrées au niveau des blocs module : cette notion de GU est la grille adaptée aux testeurs IMD, dans la mesure où elle optimise le nombre de pointes à double effet nécessaires, ce qui permet de diminuer en coût pour le client ce poste d'une manière non négligeable.

###### **3.3.3.1.1.2.4 Relations fonctionnelles**

La grille universelle est en relation avec :

- les zones métalliques des 'cartes semelle', ou 'embases module'.
- les aiguilles (le cas échéant), de la K7 interface de la face correspondante.
- le châssis mécanique, qui la soutient.

###### **3.3.3.1.1.2.5 Contraintes générales prises en compte**

- a) la grille universelle ne sert à rien d'autre que la fonction ressort : elle n'apporte rien au niveau du test. Il faudra donc essayer de réduire le plus possible le coût de celle-ci, ce qui passe par la définition d'un point élémentaire de grille très simple.
- b) la grille universelle doit être montée en correspondance avec la surface utile du client. Elle limite donc a priori la modularité de cette surface utile, sauf si on l'imagine selon un concept modulaire démontable, remontable.
- c) un auto-nettoyage des pointes est souhaité.
- d) la grille universelle doit être conçue pour plus de 5 000 000 de manoeuvres.
- NB : statistiquement, toutes les pointes à double effet ne sont pas utilisées à chaque compression de l'ensemble : seuls les emplacements de points de test réels subissent une compression.
- e) la grille doit être facilement amovible par un seul opérateur.
- f) il serait préférable que la grille universelle soit solidaire de l'ensemble de compression (comprenant les modules), de manière à ne pas engendrer de trop grosses contraintes de positionnement.
- g) la grille universelle doit être facilement escamotable par tout utilisateur. De même, son positionnement sur la surface utile de test doit être extrêmement simple.

### 3.3.3.1.2 Caractéristiques

#### 3.3.3.1.2.1 Présentation - Architecture

##### 3.3.3.1.2.1.1 Principe de fonctionnement

#### **Grille universelle non modulaire (NM)**

La grille universelle est posée sur le berceau métallique auquel sont fixés les modules. Le schéma suivant s'en fait le descriptif :

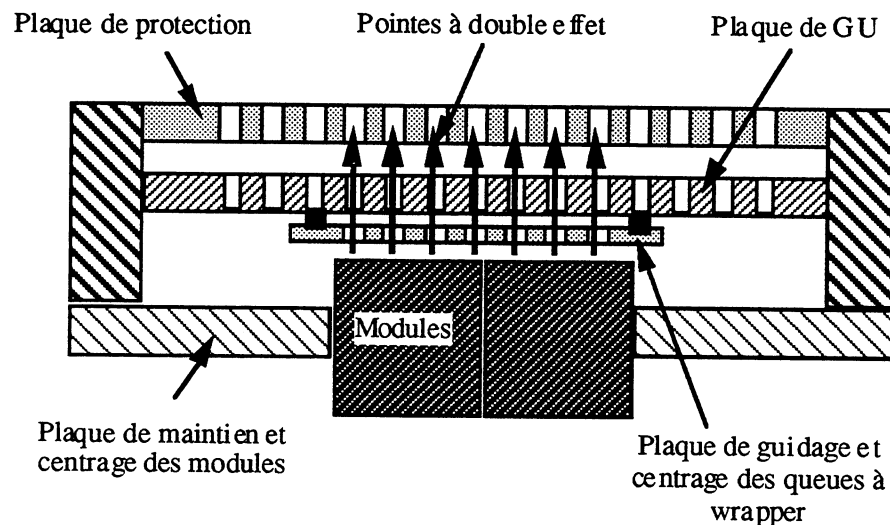


Schéma de principe de la grille universelle non modulaire IMD (vue de face)

En vue de dessus, le schéma précédent devient :

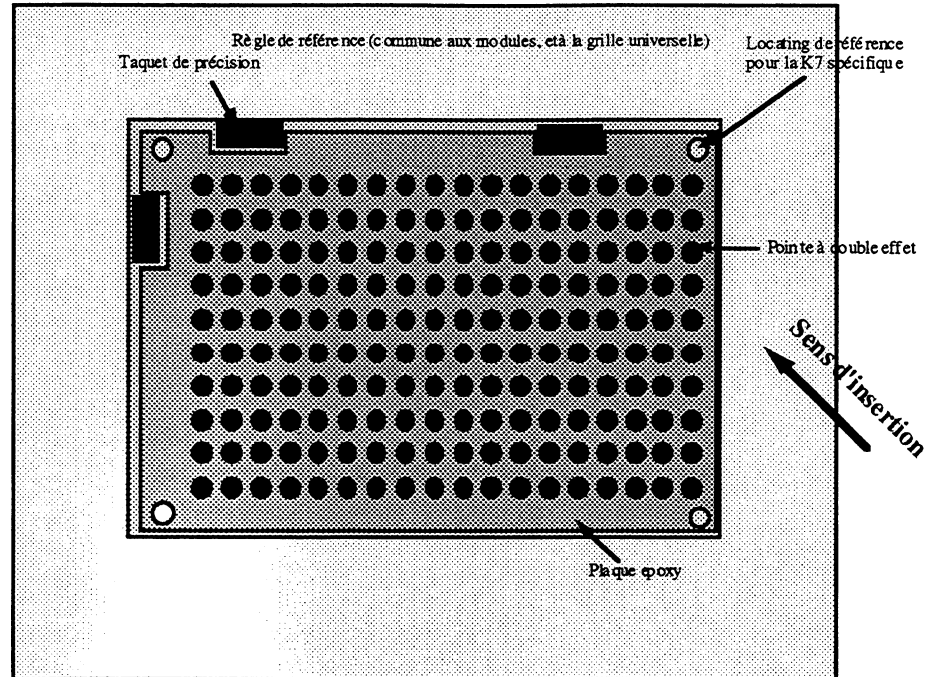


Schéma de principe de la grille universelle non modulaire IMD (vue de dessus)

On distingue donc 3 + 1 plaques :

- 1 plaque époxy dans laquelle coulisent les pointes, au pas de 2.54 mm, ou au pas de 1.79 mm.
- 1 plaque plexi de protection des pointes
- 1 plaque plexi de guidage et centrage des queues de réceptacles, vers les plages de contact des semelles des modules.
- 1 plaque de centrage et positionnement des modules, qui ne fait pas à proprement parler partie de la grille universelle.

### **Grille universelle modulaire**

La grille universelle modulaire diffère de la précédente conception en cela que les pointes de grille ne sont pas disposées sur une plaque à part entière, mais soudées puis moulées directement au niveau des modules de point de test.

Le schéma ci-dessous s'en fait l'illustration :

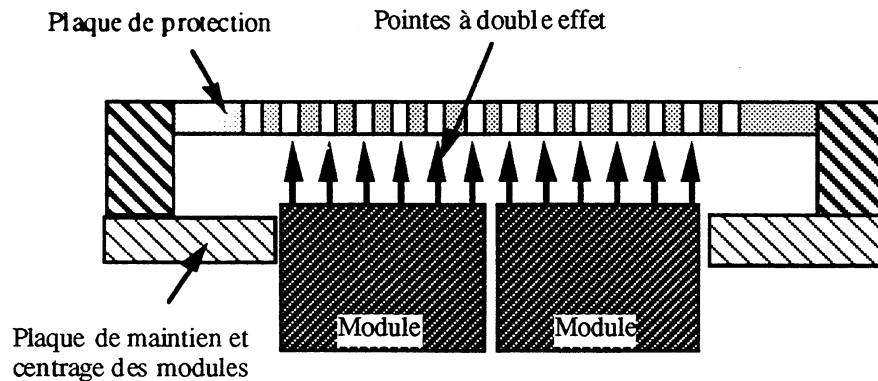
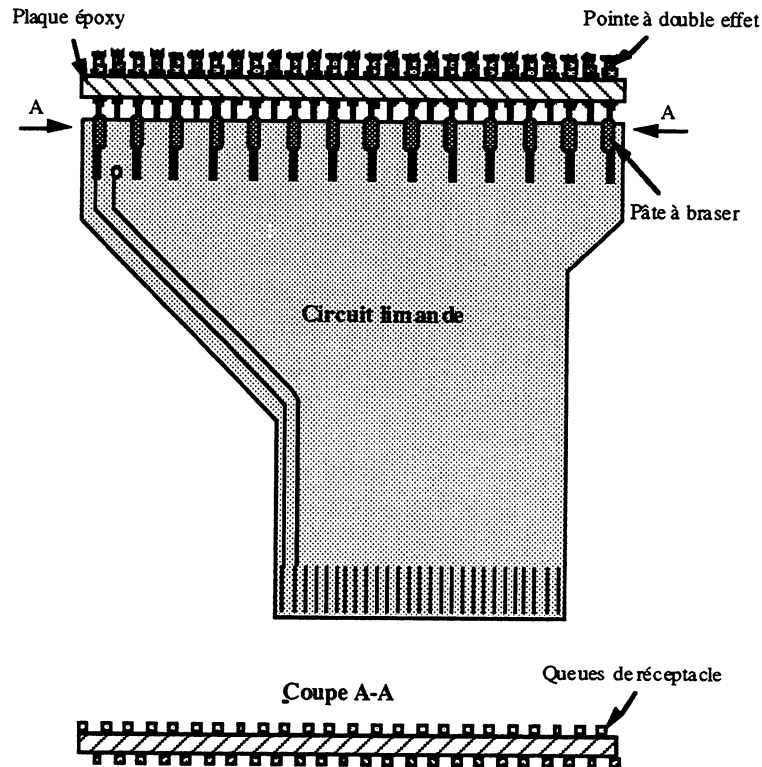


Schéma de principe de la grille universelle modulaire IMD (vue de face)



De manière plus précise, la liaison des pointes avec le module est décrite par la figure suivante :



*Schéma de principe de la grille universelle modulaire IMD (coupe)*

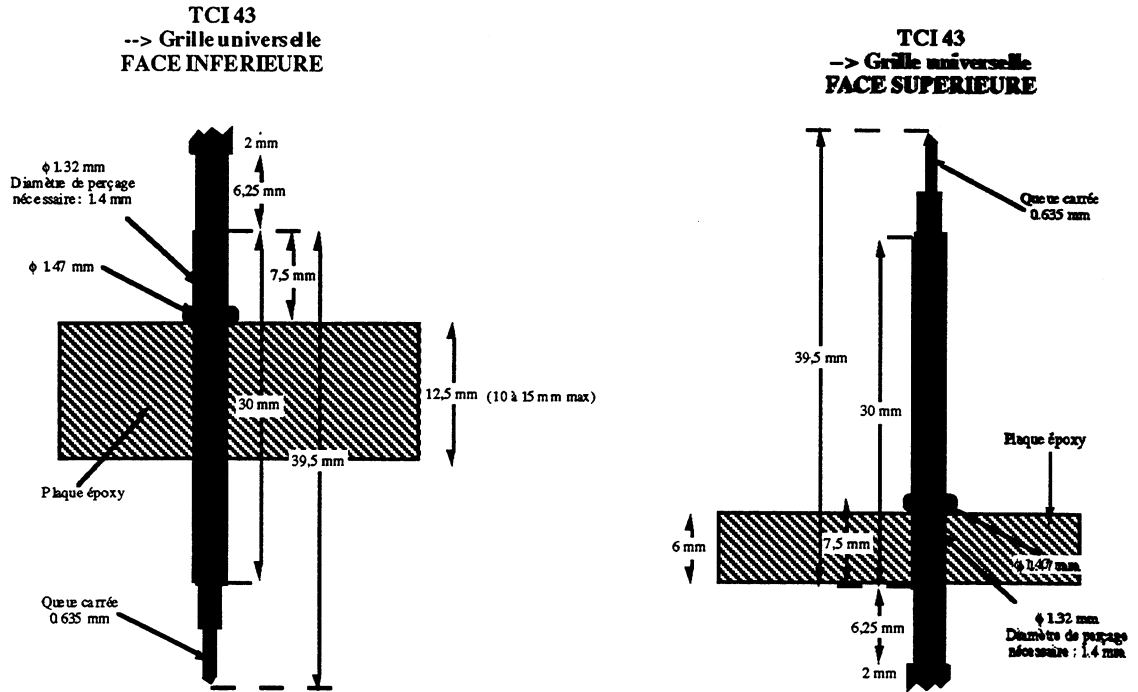
On vient donc brasler les queues de réceptacle directement sur la limande, celle-ci se présentant au pas de 2.54 mm en quinconce, le pas de 1.79 mm au niveau des points de test étant généré en final à l'aide d'une plaque epoxy de guidage des réceptacles, qui permet de simuler la grille double densité. On note donc la nécessité de décaler légèrement les queues de réceptacle, d'environ  $1.79/2 = 0.9$  mm, décalage obtenu grâce à la souplesse des queues, qu'il faudra donc prévoir suffisamment longues. En final, l'ensemble est coulé dans la résine après test électrique, pour figer le contact.

La liste des avantages de cette structure par rapport à la précédente est la suivante :

- il n'est plus nécessaire d'avoir une grille universelle 2D sur toute la surface utile de test pour pouvoir utiliser des modules 2D : cela diminue de manière considérable le nombre de pointes nécessaires, ce qui allège considérablement l'investissement pour le client, d'où un avantage pour IMD vis à vis de la concurrence.
- la plaque de centrage des queues à wrapper disparaît.
- la plaque de GU disparaît.
- le nombre de contact métal/métal sans brasage passe de 3 à 2, tous les contacts étant maintenant fiables.

### **Pointes**

Les pointes sont aujourd'hui des pointes TCI de la série 43, qui se transformeront à terme en pointes de la série 110. On a le schéma suivant :



Pointes utilisées pour la grille universelle IMD

NB 1 : à l'avenir, les bourrelets auront des cotes plus appropriées.

Ces pointes reposeront sur les plages en nickel doré des cartes semelles.

NB 2 : à l'avenir, on pourra utiliser des pointes dont le prix d'achat IMD (réceptacles + pointe) ne devrait pas dépasser 2 F.

### **Remarques complémentaires**

Lors du test simple grille, on amène un plateau sur la partie supérieure du CAT (plateau qui peut éventuellement posséder une K7 câblée), selon un mouvement sinusoïdal. Le plateau s'arrête donc à vitesse nulle au niveau du CAT, la genouillère étant alors bloquée en position droite. Ensuite, une baudruche est gonflée sous la partie inférieure du système de test, et amène la face inférieure au contact du CAT bloqué par le plateau supérieur, ce qui provoque la compression.

L'effort de poussée de la baudruche est transmis au profilé alu du module, solidaire par fixation de la carte semelle, qui vont donc transmettre une course plutôt qu'un effort à toutes les pointes à double effet de la grille universelle.

Une fois la course primaire effectuée (genouillère en position de travail), la grille universelle est bloquée à une distance fixe des modules.

Cette course se transforme en effort, par compression des 2 ressorts de la pointe à double effet, lorsque celle-ci est en contact avec une aiguille de la K7 interface : il n'y a génération d'effort qu'aux niveaux des pointes double effet en contact avec des aiguilles.

NB : pour que chaque pointe présente la même résistance (150 à 300 g), il faut que le CAT reste à une même position, et ne flotte pas au gré de la répartition des pointes. Cela implique une certaine résistance et rigidité de la K7 interface : si la partie inférieure comprend 9 900 pointes contre 100 pour la partie supérieure, la K7 supérieure, si on souhaite que le CAT ne bouge pas, et donc que la K7 sup reste en place, devra s'opposer à un effort de  $10\,000 \times 300\text{ g} = 3\text{ T}$ , transmis par le CAT, et ce de manière non forcément répartie : il faudra prévoir pour les K7 interface :

- des doigts de rigidification en correspondance avec :
  - . l'effort max auquel la K7 doit s'opposer.

NB : on pourra définir des références d'interface qui seront fonction d'un nombre max de points de test sur l'interface :

- \* NB pts < 5 Kpts --> résistance < 1.5 T
- \* 5 Kpts ≤ NB pts < 10 Kpts --> 1.5 T ≤ résistance ≤ 3 T
- \* 10 Kpts ≤ NB pts < 15 Kpts --> 3 T ≤ résistance ≤ 4.5 T
- \* 15 Kpts ≤ NB pts < 20 Kpts --> 4.5 T ≤ résistance ≤ 6 T

. la répartition géographique de cet effort

Or on limite arbitrairement à 20 000 le nombre max de points de test d'un CAT, répartis sur les 2 faces. Cela implique que les K7 interface possèdent au plus 20 000 aiguilles par K7.

Les ressorts des pointes à double effet seront calculés pour qu'une course d'environ 4 mm (2/3 de la course totale) produise une résistance équivalente à un effort max de 300 g.

L'effort max de résistance à l'avancement du plateau supérieur sera donc inférieur à 6 tonnes.

- en liaison avec la ou les chaînes fonctionnelles dont il est l'un des éléments : contact métal / métal au niveau :

- . des contacts métalliques des 'cartes semelle'.
- . des aiguilles (corde à piano) de la K7 interface.

NB 1 : dans le mode opérationnel (qui requiert 5 000 000 de compression), on voit que ces contacts vont ronger les bords des trous, et provoquer des copeaux, qui pourront éventuellement bloquer le fonctionnement de la pointe à double effet :

- le matériau devra être choisi en conséquence.
- les rainures pourront devoir être lubrifiées.

NB 2 : chaque aiguille TCI 43 pèse environ 0.3 g. 80 000 pointes représentent une masse d'environ 24 Kg.

#### 3.3.3.1.2.1.2 Commandes et visualisation

Aucune

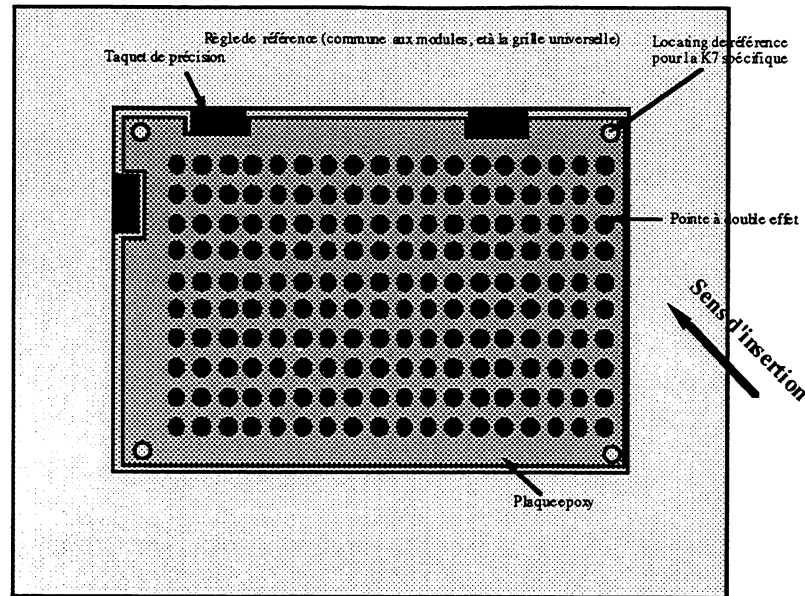
#### 3.3.3.1.2.1.3 Agencement interne

*Plaque support de la grille universelle non modulaire (plaque de GU)*

La grille universelle non modulaire (réservée au prototype) se présente sous la forme d'une plaque d'époxy percée au pas de 2.54 mm, voire directement percée au pas de 1.796 mm, compatible avec le pas de 2.54 mm.

On utilisera donc un forêt terminé par un cône pour le perçage de ces plaques (cf. Spécification K7 Interface).

De manière à faciliter l'insertion ou la désinsertion de la grille universelle, on définit un format particulier de la plaque époxy qui va lui servir de support, basé sur l'utilisation de taquets de positionnement, comme définis par la figure ci-dessous :



### Positionnement de la grille universelle IMD

Une fois la grille universelle posée sur des ressorts de maintien (cf. figure ci-dessous), il ne reste plus qu'à venir appuyer aux quatre coins avec des petits vérins pour la maintenir en position.

**NB : l'indexation des divers types de matrices ou K7 utilisées au niveau du testeur IMD devront être prévus au niveau de cette plaque. Les locatings nécessaires à la réception d'interfaces concurrentes, ou ceux du circuit ligne/colonne devront être prévus au niveau de la plaque de protection !**

#### *Plaque de protection de la grille universelle modulaire ou non modulaire*

Cette plaque est solidaire de la plaque de GU, lorsqu'elle existe (grille non modulaire), et indexée par rapport à celle-ci. Sa définition est calquée sur la plaque de GU. De manière à faciliter l'insertion des aiguilles de la matrice, les trous de cette plaque doivent être coniques et jointifs.

Pour le cas de la grille modulaire, cette plaque doit être indexée par rapport à la plaque de positionnement et centrage des modules.

#### *Plaque de centrage des queues à wrapper (grille non modulaire)*

Cette plaque est solidaire de la plaque de GU, et indexée par rapport à celle-ci. Sa définition est calquée sur la plaque de GU. De manière à faciliter l'insertion des aiguilles de la matrice, les trous de cette plaque doivent être coniques et jointifs.

#### *Pointe à double effet*

Les contraintes présidant à la définition de cette pointe sont les suivantes :

- pas d'effort exercé sur le module (et donc sur le vérin) lorsqu'il n'y a pas d'aiguille dans la position correspondante.
- effort de 300 g lorsqu'une aiguille occupe la position correspondante.
- prix de revient par point minimal.

En attendant mieux, on utilisera la pointe TCI référencé 43 (cf. description détaillée en annexe).

Ultérieurement, on utilisera une version de la pointe TCI 110, compatible avec le pas de 1.79 mm.

- la course aux 2/3 des ressorts est d'environ 4 mm. A cette course doit s'ajouter la différence de hauteur entre la tête des pointes à double effet et les plages de contact des modules, au repos (on a pris 1 mm par défaut), soit une course totale nécessaire de 4 à 5 mm par face.

- l'effort généré pour cette course doit être d'environ 150 à 300 g à +/- 10 %.

NB : l'effort de compression est grandement affecté par les frottement des pointes sur les plaques. Il faut donc prévoir :

- un bon alignement des pointes par rapport au trou de plaque, d'où un décalage minimal des pointes.
- un matériau conduisant à un faible coefficient de frottement.
- des trous si possibles à entrée conique, de manière à éviter les arêtes, génératrices de frottement.
- un changement fréquent de forets, de manière à avoir une bonne qualité de perçage.

### 3.3.3.1.2.2 Caractéristiques fonctionnelles - Performances

#### 3.3.3.1.2.2.1 Alimentation en énergie

*Alimentations électriques*

Aucune

#### 3.3.3.1.2.2.2 Performances

- définition des domaines de fonctionnement (température, pression, accélérations, vibration, alimentation, ...) : 1 atm, 0 °C - 40 °C , 80 % HR, etc...
- définition des conditions d'emploi et d'entretien :
- performances :
  - \* Continuité : 100 mohm, résistances de contact (dans la fourchette de compression autorisée) incluses, après 1 000 000 de manoeuvres.
  - \* Isolement électrique : 1000 Mohm.
  - \* Isolement diélectrique : 500 V.

#### 3.3.3.1.2.3 Caractéristiques opérationnelles

MTBF : 5 000 000 de compression

Matériel déverminé (O/N) : O

#### 3.3.3.1.2.4 Caractéristiques physiques - Interfaces

##### 3.3.3.1.2.4.1 Encombrement

Suivant surface utile exigée + 30 mm environ de chaque côté.

##### 3.3.3.1.2.4.2 Masse

environ 10 g par pointe, soit 10 Kg pour 10 000 pointes, plus la masse des plaques d'époxy, d'épaisseur environ 10 à 15 mm.

##### 3.3.3.1.2.4.3 Installation

- a) suspension : au châssis mécanique : voir paragraphe 3.1.3
- b) raccordements : aucun
- c) guidages fixations : positionnement par rapport aux modules (tolérance de positionnement de 200 µm)
- d) harmonisation :
- e) caractéristiques particulières d'installation :

#### 3.3.3.1.2.5 Caractéristiques complémentaires

- Matériaux :
  - . pointes : acier doré ?
  - . barrettes : époxy, plexi ?

- Finition : lubrification ?
- Capacité d'évolution : modularité par bandes démontables
- ...

### 3.3.3.1.3 Vérifications et épreuves

## 3.3.3.2 Bâti mécanique

### 3.3.3.2.1 Objet / Mission

#### 3.3.3.2.1.1 Objet

Le bâti mécanique constitue l'ensemble des automatismes et du système de compression, supportés par un châssis, réalisant les fonctions mécaniques de test, auxquelles s'ajoutent l'habillage et l'ergonomie du système (table de desserte).

On distingue en fait 3 versions de bâti mécanique : une version haut de gamme '/2G', une version moyenne gamme '/M-SR' (pour l'instant écartée de l'ordre du jour), équipée en option d'un système de 'step & repeat' déplaçant un ensemble de circuits semblables à tester (disposés en format) sous une K7 interface ne couvrant qu'une partie de ces circuits à la fois, et une version bas de gamme, '2F/1G' entièrement manuelle.

Seule l'étude des systèmes '/2F/1G' et '/2G' est aujourd'hui envisagée.

La machine bas de gamme restera simple grille, avec possibilité d'utiliser un outillage spécifique pour la face supérieure.

#### 3.3.3.2.1.2 Mission

##### 3.3.3.2.1.2.1 Rôle de l'ensemble dans le système face à la mission

Le châssis constitue l'ossature mécanique du système de test IMD, qui va permettre de mettre en liaison les différentes sous-parties du système.

##### 3.3.3.2.1.2.2 Principales fonctions

Le châssis a pour fonction de supporter les ensembles suivant :

- le (s) plateau (x) en aluminium moulé qui transmet (tent) l'effort du système de compression.
- les modules, qui vont venir au contact des cartes fond de panier, elles-mêmes accrochées au châssis (plaque métallique de transmission de l'effort). Chaque module est fixé au berceau moulé par 2 barres d'acier qui en assurent en même temps le positionnement au niveau de la carte FDP. Ces barres sont munies d'encoches qui pourront recevoir la came de maintien de ces modules, comes auxquelles l'opérateur aura facilement accès pour changer la disposition des modules sur la surface utile.
- l'électronique standard :
  - . le système d'alimentation
  - . les cartes fond de panier
  - . la carte de communication
  - . les cartes de raccordement

NB : cet ensemble pourra être reçu par une armoire à part, qui sera fixée sur le châssis du système de test.

- le système de compression et ses électro-vannes de commande
- les systèmes de sécurité ( ouverture/fermeture porte).
- les automatismes de chargement / déchargement des circuits à tester et à trier (bras transporteur à ventouses) : ultérieurement, pour le système 2G.
- l'automatisme de réglage de la hauteur d'interface.
- la grille universelle.

- les K7 interface.
- un balai antistatique déchargeant le CAT lors de son chargement.

NB : dans la plupart des cas, ces fonctionnalités devront être considérées comme des options à proposer au client. Il s'agit alors de prévoir leur montage de la manière la plus simple possible, éventuellement sur site.

#### 3.3.3.2.1.2.3 Composition sommaire

La machine va se présenter sous la forme d'un bâti et d'une table de desserte, présentant un plan de travail à hauteur d'homme, possédant :

- une presse venant prendre en sandwich le CAT
- un système d'approvisionnement automatique des CAT (table de pré-centrage et tapis d'évacuation) : en option, et uniquement pour le système 2G.
- plusieurs systèmes de réglages de hauteur et de pivotement
- 2 armoires comprenant l'automate, les électrovannes, et l'électronique.
- un table de desserte, comprenant :
  - . une surface de travail pour l'opérateur (dossiers, disquettes), etc...
  - . un système de dépôt temporaire du circuit qui vient d'être testé
  - . un rangement pour les alimentations qui n'auraient pas pu prendre place dans l'armoire électronique.
  - . le PC muni de sa console et de son clavier.
  - . un rangement pour 2 K7
  - . un rangement pour la grille universelle, par exemple lorsqu'on déplace les modules sur la surface utile de test.
  - . un tiroir de rangement des diverses pointes, locatings, ressorts, etc...

#### 3.3.3.2.1.2.4 Relations fonctionnelles

Le bâti mécanique va donc être en relation avec :

- les cartes fond de panier (au plus 16) (fixation).
- le système d'alimentation (fixation).
- la carte de communication (fixation)
- les modules (fixation par des barres métalliques venant s'enficher dans le berceau)
- les 2 K7 interface (fixation)
- la grille universelle (fixation)
- le système pneumatique
- les automates et automatismes divers

#### 3.3.3.2.1.2.5 Contraintes générales à prendre en compte

a) La partie mécanique intervient de façon très notable au niveau du prix de revient global du système. Toutefois, le faible nombre de machines (quelques unités, voire quelques dizaines par an) ne permet pas de faire jouer le phénomène de série. Il faudra donc penser les 3 types de mécanique de manière très modulaire, et s'appuyer le plus possible sur l'utilisation d'éléments standards disponibles dans le commerce au meilleur prix (bâti profilés, etc...).

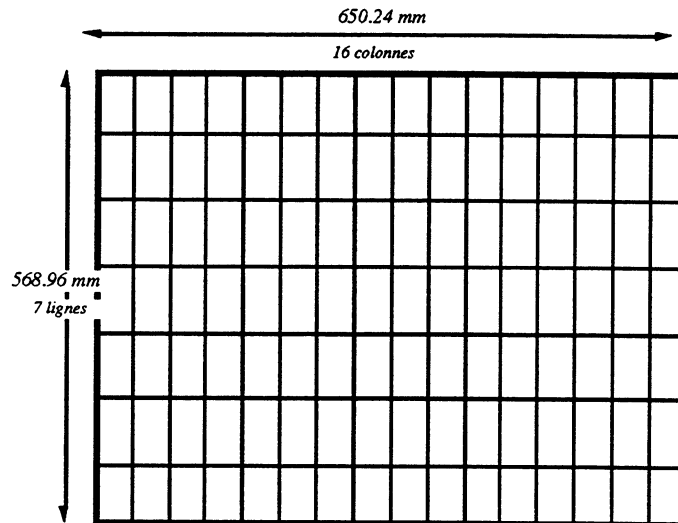
De plus, on essaiera de faire coïncider les études des 3 types comme découlant directement les unes des autres.

b) Le montage / démontage d'une carte module et de son embase devra être très rapide et très fiable.

c) l'accès aux modules par l'utilisateur du système haut de gamme doit être facilitée : le plateau supérieur pourra pivoter de 90 ° autour d'un axe horizontal pour se présenter face à l'utilisateur, ou autour d'un axe vertical (moins cher mais beaucoup moins ergonomique --> à éviter ?).

d) Le CAT doit être préalablement déchargé (par exemple par un balai métallique relié au châssis) avant d'être présenté à l'électronique de test, au travers des pointes. D'autre part, en sortie de test, le CAT (chargé), ne doit pas être transporté trop près des pointes de la K7, pour éviter des décharges pouvant endommager l'électronique de test.

- e) les divers éléments (cartes, alims, automate, etc...) doivent être facilement accessibles de manière à autoriser une maintenance aisée.
- f) on pourra prévoir un système de compression latéral des K7 (petit coup sec --> déplacement de quelques microns) pour fiabiliser le contact des aiguilles ou des élastomères au niveau du CAT.
- g) prévoir un balai antistatique pour décharger électriquement le CAT lors de son chargement dans le système.
- h) la disposition des modules sur la surface utile est prévue, pour chaque face, de la manière suivante :



*Disposition des modules sur la grille universelle*

Il s'agit de modules SD ou 2D, d'encombrement de 40.64 mm \* 81.28 mm.

NB: pour le système 1G, la surface utile ne sera que de 568 mm \* 568 mm, afin de pouvoir utiliser un châssis standard.

### 3.3.3.2.2 Caractéristiques

#### 3.3.3.2.2.1 Présentation - Architecture

##### 3.3.3.2.2.1.1 Principe de fonctionnement

Comme on l'a vu précédemment, on distingue une table de desserte, et 3 types de bâti :

- . un bâti haut de gamme '/2G', comme automatisable
- . un bâti haut de gamme '/M/SR', comme manuel et Step & Repeat (non inscrit à l'ordre du jour)
- . un bâti bas de gamme '2F/1G', comme manuel

Chacune de ces versions correspond à un marché bien particulier, avec des critères de choix différents, mais seule les versions /2G et/2F/1G sera envisagée en étude pour l'instant.

#### *La table de desserte*

On peut la représenter de la manière suivante :



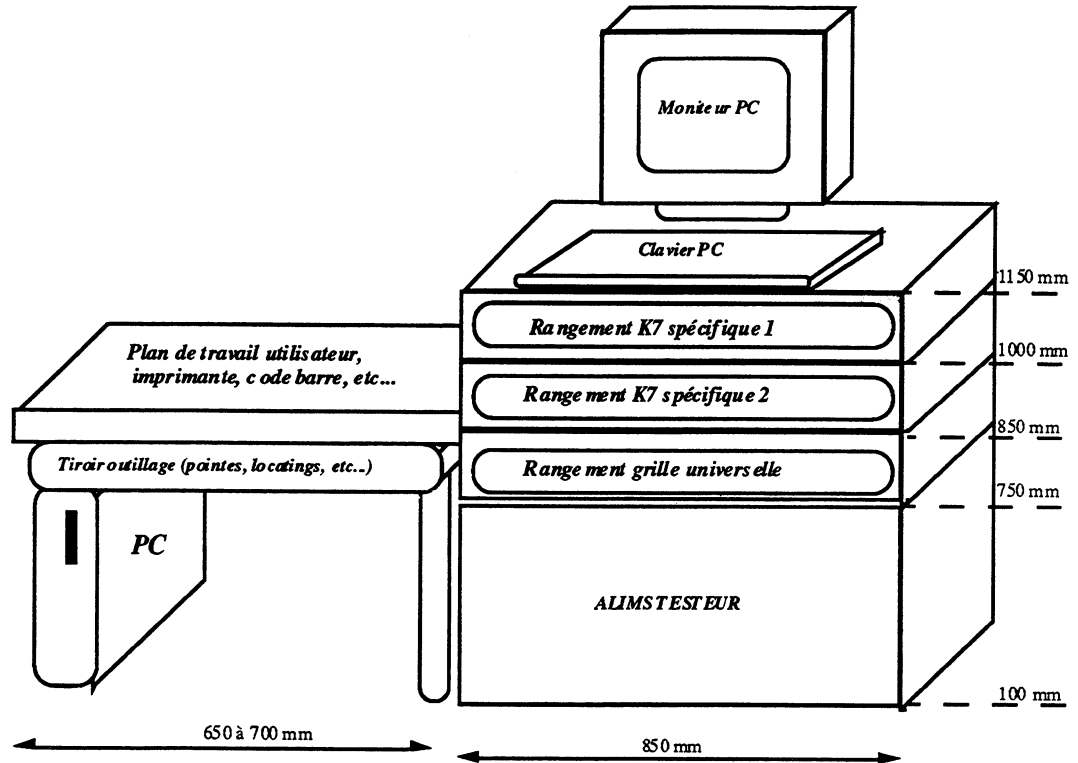


Table de desserte testeur

On distingue :

- . un plan de travail opérateur (dossiers, disquettes, etc...). Ce plan de travail met à disposition un tiroir pouvant comprendre les diverses pointes et outillages communément nécessaires au testeur ou à ses interfaces.
- . un PC (console + clavier à hauteur d'homme)
- . 1 rangement pour la grille universelle (stockée temporairement pour accéder à l'électronique de test)
- . 2 rangement pour stocker des K7 spécifiques, en attente de test.
- . une armoire à alimentation (pour le testeur). OPTION pourrait fournir un rack standard 3U, à insérer dans l'espace prévu.

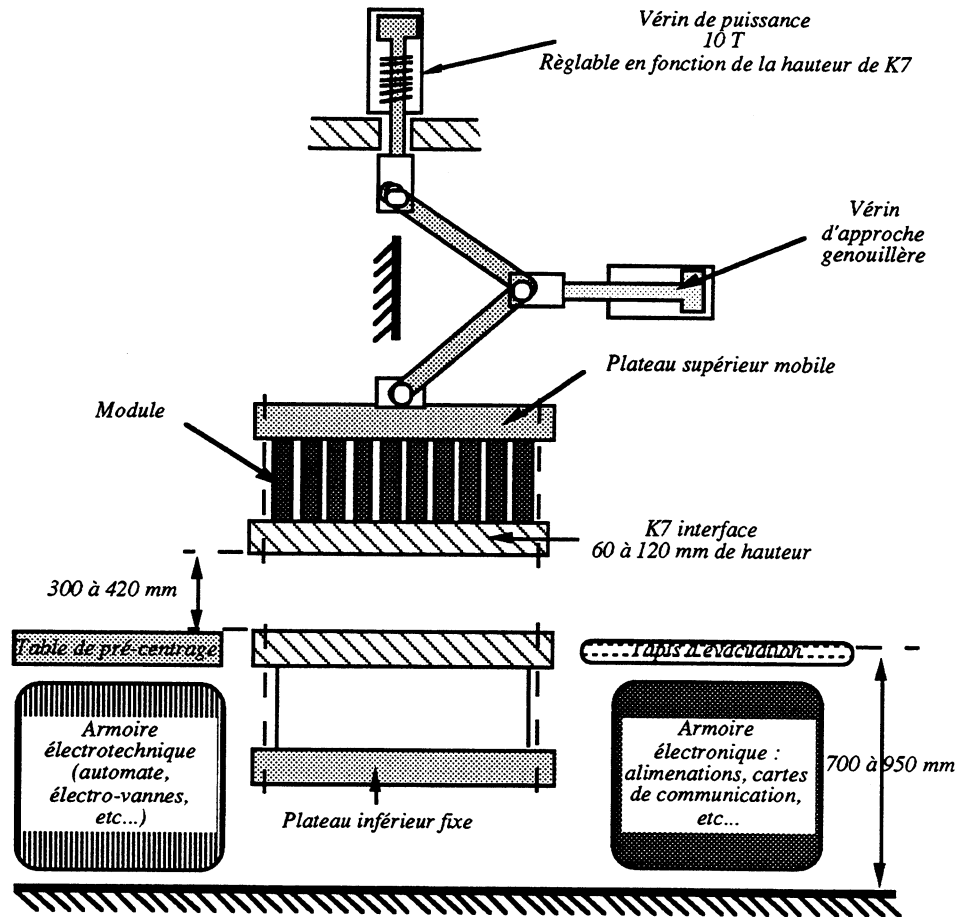
On pourra également penser à envisager de mettre à disposition de l'opérateur un pose-circuit, de manière à ce que celui-ci puisse poser le circuit qui vient d'être testé pour reposer un autre circuit sur la grille du testeur en vue de son test. L'opérateur a alors le temps de classer l'autre circuit sur le magasin bon ou mauvais. :

*Bâti haut de gamme 'IMD - ST - BM - 01 /2G'*

Les principaux critères de choix sont :

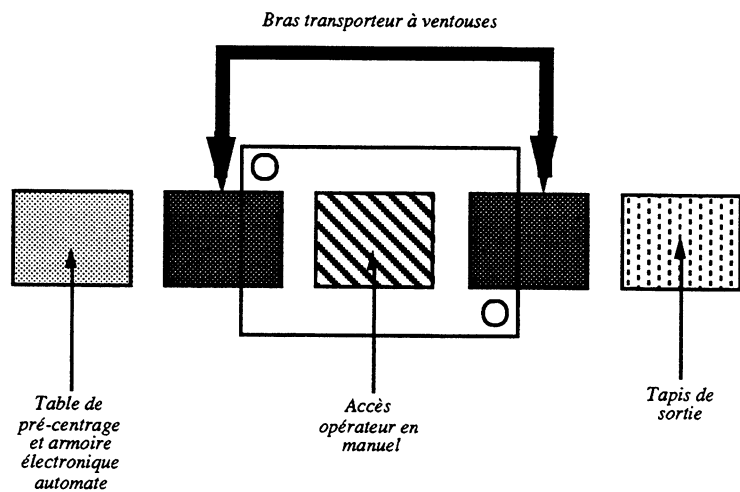
- . double grille / 2D
- . surface utile élevée (650 \* 568 mm)
- . haut débit de CAT --> automatisation du chargement / déchargement
- . utilisation de plusieurs types d'interface concurrentes (plusieurs systèmes de test en exploitation)
- . ergonomie maximale au niveau de l'opérateur

Le schéma simplifié de la version haut de gamme est explicité ci-dessous :



*Schéma bâti double grille*

Le vérin de force a une puissance de 6 T, soit 20 000 points de test réels max par face.  
 Vue de dessus, le système automatisé pourra se présenter de la manière suivante :



*Schéma bâti double grille - Principe de l'automatisation*

On pourra également prévoir la présence d'un système de marquage automatique (par exemple sous la forme de codes barres, ce qui permettrait d'inscrire directement sur le circuit la liste des défauts trouvés le cas échéant, et ainsi faciliter grandement la réparation), par jet d'encre, des circuits bons ou mauvais.

#### Bâti moyenne gamme 'IMD - ST - BM - 01 /M/SR'

Les principaux critères de choix sont :

- . double grille / 2D
- . surface utile moyenne (400 \* 300 mm), compensée par la possibilité d'adjoindre au système une option 'Step & Repeat', permettant de présenter un panneau (max 650 mm \* 500 mm) de plusieurs CAT identiques (répartis sur un même format) de dimension max 400 \* 300 mm.
- . débit moyen de CAT --> chargement manuel des circuits à tester
- . utilisation d'un seul type d'interface --> pas de réglage de hauteur du volume d'interface.
- . ergonomie au niveau de l'opérateur

Le schéma simplifié de la version moyenne gamme est explicité ci-dessous :

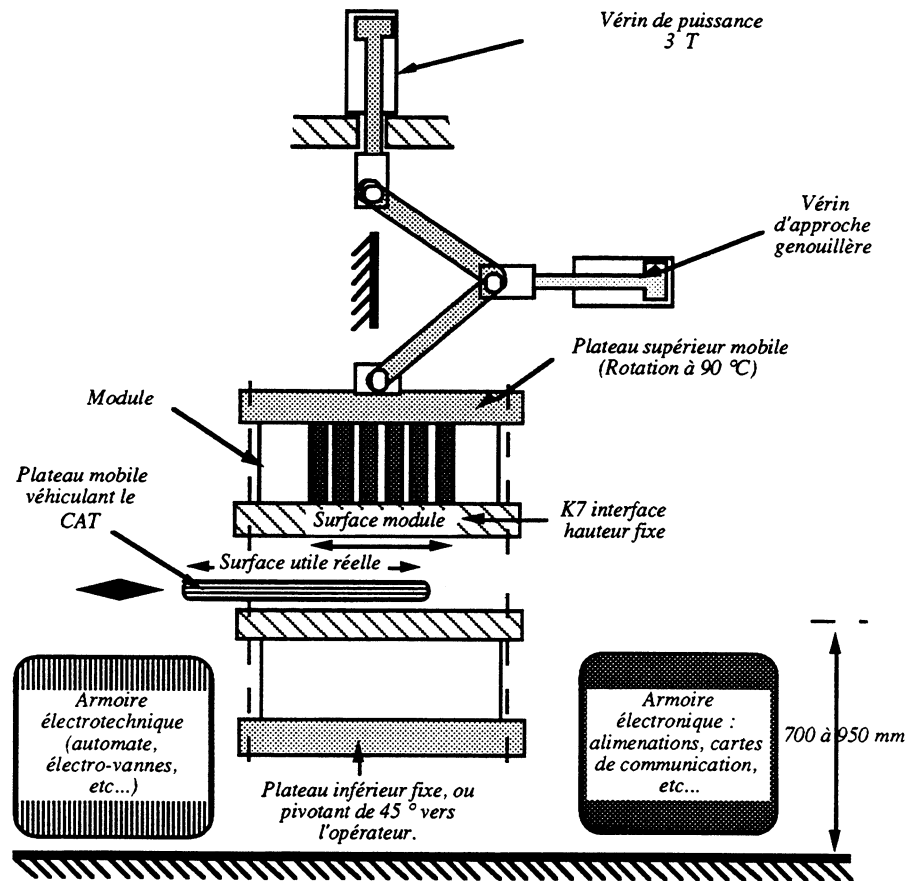
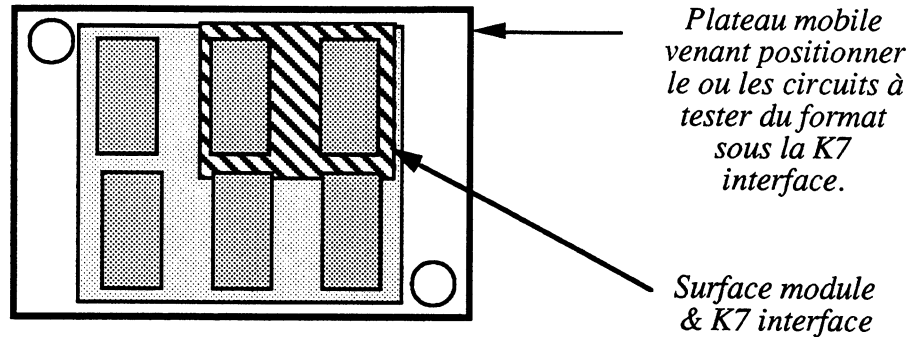


Schéma bâti double grille - step & repeat

La partie Step & Repeat peut être décrite de la manière suivante :



### Principe du step & repeat

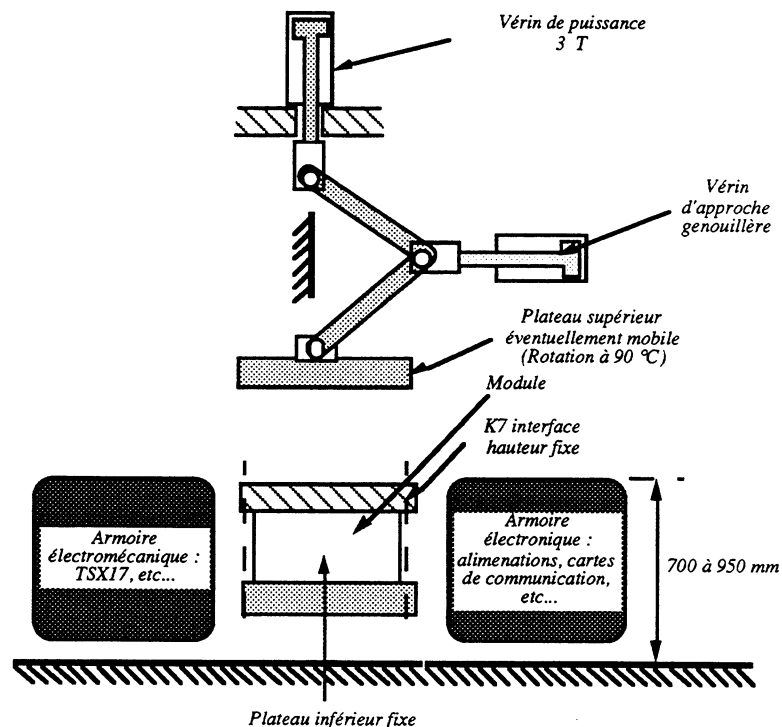
Cette mécanique est directement dérivée de la première, à cela près qu'elle ne comprend pas de réglage de la hauteur d'interface, pas de système de chargement / déchargement automatique des CAT (pas de transporteurs à ventouses), que le vérin de force est moins puissant (3 T pour au plus 10 000 pts de test réels par face), et qu'elle possède en plus un système de déplacement du CAT disposé sur une potence.

### Bâti bas de gamme 'IMD - ST - BM - 01 /2F/1G'

En France, cette configuration représente un marché non négligeable. Les principaux critères de choix sont :

- . surface utile moyenne (650 \* 568 mm).
- . débit faible de CAT --> chargement manuel des circuits à tester
- . utilisation d'un seul type d'interface --> pas de réglage de hauteur du volume d'interface.
- . ergonomie au niveau de l'opérateur
- . très faible coût

Le schéma simplifié de la version bas de gamme est explicité ci-dessous :



### Schéma bâti simple grille - vue de face

La vue de dessus donne :

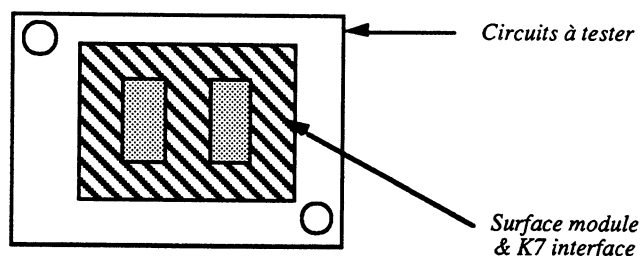


Schéma bâti simple grille - vue de dessus

Il serait intéressant que le client puisse à terme recevoir en option la double grille : initialement, seul le plateau inférieur sera disponible.

NB : a priori, cette dernière remarque ne pourra être prise en compte, trop de différences opposant les 2 types de bâti. Toutefois, il sera possible d'accrocher une K7 câblée au plateau supérieur, de manière à tester en double face.

#### 3.3.3.2.2.1.2 Commandes et visualisation

Les automatismes du bâti mécanique sont gérés, sauf pour la version bas de gamme, par un automate de type TSX 17. Cet automate dialogue avec la carte de communication.

Pendant toute la phase préparatoire du test (programmation des seuils, chargement des programmes de test, etc...), le PC (et donc la carte de communication), est maître du système de test, le TSX 17 attendant les ordres. Puis, lorsqu'une série de test est lancée, le TSX 17 prend les commandes (pour mettre sous pression le vérin, actionner le chargement/ déchargement des cartes, gérer les sécurités, etc...), et envoie ses ordres (exécution d'un test élémentaire) à la carte de communication.

#### *Commandes*

Les commandes sont donc de 2 types :

- commandes 'hard'. On trouve :
  - . la commande d'exécution d'un test, matérialisée par la fermeture d'une porte.. la commande d'arrêt d'urgence (bouton poussoir accessible).
  - . la commande de mise sous tension, mise sous pression de la pneumatique.
  - . la commande de RESET, ou remise du système dans un état de repos standard.
- commandes 'soft', ou données par l'intermédiaire des E/S TOR de dialogue avec la carte de communication. On trouve :
  - . la commande prêt pour le test (initialisations effectuées)
  - . la commande d'arrêt d'urgence.
  - . la commande d'abaissement du vérin de puissance en compatibilité avec la hauteur d'interface (il serait intéressant que cet abaissement puisse également être opéré en manuel à partir des flèches du clavier du PC de commande).
  - . ... voir le document préparé en commun par Automa-tech et Option en annexe.

La saisie des diverses commandes se fera par l'intermédiaire du clavier du PC. La demande d'exécution sera transmise par la carte de communication.

#### *Visualisations*

Les visualisations se feront au travers de la console PC.

#### 3.3.3.2.2.1.3 Agencement interne

A venir.

### 3.3.3.2.2.1.4 Nature et technologie du bâti mécanique

#### *Nature et technologie du châssis*

On cherchera dans la mesure du possible à utiliser des éléments standards, comme des profilés.

Les plateaux de compression seront moulés. Ils comprendront un certain nombre de rainures pour :

- conduire l'air servant à la ventilation des modules
- accueillir les cartes fond de panier
- permettre la fixation mécanique des divers éléments, comme par exemple celle de la genouillère.

On trouvera au niveau des plateaux de compression un système de came permettant de faire émerger une rangée de 7 modules, pour en extraire un manuellement ou à l'aide d'un outil. Ces cames devront se présenter en face avant.

#### *Nature et technologie des vérins*

On distingue 2 vérins :

- le vérin d'approche, à genouillère, qui devra être capable de pousser l'ensemble des modules du plateau supérieur.

On rappelle que pour une surface de 650 \* 568 mm, en 2D, le nombre max des modules est de 112, pour une masse inférieure à 1.5 kg chacun. Compte tenu de la masse du plateau et des cartes fond de panier, et compte tenu du fait qu'on envisagera plus tard des modules 4D, la puissance du vérin à genouillère devra se situer autour des 500 kg.

Ce chiffre sera plus faible de moitié pour les systèmes moyenne gamme et bas de gamme.

- le vérin de poussée, ou la baudruche, qui, une fois la genouillère en position bloquée, doit constituer l'élément qui comprime les ressorts utilisés de la grille universelle.

On rappelle que seuls les points réellement affectés au test vont exercer une pression (équivalente à 300 g).

Pour la version haut de gamme, on fixe à 20 000 points max par face le nombre de points réels, ce qui correspond à un effort de 6 T, d'où la nécessité d'avoir un vérin de 8 T pour cette version.

Pour les versions moyenne gamme et bas de gamme, le nombre max de points réels par face est fixé à 10 000, correspondant à un effort de 3 T.

Ces vérins seront commandés par des électro-vannes pilotées par le TSX 17, qui assumera également la sécurité de l'opérateur vis à vis du système de compression.

Des capteurs de position ou d'effort permettront à l'automate de vérifier la bonne marche de l'ensemble.

Ces vérins seront choisis avec le meilleur rapport qualité & fiabilité / prix.

#### *Nature et technologie des automatismes*

Ces automatismes se divisent en :

- un automate TSX 17 (pour les versions haut de gamme et moyenne gamme seulement), qui gère l'ensemble des fonctions du bâti mécanique, en coordination avec la carte de communication (voire du PC).
- un système de réglage automatique (ou manuel) de hauteur d'interface, qui pourra être piloté du clavier de l'automate, ou du PC (à définir).
- un système de chargement / déchargement automatique des circuits à tester.
- un ensemble d'électrovannes, de capteurs, et de commandes de sécurité ou d'initialisation, gérés par l'automate.

#### *Ergonomie et de l'habillage*

L'ergonomie d'utilisation d'un système de test est le critère primordial d'achat a priori (sur papier) pour beaucoup d'utilisateurs potentiels.

L'habillage, par l'impression subjective qu'il donne, est un des facteurs décisifs d'achat 'de visu'. C'est là où pèche souvent l'industrie française.

##### a) Ergonomie

Le fonctionnement de la machine doit prendre en considération les contraintes de l'opérateur :

- . un travail assis est assez souvent demandé.

- . un plateau inférieur s'inclinant de 45 ° vers l'opérateur pour faciliter la disposition du CAT en manuel serait apprécié. Cette option pourrait n'intervenir que sur le système moyenne gamme, voire le système haut de gamme lorsque l'option chargement/déchargement automatique n'est pas retenue par le client.
- . les commandes clavier (PC ou automate) devront être escamotables, et à portée de main.
- . la visualisation du process (console PC, voire automate) sera amovible et réglable par l'opérateur, en fonction de sa position. On pourra envisager une disparition du clavier par l'utilisation d'un écran sensitif.
- . à côté du PC (devant le PC), on pourra prévoir un petit espace de travail pour déposer des documents, et une petite armoire pour ranger des documents ou des disquettes.

#### b) Habillage

Le système de test devra donner avant tout une impression de sérieux :

- . sa structure devra apparaître solide, sans être pataude, en restant équilibrée.
  - . les commandes et claviers ne doivent pas faire 'toc', ni dater de la première guerre.
- L'impression qui doit s'en dégager doit correspondre au concept de 'high-tech' :
- . ses lignes se devront d'être pures : les arêtes seront effacées, on ne devra pas trouver d'angles vifs.
- L'ensemble correspondra à un certain équilibre esthétique.
- . ses couleurs devront être celles d'IMD, paille et ocre. Elles auront été choisies en fonction de leur propension à vieillir bien.
  - . tous les volumes doivent être fermés. La machine doit apparaître 'propre' à l'opérateur : aucune carte, aucun mécanisme ne doit être apparent en mode de fonctionnement.

L'opérateur doit avoir envie de travailler sur la machine.

#### 3.3.3.2.2.1.5 Testabilité

Le TSX 17 possédera des routines d'autotest, permettant de vérifier le bon fonctionnement des divers automatismes, et du dialogue avec la carte de communication. Certaines de ces routines devront être écrites après consultation commune d'Automa-tech et d'Option.

#### 3.3.3.2.2.2 Caractéristiques fonctionnelles - Performances

##### 3.3.3.2.2.2.1 Alimentation en énergie

###### *Alimentations électriques*

220 V secteur

###### *Alimentations hydrauliques et pneumatiques*

- nature : Air industriel, 7 bars ?
- valeurs maximales et minimales des pressions :
- débit normal et maximum :
- pertes et charges internes :
- capacités internes :
- fuites :
- nature des raccordements :

##### 3.3.3.2.2.2.2 Échanges d'informations et liaisons

###### *Informations d'entrées*

E/S TOR provenant de la carte de communication.

###### *Informations de sorties*

E/S TOR allant à la carte de communication.

### 3.3.3.2.2.3 Performances

#### *Performances normales*

Les performances du bâti mécaniques se jugent essentiellement au niveau de la durée d'un temps de cycle de test complet :

- test manuel :		
. ouverture testeur :	2 s	
. ouverture porte :	1 s	
. prise CAT manuellement :	3 s	
. pose CAT suivant manuellement :	3 s	
. fermeture porte :	1 s	
. fermeture testeur :	2 s	
	----	
. + Test électrique	12 s	
- test automatique :		
. transfert :		3 s
. ouverture / fermeture :	4 s	
	----	
. + Test électrique	7 s	

### 3.3.3.2.2.3 Caractéristiques opérationnelles

#### 3.3.3.2.2.3.1 Fiabilité

MTBF pour l'ensemble du bâti : 10 000 heures

Matériel déverminé (O/N) : O

#### 3.3.3.2.2.3.2 Sécurité

cf. normes. Un capteur de pression pourra autoriser une limite de pression (6 T) au-delà de laquelle la machine se mettra en panne.

#### 3.3.3.2.2.3.3 Aptitude à la maintenance

Automate TSX 17

#### *Dispositifs de surveillance des liaisons*

Carte de communication et TSX 17

#### 3.3.3.2.2.4 Mise en oeuvre

##### *Démarrage et initialisation*

- temps de mise en route : 20 mn de montée en température de l'électronique
- procédure et temps d'initialisation : à définir

##### *Moyens de mise en oeuvre en atelier*

Installation par IMD ou son représentant habilité.

##### *Opérations périodiques*

Suivant contrat de maintenance.



3.3.3.2.2.5 Transport - Manutention - Stockage  
cf. Assemblage (IMD - ST - ASS - 01)

3.3.3.2.2.6 Environnement

3.3.3.2.2.4 Caractéristiques physiques - Interfaces

3.3.3.2.2.4.1 Encombrement

*Testeur haut de gamme*

300 \* 100 \* 200 cm

*Testeur moyenne gamme*

250 \* 80 \* 200 cm

*Testeur bas gamme*

200 \* 80 \* 200 cm

3.3.3.2.2.4.2 Masse

Environ 500 Kg.

3.3.3.2.2.4.3 Installation

- a) suspension : par pieds réglables
- b) raccordements :
  - à l'air industriel, 7 bars.
  - au secteur
- c) guidages fixations : à définir
- d) caractéristiques particulières d'installation : à définir

3.3.3.2.2.4.4 Graduations, inscriptions, figurations

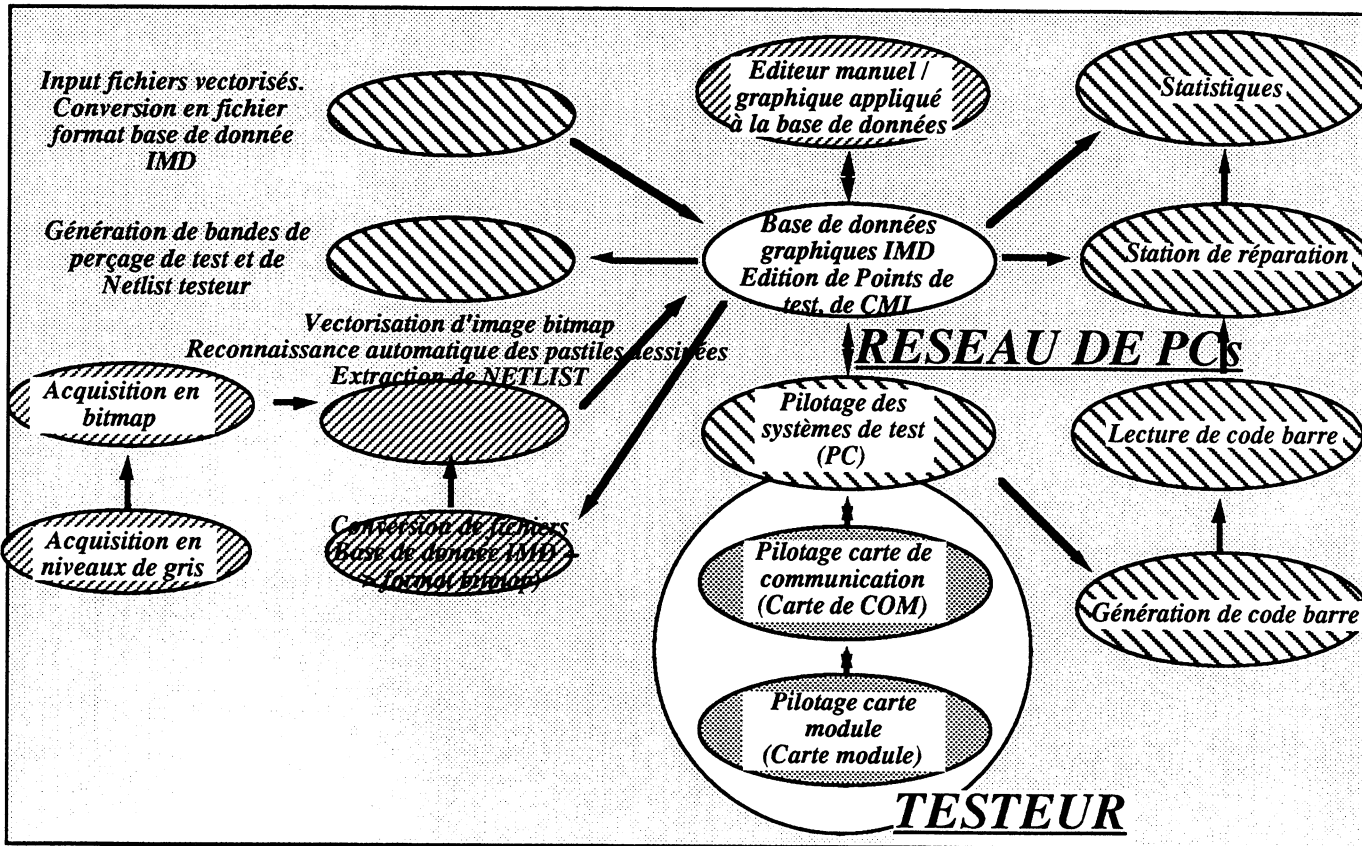
Doivent figurer en sérigraphie visible sur le bâti :

- . la référence du système :
  - \* 'IMD - ST - 21' pour le bâti BM - 01 - /2F/1G
  - \* 'IMD - ST - 201' pour le bâti BM - 01 - /M / SR
  - \* 'IMD - ST - 2001' pour le bâti BM - 01 - /2G
- . la version
- . le N° de série
- . la date de fabrication

### 3.3.4 Partie Logicielle

#### 3.3.4.1 Organisation logicielle générale

Un certain nombre de modules logiciels ont été développés ou sont en cours de développement :



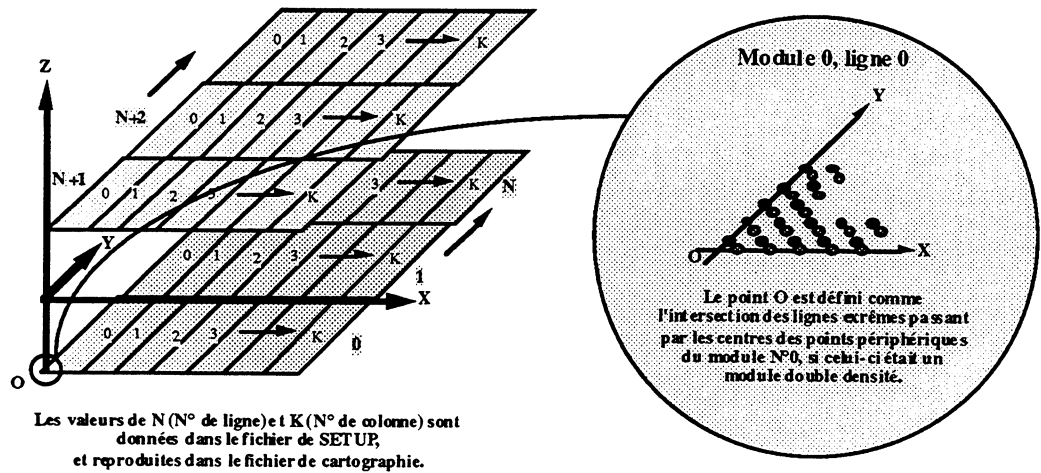
*Organisation logicielle générale*

- logiciels testeur :
  - . logiciel carte module
  - . logiciel carte de communication
  - . logiciel interface utilisateur (pilotage système de test)
  - . logiciel de Setup
- logiciels d'aide à la réalisation d'outillage :
  - . logiciel d'extraction des cartes miroir
  - . logiciel d'extraction de Netlist / conversion automatique des pages dessinées
  - . générateur / éditeur complet d'outillage de test
- base de donnée Test de CI nus.
- logiciel accompagnant les diverses clés de protection de nos logiciels

#### 3.3.4.2 Logiciel testeur

### 3.3.4.2.1 Définitions

#### 3.3.4.2.1.1 Définition des origines et de la numérotation



#### Définition des origines et de la numérotation

#### 3.3.4.2.1.2 Définition du fichier de cartographie

Le fichier de cartographie est un fichier décrivant :

- en commentaire (ligne commençant par le caractère '/') la date et l'heure à laquelle il a été enregistré.
- en commentaire la référence de la machine et le nom de l'utilisateur, données accessibles dans le fichier SETUP.
- les densités des modules
- la surface utile max disponible au niveau de chaque face du testeur
- la liste des modules, leur emplacement sur la grille universelle, et leur densité
- un caractère de fin de fichier, 'F'

Ex :

/Dernière génération du fichier de cartographie : Vendredi 20 Décembre 1991, 10 h 15

/Référence du système : ST-IMD-2G-A

/Client : xxxx

/Densités admissibles :

D2.54

D1.79

/Surface max disponible en terme d'emplacement des modules ( $\neq$  des cartes module) (Faces BOT & TOP, nombre de lignes et colonnes)

BOT L\*4 C\*5

TOP L\*3 C\*4

/Liste des modules, emplacement, et densité :

L3 C2 2.54

L3 C3 2.54

L3 C4 1.79

L3 C5 1.79

...

L12 C2 2.54

L12 C3 2.54

F

NB : il ne pourra exister de module double densité équipé seulement d'une carte module.

### 3.3.4.2.1 Logiciel carte module (P3)

Ce programme, transparent à l'utilisateur, va consister en la gestion du test de circuits nus, au niveau des cartes module. Il est écrit en C ou en assembleur (lorsque cela s'impose pour des raisons de vitesse d'exécution). On distingue :

- dialogues avec la carte de communication.
- la phase de transmission des paramètres de test.
- le test de continuité
- le test d'isolement
- la phase d'autotest/calibration.

### 3.3.4.2.2 Logiciel carte de communication (P2)

Ce programme, écrit au niveau de la carte de communication, transparent à l'utilisateur, va consister en la gestion des acheminements d'informations entre le PC et les cartes module, écrit en C ou en assembleur (lorsque cela s'imposera pour des raisons de vitesse). On trouvera :

- le programme principal ('test de continuité et d'isolement d'un circuit imprimé nu', à partir des données chargées en RAM partagée).
- des routines d'autotest de la carte module.
- les échanges de données nécessaires au bon fonctionnement du programme principal, entre la carte module et la carte de communication.
- cartographie des modules opérationnels (emplacements et densité).
- acheminement des informations vers les différents modules.

### 3.3.4.2.3 Logiciel interface utilisateur (P1)

Ce programme, développé en C et tournant sur le PC dédié au système de test, va assurer l'interface avec l'utilisateur : les programmes P2 et P3 en seront de simples sous-programmes (transparents à l'utilisateur), qui utiliseront des données générées par le programme LCAO.

P1 va également, au fur et à mesure des tests, générer d'autres informations.

La liste des fonctionnalités de P1 est la suivante :

- 1 - Interface utilisateur : guide de l'utilisateur par menus : test d'une série de circuits imprimés nus (avec détermination des paramètres utilisateur (seuils de continuité et isolement, etc...)).
- 2 - Cartographie du système Hardware (Emplacement et nature des modules par rapport à une origine absolue de référence), avec génération d'un fichier ASCII au format à définir en accord avec IMD. NB : les informations nécessaires à la création de ce fichier sont reçues de la carte de communication lors de la phase d'initialisation, à l'occasion de la mise sous tension du testeur et/ou du PC.
- 3 - Gestion des E/S TOR (pneumatique, sécurité, RESET, etc...)
- 4 - Éventuellement, monitoring des alimentations si cette tâche n'incombe pas à la carte de communication.
- 5 - Exploitation des informations issues du Logiciel Liaison CAO, suivant un format IMD. Vérification de la compatibilité du fichier traité (correspondant au circuit que l'on veut tester) avec les surfaces et densité de grille disponibles. Génération des fichiers de correspondance (point de test circuit - point de grille - point de test logique. Optimisation et chargement de ces fichiers en RAM de la carte de communication .
- 6 - Dialogue avec la carte de communication. Gestion du Test d'une série de cartes.

7 - Exploitation des résultats. Génération des fichiers d'édition (OUTPUT résultats) suivant le mode considéré :

- . NAME.EDI pour une édition sous la forme d'un fichier MSDOS : liste des équipotentielles en défaut, nature des défauts, n° et localisation des points concernés (adresse logique, et coordonnées XY), disponible sur un fichier (en fait, le fichier "erreur").
- . NAME.ECB pour une édition sous la forme de codes barre : édition d'un code barre, ou l'on trouve les renseignements précédents.
- . NAME.EGR pour une édition graphique à l'aide d'une imprimante dédiée : impression, sur une imprimante graphique, de l'image du circuit avec, en surimpression, l'équipotentielle en défaut, accompagnée des renseignements précédents.

8 - Génération/modification des fichiers statistiques :

- . propre à la carte, NAME.STC, destiné à localiser les zones sensibles au niveau du design du circuit testé, pour éventuellement envisager un nouveau passage en CAO.
- . général, STATISTIQUE.GEN, établissant la moyenne des erreurs détectées suivant la complexité du type de circuit (Multicouches, simples faces, trous métal, etc...).

NB 2 : ce programme devra être écrit de telle façon qu'il sera très aisé de passer d'un menu basé sur le français à un menu basé sur une autre langue (Anglais, Allemand, Espagnol, Italien, etc...).

#### 3.3.4.2.4 Logiciel de Setup

Ce programme, transparent à l'utilisateur, se verra indiquer entre autres :

- . la référence du système de test --> Nombre théorique de cartes modules (Ncircuit) qui devra être transmis au  $\mu$ C.
- . la disposition géométrique max des modules (SD / 2D, existence), avec définition de l'origine absolue.
- . le type de PC (386, PS ou autre)
- . le type d'écran --> possibilités d'édition graphiques ou non.
- . les ports utilisés
- . etc...

### 3.3.4.3 Logiciel d'aide à la réalisation d'outillage

#### 3.3.4.3.1 Description générale

Ce programme, va permettre essentiellement de transformer les données CAO issues d'un logiciel CAD/CAM en fonction des spécificités de l'interface mixte IMD. Ce programme LCAO effectuera successivement les opérations suivantes :

1 - CAD/CAM ou IMD : Conversion du fichier source, NAME.FX de format connu (GERBER, SECROL, HPGL, etc...), en un format standard (par exemple GERBER), NAME.GER, compatible avec le format d'entrée du logiciel CAD/CAM utilisé.

2 - CAD/CAM : Sélection des points de test (terminaisons d'équipotentielles), génération d'un fichier 'points de test' (NAME.PTS).

3 - IMD : Conversion du fichier obtenu en un fichier spécifique IMD, appelé NAME.PTA. Transformation de ce fichier NAME.PTA en fichier NAME.PT'A.

(Détermination des composants complexes au sens d'IMD, suivant des paramètres définis par l'utilisateur. Définition des références des cartes miroir nécessaires. Validation des choix au niveau des éléments complexes).

Génération des fichiers contenant les diverses informations relatives à l'assemblage des cartes miroir à partir de barrettes élémentaires référencées IMD.

4 - Vérification de la compatibilité du fichier généré avec la configuration en module du testeur (avec le fichier de cartographie). Éventuellement, translation des points de test par rapport à l'origine absolue, en fonction de la configuration de modules. Éventuellement, panelisation.

5 - CAD/CAM ou IMD : Génération à partir de ce dernier fichier, des fichiers :

. outillage (Plexiglass côté grille (TOP & BOTTOM), plexiglass côté circuit (TOP & BOTTOM), etc...)

NB 2 : l'ensemble de ces fichiers, à l'exception du fichiers NAME.FX, pourra être de nouveau rapidement généré avant chaque série de test. Il ne sera donc pas utile de les garder sur la mémoire de masse du PC, en raison de la place importante qu'ils occuperont sans doute.

. NETLIST (liste d'équipotentiels) :

\* par extraction SOFT

\* ou par auto-apprentissage (cela concerne alors LT2 et LT3)

\* ou par saisie manuelle

Ce fichier comprendra les informations suivantes :

\* N° d'équipotentielle (0 à N)

\* la liste des points affectés à cette équipotentielle, repérés par leur position géographique (P, Q) par rapport à un index donné (défini dans le fichier SETUP), le premier point donné étant défini comme point principal, les autres étant définis points secondaires.

#### 3.3.4.3.2 Logiciel d'extraction des cartes miroir

Voir paragraphe 3.1.4

#### 3.3.4.3.3 logiciel d'extraction de Netlist / conversion automatique des plages dessinées

Voir paragraphe 3.2

#### 3.3.4.3.4 générateur / éditeur complet d'outillage de test

A venir

#### 3.3.4.4 Base de données Test de CI nus

A venir

### 3.3.4.5 Logiciel accompagnant les diverses clés de protection de nos logiciels

#### 3.3.4.5.1 Introduction

IMD souhaite protéger ses logiciels de reconnaissance de fichiers scannés et de génération d'outillage par ce qui s'avère être le meilleur outil de protection contre le piratage informatique existant à ce jour, à savoir une clé à mémoire. Il s'agit donc ici d'écrire d'une part un utilitaire permettant de programmer la clé suivant une structure prédéfinie (Cf. paragraphe "**Organisation de la clé à mémoire IMD**"). Il faut d'autre part écrire les fonctions qui, insérées dans le logiciel à protéger, permettront de verrouiller cette application, de telle sorte que celle-ci ne pourra fonctionner que si la clé appropriée est physiquement présente dans un des ports parallèles de l'ordinateur.

#### 3.3.4.5.2 Clé Rainbow - Microphare

##### 3.3.4.5.2.1 Mission

### 3.3.4.5.2.1.1 Rôle du logiciel dans le système face à la mission

Il existe 2 principes de protection. Le but d'une protection logicielle est de rendre les procédures de piratage si complexes que même les programmeurs les plus chevronnés en la matière préféreront acquérir une copie légale du logiciel qui les intéresse. Les deux parades existant à ce jour contre le piratage sont d'une part la protection contre la copie et d'autre part un contrôle à l'exécution.

#### Protection contre la copie:

De nombreux logiciels utilisent une protection logicielle contre la copie pour éviter une duplication du produit. Cependant, non seulement cette méthode est peu commode pour l'utilisateur qui veut réaliser des sauvegardes de sécurité, mais il existe de plus plusieurs applications très bon marché qui permettent de contourner la plupart de ces systèmes de protection.

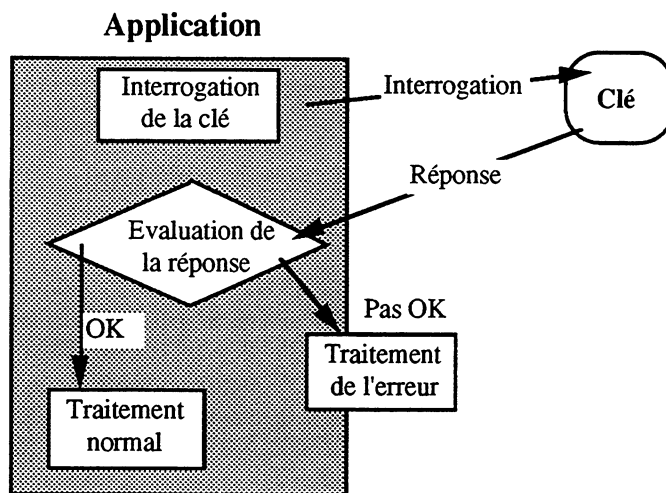
#### Contrôle à l'exécution:

Appliquer un contrôle à l'exécution est une solution bien meilleure car elle implique l'utilisation d'une clé électronique à mémoire enfichée à l'arrière de l'ordinateur. Les applications protégées ne sont fonctionnelles que si la clé appropriée est présente. C'est ce type de protection qu'a choisi IMD pour ses logiciels.

L'application d'un contrôle à l'exécution permet non seulement de protéger les applications contre toute utilisation illicite, mais donne aussi un maximum de souplesse aux utilisateurs : ils peuvent réaliser autant de copies de sécurité qu'ils le souhaitent et l'application reste protégée.

Le contrôle à l'exécution implique l'utilisation de "verrous logiciels". Un verrou logiciel est en fait une lecture d'une ou de plusieurs des cases mémoires de la cellule. Si la ou les valeurs lues ne sont pas celles que le programme appelant attend, un traitement approprié est effectué: généralement, un message d'erreur est affiché puis le programme en cours est interrompu. Remarquons que le premier verrou logiciel possible consiste à vérifier la présence de la clé à l'arrière de l'ordinateur et à synchroniser celle-ci avec le PC.

L'organigramme suivant représente le principe d'un verrou logiciel:



*Principe de fonctionnement d'un verrou logiciel*

Une application peut contenir autant de verrous logiciels que le développeur le désire. Ces verrous peuvent être "éparpillés" sur l'ensemble de l'application pour en compliquer la localisation. Il suffit qu'un

---

seul verrou soit actif pour que l'application ne soit pas complètement fonctionnelle. Le niveau de protection fourni par la clé "SentinelScribe" dépend directement du nombre et de la complexité des verrous logiciels présents dans l'application à protéger. Plusieurs techniques peuvent être utilisées séparément ou simultanément pour protéger une application:

Surcharge: on insère dans le programme à protéger un nombre d'accès à la clé tellement élevé que les pirates potentiels sont noyés sous les données.

Inconvénient: l'application est d'autant plus ralentie que le nombre d'accès à la clé est grand.

Déconcentration: afin d'abuser le pirate, on rajoute dans l'application quelques positions sur lesquelles on effectue de longues opérations inutiles.

#### 3.3.4.5.2.1.2 Principales fonctions

### ***Confidentiel IMD***

#### 3.3.4.5.2.2 Documents applicables

- SentinelScribe
- Sécurité et protection de logiciels
- Guide du développeur
- RainBow Technologies

#### 3.3.4.5.2.3 Caractéristiques

### ***Confidentiel IMD***



## 3.4 Évolutions futures

### **3.4.1 Introduction**

Après avoir exposé les réalisations jusqu'à ce jour, nous allons terminer par les réalisations en cours et prévues dans un avenir proche.

Les réalisations futures touchent tous les domaines : Logiciel, Testeur, Outillage.

### **3.4.2 Logiciels**

Nous avons développé à ce jour :

- les divers logiciels du testeur prototype
- le logiciel d'extraction des cartes miroir standard
- le logiciel de conversion des plages dessinées et d'extraction de Netlist
- le logiciel correspondant à l'utilisation de la clé.

Nous avons entrepris de développer une base de données spécifique au test de circuit nu, et à leur fabrication. Celle-ci est maintenant quasiment opérationnelle. C'est une des première base de données orientées objet. Elles va nous permettre :

- l'optimisation et le lien des logiciels d'extraction des CMS et de la Netlist.
- le développement d'un éditeur graphique intégré GERBER et outillage de test, performant et optimisé.
- la liaison avec les données testeur

Cette base de donnée correspond en fait au ciment qui va unir les différents développements réalisés jusqu'à lors tout en optimisant leurs performances.

### **3.4.3 Testeur**

#### **3.4.3.1 Remarques préliminaires**

Le testeur que nous avons développé nous a amené directement au niveau des meilleures machines des concurrents :

- en terme de performances (aucune machine concurrente n'est aussi performante que notre prototype, ne serait-ce que dans un seul domaine).
- en terme de coût. Nos prix de revient sont sensiblement les mêmes que les machines de moyenne gamme de nos concurrents.

Nous sommes les premiers à proposer une structure modulaire mixte (simple et double densité) au niveau de la grille universelle de test, telle que l'opérateur puisse changer, sous tension, un module simple densité en un module double densité, si cela est nécessaire, sous le contrôle du testeur lui-même, en fonction du circuit à tester.

Le problème est que l'aspect modulaire est breveté par 2 concurrents.

En tout état de cause, le prix de revient du testeur est encore 3 à 4 fois trop élevé :

- au niveau des modules électroniques
- au niveau de la grille universelle de pointes à ressort
- au niveau de la partie mécanique.

Nous sommes donc en train de mettre en oeuvre des solutions pour résoudre ces 3 problèmes, ce que nous allons voir partiellement (certains projets ne font pas encore l'objet de protection industrielle, ils seront donc tus dans ce document) dans les paragraphes suivant.

### 3.4.3.2 Réduction du prix de revient de l'électronique modulaire

La description de ce paragraphe fait l'objet d'un brevet [12].

#### *3.4.3.2.1 Introduction*

Les testeurs de CI nus sont aujourd'hui beaucoup trop chers pour ce qu'ils apportent effectivement. Qui plus est, en raison de l'augmentation de la densité des circuits à tester, ils vont devenir encore plus chers, dans la mesure où ils demandent encore plus de points de test.

#### *3.4.3.2.2 Remarques*

On peut tout d'abord émettre les remarques suivantes :

- \* d'une manière générale, environ 1/10 à 1/20 des points de test électroniques de la grille universelle sont effectivement utilisés au niveau du test.
  - \* tous les points de test ne sont pas utilisés simultanément, en continuité et en isolement :
    - . seuls 2 points de test sont utilisés à la fois pour le test de continuité. 1 est mis à la masse, l'autre à une tension de l'ordre de quelques V.
    - . seul 1 point de test par équipotentielle est utilisé pour le test d'isolement.
- De plus, pour ce dernier cas (hormis l'isolement secondaire qui utilise 2 points seulement) le test d'isolement primaire effectue 1 test d'1 point par rapport à tous les autres reliés à la masse. Tous les points de test sauf 1 sont mis dans un état donné à la fois.

#### 3.4.3.2.2.1 Définition d'un point de test électronique

Un point de test électronique est un accès physique à un commutateur électronique de courant ou tension. Mais rien n'empêche que **plusieurs accès physiques puissent a priori être plus ou moins franchement reliés au même commutateur, si cela n'est pas en contradiction avec les données de test.**

#### 3.4.3.2.2.2 Rappels des principes schématiques du test d'un CI nu.

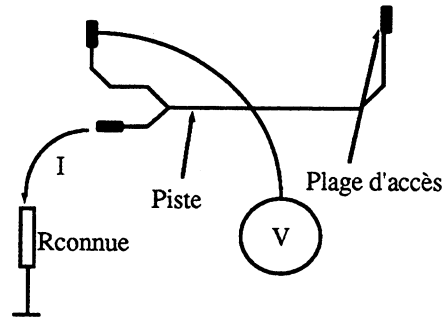
Il s'agit de vérifier :

- qu'aucune coupure franche ou non n'existe sur une piste du circuit imprimé (continuité)
- qu'il n'y a pas de court circuit entre une piste, et les autres pistes réunies ou non (isolement).

Pour opérer cette vérification, on accède électriquement au circuit à certains endroits, en général aux extrémités de ces pistes. Il est alors possible d'injecter des courants ou des tensions, et de comparer les résultats de ces mesures au modèle théorique enregistré.

Il y a donc 2 étapes bien distinctes, pendant lesquelles un seul point de test est véritablement actif. En effet, les mesures sont séquentielles.

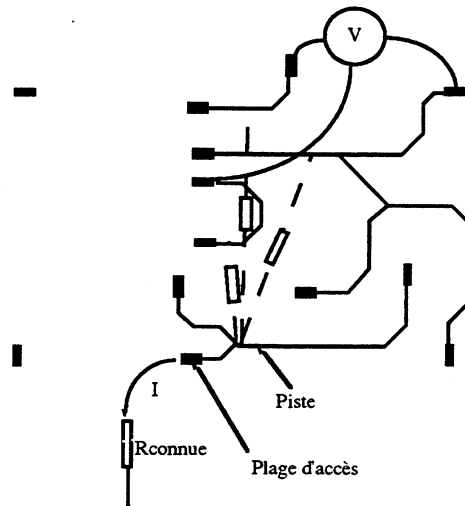
*Pour la continuité :*



Rappel des principes élémentaires de mesure sur un CI nu. - Continuité

Pour chaque mesure, 2 accès électriques sont nécessaires (un pour la stimulation, l'autre pour la mesure). Toutes les extrémités de la piste sont connectées (par l'intermédiaire de commutateurs), les unes à la suite des autres, à un potentiel donné, sauf une (qu'on appelle extrémité principale, ou point de test principal), qui permet de collecter un courant qu'on mesure. Si la valeur de ce dernier n'est pas conforme, il y a un problème entre les 2 points en jeu à ce moment.

*Pour l'isolement :*



Rappel des principes élémentaires de mesure sur un CI nu - Isolement.

Pour chaque mesure, 2 accès électriques sont nécessaires (un pour la stimulation, l'autre pour la mesure). Chaque point principal est connecté à une tension donnée, sauf un (objet de la mesure), qui permet de collecter le courant de fuite constitué par la somme des courants de fuite de chaque équipotentielle vers celle qui est objet de la mesure. On itère de cette manière pour chaque point principal.

Si l'on considère que l'on a en moyenne quelques milliers de points de test par circuit à tester, et qu'en moyenne une équipotentielle comporte 3 points de test, on voit qu'il est stupide d'imposer la présence d'autant de points électronique que d'accès physiques, alors que 99.9% sont dans le même état à un moment donné.

On peut alors peut-être choisir d'allouer à plusieurs accès physiques un seul point de test électronique,

3.4.3.2.2.3 Notations

\* On appelle **grille réelle** la grille de point de test électroniques. On appelle **grille virtuelle** (ou **réseau virtuel**) la grille mécanique constituée de contacts dont chaque contact est relié à au moins un point de test électronique. A titre d'exemple, la grille réelle pourra être une grille au pas de 2.54 mm, tandis que la

grille virtuelle pourra être au pas de 1.27 mm, soit 4 fois plus dense : un point de test électronique sera relié à 4 points de grille virtuelle.

\* On appelle **ratio de densité (noté RD)** le rapport entre la densité de grille réelle et la densité de grille virtuelle. L'objectif est que ce ration atteigne la valeur minimal de 4.

$$RD = (\text{pas grille virtuelle} / \text{pas grille réelle})^2$$

### 3.4.3.2.3 Description d'une première solution possible

\* On pourrait envisager simplement de **relier électriquement (par un court-circuit) plusieurs points de grille virtuelle (plus dense) à un point de grille réel.**

Cela implique alors les contraintes suivantes :

- si deux équipotentielles différentes se voient chacune affecter un de leur point au même réseau virtuel, il ne sera pas possible de tester l'isolement entre ces 2 équipotentielles :

- . d'abord par ce qu'un seul point de mesure / stimulation n'est disponible, alors qu'il en faudrait 2 (ce qui peut être envisagé au niveau de cette méthode).

- . ensuite parce que la résistance d'isolement serait masquée par le court-circuit entre les 2 équipotentielles, via le réseau virtuel.

- si 2 points d'une même équipotentielle appartiennent au même réseau, alors il n'est pas possible de mesurer la résistance de continuité qui les sépare :

- . d'abord par ce qu'un seul point de mesure / stimulation n'est disponible, alors qu'il en faudrait 2 (ce qui peut être envisagé au niveau de cette méthode).

- . ensuite parce que la résistance d'isolement serait masquée par le court-circuit entre les 2 équipotentielles, via le réseau virtuel.

- on peut envisager un algorithme (se servant de la Netlist) pour optimiser cette affectation. Mais en tout état de cause, seul  $1/RD$  des points de la grille virtuelle seront utilisables. Concrètement, si la densité de grille virtuelle est 1.27 mm, et celle de la grille réelle est de 2.54 mm, alors la densité de points disponibles n'est que celle correspondant à la grille réelle, c'est à dire 15.5 pts / cm<sup>2</sup>.

Or on a pu voir que certains circuits demandent localement des densités beaucoup plus fortes, allant jusqu'à 64 pts/cm<sup>2</sup>.

On a vu aussi que l'utilisation des cartes Puzzle maximisait ce paramètre à 64 pts / mm<sup>2</sup>, quelque soit le type de circuit.

\* Conclusion : cette méthode peut apporter un plus, mais est loin de répondre aux besoins des utilisateurs.

### 3.4.3.2.4 Solution effectivement proposée

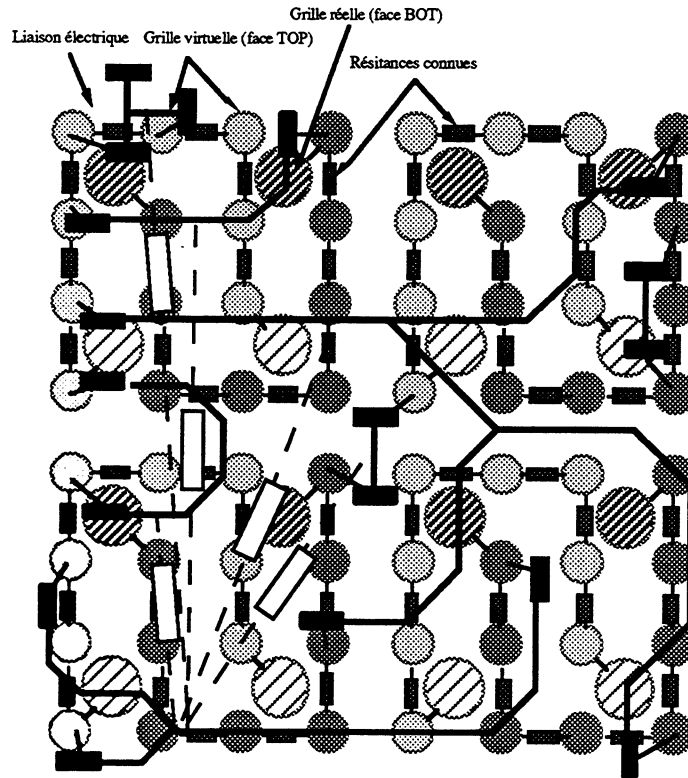
#### 3.4.3.2.4.1 Introduction

Nous allons essayer d'exposer une méthode en conservant tous les avantages de la méthode exposée précédemment, et en éliminant tous les inconvénients.

Le problème majeur de la méthode précédente est la possibilité (indésirable, mais qui peut survenir) de lien électrique franc entre 2 points (la densité de points de test électroniques disponibles peut être inférieure localement à la densité de points nécessaires). De plus, si 2 points de test sont reliés électriquement à 1 seul point électronique, il n'est pas possible d'effectuer une mesure entre eux, car alors le point de test électronique devrait fonctionner à la fois en imposition de tension, et en mesureur, ce qui n'est pas possible.

On peut alors envisager de rendre moins francs ces liens en reliant ces points par autre chose qu'un court circuit, par exemple une résistance d'une valeur connue, et très précise (ou autre chose), qu'on puisse par exemple mesurer dans une phase d'étalonnage.

Le principe est exposé par le schéma suivant :



Principe du multiplexage de grille de points de test électroniques

On constitue donc des chaînes électriques entre des points de grille réelle, et des points de grille virtuelle.

Dans notre exemple, 2 points de grille réelle encadrent 8 points de grille virtuelle, ce qui entraîne un gain d'un rapport 4 sur l'électronique réelle.

De plus, contrairement à un multiplexage simple :

- on a au moins 2 points de grille réelle par réseau, qui encadrent ce dernier, donc qui permet d'imposer une tension sur l'un quelconque des points et de mesurer le courant sur n'importe lequel autre.
- il est possible d'affecter un point de test quelconque de la grille virtuelle, sans qu'il soit nécessaire que celui-ci observe la contrainte précédente c'est à dire que 2 points de test ne peuvent appartenir au même réseau de grille virtuelle.

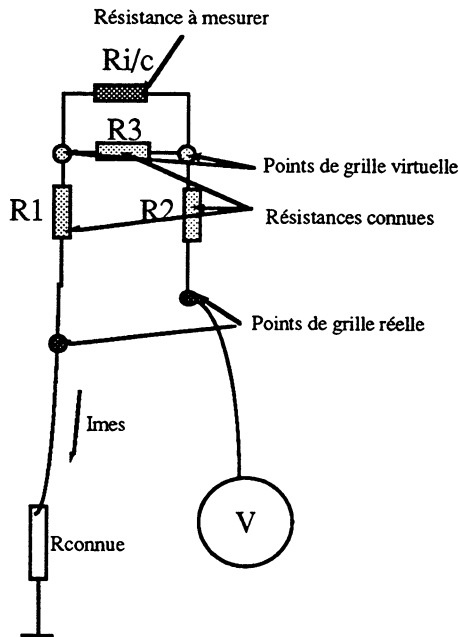
On remarque qu'au plus 7 résistances interviennent dans la mesure d'une huitième.

Le principe consiste en la déduction de la valeur d'une résistance de continuité ou d'isolement dans un champ (pont ?) de résistances connues, avec les contraintes suivantes :

- tester en haute tension pour l'isolement
- tester à au moins 10 mA pour la continuité (le courant traversant l'équipotentielle doit être au moins de cette valeur).

On suppose alors disposer d'un système de mesure relativement fin, avec une dynamique de mesure d'un rapport au moins 10 000. On suppose également savoir détecter une variation de courant de  $10 \mu\text{A}$  (voire moins) avec un bon discernement. Cela se faisant soit avec un système de mesure performant, soit une moyenne sur un certain nombre de mesures, soit les 2.

On va dans ce qui suit exposer cette méthode, pour les test de continuité ou isolement. Le schéma électrique équivalent est le suivant :



$$R_{i/c} = \frac{R3 * \left( \frac{V}{I_{mes}} - R1 - R2 \right)}{\left( R1 + R2 + R3 - \frac{V}{I_{mes}} \right)}$$

Schéma électrique équivalent d'une mesure dans le cadre d'un multiplexage de grille

#### 3.4.3.2.4.2 Test de continuité

Le test se fait équipotentielle par équipotentielle. Un point est mis sous tension, tandis que son homologue est commuté virtuellement à la masse, par où s'écoule le courant de mesure.

Pour chaque mesure, tous les points de test réels autres que ceux intervenant dans la mesure sont mis haute impédance.

*1er cas : tous les points de test de l'équipotentielle appartiennent à des réseaux virtuels différents.*

La plupart des points de test vont vérifier cette assertion. Ensuite, si le produit souhaité conserve une matrice à décalage non négligeable, on pourra proposer à l'utilisateur un algorithme affectant les points de test aux points de grille virtuelle, en tenant compte de leur Netlist.

Pour ce type de points, on ne fait intervenir qu'un point de grille réelle par réseau. Parmi les 2 possibles, on choisit celui qui correspond à la plus faible résistance entre lui et le point virtuel attaché au point de test.

Dans le cas présent, la résistance R3 est infinie. Les calculs montrent qu'avec des résistances R1 et R2 de l'ordre de 10 Ko, et une résolution de  $10 \mu\text{A}$  pour la mesure de courant, on peut atteindre des seuils de l'ordre de quelques dizaines d'ohms en continuité, pour des courants de test de l'ordre de 10 mA.

*2ème cas : 2 points de test (et seulement 2) de l'équipotentielle appartiennent à un même réseau virtuel .*

Pour les 2 points concernés, on doit faire intervenir les 2 points de grille réelle du réseau. La résistance R3 est alors finie. Les calculs montrent qu'avec des résistances R1 et R2 de l'ordre de 10 Ko, et une résolution de  $10 \mu\text{A}$ , on peut également atteindre des seuils de l'ordre de quelques dizaines d'ohms en continuité, sans différence notable avec la cas précédent, cela s'expliquant par le fait que si on considère

une résistance faible, la mise en parallèle de celle-ci avec une résistance élevée n'occasionne pas de différence majeure.

*3ème cas : plus de 2 points de test de l'équipotentielle appartient à un même réseau virtuel .*

Il faudra alors dans la mesure faire des hypothèses sur la valeur des résistances des portions de circuit considérées, et les confronter aux mesures. Même si ce cas se produisait, il pourrait donc être traité de manière analogue au cas de 2 points de test d'une même équipotentielle appartenant à un même réseau virtuel.

#### 3.4.3.2.4.3 Test d'isolement

Le test se fait équipotentielle par équipotentielle. Tous les points principaux (sauf le point objet de la mesure) sont mis sous tension, tandis que le point principal du point objet de la mesure est commuté virtuellement à la masse, par où s'écoule le courant de mesure.

Le choix des points principaux pourra ne pas être aléatoire.

*1er cas : l'équipotentielle considérée appartient à un réseau virtuel qui ne comprend aucun autre point de test*

Ce cas est peu probable pour des circuits plus denses localement que la densité de la grille réelle, c'est à dire pour des circuits comprenant des composants à partir de 0.635 mm.

(NB : on pourra toutefois essayer d'optimiser la disposition des points de test avec un algorithme ad hoc sur la grille de points virtuels, si l'on vise une matrice qui accepte des décalages non négligeables).

Pour toutes les équipotentielles qui vérifient le cas 1, on ne fait intervenir qu'un point de grille réelle par réseau. Parmi les 2 possibles, on choisit celui qui correspond à la plus faible résistance entre lui et le point virtuel attaché au point de test.

Dans le cas présent, la résistance  $R_3$  est infinie. Les calculs montrent qu'avec des résistances  $R_1$  et  $R_2$  de l'ordre de 10 Ko, et une résolution de 10  $\mu\text{A}$  pour la mesure de courant, on peut atteindre des seuils de l'ordre de quelques Mohms en isolement, à 300 V.

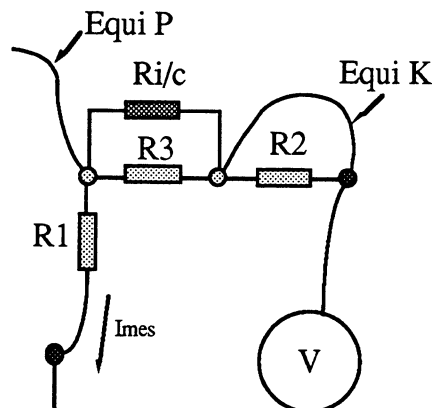
*2ème cas : 2 points de test et 2 seulement (quels qu'ils soient, principaux ou secondaires) appartiennent à un même réseau virtuel .*

Ce cas est plausible pour des circuits denses localement.

Pour les 2 points concernés, on doit faire intervenir les 2 points de grille réelle du réseau.

La résistance  $R_3$  est alors finie. Les calculs montrent qu'avec des résistances  $R_1$  et  $R_2$  de l'ordre de 10 Ko, et une résolution de 10  $\mu\text{A}$  pour la mesure de courant, on peut atteindre des seuils de l'ordre de quelques Mohms en isolement, à 300 V. On est alors environ 2 fois moins performant que dans le cas précédent.

*3ème cas : 2 points de test principaux appartiennent à un même réseau virtuel, et 2 points d'une même équipotentielle appartiennent à ce même réseau.*

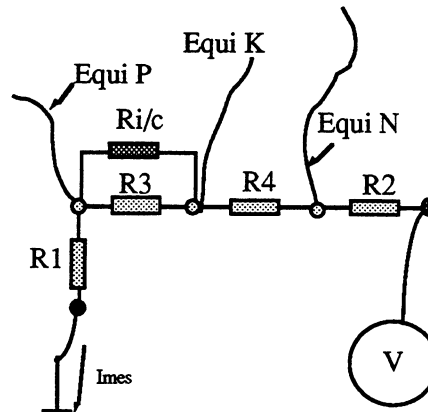


Cas particulier test d'isolement (multiplexage de grille)

Ce cas est peu probable. R2 est alors court-circuitée par la valeur de la résistance de l'équipotentielle K, mesurée lors de la phase de continuité.

Il faudra alors tenir compte de la valeur des résistances des portions de circuit considérées (acquises pendant le test de continuité).

*4ème cas : plus de 2 points de test principaux appartiennent à un même réseau virtuel (au plus la taille max du réseau virtuel)*



Cas particulier test d'isolement (multiplexage de grille)

Ce cas est très peu probable.

Ce cas est strictement équivalent au cas où 2 points principaux appartiennent à un même réseau virtuel. Toutefois, pour la mesure de l'isolement primaire de l'équipotentielle P par rapport à toutes les autres ne peut a priori se faire en mettant les équipotentielles K et N à la masse, puisque cela ne peut se faire que par le point de test électronique attaché au point virtuel, qui est déjà utilisé ici. Pour cette raison, il faudra éviter de définir des points principaux s'ils doivent appartenir à un même réseau virtuel que d'autre point principaux.

3.4.3.2.4.4 Critères pour l'algorithme d'attribution des points de test

Il s'agit ici de définir un positionnement du circuit à tester sur la grille virtuelle (qui possède un motif répétitif, et donc donne lieu à un nombre limité de combinaisons possibles) de manière à éviter le plus possible de rencontrer des cas qui ne facilitent pas la tâche, en faisant l'hypothèse dans un premier temps que les points de test sont affectés avec un demi décalage de pas de la grille virtuelle (position verticale des aiguilles). **Les matrices pourraient alors ne comprendre qu'une seule plaque spécifique (au plus 2) et une plaque standard, ce qui en réduirait considérablement le coût, d'autant plus qu'elles seraient très simples et donc très rapides à monter** (l'inconvénient serait toutefois la non connaissance de la position initiale d'une aiguille (4 positions possibles) en cas de sortie de l'aiguille de la matrice).

Voici, pour chaque proposition de positionnement (On pourra procéder à cet essai pour les 8\*4 possibilités de positionnement du circuit (réseau virtuel à 8 points), l'algorithme qu'il faut essayer de respecter.

**1 - Essayer d'affecter 1 point de test et un seul par réseau virtuel.** Le test en résultant est alors un test quasi classique, à la différence près qu'il faut tenir compte des résistances de réseau, ce qui va pénaliser la performance du test de continuité, sauf si le point affecté est l'un des 2 points extrêmes du réseau. Lorsque cela est possible, il est préférable d'affecter en priorité les extrémités des réseaux, et de manière générale, les points présentant une résistance minimale.



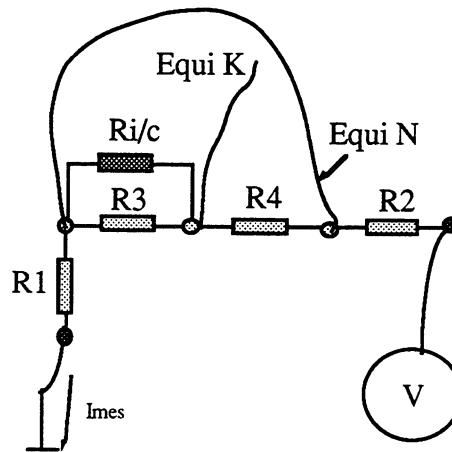
2 - Si la condition 1 n'est pas vérifiée, **essayer de n'affecter qu'un seul point principal à un même réseau virtuel**. Le test d'isolement est alors quasi classique, avec les mêmes performances que ce dernier, à la différence près qu'il faudra tenir compte :

- . des résistances du réseau, qui devraient intervenir de manière négligeable en comparaison de la valeur du seuil d'isolement souhaité.
- . de la résistance d'une piste présentant 2 points de test appartenant à un même réseau virtuel. Cette résistance aura été mesurée et stockée lors du test de continuité.

3 - Si les conditions 1 et 2 ne sont pas vérifiées, **essayer d'affecter au plus un point de test par équipotentielle à un même réseau virtuel**. Cela permet d'éviter d'avoir à tenir compte d'une résistance (celle de la portion de piste entre les 2 points considérés) qui court-circuiterait les résistances du réseau.

4 - Si les conditions 1, 2 et 3 ne sont pas vérifiées, **éviter d'encadrer 2 points principaux appartenant à un même réseau virtuel par une piste (2 points d'une même équipotentielle) du CI à tester**. Le test d'isolement ne serait alors plus classique, car la résistance d'isolement serait noyée par une résistance très faible, ce qui diminuerait de manière importante la caractéristique d'isolement pour ces points (et pour ces points seulement).

Ce dernier cas (bien que traitable en entraînant un sensible baisse de caractéristiques pour les points concernés seulement) est hautement improbable pour une grille réelle de points de test électroniques au pas de 2.54 mm. Il devient de plus en plus probable au fur et à mesure que la densité de la grille réelle diminue.



*Cas particulier test d'isolement (multiplexage de grille)*

#### 3.4.3.2.5.5 Calculs

Le tableau ci-dessous donne quelques exemples de valeurs obtenues, en fonction de certaines hypothèses.

*Hypothèses*

<b>R1 =</b>	1000 Ko
<b>R2 =</b>	1000 Ko
<b>R3 =</b>	1000 Ko

*Continuité*

<b>V =</b>	300 V	<b>V/Imes =</b>	2000,133 Ko
<b>Imes =</b>	149,99 $\mu$ A		

<b>Ri/c =</b>	133 ohms
---------------	----------

NB : V/Imes doit être comprise entre (R1+R2) et (R1+R2+R3)

*Hypothèses*

<b>R1 =</b>	100 Ko
<b>R2 =</b>	100 Ko
<b>R3 =</b>	100 Ko

*Continuité*

<b>V =</b>	300 V	<b>V/Imes =</b>	201,342 Ko
<b>Imes =</b>	1490,00 $\mu$ A		

<b>Ri/c =</b>	1361 ohms
---------------	-----------

NB : V/Imes doit être comprise entre (R1+R2) et (R1+R2+R3)

*Hypothèses*

<b>R1 =</b>	15 Ko	R1 / Ri/c =	0,1391%
<b>R2 =</b>	10 Ko	R2 / Ri/c =	0,2087%
<b>R3 =</b>	20 Ko	R3 / Ri/c =	0,1044%

*Continuité*

<b>V =</b>	300 V	<b>V/Imes =</b>	25,021 Ko
<b>Imes =</b>	11990,00 $\mu$ A		

<b>Ri/c =</b>	21 ohms
---------------	---------

NB : V/Imes doit être comprise entre (R1+R2) et (R1+R2+R3)

*Hypothèses*

<b>R1 =</b>	15 Ko	R1 / Ri/c =	0,1391%
<b>R2 =</b>	10 Ko	R2 / Ri/c =	0,2087%
<b>R3 =</b>	1000000 Ko	R3 / Ri/c =	0,0000%

*Continuité*

<b>V =</b>	300 V	<b>V/Imes =</b>	25,021 Ko
<b>Imes =</b>	11990,00 $\mu$ A		

<b>Ri/c =</b>	21 ohms
---------------	---------

NB : V/Imes doit être comprise entre (R1+R2) et (R1+R2+R3)

*Isolement*

<b>V =</b>	300 V	<b>V/Imes =</b>	2727,273 Ko
<b>Imes =</b>	110,00 $\mu$ A		

<b>Ri/c =</b>	2,667 Mo
---------------	----------

NB : V/Imes doit être comprise entre (R1+R2) et (R1+R2+R3)

*Isolement*

<b>V =</b>	300 V	<b>V/Imes =</b>	297,030 Ko
<b>Imes =</b>	1010,00 $\mu$ A		

<b>Ri/c =</b>	3,267 Mo
---------------	----------

NB : V/Imes doit être comprise entre (R1+R2) et (R1+R2+R3)

*Isolement*

<b>V =</b>	300 V	<b>V/Imes =</b>	44,978 Ko
<b>Imes =</b>	6670,00 $\mu$ A		

<b>Ri/c =</b>	17,767 Mo
---------------	-----------

NB : V/Imes doit être comprise entre (R1+R2) et (R1+R2+R3)

*Isolement*

<b>V =</b>	300 V	<b>V/Imes =</b>	30000,000 Ko
<b>Imes =</b>	10,00 $\mu$ A		

<b>Ri/c =</b>	30,901 Mo
---------------	-----------

NB : V/Imes doit être comprise entre (R1+R2) et (R1+R2+R3)

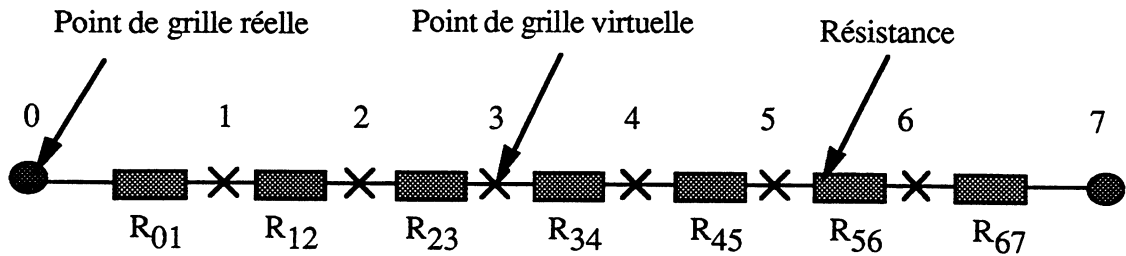
Tableaux de simulations de résultats pour le multiplexage de grille

Ce dernier cas de figure représente le cas général, qui correspond à une valeur infinie pour R3 : cas où les points de test n'appartiennent pas à un même réseau.

NB : c'est seulement pour ces exceptions que le résultat de la mesure d'isolement sera différent du cas standard que nous connaissons aujourd'hui.

### 3.4.3.2.4.6 Modélisation du réseau

On peut modéliser le réseau de la manière suivante :



*Modélisation du réseau - 1*

On note alors  $R_{05}$  la résistance  $R_{01} + R_{12} + R_{23} + R_{34} + R_{45}$

On a donc :

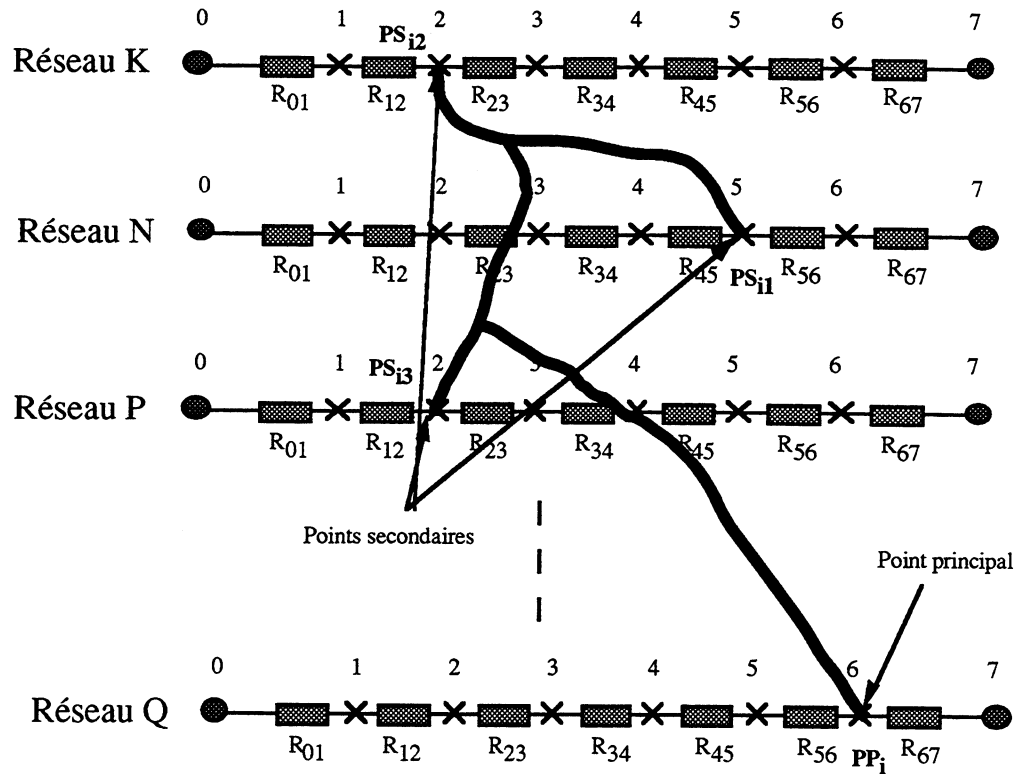
$$R_{i/c} = \frac{R_{bc} * \left( \frac{V}{I_{mes}} - R_{ab} - R_{cd} \right)}{\left( R_{07} - \frac{V}{I_{mes}} \right)}$$

On va lors par la suite raisonner équipotentielle par équipotentielle, au niveau du test de continuité et de l'isolement :

#### *Test de continuité*

On pourra avoir les différents cas suivants :

1er cas : cas simple : il y a autant de réseaux en jeu que de points de test pour l'équipotentielle



### Modélisation du réseau - 2

Dans notre exemple, il y a 4 points de test, donc 3 résistances de continuité à mesurer. On choisit comme point principal le point le plus proche d'un point de grille réelle, car il présentera une résistance de transfert la plus faible.

Le point principal est mis à la masse et collecte le courant de mesure. Les points secondaires sont mis tour à tour à V<sub>pp</sub>.

#### 3.4.3.2.4.7 Premières conclusions

Quelque soit le circuit à tester, et quel que soit son pas le plus fin, cette méthode débouche :

- sur un **test d'isolement à performances quasi standard** (condition : un point principal par équipotentielle seulement), c'est à dire **entre 10 et 100 Mo** si on sait mesurer un courant de 3 à 10  $\mu$ A.
- sur un **test de continuité à performance plus faible** (sensiblement 10 à 20 ohms), ce qui peut être compensé par un bon système de mesure (à forte dynamique).

NB : la faisabilité technique de cette méthode réside en la possibilité d'ajouter les nombreuses résistances nécessaires au niveau de l'électronique de test, la valeur de ces résistances devant être connues de manière très précises.

#### 3.4.3.2.4.8 Mise en oeuvre de cette solution

Il faudra procéder dans l'ordre aux étapes suivantes :

- vérifier qu'on peut réaliser ce réseau de résistances en association avec le process SOREP (ou un autre comme un simple circuit imprimé avec des résistances CMS), sans surcoût majeur.
- définir une solution SOREP pour une grille modulaire au pas de 2.54 mm, sur laquelle on pourrait hybrider une plaque "couches épaisses" réalisant l'interface grille réelle <--> grille virtuelle. Cette plaque pourra faire l'objet d'une fabrication indépendante (SOREP ou non) et présentera des résistances qu'on demandera de 5 à 10 % en précision. La valeur très précise de ces résistances 0.1 %, voire 0.01% sera apprise et stockée en E2PROM sur la carte module, lors de la phase de test du

module complet. Cet apprentissage se fera avec un outillage spécial (une plaque outillage pour chaque type de point virtuel ? (dans notre exemple, il y a 7 résistances à apprendre).

- éventuellement, prévoir une plaque qui permet de passer d'un pas de 2.54 mm à un pas plus grand (par exemple 3.59 mm, voire 5.08 mm, si l'on souhaite diminuer la densité de la grille réelle, qui serait hybridée sur le module SOREP.
- estimer les coûts au point de test d'un tel module.
- faire la liste exhaustive de tous les cas de figure possibles concernant l'affectation des points de test au réseau virtuel, en liaison avec la grille réelle.
- mettre en place l'algorithme qui permettrait sur des benches réels de voir comment s'effectue l'attribution au réseau, de manière à pouvoir définir de manière optimale le nombre de points virtuels pour 2 points de grille réelle.

#### 3.4.3.2.4.9 Les produits pouvant dériver de cette solution

Indépendamment du nombre de points virtuels adoptés par réseau, la densité de la grille virtuelle finale est un paramètre important.

- si l'objectif du produit est un prix bas, on pourra proposer un système à grille simple ou double densité pour un prix inférieur d'un rapport à celui d'un pas de 2.54 mm, si l'on choisit des réseaux virtuels à 8 points par exemple.
- si l'objectif du produit est un prix modéré, en conjonction avec des matrices simples à réaliser, on pourra proposer un système à grille virtuelle au pas de 1.79 pour un prix équivalent à celui d'un pas de 2.54 mm, si l'on choisit des réseaux virtuels à 8 points par exemple.

#### *3.4.3.2.5 Conclusion*

Cette solution devrait permettre de réduire le prix de revient de l'électronique de test d'un rapport 3 à 4. De plus, l'intégration qu'autorise cette solution devrait considérablement alléger la partie mécanique. En effet, la hauteur d'un bloc de test pourrait passer de 50 cm actuellement à moins de 2 cm. Le poids de l'ensemble serait réduit dans le même rapport.

La structure mécanique serait alors considérablement allégée, et donc beaucoup moins coûteuse, tout en étant plus performante.

2 des précédents objectifs (réduction du prix de l'électronique, et de celui de la mécanique) seraient alors atteints.

### **3.4.4 Outillage**

Nous avons l'intention de développer un outillage, compatible avec les CMS IMD, mais qui s'affranchirait de l'utilisation d'un lit de clous, et d'une grille universelle de pointes à ressort.

Le montage / démontage serait immédiat, et les coûts d'exploitation très faibles.

Ce projet est en gestation au niveau du dépôt d'un brevet. C'est pourquoi nous ne le développerons pas ici.

## CONCLUSION

Pendant toute la durée de nos travaux, nous nous sommes efforcés de reconsidérer depuis le départ les besoins des fabricants de circuits imprimés nus en matière de test, d'un point de vue purement théorique, puis technique (réalisations), mais également économique, afin de proposer une solution aux problèmes d'aujourd'hui, et de demain, qui plus est, économiquement compatible avec leurs contraintes.

Nous avons tout d'abord cerné les besoins, au travers d'un dialogue permanent avec les intéressés eux-mêmes.

Nous avons ensuite isolé les points de blocage, de manière à pouvoir réfléchir aux solutions appropriées. Le tableau ci-dessous résume les caractéristiques actuelles des testeurs du commerce face aux besoins :

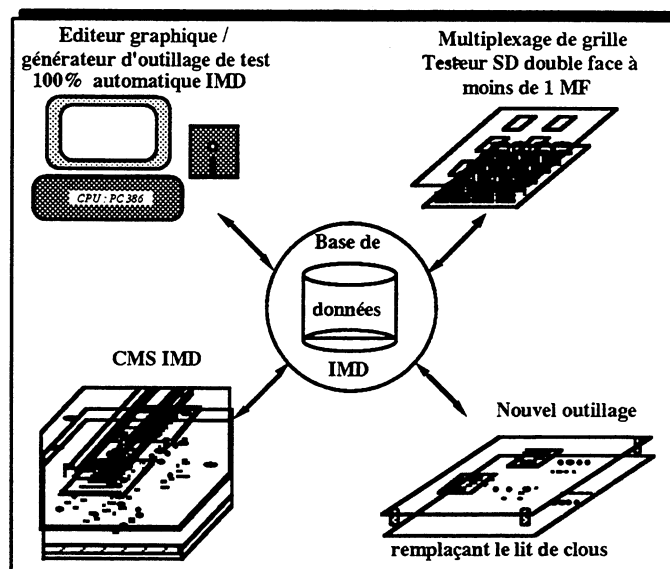
Caractéristiques des systèmes actuels	Besoins	
<b>Résolution :</b>	25 mil (0.635 mm)	8 mil (0.200 mm)
<b>Extraction de Netlist :</b>	semi-automatique	100 % automatique
<b>Coût des testeurs :</b>	3 MF	1 MF

Nous avons ensuite mis en oeuvre les solutions les plus prioritaires, au travers de prises de brevet et de réalisations concrètes :

- prise de brevet international et développement d'une interface d'accès aux circuits imprimés nus haute résolution (jusqu'à 8 mil) : les Cartes Miroir Standard.
- développement d'un extracteur de Netlist 100 % automatique
- développement d'un testeur de circuit imprimé nu complet (2 brevets internationaux au niveau de l'architecture, permettant de réduire d'un facteur 3 le coût du système).et fabrication d'un prototype complet.

En parallèle, et en raison du caractère industriel (donc en partie confidentiel pendant la durée du développement) du projet, nous n'avons pu présenter que 3 papiers lors de conférences internationales.

Nous projetons également de continuer nos travaux, pour aboutir à ce qui devrait être une réponse globale au test de circuits imprimés nus, dont les orientations sont explicitées par la figure suivante :



*Solution finale IMD pour le test de circuits imprimés nus*

Chacune des diverses parties qui constitue la globalité du test de circuits imprimés nus (Testeur, logiciel d'aide à la génération d'outillages, prise d'information sur le circuit, outillage) aura été reprise puis optimisée, de manière à atteindre l'objectif final d'un test à 100 % des circuits imprimés nus haute densité, de manière fiable et économique, au niveau de l'investissement et de l'exploitation.

Nous pensons que les solutions présentées ici conviendront pour la quasi-intégralité de la production de circuits imprimés nus au moins jusqu'en l'an 2 000.

Au-delà, un nouveau travail de recherche a démarré récemment qui mettra vraisemblablement en oeuvre des techniques électro-optiques.



---

## REFERENCES BIBLIOGRAPHIQUES

### Recherche

- [1] - "**Étude sur l'optimisation d'un programme de test de Circuits imprimés nus**", Diplôme d'Études Approfondies (Systèmes Électroniques), Jean-Yves Monari, TIM 3 (CNRS / INPG), 1987.
- [2] - "**New Testing Equipment for SMT PC BOARDS**", International Test Conference 88, L. Balme, A. Mignotte, JY Monari, P. Pondaven, C. Vaucher, TIM 3 (CNRS / INPG).
- [3] - "**Étude théorique, modélisation et simulation de défauts sur les circuits imprimés nus**", Diplôme d'Études Approfondies (Systèmes Électroniques), Patrick Pondaven, TIM 3 (CNRS / INPG), 1988.
- [4] - "**Test de Circuits imprimés nus**", Diplôme d'Études Approfondies (Systèmes Électroniques), Christophe VAUCHER, TIM 3 (CNRS / INPG), 1988.
- [5] - "**Optimisation d'un logiciel de test de Circuits Imprimés nus**", Diplôme d'Études Approfondies (Informatique), Anne Mignotte, TIM 3 (CNRS/INPG), 1988.
- [6] - "**Étude d'une algorithmique du traitement de données CAO - Application à la nouvelle génération de testeurs de circuits imprimés nus**", Diplôme d'Études Approfondies (Image - Parole), Philippe Toureille, IM A (CNRS/INPG), 1991.
- [7] - "**Conversion d'une image scannée en format vectorisé - Reconnaissance de formes géométriques simples**", Diplôme d'Études Approfondies (Image - Parole), Aadil BENALI, TIM A (CNRS/INPG), 1992.
- [8] - "**The Standard Mirror Board Concept (An innovative improvement for bare PCB testing up to 10 mils)**", Christophe VAUCHER, Louis BALME, TIM A (CNRS / INPG), International Test Conference 1993.

### Protection Industrielle

- [9] - "**Appareil de test de Circuits Imprimés**", Brevet Français, L. Balme, JY Monari, P. Pondaven, C. VAUCHER, TIM 3 CNRS / INPG, 1987.
- [10] - "**Appareil de test de Circuits Imprimés, méthode des Cartes Miroir Standard**", US and European patent, Christophe VAUCHER, IMD Test Systems, 1988.
- [11] - "**Appareil de test de Circuits Imprimés**", Brevet Français, Christophe VAUCHER, IMD Test Systems, 1992.
- [12] - "**Multiplexage de grille universelle pour testeur de circuits imprimés nus**", Brevet Français, Christophe VAUCHER, IMD Test Systems, 1993.

---

[13] - **"Outillage de test de circuits imprimés nus"**, Brevet Français, Christophe VAUCHER, IMD Test Systems, 1993.

### Marketing - Tendances

[14] - **"La production française de circuits imprimés - Le marché Français"**, SYCEP, 1987.

[15] - **"Technical guide on SMT"** (Yokohama Industrial Institute, Japan), 1989.

[16] - **"Évolution technologique et qualité : comment les rendre compatibles"**, European Institute of Printed Circuits, Oct 1989.

[17] - **"Montage en Surface : le défi lancé aux concepteurs de circuits imprimés"**, SMTique / CONNECTique / ASIC, Électronique, Technique et Industries N°77, Mars 1990.

[18] - **"The Worldwide Contract Assembly Market"**, Gene Selven, ETP, Surface Mount International. Vol 4, Issue 5, Oct 1990.

[19] - **"L'activité de fabrication de circuits imprimés et de montage de cartes électroniques en France, 1990 - 1993"**, GFIE, Oct 1990.

[20] - **"Étude de Marché sur le test de Circuits Nus"**, IMD / MD Prospective, Oct 1990.

[21] - **"Semiconductor Industry Business & Technology Forecast"**, Microelectronics Manufacturing Technology, Jan 1991.

[22] - **"Le guide européen CMS"**, services techniques du SPER, éditions Fuji-Yama, Avril 1991.

[23] - **"Eurotrends"**, International Management, June 1992.

[24] - **"La technologie du Montage en Surface : situation actuelle et perspectives"**, Technique et Industries, Avril 1993.

[25] - **"Japanese PWB industry"**, IPC Review, vol 34 N°3, May 1993.

[26] - **"PCB Newsbeat"**, Printed Circuit Fabrication, June 1993.

[27] - **"Test & CMS"**, Christophe VAUCHER, TIM 3 / IMD Test Systems, Août 1993.

### Technologie CMS et fabrication de circuits nus

[28] - **"SMDs : a user's view"**, David Boswell, Electronic Production, Nov 1989.

[29] - **"Interconnecting with TAB"**, John Burke, Electronic Production, Dec 1989.

[30] - **"Connecting Multi Chip Modules"**, Electronic Production, Dec 1989.

- 
- [31] - **"L'encapsulation des circuits intégrés spécifiques"**, Conrad Heberling, AMS, Électronique, Technique et Industries N°81, Sept 1990.
- [32] - **"The BS-15 Hot-Bar Soldering System"**, Gunter Schiebel, Siemens, Jan 1991.
- [33] - **"Report de CMS : la CP-5 double la cadence"**, Technologies, Mars 1991.
- [34] - **"Le micro perçage des Circuits Imprimés haute définition et multicouches"**, B. Gerlach, SHMOLL Maschinen, Mars 1991.
- [35] - **"A simulation-based production planning support system for printed circuit board fabrication"**, E. MacDowell, Oregon State University, 1991.
- [36] - **"Multichip Modules Pursue Wafer Scale Performances"**, Electronic Packaging & Production, Jan 1992.
- [37] - **"Protecting Multichip Modules with molded packaging"**, Electronic Packaging & Production, Jan 1992.
- [38] - **"Technology choices for Multi Layer Hybrids"**, Electronic Packaging & Production, Jan 1992.
- [39] - **"A solution to Surface Mount PCB density"**, Electronic Packaging & Production, Jan 1992.
- [40] - **"Bonding Alternatives for Multi chip Modules"**, Electronic Packaging & Production, April 1992.
- [41] - **"Thick film MCM developed"**, Electronic World News, June 1992.
- [42] - **"Multichip Modules : the packaging technology of today ... and tomorrow"**, Timothy Hodson, Electronic Packaging & Production, Oct 1992.
- [43] - **"Les différentes étapes de la fabrication d'un circuit imprimé nu"**, Eric Boone, Cirly, Juillet 1993.

#### *Le test de circuits nus*

- [44] - **"The Economics of Automatic Testing"**, Brendan Davis (Mac Graw Hill) , 1982
- [45] - **"Service Cartes CMS"**, RTC, Mars 1987.
- [46] - **"Solutions to Current Problems in ATE Fixturing"**, C. Masi, Test & Measurement World, Dec 1987.
- [47] - **"Le test des cartes à base de CMS"**, Minis et Micros N°300, Avril 1988.
- [48] - **"Process control begins with testing the bare board"**, S. Leonard Spitz Electronic, Packaging & Production, Dec 1988.

- 
- [49] - **"Testing Surface Mount Technology"**, Hewlett Packard, 1989.
- [50] - **"Making Surface-Mount PCBs testable"**, David W. Daugherty, Electronics Test, June 1989.
- [51] - **"Autodwell - more testing in less time accuracy"**, Ken Fry & David Wilkie, Everett Charles Test Equipment Inc, June 1989.
- [52] - **"Managing information in a Test Engineering Environment"**, Richard Hines, Electronics Test, July 1989.
- [53] - **"Improving the testability of SMT Boards"**, Ron Robinson, Everett Charles Contact Product Pomona, CA, Electronics Test, July 1989.
- [54] - **"Le test électrique des circuits imprimés à usage militaire : les choix décisifs"**, G. Le Fessant, THOMSON-CSF, EIPC, Sept 89.
- [55] - **"Traditional test faces manufacturing demands"**, Electronics test, Dec 1989.
- [56] - **"Testing SMT Bare boards"**, Tony Lea, Electronic Production, Jan 1990.
- [57] - **"New directions in Electrical Testing of PCBs for the 1990s"**, G. Hroundas, Trace Instruments, 1990.
- [58] - **"Diagnosis for wiring interconnects"**, Wu-Tung Cheng - ADAS Software Inc, ITC 90.
- [59] - **"Interconnect Testing of Boards with partial Boundary Scan"**, G. Robinson & J. Deshayes, GENRAD Inc., ITC 1990.
- [60] - **"New directions in Electrical Testing of PCBs for the 1990s"**, G. Hroundas, Trace Instruments, June 90
- [61] - **"Bare Board testing : meeting the challenge of fine pitch"**, Karen Grikitis, Electronics Manufacture & Test, Jan 1991.
- [62] - **"Hewlett Packard Test seminary"** - Grenoble - June 1991.
- [63] - **"Strategy for effective Board Test"**, Ron Stevens, Tom Ziaja, IBM Corporation, Jan 1992.
- [64] - **"Solutions to fine pitch bare board electrical challenges"**, Jeffery Straw, Hewlett Packard, Electronic Packaging & Production, April 92.
- [65] - **"Advanced Fixtures for SMT Testing"**, Scott Justice, PCB Fab, Aug 1992.

*Les différents types d'empreintes de composants*

- [66] - **"Surface Mount Land Patterns (Configurations and design rules), ANSI/IPC-SM-782"**, Institute for Interconnecting and Packaging Electronic Circuits, Mars 1987.

- 
- [67] - "Catalog of dummy components", Solder Technology International Inc, 1992.
- [68] - "Aires de report des composants à montage en Surface", Schlumberger Technologies, 1992.
- [69] - "Contraintes liées au placement automatique des composants CMS dont les connexions de boîtiers sont inférieures ou égales au pas de 1.27 mm", Schlumberger Technologies, Juin 1992.
- [70] - "ASIC Surface Mount Packages", Texas Instruments, June 1992.

### Le problème de la tension de test

- [71] - "Journal of Electrostatics", Vol 18, 20, 22, 24 , Elsevier Science Publishers B.V., Amsterdam.
- [72] - "Hipot and Ground continuity testing", Carlton Holley, Rod-L Electronics, Test & Measurement world, Dec 1986.
- [73] - "High voltage Insulation testing protects factory floor equipment", A. Reynolds, Biddle Instruments, Electronics Test, Mar 1989.
- [74] - "Voltage versus resistance", Ken Fry & David Wilkie, Everett Charles Test Equipment Inc, July 1989.
- [75] - "The voltage controversy", Michael Paige and Donald Hague, Luther & Maelzer, PCB Fab, Dec 1989.
- [76] - "True insulation testing", Ken Fry & David Wilkie, Everett Charles Test Equipment Inc, Aug 1989.

### Design for testability

- [77] - "Where the probe meets the pad : designing testable SMT Boards" - Electronics Test - Sept 89 - Joseph A. Prang, Valid Logic Systems, San Jose, Ca.
- [78] - "What is the use of DFT", Steve Bisset, Electronics Test, Jan 1990.
- [79] - "IPC Workshop focus on designers", IPC REview, vol 34 N°3, May 1993.

### La liaison CAO

- [80] - "Séminaire CAO/FAO", Nicolitch SA, Avril 1990.
- [81] - "Scale the data mountain", Stephen Scheiber, Test & Measurement World, Dec 1990.

- 
- [82] - "**Data file : electrical test equipment**", Michaela Brody, PCB Fab, Aug 1992.
- [83] - "**E-CAM : the bridge between design and manufacture**", Kurt Herboth, Katplot Gmbh, Surface Mount International Vol 4 Issue 5, Jan 1993.
- [84] - "**The sources of connectivity data for bare board testing**", David Daugherty, Technology Resource Management Inc., Electronics Test, April 1993.

### Inspection optique

- [85] - "**Inspection optique automatique et circuits CMS**", Patrick Aubert, UP Systems, 1989.
- [86] - "**Inspection par rayons X et surveillance du process**", Michel Massenat & Philippe Aime, Matra Espace SA & AMH Électronique SA, 1989.
- [87] - "**The myths of X-ray Inspection**", E. Soron, Jan 1990.
- [88] - "**Inspection beyond the leading edge**", C. Masi, Test & Measurement World, Dec 1990.

### Normes

- [89] - "**Norme EDIF 2.0**", 1988.
- [90] - "**Norme MIL P 55110 D**", 1989.
- [103] - "**Norme UTE C93 703**", Dec 1977.

### Divers

- [91] - "**Obsolescence d'un produit**", (Conférence ASIC 90, SMTique, Mars 90).
- [92] - "**Keeping the spark out of a board test**", John Cessna, Electronics Test, Feb 1992
- [93] - "**Les dysfonctionnement électriques liés aux circuits CMOS rapides**", Jean-Luc Levant, Matra Harris Semiconducteurs, avril 1993.
- [94] - "**Les nouveaux défis des circuits imprimés**", Thierry Lucas, Usine Nouvelle - Technologies, Oct 90
- [95] - "**Le CMS redonne sa chance au circuit imprimé additif**", Frédéric Fassot, Électronique International N° 005 - 7 Février 1991.

- [96] - "Interconnexion method of liquid crystal driver LSIs by TAB-ON-GLASS and BOARD-TO-GLASS using anisotropic conductive film and monosotropic heat seal connectors", Roger R. Reinke - Elform, INC , 1992.
- [97] - "Interconnecting with TAB", John Burke, general Manager of Corby Circuits, Northants, Dec 89
- [98] - "Méthodologie pour la testabilité", Maurice Mohr, Smtique, Mars 90, Ciprame Consultant.
- [99] - "La progression des technologies de fabrication des circuits imprimés et intégrés", BPA, 1989.
- [100] - "Actes de conférence du European Institute of Printed Circuits", 1987.
- [101] - "Actes de conférences EIPC", Sept 89.
- [102] - "An Introduction to Local Area Network (LAN)", J. Richard Hines, Electronics Test, Janv 90.

### Traitement d'images

- [105] - GERBER data format reference manual, Gerber Scientific Instrument Company, GERBER GSI, 1987.
- [106] - HPGL: Interfacing And Programming Manual, Hewlett Packard, 1986.
- [107] - PC Programmation Système, Michael Tisher, Collection La Bible, Éditions Micro Application, 1991.
- [108] - Les fichiers graphiques sur ordinateurs, Christophe Lepecq / Norbert Rimoux, Collection Info PC, Edition Armand Colin, 1991.
- [109] - LES SCANNERS : documentations;
- |             |                                     |
|-------------|-------------------------------------|
| .RANK XEROX | :Scanner professionnel 7650 PC,     |
| .DIGIMASTER | : Scanner, Vectoriser, Down Loader, |
| .CANON      | : Le Scanner IX-30F,                |
| .RICOH      | : Le Scanner RS632.                 |
| .AGFA       | : Le Scanner AGFA FOCUS S600 GS     |
|             | Le Scanner AGFA FOCUS S800 GS       |
- [110] - LES LOGICIELS DE VECTORISATION :
- |                         |   |
|-------------------------|---|
| .ESPACE MENTHE: USIMAGE | (Documentation+Disquettede Démonstration);    |
| .COREL DRAW             | (Documentation + Logiciel);                   |
| .IMAGE-IN               | (Documentation + Disquette de Démonstration). |
- [111] - Guide PSI du programmeur en C, Jean-Luc LUCZAC, Collection PSI, Édition PSI, 1990.
- [112] - Système de binarisation optimale de documents, Michel AUBERT, Thèse de docteur ingénieur au TIRF, 1991.

- 
- [113] - **Méthode d'alignement d'images pour l'inspection automatique en micro-électronique** Youssef DAHER, Thèse de docteur ingénieur au TIRF, 1985.
- [114] - **Traitement d'images par analyse de connexité et paramétrisation en un passage**, D. DAVID Thèse de docteur ingénieur, INPG, 1980.
- [115] - **Étude et réalisation d'un système de palettisation flexible**, Serge OLYMPIEFF, Thèse de docteur ingénieur au TIRF, 1984.
- [116] - **Segmentation of plane curves**, T. PAVLIDIS, IEEE Trans on Comp., 1974.
- [117] - **De l'étude de la transformée de Hough et du contraste vers le choix automatisé d'une séquence de traitement de l'image**, Patricia TAGLIARINO, Thèse de docteur ingénieur au TIRF, 1989.
- [118] - **Introduction aux techniques de traitement de l'image**, A. MARION, Eyrolles, Paris, 1987.
- [119] - **Digital Image Processing**, GONZALEZ & WINTZ, Addison - Wesley P.C. Massachussets 1977-1987.
- [120] - **Vision par ordinateur en 2 et 3 dimensions**, J.E. BESANCON, Eyrolles, Paris, 1988.
- [121] - **Géométrie discrète en analyse d'images**, J. M. CHASSERY, A. MONTANVERT, Traité des Nouvelles Technologies, Éditions Hermès, mai 1991.
- [122] - **"Traitement d'images"**, P. Y. COULON, Documents et notes de cours, ENSERG, année scolaire 1991/1992.
- [123] - **"An iterative Procedure for the polygonal approximation of planes curves"**, U. RAMER, Computer graphics and Image Processing, 1, 1972.

### *Spécifications IMD Test Systems*

- [124] - **"Spécifications système de test IMD"**, Christophe Vaucher, IMD div. Test Systems, 1993.





# ANNEXES

## AI. MONTAGE EN SURFACE ET AUTRES TECHNOLOGIES DE POINTE

### AI.2 Description des diverses technologies de Bonding

**Chip on Board : un marché mondial de 1500 MF en 1990 (Électronique Hebdo N°171 - 8 novembre 1990)**

Chip on Board, ou pastillage : quelque soit le vocable utilisé, cette méthode de report de puces nues sur circuits imprimés représente la technologie d'interconnexion du futur, susceptible de détrôner à long terme la technologie CMS (avis de Valtronic, 10 % du marché mondial).

Ce marché serait en croissance de 30 % par an.

NB : Valtronic a maintenant disparu.

**Interconnecting with TAB (Electronic production - John Burke, general Manager of Corby Circuits, Northants - Dec 89)**

voir paragraphe 'Les différents types de boîtiers'

**Alternative Interconnect Bonding techniques (Microelectronic Manufacturing and testing - Nov 90)**

Il existe aujourd'hui 2 domaines proches où l'on se sert de techniques d'assemblage basées sur du Bonding : l'interconnexion entre les broches d'un boîtier et la puce elle-même, et l'interconnexion directe entre une puce et un substrat (ex : Circuit imprimé).

Le bonding de fils est un procédé industriel qui est reprogrammable en quelques minutes pour effectuer des opérations de bonding pour des boîtiers différents.

On distingue plusieurs méthodes de Bonding :

#### Ball Bonding

C'est une méthode de brasage utilisant la chaleur (en général 200 °C) et l'énergie ultrasonique pour lier (bonding) un fil d'Or (de 25 à 32 µm de diamètre) à un contact en Aluminium, Argent, Nickel ou Or, avec l'aide d'un outil en céramique, appelé capillaire (capillary). Une décharge électrique contrôlée fait fondre l'extrémité du fil, ce qui forme une boule (ball). La boule est comprimée sur la plage qui doit recevoir la connexion pendant un temps contrôlé. Un effort et une énergie ultrasonique appropriés sont simultanément appliqués par un transducteur portant le capillaire. Une fois que le premier 'liage' est effectué, le capillaire est déplacé suivant une trajectoire calculée jusqu'au 2ème endroit de liage. Le fil (maintenant sans boule) est brasé à la plage par ultrasons. Le fil restant est terminé par une cassure.

#### Wedge bonding (liage en coin)

Le wedge bonding peut être effectué soit avec des fils d'aluminium (qui requiert une brasage ultrasonique uniquement) ou avec des fils d'or (nécessitant un brasage ultrasonique associé à un chauffage). L'outil de bonding est fait d'un matériau de carbure avec un trou d'alimentation en fil en forme d'entonnoir. Le fil dépasse du 'pied' de l'outil et est guidé à travers le trou d'alimentation. Le pied de l'outil est orienté suivant une ligne du premier liage au second. Cela implique soit la rotation de l'outil, soit celle du substrat. Pour réaliser le premier liage, l'outil presse le fil contre la plage et applique une énergie ultrasonique et un effort dosé pendant un certain temps. L'outil est ensuite déplacé jusqu'à la 2ème plage, où le liage est réalisé de façon identique. Le reste du fil est cassé.

#### TAB (Tape Automated Bonding)

Pour le TAB, le fil de liage est remplacé par une bande de feuille de cuivre (cette méthode n'utilise pas de fils !). Cette bande est dessinée et configurée pour un composant spécifique, et un package particulier. L'interconnexion est réalisée en 2 étapes : d'abord les plages de la puce sont connectées à la bande (ce qui est appelé 'inner lead bonding' ou ILB), ensuite, les autres extrémités des pistes de la bande sont connectées sur le boîtier ou sur le circuit imprimé ('outer lead bonding' ou OLB).

Le TAB utilise des méthodes d'interconnexion avec plusieurs types de matériaux. Ces méthodes sont dites 'gang TAB' et 'single point TAB' (SPTAB).

- gang TAB : c'est la plus commune. Elle utilise des conducteurs étamés. L'alliage d'étain est porté à environ 500 °C, formant un alliage eutectique avec l'or de la plage de liage. Les plages de liage et les conducteurs de la feuille de cuivre sont alignés, et refondus en même temps, par l'utilisation d'une 'thermode', appliquant effort et chaleur en même temps, sur toutes les plages en même temps. La thermode doit être spécifique à chaque puce, et n'emploie pas d'énergie ultrasonique.
- SPTAB : on utilise en général de l'or à la place de l'étain. Pour chaque point, on applique un effort accompagné de chaleur et d'ultrasons, en utilisant un outil universel, semblable à ceux utilisés dans la méthode de bonding par fil.

#### Comparaison des diverses méthodes

Le 'Gold ball bonding' est utilisé pour plus de 90 % des semi-conducteurs fabriqués (Source VLSI Research, Inc). En voici quelques raisons :

- les encapsulations plastiques, à base de 'GBB' sont les boîtiers les moins chers.
- GBB est plus rapide que les autres techniques.
- GBB autorise le liage dans toutes les directions après le premier liage
- des zones de haute densité avec de faibles espacements centre à centre peuvent être liés.
- GBB est compatible avec toutes les techniques d'encapsulation, dont les hermétiques.

Le Wedge bonding est intéressant en cela qu'il autorise les plus petits pas possibles (57 µm). Cela en fait le deuxième procédé le plus usité.

Le TAB est utilisé lorsque les autres techniques n'autorisent pas des performances suffisantes ou pour les densités trop importantes. On attend ici la concrétisation des promesses sur les croissances d'étain cristallins, qui devrait autoriser des gang TAB acceptables.

Le tableau récapitulatif ci-dessous fait le point :

Paramètre	TECHNIQUE		
	Gold Ball Bonding	Wedge bonding	TAB
Vitesse	7 à 8 fils / s	5 fils / s	SPTAB : 17 fils / s - Gang : 450 unités /h
Température	150 °C à 250 °C	Al : ambiante - Or : 150 °C à 250 °C	SPTAB : 150 °C à 300 °C - Gang : 450 °C à 600 °C
Pas minimal	115 µm	57 µm	100 µm est courant ; le facteur limitant est la bande
Boîtier hermétique	non requis	requis	non requis
Test électrique	oui, si si lié interne	oui, si si lié interne	oui, après ILB
Densité de boîtier	bonne	excellente	excellente

#### Comparaison des performances des différentes techniques de Bonding

Commentaires : cet article est peut-être d'un certain parti pris pour le GBB. Il fait allusion aux techniques de bonding pour la mise en boîtier essentiellement. L'utilisation de TAB sur des substrats (OLB) n'est pas ici mentionnée.

### A1.3 Techniques de soudure des composants 'Fine Pitch'

**The BS-15 Hot Bar Soldering System (Smtique 90, Mars 90, Günter Schiebel, Siemens)**

En raison des nombreux ponts créés par la soudure à la vague (simple : 160 °C, double : 260 °C), cette technique n'est plus utilisable pour les cartes comportant des composants 'Fine Pitch'.

Mais les process de refusions par infrarouge (≠ 260 °C) et phase vapeur (215 °C) ont aussi leur limite. La refusion commence à poser des problèmes pour des pas de 0.635 mm, et n'est plus applicable sans poser d'énormes problèmes de qualité pour des pas inférieurs à 0.508 mm. Le facteur directement lié est la précision d'application du film 'mouillé' de pâte à souder d'épaisseur 50 µm ou moins.

En dessous du pas de 0.508 mm (20 mil), il est possible d'utiliser une technique dite 'Hot Bar', qui ne nécessite plus de dépôt de pâte à braser de façon préalable sur la carte : les broches des composants sont pré-étamées en fine couche (22 µm recommandé pour un boîtier 0.508 mm). Ensuite, une machine

de placement automatique vient positionner le circuit sur la carte, et un barreau chaud vient appuyer sur les broches, de façon à réaliser le brasage.

Le type de broche idéal pour l'application de cette technique est la broche 'Gull Wing' (qui entrera, selon le 'Yokohama Industriel Institute' (source 89) pour 82 % de la production totale des boîtiers).

*L'application de cette technique à d'autres types de boîtiers (ex PLCC) est à l'étude.*

Commentaires : les techniques à refusion ont trouvé ici l'un de leur successeurs pour le brasage des composants 'fine pitch'.

#### **A1.4 Techniques de câblage des circuits imprimés**

***Le Revolver du SP120 saisit 12 CMS à la fois (Usine Nouvelle 'Technologies' - Mai 1990 - Alain Dieul)***

*Siemens, qui a consacré 50 MF en 1989 à la R&D de machines de placement, vient de sortir la SP120, basée sur un 'Revolver' saisissant 12 composants à la fois (et non plus un seul), testés pendant leur transport, conduisant à une cadence théorique de 14 400 composants / heure. La précision de placement, vérifiée par des caméras mobiles, est de l'ordre de +/- 8/100<sup>e</sup> de mm (+/- 80 µm).*

*Une machine future va permettre le positionnement et soudage des composants en même temps.*

Commentaires : avec de telles précisions de positionnement, il va être possible de réduire encore la largeur des 'footprint', et par voie de conséquence, le pas des composants CMS.

Ca n'est pas un hasard si Siemens utilise sur ses cartes mères des QFP au pas de 317 µm ...

***Report de CMS : nouveaux records Japonais (Usine Nouvelle 'Technologies' - Mars 1991- Alain Dieul)***

*Apparition, à l'Internecon Japan de machines de reports capables de poser plus de 20 000 composants à l'heure (le double des cadences des machines du marché actuel).*

*Ces machines sont capables de déposer aussi bien des CMS de 0.5 mm de côté que des QFP de 50 mm de côté (avec une vitesse de report moindre pour ces derniers, de l'ordre de 2 à 3 secondes).*

*La précision de placement est assurée par un système de traitement d'image, et autorise (TDK, Sanyo, Hitachi, Panasonic) le report de boîtiers de pas de 300 µm.*

*La CP5 de Fuji met la barre à 25000 composants à l'heure, admettant des composants de 0.5 à 36 mm de côté. La CP5 a été pensée pour être insérée dans une ligne complètement automatique (concept CIM : Computer Integrated Manufacturing). L'innovation principale de cette machine est un tambour de 64 têtes pouvant chacune recevoir l'un des 8 types de buses aspirantes disponibles. La précision de positionnement atteinte est de l'ordre de +/- 100 µm.*

*NB : du fait des précisions en jeu, il n'est plus question de positionnement mécanique : les cartes sont grossièrement positionnées sur un de leurs bords, puis le système de vision recale l'ensemble de la machine.*

*La Panasert de Panasonic admet une cadence maximale de 20 000 composants à l'heure.*

*Selon Bis Mackintosh, Siemens domine largement le Marché des machines de report CMS avec 43 % des équipements, suivi par Fuji 15 %, devant Universal, Dynapert, Panasonic. Mais Fuji occuperait 80 % du Marché des machines à plus de 10 000 composants / heure. (Parc de 100 machines pour Fuji en France, selon le distributeur, Fenwick).*

Commentaires : confirmation du précédent commentaire.

***Rapport de Projet ENSERG - HP (Frédéric Surmely - Juin 91)***

*La pâte à souder utilisée en général pour le brasage des composants sur les circuits imprimés est un mélange d'étain, de plomb, et de flux permettant le lien mécanique et électrique des composants et du circuit imprimé. Le mélange choisi est du type Eutectique (63 % d'étain, 37 % de plomb), sans argent, dont le point de liquidus/solidus est de 183 °C.*

---

### **A1.5 Techniques d'hybridation**

***L'empilement de Puces (Usine Nouvelle - 'Technologies' - Avril 1991 - Alain Dieul)***

*En assurant l'interconnexion de puces empilées, Thomson-CSF augmente la densification des hybrides de 500 à 800 %. Et les coûts restent modérés.*

*Cette technique utilise des puces standard, sans traitement additionnel. Chaque puce est connectée à un cadre support, d'épaisseur équivalente à la PUCE, par bonding. L'ensemble est ensuite empilé sur des plots de positionnement. Le bloc est ensuite coulé dans de la résine époxy, sous vide. On scie ensuite par laser les broches dépassant du cube époxy, ce dernier faisant alors office de circuit imprimé 3D qu'on vient métalliser par trempage dans des bains identiques à ceux utilisés pour les circuits imprimés. On réalise enfin une gravure par laser de cette métallisation, de façon à définir des pistes.*

*On a réussi à faire tenir 8 DRAM de 1 Mbit dans un 1 cm<sup>3</sup>.*

*Une application intéressante pourrait être les cartes à puce qui verraient leur capacité multipliée par 4.*

**Commentaires** : un procédé qui devrait contribuer à l'augmentation de la densité locale de points de test.

## A2. LE MARCHÉ MONDIAL DE LA FABRICATION DES CIRCUITS IMPRIMÉS NUS

Cette partie fait le point sur la fabrication des circuits imprimés nus, en terme de marché, et en terme de technique.

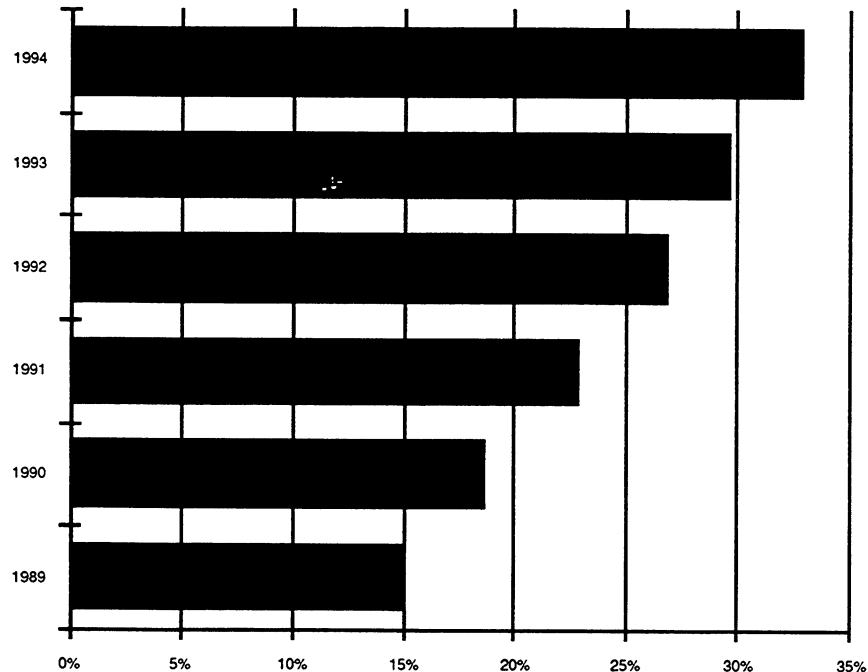
Nous allons tout d'abord essayer d'analyser les diverses données suivantes :

- pénétration de la technologie CMS au dépens des technologies traditionnelles
- le marché mondial de la fabrication de circuits imprimés nus.
  - . en terme de CA
  - . en terme de répartition pour chaque pays
  - . en terme de croissance, globale et relative pour chaque pays.
  - . en terme de décomposition de la production (simple face, double face TM, multicouches, en CA et en m2).
- segmentation en fonction de la taille des fabricants (CA et technologie).
- les utilisateurs de la technologie CMS

### A2.1 Pénétration de la technologie CMS

Comme nous l'avons vu précédemment, la technologie CMS a franchi le cap des 50% de composants dans cette technologie.

En fait, ce chiffre n'est atteint que par l'utilisation massives de capacités et résistances CMS, remplaçant à plus de 80% les résistances et composants traditionnels. La progression est en fait plus lente pour les circuits intégrés [17] :



Pénétration des circuits intégrés en technologie CMS, en France

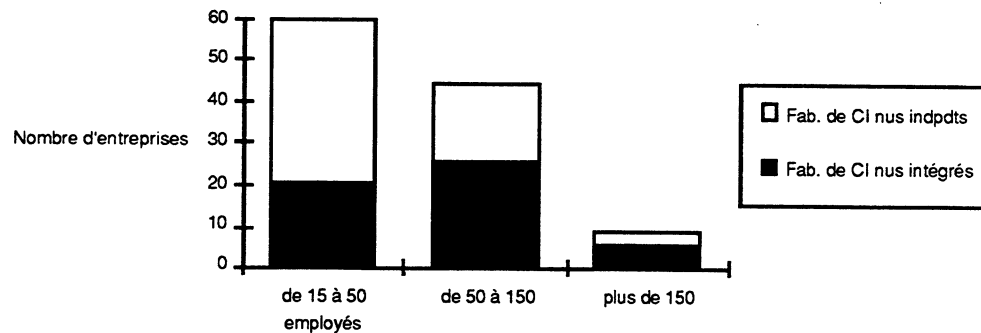
## A2.2 Le Marché mondial de la fabrication de circuits nus

### A2.2.1 Introduction au marché mondial - Le marché français de fabrication de CI nus

On peut identifier deux segments primaires dans cette industrie :

- les fabricants de circuits imprimés indépendants
- les fabricants de circuits imprimés nus intégrés à de grands groupes industriels

**Répartition de l'industrie Française du circuit imprimé nu en 1989**



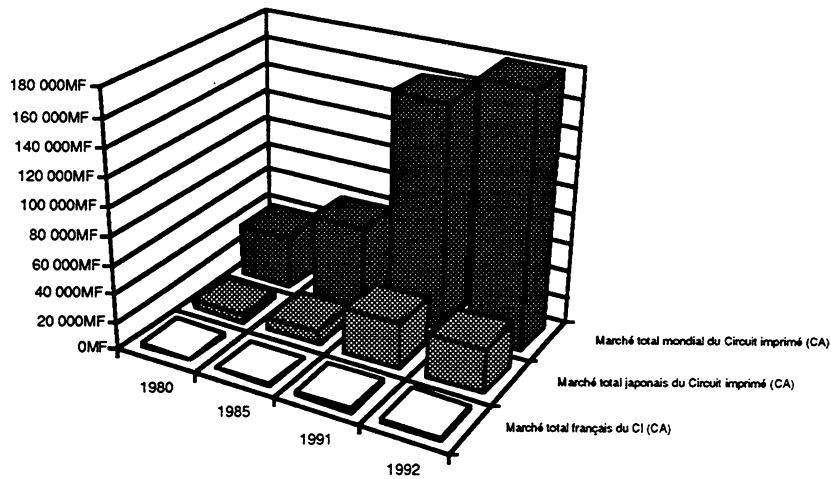
***Répartition de l'industrie française du circuit imprimé nu en 1989 [20]***

On remarque qu'en 1989, un peu plus de 50 % de la fabrication correspondait à une fabrication captive, comme en est l'illustration le leader français de la fabrication de circuits imprimés nus, PCI (Philips Circuits Imprimés, anciennement RTC). Ce chiffre a toutefois subi un net recul depuis.

Au total, on compte en 1992, plus de 120 fabricants de circuits imprimés nus en France [20]. La tendance est à la disparition progressive des fabrications intégrées au profit de sous-traitants indépendants.

### A2.2.2 Segmentation en terme de CA

Le marché mondial de la fabrication de circuits imprimés nus a suivi la progression suivante [14][15][16][17] :



	1980	1985	1991	1992
<i>Marché total français du Circuit Imprimé (CA)</i>	744MF	1 166MF	2 470MF	2 843MF
<i>Marché total japonais du Circuit Imprimé (CA)</i>	5 951MF	9 914MF	33 346MF	31 500MF
<i>Marché total mondial du Circuit Imprimé (CA)</i>	37 194MF	58 320MF	160 000MF	180 000MF

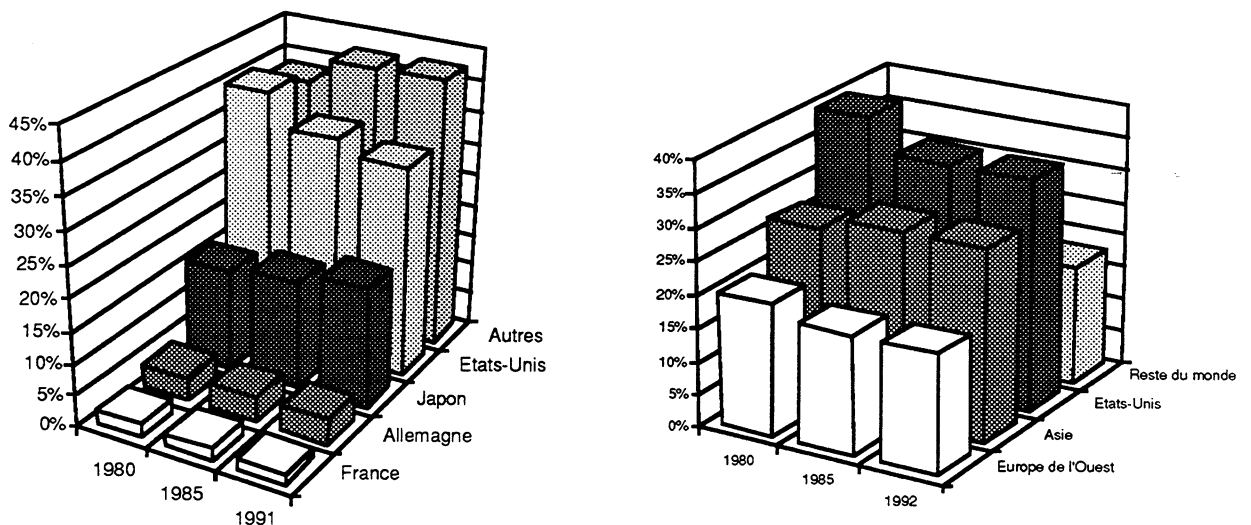
#### Marché mondial de la fabrication de circuits imprimés nus

On voit que le chiffre d'affaire généré par cette activité dans le monde avoisinera les 200 Milliards de Francs dans les prochaines années.

En l'an 2000, le Marché du Circuit imprimé devrait atteindre [95] 300 Milliards de Francs.

La croissance moyenne du marché a été jusqu'à lors d'environ 10% dans les pays asiatiques, grignotant peu à peu des parts de marché sur les États-Unis et l'Europe, affichant quant à eux une croissance moyenne de 5%. Cette croissance a été stoppée nette en 1992, où les affaires ont reculé de 10% environ.

Les parts respectives de chaque pays (ou par région du monde) sont les suivantes [14][15][17] :





	1980	1985	1991		1980	1985	1992
France	2%	2%	2%	<i>Europe de l'Ouest</i>	20%	18%	18%
Allemagne	4%	4%	4%	<i>Asie</i>	27%	29%	29%
Japon	16%	17%	19%	<i>Etats-Unis</i>	40%	35%	35%
Etats-Unis	40%	35%	33%	<i>Reste du monde</i>	13%	18%	18%
Autres	38%	42%	43%				

Parts de marchés mondiales de la fabrication de circuits imprimés nus

A titre indicatif, on voit que le marché français de la production de circuits imprimés nus est plus de 50 fois plus petit que le marché mondial, environ 2 fois plus petit que notre proche voisin l'Allemagne, 10 fois plus petit que le marché Japonais, 20 fois plus petit que le Marché américain.

Sous un autre angle, le marché Européen représente environ 8 à 10 fois le marché français. Le Marché américain est égal à 2 fois celui de l'Europe, et est un peu supérieur au marché de l'Asie.

A l'intérieur du monde de la fabrication de circuits imprimés nus, il existe plusieurs technologies. On pourra les regrouper en 4 catégories principales, qui sont :

- les **circuits simple face**, ne comprenant de conducteurs que sur une face, et ne comprenant pas de traversées métallisées (TM pour trous métallisés). Ces circuits sont les plus faciles à fabriquer et donc les moins chers. Cependant, ils ne permettent pas une intégration poussée du nombre de composants. Ils sont relativement répandus dans le domaine du grand public, où la contrainte du prix est fondamentale.

- les **circuits double face à trous métallisés**. Ils peuvent recevoir des composants sur les 2 faces.

- les **circuits multicouches**. Ils possèdent jusqu'à plus d'une dizaine de couches de conducteurs. Ils correspondent généralement à des circuits très denses en composants : plus les composants sont denses (pas fins) et proches les uns des autres, moins il y a de place pour établir les connexions entre eux sur les faces externes. Des couches internes sont alors utilisées. Le nombre de couches est en général une fonction non linéaire de la densité de broches d'interconnexion au cm<sup>2</sup>.

Les circuits multicouches ont eu une progression rapide avec l'apparition de la technologie CMS, celle-ci ayant fortement augmenté le nombre de broches par cm<sup>2</sup>, en autorisant tout d'abord le câblage des 2 côtés du circuit, et entraînant le développement de composants à pas toujours plus fins. Le nombre de couches continuera à augmenter avec la diminution du pas des composants.

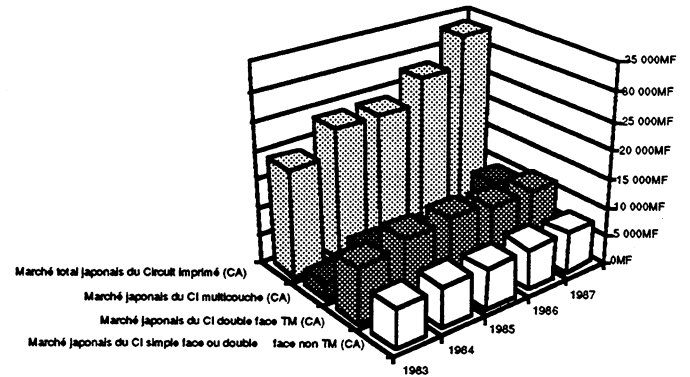
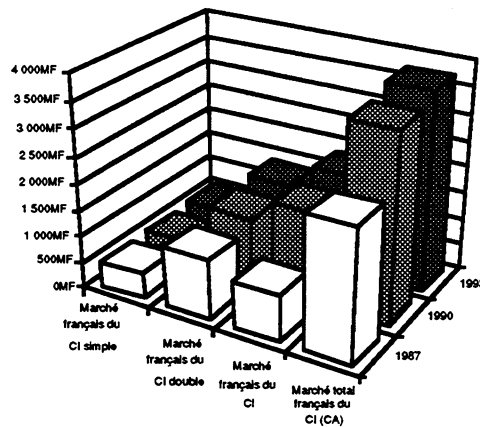
- les **circuits autres**. Ce sont essentiellement des circuits flexibles, ou des circuits double face sans trous métallisés. Ces derniers sont marginaux, et souvent assimilés à l'une des trois premières catégories, suivant les cas. Nous ne la citerons donc pas dans les chiffres qui suivent.

Il est important de faire la distinction entre 2 manières de classer ces différents types de circuits :

- en terme de chiffre d'affaires (parts de marché actuelles et progression). Cela permet d'en situer l'importance stratégique.

- en terme de surface (parts actuelles et progression). Cela permet de les situer de manière plus explicite par rapport à leur test (on teste des surfaces de circuit et non leur valeur).

La figure ci-dessous montre les différentes répartitions sur les marchés français (1/50 du marché mondial) et Japonais (1/5 du marché mondial), en terme de CA [14][15][17] :



Marché Français	1987	1990
CI simple face ou double face non TM (CA)	480MF	496MF
CI double face TM (CA)	1 115MF	1 290MF
CI multicouche (CA)	875MF	1 739MF
<b>Marché total français du CI (CA)</b>	<b>2 470MF</b>	<b>3 525MF</b>

Marché Japonais	1983	1984	1985	1986	1987
CI simple face ou double face non TM (CA)	6 692MF	7 062MF	6 923MF	7 154MF	7 062MF
CI double face TM (CA)	9 415MF	11 331MF	11 815MF	11 031MF	11 151MF
CI multicouche (CA)	2 769MF	5 077MF	4 615MF	5 538MF	9 231MF
<b>Marché total du Circuit imprimé (CA)</b>	<b>18 877MF</b>	<b>23 469MF</b>	<b>23 354MF</b>	<b>27 692MF</b>	<b>33 346MF</b>

#### Segmentation du marché des circuits imprimés par types de fabrication (CA)

Les remarques qu'on peut en tirer sont les suivantes :

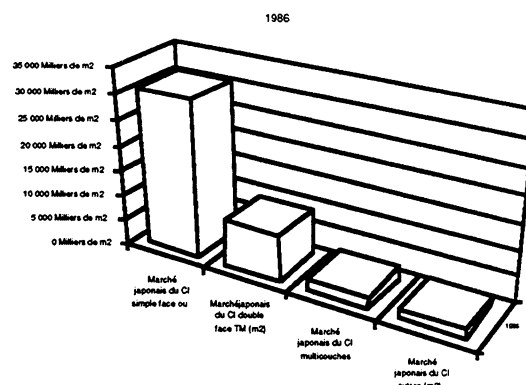
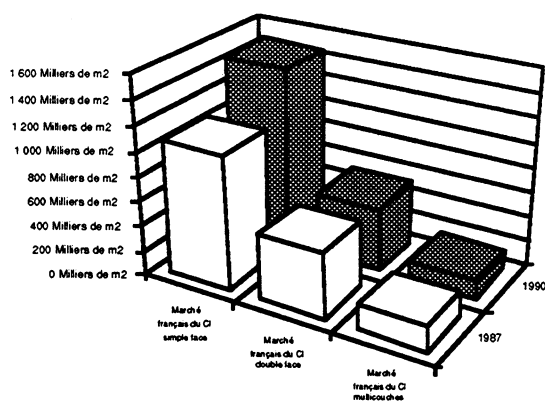
- on observe une forte croissance de la pénétration des circuits multicouches, représentant plus de 50% du marché au Japon en 1991, dès 1990 pour la France.
- les circuits multicouches sont plus nombreux en proportion en France, ce qui s'explique par une production plus complexe et de moins grandes séries.

#### A2.2.3 Segmentation en fonction des divers types de circuits

Les différents types de circuits sont essentiellement, on le rappelle :

- les circuits imprimés simple face
- les circuits imprimés double face trous métallisés
- les circuits multicouches.

La figure suivante établit le même parallèle, mais en terme de surface [14][15][17] :



Marché Français (Surface, en milliers de m <sup>2</sup> )	1987	1990	Marché Japonais (Surface en milliers de m <sup>2</sup> )	1986
CI simple face ou double face non TM	1 080	1 465	CI simple face ou double face non TM	30 800
CI double face TM	530	514	CI double face TM	9 240
CI multicouches	199	145	CI multicouches	2 200
			CI autres	1 760

#### Segmentation du marché des circuits imprimés par types de fabrication (Surface)

On remarque que la proportion de CI simple face avoisine les 2/3 en France et au Japon, en Surface. Cette proportion se voit diminuer au profit de la croissance des multicouches.

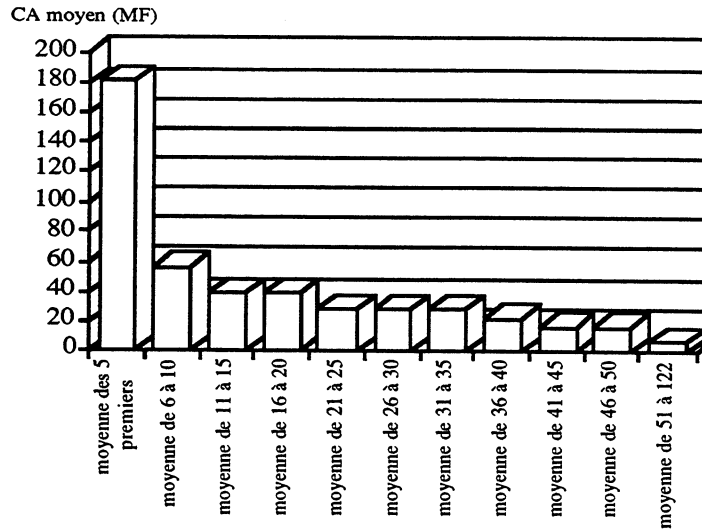
A titre indicatif, le tableau ci-dessous révèle les prix moyens au dm<sup>2</sup> pour les divers types de production en France [17] :

	% CA 1990	F / dm <sup>2</sup>
<b>Simple face</b>	6%	2.10 F
<b>Double face trous non métal</b>	8%	6.00 F
<b>Double face trous métal</b>	36%	25.00 F
<b>Multicouches</b>	50%	120.00 F

#### Prix indicatifs au dm<sup>2</sup> des diverses technologies de circuits imprimés nus, en France

#### A2.2.4 Segmentation en fonction de la taille des fabricants (CA et technologie)

120 à 150 sociétés environ se partagent le marché français du circuit nu, mais avec une répartition très disparate des chiffres d'affaires [14] :



### des CA chez les fabricants de circuits imprimés nus français

On remarque que 30% du marché est détenu par les 5 premières sociétés. On citera PCI (Philips Circuits Imprimés, anciennement RTC), avec [23] 420 MF (12%), et Nicolitch avec 220 MF (6%), pour les 2 premières au titre du CA en France, 6° et 14° respectivement au niveau Européen..

On remarque également que seules 1/3 des sociétés dépassent 20 MF en CA, ce qui est très peu : la capacité d'investissement de la production de circuits imprimés nus en France est relativement faible.

La part des CMS dans la production française de circuits imprimés nus est de [20] :

- 12 % pour les sociétés de moins de 50 employés
- 32 % pour les sociétés de 50 à 150 employés
- 50 % pour les sociétés de plus de 150 employés.

Ce qui confirme que les gros fabricants arrivent mieux à suivre l'évolution de la CMS, en s'équipant de manière à pouvoir prendre ces nouveaux marchés.

La part des CMS est en forte progression depuis 1990 : tout nouveau développement comporte du CMS, sauf pour les petits fabricants de bas de gamme.

Une conséquence majeure en découle : tous les fabricants, même les petits vont devoir s'équiper d'équipements adaptés à la fabrication de circuits imprimés CMS et de systèmes de test performant.

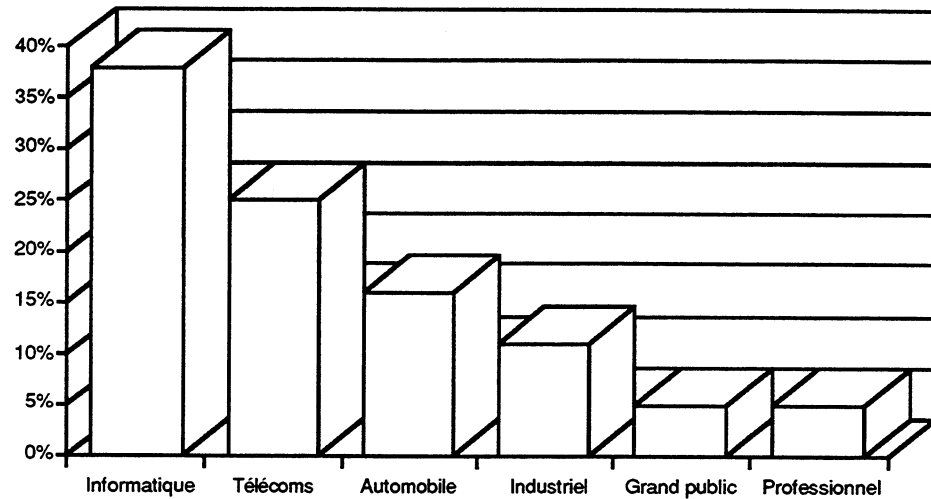
Au Japon, c'est 500 fabricants de circuits imprimés nus qui sont recensés [22] (répartis sur 750 sites de fabrication), soit environ 4 fois plus qu'en France seulement pour un CA qui est 10 fois supérieur. Une conséquence logique est que le CA moyen des fabricants japonais est environ 2.5 fois plus élevé que leurs homologues français, ce qui leur laisse un peu plus de possibilités au niveau des investissements pour s'adapter aux bouleversements du Marché, comme la TMS.

Mais 90% de la production en CA est également aux mains d'un peu plus de 200 fabricants, au Japon.

On le voit, la production de CI nus concerne des sociétés très inégales en taille. Ce qui laisse à penser qu'il pourra d'ores et déjà y avoir plusieurs approches au niveau du marché du test de CI nus.

### A2.3 Les utilisateurs de circuits imprimés pour CMS

A titre d'information, les différents consommateurs de Circuits Intégrés CMS (différents des autres types de composants, de type résistance ou condensateurs) en France, en 1990 sont [17] :



<i>Différents secteurs de l'industrie française (1990)</i>	<i>Circuits imprimés</i>			
	<i>CA</i>	<i>m2</i>	<i>Px/Dm2</i>	<i>% CI CMS</i>
<b>Informatique</b>	580MF	145000	40 F	38%
<b>Télécoms</b>	920MF	452000	20 F	25%
<b>Automobile</b>	188MF	390000	5 F	16%
<b>Industriel</b>	1 024MF	427000	24 F	11%
<b>Professionnel</b>	555MF	111000	50 F	5%
<b>Grand public</b>	258MF	600000	4 F	5%

*Les divers consommateurs de CMS dans l'industrie électronique*

On remarque en tête, et cela n'est pas une surprise, le secteur informatique, suivi de près par les télécommunications.

## *A3 NOTIONS EN VUE DE L'EVALUATION DU MARCHÉ DU TEST DE CIRCUITS IMPRIMÉS NUS*

Nous allons essayer, dans ce paragraphe, indépendamment du marché existant, d'évaluer le marché de testeurs de circuits imprimés nus (en nombre et en terme de CA potentiel), pour les différentes régions du monde, et notamment en France. Nous essayerons ensuite de les comparer avec des données dont nous disposons.

### *A3.1 Raisonnement en termes de besoins*

Nous faisons alors les hypothèses suivantes (que nous vérifierons dans la suite de ce document) :

- tous les circuits double face trous métallisés, ainsi que tous les circuits multicouches doivent être testés électriquement.
- la dimension moyenne d'un circuit, ou d'un format de circuits (plusieurs circuits identiques sur un même panneau) est de 400 \* 300 mm.
- le débit moyen d'un testeur de circuit nus est de 300 circuits à l'heure.
- un testeur tourne en moyenne 200 jours par an, et 20 heures sur 24.

Nous avons vu également que les surfaces moyennes de CI nus produites au Japon sont :

- 9 240 000 m<sup>2</sup> pour le double face TM
- 2 200 000 m<sup>2</sup> pour le multicouches

Le Japon représentant environ 20 % du marché de la fabrication mondiale, cela conduit (sur la base d'une hypothèse d'homogénéité dans les proportions des différents types de circuits) aux surfaces suivantes pour la production mondiale :

- 46 200 000 m<sup>2</sup> pour le double face TM
- 11 000 000 m<sup>2</sup> pour le multicouches

Le tableau suivant a pour objectif l'estimation des besoins mondiaux en terme de nombre de testeurs de circuits imprimés nus :

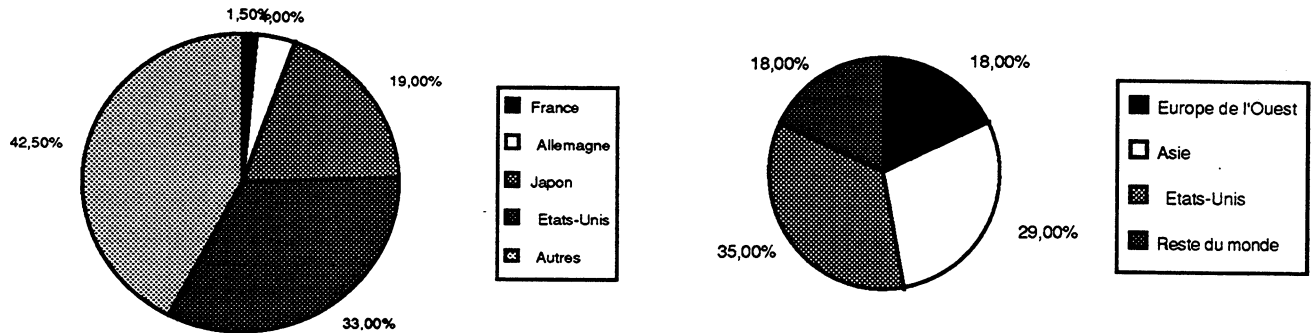
<i>Hypothèse basse</i>		<i>Hypothèse haute</i>	
Surface moyenne d'un panneau de test	9 dm <sup>2</sup>	Surface moyenne d'un panneau de test	6 dm <sup>2</sup>
Nombre moyen de panneaux de test débités par heure	250	Nombre moyen de panneaux de test débités par heure	200
Durée de vie moyenne d'un testeur	7 ans	Durée de vie moyenne d'un testeur	6 ans
Nombre moyen de jours de fonctionnement par an d'un testeur	200 jours	Nombre moyen de jours de fonctionnement par an d'un testeur	200 jours
Nombre moyen d'heures de fonctionnement quotidien d'un testeur	20 heures	Nombre moyen d'heures de fonctionnement quotidien d'un testeur	20 heures
Taux moyen d'utilisation d'une machine	66%	Taux moyen d'utilisation d'une machine	50%
Surface double face TM	46200000 m <sup>2</sup>	Surface double face TM	46200000 m <sup>2</sup>
Surface multicouches	11000000 m <sup>2</sup>	Surface multicouches	11000000 m <sup>2</sup>
Nombre d'heures de fonctionnement annuel	4000 heures	Nombre d'heures de fonctionnement annuel	4000 heures
Surface moyenne testée par testeur annuellement	90000 m <sup>2</sup>	Surface moyenne testée par testeur annuellement	48000 m <sup>2</sup>
<b>Nombre de testeurs nécessaires annuellement</b>	<b>963</b>	<b>Nombre de testeurs nécessaires annuellement</b>	<b>2383</b>
<b>Marché de testeur annuel (renouvellement)</b>	<b>138</b>	<b>Marché de testeur annuel (renouvellement)</b>	<b>397</b>

### *Estimation des besoins mondiaux en nombre de testeurs de circuits nus*

Ce tableau nous montre que le marché annuel de renouvellement de testeurs de circuits imprimés nus se situe entre 140 et 400 machines. En fait, Certaines machines vont nécessairement être sous employées, auprès de petits fabricants par exemple. De plus, chez les gros fabricants, la période d'amortissement est plutôt 5 ans que 7.

Nous nous devons donc d'évaluer à la hausse cette fourchette, pour la faire passer à un nombre de 200 à 500 machines dont le marché de la fabrication de CI nus a théoriquement besoin annuellement pour le test de sa production.

Nous pouvons maintenant essayer de répartir suivant les pays ces chiffres :



#### Base 400 testeurs annuels

*Nbre de testeurs*

France	6
Allemagne	16
Japon	76
Etats-Unis	132
Autres	170

Europe de l'Ouest	72
Asie	116
Etats-Unis	140
Reste du monde	72
Reste du monde	36

#### Marché de renouvellement des testeurs de circuits imprimés nus, dans les diverses parties du monde

On voit que le marché théorique Européen ne représente que la moitié du Marché Américain ou de celui de l'Asie.

NB : un autre indicateur pourrait nous aider à évaluer le nombre de testeurs sur le Marché. L'étude de Marché IMD [20] de 1990 a montré que 86% des sociétés interrogées en France possèdent un système de test électrique.

Cela voudrait dire que pour un pays considéré, le renouvellement de testeur se situerait entre 10 et 20% du nombre de fabricants, compte tenu également qu'un fabricant peut utiliser plusieurs machines.

### A3.2 Raisonnement en termes de moyens - Notion de prix maximum d'un système de test

Même si tester est un impératif pour tous les fabricants de circuits nus, certains ne peuvent se le permettre pour des raisons d'investissement.

A titre indicatif, nous présentons une étude sur les dépenses en consommable (Ex : EDF, Téléphone, fournitures de bureau, produits de bains pour circuits, etc...) et amortissements (Ex : mobilier,

réparations/aménagements, véhicules, matériel électronique, etc...) de l'industrie française du circuit imprimé (caractérisée, on l'a vu, par plus de 2/3 des sociétés ne dépassant pas les 20 MF de CA) [14] :

La décomposition du CA moyen est la suivante :

	<b>Grand PUBLIC</b>	<b>Professionnel</b>
<b>Matières premières</b>	60 %	13 %
<b>Consommables</b>	10 %	15 %
<b>Amortissements</b>	5 %	7 %
<b>Salaires</b>	25 %	40 %

Les amortissements s'élèvent à 197 MF en 90 en France dont 170 MF pour le professionnel. Ils devraient passer à 243 MF en 93, soit une augmentation de 7 %.

Imaginons alors que 10 % de ces amortissements soient affectés au test de circuits imprimés. Cela implique un marché potentiel de 17 MF par an en France en 90, 20 MF en 1993.

Si l'on part sur la base d'un système amorti sur 7 ans :  $0.7 \% \text{ du CA} * 7 = 5 \% \text{ du CA}$  de chaque entreprise immobilisable pour l'achat d'un système de test.

Si le prix de vente d'un système est de 3 MF, seules les entreprises ayant un CA dépassant 60 MF peuvent se permettre cet investissement.

Si le prix de vente d'un système est de 2 MF, seules les entreprises ayant un CA dépassant 40 MF peuvent se permettre cet investissement.

Si le prix de vente d'un système est de 1 MF, seules les entreprises ayant un CA dépassant 20 MF pourront se permettre cet investissement.

**Si le PV est de 700 KF, le CA min tombe à 14 MF.**

On s'aperçoit alors qu'on peut multiplier par 3 le marché annuel potentiel français en descendant le prix de vente d'un système de 3 MF à moins de 1 MF.

**Cela porte à 150 le nombre de sociétés en France pouvant prétendre à l'acquisition d'au moins un système, au rythme minimal d'1 tous les 7 ans.**

On constate d'ailleurs, au niveau des résultats de l'Etude de Marché IMD [20], que le prix maximum acceptable exprimé par un fabricant français est de 2 MF. 57% des réponses exprimées donnent un prix de moins de 1 MF. Sur l'ensemble de l'échantillon interrogé, seules 5% des entreprises se déclarent prêtes à investir plus de 2 MF dans un testeur. La majorité des entreprises parle d'un prix de 1 à 2 MF.

### **A3.3 Confrontation à certaines données en notre possession**

Nous disposons aujourd'hui du nombre de testeurs de circuits imprimés nus en service dans les pays Européens suivants :

- France : 70 systèmes --> renouvellement annuel moyen de 10 à 15 machines
- Espagne : 31 systèmes --> renouvellement annuel moyen de 4 à 6 machines
- Italie : 88 systèmes --> renouvellement annuel moyen de 11 à 15 machines

En comparant les chiffres donnés par le paragraphe précédent, et le paragraphe 1.3.2, nous constatons une certaine différence pour la France (10 systèmes contre 6 attendus). Cela s'explique par la faible taille des fabricants français (2.5 fois plus importantes en CA). En moyenne, il n'ont pas la taille critique pour amortir efficacement en système de test. Mais il en ont tout de même besoin.



---

Les chiffres de ce paragraphe sont également confirmés par [20] (cf paragraphe 2.2.5.1.1.1), pour le Marché Français : 38% des sociétés expriment l'intention d'acheter un testeur (d'ici fin 1993), soit 9,5% par an ( $120 / 10 = 12$  machines). Il semble qu'il y ait plus d'opportunité chez les petites et moyennes entreprises (40% des entreprises de plus de 150 employés n'ont pas d'intention d'achat), malgré tout, sur les trois segments, un nombre important de sociétés ne s'expriment pas, rendues indécises par le prix des matériels proposés sur le marché.

## *A4. LE MARCHE DU TEST A LIT DE CLOUS*

Depuis la fin des années 80, le Milieu du Test Electrique de Circuits Nus semble figé dans sa masse, tant la lourdeur des solutions entrevues diminuent les perspectives d'une réponse tant attendue par les fabricants de circuits imprimés. Devant cet état de fait, les leaders mondiaux dans ce domaine (MANIA, OLIVETTI), qui se tournent de plus en plus vers l'optique, qui n'est en rien une réponse aux problèmes de test des fabricants : un testeur optique n'est pas en mesure de délivrer un diagnostique faibel quant à la conformité électrique d'un circuit nu.

### *A4.1 Les différentes sociétés présentes sur le marché*

On peut rapidement passer en revue les principaux fabricants de systèmes de test :

#### MANIA (Allemagne)

MANIA est le leader mondial du test de circuit imprimé nu (au moins en qualité). MANIA n'est plus aujourd'hui un simple fabricant de Systèmes de Test, mais un Consortium dont l'activité se situe à tous les niveaux du test de circuits imprimés nus, électriques ou optiques :

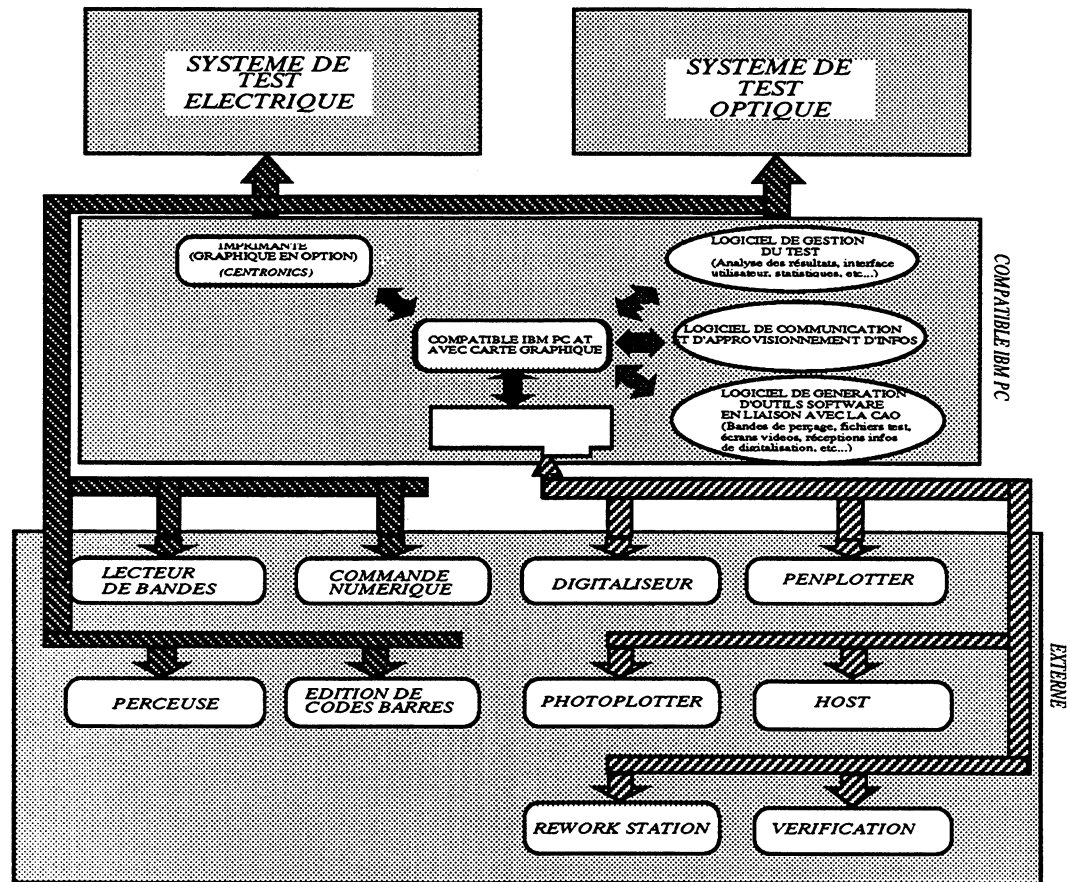
#### TEST ELECTRIQUE

- Systèmes de test électriques : MANIA dispose aujourd'hui dans sa gamme de systèmes double face (TOWER : cf description en annexe MPP 3926/24), moyenne tension (40 V / 4 Mohms) ou haute tension (250 V / 100 Mohms), dont le temps de test est de l'ordre de 1.5 s / 1000 pts, pour un isolement de 100 Mohms, associés à des interfaces à lit de clous capable d'atteindre localement des pas de 0.5 mm.
- Outillages : une grosse partie de la stratégie de MANIA s'appuie sur la réalisation d'outillages peu coûteux (Principe standard de la planche à clous sur chaque face), et ainsi amortir l'investissement élevé du système.
- Aide à la réalisation d'outillages : c'est dans ce domaine que MANIA porte son effort :
  - . développement d'un pont avec la CAO (contacts avec Optrotech et Disc). Mania a fait développer un logiciel de génération automatique des données de perçage pour les différentes plaques (2 ou 3 par face) intervenant dans l'outillage spécifique à partir des données CAO.
  - . développement d'une machine automatique d'insertion de clous pour la réalisation des outillages (je ne sais si cette méthode s'applique à leur interface "3 plaques").
  - . développement de logiciels en vue de la commande de CNC pour la réalisation automatique du perçage à partir de stations de travail type compatible IBM PC AT, etc...

#### PERIPHERIQUES

MANIA dispose aujourd'hui de toute une gamme de périphériques, dans les domaines du test et de la gestion de production rationalisée, allant des simples stations de réparation (MRS 5000) et de vérification (MVS 1000), au systèmes de 'Bar code reader' et lecture de bandes magnétiques (Sté INTERAUTOMATION, faisant partie du consortium MANIA), en passant par les CAM WORKSTATION associées à des 'Raster photoplotter' (MFP-1).

Ces périphériques s'architecturent autour de la configuration suivante :



*Architecture MANIA - Système de test + Périphériques*

Il est à noter, par exemple, que c'est une liaison RS232 qui commande, à partir d'un AT, le photoplotter.

Mania dispose aujourd'hui de toute une gamme de produits allant de la génération des données (CAO), jusqu'au test de la carte nue, en passant par le plotter des films : la seule opération non réalisée par MANIA est la production du circuit imprimé lui-même !

#### ATG (Allemagne)

Testeurs double face (ATG A1000), sans autre innovations notables.

Un testeur au pas de 2.54 mm (grille universelle), 20.000 pts est à un prix tarif de 1.2 MF. (40 V)

Un testeur au pas de 2.54 mm (grille universelle), double face est à un prix tarif supérieur à 3 MF pour 32.000 pts.

#### OLIVETTI - TECNOST (Italie)

En totale perte de vitesse. Devrait disparaître du Marché d'ici peu.

#### CIRCUIT LINE (Italie)

Systèmes bas de gamme bon marché. Electronique 10 V, 40 V (option 250 V), test d'isolement jusqu'à 100 Mohms. Un effort dans la gestion de l'approvisionnement des circuits à tester sur le système : une idée de carousel, brevetée. Une originalité : le test par comparaison : chaque équipotentielle peut avoir son propre seuil d'isolement.

#### LUTHER & MAELZER (Allemagne)

On retrouve chez LUTHER & MAELZER le dynamisme de MANIA, sans pour autant que cela aboutisse concrètement à une solution nouvelle. L & M propose aujourd'hui un système de 300 V, (double face) 100 Mohms, offrant une résolution théorique de  $1/80^\circ$  de pouce (0.31 mm, dans quelles conditions). Le système de test est interfacé par ETHERNET. La vitesse de réalisation d'outillage est de 350 pointes par heure. On trouve des lecteurs à code barre, et des ponts avec des systèmes ATG (ATG 1000), MANIA (DNC), OPTROTECH (IMAGE 5000).  
Systèmes très chers.

#### VIKING (Suède)

Un petit fabricant, qui fait tout doucement sa place. Est particulièrement bien implanté sur les marchés scandinaves. Ne dispose à ce jour que de testeurs basse tension (10 V).

#### WAGNER (Allemagne)

Un petit fabricant, qui fait également tout doucement sa place, avec des systèmes bon marché.

#### EVERETT CHARLES (Etats-Unis)

Disparu.

#### TRACE (Etats-Unis)

Disparu.

#### ORION (France)

Disparu.

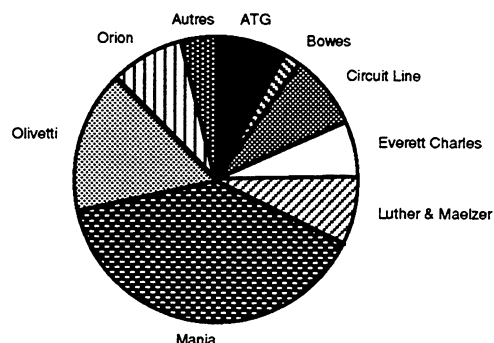
#### CONCLUSION

Rien de révolutionnaire dans le domaine du test de circuits imprimés nus. Les interfaces à décalage progressent au niveau des caractéristiques (0.635 mm voire 0.31 mm pour L & M), sans que l'on en connaisse encore la fiabilité. Les outillages ne coûtent pas très chers dans la mesure où l'on a les moyens d'investir dans un système double face : > 3 MF. Les tensions de test sont à 40 V en général, avec une extension possible à 250 V. Les liaisons CAO se généralisent ; les ponts nécessaires se standardisent dans des liaisons type ETHERNET. Le couplage des systèmes électriques avec les systèmes optiques devient effectif : on assiste à des diversifications des leaders du test électrique, matérialisées par des virages vers le test optique. Certains (comme MANIA) s'orientent vers la solution clé en main pour le client, en couvrant la totalité des opérations sur la réalisation d'un circuit imprimé nu, hormis sa production.

#### **A4.2 Les parts de marché de chacun**

La part de marché sur le marché français des fabricants de testeurs électriques de CI nus s'établit comme suit pour le parc installé en 1990 :

Répartition des marques de testeurs sur l'échantillon



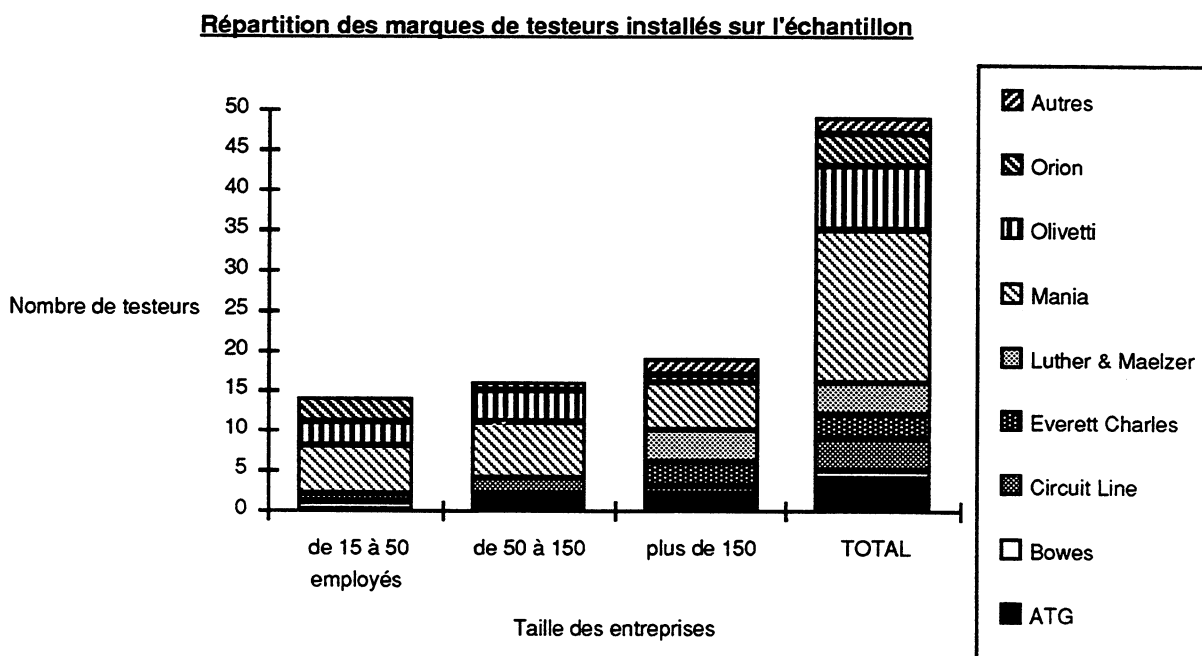
*Parts de Marché des différents fabricants de testeur sur le Marché Français , en 1990 [20]*

MANIA est leader sur l'échantillon interrogé (le 1/3 des fabricants de circuits imprimés nus français) avec 39% du parc installé, suivi par OLIVETTI TECNOST.

L'offre semble relativement concentrée puisque les 2 premières marques représentent plus de 55% du parc. Selon les segments de marché, la variabilité des parts de marché est très grande. Les testeurs LUTHER et MAELZER, notamment, sont installés dans les entreprises de plus de 150 personnes (en particulier parce que le système astucieux de chargement et déchargement automatisé est peu attractif pour des petites sociétés n'ayant pas de production de masse).

A l'inverse, ORION n'a pas percé chez les grandes entreprises et équipe essentiellement des fabricants de moins de 50 employés. Cela est également vrai, dans une moindre mesure pour OLIVETTI.

Enfin MANIA est le seul qui maintienne une part de marché supérieure à 30% sur chacun des segments, c'est à dire quelle que soit la taille des entreprises :

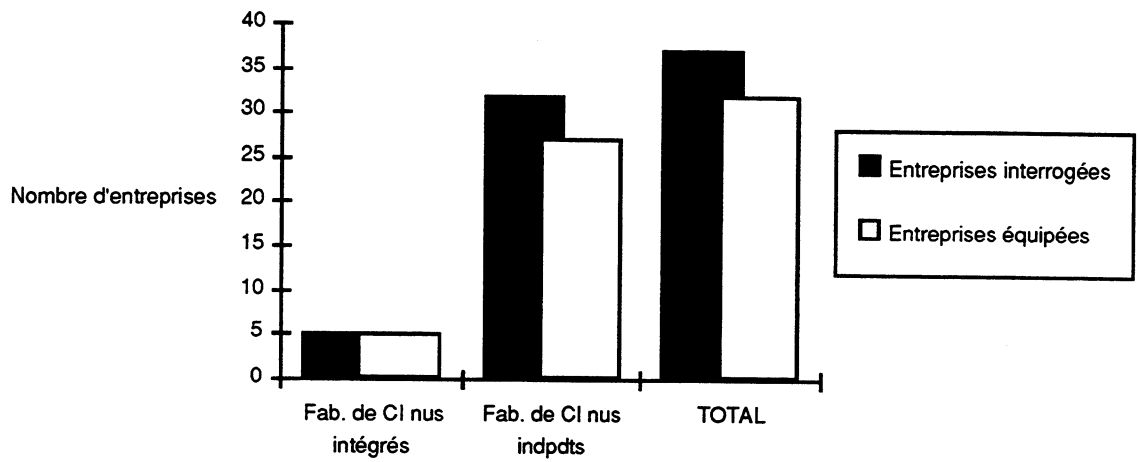


*Parts de Marché des différents fabricants de testeur sur le Marché Français, segmenté par taille d'entreprise[20]*

### **A4.3 Les taux d'équipement**

L'étude de marché réalisée par MD PROSPECTIVE [20] auprès d'un échantillon de fabricants donne un taux d'équipement de 86% variable selon les segments

### Équipement des entreprises en ATE

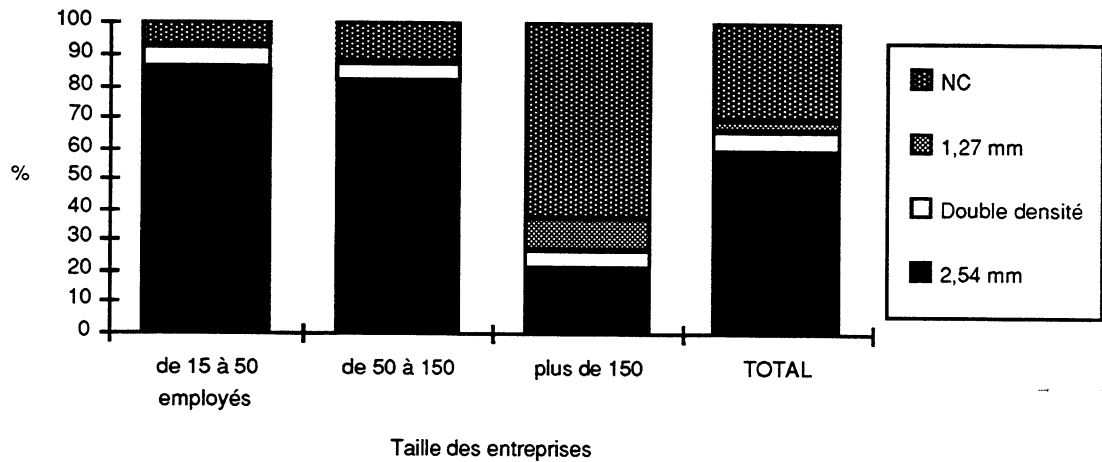


### Taux d'équipement des fabricants français de CI nus en systèmes de test [20]

#### **A4.4 La nature des testeurs du parc installé en France**

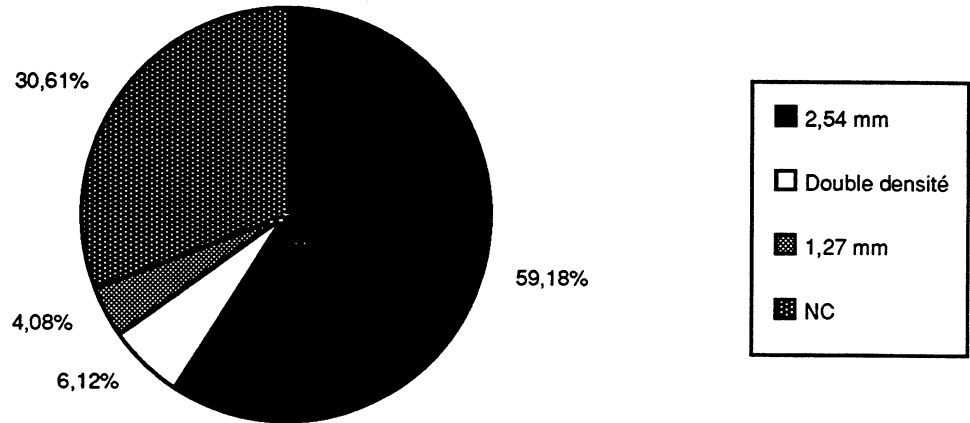
Aujourd'hui, une très large majorité des testeurs installés sont équipés d'une grille au pas de 2.54 mm (probablement 60 à 80% des testeurs).

### Répartition des testeurs selon le pas de la grille



### Valeur du pas de grille des testeurs installés sur la Marché Français [20]

### Répartition des testeurs selon le pas de la grille



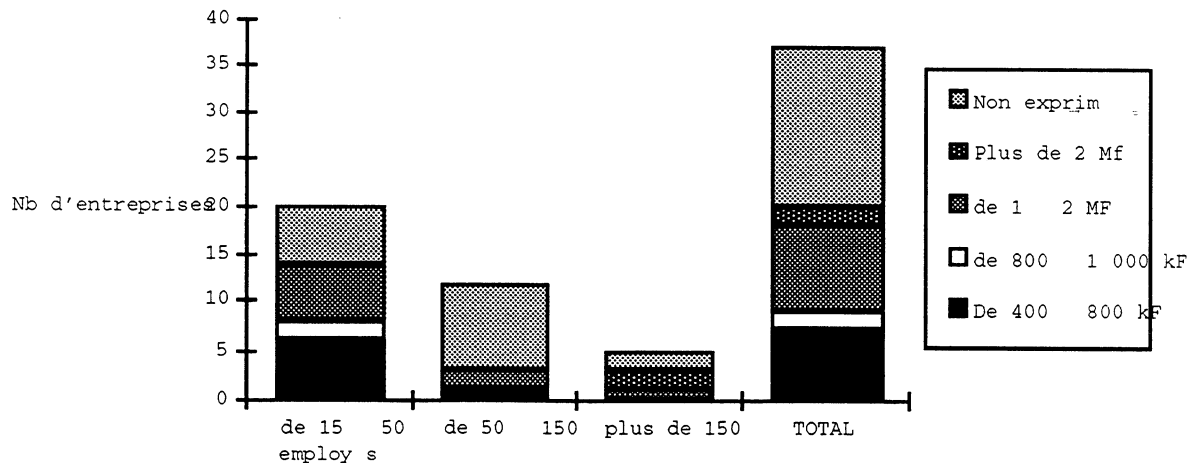
### Valeur du pas de grille des testeurs installés sur la Marché Français [20]

27% des entreprises interrogées par MD PROSPECTIVE disposaient d'un testeur double face, par contre, seule une entreprise possède un testeur double grille en 1990.

### A4.5 Notion d'investissement limite qu'accepte de faire un fabricant français

On constate, au niveau des résultats de l'Etude de Marché IMD, que pour ce segment, le prix maximum acceptable exprimé est de 2 MF. 57% des réponses exprimées donnent un prix de moins de 1 MF. Sur l'ensemble de l'échantillon interrogé, seules 5% des entreprises se déclarent prêtes à investir plus de 2 MF dans un testeur. La majorité des entreprises parle d'un prix de 1 à 2 MF.

### Prix psychologique d'un testeur lectrique pour les entreprise interrog es



### Prix psychologique d'un testeur électrique pour le Marché Français [20]

#### **A4.6 Part de l'amortissement du prix d'un testeur et de son exploitation dans le coût du test**

Au niveau de l'achat d'un testeur, il est utile de savoir quelle sera la part du coût du test au niveau de l'amortissement de la machine, et au niveau de son exploitation.

Il est bien clair que la proportion de l'amortissement de la machine dans le coût du test va essentiellement dépendre de 3 paramètres :

- l'investissement initial au niveau de la machine
- le coût moyen de réalisation des outillages
- le nombre moyen de circuits par série (une série étant composée de plusieurs lots, éventuellement testés à des périodes différentes).

Pour en avoir une meilleure idée, nous avons établi le tableau d'hypothèses suivant, correspondant à une configuration que nous estimons moyenne au niveau de l'équipement de test :

<i>Investissement de base (machine de test)</i>	
Prix de la machine de base (hors électronique et lit de clous)	550,0 KF
Coût de l'électronique de test modulaire	1 440,0 KF
Coût du lit de clous (grille universelle)	288,0 KF
PV HT système complet	2 278,0 KF
Coût automatisation chargement/déchargement circuit	0,0 KF
Durée de vie du produit (années)	6
Nombre de jours d'utilisation annuelle du système	220
Nombre d'heures quotidiennes d'utilisation du système	20
Pourcentage d'utilisation du système	100%
Temps de chargement / déchargement d'une matrice (mn)	10
Coût horaire d'un opérateur	100 F
Nbre d'opérateurs affectés en moyenne sur un système	1,5
Nombre moyen de points de test par matrice	2000
Nombre de matrices réalisées par jour	3
Nombre de matrices utilisées par jour	10

#### *MATRICE*

<i>Investissements au niveau de la préparation d'une matrice</i>	
Pin loader	0,0 KF
Nombre de pointes montées à l'heure (pin loader)	2000
Station de préparation des outillages + logiciel associé	100,0 KF
PV HT d'une aiguille standard	2,00 F
PV HT d'une carte miroir ramenée au point de test	1,00 F
Stock nécessaire pointes standard	20000
Coût immobilisation pointes standard	40,0 KF
Stock nécessaire cartes miroir (ramené au point de test)	20000
Coût immobilisation cartes miroir	20,0 KF
Amortissement des investissements par matrice (manuel)	12,12 F
Amortissement des investissements par matrice (pin loader)	12,12 F

<i>Nbre de pts de test électroniques</i>	<i>PVU HT du point</i>
48000	30,00 F
48000	6,00 F

#### *Main d'oeuvre au niveau de la préparation d'une matrice*

Temps opérateur (préparation des données) (heures)	1,00
Temps opérateur (montage matrice) (heures)	2,00
Nombre de pointes montées à l'heure manuellement	1000
Coût opérateur par matrice (manuel)	300,00 F
Coût opérateur par matrice (avec pin loader)	166,67 F

#### *Evaluation du coût du matériel non réutilisable au niveau d'une matrice*

Coût matière d'une plaque plexi	10,00 F
Nbre de plaques nécessaires	3
Nombre de têtes de la machine	1
Coût au point percé d'une machine de perçage	0,10 F
Coût matériaux rapporté à une matrice	630,00 F
Coût total d'une matrice (manuel)	942,12 F
Coût total d'une matrice (avec pin loader)	808,79 F
Différence manuel - pin loader	14%

#### *Données relatives au temps de test*

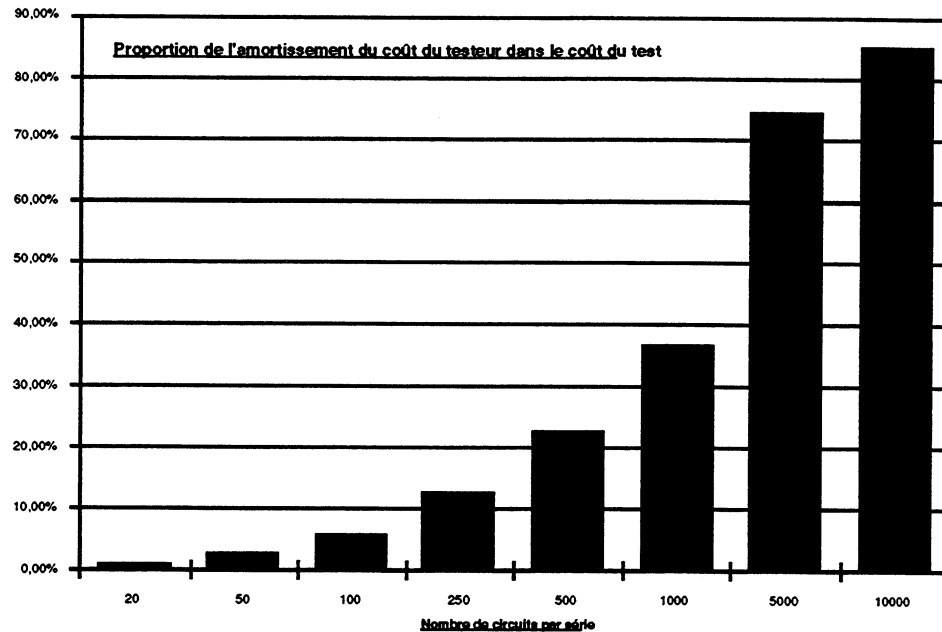
chargement manuel d'une carte (s)	8
chargement automatique d'une carte (s)	3
déchargement manuel d'une carte (s)	8
déchargement automatique d'une carte (s)	4
temps de test (s)	5
Ratio d'utilisation opérateur manuel / automatique	3
Nombre total de pièces testables en une journée en manu	3143
Nombre total de pièces testables en une journée en autor	5500

#### Hypothèses d'équipement moyen au niveau du test de circuits imprimés nus

Le coût de la machine se situe aux alentours de 2.2 MF. Un logiciel d'aide à la génération des outillages de 100 KF est utilisé. Un montage manuel des matrices est réalisé. Les matrices sont démontées systématiquement après usage en attendant la prochaine série.

Le tableau ci-dessous, paramétré en fonction du nombre moyen de circuits par série, donne une bonne idée des parts respectives de l'amortissement de l'investissement et de l'exploitation :





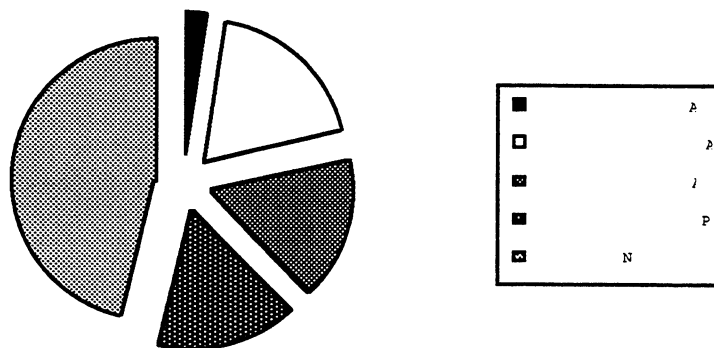
Proportion de l'amortissement de la machine dans le coût total du test

Typiquement, les séries varient entre 100 et 10 000 circuits. Il apparaît donc que le montant de l'investissement dans une machine est moins sensible pour qui aura de petites séries (comme c'est la cas en France).

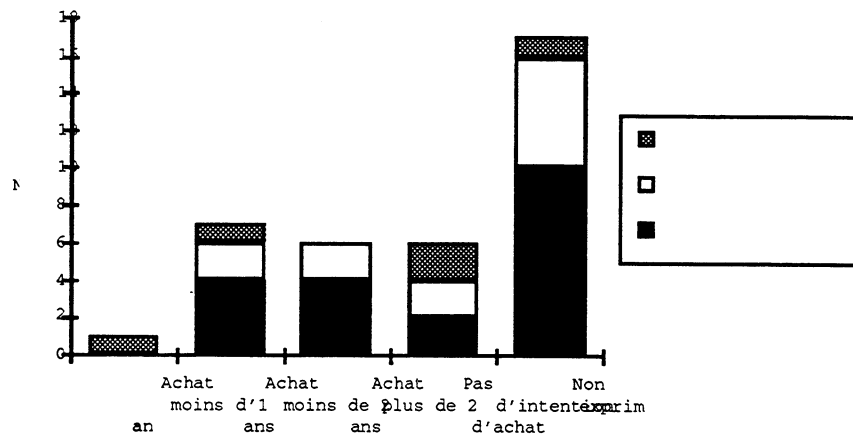
**Globalement, pour des séries moyennes de 1 500 circuits, l'amortissement du testeur entre pour environ la moitié dans le coût de test.**

Le fabricant qui aura de grosses séries (et qui donc réalisera à volume équivalent moins d'outillages que celui qui a de petites séries) devra surveiller de manière plus particulière le montant d'investissement de sa machine, les outillages étant rapidement amortis sur des séries importantes.

A4.7 Intentions d'achat en 1990



Intentions d'achat de système de test [20]



#### Intentions d'achat de système de test - segmentation par taille d'entreprise [20]

38% des sociétés expriment l'intention d'acheter un testeur (d'ici fin 1993), soit 9,5% par an. Il semble qu'il y ait plus d'opportunité chez les petites et moyennes entreprises (40% des entreprises de plus de 150 employés n'ont pas d'intention d'achat), malgré tout, sur les trois segments, un nombre important de sociétés ne s'expriment pas, rendues indécises par le prix des matériels proposés sur la marché.

#### A4.8 Quantification du Marché Français

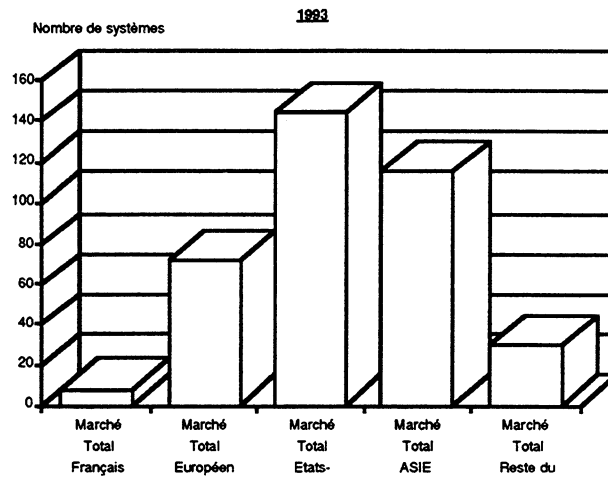
	1992	1993	1994	1995
<b>Nb de fabricants de</b>	114	114	114	114
<b>% intention d'achat</b>	10%	10%	11%	13%
<b>taux de croissance</b>		1	1	1
<b>Nb de testeurs vend</b>	11	12	13	14

#### Quantification du Marché Français de systèmes de test [20]

#### A4.9 Extrapolation au Marché International

Il n'a pas été effectué d'étude précise des marchés étrangers (notamment les marchés allemands et américains).

Cependant, quelques entretiens avec des sociétés allemandes et américaines nous autorisent à penser que les besoins sont sensiblement les mêmes. Notons qu'aux USA, la norme militaire impose une tension de test supérieure ou égale à 40V, ce qui explique le fort succès de testeurs à haute tension sur ce marché (100 à 250 V voire 500 V). Néanmoins, pour une bonne partie du marché, une tension de 40V n'est pas rédhibitoire, sous réserve qu'un seuil d'isolement de l'ordre du Megohm, voire de 10 Mohm soit atteint.



	1993
<b>Marché Total Français</b>	8
<b>Marché Total Européen (Hors France)</b>	72
<b>Marché Total Etats-Unis</b>	144
<b>Marché Total ASIE</b>	115
<b>Marché Total Reste du monde</b>	30
<b>Récapitulatif Marché Global Mondial</b>	369

Quantification du Marché International de systèmes de test [20]

On retrouve ici les estimations en terme de nombre de machines qui avaient été faite au paragraphe 1.3, en déduction des surfaces de Circuits à tester.

**Il faudra retenir que le Marché de renouvellement des systèmes de test se situe annuellement entre 300 et 400 machines, auxquelles il faut ajouter une croissance de 10% par an, correspondant à l'augmentation de la proportion des circuits complexes dans la production mondiale.**



## A U T O R I S A T I O N D E S O U T E N A N C E

Vu les dispositions de l'arrêté du 30 Mars 1992 relatifs aux Etudes Doctorales  
Vu les Rapports de présentations de :

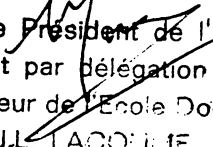
**Monsieur BACIVAROV**

**Madame NEEL**

**Monsieur VAUCHER Christophe .**

est autorisé(e) à présenter une thèse en soutenance en vue de l'obtention  
du diplôme de Docteur de l'Institut National Polytechnique de Grenoble,  
spécialité "Microélectronique".

**Fait à Grenoble, le 16 novembre 1993**

  
Pour le Président de l'INPG  
et par délégation  
le Directeur de l'Ecole Doctorale  
J.L. LACOMME





# **RESUME**

La présente thèse traite du test des circuits imprimés nus en général, et plus particulièrement de leur test électrique.

L'apparition de la Technologie de Montage en Surface, qui représente aujourd'hui plus de 50% de la production électronique mondiale contre 10% en 1984, pose le problème de l'augmentation de la densité des conducteurs sur les circuits imprimés et ce faisant, de leur testabilité.

Certaines cartes électroniques sont aujourd'hui dessinées en classe 6 (100  $\mu\text{m}$  de largeur de piste pour les conducteurs, séparés par un isolement de 100  $\mu\text{m}$ ). Leur densité en terme de nombre de composants au  $\text{dm}^2$  s'est vue multipliée par 8 en moins de 10 ans.

Une des nombreuses conséquences de ce bouleversement a été la difficulté croissante, pour aboutir à l'impossibilité, de tester, avec les moyens usuels, les circuits imprimés nus les plus complexes, mais aussi des circuits imprimés tout à fait standards, en dépit de la systématique de test à chaque étape de la fabrication d'un produit.

A titre d'exemple, le marché demande aujourd'hui un accès haute résolution à 8 mil (0.200 mm), alors que les meilleurs systèmes ne peuvent offrir en standard que 25 mil (0.635 mm), et exceptionnellement 0.5 mm.

L'auteur s'est donc penché sur ces problèmes, en concertation étroite avec les professionnels du domaine.

Ses travaux l'ont conduit à proposer diverses solutions (définition théorique du point de test, accès haute résolution à 8 mil (par utilisation d'élastomères composites à conduction anisotrope), développement de logiciels d'interfaçage avec les équipements de production, diminution importante du coût du testeur lui-même, etc..) qui ont été validées industriellement, la juxtaposition de ces solutions constituant une réponse globale au test des circuits imprimés nus d'aujourd'hui et de demain.

**Mots clés : Test - Circuits imprimés - CAO - CMS**

# **ABSTRACT**

This document deals with bare Printed Circuit Board (PCB) testing in general, and more particularly with the electrical test of bare boards.

The rise of new technologies like the Surface Mounted Technology (SMT), which represents more than 50% of the worldwide electronic production today, against 10 % in 1984, leads to an increase of the conductor's density on the PCBs, and as a matter of fact, to testability problems. Some boards are now designed using class 6 rules (100  $\mu\text{m}$  conductor width and 100  $\mu\text{m}$  spacing), increasing the density by a ratio of 8 during the last decade.

One of the numerous consequences of this rise is the increasing difficulty, and finally the inability, to test, with traditional means, some of the most complex bare PCBs (and even standard ones), despite that the test is now required at each step of the manufacture of a system. For instance, today's market's requirements regarding the high resolution access to PCBs is 8 mil, though the maximum resolution provided by the best bare board testers is 20 mil.

The author brings his contribution in close collaboration with the main professionals in this field, leading to several solutions (theoretical test point definition, high resolution access up to 8 mil (by the use of composite elastomers with anisotropic electrical characteristics), development of specific softwares allowing the link with regular industrial equipment, drastic costs reductions in Bare Board Testers, etc...), that have past the industrial level, the combination of which resulting in a global answer to access and test today's and tomorrow's bare PCBs.

**Key words : Test - Printed Circuit Boards - CAD - SMT**