



HAL
open science

Intégration monolithique des fonctions d'interface au sein de composants de puissance à structure verticale

Nicolas Clément, Jean-Paul Rouger

► **To cite this version:**

Nicolas Clément, Jean-Paul Rouger. Intégration monolithique des fonctions d'interface au sein de composants de puissance à structure verticale. Energie électrique. Institut National Polytechnique de Grenoble - INPG, 2008. Français. NNT: . tel-00344847

HAL Id: tel-00344847

<https://theses.hal.science/tel-00344847>

Submitted on 5 Dec 2008

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

INSTITUT POLYTECHNIQUE DE GRENOBLE

N° attribué par la bibliothèque

--	--	--	--	--	--	--	--	--	--	--	--

THÈSE pour obtenir le grade de **DOCTEUR DE l'Institut Polytechnique de Grenoble**

Spécialité : « Génie Électrique »

préparée au laboratoire de Génie Électrique de Grenoble (G2eLab) dans le cadre de l'École Doctorale « **Électrotechnique Électronique Automatique et Traitement du Signal** »

préparée et soutenue publiquement par

Nicolas ROUGER

Agrégé de génie électrique - Ancien élève normalien

le 16 Juillet 2008

Titre :

**Intégration monolithique des fonctions d'interface
au sein de composants de puissance à structure
verticale**

sous la direction du Pr Christian Schaeffer

JURY

Pr Isabelle Schanen
Pr Jean-Louis Sanchez
Dr Stéphane Raël
Pr Stéphane Lefebvre
Pr Christian Schaeffer
Dr Jean-Christophe Crébier
Dr Laurent Aubard

Présidente
Rapporteur
Rapporteur
Examineur
Directeur de thèse
Co-encadrant
Invité

À ma famille, à mes amis
À Raphaëlle

TABLE DES MATIÈRES

REMERCIEMENTS	xxi
NOTATIONS	xxvii
INTRODUCTION GÉNÉRALE	1
I UNE PROBLÉMATIQUE EN ELECTRONIQUE DE PUISSANCE : LA COMMANDE DES INTERRUPTEURS DE PUISSANCE	3
I.1 INTRODUCTION	5
I.2 LA PLACE DE L'INTERRUPTEUR DE PUISSANCE DANS L'ÉLECTRONIQUE DE PUISSANCE	5
I.2.a Les convertisseurs de puissance	5
I.2.b L'interrupteur de puissance commandé	6
I.2.b-i Quelques types d'interrupteurs commandés	6
I.2.b-ii Intérêts des interrupteurs commandés dans les convertisseurs d'électronique de puissance	8
I.2.c Les différents circuits de commande et de contrôle des interrupteurs de puissance	9
I.2.c-i Présentation des éléments nécessaires à la commande et au contrôle des interrupteurs de puissance	9
I.2.c-ii La spécificité de l'interrupteur High Side	11
I.3 L'INTÉGRATION AU SEIN ET AUTOUR DU COMPOSANT DE PUISSANCE	13
I.3.a Intégration hybride	13
I.3.b Intégration monolithique	14
I.3.c Quelles fonctions doit-on intégrer ?	15
I.4 L'AUTOALIMENTATION DE LA COMMANDE RAPPROCHÉE POUR INTERRUPTEUR DE PUISSANCE	16
I.4.a Solution Classique : le régulateur linéaire	16
I.4.b Solutions Mosfet / Mosfet	17
I.4.b-i Principe de fonctionnement	17
I.4.b-ii Considérations dynamiques	19
I.4.b-iii Vers une intégration monolithique totale de l'autoalimentation Mosfet / Mosfet ?	22
I.4.c Solution Bipolaires / Mosfet	26
I.4.d Solution Thyristors / IGBT	29
I.4.e Evolutions et fonctionnalités de l'autoalimentation	30
I.4.e-i Protection en surtension et effet d'aide à la commutation	30

I.4.e-ii	Aspects énergétiques et rendement	33
I.4.e-iii	Démarrage du convertisseur	37
I.4.e-iv	Fonctionnement pour régimes de flux continu et discontinu	38
I.4.e-v	Évolution pour un fonctionnement indépendant des paramètres de commutation	39
I.4.e-vi	Évolutions pour une autoalimentation bipolaire	47
I.4.e-vii	Intégration de la capacité de stockage ?	48
I.5	L'ISOLATION GALVANIQUE AUTOUR DU COMPOSANT DE PUISSANCE : UN DÉFI MAJEUR	50
I.5.a	Le besoin d'une isolation galvanique	50
I.5.b	Quelles solutions pour réaliser cette isolation ?	51
I.5.b-i	Transmission électromagnétique ou électromécanique	51
I.5.b-ii	L'exemple de la transmission optique	53
I.5.c	Le défi de l'isolation et de la commande optiques en électronique de puissance	55
I.5.c-i	Solutions existantes	55
I.5.c-ii	Adaptation du Silicium à la photosensibilité : quelles sont ses propriétés optiques ?	56
I.5.c-iii	Structure système d'un récepteur optique intégré monolithiquement	58
I.6	CONCLUSION	62
II	IMPACT DU PROCÉDÉ TECHNOLOGIQUE DANS LA MODÉLISATION DES FONCTIONS INTÉGRÉES	65
II.1	INTRODUCTION	66
II.2	PROCÉDÉ TECHNOLOGIQUE DE FABRICATION DES COMPOSANTS DE PUISSANCE	66
II.2.a	Présentation du procédé de fabrication des composants de puissance à grille isolée	66
II.2.b	Influences du procédé technologique sur les caractéristiques électriques du composant et des fonctions intégrées : Le besoin d'une modélisation analytique	69
II.3	MODÉLISATION DES FONCTIONS INTÉGRÉES AU SEIN D'UN INTERRUPTEUR DE PUISSANCE	70
II.3.a	Contraintes dues à l'intégration monolithique bas coût	70
II.3.b	Limitations de la bibliographie sur ces contraintes	72
II.3.c	Hypothèses de modélisation	74
II.3.d	Modélisation de quelques phénomènes	77
II.3.d-i	Zone de charge d'espace	77
Jonction abrupte à dopages constants	81	
Jonction abrupte à dopages gaussiens	82	
Jonction continue à dopages gaussiens	88	
Comparaison entre les modèles de dopages abruptes et continus pour la représentation de la ZCE	89	
II.3.d-ii	Résistances	91
II.3.d-iii	Calcul des courants de diffusion et de conduction	92
II.3.e	L'avalanche dans la jonction PN intégrée au composant de puissance	96

II.3.e-i	Avalanche et effet Zéner	96
II.3.e-ii	Modélisation du phénomène d'avalanche	97
II.3.e-iii	Caractéristiques statiques de la jonction en inverse	99
II.3.e-iv	Influence de la température	101
II.3.f	Modélisation de l'absorption photonique dans la jonction intégrée	102
II.3.f-i	Origines physiques : absorption des photons	102
II.3.f-ii	Modélisation des trois courants générés par une excitation de photons	107
II.3.f-iii	Fonctions de transfert en longueur d'onde et notions de rendements	113
II.3.f-iv	Considérations dynamiques	118
II.3.f-v	Influences de la température	118
II.4	COMPARAISON AVEC LA SIMULATION PAR ÉLÉMENTS FINIS	119
II.4.a	La jonction PN intégrée sous polarisation et bombardement photonique	119
II.4.b	Influence de la polarisation en face arrière du composant de puissance	122
II.5	CONCLUSION	124
III	INTÉGRATION MONOLITHIQUE DE FONCTIONS POUR INTERRUPTEURS DE PUISSANCE : ALIMENTATION DE LA COMMANDE RAPPROCHÉE ET ISOLA- TION OPTIQUE	127
III.1	INTRODUCTION	129
III.2	CONCEPTION DE COMPOSANTS VDMOS À COMMANDE RAPPROCHÉE AU- TOALIMENTÉE ET MUNIS D'UNE ISOLATION OPTIQUE	129
III.2.a	Le composant principal de puissance seul	129
III.2.a-i	Présentation des différentes méthodes de conception	129
III.2.a-ii	Conception de VDMOS pour la fabrication de composants de puissance évolués	133
III.2.b	Le circuit d'autoalimentation	137
III.2.b-i	Dimensionnement et conception	137
III.2.b-ii	Modification du niveau d'avalanche par effets bidimensionnels	147
III.2.c	Dimensionnement et conception du récepteur optique intégré	150
III.2.c-i	Premières pistes de dimensionnement : comportement sta- tique du récepteur optique intégré	150
III.2.c-ii	Critères supplémentaires de dimensionnement : considéra- tions dynamiques du récepteur optique intégré	157
III.3	RÉALISATION DE TRANSISTORS VDDMOS À COMMANDE RAPPROCHÉE AUTOALIMENTÉE ET ISOLATION OPTIQUE	160
III.3.a	Détails sur la réalisation des masques	160
III.3.b	Bilan de la réalisation technologique	162
III.4	CARACTÉRISATION DU CIRCUIT D'AUTOALIMENTATION DE LA COMMANDE RAPPROCHÉE	165
III.4.a	Caractéristiques statiques des fonctions nécessaires à l'autoalimentation	165
III.4.a-i	Caractérisation de l'avalanche et du transistor bipolaire ver- tical	165

III.4.a-ii	Prise en compte du niveau de polarisation de la face arrière et validation statique de l'autoalimentation	168
III.4.b	Caractéristiques dynamiques des fonctions nécessaires à l'autoalimentation	172
III.5	CARACTÉRISATION DES COMPOSANTS DE PUISSANCE À RÉCEPTEUR OP- TIQUE INTÉGRÉ	175
III.5.a	Caractérisations statiques du récepteur intégré	175
III.5.a-i	Mise au point d'un banc de caractérisation expérimentale .	175
III.5.a-ii	Caractérisation de la fonction intégrée sans polarisation de la face arrière	176
III.5.b	Caractérisations dynamiques du récepteur intégré	180
III.6	CONCLUSION	181
	CONCLUSION GÉNÉRALE	183
	BIBLIOGRAPHIE	193
	PUBLICATIONS	195
A	PLAN DÉTAILLÉ DU RÉTICULE ET DU WAFER COMPLET	1

TABLE DES FIGURES

I.1	Le convertisseur de puissance : du W (à gauche ampoule à basse consommation d'énergie) au GW (à droite salle de thyristors sur un poste de liaison à courant continu en Chine : Tension totale en sortie 500kV pour un transfert de puissance bidirectionnel de 1500MW)	6
I.2	Représentation des 4 quadrants dans le plan statique ($I; V$) d'un interrupteur de puissance [65] [45]	7
I.3	Domaines d'applications des interrupteurs de puissance selon la fréquence et la puissance de l'application [65]	8
I.4	Exemple d'un convertisseur de type Flyback 160W multi sorties utilisant un composant intelligent de type SmartPower avec un mode de commande mêlant commande douce et commande dure [101]	9
I.5	Fonction interrupteur et environnement associé au sein du système [58]	9
I.6	Schéma synthétique présentant l'environnement électronique d'une fonction interrupteur [58] à commande discrète	10
I.7	Exemples d'un interrupteur intelligent de type VMOS et ses fonctions de contrôle et de commande associées : à gauche schéma qualitatif général et à droite exemple de composant VIPer 700V 7A [3]	10
I.8	Mise en œuvre d'un composant de puissance dans une structure hacheur série (charge référencée à la masse du convertisseur)	11
I.9	Visualisation du potentiel flottant dans un hacheur série à transistor de puissance High Side	12
I.10	Combinaison d'une intégration monolithique et hybride dans les travaux de O. Deleage [41] : A gauche, la puce de puissance (1 W : 3,3 V et 300mA) avec sa commande intégrée. A droite, son hybridation au sein d'une cellule élémentaire de conversion avec isolation galvanique, mise ensuite en réseau afin d'augmenter la puissance totale de ce réseau de microconvertisseur	13
I.11	Convertisseur à transfert d'énergie mixte 60W avec un composant intégré LCT et une utilisation des métallisations externes pour réaliser l'hybridation des composants actifs [104]	14
I.12	Technologie VIPer intégrant monolithiquement des fonctions de commande au sein d'un transistor vertical de puissance 600V [77]	15
I.13	Circuit de protection contre les court-circuits, intégré monolithiquement au sein de transistor de puissance IGBT [24]	15
I.14	Première version de l'autoalimentation pour la commande de transistors de puissance	16
I.15	Autoalimentation pour la commande de transistors de puissance grâce à un transistor auxiliaire de type Mosfet	18

I.16	Intégration monolithique d'un transistor Mosfet auxiliaire au sein d'un transistor de puissance Mosfet principal pour l'autoalimentation [75]	19
I.17	Schéma équivalent dynamique de l'autoalimentation Mosfet / Mosfet	20
I.18	Présentation qualitative du découpage en phases de la commutation à l'ouverture d'un transistor de puissance autoalimenté	21
I.19	Validation pratique dans un convertisseur d'électronique de puissance, d'un transistor de puissance autoalimenté en mode impulsif (Solution discrète)	22
I.20	Simulation sous Simplorer de la commutation à l'ouverture d'un transistor de puissance sans autoalimentation (Plot a) à gauche) et avec autoalimentation (Plot b) à droite)	23
I.21	Intégration monolithique de tous les composants pour l'autoalimentation, au sein de transistor de puissance de type VDDMOS	23
I.22	Modifications de la structure de l'autoalimentation, prenant en compte les contraintes de l'intégration monolithique	24
I.23	Modification de l'intégration de la diode de blocage D_B afin de garantir un fonctionnement sans limitation fonctionnelle	25
I.24	Seconde modification de l'intégration de la diode de blocage D_B afin de garantir un fonctionnement sans limitation fonctionnelle	26
I.25	Structure de simulation du dispositif d'autoalimentation <i>Darlington</i>	27
I.26	Polarisation statique de la jonction d'avalanche par le courant de fuite de la diode de polarisation, par simulation Atlas	27
I.27	Validation pratique de l'autoalimentation Bipolaires / Mosfet à partir d'une première version de composants intégrés	28
I.28	Modification du schéma de l'autoalimentation dans le contexte de l'intégration monolithique au sein de transistor IGBT	29
I.29	Simulation de l'autoalimentation à Thyristors, en simulant une rampe de tension collecteur de 0 à 400V	30
I.30	Structure Flyback originale de moyenne puissance : interrupteur de puissance intelligent avec alimentation par troisième enroulement	31
I.31	Image du convertisseur Flyback réalisé, intégrant de nombreuses fonctionnalités permettant de comparer les circuits de protections en surtension classiques et le circuit d'autoalimentation agissant en CALC	32
I.32	Fonctionnement du convertisseur Flyback : à gauche sans CALC et alimenté par le troisième enroulement, à droite avec circuit CALC dissipatif et même dispositif d'alimentation	33
I.33	Fonctionnement du convertisseur Flyback sans CALC et avec le circuit d'autoalimentation I.24 et I.27	34
I.34	Comparaison des pertes totales en entrée du Flyback entre le cas figure I.32 à droite – sans autoalimentation et avec CALC – et le cas figure I.33 – avec autoalimentation et sans CALC –	34
I.35	Simulations de la phase d'ouverture d'un transistor de puissance : à gauche sans autoalimentation et à droite avec autoalimentation. Commutation de 400V / 4A	35
I.36	Réalisations pratiques : à gauche sans autoalimentation et à droite avec autoalimentation. Blocage du transistor de puissance, 250V / 10A	35

I.37	Superposition des deux figures I.36 : influence de l'autoalimentation sur la commutation au blocage	36
I.38	Simulations des puissances instantanées dissipées pendant le phase de blocage du transistor de puissance : à gauche sans autoalimentation et à droite avec autoalimentation	36
I.39	Résultat pratique lors de la mise en route d'un convertisseur avec un interrupteur de puissance autoalimenté (hacheur série à potentiel de référence flottant, tension d'entrée 250V)	38
I.40	Mise en application pratique d'un transistor à commande rapprochée autoalimentée, au sein d'un hacheur série fonctionnant en régime de flux discontinu (commutation de 150V - 3A)	39
I.41	Schéma qualitatif de la contre-réaction naturelle du circuit d'autoalimentation [35]	40
I.42	Mise en évidence de la limitation du circuit d'autoalimentation en fonction des paramètres de commutation et de consommation de la commande rapprochée. Essai sous tension réduite afin de préserver l'interrupteur de puissance principal et le convertisseur	41
I.43	Modification de la commande rapprochée afin de favoriser l'instabilité dans la contre-réaction de l'autoalimentation	42
I.44	Structure du circuit total de commande d'un transistor de puissance, avec une extension pour le circuit d'autoalimentation : contrôle de la charge stockée	43
I.45	Schéma qualitatif des phases de recharge autonomes pour une meilleure versatilité de l'autoalimentation	44
I.46	Modification de la dynamique des phases de recharge par action sur le circuit de décharge	44
I.47	A gauche : Fonctionnement avec une faible capacité, des séquences de recharge autonomes apparaissent. A droite : Fonctionnement dans le pire des cas, le transistor principal est dans son état passant de façon permanente	45
I.48	Zoom de la figure I.47 - droite, afin d'étudier le rendement des phases de recharge	45
I.49	Mesure normative du convertisseur de puissance hacheur série, avec et sans phases de recharge autonomes	46
I.50	Utilisation d'un hacheur à accumulation inductive afin de générer un potentiel négatif, utile à la commande rapprochée	47
I.51	Réalisation discrète d'un hacheur série de 700W, dont la commande rapprochée est autoalimenté et intégrant un dispositif de commande bipolaire	48
I.52	Gauche : Zoom sur le dispositif de génération du potentiel négatif grâce à un hacheur à accumulation inductive de faible puissance. Droite : Mise en œuvre dans le convertisseur de puissance de la figure I.51, montrant la commande bipolaire du transistor de puissance principal	49
I.53	Visualisation de la commande de grille avec une solution de type pont en H	49
I.54	Besoin d'une isolation galvanique entre le transistor de puissance intelligent et sa commande externe	51
I.55	Hybridation d'un étage d'isolation galvanique au sein d'un interrupteur de puissance : Le niveau d'isolation est-il toujours garanti par l'hybridation?	51

I.56	Structure de la commande complète avec isolation galvanique par transmission d'onde EM	52
I.57	Gauche : transformateur d'impulsion. A droite : transducteur piezoélectrique	53
I.58	Atténuation des fibres optiques selon la longueur d'onde [44]	54
I.59	Les deux façons différentes d'implémenter une isolation dans la chaîne de commande de l'interrupteur de puissance : transmission à faibles variations et bande passante (à droite) – fortes amplitudes et bande passante (gauche)	54
I.60	Thyristor à déclenchement optique ABB - 7500 V – 63 kA – 10 mW optique nécessaires au déclenchement	55
I.61	Intégration monolithique d'un récepteur optique au sein d'un thyristor à gâchette Mos	56
I.62	Quelques propriétés de matériaux à propos de la photoréception. A gauche : image de la bande passante (sensibilité normalisée). A droite : image du rapport signal / bruit dans la bande passante [11]	57
I.63	Solutions possibles pour un photorécepteur utilisant le procédé de fabrication VDDMOS	58
I.64	Rappels sur la caractéristique statique d'une photodiode dans différents quadrants	60
I.65	Circuit le plus simple associé à une photodiode	60
I.66	Modification du circuit de la figure I.65 selon les contraintes de l'intégration monolithique au sein de transistors de puissance	61
I.67	Vue de dessus de quelques photorécepteurs réalisés durant cette thèse. Voir les chapitres suivants pour plus de détails	62
I.68	Vers un nouveau type de transistor de puissance vertical, commandé à l'ouverture et à la fermeture par voie optique, avec apport de l'énergie de commutation par autoalimentation	63
II.1	Détail de deux technologies disponibles pour les transistors de puissance à grille isolée : à gauche, technologie Planar - cellules élémentaires carrées - et à droite, technologie Trench	66
II.2	Coupe verticale de deux composants de puissance : à gauche, technologie Trench et à droite, technologie Planar (Source IR)	67
II.3	Vue en coupe d'une cellule d'un Mosfet vertical : détails de quelques éléments parasites [13]	67
II.4	Vue de l'avant dernière étape du diagramme de cheminement, établi dans [75] et réutilisé dans cette thèse : le composant de puissance avant métallisation de la face arrière est montré, ainsi que sa périphérie en anneaux de garde	68
II.5	Rappels des deux fonctions à intégrer monolithiquement au sein de transistors verticaux de puissance à grille isolée et technologie Planar	69
II.6	Rappels de la modification des fonctions intégrées sous la contrainte de l'intégration monolithique	71
II.7	Le transistor NPN vertical utilisé pour les éléments qui composent les deux fonctions à intégrer	71
II.8	Dopages réels en profondeur : à gauche, dopages des jonctions $N^+ - P^+$ et $P^+ - N_\nu$, à droite, dopages des jonctions $N^+ - P^-$ et $P^- - N_\nu$	72

II.9	Comparaison depuis le modèle comportemental vers le modèle analytique . . .	73
II.10	Jonction PN unidimensionnelle dans le cas général, avec deux abscisses de profondeur différentes	74
II.11	Détails des trois profils de dopages considérés : les deux à gauche sont abruptes, le troisième dopage est continu	75
II.12	Dépendance de la mobilité en fonction du niveau de dopage et du type de porteur	77
II.13	Modèle implicite de la jonction PN polarisée	79
II.14	Jonction abrupte et dopages constants	80
II.15	Jonction abrupte et dopages gaussiens	81
II.16	Jonction continue et dopages gaussiens	82
II.17	Profil de champ pour une jonction abrupte et dopages constants	83
II.18	Profil de champ pour une jonction abrupte et dopages constants : Zoom autour de la jonction métallurgique (à gauche) et évolution de l'étendue de la ZCE en fonction de la différence de potentiel entre les extrémités de la ZCE à droite	83
II.19	Évolution du champ électrique $E'(x)$ pour une jonction abrupte à dopages gaussiens, défini à une constante près et valable seulement autour de la jonction métallurgique	84
II.20	Présentation de la méthode pour exprimer le champ électrique réel $E(x)$, à partir de la constante E_0 et du champ $E'(x)$	86
II.21	Evolution de l'étendue de la ZCE en fonction de la différence de potentiel entre les extrémités de la ZCE	87
II.22	Répartition unidimensionnelle de la ZCE en fonction de la différence de potentiel entre les extrémités de la ZCE	87
II.23	Répartition unidimensionnelle de la ZCE en fonction de la différence de potentiel entre les extrémités de la ZCE	89
II.24	Comparaison des dopages autour de la jonction métallurgique, pour une jonction abrupte et une jonction continue	90
II.25	Comparaison du profil du champ électrique dans la ZCE entre un modèle abrupte et continu : à gauche pour un faible polarisation et à droite pour une grande polarisation	90
II.26	Comparaison de l'étendue de la ZCE selon le modèle utilisé : à gauche comparaison de l'étendue selon la polarisation et à droite erreur relative entre le modèle abrupte et le modèle continu	91
II.27	Evolution de la résistance linéique en fonction de la différence de potentiel entre les extrémités de la ZCE	92
II.28	Comparaison des densités de courants issus de la recombinaison et de la diffusion des porteurs, sous polarisation directe de la jonction. Jonction continue à dopages gaussiens	95
II.29	Densité de courant totale inverse d'une jonction continue à dopages gaussiens (sans avalanche)	95
II.30	Comparaison des coefficients multiplicatifs d'avalanche pour une jonction N^+P^-	99

II.31	Densité de courants en inverse avec avalanche pour une jonction abrupte à dopages uniformes : à gauche, visualisation des différentes contributions dans le courant inverse. A droite, comparaison de la densité de courant inverse totale avec ou sans avalanche	100
II.32	Comparaison des coefficients multiplicatifs pour une même tenue en tension, entre des jonctions abruptes uniformes $N^+ - P^-$ (à gauche) et P^+N^- (à droite)	100
II.33	Coefficients multiplicatifs d'avalanche pour une jonction N^+P^- à dopages gaussiens, au début de l'avalanche	101
II.34	Prise en compte de la multiplication des porteurs par ionisation par impact, dans une jonction N^+P^- continue à dopages gaussiens	101
II.35	Modifications de l'avalanche pour une température de $420K$	102
II.36	Partie réelle et imaginaire de l'indice optique du Silicium, dépendant de la longueur d'onde	103
II.37	Éclairage d'une face de la jonction PN	103
II.38	Indice de réflexion optique du Silicium constant ou dépendant de la longueur d'onde	104
II.39	Variation du coefficient d'absorption α avec la longueur d'onde, selon un tableau de valeurs ou un modèle analytique autour de $\lambda = 860nm$	105
II.40	Influence de la géométrie du photorécepteur, par rapport au coefficient de génération optique fixe	106
II.41	Conventions dimensionnelles pour les jonctions sous éclairement	106
II.42	Porteurs minoritaires excédentaires, sous l'effet de la génération optique en zone N : à gauche pour une forte recombinaison en surface et à droite pour une faible recombinaison	108
II.43	Porteurs minoritaires excédentaires Δ_n , sous l'effet de la génération optique en zone P	109
II.44	Caractéristique inverse générale avec prise en compte des phénomènes optiques : recombinaison en surface et géométrie non optimisée	110
II.45	Validation de notre modélisation générale sur un cas particulier traité en bibliographie : Densité de courant inverse en fonction de la polarisation, pour un niveau d'éclairément I fixé	111
II.46	Écart de la bibliographie sur notre modélisation générale	111
II.47	Réseau de caractéristiques statiques de la jonction en inverse pour $\lambda = 600nm$ et les données géométriques de l'intégration	112
II.48	Réseau de caractéristiques statiques de la jonction en inverse pour $\lambda = 860nm$ et les données géométriques de l'intégration	113
II.49	Comparaison des rendements : optique linéaire (indices optiques constants et absorption quadratique), faible recombinaison en surface et géométrie favorable à la photoréception	114
II.50	Comparaison des rendements : optique linéaire (indices optiques constants et absorption quadratique), forte recombinaison en surface et géométrie favorable à la photoréception	114

II.51 Comparaison des rendements : optique linéaire (indices optiques constants et absorption quadratique), faible recombinaison en surface et géométrie de l'intégration	115
II.52 Comparaison des rendements : optique linéaire (indices optiques constants et absorption issue d'un tableau de valeurs), faible recombinaison en surface et géométrie de l'intégration	115
II.53 Comparaison des rendements : optique non linéaire (indices optiques non constants et absorption issus de tableaux de valeurs), faible recombinaison en surface et géométrie favorable à la photoréception	116
II.54 Comparaison des rendements : optique non linéaire (indices optiques non constants et absorption issus de tableaux de valeurs), faible recombinaison en surface et géométrie de l'intégration	117
II.55 Comparaison des rendements : optique non linéaire (indices optiques non constants et absorption issus de tableaux de valeurs), forte recombinaison en surface et géométrie de l'intégration	117
II.56 Capacité de transistion surfacique pour une jonction abrupte à dopages uniformes	119
II.57 Capacité de transistion surfacique pour une jonction continue à dopages gaussiens	120
II.58 Etendue du champ électrique dans une jonction abrupte à dopages uniformes sous 17V inverse par Atlas Manager (à gauche) et notre modélisation (à droite). Échelles identiques	121
II.59 Etendue du champ électrique dans une jonction continue à dopages gaussiens par Atlas Manager (à gauche) et notre modélisation (à droite). Échelles identiques	121
II.60 Caractéristique statique d'une jonction abrupte à dopages uniformes par Atlas Manager (à gauche) et notre modèle (à droite). Échelles identiques	122
II.61 Caractéristique statique d'une jonction abrupte à dopages uniformes à $T = 420K$ par Atlas Manager (à gauche) et notre modèle (à droite). Échelles identiques	122
II.62 Caractéristique statique d'une jonction abrupte à dopages uniformes selon l'éclairement à $\lambda = 600nm$ par Atlas Manager (à gauche) et notre modèle (à droite). Échelles identiques	123
II.63 Courant total inverse pour une jonction abrupte à dopages uniformes selon la longueur d'onde, pour une intensité lumineuse fixée à $I = 10^{-4}$ et $V = -5V$ par Atlas Manager (à gauche) et notre modèle (à droite). Échelles identiques	123
II.64 Structure complète bipolaire utilisée sous Atlas Manager	124
II.65 Modification de la caractéristique statique de la jonction Emetteur-Base en inverse sous l'effet de la polarisation du Collecteur. $\lambda = 600nm$ et niveau d'éclairement fixé	125
II.66 Zoom autour de l'étendue des deux Zones de Charge d'Espace Emetteur-Base et Collecteur-Base lors de la polarisation du collecteur à 400V : dégradation du rendement quantique du récepteur intégré	125

III.1	Intégration monolithique fonctionnelle au sein d'un transistor de puissance : détails des zones et des fonctions à réaliser	130
III.2	Quelques variantes de conceptions pour transistors de puissance verticaux Planar (ici pour des IGBTs [65])	131
III.3	Deux types de cellules élémentaires carrées, en vue d'une conception en bande	132
III.4	Étirement de la cellule élémentaire afin de former un doigt, ensuite recopié .	133
III.5	Conception de la zone active du transistor de puissance : à gauche, prises de contacts interdigitées et à droite, amenée de contact de Grille centrale et métallisation de Source sur toutes les cellules	133
III.6	Détail qualitatif de la zone active du composant principal, en vue de l'in- tégration monolithique de fonctions	134
III.7	Vue qualitative d'un Mosfet vertical à amenée de grille centrale et périphé- rique (à gauche) et son modèle associé (à droite)	137
III.8	Vue qualitative d'un Mosfet vertical à amenée de grille périphérique (à gauche) et son modèle associé (à droite)	137
III.9	Vue d'ensemble des différents niveaux de masquages depuis Virtuoso : Mosfet vertical à amenée de grille centrale et périphérique (à gauche - identique à la figure III.7) et à amenée de grille périphérique (à droite - identique à la figure III.8)	138
III.10	Rappel de la fonction autoalimentation intégrée monolithiquement au sein de VDMOS, à base de transistors bipolaires	138
III.11	Caractéristique inverse de la jonction Emetteur - Base du transistor bipolaire vertical intégré : $J_{EB}(V_{EB})$	139
III.12	Considérations dynamiques en vue du dimensionnement de la surface de T_B [94]	141
III.13	Conception de la cellule élémentaire des transistors verticaux : à gauche vision qualitative et à droite côtes masques depuis Cadence	142
III.14	Conception d'un transistor de puissance bipolaire vertical, à partir de la cellule élémentaire de la figure III.13 et selon les résultats de [7]	143
III.15	Vue qualitative d'un Bipolaire vertical seul à l'intérieur d'une périphérie en tension (à gauche) et son modèle associé (à droite)	143
III.16	Vue d'ensemble du Bipolaire vertical seul à l'intérieur d'une périphérie en tension depuis Cadence	144
III.17	Vue qualitative d'un Darlington vertical seul à l'intérieur d'une périphérie en tension (à gauche) et son modèle associé (à droite)	145
III.18	Vue qualitative d'un Darlington vertical seul, diffusions non prises en compte (côtes masques) : Vue de dessus complète (à gauche) et détails sur l'électrode de champ de Source avec équipotentielles en pointillés (à droite)	145
III.19	Quatre variantes sur le circuit de la figure III.18 : extrémités arrondies ou carrées, deux valeurs de rapport de surfaces	146
III.20	Présentation de deux variantes depuis Cadence : à gauche connexion Dar- lington, avec rapport des surfaces (C-B T_B et B-E T_Z) de 16, à droite pas de connexion entre T_B et T_Z , électrode de champ assurant la bonne tenue en tension des deux transistors, et rapport de surface de 7	146

III.21	Détail de l'intégration monolithique de la fonction d'autoalimentation au sein d'un VDMOS : zoom sur l'intégration (en haut), vue qualitative et schéma associé (en bas)	147
III.22	Quelques cellules élémentaires sphériques possibles, permettant de diminuer le rayon de courbure des dopages et donc la tenue en tension	148
III.23	Quelques variantes conçues sous Cadence, afin d'étudier les phénomènes d'avalanche 3D	149
III.24	Modification du transistor T_Z , avec cellules à tension d'avalanche réduite	149
III.25	Rappel de la structure retenue pour le récepteur intégré	151
III.26	Symbole et vue de dessus du récepteur optique intégré	152
III.27	Rappel des résultats de modélisation effectués : densité de courant totale en fonction de l'éclairement pour $\lambda = 600nm$	153
III.28	Prise en compte des propriétés de la fibre optique transmettant l'onde électromagnétique, pour le dimensionnement de la surface du récepteur optique	154
III.29	Conception sous Cadence du récepteur optique de base : diamètre $100\mu m$ avec drains de charge périphériques P^+ et forme oblongue permettant la prise de contact d'Anode sans modification de la zone sensible circulaire	155
III.30	Modification du récepteur de la figure III.29 en vue de la prise de contact par bonding	155
III.31	Vue qualitative de quelques variantes afin de quantifier l'impact des différentes couches issues du procédé de puissance sur la réflexion optique en surface	156
III.32	Variante avec un capteur secondaire, et un transistor latéral NMOS non connecté. Le niveau POLY n'est pas représenté	157
III.33	Vue en coupe du récepteur intégré : problème de l'élévation du potentiel du caisson P^- d'Anode	158
III.34	Ajout d'un drain central de charges statiques et dynamiques : limitation de la résistance présentée dans la figure III.33 par ajout d'un drain de charges P^+ central. La zone centrale du récepteur optique est présentée sur la droite en remplacement de la zone centrale du dispositif de base de la figure III.30	158
III.35	Variante circulaire (en haut) et oblongue 2D (en bas) de la figure III.34	159
III.36	Intégration du récepteur optique au sein d'un transistor de puissance VDMOS	160
III.37	Récepteur optique seul, au sein d'une périphérie en tension spécifique	161
III.38	Vue stylisée du réticule réalisé : les variantes incluses de cette thèse sont représentées et seuls les noms des variantes des autres collaborateurs sont présents	162
III.39	Vue stylisée du réticule Wafer complet	163
III.40	Identification d'un court-circuit entre Grille et Source des transistors verticaux VDMOS suite au problème de surgravure [39]	164
III.41	Photographie de la tranche réalisée, en phase de caractérisation	165
III.42	Validation de la tension de l'autoalimentation : Caractéristique statique I_{EB} en fonction de V_{EB} . A droite zoom autour de l'amplification du phénomène d'avalanche	166
III.43	Validation de la modification de la tension de l'autoalimentation par effets bidimensionnels : Caractéristique statique inverse I_{BE} en fonction de V_{BE}	166

III.44	Validation du transistor bipolaire seul : Caractéristiques statiques I_{CE} en fonction de V_{CE} pour différents niveaux de courants de Base I_B . A gauche caractérisation du composant réel, et à droite simulation par éléments finis avec les mêmes données géométriques	167
III.45	Photographie du transistor bipolaire vertical réalisé : zoom autour de la zone active et du plot de contact de Base	167
III.46	Validation du transistor bipolaire <i>Darlington</i> du circuit d’autoalimentation : Caractéristiques statiques I_{CE} en fonction de V_{CE} pour différents niveaux de courants de Base I_B . Il s’agit du demi-Darlington car un seul Emetteur de T_B est connecté (voir la figure III.20)	168
III.47	Validation de l’auto-isolation de la jonction Emetteur - Base de T_Z : Schéma du procédé expérimental	169
III.48	Validation de l’auto-isolation de la jonction Emetteur - Base de T_Z : Résultat expérimental montrant que le point de fonctionnement de la jonction Emetteur - Base est indépendant du potentiel de Collecteur	170
III.49	Photographie de la fonction d’Autoalimentation complète réalisée : zoom autour du joint entre le circuit d’autoalimentation et le composant de puissance VDMOS	170
III.50	Validation du fonctionnement statique de l’autoalimentation : Schéma du procédé expérimental à gauche et résultat pratique à droite, évolution de V_{Cs} en fonction de $V_{Collecteur}$	171
III.51	Photographie des variantes Darlington mises en boîtier : comparaison avec les boîtiers classiques	172
III.52	Photographie du convertisseur utilisé afin de réaliser une excitation dynamique $\frac{dV_{DS}}{dt}$ pour valider notre circuit d’autoalimentation	173
III.53	Validation du fonctionnement dynamique de l’autoalimentation : relevés expérimentaux montrant la recharge impulsionnelle de la capacité de stockage C_S , réalisés à partir des composants réalisés de la figure III.51. $C_S = 10nF$, $R_S = 15k\Omega$ et $f = 50kHz$	174
III.54	Rappel de la validation préalable des autres caractéristiques du fonctionnement dynamique de l’autoalimentation : relevés expérimentaux montrant la recharge impulsionnelle de la capacité de stockage C_S , réalisés à partir des composants réalisés précédemment	174
III.55	Validation du récepteur optique intégré : réseau de caractéristiques statiques $I_{BE} = f(V_{BE}, I_{opt})$ pour une source optique polychromatique non maîtrisée	175
III.56	Photographie du banc de caractérisation statique des dispositifs	176
III.57	Photographie du banc de caractérisation statique des dispositifs : Zoom autour du dispositif de transmission optique vers la zone sensible sous test	177
III.58	Situation des variantes étudiées sur un emplacement primaire du réticule de $9mm^2$ (à gauche) et rappel de quatre variantes du récepteur optique (à droite)	178
III.59	Caractéristique statique inverse des variantes du récepteur optique sous une faible lumière ambiante	179
III.60	Modification de la caractéristique inverse sous éclairage en fonction d’une erreur de positionnement de la fibre optique de quelques μm	179

III.61	Modification de la caractéristique inverse sous éclairage selon les variantes de conception pour la zone photo-sensible	180
A.1	Réticule stylisé utilisé pour la conception et la réalisation du Wafer complet	1
A.2	Partie gauche du Wafer complet stylisé	2
A.3	Partie droite du Wafer complet stylisé	3

Remerciements

Je dois dire que je pensais à cette page de remerciements depuis l'instant où j'ai commencé ces travaux de thèse : *comment n'oublier personne, comment dire tout ce que j'ai ou j'aurais au fond de moi, comment ne pas tout dire ce que j'ai au fond de moi ?* Aujourd'hui et trois années plus tard, le moment est venu d'écrire *enfin* cette page de remerciements. À cet instant bien précis (vers le début du mois d'Octobre 2008, au cœur de la côte pacifique du Canada), il y a certaines choses dont je suis sûr : sans toutes les personnes qui vont être citées ici, ce *travail* n'aurait pu avoir lieu. Mais pas seulement : il y a les personnes qui ne sont plus là, celles que malheureusement j'oublie et celles qui ne liront jamais ce document mais sans qui je ne serais pas celui que je suis...

Je remercie en premier lieu l'ensemble des membres du jury :

- **Isabelle Schanen** pour avoir m'avoir fait l'honneur de participer et de présider ce jury. Comme je l'ai dit lors de la soutenance, j'ai été très heureux de ce mélange de sensibilités au sein du jury que vous avez présidé. Je regrette seulement de ne pas m'être lancé plus tôt dans ces travaux d'optique et d'avoir eu plus d'échanges avec des communautés qui ne se côtoient que rarement.
- **Jean-Louis Sanchez** pour avoir accepté d'être rapporteur de ce travail : Je vous remercie pour l'intérêt que vous avez porté à ma thèse, ainsi que pour la précision de votre rapport (et le travail que cela représente pour un directeur de laboratoire). De plus, j'ai vraiment apprécié échanger avec vous le jour de la soutenance. Je vous remercie pour avoir participé à la bonne entente entre le G2eLab et le Laas, me permettant, entre autre, d'échanger et de partager avec des doctorants toulousains. Merci pour cette expérience.
- **Stéphane Raël** pour avoir accepté d'être aussi rapporteur de ce travail : Je vous remercie grandement pour votre étude en profondeur de mes travaux de thèse, ainsi que pour votre impartialité et objectivité. Je suis vraiment reconnaissant de l'attention que vous avez portée à ma thèse, donnant assurément une valeur supplémentaire à ce manuscrit de thèse. Je vous remercie donc pour le temps que vous avez passé sur ce manuscrit, pour le juger et en améliorer le contenu.
- **Stéphane Lefebvre** pour avoir pris part à ce jury en tant qu'examinateur : comme je vous l'avais dit lors de la soutenance, je pense que sans votre intervention en année de préparation à l'agrégation sur les semiconducteurs de puissance, je n'aurais jamais

été très intéressé par ce domaine. Une façon de montrer que toute cette physique pouvait se ramener à des choses simples et concrètes. Un cours à l'image de votre ouvrage sorti quelques mois après la fin de ma prépa-agreg : clair, précis et agréable. Merci aussi pour vos remarques lors de la soutenance.

- **Christian Schaeffer** pour avoir accepté d'être mon directeur de thèse. J'ai beaucoup apprécié ton honnêteté, tes compétences humaines et scientifiques, ta disponibilité et ton aide à des moments clés de cette thèse. Je tiens à dire aussi que sans toi, ce travail n'aurait pu avoir lieu et je te suis reconnaissant pour les efforts que tu as fait afin d'améliorer l'ensemble des conditions de travail de cette thèse. Je suis très heureux que ton nom figure en premier lieu sur la page de titre de cette thèse et je te remercie donc de m'avoir fait confiance pour cette thèse.
- **Jean-Christophe Crébier** pour l'ensemble de cette thèse, de mon M2R, de tous ces bons moments passés, pour ta franchise et pour tout le reste. D'ailleurs que signifie "*le reste*" ? Petit brin d'histoire tout d'abord : après ma sortie de prépa agreg du fin fond de la butte de Cachan, je cherchais un Master 2 Recherche sur un sujet intéressant. Je n'avais pas de contrainte géographique (sauf une certaine *limite Bordeaux-Lyon*). Le hasard, le destin, la chance ou je ne sais quoi (voir plus bas pour des compléments sur cette histoire et d'autres remerciements) a fait que je me suis lancé dans l'aventure avec toi. Franchement après presque quatre années, je ne regrette pas une seule seconde. J'aime tes qualités : franchise, honnêteté, agitation scientifique, écoute, compréhension, et bien d'autres... Tes compétences scientifiques m'auront énormément apportées et je t'en remercie. J'aime aussi ta façon de travailler, d'agiter les idées, et j'ai donc beaucoup appris à tes côtés. J'espère continuer à travailler avec toi (directement ou en collaboration), à te voir t'agiter (scientifiquement) pour faire avancer la recherche... Merci vraiment pour cette expérience avec toi.
- **Laurent Aubard** pour l'ensemble de cette thèse et pour mon M2R. Je pense que Laurent, tu n'en es pas forcément conscient mais j'ai beaucoup apprécié t'avoir à mes côtés pendant cette thèse, même si nous n'avons que peu travaillé ensemble : au début de ma thèse, nous avons eu quelques discussions autour de *mon avenir, mes doutes*, et c'était vraiment important pour moi d'avoir tes conseils, ton expérience. En tant qu'encadrant, il y a une chose que tu m'as offerte : la liberté et la confiance. J'ai beaucoup apprécié et je te remercie d'avoir suivi mes travaux.

A la vue de la relative longueur de ces remerciements pour mon jury, je pense que vous comprenez un peu mieux l'après soutenance de thèse... Bon maintenant voilà, une fois le jury remercié, il reste encore beaucoup de monde à remercier. Lorsque je pensais à cette page de remerciements, j'ai longtemps hésité à inclure quelques chiffres pour replacer cette thèse dans un contexte...disons...divers. Mais au final je vais plutôt me concentrer sur l'essentiel : remercier mes amis et collègues.

Je voudrais donc remercier **Robert Perret** et **James Roudet** pour m'avoir fait visiter le laboratoire en Juin 2004, m'avoir accordé leur temps et avoir contribué à mon choix de faire une thèse à Grenoble, et par suite, de ma réussite dans mes travaux de thèse. J'ai beaucoup apprécié ce premier contact, qui fut très important pour moi ; je dois dire que

je n'ai pas reçu cet accueil dans les autres laboratoires que j'avais contactés, et je vous en suis reconnaissant. Je remercie d'ailleurs ici **Serge Bernard** du LIRMM pour son accueil très chaleureux lors de ma visite pour choisir mon M2R, et je dois dire que cela m'avait touché aussi de recevoir un tel accueil.

Je remercie aussi tout particulièrement **François Camus** pour ton aide, ton soutien et ta confiance. J'ai eu un super tuteur de monitorat et j'ai beaucoup apprécié de travailler avec toi. Je remercie aussi **Marc Oddon**, **Nicole Devismes** et **Jean-Pascal Guirmand** pour m'avoir permis d'intervenir à l'IUT geii de Grenoble, pour leur confiance et leur cordiale attention.

En parlant donc de laboratoire, je souhaite donc ici remercier tous mes collègues et amis *chercheuses et chercheurs* : **Benjamin Vallet** pour ton soutien de tous les jours, ton amitié et tous nos bons moments ensemble. J'ai vraiment aimé partager ce bureau avec toi, ces cafés, ces quelques parties de tennis et autres... **Xavier Margueron** pour ta gentillesse, ton amitié, tes bières et les répètes (merci d'être venu à ma thèse!). Je te souhaite une bonne continuation dans le grand Nord et j'espère que nous continuerons à passer des bons moments ensemble (et pis t'es presque de la famille Rouger aussi :o)). **Alexandre Martin** pour ta franchise, ton franc-parler, ta gentillesse et ton humour, c'était bien sympa ces moments ensemble. **Binh Nguyen Dac** pour tous nos bons moments, ton amitié et nos échanges culturels. On t'a beaucoup taquiné, mais j'ai beaucoup apprécié de travailler avec toi. **Loïc Vincent** pour nos bons moments à taquiner *le père Binh*, et travailler ensemble. Bonne chance pour la suite! Mon ami **Tran Manh Hung** pour ta gentillesse, ton amitié et pour avoir supporté d'être mon premier stagiaire M2R. Bonne chance et je serai là à ta soutenance de thèse! **Radoslava Mitova** et **Guillaume Verneau** sans qui je n'aurais pas travaillé sur un sujet déjà avancé, ainsi que **Fisal Alkayal**. **Maciej Haras** pour ton amitié et ta gentillesse.

La liste est encore longue, je remercie donc aussi tous mes ami(e)s du laboratoire : **Abdelhadi Besri**, **Behzad Ahmadi**, **Hervé Chazal**, **Corinne Marcon**, **Olivier Martins**, **Maria Andreica**, **Jérémie Aime**, **Stéphane Catellani**, **Vincent Ardon**, **Antoine Labonne**, **Ha Dang Thai**, **Olivier Deleage**, **Kien Lai Dac**, **Benoit Rozel**, **Mansour Tawk**, **Éric Vagnon** et **Christian Martin**. Nous avons passé tous ensemble de bons moments et je vous remercie pour l'expérience que j'ai acquise auprès de vous tous, chacun à des degrés différents. J'espère vous revoir bientôt. Merci pour votre support, votre aide et votre amitié. J'ai aussi une pensée amicale pour les doctorants que j'ai rencontrés lors des échanges à Toulouse, et que je remercie pour leur accueil : **Florence Capy**, **Loïc Theolier**, **Christian Caramel** et **Yann Weber**.

Je voudrais remercier ici aussi quelques personnes du G2eLab pour leur gentillesse, leurs compétences et leurs qualités humaines : **Danielle Collin**, **Gérard Meunier**, **Pierre-Olivier Jeannin**, **Yvan Avenas**, **Élise Riado**, **Jean-Paul Ferrieux**, **Sedik Bacha** et **Jean-Pierre Keradec**. J'ai passé de très bons moments dans ce laboratoire et je vous remercie tous pour cela.

J'ai l'occasion ici de remercier mes amis pour avoir contribué à ma réussite, grâce à leur aide, leur gentillesse, leur expérience, leur soutien et je voudrais leur dire ici qu'ils comptent pour moi. Ceux de Cachan d'abord : **Cyril Ravat**, **François Bonnet**, **Fabien Millioz**, **Flavien Paccot**, **Stéphane Grange**. Ceux de la prépa Jean-Perrin : **Nicolas Garraud**, **Laurent Zamponi** (et **Sandra Brigliozzi**), on a passé ensuite de très bons moments à Cachan ensemble (*le gang des marseillais*), et c'était vraiment sympa cette colloc'. Ceux du lycée Jean - Perrin : **Rémi Gondran**, **Thomas Lombardi**, **Grégoire Vincent** (et toute ta famille) et **François Trévisiol** (et toute ta famille aussi mon ami). Ceux du collège Longchamp et de l'école Louis Frangin : **Yvain Corradi**, **Stéphane Alcaraz**, **Christophe Vergonzane**, **Jean-Louis Bednarz** et **Frédéric Billet**. Pardon à ceux que j'oublie...

Je remercie aussi quelques enseignants, pour ce qu'ils m'ont apporté : **Emmanuel Hoang**, **Gilles Feld**, **Cécile Durieu**, **Thierry Maurin** et **Zoubir Khatir**. Je remercie ici le ministère de l'enseignement supérieur et de la recherche pour avoir financé mes travaux de thèse, et plus généralement je remercie la République Française pour m'avoir accordé une bourse de mérite pendant deux années (1999-2001), puis pour le statut privilégié d'élève fonctionnaire stagiaire (2001-2005).

Avant d'attaquer la partie qui est finalement la plus personnelle pour moi, je voudrais remercier **Lukas Chrostowski** pour m'avoir fait confiance en tant que chercheur post-doctoral et m'avoir donc permis de découvrir un autre univers scientifique et culturel.

J'arrive donc à la fin de ces remerciements (certains lecteurs pousseront un *ouf* de soulagement...), et je souhaite ici remercier infiniment tous les membres de ma famille : j'ai une pensée particulière pour mes grands parents **Jeanne & Paul Rouger** qui ne sont plus parmi nous, **Reine & René Clément** qui n'ont pu se rendre à ma soutenance. Un merci particulier aussi à mon cousin **Julien Clément** pour ta venue lors de ma thèse (c'était vraiment sympa ces moments à la Tour du Pin). J'ai aussi une pensée pour mes parents **Nicole & Jean-Paul Rouger**, ainsi que pour mon frère et ma belle sœur **Barbara & Jérôme Rouger**, que je remercie pour leur soutien et tout le reste (il me tarde de pouponner mon petit neveu). J'embrasse et je remercie particulièrement tout le reste de ma famille : depuis **Annie & Jean-Paul Rouger**, **Brigitte & Jean-Pierre Clément** à toute la **famille Dulbecco**. J'espère que nous trouverons toujours de bonnes occasions pour faire la fête ensemble.

Des remerciements aussi à ma seconde famille : je souhaite donc remercier ici toute la **famille de Maria** et particulièrement mon pote **Julien de Maria**, d'être venus à ma soutenance, pour tous nos bons moments et tous ceux qu'ils nous restent encore à vivre ensemble, teintés de musique et de franches rigolades. Merci aussi à **Anthony Agostini** pour ton amitié et ta venue à ma thèse, c'était super sympa qu'on ait pu reformer les Enfants du Lotus et donner ce petit concert ! En complément, j'ai aussi une petite pensée à notre ami **Frédéric Tapiero** avec qui nous avons donné tous nos concerts dans la région marseillaise et quand j'y repense, je vois tous ces bons moments de répétitions, enregistrements et concerts que nous avons partagés pendant presque trois années. C'était vraiment

sympa...

Enfin, je voudrais remercier maintenant ma troisième famille : merci donc à toute la famille **Bailloud - Roy - Guette - Hemery - Coutinho** pour m'avoir accepté ainsi dans cette famille si amicale, si chaleureuse, si ouverte et si agréable. Un merci particulier à **Agnès & Célia Coutinho Bailloud** pour votre aide pendant le pot, ainsi qu'à **Bernadette Bailloud**, à laquelle se rajoutent tous mes remerciements pour les bons repas que nous avons pu partager ensemble les mardi midi... Merci aussi à **Marie-Cécile & Richard Roy** pour toutes vos attentions, votre soutien et votre amitié. J'ai été aussi très heureux de rencontrer **Ulysse, Camille, Nicolas & Michaël Roy** et de partager des moments amicaux (parfois forts d'émotions) avec vous tous. Merci à vous tous !

Enfin, en rapport avec ma troisième famille, je voudrais remercier ici toutes les personnes / choses qui ont faites que je me suis inscrit finalement dans l'école de musique Erik Satie de Saint Martin d'Hères et que j'ai choisi d'y étudier le violoncelle... Par ce biais, outre la pratique et la découverte d'un superbe instrument, j'ai ainsi pu rencontrer celle qui compte aujourd'hui le plus pour moi, **Raphaëlle Roy**. Merci de vivre avec moi, de me supporter, et pour tout ce que tu m'apportes.

Pour terminer, je souhaite ici avoir une pensée pour mon ami du lycée **Frédéric Jean** que la maladie a emporté bien trop tôt. Nous, tes copains du lycée, n'oublierons jamais les moments passés ensemble, ton courage, ton sourire et ton amitié...

A VOUS TOUTES ET TOUS,
JE SOUHAITE VOUS DIRE UN GRAND MERCI !

- Nicolas Rouger¹, Vancouver - Canada 14 Octobre 2008

1. contact : rouger.nicolas@gmail.com

Notations

Variables et constantes physiques :

Nom	Symbole	Valeur	Unité
Température	T		K
Durée de vie des électrons	τ_n		s
Durée de vie des trous	τ_p		s
Charge de l'électron	q	$-1,6 \cdot 10^{-19}$	C
Permittivité du vide	ϵ_0	$8,85 \cdot 10^{-14}$	F/cm
Permittivité relative du Si	ϵ_R	11,9	
Constante de Boltzmann	k	$1,38667 \cdot 10^{-23}$	J/K
Constante de Planck	h	$6,6 \cdot 10^{-34}$	$J \cdot s$
Masse de l'électron	m_0	$9,1 \cdot 10^{-31}$	kg
Masse effective de l' e^- en b. de valence	m_v	$0,59 \cdot m_0$	kg
Masse effective de l' e^- en b. de conduction	m_c	$1,06 \cdot m_0$	kg
Tension de diffusion	U_T	$k * \frac{T}{q}$	V
Énergie de gap à T=0 K	E_{g0}	1,17	eV
Énergie de gap	E_g	$(E_{g0} - \frac{aT^2}{T+b})$	eV
Coefficient a	a	$4,73 \cdot 10^{-4}$	eV/K
Coefficient b	b	636	K
Densité de porteurs en b. de cond.	N_c	$2 \cdot (\frac{2\pi m_c kT}{h^2})^{\frac{3}{2}} \cdot 10^{-6}$	cm^{-3}
Densité de porteurs en b. de val.	N_v	$2 \cdot (\frac{2\pi m_v kT}{h^2})^{\frac{3}{2}} \cdot 10^{-6}$	cm^{-3}
Concentration intrinsèque	n_i	$\sqrt{N_c \cdot N_v} \cdot e^{-\frac{E_g}{2kT}}$	cm^{-3}
Mobilité des électrons	μ_n		$cm^2/V/s$
Mobilité des trous	μ_p		$cm^2/V/s$
Coefficient de diffusion des électrons	D_n	$\mu_n \cdot U_t$	cm^2/s
Coefficient de diffusion des trous	D_p	$\mu_p \cdot U_t$	cm^2/s
Longueur de diffusion des électrons	L_n	$\sqrt{D_n \cdot \tau_n}$	cm
Longueur de diffusion des trous	L_p	$\sqrt{D_p \cdot \tau_p}$	cm

Champs, potentiels électriques et courants :

Nom	Symbole	Valeur	Unité
Potentiel de diffusion	Φ		V
Densité de charge volumique	ρ		C/cm ³
Champ électrique à une constante près	$E'(x)$		V/cm
Constante d'intégration du champ	E_0		V/cm
Champ électrique réel	$E(x)$		V/cm
Coefficients d'ionisations par impact	$\alpha_{n,p}$		cm ⁻¹
Constante de multiplication de porteurs	$K_{1n,p}$		cm ⁻¹
Constante de multiplication (champs)	$K_{2n,p}$		V/cm
Coefficients de multiplication	$M_{n,p,g}$		
Densité de courant minoritaire e^- dans zone P	J_N		A/cm ²
Densité de courant minoritaire h^+ dans zone N	J_P		A/cm ²
Densité de courant totale de diffusion	J_{Diff}		A/cm ²
Densité de courant de saturation	J_S		A/cm ²
Densité de courant de génération th.	J_{gene}^{th}		A/cm ²
Densité de courant de recombinaison th.	J_{recomb}^{th}		A/cm ²
Densité de courant issus de la génération - recombinaison	J_{RG}		A/cm ²
Densité de courant de diffusion suite aux photons	$J_{N,PDiff}^{ph}$		A/cm ²
Densité de courant de conduction suite aux ph.	J_{Cond}^{ph}		A/cm ²
Densité de courant suite aux photons par Bibliographie	J_{Biblio}^{ph}		A/cm ²
Résistivité linéique	ρ_{Elec}		$\Omega \cdot cm$
Résistance de la zone quasi-neutre N	R_N		Ω
Résistance de la zone quasi-neutre P	R_P		Ω

Variables géométriques :

Nom	Symbole	Valeur	Unité
Profondeur de la partie P	W_P		cm
Profondeur de la partie N	W_N		cm
Profondeur totale de la jonction PN	d	$W_N + W_P$	cm
Abscisse de profondeur	x		cm
Abscisse de la jonction métallurgique	X_J		cm
Abscisse du début de ZCE	$Debut$		cm
Abscisse de fin de ZCE	Fin		cm
Étendue de ZCE	W_{ZCE}	$Debut + Fin$	cm
Surface de la jonction	S		cm^2
Concentration en électrons en zone N	N_N		cm^{-3}
Concentration en trous en zone P	P_P		cm^{-3}
Concentration en trous en zone N	P_N		cm^{-3}
Concentration en électrons en zone P	N_P		cm^{-3}
Décroissement logarithmique pour dop. gaussien N	L_nDiff		cm
Décroissement logarithmique pour dop. gaussien P	L_pDiff		cm

Variables spécifiques à la réception optique :

Nom	Symbole	Valeur	Unité
Indice optique	n_{opt}		
Angle d'extinction optique	k_{opt}		
Reflexion optique	R_{opt}		
Longueur d'onde	λ		μm
Vitesse de la lumière	c		m/s
Vitesse d'onde	ν	$\frac{c}{\lambda \cdot 10^{-6}}$	s^{-1}
Coefficient d'absorption	α		cm^{-1}
Vitesse de recombinaison en surface	S_ν		cm/s
Intensité lumineuse du rayon incident	I		W/cm^2
Flux optique émis	Φ		$Photons/cm^2/s$
Flux optique après réflexion en surface	Φ_0	$(1 - R_{opt}) \cdot \Phi$	$Photons/cm^2/s$
Taux de génération issu de l'absorption	G		$Photons/cm/s$
Rendement quantique interne	η_{int}		
Rendement quantique externe	η_{ext}		
Rendement quantique total	η		
Temps de transit en ZCE	$\tau_{Transit}$		s
Capacité de transition	C_T		F

Introduction générale

Aujourd'hui, la question de la qualité de l'énergie est au centre de toutes les attentions : chaque domaine de l'électronique de puissance, du génie électrique et au sens large de la physique, cherche à optimiser la production, le transport et la conversion de l'énergie électrique. L'amélioration des rendements des dispositifs et de la qualité de l'énergie électrique ne sont pas les seuls points d'attentions des recherches actuelles, mais ils sont fortement couplés aux aspects sociaux-économiques : aucun dispositif ne peut être exclu aujourd'hui des contraintes environnementales mais doit pouvoir s'intégrer dans une *logique économique* d'un marché industriel mondial. Les efforts de conception sur chacun des organes de l'énergie doivent donc mener à des produits innovants, afin de limiter le *coût* des dispositifs toujours plus performants.

En ce sens, l'électronique de puissance favorise la gestion et la modulation de l'énergie électrique tout en contrôlant sa qualité. Bien que de nombreuses structures de conversion soient aujourd'hui très performantes, il reste des secteurs où les critères sociaux-économiques empêchent l'émergence et le déploiement de solutions de conversion et de contrôle de l'énergie intégrant les contraintes environnementales. Les applications grand public représentent par exemple un champ d'application encore en attente de dispositifs modulables, simples et économiques mais présentant des niveaux de performances et de qualité énergétique élevés : les dispositifs de conversion AC / AC, AC / DC et les convertisseurs statiques en général peinent ainsi à améliorer la qualité et la gestion des flux d'énergie dans les dispositifs domestiques.

Les travaux de ce mémoire de thèse s'inscrivent donc dans la logique de simplification de la réalisation et de la mise en œuvre des convertisseurs de puissance, afin de favoriser leur déploiement massif dans tous les domaines concernés : l'intégration monolithique de fonctions avancées au sein des interrupteurs de puissance est une réponse à l'amélioration des performances des convertisseurs d'électronique de puissance, tout en limitant le coût économique des solutions de gestion de l'énergie électrique. Le transistor de puissance vertical est l'organe actif principal de ces convertisseurs de puissance et son contrôle est aujourd'hui encore la source de nombreuses problématiques. L'objectif de cette thèse est de faire émerger des solutions innovantes, en dotant les transistors de puissance verticaux de fonctions d'interfaces avancées.

Le premier chapitre de ce mémoire de thèse présente le contexte de l'étude et la problématique de la commande des interrupteurs de puissance en général. La rapide étude bibliographique qui est faite montre que deux systèmes restent aujourd'hui un verrou pour la mise en œuvre des transistors de puissance : l'alimentation flottante de la commande rapprochée et l'intégration d'un étage d'isolation galvanique performant. Nous attachons ainsi un soin particulier à la validation d'une structure permettant l'autoalimentation de la commande rapprochée, en prenant en compte une logique d'intégration monolithique à moindre coût, ainsi que la conception d'un récepteur optique intégré au sein de transistors de puissance verticaux.

Forts des problématiques exposées dans ce premier chapitre, nous avons lancé un effort de compréhension et de modélisation des phénomènes dans la réalisation des fonctions intégrées nécessaires à la concrétisation d'outils d'interface au sein des transistors de puissance verticaux. La modélisation analytique fine est la seule démarche permettant une compréhension optimale des phénomènes, et représente un outil nécessaire aux phases de conception des dispositifs monolithiques. En conséquence, nous consacrons le second chapitre de ce mémoire de thèse à la modélisation des fonctions offertes par le procédé de fabrication des transistors de puissance verticaux, que ce soit pour l'alimentation de la commande rapprochée ou l'intégration monolithique d'un récepteur optique.

Grâce à la validation des systèmes du premier chapitre, et la modélisation du second, nous pouvons nous lancer dans la conception et la réalisation des fonctions d'interfaces au sein de transistors de puissance verticaux. Le troisième chapitre utilise donc les conclusions et les outils des chapitres précédents, afin de dimensionner et de concevoir intégralement les fonctions d'autoalimentation de la commande rapprochée et de récepteur optique intégré. Un accent particulier est apporté sur l'ensemble des variantes de conceptions permettant de s'inscrire totalement dans une démarche d'intégration monolithique au sein de transistors de puissance verticaux de type VDMOS. A la fin de ce chapitre, nous validons de façon expérimentale les dispositifs réalisés : les résultats pratiques montrent que chacune des fonctions est opérationnelle et que l'impact de l'intégration monolithique sur leurs propriétés est maîtrisé. L'ensemble de ce troisième et dernier chapitre propose une démarche pédagogique permettant de faciliter la poursuite future des travaux présentés dans cette thèse.

Ces travaux favorisent l'émergence de dispositifs de conversion innovants, tout en limitant le coût économique de tels systèmes. Les perspectives offertes par ces travaux sont donc importantes et proposent de repenser la conception et la mise en œuvre de convertisseurs d'électronique de puissance en limitant les contraintes sur les transistors de puissance et leurs fonctions d'interfaces.

Chapitre I

Une problématique en Electronique de Puissance : la commande des interrupteurs de puissance

The question is not what you look at, but what you see.

Henry David Thoreau

SOMMAIRE

I.1	INTRODUCTION	5
I.2	LA PLACE DE L'INTERRUPTEUR DE PUISSANCE DANS L'ÉLECTRONIQUE DE PUISSANCE	5
I.2.a	Les convertisseurs de puissance	5
I.2.b	L'interrupteur de puissance commandé	6
I.2.c	Les différents circuits de commande et de contrôle des interrupteurs de puissance	9
I.3	L'INTÉGRATION AU SEIN ET AUTOUR DU COMPOSANT DE PUISSANCE	13
I.3.a	Intégration hybride	13
I.3.b	Intégration monolithique	14
I.3.c	Quelles fonctions doit-on intégrer ?	15
I.4	L'AUTOALIMENTATION DE LA COMMANDE RAPPROCHÉE POUR INTERRUPTEUR DE PUISSANCE	16
I.4.a	Solution Classique : le régulateur linéaire	16
I.4.b	Solutions Mosfet / Mosfet	17
I.4.c	Solution Bipolaires / Mosfet	26
I.4.d	Solution Thyristors / IGBT	29
I.4.e	Evolutions et fonctionnalités de l'autoalimentation	30
I.5	L'ISOLATION GALVANIQUE AUTOUR DU COMPOSANT DE PUISSANCE : UN DÉFI MAJEUR	50
I.5.a	Le besoin d'une isolation galvanique	50
I.5.b	Quelles solutions pour réaliser cette isolation ?	51
I.5.c	Le défi de l'isolation et de la commande optiques en électronique de puissance	55
I.6	CONCLUSION	62

Résumé

Dans ce premier chapitre, nous faisons un état de l'art rapide sur la commande des interrupteurs de puissance et les convertisseurs de puissance en général. Les fonctions autour des composants de puissance sont présentées, ainsi que quelques pistes relatives à l'intégration monolithique de ces fonctions. Un soin particulier est apporté sur deux fonctions précises nécessaires à la commande des interrupteurs de puissance : l'alimentation de la commande rapprochée par prélèvement sur le courant de puissance

et l'isolation galvanique entre la commande éloignée et la commande rapprochée. Chacune de ces deux fonctions est présentée en détail, partant de l'existant et présentant les avancées issues du travail de cette thèse : identification des modes de fonctionnement, conception et réalisation de fonctions supplémentaires, pour le circuit d'alimentation de la commande rapprochée, ainsi que pour l'intégration d'une isolation optique au sein du transistor de puissance. Un soin particulier est apporté à la démarche de conception de chacune de ces deux solutions, démontrant comment une logique d'intégration monolithique bas coût peut modifier la structure de ces solutions.

I.1 Introduction

L'interrupteur de puissance, qu'il soit commandé ou non, est aujourd'hui le cœur névralgique du convertisseur de puissance. Dans ce chapitre, nous partons d'un rappel autour des contraintes sur ces composants de puissance, en nous focalisant sur les interrupteurs commandés, permettant la gestion à haut rendement des flux d'énergie électriques. Quelques fonctions nécessaires à ce conditionnement de l'énergie électrique sont présentées, et plus particulièrement les fonctions qui doivent être rattachées à la commande des interrupteurs de puissance. Deux problématiques précises sont présentées : l'alimentation de la commande rapprochée et l'organe permettant de transférer les ordres de commande via une isolation galvanique. La prise en compte d'un contexte industriel toujours plus exigeant en terme de performances, fiabilité et coût économique nous a orienté vers des solutions à surcoût technologique faible. Nous allons voir comment ce contexte contraignant peut modifier et faire émerger de nouvelles façons de réaliser chacune de ces deux fonctions par une intégration monolithique au sein de transistors de puissance verticaux.

I.2 La place de l'interrupteur de puissance dans l'électronique de puissance

I.2.a Les convertisseurs de puissance

La raison d'être de l'électronique de puissance est la gestion et la modulation des transferts d'énergie électrique à haut rendement. L'organe principal assurant cette gestion des flux d'énergie est appelé convertisseur de puissance et peut se subdiviser lui-même en plusieurs sous-systèmes fonctionnels et structurels, tels que les composants actifs, les composants passifs, les organes de contrôle et de commande, ainsi que la connectique et la gestion du refroidissement. La mise en œuvre de l'électronique de commutation, permettant d'atteindre des rendements les plus proches possibles de l'unité, a permis un essor considérable de l'électronique de puissance dans notre vie de tous les jours à partir du milieu du XX^{eme} siècle : depuis les faibles puissances ($1W \Rightarrow 10kW$: redressement non commandé du réseau domestique, gestion de l'éclairage, ordinateurs, téléviseurs, chauffage etc...) vers les fortes puissances ($100kW \Rightarrow 10GW$: gestion des machines tournantes dans les voitures électriques, les tramways, les trains, création et gestion des liaisons électriques très haute puissance à courant continu, centrales délocalisées de type solaire, éolien ou autres, etc...). La figure I.1 est un parfait exemple du large spectre balayé par l'électronique de puissance aujourd'hui.

Aujourd'hui l'innovation en électronique de puissance s'articule autour des contraintes toujours plus fortes imposées par l'ascension exponentielle de nos besoins : mieux gérer les sources d'énergies primaires tout en offrant des fonctions toujours plus évoluées à *coût* réduit. Cette fonction *coût* peut évidemment prendre différentes formes selon le contexte : poids, volume, rendement, perturbations sur le convertisseur et son environnement, coût technologique, coût économique, protection et fiabilité, durée de vie des dispositifs. Cette innovation implique tous les acteurs du génie électrique et de la physique en général : l'aspect multi-physique dans les transferts d'énergie impose un échange permanent entre

les communautés. Ces échanges se font autour des convertisseurs de puissances selon les lois de la thermique, de l'électromagnétisme, de la physique du semiconducteur, des théories d'asservissement, des lois de la mécanique et plus généralement de tous les domaines de la physique et de la chimie appliquées.

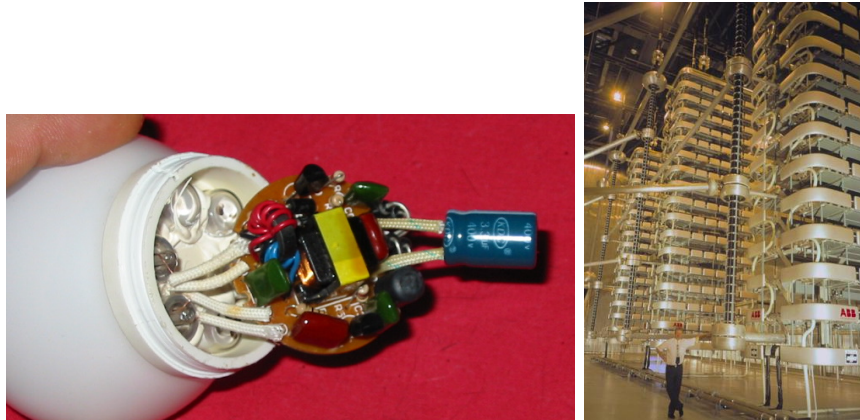


FIGURE I.1 – Le convertisseur de puissance : du W (à gauche ampoule à basse consommation d'énergie) au GW (à droite salle de thyristors sur un poste de liaison à courant continu en Chine : Tension totale en sortie 500kV pour un transfert de puissance bidirectionnel de 1500MW)

L'innovation en 2008 sur les convertisseurs de puissance est au confluent de ces sciences, en vu de l'amélioration des performances de la gestion des flux d'énergie modulables. Durant trois années, les travaux de cette thèse se sont inscrits dans le courant de l'innovation nationale et mondiale sur les interrupteurs de puissance commandés et leur association aux convertisseurs de puissance. L'interrupteur de puissance, comme chacun des organes composant les convertisseurs, est un élément nécessaire au fonctionnement du convertisseur de puissance, et ses contraintes peuvent varier selon les caractéristiques du convertisseur de puissance : puissance maximale à transiter, contraintes de poids et de volume, présence d'une isolation galvanique entre la source d'énergie et la charge, contraintes d'ondulation des grandeurs en entrée et en sortie, pollution harmonique, flexibilité du convertisseur ou au contraire convertisseur dédié à une application précise totalement figé, modes de régulation, etc... Ce contexte des convertisseurs d'électronique de puissance est celui des travaux conduits dans cette thèse, qui s'articulent autour de l'interrupteur de puissance commandé.

I.2.b L'interrupteur de puissance commandé

I.2.b-i Quelques types d'interrupteurs commandés

L'état de l'art étant très fourni et complet sur les interrupteurs de puissance [8] [9] [45] (ainsi que de nombreux ouvrages sous la référence nationale 621.38 en bibliothèques et médiathèques), nous ferons ici un rappel très rapide. Les critères de choix d'un interrupteur de puissance sont les suivants :

- Ses points de fonctionnements dans les cadrans du plan ($I;V$), autrement dit ses

- directionnalités en tension et courant (unidirectionnel ou bidirectionnel - Voir figure I.2),
- Son type de commande : ouverture et fermeture spontanée ou commandée,
 - Sa fréquence de commutation,
 - Ses calibres en tension et en courant,
 - Ses éléments *parasites* : capacités dynamiques (vitesses de commutation - pertes en commutation) et résistances statiques (état passant - pertes à l'état passant)
 - Son mode de commande : pilotage par effet de champ (Jfet, Mosfet, Igbt, ...) ou par injection de porteurs (transistors bipolaires, thyristor, ...)
 - Ses contraintes thermiques : environnement, mode d'évacuation des calories, température maximale autorisée.

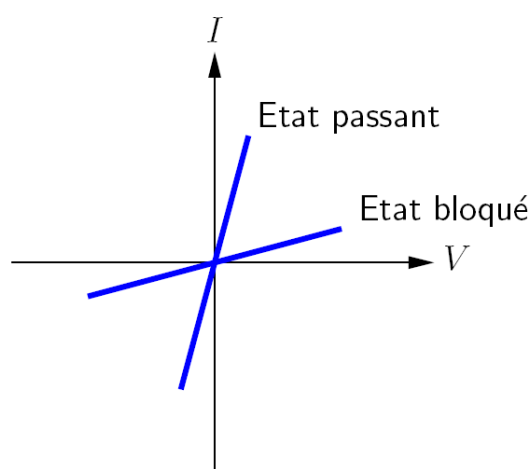


FIGURE I.2 – Représentation des 4 quadrants dans le plan statique ($I; V$) d'un interrupteur de puissance [65] [45]

A la vue de ces contraintes et éléments dimensionnants, il ressort que la majeure partie des applications du marché est occupée selon la figure I.3. Ceci est évidemment un schéma réducteur, qui ne tient pas compte de toutes les contraintes énumérées ci-dessus, et présente une vue sur les domaines d'application des composants de puissance.

D'autres interrupteurs existent et sont synthétisés par la mise en série et parallèle de différents composants (Mos ou Igbt, diode de puissance, etc...) selon la directionnalité et les modes de commande de ces interrupteurs [45] [21] [97]. Cet agencement de différents interrupteurs de puissance permet de former l'interrupteur global du convertisseur de puissance, selon des techniques d'intégration monolithique, hybride ou implémentation discrète. Dans ce contexte assez varié, nous pouvons citer quelques travaux utilisant des transistors de puissance autres que ceux de la figure I.3 : composants à fonction disjoncteur autocommandés [96] [23], composants basse tension et haute intégration SmartPower [77], composants quatre quadrants monolithiques ACS [39] [29], composants de puissance à capteur intégré de courant et / ou température [24]. La liste peut être rallongée et complétée selon les applications, les gammes de puissances, de fréquences et toutes les contraintes citées plus haut.

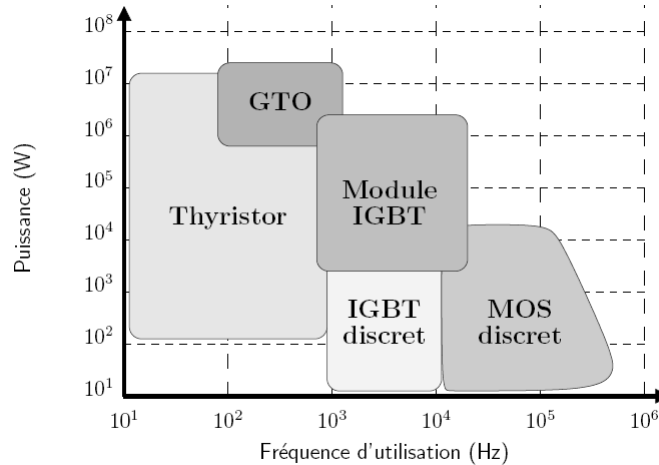


FIGURE I.3 – Domaines d'applications des interrupteurs de puissance selon la fréquence et la puissance de l'application [65]

Dans cette thèse, nous nous sommes intéressés aux interrupteurs commandés à l'ouverture et à la fermeture, et plus particulièrement aux transistors verticaux de puissance à grille isolée de moyenne puissance (tension de 600 à 3300V et courants de 0,5 à plus de 10A) tels que les IGBT et les VMOS, composants simples à commander (effet de champ) et relativement répandus dans la vie de tous les jours, c'est à dire dans les applications de type *gestion des échanges énergétiques depuis le réseau domestique*.

I.2.b-ii Intérêts des interrupteurs commandés dans les convertisseurs d'électronique de puissance

Afin de contrôler et d'adapter les transferts d'énergie, les convertisseurs d'électronique de puissance doivent nécessairement utiliser au moins un interrupteur de puissance commandé. La gestion du rapport cyclique du ou des interrupteurs (ou angle de retard à l'amorçage pour des interrupteurs à base de thyristors) permet de modifier les transferts d'énergie, tout en contrôlant la fréquence de commutation ou les grandeurs du convertisseur. Différentes techniques de commande existent permettant de gérer les flux d'énergie dans le convertisseur par les interrupteurs de puissance ; on peut citer les Modulations de Largeurs d'Impulsions (intersective, précalculée, vectorielle) ou des techniques non linéaires (commande hystérésis) ainsi que la commande à résonance (figure I.4).

Ces techniques de contrôle et de commande des interrupteurs de puissance imposent alors une électronique importante associée à chaque interrupteur commandé, mais permettent ainsi de contrôler des flux d'énergie relativement élevés avec un très haut rendement [28] [31]. Grâce à ce contrôle des interrupteurs de puissance, nous pouvons maîtriser de façon quasi-exhaustive toutes les grandeurs du convertisseur et de sa charge associée, tant que l'interrupteur de puissance a une influence sur ces grandeurs : contrôle des puissances (active, réactive), des courants, des tensions, de la vitesse ou de la position de la charge, de l'accélération, etc... La suite de cette partie va présenter quelques caractéristiques des circuits associés aux transistors de puissance, afin de voir quels sont les besoins autour des transistors de puissance pour ce contrôle et leur commande (figure I.5).

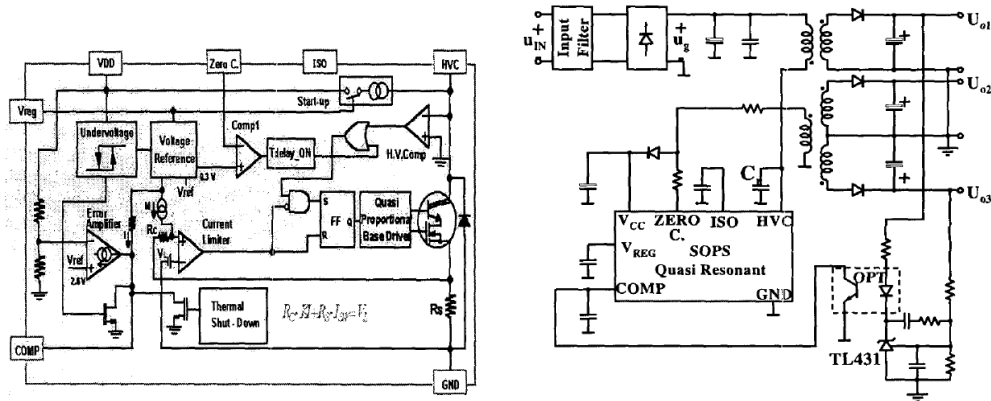


FIGURE I.4 – Exemple d'un convertisseur de type Flyback 160W multi sorties utilisant un composant intelligent de type SmartPower avec un mode de commande mêlant commande douce et commande dure [101]

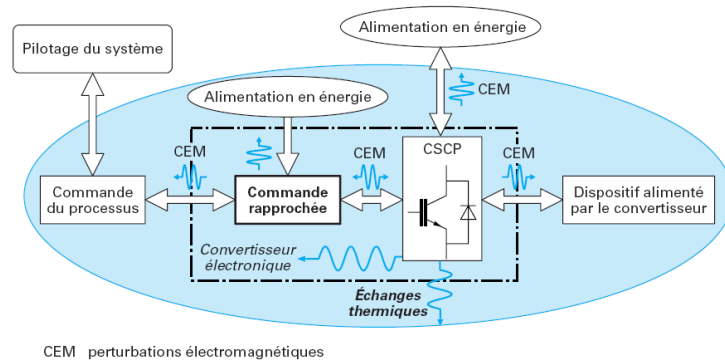


FIGURE I.5 – Fonction interrupteur et environnement associé au sein du système [58]

I.2.c Les différents circuits de commande et de contrôle des interrupteurs de puissance

I.2.c-i Présentation des éléments nécessaires à la commande et au contrôle des interrupteurs de puissance

De façon générale, les éléments nécessaires à la commande et au contrôle des interrupteurs de puissance peuvent être classés selon la figure I.6, comportant globalement un circuit de commande rapprochée avec les fonctions d'apport en énergie de commutation et de contrôle, et un circuit de commande éloigné le plus souvent isolé de l'interrupteur de puissance.

Le détail des fonctions nécessaires aux transistors de puissance est, là aussi, relativement bien abordé dans l'état de l'art [57] [58] [59] ou encore [106] [75] et [39]. Dans le cas des transistors de puissance à grille isolée tels que les IGBT et VMOS (de type N), la commande de l'interrupteur à l'ouverture et à la fermeture se fait grâce à la mise en place d'un champ électrique positif suffisant (fermeture), nul ou négatif (ouverture) entre la grille et le potentiel de Source ou d'Emetteur [8] [9]. Ce contrôle de la commutation

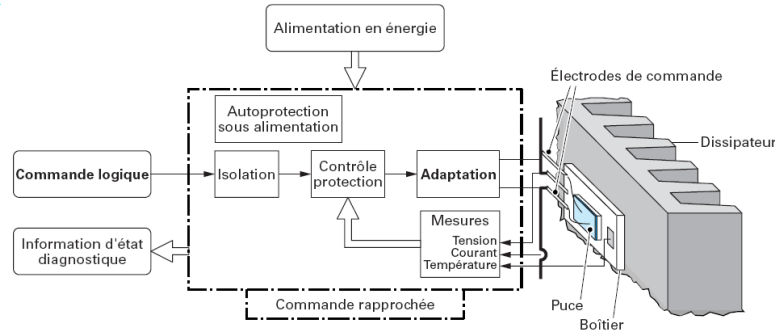


FIGURE I.6 – Schéma synthétique présentant l'environnement électronique d'une fonction interrupteur [58] à commande discrète

par niveau de tension est particulièrement intéressant car il limite l'énergie nécessaire au pilotage de ces transistors de puissance : l'énergie à fournir correspond aux mouvements de charges pour les changements d'état, au niveau de la capacité d'entrée du transistor de puissance. Les pics de puissance pour le changement d'état de ces transistors peuvent être très importants, et imposent souvent un circuit d'amplification de courant au sein de la commande rapprochée. L'alimentation de cette commande rapprochée doit elle aussi supporter ces apports brefs de forte puissance, tandis que hors des changements d'état, la commande rapprochée compense seulement les faibles fuites des capacités dans les états statiques (totalement négligeables à l'échelle des courants).

Pour les transistors de puissance à grille isolée, le contrôle du champ électrique de commande par action sur la grille ne peut se faire que par la différence de potentiel entre la grille et le potentiel de référence du transistor (Source ou Emetteur) ; pour cette raison, tous les circuits composants la commande rapprochée de chaque transistor de puissance doivent être référencés à ce potentiel (figure I.7). Nous verrons par la suite que cette remarque peut être une contrainte relativement importante dans le cas de la mise en série d'interrupteurs commandés, ou plus généralement dans le pilotage de transistors à potentiel de Source ou d'Emetteur flottant [75].

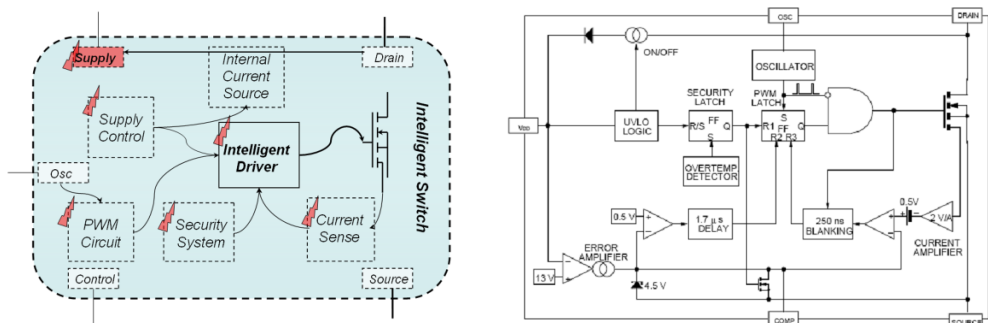


FIGURE I.7 – Exemples d'un interrupteur intelligent de type VMOS et ses fonctions de contrôle et de commande associées : à gauche schéma qualitatif général et à droite exemple de composant VIPer 700V 7A [3]

Pour conclure sur cette partie, nous pouvons présenter quelques détails sur les fonctions

nécessaires au contrôle et à la commande de transistors de puissance à grille isolée :

- L'isolation galvanique entre la commande externe et la commande rapprochée.
- Des fonctions logiques associées à la gestion et l'élaboration de la loi de commande,
- Un étage d'amplification en puissance pour la commande rapprochée,
- L'alimentation et/ou la gestion de l'alimentation de la commande rapprochée, référencée au potentiel de plus basse valeur de l'interrupteur (Source ou Emetteur),
- Un observateur de température,
- Un observateur de tension (exemple du capteur d'anode [24]) et / ou de courant de l'interrupteur de puissance [3],
- Des dispositifs de protection (évacuation de l'énergie de surtension par exemple [7]),
- Un oscillateur local et éventuellement un modulateur de largeurs d'impulsions,

Selon les contraintes du convertisseur de puissance et de chaque interrupteur commandé, différentes solutions techniques peuvent être réalisées, certains circuits pouvant assurer plusieurs fonctions (exemple isolation galvanique et apport d'énergie de commutation par un seul circuit tel que les transformateurs d'impulsion ou la commande optique de puissance), et certains circuits peuvent être supprimés ou remplacés (circuit MLI remplacé par une loi de commande non linéaire, étage d'isolation non nécessaire si le transistor de puissance est référencé au même potentiel que la commande éloignée, etc...). Nous allons voir maintenant quelles spécifications doivent comporter les circuits de commande du transistor de puissance dans le cas général où son potentiel de référence est flottant.

I.2.c-ii La spécificité de l'interrupteur High Side

Par opposition aux transistors *Low Side* dont le potentiel de référence est connecté à un point *fixe* du convertisseur de puissance (on parle de *point froid* par exemple), les transistors *High Side* sont les transistors dont le potentiel de référence est flottant [57] [59] [75] : dans la cellule de commutation classique d'électronique de puissance (deux interrupteurs en série avec sortie sur le point milieu), il s'agit du transistor *du haut* dont le potentiel dépend du circuit de charge, ainsi que de l'état des transistors. Afin d'illustrer cette problématique, on peut étudier par exemple une des structures les plus simples *a priori* d'électronique de puissance, le hacheur série (figure I.8).

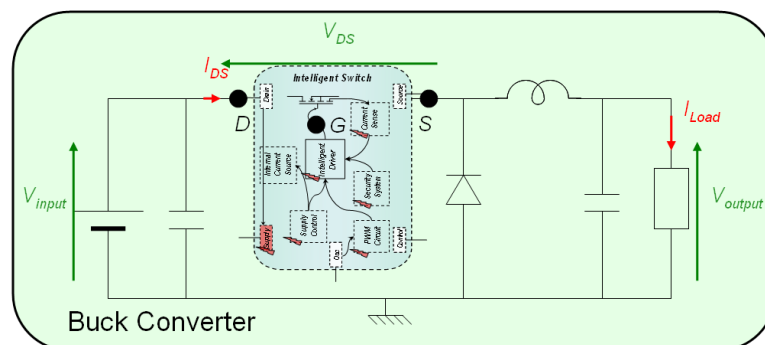


FIGURE I.8 – Mise en œuvre d'un composant de puissance dans une structure hacheur série (charge référencée à la masse du convertisseur)

Dans cette structure, l'interrupteur commandé est l'interrupteur *High Side* et la diode fait office de composant *Low Side* non piloté (dans une version deux ou quatre quadrants, la diode est remplacée par un interrupteur différent). Pour commander le transistor de puissance, il faut donc contrôler la différence de potentiel entre sa grille et sa source. On peut voir sur la figure I.9 l'évolution de ces 2 potentiels par rapport à la référence du convertisseur de puissance (Source d'entrée 400V environ).

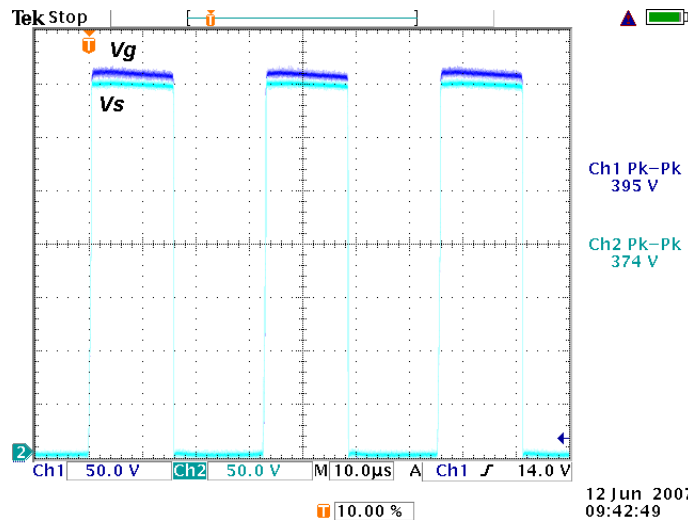


FIGURE I.9 – Visulation du potentiel flottant dans un hacheur série à transistor de puissance High Side

Le potentiel de référence peut atteindre une valeur importante, proche de la valeur de la source de tension en entrée, lorsque l'interrupteur est passant (dans la structure d'exemple de la figure I.8). De plus, le potentiel de grille dans ce cas là doit être supérieur au potentiel de source, et il est donc obligatoire que le circuit de commande du transistor de puissance soit alimenté par une source de tension référencée à ce potentiel flottant. Cette alimentation de la commande rapprochée peut devenir problématique dans le cas de tensions élevées ou bien de dispositifs de conversion polyphasés [33] [71], nécessitant alors des alimentations flottantes pour chacun des nombreux transistors de puissance.

Il existe plusieurs solutions permettant de répondre aux contraintes de la commande des interrupteurs High Side, telles que la méthode Bootstrap, les pompes de charges, l'alimentation par un enroulement magnétique supplémentaire dans les structures à stockage et transfert magnétique, les transformateurs d'impulsions [81] [83] [82] [43] [55] [74]. Un état de l'art sur ces solutions est disponible entre autres dans [75] [59] et [57]. Une solution particulièrement intéressante, en termes de performances, de possibilités d'intégration et de coût, a été développé précédemment dans [106] et [75], et a fait l'objet d'une étude profonde et d'améliorations dans cette thèse. Cette solution baptisée *autoalimentation de la commande rapprochée* sera détaillée plus loin.

Pour conclure sur cette partie introduisant l'interrupteur de puissance et sa mise en œuvre, on peut voir que les fonctions que doit remplir celui-ci sont nombreuses et influencent ses performances. Afin d'améliorer celles-ci, les industriels et chercheurs du monde entier aspirent à intégrer toutes les fonctions nécessaires à chaque interrupteur de puissance, selon différents modes d'intégration : l'intégration hybride mêlant des composants sur des

substrats différents, et l'intégration monolithique où les fonctions sont intégrées en surface de l'interrupteur de puissance.

I.3 L'intégration au sein et autour du composant de puissance

I.3.a Intégration hybride

Les éléments constitutifs des convertisseurs de puissance sont nombreux et de types variés : connectique, composants passifs et actifs, composants de contrôle et composants de puissance, composants de filtrage ou de stockage, etc... Les gains apportés par l'intégration sont eux aussi multiples : simplicité de mise en œuvre, augmentation de la fiabilité, gain de poids, de volume et de performances, limitation des dispersions à travers des procédés de fabrication collectifs, optimisation des couplages (principalement thermiques et électromagnétiques), réduction du rayonnement et des couplages électromagnétiques avec les autres éléments du convertisseur et son monde extérieur. Très tôt, les équipes d'électronique de puissance ont voulu faire profiter les convertisseurs de puissance des gains apportés par l'intégration ; une des premières réalisations intégrées est le module de puissance, composé d'une même semelle d'évacuation thermique, et y regroupant plusieurs éléments actifs de puissance. On peut citer quelques modules du type [4] [5] qui regroupent dans le même boîtier plusieurs IGBT avec leurs diodes antiparallèles, pouvant former ainsi un bras d'onduleur complet.

Vu que pour ce genre de réalisation on vient *hybrider* des composants sur une même semelle, la plupart de ces composants ayant un substrat à un potentiel différent (ces derniers sont isolés les uns des autres par un diélectrique performant, conducteur thermique), on parle alors d'intégration hybride. En effet, l'ensemble intégré est composé d'éléments hétérogènes qui sont assemblés (figure I.10 par exemple).

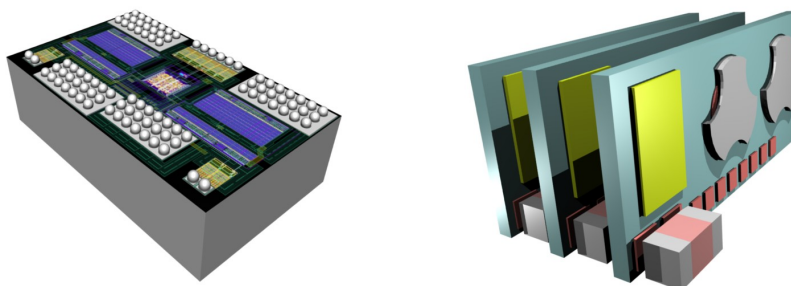


FIGURE I.10 – Combinaison d'une intégration monolithique et hybride dans les travaux de O. Deleage [41] : A gauche, la puce de puissance (1 W : 3,3 V et 300mA) avec sa commande intégrée. A droite, son hybridation au sein d'une cellule élémentaire de conversion avec isolation galvanique, mise ensuite en réseau afin d'augmenter la puissance totale de ce réseau de microconvertisseur

Outre la réalisation de modules de puissance, on parle aussi d'intégration hybride dans

la réalisation de l'assemblage des fonctions nécessaires au convertisseur de puissance : mise en commun des circuits magnétiques nécessaires à un convertisseur polyphasé [33], réalisation d'un composant intégré proposant en même temps les fonctions L, C et T (figure I.11 [104]).

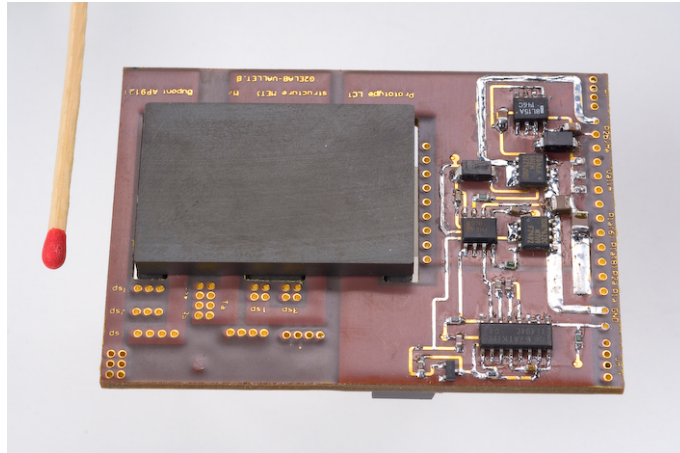


FIGURE I.11 – Convertisseur à transfert d'énergie mixte 60W avec un composant intégré LCT et une utilisation des métallisations externes pour réaliser l'hybridation des composants actifs [104]

Bien que les gains apportés par ce type d'intégration soient importants, l'intégration hybride repose sur des techniques d'assemblage qui peuvent rajouter un coût et limiter l'intérêt de ces solutions intégrées. De plus, ce type d'intégration est bien adapté aux fortes puissances, mais est moins adapté pour les faibles puissances où des gains importants sont atteints via l'intégration monolithique ; L'intégration monolithique cherche à utiliser la matière d'un composant et y insérer de nouvelles fonctionnalités ou composants.

I.3.b Intégration monolithique

Dans l'effort de recherche et de développement conduit en intégration monolithique, on cherche à faire cohabiter des fonctions différentes au cœur d'un même matériau. Ce processus d'intégration fonctionnelle est décrit dans des publications récentes telles que [98] ou [35]. Faire cohabiter des fonctions différentes sur un même substrat n'est pas chose aisée et cela nécessite des précautions telles que la mise en place d'une isolation entre ces différentes fonctions : on peut citer par exemple la figure I.12 utilisant une auto-isolation par jonction entre les cellules de puissance à haute tension et les cellules de commande basse tension [103] [109], ou encore la figure I.13 utilisant un procédé innovant d'isolation (membrane isolante [25] [26] ou encore Silicon On Nothing).

L'apport de l'intégration monolithique est indéniable en terme de fiabilité, de performances et potentiellement en terme de coût si les procédés de fabrication ne sont pas ou peu modifiés par les fonctions intégrées. Forts des premiers résultats encourageant de [75] [39] ou encore [7], nous avons choisi de rester limité dans une problématique d'intégration monolithique à bas coût comportant peu de modifications du procédé de fabrication du

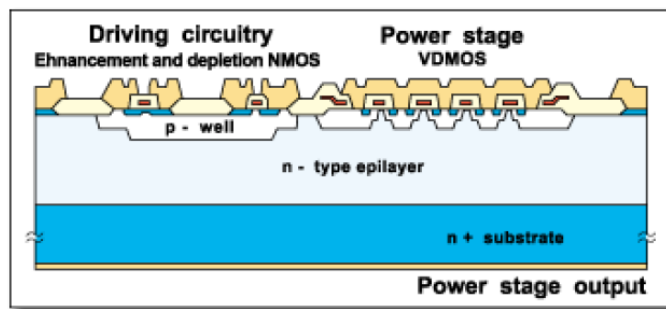


FIGURE I.12 – Technologie VIPer intégrant monolithiquement des fonctions de commande au sein d'un transistor vertical de puissance 600V [77]

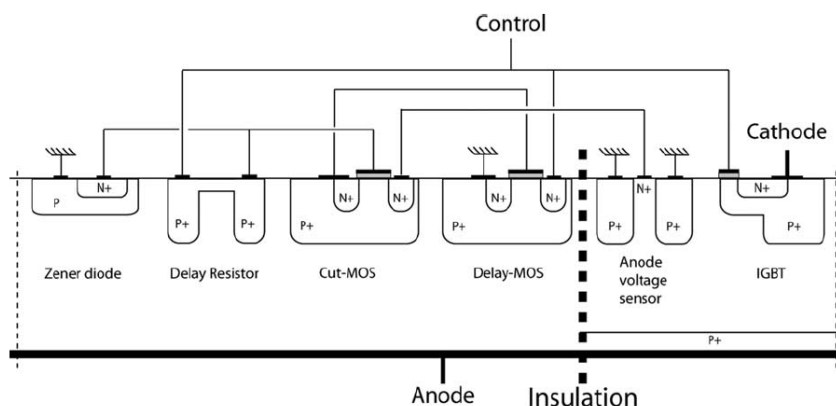


FIGURE I.13 – Circuit de protection contre les court-circuits, intégré monolithiquement au sein de transistor de puissance IGBT [24]

transistor de puissance. Nous invitons aussi le lecteur à se référer à [37] ou [36] pour avoir une vue plus globale sur la démarche d'intégration monolithique fonctionnelle.

I.3.c Quelles fonctions doit-on intégrer ?

Comme nous l'avons vu précédemment, les fonctions nécessaires à l'interrupteur de puissance sont nombreuses et certaines d'entre elles sont déjà intégrées au sein de transistors de puissance à grille isolée : la commande rapprochée [39] [77], la protection en surtension [7] [6] [107], une alimentation flottante pour la commande rapprochée à faible rendement pour le démarrage du convertisseur [3] ou en partie intégrée [75], des circuits logiques de commande [109], l'amélioration des performances dynamiques par tranchées [46], etc... Deux points précis ont suscité notre curiosité scientifique :

- L'intégration monolithique totale, à bas coût, de la partie *active* d'une solution d'alimentation flottante pour la commande rapprochée,
- L'intégration monolithique, à bas coût, d'un organe récepteur, permettant l'isolation galvanique entre l'interrupteur de puissance et sa commande externe.

A notre niveau de connaissance, il n'existe en 2008 aucune de ces solutions déjà réalisées et la suite de ce chapitre va présenter de façon exhaustive toute la problématique relative

à la conception de chacun de ces deux points précis.

I.4 L'autoalimentation de la commande rapprochée pour interrupteur de puissance

I.4.a Solution Classique : le régulateur linéaire

Cette solution est historiquement la plus ancienne : elle permet de créer une alimentation basse puissance (quelques mW), référencée au potentiel de référence du transistor de puissance, et servant à alimenter son circuit de commande rapprochée. On peut trouver une version de cette première autoalimentation dans [1]. Cette autoalimentation est basée sur le principe de la régulation linéaire (figure I.14) et sur le stockage d'énergie dans une capacité C_S , prélevée directement sur la partie puissance :

- Lorsque le transistor de puissance est dans son état bloqué, une tension V_{Switch} différente de zéro est alors disponible. Cette tension permet la recharge de C_S , puis la régulation de cette énergie est assurée par la polarisation de la diode zéner D_Z à travers la résistance R_{Bias} .
- Lorsque le transistor de puissance est dans son état passant, la tension V_{Switch} est faible. La capacité C_S va naturellement se décharger, délivrant pendant cette phase un courant constant nécessaire au fonctionnement du circuit de commande du transistor de puissance. Cette phase est appelée *Autoalimentation* de part sa nature et ce circuit est ainsi nommé par extension.
- La diode D_B empêche la décharge de la capacité par le transistor de puissance lors de son état passant, dans le cas où la tension à l'état passant du transistor est inférieure à la tension d'autoalimentation.

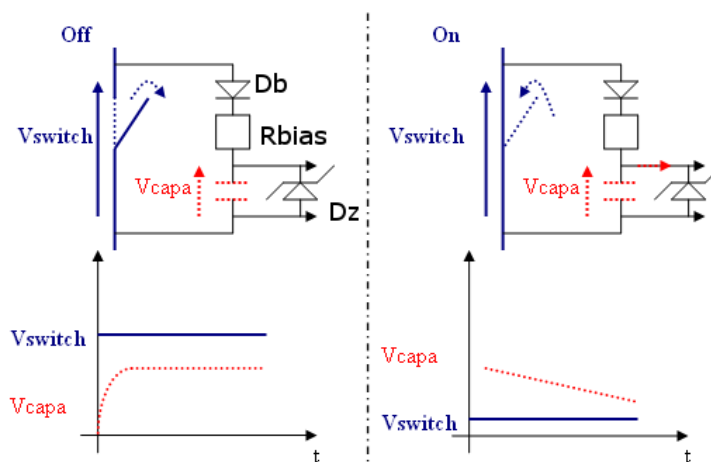


FIGURE I.14 – Première version de l'autoalimentation pour la commande de transistors de puissance

On voit donc que ce simple circuit permet de créer une alimentation disponible pour la commande rapprochée de tout type de transistor de puissance (High side et Low side), par des cycles de recharge - stockage - décharge. Cette solution repose exclusivement sur l'état du transistor de puissance à alimenter, au contraire d'autres solutions reposant sur l'état de transistors voisins (type bootstrap ou pompe de charge [57] [59]). Néanmoins, plusieurs problèmes existent notamment autour de cette solution :

- Comme toute régulation linéaire, le rendement en régulation est relativement faible, égal au ratio $\frac{V_{CS}}{V_{Switch}}$, particulièrement défavorable dans le contexte de l'électronique de puissance haute tension.
- Le temps de réponse de ce circuit pour la recharge de la capacité de stockage, lors du passage de l'état ON à l'état OFF du transistor de puissance, est relativement important.
- Le courant de polarisation statique à travers R_{Bias} est fonction du courant consommé par la commande rapprochée.
- L'intégration monolithique de ce circuit n'est pas envisageable, notamment à cause du compromis sur la résistance de polarisation R_{Bias} [106].
- La valeur de la capacité de stockage doit être ajustée en fonction de la durée de l'état ON du transistor de puissance, ainsi que de la consommation de la commande rapprochée et la chute de tension autorisée sur la tension V_{CS} pendant cette même phase.

Dans le but d'améliorer les performances statiques et dynamiques de cette solution, ainsi que ses possibilités d'intégration monolithique, différentes évolutions ont été proposées. Afin de ne pas alourdir ce mémoire de thèse, nous invitons le lecteur à se référer à la bibliographie particulièrement fournie à ce sujet, notamment [106], [75], [38] et [35]. La partie suivante se focalise sur l'état d'avancée dans cette thèse autour de ce circuit, après les travaux de R. Mitova [75] et G. Verneau [106].

I.4.b Solutions Mosfet / Mosfet

I.4.b-i Principe de fonctionnement

La version de l'autoalimentation décrite sur la figure I.15 permet de résoudre certains des problèmes soulevés plus haut :

- Le temps de réponse pour la recharge de la capacité de stockage C_S est amélioré par l'action des capacités parasites du transistor auxiliaire (surtout sa capacité C_{GD}).
- Le courant de polarisation statique à travers R_{Bias} est indépendant du courant consommé par la commande rapprochée alimentée par C_S .

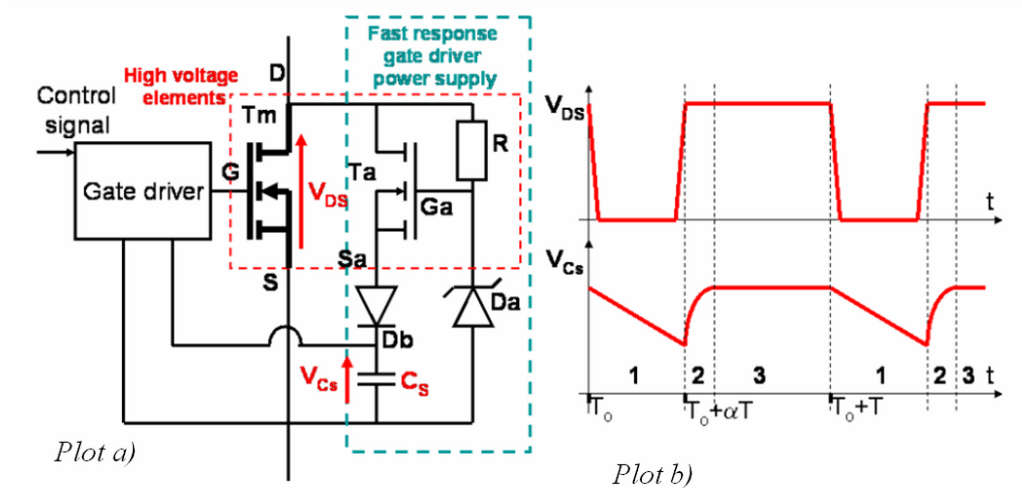


FIGURE I.15 – Autoalimentation pour la commande de transistors de puissance grâce à un transistor auxiliaire de type Mosfet

Un des gros intérêts de cette solution est la compatibilité technologique entre les éléments actifs du dispositif d'alimentation auxiliaire et le transistor principal. En particulier, les deux transistors de puissance ont leur drain commun, et doivent tenir la même tension égale à la tenue en tension du transistor de puissance (de l'ordre de 600V pour les Mosfet verticaux destinés au réseau redressé). Ceci a permis l'intégration monolithique du transistor auxiliaire au sein du transistor principal pendant la thèse de Mitova (figure I.16 [75]). Concernant les caractéristiques des autres composants :

- La diode à avalanche doit avoir une tension d'avalanche de l'ordre de la quinzaine de Volts.
- Afin de prévenir la décharge de la capacité de stockage C_S à travers la diode Body du transistor auxiliaire, il est nécessaire d'insérer une diode de blocage $D_{Blocking}$ entre la source du transistor auxiliaire et le point chaud de C_S . La tenue en tension de cette diode est comparable à la tension maximale de la capacité C_S , ainsi que son calibre en courant maximal de l'ordre du courant nécessaire à la recharge de C_S .
- La résistance R_{Bias} doit supporter une tension équivalente à la tension maximale entre le drain et la source du transistor de puissance principal.
- Evidemment, le transistor auxiliaire fonctionne dans sa zone linéaire tant que le transistor principal est bloqué ; son point de fonctionnement est $V \approx V_{DS}; I = I_{conso}$.

Dans sa thèse, Radoslava Mitova a pu mettre en évidence de façon qualitative que l'on pouvait remplacer la résistance de polarisation R_{Bias} par un autre composant [75] : en effet, cette résistance n'est présente que pour assurer la polarisation de la diode à avalanche D_Z et la charge de la grille du transistor auxiliaire, pendant la phase où le transistor principal

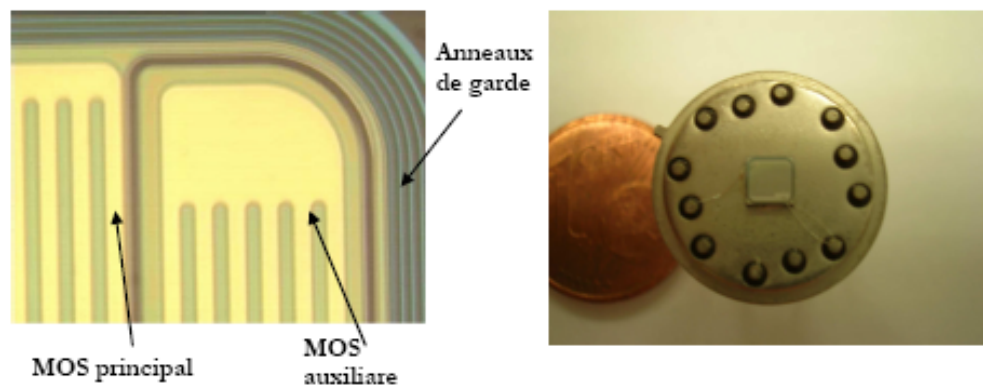


FIGURE I.16 – Intégration monolithique d'un transistor Mosfet auxiliaire au sein d'un transistor de puissance Mosfet principal pour l'autoalimentation [75]

est à l'état OFF. L'idée est ici de la remplacer par une diode à haute tenue en tension (de l'ordre de la tenue en tension du transistor principal), dont la cathode serait reliée au drain commun. Le courant de fuite de cette diode servirait alors à charger la grille du transistor auxiliaire puis à polariser la diode à avalanche pendant les phases de régulation statique. L'intérêt de cette diode D_P à haute tenue en tension est double : d'abord comme nous le verrons par la suite, son intégration monolithique est beaucoup plus facile que celle de la résistance R_{Bias} de part sa cathode connectée au drain commun, et enfin la prise en compte de tous les phénomènes dynamiques nous montrera que la résistance R_{Bias} n'est pas nécessaire dans un régime de commutation, fonctionnement classique en Electronique de Puissance.

I.4.b-ii Considérations dynamiques

En effet, lors des premiers essais dynamiques de la structure d'autoalimentation Mosfet / Mosfet, il a été constaté que l'on pouvait retirer physiquement la résistance R_{Bias} , et le système d'autoalimentation continuait de fonctionner, en régime de découpage. L'évolution de l'autoalimentation suite à son fonctionnement exclusivement dynamique a donné lieu à l'appellation de *régulateur linéaire pulsé*, sensible uniquement à des $\frac{dV_{DS}}{dt}$ positifs. Ceci ne peut s'expliquer que par une analyse dynamique de la structure complète de l'autoalimentation, notamment autour des deux transistors de puissance Mosfet (Fig I.17).

Les capacités *structurelles* (aussi appelées *capacités parasites*) des transistors Mosfet verticaux et particulièrement celles du transistor auxiliaire permettent de polariser la branche auxiliaire de l'autoalimentation : cette action *parasite* des capacités du Mosfet sur sa grille doit être inhibée dans un transistor de puissance classique mais doit être maîtrisée et optimisée dans le cas du transistor auxiliaire nécessaire à l'autoalimentation. Afin de détailler plus précisément ce comportement fonctionnel particulier, nous devons mener une étude approfondie du comportement dynamique de cette structure.

Pour cela, il faut considérer la séquence d'ouverture d'un transistor de puissance autoalimenté, seule phase de mise en route dynamique de l'autoalimentation figure I.18.

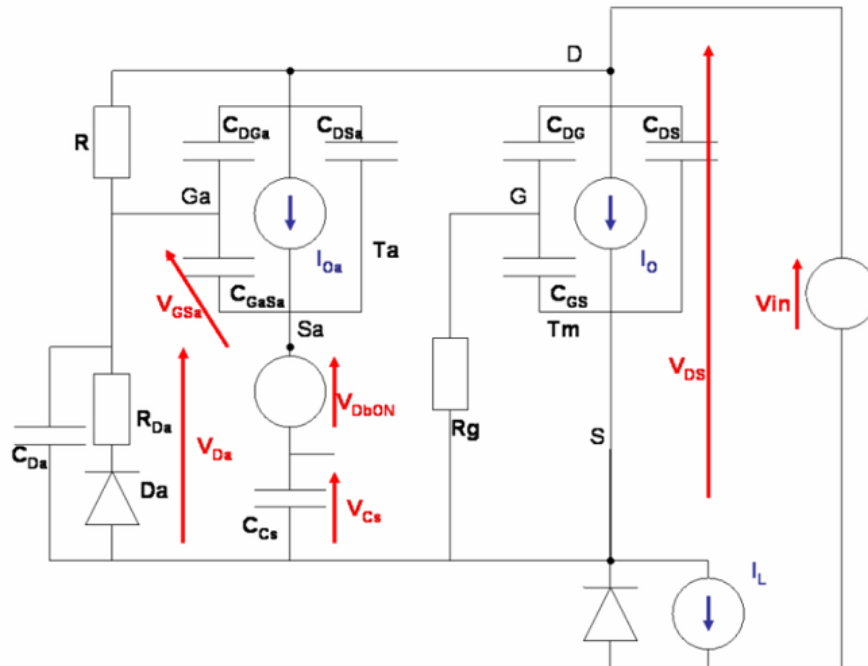


FIGURE I.17 – Schéma équivalent dynamique de l'autoalimentation Mosfet / Mosfet

Au début de la phase (1), la grille du transistor principal est reliée à sa source, sous l'action de la commande rapprochée. Il en résulte la chute de la tension V_{GS} et en conséquence la désaturation du transistor principal. Lorsque V_{GS} atteint une valeur telle que le transistor principal entre dans sa zone linéaire (pour le point de fonctionnement donné), la tension V_{DS} commence à monter (2) sous l'action de la capacité Miller C_{DG} et de la résistance de grille. Ce $\frac{dV_{DS}}{dt}$ positif va exciter la branche auxiliaire : la grille du transistor auxiliaire va être chargée sous l'action de sa capacité Miller C_{GDa} . A un certain point, le transistor auxiliaire va passer un courant I_{DSa} non nul (3), prélevé directement sur le courant principal I_{DS} . Il s'ensuit alors la recharge de la capacité de stockage C_S sous l'action du courant auxiliaire, fixé par les dynamiques (valeurs de capacités des transistors de puissance, de la capacité de stockage, de la résistance de la commande rapprochée, des capacités de diodes, du point de fonctionnement du convertisseur). Pendant toute cette phase, la tension V_{DS} reste constante est la phase de commutation du transistor principal est plus ou moins ralentie ou retardée. Lorsque la tension aux bornes de la capacité de stockage C_S , plus la tension à l'état passant de la diode D_B plus la tension de seuil du transistor auxiliaire V_{GSa} atteint la valeur de la tension d'avalanche de la diode D_Z , le transistor auxiliaire entame sa phase de régulation (début de la phase (4)). Dès l'instant où la tension de la grille du transistor auxiliaire est limitée par la tension d'avalanche de la diode D_Z (5), la tension V_{C_S} reste constante et régulée. Durant cette phase, le transistor principal reprend sa phase de commutation, la tension V_{DS} augmente jusqu'à atteindre la tension nominale fixée par la structure de puissance associée. La commutation classique du transistor se poursuit donc (6) et (7), et la capacité de stockage va alimenter le circuit de commande du transistor principal et ne sera plus rechargée jusqu'à un nouveau $\frac{dV_{DS}}{dt}$. Dès la fin du $\frac{dV_{DS}}{dt}$, il n'y a plus aucun courant de polarisation de la branche auxiliaire et donc

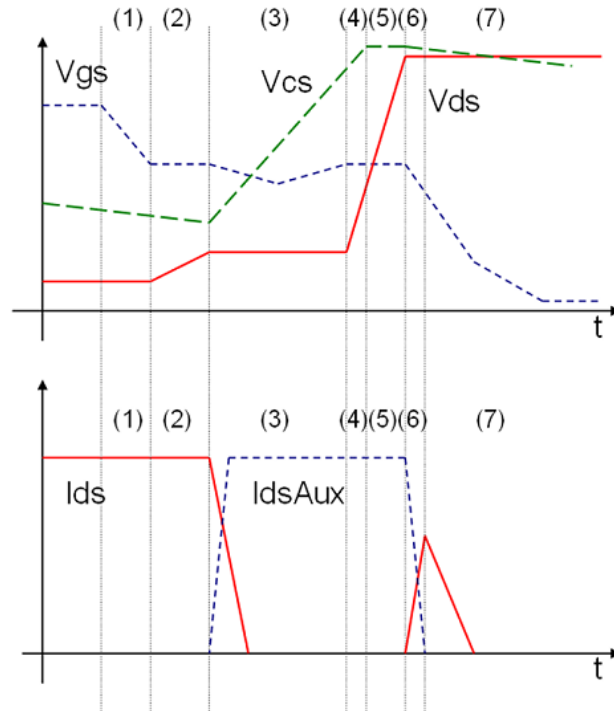


FIGURE I.18 – Présentation qualitative du découpage en phases de la commutation à l'ouverture d'un transistor de puissance autoalimenté

un fonctionnement totalement autoalimenté est obtenu (qualifié de mode *impulsionnel*).

Quelques remarques sur ce fonctionnement dynamique : tout d'abord à la fin de la séquence de commutation, une énergie suffisante doit être stockée dans la capacité C_S , cela ayant pour conséquence d'avoir une bonne maîtrise à la fois des paramètres parasites (capacités des éléments), mais aussi de prendre en compte les paramètres fonctionnels de la commutation (vitesse de commutation du transistor principal, point de fonctionnement nominal en courant et tension). Ensuite nous pouvons voir que le système se comporte comme un **Circuit d'Aide à La Commutation**, en dérivant le courant du transistor principal vers un circuit annexe. Cet aspect sera développé plus loin et a été largement abordé dans [93] et [92]. De plus, le rendement de ce régulateur pulsé sera de meilleure qualité que celui décrit dans la figure I.14, car la recharge de la capacité de stockage se fait sous une tension réduite. Les aspects énergétiques autour du circuit d'autoalimentation de la commande rapprochée et ses évolutions, seront présentées plus bas et ont été démontré en particulier dans [38]. En guise d'exemple, nous présentons sur la figure I.19 une réalisation pratique du circuit décrit figure I.15 avec des composants discrets et une diode de polarisation D_B en lieu et place de la résistance R_{Bias} . La structure de puissance utilisée est un hacheur série [45] 250V en entrée et un courant maximal de 4A. Cette structure présente la particularité d'être une réalisation pratique simple et s'inscrivant dans la problématique de la commande de transistor High Side, avec potentiel de référence de l'élément commandé flottant.

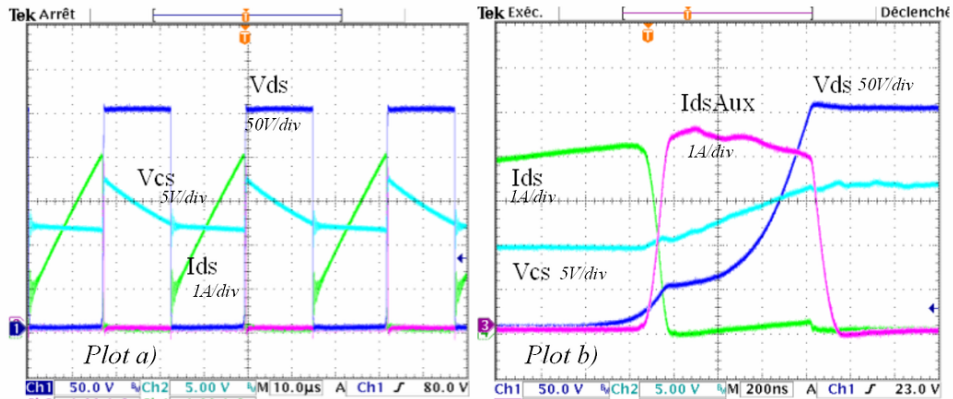


FIGURE I.19 – Validation pratique dans un convertisseur d'électronique de puissance, d'un transistor de puissance autoalimenté en mode impulsif (Solution discrète)

Cette première présentation nous montre quelles sont les difficultés et les limites d'un tel circuit d'autoalimentation ; le fonctionnement dynamique de ce circuit repose à la fois sur des composants parasites et sur les paramètres fonctionnels du transistor de puissance. Nous voyons que pour concevoir et réaliser un circuit d'autoalimentation pour transistor de puissance, il nous faut connaître avec précision les lois d'évolutions des capacités *parasites* de tous les éléments du circuit d'autoalimentation. On voit donc qu'il est nécessaire d'avoir un bon modèle de tous les éléments, à la fois statique et dynamique ; ces modèles doivent être des modèles dépendants des paramètres géométriques, en vue de favoriser une conception aisée de l'interrupteur et de son environnement intégré.

Afin de faciliter la simulation et la conception d'un transistor de puissance et de son alimentation, nous avons continué les efforts de modélisation initiés dans le M2R [87] et réutilisé le modèle du Mosfet de puissance à trois capacités dépendantes des potentiels et courants en chaque nœud décrit dans [10] puis dans [106]. Ceci a conduit à la mise en œuvre sous Simplorer d'un modèle géométrique de transistors de puissance en VHDL-AMS [50] (figure I.20). Les autres aspects et développements autour de la modélisation des phénomènes nécessaires à l'intégration du circuit d'autoalimentation au sein de transistor de puissance seront présentés dans le chapitre suivant.

Il faut maintenant chercher à poursuivre les efforts d'intégration monolithique du circuit d'autoalimentation entamés dans [106] et [75], c'est à dire intégrer monolithiquement tous les éléments nécessaires au circuit d'autoalimentation.

I.4.b-iii Vers une intégration monolithique totale de l'autoalimentation Mosfet / Mosfet ?

Les premiers efforts d'intégration se sont basés sur le schéma de la figure I.15 : l'idée est de s'inscrire dans la logique de l'intégration monolithique *bas coût*, en utilisant le procédé de fabrication du transistor principal et en limitant donc les étapes supplémentaires (techniques d'isolation, niveaux de dopages différents, etc...), nécessaires à l'intégration de l'environnement électronique au sein du transistor de puissance. La première proposition d'intégration part donc de la constatation que les deux transistors de type Mosfet ont la

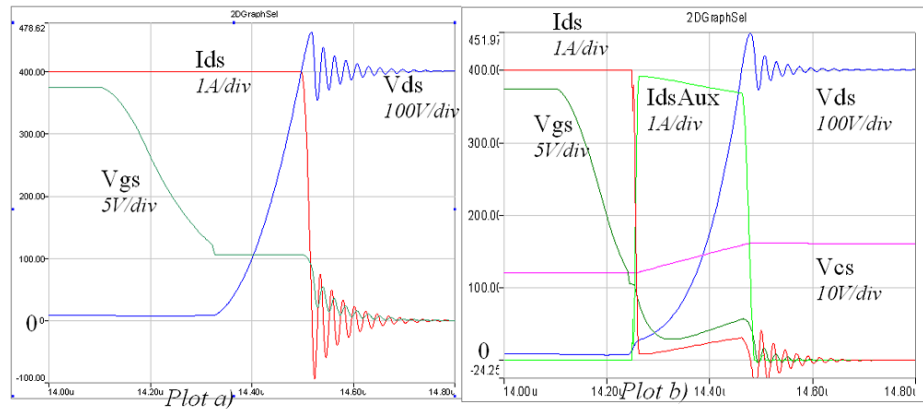


FIGURE I.20 – Simulation sous Simplorer de la commutation à l’ouverture d’un transistor de puissance sans autoalimentation (Plot a) à gauche) et avec autoalimentation (Plot b) à droite)

même tenue en tension et qu’il suffit de dériver quelques cellules du transistor de puissance pour réaliser le transistor auxiliaire (figure I.21). Un soin particulier doit être apporté pour la séparation entre les deux sources des transistors Mosfet, afin de garantir un plein épanouissement des lignes de champ à la jonction des deux fonctions [75], [73] et surtout [76]. Ceci fut le point de départ des travaux de cette thèse, s’appuyant notamment sur l’analyse de la figure I.21.

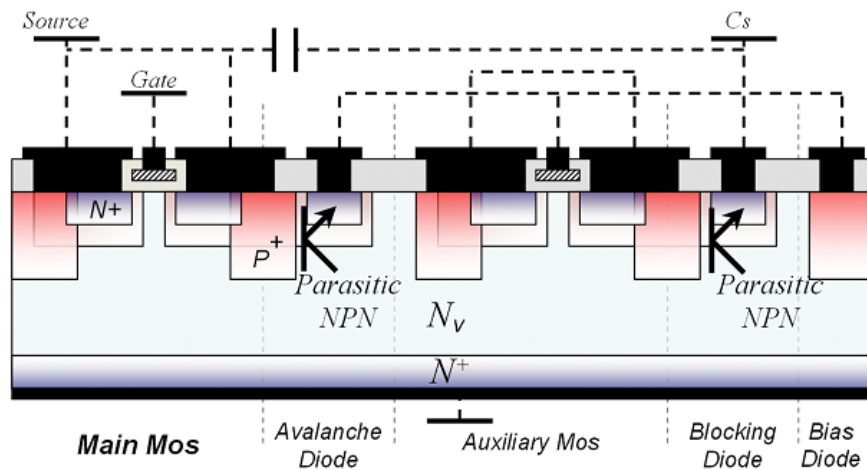


FIGURE I.21 – Intégration monolithique de tous les composants pour l’autoalimentation, au sein de transistor de puissance de type VDDMOS

Le but est donc ici d’intégrer tous les éléments nécessaires à l’autoalimentation, sans changement des étapes de fabrication du transistor de puissance. Pour la diode à avalanche D_Z (voir aussi la figure I.15). On peut remarquer que son anode est connectée à la source du transistor de puissance principal, on peut donc intégrer cet élément à l’intérieur d’un caisson P de source principale. De la même façon, pour la diode de blockage D_B on constate que son anode est connectée à la source du transistor auxiliaire et qu’on peut donc l’intégrer au sein de caisson P de source auxiliaire. Pour l’élément nécessaire à la polarisation

statique de l'autoalimentation, la diode D_{Bias} voit sa cathode reliée au drain commun et son anode peut donc être réalisée simplement par un caisson P à l'intérieur de la zone de tenue en tension N_V . Les caractéristiques de cette intégration monolithique ont été démontrées dans [95] et seront brièvement rappellées ici.

Deux caractéristiques essentielles doivent être étudiées sur l'intégration proposée figure I.21 :

- La compatibilité de la fonction intégrée avec le procédé de fabrication du transistor principal; est-ce que les niveaux de dopages, profondeurs de jonction, types d'implantations sont compatibles avec les besoins de la fonction ?
- L'influence de la partie haute tension sur les fonctions intégrées; dans quelle mesure la présence d'un drain commun haute tension perturbe le fonctionnement des fonctions intégrées ?

Concernant l'influence de la partie haute tension sur les fonctions intégrées, on peut voir que les deux diodes D_Z et D_B deviennent en fait des transistors bipolaires NPN sous l'effet de la présence de la zone de tenue en tension N_V . Le drain commun représente le collecteur pour ces deux jonctions, que l'on peut assimiler à des diodes *latérales* isolées par l'intermédiaire d'une jonction $N_V - P^-$. Cette première remarque modifie le schéma de l'autoalimentation dans sa version intégrée : la figure I.22 - a) présente cette modification.

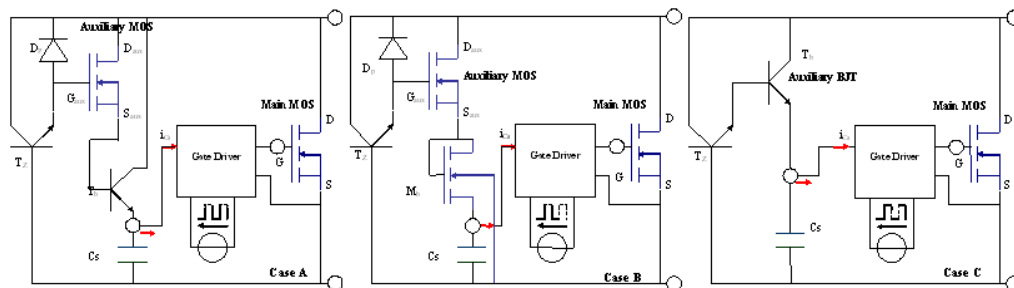


FIGURE I.22 – Modifications de la structure de l'autoalimentation, prenant en compte les contraintes de l'intégration monolithique

Considérons tout d'abord la diode à avalanche D_Z dans sa version intégrée (transistor NPN vertical) : la base du transistor T_Z (anode de D_Z) est toujours reliée au potentiel de source du transistor de puissance principal. Ceci a pour conséquence que ce transistor bipolaire ne devrait pas rentrer en fonctionnement *classique*, que ce soit lors de phases statiques ou même sous de larges dynamiques. De plus, son émetteur (cathode de D_Z) est toujours relié à un potentiel supérieur au potentiel de base, lorsqu'une tension est appliquée au drain commun. Cela devrait garantir que ce transistor bipolaire peut supporter la même tension que la partie *Haute Tension* du transistor de puissance principal. Il n'y a donc aucune contre-indication pour l'intégration monolithique de la diode à avalanche.

A propos de la version intégrée de la diode de blocage D_B , les considérations faites ci-dessus ne peuvent s'appliquer : la version intégrée sous cette forme ne pourra pas sup-

porter la tension nominale du composant de puissance principal, car l'impédance entre la base et l'émetteur de T_B n'est pas contrôlée. Nous concluons que la version intégrée sous la forme des figures I.21 et I.22 a) peut fonctionner, mais sa plage de fonctionnement peut être réduite par les phénomènes parasites. Il faut alors modifier cette structure et particulièrement l'intégration monolithique de la diode de blocage D_B . Pour cela, cette jonction intégrée peut être remplacée par un transistor Mosfet latéral LDDMOS à substrat référencé à la source du transistor de puissance principal. En reliant sa grille et son drain, nous pouvons réaliser un composant de type unipolaire en courant et n'étant pas perturbé par la présence de la haute tension, car intégré dans le caisson de source du transistor principal (figures I.22 - b) et I.23).

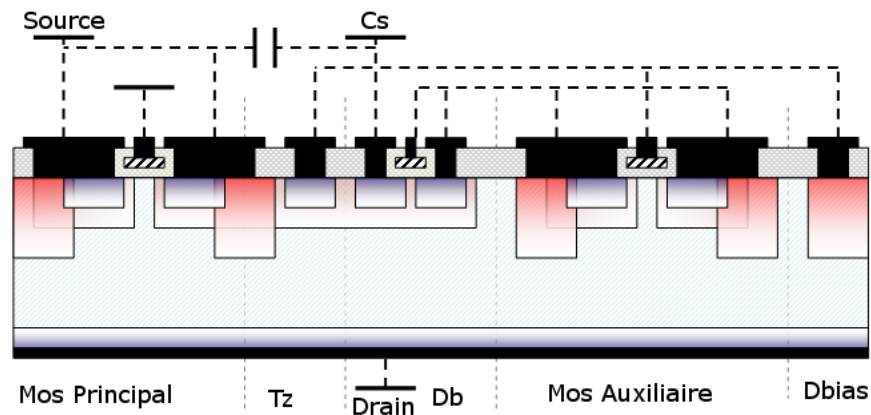


FIGURE I.23 – Modification de l'intégration de la diode de blocage D_B afin de garantir un fonctionnement sans limitation fonctionnelle

Il n'y a aucune contrainte technologique relative à l'intégration monolithique d'un transistor faible tension LDDMOS au sein d'un transistor de puissance vertical au regard de [39], [109], [60], [61] ou encore [77]. Les seules limitations de ce circuit sont la chute de tension à l'état passant entre le drain et la source du transistor LDDMOS intégré, ce qui réduit la tension d'alimentation flottante aux bornes de la capacité de stockage C_S , ainsi l'effet de substrat qui peut être important [39]. Dans cette solution, la jonction d'avalanche D_Z reste réalisée de la même manière que précédemment, car il n'y a aucune contre indication à son intégration en tant que transistor NPN vertical. Bien que cette solution soit fonctionnelle et parfaitement intégrable, les travaux de recherche et d'analyse autour de cette structure d'autoalimentation intégrée nous ont conduit à une autre version, beaucoup plus simple et encore plus intégrée (figure I.22 - c) et I.24).

Une seconde solution de l'autoalimentation tout intégrée a donc été élaborée, basée seulement sur des transistors bipolaires verticaux (figures I.22 c) et I.24). En analysant les solutions précédentes, nous avons en effet identifié que le transistor auxiliaire MOSFET ainsi que la diode de polarisation statique D_{Bias} peuvent être remplacés par un seul transistor bipolaire vertical T_B . Ce transistor assure naturellement la protection de la décharge de la capacité de stockage lorsque le transistor principal est à l'état ON, et peut tenir la pleine tension du transistor principal de puissance. Cette tenue en tension est assurée par sa jonction Base - Emetteur polarisée négativement lorsque la capacité C_S est rechargée. De plus, on peut utiliser la jonction Collecteur - Base de ce transistor T_B afin d'assurer

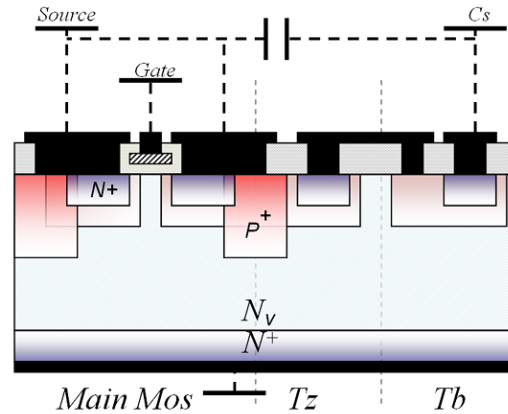


FIGURE I.24 – Seconde modification de l’intégration de la diode de blocage D_B afin de garantir un fonctionnement sans limitation fonctionnelle

la polarisation statique de la branche auxiliaire de l’autoalimentation. On voit donc que la diode D_{Bias} n’est plus nécessaire dans cette version de l’autoalimentation au sein de transistors MOSFET verticaux de puissance.

Cette partie nous a montré comment les considérations de l’intégration monolithique nous ont amené à modifier la structure du circuit d’autoalimentation de la commande rapprochée au sein de transistor de puissance. La prise en compte de la compatibilité technologique, des possibilités d’auto-isolation, ainsi que le respect de la logique bas coût, nous a conduit à proposer cette structure figures I.22 c) et I.24, qui n’est ni plus ni moins qu’un Darlington de puissance dont l’entrée du premier étage serait connectée au potentiel de référence. L’identification de cette nouvelle structure intégrée a donné lieu à l’encadrement de H. Tran Manh sur un stage de M2R [52], et la partie suivante présente quelques résultats obtenus autour de cette structure et de ses évolutions dans la problématique du transistor de puissance VDDMOS puis IGBT.

I.4.c Solution Bipolaires / Mosfet

Après avoir modifié la structure de l’autoalimentation, nous devons vérifier que les deux composants intégrés (les deux transistors bipolaires T_Z et T_B) sont compatibles totalement avec les caractéristiques du procédé de fabrication du transistor principal ; s’il est évident que la structure *transistor bipolaire vertical* est naturellement disponible via la méthode de fabrication de transistors de puissance VDDMOS (il s’agit de la structure parasite entre le drain et la source, d’où le court-circuit de source qui inhibe ce transistor vertical), il reste à démontrer que les niveaux de dopages sont compatibles avec les fonctions intégrées, et que les caractéristiques fonctionnelles de l’autoalimentation ne dégradent pas celles du transistor principal, surtout vis à vis de la tenue en tension de l’ensemble. Particulièrement, il s’agit ici de vérifier que la polarisation statique de la jonction Collecteur - Base de T_B permet une bonne polarisation en avalanche de la jonction Emetteur - Base de T_Z . Les résultats de cette étude préalable ont été publiés dans [95] et [52]. Cette étude a été menée sous un logiciel de simulation par éléments finis, Atlas manager de la société Silvaco [53].

La figure I.25 représente la structure du *Darlington* simulé, utilisant les caractéristiques géométriques issus du procédé VDDMOS : $P^- = 10^{17} \text{cm}^{-3}$ $X_P = 4 \mu\text{m}$ pour le dopage P^- , $N^+ = 5.10^{19} \text{cm}^{-3}$ $X_N = 1 \mu\text{m}$ pour le dopage N^+ et $N_V = 2.10^{14} \text{cm}^{-3}$ $W = 50 \mu\text{m}$ pour le dopage N_V . Ces valeurs sont issues notamment de la mise au point de la filière Electronique de Puissance au CIME (Minatec / Grenoble), à la suite des travaux de R. Mitova [75] et G. Verneau [106].

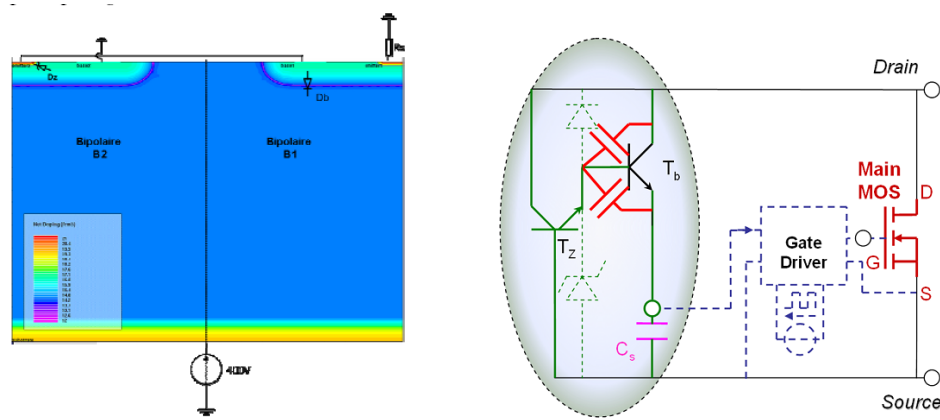


FIGURE I.25 – Structure de simulation du dispositif d'autoalimentation *Darlington*

L'étude de la modélisation et de la conception autour de cette solution tout intégrée sera détaillée dans les chapitres suivant, seuls les résultats des études préalables seront présentés ici. Les premiers tests du transistor NPN T_Z montrent qu'à la vue des niveaux de dopages, la tension d'avalanche de la jonction $N^+ - P^-$ est de l'ordre de 18V, ce qui est totalement compatible avec le contexte de l'alimentation du circuit de commande rapprochée du transistor principal de puissance. D'un autre côté, il faut accorder le courant de fuite de la jonction Collecteur - Base de T_B aux besoins de polarisation dans le coude de l'avalanche de la jonction Emetteur - Base de T_Z . La figure I.26 présente quelques résultats pour la polarisation statique en avalanche de T_Z par T_B .

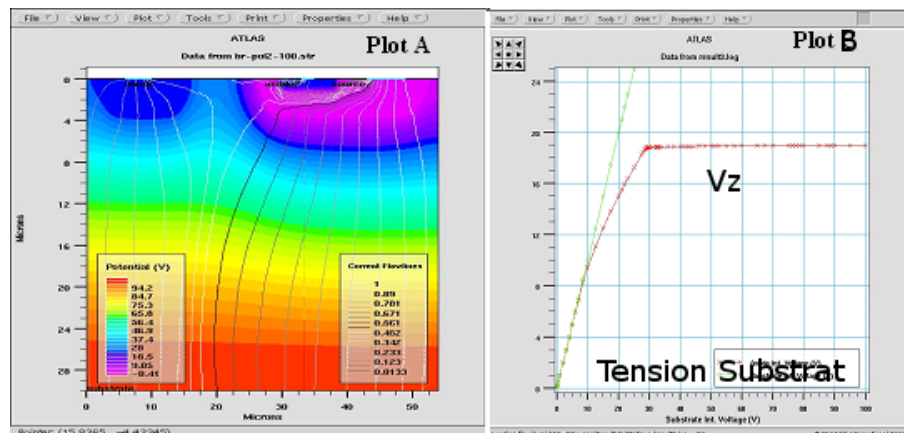


FIGURE I.26 – Polarisation statique de la jonction d'avalanche par le courant de fuite de la diode de polarisation, par simulation Atlas

Evidemment, afin de garantir cette bonne polarisation statique il faut étudier les phé-

nômènes suivants :

- La caractéristique $J_{CB}(V_{CB})$ en inverse de la jonction Collecteur - Base de T_B ,
- La caractéristique $J_{EB}(V_{EB})$ en inverse et régime d'avalanche de la jonction Emetteur - Base de T_Z ,
- L'influence du regroupement de ces deux transistors au sein d'une même structure monolithique.

Les deux caractéristiques statiques $J_{CB}(V_{CB})$ et $J_{EB}(V_{EB})$ nous permettent de trouver un premier rapport entre les surfaces des deux transistors T_Z et T_B , et de réaliser ainsi l'association de ces deux transistors en vu du fonctionnement statique, nécessaire à la fonction d'autoalimentation de la commande rapprochée au sein de transistor de puissance de type VDDMOS. Des premières études pratiques ont aussi pu être réalisées grâce aux composants réalisés précédemment dans la thèse de Faisal Alkayal [7], où un transistor bipolaire a été intégré monolithiquement au sein d'un transistor de puissance VDDMOS. Nous avons utilisé et connecté deux de ces composants de façon externe, chacun des transistors selon la figure I.27. La validation pratique de cette structure Bipolaire / Mosfet a été mise au point pendant cette thèse [95], [92] puis [93].

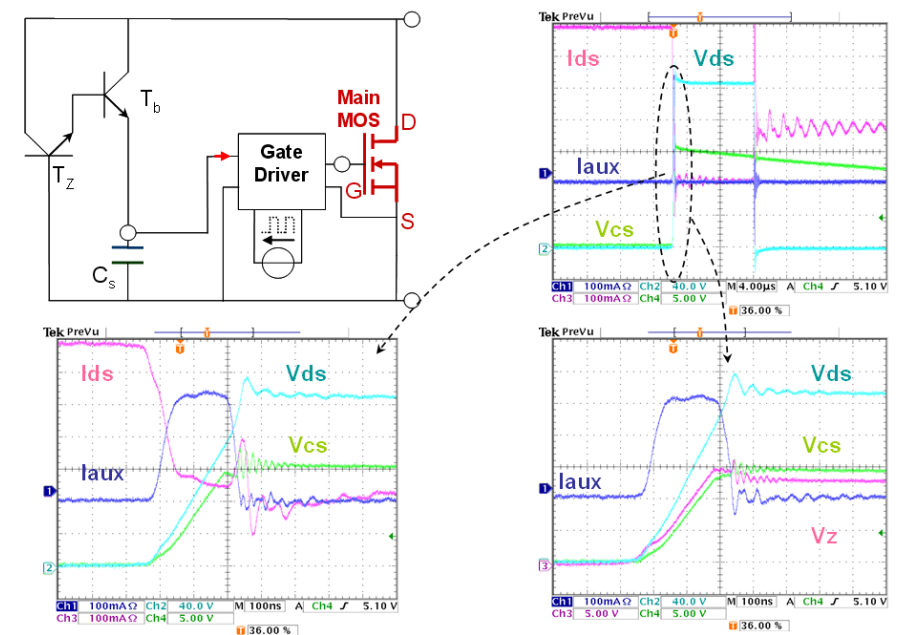


FIGURE I.27 – Validation pratique de l'autoalimentation Bipolaires / Mosfet à partir d'une première version de composants intégrés

Les figures I.27 présentent la commutation à l'ouverture d'un transistor VDDMOS autoalimenté par la structure *Darlington*, pour une tension de 200V et un courant de 500mA. On voit que la recharge de la capacité de stockage C_S s'effectue pendant la phase de commutation et que la tension d'alimentation de la commande rapprochée est de l'ordre de 17V. Les défis principaux de ce circuit d'autoalimentation résident essentiellement dans l'étude approfondie des différentes jonctions (principalement l'évolution d'un courant de fuite en inverse, ainsi que la description du régime d'avalanche, puis des interactions électriques au sein de fonctions intégrées monolithiquement), afin d'obtenir des règles de dimensionne-

ments fiables et rapides. En effet, il faut pouvoir quantifier l'impact de tous les paramètres de l'intégration sur la validité des fonctions : prise en compte de la température, modification du niveau d'avalanche par action sur les géométries, niveaux de rendements, etc...

Tous ces aspects de modélisation et dimensionnement de l'autoalimentation Bipolaires seront détaillés dans les chapitres 2 et 3 de ce mémoire, en vu de maîtriser et valider les règles de dimensionnement et de réalisation d'une telle structure bas coût.

Ce circuit d'autoalimentation semble particulièrement intéressant, au sein de transistors de puissance de type Mosfet, de part sa simplicité, son surcoût technologique très faible (simplement une perte de surface de la puce de puissance), et son fonctionnement. Il restait cependant à étudier si ce circuit pouvait s'appliquer à la problématique des transistors de puissance de type IGBT, mais aussi quelles fonctionnalités supplémentaires peut apporter ce circuit (gain en rendement, domaine de validité) ou encore quels circuits annexes supplémentaires pourraient étendre ses fonctionnalités (fonctionnement indépendant de la fréquence de commutation, création d'une double alimentation positive et négative par rapport au potentiel de référence flottant).

I.4.d Solution Thyristors / IGBT

Dans les transistors de puissance de type IGBT, la structure verticale parasite n'est plus le transistor NPN bipolaire, mais le thyristor NPNP. Il peut exister aussi des variantes selon que l'IGBT est de type PT (**P**unch **T**hrough) ou NPT (**N**on **P**unch **T**hrough) [65], [8] ou [9], mais dans tous les cas ce thyristor parasite est présent. Pour la structure d'autoalimentation présentée précédemment à base de deux bipolaires verticaux au sein d'un VDDMOS, il convient de vérifier comment la problématique de l'IGBT vient modifier une nouvelle fois le circuit d'autoalimentation, et quelles solutions peuvent être viables dans de tels types de transistors de puissance (figure I.28).

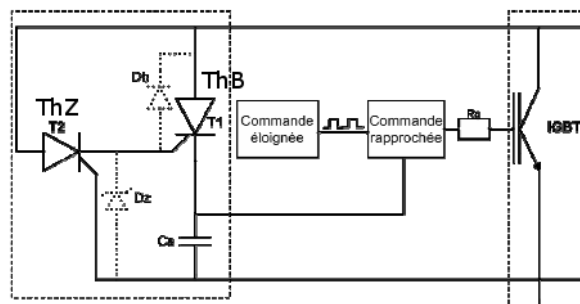


FIGURE I.28 – Modification du schéma de l'autoalimentation dans le contexte de l'intégration monolithique au sein de transistor IGBT

La plus grande modification vient du fonctionnement dynamique de cette version de l'autoalimentation : une fois que le thyristor Th_B est amorcé par le courant capacitif parasite du à un $\frac{dV_{DS}}{dt}$ positif, il faut s'assurer que ce même thyristor puisse se bloquer lorsque

la commutation du transistor de puissance principal IGBT est finie. Cette solution peut fonctionner, mais il faut un effort particulier de conception, surtout autour du thyristor Th_B afin de drainer les charges stockées, une fois ce thyristor amorcé. Les premières simulations par éléments finis nous ont montré que l'amorçage de ce thyristor et la recharge de la capacité de stockage ne posait pas de problème particulier, mais qu'il est vital de dimensionner et analyser finement tous les phénomènes mis en jeu dans cette autoalimentation Thyristors (figure I.30). Cette analyse a été abordée dans [52], mais n'a pas fait l'objet dans cette thèse ni d'une analyse ni d'une expérimentation pratique, principalement par manque de temps dans la conduite des travaux.

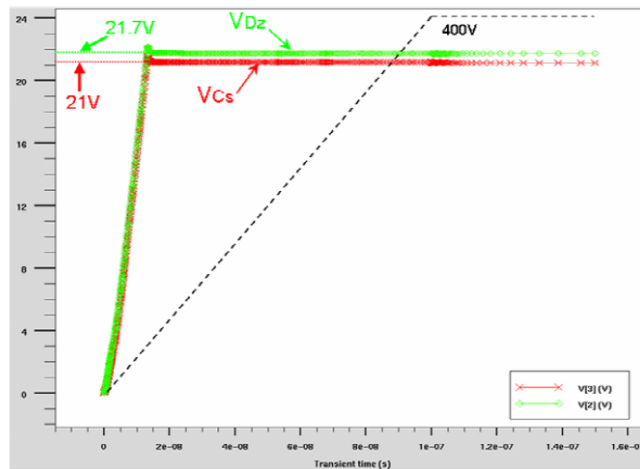


FIGURE I.29 – Simulation de l’autoalimentation à Thyristors, en simulant une rampe de tension collecteur de 0 à 400V

Les efforts autour de cette version de l’autoalimentation restent donc à poursuivre, mais nous avons montré comment la problématique de l’IGBT perturbe le circuit de l’autoalimentation, et quels peuvent être les verrous d’une autoalimentation Thyristors / IGBT. La partie suivante de ce mémoire présente en détail quelques caractéristiques précises et évolutions importantes autour de l’autoalimentation, applicables à l’autoalimentation Bipolaires / Mosfet et/ou Thyristors / IGBT.

I.4.e Evolutions et fonctionnalités de l’autoalimentation

I.4.e-i Protection en surtension et effet d’aide à la commutation

De part l’action de l’autoalimentation lors de la phase de commutation du transistor principal, nous démontrons ici en détail l’aspect de la protection en surtension par l’intermédiaire de l’effet CALC fourni par l’autoalimentation (figures I.24 et I.27). Ces aspects ont été démontrés et validés dans [92] puis [93]. L’idée est aussi de montrer un des apports du circuit d’autoalimentation Bipolaires / Mosfet, hors de la problématique du transistor de puissance *High Side* (ou à potentiel flottant), en bénéficiant à la fois des gains apportés par l’intégration monolithique et des fonctionnalités du circuit d’autoalimentation. Pour cela, nous considérons le cas de convertisseurs de type Flyback de faibles et moyennes puissances (quelques Watts à quelques kWatts - figure I.30).

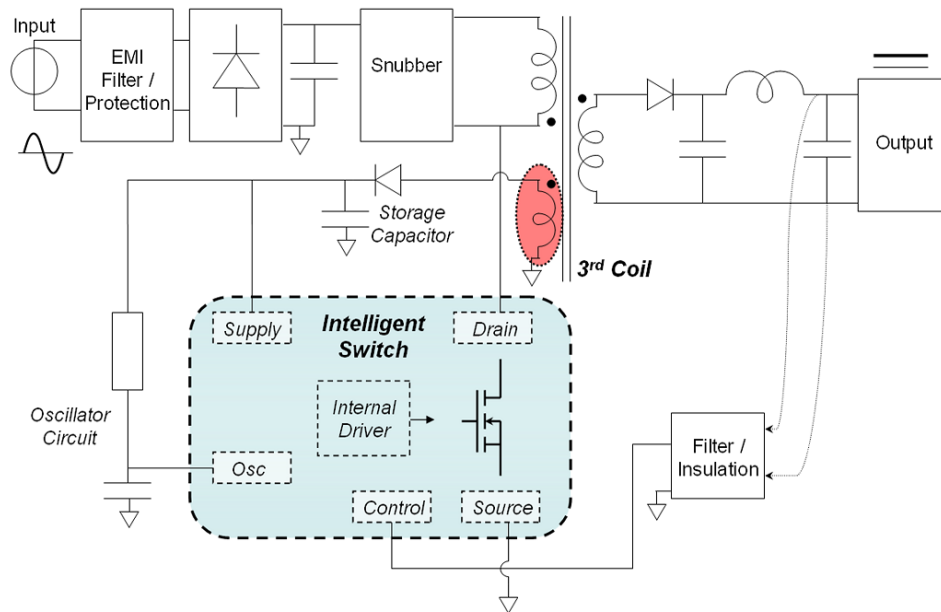


FIGURE I.30 – Structure Flyback originale de moyenne puissance : interrupteur de puissance intelligent avec alimentation par troisième enroulement

Dans ces gammes de puissance mettant en œuvre un seul composant actif commandé, le transistor de puissance est fréquemment un transistor dit *intelligent* car intégrant de nombreuses fonctionnalités : circuit MLI, circuits de protections, loi de commande, entrées externes pour régulations (primaire ou secondaire), circuit de démarrage, etc... Toutes ces fonctions sont intégrées de façon monolithique au sein du composant de puissance vertical de calibre 700V - 1.5 à 7A [3] [77]. Cependant, l'alimentation de ce genre de transistor de puissance se fait de façon externe, par l'intermédiaire d'un troisième enroulement associé à deux inductances couplées nécessaires à la structure Flyback. L'implémentation de ce troisième enroulement entraîne une fabrication spécifique des deux inductances couplées, limitant ainsi les sources d'approvisionnement en réduisant la généricité du composant magnétique. De plus, il est obligatoire de rajouter un circuit de protection en surtension de l'interrupteur de puissance, étant donné la présence d'une inductance de fuite primaire et la rapidité de commutation du transistor de puissance. Ce circuit de protection est, la plupart du temps, un circuit dissipatif de type RCD, principalement pour des raisons de simplicité et d'efficacité. Cependant, l'énergie stockée dans l'inductance primaire de fuite est entièrement dissipée dans la résistance du circuit de protection, et cette énergie est donc perdue. Différents circuits de récupération de cette énergie existent mais leur simplicité de mise en œuvre n'est pas de mise [78] [14]. De même, les possibilités d'intégrations de ces circuits sont très limitées.

L'idée ici est d'utiliser notre circuit d'autoalimentation, afin de supprimer le besoin d'un troisième enroulement, et de récupérer une partie de l'énergie emmagasinée dans l'inductance de fuite primaire, enlevant ainsi la nécessité d'un circuit de protection dissipatif. Pour le premier point, le circuit d'autoalimentation permet de créer une alimentation du circuit de contrôle et de commande du transistor de puissance, comme nous venons de le

voir dans les pages précédentes. De plus, de part l'action de l'autoalimentation pendant la phase de blocage du transistor principal, réduisant sa vitesse de commutation et dérivant le courant principal vers le circuit auxiliaire, on peut naturellement limiter les dv/dt ainsi que les di/dt et donc réduire particulièrement la surtension au blocage du transistor de puissance.

Des essais ont été faits sur un convertisseur réel de 30W, 100kHz, tension d'entrée 275V et tension de sortie 30V [93] (voir une photographie de la carte réalisée sur la figure I.31) : quelques résultats sont présentés sur la figure I.32 et I.33. Sur la figure I.32 tout d'abord, nous pouvons voir le besoin d'un circuit de protection en surtension et d'évacuation de l'énergie stockée dans l'inductance de fuite primaire (gauche de la figure I.32), avec une surtension d'environ 100% par rapport à la tension nominale commutée du transistor de puissance. Avec un circuit simple et classique d'aide à la commutation de type RCD (droite de la figure I.32), cette surtension est limitée, mais l'énergie stockée dans l'inductance de fuite est entièrement dissipée et perdue par la résistance du circuit de protection.

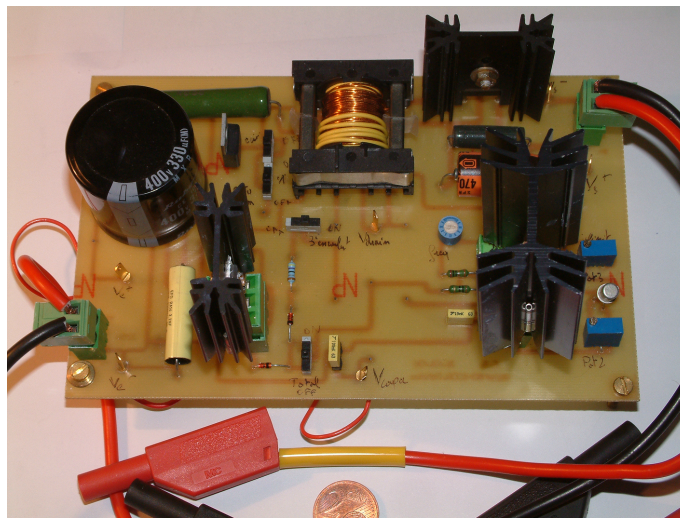


FIGURE I.31 – Image du convertisseur Flyback réalisé, intégrant de nombreuses fonctionnalités permettant de comparer les circuits de protections en surtension classiques et le circuit d'autoalimentation agissant en CALC

Grâce au circuit d'autoalimentation, le troisième enroulement nécessaire à l'alimentation du circuit de commande du transistor de puissance n'est plus nécessaire et la vitesse de commutation du transistor de puissance est réduite, mais une partie de l'énergie stockée dans l'inductance de fuite primaire est utilisée dans la recharge de la capacité de stockage de l'autoalimentation (figure I.33). Une comparaison de puissance dissipée pendant la phase de blocage du transistor de puissance, entre l'alimentation par troisième enroulement avec circuit de dissipation RCD et l'utilisation de l'autoalimentation seule, est présentée sur la figure I.34.

Nous voyons ici les gains supplémentaires que peut apporter le circuit d'autoalimentation : suppression du circuit externe d'alimentation de la commande du transistor de puissance, suppression du circuit externe d'aide à la commutation dissipatif, et gain sur le rendement total du convertisseur par récupération d'une partie de l'énergie stockée dans

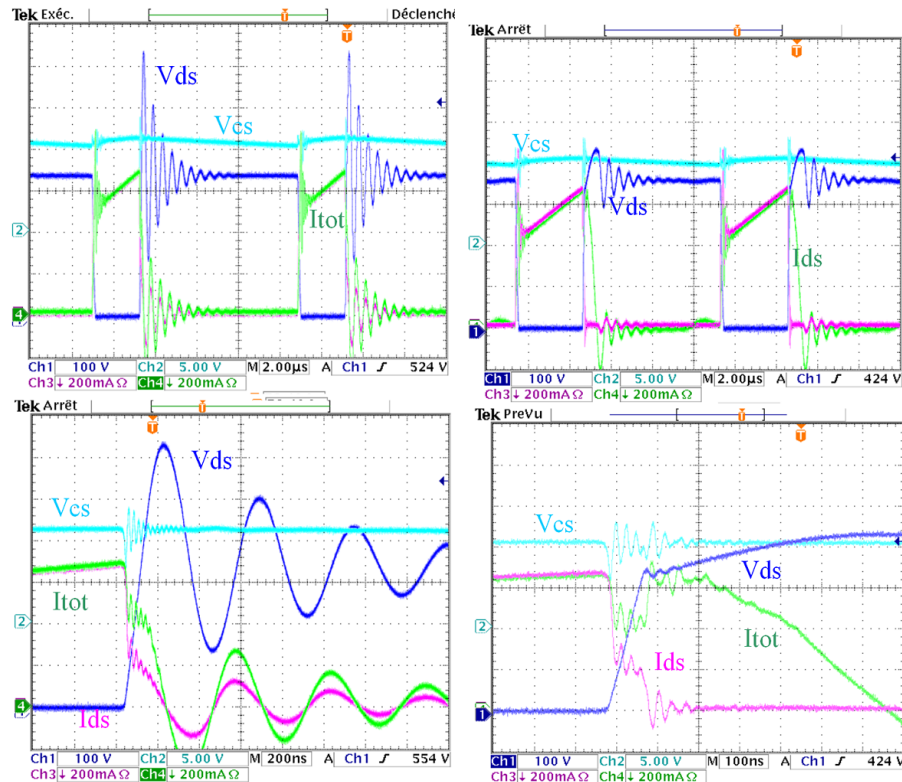


FIGURE I.32 – Fonctionnement du convertisseur Flyback : à gauche sans CALC et alimenté par le troisième enroulement, à droite avec circuit CALC dissipatif et même dispositif d'alimentation

l'inductance de fuite primaire. La partie suivante se focalise sur les aspects énergétiques de l'autoalimentation dans ces conditions de mise en œuvre (figure I.34).

I.4.e-ii Aspects énergétiques et rendement

En complément de la présentation qui vient d'être faite, un fonctionnement *sans pertes* a été identifié sans aucune modification du circuit d'autoalimentation [38]. Le point de départ consiste à prendre en compte le fait que le transistor principal est piloté par des niveaux de courant, qui sont une partie seulement du courant nominal du transistor principal (1/10 ou 2/10 par exemple). Cela a pour conséquence de réduire volontairement la vitesse de commutation, permettant de limiter les dv/dt ou di/dt , ainsi que le contenu CEM ou les effets parasites de recouvrement dans la cellule de commutation. Evidemment, nous pouvons nous attendre à une augmentation des pertes en commutation, par la réduction de la vitesse de la phase de blocage. La modification de la vitesse de commutation est utilisée souvent dans des convertisseurs de puissance faible, où le transistor principal commute trop rapidement ou lorsque l'utilisation de circuit externe de type CALC est rendue indispensable [78] [14], de même que des techniques de réduction de la vitesse du circuit de commande rapprochée [54].

Dans le cas de la réduction de la vitesse de commutation du transistor de puissance, des pertes supplémentaires de commutation sont ajoutées, et dissipées soit à travers le circuit

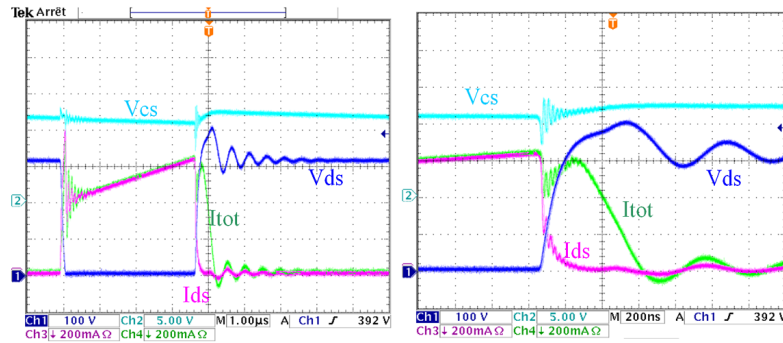


FIGURE I.33 – Fonctionnement du convertisseur Flyback sans CALC et avec le circuit d’autoalimentation I.24 et I.27

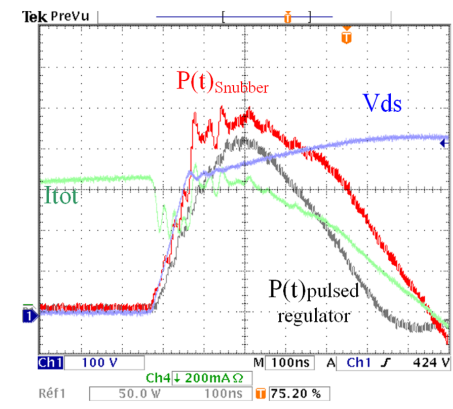


FIGURE I.34 – Comparaison des pertes totales en entrée du Flyback entre le cas figure I.32 à droite – sans autoalimentation et avec CALC – et le cas figure I.33 – avec autoalimentation et sans CALC –

d’aide à la commutation soit à l’intérieur du canal du transistor de puissance (source de courant figure I.17). Le circuit d’autoalimentation peut être utilisé pour recycler une partie des pertes inutiles de commutation, et utiliser cette énergie pour l’alimentation de la commande rapprochée. Ainsi et sans aucune modification des formes d’ondes au blocage, une partie du courant de charge du convertisseur est dérivé du transistor de puissance principal et alimente le *régulateur linéaire pulsé*. Des résultats de simulations présentant ces phénomènes sont représentés sur la figure I.35.

Comme nous pouvons le voir, une partie du courant du transistor principal I_0 est dérivée du transistor principal vers la capacité de stockage C_S , et ceci sans aucune modification de la durée de commutation et des formes d’ondes (tension et courant commutés 400V - 4A). Selon un point de vue global, les pertes du convertisseurs ne sont pas modifiées avec ou sans circuit d’autoalimentation, et de cette façon le rendement global du convertisseur de puissance peut être amélioré par le circuit d’autoalimentation, car le circuit externe d’alimentation de la commande rapprochée n’est plus nécessaire. C’est ainsi qu’un fonctionnement *sans pertes* peut être identifié, mêlant de ce fait la création d’une alimentation du circuit de commande du transistor de puissance, et la possibilité d’aider à la commutation du transistor principal (limitation des dv/dt et di/dt). Une validation pratique de

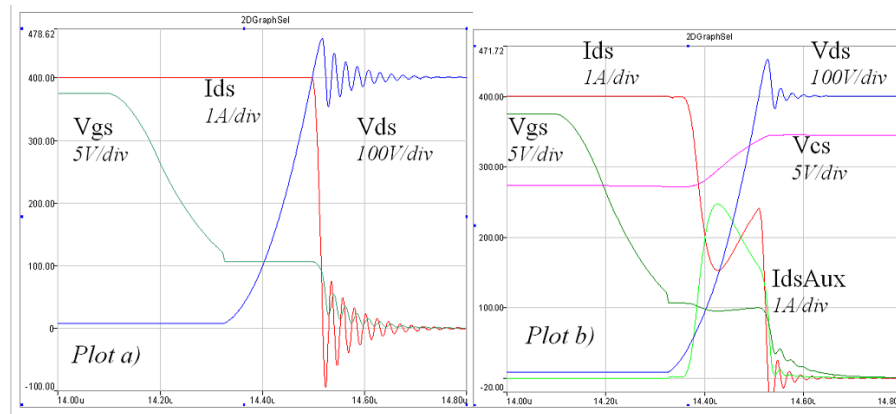


FIGURE I.35 – Simulations de la phase d'ouverture d'un transistor de puissance : à gauche sans autoalimentation et à droite avec autoalimentation. Commutation de 400V / 4A

ce comportement particulier est présenté sur les figures I.36 et I.37. Cependant, la mesure précise de la modification des pertes en commutation et de l'énergie d'alimentation de la commande rapprochée n'est pas aisée, car cette modification est relativement faible par rapport aux niveaux de précision des appareils de mesures. Mais il est toutefois facilement *visible* qu'il n'y a qu'une faible modification des formes d'ondes de la commutation au blocage avec ou sans circuit d'autoalimentation (figure I.37 par exemple). Un nouveau pas est franchi par notre circuit d'autoalimentation : après avoir démontré que le circuit est monolithiquement intégrable, qu'il permet de créer facilement une alimentation pour le circuit de commande, mais aussi de limiter les surtensions dans les transistors de puissances, nous démontrons ici rapidement que l'autoalimentation ne rajoute pas de pertes pendant la phase de blocage du transistor de puissance. Une simulation de la puissance instantanée dissipée dans l'interrupteur de puissance, avec ou sans son circuit d'autoalimentation est présentée sur la figure I.38.

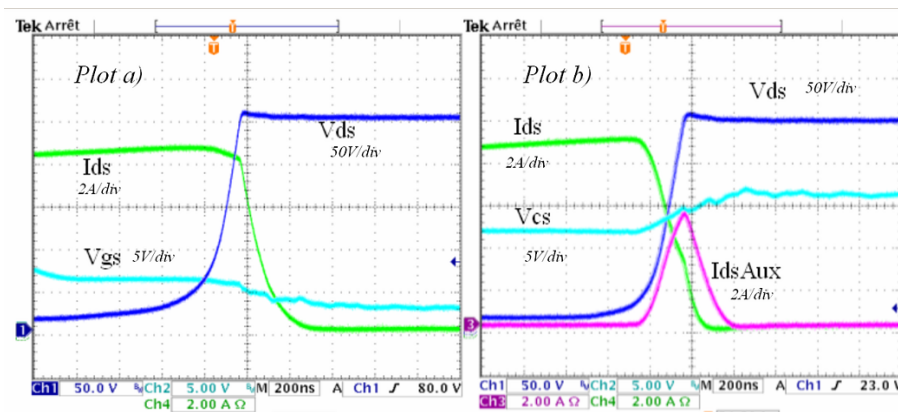


FIGURE I.36 – Réalisations pratiques : à gauche sans autoalimentation et à droite avec autoalimentation. Blocage du transistor de puissance, 250V / 10A

D'autres fonctions nécessaires ou facultatives autour du circuit d'autoalimentation vont être présentées par la suite :

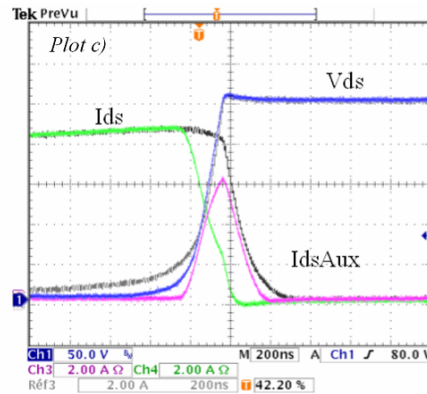


FIGURE I.37 – Superposition des deux figures I.36 : influence de l’autoalimentation sur la commutation au blocage

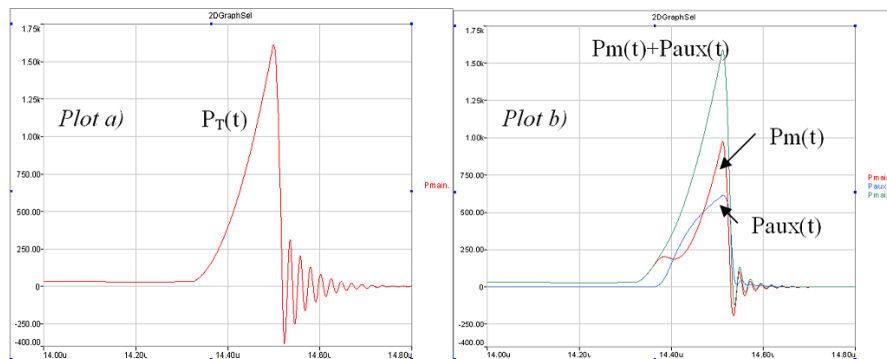


FIGURE I.38 – Simulations des puissances instantanées dissipées pendant le phase de blocage du transistor de puissance : à gauche sans autoalimentation et à droite avec autoalimentation

- Bien qu’une opération optimale du circuit d’autoalimentation est obtenue en rendant le circuit auxiliaire sensible à des dv/dt , il faut s’assurer que le convertisseur sera opérationnel, quelques soient les conditions d’utilisation (démarrage du convertisseur, démarrage du circuit de commande du transistor de puissance, fonctionnement pour tous les régimes de flux).
- Comme tous les systèmes d’alimentation basés sur des cycles de stockage / déstockage, il existe des limitations fonctionnelles d’utilisation de ces systèmes, principalement selon les paramètres de commutation (fréquence de commutation minimale, durée d’un état minimal ON ou OFF). Une évolution permettant de s’affranchir de ces paramètres sera développée plus bas.
- De la même façon, le principe de stockage de notre autoalimentation ne permet qu’une alimentation positive par rapport au potentiel de référence. Cette alimentation *unipolaire* peut tout de même être utilisée pour commander la grille du transistor principal par une tension positive et négative, grâce à l’ajout d’un système de tension négative, ou la modification du circuit de commande rapprochée. Plusieurs évolutions seront proposées.
- Enfin sera abordée la question de l’intégration de la capacité de stockage au sein

du transistor de puissance, afin de statuer sur les possibilités d'un interrupteur de puissance entièrement autonome.

Chacun de ces points va être abordé dans la suite de ce chapitre, afin de démontrer et conclure en détail sur toutes les possibilités du circuit d'autoalimentation, ses limitations et les pistes qu'il existe pour les surmonter.

I.4.e-iii Démarrage du convertisseur

La séquence de démarrage mérite d'être abordée ici : par démarrage, nous entendons d'abord l'application d'une source de tension en entrée du convertisseur de puissance, alors que les circuits de commandes des transistors ne sont pas alimentés. En effet, par les systèmes de prélèvement de l'énergie de commande sur la ligne de puissance, nous n'avons aucune procédure de démarrage du convertisseur spécifique, et lorsque la source d'entrée du convertisseur est appliquée, les circuits de commande des transistors de puissance ne sont pas encore alimentés, et il existe le risque que les transistors de puissances soient dans un état indéterminé. Il pourrait alors apparaître un court-circuit au démarrage du convertisseur, le temps que les commandes soient autoalimentées.

Nous avons effectué à ce propos un essai pratique sur un convertisseur de type hacheur série, à potentiel de référence de l'élément commandé flottant. Selon la façon de connecter la source de tension de puissance au convertisseur (en terme de dv/dt), la première recharge de la capacité de stockage C_S aura lieu soit très rapidement (le cas de la figure I.39), soit elle suivra la montée de la tension d'entrée du convertisseur (le cas d'une lente montée en tension d'entrée - application AC par exemple). Dans tous les cas, comme le circuit d'autoalimentation est rendu beaucoup plus sensible aux dv/dt que le transistor de puissance principal, la branche auxiliaire réagira la première avant que la tension aux bornes du transistor principal n'atteigne une grande valeur, et l'alimentation du circuit de commande sera disponible rapidement, garantissant un bon contrôle du transistor de puissance. Ce comportement est en parfait accord avec toutes les considérations dynamiques précédentes, sur le circuit d'autoalimentation. Des développements supplémentaires autour du démarrage de convertisseurs autoalimentés plus complexes (AC switch MOS-MOS) sont disponibles dans [39].

Dans un autre temps, une fois que la tension d'entrée du convertisseur est appliquée, et la tension d'autoalimentation stabilisée, nous pouvons étudier le démarrage de la séquence de découpage du transistor de puissance : lorsque la commande externe du transistor n'est pas encore connectée, l'ordre *état bloqué permanent* est appliqué au transistor de puissance. Dans ce cas précis, il n'existe pas de phase de découpage du transistor de puissance principal et particulièrement aucun $\frac{dV_{DS}}{dt}$. Il y a donc évidemment le besoin d'un système de démarrage et de maintien en statique à l'état bloqué. Cela est assuré par le courant de fuite de la jonction Collecteur - Base du transistor de réaction T_B de l'autoalimentation (voir figure I.25). L'accord entre le courant de fuite de la jonction CB du transistor T_B et la polarisation en régime d'avalanche de la jonction Emetteur - Base du transistor T_Z sera détaillé dans les autres chapitres, étant donné que cela nécessite un effort de compréhension et d'analyse des phénomènes, de modélisation et de conception. Quelques considérations

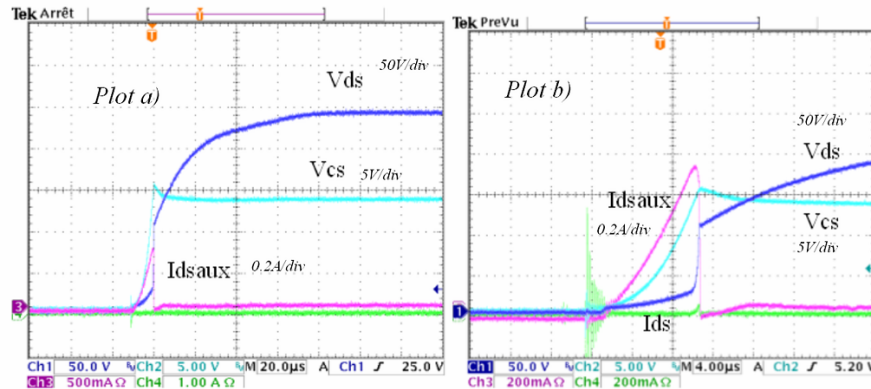


FIGURE I.39 – Résultat pratique lors de la mise en route d'un convertisseur avec un interrupteur de puissance autoalimenté (hacheur série à potentiel de référence flottant, tension d'entrée 250V)

cependant :

- Ce courant de fuite de polarisation statique doit être suffisant afin de garantir la création d'une alimentation contrôlée, c'est à dire générer le phénomène d'avalanche dans la jonction Emetteur - Base de T_Z , afin de maîtriser le potentiel de la capacité de stockage C_S
- Par contre, ce courant ne doit pas être trop élevé, car il est la source de pertes statiques qui peuvent être importantes.

Evidemment, dans le cas d'une opération *de longue durée* sans commande externe, le circuit d'autoalimentation ne fonctionne plus dans son mode de fonctionnement *régulateur linéaire pulsé faibles pertes* et il en résulte une diminution très importante du rendement de cette alimentation pour commande rapprochée. Dans le contexte d'une non-utilisation prolongée du transistor principal, tandis que le convertisseur de puissance est sous tension, il faut s'attendre à ce que notre circuit d'alimentation intégrée pour commande rapprochée soit une source de pertes non négligeables. Il est difficile de surmonter cette limitation : le circuit d'autoalimentation permet la création d'une alimentation pour commande rapprochée, même sans ordre de découpage de la commande externe, mais dans ce cas, son rendement n'est pas garanti et dépend de la tension nominale aux bornes de l'interrupteur de puissance.

I.4.e-iv Fonctionnement pour régimes de flux continu et discontinu

Lorsque le convertisseur statique d'électronique de puissance fonctionne dans un régime de flux continu, les formes d'ondes du transistor de puissance sont bien connues et correspondent simplement aux réglages du rapport cyclique, de la fréquence de commutation, ainsi que des tension et courant nominaux. Dans le cas d'une opération du convertisseur en mode discontinu (annulation du courant dans l'élément de stockage / lissage du convertisseur de puissance avant la fin de la période de commutation [45]), les formes d'ondes du transistor de puissance sont modifiées. Particulièrement, la tension aux bornes du transistor de puissance va être fonction de la structure du convertisseur et des tensions d'entrée et de

sortie du convertisseur, ainsi que des paramètres du convertisseur (inductances, capacités). Partant du fait que notre circuit d'autoalimentation n'est sensible qu'à des $\frac{dV_{DS}}{dt}$ positifs, c'est à dire que le circuit auxiliaire n'entrera en fonction que lors du blocage du transistor de puissance, il ne sera affecté par aucun des phénomènes entre les instants d'annulation du courant et sa phase de blocage. Il n'y a donc aucune limitation sur le régime de flux du convertisseur de puissance, ce qui étend le champ d'application du circuit d'autoalimentation de la commande rapprochée. Un essai pratique d'un convertisseur simple (hacheur série 150V - 3A max) en régime de flux discontinu est présenté sur la figure I.40, démontrant ce qui vient d'être présenté. En complément, le circuit d'autoalimentation de la commande rapprochée n'est pas affecté par le type de charge du convertisseur (R, LR ou LCR), et il n'y a aucune limitation fonctionnelle de cet ordre.

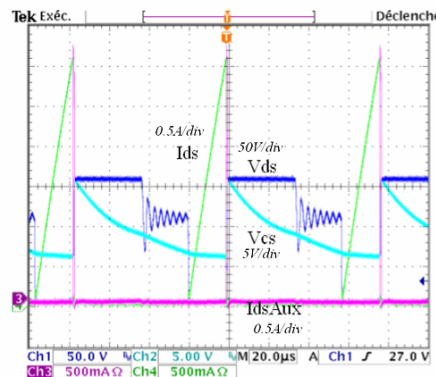


FIGURE I.40 – Mise en application pratique d'un transistor à commande rapprochée autoalimentée, au sein d'un hacheur série fonctionnant en régime de flux discontinu (commutation de 150V - 3A)

I.4.e-v Évolution pour un fonctionnement indépendant des paramètres de commutation

Comme toutes les solutions de stockage d'énergie dans un élément annexe, il se pose évidemment la question de la limitation de l'énergie fournie par l'élément au stockage au circuit de commande rapprochée : dans le cas de notre circuit d'autoalimentation, l'élément de stockage C_S est rechargé simplement pendant la commutation au blocage de l'interrupteur de puissance principal, et ne sera rechargé à aucun autre moment. Durant tout le temps séparant ces instants de recharge (qui peuvent être la période de commutation dans un mode de commande à fréquence fixe de type MLI par exemple, ou bien les instants de commutations fixés par une régulation non linéaire à fréquence libre), l'énergie emmagasinée dans l'élément de stockage est fournie au circuit de commande, et en conséquence la tension de la capacité C_S va chuter (pour exemples sur les figures I.14, I.15 ou I.19). Or la tension d'alimentation du circuit de commande pilote la grille du transistor de puissance, et une chute de cette tension d'alimentation provoque une chute de la tension appliquée entre la grille et la source (ou émetteur) de l'interrupteur de puissance. Si cette tension d'alimentation devient trop faible, il est possible que le transistor de puissance principal ne puisse être maintenu dans son état ON à faible V_{DSon} et va se désaturer sous l'effet de

cette chute de tension. Ceci provoquerait des pertes statiques indésirables. Cela pourrait aussi provoquer un dysfonctionnement de la structure de conversion. Or, se désaturant ainsi, un $\frac{dV_{DS}}{dt}$ positif va apparaître et éventuellement recharger la capacité de stockage et donc permettre à nouveau le maintien de l'état ON du transistor de puissance principal. Cette *contre-réaction* a été identifiée dans [35] et [87], et est présentée sur la figure I.41. En l'utilisant ou en la forçant à bon escient, il devient possible de recharger le réservoir d'énergie de l'autoalimentation si nécessaire.

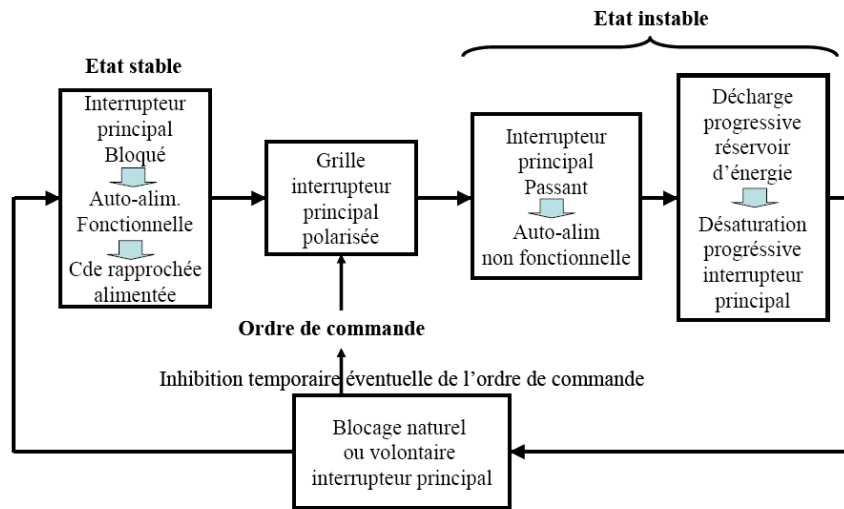


FIGURE I.41 – Schéma qualitatif de la contre-réaction naturelle du circuit d'autoalimentation [35]

Une première loi de dimensionnement de la capacité de stockage C_S est donc donnée par la consommation de courant du circuit de commande rapprochée I_{Conso} (polarisation, rendement du circuit de commande et charge de la grille du transistor principal), ainsi que la chute de tension autorisée dans la tension d'alimentation ΔV et la durée séparant les instants de recharge de la capacité ΔT (la période ou pseudo-période de commutation) par l'équation I.1.

$$\int_{t_0}^{t_0+\Delta T} I_{Conso}(t) \cdot dt = C_S \cdot \Delta V_{C_S} \quad (I.1)$$

Lorsque cette condition n'est pas respectée, nous pouvons nous attendre à avoir des oscillations au niveau du transistor principal, au vu du schéma de la figure I.41, entre des phases de décharge et de recharge de l'élément de stockage. Cependant, au vu des constantes classiques du circuit de commande et des paramètres parasites, nous obtenons plutôt un état parasite stable, lorsque la tension aux bornes de la capacité de stockage C_S est trop faible [87] : le transistor principal de puissance va fonctionner dans son régime linéaire, passant le courant *nominal* et ayant une tension non négligeable à ses bornes pour alimenter et stabiliser l'autoalimentation. Cette phase intermédiaire et dégradée est mise en évidence sur la figure I.42. Cette phase dégradée modifie complètement le fonctionnement du convertisseur de puissance et peut entraîner la destruction de l'interrupteur de puissance.

C'est principalement pour cette raison que beaucoup de circuits d'alimentation basés

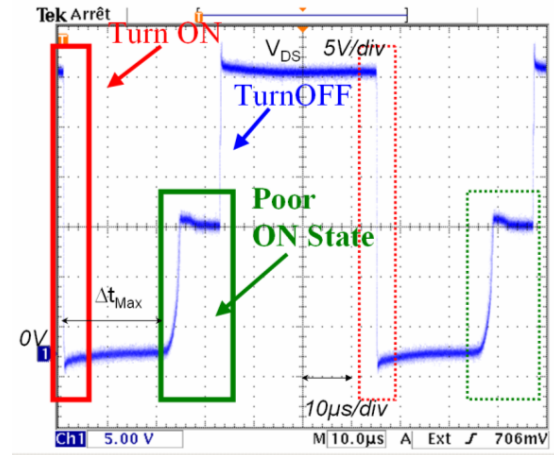


FIGURE I.42 – Mise en évidence de la limitation du circuit d’autoalimentation en fonction des paramètres de commutation et de consommation de la commande rapprochée. Essai sous tension réduite afin de préserver l’interrupteur de puissance principal et le convertisseur

sur le principe de stockage d’énergie surdimensionnent l’élément de stockage. On voit ainsi les limites de ce type de circuits d’alimentation, dont fait partie l’autoalimentation de la commande rapprochée : il faut connaître *a priori* le temps séparant les instants de recharge, ce qui limite donc ces circuits à des lois de commandes à fréquence fixe, et de plus la capacité C_S peut être importante afin de satisfaire l’équation I.1 et son intégration au sein du transistor de puissance est rendue difficile. Dans un cas extrême, le fonctionnement ON permanent du transistor de puissance principal est impossible, tandis que le fonctionnement OFF permanent est lui naturellement fourni par la structure d’autoalimentation, mais à pertes importantes (voir partie ci-dessus).

Afin de s’affranchir complètement de tous les paramètres de commutations, ainsi que de permettre la réduction de la taille de l’élément de stockage, nous proposons ci-après une méthode de supervision et de contrôle de la charge (i.e tension) de la capacité de stockage. Différentes solutions ont été étudiées pendant le stage de M2R [87]. La première a été de favoriser l’instabilité de la contre-réaction naturelle de notre circuit d’alimentation, par la modification du circuit de commande rapprochée. Des résultats de simulations sont présentés sur la figure I.43.

Le problème de cette solution *naturelle* vient du fait que la remontée de tension aux bornes de l’interrupteur de puissance est lente et les pertes générées pendant les phases de recharge sont importantes. Une autre solution a donc été élaborée, afin de contrôler finement ces phases de recharges et la charge stockée dans C_S . Cette solution a été publiée dans [91] puis [89] et est présentée sur la figure I.44.

Il faut donc mesurer la tension aux bornes de la capacité de stockage C_S , puis utiliser un circuit de type hystérésis déclenchant un court-circuit franc et maîtrisé entre la grille et la source du transistor principal lorsque la tension mesurée est inférieure à un seuil minimum. Un schéma de principe est présenté sur la figure I.45.

Il est possible de modifier la dynamique des phases de recharge, par l’action sur le circuit de décharge de la grille du transistor principal (figure I.46). Les détails sur la réalisation

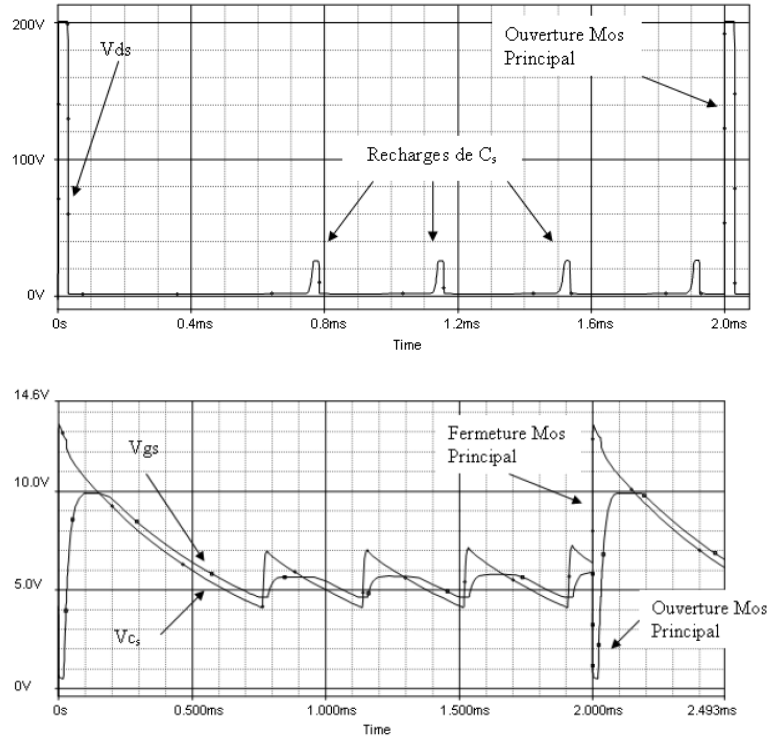


FIGURE I.43 – Modification de la commande rapprochée afin de favoriser l’instabilité dans la contre-réaction de l’autoalimentation

pratique des différents éléments de cette évolution de l’autoalimentation peuvent se trouver de façon exhaustive dans [89], [87], ainsi qu’une résolution des problèmes d’impédance entre le circuit de commande classique et le circuit de décharge de la grille dans [39].

Quelques résultats pratiques sont présentés sur la figure I.47 : le circuit d’autoalimentation peut ainsi contrôler la charge stockée dans la capacité C_s et de façon autonome recharger cette capacité si besoin (gauche de la figure I.47). En conséquence, il est même possible de faire fonctionner le transistor de puissance dans un état ON permanent, tout en gardant la commande rapprochée autoalimentée (droite de la figure I.47).

Evidemment cette évolution vient modifier le fonctionnement du convertisseur de puissance, en effectuant des cycles de commutations supplémentaires, et il faut quantifier ces phases de recharge, tant sur le plan énergétique que CEM. Sur le premier point, le cycle supplémentaire permettant la recharge de la capacité de stockage est en fait une désaturation partielle, puis re-saturation complète du transistor principal. Pendant chacun des cycles de recharge supplémentaires, le courant total passant dans l’interrupteur de puissance *évolué* sera inchangé (une part du courant du transistor principal sera dévié vers le circuit d’autoalimentation, mais la somme de ces deux courants sera identique au courant de charge du convertisseur à chaque instant). Il en résultera donc des pertes supplémentaires par la remontée de la tension V_{DS} du transistor principal. Une partie de ces pertes sera utilisée pour la recharge de la capacité de stockage. La figure I.47 présente en détail les formes d’ondes pendant une phase de recharge de la capacité de stockage (rappel : commande du transistor ON permanent, tension d’entrée du hacheur série 100V, résistance de charge du

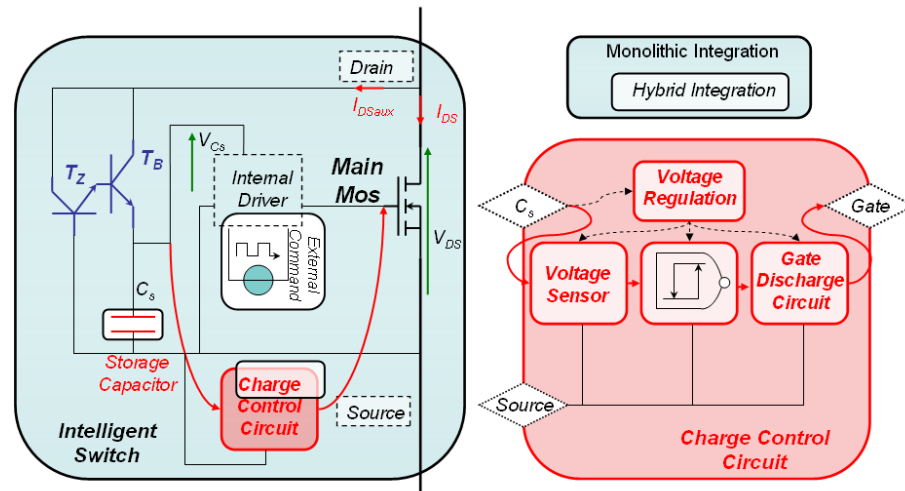


FIGURE I.44 – Structure du circuit total de commande d'un transistor de puissance, avec une extension pour le circuit d'autoalimentation : contrôle de la charge stockée

convertisseur 40Ω).

Les pertes supplémentaires des phases de recharge représentent moins de 12% des pertes en conduction du transistor de puissance, et ces phases de recharge ont un rendement de 25% [89]. Il est donc possible d'implémenter ce type d'évolution afin de s'affranchir complètement des considérations de l'équation I.1. Il reste à étudier l'influence de ces phases de recharge du point de vue CEM. Cela a été fait pendant le M2R et le début de cette thèse : l'étude est basée sur la décomposition dans le domaine fréquentiel la tension V_{DS} afin de modéliser la modification de la source de la pollution spectrale (ajout des phases de recharge autonomes). Il a été vérifié de façon pratique que l'apparition de phases de recharge ne modifiaient que très peu la mesure normative du convertisseur de puissance (figure I.49). Les développements théoriques et pratiques sont disponibles dans [89] et dans une moindre mesure dans [91].

En conclusion sur cette évolution, nous pouvons dire qu'il est possible et à coût réduit (énergétique et électromagnétique) de mettre en œuvre un dispositif de contrôle de la charge emmagasinée dans la capacité de stockage C_S . Grâce à ce circuit, de nouveaux modes de fonctionnement sont autorisés pour l'autoalimentation : fonctionnement indépendant des paramètres de commutations, mais aussi réduction possible de la taille de la capacité de stockage. En perspective, il peut donc devenir possible d'intégrer une faible capacité de stockage C_S , ainsi que le dispositif de contrôle de la charge de cette capacité. L'autoalimentation peut ainsi devenir un système totalement intégré, fiable, autonome et adapté à tous les types de fonctionnement.

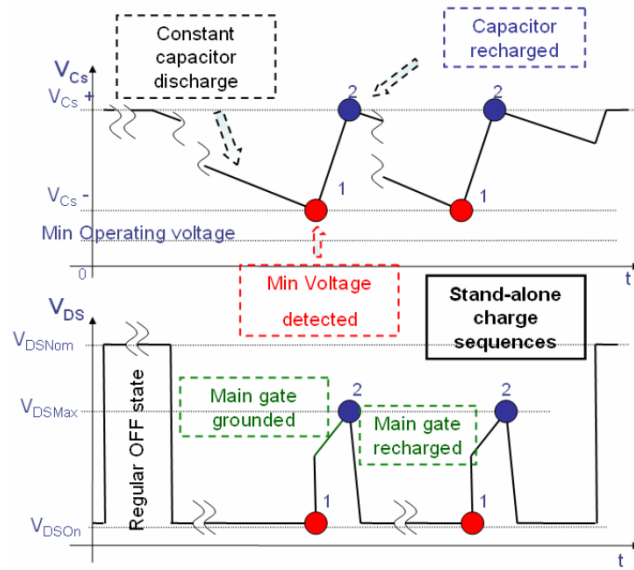


FIGURE I.45 – Schéma qualitatif des phases de recharge autonomes pour une meilleure versatilité de l’autoalimentation

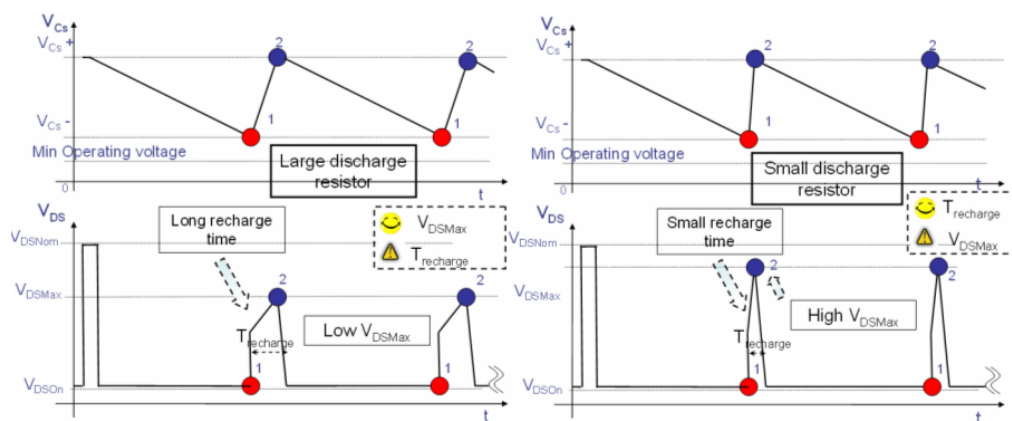


FIGURE I.46 – Modification de la dynamique des phases de recharge par action sur le circuit de décharge

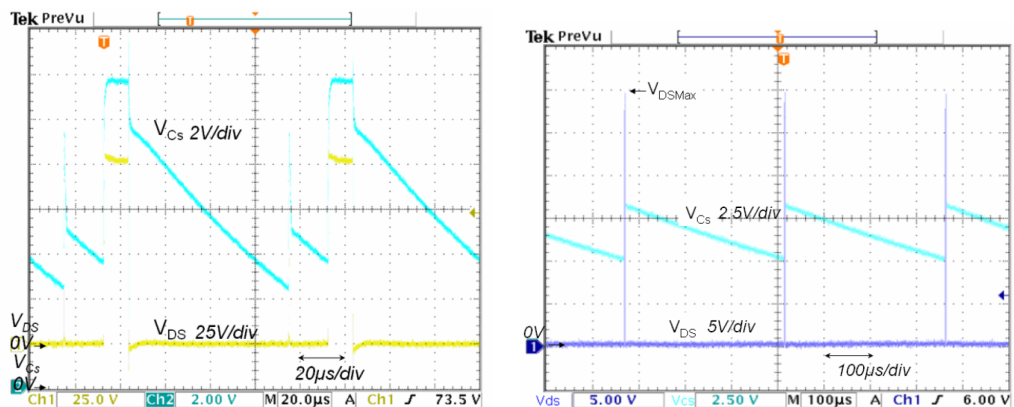


FIGURE I.47 – À gauche : Fonctionnement avec une faible capacité, des séquences de recharge autonomes apparaissent. À droite : Fonctionnement dans le pire des cas, le transistor principal est dans son état passant de façon permanente

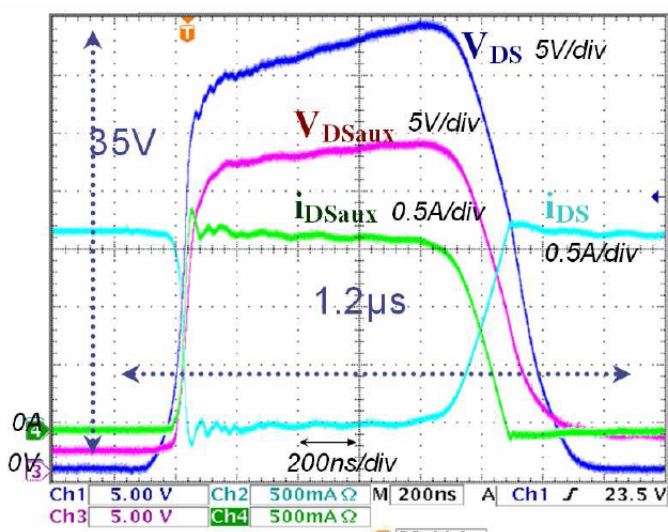


FIGURE I.48 – Zoom de la figure I.47 - droite, afin d'étudier le rendement des phases de recharge

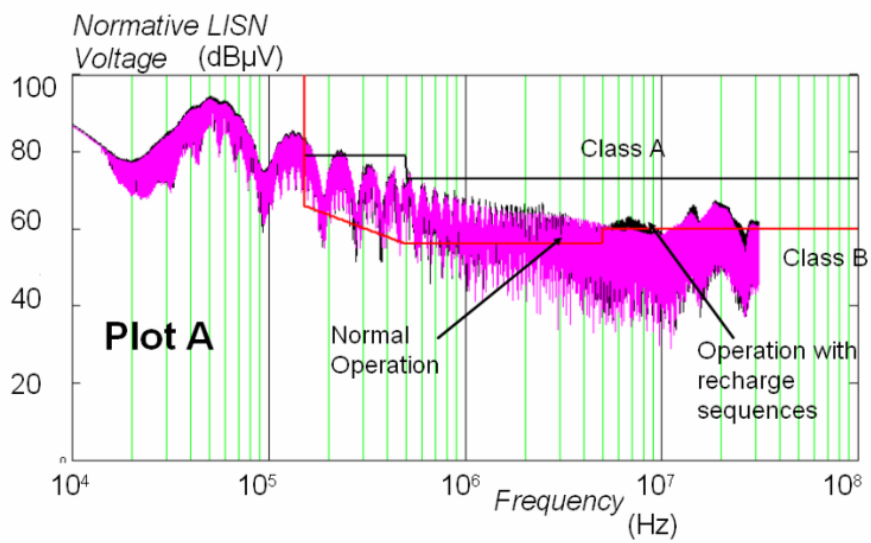


FIGURE I.49 – Mesure normative du convertisseur de puissance hacheur série, avec et sans phases de recharge autonomes

I.4.e-vi Évolutions pour une autoalimentation bipolaire

Une autre limitation du circuit d'autoalimentation vient du fait que l'alimentation créée est seulement de type unipolaire : en effet, la capacité de stockage est référencée à la source (ou émetteur) du transistor de puissance principal et la tension d'alimentation de la commande rapprochée est donc seulement positive par rapport au point de référence (source de l'interrupteur de puissance). Dans les premières versions du circuit d'autoalimentation [106] ou [75], l'argument principal avancé sur cette limitation est que l'autoalimentation s'adresse à des composants de puissance totalement intégrés (commande rapprochée et circuit d'autoalimentation de la commande rapprochée). En conséquence, les inductances parasites entre la commande rapprochée et la grille du transistor principal sont très réduites, limitant ainsi fortement les risques de remises en conduction dans le cas d'une commande unipolaire. Ceci est relativement bien détaillé dans [106]. Cependant, afin d'améliorer la fiabilité (inhibition de la capacité parasite de réaction du transistor principal lors d'une tension V_{GS} négative, et limitation des influences des inductances parasites) et les performances de la commande rapprochée et de son autoalimentation (principalement rapidité de commande sous tension négative), nous avons voulu proposer quelques solutions pour créer une commande bipolaire ($+V_{CS} - 0 - -V_{CS}$).

Les solutions qui vont être présentées ci-après sont le fruit du travail en collaboration avec B. Kosecki [56], A. Serru [100], ainsi qu'au sein du projet H2T-Tech (Altsom - Pearl, avec comme partenaires privilégiés Laplace et Laas). La première solution consiste à réaliser un hacheur à accumulation inductive, avec comme source d'entrée la capacité de stockage C_S . Cette structure présente la fonctionnalité suivante intéressante : la tension de sortie est inversée par rapport à la tension d'entrée [45], ce qui permet de proposer un potentiel négatif pour le circuit de commande rapprochée (figure I.50).

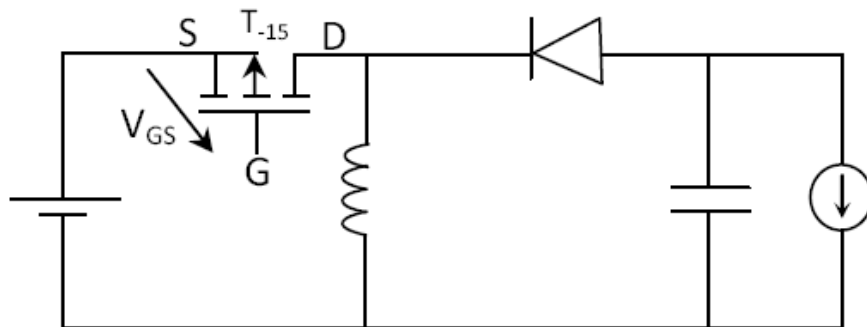


FIGURE I.50 – Utilisation d'un hacheur à accumulation inductive afin de générer un potentiel négatif, utile à la commande rapprochée

Afin de limiter les pertes de ce circuit de très faible puissance et de favoriser son intégration, ce hacheur à accumulation inductive doit fonctionner en régime fortement discontinu et à haute fréquence. Ce circuit a été analysé, dimensionné et réalisé. Il semble répondre de façon très correcte à la problématique (figures I.51 et I.52) : le rendement total du convertisseur de puissance n'est pas modifié (autour de 96% pour une puissance de 700W [56]) et la fonctionnalité de la commande bipolaire est bien ajoutée.

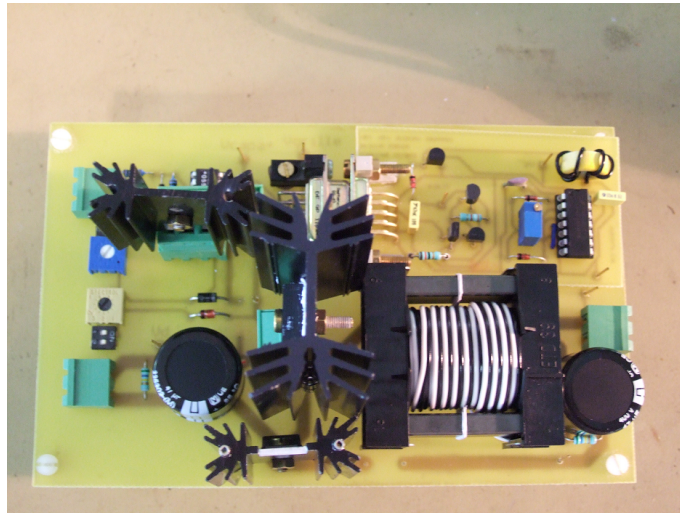


FIGURE I.51 – Réalisation discrète d'un hacheur série de 700W, dont la commande rapprochée est autoalimenté et intégrant un dispositif de commande bipolaire

La seconde solution consiste à modifier le circuit de commande rapprochée, afin d'appliquer une tension négative à partir de la capacité de stockage C_S . Pour cela, le circuit de commande rapprochée doit être un *pont en H*. Bien que cette solution ne présente pas de problème particulier à part la bonne gestion de la recharge de la capacité de stockage, elle a été limitée au démonstrateur de faisabilité (figure I.53).

Ces évolutions sont applicables à tous les circuits de commande rapprochée basés sur le principe de stockage d'énergie dans un réservoir, et peuvent donc servir aux alimentations de commande rapprochée de type Bootstrap ou autre pompe de charge. Sortant du contexte de cette thèse, nous n'avons pas poussé plus loin les travaux autour de ces évolutions, mais nous venons de présenter ici les principaux résultats à partir de réalisations en composants discrets : il est relativement aisé de transformer le circuit d'autoalimentation unipolaire en un circuit bipolaire et de bénéficier ainsi des gains d'une commande bipolaire à partir de notre circuit d'autoalimentation simple.

I.4.e-vii Intégration de la capacité de stockage ?

En guise de conclusion sur les évolutions et nouvelles fonctionnalités autour de l'auto-alimentation de la commande rapprochée, il s'agit de répondre à la question de l'intégration de la capacité de stockage C_S au sein du transistor de puissance. Si nous considérons le circuit d'autoalimentation de base de la figure I.25 [95], nous avons démontré que les deux transistors bipolaires nécessaires au circuit d'autoalimentation étaient très facilement intégrables, on peut se demander ce qu'il en est de la capacité de stockage C_S .

Cette capacité C_S doit stocker au moins l'énergie nécessaire à la charge de la grille du transistor de puissance, ainsi que l'énergie nécessaire à l'alimentation de la commande rapprochée (polarisation statique de l'optocoupleur par exemple). Au vu de ces considérations, cette capacité est de l'ordre de $60nF$ sous $15V$ pour un transistor de puissance de $600V - 10A$, commutant à $20kHz$. Son intégration monolithique semble donc relativement difficile telle quelle, car la surface nécessaire à l'intégration de cette capacité est trop importante

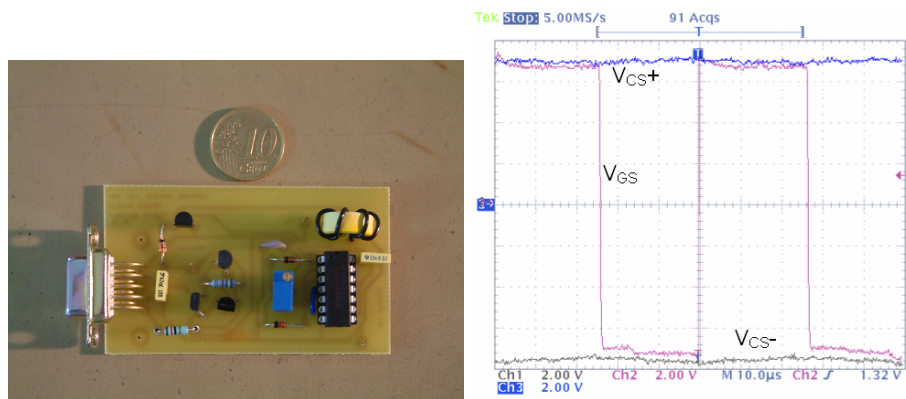


FIGURE I.52 – Gauche : Zoom sur le dispositif de génération du potentiel négatif grâce à un hacheur à accumulation inductive de faible puissance. Droite : Mise en œuvre dans le convertisseur de puissance de la figure I.51, montrant la commande bipolaire du transistor de puissance principal

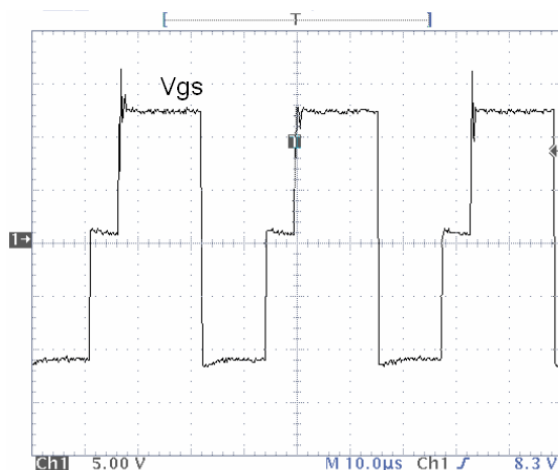


FIGURE I.53 – Visualisation de la commande de grille avec une solution de type pont en H

au vu des valeurs de permittivité des capacités intégrées, et nécessiterait des tranchées profondes et étendues, peu compatibles avec une intégration monolithique de puissance *bas coût* [12].

Plusieurs choix se posent alors :

- Développer une intégration simple du système de contrôle de la charge stockée dans C_S , afin de favoriser complètement les séquences de recharges autonomes, et diminuer ainsi la valeur de la capacité à quelques nF. Son intégration monolithique serait donc envisageable.
- Garder des capacités de stockage de grande valeur, et l'accorder sur les paramètres fonctionnels du transistor de puissance principal (fréquence de commutation, consommation du circuit de commande). En conséquence, son intégration serait hybride et on effectuerait un effort de conception sur le composant de puissance afin de dégager des plots de contact et d'y reporter une capacité externe, hybridée. Les coûts électromagnétiques restant à évaluer (perturbations dues à l'hybridation sur la tenue en

tension en surface).

En conclusion, le système proposé d’autoalimentation de la commande rapprochée peut être totalement intégré, et des fonctionnalités annexes peuvent lui être ajoutées. Ceci permet de justifier de façon exhaustive tous les travaux de cette thèse autour de ce circuit d’autoalimentation et plus particulièrement de la conception et la réalisation de l’autoalimentation intégrée monolithiquement au sein de composant de puissance. La structure à transistors Bipolaires verticaux semble donc être une très bonne candidate pour l’alimentation de la commande rapprochée intégrée, tant des points de vue énergétique que fonctionnel. Afin de pousser encore plus loin les efforts d’intégration monolithique, nous pouvons utiliser cette source d’alimentation flottante intégrée, afin d’alimenter un étage d’isolation galvanique, et une isolation optique en particulier. Fort de cette alimentation, cette brique fonctionnelle d’isolation galvanique sera détaillée dans le paragraphe ci - après, ainsi que dans les différents chapitres de cette thèse.

I.5 L’isolation galvanique autour du composant de puissance : un défi majeur

I.5.a Le besoin d’une isolation galvanique

De la présentation qui vient d’être faite, nous pouvons voir qu’un *réseau de bord* au cœur de l’interrupteur de puissance peut être réalisé. Cette intégration encourage fortement la présence de fonctions évoluées au sein du transistor de puissance (par exemple la commande rapprochée [39] ou encore un oscillateur local, un circuit de MLI [109], [60] et [61]). Cependant, au vu de la méthode d’intégration choisie qui est l’auto-isolation par jonctions PN polarisées en inverse et référencées au potentiel le plus bas (source ou émetteur du transistor de puissance principal), les fonctions intégrées seront toutes référencées à ce potentiel de plus basse valeur (afin de garantir l’isolation entre les fonctions intégrées basse tension et la face arrière du composant haute tension). Si l’on veut piloter ces fonctions intégrées, il faut donc obligatoirement un étage d’isolation galvanique faisant le lien entre une information externe (potentiel de référence externe) et les fonctions internes du transistor de puissance référencées au potentiel flottant (figure I.54). Ceci est d’autant plus vrai dans le cas de la problématique de transistors de puissance de type High Side à potentiel de référence flottant pouvant atteindre de fortes valeurs (plusieurs kV selon les applications), ainsi que dans le cas de convertisseurs de puissance à régulation externe (type Flyback ou Forward par exemple, afin d’assurer le retour d’information du secondaire vers le primaire).

Cette isolation est aujourd’hui relativement difficile à intégrer au sein de composants de puissance, aussi bien dans un schéma d’intégration hybride (report de la puce d’isolation sur la puce de puissance) que dans une intégration monolithique (garantir le niveau d’isolation du récepteur intégré) : en effet lors d’un report de puce, il faut isoler les parties aux potentiels élevés des potentiels les plus faibles, et ceci dans tout le volume du composant intelligent (figure I.55).

Nos travaux visent à intégrer l’étage d’isolation galvanique au sein de transistors de puissance, afin faciliter la commande des transistors de puissance, ainsi qu’augmenter leur fiabilité tout en garantissant un haut niveau de performances. Un des premiers critères de choix de l’isolation galvanique est de fixer le rôle de l’isolation galvanique dans la chaîne de

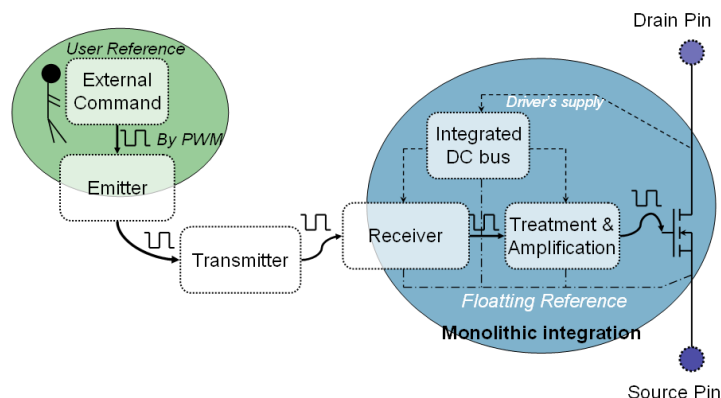


FIGURE I.54 – Besoin d’une isolation galvanique entre le transistor de puissance intelligent et sa commande externe

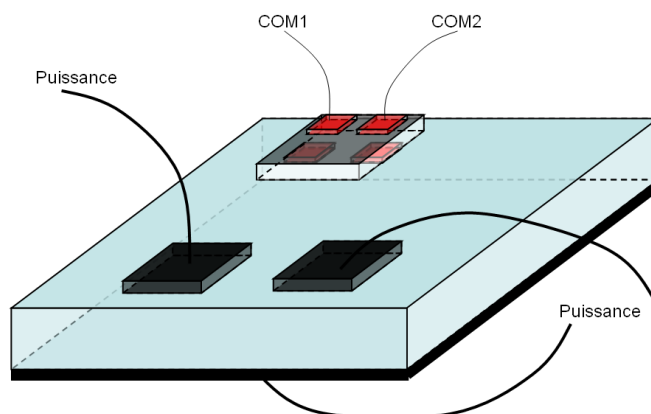


FIGURE I.55 – Hybridation d’un étage d’isolation galvanique au sein d’un interrupteur de puissance : Le niveau d’isolation est-il toujours garanti par l’hybridation ?

contrôle et de commande du transistor de puissance : le bloc fonctionnel *isolation galvanique* doit - il se limiter seulement à un transfert d’ordre basse énergie à des niveaux de potentiels différents ou bien ce bloc peut - il réaliser en même temps le transfert de l’énergie de commutation ? Quelques réponses à cette question, à travers des exemples de réalisation de cette isolation galvanique vont être présentés ci-après.

I.5.b Quelles solutions pour réaliser cette isolation ?

I.5.b-i Transmission électromagnétique ou électromécanique

Les solutions existantes pour réaliser l’isolation galvanique entre la commande externe et la commande rapprochée sont nombreuses. La première solution consiste à utiliser un modulateur d’émission depuis la commande externe, afin de générer une onde électromagnétique de faible longueur d’onde, transmise en champ libre ou grâce à un guide d’onde depuis l’émetteur externe vers le récepteur intégré. Le récepteur est donc constitué d’un démodulateur, suivi d’un circuit de mise en forme et d’amplification (figure I.56).

L'onde électromagnétique peut être dans plusieurs gammes, il peut s'agir d'ondes de type radio-fréquences ($10^{-2}m < \lambda < 10^4m$) ou bien de rayonnement optique (principalement $10^{-7}m < \lambda < 10^{-4}m$). L'onde électromagnétique peut être de forte puissance dans le cas de la transmission directe de l'énergie de commutation du transistor de puissance principal ou bien de faible puissance dans le cas de la transmission de l'ordre de commande, qui est ensuite traité et mis en forme par le récepteur.

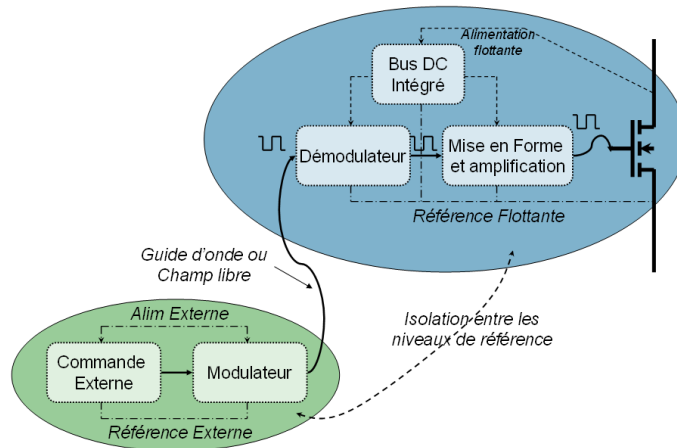


FIGURE I.56 – Structure de la commande complète avec isolation galvanique par transmission d'onde EM

Pour les ondes de type radiofréquence, il est aujourd'hui très difficile d'intégrer un tel dispositif du fait de sa complexité et des ordres de grandeurs offerts par le procédé de fabrication des transistors de puissance [35]. Les seules solutions pouvant exister sont du type hybride, avec les surcoûts technologiques engendrés par cette solution (report de la puce de réception, fabrication dans une salle blanche de microélectronique souvent différente de salle de puissance). Pour les ondes de type optique, la partie suivante y est particulièrement consacrée.

Dans la solution radiofréquence, l'émetteur et le récepteur étaient *physiquement* séparés, garantissant un très haut niveau d'isolation. Il existe d'autres solutions qui utilisent un élément constitué d'un primaire et d'un secondaire, garantissant un certain niveau d'isolation, et utilisant des phénomènes électriques, magnétiques (transformateur) et / ou mécaniques (transducteurs piézoélectriques). Le niveau d'isolation dépend de la tenue en tension du ou des diélectriques entre le primaire et le secondaire : il peut être de 10 kV pour les transformateurs d'impulsions (figure I.57) et dépend du matériau diélectrique pour les transducteurs piézo [105]. Dans tous les cas, les possibilités d'intégration de ces deux modes d'isolation reposent sur des procédés technologiques spécifiques qu'il faudra associer à ceux des composants de puissance.

Les autres solutions existantes, dérivées du mode d'alimentation de la commande rapprochée (Bootstrap, pompe de charges [75] [35]) sont limitées soit en intégration monolithique (complexité, technologie non compatible avec le composant de puissance), soit en niveau d'isolement. Durant cette thèse, nous avons étudié particulièrement l'intégration monolithique d'un récepteur optique au sein du composant de puissance, du fait de la compatibilité technologique avec ce type de récepteur et des niveaux d'isolation permis par ce

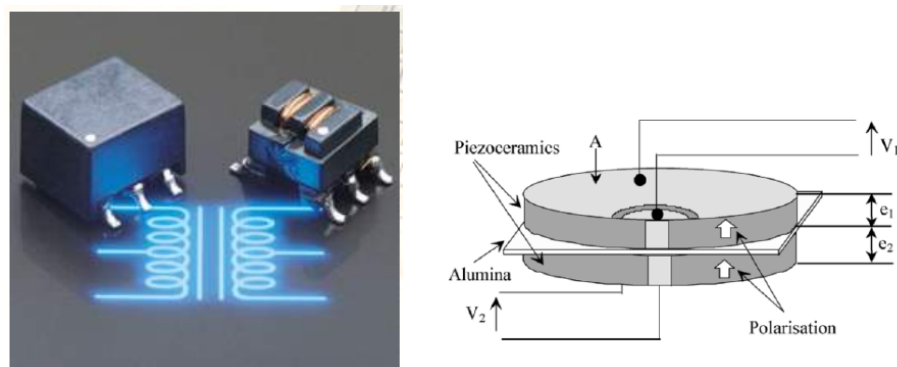


FIGURE I.57 – Gauche : transformateur d'impulsion. A droite : transducteur piezoélectrique

type d'isolation. Deux aspects doivent être abordés une fois la technologie compatible : la capacité à recevoir un signal, et l'immunité du récepteur à l'environnement.

I.5.b-ii L'exemple de la transmission optique

Pour la transmission optique, on peut séparer les solutions en deux grandes catégories : la transmission en champ libre et la transmission par guide d'onde. Pour le champ libre, il s'agit de transmission de longueurs d'ondes inférieures aux bandes passantes des fibres optiques (inférieure à 600-800nm soit la fin de la *lumière rouge*). Dans ce cas là, on met en regard un émetteur (LED) avec un récepteur sensible à la longueur d'onde du rayonnement émis. L'avantage de cette solution est de pouvoir utiliser des récepteurs sensibles à une longueur d'onde qui ne peut être transmise par fibre optique (exemple de récepteur en SbKCs [22] et [19]). Au moins aussi difficile à mettre en œuvre, les solutions à base de fibre optique (domaine du rouge et de l'infrarouge – figure I.58) simplifient les applications où il existe des distances entre émetteur et récepteur qui peuvent être importantes, et dans le contexte de l'intégration il suffit de prévoir une *prise optique* sur le composant ce qui garantit un très haut niveau d'isolation entre le récepteur et l'émetteur externe, forcément éloigné du récepteur. Pour ces deux solutions, il s'agit globalement du même schéma que sur la figure I.56, le modulateur étant la diode électroluminescente émettrice, le guide d'onde pouvant être soit l'air (champ libre) soit une fibre optique (transmission guidée) et le récepteur pouvant être de tout type (photorésistance, photodiode ou phototransistor [68] et [86]).

Si l'on remplace la transmission optique dans le contexte de l'électronique de puissance, les caractéristiques de ce type d'isolation sont les suivantes :

- Si l'on veut intégrer un récepteur optique au sein du transistor de puissance et au vu de la contrainte bas coût, ce récepteur devra être en silicium, isolé par une jonction polarisée au potentiel le plus bas du composant de puissance.
- La première façon d'implémenter une isolation galvanique dans la chaîne totale du composant de puissance et de son environnement est la suivante : toutes les fonctions sont intégrées et donc référencées au potentiel le plus bas du transistor de puissance et en conséquence la chaîne optique fonctionne *en linéaire* (Droite de la figure I.59). Il

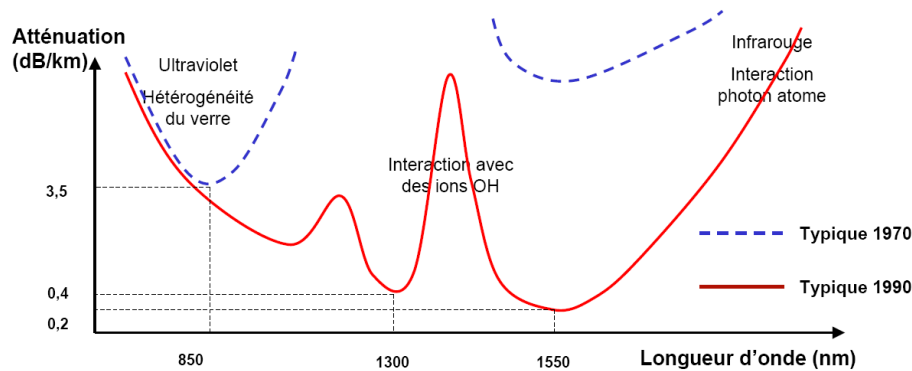


FIGURE I.58 – Atténuation des fibres optiques selon la longueur d’onde [44]

s’agit par exemple de l’utilisation d’une isolation optique pour transmettre une image d’une tension de sortie de convertisseur, ou toute autre information à un potentiel différent de celui du transistor de puissance. Dans ce cas, le récepteur optique est de faible bande passante mais doit avoir une très bonne sensibilité afin d’assurer un bon fonctionnement de la régulation.

- La seconde façon est la suivante : les signaux de commutation du transistor de puissance sont transmis à travers le système optique (Gauche de la figure I.59). Il s’agit donc du fonctionnement typique d’un composant de type optocoupleur, qui serait ici *éclaté* afin d’intégrer seulement le récepteur optique. Dans ce cas, le récepteur optique doit avoir une bande passante supérieure à la fréquence de commutation (de quelques kHz à plusieurs dizaines de kHz), mais grâce à un circuit de mise en forme adapté, sa sensibilité peut être très limitée (détection de seuil).

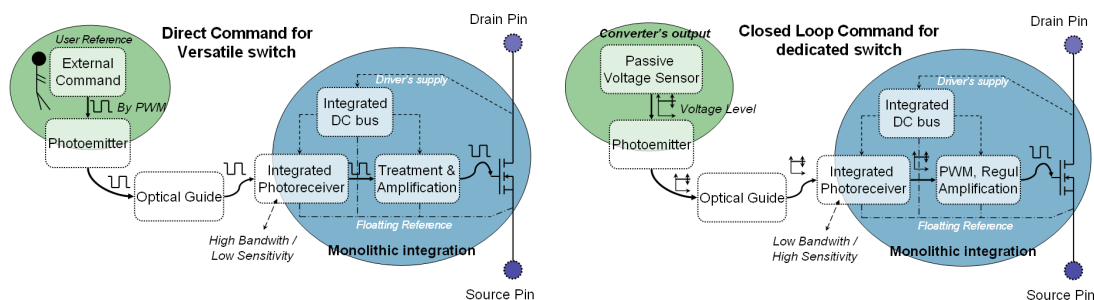


FIGURE I.59 – Les deux façons différentes d’implémenter une isolation dans la chaîne de commande de l’interrupteur de puissance : transmission à faibles variations et bande passante (à droite) – fortes amplitudes et bande passante (gauche)

Afin d’évaluer les conditions d’intégration d’un récepteur optique au sein de transistor de puissance, nous allons étudier quelques solutions de récepteurs optiques. Nous verrons en particulier quelles sont les propriétés optiques du silicium, et si ces propriétés sont compatibles avec la problématique de l’électronique de puissance (figure I.59) et quelles peuvent être les structures d’un tel récepteur.

I.5.c Le défi de l'isolation et de la commande optiques en électronique de puissance

I.5.c-i Solutions existantes

Bien qu'offrant des performances défiant toute concurrence, en termes de bande passante, de niveau d'isolation, d'immunité aux perturbations et de capacité de transmission longue distance, la commande optique en électronique de puissance reste limitée soit aux solutions électro-optiques (optocoupleurs discrets à *faible* tension d'isolement) soit aux solutions optiques pour la très haute tension (plusieurs centaines de kV). Pour les optocoupleurs, les niveaux d'isolation restent modérés entre la commande externe et la commande interne (de l'ordre de la dizaine de kV [2]), principalement à cause des capacités parasites qu'il existe dans le composant (packaging dans un espace réduit). On parle alors de solutions électro-optiques dans le sens où la commande externe est électrique et l'émetteur et le récepteur sont intégrés dans un même boîtier, incompatible avec le contexte de l'intégration monolithique. Les seules commandes optiques aujourd'hui largement utilisées concernent exclusivement les postes de redressement HVDC et les compensateurs statiques d'énergie réactive SVC [64] : pour ces applications, on utilise des thyristors à commande optique (figure I.60 par exemple), où l'énergie de déclenchement est transportée par fibre optique et est transmise au cœur du composant de puissance via une connectique adaptée (un guide de lumière intégré au packaging, avec prise optique d'un standard). Pour ces mêmes thyristors, des solutions hybrides sont développées afin de ne transmettre par voie optique que l'information de commande (notamment les thyristors haute tension ABB). Il est ainsi possible de créer une matrice d'interrupteurs avec ces composants (mise en série et parallèle), permettant la réalisation de convertisseurs de plus de 500kV et de très forts calibres en courant. Ces réalisations sont utilisées principalement dans les postes de transformation en liaison à courant continu, et la transmission optique est la seule candidate pour de tels niveaux d'isolation.

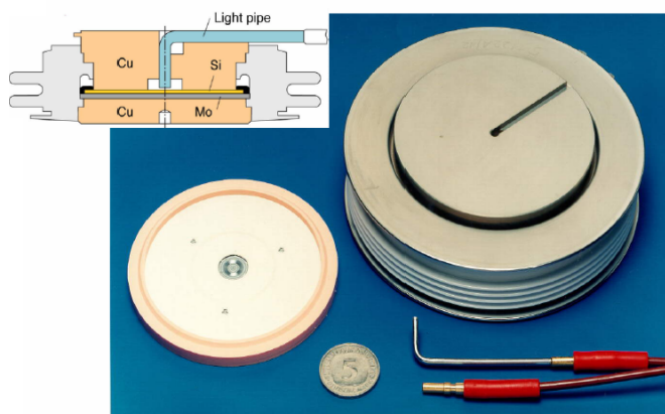


FIGURE I.60 – Thyristor à déclenchement optique ABB - 7500 V – 63 kA – 10 mW optique nécessaires au déclenchement

Quelques travaux ont tenté d'étendre le domaine de la commande optique sur des composants de plus faible calibre, tout en gardant l'intégration monolithique bas coût comme contrainte. Nous pouvons citer [16] et [15] par exemple sur le plan national, où la

commande transporte une puissance réduite et ne commande pas directement l'interrupteur de puissance 1400V (figure I.61). Mis à part ces travaux et d'autres autour de thyristors optiques, il n'existe pas, à notre connaissance, de composants de puissances de type VMOS ou IGBT intégrant monolithiquement un récepteur optique.

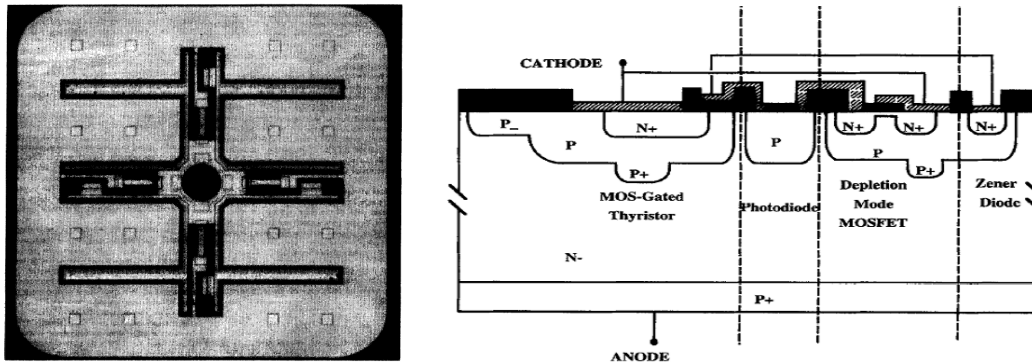


FIGURE I.61 – Intégration monolithique d'un récepteur optique au sein d'un thyristor à gachette Mos

Afin de faire profiter les transistors de puissance commandés à l'ouverture et à la fermeture (tels que VMOS et IGBT) des performances de l'isolation optique, tout en garantissant un coût de fabrication, d'implémentation et de dépannage faibles, nous avons mené des travaux amonts sur l'intégration d'un récepteur optique au sein de transistors de puissance. Dans un premier temps, nous n'avons pas regardé en détail la problématique de l'émetteur et du mode de transmission, sachant que ces deux caractéristiques seraient guidées par les performances du récepteur qui pourrait être intégré monolithiquement au sein de transistors de puissance. Il a fallu étudier en détail la faisabilité d'un tel récepteur, ainsi que concevoir une structure de récepteur adaptée et utilisant par exemple la présence d'un réseau de bord au sein du transistor de puissance (autoalimentation). Les parties ci-après présentent de façon succincte les enjeux d'une telle intégration ainsi que les possibilités et éventuelles limitations d'un récepteur optique intégré.

I.5.c-ii Adaptation du Silicium à la photosensibilité : quelles sont ses propriétés optiques ?

Lorsque l'on regarde la plupart des récepteurs optiques, les noms des matériaux les composant sont de toutes sortes : GaAs, Ge, In, CdS, GaN, etc [19] [42] [47] [86] [22] [11]. On peut donc naturellement se demander si le Silicium utilisé pour les transistors de puissance est de bonne qualité pour un récepteur optique, et quelles sont en détails ses propriétés.

Une première réponse nous est donnée dans [11] dont sont tirés les figures I.62

Ce qui ressort de cette étude comparative préalable est que le Silicium est un bon matériau pour un photorécepteur, sa bande passante en longueur d'onde est de 400nm à 1200nm et il présente une très bonne sensibilité par rapport aux autres matériaux. Ce matériau toutefois est moins utilisé aujourd'hui pour les récepteurs optiques pour deux raisons :

- Soit la transmission s'effectue via une fibre optique, et la longueur d'onde sera plutôt

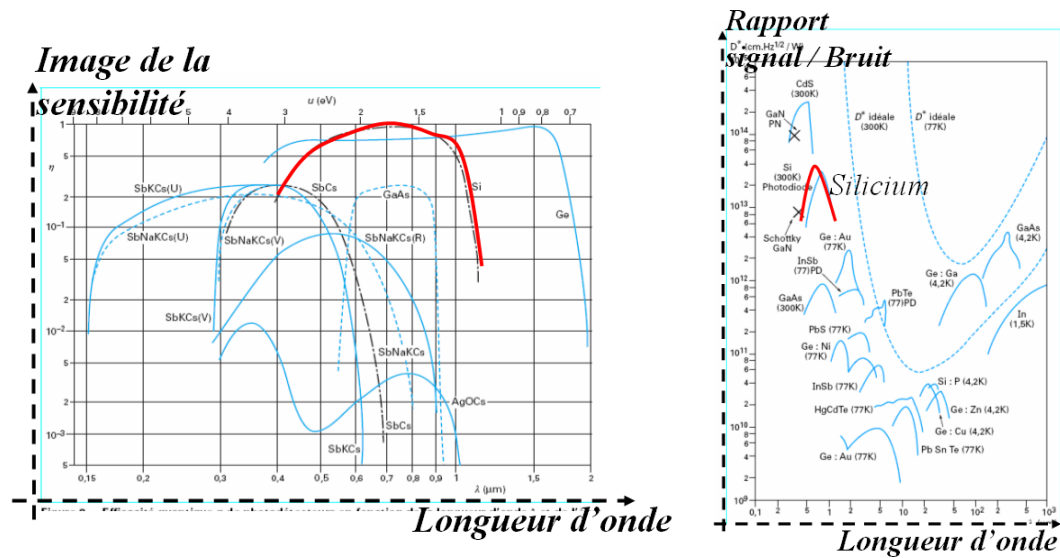


FIGURE I.62 – Quelques propriétés de matériau à propos de la photoréception. A gauche : image de la bande passante (sensibilité normée). A droite : image du rapport signal / bruit dans la bande passante [11]

de 1300 ou 1550 nm dans le cas d'une transmission à haut débit et/ou longue distance. Le Silicium ne peut donc plus être utilisé, et il sera remplacé par des matériaux de type Ge, InAs ou InSb par exemple

- Soit la transmission s'effectue en champ libre et d'autres considérations doivent être prises en compte dans le choix du matériau du photorécepteur (coût, procédé de fabrication, pluri-alimentation de la source de matière première, rapidité du récepteur). La rapidité étant un des paramètres fonctionnels les plus importants dans ce cas, les informations transmises pouvant être de l'ordre de plusieurs GHz, le Silicium n'est donc pas répandu dans ce secteur applicatif.

Par rapport au comportement dynamique d'un récepteur à base de Silicium, la bande passante du signal transmis peut varier de plusieurs kHz à plusieurs centaines de MHz, cela dépendant du type de récepteur (photorésistance, photodiode ou phototransistor) ainsi que du montage associé [68] [86]. Par exemple, pour une photorésistance, la constante de temps pour passer d'un régime permanent sous éclairnement à un autre régime permanent sans éclairnement dépend de la durée de vie des porteurs. Pour une photodiode optimisée, cette constante de temps dépend de plusieurs constantes supplémentaires, telles que le temps de transit des charges en ZCE et la constante de temps due au circuit de charge ainsi que la capacité de jonction de la photodiode. On ne peut donc pas donner simplement et rapidement le comportement dynamique d'un récepteur en Silicium, sans lui avoir associé des propriétés géométriques (surface du récepteur). De même et de façon générale, la sensibilité *statique* d'un récepteur optique va dépendre de sa conception : par exemple de l'optimisation ou non de la géométrie du récepteur en fonction de l'onde transmise (zone intermédiaire de très faible dopage pour améliorer le rendement optique d'une photodiode par exemple), ainsi que le cahier des charges du circuit associé (points de fonctionnements).

En conclusion de cette présentation, on peut dire que les propriétés optiques du Sili-

cium ne semblent pas être un frein pour réaliser un récepteur optique performant, il reste maintenant à vérifier les propriétés d'un récepteur réalisé par l'intermédiaire du procédé de puissance et de concevoir ainsi un circuit associé au photorécepteur qui soit adapté.

I.5.c-iii Structure système d'un récepteur optique intégré monolithiquement

Si l'on veut poursuivre la démarche de l'intégration monolithique bas coût initiée avec le circuit d'autoalimentation, on doit alors se limiter à n'utiliser que les fonctions fournies naturellement par le procédé de fabrication du transistor de puissance. Dans un premier temps, on se limitera à l'intégration au cœur d'un transistor de type VDDMOS. Avec ce procédé de fabrication, il y a au moins 4 solutions différentes pour réaliser un récepteur optique intégré monolithiquement (figure I.23 et [36] [88]).

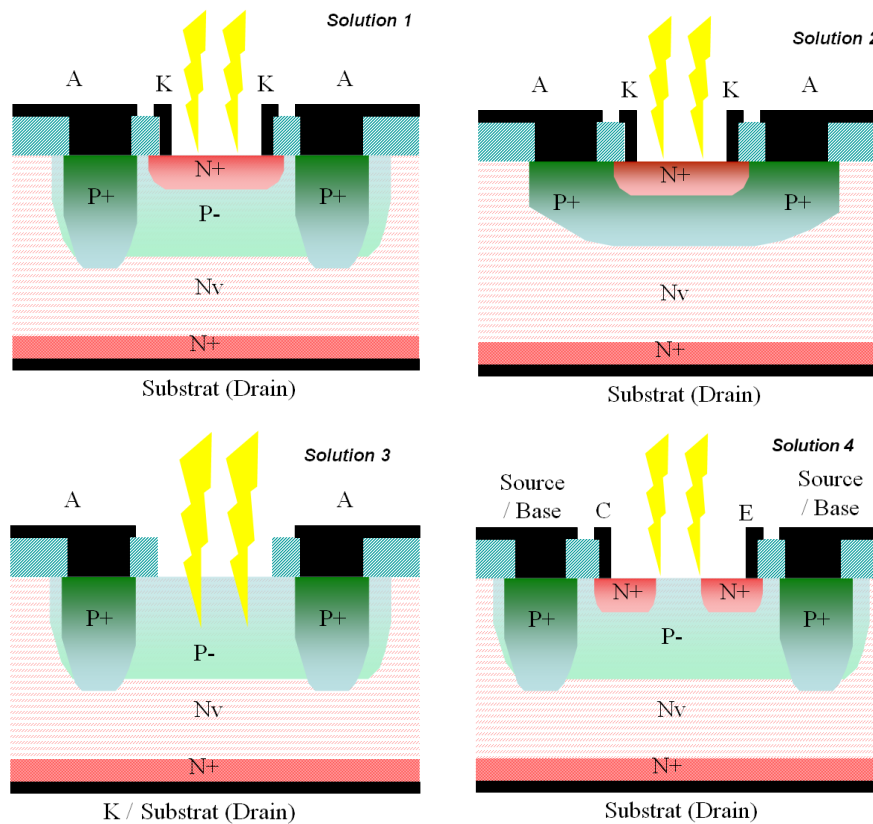


FIGURE I.63 – Solutions possibles pour un photorécepteur utilisant le procédé de fabrication VDDMOS

Naturellement, il existe une structure verticale NPN parasite par le procédé de fabrication du transistor de puissance, ainsi qu'un bipolaire NPN latéral mais il existe différentes façons d'utiliser ces composants structurels :

- Tout d'abord on peut utiliser directement la diode de structure du VDDMOS (solution 3 sur la figure I.63) : cette structure est éliminée d'office de part son mode de connexion. La cathode K de cette diode est obligatoirement connectée au drain commun tandis que son anode A doit être connectée au potentiel de plus basse valeur

du composant intégré c'est à dire la source du transistor de puissance, elle ne peut rester flottante et ce afin de garantir l'isolation de cette structure. Il n'est pas donc pas possible d'utiliser seulement la diode verticale N^+P^- .

- Ensuite on peut utiliser le transistor vertical parasite $N^+P^+N_\nu N^+$ ou $N^+P^-N_\nu N^+$, en connectant le caisson P^+ à la source du transistor de puissance (réalisant l'anode A du récepteur), garantissant ainsi l'auto-isolation de la jonction N^+P en surface (solutions 1 et 2 figure I.63). On utilise alors cette jonction Emetteur (Cathode K - région N^+ en surface) - Base (Anode A - région P^+) comme une photodiode en surface. Vu que le potentiel de source est toujours inférieur à celui du drain et que le potentiel de l'anode A est toujours supérieur au potentiel de la cathode K (polarisation inverse), cette photodiode est toujours isolée de la partie haute tension, tant que le drainage des charges se fait correctement (dopage P^+ de grande valeur assurant un bon contact ohmique). La solution 2 est toutefois à écarter car la photodiode réalisée est du type N^+P^+ et deux phénomènes limitant en découlent : l'étendue de la ZCE est faible par rapport à la jonction N^+P^- ce qui réduit l'efficacité optique du récepteur (voir chapitre 2 pour plus de détails) et la tenue en tension de cette jonction est réduite (inférieure à la tension de l'autoalimentation disponible).
- La solution 1 figure I.63 quant à elle est une bonne candidate pour réaliser un photorécepteur intégré utilisant les mêmes étapes de fabrication que le transistor de puissance principal : le caisson P est relié à la source ce qui devrait garantir une bonne immunité à la haute tension, la diode réalisée est de type N^+P^- , ayant une tenue en tension identique à la tension utilisée dans le circuit d'autoalimentation de la commande rapprochée, et l'étendue de la ZCE sous une polarisation inverse de cette jonction est meilleure que la solution 2, offrant ainsi un rendement optique correct.
- La solution 4 figure I.63 pourrait être une bonne solution, car on utiliserait le gain du transistor latéral (ce qui augmenterait la sensibilité). Cependant, afin de limiter l'effet de substrat, il faut obligatoirement connecter la base de ce transistor latéral au potentiel le plus bas du système (la source du transistor de puissance), et il est alors difficile de piloter ce transistor latéral.
- Les autres solutions ne peuvent être envisagées : on ne pourrait pas remplacer intégralement, par exemple, le caisson P^+ par un caisson P^- sur la solution 2 car il faut garantir un bon contact ohmique d'anode A, et donc un bon niveau de dopage.

Il a été vérifié en détails que la jonction en surface n'est pas perturbée par la polarisation de la face arrière (chapitres suivants et [90]) et nous pouvons donc considérer dans un premier temps ce récepteur intégré comme une simple photodiode N^+P^- , que l'on doit toujours maintenir polarisée en inverse vu la convention récepteur usuelle (figure I.64). Les modes d'utilisation de types photovoltaïques ne peuvent donc pas être utilisés ici (droite de la figure I.64) et seule l'utilisation dans le troisième quadrant est possible (V négatif et I négatif). Les détails des phénomènes optiques seront explicités plus loin dans le chapitre

2 et nous pouvons démontrer facilement que plus un flux lumineux reçu augmente, plus le courant de fuite de la photodiode augmente (en fait le module du courant de fuite $|I_d|$ augmente lorsque Φ augmente : [66] [79] [79] [102] ou encore [62]).

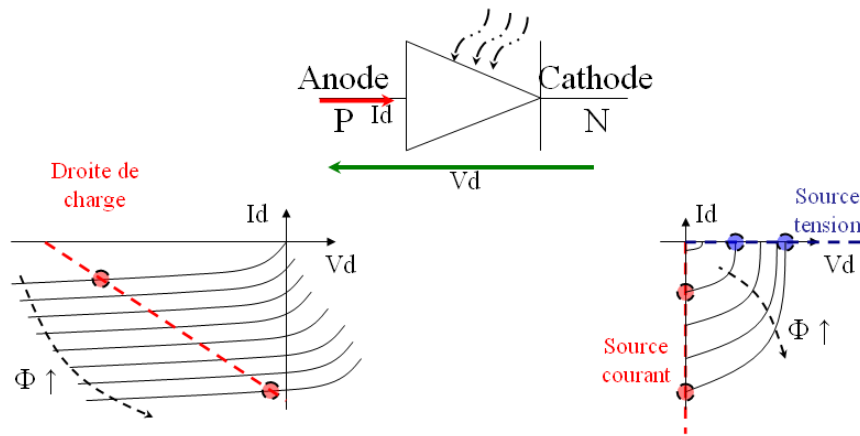


FIGURE I.64 – Rappels sur la caractéristique statique d’une photodiode dans différents quadrants

Le circuit le plus simple d’utilisation dans le troisième quadrant d’une photodiode est représenté sur la figure I.65 ; il s’agit d’un circuit de charge classique avec source de tension E et résistance de charge R (figure I.65). Lorsqu’il n’y a pas de flux lumineux, le courant dans la photodiode est faible et en conséquence la tension de sortie est proche de zéro. Lorsque le flux lumineux est suffisant, le courant dans la photodiode va augmenter et en conséquence la tension de sortie augmente pour atteindre pratiquement la tension d’entrée E si le flux d’éclairement et la résistance R sont accordés sur la caractéristique statique de la photodiode.

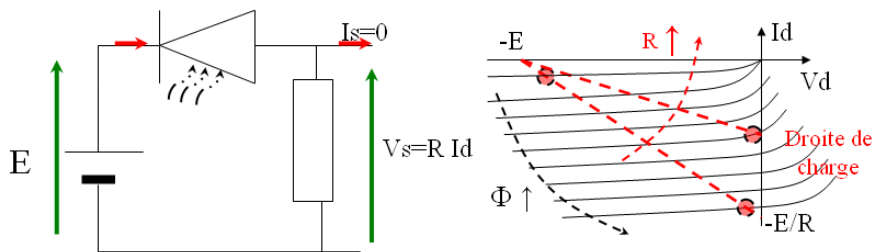


FIGURE I.65 – Circuit le plus simple associé à une photodiode

De cette première analyse, nous pouvons tirer quelques propriétés de ce circuit :

- Pour avoir une plus grande sensibilité, il faut augmenter la valeur de la résistance R , ce qui permet d’obtenir le niveau de tension de sortie maximal pour un courant plus faible.

- Pour augmenter l'immunité au bruit et la bande passante de ce montage, il faut diminuer la valeur de R . Ceci aura aussi comme conséquence de favoriser son intégration éventuelle.
- Il faut fonctionner le plus possible le long des axes dans la caractéristique statique, afin de limiter les pertes de ce montage.
- L'impédance d'entrée du circuit aval doit être grande devant la résistance de charge R .
- En conclusion, on est donc contraint au compromis classique sensibilité / bande passante de ce genre de récepteur, soumis à la dynamique d'un circuit RC.

Si l'on poursuit dans la logique de l'intégration monolithique et au vu des remarques faites au début de cette partie, le circuit de la figure I.65 doit être modifié : l'alimentation basse tension disponible au sein du transistor de puissance est issue du circuit d'autoalimentation décrit plus haut dans ce chapitre (*réseau de bord*). En conséquence, cette source de tension (la capacité de stockage C_S) est référencée par rapport à la source du transistor de puissance, de même que l'anode du photorécepteur qui doit être connectée à ce potentiel de plus faible valeur. Le circuit est donc modifié selon la figure I.66, avec un fonctionnement inversé par rapport à celui du circuit de la figure I.67.

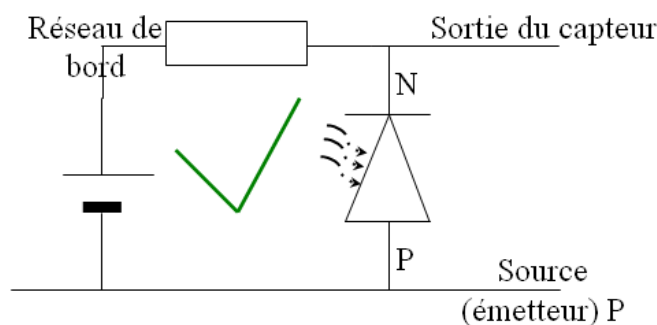


FIGURE I.66 – Modification du circuit de la figure I.65 selon les contraintes de l'intégration monolithique au sein de transistors de puissance

Ce circuit tirera donc profit du réseau de bord basse tension, référencé au potentiel flottant du transistor de puissance. Il reste encore à vérifier si la photodiode issue du procédé de fabrication du transistor de puissance peut être de bonne qualité, et quelles peuvent être les perturbations du drain haute tension sur ce photorécepteur intégré. Dans ce sens, le chapitre 2 va présenter la modélisation effectuée autour des composants de puissance intégrés au sein de transistor de type VMOS, ce qui servira à dimensionner et réaliser à la fois le circuit d'autoalimentation et un photorécepteur intégré.

Sur la figure I.67, on peut voir quelques variantes qui ont été réalisées durant cette thèse et qui seront explicités tout au long de ce mémoire. Leur conception et mise en œuvre sera abordée au troisième chapitre. Ces travaux ont donné lieu à l'encadrement de stagiaires

sur l'utilisation d'un récepteur optique intégré pour les convertisseurs de puissance [51] [49]

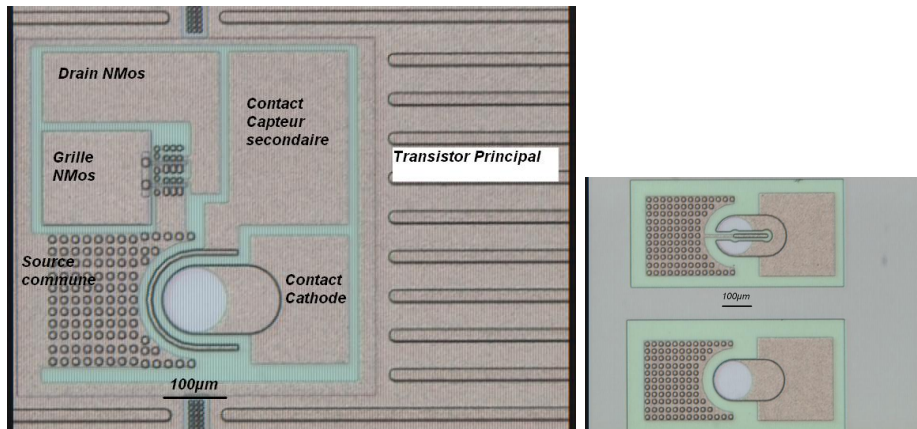


FIGURE I.67 – Vue de dessus de quelques photorécepteurs réalisés durant cette thèse. Voir les chapitres suivants pour plus de détails

I.6 Conclusion

Dans ce premier chapitre, nous avons rappelé le contexte de l'interrupteur de puissance commandé, et plus particulièrement des transistors de puissance à technologie verticale à grille isolée. Les circuits de commande autour de ces composants sont le lieu de fortes contraintes et deux solutions ont été étudiées afin de répondre à ces contraintes : il s'agit de l'alimentation du circuit de commande rapprochée et de l'étage nécessaire de transfert d'ordre isolé par voie optique. Afin de s'inscrire dans une application industrielle, où la demande en terme de fiabilité, de performances et de coût réduit est toujours plus forte, nous avons considéré les possibilités fonctionnelles de l'intégration monolithique pour répondre à ces deux problématiques. Forts des travaux déjà effectués au niveau national et international, nous avons développé dans ce chapitre de nombreuses évolutions autour d'un circuit d'autoalimentation de la commande rapprochée intégrée monolithiquement. Une étude a aussi été menée sur l'intégration monolithique d'un récepteur optique au sein de transistors de puissance, afin de simplifier la mise en œuvre des interrupteurs de puissance, tout en proposant de nouvelles fonctions à moindre coût. Ces deux solutions doivent permettre de proposer un nouvel interrupteur de puissance (figure I.68), largement utilisable dans de nombreux domaines.

Les chapitres suivants de ce mémoire vont modéliser en détail chacune de ces deux fonctionnalités afin de démontrer plus profondément la faisabilité et les performances de ces fonctions intégrées monolithiquement (chapitre 2), et mener ainsi à la conception et à la réalisation de ces fonctions au sein de transistors de puissance (chapitre 3).

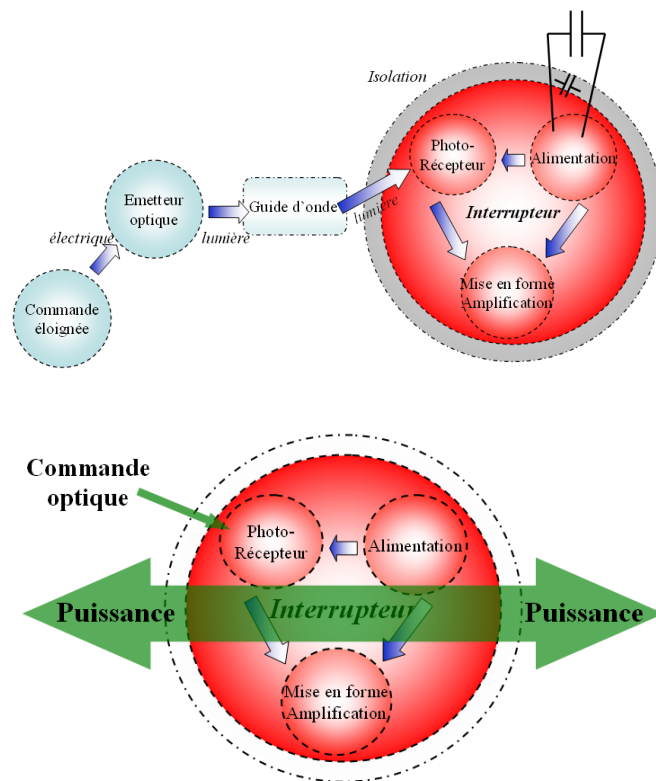


FIGURE I.68 – Vers un nouveau type de transistor de puissance vertical, commandé à l'ouverture et à la fermeture par voie optique, avec apport de l'énergie de commutation par autoalimentation

Chapitre II

Impact du procédé technologique dans la modélisation des fonctions intégrées

On ne fait jamais attention à ce qui a été fait; on ne voit que ce qui reste à faire.

Marie Curie Sklodowska

SOMMAIRE

II.1	INTRODUCTION	66
II.2	PROCÉDÉ TECHNOLOGIQUE DE FABRICATION DES COMPOSANTS DE PUISSANCE	66
II.2.a	Présentation du procédé de fabrication des composants de puissance à grille isolée	66
II.2.b	Influences du procédé technologique sur les caractéristiques électriques du composant et des fonctions intégrées : Le besoin d'une modélisation analytique	69
II.3	MODÉLISATION DES FONCTIONS INTÉGRÉES AU SEIN D'UN INTERRUPTEUR DE PUISSANCE	70
II.3.a	Contraintes dues à l'intégration monolithique bas coût	70
II.3.b	Limitations de la bibliographie sur ces contraintes	72
II.3.c	Hypothèses de modélisation	74
II.3.d	Modélisation de quelques phénomènes	77
II.3.e	L'avalanche dans la jonction PN intégrée au composant de puissance	96
II.3.f	Modélisation de l'absorption photonique dans la jonction intégrée	102
II.4	COMPARAISON AVEC LA SIMULATION PAR ÉLÉMENTS FINIS	119
II.4.a	La jonction PN intégrée sous polarisation et bombardement photonique	119
II.4.b	Influence de la polarisation en face arrière du composant de puissance	122
II.5	CONCLUSION	124

Résumé

Dans ce chapitre nous présentons les efforts de modélisation que nous avons effectués : la prise en compte de la contrainte de l'intégration monolithique dans la qualité des fonctions intégrées est très importante. Le procédé de fabrication des composants de puissance sera brièvement rappelé, puis l'accent est mis dans ce chapitre sur la modélisation des fonctions intégrées, dans le but de déterminer les performances statiques et dynamiques des fonctions intégrées monolithiquement. Le but de ces modèles est, outre une bonne compréhension et présentation des phénomènes physiques mis en jeu dans les fonctions intégrées, de justifier la viabilité des fonctions intégrées présentées dans le chapitre 1. Ces modèles seront confrontés à des simulations par éléments finis, afin de s'assurer de la bonne cohérence de notre approche.

II.1 Introduction

Après avoir présenté et proposé plusieurs solutions innovantes de fonctions intégrées au sein de transistors de puissance verticaux à grille isolée, il nous reste maintenant à développer les outils nécessaires pour modéliser, analyser et concevoir ces dispositifs. La solution d'autoalimentation de la commande rapprochée repose sur l'utilisation d'un régulateur linéaire pulsé et un soin particulier doit être apporté pour le fonctionnement statique et dynamique de cette structure. De même, on doit s'assurer que le récepteur optique proposé précédemment est fonctionnel, dans une logique d'intégration monolithique.

Pour ces raisons, nous avons développé des modèles analytiques fins, qui nous seront utiles à la fois pour la compréhension des phénomènes mis en jeu dans ces fonctions, mais aussi pour la conception et la réalisation de ces dispositifs. La suite de ce mémoire de thèse présente donc tous les efforts de compréhension et de modélisation des fonctions à intégrer, afin d'approfondir les approches proposées dans le premier chapitre.

II.2 Procédé technologique de fabrication des composants de puissance

II.2.a Présentation du procédé de fabrication des composants de puissance à grille isolée

Il existe différentes méthodes de conception et de réalisation des transistors de puissance à grille isolée tels que les IGBT ou les VDMOS : les deux principales méthodes de réalisations sont la technologie *Planar* et la technologie *Trench* (grille enterrée). Pour la technologie Planar, la grille de commande est disposée en surface du composant et la circulation de courant dans le canal piloté est horizontale. Pour la technologie Trench, la grille de commande est enterrée et la circulation de courant est totalement verticale (figures II.1 et II.2).

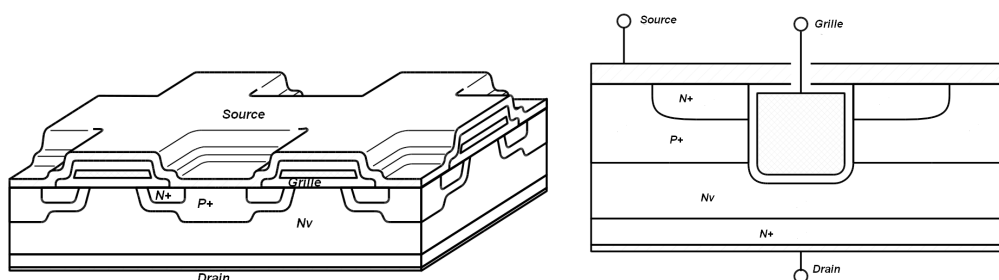


FIGURE II.1 – Détail de deux technologies disponibles pour les transistors de puissance à grille isolée : à gauche, technologie Planar - cellules élémentaires carrées - et à droite, technologie Trench

Une comparaison de ces deux technologies peut se trouver dans [80] [57] ou encore [13] ainsi que dans les guides de transistors de puissance fournis par les constructeurs. De façon synthétique, la technologie Planar est la plus facile à réaliser car elle est très bien adaptée aux techniques de photolithographie - implantation sur la simple face avant

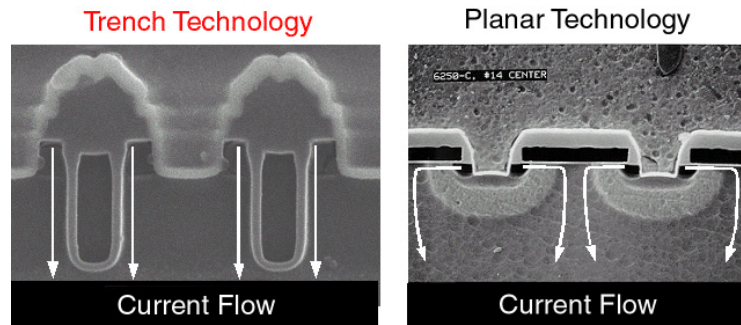


FIGURE II.2 – Coupe verticale de deux composants de puissance : à gauche, technologie Trench et à droite, technologie Planar (Source IR)

de tranches de Silicium. Cependant, il peut apparaître un effet *JFET parasite* par cette structure (figure II.3) ce qui tend à limiter la circulation de courant lorsque le potentiel de drain est élevé et que les zones de charges d'espace des deux caissons P^- s'étendent dans la zone intercellulaire [8] [13] [20]. De plus, il est difficile d'obtenir une densité de cellule très élevée par la technologie Planar, ainsi que des cellules de faible taille, ce qui permettrait une meilleure densité de puissance et donc une diminution de la taille du composant de puissance.

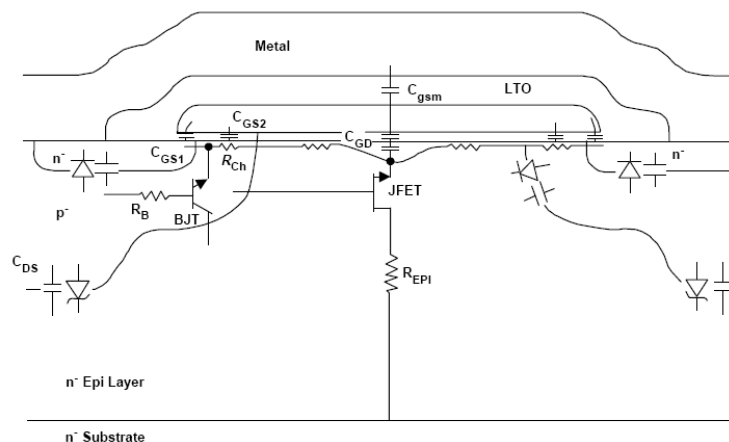


FIGURE II.3 – Vue en coupe d'une cellule d'un Mosfet vertical : détails de quelques éléments parasites [13]

C'est principalement dans le double objectif d'augmenter la densité des cellules élémentaires, ainsi que de supprimer l'effet parasite JFET, que la technologie Trench a été élaborée. La circulation de courant dans les transistors de puissance à grille enterrée est purement verticale, mais des variantes peuvent exister telles que la combinaison des technologies Planar et Trench, ou bien une grille en V ou en V tronquée [13]. Cependant, il est aujourd'hui difficile de proposer des composants à grille enterrée pour un coût aussi faible que la technologie Planar.

Basé sur une technologie simple et fiabilisée de longue date, nous avons retenu la technologie Planar comme méthode de fabrication pour nos composants de puissance intégrant de nouvelles fonctions (autoalimentation de la commande rapprochée et isolation optique).

Il sera toutefois possible d'adapter les solutions intégrées à une technologie de type Trench, mais au prix de la modification des étapes de fabrication, ce qui est hors de notre effort d'intégration monolithique reposant sur une utilisation innovante des composants structuraux. Le procédé de fabrication de transistors de puissance Planar a été mis au point dans la salle blanche du CIME-Nanotech à Grenoble, à travers les thèses [106] [75] et [7]. Le diagramme de cheminement a été validé et est présenté en détail dans [75] (surtout dans l'annexe 1 de cette thèse), ainsi que plus récemment dans [39] et nous invitons le lecteur de cette thèse à s'y reporter. Un rappel du procédé de fabrication est fait sur la figure II.4, procédé de fabrication qui a été réutilisé dans cette thèse dans sa majeure partie.

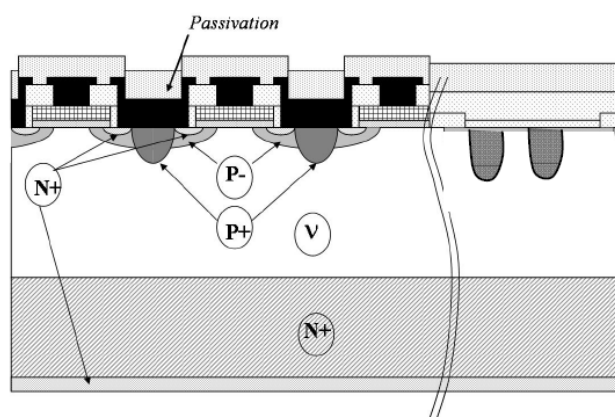


FIGURE II.4 – Vue de l'avant dernière étape du diagramme de cheminement, établi dans [75] et réutilisé dans cette thèse : le composant de puissance avant métallisation de la face arrière est montré, ainsi que sa périphérie en anneaux de garde

Si nous faisons le lien avec toutes les démonstrations du premier chapitre de ce manuscrit, nous avons comme but d'intégrer monolithiquement deux fonctions innovantes au sein de transistors de puissance à grille isolée de type Planar. Ces deux fonctions sont l'auto-alimentation complète de la commande rapprochée, ainsi que l'étage d'isolation galvanique par l'intégration d'un récepteur optique. Nous avons démontré dans le premier chapitre que ces deux solutions reposent sur l'utilisation du composant parasite NPN, naturellement présent dans le transistor de puissance [37] [36], via un procédé de fabrication de type Planar (voir les figures II.3 et II.5).

Notre logique d'intégration monolithique fonctionnelle repose intégralement sur l'utilisation du procédé de fabrication du transistor de puissance, en verrouillant les degrés de liberté sur les fonctions à intégrer [37] : nous pouvons jouer uniquement sur la conception de la vue de dessus du composant (géométrie, empilement des différentes couches les unes par rapport aux autres, ...), mais aucunement sur la vue en coupe du composant (profondeur et niveaux des dopages, types de dopages). La structure NPN verticale, issue du procédé de fabrication du transistor principal, doit donc faire l'objet d'un effort de modélisation, car étant le cœur de chacune des deux fonctions que nous voulons intégrer : en effet, il nous faut vérifier que cette structure *parasite* permet de réaliser des composants qui pourront répondre au cahier des charges associé à chacune des deux fonctions (auto-alimentation et isolation optique).

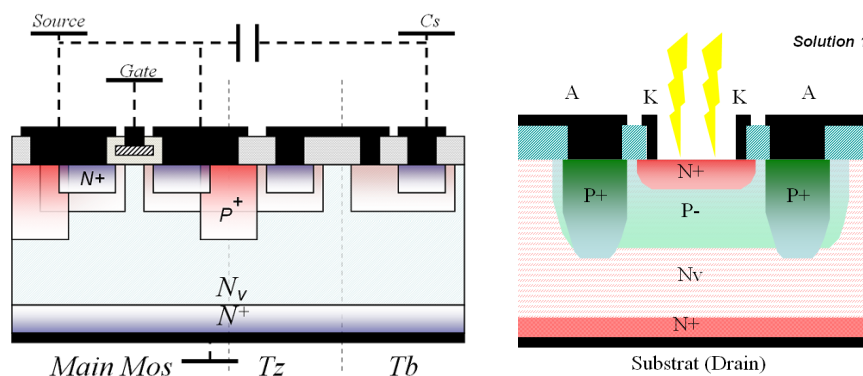


FIGURE II.5 – Rappels des deux fonctions à intégrer monolithiquement au sein de transistors verticaux de puissance à grille isolée et technologie Planar

II.2.b Influences du procédé technologique sur les caractéristiques électriques du composant et des fonctions intégrées : Le besoin d'une modélisation analytique

Avec cette contrainte très forte de l'utilisation du procédé de fabrication du transistor de puissance pour réaliser de nouvelles fonctions monolithiques, une question de premier ordre apparaît : *En utilisant ce procédé de fabrication, quelles seront les propriétés électriques des fonctions réalisées ?*

Cette question en appelle une seconde, au moins aussi importante : *Et si ces fonctions ainsi réalisées sont capables de répondre au cahier des charges, à quel point sont-elles perturbées par leur intégration monolithique au sein d'un composant de puissance où ont lieu des dv/dt et di/dt très importants, le tout dans un environnement de tensions élevées ?*

Donner une réponse complète à ces deux questions très importantes a été la ligne de mire de ces trois années de thèse : afin de pouvoir fournir une réponse qui soit transposable quelque soit le diagramme de cheminement du composant de puissance, un effort de modélisation la plus générale possible doit être effectué. Cet effort de modélisation permettra de comprendre et de maîtriser les phénomènes qui peuvent dégrader la fonction, soit par son procédé de fabrication non adapté, soit par son intégration au sein d'un interrupteur de puissance.

Afin de quantifier et par la suite de maîtriser les influences du procédé technologique sur les caractéristiques des fonctions intégrées, il nous a paru judicieux d'entamer une démarche de modélisation analytique la plus complète et la plus générale possible. Les avantages d'un modèle analytique sont nombreux :

- Bonne maîtrise et compréhension des grandeurs et des phénomènes,
- Valorisation du modèle par son implémentation dans un logiciel de simulation temporelle,
- Rapidité de calculs,
- Possibilités d'optimisations des grandeurs géométriques en fonction des performances attendues.

Comme nous allons le voir ci-après, la contrainte de l'utilisation du procédé de fabrication des transistors de puissance pour réaliser des fonctions supplémentaires va produire des fonctions qui peuvent présenter des caractéristiques dégradées et non optimisées. Par notre effort de modélisation, nous allons pointer les éléments dégradants et vérifier analytiquement la viabilité des fonctions créées à travers l'utilisation du procédé de fabrication des composants de puissance à structure verticale. Enfin, nous étudierons les influences de la partie haute tension sur les fonctions intégrées, principalement par des simulations utilisant la méthode des éléments finis. Par dessus toutes ces remarques, nous rappelons ici l'intérêt d'un procédé technologique simple et standardisé, permettant de généraliser le travail à plusieurs sources de fabrications, ainsi que de limiter le coût de fabrication des dispositifs.

II.3 Modélisation des fonctions intégrées au sein d'un interrupteur de puissance

II.3.a Contraintes dues à l'intégration monolithique bas coût

Comme nous l'avons vu dans le chapitre 1, la prise en compte de la contrainte forte de l'intégration monolithique, sans modification du procédé de fabrication, présente un impact sur les structures des fonctions à intégrer : les structures des deux fonctions que nous voulons intégrer sont donc modifiées et sont représentées sur la figure II.6. Par exemple, la diode à avalanche permettant de fixer une tension maximale à la capacité de stockage C_S est en fait un transistor bipolaire vertical T_Z . De même, la diode intégrée servant de photorécepteur est en fait un transistor bipolaire vertical T_{Sense} . Pour ces deux transistors particuliers, la base est connectée au potentiel de référence du transistor principal (source dans le cas des transistors VDMOS). On voit donc que les contraintes sur ces deux transistors particuliers sont similaires : ils ne seront jamais utilisés à l'état passant, mais toujours à jonction Base - Emetteur polarisée en inverse (avec la base reliée au potentiel le plus bas du composant). Ceci n'est pas le cas pour le transistor T_B qui lui, doit être passant sous l'action de $\frac{dV_{DS}}{dt}$.

Ce transistor NPN vertical (figure II.7) utilisé à la fois pour le circuit d'autoalimentation de la commande rapprochée, et pour le photorécepteur, peut donc être vu selon des approches différentes :

- Une simple jonction Base - Emetteur toujours polarisée en inverse et éventuellement influencée par la jonction Base - Collecteur, polarisée elle aussi en inverse. Cette approche s'applique pour le transistor T_Z de l'autoalimentation et T_{Sense} du photorécepteur.
- Une simple jonction Base - Collecteur polarisée en inverse et générant un courant de fuite. Cette approche s'applique au transistor T_B lors de la polarisation statique de l'autoalimentation, c'est à dire la polarisation de la jonction Base - Emetteur de T_Z par le courant de fuite statique de la jonction Base - Collecteur de T_B .
- Un transistor NPN qui doit permettre la recharge de la capacité de stockage, principalement sous l'effet de dV/dt . Ceci s'applique au transistor T_B .

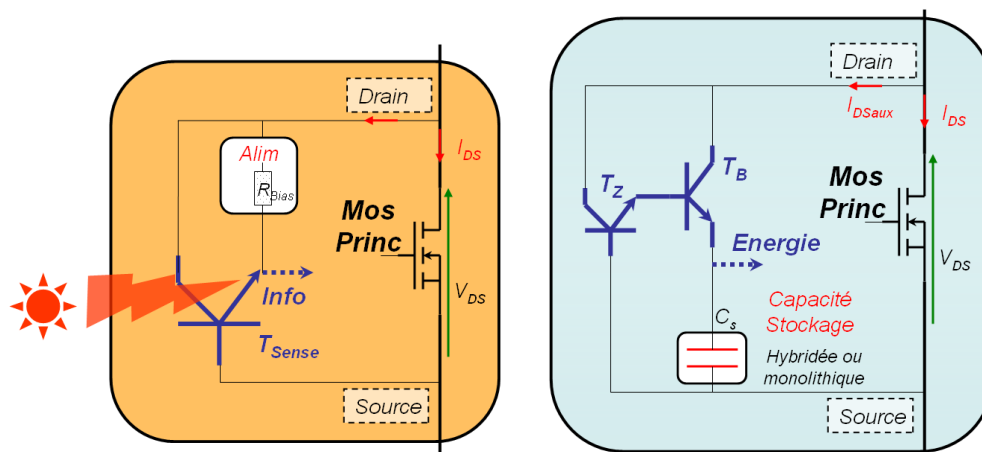


FIGURE II.6 – Rappels de la modification des fonctions intégrées sous la contrainte de l'intégration monolithique

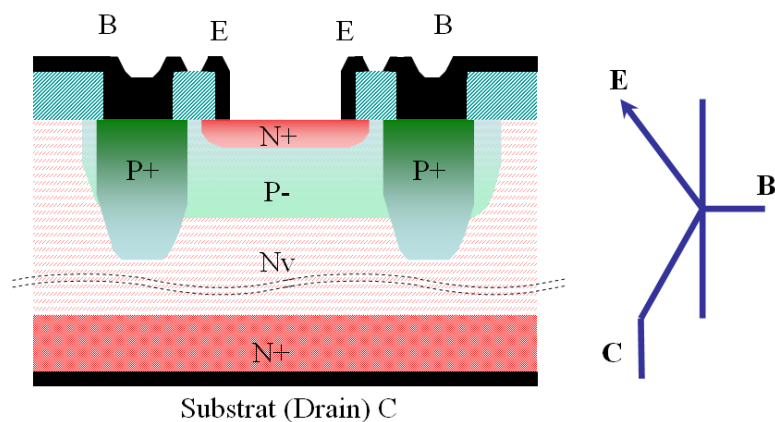


FIGURE II.7 – Le transistor NPN vertical utilisé pour les éléments qui composent les deux fonctions à intégrer

La démarche de modélisation effectuée consiste à s'intéresser dans un premier temps à la jonction PN, dans le cas le plus général possible. Cette modélisation servira donc pour les deux premières approches citées plus haut, c'est à dire à la fois pour la jonction Base - Collecteur en inverse et la jonction Base - Emetteur en inverse. Bien qu'il puisse paraître *trivial* au premier abord de s'intéresser à la jonction PN, largement utilisée depuis plus de cinquante ans, nous allons voir qu'il n'est pas si évident de s'assurer analytiquement que les fonctions réalisées par l'intermédiaire du procédé de puissance sont opérationnelles. En effet, plusieurs caractéristiques fondamentales du procédé de fabrication peuvent influencer les propriétés fonctionnelles des composants réalisés à travers le procédé de puissance, ainsi que la perturbation des parties Haute Tension sur les parties Basse Tension.

Nous pouvons citer quelques contraintes liées à notre logique d'intégration monolithique

fonctionnelle, sans modification du procédé de fabrication :

- Toutes les jonctions seront issues du procédé de fabrication du transistor de puissance c'est à dire quelles seront le fruit d'une implantation suivie d'une ou deux diffusions. En conséquence les niveaux de dopages en profondeur ne sont pas constants et découlent de procédés de diffusion (figure II.8),
- Les profondeurs des jonctions sont optimisées seulement pour le composant de puissance. Ces valeurs peuvent ne pas être adaptées à la fonction à réaliser par le procédé de puissance,
- Il va de même pour les niveaux de dopages qui sont choisis en fonction des paramètres du composant de puissance,
- La présence d'une partie Haute Tension peut perturber le fonctionnement des jonctions intégrées, que ce soit en statique ou en dynamique,
- La puce complète de puissance peut être amenée à avoir des écarts de température importants, selon le point de fonctionnement. En conséquence, nous devons prendre en compte l'influence de la température dans notre modélisation.

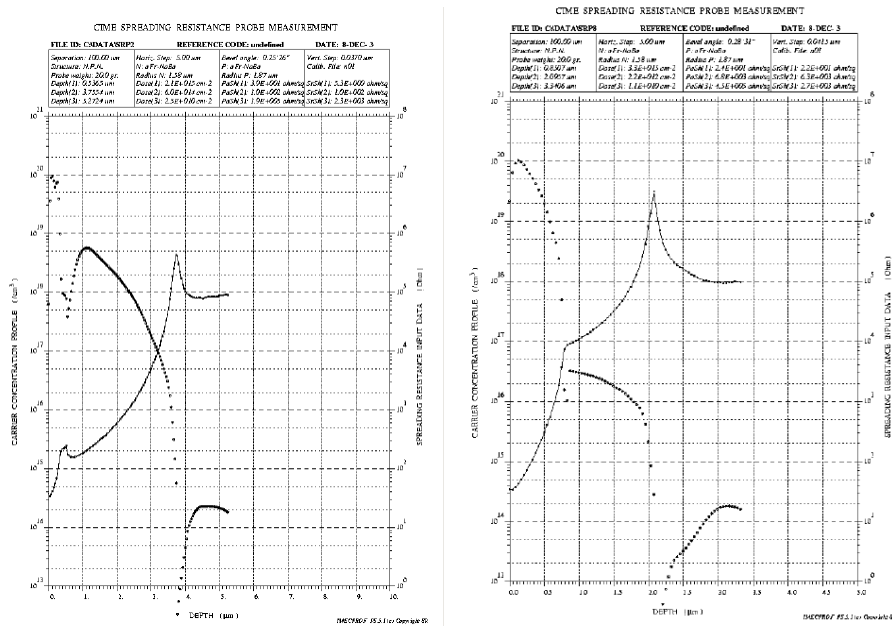


FIGURE II.8 – Dopages réels en profondeur : à gauche, dopages des jonctions $N^+ - P^+$ et $P^+ - N_v$, à droite, dopages des jonctions $N^+ - P^-$ et $P^- - N_v$

II.3.b Limitations de la bibliographie sur ces contraintes

Dans la bibliographie, relativement fournie autour de *la jonction PN*, il reste difficile de trouver un *bon* niveau de modélisation (figure II.9) : évidemment le modèle le plus précis reste le modèle comportemental, issu de l'expérience (on peut citer par exemple [72] ou [10] parmi tant d'autres). Cependant, ce modèle comportemental se limite au support utilisé pendant la caractérisation et il est très difficile d'utiliser la loi comportementale dans d'autres cas d'applications, limitant ainsi les possibilités prédictives d'un modèle purement comportemental sur un autre support. Un modèle analytique, basé sur une analyse poussée

des phénomènes physiques mis en jeu, permet quant à lui d'assurer une bonne prédiction de l'influence des paramètres, et ce en limitant les étapes de réalisation / caractérisation du modèle comportemental. Le gain en terme de coût d'un modèle purement analytique peut être conséquent. Évidemment, l'aspect multi-physique de la jonction PN ne peut conduire à un modèle 100% analytique, depuis son procédé de fabrication jusqu'aux lois de la physique statistique qui régissent son comportement. Les lois physiques et les interactions entre chacun des domaines concernés sont très difficiles à mettre en équation, et les modèles sont le plus souvent implicites.

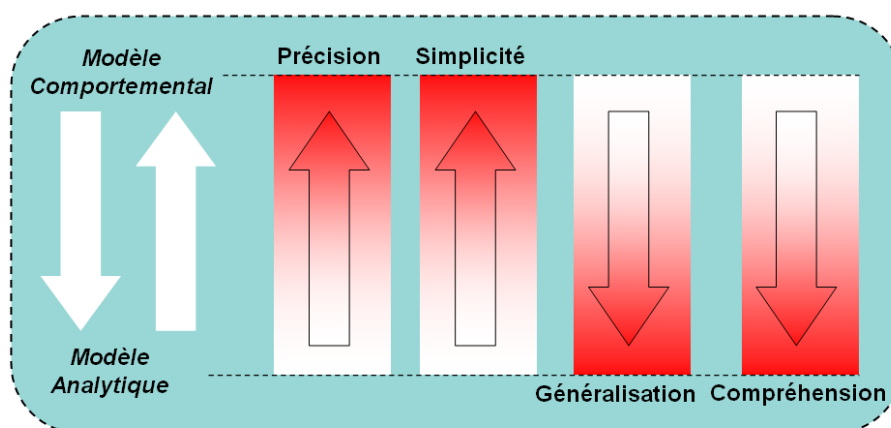


FIGURE II.9 – Comparaison depuis le modèle comportemental vers le modèle analytique

Sur les modèles analytiques autour de la jonction PN (figure II.10), on trouve là aussi des niveaux de modélisations très hétérogènes : nous pouvons citer le modèle de Shockley $J(V) = J_S(e^{\frac{V}{\lambda U_T}} - 1)$, avec un facteur d'idéalité λ , un courant de saturation constant J_S et un potentiel thermodynamique U_T . Des évolutions autour de ce modèle, prenant en compte d'autres phénomènes (génération thermique, absorption photonique, avalanche) sont aussi proposées dans la littérature [68] [102] [18] [32] [62] [63] et bien d'autres.

Les limites de la bibliographie sur nos contraintes viennent principalement des fortes simplifications qui sont appliquées dès le début de la modélisation : les simplifications peuvent être géométriques (négligeabilité de grandeurs vis à vis d'autres, par exemple les jonctions *courtes* ou *longues*) ou bien d'une utilisation d'un modèle trop comportemental nécessitant des phases de prototypages (typiquement les lois d'évolutions des courants d'avalanche en inverse). Notre démarche a été de repousser le modèle vers la limite du modèle analytique, afin de pouvoir le transposer aux cas les plus généraux : nos fonctions à créer ne sont pas *classiques*, dans le sens où nous cherchons à utiliser un courant de fuite d'une jonction pour polariser une autre jonction en avalanche (circuit d'autoalimentation), et que nous utilisons un procédé de puissance pour réaliser un capteur optique non optimisé. Le besoin d'une bonne modélisation des jonctions en inverse s'est donc très rapidement fait sentir, dans le but d'une conception et d'une optimisation des fonctions proposées.

Au vu de toutes ces remarques, notre démarche de modélisation s'est déroulée de la

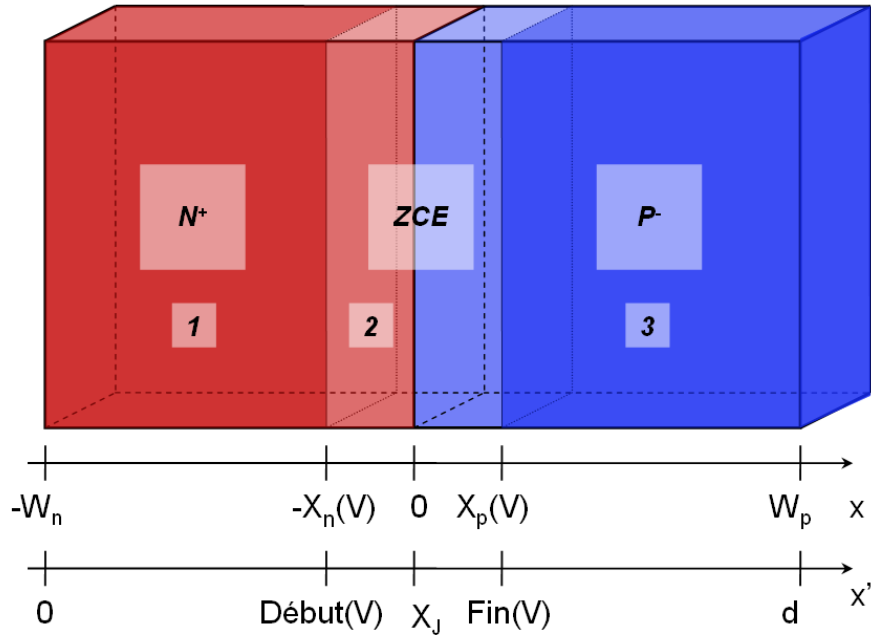


FIGURE II.10 – Jonction PN unidimensionnelle dans le cas général, avec deux abscisses de profondeur différentes

façon suivante :

- Étude et analyse de la jonction PN dans le cas le plus général possible, afin de l'appliquer aux jonctions $N^+ - P^-$ (Emetteur – Base) et $P^- - N^-$ (Base – Collecteur),
- Cette modélisation ne doit faire aucune hypothèse d'ordre géométrique afin de pouvoir s'adapter à toutes les valeurs de procédés de fabrication,
- Les efforts se sont concentrés sur une modélisation précise et rapide de la Zone de Charge d'Espace (ZCE), et plus généralement des propriétés statiques des jonctions en inverse (phénomènes d'avalanche et d'absorption des photons),
- Modélisation simple des phénomènes dynamiques,
- Évaluation de l'influence des effets bidimensionnels par la méthode des éléments finis.

De plus, la modélisation effectuée regroupe les comportements statiques et dynamiques : un accent est mis tout d'abord sur l'évolution des grandeurs géométriques et électriques (étendue et profil de champ), puis une description plus complète est proposée des phénomènes statiques (courants, résistances, potentiels et champs électriques). Les propriétés dynamiques seront abordées plus précisément dans la fin de la modélisation optique, par un modèle précis des phénomènes dynamiques.

II.3.c Hypothèses de modélisation

Dans un premier temps, nous nous sommes limités à un modèle unidimensionnel de la jonction PN, selon le schéma de la figure II.10. Nous avons considéré seulement une jonction à deux dopages différents, et nous avons laissé les jonctions à trois dopages pour les perspectives de travail (par exemple les jonctions $N^+ - P^- - P^+$ ou encore $P^- - N^- - N^+$). Les résultats qui vont être établis pour les jonctions composées de deux dopages

différents pourront être transposés pour des jonctions à trois dopages, mais nous axerons nos efforts sur les jonctions P – N générales, dans le cas de zone de tenue en tension non tronquée. Nous n'avons pas considéré les régimes de fortes injections.

Nous notons x l'axe de profondeur de la jonction, le zéro étant pris à l'une des extrémités de la jonction. Classiquement dans les jonctions PN, le zéro est pris à la jonction métallurgique mais ceci n'est pas adapté à la fois à la réalisation des jonctions (pour la majeure partie des jonctions, il s'agit d'une implantation puis diffusion depuis une extrémité), et à l'absorption de la lumière (une extrémité est éclairée). Nous notons $P_P(x)$ et $N_N(x)$ les évolutions des concentrations de majoritaires, respectivement de trous dans la région P et d'électrons dans la région N. Pour les minoritaires, nous notons $P_N(x)$ la concentration de trous dans la région N et $N_P(x)$ celle d'électrons dans région P. L'abscisse de la jonction métallurgique sera repérée X_J , représentant l'abscisse où la densité de charge $\rho(x)$ s'annule ou change de signe (selon le type de dopage choisi) et d est l'abscisse de la fin de la région de diode considérée dans le modèle.

Par convention, nous prendrons une jonction de type $N - P$, avec l'origine de l'axe à l'extrémité de la région N. Par changement de repère, il sera ensuite aisé de considérer une jonction $P - N$. Cela sera abordé principalement autour de l'absorption des photons.

Pour les niveaux de dopages en profondeur, nous avons considéré et comparé trois solutions différentes regroupées en deux types de jonctions :

- Tout d'abord pour une jonction abrupte à dopages uniformes : $P_P(x) = P_{P0}$ pour $x > X_J$ et $N_N(x) = N_{N0}$ pour $x < X_J$ (voir la première figure II.11).
- Ensuite une jonction abrupte à dopage gaussien $P_P(x) = P_{Dop}(x)$ pour $x > X_J$ et $N_N(x) = N_{Dop}(x)$ pour $x < X_J$. Il y a une discontinuité de charge pour $x = X_J$. Dans ce cas, on néglige l'influence de diffusion d'un dopage sur l'autre région. Les fonctions $N_{Dop}(x)$ et $P_{Dop}(x)$ sont des lois gaussiennes, particulièrement bien adaptées pour représenter les procédés de diffusion (voir la seconde figure II.11).
- Enfin une jonction continue à dopage gaussien : la densité de charge $\rho(x)$ n'a aucune discontinuité et s'écrit $\rho(x) = q \cdot (N_{Dop}(x) - P_{Dop}(x))$. Il n'y a aucune discontinuité de dopage autour de la jonction métallurgique en $x = X_J$. Ceci est représentatif du profil de dopage réel issu d'un procédé de fabrication par diffusion (voir la troisième figure II.11).

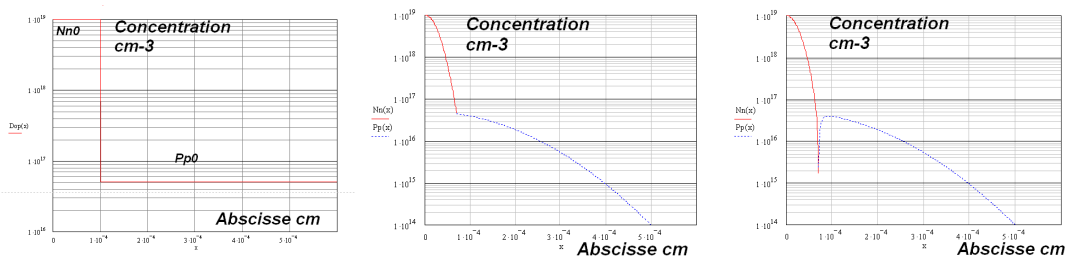


FIGURE II.11 – Détails des trois profils de dopages considérés : les deux à gauche sont abruptes, le troisième dopage est continu

Pour les profils de dopage gaussiens, nous utilisons les lois de Fick [34] [27] qui montrent

que pour le cas d'implantation d'une couche mince en surface dans un solide épais suivie d'une diffusion à l'intérieur de ce solide, nous pouvons exprimer le profil de dopages en fonction de l'énergie :

$$N_{Dop}(x, t) = \frac{Q}{\sqrt{\pi Dt}} \cdot e^{-\frac{x^2}{\pi Dt}} \quad (\text{II.1})$$

D représente le coefficient de diffusion, Q est une image de la quantité d'impuretés implantées et t représente le temps de diffusion. Bien que technologiquement il semble difficile de mettre en équation si simplement les profils de dopages en fonction seulement des temps de diffusion et de la quantité d'impuretés implantées, nous pouvons suivre fidèlement l'évolution d'un dopage après diffusion par une loi statistique de ce type. Nous avons donc décidé de ne pas relier les constantes D , Q et t avec le procédé technologique, car ce modèle analytique est à lui seul très complexe (qualité de l'implanteur, du four de diffusion, température de diffusion, épaisseur de la tranche et non linéarité de la loi en fonction de la dose implantée et de la profondeur de jonction souhaitée).

Les lois retenues de dopages gaussiens sont donc les suivantes :

$$\begin{cases} N_{Dop}(x) = N_{N0} \cdot e^{-\frac{x^2}{L_{nDiff}^2}} \\ P_{Dop}(x) = P_{P0} \cdot e^{-\frac{x^2}{L_{pDiff}^2}} \end{cases} \quad (\text{II.2})$$

Grâce à ce modèle, il est facile d'ajuster les constantes N_{N0} et P_{P0} en fonction du dopage résiduel en surface, ainsi que $L_{n,pDiff}$ (notamment grâce à la caractérisation SRP et une identification). Cette démarche n'est pas une limite à notre démarche de modélisation analytique générale et elle est transposable à tous les cas, car nous pouvons décrire toutes les jonctions, même les dopages constants tels que celui du substrat. Pour ceci, il suffit de définir la constante $L_{n,pDiff}$ à une grande valeur, correspondant à la région à dopage constant. Pour les autres types de jonction, il nous faut de toute façon un profil de dopage de référence avant de se lancer dans tout projet de conception ou de pré-dimensionnement (en effet, dans tout procédé standard et normalisé, les informations statistiques des profils de dopages sont disponibles).

Concernant les constantes du Silicium, nous avons utilisé un maximum d'articles de références, et nous avons regroupé une partie de ces résultats dans la section *Notations* en début de ce mémoire de thèse. Nous invitons le lecteur à se référer à cette partie, afin de trouver en détail quelles sont les hypothèses qui ont été retenues pour chacune des constantes utilisées ci-après. Une remarque néanmoins : il reste difficile d'obtenir des modèles analytiques détaillés de certaines constantes, et nous avons eu recours à des tableaux de valeurs, auxquels nous avons appliqués une interpolation linéaire, afin de générer des fonctions linéaires. Ceci est le cas par exemple pour les mobilités des trous μ_p et des électrons μ_n , afin d'établir un modèle dépendant de la concentration des dopants. Le résultat de cette hypothèse est présenté sur la figure II.12. Nous allons par la suite rappeler et modéliser quelques phénomènes fondamentaux autour des jonctions PN. Des hypothèses

de modélisation plus spécifiques seront énoncées plus loin, principalement autour de la photosensibilité et de la modélisation du phénomène d'avalanche. Dans l'avenir, un procédé standard et une méthodologie d'identification permettraient d'adapter l'ensemble des grandeurs en fonction du mode de réalisation.

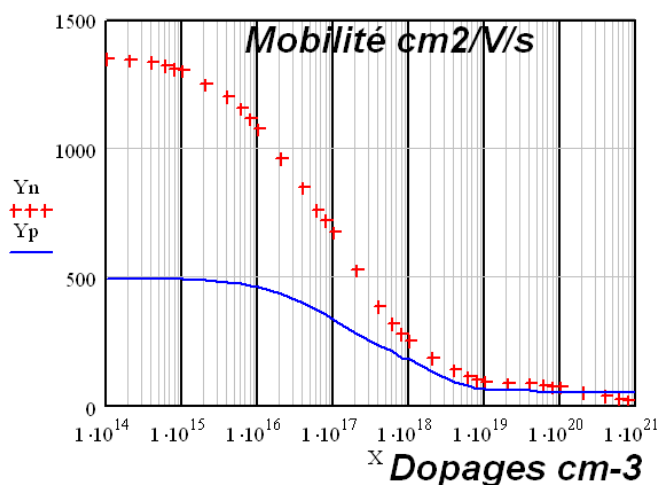


FIGURE II.12 – Dépendance de la mobilité en fonction du niveau de dopage et du type de porteur

Afin de présenter quelques résultats numériques, nous avons appliqué nos modèles sur plusieurs exemples :

Cas d'application	d	N_{N0}	P_{P0}	L_{nDiff}	L_{pDiff}	X_J	T
Abrupte Const.	$6\mu m$	10^{19}	$5 \cdot 10^{16}$	∞	∞	$1\mu m$	$300K$
Abrupte Gauss	$6\mu m$	10^{19}	$5 \cdot 10^{16}$	$0.3\mu m$	$2\mu m$	<i>A calculer</i>	$300K$
Continue Gauss	$6\mu m$	10^{19}	$5 \cdot 10^{16}$	$0.3\mu m$	$2\mu m$	<i>A calculer</i>	$300K$

Néanmoins, aucune simplification particulière ne découlera des valeurs de ces exemples ; notre modélisation se veut généralisable et applicable à la majorité des cas. Nous serons amenés à effectuer quelques variations sur ces grandeurs géométriques, pour montrer l'influence de phénomènes particuliers, mais ces variations seront précisées à l'endroit approprié.

II.3.d Modélisation de quelques phénomènes

II.3.d-i Zone de charge d'espace

La diffusion des porteurs majoritaires vers les zones où ils sont minoritaires, va générer un déplacement de charges. La rupture de la neutralité électrique aura alors pour conséquence la création d'un champ électrique. Ce champ électrique va s'opposer à ce déplacement par la création d'un courant de conduction qui, à l'équilibre et en l'absence de polarisation, sera d'un niveau équivalent au courant de diffusion. En conséquence il va

apparaître une zone déplétée de porteurs libres (ou ZCE), représentant une barrière à la diffusion des porteurs majoritaires. Cette compensation de l'effet de diffusion par l'effet de conduction est totale à l'équilibre thermodynamique. La polarisation de la jonction modifie l'étendue de la Zone de Charge d'Espace et accentue ou limite ainsi les effets de diffusion à l'intérieur de la jonction.

La ZCE qui apparaît à l'équilibre thermodynamique est la source d'une différence de potentiel interne, entre les deux régions de la jonction : cette différence de potentiel s'appelle le potentiel de diffusion ϕ et peut être calculée par une intégrale curviligne du champ électrique entre les deux extrémités de la jonction, quel que soit le profil de dopages considéré [62] :

$$\phi = -U_T \cdot \ln \left(\frac{ni^2}{N_N(0)P_P(d)} \right) \quad \text{ou} \quad \phi = U_T \cdot \ln \left(\frac{N_N(0)}{N_P(d)} \right) \quad (\text{II.3})$$

Lorsqu'une différence de potentiel négative $V_R = -V_{Diode}$ est appliquée entre l'anode et la cathode de la jonction, cette barrière de potentiel va s'accroître. En conséquence, les densités de courants sont modulées par cette variation de la zone de déplétion. Nous allons montrer par la suite, que le point de départ de la modélisation des jonctions PN est une bonne représentation de la ZCE, à la fois sur l'étendue de cette zone de déplétion, mais aussi sur le profil du champ électrique à l'intérieur de la ZCE. En raisonnant principalement sur le champ électrique $E(x)$, on démontrera que la génération thermique, l'absorption des photons, la diffusion des porteurs, les résistances des régions quasi-neutres, et toutes les autres grandeurs statiques et dynamiques, vont s'exprimer en fonction de ce profil de champ à l'intérieur de la ZCE. Il est donc primordial de décrire le plus fidèlement le début et la fin de cette ZCE, ainsi que l'évolution du champ électrique à l'intérieur de cette zone de déplétion.

Le point de départ de notre travail autour de la modélisation de la ZCE est de constater que dans le cas général, le modèle de la jonction est implicite : on applique une tension V_{Diode} entre anode et cathode, cela va modifier la ZCE et en conséquence les valeurs de résistances variables, ainsi que des densités de courants. Or, pour connaître l'étendue de la ZCE, ainsi que la différence de potentiel entre ses extrémités, il faut connaître la valeur du courant traversant la jonction, courant lui-même dépendant de l'étendue de la ZCE et de la différence de potentiel entre ses extrémités (voir figure II.13). On voit très simplement que dans le cas le plus général, le modèle de la jonction PN est implicite, par l'utilisation de la loi des mailles et de la loi des nœuds. Cette représentation implicite de la caractéristique statique de la jonction PN est d'autant plus vraie s'il on prend en compte les contacts entre les métallisations et les régions du semiconducteur.

Notre approche consiste à résoudre le problème inverse : on cherche une formulation analytique des fonctions $E(x) = f_v(V_{ZCE})$ et $I_{Diode} = f_i(V_{ZCE})$. Connaissant ces deux fonctions, nous pouvons ensuite trouver une expression des résistances des zones quasi-neutres, et établir ainsi la fonction $V_{Diode} = V_{ZCE} + I(V_{ZCE}) \cdot \sum_{Zones\ Neutres} R(x)$ soit une formulation analytique de la fonction $I_{Diode} = f(V_{Diode})$. Dans cette partie, nous allons détailler la démarche utilisée pour établir la fonction $E(x) = f_v(V_{ZCE})$. Pour cela, les lois

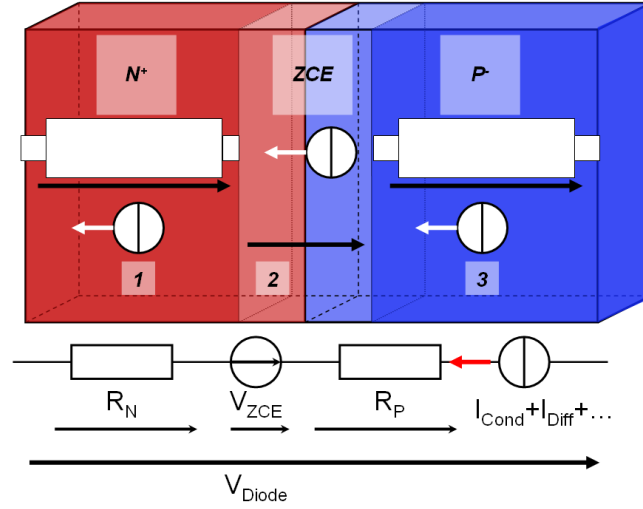


FIGURE II.13 – Modèle implicite de la jonction PN polarisée

de l'électrostatique (principalement $Div E = \frac{\rho}{\epsilon}$, $E = -grad V$ et la continuité du champ électrique), nous permettent d'aboutir à un système d'équations reliant les grandeurs électriques avec les grandeurs géométriques :

$$\left\{ \begin{array}{l} E(x, V_{ZCE}) = \frac{q}{\epsilon} \cdot \int_{Debut(V_{ZCE})}^x N(x') dx' \\ E(Fin(V_{ZCE}), V_{ZCE}) = 0 \\ E(X_J - \Delta x, V_{ZCE}) = E(X_J + \Delta x, V_{ZCE}) \text{ pour } \Delta x \text{ faible} \\ \Psi(x, V_{ZCE}) = - \int_{Debut(V_{ZCE})}^x E(x', V_{ZCE}) dx' \\ \Psi(Fin(V_{ZCE}), V_{ZCE}) = -\phi + V_{ZCE} \end{array} \right. \quad (II.4)$$

Pour la suite de ce mémoire, et afin d'alléger les notations, nous noterons V en lieu et place de V_{ZCE} . Dans ce système d'équations II.4, Ψ représente l'évolution de potentiel électrique le long de l'abscisse x en fonction de l'étendue de la ZCE (et donc de la différence de potentiel entre les extrémités de la ZCE V_{ZCE}), $Debut$ et Fin représentent respectivement les abscisses de début et de fin de la ZCE. X_J représente l'abscisse de la jonction métallurgique entre la région N et la région P. On remarque que nous avons paramétré toutes les grandeurs en fonction de l'abscisse x et / ou de la différence de potentiel entre les extrémités de la ZCE V_{ZCE} : nous allons en effet calculer l'étendue de la ZCE à partir de la différence de potentiel s'établissant entre les deux extrémités de la ZCE. $N(x)$ représente la concentration algébrique en porteurs majoritaires ; son expression est $N(x) = N_N(x) - P_P(x)$ et peut évoluer de trois façons différentes selon le niveau de modélisation autour des profils de dopage.

Tout d'abord, pour une jonction abrupte avec des profils de dopages constants, la ré-

partition des porteurs majoritaires est représentée sur la figure II.14, ainsi que l'expression de $N(x)$ dans l'équation II.5. Physiquement, nous pouvons présenter ce cas comme la soudure de matériaux semiconducteurs hétérogènes, dopés de façons opposées. Chacun des matériaux serait dopé de façon uniforme et la réunion des deux matériaux représenterait cette jonction PN.

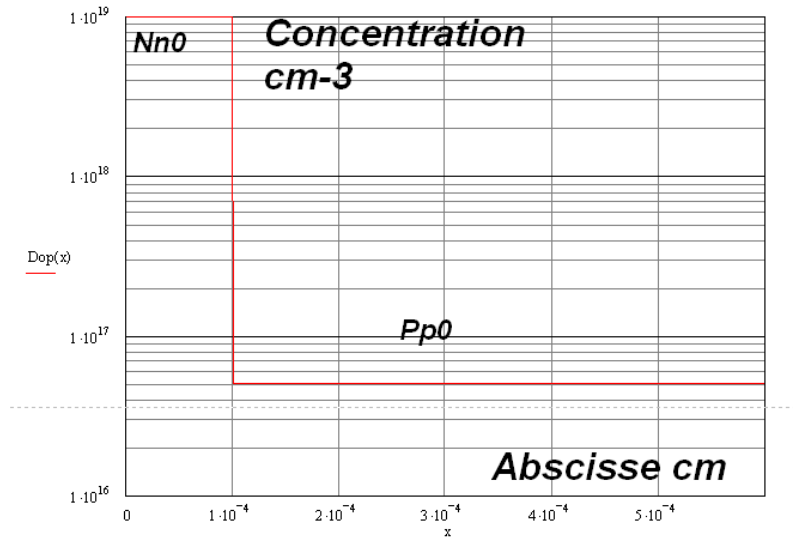


FIGURE II.14 – Jonction abrupte et dopages constants

$$\begin{cases} N(x) = N_{N0} & \text{si } 0 \leq x \leq X_J \\ N(x) = -P_{P0} & \text{si } X_J \leq x \leq d \end{cases} \quad (\text{II.5})$$

Ensuite, pour une jonction abrupte avec des profils de dopages gaussiens, la répartition des porteurs majoritaires est représentée sur la figure II.15, ainsi que l'expression de $N(x)$ dans l'équation II.6. Nous pouvons interpréter ce cas de deux façons différentes : soit en tant que soudure de deux matériaux semiconducteurs hétérogènes, dopés de façons opposées et de façon gaussienne, soit comme un seul et unique matériau dont chacune des deux régions seraient dopées par diffusions successives, et dont nous négligerions l'influence de la diffusion d'une région sur l'autre. Cette dernière interprétation de l'hypothèse de profil de dopage est la plus intéressante, car nous pouvons déjà représenter d'une meilleure façon le procédé de fabrication des jonctions par diffusion : on part d'un substrat (région avec une constante de diffusion infinie) ou d'une première région diffusée par une face, puis on dope et diffuse la première région, par la même face. On raisonne par contre selon une approche *régionnale*, où l'on néglige l'influence des diffusions autour de la zone de jonction.

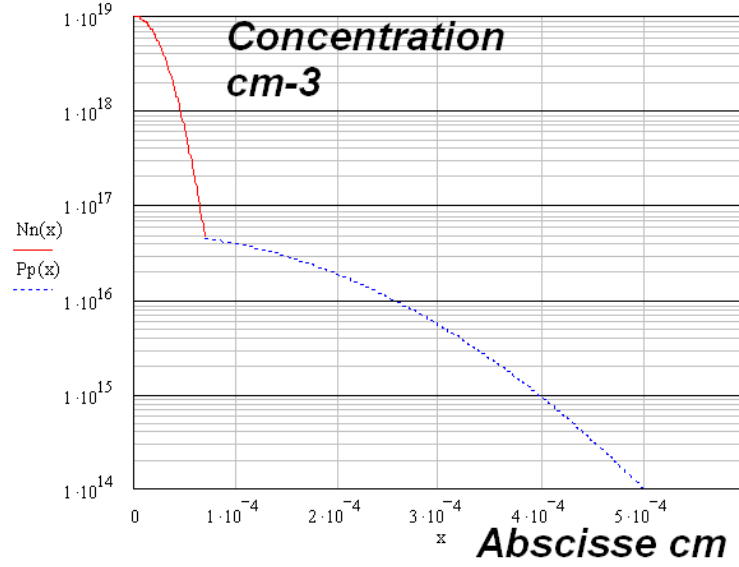


FIGURE II.15 – Jonction abrupte et dopages gaussiens

$$\begin{cases} N(x) = N_{Dop}(x) = N_{N0} \cdot e^{-\frac{x^2}{L_{nDiff}^2}} & \text{si } 0 \leq x \leq X_J \\ N(x) = -P_{Dop}(x) = P_{P0} \cdot e^{-\frac{x^2}{L_{pDiff}^2}} & \text{si } X_J \leq x \leq d \end{cases} \quad (\text{II.6})$$

Enfin, le dernier cas considéré pour les dopages est l'utilisation de profils gaussiens associés à une jonction continue : on prend ici en compte l'influence de chacune des régions sur sa région voisine. L'évolution de la densité de charge ρ est continue, et ce cas est une très bonne représentation des profils de dopages réels issus du procédé de fabrication des transistors de puissance (voir la figure II.16 et l'équation II.7).

$$\begin{aligned} N(x) &= N_{Dop}(x) - P_{Dop}(x) \\ &= N_{N0} \cdot e^{-\frac{x^2}{L_{nDiff}^2}} - P_{P0} \cdot e^{-\frac{x^2}{L_{pDiff}^2}} \end{aligned} \quad (\text{II.7})$$

si $0 \leq x \leq d$

Pour les deux cas de dopages gaussiens, nous pouvons calculer l'abscisse de la jonction métallurgique X_J , en notant qu'il s'agit de la position pour laquelle les deux dopages $N_{Dop}(x)$ et $P_{Dop}(x)$ sont égaux. X_J s'exprime alors grâce à l'équation II.8.

$$X_J = \sqrt{\frac{L_{nDiff}^2 L_{pDiff}^2}{L_{pDiff}^2 - L_{nDiff}^2} \cdot \ln\left(\frac{N_{N0}}{P_{P0}}\right)} \quad (\text{II.8})$$

Jonction abrupte à dopages constants Ce cas a été largement abordé dans la bibliographie [62] [102] [57] [8] et bien d'autres. Tout l'intérêt de cette hypothèse sur les

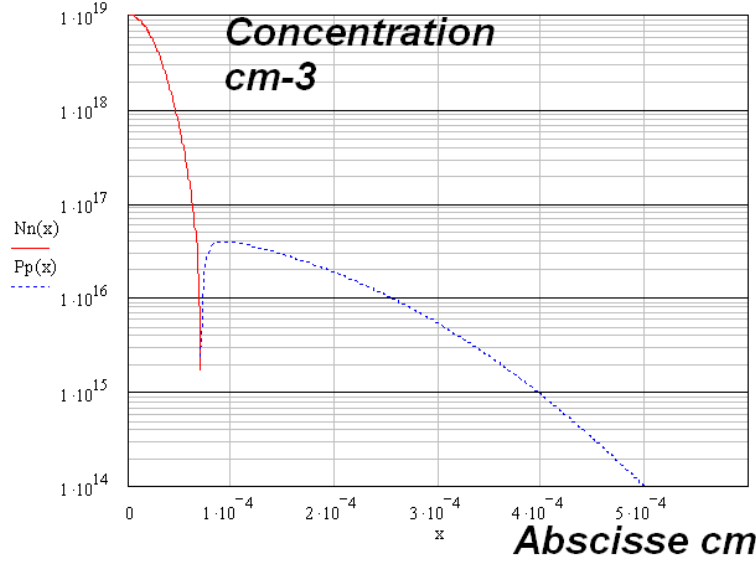


FIGURE II.16 – Jonction continue et dopages gaussiens

profils de dopage vient de la simplification du système d'équations II.4 : on sépare les deux zones autour de la jonction métallurgique et on peut exprimer directement les grandeurs en fonction de la différence de potentiel $\phi - V$ entre le début et la fin de la ZCE.

$$\left\{ \begin{array}{l} W_{ZCE}(V) = \sqrt{\frac{2\epsilon(\phi - V)}{q} \cdot \frac{P_P + N_N}{P_P N_N}} \\ X_N(V) = X_J - Debut(V) = \sqrt{\frac{2\epsilon(\phi - V)}{q} \cdot \frac{P_P}{N_N(P_P + N_N)}} \\ X_P(V) = X_J + Fin(V) = \sqrt{\frac{2\epsilon(\phi - V)}{q} \cdot \frac{N_N}{P_P(P_P + N_N)}} \end{array} \right. \quad (II.9)$$

L'expression de ces grandeurs géométriques en fonction de la polarisation de la ZCE (équation II.10), reliée à l'évolution du champ électrique en fonction de la position et de la position (équation II.10 et figures II.17 et II.18), nous permettent de donner un modèle analytique simple de ce cas de dopages.

$$\left\{ \begin{array}{l} E(x, V) = -q \frac{N_N}{\epsilon} (x - Debut(V)) \quad si \ Debut(V) \leq x \leq X_J \\ E(x, V) = q \frac{P_P}{\epsilon} (x - Fin(V)) \quad si \ X_J \leq x \leq Fin(V) \end{array} \right. \quad (II.10)$$

Dans ce cas, toutes les grandeurs peuvent s'exprimer simplement par la différence de potentiel entre le début et la fin de la ZCE (voir équation II.9), ce qui facilite grandement la suite de la modélisation de la jonction PN.

Jonction abrupte à dopages gaussiens L'utilisation des lois gaussiennes pour les profils de dopages dans un modèle analytique est difficile, et ce pour une raison principale :

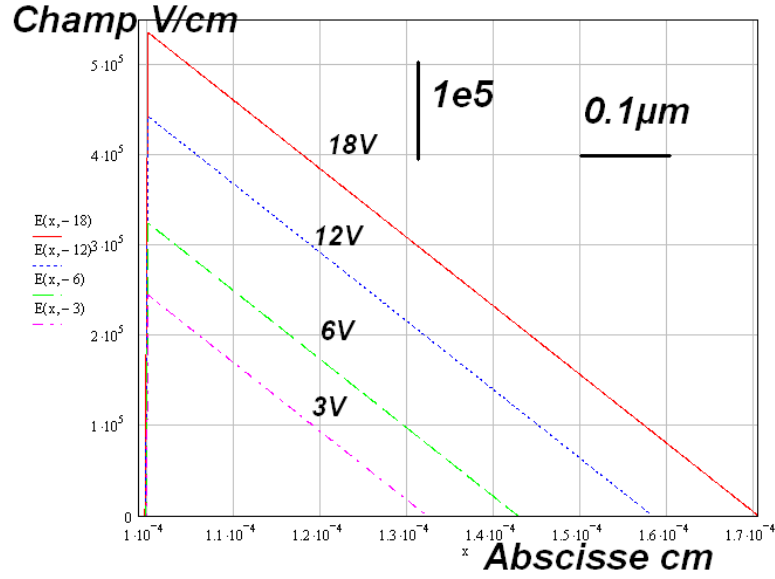


FIGURE II.17 – Profil de champ pour une jonction abrupte et dopages constants

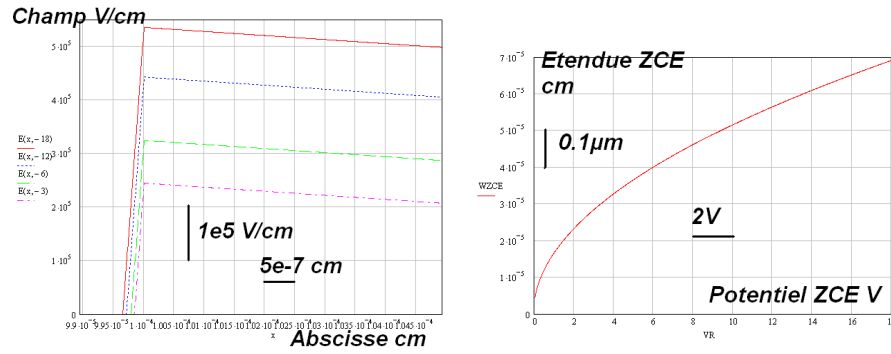


FIGURE II.18 – Profil de champ pour une jonction abrupte et dopages constants : Zoom autour de la jonction métallurgique (à gauche) et évolution de l'étendue de la ZCE en fonction de la différence de potentiel entre les extrémités de la ZCE à droite

l'intégrale de la fonction e^{-x^2} est appelée *fonction d'erreur* (*erf*) qui est une fonction spéciale au sens mathématique du terme, c'est à dire une fonction analytique non élémentaire et définie à l'aide d'une intégrale.

$$\operatorname{erf}(x) = \frac{2}{\sqrt{\pi}} \cdot \int_0^x e^{-y^2} dy \quad (\text{II.11})$$

Cette fonction erreur présente certaines propriétés d'approximation ou d'intégration. Par exemple, un encadrement de cette fonction à été proposé dans [30], encadrement dont la borne supérieure est une approximation valable à $7 \cdot 10^{-3}$ près partout.

$$\sqrt{1 - e^{-x^2}} \leq \operatorname{erf}(x) \leq \sqrt{1 - e^{-\frac{4x^2}{\pi}}} \quad (\text{II.12})$$

De plus, la fonction erf étant continue, cette fonction est intégrable et suite à une intégration par partie et un changement de variable, on peut ainsi obtenir une expression de son intégrale (équation II.13). On pourra ainsi par la suite utiliser un encadrement de l'intégrale de cette fonction d'erreur, afin de calculer le potentiel électrique.

$$\int_0^x erf(y)dy = x \cdot erf(x) + \frac{e^{-x^2} - 1}{\sqrt{\pi}} \quad (\text{II.13})$$

L'idée ici est d'utiliser la dérivée du champ électrique qui est connue dans les deux régions distinctes de la jonction, et d'assurer naturellement la continuité du champ au passage d'une région à l'autre. De notre point de vue, il est impossible de donner directement un modèle analytique simple et explicite de l'évolution du début et de la fin de la ZCE en fonction de la différence de potentiel dans la ZCE ou entre les bornes de la jonction. Afin de s'affranchir de ce problème implicite, nous avons utilisé une grandeur intermédiaire E_0 , qui représente une constante d'intégration du champ, le champ étant pris comme s'annulant pour $x = 0$. Nous allons ensuite pouvoir exprimer de façon analytique les grandeurs électriques en fonction de cette constante E_0 .

Pour cela, on définit donc un champ électrique $E'(x) = \frac{q}{\epsilon} \cdot \int_0^x N(y)dy$ (équations II.4 et II.6). Ce champ sera donc une image du champ électrique réel $E(x)$ défini à une constante E_0 près. En effet, $E'(x)$ s'annulera en $x = 0$ tandis que $E(x)$ s'annulera lui en $x = Debut$ et $x = Fin$. L'expression de $E'(x)$ est donnée par l'équation II.14 et sa représentation est sur la figure II.19.

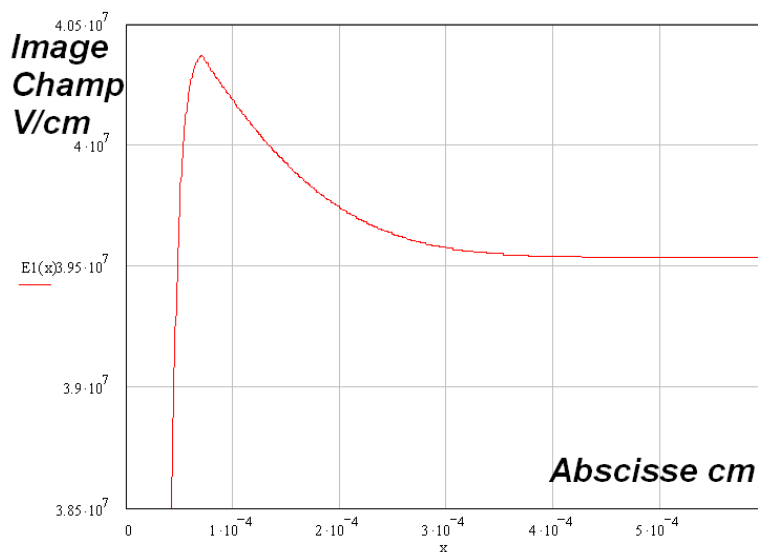


FIGURE II.19 – Évolution du champ électrique $E'(x)$ pour une jonction abrupte à dopages gaussiens, défini à une constante près et valable seulement autour de la jonction métallurgique

$$E'(x) = \begin{cases} \frac{q}{\epsilon} \cdot \int_0^x N_{Dop}(t) dt & \text{si } x \leq X_J \\ E'(X_J) - \frac{q}{\epsilon} \cdot \int_{X_J}^t P_{Dop}(t) dt & \text{si } x > X_J \\ = \frac{q}{\epsilon} \cdot \left(\int_0^{X_J} N_{Dop}(t) dt - \int_0^t P_{Dop}(t) dt - \int_0^{X_J} P_{Dop}(t) dt \right) & \end{cases} \quad (\text{II.14})$$

En utilisant l'approximation proposée de la fonction erreur dans l'équation II.13, on peut ainsi exprimer le champ électrique $E'(x)$, en fonction des dopages et des données géométriques.

$$E'(x) = \begin{cases} \frac{q}{\epsilon} \cdot \left(N_{N0} L_{NDiff} \frac{\sqrt{\pi}}{2} \sqrt{1 - e^{-\frac{4x^2}{\pi L_{NDiff}^2}}} \right) & \text{si } x \leq X_J \\ -\frac{q}{\epsilon} \cdot \left(P_{P0} L_{PDiff} \frac{\sqrt{\pi}}{2} \sqrt{1 - e^{-\frac{4x^2}{\pi L_{PDiff}^2}}} \right. \\ \quad \left. - P_{P0} L_{PDiff} \frac{\sqrt{\pi}}{2} \sqrt{1 - e^{-\frac{4X_J^2}{\pi L_{PDiff}^2}}} \right. \\ \quad \left. - N_{N0} L_{NDiff} \frac{\sqrt{\pi}}{2} \sqrt{1 - e^{-\frac{4X_J^2}{\pi L_{NDiff}^2}}} \right) & \text{si } x > X_J \end{cases} \quad (\text{II.15})$$

Pour passer de l'expression analytique de $E'(x)$ à celle de $E(x)$, nous allons donc nous fixer une constante d'intégration E_0 que nous allons faire varier, et qui nous permet d'exprimer analytiquement toutes les grandeurs en fonction de cette constante (voir figure II.20 et équations II.15 et II.16).

$$\begin{cases} E'(Debut(E_0)) = E_0 \\ E'(Fin(E_0)) = E_0 \end{cases} \quad (\text{II.16})$$

Cette méthode nous permet alors d'exprimer analytiquement le début (équation II.17) et la fin (équation II.18) de la ZCE en fonction de cette constante d'intégration E_0 .

$$Debut(E_0) = \sqrt{-\frac{\pi L_{NDiff}^2}{4} \cdot \ln \left(1 - \left(\frac{2E_0 \epsilon}{q N_{N0} L_{NDiff} \sqrt{\pi}} \right)^2 \right)} \quad (\text{II.17})$$

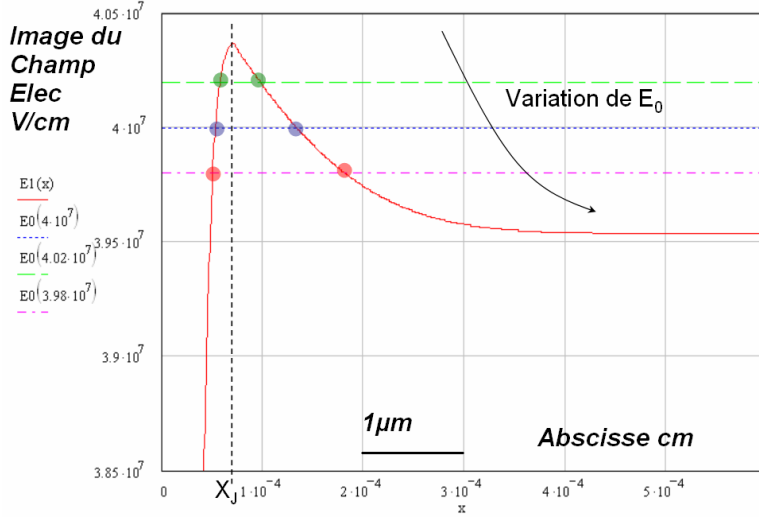


FIGURE II.20 – Présentation de la méthode pour exprimer le champ électrique réel $E(x)$, à partir de la constante E_0 et du champ $E'(x)$

$$Fin(E_0) = \left\{ -\frac{\pi L_{PDiff}^2}{4} \cdot \ln \left(1 - \left(\frac{2\epsilon E_0 + 2qP_{P_0}L_{PDiff} \frac{\sqrt{\pi}}{2} \sqrt{1 - e^{\frac{-4X_J^2}{\pi L_{PDiff}^2}}}}{qP_{P_0}L_{PDiff}\sqrt{\pi}} \right. \right. \right. \quad (II.18)$$

$$\left. \left. \left. + \frac{2qN_{N_0}L_{NDiff} \frac{\sqrt{\pi}}{2} \sqrt{1 - e^{\frac{-4X_J^2}{\pi L_{NDiff}^2}}}}{qP_{P_0}L_{PDiff}\sqrt{\pi}} \right) \right)^{0.5} \right\}$$

$$E(x, E_0) = \begin{cases} E'(x) - E_0 & \text{si } Debut(E_0) \leq x \leq Fin(E_0) \\ 0 & \text{sinon} \end{cases} \quad (II.19)$$

On peut maintenant faire varier E_0 de la valeur $E'(X_J)$ à la valeur $E'(X_J) - E_{Max}$, où E_{Max} représente le champ maximal dans la jonction (figure II.19). En intégrant l'expression de $E(x, E_0)$ entre les points $Debut(E_0)$ et $Fin(E_0)$ et en utilisant l'intégrale de la fonction $erf(x)$ de l'équation II.12, nous pouvons obtenir l'expression de la tension tenue par la jonction $\phi - V(E_0) = \phi + V_R(E_0)$. Par manque de place, nous n'avons pas inclus ce résultat dans ce mémoire. La variation de la constante E_0 est prise de façon discrète dans un premier temps, car l'équation $V = f(E_0)$ est difficile à inverser et il n'est pas trivial d'obtenir une fonction $E_0 = f^{-1}(V)$. Ces travaux mathématiques sortent du cadre de cette thèse, mais ces efforts sont à poursuivre.

Avec une méthode de variation discrète, on obtient un tableau de valeurs contenant E_0 , $E(x, E_0)$, $Debut(E_0)$, $Fin(E_0)$ et $V(E_0)$. On peut ainsi éliminer du tableau de valeurs la constante E_0 et obtenir directement les correspondances entre les grandeurs électriques et géométriques. On obtient ainsi grâce à une interpolation linéaire les fonctions $E(x, V)$, $Debut(V)$ et $Fin(V)$. La figure II.21 présente l'évolution de l'étendue de la ZCE

$Fin(V) - Debut(V)$ en fonction de la différence de potentiel entre les extrémités de la ZCE. La figure II.22 présente la répartition du champ électrique $E(x, V)$ pour différentes valeurs de cette même différence de potentiel. On peut remarquer sur cette figure II.22 que la dérivée du champ électrique admet une discontinuité autour de $x = X_J$ (modèle abrupte), mais aussi autour de $x = Debut(V)$ et $x = Fin(V)$. Ces discontinuités s'expliquent car nous n'avons pas pris en compte dans nos modèles le phénomène de Debye [102] [66] [67], avec une longueur de début et de fin de la ZCE qui est modifiée principalement par le faible champ électrique y régnant.

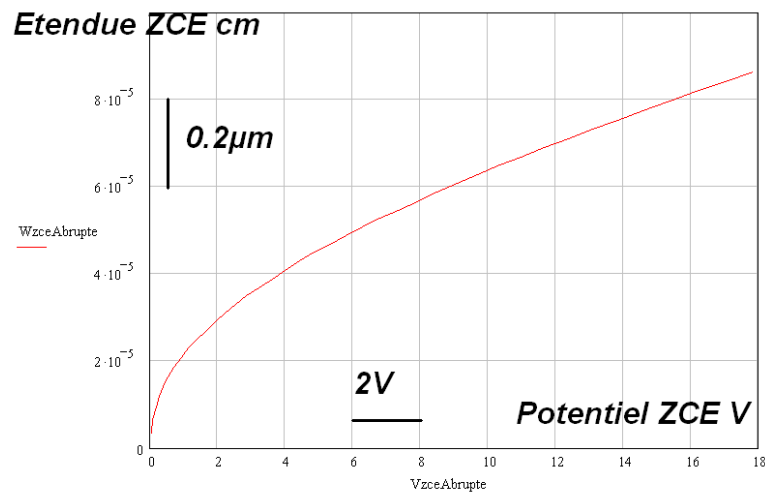


FIGURE II.21 – Evolution de l'étendue de la ZCE en fonction de la différence de potentiel entre les extrémités de la ZCE

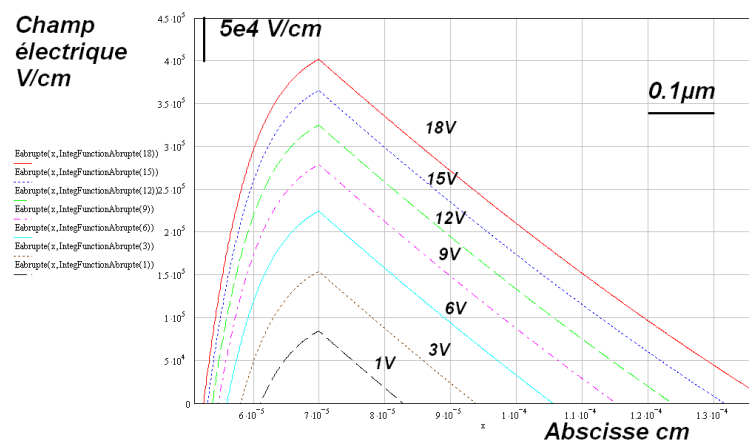


FIGURE II.22 – Répartition unidimensionnelle de la ZCE en fonction de la différence de potentiel entre les extrémités de la ZCE

Sur la figure II.22, nous pouvons voir que l'étendue du champ électrique dans la zone N fortement dopée n'est pas négligeable, et qu'il est donc important de retranscrire le plus fidèlement cette étendue de la ZCE dans les deux régions de la jonction.

En conclusion sur cette première modélisation, nous pouvons dire que le problème de modélisation de la jonction PN est ici pris de façon inverse : on fixe une constante de champ d'intégration, on peut alors calculer analytiquement, ou par tableau de valeurs puis interpolation linéaire, le profil de champ et la tension tenue par la jonction. Ceci est le point de départ d'une bonne modélisation des courants qui traversent la jonction PN.

Jonction continue à dopages gaussiens La prise en compte d'un profil de dopages continu va modifier les équations II.4 et II.15 en l'équation II.20. On va alors appliquer la même méthode que précédemment, avec le calcul d'un champ électrique $E'(x)$ défini à une constante E_0 près.

$$\begin{aligned} E'(x) &= \frac{q}{\epsilon} \cdot \int_0^x N_{Dop}(t) dt \\ &= \frac{q}{\epsilon} \cdot \left(\int_0^x (N_{Dop}(t) - P_{Dop}(t)) dt \right) \end{aligned} \quad (\text{II.20})$$

En utilisant l'approximation proposée de la fonction erreur dans l'équation II.13, on peut ainsi exprimer le champ électrique $E'(x)$, en fonction des dopages et des données géométriques.

$$E'(x) = \frac{q}{\epsilon} \cdot \left(N_{N0} L_{NDiff} \frac{\sqrt{\pi}}{2} \sqrt{1 - e^{-\frac{4x^2}{\pi L_{NDiff}^2}}} - P_{P0} L_{PDiff} \frac{\sqrt{\pi}}{2} \sqrt{1 - e^{-\frac{4x^2}{\pi L_{PDiff}^2}}} \right) \quad (\text{II.21})$$

De la même façon que précédemment pour une jonction abrupte à dopages gaussiens, nous allons utiliser une constante d'intégration E_0 , qui va nous permettre de calculer le champ électrique réel, ainsi que le début et la fin de ZCE, puis la différence de potentiel aux bornes de la ZCE. Cependant, il est plus difficile de calculer le début et la fin de la ZCE, étant donné qu'il faut prendre en compte l'influence du dopage de chaque région sur sa voisine, et qu'une approche régionale n'est pas possible. Pour trouver l'expression de l'étendue de la ZCE, on doit résoudre les deux équations II.16, associées à l'expression de $E'(x)$ de l'équation II.21. A notre connaissance et vu le temps qu'il nous a été donné pour traiter ce problème, ces équations n'admettent pas de solutions simples.

Afin de résoudre ces deux équations, nous avons décidé d'utiliser la méthode d'approximations successives : pour le calcul du début de la ZCE $Debut(E_0)$ par exemple, on va approximer la contribution du dopage P sur le champ électrique dans la région N. Si on néglige cette contribution, on se retrouve avec la même équation de $Debut$ que dans le cas abrupte, et par approximations successives, on va pouvoir arriver à prendre en compte cette contribution. Après moins de dix approximations, nous arrivons à un très bon résultat sur le début et la fin de la ZCE (équations II.22 et II.23), quelle que soit la différence de potentiel V entre les extrémités de la ZCE.

$$\begin{aligned}
Debut_i(E_0) &= \sqrt{-\frac{\pi L_{NDiff}^2}{4} \cdot \ln \left(1 - \left(\frac{2(E_0 + E_{ApproxP}(Debut_{i-1}))\epsilon}{qN_{N0}L_{NDiff}\sqrt{\pi}} \right)^2 \right)} \\
\forall E_0 \ Debut_0(E_0) &= X_J \\
E_{ApproxP}(x) &= -\frac{q}{\epsilon} \cdot \left(P_{P0}L_{PDiff} \frac{\sqrt{\pi}}{2} \sqrt{1 - e^{-\frac{4x^2}{\pi L_{PDiff}^2}}} \right)
\end{aligned} \tag{II.22}$$

$$\begin{aligned}
Fin_i(E_0) &= \sqrt{-\frac{\pi L_{PDiff}^2}{4} \cdot \ln \left(1 - \left(\frac{2(E_0 + E_{ApproxN}(Fin_{i-1}))\epsilon}{qP_{P0}L_{PDiff}\sqrt{\pi}} \right)^2 \right)} \\
\forall E_0 \ Fin_0(E_0) &= X_J \\
E_{ApproxN}(x) &= \frac{q}{\epsilon} \cdot \left(N_{N0}L_{NDiff} \frac{\sqrt{\pi}}{2} \sqrt{1 - e^{-\frac{4x^2}{\pi L_{NDiff}^2}}} \right)
\end{aligned} \tag{II.23}$$

Nous avons représenté sur la figure II.23 l'évolution du champ électrique dans la ZCE sous différentes tensions V . Nous voyons que ce profil de champ semble totalement cohérent avec les hypothèses associées, comme par exemple un champ électrique à dérivée nulle autour de la jonction métallurgique, en $x = X_J$, ainsi qu'un champ qui s'étend de façon notable dans la partie la plus faiblement dopée, sous l'influence du profil de dopage issu de procédés de diffusions.

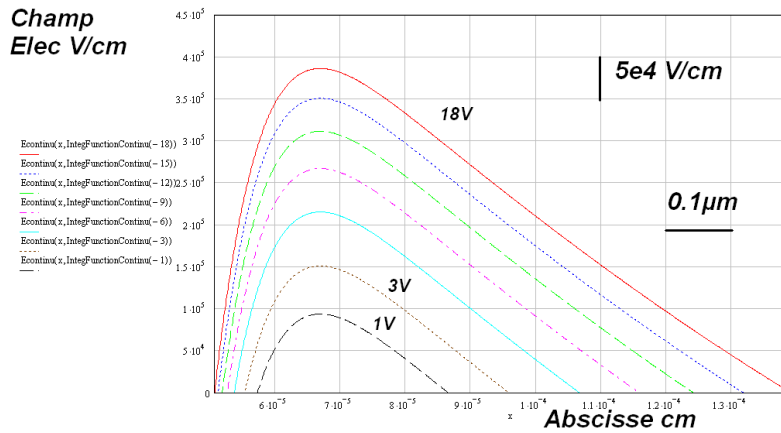


FIGURE II.23 – Répartition unidimensionnelle de la ZCE en fonction de la différence de potentiel entre les extrémités de la ZCE

Comparaison entre les modèles de dopages abruptes et continus pour la représentation de la ZCE Une comparaison des deux modèles de dopages gaussiens autour de la jonction métallurgique est présentée sur la figure II.24 : pour une faible différence de

potentiel aux bornes de la ZCE, le champ électrique sera peu étendu et s'établira autour de cette jonction métallurgique.

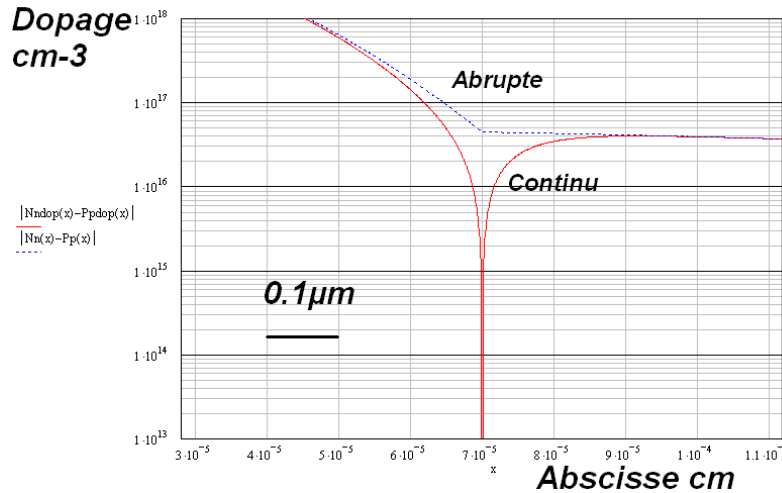


FIGURE II.24 – Comparaison des dopages autour de la jonction métallurgique, pour une jonction abrupte et une jonction continue

La figure II.25 représente l'évolution de la ZCE entre les deux modèles : pour une faible polarisation inverse (1V), le profil du champ électrique diffère selon le modèle utilisé. Par contre, pour une polarisation inverse plus importante (17V), il y a très peu d'écarts entre les deux modèles ; en effet, sous faible polarisation, le champ s'établira seulement autour de la jonction métallurgique et il est donc très important de bien modéliser la concentration en dopant autour de cette zone. Par contre, sous forte polarisation, le champ s'établira plus profondément et donc l'écart entre le modèle abrupte et continu sera plus faible.

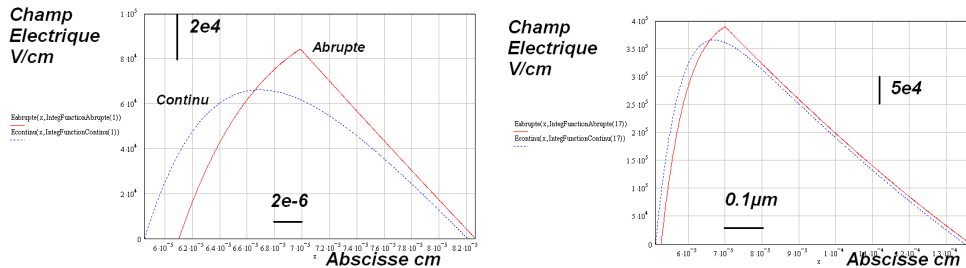


FIGURE II.25 – Comparaison du profil du champ électrique dans la ZCE entre un modèle abrupte et continu : à gauche pour un faible polarisation et à droite pour une grande polarisation

En conclusion, la figure II.26 présente la différence entre ces deux modèles pour l'étendue totale de la ZCE, en fonction de la polarisation, ainsi que l'erreur relative du modèle abrupte sur le modèle gaussien (supposé réel). L'avantage du modèle abrupte est sa simplicité, car nous pouvons simplement établir l'expression analytique du début et de la fin de l'étendue de la ZCE, tandis qu'il faut utiliser la méthode des approximations succes-

sives pour le dopage continu. Par contre, pour des faibles polarisations inverse, ce modèle abrupte comporte une erreur relative qui va dépendre des constantes de diffusions des dopages de majoritaires, et qui peut s'avérer importante (supérieure à 20%).

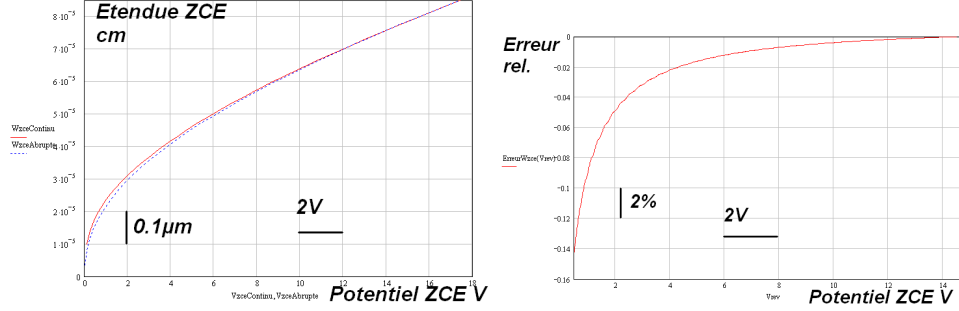


FIGURE II.26 – Comparaison de l'étendue de la ZCE selon le modèle utilisé : à gauche comparaison de l'étendue selon la polarisation et à droite erreur relative entre le modèle abrupte et le modèle continu

II.3.d-ii Résistances

Afin de modéliser le plus fidèlement possible les jonctions PN, il est important de rendre compte de l'évolution des résistances des zones quasi-neutres, modulées selon la polarisation de la jonction. La résistivité d'un semiconducteur dopé N ou P s'exprime par l'équation II.24 [102]. Pour une jonction abrupte à dopages uniformes, on peut facilement obtenir la valeur de la résistance équivalente de chacune des zones N ou P (équation II.25).

$$\begin{cases} \rho_{Elec\ n}(x) = \frac{1}{q \cdot \mu_n(x) \cdot N_N(x)} \\ \rho_{Elec\ p}(x) = \frac{1}{q \cdot \mu_p(x) \cdot P_P(x)} \end{cases} \quad (\text{II.24})$$

$$\begin{cases} R_N(V) = \frac{Debut(V)}{q \cdot \mu_n(0) \cdot N_{N0} \cdot S} \\ R_P(V) = \frac{d - Fin(V)}{q \cdot \mu_p(d) \cdot P_{P0} \cdot S} \end{cases} \quad (\text{II.25})$$

Pour les dopages gaussiens, il est plus difficile d'obtenir la forme intégrée des résistances des zones quasi-neutres, car le dopage évoluant avec x , la mobilité des porteurs est aussi dépendante de x . Il faut donc effectuer une intégration (équation II.26).

$$\begin{cases} R_N(V) = \frac{1}{S} \cdot \int_0^{Debut(V)} \rho_{Elec\ n}(x) dx \\ R_P(V) = \frac{1}{S} \cdot \int_{Fin(V)}^d \rho_{Elec\ p}(x) dx \end{cases} \quad (\text{II.26})$$

Nous avons donc établi une résistance équivalente, variable en fonction de la différence de potentiel entre les extrémités de la ZCE (figure II.27), à partir d'une intégration par la méthode des trapèzes. On peut être critique vis à vis de cette dépendance de la résistance globale en fonction de la variation de l'étendue de la ZCE (figure II.27), mais selon le cas d'application, il peut être important de rendre compte de la variation de la résistance de la jonction en fonction de la polarisation (cas des dopages très faibles par exemple). Il nous reste donc maintenant à établir le lien entre l'étendue de la ZCE et les courants qui circulent entre les extrémités de la jonction PN.

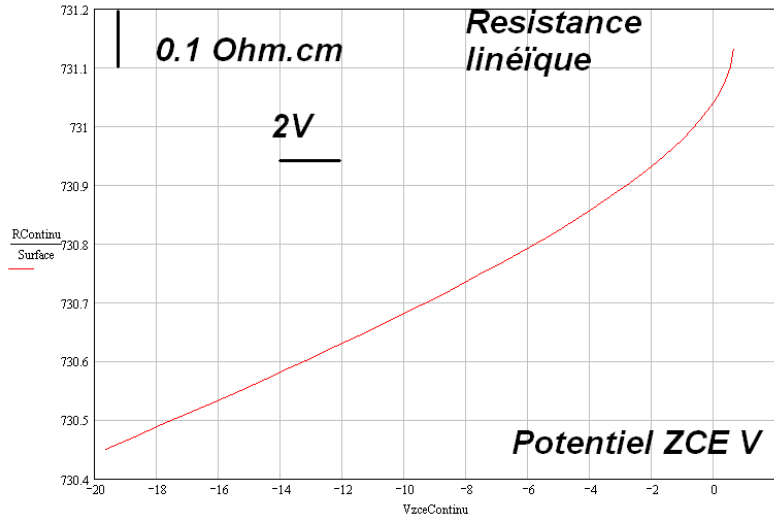


FIGURE II.27 – Evolution de la résistance linéique en fonction de la différence de potentiel entre les extrémités de la ZCE

II.3.d-iii Calcul des courants de diffusion et de conduction

Pour la jonction abrupte à dopages uniformes, il est facile de calculer les courants de conduction et de diffusion (voir notamment [66] [57] [99] ou [102]), à partir d'une bonne connaissance de la ZCE : grâce aux équations de diffusion des porteurs et de continuité, nous pouvons exprimer l'évolution des porteurs minoritaires selon l'abscisse x et la différence de potentiel entre les extrémités de la ZCE V (équation II.27).

$$\left\{ \begin{array}{l} P_N(x, V) = P_{N0} + P_{N0} \cdot \left(e^{\frac{V}{U_T}} - 1 \right) \cdot \frac{\text{sh} \left(\frac{x}{L_P} \right)}{\text{sh} \left(\frac{\text{Debut}(V)}{L_P} \right)} \\ N_P(x, V) = N_{P0} + N_{P0} \cdot \left(e^{\frac{V}{U_T}} - 1 \right) \cdot \frac{\text{sh} \left(\frac{-x + d}{L_N} \right)}{\text{sh} \left(\frac{d - \text{Fin}(V)}{L_N} \right)} \end{array} \right. \quad (\text{II.27})$$

On peut alors calculer les courants de diffusion de minoritaires (équation II.28).

$$\begin{cases} J_P((x), V) = -q \cdot D_P \frac{dP_N(x)}{dx} \\ J_N((x), V) = q \cdot D_N \frac{dN_P(x)}{dx} \end{cases} \quad (\text{II.28})$$

En traitant de façon dissociée la génération thermique dans la ZCE et la diffusion des porteurs [66], on peut alors écrire le courant total dû au phénomène de diffusion (équation II.29). On gardera cependant les expressions de l'équation II.28, lorsqu'on voudra prendre en compte la multiplication des porteurs sous l'effet d'avalanche.

$$\begin{aligned} J_{Diff}(V) &= J_P(Debut(V), V) + J_N(Fin(V), V) \\ &= q \cdot \left(\frac{D_N}{L_N} \cdot \frac{N_{P0}}{th\left(\frac{d - Fin(V)}{L_N}\right)} + \frac{D_P}{L_P} \cdot \frac{P_{N0}}{th\left(\frac{Debut(V)}{L_P}\right)} \right) \cdot \left(e^{\frac{V}{V_T}} - 1 \right) \end{aligned} \quad (\text{II.29})$$

Pour les jonctions à dopages gaussiens, il est plus difficile d'obtenir les courants d'électrons et de trous, principalement à cause du champ électrique non nul qui apparaît dans les zones quasi neutres, à cause du gradient de porteurs dû au procédé de fabrication par diffusion. Les équations des courants de trous et d'électrons sont décrits dans l'équation II.30.

$$\begin{cases} J_P((x), V) = -q \cdot D_P(x) \left(P_N(x, V) \frac{-q}{kT} E(x, V) - \frac{dP_N(x)}{dx} \right) \\ J_N((x), V) = -q \cdot D_N(x) \left(N_P(x, V) \frac{-q}{kT} E(x, V) + \frac{dN_P(x)}{dx} \right) \end{cases} \quad (\text{II.30})$$

Il est impossible de résoudre analytiquement ce système d'équations, sans hypothèses et approximations supplémentaires : dans [66], une méthode pour résoudre ces équations est proposée, se basant principalement sur une analogie avec les dopages uniformes, et utilisant les conditions aux limites par les relations de Boltzmann. Une autre méthode est proposée dans [65], utilisant des simplifications issues de cas particuliers considérés (zone de base d'un IGBT), associés à des développements en séries de Fourier. Une autre méthode *précise* pour résoudre ce système est la simulation par éléments finis. Bien que nous ne pouvons pas calculer simplement J_N et J_P , il est possible de calculer analytiquement [66] [62] le courant total dû à la diffusion des porteurs (équation II.31).

$$\begin{aligned}
J_{Diff}(V) &= J_S(V) \cdot \left(e^{\frac{V}{U_T}} - 1 \right) \\
\text{Avec} \quad J_S(V) &= -q \cdot ni^2 \left(\frac{D_P}{\int_0^\alpha N_N(x) dx} + \frac{D_N}{\int_\beta^d P_P(x) dx} \right) \\
\text{Et} \quad \alpha &= L_P \cdot th \left(\frac{Debut(V)}{L_P} \right) \\
\beta &= Fin(V) - L_N \cdot th \left(\frac{Fin(V)}{L_N} \right)
\end{aligned} \tag{II.31}$$

Enfin, à ce courant de diffusion va s'ajouter un courant de génération / recombinaison en ZCE : il est relativement difficile d'obtenir un bon modèle analytique des densités de courants issues de la recombinaison et de la génération des porteurs en ZCE. Quelques exemples de modèles peuvent se trouver dans [32] [65] [102] ou encore [66]. Nous avons décidé d'utiliser un modèle simple, quitte à le faire évoluer par la suite, en utilisant les résultats précédents sur la modélisation du champ et du potentiel électriques (équations II.32).

$$\begin{aligned}
J_{Gene}^{th}(V) &= -q \cdot ni \cdot \frac{Fin(V) - Debut(V)}{\tau_N + \tau_P} \\
J_{Recomb}^{th}(V) &= q \cdot ni \cdot \sigma_{SR} \cdot v_{th} N_T \cdot \frac{Fin(V) - Debut(V)}{\tau_N + \tau_P} \cdot e^{\frac{V}{2U_T}} \\
J_{RG}(V) &= J_{Gene}^{th}(V) + J_{Recomb}^{th}(V)
\end{aligned} \tag{II.32}$$

Nous utilisons donc ici une approximation du taux de génération recombinaison valable soit pour une polarisation positive soit négative, et nous ajoutons chacune de ces deux contributions afin d'obtenir un modèle continu. Il faudrait rajouter la prise en compte de la modification de la durée de vie des porteurs selon les modèles Auger ou SRH par exemple [53]. Néanmoins, grâce à ce modèle simple de densités de courant, nous pouvons donner un modèle analytique rapide de la densité de courant dans la jonction, et ainsi faire la différence entre le courant issu de la diffusion et ceux issus de la recombinaison ou de la génération en ZCE.

Pour une faible polarisation directe de la jonction par exemple, la ZCE est encore relativement bien étendue, et le courant total est donc plutôt de type recombinaison. Si la polarisation directe est plus élevée, alors la ZCE sera beaucoup moins étendue, et le courant total sera majoritairement issu de la diffusion des porteurs. La figure II.29 présente les résultats de notre modèle sur cette polarisation directe. On retrouve ici une modélisation plus fine que le modèle de Shockley, et dépendante de la géométrie de la jonction.

De même, sous polarisation inverse, le courant est majoritairement issu de la génération thermique en ZCE, cependant il ne faut pas négliger la contribution du courant de diffusion dans le courant total inverse, car lorsque la température augmente, le courant de diffusion augmente plus fortement que celui de génération. Ceci s'explique par le facteur ni dans $J_{Gene}^{th}(V)$ tandis qu'il apparaît au carré dans $J_{Diff}(V)$, ni étant une fonction croissante de

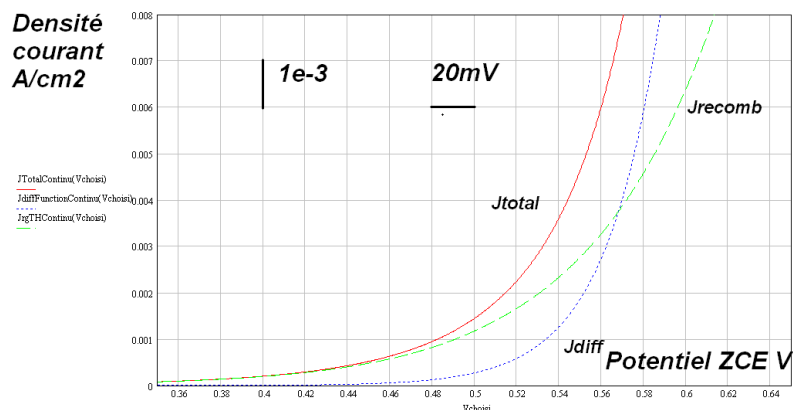


FIGURE II.28 – Comparaison des densités de courants issus de la recombinaison et de la diffusion des porteurs, sous polarisation directe de la jonction. Jonction continue à dopages gaussiens

la température.

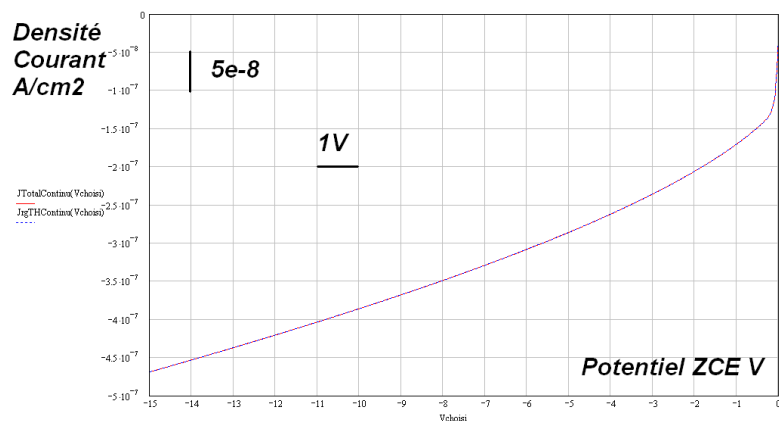


FIGURE II.29 – Densité de courant totale inverse d'une jonction continue à dopages gaussiens (sans avalanche)

Forts de ces résultats complets autour de la jonction PN, nous pouvons maintenant analyser et modéliser deux phénomènes supplémentaires, afin d'établir un modèle complet et fin de la jonction PN. Nous allons donc étudier tout d'abord le phénomène d'avalanche, qui sera utilisé pour la tenue en tension des jonctions, et plus particulièrement dans le système d'autoalimentation. Ensuite, nous verrons comment se comporte la jonction intégrée sous bombardement de photons, afin de pouvoir concevoir et dimensionner par la suite un récepteur optique intégré monolithiquement.

II.3.e L'avalanche dans la jonction PN intégrée au composant de puissance

II.3.e-i Avalanche et effet Zéner

Lorsque le champ maximal tenu par la jonction s'élève, la force appliquée aux porteurs en ZCE devient relativement importante et peut leur donner une énergie cinétique suffisante pour générer des chocs importants avec d'autres porteurs. Ces collisions peuvent arracher des porteurs fixes en ZCE et donc générer des porteurs libres, potentiellement accélérables par l'intense champ régnant alors en ZCE (au minimum 10^5 V/cm). Ce phénomène, en 3 étapes, accélération, collision-génération puis accélération, est appelé *avalanche* ou *ionisation par impact*, en référence aux phénomènes identiques se produisant dans des gaz ionisés [69] [70]. Les porteurs libres circulant en ZCE créent alors d'autres porteurs libres, multipliant ainsi le courant de conduction dans la ZCE. Le facteur multiplicatif découlant de l'avalanche dépend de plusieurs paramètres : valeur maximale et étendue du champ électrique, type de porteurs (électrons ou trous) et température.

Plusieurs remarques générales concernant l'avalanche peuvent être faites :

- L'avalanche n'est pas en soit un phénomène destructeur : l'ionisation par impact modifie le courant inverse bien avant la *rupture thermique* de la jonction, et on peut faire fonctionner sans problème une jonction en avalanche, tant que le courant reste limité,
- donner une simple valeur de champ critique pour le phénomène d'avalanche n'est pas justifié : la multiplication du courant dépend effectivement de la vitesse atteinte par les porteurs en ZCE, résultat de l'étendue et du profil de champ en ZCE, pas simplement du champ maximal,
- il est important de tenir compte de la différence des coefficients d'ionisation pour les électrons et les trous, afin de garantir une bonne modélisation de toutes les jonctions (type P^+N^- et P^-N^+).

Si, sous l'action d'un champ électrique élevé, les porteurs accélérés en ZCE n'ont pas l'espace nécessaire pour acquérir une énergie cinétique suffisante pour générer le phénomène d'avalanche, un autre phénomène apparaît alors ; soumis à des champs intenses (supérieurs à 10^6 V/cm), la force électrique s'appliquant aux électrons devient supérieure aux forces de liaisons atomiques. Les électrons liés sont alors arrachés des liaisons atomiques et deviennent libres, créant un courant inverse qui n'est limité que par les résistances des zones neutres. Il ne s'agit pas d'un phénomène multiplicatif, *a-contrario* du phénomène d'avalanche, et ici aussi, ce phénomène peut ne pas être destructeur (on parle aussi d'effet tunnel pour l'effet Zener). Pour ces deux phénomènes, on parle alors de *claquage* de la jonction, qui signifie une rupture brusque du mode source de courant vers un mode source de tension.

On voit donc que 3 types de *claquages* de jonctions peuvent apparaître, principalement selon les niveaux de dopages :

- Les jonctions à effet Zener,
- Les jonctions à ionisation par impact,
- Les jonctions à effet Zener et ionisation par impact.

Si les niveaux de dopages sont élevés dans chacune des régions de la jonction (supérieurs à 10^{20} cm^{-3}), la ZCE ne s'étend que faiblement (quelques centaines d'Å maximum), même lorsque le champ maximal atteint des valeurs très importantes (de l'ordre de 10^6 V/cm). Dans ce cas, seul l'effet Zener intervient. Cela représente des tensions Zener inférieures à 5 à 7 V environ. Si les niveaux de dopages sont plus faibles (inférieurs à 10^{18} cm^{-3}), la ZCE s'étend fortement (au minimum quelques microns) et l'ionisation par impact apparaît bien avant l'effet Zener. Les porteurs libres en ZCE peuvent acquérir suffisamment de vitesse pour générer d'autres porteurs, et limiter ainsi la tension tenue par la jonction. Seul l'effet d'ionisation par impact intervient dans les jonctions limitant des tensions à partir de 10 V. Enfin, dans tous les autres cas, qui ne représentent malgré tout que peu de situations (tenue en tension comprise en 7 et 10 V), les deux effets coexistent.

Dans notre étude, nous nous sommes limités au phénomène d'ionisation par impact, représentant toutes les jonctions ayant une tenue en tension supérieure à la dizaine de V. En effet, en électronique de puissance, nous avons surtout besoin de composants haute tension, ainsi que de quelques diodes de régulation (10-20 V) ou de diodes transil (limitation de surtension, plusieurs centaines de volts).

II.3.e-ii Modélisation du phénomène d'avalanche

Plusieurs modèles ont été développés pour la gestion de l'ionisation par impact dans les jonctions de semiconducteurs [66] [63] [8] [18]; dans tous les cas, il faut définir et utiliser les coefficients d'ionisation par impact (équation II.33).

$$\begin{aligned} \alpha_n(x, V) &= K_{1n} \cdot e^{-\frac{K_{2n}}{|E(x, V)|}} \\ \alpha_p(x, V) &= K_{1p} \cdot e^{-\frac{K_{2p}}{|E(x, V)|}} \end{aligned} \quad (\text{II.33})$$

Les valeurs des constantes de l'équation II.33 sont déduites de l'expérience et ici aussi, plusieurs niveaux de modélisation sont possibles [53] : globalement les modèles peuvent prendre en compte une dépendance directe des coefficients K à la température, ainsi qu'aux niveaux du champ électrique. Différentes études ont montré que l'on peut discrétiser la dépendance des constantes en fonction du niveau du champ électrique [53] : on définit un domaine de faible champ et un autre de fort champ ; ou bien on peut aussi définir un niveau intermédiaire, voire linéariser cette dépendance. Pour l'instant, nous avons choisi de garder les coefficients K indépendants de la température et des niveaux de champ : comme nous allons le voir, la suite est déjà relativement complexe et gourmande en ressource pour un calculateur, mais nous pourrions faire évoluer le modèle des constantes K selon les besoins.

On s'aperçoit déjà que, bien évidemment, le modèle analytique à 100% est impossible. Ceci est classique dans la physique, étant donné la nature expérimentale de cette science. On a donc fortement besoin de la contribution de modèles empiriques (ici pour les coefficients d'ionisation par impact). Une fois ces coefficients d'ionisation définis par l'équation

II.33 (l'unité de ces coefficients est le cm^{-1}), nous intégrons la différence du coefficient α_n et α_p , à l'intérieur de la ZCE. On obtient alors une fonction sans unité $z(x, V)$, fonction de la position dans la ZCE [66] :

$$z(x, V) = e^{-\int_{Debut(V)}^x (\alpha_n(x', V) - \alpha_p(x', V)) dx'} \quad (II.34)$$

Cette fonction $z(x, V)$ nous sert ensuite à définir la fonction $F(V)$, donnant une image de la multiplication des porteurs en ZCE : pour cela, on intègre la fonction $z(x, V)$ de l'équation II.34 multiplié par le coefficient d'ionisation des électrons α_n le long de la ZCE. D'autres développements autour de la modélisation fine de l'ionisation par impact peuvent se trouver dans [66] et [69].

$$F(V) = \int_{Debut(V)}^{Fin(V)} z(x, V) \cdot \alpha_n(x, V) dx \quad (II.35)$$

La fonction $F(V)$ est une fonction dépendante simplement de la tension tenue par la jonction et donne une image de la multiplication des porteurs en ZCE, sous l'effet de l'ionisation par impact ; sous faible polarisation, $F(V)$ tend vers 0 et sous forte polarisation, $F(V)$ tend vers 1. A partir de $F(V)$, nous aboutissons enfin à l'expression des coefficients de multiplication des trous et des électrons :

$$M_n(V) = \frac{1}{1 - F(V)} \quad M_p(V) = \frac{z(Fin(V), V)}{1 - F(V)} \quad M_g(V) = \frac{z_{moy}(V)}{1 - F(V)} \quad (II.36)$$

On peut voir dans l'équation II.36 qu'un coefficient $M_g(V)$ a été défini. En effet, nous ne pouvons appliquer simplement la multiplication des porteurs dus à la diffusion, mais il faut aussi multiplier les porteurs dus à la génération thermique. Pour l'instant, nous avons calculé, par superposition, les densités de courant dues à la diffusion ($J_N(x, V)$ pour les électrons et $J_P(x, V)$ pour les trous), et nous superposons ensuite une densité de courant équivalente due à la génération thermique en ZCE ($J_{Gene}^{th}(V)$). Par cette méthode, nous n'obtenons pas la densité totale de courant des électrons et des trous. La solution la plus simple pour prendre en compte la multiplication du courant de génération thermique consiste à définir alors un coefficient d'ionisation de génération thermique $M_g(V)$, obtenu à l'aide d'un calcul de la valeur moyenne de $z(x, V)$ le long de la ZCE. Ce calcul permet de prendre en compte le type de jonction, c'est à dire le profil de champ dans la ZCE : si la ZCE s'étend majoritairement dans la zone P par exemple, alors la génération thermique se fera majoritairement dans cette zone, les porteurs libres créés seront plutôt de type *électrons*, le facteur de multiplication du courant de génération thermique sera alors proche de celui des électrons (en d'autres termes, z_{moy} tendra vers 1). Cette définition d'un facteur de multiplication de génération thermique $M_g(V)$ nous permet alors de garder notre raisonnement de superposition, tout en restant cohérent avec le besoin d'exhaustivité de la modélisation.

Pour le cas d'une jonction de type P^-N^+ , la ZCE va s'étendre majoritairement dans la zone P, le courant de génération en ZCE sera majoritairement un courant d'électrons et on peut vérifier que le coefficient multiplicatif équivalent M_g est très proche de M_n .

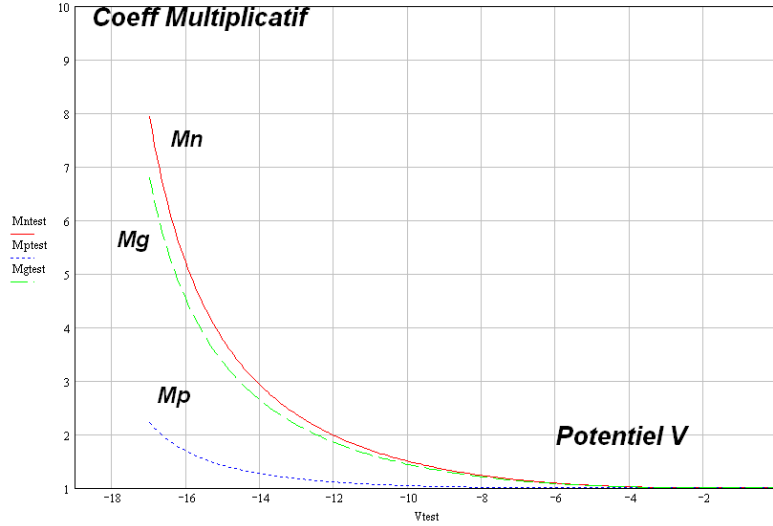


FIGURE II.30 – Comparaison des coefficients multiplicatifs d'avalanche pour une jonction N^+P^-

Pour les jonctions à profil de dopages gaussiens, il est plus difficile d'utiliser cette modélisation analytique, principalement du fait de la complexité des fonctions $E(x, V)$, ainsi que du début et de la fin de la ZCE. De plus, par la méthode de calcul du courant de diffusion proposé, nous n'obtenons pas directement les densités de courant dûs à la diffusion pour les trous $J_P(x, V)$ et électrons $J_N(x, V)$, mais le courant total de diffusion $J_{Diff}(V)$. Ainsi, nous ne pouvons pas appliquer simplement le coefficient $M_n(V)$ et $M_p(V)$. La partie suivante présente les résultats de notre modélisation pour une jonction abrupte à dopages uniformes, et étendra ces résultats vers les jonctions à dopages gaussiens, en utilisant le travail de modélisation fine de la ZCE effectué précédemment.

II.3.e-iii Caractéristiques statiques de la jonction en inverse

On peut donc maintenant définir la densité de courant inverse $J_{aval}(V)$, prenant en compte la multiplication des porteurs en ZCE sous le phénomène de l'ionisation par impact, ainsi que la génération thermique en ZCE ; cette densité de courant est obtenue en multipliant la densité de courant de diffusion des électrons en bordure de ZCE (dans la zone P) par la valeur du coefficient de multiplication des électrons. On effectue la même opération avec les trous en bordure de ZCE (dans la zone N), puis avec le modèle de génération thermique (théorème de superposition). On obtient alors une bonne représentation de la caractéristique en inverse, prenant en compte la génération thermique, la diffusion et l'ionisation par impact :

$$J_{aval}(V) = M_n(V) \cdot J_N(Fin(V), V) + M_p(V) \cdot J_P(Debut(V), V) + M_g^{th}(V) \cdot J_{Gene}^{th}(V) \quad (II.37)$$

Pour notre cas d'application à dopages constants N^+P^- , on devrait donc trouver :

- Un courant en inverse majoritairement dû à la génération thermique (température faible),

- un coefficient M_g proche de M_n ,
- une tenue en tension proche de 19 V (estimation empirique) [57].

La figure II.32 semble conforter totalement ces remarques.

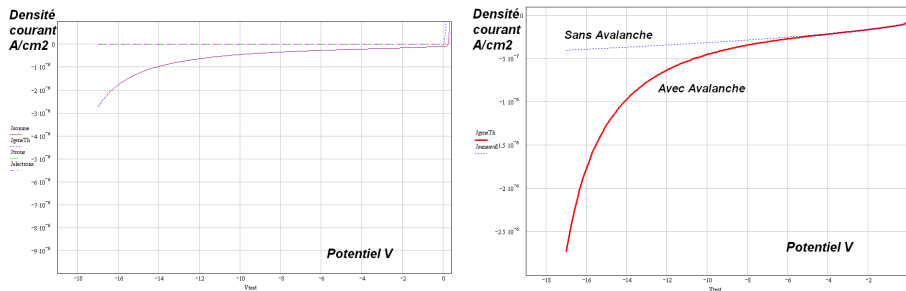


FIGURE II.31 – Densité de courants en inverse avec avalanche pour une jonction abrupte à dopages uniformes : à gauche, visualisation des différentes contributions dans le courant inverse. À droite, comparaison de la densité de courant inverse totale avec ou sans avalanche

On peut aussi vérifier la bonne description du coefficient multiplicatif $M_g(V)$ selon le type de jonction. Pour cela, on passe d'une jonction P^-N^+ , à une jonction duale P^+N^- . Les caractéristiques pour la première sont $W_n = 1\mu m$, $W_p = 5\mu m$, dopage P = 5.10^{16} et dopage N = 10^{19} , pour la seconde, $W_p = 1\mu m$, $W_n = 5\mu m$, dopage N = 5.10^{16} et dopage P = 10^{19} .

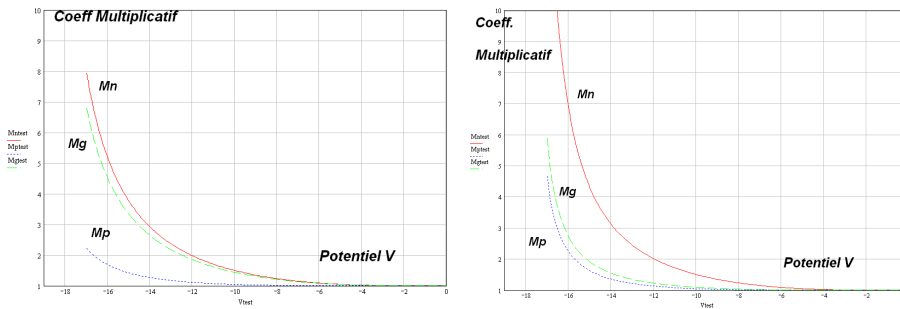


FIGURE II.32 – Comparaison des coefficients multiplicatifs pour une même tenue en tension, entre des jonctions abruptes uniformes $N^+ - P^-$ (à gauche) et P^+N^- (à droite)

Pour les dopages gaussiens, les équations II.33 à ?? restent valables. Cependant si on développe les expressions analytiques des fonctions $z(x, V)$ et $F(V)$, il apparaît clairement qu'un effort particulier de simplification est nécessaire, si l'on veut aboutir à un résultat rapide et fidèle. De plus, le profil du champ électrique étant plus complexe que pour le cas des dopages uniformes, une bonne modélisation de l'accélération des porteurs en ZCE nécessite un effort supplémentaire de discrétisation de la fonction $z(x, V)$ dans la ZCE. Pour toutes ces raisons, ainsi qu'à cause de la définition d'un courant de diffusion total $J_{Diff}(V)$, nous n'avons pas pu finir la modélisation de l'avalanche pour des jonctions à dopages gaussiens. Néanmoins, nous avons présenté et proposé un modèle permettant sa réalisation future, grâce à l'application des équations décrites plus haut, afin d'aboutir au

modèle complet pour jonctions gaussiennes.

Nous avons cependant pu appliquer notre modélisation à une jonction à dopages gaussiens, pour retranscrire le début de l'avalanche (voir figures II.33 et II.34). Ces efforts sont encourageants et à poursuivre.

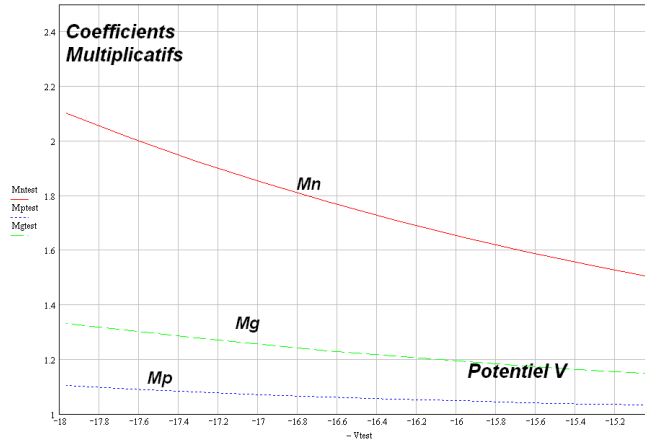


FIGURE II.33 – Coefficients multiplicatifs d'avalanche pour une jonction N^+P^- à dopages gaussiens, au début de l'avalanche

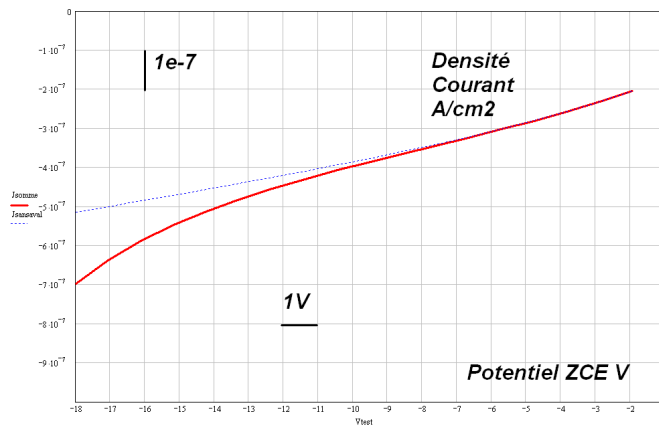


FIGURE II.34 – Prise en compte de la multiplication des porteurs par ionisation par impact, dans une jonction N^+P^- continue à dopages gaussiens

II.3.e-iv Influence de la température

Depuis le début, nous avons voulu tenir compte le plus possible de l'effet de la température sur les caractéristiques micro- et macro-scopiques, afin de prendre en compte l'intégration des fonctions au sein de transistors de puissance, pouvant fonctionner à des températures élevées (typiquement la centaine de °C soit de l'ordre de 400K). Principalement par manque de place mais aussi de temps, des résultats complets autour de l'influence

de la température sur notre modélisation ne seront pas donnés dans cette thèse. Cependant, toutes les informations nécessaires à ces résultats ont été donné ici (la définition des constantes en fonction de la température par exemple). Si l'on veut être le plus *réaliste* possible dans la prise en compte de la température, il faut que **toutes** les grandeurs soient définies en fonction de la température, ce qui est une tâche relativement longue à mettre en œuvre (il faut que les modèles de concentration, de durée de vie, d'absorption, de réflexion, etc... soient dépendants de la température).

Notre modélisation, en ne négligeant que peu de phénomènes, prendrait une valeur encore plus universelle si toutes les grandeurs étaient rendues dépendantes de la température : en effet, les courants inverses peuvent être idéalement modélisés grâce à notre approche, ainsi que la conversion optoélectrique. Pour information, nous proposons une extension de notre modèle pour une température de $420K$ sur la figure II.35, présentant la multiplication du courant inverse par plusieurs décades.

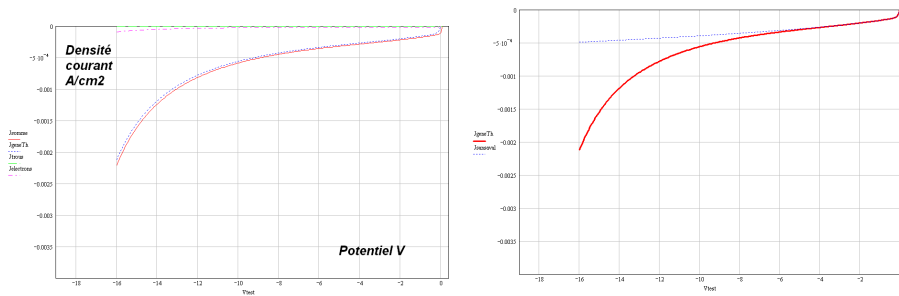


FIGURE II.35 – Modifications de l'avalanche pour une température de $420K$

Ces efforts restent donc à poursuivre, en vu d'obtenir un modèle totalement général et dépendant de la température sur toutes les constantes.

II.3.f Modélisation de l'absorption photonique dans la jonction intégrée

II.3.f-i Origines physiques : absorption des photons

Le but ici est de modéliser le phénomène *macroscopique* d'absorption d'énergie photonique au sein d'une jonction unidimensionnelle. En plus donc des hypothèses formulées en début de ce chapitre, nous allons voir d'autres hypothèses spécifiques aux phénomènes optiques :

- L'indice optique n_{opt} du matériau peut être soit constant et identique à celui du Silicium pur, c'est à dire $n_{opt} = \sqrt{\epsilon_{Si}}$, soit dépendant de la longueur d'onde $n_{opt}(\lambda) = \Re(n_{opt}(\lambda)) + j \cdot \Im(n_{opt}(\lambda)) = n_{opt}(\lambda) + j k_{opt}(\lambda)$ où $k(\lambda)$ représente l'indice d'extinction,
- L'angle d'incidence est de 90° , la réflexion dépend de la définition choisie de l'indice optique,
- L'évolution du flux à l'intérieur du Silicium est dictée par une loi exponentielle de type Beer – Lambert.

- Il n'y a pas de réflexion de la lumière en bout de semiconducteur, et la recombinaison en surface peut être prise en compte,
- L'éclairement se fait sur une face de la jonction : on choisira donc toujours le 0 de position à la frontière du semiconducteur / air plutôt qu'à la jonction métallique entre les 2 types de semiconducteur.

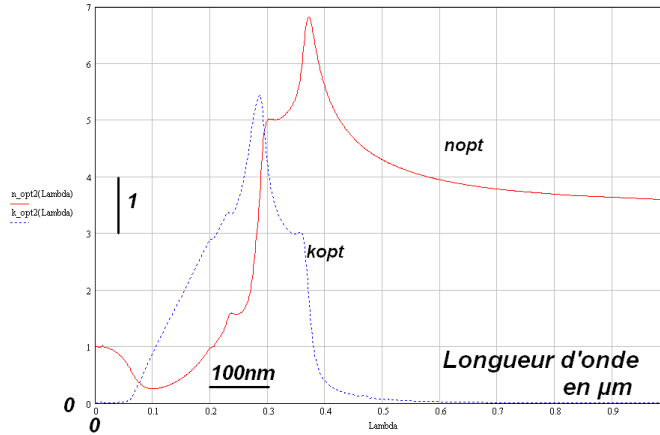


FIGURE II.36 – Partie réelle et imaginaire de l'indice optique du Silicium, dépendant de la longueur d'onde

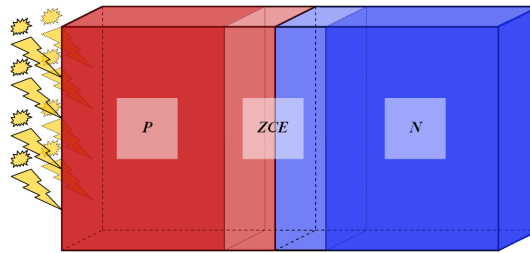


FIGURE II.37 – Éclairement d'une face de la jonction PN

Au vu de ces hypothèses, nous pouvons alors définir l'indice de réflexion R_{opt} , donnant le pourcentage de lumière réfléchi à l'interface (aussi appelé rendement quantique externe du récepteur η_{ext}) :

$$R_{opt}(\lambda) = \frac{(n_{opt}(\lambda) - 1)^2 + k_{opt}(\lambda)^2}{(n_{opt}(\lambda) + 1)^2 + k_{opt}(\lambda)^2} \quad (II.38)$$

Pour information, la réflexion est de 30% environ pour le silicium pur à $\lambda > 800nm$, c'est à dire que 30% de l'énergie lumineuse est déjà perdue par réflexion (sans dépôt d'une couche anti-reflet évidemment).

Nous définissons le flux incident de lumière dans l'équation II.39 où I représente l'intensité lumineuse en W/cm^2 [17].

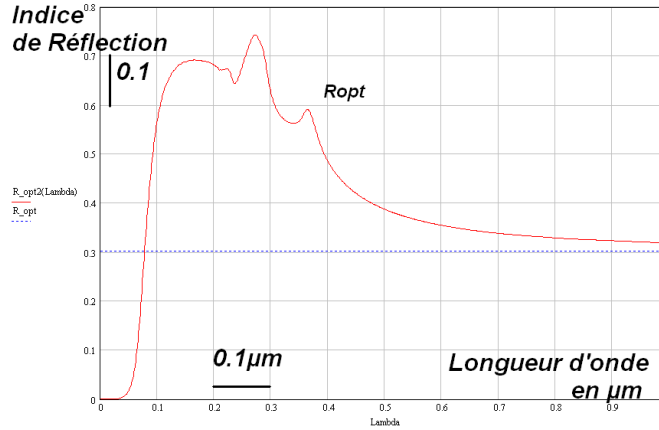


FIGURE II.38 – Indice de réflexion optique du Silicium constant ou dépendant de la longueur d'onde

$$\begin{aligned} \Phi(I, \lambda) &= \frac{I}{h \cdot \nu(\lambda)} \\ \Phi [Photons \cdot cm^{-2} \cdot s^{-1}] &= \frac{I [W/cm^2] \cdot \lambda [\mu m]}{1,984 \cdot 10^{-19}} \end{aligned} \quad (II.39)$$

La base de ce modèle est l'utilisation du taux de génération de porteurs, suite à l'absorption des photons à l'intérieur de la jonction selon les lois Beer-Lambert [84] :

$$G(x, I, \lambda) = -\frac{d\Phi_{transmis}(x, I, \lambda)}{dx}, \text{ soit avec les conventions choisies :}$$

$$G(x, I, \lambda) = \alpha \cdot (1 - R_{opt}(\lambda)) \cdot \Phi(I, \lambda) \cdot e^{-\alpha(\lambda)x} \quad (II.40)$$

Le nombre α , appelé coefficient d'absorption, est une constante dépendante de la longueur d'onde du rayon incident λ et traduit du phénomène principal d'absorption des photons. Pour ce coefficient, on trouve encore ici beaucoup de niveaux de modélisations dans la bibliographie : certains précaunissent une valeur constante sur une plage de longueur d'onde (environ 10^3 cm^{-1}), tandis que différentes études expérimentales et analytiques [85] [48] [84] s'accordent sur plusieurs types de variations. On retiendra ici deux lois, traduisant l'évolution de ce coefficient α en fonction de la longueur d'onde (à température constante et ambiante).

$$\begin{aligned} \text{Quadratique} \quad \alpha(\lambda) &= \left(\frac{85,015}{\lambda} - 77,104 \right)^2 & 600nm < \lambda < 1100nm \\ \text{Mesures} \quad \alpha(\lambda) &= f(\lambda) & \text{Tableaux Valeurs [84]} \end{aligned} \quad (II.41)$$

Ce nombre $\alpha(\lambda)$ représente donc l'absorption : s'il tend vers 0, le matériau est translucide vis à vis du rayon incident, tandis que s'il augmente (nombre positif), les photons sont absorbés de plus en plus près de la zone éclairée. Ce coefficient s'annule pour une valeur particulière de la longueur d'onde λ_c appelée longueur d'onde de coupure ; ceci s'explique facilement en faisant intervenir la notion d'énergie $h\nu(\lambda) = h\frac{c}{\lambda}$. Pour qu'un photon soit absorbé, il faut qu'il fournisse une énergie suffisante pour faire passer un porteur de la bande de valence à celle de conduction, et il génère ainsi une paire électron-trou. En d'autres

termes, il faut que l'énergie des photons soit supérieure à l'énergie de gap du matériau E_g . Or l'énergie des photons $h\nu(\lambda)$ est inversement proportionnelle à la longueur d'onde, donc lorsque la longueur d'onde augmente, l'énergie apportée par les photons diminue, et lorsqu'elle devient inférieure à la valeur E_g , les photons ne génèrent aucune paire électron-trou. On voit donc l'origine de la longueur d'onde de coupure du récepteur optique. Pour information, si on fixe l'énergie de gap E_g à $1.12eV$, la longueur d'onde de coupure est de l'ordre de $1.1\mu m$ pour le Silicium. Ensuite, si la longueur d'onde des photons est faible, l'énergie qu'ils représentent est très élevée (largement supérieure à l'énergie de gap), et des paires électrons-trous sont générées quasi-exclusivement à l'interface optique (le coefficient d'absorption $\alpha(\lambda)$ tend vers une grande valeur). Il en résulte alors que le rendement du récepteur chute très fortement car les porteurs créés seulement à l'interface vont se recombiner fortement et ne participeront pas à la création d'un courant entre les 2 électrodes. On remarque aussi que par cette définition, il paraît difficile de ne pas prendre en compte la température dans la définition du coefficient d'absorption $\alpha(\lambda)$, afin qu'il puisse suivre l'évolution de E_g en fonction de la température. Ceci est possible principalement par des tableaux de valeurs expérimentales [84].

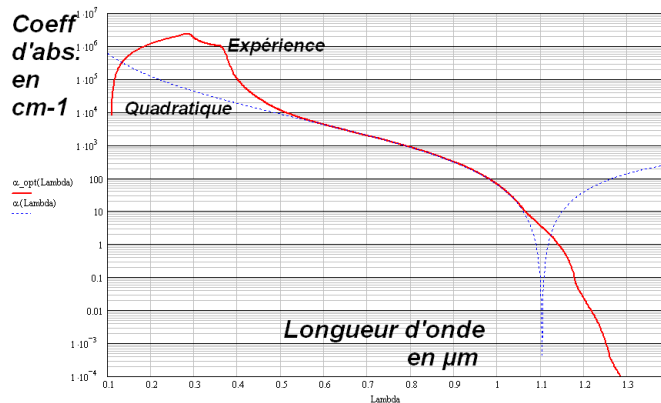


FIGURE II.39 – Variation du coefficient d'absorption α avec la longueur d'onde, selon un tableau de valeurs ou un modèle analytique autour de $\lambda = 860nm$

Pour toutes ces raisons, on définit une gamme de longueur d'onde d'utilisation d'un récepteur optique (on décrira plus tard cela en introduisant la notion de rendement quantique total, interne et externe). Pour le Silicium par exemple, cette gamme est de $200nm$ à $1100nm$, soit la lumière visible et l'infrarouge proche. Afin d'alléger les expressions déjà plutôt chargées, nous noterons par la suite simplement α et R_{opt} en lieu et place de $\alpha(\lambda)$ et $R_{opt}(\alpha)$, il faudra donc garder à l'esprit que toute fonction faisant intervenir le nombre α ou R_{opt} sera alors aussi dépendante de la longueur d'onde λ .

On peut comprendre alors maintenant la démarche d'un concepteur de récepteur optique : une fois le matériau choisi, ainsi que la longueur d'onde de l'éclairement, il va chercher à optimiser la sensibilité optique de son récepteur. Pour cela, il a tout intérêt à minimiser la profondeur de la zone éclairée, afin de venir générer directement les paires électrons-trous à l'intérieur de la ZCE, ainsi que maximiser l'étendue de la ZCE (utilisation d'une zone quasi-intrinsèque intermédiaire afin de maximiser le rendement du récepteur).

Ainsi, ces nouveaux porteurs seront accélérés par le champ régnant dans la ZCE, et un courant additionnel de conduction sera créé dans le photorécepteur. La bibliographie est relativement exhaustive sur ce type de comportement, en utilisant des simplifications importantes, cependant le cas général d'un récepteur *non optimisé* n'est pas traité jusqu'à la fin.

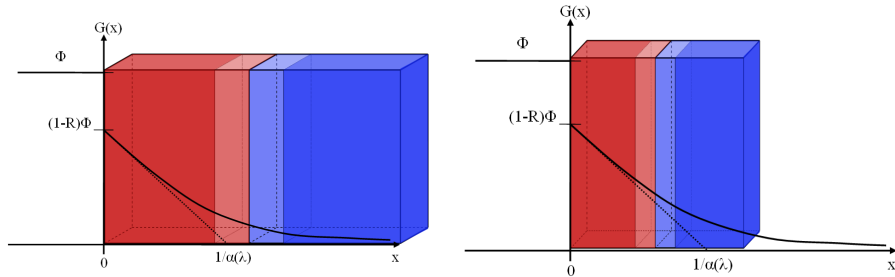


FIGURE II.40 – Influence de la géométrie du photorécepteur, par rapport au coefficient de génération optique fixe

Nous utiliserons ici une démarche inverse : la géométrie est fixée par le procédé de fabrication et nous devons étudier les propriétés du récepteur découlant de ce procédé (rendement spectral, bande passante du signal, ...).

Trois zones sont alors à considérer :

1. La zone neutre éclairée,
2. La ZCE,
3. la zone neutre opposée à la zone éclairée.

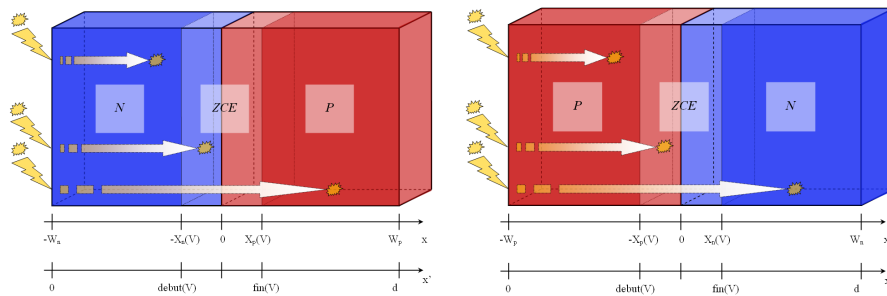


FIGURE II.41 – Conventions dimensionnelles pour les jonctions sous éclairement

Avant cela, nous sommes maintenant obligés de tenir compte de l'aspect dissymétrique de la jonction sous éclairement ; il faut séparer les jonctions éclairées sur la face P et les jonctions éclairées sur la face N. Il suffira ensuite de remplacer simplement les indices n ou p par leur complément, ainsi qu'adapter les signes des expressions en conséquence. On traitera par la suite une jonction éclairée sur la face N, la démarche étant identique pour l'autre type de jonction sous éclairement. Pour traiter ce cas, l'origine de l'axe dimensionnel (référence à la jonction des deux métaux dopés) n'est pas la mieux adaptée. Nous gardons donc toujours notre changement d'origine, en prenant la référence à l'interface entre la face éclairée et l'extérieur du cristal. Nous utiliserons la position du début de la ZCE,

ainsi que la position de la fin de la ZCE, définies précédemment. L'extrémité du matériau semiconducteur total sera toujours référencée d , comme étant la somme des dimensions de chacun des deux barreaux de dopages différents.

II.3.f-ii Modélisation des trois courants générés par une excitation de photons

Suite à cette définition, il est relativement facile de calculer, sans trop d'approximations, le courant additionnel dû à l'éclairement dans la ZCE : par définition, il suffit d'intégrer le taux de génération à l'intérieur de la ZCE, multiplié par la charge de l'électron. On obtient alors :

$$J_{Cond}^{ph} = -q \cdot \int_{debut(V)}^{fin(V)} G(x) dx \quad (II.42)$$

Avec l'expression retenue du taux de génération, le courant dû à la génération en ZCE s'écrit alors simplement :

$$J_{Cond}^{ph} = -q \cdot (1 - R_{opt}) \Phi(I) \cdot (e^{debut(V)} - e^{fin(V)}) \quad (II.43)$$

Pour la suite, on posera $\Phi_0(I) = (1 - R_{opt})\Phi(I)$ comme étant le flux initial en $x = 0^+$, en bordure de Silicium et de zone éclairée, flux après réflexion optique à l'interface. Ensuite, nous devons nous intéresser aux deux zones neutres ; pour cela, nous utilisons l'équation de continuité, ainsi que l'expression du taux de génération et nous obtenons alors deux équations différentielles, selon le type de porteurs (Δ représente l'excès de porteurs par rapport la concentration de minoritaires à l'extérieur des zones neutres) :

$$\frac{d^2 \Delta_{n,p}(x, V, I)}{dx^2} - \frac{\Delta_{n,p}(x, V, I)}{L_{n,p}^2} = -\frac{\alpha \Phi_0(I)}{L_{n,p}^2} \cdot e^{-\alpha x} \quad (II.44)$$

Les solutions de cette équation différentielle sont les fonctions de type :

$$\Delta_{n,p}(x, V, I) = A_{n,p}(V, I) e^{-\frac{x}{L_{n,p}}} + B_{n,p}(V, I) e^{\frac{x}{L_{n,p}}} + \frac{\alpha \Phi_0(I)}{1 - \alpha^2 L_{n,p}^2} \cdot e^{-\alpha x} \quad (II.45)$$

Grâce aux conditions aux limites, nous pouvons ensuite calculer les constantes A et B , pour chacune des deux zones neutres. Considérons tout d'abord la zone neutre la plus proche de l'éclairement : il s'agit donc d'une zone dopée N, avec pour porteurs minoritaires des trous. En abscisse $x = 0$, la recombinaison en surface des porteurs générés par absorption de photons, donne une condition en ce point. La recombinaison en surface se traduit par une vitesse de recombinaison S_ν (en cm/s), définie par $S_\nu = \frac{D_p}{\Delta_p} \cdot \frac{d\Delta_p}{dx}$.

Pour trouver la seconde condition aux limites, il suffit de considérer l'abscisse à la frontière de la zone neutre et la ZCE, soit $x = debut(V)$; en ce point, tout porteur minoritaire excédentaire sera absorbé par la ZCE. Nous pouvons écrire alors :

$$\begin{cases} \forall(V; I) & \Delta_p(debut(V), V, I) = 0 \\ \forall(V; I) & \frac{d\Delta_p(x, V, I)}{dx} \Big|_{(x=0)} = \Delta_p(0, V, I) \cdot \frac{S_\nu}{D_p} \end{cases} \quad (II.46)$$

Grâce à ce système d'équations, nous pouvons obtenir les constantes d'intégration $A_p(V, I)$ et $B_p(V, I)$.

$$B_p(V, I) = \frac{\frac{\alpha\Phi_0(I)\tau_p}{1-\alpha^2L_p^2} \cdot \left(1 - \frac{e^{-\alpha debut(V)}}{e^{-\frac{debut(V)}{L_p}}} - \frac{D_p}{S_\nu} \frac{e^{-\alpha debut(V)}}{L_p e^{-\frac{debut(V)}{L_p}}} + \frac{D_p}{S_\nu} \alpha \right)}{\frac{D_p}{S_\nu L_p} \cdot e^{\frac{2debut(V)}{L_p}} + \frac{D_p}{S_\nu L_p} + e^{\frac{2debut(V)}{L_p}} - 1} \quad (\text{II.47})$$

$$A_p(V, I) = -\frac{B_p(V, I)e^{\frac{debut(V)}{L_p}} + \frac{\alpha\Phi_0(I)\tau_p}{1-\alpha^2L_p^2} \cdot e^{-\alpha debut(V)}}{e^{-\frac{debut(V)}{L_p}}}$$

Nous pourrions donner une forme développée pour Δ_p , mais cela alourdirait encore plus les équations. De plus, nous n'obtenons pas encore les profils de courant dans la zone neutre N, éclairée sur une extrémité. Pour cela, il faut utiliser ensuite l'équation de diffusion des porteurs minoritaires :

$$J_{pDiff}^{ph}(x, V, I) = qD_p \frac{d}{dx} \Delta_p(x, V, I) \quad (\text{II.48})$$

Une remarque sur cette équation : vu l'orientation de l'axe x , ainsi que la géométrie choisie (il s'agit d'une jonction N-P et non P-N), l'équation est bien régie par ce sens d'évolution.

On peut représenter alors l'excès de porteurs $\Delta_p(x, V, I)$ en zone neutre N (figure II.42), ainsi que le courant de diffusion résultant.

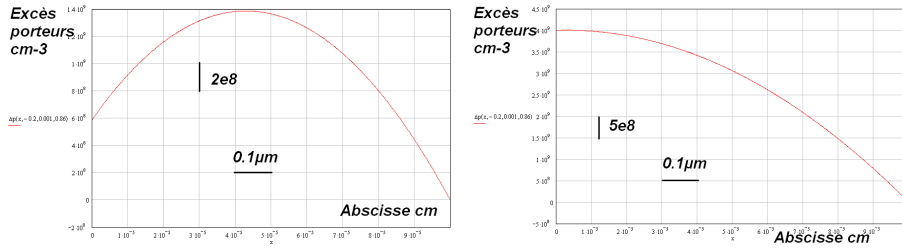


FIGURE II.42 – Porteurs minoritaires excédentaires, sous l'effet de la génération optique en zone N : à gauche pour une forte recombinaison en surface et à droite pour une faible recombinaison

La même démarche peut maintenant être effectuée en zone neutre P, subissant la génération optique de porteurs. L'équation de continuité des porteurs électrons minoritaires reste semblable à celle des porteurs trous minoritaires dans la zone N, soit :

$$\Delta_n(x, V, I) = A_n(V, I)e^{-\frac{x}{L_n}} + B_n(V, I)e^{\frac{x}{L_n}} + \frac{\alpha\Phi_0(I)}{1-\alpha^2L_n^2} \cdot e^{-\alpha x} \quad (\text{II.49})$$

Il nous reste alors à trouver deux conditions aux limites pour calculer les constantes d'intégration A_n et B_n . A l'interface de la ZCE en $x = fin(V)$, l'excès de porteurs est évacué par le champ électrique, ainsi qu'au contact métallique en $x = d$. Il vient alors :

$$\begin{aligned} \forall(V; I) \quad \Delta_n(fin(V), V, I) &= 0 \\ \forall(V; I) \quad \Delta_n(d, V, I) &= 0 \end{aligned} \quad (\text{II.50})$$

L'application de ce système d'équations nous donne finalement :

$$\begin{aligned} B_n(V, I) &= \frac{\frac{\alpha\Phi_0(I)\tau_n}{1-\alpha^2L_n^2} \cdot \left(e^{-\alpha fin(V)} - e^{-\alpha d} \cdot \frac{e^{-\frac{fin(V)}{L_n}}}{e^{-\frac{d}{L_n}}} \right)}{e^{\frac{d}{L_n}} \frac{e^{-\frac{fin(V)}{L_n}}}{e^{-\frac{d}{L_n}}} - e^{\frac{fin(V)}{L_n}}} \\ A_n(V, I) &= - \left(B_n(V, I) e^{\frac{d}{L_n}} + \frac{\alpha\Phi_0(I)\tau_n}{1-\alpha^2L_n^2} \cdot e^{-\alpha d} \right) \cdot e^{\frac{d}{L_n}} \end{aligned} \quad (\text{II.51})$$

Nous pouvons ensuite utiliser l'équation de diffusion des porteurs minoritaires de type électron dans la zone P :

$$J_{nDiff}^{ph}(x, V, I) = -qD_n \frac{d}{dx} \Delta_n(x, V, I) \quad (\text{II.52})$$

Encore une fois, vu l'orientation de l'axe choisi, le signe - dans l'équation de diffusion des électrons est nécessaire.

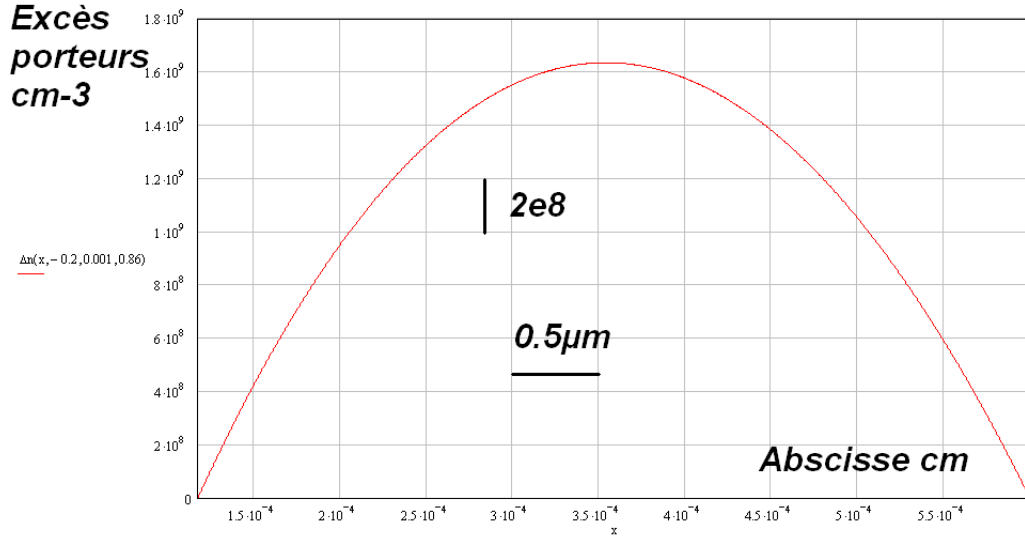


FIGURE II.43 – Porteurs minoritaires excédentaires Δ_n , sous l'effet de la génération optique en zone P

En conclusion, nous disposons maintenant des trois courants générés par les photons, il suffit simplement de les ajouter pour obtenir le courant supplémentaire optique. Attention cette modélisation n'est valable qu'en dehors de tout phénomène d'avalanche qui modifierait le taux de génération des porteurs et donc invaliderait les équations de continuité.

On peut maintenant comparer notre modèle avec celui découlant de simplifications particulières de la bibliographie. Pour se placer dans ces conditions de simplifications, il faut : une jonction de type P^+N^- , avec éclairage en zone P, W_p faible devant $\frac{1}{\alpha}$ (zone éclairée fortement dopée et très fine afin de limiter la diffusion et l'absorption des porteurs

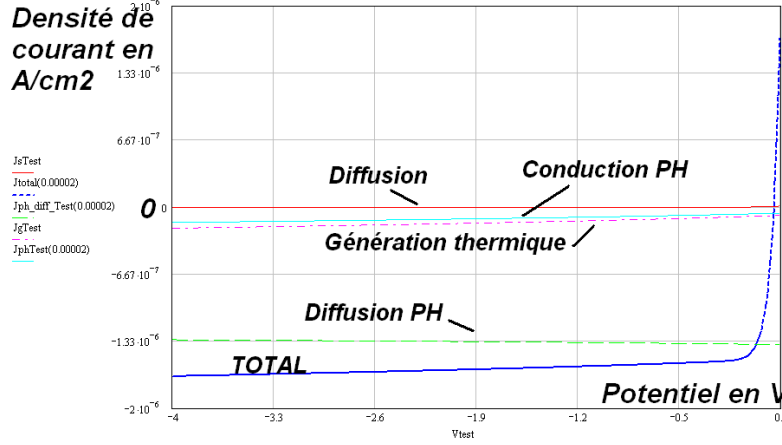


FIGURE II.44 – Caractéristique inverse générale avec prise en compte des phénomènes optiques : recombinaison en surface et géométrie non optimisée

en surface), il faut aussi la taille du barreau d grand devant $\frac{1}{\alpha}$ et L_p , afin de considérer comme infinie la longueur du barreau devant les constantes de diffusions (simplification des constantes d'intégrations et récupération de tous les photons dans la zone de diffusion). Sous ces conditions très particulières, le courant additionnel de photons peut s'écrire [66] :

$$J_{biblio}^{ph}(V, I) = -q\Phi_0(I) \cdot \left(1 - \frac{1}{1 + \alpha L_p} e^{-\alpha W_{ZCE}(V)}\right) \quad (\text{II.53})$$

Pour se placer dans ces conditions spéciales de simplifications, on choisit : $W_p = 0.05\mu m$, $W_n = 50\mu m$, $N_n = 5 \cdot 10^{16}$, $N_p = 10^{19}$ et $\lambda = 860nm$. On compare alors notre modélisation, à celle de la bibliographie (figure II.45).

A titre comparatif, si on considère un point de faible polarisation (-2V sous éclaircissement $I = 2 \cdot 10^{-5}$), là où la bibliographie peut comporter quelques limites de modélisation, malgré ces conditions de simplifications, nous obtenons une équivalence entre notre modèle et celui de la bibliographie :

	<i>Biblio</i>	<i>Modele</i>	
<i>CourantConduction</i>	$-1.273 \cdot 10^{-7}$	$-1.27 \cdot 10^{-7}$	
<i>CourantDiffusionenzoneP</i>	$-3.305 \cdot 10^{-6}$	$-3.284 \cdot 10^{-6}$	(II.54)
<i>CourantDiffusionenzoneN</i>	0	$-2.2 \cdot 10^{-8}$	
<i>Total</i>	$-3.433 \cdot 10^{-6}$	$-3.433 \cdot 10^{-6}$	

Effectivement, vu la très faible épaisseur de la zone P éclairée, le courant de diffusion est relativement faible et l'erreur de la bibliographie est quasi-nulle. De plus, on a aussi une bonne description du courant de diffusion des photons, sous faible polarisation.

Par contre, si on utilise maintenant un récepteur non adapté et que l'on compare la bibliographie et notre modèle (par exemple pour $W_p = 1\mu m$, $W_n = 5\mu m$, $N_n = 5 \cdot 10^{16}$, $N_p = 10^{19}$ et $\lambda = 860nm$), on voit un écart de plus de 100% entre la bibliographie et notre

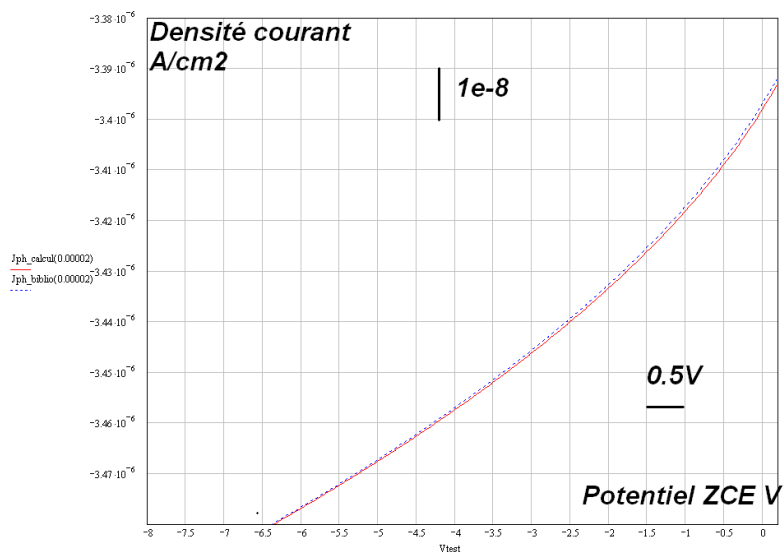


FIGURE II.45 – Validation de notre modélisation générale sur un cas particulier traité en bibliographie : Densité de courant inverse en fonction de la polarisation, pour un niveau d'éclairement I fixé

modèle.

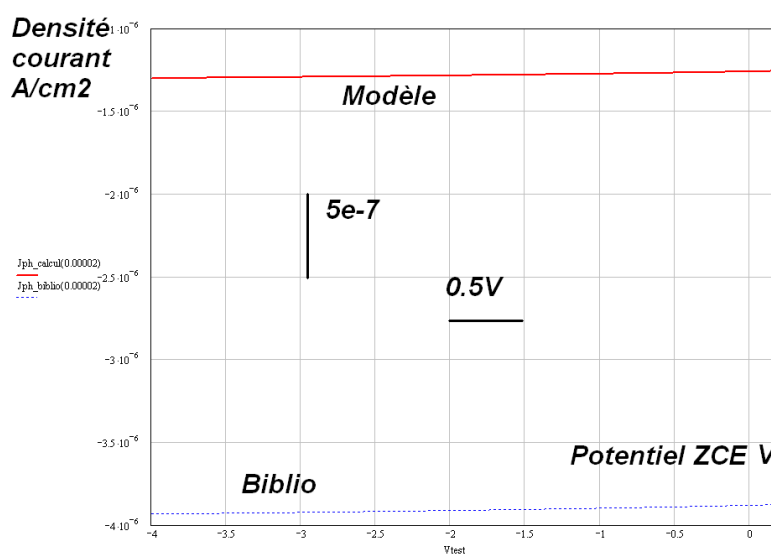


FIGURE II.46 – Écart de la bibliographie sur notre modélisation générale

A titre comparatif, si on considère un point de faible polarisation (-2V sous éclairement $I = 2.10^{-5}$), nous obtenons :

	<i>Biblio</i>	<i>Modele</i>	
<i>CourantConduction</i>	$-1.273 \cdot 10^{-7}$	$-1.215 \cdot 10^{-7}$	
<i>CourantDiffusionenzoneP</i>	$-3.305 \cdot 10^{-6}$	$-9.332 \cdot 10^{-7}$	(II.55)
<i>CourantDiffusionenzoneN</i>	0	$-4.459 \cdot 10^{-7}$	
<i>Total</i>	$-3.433 \cdot 10^{-6}$	$-1.501 \cdot 10^{-6}$	

On voit tout l'intérêt de notre modélisation pour un récepteur non adapté, auquel les conditions de simplifications de la bibliographie ne peuvent s'appliquer. Il est donc vraiment important de tenir compte de la particularité de la jonction intégrée, en terme de grandeurs géométriques.

En guise de conclusion, nous donnons ici la caractéristique statique en inverse de la jonction NP sous bombardement de photons, pour une longueur d'onde de $600nm$, en prenant en compte la dépendance des constantes optiques à la longueur d'onde, sur la figure II.47. Nous pouvons comparer cette caractéristique pour une longueur d'onde de $860nm$ sur la figure II.48, les intensités lumineuses étant identiques. Dans tous les cas, et avec nos hypothèses de modélisation, cette caractéristique statique retranscrit la bonne linéarité entre le courant généré dans la jonction et l'intensité de la source lumineuse.

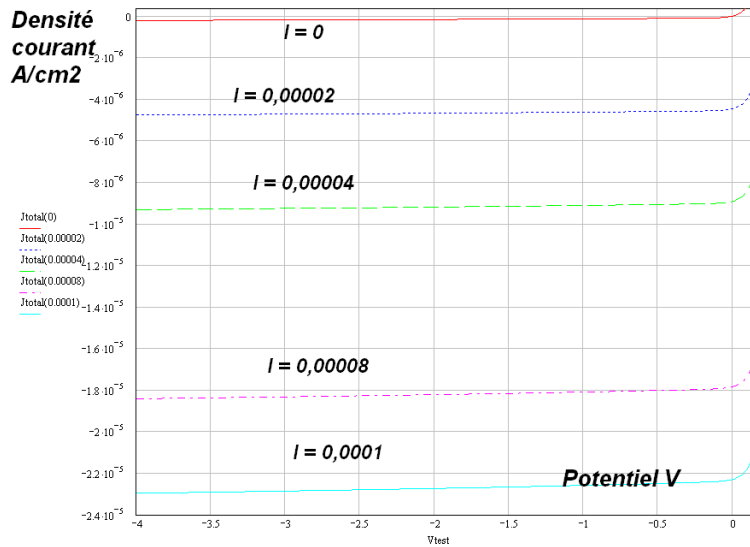


FIGURE II.47 – Réseau de caractéristiques statiques de la jonction en inverse pour $\lambda = 600nm$ et les données géométriques de l'intégration

Comme nous allons le voir dans la suite de cette partie, nous pouvons établir grâce à notre modèle fin l'évolution du rendement du récepteur sous les contraintes de l'intégration, en fonction de la longueur d'onde du signal optique. Ceci permettra alors de dimensionner et de concevoir notre chaîne de conversion optique, ce qui renforce tout l'intérêt de notre modélisation.

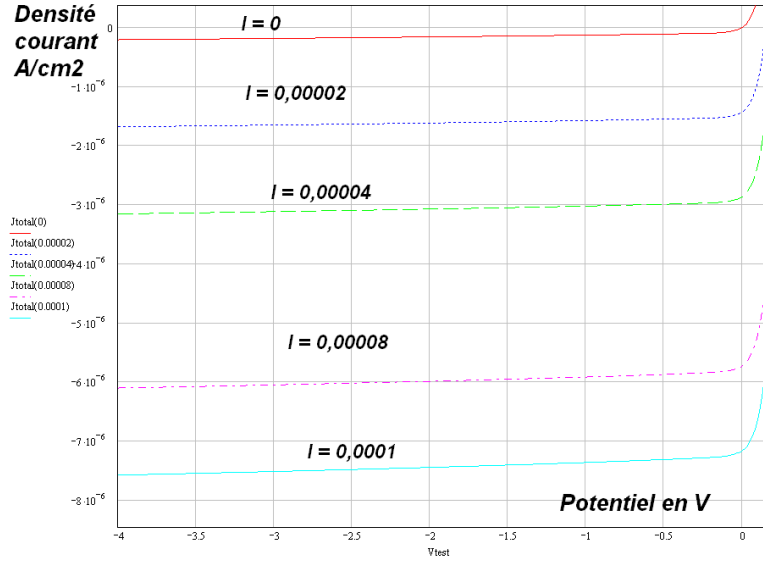


FIGURE II.48 – Réseau de caractéristiques statiques de la jonction en inverse pour $\lambda = 860nm$ et les données géométriques de l'intégration

II.3.f-iii Fonctions de transfert en longueur d'onde et notions de rendements

Grâce à notre modélisation fine, nous avons pu déterminer le rendement d'un récepteur optique basé sur une jonction PN non optimisée, en fonction de la longueur d'onde. Pour cela, nous avons considéré le rendement total du récepteur $\eta(V, I, \lambda)$ de l'équation II.56. Il est très important d'avoir une bonne modélisation du rendement du récepteur intégré, car de ce rendement dépend le rendement électrique de la chaîne de transmission, ainsi que le choix d'une longueur d'onde de transmission.

$$\begin{aligned}
 \eta(V, I, \lambda) &= \frac{J(V, I, \lambda)}{q \cdot \Phi(I, \lambda)} \\
 \eta_{ext}(V, I, \lambda) &= 1 - R(\lambda) \\
 \eta_{int}(V, I, \lambda) &= \frac{\eta(V, I, \lambda)}{\eta_{ext}(V, I, \lambda)}
 \end{aligned}
 \tag{II.56}$$

Afin de présenter les forces de notre modélisation par rapport à la bibliographie, nous allons détailler ici quelques résultats et avancées de cette approche sur le rendement quantique du récepteur optique intégré. Une partie de ces résultats a été publiée et présentée suite à [90].

Tout d'abord, si nous fixons une géométrie favorable à la réception optique (première région fine, large étendue de ZCE et taille de la jonction adaptée au coefficient d'absorption, c'est à dire $W_p = 0.05\mu m$, $W_n = 50\mu m$, $N_n = 5.10^{16}$, $N_p = 10^{19}$), ainsi qu'une faible vitesse de recombinaison à la surface du récepteur, nous obtenons un très bon rendement du récepteur (figure II.49), principalement défini par son rendement externe (réflexion à la surface).

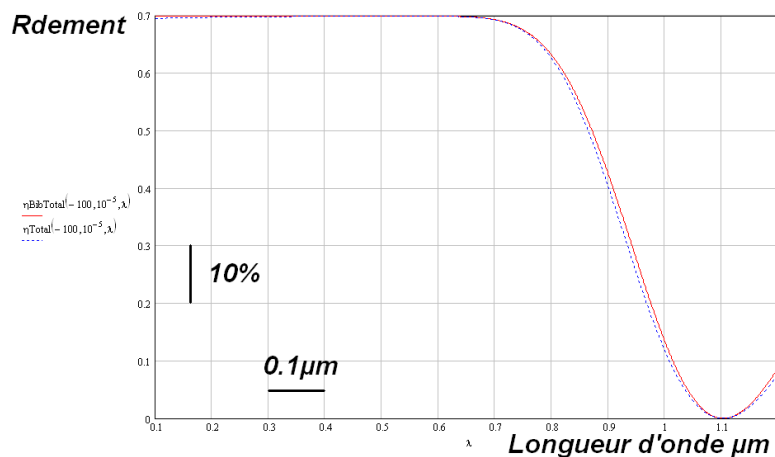


FIGURE II.49 – Comparaison des rendements : optique linéaire (indices optiques constants et absorption quadratique), faible recombinaison en surface et géométrie favorable à la photoréception

Sur cette même figure II.49, nous obtenons aussi bien évidemment un résultat comparable entre notre approche et la bibliographie. Si nous faisons intervenir une vitesse de recombinaison en surface plus élevée, nous allons dégrader ce rendement dans les faibles longueurs d'ondes : la diminution de la longueur d'onde entraîne une augmentation du coefficient d'absorption et donc les porteurs seront générés plus près de l'interface optique du récepteur. Avec une forte vitesse de recombinaison (contact ohmique très bon par exemple), le rendement du récepteur va chuter. La figure II.50 nous montre l'apport de notre modèle sur le rendement du récepteur en prenant en compte cette recombinaison en surface.

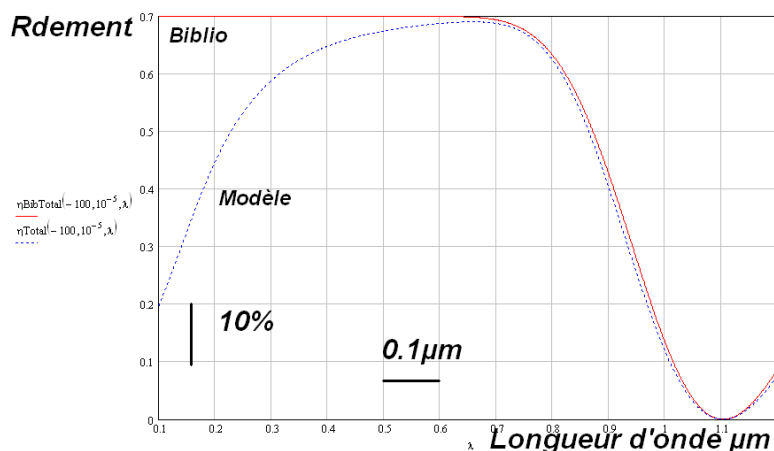


FIGURE II.50 – Comparaison des rendements : optique linéaire (indices optiques constants et absorption quadratique), forte recombinaison en surface et géométrie favorable à la photoréception

Ensuite, l'autre apport de notre modélisation se situe au niveau de la généralisation du modèle, sans approximation sur les constantes géométriques. Les cas généraux de récepteurs optiques non optimisés peuvent donc être traités grâce à notre modélisation. La

figure II.51 présente le cas d'une recombinaison faible en surface, avec une géométrie proche de celle disponible par les procédés de puissance. On peut alors quantifier le rendement quantique d'un récepteur optique dont les données géométriques ne sont pas optimisées pour la photoréception.

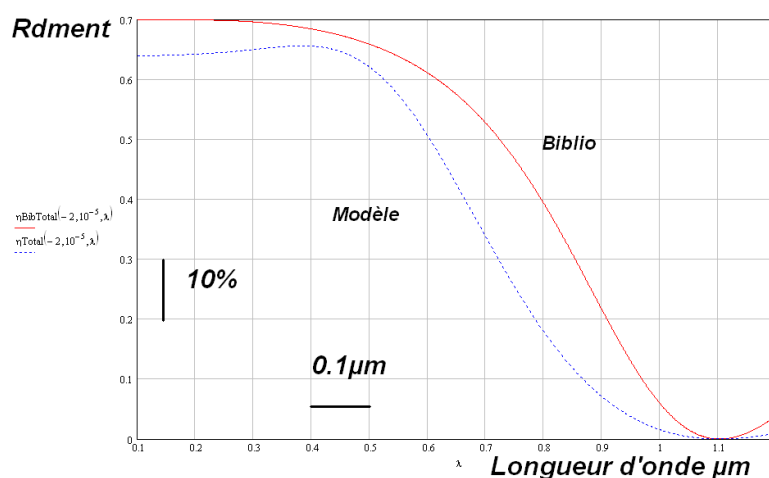


FIGURE II.51 – Comparaison des rendements : optique linéaire (indices optiques constants et absorption quadratique), faible recombinaison en surface et géométrie de l'intégration

Nous pouvons ensuite affiner le modèle du rendement optique, en prenant en compte une loi de coefficient d'absorption plus adaptée, issue de l'expérience et donc d'un tableau de valeurs [84]. L'application de ce coefficient d'absorption plus fin va modifier la bande passante en longueur d'onde du récepteur intégré selon la figure II.52.

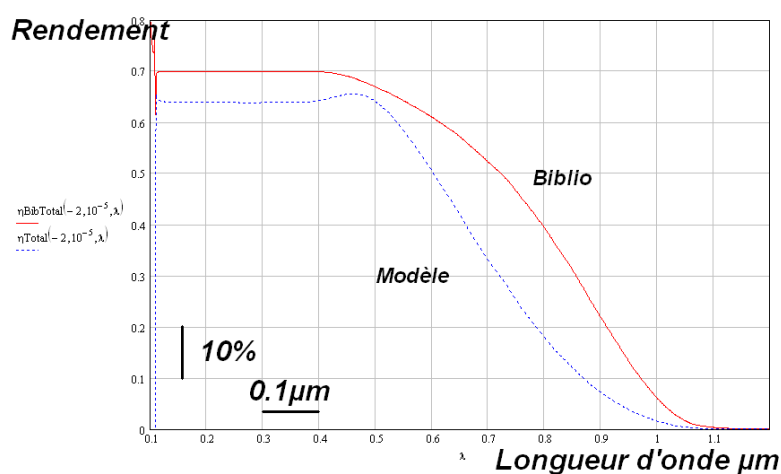


FIGURE II.52 – Comparaison des rendements : optique linéaire (indices optiques constants et absorption issue d'un tableau de valeurs), faible recombinaison en surface et géométrie de l'intégration

Si l'on prend en compte maintenant un indice optique dépendant de la longueur d'onde et issu d'un tableau de valeur, nous pouvons montrer que la notion de bande passante

en longueur d'onde du récepteur optique apparaît : sur la figure II.53, les modèles des constantes optiques sont les plus précis que nous avons trouvés, associés à un cas géométrique favorable à la photoréception. Il n'existe bien évidemment sur ce cas aucun écart entre la bibliographie et notre modélisation, et le rendement quantique total de ce récepteur est maximal et vaut 0.58 pour une longueur d'onde λ d'environ $500nm$.

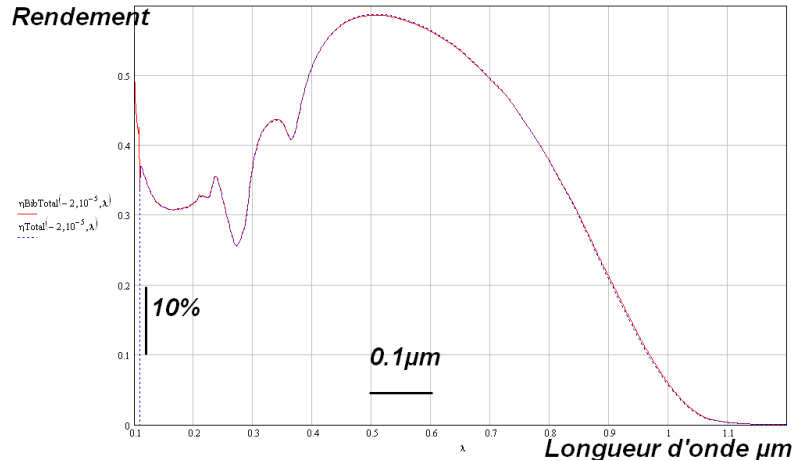


FIGURE II.53 – Comparaison des rendements : optique non linéaire (indices optiques non constants et absorption issus de tableaux de valeurs), faible recombinaison en surface et géométrie favorable à la photoréception

Si l'on modifie la géométrie du récepteur optique, pour revenir à une géométrie plus proche d'un photorécepteur issu d'un procédé de puissance, alors le rendement total du récepteur est diminué pour les longueurs d'ondes élevées : en effet, sur la figure II.54, nous voyons que pour $\lambda > 500nm$, le rendement du récepteur diminue à cause de la trop faible longueur de la troisième région du récepteur intégré. Sur ce cas de simulation, les constantes optiques sont aussi précises que possible, en fonction de la longueur d'onde.

Enfin, si nous rajoutons à l'essai de la figure II.54 une forte recombinaison en surface, nous obtenons un rendement total qui peut chuter très fortement : la figure II.55 démontre la modification de ce rendement, avec un bon niveau de modélisation sur les constantes optiques, ainsi qu'une géométrie issue d'un récepteur intégré avec un forte vitesse de recombinaison en surface. On voit clairement ici qu'il est très important de tenir compte de la bande passante en longueur d'onde de notre récepteur, afin de pouvoir dimensionner toute la chaîne de transmission optique (émetteur, transmetteur et montages associés).

Nous voyons donc qu'avec toutes ces considérations, le rendement quantique total d'un photorécepteur intégré au sein de transistors de puissance peut être satisfaisant (de l'ordre de 40% à $\lambda = 580nm$), malgré une géométrie inadaptée à la photoréception, ainsi qu'une éventuelle forte vitesse de recombinaison en surface. De plus, dans notre modèle, nous avons pris en compte l'effet de la polarisation sur l'étendue de la ZCE et par suite sur le photocourant total : en conséquence notre rendement total η dépend de la différence de potentiel aux extrémités de la ZCE, de l'intensité lumineuse et de la longueur d'onde.

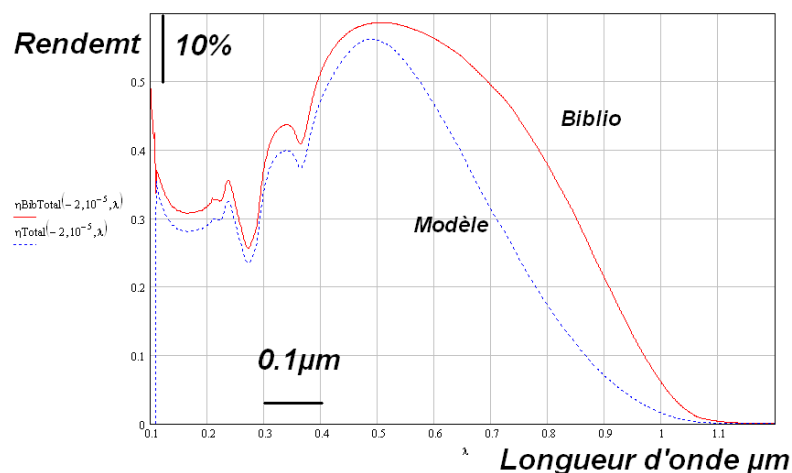


FIGURE II.54 – Comparaison des rendements : optique non linéaire (indices optiques non constants et absorption issus de tableaux de valeurs), faible recombinaison en surface et géométrie de l'intégration

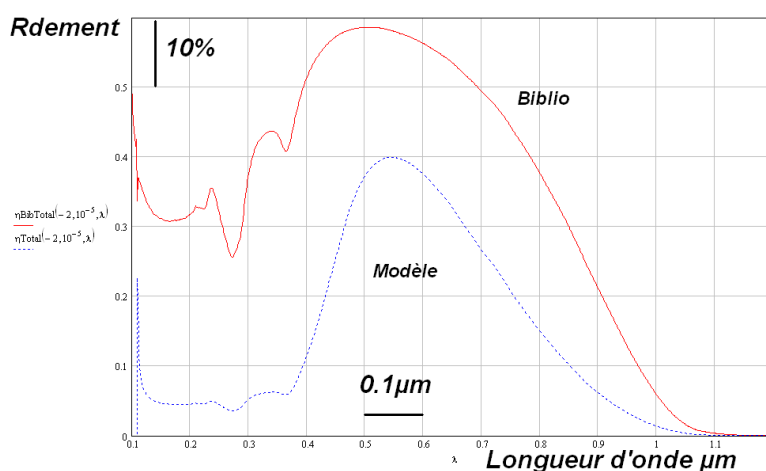


FIGURE II.55 – Comparaison des rendements : optique non linéaire (indices optiques non constants et absorption issus de tableaux de valeurs), forte recombinaison en surface et géométrie de l'intégration

En effet, avec une géométrie non-optimisée pour la photosensibilité, il est important de rendre compte de la modification du rendement selon la polarisation, étant donné qu'aucun des trois photocourants n'est privilégié. Après vérification, l'influence de la polarisation est faible sur le rendement total ($< 5\%$ pour des fortes longueurs d'ondes), mais notre modèle rend compte de ce phénomène.

On vient de démontrer la bande passante en longueur d'onde d'un récepteur optique, il nous reste maintenant à étudier la bande passante électrique de récepteurs optiques dans les cas les plus généraux.

II.3.f-iv Considérations dynamiques

Les limitations pour la réception d'un signal électrique à faible fréquence (inférieur au MHz) modulé par voie optique proviennent de différentes constantes de temps dans le photorécepteur : le temps de transit des porteurs $\tau_{Transit}$ en ZCE, la durée de vie des porteurs $\tau_{n,p}$ et la constante de temps issue de la capacité de transition de la jonction C_T . Pour une jonction abrupte à dopages uniformes, le temps de transit est défini selon l'équation II.57 et est de l'ordre de $10^{-12}s$ pour notre récepteur intégré.

$$\tau_{Transit} = \frac{2\epsilon}{q\mu_p} \cdot \frac{P_P + N_N}{P_P N_N} \quad (\text{II.57})$$

La durée de vie des porteurs dépend des dopages, ainsi que des phénomènes de génération / recombinaison et du procédé de fabrication technologique. Cette durée de vie peut être de $10^{-12}s$ à $10^{-7}s$. On peut déjà voir que les deux constantes de temps $\tau_{Transit}$ et $\tau_{n,p}$ restent inférieures à $10^{-6}s$ ce qui donnerait une bande passante du signal transmis par voie optique de l'ordre du MHz. Cependant, il reste à prendre en compte la capacité de transition du récepteur optique, ainsi que son montage associé.

La capacité de transition C_T s'exprime par l'équation II.58 et associée à une résistance de charge, nous pouvons alors établir la bande passante du récepteur optique intégré.

$$C_{Tsurfacique}(V) = \frac{\epsilon}{W_{ZCE}(V)} \quad (\text{II.58})$$

Sur les figures II.56 et II.57 sont représentées les évolutions de cette capacité de transition surfacique, pour des dopages uniformes ou gaussiens. Nous voyons ici aussi l'intérêt d'une bonne modélisation de l'étendue de la ZCE en fonction de la différence de potentiel à ses extrémités.

A titre d'information, pour une résistance de charge du récepteur optique de $100k\Omega$ et un récepteur de $100\mu m$ de diamètre, nous trouvons une fréquence de coupure située entre $200kHz$ et $1MHz$ selon la polarisation du récepteur. On reste de toute façon bridé par le compromis classique *sensibilité / rapidité* que nous avons déjà présenté dans le premier chapitre, en fonction du choix de la résistance de polarisation. Les résultats autour de la modélisation de la capacité de transition sont aussi utilisés dans notre modélisation globale des jonctions PN, et serviront par la suite pour l'étude du fonctionnement dynamique des structures intégrées, dans le chapitre suivant.

II.3.f-v Influences de la température

Comme pour la prise en compte du phénomène d'avalanche, il est ici aussi très difficile d'obtenir une modélisation réaliste de toutes les grandeurs en fonction de la température : particulièrement pour la dépendance à la température du coefficient d'absorption, qui doit retranscrire la variation de l'énergie de gap du matériau en fonction de la température. De même, il faut retranscrire le plus fidèlement possible la dépendance des autres constantes

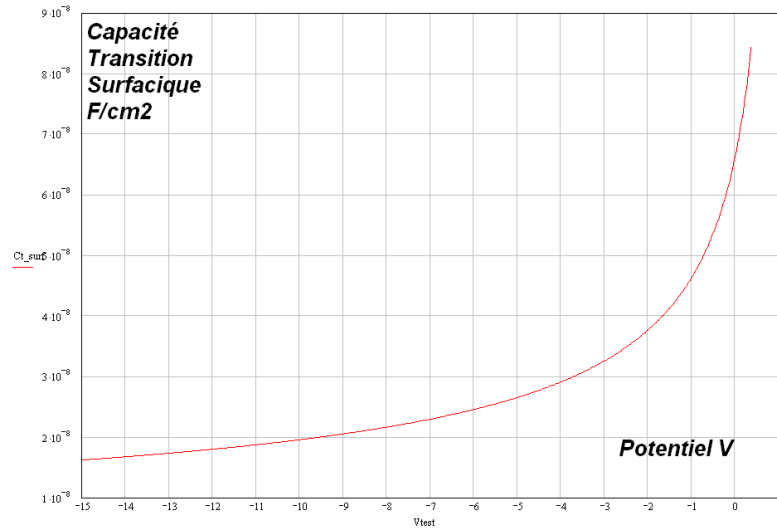


FIGURE II.56 – Capacité de transition surfacique pour une jonction abrupte à dopages uniformes

optiques à la température.

Par manque de temps principalement, nous n'avons pas pu étendre notre modèle pour toutes les températures, mais cela consisterait à modifier les constantes optiques et les rendre totalement dépendantes à la température et tout notre modèle resterait valide, par un effort conséquent d'étude bibliographique.

II.4 Comparaison avec la simulation par éléments finis

II.4.a La jonction PN intégrée sous polarisation et bombardement photonique

Afin d'avoir un premier retour sur notre modélisation de la jonction, sous polarisation (principalement inverse - voir le premier chapitre) et bombardement de photons, nous avons confronté nos résultats de modélisation à ceux issus d'un simulateur utilisant la méthode de résolution à partir d'éléments finis. Le logiciel utilisé est ATLAS MANAGER de la société *Silvaco* [53]. Le point de départ de toute simulation à éléments finis est la définition d'une structure, d'un maillage, des hypothèses physiques et des méthodes de résolution. La force de ce type de simulations est de pouvoir coller le plus possible aux modèles physiques fins et difficiles à résoudre par un modèle global analytique, en utilisant les méthodes de résolutions des éléments finis. Cependant, ces simulations peuvent s'avérer très longues (de quelques heures à quelques semaines), selon le niveau de complexité des modèles physiques et de la structure du semiconducteur considéré, et il faut rester critique vis à vis des résultats obtenus.

En effet, la convergence des simulateurs utilisant les éléments finis est aussi un point sensible dans la simulation de dispositifs à semiconducteurs : par exemple autour du phéno-

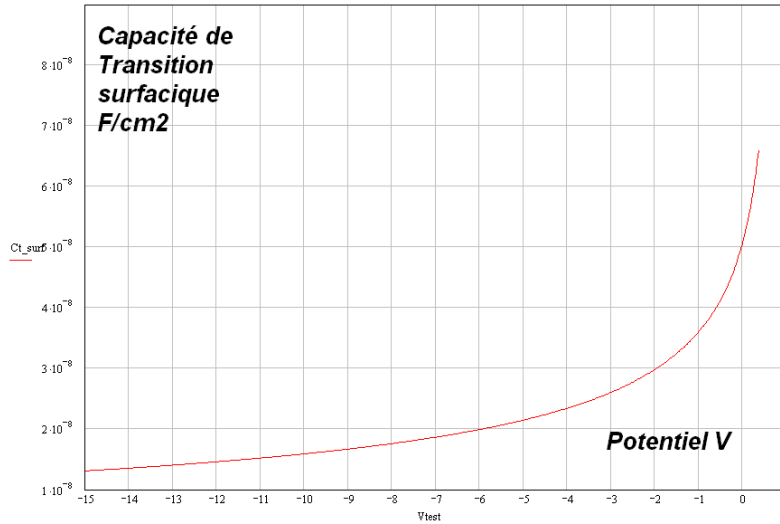


FIGURE II.57 – Capacité de transition surfacique pour une jonction continue à dopages gaussiens

mène d'avalanche, nous avons constaté que le simulateur à éléments finis pouvait converger, mais vers des valeurs totalement incohérentes. Si les pas (de calculs, d'évolutions de grandeurs électriques) ne sont pas adaptés, la simulation peut être totalement incohérente, et il faut rester vigilant sur la simulation par éléments finis.

Pour les simulations présentées ci-après, nous avons considéré principalement une jonction N^+P^- abrupte à dopages uniformes et définie dans ce chapitre : $W_p = 1\mu m$, $W_n = 5\mu m$, $N_n = 5 \cdot 10^{16}$, $N_p = 10^{19}$. Pour calculer les niveaux de courants, ce simulateur multiplie la géométrie 2D par une profondeur de $1\mu m$, nous avons donc utilisé un facteur d'échelle afin d'obtenir directement les densités de courants, en fixant le paramètre *width*, image de la surface. Nous avons aussi étudié un profil de dopages continus gaussiens, proche de celui considéré dans notre modélisation. Pour les hypothèses de simulation par éléments finis, nous avons utilisé les modèles suivants : ionisation par impact *selb*, recombinaison *auger* et *srh*, dépendance de la mobilité au champ et à la concentration *conmob* et *fldmob*, méthode de résolution *newton-trap*. Des développements supplémentaires très clairs sont disponibles dans le chapitre *Physics* de [53].

Sur la figure II.58, nous pouvons comparer les étendues du champ électrique pour une polarisation inverse donnée : les écarts entre notre modèle et la simulation par éléments finis sont très faibles. Les écarts relatifs sur le champ maximal et sur l'étendue du champ sont de moins de 7%. Néanmoins, cette erreur peut s'expliquer par un maillage pas assez fin autour de la jonction métallurgique, ce que l'on remarque de façon précise sur la figure II.58.

De la même façon, pour les dopages gaussiens nous avons comparé notre modélisation avec le résultat d'Atlas (figure II.59). La décroissance de la loi gaussienne n'étant pas identique entre les deux modèles, il est difficile de tirer des conclusions autre que la similitude des profils du champ électrique (la loi de variation gaussienne de Silvaco ne peut être stric-

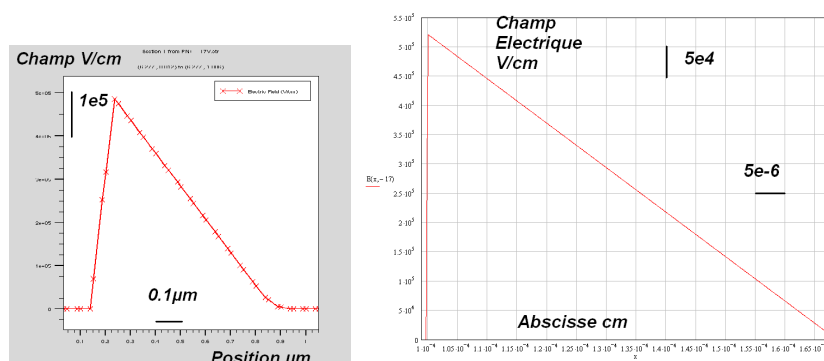


FIGURE II.58 – Etendue du champ électrique dans une jonction abrupte à dopages uniformes sous 17V inverse par Atlas Manager (à gauche) et notre modélisation (à droite). Échelles identiques

tement identique à celle définie dans notre modèle, il faudrait calculer les équivalences entre les modèles, à partir de la déviation standard de la loi gaussienne dans le modèle Silvaco - voir la page 2-12 de [53] et comparer avec l'équation II.1).

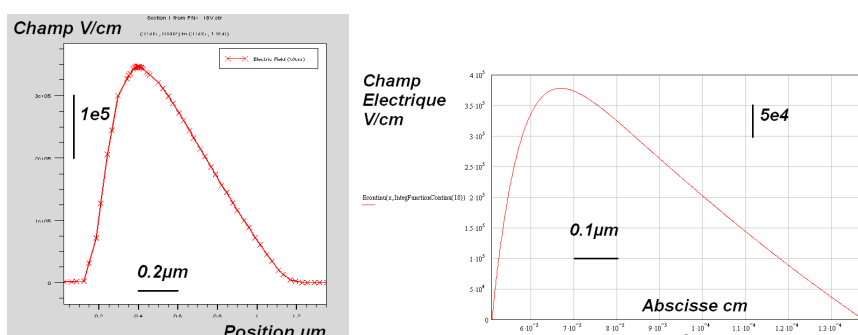


FIGURE II.59 – Etendue du champ électrique dans une jonction continue à dopages gaussiens par Atlas Manager (à gauche) et notre modélisation (à droite). Échelles identiques

Pour la modélisation de l'avalanche, nous avons considéré la jonction abrupte à dopages uniformes (figure II.60) : le courant inverse est identique entre les deux modèles sous une faible polarisation inverse et les écarts dans les niveaux d'avalanche sont faibles. Nous pouvons faire le même constat sur la figure II.61 où la température est de 420K.

Pour la prise en compte de l'absorption de photons, nous avons là aussi comparé notre modèle sur notre cas avec une jonction non optimisée pour la photosensibilité (figures II.62 et II.63). Là aussi peu de différences à signaler (écarts de 10%), tant dans la valeur du courant inverse total, ainsi que de son évolution en fonction de la longueur d'onde (image du rendement du récepteur). Les phénomènes semblent concordants entre notre modèle et la simulation par éléments finis et les faibles écarts s'expliquent principalement par des constantes relativement différentes.

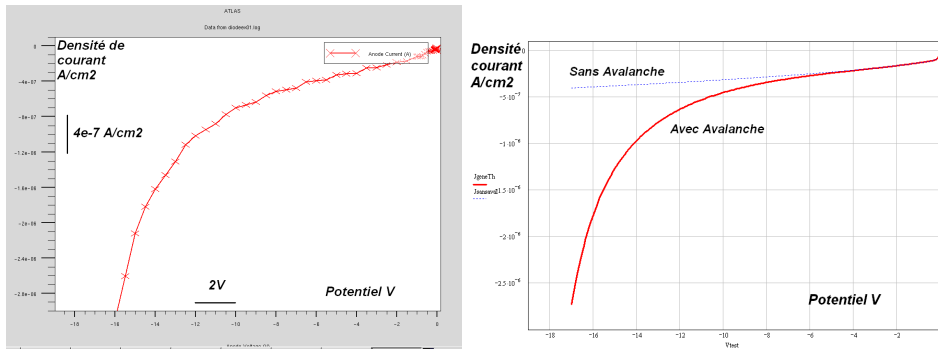


FIGURE II.60 – Caractéristique statique d’une jonction abrupte à dopages uniformes par Atlas Manager (à gauche) et notre modèle (à droite). Échelles identiques

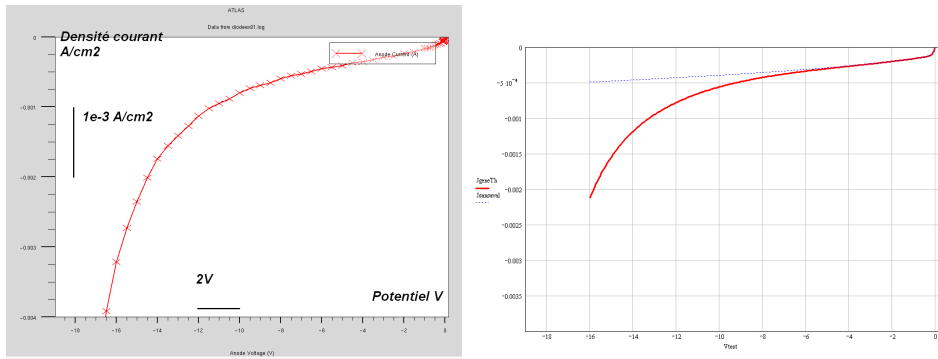


FIGURE II.61 – Caractéristique statique d’une jonction abrupte à dopages uniformes à $T = 420K$ par Atlas Manager (à gauche) et notre modèle (à droite). Échelles identiques

II.4.b Influence de la polarisation en face arrière du composant de puissance

Comme nous l’avons précisé en ce début de chapitre, les fonctions que nous utilisons sont auto-isolées par une jonction toujours polarisée en inverse, et nous avons modélisé de façon indépendante nos fonctions, sans prendre en compte l’influence de la partie haute tension de la face arrière du composant de puissance. Pour que notre approche de modélisation unidimensionnelle pour les jonctions Emetteur-Base en tant que simple jonction PN en inverse reste valable, il nous faut vérifier que les caractéristiques de cette jonction en inverse ne sont pas perturbées par la montée en tension du Collecteur (face arrière), avec la Base connectée au potentiel le plus bas du composant. Nous avons donc spécifié une demi-cellule d’un bipolaire vertical, issu du procédé de fabrication du transistor de puissance (figure II.64). D’autres compléments sur la perturbation de fonctions intégrées dans des jonctions polarisées en inverse peuvent être trouvés dans [39], ainsi que dans le Master Recherche de Yann Philibert. On rappelle que les fonctions à réaliser étaient présentées en début de ce chapitre sur les figures II.5, II.6 et II.7

Tant que la profondeur de la région de Base est suffisante, que son dopage est élevé (bonnes propriétés ohmiques du dopage P donc il suffit que ce dopage soit $> 10^{15}$), et que la prise de contact de Base n’est pas trop éloignée du caisson d’émetteur, alors la jonction

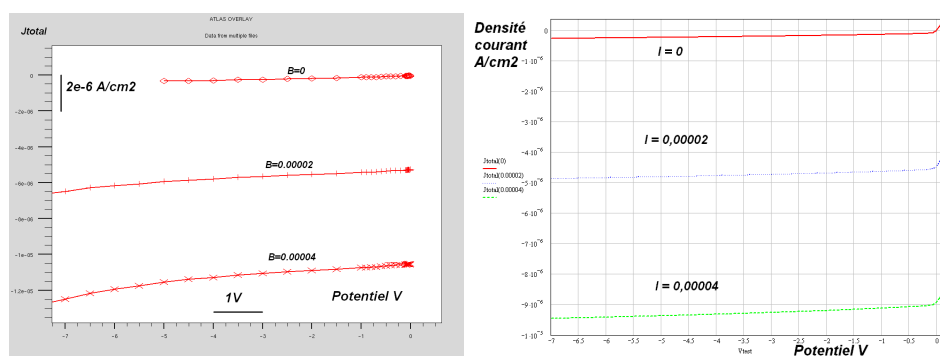


FIGURE II.62 – Caractéristique statique d'une jonction abrupte à dopages uniformes selon l'éclairement à $\lambda = 600nm$ par Atlas Manager (à gauche) et notre modèle (à droite). Échelles identiques

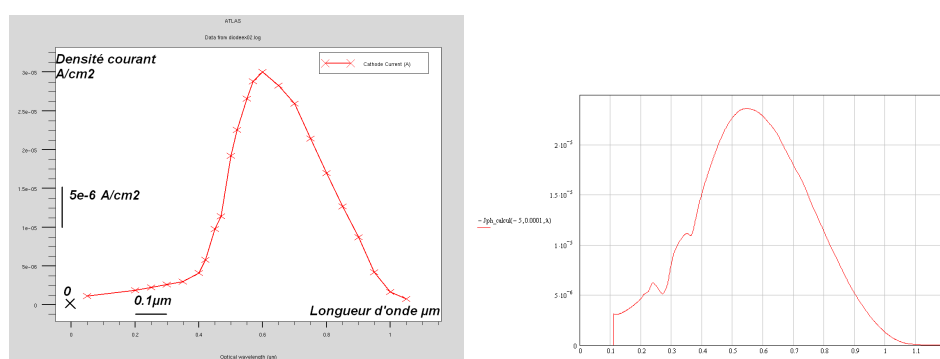


FIGURE II.63 – Courant total inverse pour une jonction abrupte à dopages uniformes selon la longueur d'onde, pour une intensité lumineuse fixée à $I = 10^{-4}$ et $V = -5V$ par Atlas Manager (à gauche) et notre modèle (à droite). Échelles identiques

Emetteur-Base n'est pas perturbée par la montée en tension du Collecteur. On pourrait écrire l'expression de la résistance pincée entre la ZCE Emetteur-Base et Base-Collecteur, et calculer ainsi les données géométriques nécessaires à la bonne isolation de la jonction Emetteur - Base par la jonction Collecteur-Base.

Si l'on prend en compte maintenant un flux incident de photons sur la jonction Emetteur-Base, et que l'on étudie l'influence de la polarisation du Collecteur, on se rend compte que le rendement du photorécepteur intégré est dégradé lorsque le potentiel de Collecteur augmente [90] : le rendement du récepteur intégré est dégradé de 8% sous l'effet de la polarisation du Collecteur à 400V (figure II.65). Ceci peut s'expliquer de la façon suivante : en l'absence de polarisation du Collecteur, la ZCE Collecteur - Base est peu étendue et les photons peuvent être absorbés par la jonction Emetteur-Base. Par contre, si la ZCE Collecteur-Base s'étend, alors les photons qui étaient absorbés au fond de la région de Base sont maintenant générés dans la ZCE Collecteur-Base et participeront donc plutôt à un courant additionnel de fuite entre le Collecteur et la Base (figure II.66).

Ces premières pistes de validité restent cependant à confronter à des mesures sur des

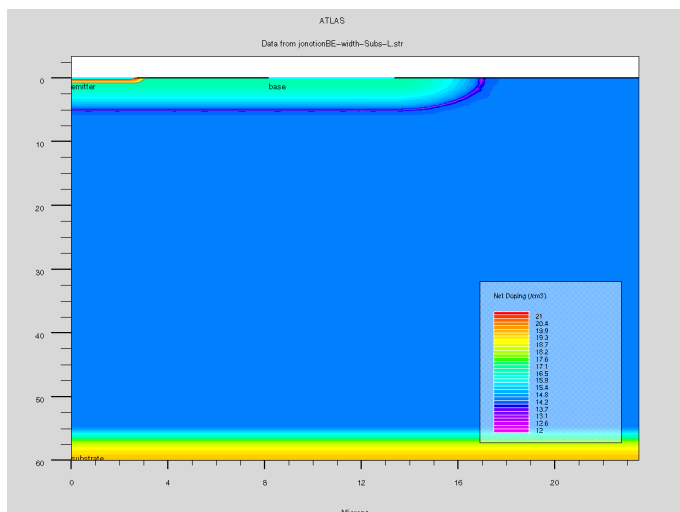


FIGURE II.64 – Structure complète bipolaire utilisée sous Atlas Manager

dispositifs réels, mais dans tous les cas, il semble que nos dispositifs peuvent être viables et avec de bonnes caractéristiques, dans l'optique d'une intégration monolithique. Notre modèle semble adapté et utilisable pour concevoir et dimensionner les dispositifs d'auto-alimentation de la commande rapprochée et d'isolation optique entre le composant et son mode extérieur. Forts du travail présenté dans ce chapitre, nous utiliserons ces résultats pour concevoir et caractériser nos dispositifs intégrés dans le troisième chapitre de cette thèse.

II.5 Conclusion

Dans ce chapitre, nous avons rappelé le contexte des fonctions à intégrer monolithiquement, afin de proposer une auto-alimentation de la commande rapprochée, ainsi qu'un récepteur optique, au sein de transistor de puissance. Afin de pouvoir dimensionner ces fonctions intégrées et de quantifier l'impact de l'utilisation du procédé de fabrication de transistors de puissance sur ces fonctions, nous avons développé un modèle analytique complet, relatif à la modélisation unidimensionnelle des phénomènes d'avalanche et d'absorption de photons. Ce modèle analytique présente beaucoup d'avantages : le calcul complet des caractéristiques statiques et des éléments dynamiques est rapide (moins de 15 minutes sur un ordinateur commun), et un tableau de valeurs complet est ainsi généré. Ce modèle analytique peut ensuite être intégré dans un simulateur électrique (type Pspice ou Simplorer, voire grâce à un modèle en VHDL-AMS [50]) ou bien dans un outil d'optimisation. Notre modèle est particulièrement bien adapté à l'intégration dans un simulateur temporel.

Nous avons vérifié que notre approche était cohérente, grâce à l'utilisation d'un simulateur utilisant la méthode des éléments finis, et ces résultats vont nous permettre de concevoir des dispositifs intégrés au sein de transistors de puissance, dans le chapitre suivant.

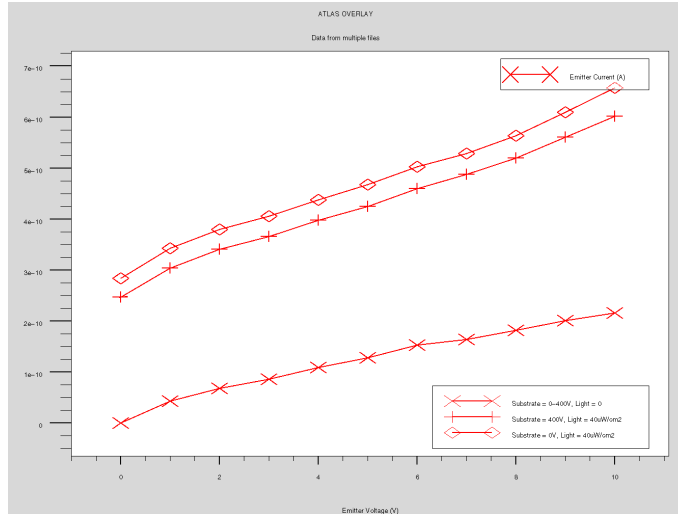


FIGURE II.65 – Modification de la caractéristique statique de la jonction Emetteur-Base en inverse sous l’effet de la polarisation du Collecteur. $\lambda = 600nm$ et niveau d’éclairement fixé

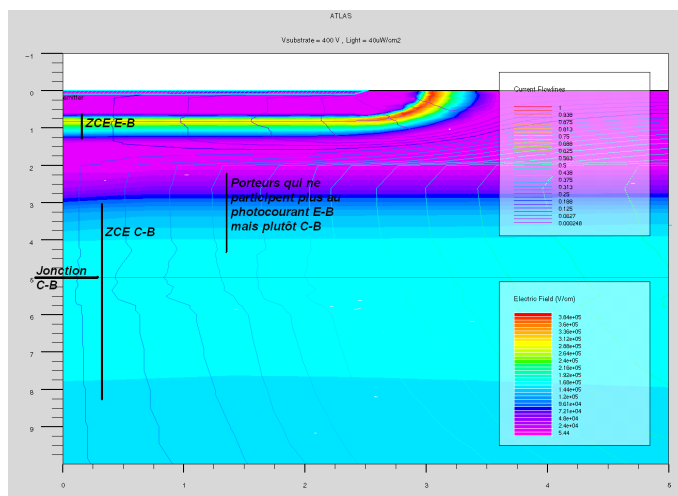


FIGURE II.66 – Zoom autour de l’étendue des deux Zones de Charge d’Espace Emetteur-Base et Collecteur-Base lors de la polarisation du collecteur à 400V : dégradation du rendement quantique du récepteur intégré

Chapitre III

Intégration monolithique de fonctions pour interrupteurs de puissance : alimentation de la commande rapprochée et isolation optique

De deux douleurs simultanées, la plus forte obscurcit l'autre.

Hippocrate

SOMMAIRE

III.1 INTRODUCTION	129
III.2 CONCEPTION DE COMPOSANTS VDMOS À COMMANDE RAPPROCHÉE AUTOALIMENTÉE ET MUNIS D'UNE ISOLATION OPTIQUE	129
III.2.a Le composant principal de puissance seul	129
III.2.b Le circuit d'autoalimentation	137
III.2.c Dimensionnement et conception du récepteur optique intégré	150
III.3 RÉALISATION DE TRANSISTORS VDDMOS À COMMANDE RAPPROCHÉE AUTOALIMENTÉE ET ISOLATION OPTIQUE	160
III.3.a Détails sur la réalisation des masques	160
III.3.b Bilan de la réalisation technologique	162
III.4 CARACTÉRISATION DU CIRCUIT D'AUTOALIMENTATION DE LA COMMANDE RAPPROCHÉE	165
III.4.a Caractéristiques statiques des fonctions nécessaires à l'autoalimentation	165
III.4.b Caractéristiques dynamiques des fonctions nécessaires à l'autoalimentation	172
III.5 CARACTÉRISATION DES COMPOSANTS DE PUISSANCE À RÉCEPTEUR OPTIQUE INTÉGRÉ	175
III.5.a Caractérisations statiques du récepteur intégré	175
III.5.b Caractérisations dynamiques du récepteur intégré	180
III.6 CONCLUSION	181

Résumé

Ce chapitre présente la conception, la réalisation et la caractérisation de la fonction d'autoalimentation de la commande rapprochée, nécessaire aux composants de puissance. La fonction d'isolation galvanique entre la commande rapprochée et la commande éloignée est aussi à l'étude dans ce chapitre, via un effort de conception et de réalisation d'un récepteur optique au sein de composants de puissance à grille isolée. Les structures présentées et validées dans les deux chapitres précédents sont ici dimensionnées et conçues. Un accent particulier est apporté sur les variantes de conceptions et l'intégration monolithique de ces fonctions au sein de transistors de puissance verticaux de type VDMOS. La caractérisation statique et dynamique de l'ensemble des

fonctions nécessaires au circuit d'autoalimentation et du récepteur optique est présentée en fin de chapitre, permettant le retour d'expérience sur tout l'effort de conception et de dimensionnement.

III.1 Introduction

Dans le premier chapitre de cette thèse, nous avons présenté en détails la fonction d’autoalimentation de la commande rapprochée et proposé une structure adéquate pour l’intégration monolithique d’un récepteur optique assurant l’isolation galvanique entre la commande rapprochée et le monde extérieur du transistor de puissance. Le second chapitre a permis de mettre en évidence les contraintes et les verrous fonctionnels de ces composants, dans une logique d’intégration monolithique *bas coût*, c’est à dire sans modification du procédé de fabrication du transistor de puissance.

Fort de cette approche à la fois système (premier chapitre) et analytique (second chapitre), nous pouvons maintenant nous lancer dans la conception de transistors de puissance verticaux intégrant les fonctions présentées. Nous allons ainsi présenter en détail toute la démarche de conception et de réalisation des fonctions d’autoalimentation et de récepteur optique. Bien évidemment, il sera nécessaire de caractériser les composants ainsi réalisés, en prenant en compte les caractéristiques statiques et dynamiques relatifs aux domaines concernés par ces travaux d’intégration monolithique fonctionnelle.

III.2 Conception de composants VDMOS à commande rapprochée autoalimentée et munis d’une isolation optique

III.2.a Le composant principal de puissance seul

III.2.a-i Présentation des différentes méthodes de conception

Comme il a été présenté dans les deux premiers chapitres de ce mémoire de thèse, nous nous sommes limités à l’intégration de fonctions au sein de transistors de puissance de type VDMOS à technologie Planar. Néanmoins, la conception des fonctions qui va être conduite peut être transposée aux problématiques de technologies différentes (interrupteur de puissance *trench* et/ou IGBT), mais il faudra tenir compte des remarques énoncées plus tôt dans ce mémoire concernant les caractéristiques et les enjeux de l’intégration fonctionnelle vers ces problématiques.

Afin de valider l’approche que nous avons présentée dans ce mémoire de thèse, nous avons donc dû concevoir des composants de puissance verticaux de type VDMOS, et y intégrer par la suite, deux des deux fonctions nécessaires à sa commande : l’autoalimentation de la commande rapprochée et l’étage d’isolation galvanique pour le transfert d’ordre de commutation. Sous cette logique d’intégration monolithique *bas coût*, nous pouvons lister et hiérarchiser les fonctions et sous-fonctions qui doivent être conçues pour des transistors de puissance verticaux *évolués* (figure III.1) :

- Une zone de tenue en tension périphérique, assurant le bon fonctionnement du composant en permettant l’épanouissement bidimensionnel des équipotentielles,
- Une zone permettant la découpe du composant de puissance,
- Une zone active du composant principal,
- Une zone auxiliaire regroupant la ou les fonctions supplémentaires qui doivent être intégrées,

- Un joint de fonctions entre la zone active du composant principal et celle des fonctions auxiliaires,
- Éventuellement des zones de contact permettant une passivation finale en surface du composant, et améliorant ainsi son immunité et sa tenue en tension.

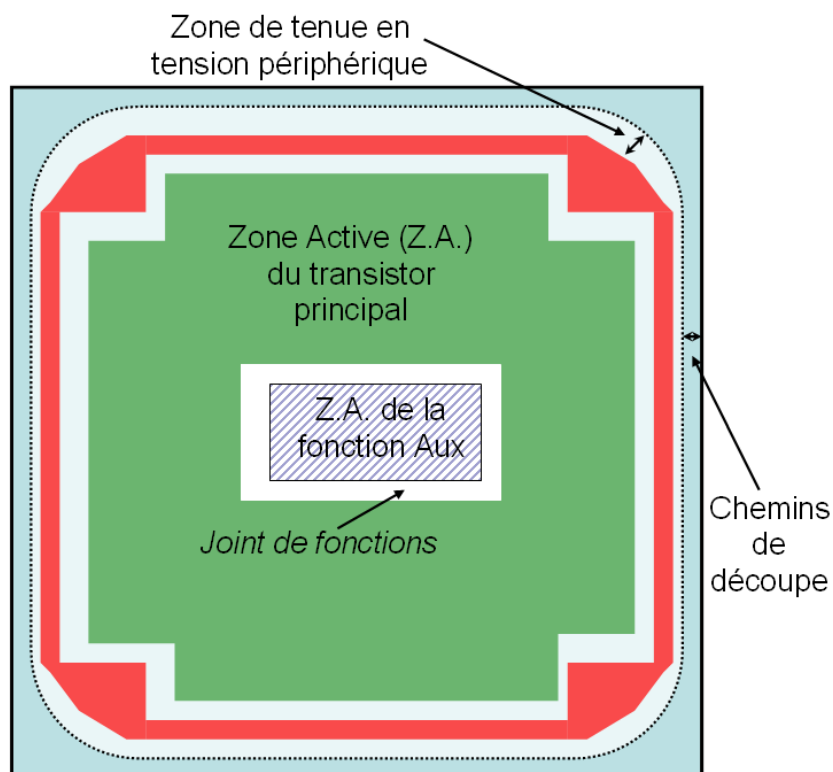


FIGURE III.1 – Intégration monolithique fonctionnelle au sein d'un transistor de puissance : détails des zones et des fonctions à réaliser

Quelques résultats importants ont été mis à jour dans les deux thèses précédentes [75] et [7] : afin de minimiser la surface totale, les connectiques et de maximiser le refroidissement du composant total, les fonctions intégrées doivent se trouver au sein de la périphérie de tenue en tension du composant principal [7]. De plus, afin de garantir un bon épanouissement bidimensionnel des lignes équipotentielles entre le composant principal et les fonctions intégrées, le joint de fonction doit être de type *électrode de champ* et avoir une largeur suffisante [75] ($10\mu\text{m}$ environ pour un composant 400V).

Les spécifications du composant de puissance principal à concevoir sont les suivantes :

- Tenue en tension de 600V, afin de garantir un bon fonctionnement à 400V,
- Paramétrisation du composant de puissance : découpage en fonctions (amenées de courant, périphérie en tension, *zone de réservation* pour implantation des fonctions auxiliaire, etc...) en vue de faciliter l'intégration fonctionnelle,
- Calibre en courant faible mais suffisant de façon à respecter une bonne image du ratio entre la surface du transistor principal et des fonctions associées (environ 0,5A),

ainsi que proposer un nombre de variantes importantes sur un même Wafer de taille moyenne (Wafer de 4 pouces soit 10cm environ).

La conception du composant de puissance principal, à la vue de ces spécifications, a été effectuée conjointement avec les autres acteurs de l'intégration monolithique fonctionnelle de l'équipe Electronique de Puissance du G2Elab : Loïc Vincent [108] et Jean-Christophe Créber ont effectué le découpage en fonctions élémentaires, ainsi que la périphérie en tension en anneaux de garde (version améliorée depuis la thèse [75]). En effet, cette base qu'est le composant de puissance principal fût nécessaire pour les travaux de trois thèses dont celle-ci [39] [108]. Nous avons ainsi conçu entièrement un composant de puissance adapté à l'intégration monolithique fonctionnelle, et totalement paramétré.

Lorsqu'on conçoit des composants de puissance à cheminement technologique donné, nous avons simplement accès à la vue de dessus de composant, toutes les profondeurs étant fixées. Il faut donc s'extraire de la vue classique des composants en coupe, et passer à une vue de dessus, afin de concevoir les différents niveaux de masques permettant la réalisation de composants *évolués*. Il existe différentes façons de concevoir des composants de puissance verticaux, à partir d'une cellule élémentaire (voir figure III.2) : une duplication de la cellule élémentaire, qui peut être carrée, circulaire ou hexagonale, ou bien une conception en bandes, mises ensuite en parallèles, afin de correspondre à la surface active désirée. De nombreuses variantes peuvent être conçues autour de ces possibilités, telles que la duplication de cellules élémentaires formant ensuite un motif élémentaire mis en bandes, avec amenées de courant interdigitées.

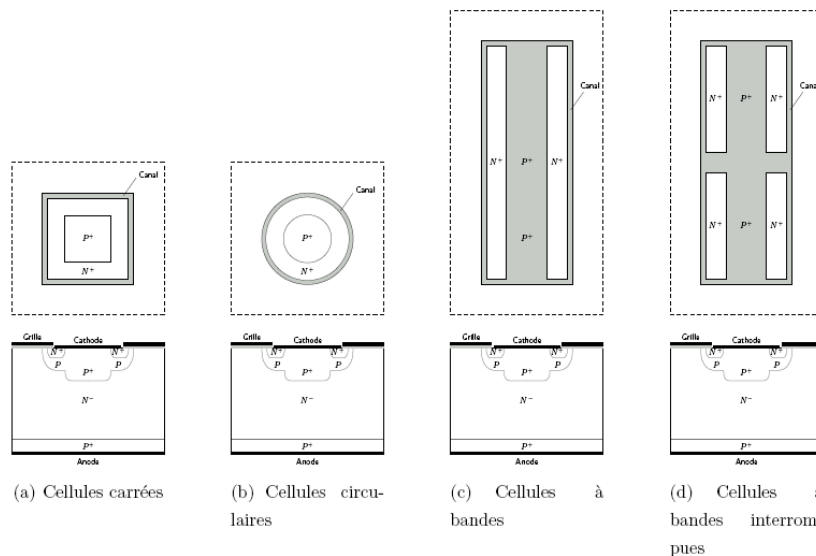


FIGURE III.2 – Quelques variantes de conceptions pour transistors de puissance verticaux Planar (ici pour des IGBTs [65])

Dans le but de faciliter le paramétrage du composant de puissance, et plus particulièrement du dégagement de la zone de réservation pour les fonctions auxiliaires, nous avons

choisi de concevoir le transistor de puissance principal selon un modèle en bande : pour cela, nous partons d'une cellule élémentaire de type carrée avec zone de dopage centrale circulaire afin de diminuer les effets bidimensionnels en bout de cellule (figure III.3).

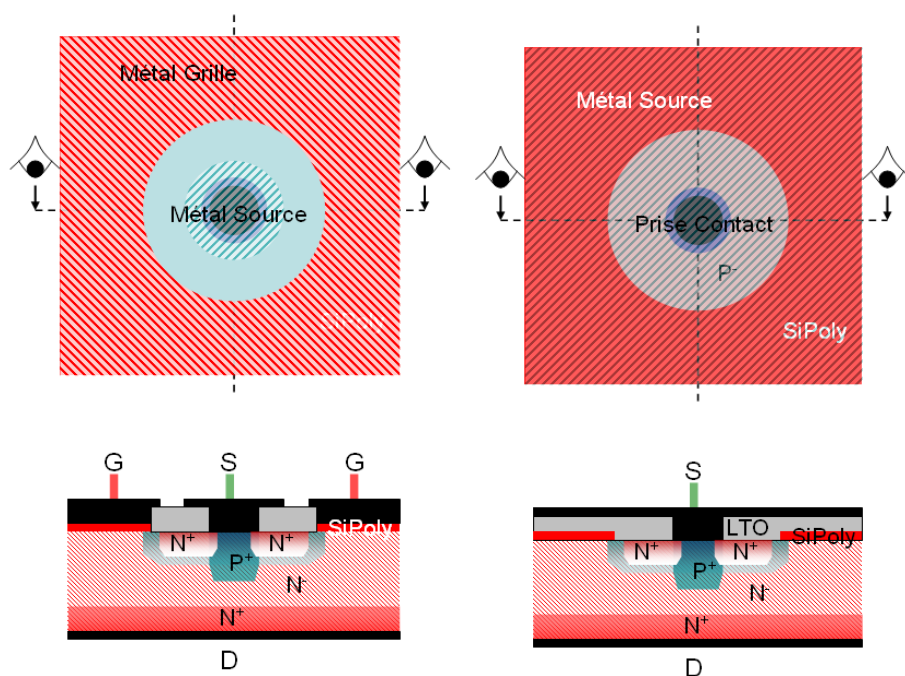


FIGURE III.3 – Deux types de cellules élémentaires carrées, en vue d'une conception en bande

Partant de la structure proposée figure III.3, nous pouvons ensuite simplement *extruder* cette cellule élémentaire dans l'un des deux axes de symétries. Nous réalisons ainsi une bande (ou *doigt*) élémentaire que nous pouvons ensuite recopier et coller, afin de réaliser un composant complet (figure III.4). On peut remarquer sur cette figure tout l'intérêt de concevoir une cellule élémentaire carrée avec des dopages circulaires, afin de favoriser d'une part la mise en série / parallèle des doigts (cellule carrée), mais aussi la tenue en tension aux extrémités des doigts et limiter ainsi les effets de dégradation de la tenue en tension bidimensionnelle [63].

Il existe ensuite au moins deux manières différentes de gérer les deux métallisations en surface (contact de Grille et contact de Source) : soit interdigiter les deux métallisations (à gauche de la figure III.5), soit métalliser toute la surface les doigts avec le même potentiel de Source et délocaliser les prises de contacts entre la métallisation de Grille et le SiPoly (à droite de la figure III.5). La première solution avait été adoptée dans les thèses précédentes [7] et [75], mais la seconde solution est mieux adaptée à l'intégration de fonctions au sein du transistor principal : en effet, il n'y a aucune interdigitation de contact à gérer, et un seul niveau de métal sur la zone active du transistor principal (seules les amenées de courant sont à concevoir).

De plus, dans le cas de droite sur la figure III.5, toutes les zones de *doigts* sont surmon-

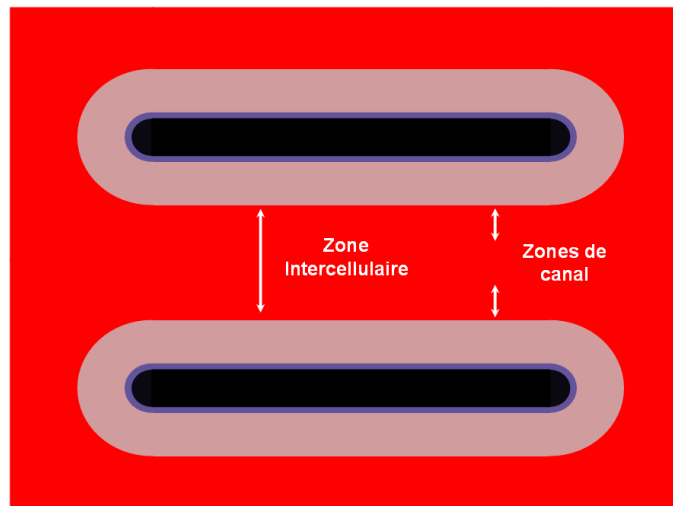


FIGURE III.4 – Étirement de la cellule élémentaire afin de former un doigt, ensuite recopié

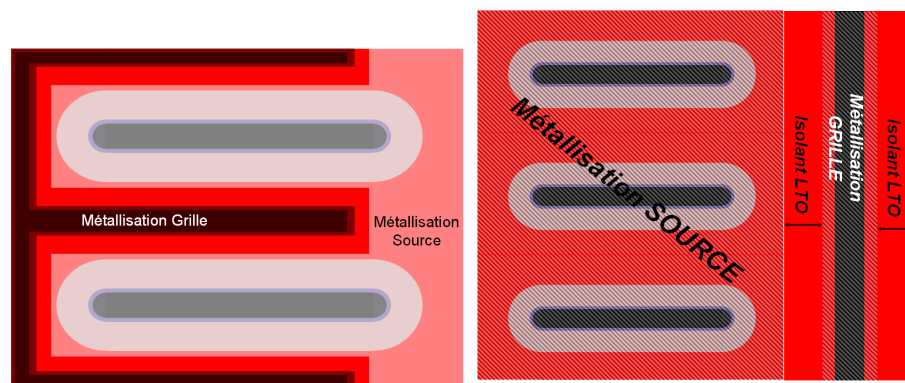


FIGURE III.5 – Conception de la zone active du transistor de puissance : à gauche, prises de contacts interdigités et à droite, amenée de contact de Grille centrale et métallisation de Source sur toutes les cellules

tées du potentiel de référence du composant total de puissance (Source). Par cette méthode de conception, il est ainsi très simple d'intégrer monolithiquement des fonctions au sein du composant de puissance (figure III.6) : la bordure de la *zone de réservation* pour la fonction auxiliaire correspond à un métal au potentiel de Source, ce qui va faciliter la bonne tenue en tension et un joint de fonctions correct, en agissant comme électrode de champ entre la fonction intégrée et les doigts du transistor de puissance principal [75].

III.2.a-ii Conception de VDMOS pour la fabrication de composants de puissance évolués

Nous venons de présenter, dans les grandes lignes, quelques paramètres à prendre en compte dans la conception de transistors de puissance verticaux à fonctions intégrées. Il nous reste maintenant à définir un cahier des charges plus précis, ainsi que fixer les différents niveaux de masquages qui seront utilisés, et les outils de conception associés. Tout d'abord

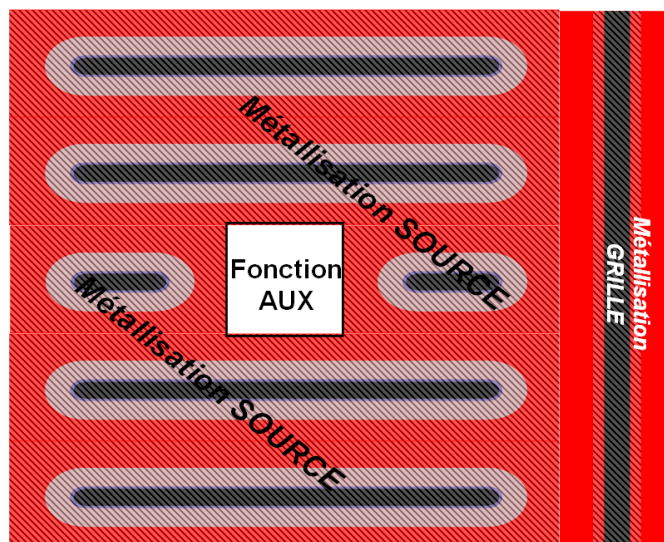


FIGURE III.6 – Détail qualitatif de la zone active du composant principal, en vue de l'intégration monolithique de fonctions

pour concevoir et réaliser les composants, nous avons considéré un procédé technologique à huit niveaux de masquages différents, de façon classique, comme il a déjà été présenté dans [39] (tableau III.1).

Nous n'allons pas détailler ici chacun des niveaux de masquages, ainsi que les contraintes associées : une présentation exhaustive de ces contraintes à l'intérieur d'un niveau (tolérance du procédé de fabrication, prévenir les court-circuits non désirables, prise en compte de la diffusion après implantation, etc..) ou entre différents niveaux se trouveront dans la thèse à venir [108] (assurer le chevauchement de la métallisation sur le LTO - tolérance GALU et OCON -, assurer la création d'un canal d'inversion dans la zone de porte canal - tolérance NPLUS et POLY, PMOINS et POLY- , par exemples). Ces contraintes sont classiques dans la réalisation de composants de puissance et nous ne soulignerons ici que les grandes lignes de conception.

Pour la conception des masques, nous avons utilisé un outil répandu dans le monde universitaire et industriel, en électronique de puissance et microélectronique, la plateforme de conception Virtuoso de la société CADENCE. Nous avons utilisé un fichier de spécification de masque, personnel et propre à notre procédé de fabrication de puissance (appelé *techfile* dans Virtuoso). Ce fichier a été complété avec la création par Loïc Vincent d'un fichier de vérification automatique, comprenant les règles et contraintes à l'intérieur d'un niveau et entre les niveaux (appelé *DRC* dans Virtuoso, pour *Design Rules Checker*), couplé au projet de fin d'étude de Kremena Vladimirova. Cette vérification automatique est une étape supplémentaire dans la conception d'un jeu de masque complet, et permet de limiter quelques erreurs sur le dessin d'un *Wafer* complet comportant plus de 1500 composants, eux-mêmes divisés en plusieurs sous-fonctions élémentaires et comportant huit niveaux de masquages. Les caractéristiques des différentes jonctions issues du procédé de fabrication fixé et considéré dans la conception sont définies selon la table III.2.

	Masque	Étape
01	OZUT	Ouverture Zone Utile, ouverture de la zone active
02		Gravure d'oxyde
03		Croissance d'un oxyde thermique fin (oxyde de grille)
04	POLY	Dépôt de Silicium Polycristallin, réalisation de l'électrode de grille
05		Ouverture des zones de Source (porte canal P^-), création de la grille et la zone de Source
06	PPLUS	Gravure de Silicium Polycristallin et de l'oxyde fin
07	PPLUS	Ouverture périphérie, P^+ court-circuit et prise contact de Source
08		Photolithographie, Implantation P^+ , diffusion
09	PMOINS	Création des zones de porte canal
10		Photolithographie, Implantation de P^- , diffusion
11	NPLUS	Ouverture du caisson de Source
12		Photolithographie, implantation N^+ , diffusion. Création des caissons de Source
13	NPLUS	Dépôt d'un oxyde épais (LTO). Isolation entre électrodes de surface
14		
15	OCON	Ouverture des zones de contact
16		Gravure LTO
17	OCON	Dépôt d'aluminium
18		
19	GALU	Séparation des contacts pour la création des électrodes
20		Gravure Aluminium, séparation des contacts
21	OSCO	Réalisation des zones pour prise de contact
22		Passivation par Si_3N_4
23		Réalisation du contact sur la face arrière
24		Gravure de la couche de passivation, ouverture des zones pour bonding

TABLE III.1 – Rappels des étapes de fabrication du transistor de puissance choisi

Profondeur de la région de Source N^+ (μm)	0.8
Concentration en surface de la région de Source N^+ (cm-3)	1e20
Profondeur du porte canal P^- (μm)	3
Concentration en surface de la région de porte canal P^- (cm-3)	5e16
Profondeur de la région de court-circuit de Source P^+ (μm)	5
Concentration en surface de la région P^+ (cm-3)	2e18
Profondeur de la zone épitaxiée de tenue en tension N_V (μm)	55
Concentration de la zone de tenue en tension N_V (cm-3)	2e14
Oxyde fin de qualité de grille (nm)	30
Dopage SiPoly N (cm-3)	1e20
Concentration du Drain en face arrière (cm-3)	5e19
Épaisseur SiPoly (nm)	700
Épaisseur LTO (μm)	1
Épaisseur Alu (nm)	800

TABLE III.2 – Liste des paramètres de la structure VDMOS, avec le procédé de fabrication utilisé

Comme nous l’avons présenté plus haut dans ce chapitre, nous avons conçu un composant VDMOS complet, avec sa périphérie en tension et entièrement paramétré en vue de l’intégration monolithique de fonctions auxiliaires que sont l’autoalimentation de la commande rapprochée et le récepteur optique permettant l’isolation galvanique pour le transfert d’ordre de la commande du composant de puissance. Deux variantes ont été retenues pour le VDMOS, étant donné la nature résistive du Silicium Polycristallin (résistivité de $3m\Omega \cdot cm$ pour une épaisseur de 7000 Å), afin de vérifier les propriétés dynamiques du composant complet. Ces deux variantes sont représentées de façon qualitative sur les figures III.7 et III.8, regroupant les zones équipotentielles du niveau de métallisation sur des mêmes régions.

Nous voyons déjà que sur la variante avec amenée de grille centrale (figure III.8), les deux métallisations de Source ne sont pas reliées, il faudra donc deux connections en parallèle grâce aux fils de bondings. Ceci n’est pas un problème car souvent les fils de bondings sont en parallèle sur chaque prise de contact, afin de diviser la densité de courant dans chaque bonding.

La figure III.9 présente donc ces deux variantes ainsi conçues via Virtuoso : la taille des composants est de $3mm$ par $3mm$, et la zone active fait environ $4mm^2$ (ce qui assure un courant Drain-Source efficace d’environ 0.5A). Les contacts de grille sont des quarts de cercles de rayon $300\mu m$ assurant une bonne facilité de prise de contact par bonding.

Une fois notre composant principal de puissance conçu, facilitant l’intégration monolithique de fonctions en son sein, nous pouvons concevoir nos fonctions à intégrer et les insérer dans cette base du composant de puissance vertical.

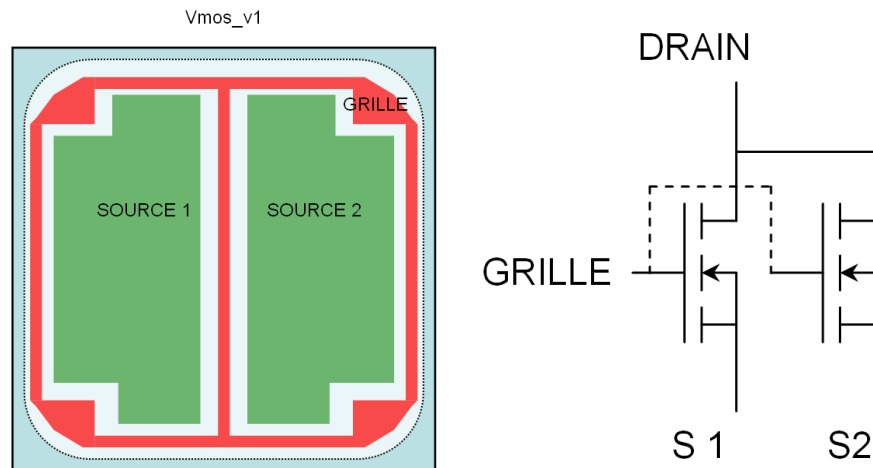


FIGURE III.7 – Vue qualitative d'un Mosfet vertical à amenée de grille centrale et périphérique (à gauche) et son modèle associé (à droite)

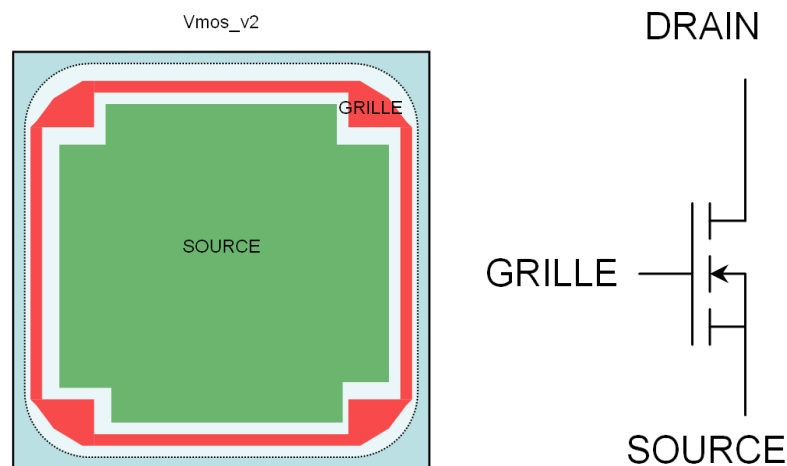


FIGURE III.8 – Vue qualitative d'un Mosfet vertical à amenée de grille périphérique (à gauche) et son modèle associé (à droite)

III.2.b Le circuit d'autoalimentation

III.2.b-i Dimensionnement et conception

Dans le premier chapitre de cette thèse, nous avons présenté et détaillé la fonction d'autoalimentation de la commande rapprochée, intégrée monolithiquement au sein de transistors de puissance verticaux de type VDMOS (rappel sur la figure III.10). Cette solution se base sur l'utilisation du transistor bipolaire vertical, structure parasite du transistor de puissance VDMOS, vertical et à technologie Planar. Dans le second chapitre, nous avons donné des pistes en vue de la modélisation des fonctions nécessaires à cette autoalimentation, telle que la modélisation statique et dynamique des jonctions PN, à profil de dopages uniformes et gaussiens, avec la prise en compte du phénomène d'avalanche.

Pour concevoir cette fonction d'autoalimentation au sein du transistor de puissance

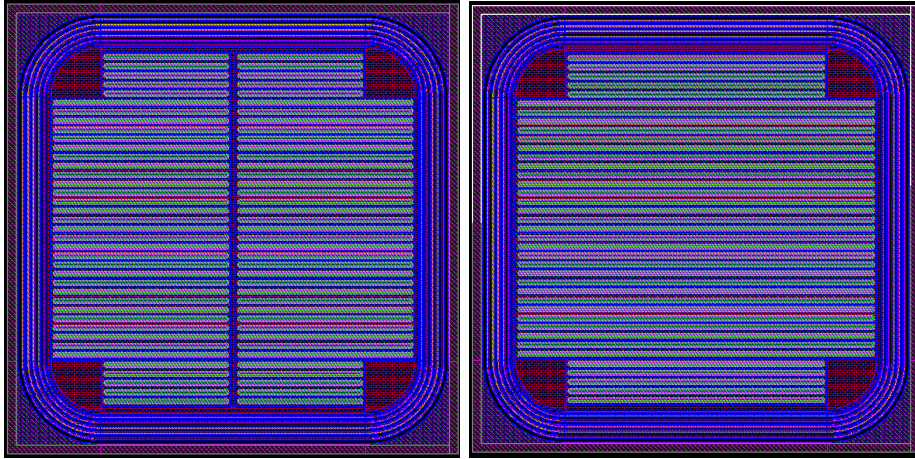


FIGURE III.9 – Vue d’ensemble des différents niveaux de masquages depuis Virtuoso : Mosfet vertical à amenée de grille centrale et périphérique (à gauche - identique à la figure III.7) et à amenée de grille périphérique (à droite - identique à la figure III.8)

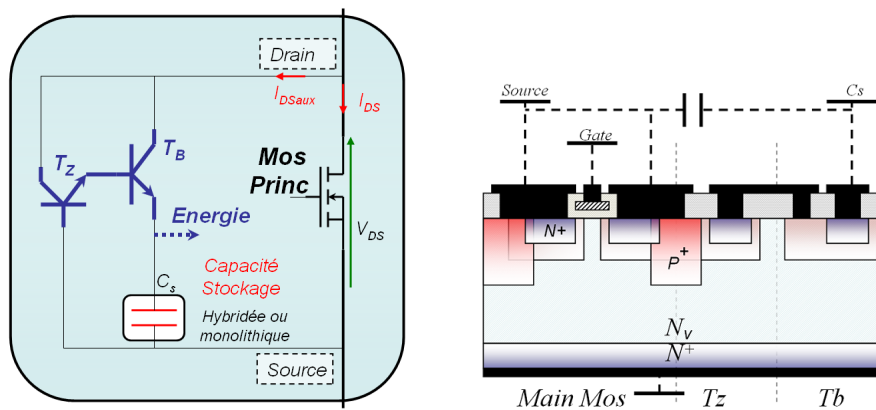


FIGURE III.10 – Rappel de la fonction autoalimentation intégrée monolithiquement au sein de VDMOS, à base de transistors bipolaires

décrit plus haut, il faut préciser quelques points particuliers à respecter :

- Le procédé de fabrication du composant total est strictement ajusté sur celui du transistor de puissance principal. Aucun niveau supplémentaire de masquage n’est à concevoir, ni aucune modification du diagramme de cheminement (profondeur des jonctions, énergie d’implantation, etc...),
- L’intégration monolithique de la fonction d’autoalimentation ne doit pas dégrader ni la tenue en tension, ni les autres caractéristiques statiques et dynamiques du composant principal de puissance,
- Le circuit d’autoalimentation doit assurer la création d’une alimentation flottante selon les caractéristiques présentées dans le premier chapitre : fonctionnement statique sans commutation (régulation linéaire statique lors de l’état OFF statique du composant principal) et fonctionnement sans pertes en régime de commutation (mode régulateur linéaire pulsé fonctionnant uniquement sous l’effet d’un $\frac{dV_{DS}}{dt}$ positif), ainsi que satisfaire le cahier des charges du circuit de commande rapprochée (niveau de

- tension d'alimentation, variation de la tension d'alimentation, puissance fournie, ...),
- La fonction intégrée doit avoir la même tenue en tension que le composant de puissance principal.

Nous avons établi une hiérarchie dans l'importance de ces spécifications pour la conception : au début de ce travail de thèse, nous avons considéré la contrainte du fonctionnement statique comme étant la plus importante (voir la partie I.4.e-iii du premier chapitre, *démarrage du convertisseur*). En effet, une des conditions nécessaires pour le bon fonctionnement de l'autoalimentation intégrée est de permettre le démarrage de la commande rapprochée, avant que le régime de découpage n'apparaisse sur le composant de puissance principal. En d'autres termes, il faut s'assurer de la bonne polarisation statique de la jonction Emetteur - Base (EB) du transistor T_Z par le courant de fuite statique de la jonction Collecteur - Base (CB) du transistor T_B . On voit donc ici tout l'intérêt de notre second chapitre qui visait à établir un modèle analytique fin des jonctions PN en inverse.

Selon les paramètres du procédé de puissance (voir table III.2), la jonction en surface Emetteur - Base du transistor vertical intégré part en avalanche pour une tension inverse comprise entre 16 et 18V : cette caractéristique inverse est rappelée sur la figure III.11. Cette tension, qui sert donc à la régulation de l'autoalimentation de la commande rapprochée, est totalement compatible avec les circuits classiques de commande rapprochée. Nous verrons néanmoins dans la partie suivante comment nous pouvons modifier ce niveau d'avalanche, tout en gardant le même diagramme de cheminement.

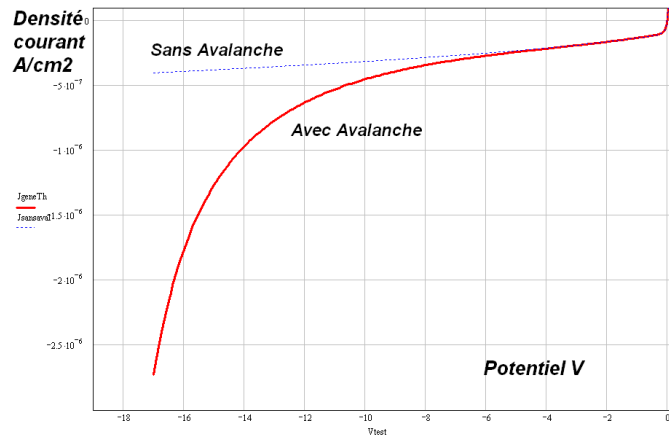


FIGURE III.11 – Caractéristique inverse de la jonction Emetteur - Base du transistor bipolaire vertical intégré : $J_{EB}(V_{EB})$

Étant donné que le composant de puissance principal doit tenir une tension V_{DS} de 600V afin de fonctionner correctement pour une tension de 400V (réseau domestique redressé), il nous faut donc associer le courant de fuite de la jonction CB du transistor T_B pour une tension de 400V, avec le courant nécessaire à créer l'avalanche dans la jonction EB du transistor T_Z . L'identité entre le courant de fuite $I_{CB-TB}(400V) = J_{CB-TB} \cdot S_{CB-TB}$ et le courant d'avalanche $I_{EB-TZ}(16V) = J_{EB-TZ}(16V) \cdot S_{EB-TZ}$ nous donne une première loi de dimensionnement entre ces deux jonctions (équation III.1).

$$\frac{S_{CB-TB}}{S_{EB-TZ}} = \frac{J_{EB-TZ}(16V)}{J_{CB-TB}(400V)} \quad (\text{III.1})$$

Évidemment, nous retrouvons dans cette simple équation III.1 tous les paramètres que nous avons soulignés dans le second chapitre de cette thèse : il est très difficile de donner avec beaucoup de précision les courants de fuites en fonction des paramètres géométriques et environnementaux (température principalement). Cependant, le fait qu'un courant de fuite soit utilisé pour polariser une autre jonction en inverse est un bon point car les modifications sur ces courants sont de même ordres si l'on tient compte de l'effet de la température. De plus, si l'on applique notre modélisation sur la jonction CB polarisée en inverse, nous pouvons alors en déduire un ordre de grandeur entre le rapport des surfaces des transistors T_B et T_Z .

La densité de courant inverse nécessaire au phénomène d'avalanche dans la jonction EB de T_Z est de l'ordre de $10^{-6} A/cm^2$. Pour la jonction CB du transistor T_B , la densité de courant inverse sous une polarisation de $400V$ est de l'ordre de $3 \cdot 10^{-7} A/cm^2$. Comme nous l'avons vu, ces courants de fuite sont essentiellement le fruit de la génération thermique en ZCE et donc très dépendants de la durée de vie des porteurs. Nous avons choisi une durée de vie 100 fois plus grande pour la jonction CB de T_B par rapport à la jonction EB de T_Z , étant donné la dépendance de la durée de vie avec le niveau de dopage (modèle SRH [53] [102]). Sous ces conditions, le rapport entre les surfaces des deux jonctions des deux transistors de l'autoalimentation est donnée par l'encadrement de l'équation III.2.

$$3 \leq \frac{S_{CB-TB}}{S_{EB-TZ}} \leq 20 \quad (\text{III.2})$$

Cet encadrement s'explique principalement par le doute que nous avons lors de la phase de conception sur la durée de vie équivalente des porteurs, en fonction des niveaux de dopages. Il aurait fallu fabriquer des échantillons de test, via le diagramme de cheminement choisi, et avoir un retour sur notre modélisation. Néanmoins, grâce à notre modèle fin de jonctions en inverse, nous avons ici un premier critère de dimensionnement sur les transistors de l'autoalimentation que allons concevoir. Nous avons cependant négligé la charge constante à apporter dans la base du transistor T_B (courant de base T_B), nécessaire à la polarisation en directe de la jonction Base - Emetteur de T_B et la régulation linéaire statique de la capacité de stockage C_S . La prise en compte de cette charge constante à apporter dans le fonctionnement statique de l'autoalimentation peut modifier le rapport des surfaces décrit dans l'équation III.2, par un surdimensionnement de la surface CB de T_B : ce surdimensionnement dépendra du niveau d'énergie consommée par le circuit de commande rapprochée et du gain du transistor bipolaire vertical T_B , et des dynamiques de réponse souhaitées au niveau de l'autoalimentation.

Afin d'obtenir maintenant la surface définitive de chacun des deux transistors nécessaires au circuit d'autoalimentation de la commande rapprochée, nous devons prendre en compte les différents phénomènes relatifs au fonctionnement dynamique de la structure

d'autoalimentation proposée. Cette étude a été conduite dans [94] en mêlant des résultats de simulations par éléments finis, ainsi que des modèles analytiques développés au second chapitre. Nous avons ainsi montré qu'il faut ajuster le rapport entre les capacités de transitions C_{BC} et C_{BE} du transistor T_B , afin de garantir le bon fonctionnement du circuit d'autoalimentation : la mise en route dynamique du transistor T_B par un $\frac{dV_{DS}}{dt}$ fixé, la création de l'avalanche dans le transistor T_Z , la régulation de la capacité C_S pendant toute la durée du $\frac{dV_{DS}}{dt}$, et enfin, le blocage du transistor T_B ainsi que sa bonne tenue en tension. La figure III.12 présente des résultats de simulations numériques par éléments finis validant chacun de ces points, avec des transistors bipolaires verticaux issus du procédé de fabrication du VDMOS : un $\frac{dV_{DS}}{dt}$ de 400V en 100ns a été retenu (commutation rapide d'un VDMOS de faible courant), avec une capacité C_S initialement déchargée.

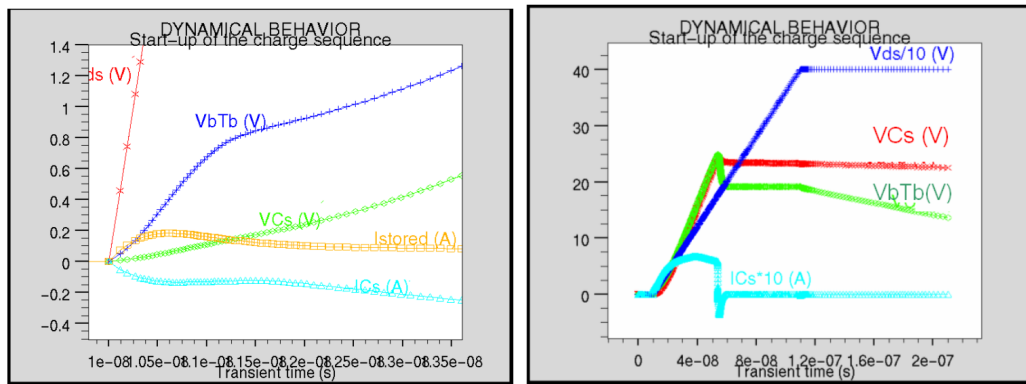


FIGURE III.12 – Considérations dynamiques en vue du dimensionnement de la surface de T_B [94]

Une fois les paramètres de surface fixés (par exemple à partir de l'équation III.2), il reste à concevoir les différentes côtes masques de chacun des transistors verticaux nécessaires à la fonction intégrée d'autoalimentation :

- Création d'un transistor de puissance vertical élémentaire paramétré (*pCell* pour *parametrized Cell*),
- Étirements et multiplications de la cellule élémentaire en vue de créer la surface nécessaire au composant,
- Gestion des amenées de courants et plots de contacts,
- Conception du joint de fonction et intégration dans le composant de puissance principal VDMOS.

Nous allons donc tout d'abord détailler la conception de la cellule élémentaire : cette cellule élémentaire est partiellement basée sur celle conçue dans la thèse précédente [7]. La figure III.13 représente quelques grandeurs importantes de cette cellule, en détaillant les masques des dopants (sur la gauche) et la vue complète de tous les masques depuis Cadence (sur la droite). Quelques remarques sur cette cellule élémentaire : les dimensions sont calculées de façon à obtenir le meilleur blocage possible des bipolaires verticaux, et donc par une interdigitation forte des contacts d'émetteurs. En conséquence, les dimensions des zones de Base sont fixés en fonction de la résolution du procédé de fabrication ($1\mu m$ de

tolérance d'alignement environ). On pourrait jouer ultérieurement sur la surface des zones de Base, afin de modifier les rapports de surface au sein d'un transistor bipolaire, entre la jonction CB et la jonction EB. Les extrémités des caissons d'émetteur sont arrondies, afin de limiter les effets bidimensionnels : l'implantation N^+ est simplement suivie d'un recuit d'activation, mais ne fait pas l'objet d'une diffusion complète, qui permettrait une meilleure répartition des dopants et rendrait alors ces extrémités arrondies inutiles.

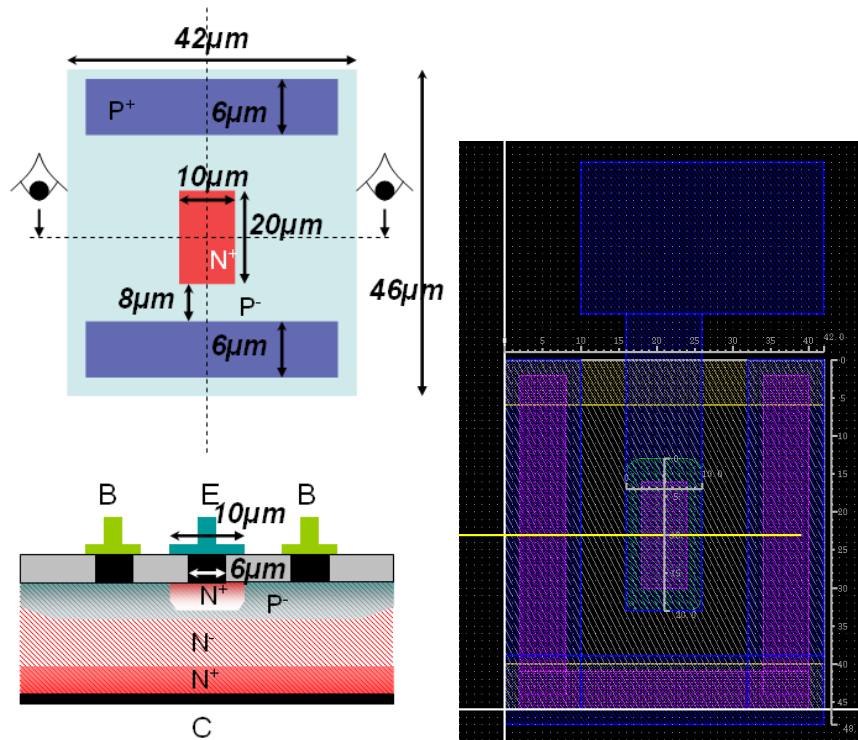


FIGURE III.13 – Conception de la cellule élémentaire des transistors verticaux : à gauche vision qualitative et à droite côtes masques depuis Cadence

Les amenées de Base se font par le niveau de métallisation qui vient contacter la région de semiconducteur par l'intermédiaire d'un bon contact ohmique via la zone P^+ (les deux zones de $6\mu m$ sur le haut et le bas de la cellule élémentaire de la figure III.13 - gauche), mais aussi par le contact de la zone P^- qui est relativement bien dopée et donc cette prise de contact reste ohmique (dopage en surface $5e16\text{ cm}^{-3}$). Cette prise de contact latérale permet de bien évacuer les charges stockées dans la base, en limitant la résistance d'amenée du contact de base. Ceci autorise une bonne immunité du transistor bipolaire à sa mise en route parasite, et donc assure des bonnes conditions de blocages. En vue de l'ajustement de la longueur des doigts, nous avons créé un axe d'extrusion, utilisable via le menu pCell du schéma Cadence de la cellule élémentaire (*layout* associé). Nous voyons bien que si ce paramètre de longueur est important, il est alors vital d'assurer un bon contact des régions de base, afin de s'assurer du bon blocage des transistors bipolaires, en limitant les résistances de base.

Nous pouvons donc maintenant concevoir chacun des transistors nécessaires à la fonc-

tion d'autoalimentation de la commande rapprochée intégrée monolithiquement, à partir de cette cellule élémentaire. La figure III.14 présente quelques unes des fonctions nécessaires au passage de la cellule élémentaire de la figure III.13 à un composant complet. Il faut concevoir des plots de contacts permettant la pause de bonding (largeur d'environ $150\mu\text{m}$ afin de permettre une bonne pause de fils de bonding et une bonne gestion des amenées de courant).

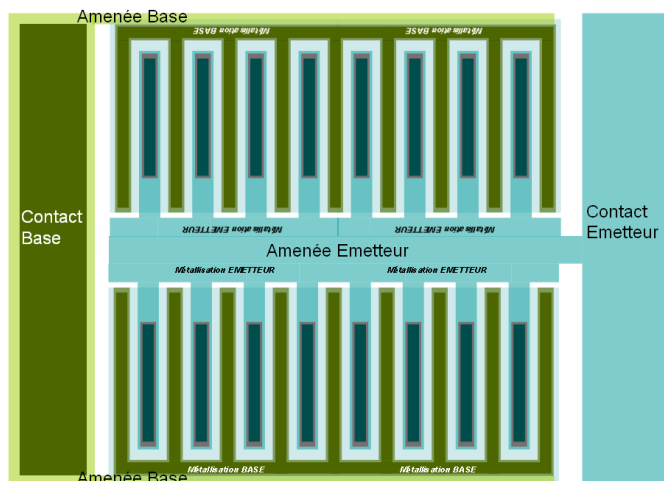


FIGURE III.14 – Conception d'un transistor de puissance bipolaire vertical, à partir de la cellule élémentaire de la figure III.13 et selon les résultats de [7]

Plusieurs versions de transistors de puissances bipolaires ont donc été conçues, en vue de valider la fonction d'autoalimentation intégrée. La première version est un seul transistor bipolaire de puissance au sein d'une périphérie en tension spécifique, qui nous servira à caractériser le procédé de fabrication et le dimensionnement des transistors de puissance bipolaires de l'autoalimentation (figures III.15 et III.16).

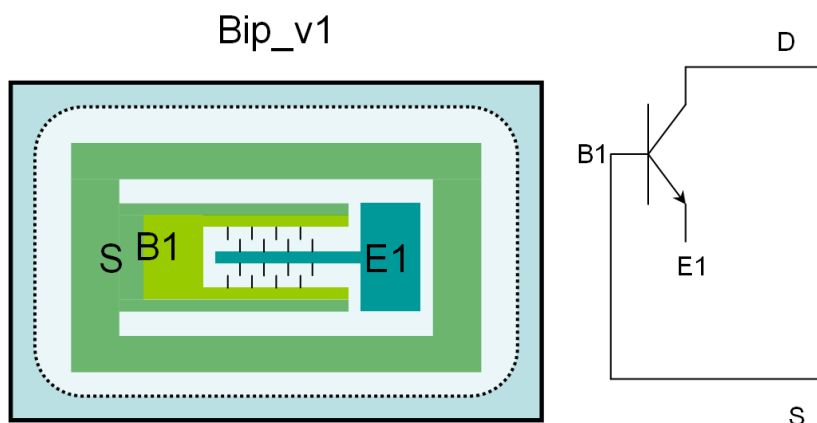


FIGURE III.15 – Vue qualitative d'un Bipolaire vertical seul à l'intérieur d'une périphérie en tension (à gauche) et son modèle associé (à droite)

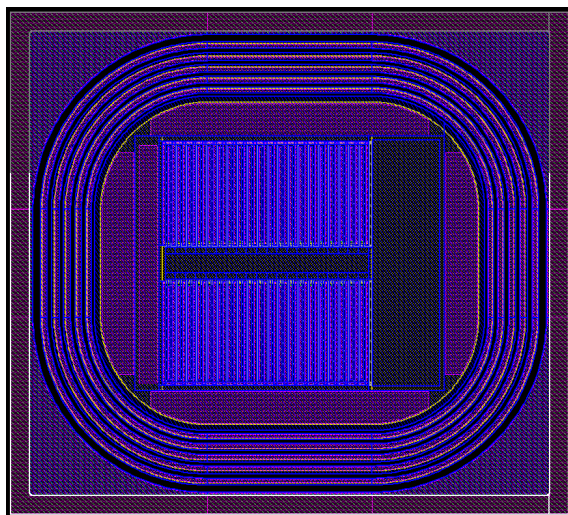


FIGURE III.16 – Vue d'ensemble du Bipolaire vertical seul à l'intérieur d'une périphérie en tension depuis Cadence

Cette version de transistor bipolaire comporte 40 cellules élémentaires (une rangée supérieure et inférieure chacune de 20 cellules) avec chacune une longueur d'extrusion de $300\mu\text{m}$ pour une longueur de doigt d'émetteur d'environ $320\mu\text{m}$.

Ensuite, nous avons conçu la fonction complète d'autoalimentation, avec les deux transistors bipolaires T_Z et T_B : il suffit de partir de la cellule élémentaire du transistor bipolaire de la figure III.13, ainsi que de la conception du transistor bipolaire complet des figures III.14 et III.15 pour réaliser la structure Darlington complète. Néanmoins, un soin particulier doit être apporté pour le joint de fonctions entre la fonction intégrée et le composant de puissance principal.

En effet, la base du transistor T_B est à un potentiel de l'ordre de celui de l'émetteur de T_Z dans les phases de mise en route du circuit d'autoalimentation, soit une tension d'environ 16 à 18V. Dans ces conditions, il est important de concevoir un dispositif intégré permettant d'assurer la bonne tenue en tension du composant total : nous avons utilisé tout le travail qui avait été effectué par R. Mitova dans la thèse précédente [75] sur l'association de deux transistors de puissance, ayant des caissons de Sources (Base) à des potentiels différents (on regardera plus particulièrement le second chapitre de [75] ainsi que [76]). Pour cela, nous avons associé les deux transistors selon la disposition Darlington en prenant soin de créer une électrode de champ au potentiel le plus bas du dispositif (Base du transistor T_Z soit la Source du composant principal). Une vision qualitative est présentée sur la figure III.17.

Quelques détails sur l'association des deux transistors bipolaires de la fonction d'autoalimentation sont présentés sur la figure III.18 : la conception d'une électrode de champ périphérique au composant intégré permet de faciliter la tenue en tension des composants intégrés, en limitant les niveaux du champ électrique radial dans les zones intercellulaires, entre des régions de Sources à des niveaux de potentiels différents. Les travaux de [75]

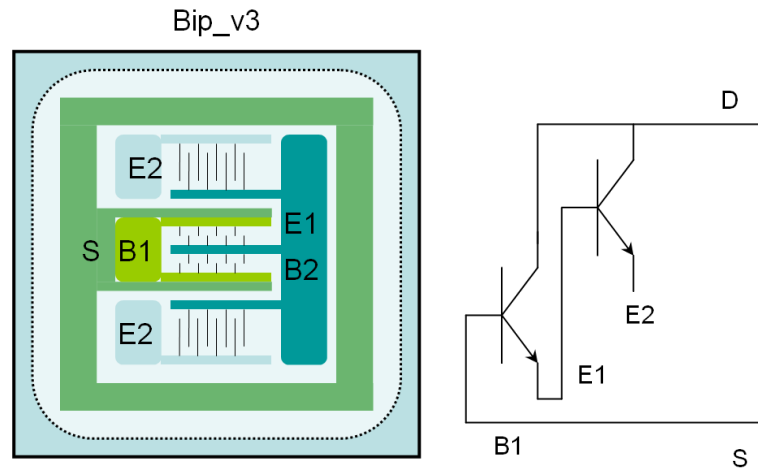


FIGURE III.17 – Vue qualitative d'un Darlington vertical seul à l'intérieur d'une périphérie en tension (à gauche) et son modèle associé (à droite)

montraient qu'une distance après diffusion des deux régions de Sources de $10\mu m$ est suffisante pour limiter le champ radial à des valeurs faibles (environ $50kV/cm$) et ainsi éviter un amorçage parasite du Transistor à Jonction Bipolaire latéral parasite. Une distance d'une quinzaine de microns entre l'aluminium de l'électrode de champ et celui de la base du transistor T_B est à respecter, afin d'assurer une bonne tenue en tension en surface et à l'extérieur de la puce (à moins d'une passivation en surface).

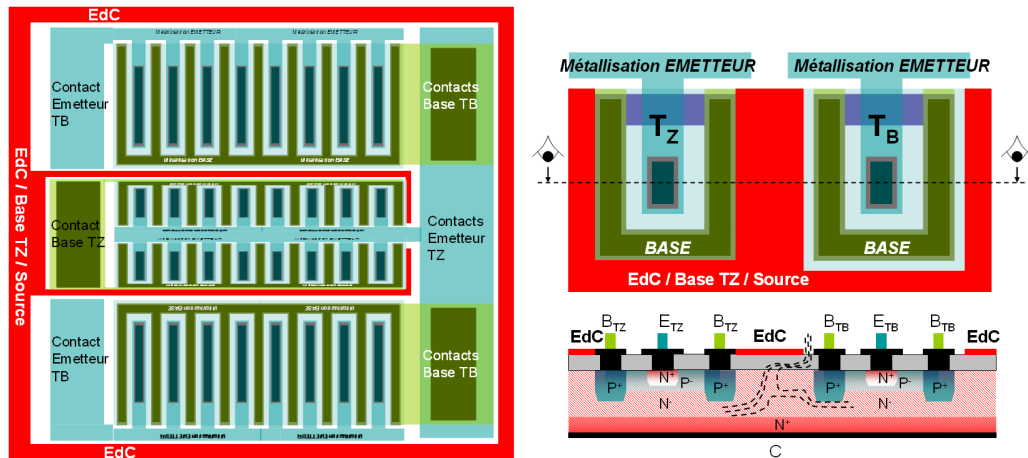


FIGURE III.18 – Vue qualitative d'un Darlington vertical seul, diffusions non prises en compte (côtes masques) : Vue de dessus complète (à gauche) et détails sur l'électrode de champ de Source avec équipotentielles en pointillés (à droite)

Différentes variantes ont été conçues à partir des remarques qui viennent d'être formulées (voir la figure III.19) :

- Deux rapports de surfaces différents, avec 40 répétitions pour chaque transistor : T_B avec une longueur d'extrusion de $300\mu m$ et T_Z de $50\mu m$ (rapport $\frac{S_{CB-TB}}{S_{EB-TZ}}$ de l'équation III.1 égal à 16), ou bien $250\mu m$ pour T_B et $100\mu m$ pour T_Z (rapport de

- surface de 7),
- Intégration ou non dans le composant de puissance VDMOS, afin de valider d’une part la fonction d’autoalimentation par fabrication suite au procédé du VDMOS, puis les interactions monolithiques,
 - Connexion ou non des deux transistors bipolaires : la base de T_B est reliée ou non à l’émetteur de T_Z ,
 - Extrémités des caissons de contact de base carrés ou arrondis, afin d’améliorer ou non la tenue en tension de la fonction intégrée.

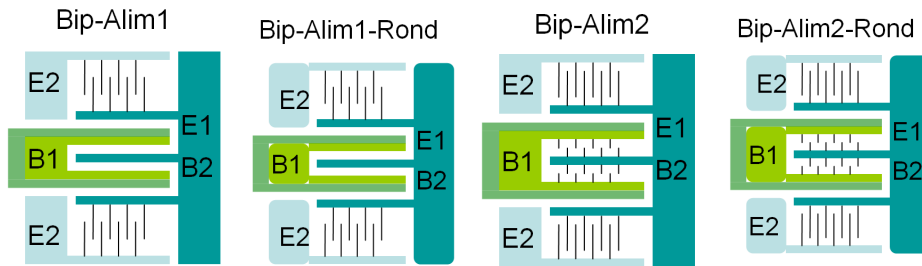


FIGURE III.19 – Quatre variantes sur le circuit de la figure III.18 : extrémités arrondies ou carrées, deux valeurs de rapport de surfaces

La figure III.20 présente deux de ces variantes depuis Cadence. Nous avons conçu une variante où les deux transistors T_B et T_Z étaient déconnectés, afin de pouvoir par la suite obtenir de nombreux rapports de surfaces, ainsi que valeurs absolues de surface : les deux transistors T_B et T_Z peuvent ainsi prendre des surfaces plus nombreuses, par une connexion externe différente entre deux puces.

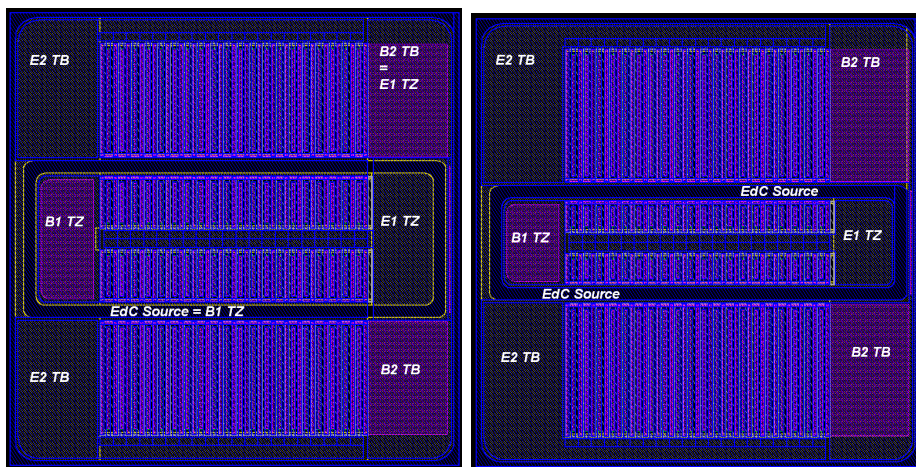


FIGURE III.20 – Présentation de deux variantes depuis Cadence : à gauche connexion Darlington, avec rapport des surfaces (C-B T_B et B-E T_Z) de 16, à droite pas de connexion entre T_B et T_Z , électrode de champ assurant la bonne tenue en tension des deux transistors, et rapport de surface de 7

L’intégration monolithique de la fonction d’autoalimentation est donc maintenant fa-

ilité : le composant Darlington à intégrer est entouré d'une électrode de métallisation de Source, et il suffit de réserver une surface à l'intérieur du composant principal (voir figure III.6), et venir contacter l'électrode de champ de la fonction d'autoalimentation avec le composant de puissance complet. Un exemple de la fonction d'autoalimentation intégrée au sein du transistor de puissance principal est présenté sur la figure III.21. Un récapitulatif de toutes les variantes conçues sera présenté plus loin dans ce chapitre, ainsi qu'en annexe de ce mémoire de thèse.

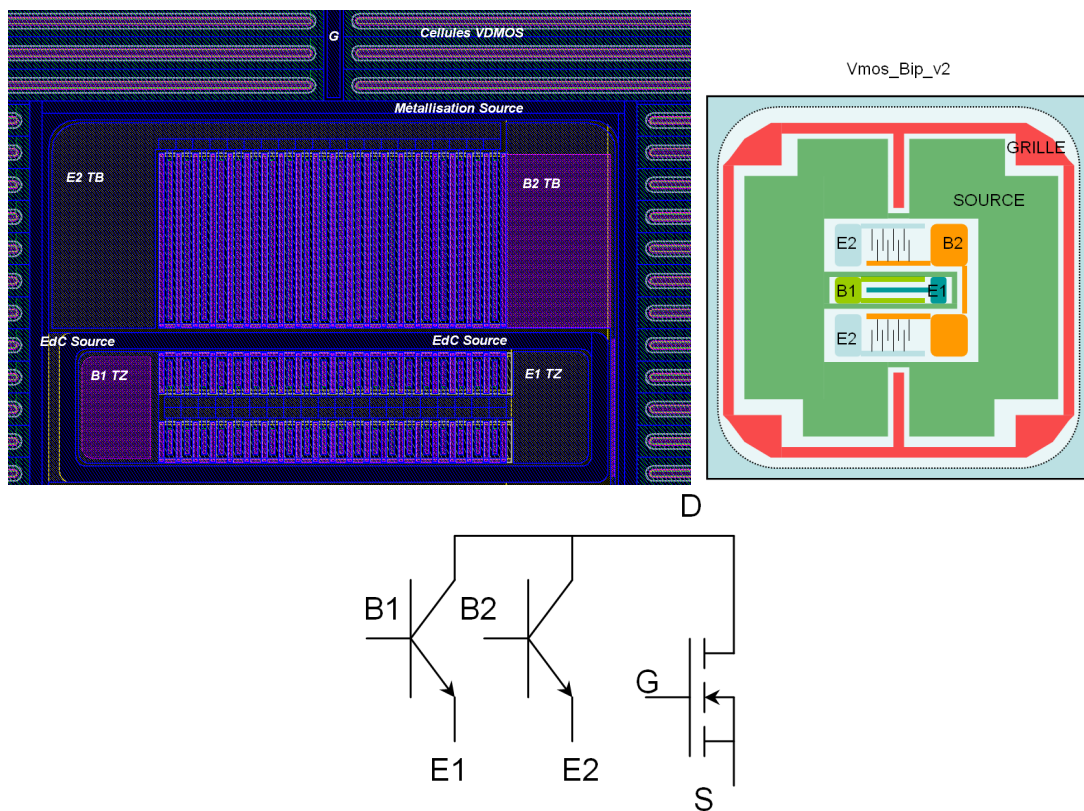


FIGURE III.21 – Détail de l'intégration monolithique de la fonction d'autoalimentation au sein d'un VDMOS : zoom sur l'intégration (en haut), vue qualitative et schéma associé (en bas)

Nous venons de présenter en détails tous les paramètres nécessaires à la conception de la fonction d'autoalimentation et son intégration monolithique au sein de transistors de puissance de type VDMOS. Nous allons voir ci-après quelques modifications supplémentaires permettant de modifier la tension *régulée* par notre circuit d'autoalimentation (tension d'avalanche Emetteur-Base de T_Z), en utilisant des effets bidimensionnels.

III.2.b-ii Modification du niveau d'avalanche par effets bidimensionnels

Avec le modèle unidimensionnel qui a été développé dans le second chapitre, nous avons montré que la tenue en tension d'une jonction PN dépendait seulement des profil de dopages dans la jonction et de la température. Avec un procédé de fabrication fixé et

basé sur les compromis classiques de fabrication des transistors de puissance verticaux à grilles isolées tels que les VDMOS, nous ne disposons donc plus du degré de liberté que sont les profils de dopages, afin de modifier le niveau de l'avalanche de la jonction Emetteur - Base du transistor T_Z (à moins de rajouter une étape technologique supplémentaire).

Il est relativement difficile de prendre en compte les effets bidimensionnels dans une modélisation fine, d'autant plus que des jonctions circulaires en surface, avec diffusion en profondeur, conduisent à des problèmes tridimensionnels à fortes symétries. Nous avons donc voulu tester les possibilités d'effets bidimensionnels, dans le but de diminuer la tension d'avalanche de la jonction Emetteur-Base de T_Z , afin de fournir aux concepteurs du cricuit d'autoalimentation un degré de liberté supplémentaire, sans changer le procédé de fabrication du transistor de puissance principal.

Le principe de cette conception est présenté sur la figure III.22 : en diminuant le rayon de courbure des motifs délimitant les régions N^+ , nous obtenons une modification des caractéristiques de la jonction Emetteur - Base, avec une augmentation du champ électrique sous polarisation inverse. D'autres variantes ont aussi été réalisées, en utilisant des cellules carrées de très petites tailles, favorisant ainsi l'avalanche dans les extrémités des cellules élémentaires. Dans l'article [63] nous trouvons les expressions de la modification de la tension d'avalanche par effet de courbure (principalement dans la partie 3.1.2 *Courbures de jonction*).

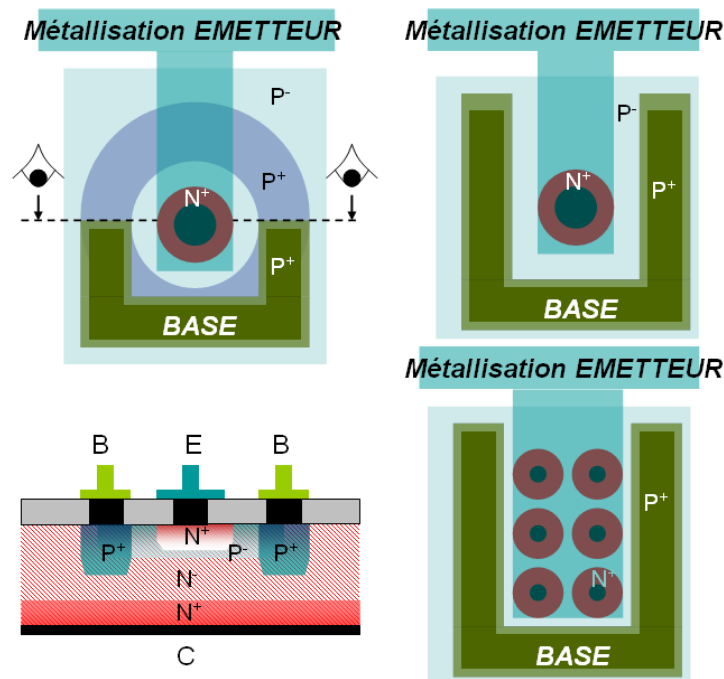


FIGURE III.22 – Quelques cellules élémentaires sphériques possibles, permettant de diminuer le rayon de courbure des dopages et donc la tenue en tension

Différentes variantes ont donc été dessinées, afin de quantifier l'impact des phénomènes

bi- et tri- dimensionnels dans le phénomène d'avalanche, et permettre ainsi au concepteur d'ajuster le niveau souhaité sur la tension fournie à la commande rapprochée, par notre système d'autoalimentation intégrée (voir la figure III.23).

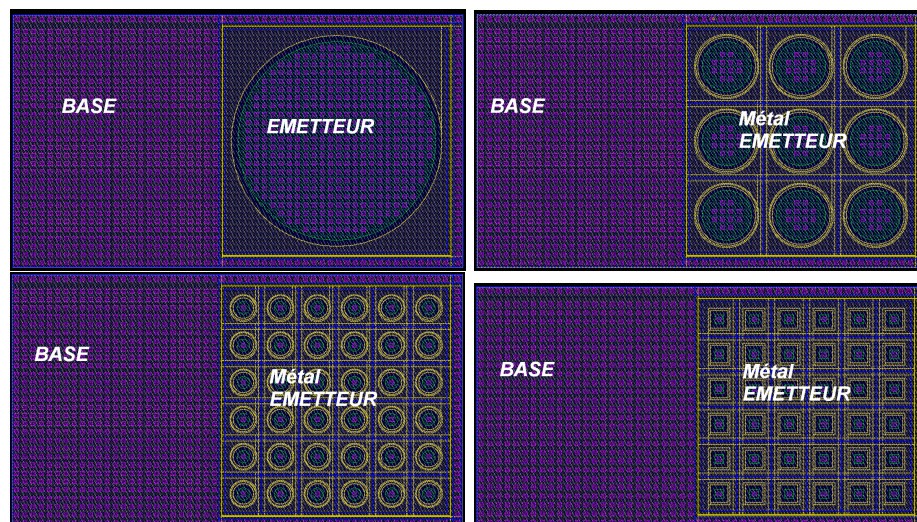


FIGURE III.23 – Quelques variantes conçues sous Cadence, afin d'étudier les phénomènes d'avalanche 3D

Une fois ces possibilités de modifications caractérisées, nous pourrons alors par la suite concevoir une forme différente pour le transistor T_Z , basée sur l'interdigitation entre les contacts d'émetteur et de base, avec des cellules sphériques (voir la figure III.24). Néanmoins, ces transistors T_Z sphériques, avec une surface suffisante n'ont pas été retenus car nous avons voulu attendre d'avoir un premier retour d'expérience sur ces possibilités de modifications (voir la partie de ce chapitre sur la caractérisation).

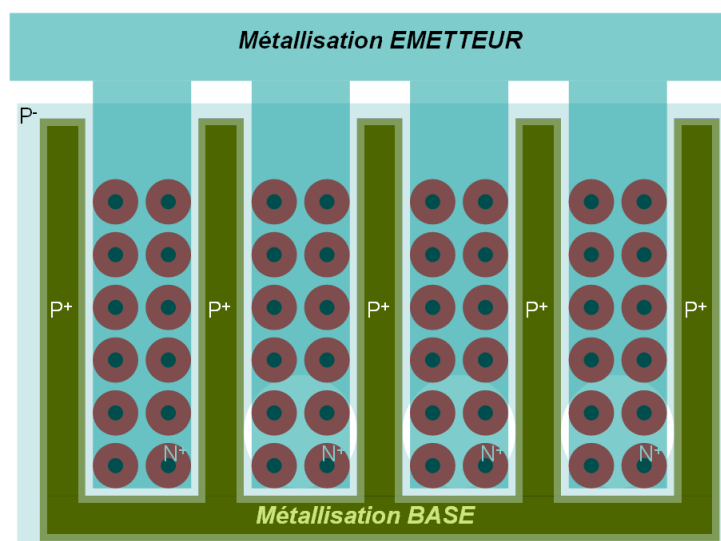


FIGURE III.24 – Modification du transistor T_Z , avec cellules à tension d'avalanche réduite

Un aperçu complet ayant été fait sur le dimensionnement et la conception de la fonction d'autoalimentation intégrée pour la commande rapprochée, nous allons maintenant effectuer la même démarche pour la fonction d'isolation galvanique, avec l'intégration monolithique d'un récepteur optique permettant le transfert du signal de commande du transistor principal.

III.2.c Dimensionnement et conception du récepteur optique intégré

III.2.c-i Premières pistes de dimensionnement : comportement statique du récepteur optique intégré

Dans les deux premiers chapitres de ce mémoire de thèse, nous avons présenté les intérêts et la méthode de modélisation afin de concevoir un récepteur optique de bonne qualité, intégré monolithiquement au sein d'un transistor de puissance de type VDMOS. La modélisation du second chapitre nous a permis d'avoir une première information sur les performances attendues d'un tel récepteur optique utilisant le procédé de fabrication du transistor de puissance principal :

- Afin d'obtenir le rendement quantique le meilleur possible, la longueur d'onde du signal transmi doit être de l'ordre de $600nm$. Dans ces conditions, le rendement quantique théorique pour une incidence normale est proche de 40%,
- La polarisation statique à $400V$ de la face arrière dégrade d'environ 8% le rendement du récepteur optique,
- Les performances dynamiques restent à valider en pratique, de même que l'influence sur la réflexion en surface de la couche d'isolant ou d'autres couches déposées à la surface du récepteur,
- La surface du récepteur reste à concevoir totalement, prenant en compte toute la chaîne de transmission (méthode de transmission, distance entre l'émetteur et le récepteur, etc...)

La structure retenue pour le récepteur optique intégré est rappelée sur la figure III.25 : la jonction réceptrice est la jonction Emetteur - Base du transistor T_{Sense} polarisée en inverse, via une résistance de polarisation R_{Bias} reliée à l'alimentation de bord issue du circuit d'autoalimentation de la commande rapprochée décrit plus haut dans ce chapitre. Nous avons choisi dans un premier temps de déconnecter complètement le récepteur optique du circuit d'autoalimentation et de sa résistance de polarisation, car nous ne disposons pas encore d'une validation pratique des possibilités du récepteur optique intégré.

Sauf exceptions, les versions conçues du récepteur optique intégré comportent donc seulement le transistor T_{Sense} , déconnecté du circuit de commande. Seule l'électrode de Base sera reliée au potentiel de référence du transistor de puissance (sa Source), et l'électrode d'Emetteur (Cathode) sera accessible via un bonding supplémentaire. Néanmoins, quelques variantes seront conçues, où l'électrode d'Emetteur du récepteur optique pilotera un circuit intégré de commande basé sur les travaux en parallèle de [39].

Pour concevoir la vue de dessus du composant, nous avons ici aussi décrit les spécifications des différentes zones fonctionnelles du composant à concevoir :

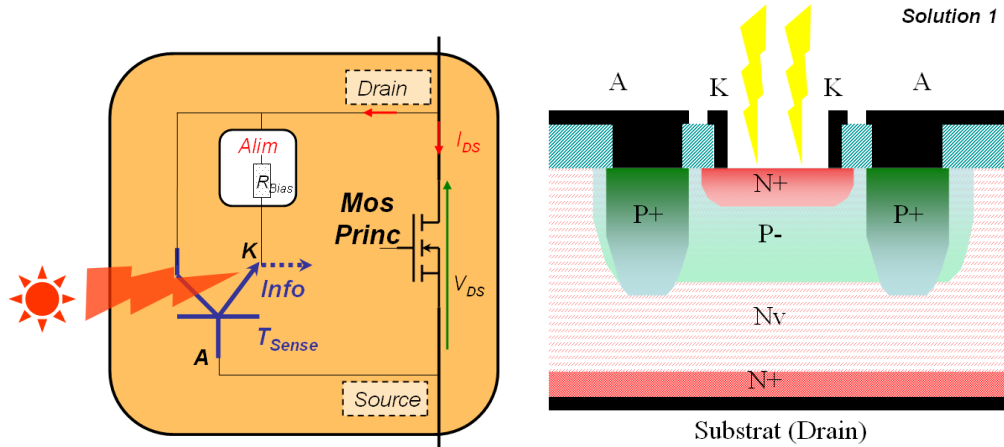


FIGURE III.25 – Rappel de la structure retenue pour le récepteur intégré

- Une région de Cathode (K) sensible à l'information électromagnétique,
- Deux zones de prises de contact pour l'Anode (A) et la Cathode (K) adaptées à la technologie de contact par fils de bonding,
- Les amenées de courants faisant le lien avec une distance minimale entre les zones de prises de contact et les zones actives des jonctions.

Suite à ces spécifications, une première vue qualitative du récepteur optique à intégrer est représentée sur la figure III.26 : les deux zones permettant la pose d'un fil de bonding doivent mesurer environ $150\mu\text{m} \cdot 220\mu\text{m}$ afin de faciliter par la suite la pose de bonding et la mise en boîtier des composants. Il reste à dimensionner la surface de la zone sensible, ainsi qu'apporter un soin particulier aux zones d'amenées de courants, permettant de limiter les résistances d'amenées sur la région d'Anode (A - Base du transistor vertical complet T_{Sense}), afin de limiter l'augmentation du potentiel électrique le long des amenées de courants.

Suite aux travaux de modélisation effectués dans le second chapitre, nous pouvons donner la caractéristique statique du récepteur optique intégré, sous réserve de vérification des mêmes hypothèses (figure III.27) : il nous suffit donc de trouver une règle de dimensionnement pour la surface du récepteur intégré, en fonction de la longueur d'onde, du diagramme d'émission et de l'intensité de la source du signal transmis, du niveau de la tension fournie pour le circuit d'autoalimentation, de la résistance de polarisation ainsi que du circuit électronique aval de traitement de l'information.

Ce système complexe global peut se résumer à un système d'équations présenté dans le système III.3 : P_{opt} représente la puissance optique de l'émetteur, I l'intensité lumineuse, S la surface du récepteur optique, J la densité de courant du récepteur optique tel que rappelé dans la figure III.27, ΔV la tension aux bornes du récepteur lorsque l'information lumineuse est reçue, V_{Alim} la tension du réseau de bord d'alimentation tel que défini dans la figure III.25 et le premier chapitre, R_{Bias} la résistance de polarisation, C_{Tsurf} la capacité surfacique du récepteur optique et $f_{InfoOptique}$ la fréquence du signal transmis par voie optique.

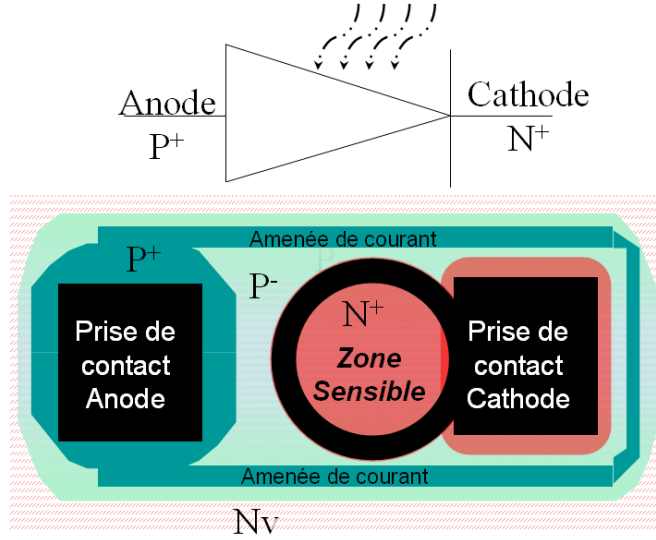


FIGURE III.26 – Symbole et vue de dessus du récepteur optique intégré

$$\left\{ \begin{array}{l} P_{opt} \propto I \cdot S \\ J(\Delta V, I, \lambda) \cdot S \approx -\frac{V_{Alim}}{R_{Bias}} \\ \frac{1}{2\pi \cdot R_{Bias} \cdot C_{Tsurf}(\Delta V)} > 10 \cdot f_{InfoOptique} \\ -1 \leq \Delta V \leq 0 \text{ et } R_{Bias} < 1M\Omega \end{array} \right. \quad (III.3)$$

Les conditions présentées dans le système d'équations III.3 viennent des considérations statiques mais aussi dynamiques : la minimisation de la tension aux bornes du récepteur optique ΔV permet de limiter les pertes électriques dans le récepteur, de même que l'on va chercher à diminuer la puissance optique P_{opt} émise et fixer le niveau d'intensité lumineuse le plus faible possible de façon à minimiser la puissance électrique nécessaire à la chaîne complète de transmission. Cependant, la résistance R_{Bias} doit rester de faible valeur, afin de pouvoir être intégrée, par la suite, au dispositif monolithique, et limiter aussi son bruit additionnel. De plus, le courant inverse $\frac{V_{Alim}}{R_{Bias}}$ doit rester faible afin de limiter les pertes électriques dans la résistance R_{Bias} lorsqu'une information lumineuse est transmise. Enfin, la fréquence de coupure du récepteur optique doit être plus élevée que la fréquence du signal optique transmis, afin de garantir, là aussi, un bon rendement de réception. Les fonctions J et C_{Tsurf} sont données par notre modélisation du second chapitre.

On voit donc que l'ensemble des paramètres à prendre en compte est conséquent et il est relativement difficile de prendre en considération toutes ces contraintes étant donné qu'il s'agit ici d'un premier travail d'intégration monolithique *bas coût* d'un récepteur optique au sein de transistor de puissance de type VDMOS. Les compromis à effectuer sur les valeurs de S , R_{Bias} et P_{opt} sont importants et nous avons décidé de nous affranchir des contraintes sur la résistance R_{Bias} et la puissance optique P_{opt} : la résistance R_{Bias} reste externe au composant pour le moment, et la source optique sera variable. Nous ferons par

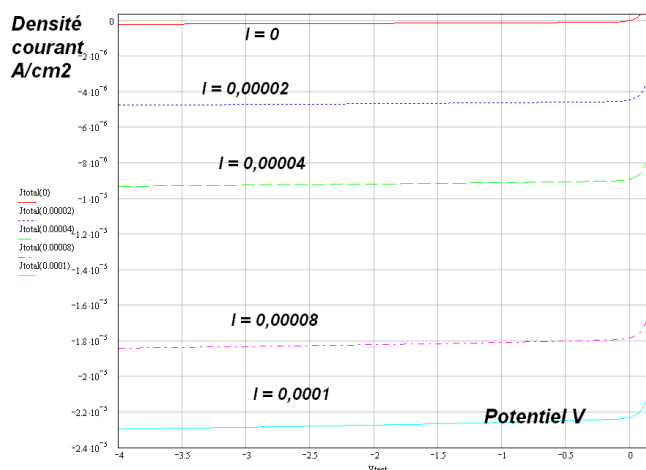


FIGURE III.27 – Rappel des résultats de modélisation effectués : densité de courant totale en fonction de l'éclairement pour $\lambda = 600nm$

la suite un retour d'expérience sur la résolution du système III.3, une fois un émetteur fixé et un cahier des charges précis de l'information à transmettre et des possibilités sur circuit de traitement aval.

Pour fixer notre paramètre de surface S du récepteur optique, nous avons considéré les contraintes de réalisation technologique et de transmission d'information optique : l'information à transmettre par voie optique est de fréquence relativement faible (inférieure à $100kHz$) et la transmission se fait sur des distances courtes (normalement à l'échelle d'une carte électronique, soit moins d'un mètre). Dans ces conditions, les bandes passantes de l'émetteur optique et du transmetteur ne sont pas des paramètres critiques à prendre en compte, a-contrario des transmissions pour les techniques de l'information et de la communication par exemple (à condition de garantir toutefois des fronts montants et descendants de l'information optique de bonnes qualités). En conséquence, la forte atténuation des fibres optiques pour des longueurs d'ondes inférieures à $900nm$ n'est donc pas un frein majeur à leur utilisation dans la transmission optique, de même que la dispersion intermodale issue des fibres optiques multimodes [44].

Nous avons donc choisi d'utiliser des fibres optiques bon marché afin de transmettre l'information optique, et les paramètres dimensionnant la surface S du récepteur optique sont donc l'ouverture numérique de la fibre ON (*numerical aperture*), le diamètre du cœur de la fibre optique, ainsi que la distance normale séparant le bout de la fibre optique et la zone sensible du récepteur optique (voir la figure III.28).

Le rayon du récepteur $r_{Recepteur}$ peut ainsi être exprimé en fonction du rayon du cœur de la fibre r_{Coeur} , de la distance entre l'extrémité de la fibre et le récepteur $Dist$, et l'ouverture numérique de la fibre ON . On obtient ainsi la relation III.4 qui complète le système complet III.3 et permet le dimensionnement de la chaîne optique.

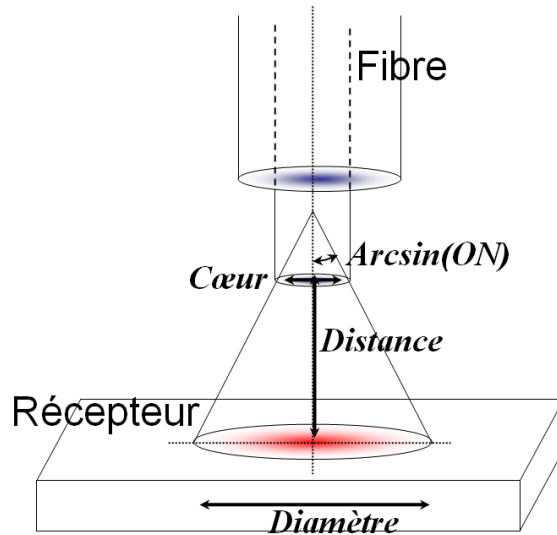


FIGURE III.28 – Prise en compte des propriétés de la fibre optique transmettant l’onde électromagnétique, pour le dimensionnement de la surface du récepteur optique

$$r_{\text{Recepteur}} = r_{\text{Cœur}} + \text{Dist} \cdot \tan(\text{Arcsin}(\text{ON})) \quad (\text{III.4})$$

Nous avons choisi de considérer l’utilisation de fibres optiques les moins chères et les plus répandues, c’est à dire des fibres multimodes $62.5\mu\text{m} \cdot 125\mu\text{m}$. L’ensemble des propriétés et des critères de choix des fibres optiques, ainsi que leurs modes de fabrication et d’utilisation peuvent se trouver dans [44] et dans [40]. Le rayon du cœur de telles fibres est de $31.25\mu\text{m}$ et nous avons fixé dans un premier temps une distance de $100\mu\text{m}$ entre l’extrémité de la fibre et le semiconducteur. Dans ces conditions, le rayon du récepteur optique doit être de $50\mu\text{m}$ pour une fibre ayant une ouverture numérique de 0.22, selon l’équation III.4. Ce type de fibre est largement répandue, de même que les composants associés (émetteurs, connectique, etc...).

Pour les récepteurs optiques utilisés dans les systèmes de télécommunications, il est d’usage de prendre en compte la connectique associée à la chaîne de transmission optique : afin de réduire la surface du récepteur optique (diminution de la taille de la puce et de la capacité de jonction donc augmentation de la bande passante), une lentille plus ou moins évoluée peut être insérée dans le boîtier du récepteur optique permettant de focaliser le flux de photons sur une surface réduite. On s’assure ainsi que l’ensemble du flux émis illumine la zone sensible du récepteur, mais aussi que la réflexion en surface est minimale en ajustant par exemple un faisceau parallèle en sortie de la fibre [40]. Dans notre cas, nous n’avons considéré aucun élément d’amélioration du flux optique, ce qui aura tendance à diminuer le rendement total de notre chaîne de transmission, mais garantit un procédé de fabrication inchangé. Si les résultats sont encourageants, des travaux futurs pourraient permettre une amélioration du système en prenant en compte les aspects importants d’une mise en boîtier améliorée.

Nous avons alors choisi de concevoir une zone sensible pour nos récepteurs de $50\mu m$ de rayon, avec une variante ayant une surface dix fois plus faible soit un rayon de $15\mu m$ qui pourrait être adaptée à un flux optique plus concentré (issu par exemple d'une fibre monomode ayant un diamètre de cœur de $9\mu m$). Le récepteur optique de base qui a donc été conçu est représenté sur la figure III.29, la vue en profondeur étant sur la partie droite de la figure III.25.

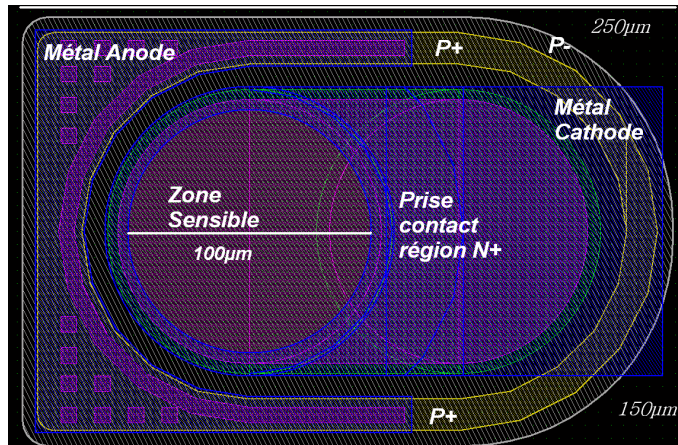


FIGURE III.29 – Conception sous Cadence du récepteur optique de base : diamètre $100\mu m$ avec drains de charge périphériques P^+ et forme oblongue permettant la prise de contact d'Anode sans modification de la zone sensible circulaire

Ce composant serait adapté à l'intégration du système global, en reliant le métal d'Anode à la Source du transistor principal, et celui de Cathode serait relié au circuit amont de traitement. Étant donné que nous n'avons pas voulu concevoir la chaîne complète de traitement du signal issu du récepteur optique, nous avons voulu pouvoir fixer de façon externe les potentiels d'Anode et de Cathode du récepteur optique intégré. Il a donc fallu modifier la version de la figure III.29 en intégrant des plots de contacts et gérant les amenées de courants (drain de charges de faible résistivité) selon la figure III.26. La structure ainsi modifiée est donc représentée sur la figure III.30.

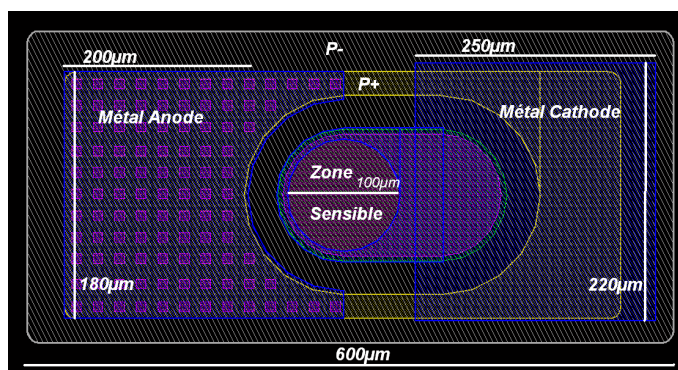


FIGURE III.30 – Modification du récepteur de la figure III.29 en vue de la prise de contact par bonding

A partir de cette base, nous avons alors conçu différentes variantes afin d'étudier l'influence de plusieurs paramètres. Les premiers paramètres que nous avons voulu quantifier sont l'influence de chacune des couches superficielles qui peuvent être issues du procédé de fabrication, sur la réflexion optique en surface du composant. Quatre groupes de variantes ont donc été conçus afin de déterminer le comportement du LTO et de l'aluminium sur l'absorption et la réflexion optique. Une présentation qualitative de ces variantes est présentée sur la figure III.31.

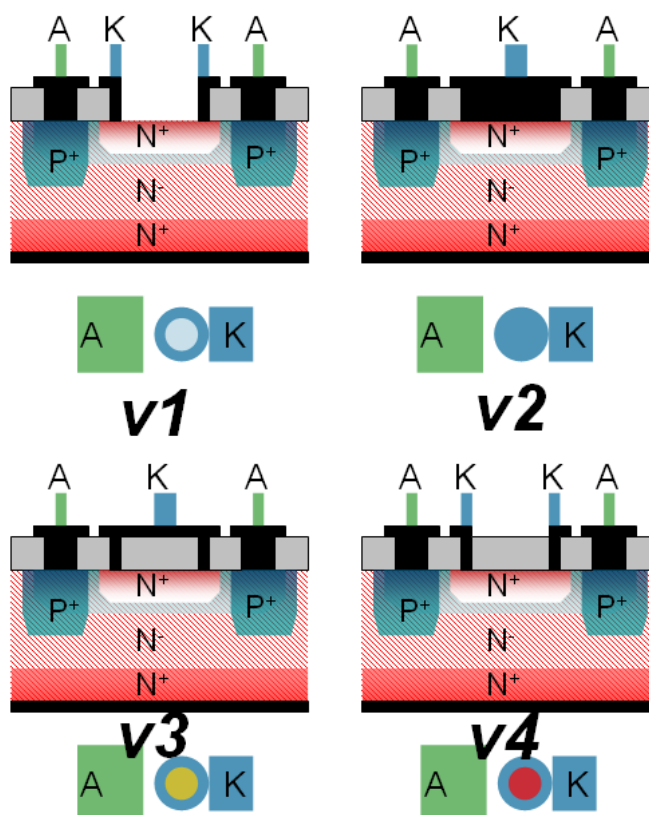


FIGURE III.31 – Vue qualitative de quelques variantes afin de quantifier l'impact des différentes couches issues du procédé de puissance sur la réflexion optique en surface

D'autres variantes ont été conçues, en intégrant un anneau supplémentaire d'Anode (dopage N^+ contacté), concentrique avec le capteur principal. Ce capteur secondaire servira à tester si le rayonnement influence des zones annexes, tandis qu'un transistor NMOS latéral, issu des travaux de [39] servira à tester les possibilités de connection entre les contacts de Cathode et les futurs circuits intégrés monolithiquement traitant l'information issue du capteur. La figure III.32 présente une de ces variantes, où l'anneau supplémentaire du capteur secondaire est présent, de même qu'un transistor NMOS de faible calibre en courant.

Enfin, nous avons aussi modifié le récepteur intégré de base de la figure III.30 en prenant en compte des critères dynamiques et plus particulièrement sur l'influence de la polarisation

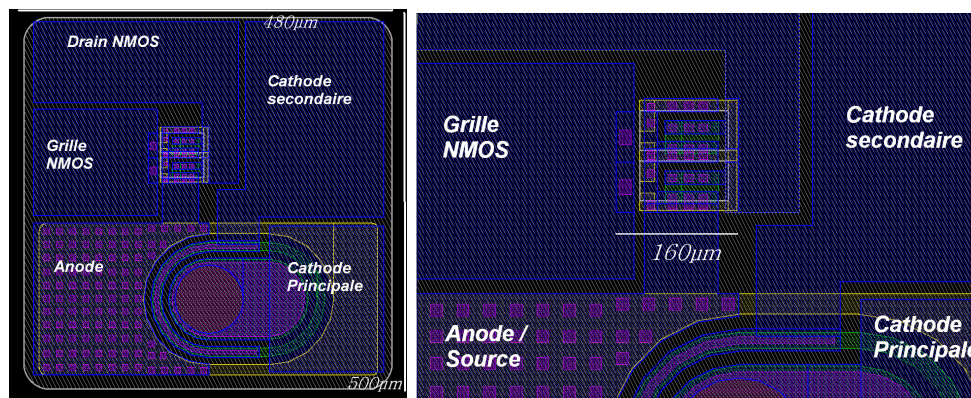


FIGURE III.32 – Variante avec un capteur secondaire, et un transistor latéral NMOS non connecté. Le niveau POLY n'est pas représenté

de la face arrière haute tension. La partie suivante présente ces modifications.

III.2.c-ii Critères supplémentaires de dimensionnement : considérations dynamiques du récepteur optique intégré

Suite au premier chapitre, nous avons vu que la structure du récepteur intégré ne pouvait être autrement que la jonction Emetteur - Base du transistor bipolaire vertical parasite, issue du procédé de fabrication des transistors de puissances de type VDMOS planar. De plus, la jonction en surface à utiliser en tant que récepteur optique doit être la jonction $N^+ - P^-$ afin d'avoir une tenue en tension adaptée au circuit d'autoalimentation de la commande rapprochée. Dans ce cas, le caisson P^- est connecté au potentiel de référence du transistor de puissance (sa Source), par l'intermédiaire de dopages de fortes valeurs P^+ permettant un bon contact ohmique. Cependant, comme il est présenté dans la figure III.33 et au vu de la taille importante de la région d'anode N^+ ($100\mu m$ de diamètre), il peut apparaître un point critique où la valeur du potentiel électrique peut être suffisante pour mettre en route le transistor vertical bipolaire, et donc faire disparaître l'isolation par la jonction Collecteur - Base. Dans une moindre mesure, la variation de potentiel aux bornes de la jonction pourrait entraîner une perturbation dans la valeur du courant inverse de la jonction E-B du récepteur optique intégré.

Principalement sous l'effet des $\frac{dV_{DS}}{dt}$ importants, il apparaît un courant capacitif de jonction qui peut faire s'accroître le potentiel électrique au point critique et donc amorcer le transistor bipolaire vertical : ceci peut d'autant plus être le cas que la surface du récepteur est importante (et donc la capacité de transition Collecteur - Base), et que la région de Base est issue d'une diffusion d'une implantation à faible concentration en surface. La résistivité de la zone située sous le centre de la zone sensible peut être forte et il faut donc concevoir des modifications du récepteur optique intégré afin de drainer le mieux possible les charges issues des phénomènes capacitifs.

Pour ces raisons, le centre du récepteur optique a été modifié par l'insertion de caissons de Base (Anode reliée au potentiel le plus bas du dispositif monolithique soit la Source).

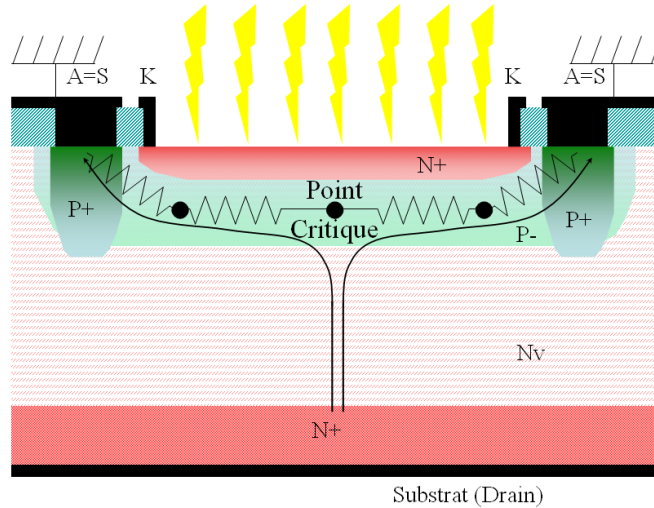


FIGURE III.33 – Vue en coupe du récepteur intégré : problème de l’élévation du potentiel du caisson P^- d’Anode

Plusieurs versions ont ici aussi été imaginées, afin d’améliorer le comportement dynamique du récepteur optique intégré au sein de VDMOS. La figure III.34 présente le principe d’ajout de ces drains de charges, ainsi que leur mise en œuvre en remplacement des zones centrales des récepteurs optiques présentés précédemment.

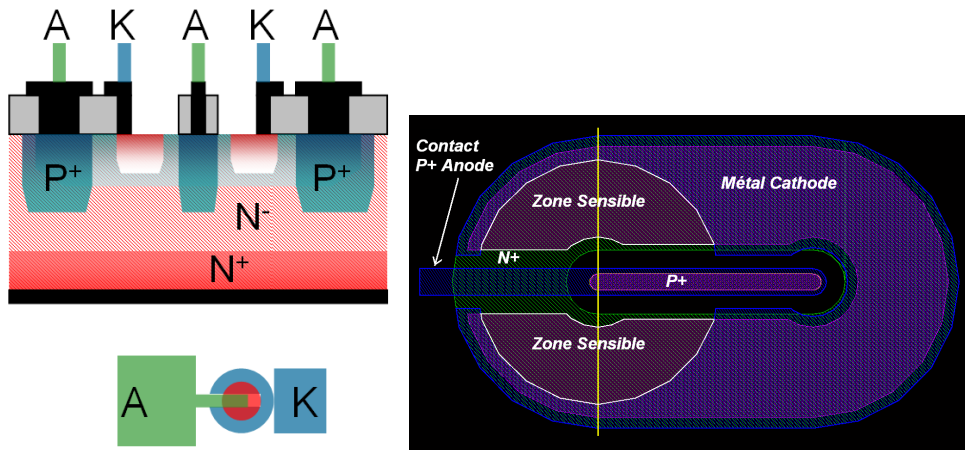


FIGURE III.34 – Ajout d’un drain central de charges statiques et dynamiques : limitation de la résistance présentée dans la figure III.33 par ajout d’un drain de charges P^+ central. La zone centrale du récepteur optique est présentée sur la droite en remplacement de la zone centrale du dispositif de base de la figure III.30

D’autres variantes de drains de charges peuvent être conçues, afin de diminuer les résistances d’accès des régions d’Anode situées en profondeur sous celles de Cathode. La figure III.35 présente deux variantes supplémentaires de drain de charge P^+ , de formes oblongues ou de forme circulaire. Afin de dimensionner quantitativement ces drains de charges, il aurait fallu utiliser les résultats de notre modélisation à la jonction Collecteur - Base in-

tégrée, et plus particulièrement en se focalisant sur un modèle 2D à constantes réparties. Une telle étude aurait permis de quantifier numériquement l'impact des $\frac{dV_{DS}}{dt}$ sur le niveau du potentiel électrique aux points critiques. Par manque de temps principalement, nous n'avons pu mettre en œuvre une étude de ce type. Néanmoins, nous avons voulu vérifier de façon pratique l'influence des drains de charge sur l'isolation du récepteur optique vis à vis du composant de puissance VDMOS. Cette étude fait l'objet actuellement du travail de Projet de Fin d' Étude de Ralitsa Hristova au laboratoire G2eLab.

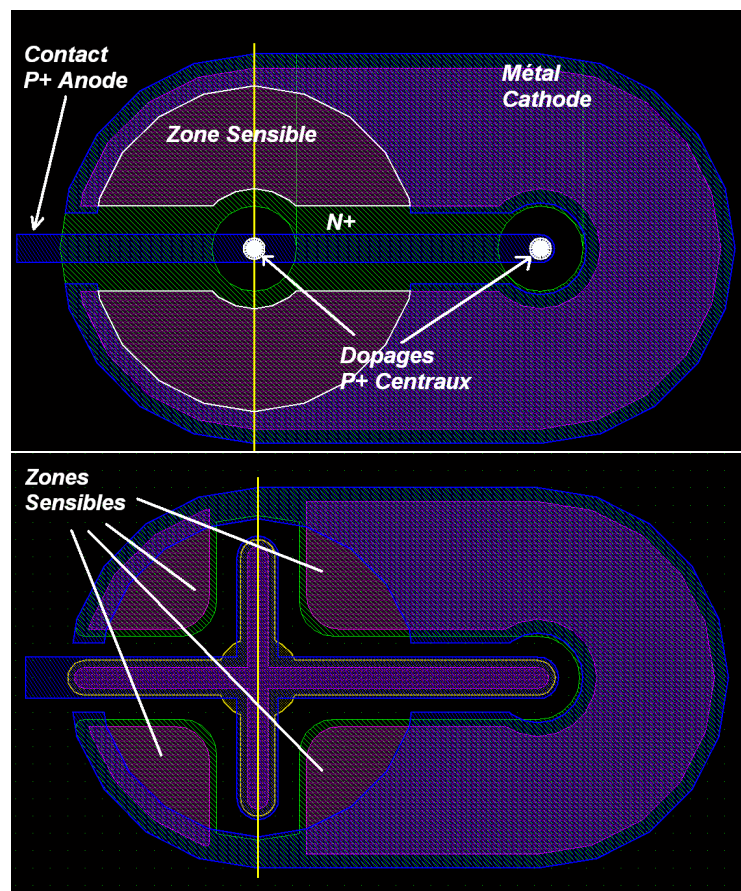


FIGURE III.35 – Variante circulaire (en haut) et oblongue 2D (en bas) de la figure III.34

Ces variantes ont été intégrées dans le composant de puissance complet VDMOS (voir la figure III.36), et une variante a été mise seule au sein d'une périphérie en tension complète (voir la figure III.37).

La totalité des variantes présentées a été disposée sur les masques réalisés dans cette thèse : soit pour du test sous pointe hors d'une périphérie en tension, soit dans une périphérie spécifique, soit au sein des transistors de puissance VDMOS. La partie suivante présente la méthode qui a été utilisée pour réaliser le Wafer complet et fabriquer donc par la suite les composants conçus.

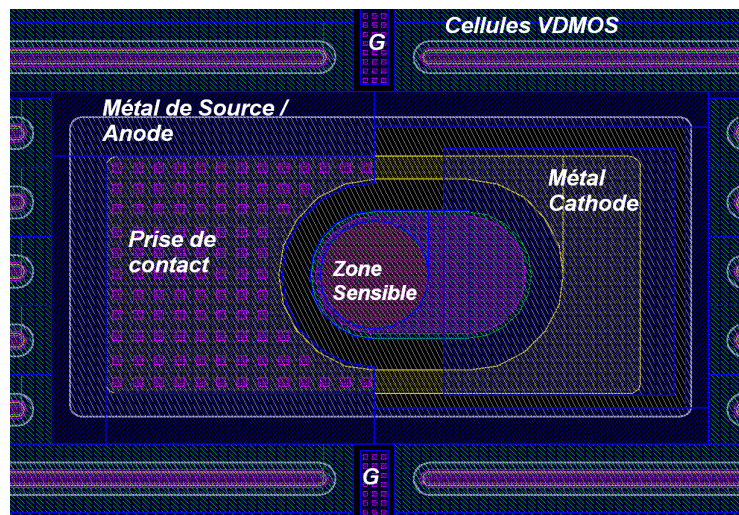


FIGURE III.36 – Intégration du récepteur optique au sein d’un transistor de puissance VDMOS

III.3 Réalisation de transistors VDDMOS à commande rapprochée autoalimentée et isolation optique

III.3.a Détails sur la réalisation des masques

La conception des variantes qui vient d’être présentée depuis le début de ce chapitre a été entamée en Octobre 2006. Après une première version finalisée de quelques uns de ces composants en Janvier 2007, nous avons entrepris de concevoir un jeu de masques complet et dédié uniquement aux trois thèses du groupe d’intégration monolithique du laboratoire [108] [39] et cette présente thèse. Ce travail collaboratif, nécessaire à la réalisation d’un jeu de masque complet en un temps réduit, a été mené de Janvier 2007 à Mai 2007. Nous avons réparti les tâches entre les différents protagonistes qui allaient bénéficier de la réalisation de composants de puissance.

La répartition des tâches fût la suivante :

- Loïc Vincent [108] a pris en charge la conception des périphéries en tension, la cellule élémentaire VDMOS, la définition paramétrique des fonctions nécessaires au composant de puissance (contact de grille périphérique) et la récupération des éléments de tests de la réalisation précédente [75] et [7]. Il a aussi mis en place un outil de vérification automatique des règles de dessins *DRC* qui a limité les erreurs de conception,
- Binh Dac Nguyen [39] a pour sa part conçu les composants relatifs à ses travaux de thèse sur l’intégration monolithique de l’étage d’amplification en courant de la commande rapprochée. Nous avons utilisé une de ses variantes de composant NMOS latéral, comme il a été présenté plus haut.
- Pour ma part, outre la conception de chacune des variantes présentées, la tâche à effectuer fût de rassembler les motifs de chacun des intervenants, de créer les masques du Wafer complet et de vérifier la cohérence de l’ensemble.

Ce travail collaboratif fût particulièrement intéressant de part les échanges que nous

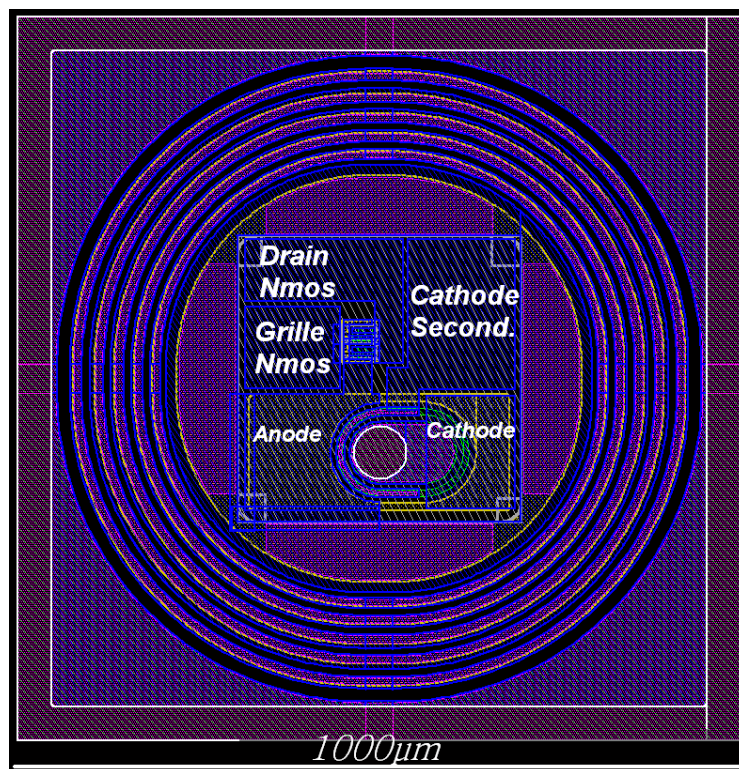


FIGURE III.37 – Récepteur optique seul, au sein d’une périphérie en tension spécifique

avons eus, favorisant l’entraide et le partage de compétences. A ce titre, je voudrais remercier ici une fois de plus Loïc Vincent et Binh Nguyen pour cette collaboration, ainsi que Jean-Christophe Crebier pour avoir proposé ces travaux et créer ainsi une synergie.

Pour fabriquer les différents masques permettant de réaliser des Wafers entiers, il a fallu définir un type d’agencement des fonctions sur le Wafer : il existe deux méthodes qui sont la duplication d’un réticule élémentaire regroupant l’ensemble des variantes à fabriquer, ou bien le regroupement des variantes identiques sur une même zone du Wafer (méthode utilisée dans la précédente réalisation [75] et [7]). Les intérêts d’utiliser un réticule comportant tous les motifs sont les suivants :

- Chaque motif se retrouve sur différentes zones du Wafer complet et nous sommes sûrs d’obtenir au moins une variante fonctionnelle malgré un aléa de fabrication sur une zone fixe du Wafer,
- La conception du Wafer se résume à la conception du réticule puis sa duplication, ce qui simplifie la réalisation du Wafer,
- Cependant il est beaucoup plus difficile de retrouver une variante précise sur le Wafer, au contraire d’une conception par regroupement de variantes.

Nous avons fixé une surface de chaque emplacement dans le réticule à l’image de la taille du composant de puissance conçu, soit $3mm \cdot 3mm$. La taille du réticule retenue est de 7 emplacements par 7 emplacements soit 49 emplacements. La figure III.38 représente une vue stylisée du réticule comportant les variantes présentées dans ce chapitre. Plus de

détails sont proposés en annexe de ce mémoire. Le Wafer réalisé est un Wafer 4 pouces soit 10cm de diamètre, en conséquence nous avons 14 répétitions de ce réticule sur une tranche complète. Sur les 49 emplacements du réticule, 11 ont été utilisés pour regrouper toutes les variantes hors d'un composant de puissance et donc sans périphéries en tension, afin de valider les fonctions par du test sous pointe basse tension. La figure III.39 présente une vue complète du Wafer, avec la duplication du réticule de la figure III.38.



FIGURE III.38 – Vue stylisée du réticule réalisé : les variantes incluses de cette thèse sont représentées et seuls les noms des variantes des autres collaborateurs sont présents

Il est alors primordial d'établir un plan détaillé du réticule, ainsi que du Wafer complet, afin de pouvoir retrouver simplement où se trouvent les variantes conçues. Une fois l'ensemble du Wafer conçu, nous avons pu faire réaliser nos jeux de huit masques par l'intermédiaire de la société Toppan, en bénéficiant du support des projets H2T-Tech et ANR Mobidic liant le laboratoire et ses partenaires universitaires sur des projets ambitieux. Grâce à ce jeu de masques, la fabrication des composants a pu être menée dans la salle blanche du Centre Interuniversitaire de MicroElectronique - Nanotech à Grenoble.

III.3.b Bilan de la réalisation technologique

Huit tranches ont été engagées dans la réalisation technologique du Wafer conçu : la fabrication a été entamée en Juin / Juillet 2007 pour prendre fin vers Octobre / Novembre 2007. Sur ces huit tranches, seules trois tranches complètes ont pu être poussées jusqu'à l'étape GALU (voir tableau III.1), correspondant à la phase de lithographie suivant le dépôt d'aluminium. Cette dernière étape a été particulièrement difficile à conduire, des suites de plusieurs aléas dans le procédé de fabrication mais principalement par un dépôt d'aluminium trop important. Au final, une seule tranche finalisée est aujourd'hui sortie de

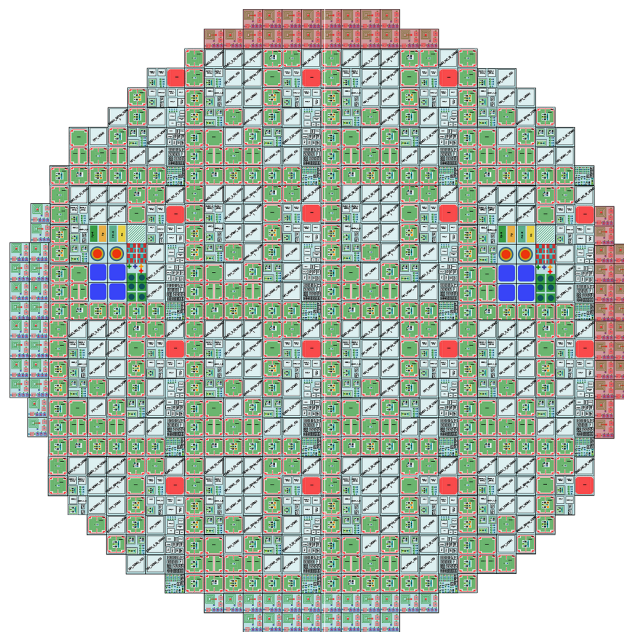


FIGURE III.39 – Vue stylisée du réticule Wafer complet

la salle blanche à cause d'un problème de gravure d'Aluminium : nous n'avons pu accéder à un bâtît de gravure d'Alumine de type *RIE* (gravure sèche ionique réactive par plasma) et avons dû utiliser un procédé de gravure humide. Cette modification dans le déroulement de la réalisation des tranches a permis d'avoir des composants disponibles sous un délai raisonnable, mais a entraîné un changement de réalisation qui n'était pas prévu dans la conception des différents niveaux de masquages, et donc dans les contraintes entre chacun des niveaux (principalement entre OCON et GALU, soit entre l'oxyde LTO et le dépôt d'Aluminium).

Suite à cet incident et cette modification, la seule tranche qui ait été réalisée entièrement fût endommagée par une surgravure de l'Aluminium trop importante, à cause de la gravure latérale excessive par gravure humide. La thèse récente de Binh Nguyen, collaborateur de cette réalisation, a subi de plein fouet ce problème de réalisation technologique [39], preuve en est qu'il n'est pas si facile de maîtriser à 100% tous les paramètres de réalisation des transistors de puissance (les paramètres humains, de disponibilité de salles, de déménagement de salle blanche et remise en route des bâtîtis, de modification de réalisation technologique, etc.). Tous les transistors de puissance de type VDMOS se sont ainsi révélés inutilisables, par la présence d'un court-circuit entre la Grille et la Source (voir la figure III.40), créant un pont diviseur résistif sur la commande de grille de l'ordre de la centaine, limitant ainsi grandement les possibilités de commande de tels transistors.

En l'occurrence, sur les 49 emplacements du réticule 38 se sont révélés inutilisables, étant constitués de VDMOS ainsi modifiés. Sur les 11 emplacements valides car indépendants de transistors de puissance VDMOS, 7 étaient réservés à une bonne partie des motifs conçus dans cette thèse : les variantes de transistors bipolaires verticaux seuls et Darlington seuls n'ont pas été affectés par les problèmes de surgravure, car nous avons pris des tolérances

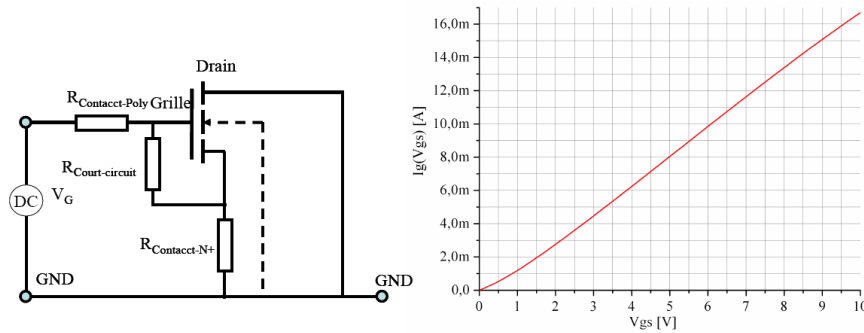


FIGURE III.40 – Identification d'un court-circuit entre Grille et Source des transistors verticaux VDMOS suite au problème de surgravure [39]

moins strictes lors de la conception. Le cas est similaire avec les composants optiques qui n'ont pas été conçus à l'intérieur des composants VDMOS.

En résumé, 51 composants par réticule n'ont pas été affecté par ce problème de réalisation : 10 au sein d'une périphérie en tension spécifique pour du test 600V et 41 pour du test sous pointe basse tension. Au total environ 714 composants sur la totalité du Wafer sont potentiellement utilisables malgré le problème de réalisation technologique (qualifiés par la suite de *potentiellement sains*). On peut retrouver les variantes saines sur le réticule de la figure III.38 comme étant toutes celles hors du transistor de puissance VDMOS remplissant un emplacement $3mm \cdot 3mm$ entier.

Par conséquent, un premier rendement de 22% peut être calculé entre le nombre d'emplacements du réticule potentiellement sains (non concernés par l'aléa de fabrication) et la totalité des emplacements. Ensuite, chaque composant doit être caractérisé de façon statique dans un premier temps, afin de réaliser une cartographie de la tranche réalisée et dégager ainsi les variantes qui semblent fonctionnelles et celles éliminées dès le test de caractérisation statique. Suite à cette étape, le rendement entre les composants fonctionnels et les composants potentiellement sains oscille entre 30% et 60% selon le réticule et le type de motif. La figure III.41 présente une image de la tranche finalisée en phase de caractérisation statique.

Nous allons donc présenter maintenant les résultats de caractérisation des variantes fonctionnelles, pour les composants nécessaires à l'autoalimentation de la commande rapprochée, et pour le récepteur optique intégré. Néanmoins, aucune variante intégrée au sein de transistor de puissance VDMOS n'est fonctionnelle, comme il vient d'être présenté, mais au moins une variante pour chaque circuit a été intégrée au sein d'une périphérie en tension spécifique, permettant alors de retranscrire des contraintes de $\frac{dV_{DS}}{dt}$ identiques.

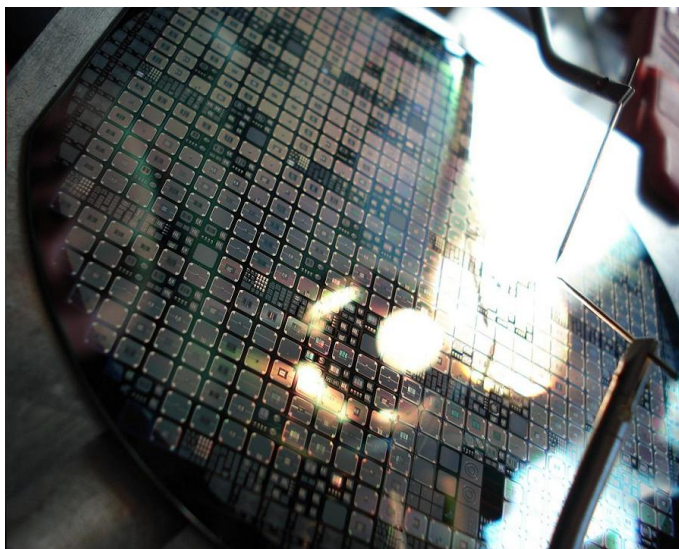


FIGURE III.41 – Photographie de la tranche réalisée, en phase de caractérisation

III.4 Caractérisation du circuit d'autoalimentation de la commande rapprochée

III.4.a Caractéristiques statiques des fonctions nécessaires à l'autoalimentation

III.4.a-i Caractérisation de l'avalanche et du transistor bipolaire vertical

Pour cette partie, nous avons utilisé soit les transistors bipolaires seuls (voir les figures III.13 et III.16), soit les transistors connectés selon le mode Darlington du circuit complet d'autoalimentation (voir la partie gauche de la figure III.20). Pour le transistor bipolaire seul, nous avons vérifié que la périphérie en tension permettait une tenue en tension V_{CE} d'environ 500V, lorsque la Base et l'Emetteur sont court-circuités (voir les figures pratiques suivantes). Une autre fonction à vérifier de façon pratique est la tension d'avalanche de la jonction Base Emetteur, utile pour le transistor T_Z du circuit de l'autoalimentation. Comme prévu, le phénomène d'avalanche conduit à une tension d'Emetteur régulée autour de 16V (la Base étant connectée au potentiel de référence). La figure III.42 présente les résultats de caractérisation statique de la jonction Emetteur - Base des transistors seuls.

La surface des jonctions Emetteurs - Bases des transistors seuls est de 0.13mm^2 pour les transistors bipolaires seuls, et nous pouvons alors remonter à la densité de courant de la jonction Emetteur - Base. Cependant, il est très difficile de comparer aussi simplement notre modélisation avec les résultats pratiques de caractérisation : des études plus poussées sont nécessaires afin de caractériser d'une part les profils de dopages, d'autres part les constantes physiques mises en œuvre telle que la durée de vie moyenne des porteurs minoritaires par exemple. De plus, pour faire un lien avec notre modélisation, il faudrait se retrouver dans les mêmes conditions : l'approximation de l'unidimensionnalité n'est pas vérifiable en pratique, et surtout dans la prise en compte du phénomène d'avalanche. Le courant total inverse ne peut donc être simplement un produit $J_{EB} \cdot S$ mais est effecti-

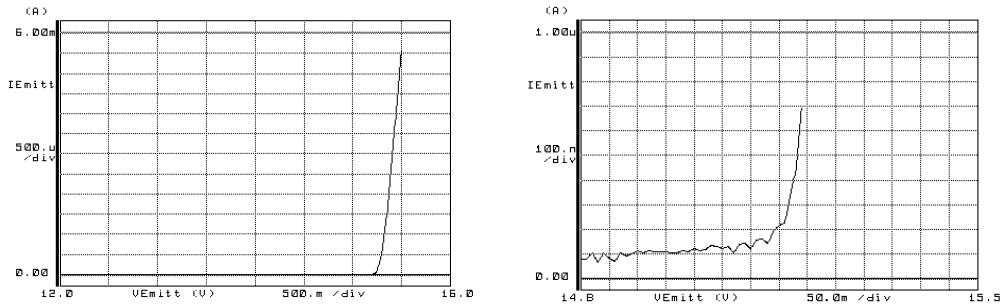


FIGURE III.42 – Validation de la tension de l’autoalimentation : Caractéristique statique I_{EB} en fonction de V_{EB} . A droite zoom autour de l’amplification du phénomène d’avalanche

vement l’intégrale du produit $J_{EB}(dS) \cdot dS$ sur toute la surface. Il est donc évidemment difficile de définir un seul niveau de densité de courant et donc de faire le lien avec un modèle unidimensionnel. La dernière figure du second chapitre illustre de façon claire le comportement bidimensionnel de la jonction Emetteur - Base.

Malgré ces remarques, il est ici vérifié de façon statique que le procédé de fabrication des transistors de puissance est totalement compatible avec la réalisation de la fonction d’autoalimentation, en créant ainsi une alimentation intégrée de la commande rapprochée par l’avalanche de la jonction Emetteur - Base de T_Z pour une tension de l’ordre de 16V. Comme nous avons montré précédemment, des variantes ont été conçues en vue de modifier ce niveau en augmentant encore plus les effets bidimensionnels aux extrémités : la figure III.43 montre que de façon pratique, l’autoalimentation peut donc varier de 16V et être réduite à 12V simplement par la conception. On peut donc ajuster cette valeur selon le cahier des charges du circuit de commande rapprochée à alimenter.

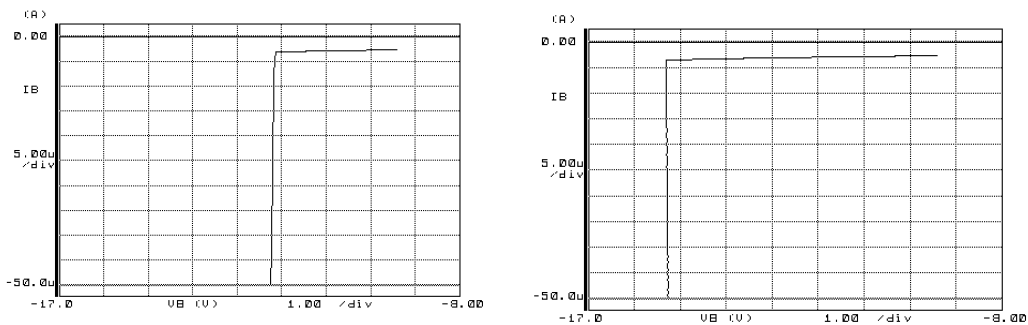


FIGURE III.43 – Validation de la modification de la tension de l’autoalimentation par effets bidimensionnels : Caractéristique statique inverse I_{BE} en fonction de V_{BE}

Nous avons ensuite caractérisé le fonctionnement statique du transistor bipolaire vertical, toujours pour les transistors seuls au sein d’une périphérie en tension spécifique. La comparaison entre le résultat de caractérisation et la simulation par élément finie est présentée sur la figure III.44 : pour des faibles niveaux de tensions, le transistor bipolaire seul

présente un gain β d'environ 30.

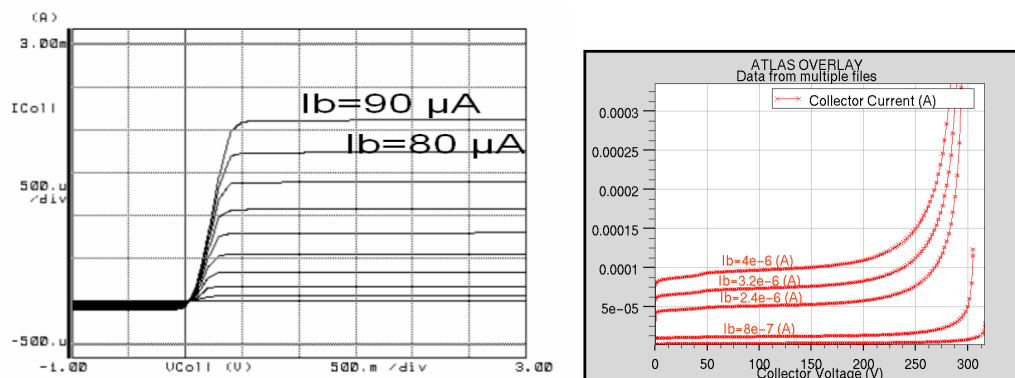


FIGURE III.44 – Validation du transistor bipolaire seul : Caractéristiques statiques I_{CE} en fonction de V_{CE} pour différents niveaux de courants de Base I_B . A gauche caractérisation du composant réel, et à droite simulation par éléments finis avec les mêmes données géométriques

Le rendement du procédé de fabrication sur ces variantes est de 60% environ : une photographie de ces composants est présentée sur la figure III.45.

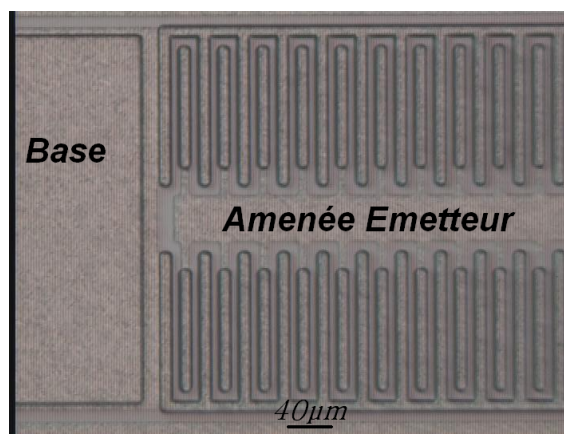


FIGURE III.45 – Photographie du transistor bipolaire vertical réalisé : zoom autour de la zone active et du plot de contact de Base

Nous avons ensuite caractérisé les variantes regroupant deux transistors bipolaires connectés selon la structure de l'autoalimentation proposée dans les figures III.18, III.19 et III.20. La caractéristique statique du circuit d'autoalimentation en mode de fonctionnement *Darlington classique* est représentée sur la figure III.46 : nous avons ici injecté un courant dans la Base de T_Z , en connectant l'Emetteur de T_B à la masse et en appliquant un potentiel de Collecteur de T_B positif. Le gain des deux transistors ainsi pilotés en *Darlington classique* est de l'ordre de 700, ce qui est en accord avec les simulations préalables effectuées. Nous avons pu ainsi caractériser si chaque composant était fonctionnel ou non, et le rendement du procédé de fabrication sur ces variantes est là aussi de l'ordre de 60%.

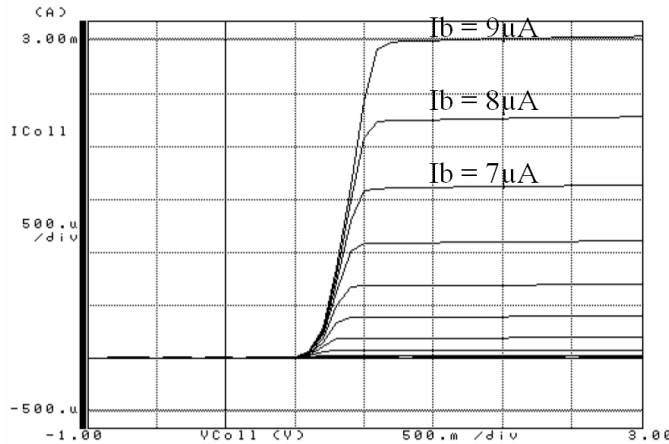


FIGURE III.46 – Validation du transistor bipolaire *Darlington* du circuit d’autoalimentation : Caractéristiques statiques I_{CE} en fonction de V_{CE} pour différents niveaux de courants de Base I_B . Il s’agit du demi-Darlington car un seul Emetteur de T_B est connecté (voir la figure III.20)

Nous avons donc par la suite cherché à caractériser ces variantes selon notre connexion de l’autoalimentation c’est à dire avec la Base de T_Z connectée à la masse, et l’Emetteur de T_B connecté à la capacité C_S , elle même reliée à la masse. Cette caractérisation particulière a nécessité un découpage des variantes, ainsi que leur mise en boîtier, afin de réaliser des connexions externes plus complexes que les caractérisations statiques par du test sous pointes qui viennent d’être présentées.

III.4.a-ii Prise en compte du niveau de polarisation de la face arrière et validation statique de l’autoalimentation

Afin de tester de façon pratique les composants qui ont été classés comme fonctionnels par la caractérisation sous pointe, nous avons ainsi monté un banc expérimental complet permettant l’application d’une tension de 400V sur la face arrière des composants. Nous avons voulu vérifier les hypothèses effectuées dans cette thèse : la bonne isolation de la jonction Emetteur - Base de T_Z , quel que soit le niveau de tension statique du Collecteur, ainsi que la bonne polarisation en avalanche de cette jonction, par le courant de fuite de la jonction Collecteur - Base de T_B , sous une tension de Collecteur de 400V.

Pour le premier point, nous avons donc utilisé les transistors bipolaires seuls au sein de périphéries en tension et vérifié que la jonction Emetteur - Base n’était pas influencée par la différence de potentiel Collecteur - Base, la Base étant connectée à la masse. La procédure expérimentale a donc été de fixer un point sur la caractéristique $I_{EB}(V_{EB})$ et de vérifier que ce point n’était pas influencé par la polarisation à haute tension du Collecteur (voir la figure III.47). Pour mesurer des niveaux de courants relativement faibles (de l’ordre de 100nA), nous avons dû nous attarder sur le montage permettant cette mesure de courant : l’impédance équivalente de la jonction Emetteur - Base étant très élevée (plusieurs

$M\Omega$), il faut évidemment que l'impédance d'entrée du montage de mesure soit au moins 10 fois plus grande. Nous avons ainsi choisi d'utiliser des Amplificateurs Linéaires (ALI et anciennement AOP), afin de vérifier que la jonction Emetteur - Base de T_Z était bien isolée du Collecteur.

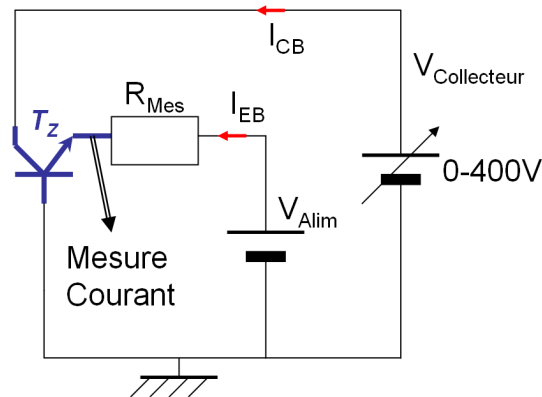


FIGURE III.47 – Validation de l'auto-isolation de la jonction Emetteur - Base de T_Z : Schéma du procédé expérimental

Le résultat de cette expérience est présenté sur la figure III.48 : nous avons polarisé la jonction Emetteur - Base à un point particulier grâce à une résistance de polarisation de $4.7k\Omega$. Nous voyons l'évolution du potentiel d'émetteur sur la partie gauche de la figure III.48, sous l'augmentation de la tension V_{Alim} : pour une faible valeur de V_{Alim} , le courant inverse de la jonction Emetteur - Base de T_Z est faible et le potentiel d'Emetteur mesuré est de l'ordre de la tension V_{Alim} . Sous ces conditions, il est relativement difficile de mettre en œuvre ainsi une mesure de caractéristique inverse avec le montage proposé. Si par contre la jonction Emetteur - Base est polarisée dans sa zone d'avalanche, alors le courant inverse devient important (environ $1mA$ pour une tension V_{Alim} de 20V) et il est très simple de fixer, avec une bonne précision, un point de fonctionnement sur la caractéristique inverse de la jonction Emetteur - Base.

A partir de ce point précis de polarisation, nous avons augmenté le potentiel de Collecteur jusqu'à 300V et nous n'avons remarqué aucune modification du point de fonctionnement (partie droite de la figure III.48). En l'occurrence il n'y a donc aucune perturbation de la jonction Emetteur - Base de T_Z par une élévation du potentiel de Collecteur. L'approche développée d'auto-isolation est donc ici validée de façon statique. Des mesures dynamiques ont été mises en œuvre afin de vérifier cette auto-isolation lors de fortes variations du potentiel de Collecteur, et nous n'avons là non plus constaté de perturbation de cette auto-isolation via notre procédé expérimental.

Nous avons ensuite testé les variantes contenant les transistors T_B et T_Z connectés selon la structure de l'autoalimentation (voir les figures précédentes III.46 et III.20, ainsi qu'une photographie sur la figure III.49). Nous avons vérifié le bon fonctionnement statique du circuit d'autoalimentation, c'est à dire la polarisation en avalanche de la jonction Emet-

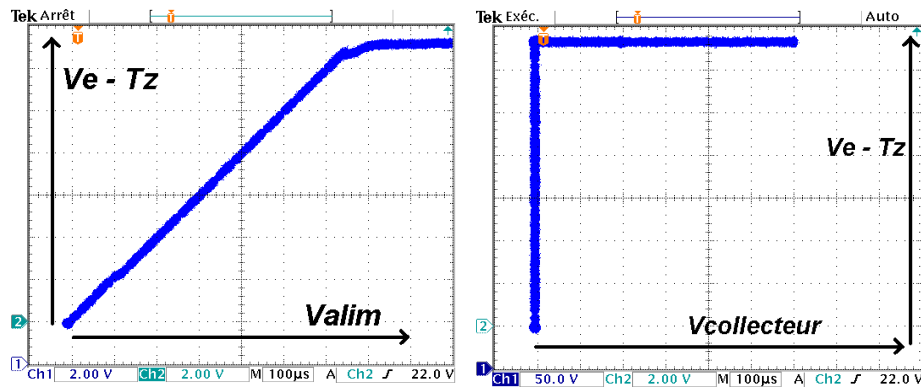


FIGURE III.48 – Validation de l’auto-isolation de la jonction Emetteur - Base de T_Z : Résultat expérimental montrant que le point de fonctionnement de la jonction Emetteur - Base est indépendant du potentiel de Collecteur

teur - Base de T_Z par le courant de fuite de la jonction Collecteur - Base de T_B , pour un potentiel du Collecteur commun de 400V.

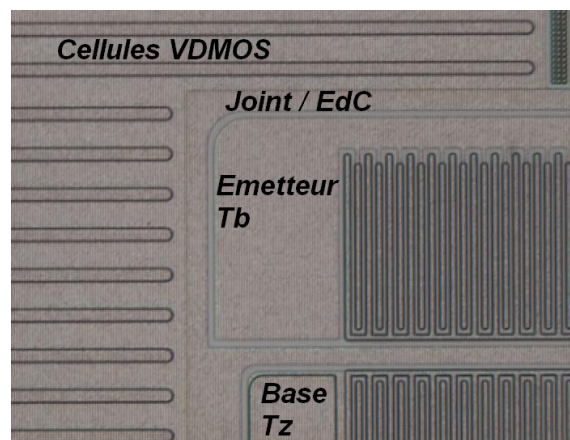


FIGURE III.49 – Photographie de la fonction d’Autoalimentation complète réalisée : zoom autour du joint entre le circuit d’autoalimentation et le composant de puissance VDMOS

Le procédé expérimental est représenté sur la figure III.50 : nous avons appliqué un potentiel de Collecteur variable et vérifié le bon fonctionnement statique de l’autoalimentation avec les composants réalisés. Nous avons ajouté une résistance R_S représentant la consommation statique du circuit de commande rapprochée, et servant ainsi à fixer le point de fonctionnement de l’autoalimentation (principalement le niveau du courant d’émetteur). Les valeurs des composants sont les suivants : $C_S = 22nF$ et $R_S = 150k\Omega$. Sous ces conditions, la régulation linéaire de la tension V_{C_S} a été relativement difficile à obtenir par les composants que nous avons pu utiliser : en effet, au début du dimensionnement nous n’avons aucun retour précis sur les constantes dimensionnantes (durée de vie des porteurs dans les jonctions en inverse par exemple), mais nous avons aussi négligé l’importance du stockage et du maintien des charges dans le transistor T_B , relativement critique pour le fonctionnement statique. La partie droite de la figure III.50 présente l’évolution du poten-

tiel de V_{C_s} en fonction du potentiel de Collecteur $V_{Collecteur}$: ce résultat a été obtenu en laissant nos transistors sous une lumière douce ambiante, et l'apport de charges fournies par l'intensité lumineuse ambiante a permis un bon fonctionnement statique (voir la mise en boîtier de nos composants sur la figure III.51.)

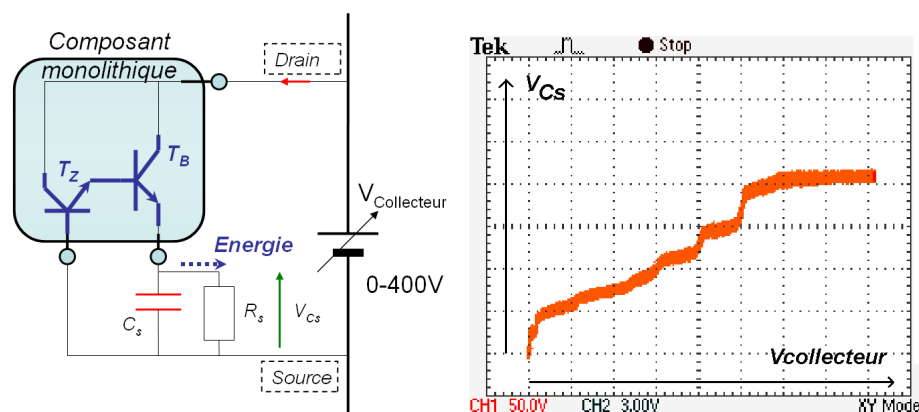


FIGURE III.50 – Validation du fonctionnement statique de l'autoalimentation : Schéma du procédé expérimental à gauche et résultat pratique à droite, évolution de V_{C_s} en fonction de $V_{Collecteur}$

En enfermant nos composants dans une boîte noire, la polarisation statique du circuit d'autoalimentation n'est pas aussi bonne que celle représentée sur la figure III.50 : pour un potentiel de Collecteur de l'ordre de 400V, la tension régulée est relativement faible (environ 2V à 5V), car le courant de fuite de la jonction Collecteur - Base de T_B n'est pas assez suffisant pour maintenir la charge stockée dans la Base de T_B et permettre ainsi la régulation linéaire de son potentiel d'Emetteur. Ce phénomène n'a pu être pris en compte de façon analytique durant la conception des variantes, n'ayant pas accordé la bonne importance à ce phénomène. Pour remédier à cette problématique de polarisation statique de l'autoalimentation intégrée complètement, il faut jouer astucieusement sur le rapport avec les surfaces de la jonction Collecteur - Base de T_B , et celle de sa jonction Emetteur - Base. Ce dimensionnement prenant en compte l'aspect énergétique a été effectué après la phase de conception des masques et est présenté en détails dans [94].

Bien que ce résultat statique du circuit d'autoalimentation monolithique soit en demi-teinte, nous avons néanmoins démontré de façon pratique que ce système n'avait pas de verrous technologique et fonctionnel fort sur ses performances : un meilleur dimensionnement est maintenant possible grâce à ces travaux, de part une caractérisation en profondeur de tous les paramètres de réalisation (profils de dopages, mesures précises des courants de fuite et identification avec les constantes physiques issues du procédé de fabrication), ainsi que la mise en évidence de la prépondérance du phénomène présenté plus haut. Nous allons voir dans la partie suivante que le fonctionnement dynamique de cette structure ne pose par contre aucun problème majeur et est en total accord avec nos prévisions.

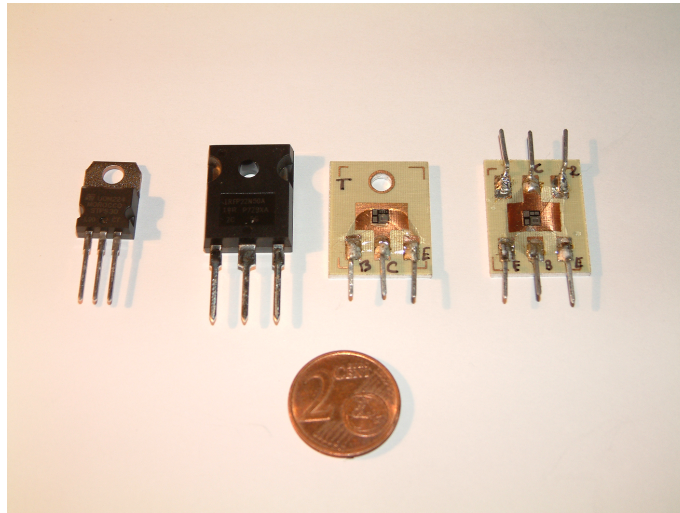


FIGURE III.51 – Photographie des variantes Darlington mises en boîtier : comparaison avec les boîtiers classiques

III.4.b Caractéristiques dynamiques des fonctions nécessaires à l’auto-alimentation

Nous avons utilisé la même structure expérimentale de la figure III.50, mais en remplaçant la source de tension statique du Collecteur, par une excitation dynamique. Pour cela, il aurait fallu utiliser les variantes du circuit d’autoalimentation intégrée au sein de transistors de puissance VDMOS, mais ces variantes n’étant pas fonctionnelles, nous avons utilisé un transistor VDMOS du commerce implémenté dans un convertisseur de puissance. Le transistor de puissance et le circuit d’autoalimentation sont donc connectés de façon externe mais cela n’est guère problématique car nous avons déjà validé les interactions entre un seul bipolaire vertical et le transistor de puissance dans le premier chapitre [95]. Nous avons donc voulu valider ici de façon pratique le fonctionnement dynamique de la puce monolithique regroupant les deux transistors T_B et T_Z .

La source de tension continue de la figure III.50 est donc remplacée par un transistor VDMOS externe, commutant une tension de 300V et un courant maximal de 4A. Par action sur la commande de ce transistor, nous pouvons régler la valeur du $\frac{dV_{DS}}{dt}$, servant donc d’excitation dynamique de la puce d’autoalimentation. Le convertisseur d’Electronique de Puissance utilisé a été réalisé par différents stagiaires et comporte un bras MOS - MOS commandé permettant différentes structures. Nous avons utilisé cette carte dans un fonctionnement classique *Hacheur série* ; une image de ce convertisseur avec sa carte de commande est représentée sur la figure III.52.

Le résultat pratique de ces essais est présenté sur la figure III.53 : nous voyons ainsi le bon fonctionnement dynamique du circuit monolithique d’autoalimentation, et les courbes de recharges sont similaires aux phénomènes dynamiques présentés plus tôt dans ce mémoire sur la figure III.12 et dans [94]. Les autres phénomènes avaient déjà été validés de façon pratique dans ces références, et nous rappelons ici ces résultats pratiques (figure

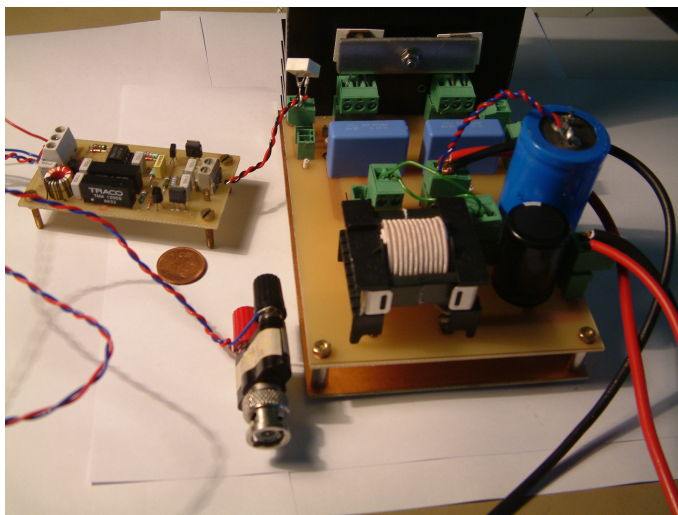


FIGURE III.52 – Photographie du convertisseur utilisé afin de réaliser une excitation dynamique $\frac{dV_{DS}}{dt}$ pour valider notre circuit d'autoalimentation

III.54) : nous pouvons remarquer l'amorçage de T_B , avec l'installation de la charge stockée, puis la régulation de V_{C_s} pendant la fin du $\frac{dV_{DS}}{dt}$ et enfin le blocage de T_B après le $\frac{dV_{DS}}{dt}$.

Bien évidemment pour valider complètement l'autoalimentation intégrée de transistors de puissance de type VDMOS, il aurait fallu que la structure complète Darlington soit testée dans sa version monolithique au sein de VDMOS. Malheureusement nous n'avons pu disposer de ces variantes à cause du problème de fabrication identifié plus haut, mais nous avons quand même validé les interactions entre un VDMOS et son transistor T_B , ainsi qu'entre un VDMOS et son transistor T_Z , via les travaux effectués dans [95] et présentés dans le premier chapitre de cette thèse (voir notamment la figure I.27 du premier chapitre). Cette étude reste à valider donc à 100%, mais au vu de toutes les validations qui ont été présentées, il n'y a que très peu de chances que le fonctionnement de l'autoalimentation intégrée monolithiquement au sein de VDMOS diffère des résultats démontrés ici.

Nous avons donc ensuite effectué les mêmes efforts de caractérisation statique et dynamique sur les variantes du récepteur optique intégré.

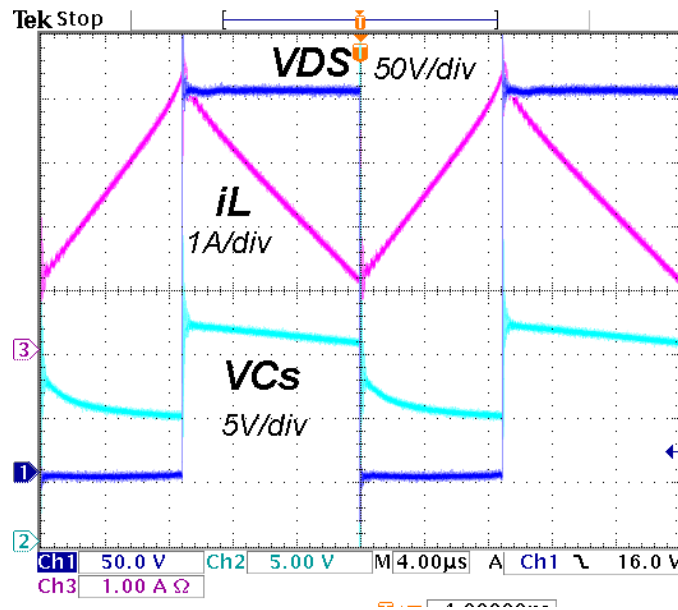


FIGURE III.53 – Validation du fonctionnement dynamique de l’autoalimentation : relevés expérimentaux montrant la recharge impulsionnelle de la capacité de stockage C_S , réalisés à partir des composants réalisés de la figure III.51. $C_S = 10nF$, $R_S = 15k\Omega$ et $f = 50kHz$

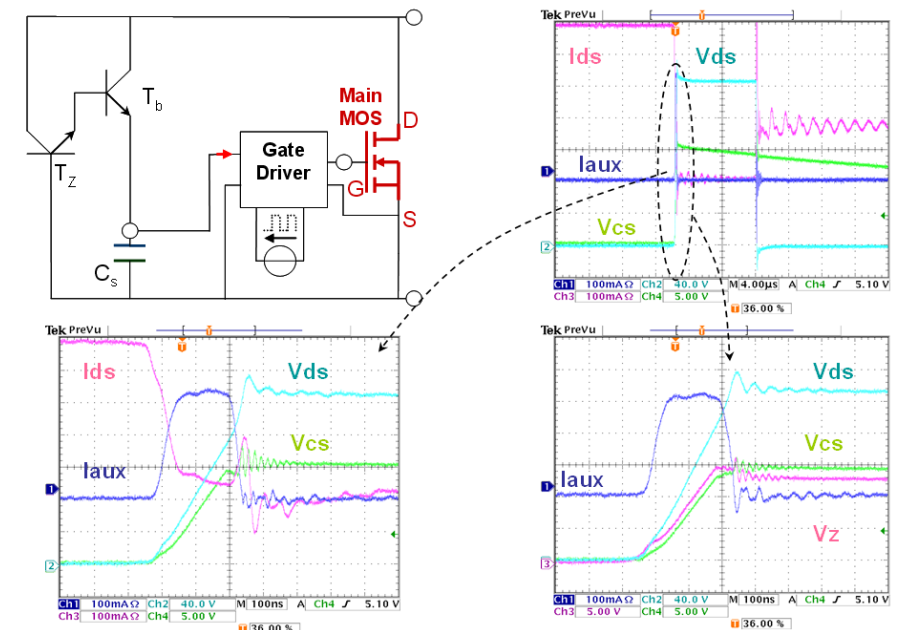


FIGURE III.54 – Rappel de la validation préalable des autres caractéristiques du fonctionnement dynamique de l’autoalimentation : relevés expérimentaux montrant la recharge impulsionnelle de la capacité de stockage C_S , réalisés à partir des composants réalisés précédemment

III.5 Caractérisation des composants de puissance à récepteur optique intégré

III.5.a Caractérisations statiques du récepteur intégré

III.5.a-i Mise au point d'un banc de caractérisation expérimentale

Nous avons conduit une campagne de validation pratique des dispositifs optiques intégrés ; tout d'abord les caractéristiques statiques ont été étudiées dans une démarche qualitative. La figure III.55 représente le réseau de caractéristiques de la jonction Emetteur - Base du récepteur optique, réalisé à partir du procédé de puissance. Il s'agit de la variante *de base*, identique à celle de la figure III.30. Pour cette première expérience, une onde polychromatique non maîtrisée a été utilisée : il s'agit de la source lumineuse permettant le bon fonctionnement du microscope sur le dispositif de caractérisation statique, permettant différents niveaux d'intensité lumineuse.

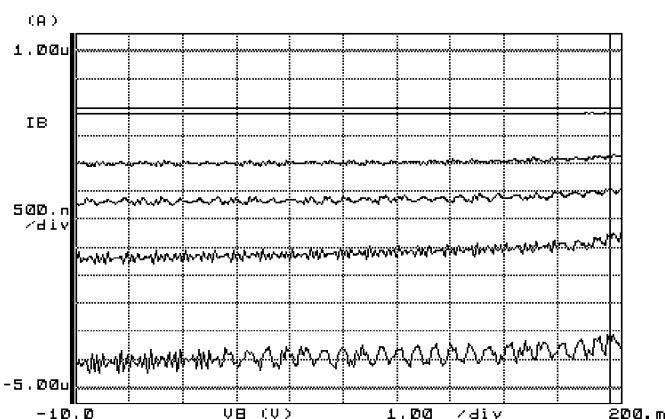


FIGURE III.55 – Validation du récepteur optique intégré : réseau de caractéristiques statiques $I_{BE} = f(V_{BE}, I_{opt})$ pour une source optique polychromatique non maîtrisée

Afin de quantifier les performances des récepteurs optiques réalisés, nous avons monté un banc expérimental complet, composé de plusieurs paramètres :

- Une diode LASER émettrice de la société *Photonic Products*. Cette diode émet à une longueur d'onde de 635nm (lumière rouge visible) une puissance optique de l'ordre de 4mW pour une tension stabilisée de 2.3V et un courant de 100mA. Cette diode est reliée à un régulateur de tension et de courant, et couplée optiquement à une fibre optique monomode 9μm/125μm. Ce module d'émission nous a été prêté par Aurélien Morales, personnel du CIME et rattaché à la plateforme HOG (Hyperfréquence et Optique Guidée). Référence de la diode émettrice : 300-0073-00.
- Un coupleur de fibre optique FC / FC-PC, permettant le raccordement de la fibre optique émettrice monomode à une fibre multimode de type 50μm/125μm. Ce coupleur permet la limitation de l'atténuation d'insertion grâce à un double guidage par ferrule.
- La fibre monomode est équipée d'un connecteur FC-PC d'un côté (relié au coupleur)

et laissée nue à son extrémité.

- Un des bancs de caractérisation électrique du CIME a été utilisé, associé à un traceur de caractéristiques statiques de type HP4555B.

Une photographie partielle de ce banc de mesure est représentée sur la figure III.56. Pour ajuster l'extrémité de la fibre optique, nous avons utilisé un porte-pointe auquel la pointe de mesure a été retirée. Nous pouvons ainsi ajuster dans les trois directions le flux optique.

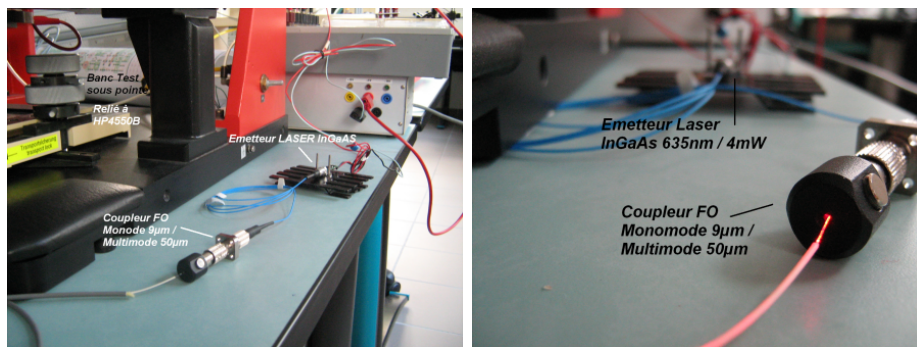


FIGURE III.56 – Photographie du banc de caractérisation statique des dispositifs

Une photographie de l'association entre la fibre optique de sortie et le dispositif sous test est représentée sur la figure III.57. Ce banc d'essai permet une mesure *simple* de l'ensemble des variantes de récepteurs optiques conçus : il n'est pas nécessaire de découper le Wafer, et les composants peuvent ainsi être triés de la même façon que pour les composants décrits plus haut et relatifs à la fonction d'autoalimentation de la commande rapprochée.

Ce banc d'essai étant réalisé, nous avons pu effectuer une caractérisation statique approfondie des dispositifs optiques.

III.5.a-ii Caractérisation de la fonction intégrée sans polarisation de la face arrière

Le but de la campagne de caractérisation qui a été menée fut double : quantifier de façon pratique les performances statiques des récepteurs optiques réalisés via un procédé de fabrication d'électronique de puissance, mais aussi effectuer un retour d'expérience sur l'ensemble des variantes qui ont été conçues afin de contribuer à l'élaboration de règles de conception futures. Nous avons donc considéré principalement les variantes présentées dans les figures III.30 et III.31, qui sont regroupées à un endroit précis du réticule (voir la figure III.58 ainsi que l'annexe A). Ces variantes, rappelées sur la figure III.58, sont constituées du récepteur optique de base, avec des modifications sur la zone sensible centrale : laissée à nue (v1), remplie de métal (v2), remplie de LTO surmonté de métal (v3) ou non (v4).

Pour nos mesures, la face arrière, ainsi que l'anode du récepteur, ont été reliées à la masse, et une polarisation statique positive de 0 à 17V a été appliquée au potentiel de

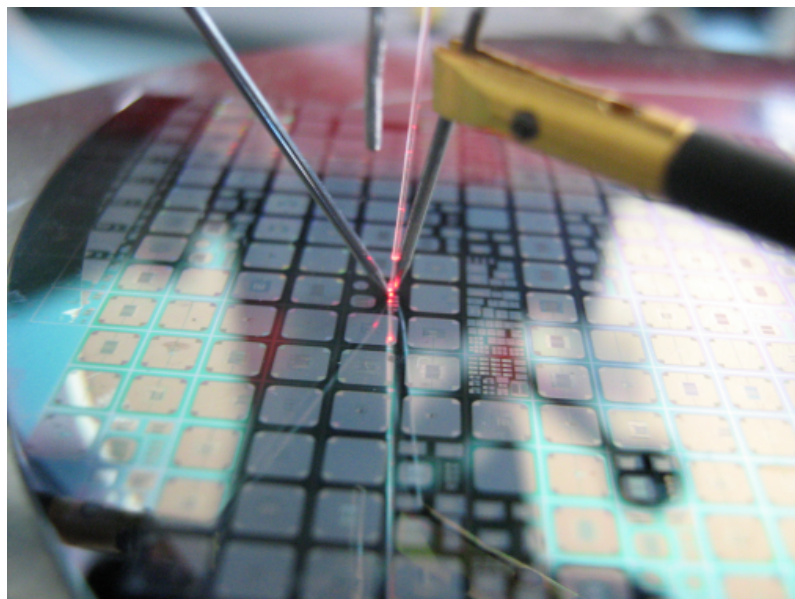


FIGURE III.57 – Photographie du banc de caractérisation statique des dispositifs : Zoom autour du dispositif de transmission optique vers la zone sensible sous test

cathode du dispositif sous test. Cette démarche assure la mesure de la région III de la caractéristique statique $I_{Diode} = f(V_{Diode})$, en rajoutant la caractérisation statique des dispositifs dans leur régime d'avalanche. En guise de référence, cette caractéristique statique a été tracée dans un environnement à faible lumière ambiante et est représentée sur la figure III.59. Cette caractéristique inverse a permis l'identification de quelques paramètres nécessaires à la comparaison avec la modélisation, tels que la durée de vie équivalente des porteurs (de l'ordre de la nanoseconde selon notre modèle de courant inverse).

Il a été relativement difficile de réaliser correctement une bonne transmission de la puissance optique depuis l'émetteur vers nos récepteurs sous test, malgré l'effort de mise au point d'un banc d'essai. La fibre optique n'étant pas totalement perpendiculaire au récepteur, le moindre écart dans l'une des trois directions réduit d'un facteur 50 le courant inverse du photorécepteur : la figure III.60 représente ainsi la variation de caractéristique statique inverse du récepteur optique, pour une même puissance optique transmise, mais en modifiant légèrement le positionnement de la fibre optique en regard du photorécepteur. Le photocourant passe ainsi de $300nA$ à $15\mu A$ pour la variante de référence (v1 à droite de la figure III.58). Ce courant chute encore plus fortement si la fibre optique n'est pas positionnée totalement en regard de la zone sensible du récepteur et il passe très rapidement à la dizaine de nA si l'on s'écarte d'une dizaine de microns (réduction du courant d'un facteur 1000).

Avec notre procédé expérimental appliqué sur la variante de base de notre photorécepteur (v1 à droite de la figure III.58 et figure III.30), la caractéristique inverse ayant le meilleur rendement optique est représentée à droite de la figure III.60 : sous une polarisation de 2V, le courant issu de l'absorption photonique est de l'ordre de $14\mu A$ pour une puissance optique émise de $4mW$ à $635nm$. Ainsi, le meilleur rendement de notre chaîne

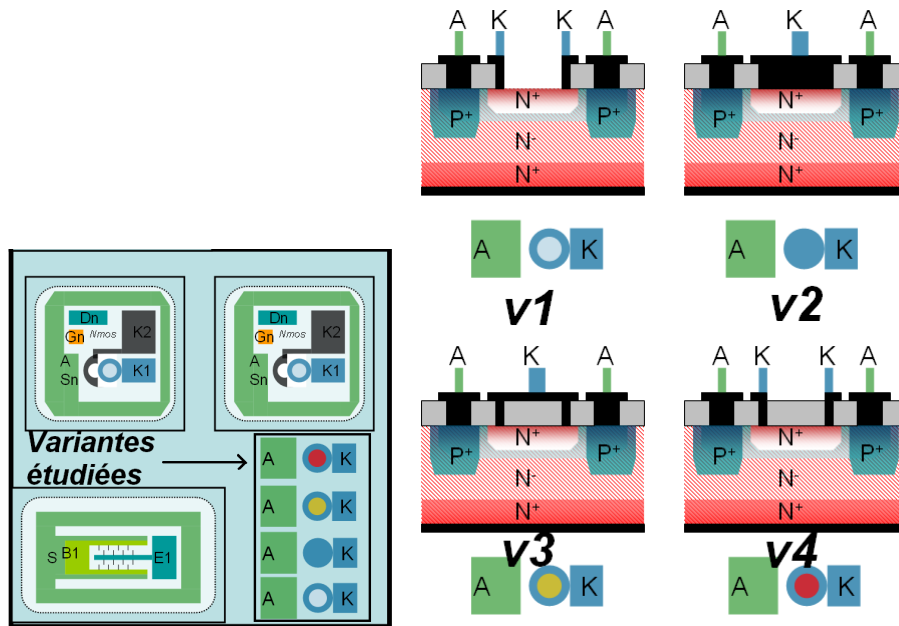


FIGURE III.58 – Situation des variantes étudiées sur un emplacement primaire du réseau de $9mm^2$ (à gauche) et rappel de quatre variantes du récepteur optique (à droite)

de transmission mesuré est de l'ordre de $4.2mA/W_{Optique}$.

Si nous comparons avec notre modélisation à laquelle sont appliqués les paramètres issus du procédé de fabrication, nous trouvons un rendement de l'ordre de $90mA/W_{Optique}$ pour une longueur d'onde de $635nm$. Cet écart d'un facteur 20 entre le résultat pratique et le résultat de simulation et de modélisation peut s'expliquer de plusieurs façons :

- Tout d'abord, la méthode de transmission qui n'a pas été fiabilisée : il faudrait mesurer la puissance optique en bout la chaîne de transmission. Cette mesure permettrait de connaître la puissance réelle en sortie de fibre, prenant ainsi en compte l'atténuation du coupleur de fibres optiques, ainsi que les éventuelles pertes dues à un mauvais état de surface du bout de la fibre optique nue.
- Ensuite le positionnement de la fibre optique est à améliorer par un procédé de mise en place mécanique, à rattacher avec la conception d'une mise en boîtier optimale.
- Enfin, il faut quantifier l'écart entre les hypothèses de la modélisation et le cas pratique : dans la modélisation, la jonction sous bombardement photonique est unidimensionnelle, à profil uniforme, et le flux optique est parallèle.

Néanmoins, grâce à notre procédé expérimental nous avons pu extraire le comportement des différentes variantes réalisées lors d'une exposition à un flux de photons. Avec un positionnement optimal de la fibre optique et une puissance optique émise constante, la comparaison des caractéristiques statiques des 4 variantes de zone sensible de la figure III.58 est présentée sur la figure III.61.

De cette comparaison pratique des variantes conçues, nous pouvons tirer les conclusions

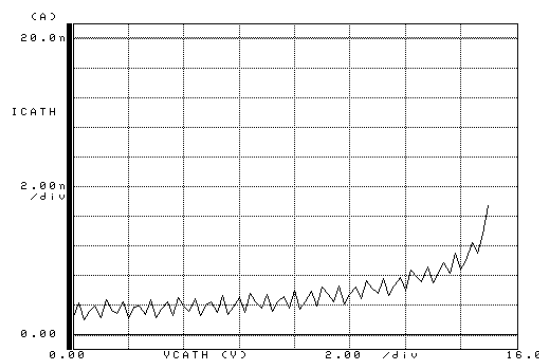


FIGURE III.59 – Caractéristique statique inverse des variantes du récepteur optique sous une faible lumière ambiante

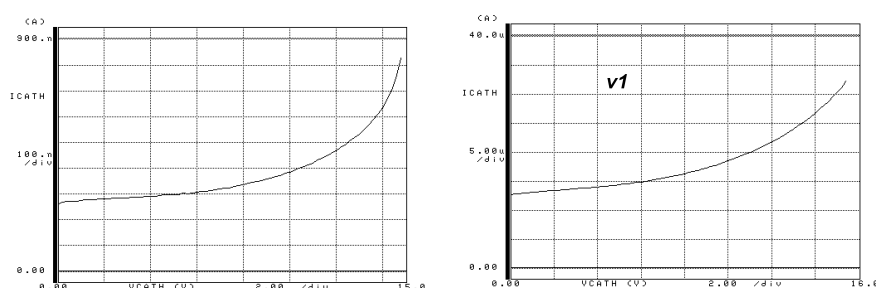


FIGURE III.60 – Modification de la caractéristique inverse sous éclairage en fonction d'une erreur de positionnement de la fibre optique de quelques μm

suivantes :

- Lorsque le LTO n'est pas recouvert de métal (v4), la caractéristique statique est identique à la variante sans LTO (v1). En conclusion, il n'y a aucune influence de la couche d'isolant sur les photons.
- Lorsque la zone sensible est contactée entièrement par le métal (v2), le courant chute d'un facteur 15 par rapport aux variantes v1 et v4. En conclusion, des phénomènes de recombinaison dans le métal limitent l'absorption des photons à l'intérieur de la jonction Anode - Cathode du photorécepteur. D'autres phénomènes de modification de la réflexion optique peuvent aussi s'ajouter à cause de la couche d'Aluminium.
- Lorsque le LTO est recouvert de métal (v3) d'une épaisseur de $800nm$, le courant chute aussi d'un facteur 15 à 30 par rapport aux variantes v1 et v4. La présence d'une couche de métal *épaisse* au-dessus de la zone sensible n'est donc pas souhaitable.
- En conclusion, il est préférable de recouvrir la zone sensible d'une couche d'isolant LTO afin de favoriser l'isolation de la région de cathode N^+ du photorécepteur, tout en n'ayant aucun impact sur l'efficacité de conversion optique du photorécepteur. De plus, la prise de contact de cathode en périphérie de la zone sensible doit être relativement fine afin de limiter la recombinaison des porteurs dans le métal.

Cette première campagne de caractérisation a permis de valider partiellement le fonctionnement statique des récepteurs optiques issus d'un procédé de fabrication d'électronique

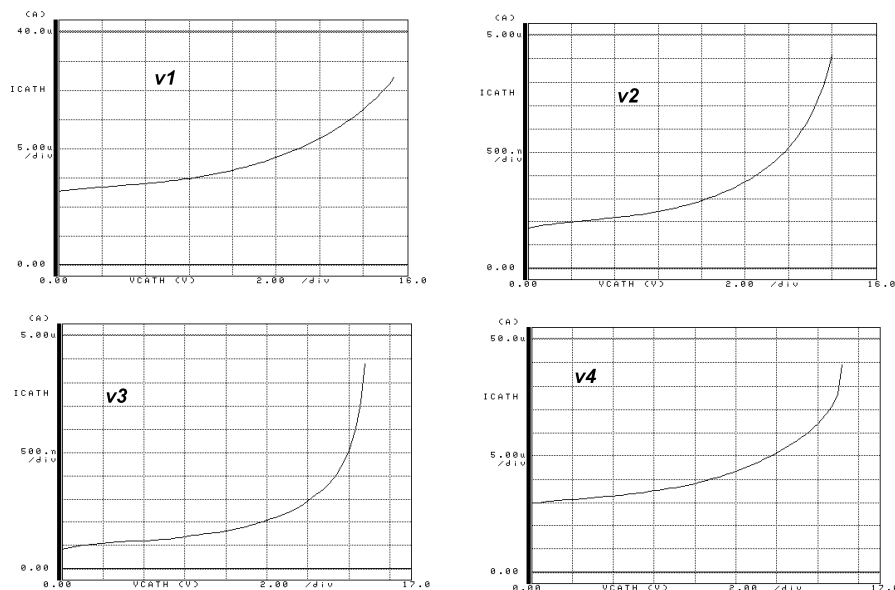


FIGURE III.61 – Modification de la caractéristique inverse sous éclaircissement selon les variantes de conception pour la zone photo-sensible

de puissance, ainsi que de tirer les premières conclusions sur les variantes de conception. Ces efforts de caractérisation restent à poursuivre, principalement en améliorant la chaîne de transmission optique (fiabilisation et caractérisation des performances optiques en bout de chaîne), et par la prise en compte de l'influence de la polarisation de la face arrière sur le rendement de conversion des récepteurs optiques.

Les dernières caractérisations pratiques (pendant la correction de cette thèse) ont montré que la sensibilité du récepteur optique pouvait atteindre $36mA/W$, réduisant ainsi considérablement l'écart avec la modélisation. Ces résultats encourageants montrent donc qu'il est intéressant de poursuivre les efforts de mise au point d'un banc d'essai fiabilisé.

III.5.b Caractérisations dynamiques du récepteur intégré

Le banc de mesure expérimental qui a été conçu ne permet pas la caractérisation dynamique des dispositifs optiques réalisés : d'une part il est très difficile de trouver des diodes émettrices autour de $635nm$ modulables et avec une sortie fibre optique intégrée (gamme de modulation qui n'a plus d'application massive aujourd'hui), et d'autre part le type de composant que nous avons utilisé pour la caractérisation statique ne permet pas de modulation optique. Nous avons donc cherché d'autres sources modulables mais nous n'avons pu trouver simplement que des sources optiques faibles à une longueur d'onde trop élevée pour notre application (composants HFBR1414 -16dBm à $820nm$). S'agissant ici des premiers travaux aux G2Elab autour de la commande optique des composants de puissance, nous voyons ici qu'il reste des efforts à poursuivre autour de la caractérisation et de la validation des composants optiques, efforts à mener éventuellement par de nouveaux partenariats entre notre équipe de recherche et d'autres équipes travaillant dans le domaine de l'optique.

Néanmoins, au vu des caractéristiques statiques pratiques de la figure III.61, nous pouvons estimer la bande passante des récepteurs optiques. La capacité de transition maximale des dispositifs est de l'ordre de $1pF$ (modélisation du chapitre 2) et en munissant notre circuit de réception d'une résistance de $500k\Omega$, nous pouvons obtenir une variation de potentiel de $7V$ aux bornes de la diode pour une constante de temps de $5\mu s$. Afin d'améliorer ici aussi ce résultat basé sur la courbe statique mesurée, il faudrait fiabiliser la méthode de mesure dans un premier temps, puis tendre à améliorer le rendement global de la chaîne de transmission.

III.6 Conclusion

Ce troisième et dernier chapitre de thèse avait pour objectif de présenter la conception et la réalisation de l'ensemble des dispositifs d'interface au sein de composants de puissance verticaux. L'idée directrice de ce chapitre final de thèse fût aussi de faciliter la poursuite de l'ensemble des travaux par une personne future, et donc un accent particulier a été mis sur l'ensemble de la démarche de conception et de réalisation. Nous avons donc présenté dans un premier temps la méthode de conception des transistors de puissance verticaux adaptés à l'intégration monolithique fonctionnelle.

Une vision exhaustive a été présentée sur l'ensemble des contraintes agissant sur les fonctions intégrées, et des règles de conception modifiées en conséquence ont été proposées, pour ces deux fonctions d'interfaces nécessaires à la commande des transistors de puissance VDMOS. Ce processus de conception a permis l'aboutissement du processus de réalisation, malgré un aléa de fabrication limitant quelques fonctionnalités.

Au vu des résultats de l'intégration monolithique des fonctions d'interface au sein des transistors de puissance verticaux, il apparait clairement que les solutions proposées dans cette thèse sont fonctionnelles et répondent au cahier des charges présenté : par la maîtrise des contraintes liées à une intégration monolithique bas coût, nous pouvons proposer aujourd'hui des dispositifs permettant de simplifier la réalisation et la mise en œuvre des composants de puissance, tout en garantissant un niveau de performance toujours aussi élevé.

Conclusion générale

Il est donc venu le temps de conclure sur l'ensemble des travaux présentés dans cette thèse : chacun des chapitres a permis de spécifier la démarche de conception, de réalisation et de caractérisation de nouvelles fonctions d'interface intégrées monolithiquement au sein de transistors de puissance verticaux. Les applications concernées par les problématiques qui ont été présentées, sont constituées principalement de la commande et du contrôle des transistors de puissance, dans une logique d'augmentation des fonctionnalités des dispositifs à coûts réduits. Notre première approche fût de valider les concepts associés plus particulièrement aux transistors de puissance à potentiel de référence flottant, en considérant la fonction d'autoalimentation de la commande rapprochée, ainsi qu'un étage d'isolation galvanique par voie optique.

Les résultats du premier chapitre ont montré qu'il était possible d'intégrer monolithiquement une solution simple dite d'*autoalimentation Darlington* réalisant ainsi à moindre coût technologique l'alimentation flottante des circuits de commande de transistors de puissance verticaux de type VDMOS. Cette solution totalement intégrable ne nécessite qu'une capacité de stockage supplémentaire, permettant le stockage de l'énergie nécessaire au circuit aval. Nous reparlons plus bas de cette capacité de stockage, afin d'étudier les perspectives de ces travaux. Quant à la conception d'un récepteur optique, nous avons démontré que sans aucune modification du procédé de fabrication des transistors de puissance verticaux, il était possible de réaliser un étage d'isolation galvanique simple et performant, permettant le transfert isolé des ordres de commutation.

Cette démarche d'étude et d'analyse des systèmes associés aux transistors de puissance verticaux a été complétée par une étude analytique phénoménologique : le second chapitre a permis de quantifier l'impact de l'intégration monolithique sans modification du procédé de fabrication, sur les fonctions intégrées. Cette étude analytique apporte les réponses nécessaires à la validation des concepts proposés, permettant par la suite la conception et l'optimisation des dispositifs, tout en quantifiant les performances attendues de chacune des fonctions d'interface intégrées. Cet effort de modélisation est aussi profitable dans la compréhension de l'ensemble des contraintes liées à une intégration monolithique fonctionnelle, limitant les coûts technologique et d'implémentation.

Enfin, nous avons lancé la réalisation des dispositifs dans le troisième chapitre : une

démarche pédagogique a été adoptée, permettant ainsi plus facilement la poursuite des travaux entrepris, ainsi qu'un accès simplifié à toute personne désireuse de comprendre et d'apprendre quelques techniques de conception et de réalisation des transistors de puissance dans une logique d'intégration monolithique fonctionnelle. Les composants qui ont été réalisés permettent de valider les performances des fonctions d'autoalimentation et d'isolation galvanique. Cependant l'effort de caractérisation reste à poursuivre, notamment grâce à une caractérisation totale des paramètres de réalisation : ceci permettrait de figer le procédé de fabrication et faciliterait donc par la suite la conception des dispositifs.

Cette thèse a permis l'ouverture d'un champ d'application et de prospection relativement important ; parmi l'ensemble des perspectives du travail de recherche, nous pouvons dégager quatre axes importants :

- L'évolution des fonctions d'interface proposées dans cette thèse,
- La prise en compte des résultats présentés dans une nouvelle conception du packaging des composants de puissance,
- L'application à la problématique de l'IGBT,
- L'application à des structures innovantes de conversion de l'énergie électrique, à forte densité de puissance.

Tout d'abord, les fonctions présentées dans cette thèse sont le fruit d'un premier travail allant de la modélisation à la caractérisation. Il reste à valider ces fonctions dans une application industrielle, principalement dans l'étude du récepteur optique intégré : ce premier travail, inédit au G2eLab, a permis de proposer une nouvelle problématique d'électronique de puissance, mais il faudra poursuivre les efforts autour de la commande optique des transistors de puissance (émetteurs, transmetteurs, rendement, ...). De plus, les dispositifs devront être confrontés à des stimuli plus contraignants, tels que la montée en température et les cycles de vie.

L'évolution de ces fonctions d'interface repose aussi sur l'apport de la technologie, notamment dans les techniques d'hybridation de fonction : pour la fonction d'autoalimentation, nous avons vu qu'il peut être possible d'intégrer monolithiquement la capacité de stockage, mais que les valeurs possibles restent faibles en terme d'énergie stockable sur Silicium. Cette capacité pourrait être par la suite hybridée en surface, par des technologies Bump ou plus simplement par une conception spécifique de plots de contact. Pour le récepteur optique, l'intégration d'un guide d'onde au sein du composant de puissance est à envisager et à confronter avec l'intégration hybride de l'émetteur optique en regard de la zone sensible du composant de puissance. Cette dernière solution de transmission en champ libre reste à étudier en détail, en gardant à l'esprit les limites de tels systèmes sur les niveaux d'isolation galvanique. La mise en boîtier de tels composants doit donc être abordée par la suite, toujours sous les contraintes de performances, de fiabilité et de coût des transistors de puissance de demain.

Un autre complément à ces travaux de thèse serait de poursuivre l'effort présenté sur la problématique du transistor de puissance de type IGBT : quelques éléments ont été présen-

tés dans cette thèse, mais il reste à étudier les possibilités et les enjeux selon les nouvelles contraintes introduites par un cœur IGBT. La validation pratique des fonctions proposées ici mais appliquées à l'IGBT serait une valorisation particulièrement intéressante des idées présentées.

Enfin, de nombreux convertisseurs de puissance pourront tirer parti de la simplification de mise en œuvre proposée par ces travaux de thèse : la mise en série des interrupteurs de puissance est grandement facilitée, grâce à l'aspect autonome des composants proposés dans cette thèse. De plus, l'ensemble de la chaîne de contrôle des transistors de puissance peut être facilitée par un composant intégrant monolithiquement à moindre coût sa commande rapprochée, son alimentation, et un étage d'isolation galvanique : la régulation des convertisseurs de type Flyback par exemple est simplifiée dans la régulation du niveau de tension de sortie par l'action sur le transistor de puissance situé au primaire.

Tous ces travaux constituent des pistes de recherche impliquant, dès aujourd'hui, l'ensemble des acteurs de l'équipe d'Électronique de Puissance du G2eLab ayant pour thématique l'intégration fonctionnelle au sein des interrupteurs de puissance et leur mise en boîtier.

Bibliographie

- [1] *Power MOSFET Designer's Manual*, International Rectifier, vol.1, pp7 and 131 edition, 1993.
- [2] *Very High CMR, Wide VCC Logic Gate Optocouplers*, agilent technologies edition, 2001.
- [3] *VIPer50B SMPS PRIMARY I.C.*, stmicroelectronics edition, 2001.
- [4] *FZ800R12KS4B2 - 1200V 800A fast IGBT Module*, eupec edition, 2007.
- [5] *SKM145GAL123D - Semikron IGBT diode module*, semikron edition, 2008.
- [6] F. Alkayal, J-C. Crebier, and C. Schaeffer. Integrated over voltage protection circuits for power transistors. In *International Symposium on Power Semiconductor Devices and IC's - IEEE ISPSD*, June 2006.
- [7] Faisal Alkayal. *Contribution à l'intégration monolithique de protections contre les surtensions : application aux convertisseurs de puissance haute tension*. PhD thesis, INPG - G2Elab, 2005.
- [8] J. Arnould and P. Merle. *Dispositifs de l'électronique de puissance Tome 1 : diodes et transistors à effet de champ*. Number ISBN : 2-86601-306-9. Lavoisier, 1992.
- [9] J. Arnould and P. Merle. *Dispositifs de l'électronique de puissance Tome 2 : transistor bipolaire et thyristor*. Number ISBN : 2-86601-308-5. Lavoisier, 1992.
- [10] Laurent Aubard. *Modélisation des transistors MOS pour l'électronique de puissance*. PhD thesis, INPG - G2Elab, 1999.
- [11] Luc Audaire. Détecteurs de rayonnements optiques. Techniques de l'ingénieur R6450.
- [12] A. Bajolet, J-C. Giraudin, C. Rossato, L. Pinzelli, S. Bruyere, S. Cremer, T. Jagueneau, P. Delpèch, L. Montes, and G. Ghibaudo. Three-dimensional 35 nf/mm/sup 2/ mim capacitors integrated in bicmos technology. In *Proceedings of 35th European Solid-State Device Research Conference - ESSDERC 2005.*, September 2005.
- [13] Vrej Barkhordarian. Power mosfet basics. International Rectifier Application Note, January 1 2007.
- [14] Gaetano Belverde, Agostino Galluzo, Maurizio Melito, Salvatore Musumeci, and Angelo Raciti. Snubberless voltage sharing of series-connected insulated-gate devices by a novel gate control strategy. *IEEE Transactions on Power Electronics*, Volume 16 No 1, January 2001.

- [15] R. Berriane, J-L. Sanchez, and J. Jalade. Mos-gated optically triggered thyristor a new galvanically insulated high voltage integrated switch. *Solid State Electronics - Science Direct*, Volume 39 Issue 6 :p 863 – 869, June 1996.
- [16] Radouane Berriane. *Conception et réalisation d'un thyristor à gachette isolée commandé par voie optique : un exemple d'interrupteur intégré de puissance*. PhD thesis, Université "Paul Sabatier - LAAS, 1993.
- [17] Christian Boisrobert. Mesures en photoréception. Techniques de l'ingénieur R1180.
- [18] Gianluca Boselli. *On high injection mechanisms in semiconductor devices under esd conditions*. PhD thesis, University of Twente, 2001.
- [19] Gilles Boucharlat and Jean-Pierre Trahand. Détecteurs ultraviolet, visible et proche infrarouge. Techniques de l'ingénieur E4065.
- [20] T. Bouchet, G. Verneau, F. Torregrosa, and J. Arnould. Striction unicellulaire dans les mos haute tension : Modèle zcem en remplacement de celui du tec à jonction parasite vertical. In *EPF2000, Lille, France, 29 novembre - 1er décembre, 2000*.
- [21] Marie Breil. *Etude d'associations MOS-Thyristor autoamorçables et blocables. Exemple d'intégration de la fonction thyristor dual*. PhD thesis, INSA Toulouse - LAAS, 1998.
- [22] Béatrice Cabon, Jean Chazelas, and Daniel Dolfi. Optoélectronique hyperfréquence. Techniques de l'ingénieur E3330.
- [23] F. Capy, A. Bourennane, M. Breil, F. Richardeau, E. Imbernon, J.L. Sanchez, J.P. Laur, and P. Austin. Design of an integrated self-switching mode device for power converters. In *Mixed Design of Integrated Circuits and Systems - IEEE MIXDES*, June 2007.
- [24] C. Caramel, P. Austin, J-L. Sanchez, E. Imbernon, and M. Breil. Integrated igtb short-circuit protection structure : Design and optimization. *Microelectronics Journal - Science Direct*, Volume 37 Issue 3 :p 249–256, March 2006.
- [25] C. Caramel, P. Austin, J-L. Sanchez, E. Imbernon, and M. Breil. Short-circuit protection structure for insulated gate power devices. In *Bipolar/BiCMOS Circuits and Technology Meeting*, September 2004.
- [26] C. Caramel, P. Austin, J-L. Sanchez, E. Imbernon, and B. Rousset. Interaction analysis and insulation techniques for short-circuit integrated protection structure. In *International Symposium on Power Semiconductor Devices and IC's - IEEE ISPSD*, June 2006.
- [27] H.S. Carslaw and J.C. Jaeger. *Conduction of heat in Solids*. Number X. Oxford, 1959.
- [28] Yuhui Chen, Fred C. Lee, Luca Amoroso, and Ho-Pu Wu. A resonant mosfet gate driver with efficient enery recovery. *IEEE Transactions on Power Electronics*, Volume 19 No 2, March 2004.
- [29] S. Chmielus and R. Sittig. Characteristics of a monolithic bidirectional switch (mbs) used in a diode function. In *Circuits, Devices and Systems Conference - - IEEE*, February 2006.

- [30] J. T. Chu. Errors in normal approximations to the t , τ , and similar types of distribution. *The Annals of Mathematical Statistics*, Volume 27 No 3 :p 780–789, March 1956.
- [31] Rahul S. Cokhawala, Jamie Catt, and Brian R. Pelly. Gate drive considerations for igbt modules. *IEEE Transactions on Industry Applications*, Volume 31 No 3, May - June 1995.
- [32] Christophe Combaret. *Comportement thermique des composants de protection contre les effets indirects de la foudre*. PhD thesis, INSA Lyon, 2000.
- [33] V. Costan, T. Meynard, F. Forest, and E. Laboure. Core losses measurements in intercell transformers for interleaved converters. In *European Conference on Power Electronics and Applications - IEEE ECPEA*, September 2007.
- [34] J. Cranck. *The mathematics of diffusion*. Number X. Oxford, 1975.
- [35] Jean-Christophe Crébier. *Intégration Monolithique et composants de puissance*. Habilitation à Diriger des Recherches - INPG - G2Elab, 2006.
- [36] J. Crebier, B. NGuyen, L. Vincent, N. Rouger, L. Aubard, and C. Schaeffer. Promotion d’une approche systeme dans l’integration monolithique pour semi-conducteurs de puissance. In *Electronique de Puissance du Futur - EPF*, 2006.
- [37] J. Crebier, B. NGuyen, L. Vincent, N. Rouger, L. Aubard, and C. Schaeffer. Promotion d’une approche systeme dans l’integration monolithique pour semi-conducteurs de puissance. *Revue internationale de Génie Electrique*, (ISBN : 2-7462-1961-1), 2007.
- [38] J-C. Crebier and N. Rouger. Loss free gate driver unipolar power supply for high side power transistors. *IEEE Transactions on Power Electronics*, Volume 23 Issue 3, May / June 2008.
- [39] Binh Nguyen Dac. *Intégration fonctionnelle autour des composants quatre quadrants avec l’application à la conversion AC/AC*. PhD thesis, INPG - G2Elab, 2008.
- [40] Emmanuel Grassin d’Alphonse. Connectique optique. Techniques de l’ingénieur E3937.
- [41] Olivier Deleage. *Conception, réalisation et mise en oeuvre d’un micro-convertisseur intégré pour la conversion DC/DC*. PhD thesis, INPG - G2Elab, prévue en 2009.
- [42] Jean-Yves Duboz. Matériaux semi-conducteurs à grand gap iii-v à base de gan. Techniques de l’ingénieur E1995.
- [43] Laurent Dulau, Serge Pontarollo, Anthony Boimond, Jean-Francois Garnier, Nicole Giraudo, and Olivier Terrasse. A new gate driver integrated circuit for igbt devices with advanced protections. *IEEE Transactions on Power Electronics*, Volume 21 No 1, January 2006.
- [44] Barry Elliott and Mike Gilmore. *Fiber Optic Cabling*. Number ISBN : 978-0750650137. Second Edition, 2002.
- [45] J-P. Ferrieux and F. Forrest. *Alimentations à découpage - Convertisseurs a résonance*. Number ISBN : 9782100505395. Collection Sciences Sup, 1999.
- [46] A. Galluzzo, M. Melito, S.Musumeci, M. Saggio, and A. Raciti. A new high-voltage power mosfet for power conversion applications. In *Industry Applications Conference - IEEE IAS -*, volume Volume : 5, On page(s) : 2966-2973, 2000.

- [47] Gilbert Gaussorgues. Détecteurs infrarouges. Techniques de l'ingénieur E4060.
- [48] J. Gervais. Mesure du coefficient d'absorption optique dans le silicium multicristallin de type p pour photopiles solaires. *Journal de Physique*, Volume III :p 1489 – 1495, July 1993.
- [49] Maciej Haras and Hasnaa Eloufir. Réalisation d'un convertisseur de puissance innovant : prélèvement sinusoïdal et régulation optique intégrée. Master's thesis, Mini-projet ENSIEG option EPTE - G2Elab, 2007 - 2008.
- [50] Yannick Hervé. Extension ams du langage vhdl pour l'électronique de puissance. Techniques de l'ingénieur D3067.
- [51] Ralitsa Hristova. Utilisation de récepteurs optiques dans les convertisseurs d'électronique de puissance. Master's thesis, Stage 3ème année Université Polytechnique de Sofia - G2Elab, 2007.
- [52] Tran Manh Hung. Autour de l'autoalimentation de la commande rapprochée d'un igbt. Master's thesis, Stage M2R INPG - G2Elab, 2007.
- [53] Silvaco International. Atlas user's manual – device simulation software. Two volumes Manual, February 2000.
- [54] Vinod John, Bum-Seok Suh, and Thomas A. Lipo. High-performance active gate drive for high-power igbt's. *IEEE Transactions on Industry Applications*, Volume 35 No 5, September - October 1999.
- [55] G.F. Khoo, Douglas R.H. Carter, and R.A. McMahon. Analysis of a charge pump power supply with a floating voltage reference. *IEEE Transactions on Circuits and Systems - I : Fundamental Theory and Applications*, Volume 47 No 10, October 2000.
- [56] Benjamin Kosecki. Réalisation d'une autoalimentation pour commande rapprochée d'interrupteur de puissance. Master's thesis, Stage IUT Geii Grenoble - G2Elab, 2007.
- [57] S. Lefebvre and F. Miserey. *Composants à semi-conducteur pour l'électronique de puissance*. Number ISBN : 2-7430-0719-2. Tec et Doc - Lavoisier, 2004.
- [58] Stéphane Lefebvre and Bernard Multon. Commande des semi-conducteurs de puissances : contextes. Techniques de l'ingénieur D3230.
- [59] Stéphane Lefebvre and Bernard Multon. Commande des semi-conducteurs de puissances : principes. Techniques de l'ingénieur D3231.
- [60] Salvatore Leonardi and Aci S. Antonio. Electronic power device monolithically integrated on a semiconductor and comprising a first power region and at least a second region as well as an insulation structure of limited planar dimension. US Patent N° : US 6,451,655 B1, September 17 2002.
- [61] Salvatore Leonardi and Aci S. Antonio. Electronic power device monolithically integrated on a semiconductor and comprising edge protection structures having a limited planar dimension. US Patent N° : US 6,495,423 B1, December 17 2002.
- [62] Philippe Leturcq. Physique des semi-conducteurs de puissance. Techniques de l'ingénieur D3102.
- [63] Philippe Leturcq. Tenue en tension des semi-conducteurs de puissance. Techniques de l'ingénieur D3104.

- [64] H.P. Lips and M. Pauli. Gating systems for high voltage thyristor valves. *IEEE Transactions on Power Delivery*, Volume 3 Issue 3 :p 978–983, July 1988.
- [65] Rodolphe De Maglie. *Modélisation de différentes technologies de transistors bipolaires à grille isolée pour la simulation d'applications en électronique de puissance*. PhD thesis, Université Paul Sabatier Toulouse III, 2007.
- [66] Henry Mathieu. *Physique des semiconducteurs et des composants électroniques*. Number ISBN 2 225 83151 3. Quatrième édition, 1998.
- [67] Henry Mathieu, Thierry Bretagnon, and Pierre Lefebvre. *Physique des semiconducteurs et des composants électroniques – Problèmes résolus*. Number ISBN 2 10 004662 4. Dunod, 2001.
- [68] Pierre Mayé. *Les infrarouges en électronique*. Number ISBN 2 10 006309 X. Dunod, 2003.
- [69] K. G. McKay. Avalanche breakdown in silicon. *Physical Review*, Volume 94 No 4 :p 1–8, May 1954.
- [70] K. G. McKay and K. B. McAfee. Electron multiplication in silicon and germanium. *Physical Review*, Volume 91 No 5 :p 1–6, September 1953.
- [71] T. Meynard, F. Forest, F. Richardeau, and E. Laboure. Method and device for supply to a magnetic coupler. International Patent N° : WO/2007/006902, January 1 2007.
- [72] Wei Mi. *Extraction des paramètres et domaine de validité du modèle d'un composant de puissance*. PhD thesis, INSA Lyon Cegely, 2000.
- [73] R. Mitova, J-Ch. Crébier, L. Aubard, and C. Schaeffer. Gate driver supply of power switches without galvanic insulation. In *Industry Applications Conference - IEEE IAS -*, volume Volume : 3, On page(s) : 1917- 1923, 2004.
- [74] R. Mitova, J-Ch. Crébier, L. Aubard, and C. Schaeffer. Integrated driver supply with jfet as a linear regulator. In *Power Electronics Specialists Conference - IEEE PESC -*, volume Volume : 6, On page(s) : 4163- 4169, 2004.
- [75] Radoslava Mitova. *Intégration de l'alimentation de la commande rapprochée d'un interrupteur de puissance à potentiel flottant*. PhD thesis, INPG - G2Elab, 2005.
- [76] Radoslava Mitova, Jean-Christophe Crebier, Laurent Aubard, and Christian Schaeffer. Fully integrated gate drive supply around power switches. *IEEE Transactions on Power Electronics*, Volume 20 No 3, May 2005.
- [77] B. Murari, C. Contiero, R. Gariboldi, S. Sueri, and A. Russo. Smart power technologies evolution. In *Industry Applications Conference - IEEE IAS -*, volume Volume : 1, On page(s) : P10-P19, 2000.
- [78] In-Hwan Oh. Lossless snubber circuit in flyback converter and its utilization for low operating voltage. In *Power Electronics Intelligent Motion Power Quality - PCIM -*, 2005.
- [79] Nichiporuk Oleksiy. *Simulation, fabrication et analyse de cellules photovoltaïques à contacts arrières interdigités*. PhD thesis, INSA Lyon, 2005.
- [80] K. Owyang, C. Bulucea, F. Hshieh, and H. Yilmaz. Advances in power mosfet technologies for automotive applications. In *Automotive Power Electronics*, August 1989.

- [81] Gaetano Palumbo, Domenico Pappalardo, and Maurizio Gaibotti. Charge-pump circuits : Power-consumption optimization. *IEEE Transactions on Circuits and Systems - I : Fundamental Theory and Applications*, Volume 49 No 11, November 2002.
- [82] Shihong Park and Thomas M. Jahns. Flexible dv/dt and di/dt control method for insulated gate power switches. *IEEE Transactions on Industry Applications*, Volume 39 No 3, May - June 2003.
- [83] Shihong Park and Thomas M. Jahns. A self-boost charge pump topology for a gate drive high-side power supply. *IEEE Transactions on Power Electronics*, Volume 20 No 2, March 2005.
- [84] H.R. Philipp and E.A. Taft. Optical constants of silicon in the region 1 to 10 ev. *Physical review*, Volume 120 Number 1 :p 37–38, May 1960.
- [85] J.L. Polleux and C. Rumelhard. Modélisation physique et coefficient d'absorption optique de photodétecteurs sige pour les applications optomicroondes. In *12ème journées nationales Microondes*, 16 - 18 Mai 2001.
- [86] Rosencher and Vinter. *Optoélectronique*. Number ISBN : 2-10-006554-8. Dunod, 2002.
- [87] N. Rouger. Fonctions intégrées tout silicium. Master's thesis, Stage M2R INPG - G2Elab, 2005.
- [88] N. Rouger and J. Crebier. Intégration monolithique d'un récepteur optique au sein de transistors de puissance : enjeux et possibilités. In *Electronique de Puissance du Futur - EPF*, July 2008.
- [89] N. Rouger and J-C. Crebier. Toward generic fully integrated gate driver power supplies. *IEEE Transactions on Power Electronics*, Volume 24 Issue 1, July / August 2008.
- [90] N. Rouger and J-C. Crebier. Integrated photoreceiver for an isolated control signal transfert in favour of power transistors. In *International Symposium on Power Semiconductor Devices and IC's - IEEE ISPSD*, volume A paraître, May 2008.
- [91] N. Rouger, J-C. Crebier, L. Aubard, and C. Schaeffer. Toward generic fully integrated gate driver power supplies. In *Industrial Electronics Conference - IEEE IECON -*, volume On page(s) : 1866 - 1871, 2006.
- [92] N. Rouger, J-C. Crebier, and S. Catellani. High efficiency and fully integrated self powering technique for viper based flyback converters. In *Industry Applications Conference - IEEE IAS -*, volume Volume : 5, On page(s) : 2503-2510, 2006.
- [93] N. Rouger, J-C. Crebier, and S. Catellani. High efficiency and fully integrated self powering technique for intelligent switch based flyback converters. *IEEE Transactions on Industry Applications*, Volume 44 Issue 3, May / June 2008.
- [94] N. Rouger, J-C. Crebier, H. Tran Manh, and C. Schaeffer. Toward integrated gate driver supplies : Practical and analytical studies of high-voltage capabilities. In *Power Electronics Specialist Conference - IEEE PESC -*, volume to be published, July 2008.
- [95] N. Rouger, J-C. Crebier, R. Mitova, L. Aubard, and C. Schaeffer. Fully integrated driver power supply for insulated gate transistors. In *International Symposium on Power Semiconductor Devices and IC's - IEEE ISPSD*, volume On page(s) : 1-4, 2006.

- [96] N. Roux, F. Richardeau, and H. Foch. Self-switching and protected converters : new cells synthesis. In *Power Electronics Specialists Conference - IEEE PESC -*, volume Volume : 4, On page(s) : 1494- 1499, 2003.
- [97] Nicolas Roux. *Nouveaux mécanismes de commutation exploitant les protections intégrées des semi-conducteurs de puissance. Application à la conception de convertisseurs statiques à commutation automatique*. PhD thesis, INPToulouse - Laplace, 2004.
- [98] Jean-Louis Sanchez. *Intégration fonctionnelle de composants de puissance : principes et technologie*. Habilitation à Diriger des Recherches - LAAS – Université Paul Sabatier, 1995.
- [99] Michel Savelli, Daniel Gasquet, and Bernard Orsal. Physique des dispositifs électroniques. Techniques de l'ingénieur E1100.
- [100] Antonio Serru. Evolution pratique de l'autoalimentation : vers une alimentation bipolaire. Master's thesis, Stage d'échange 2ème année ENSIEG - G2Elab, 2006.
- [101] G. Spiazzi, D. Tagliavia, and S. Spampinato. Dc-dc flyback converters in the critical conduction mode : a re-examination. In *Industry Applications Conference - IEEE IAS -*, volume Volume : 4, On page(s) : 2426-2432, 2000.
- [102] Simon M. Sze and Kwok K. Ng. *Physics of Semiconductor Devices*. Number ISBN : 978-0471143239. Third Edition, 2006.
- [103] Antonino Torres and Sergio Tommaso Spampinato. Integrated circuit including protection against polarity inversion of the substrate potential. US Patent N° : US 6,815,779 B1, November 9 2004.
- [104] Benjamin Vallet. *Etude et conception d'une nouvelle alimentation à découpage à transfert d'énergie mixte basée sur un composant passif LCT intégré*. PhD thesis, INPG - G2Elab, 2007.
- [105] Dejan Vasic, François Costa, and Emmanuel Sarraute. Piezoelectric transformer for integrated mosfet and igbt gate driver. *IEEE Transactions on Power Electronics*, Volume 21 No 1, January 2006.
- [106] Guillaume Verneau. *Optimisation géométrique de MOSFETs de puissance en vue d'intégrer l'alimentation de l'étage de commande*. PhD thesis, INPG - G2Elab, 2003.
- [107] L. Vincent, B. Nguyen, F. Alkayal, J-C. Crebier, and C. Schaeffer. V-jfet transistors for over voltage protection in power device series connected applications. In *International Symposium on Power Semiconductor Devices and IC's - IEEE ISPSD*, June 2006.
- [108] Loïc Vincent. *Conception assistée et prototypage de systèmes intégrés sur Silicium - Application à l'interrupteur de puissance à commande automatique*. PhD thesis, INPG - G2Elab, prévue en 2008.
- [109] Raffaele Zambrano, Mercato San Severino, and Salvatore Musumeci. Manufacturing process for a monolithic semiconductor device comprising at least one transistor of an integrated control circuit and one power transistor integrated on the same chip. US Patent N° : US 4,965,215, October 23 1990.

Articles de revues internationales avec comité de relecture

Paru

IEEE transactions on Power Electronics
Loss Free Gate Driver Unipolar Power Supply For High Side Power Transistors

J-C. Crebier, **N. Rouger** - Volume 23 Issue 3. **May / June 2008.**

Abstract : *The paper presents a simple and cost effective solution to supply high side power electronic switch gate drivers. The solution can be integrated and it is demonstrated that it can be loss free, depending on how the power switch is driven. The solution is based on a pulsed linear regulator, only sensitive to a positive dv/dt . At every main power switch's turn OFF, it recycles the switching losses in order to recharge a storage capacitor. The paper presents the global operation and focuses on interesting and important operating characteristics thanks to simulation and practical results.*

IEEE transactions on Industry Applications
High Efficiency and Fully Integrated Self Powering Technique For Intelligent Switch Based Flyback Converters

N. Rouger, J-C. Crebier, S. Catellani - Volume 44 Issue 3.
May / June 2008.

Abstract : *To answer the low cost and simplicity necessities for massive market converter applications (home appliance and automotive for example), and with the help of the monolithic integration, new components have been developed by the industrials. This approach leads to cost and volume reductions. In the case of intelligent power Mosfet, the control part is supplied through one supplementary winding, integrated with the Flyback converter's inductor. The result is an extra cost and a specific design of passive. We propose an original solution to allow permanent and wide range operation, with no need of any supplementary 3rd coil to power supply the intelligent switch. This solution can be easily integrated in the same substrate, within the power switch, without special needs for insulation, bringing fairly good results in Flyback converter applications based on the use of intelligent switches. In addition, the powering technique is used to clamp the turn OFF*

over voltage. The global converter's operation takes advantage of the implementation of this new technique.

IEEE transactions on Power Electronics
Toward generic fully integrated gate driver power supplies

N. Rouger, J-C Crebier - Volume 24 Issue 1. July / August 2008.

Abstract : *An original method to power supply gate drivers has been previously developed. This solution takes advantage of power switch commutations to recharge periodically a storage capacitor, and then to create the necessary floating power supply, useful for many power electronic converters. It is a low cost solution that can be integrated, but it presents some disadvantages : the storage capacitor must be adjusted with respect to the ON state time duration, and a permanent ON state operation is forbidden. Moreover, with the existing solution, a low frequency operation is problematic, because a large storage capacitor would be required. The proposed work presents here an improvement of the solution, in order to allow flexible or even permanent ON state time duration operation of a self powered Mosfet, using few additional elements. This solution exhibits unexpected and fairly good efficiency levels and presents a high ability for a simple implementation and monolithic integration. Added to these new features, smaller values for the storage capacitor can be used for this self powered driver power supply, allowing from very low up to high frequency operation and high duty cycle operation. This particular solution may simplify the integration of the storage capacitor, in the same substrate as the main switch and its self powering circuits.*

Revue Internationale de Génie Electrique
Promotion d'une Approche Systeme dans l'Integration Monolithique pour Semiconducteurs de Puissance

J-C. Crebier, B. Nguyen, L. Vincent, N. Rouger, L. Aubard, C. Shaeffer. 01-2007.

Abstract : *Cet article fait la promotion de l'approche développée au LEG dans le domaine de l'intégration monolithique sur silicium au sein des composants de puissance. Après une présentation rapide des dividendes espérés de l'intégration monolithique suivie de l'identification de la problématique, le positionnement de l'activité et de l'approche menée, entre autres, au LEG sont mis en exergue ; ceux-ci reposent sur l'identification des besoins et des limites de l'électronique de puissance actuelle associée à un effort de réalisme vis-à-vis des besoins et du recours à la technologie. L'effort de recherche est développé à travers une présentation de l'activité d'intégration autour de plusieurs thèmes ; l'intégration de la commande rapprochée et de son alimentation, celle d'une fonction de protection en surtension au sein même du composant de puissance. Devant l'évolution des problèmes de conception couplés et multi-objectifs, une dernière partie traite du développement d'un support logiciel de Conception Assistée et de Capitalisation en Intégration sur Silicium.*

Articles de conférences internationales avec comité de relecture

Paru

IEEE Pesc08 - *Toward Integrated Gate Driver Supplies : Practical and Analytical Analysis of High-Voltage Capabilities*
Rhodes Island.
GREECE

N. Rouger, J-C. Crebier, H. Manh, C. Schaeffer, L. Aubard
- Poster Session. *To be held on June 2008.*

IEEE Ispsd08 - *Integrated Photoreceiver For An Isolated Control Signal*
Orlando FL - *Transfert In Favour Of Power Transistors*
USA

N. Rouger, J-C Crebier - **Accepted paper**. Poster session. *To be held on May 2008.*

IEEE IAS'06 *High Efficiency and Fully Integrated Self Powering Technique*
- Tampa FL - *For VIPer Based Flyback Converters*
USA

N. Rouger, S. Catellani, J-C. Crebier - **Oral session**. *Oct 2006.*

IEEE IeCon06 - *Toward generic fully integrated gate driver power supplies*
Paris FRANCE

N. Rouger, J-C. Crebier, L. Aubard, C. Schaeffer - **Oral session**. *Nov 2006.*

IEEE Ispsd06 - *Fully integrated driver power supply for insulated gate transistors*
Napoli ITALY

N. Rouger, J-C. Crebier, R. Mitova, L. Aubard, C. Schaeffer- **Oral session : invited speaker**. *June 2006.*

Articles de conférences nationales

Paru

EPF08 - Tours *Intégration Monolithique d'Un Récepteur Optique Au Sein
De Transistors De Puissance : Enjeux Et Possibilités*
FRANCE
N. Rouger, J-C Crebier. Poster Session. *July 2008.*

EPF06 - Grenoble *Promotion d'une Approche Systeme dans l'Integration Mo-
nolithique pour Semiconducteurs de Puissance*
FRANCE
J-C. Crebier, B. Nguyen, L. Vincent, N. Rouger, L. Au-
bard, C. Shaeffer. Oral session. *July 2006.*

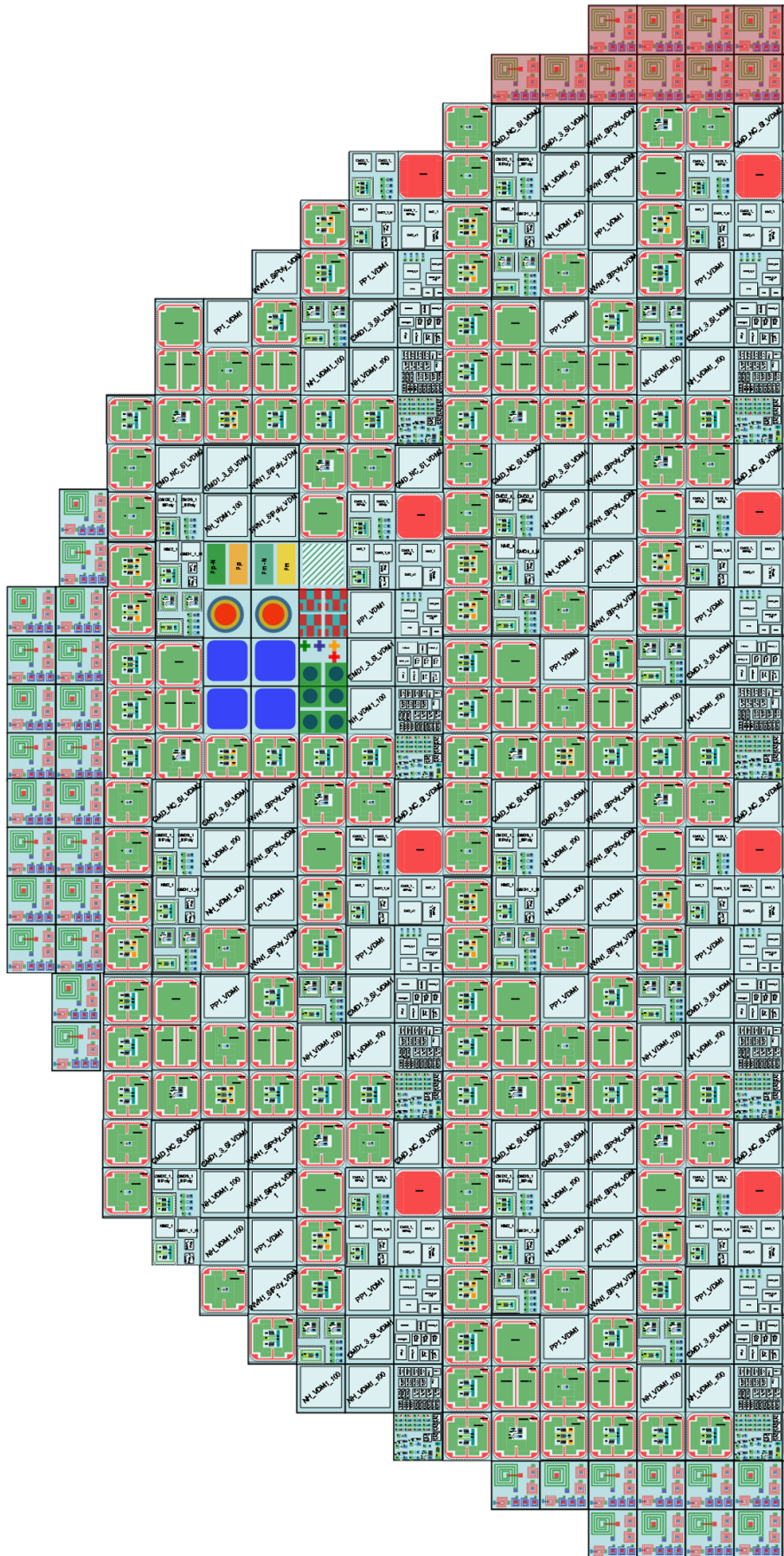


FIGURE A.2 – Partie gauche du Wafer complet stylisé

INTÉGRATION MONOLITHIQUE DES FONCTIONS D'INTERFACE AU SEIN DE COMPOSANTS DE PUISSANCE À STRUCTURE VERTICALE

Résumé Les travaux de cette thèse portent sur l'intégration monolithique de nouvelles fonctions pour les transistors de puissance à technologie verticale et grille isolée. Les efforts se sont concentrés plus particulièrement autour de deux fonctions : l'intégration monolithique d'un dispositif d'alimentation pour le circuit de commande rapproché, et l'intégration monolithique d'un récepteur optique nécessaire à l'isolation galvanique entre la commande rapprochée et la commande éloignée. Le mémoire de thèse se structure en trois chapitres équivalents : présentation et validation des structures, modélisation analytique des phénomènes, et enfin conception et caractérisation des dispositifs. Les champs d'applications de ces travaux couvrent un large spectre, favorisant l'émergence de convertisseurs de puissance innovants, à haute densité de puissance et coût de fabrication réduit.

Mots clés *Modélisation et conception de transistors de puissance, intégration monolithique fonctionnelle bas coût, isolation et transmission par voie optique, convertisseurs de puissance innovants à haute densité de puissance.*

MONOLITHIC INTEGRATION OF INTERFACE FUNCTIONS FOR CONTROL PURPOSES WITHIN VERTICAL POWER TRANSISTORS

Abstract The work presented in this PhD manuscript deals with the monolithic integration of new functions within vertical FET power transistor. Two important functions have been considered : the monolithic integration of a self supply for the gate driver and the monolithic integration of a photoreceiver usefull for the control signal's transfert between the external circuit and the power transistor's driver. This document has three chapters : introduction and validation of the circuits, analytic model of the phenomena, and at last the design and the characterization of the complete systems.

The results of this work concern a wide range of applications, especially towards new power converters with high power densities at low manufacturing and implementation costs.

Keywords *Power transistors modelling and design, low cost monolithic integration, optical insulation, optical fiber transmission, novel power converters with high-power density.*