HAL
open science

Evaluation de Back-End Of Line Optimisés pour les Inductances Intégrées en Technologies CMOS et BiCMOS Avancées visant les Applications Radiofréquences

Carine Pastore

To cite this version:

Carine Pastore. Evaluation de Back-End Of Line Optimisés pour les Inductances Intégrées en Technologies CMOS et BiCMOS Avancées visant les Applications Radiofréquences. Micro et nanotechnologies/Microélectronique. Université Joseph-Fourier - Grenoble I, 2009. Français. NNT : . tel-00376382

HAL Id: tel-00376382

https://theses.hal.science/tel-00376382v1

Submitted on 17 Apr 2011

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

UNIVERSITE JOSEPH FOURIER DE GRENOBLE

N° attribué à la bibliothèque
/_/_/_/_/_/_/_/_/_/_/

THESE

Pour obtenir le grade de

DOCTEUR DE L'UJF Grenoble

Spécialité : ***« Optique et Radiofréquences »***

Préparée à *l'**Institut de Microélectronique, Electromagnétisme et Photonique***

Dans le cadre de l'Ecole Doctorale

Electronique, Electrotechnique, Automatisme et Traitement du Signal

Présentée et soutenue publiquement par

Carine PASTORE

Evaluation de Back End Of Line Optimisés pour les Inductances Intégrées en Technologies CMOS et BiCMOS Avancées visant les Applications Radiofréquences

Thèse dirigée par ***Philippe Benech, Professeur UJF***

Soutenue le 11 Mai 2009

JURY

M. Philippe Ferrari, *professeur UJF Grenoble,* Président
M. Robert Plana, *professeur UPS Toulouse,* Rapporteur
M. Eric Kerhervé, *professeur IMS Bordeaux,* Rapporteur
M. Philippe Benech, *professeur UJF Grenoble,* Directeur de thèse
M. Frédéric Gianesello, *docteur STMicroelectronics,* Examinateur
M. John Long, *professeur Université de Delft,* Examinateur
M. Jean-Christophe Giraudin, *ingénieur STMicroelectronics,* Invité

TABLE DES MATIERES

GLOSSAIRE…….…….…….7

INTRODUCTION……..13

I. Motivations 15

II. Objectifs 15

CHAPITRE 1: CONTEXTE DE L'ETUDE…….……..19

I. Les Inductances Au Cœur de la Conception D'Emetteur-Récepteur Radiofréquences 22

I.1. L'essor de la téléphonie mobile d'hier à aujourd'hui 22

I.1.1. Les premières communications hertziennes 22

I.1.2. L'évolution du GSM..... 23

I.2. Le système émetteur-récepteur radiofréquences 25

I.2.1. Fonctionnement général 25

I.2.2. Les inductances : un composant clé des différents étages RF 26

I.3. Cahier des charges des inductances en fonction du circuit considéré 30

II. Les Inductances : Du Composant Hors Puce à son Intégration sur Silicium 31

II.1. Les inductances hors puce en silicium 32

II.1.1. Les inductances « filaires » 32

II.1.2. Les inductances discrètes 32

II.1.3. Les inductances en technologie IPD 32

II.1.4. Les inductances intégrées dans le boîtier : technologie « SIP » 33

II.2. Les inductances intégrées en technologie silicium..... 34

II.2.1. Les inductances en Above IC 34

II.2.2. Les inductances de type MEMS 35

II.2.3. Les inductances intégrées dans le BEOL 35

III. Les Inductances Intégrées dans le BEOL en Technologie Silicium 37

III.1. Les paramètres géométriques et technologiques 37

III.2. Les phénomènes physiques 38

III.2.1. Le couplage magnétique 38
III.2.2. Les pertes métalliques 39
III.2.3. Les effets parasites du substrat silicium et du diélectrique isolant 42
III.3. Les modèles électriques 44
III.4. Le facteur de qualité : figure de mérite usuelle des inductances 45
IV. Optimisation des Inductances Intégrées en Technologie Silicium Avancée 46
IV.1. Revue bibliographique des techniques reportées dans la littérature 46
IV.1.1. Histoire d'une évolution 47
IV.1.2. Synthèse et statut 60
V. Objectifs de l'Etude 61
VI. Références 63

CHAPITRE 2: STRATEGIE DE GESTION DES DENSITES DE METALLISATION POUR LES INDUCTANCES INTEGREES……..……..71
I. Introduction 74
II. Intégration d'Interconnexions en Architecture Cuivre Damascène dans les Circuits Intégrés 75
II.1. De l'aluminium au cuivre damascène 76
II.1.1. Le retard induit par les interconnexions 76
II.1.2. Les avantages de la technologie cuivre 77
II.1.3. Les défis de l'intégration du cuivre : l'architecture damascène 78
II.2. Les étapes de fabrication des procédés cuivre « double » et « simple » damascène ... 80
II.2.1. Principe général 80
II.2.2. Description de l'architecture double damascène pour les bas niveaux 81
II.2.3. Description de l'architecture simple damascène pour le niveau optionnel en cuivre épais 81
II.3. Le polissage mécano-chimique du cuivre : une étape critique 82
II.3.1. Principe général 82
II.3.2. Sa criticité : trois étapes spécifiques 83
II.3.3. L'opération d'aplanissement de la surface du cuivre électrolytique 83
II.3.4. L'opération de révélation des lignes d'interconnexions en cuivre 85
II.3.5. L'opération d'isolation des lignes d'interconnexions en cuivre 86
II.3.6. Les topographies potentielles à la fin de l'opération de PMC 87

II.3.7. Problématique des défauts topographiques 87

II.4. Introduction de règles de densités de métallisation : une contrainte pour les inductances intégrées 88

II.4.1. Règles de dessin et densités de métallisation pour les interconnexions digitales 88

II.4.2. Règles spécifiques de densités de métallisation pour les inductances intégrées . 90

II.4.3. Problématique des règles actuelles pour les inductances intégrées 91

III. Définition d'une stratégie de densité de métallisation pour les inductances intégrées 92

III.1. Description des structures de test de référence 92

III.1.1. Les technologies d'intégration utilisées 92

III.1.2. Les inductances de référence 94

III.2. Description des structures de test avec des inserts métalliques 96

III.2.1. Paramètres géométriques et technologiques des inserts métalliques 96

III.2.2. Définition des plans d'expériences 98

III.2.3. Inductances avec inserts métalliques au centre des spires 101

III.2.4. Inductances avec inserts métalliques sous les spires 102

III.2.5. Inductances avec inserts métalliques autour des spires 103

IV. Caractérisation des structures de tests et extraction des paramètres 104

IV.1. Généralités sur les mesures hyperfréquences 104

IV.1.1. L'analyseur de réseaux et les sondes RF 104

IV.1.2. L'opération de calibration 105

IV.1.3. L'opération d'épluchage 105

IV.2. Paramètres électriques étudiés 106

IV.2.1. Le facteur de qualité Q et la valeur du pic Q_{max} 106

IV.2.2. La fréquence de coupure F_c 107

IV.2.3. La valeur de l'inductance série L_s 107

IV.2.4. La valeur de la résistance série R_s 107

IV.3. Analyse des résultats de mesure et des plans d'expériences 107

IV.3.1. Inductances avec inserts métalliques au centre des spires 107

IV.3.2. Inductances avec inserts métalliques sous les spires 111

IV.3.3. Inductances avec inserts métalliques autour des spires 115

IV.4. Discussion des résultats 117

V. Conclusion 120

VI. References 121

CHAPITRE 3: INDUCTANCES A FORT FACTEUR DE QUALITE ET FORT COURANT INTEGREES EN TECHNOLOGIE CMOS AVANCES SUR SILICIUM MASSIF UTILISANT UN MODULE DOUBLE CUIVRE EPAIS…….....…….…….127

I. Introduction 130

II. Inductances Intégrées en Technologie CMOS Avancée sur Silicium Massif 132

II.1. Des performances limitées à partir d'un BEOL standard 132

II.1.1. Augmentation de la capacité parasite avec le substrat 132

II.1.2. Augmentation de la résistance DC 133

II.1.3. Réduction de la capacité en courant I_{max} 134

II.2. Opportunité d'un BEOL avec un module simple cuivre épais 137

II.2.1. Réduction de la résistance DC de l'inductance 137

II.2.2. Problématique de la capacité en courant I_{max} de l'inductance 138

III. Inductances Intégrées en Technologie CMOS avancée sur Silicium Massif avec un Module Double Cuivre Epais 140

III.1. Technologie d'intégration utilisée 140

III.1.1. Nouveau BEOL (M6T+M7T+AP)..... 140

III.1.2. Ses performances 141

III.2. Optimisation des performances des inductances 143

III.2.1. Augmentation de la capacité en courant I_{max}..... 143

III.2.2. Optimisation de la capacité parasite : nouvelle architecture d'« underpass»... 144

III.2.3. Réduction de la résistance DC 147

III.3. Définition et description des structures de test 148

III.3.1. Description des inductances de référence 149

III.3.2. Description architecturale des inductances en double cuivre épais 151

IV. Caractérisation des Structures de Test et Extraction des Paramètres 152

IV.1. Mesures des performances RF 152

IV.2. Analyse des résultats sur l'introduction du module double cuivre épais..... 153

IV.2.1. Inductances mono-tour à fort facteur de qualité 153

IV.2.2. Inductances multi-tours visant une faible surface..... 153

IV.3. Bilan et discussion des résultats 156

IV.3.1. Inductances mono-tour à fort facteur de qualité 156

IV.3.2. Inductances multi-tours visant une faible surface..... 157

IV.3.3. Comparaison avec la littérature 158

V. Conclusion 160

VI. Références 162

CHAPITRE 4: INDUCTANCES A FORT FACTEUR DE QUALITE ET FORT COURANT INTEGREES EN TECHNOLOGIE CMOS SOI HR SUR SILICIUM MASSIF UTILISANT UN MODULE DOUBLE CUIVRE EPAIS…….....…….…….165

I. Introduction 168

II. Inductances Intégrées en Technologie CMOS SOI HR 171

II.1. Architecture des inductances planaires 171

II.1.1. Suppression du plan de masse à motifs (PGS) 171

II.1.2. Utilisation de l'intégralité du BEOL 172

II.2. Architecture d'inductances dédiées : avènement des topologies 3D 172

II.2.1. Les inductances 3D sur 2 niveaux 174

II.2.2. Les inductances 3D sur 4 niveaux 176

II.3. Applications de puissance : intérêt du module double cuivre épais 176

II.3.1. Les inductances planaires 177

II.3.2. Les inductances 3D sur 2 niveaux 178

III. Inductances Intégrées en Technologie CMOS SOI HR avec un Module Double Cuivre Epais 179

III.1. Technologie d'intégration utilisée 179

III.1.1. Nouveau BEOL (M5T+M6T+AP) 179

III.1.2. Ses performances 180

III.2. Définition et description des structures de test 180

III.2.1. Description des inductances de référence 181

III.2.2. Description architecturale des inductances en double cuivre épais 186

IV. Caractérisation des structures de test en double cuivre épais et extraction des paramètres 188

IV.1. Mesures des performances RF 188

IV.2. Analyse des résultats 188

IV.2.1. Les inductances planaires 188

IV.2.2. Les inductances 3D multi-tours 191

IV.3. Bilan et discussions concernant les inductances planaires 195

IV.3.1. Les inductances planaires mono-tour 195

IV.3.2. Les inductances planaires multi-tours 196

IV.4. Bilan et discussions concernant les inductances 3D multi-tours *198*

IV.5. Comparaison avec la littérature *199*

V. Conclusion 201

VI. Références 203

CONCLUSION…….....……..…….207

I. Statut 209

II. Synthèse des Travaux 210

III. Perspectives 213

IV. Références 215

LISTE DES PUBLICATIONS ET BREVETS….....…….…….217

I. Articles de Journaux Scientifiques 219

II. Communications Internationales 219

III. Brevets en cours d'Evaluation 220

GLOSSAIRE

A

AIC: Above Integrated Circuit: Composant situé au-dessus de la couche de passivation et donc fabriqué après le BEOL.

AMRF : Accès Multiple par Répartition en Fréquence

B

BE : Back End : Dans la fabrication d'un circuit intégré, le BE désigne l'ensemble des étapes de mise en boîtier de la puce.

BEOL: Back End Of the Line : Dans la fabrication d'un circuit intégré, le BEOL désigne l'ensemble des étapes de fabrication depuis le premier niveau de métallisation jusqu'au procédé de passivation de la puce, correspondantes aux niveaux d'interconnexions.

C

CDMA: Code Division Multiplex Access

CMOS: Complementary Metal Oxide Semiconductor : Technologie utilisée pour la fabrication de circuit intégré et ayant la particularité de juxtaposer des transistors à effet de champ (MOSFETs) de type n et de type p pour les applications logiques.

CVD : Chemical Vapor Deposition : Technique chimique de dépôt en phase vapeur.

D

DECT : Digital Enhanced Cordless Telephone: Norme de téléphonie sans-fil numérique destinée aux particuliers comme aux entreprises sur la gamme de fréquence 1 880 à 1 900 MHz (micro-ondes).

DUT: Device Under Test

E

EDGE: Enhanced Data Rates for Global Evolution

F

FE : Front End : Dans la fabrication d'un circuit intégré, le FE désigne l'ensemble des étapes de fabrication des composants actifs (FEOL) et des composants passifs (résistances, inductances, capacités, lignes d'interconnexions regroupés sous le nom de BEOL) avant sa mise en boîtier.

FEOL : Front End Of the Line : Dans la fabrication d'un circuit intégré, le FEOL désigne l'ensemble des étapes de fabrication des composants actifs (transistors) jusqu'au premier niveau de métallisation.

G

GPRS: General Packet Radio Service

GSM: Global System for Mobile Communication : il s'agit du standard le plus populaire pour les téléphones mobiles dans le monde.

GSM: Global System for Mobile Communication

H

HBT: Heterojonction Bipolar Transistor: Le transistor HBT est une amélioration du transistor bipolaire à jonction (BJT) pouvant fonctionner à plusieurs centaines de GHz. Il est communément utilise dans les circuits RF.

HEMT: High Electron Mobility Transistor, appelé aussi Heterostructure Field Effect Transistor (HFET) or modulation-doped FET (MODFET). Un transistor à hétérostructure est un transistor à effet de champ incluant une jonction entre deux matériaux à deux gaps de bandes différents (hétérojonction). La combinaison de matériaux la plus souvent utilisée est le GaAs avec l'AlGaAs.

HSDPA: High Speed Downlink Package Access

HR: Hautement Résistif

I

IC: Integrated Circuit: Circuit Intégré.

IMTS: Improved Mobile Telephone Service

L

LDMOSFET: Laterally Diffused Metal Oxide Semiconductor Field Effect transistor. Ces transistors à effet de champ sont généralement utilisés dans les amplificateurs de puissance de la partie émission d'un émetteur-récepteur RF. Ces transistors sont fabriqués via une couche de silicium épitaxiée sur un substrat silicium plus fortement dopé.

LNA: Low Noise Amplifier

LTE: Long Term Evolution

M

MEMS: Micro Electro-Mechanical Systems: Système micrométrique comprenant une fonction électronique et mécanique, et fabriquer par l'utilisation de techniques non standard de la microélectronique mais par des techniques dites de « micromachining ».

MESFET: Metal Epitaxial Semiconductor Field Effect Transistor. Ce transistor est assez similaire à un JFET. La différence est qu'au lieu d'utiliser une fonction p-n en tant que grille, une jonction Schottky (metal - semiconducteur) junction est employée. Ils sont généralement fabriquées sur des substrat de type GaAs, InP, ou SiC. Ils sont plus rapides mais plus chers que les JFETs et MOSFETs sur silicium.

MOSFET: Metal Oxide Semiconductor Field Effect Transistor: Ce transistor à effet de champ sur silicium est parmi ceux les plus utilisés à la fois pour les fonctions digitales que pour les circuits analogues. Il est composé d'une grille en polysilicium, d'une source et de deux zones fortement dopées (un drain et une source), d'un substrat semi-conducteur et d'une couche de diélectrique.

O

OFDM: Orthogonal Frequency Division Multiplexing : procédé de codage de signaux numériques par répartition en fréquences orthogonales sous forme de multiples sous-porteuses.

P

PA: Power Amplifier

PMC : Polissage Mécano-Chimique : Opération de polissage du cuivre par action mécanique et chimique, introduit par l'architecture cuivre Damascène.

PECVD : Plasma Enhanced Chemical Vapor Deposition : Technique chimique de dépôt en phase vapeur avec plasma.

PVD : Physical Vapor Deposition : Technique physique de dépôt en phase vapeur.

R

RF : Radio Fréquence : Gamme de fréquences typiquement comprises entre 3 Hz et 300 GHz.

RIE : Reactive Ion etching

S

SIP: System In Package : Un System-in-a-Package ou System in Package est un nombre déterminé de circuits intégrés contenus dans un unique boîtier ou module. Le SIP réalise toutes les fonctions ou presque d'un système électronique. Dans un SiP, les puces sont empilées verticalement, en comparaison avec l'empilement horizontal de modules multi-chips.

SOI: Silicon On Insulator

SOC: System On Chip : On parle de System On Chip lorsque tous les composants d'un système électronique sont intégrés sur un unique circuit intégré. Ce système peut contenir sur une même puce des fonctions, digitales, analogues, mixtes, mais aussi des fonctions Radio Fréquences.

T

TDMA: Time Division Modulation Access

U

UMTS: Universal Mobile Telecommunication System

V

VCO: Voltage Control Oscillator

VNA: Vector Network Analyser

W

Wifi: Wireless Fidelity: Technique de réseau informatique sans fil mise en place pour fonctionner en réseau interne et, depuis, devenu un moyen d'accès à haut débit à Internet. Il est basé sur la norme IEEE 802.11 (ISO/CEI 8802-11).

WiMax : Worldwide Interoperability for Microwave Access

WLAN: Wireless Local Area Network

WAP: Wireless Application Protocol

INTRODUCTION :

MOTIVATIONS ET OBJECTIFS

SOMMAIRE

I. Motivations 15

II. Objectifs 15

I. MOTIVATIONS

L'industrie de la microélectronique connaît depuis ses origines un développement extraordinaire tant les possibilités d'applications sont nombreuses et prometteuses. Parmi les applications grand public, on compte la téléphonie mobile. En pleine expansion, cette dernière doit aujourd'hui satisfaire des contraintes de faible coût, faible consommation, faible facteur de forme, tout en offrant des applications toujours plus complexes et performantes. C'est pour répondre à ces exigences que l'industrie du semi-conducteur se dirige progressivement vers l'intégration complète de l'émetteur-récepteur (blocs RF/digitaux/analogues), sur une même puce en silicium, à faible coût et faible puissance de consommation.

Si depuis 1965 la loi de Moore a conduit à une réduction croissante de la taille nominale de la grille des transistors MOS (et donc à une intégration toujours plus massive du nombre de transistors sur une même puce), les composants passifs n'ont pas connu une telle évolution. C'est le cas en particulier des inductances. Longtemps assemblées unitairement, il faudra attendre 1990 pour que la première inductance intégrée voit le jour et fasse entrer ce composant passif dans l'ère de l'intégration sur silicium.

Fabriqué à partir des niveaux d'interconnexions en technologies CMOS et BiCMOS, ce dispositif clé des applications RF va devoir répondre à son tour aux critères de fortes performances électriques, faible surface et/ou forts courants. Mais le défi n'est pas si simple à relever. En effet, l'évolution du Back-End Of Line (BEOL) des technologies CMOS avancées et l'utilisation d'un substrat silicium à pertes tendent à dégrader fortement les performances de ces dispositifs. Ainsi, à relativement court terme, le développement de BEOL optimisés pour les inductances intégrées est apparu indispensable, si on veut pouvoir répondre aux cahiers des charges visés par les circuits RF.

II. OBJECTIFS

Dans ce contexte, le principal objectif de cette thèse est de fournir des choix technologiques pour les inductances intégrées, en technologie silicium (massif ou sur substrat SOI Hautement Résistif), visant les applications standards ou de puissance, dans la bande des radiofréquences (1 à 5 GHz) des prochains nœuds technologiques.

Ces solutions technologiques, intégrables sur silicium et compatibles avec les dispositifs actifs, permettront de répondre aux trois contraintes actuelles qui sont : le facteur de qualité Q, la surface occupée et/ou la capacité en courant I_{max} des inductances intégrées. En fonction des choix

techniques proposés, des optimisations en terme de dessin (ou « layout », en anglais) pourront être réalisées afin d'utiliser au mieux la technologie développée.

Pour réaliser ce travail, on s'appuiera sur l'optimisation d'architectures d'inductances intégrées dans des technologies de type BiCMOS (130 nm) ou CMOS (nœud 65nm), reposant sur un procédé cuivre damascène.

Nous allons tout d'abord présenter au chapitre 1 une synthèse bibliographique. Ceci nous permettra d'apprécier l'importance de ce composant pour la conception de l'émetteur-récepteur radiofréquences et de détailler le cahier des charges auquel les inductances doivent répondre selon le circuit intégré visé. Puis nous verrons comment, depuis leur intégration au niveau d'interconnexions en aluminium, l'optimisation des performances des inductances intégrées a rimé avec technologie d'intégration, performances des transistors et surtout applications visées par ce marché en pleine expansion. On pourra alors apprécier cet aller-retour continu entre optimisations technologiques et dessin des inductances au fil des nœuds technologiques développés. A la fin de cette revue bibliographique, un statut sera donné et les trois axes de recherches extraits seront tour à tour examinés.

1) Notre attention se portera tout d'abord sur l'optimisation des règles de densité de métallisation à l'échelle de l'inductance.

Si aujourd'hui les procédés en cuivre « Damascène » laissent une relative souplesse, tant par le choix des épaisseurs, des dimensions transversales des métaux que par celui des dessins possibles, ils imposent aussi certaines contraintes. Les niveaux d'interconnexions du BEOL doivent en effet respecter des règles de densité de métallisation de plus en plus strictes au fil de l'évolution technologique. Avant ces travaux, des règles spécifiques, non optimisées et consommatrices de surface, étaient utilisées pour les inductances intégrées. Des solutions en termes de gestion des inserts métalliques (dits « dummies » en anglais), à l'échelle de l'inductance ont été évaluées et sont décrites au chapitre 2.

Pour cela, une étude, la plus exhaustive possible, basée sur la définition, le dessin de structures de tests pertinentes, des réalisations technologiques, et des caractérisations électriques a été conduite. Ce travail a finalement abouti à la définition d'une stratégie de densités de métallisation à l'échelle du dispositif (sans impacter ses performances électriques), visant des applications RF (gamme 1-5 GHz) pour des nœuds technologiques en deçà du 65 nm.

2) Notre attention s'est ensuite portée sur l'intégration d'inductances dédiées à l'amplificateur de puissance (PA) en technologie 65 nm. Ces fonctions sont parmi les plus contraignantes pour les inductances en termes de spécifications à adresser.

En effet, ces dernières années, la volonté d'intégrer le module Front-End RF (l'amplificateur de puissance) en technologie CMOS a soulevé la problématique de gestion de forts courants (plusieurs centaines de mA à 1 A @ 125 °C). Or, comme nous le verrons plus en détails, le BEOL des technologies avancées ne permet pas aujourd'hui d'adresser de telles contraintes en courant. Si l'on veut pouvoir répondre à ce nouveau marché en technologie silicium, des propositions technologiques sont à évaluer.

Pour répondre à ce défi à l'échelle de l'inductance, l'utilisation de deux niveaux épais de métallisation en technologie CMOS silicium massif 65 nm a été proposée. L'optimisation de l'architecture de l'inductance dans un tel BEOL a été étudiée grâce au dessin, à la réalisation technologique et au test de structures dédiées. C'est, à notre connaissance, la première fois que des inductances utilisant un BEOL optimisé pour les applications de puissance, sont présentées dans une technologie CMOS avancée.

3) Dans la continuité de ce travail, notre intérêt s'est porté sur l'optimisation d'inductances intégrées en technologie SOI.

En effet, cette dernière commence aujourd'hui à émerger pour l'intégration de fonctions de puissance en technologie CMOS de part sa compatibilité avec des substrats silicium Hautement Résistifs (HR). La définition, conception et évaluation d'inductances utilisant un module double cuivre épais ont été menées en technologie CMOS HR SOI 130 nm. C'est en effet la technologie la plus prometteuse aujourd'hui pour offrir des performances comparables aux technologies IPD (Integrated Passive Devices), technologies de prédilection servant à l'intégration des composants passifs du module Front-end RF.

Enfin, nous conclurons en replaçant l'apport de ces études par rapport aux travaux de recherche exposés dans la littérature et nous tenterons de mettre en relief les défis et perspectives qui restent à relever pour les inductances intégrées en technologie silicium.

CHAPITRE 1 :

CONTEXTE DE L'ETUDE

SOMMAIRE

I. Les Inductances Au Cœur de la Conception D'Emetteur-Récepteur Radiofréquences 22

I.1. L'essor de la téléphonie mobile d'hier à aujourd'hui 22

I.1.1. Les premières communications hertziennes 22

I.1.2. L'évolution du GSM 23

I.2. Le système émetteur-récepteur radiofréquences 25

I.2.1. Fonctionnement général 25

I.2.2. Les inductances : un composant clé des différents étages RF 26

I.3. Cahier des charges des inductances en fonction du circuit considéré 30

II. Les Inductances : Du Composant Hors Puce à son Intégration sur Silicium 31

II.1. Les inductances hors puce en silicium 32

II.1.1. Les inductances « filaires » 32

II.1.2. Les inductances discrètes 32

II.1.3. Les inductances en technologie IPD 32

II.1.4. Les inductances intégrées dans le boîtier : technologie « SIP » 33

II.2. Les inductances intégrées en technologie silicium 34

II.2.1. Les inductances en Above IC 34

II.2.2. Les inductances de type MEMS 35

II.2.3. Les inductances intégrées dans le BEOL 35

III. Les Inductances Intégrées dans le BEOL en Technologie Silicium 37

III.1. Les paramètres géométriques et technologiques 37

III.2. Les phénomènes physiques 38

III.2.1. Le couplage magnétique 38

III.2.2. Les pertes métalliques 39

III.2.3. Les effets parasites du substrat silicium et du diélectrique isolant 42

III.3. Les modèles électriques 44

III.4. Le facteur de qualité : figure de mérite usuelle des inductances 45

IV. Optimisation des Inductances Intégrées en Technologie Silicium Avancée 46

IV.1. Revue bibliographique des techniques reportées dans la littérature 46

IV.1.1. Histoire d'une évolution 47

IV.1.2. Synthèse et statut 60

V. Objectifs de l'Etude 61

VI. Références 63

I. LES INDUCTANCES AU CŒUR DE LA CONCEPTION D'EMETTEUR-RECEPTEUR RADIOFREQUENCES

I.1. L'essor de la téléphonie mobile d'hier à aujourd'hui

La téléphonie mobile, c'est : chaque jour plus de 250 000 nouveaux abonnés dans le monde, une personne sur sept avec un téléphone portable, et 55 millions de français en 2007, soit 87% de la population du pays.

Cette technologie de l'information est fondée sur la radiotéléphonie, c'est-à-dire la transmission de la voix à l'aide d'ondes radiofréquences (900 MHz < fréquence < 5 GHz) entre une base relais qui couvre une zone de plusieurs dizaines de kilomètres de rayon et le téléphone portable de l'utilisateur. Considérablement développée auprès du grand public ces dix dernières années, elle supplante même, dans certains pays (scandinaves, principalement) le téléphone fixe.

A l'heure actuelle, le paysage radio est très diversifié **[Padge95]**. Différents standards de communication (GSM, DECT…) sont proposés et permettent de gérer différentes classes d'applications (téléphonie mobile, téléphonie sans fil, réseaux locaux sans fil (WLAN)…). Ces standards vont différer par le schéma de modulation et la méthode d'accès adoptée, les bandes de fréquences allouées (en émission et/ou en réception), la puissance requise en émission…

I.1.1. Les premières communications hertziennes

C'est avant même que le physicien Guglielmo Marconi n'ait démontré la possibilité de transmettre des messages télégraphiques par ondes hertziennes, que le polytechnicien Nikola Tesla pressent, en 1893, le développement de la transmission d'énergie électrique sans fil. Il devient alors un des pionniers de la radiophonie. Mais il faudra attendre 1946 pour que le premier service radiotéléphonique mobile testé par Bell Systems, à Saint-Louis, soit commercialisé et introduit dans plusieurs villes américaines.

Dans les années 60, cette société lance le service téléphonique mobile amélioré IMTS (« Improved Mobile Telephone Service ») qui apporte de nombreuses améliorations au précédent. En particulier, il passe d'une largeur de bande de 3 kHz seulement, à une largeur de bande de 25-30 kHz du canal à modulation de fréquences.

Mais c'est seulement au début des années 70 que les premiers systèmes cellulaires analogiques apparaissent, et ceci grâce à une amélioration majeure : l'invention du microprocesseur. Ces systèmes cellulaires divisent alors la zone de couverture en de nombreuses petites zones appelées cellules. Chacune est desservie par un émetteur et un récepteur de faible puissance (~ 5 W).

I.1.2. L'évolution du GSM

1) La génération « 1G »

Dans les années 1970 à 1980, les premiers terminaux sans fil et les radiotéléphones analogiques apparaissent dans les voitures. Volumineux, coûteux et ayant une couverture limitée, ils ont recours à la technique AMRF (« Accès Multiple par Répartition en Fréquence »), dans la bande de fréquence de 800 MHz à 900 MHz (Figure I-1). Outre le fait que ces réseaux ne permettaient pas de garantir la confidentialité des communications, ils ont été vite saturés.

2) La génération « 2G »

La seconde génération a donc été numérique (Figure I-1). Elle offre une meilleure qualité d'écoute, une taille réduite des combinés, et permet d'établir une liaison radio entre des personnes en mouvement (marche ou voiture). C'est au début des années 90 que la norme GSM pour la communication sans fil (« Global System for Mobile Communication ») est adoptée en Europe, puis s'est imposée dans le monde entier (sauf au Japon, en Amérique du Nord et du Sud). En France, le GSM fonctionne sur les fréquences de 900 MHz ou 1800 MHz et a un débit ne dépassant pas les 9,6 kbits/s. Il est principalement utilisé pour des appels vocaux et peu pour l'acheminement des données : les premiers services WAP (« Wireless Application Protocol ») sur GSM n'ont d'ailleurs pas connu un grand succès.

3) La génération « 2.5G »

En 2001, le GPRS (« General Packet Radio Service ») apparaît. Cette évolution de la norme GSM permet d'obtenir des vitesses de transfert trois fois supérieures, soit de 20 à 30 kbits/s, en utilisant 3 canaux GSM classiques. Cette évolution a permis d'accéder plus facilement aux services WAP et à un Internet allégé (e-mails sans pièce jointe et navigation sur le web) (Figure I-1). Comme le GPRS ne constitue qu'une amélioration du GSM, la voix continue de transiter sur celui-ci, tandis que les données circulent via le GPRS.

Dans un deuxième temps, le GSM EDGE (« Enhanced Data Rates for Global Evolution ») a été introduit. Il a permis d'atteindre un débit maximum de 384 kbps tout en conservant l'encombrement spectral du GSM, grâce à l'adoption d'un schéma de modulation plus complexe (8-PSK avec 3 bits par symbole) et à l'utilisation de plusieurs slots temporels dans la trame TDMA (« Time Division Modulation Access »).

4) La génération « 3G »

A l'automne 2004, la téléphonie mobile de troisième génération apparaît en France. Elle utilise le standard UMTS (« Universal Mobile Télécommunication System ») et assure un débit supérieur à 1 Mbps. Elle offre de nouveaux services notamment, l'accès haut débit à l'Internet sans fil, la visiophonie et la possibilité d'échanger des messages vidéo ou de recevoir la télévision sur le téléphone (Figure I-1). Contrairement à la 2G qui est bi-bande, la 3G fonctionne sur plusieurs bandes de fréquences entre 900 MHz et 1.9 GHz. Avec la technologie HSDPA (« High Speed Downlink Package Access »), évolution de l'UMTS, le débit crête théorique atteint 14 Mbit.

5) La génération « 4G »

Avec la quatrième génération (Figure I-1), les industriels et les opérateurs cherchent à faire passer les débits aux alentours de 40 Mbits à l'horizon 2009-2010, 80 et peut être plus, à plus long terme. La norme WiMax (« Worldwide Interoperability for Microwave Access ») est déjà en cours de déploiement. Mais la bande passante de 100 Mbps pour la norme LTE (« Long Term Evolution »), contre 70 Mbps pour WiMax, ainsi qu'une accessibilité supérieure (100 km en zone rurale) laissent supposer une émergence de LTE, à partir de 2009.

Figure I-1: Evolution de la téléphonie mobile avec les différentes générations de téléphones portables [EEtimes].

I.2. Le système émetteur-récepteur radiofréquences

La téléphonie mobile, dont nous venons de présenter l'évolution, est basée sur un système émetteur-récepteur d'ondes radiofréquences (RF). Pour répondre aux problématiques de coût, de volume, de puissance émise et consommée des téléphones portables, des efforts ont été menés ces dernières années, afin d'intégrer sur silicium (et si possible sur une même puce) les systèmes complets d'émission et de réception nécessaires à la communication radiofréquences **[Steya98]**, **[Orsat99]**.

Le progrès des technologies CMOS permettent d'envisager aujourd'hui une intégration de plus en plus poussée de ces systèmes qui nécessitent des circuits numériques, analogiques et des composants passifs à la fois performants, et/ou à faible surface.

I.2.1. Fonctionnement général

Le fonctionnement d'un système radiofréquences (RF) repose sur différents circuits, que nous détaillerons par la suite, chargés de réaliser l'émission et/ou la réception des signaux radiofréquences. Lorsque ces deux fonctions sont regroupées, on parle d'émetteur/récepteur RF, comme l'illustre la Figure I-2.

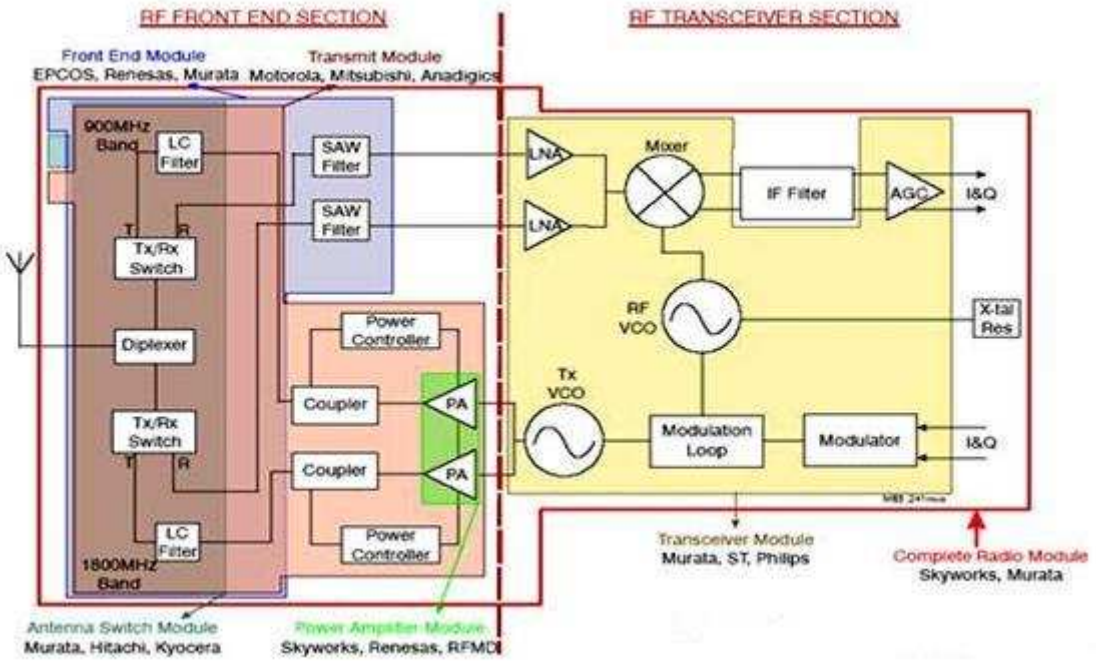

Figure I-2 : Architecture d'un émetteur-récepteur RF [Embedded].

Parmi les circuits qui le composent, on différencie : la partie bande de base et la partie radio, comme illustré en Figure I-3. Dans la partie bande de base, les signaux gérés sont des signaux basses

fréquences (quelques MHz) et sont pour la plupart numériques. Dans la partie radio, ce sont au contraire des signaux hautes fréquences (~ 1 GHz).

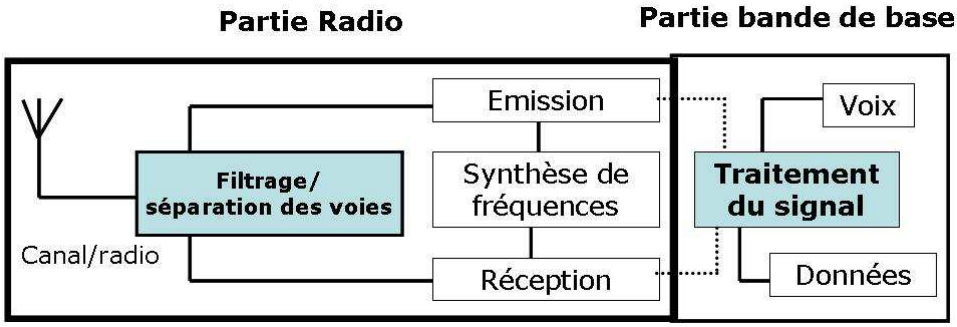

Figure I-3 : Schéma d'un émetteur récepteur RF.

Dans la partie radio, on distingue **l'interface canal/radio** pour laquelle l'antenne convertit le signal électrique en onde électromagnétique lors de l'émission, et agit à l'inverse à la réception.

Le **filtrage et la séparation des voies d'émission et de réception** sont assurés par un filtre duplexeur ou un commutateur d'antennes associés à des filtres.

Les autres circuits qui la composent sont :

- **Les circuits de la chaîne d'émission**. Ils assurent la modulation, la montée en fréquence, le filtrage et l'amplification du signal modulé.
- **Les circuits de la chaîne de réception**. Ils assurent l'amplification, le filtrage, la descente en fréquence et la démodulation du signal modulé.
- **Les circuits de synthèse de fréquence.** Ils génèrent les signaux nécessaires à la modulation/démodulation et aux translations de fréquences.

En bout de chaîne, on trouve la bande de base. Elle traite les signaux de basses fréquences et réalise la conversion analogique/numérique, ou numérique/analogique, le filtrage, le codage/décodage de l'information.

I.2.2. Les inductances : un composant clé des différents étages RF

Parmi les circuits formant l'émetteur-récepteur RF (Figure I-2), on compte : l'amplificateur faible bruit (Low Noise Amplifier), les oscillateurs contrôlés en tension (Voltage Control Oscillators), les amplificateurs de puissance (Power Amplifiers), et les filtres LC. Aujourd'hui une des problématiques, pour répondre au besoin d'intégration massive et à bas coût sur silicium du système complet, réside dans le nombre et les performances des composants passifs (souvent hors puce) par rapport au nombre de transistors que ces étages utilisent.

En 2002, Nick Pulsford annonçait que les composants passifs représentaient 90% du nombre total de composants du module RF : soit 80% de la taille et 70% du prix du téléphone portable

[Pul02]. Cette affirmation se vérifie encore aujourd'hui, si on se réfère au nombre de composants passifs discrets utilisés dans un téléphone NOKIA 3300 (~ 300), Figure I-4 **[Farcy08]**. Parmi ces dispositifs passifs clés, on compte les inductances.

Elément passif indispensable au fonctionnement des différents étages d'un système émetteur-récepteur, Figure I-5, elles sont, ces vingt dernières années, au cœur du compromis performances élevées/coût/surface (à travers un encombrement toujours plus faible).

Si maintenant on regarde leurs spécifications, on s'aperçoit qu'elles sont de plus en plus drastiques en termes de performances électriques, d'après les valeurs issues de l'International Technology Roadmap for Semiconductors Roadmap **[ITRS07]** en 2007, Tableau I-1.

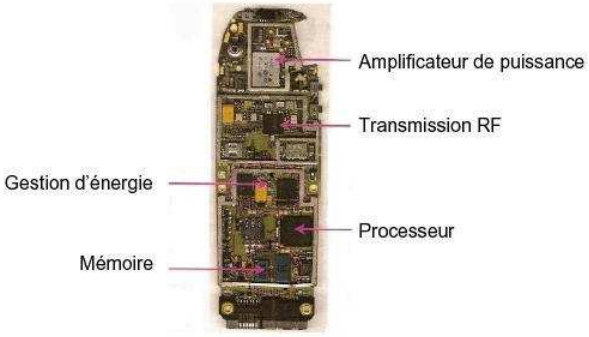

Figure I-4 : Photographie d'un téléphone Nokia 3300, double bande 800 MHz/1.8 GHz utilisant 286 composants passifs discrets contre 15 circuits intégrés [Farcy08].

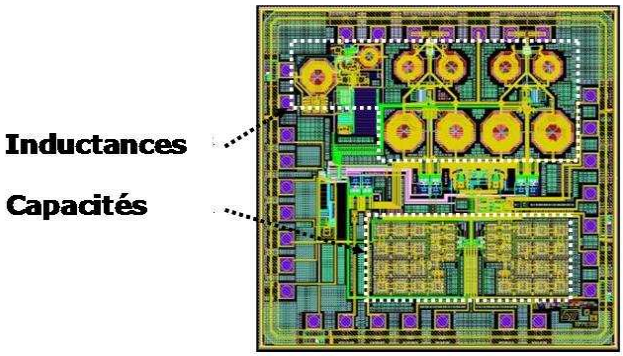

Figure I-5 : Photographie d'un circuit intégré d'un récepteur RF d'un téléphone portable, développé en technologie CMOS 90 nm [Farcy08].

Année de production	***2007***	***2008***	***2009***	***2010***	***2011***	***2012***	***2013***
Inductances : Facteur de qualité Q à 5 GHz pour 1nH	29	30	32	34	36	38	40

Tableau I-1 : Spécifications des inductances intégrées par l'IRTS, en 2007 [ITRS07].

Les performances et le coût des circuits de l'émetteur-récepteur RF vont donc être étroitement liés aux performances et à l'occupation de surface des composants passifs qui les constituent, et en particulier à celles des inductances. Nous allons voir maintenant plus en détails, les spécificités requises pour ces dernières, en fonction des différents circuits nécessaires à l'émetteur-récepteur RF.

1) Les inductances pour les amplificateurs faible bruit (LNA)

Comme spécifié sur la Figure I-2, l'amplificateur faible bruit (LNA) est le premier étage de gain sur le chemin de l'émetteur. Par conséquent, l'objectif d'un tel circuit est de générer un gain

suffisant afin de s'affranchir du bruit des étages successifs, et offrir des performances en bruit les plus faibles possibles. En effet, c'est ce facteur de bruit qui fixera (au premier ordre) celui de la chaîne complète. Il joue aussi le rôle d'adaptation d'impédance à 50 Ω avec l'antenne à l'entrée du signal et un rôle d'adaptation d'impédance à 50 Ω avec le filtre RF à la sortie. Il doit aussi fournir une linéarité suffisante à la sortie afin de satisfaire aux normes d'intermodulation inter-canaux.

Pour cet étage du module RF, les principales contraintes sur les inductances intégrées sont donc :

- Présenter une valeur d'inductance contrôlée (pouvant aller jusqu'à 25 nH) et un facteur de qualité forts (>10).
- Mais aussi un encombrement le plus faible possible car, comme on le voit sur la Figure I-6, les inductances d'un tel circuit peuvent atteindre jusqu'à la moitié de la surface totale de la puce.

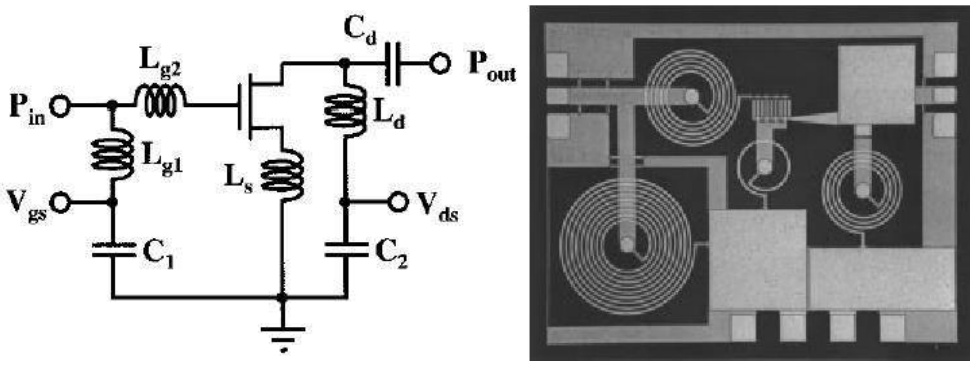

Figure I-6 : Schéma électrique et dessin d'un amplificateur faible bruit [John97].

2) Les inductances pour les oscillateurs contrôlés en tension (VCO)

L'oscillateur contrôlé en tension (VCO) fait quant à lui partie du synthétiseur de fréquences. Ce dernier a pour rôle de générer le signal de référence qui est utilisé pour la translation en fréquence des signaux, Figure I-2. Les spécifications clés d'une telle application se résument en deux points qui sont : la consommation de puissance et la performance en bruit de phase.

Constitué d'une inductance L en parallèle avec une capacité C, comme indiqué sur la Figure I-7, l'objectif d'un tel circuit est d'entrer en résonance à la fréquence f_r. La précision de cette fréquence de résonance est directement liée aux éléments parasites de la capacité C et de l'inductance L. Ainsi, les résistances en série avec l'inductance et la capacité doivent être minimisées et la valeur de l'inductance parfaitement contrôlée **[Hegazi01]**, **[Rachedine03]**, **[Tsang03]**.

Comme pour les LNA faible puissance, une clé de l'amélioration dans la conception des VCO faible puissance réside en l'implémentation d'inductances :

- de faible valeur de L (<1.5 nH)
- à fort facteur de qualité (>20)
- et faible surface consommée car, comme on le voit sur la Figure I-7, les inductances d'un tel circuit peuvent atteindre jusqu'à la moitié de la surface totale de la puce.

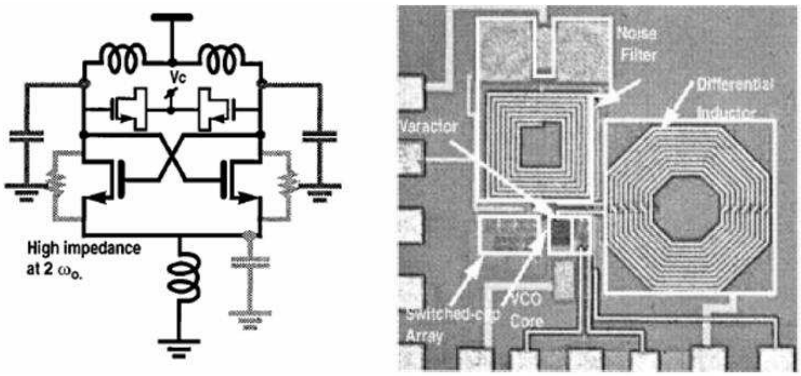

Figure I-7: Schéma électrique et dessin d'un oscillateur contrôlé en tension [Rachedine03].

3) Les inductances pour les amplificateurs de puissance (PA)

L'amplificateur de puissance (PA) a pour rôle d'amplifier le signal en provenance du mélangeur pour fournir une puissance active suffisante à l'antenne, Figure I-2.

Il est généralement constitué d'un ou plusieurs étages de pré-amplification et d'un étage dit de puissance, Figure I-8. Chaque étage est constitué d'éléments actifs, mais également d'éléments passifs (dont des inductances) qui permettent d'effectuer des transformations d'impédance entre étages. La puissance de sortie, le gain en puissance, la consommation et la linéarité sont les principaux paramètres caractérisant un amplificateur de puissance **[Giry01]**.

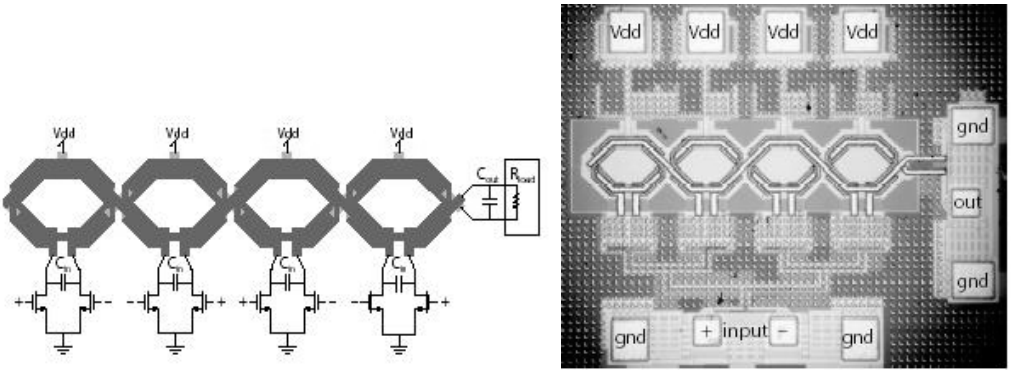

Figure I-8: Schéma électrique et dessin d'un amplificateur de puissance [Haldi07].

Les inductances utilisées pour la conception d'un PA doivent offrir :

- Un fort facteur de qualité (>25)
- Etre capable de conduire de forts courants (>100 mA)

- Occuper une surface minimale car, comme on le voit sur la Figure I-8, les inductances d'un tel circuit peuvent atteindre jusqu'à un quart de la surface totale de la puce.

4) Les filtres LC

Si l'on regarde l'architecture spécifique de l'émetteur-récepteur RF, toute fonction RF exige sur le chemin de réception un filtre passe-bande avec une faible insertion de perte pour sélectionner la bande de fréquence ; et nécessite sur le chemin de l'émission, un filtre passe-bande pour laisser passer le signal voulu et éliminer (ou atténuer) les fréquences harmoniques parasites, principalement à l'étage de sortie de l'amplificateur de puissance, Figure I-2. Ces filtres, (Figure I-9) et par conséquent les inductances qui le composent, sont généralement fabriqués à partir de substrats dédiés en technologie Integrated Passive Device (IPD), dont nous verrons plus de détails par la suite.

Ces dernières doivent offrir :

- une valeur d'inductance contrôlée (pouvant aller jusqu'à 25 nH)
- Un fort facteur de qualité (>20)
- Occuper une surface minimale car, comme on le voit sur la Figure I-9.

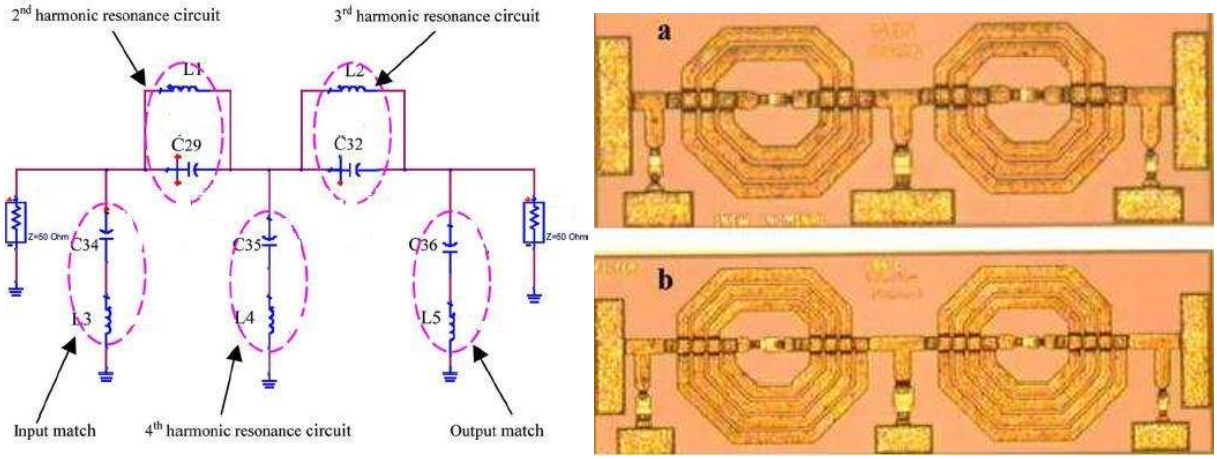

Figure I-9: Schéma électrique et dessin d'un filtre LC passe haut a) et d'un filtre passe bas b) développés en technologie IPD sur substrat GaAs et à partir de métallisations en or [Liu07].

I.3. Cahier des charges des inductances en fonction du circuit considéré

Comme nous avons pu le voir, les inductances sont largement utilisées dans la conception d'émetteur/récepteur RF. Nous avons cherché à synthétiser les différentes spécifications nécessaires selon le type d'application visée (Tableau I-2). Ce tableau récapitulatif des performances électriques et de surface donne une idée des exigences et des défis à relever concernant ce composant clé de la

téléphonie mobile. Concernant la surface des inductances, le lecteur pourra garder à l'esprit que l'on considère des composants possédant une surface totale comprise entre 50 µm x 50 µm et 400 µm x 400 µm.

Applications	***Inductance L (nH)***	***Pic du facteur de qualité Q***	***Fréquence de coupure F_c (GHz)***	***Courant maximal I_{max} (mA)***	***Surface S (μm^2)***
Amplificateur faible bruit (LNA)	0.1 - 25	~ 15	~ 10	~ 10	++
Oscillateur contrôlé en tension (VCO)	0.1 – 1.5	~ 25 - 30	≥ 20	~ 10	++
Amplificateur de puissance (PA)	0.1 - 25	~ 30	≥ 20	> 100	++
Filtres LC	0.1 - 25	> 20	~ 10	NA	++

Tableau I-2 : Spécifications des inductances en fonction de l'application RF visée.
++ signifie paramètre à prendre en considération

L'ensemble de ces spécifications sont générales et valides que les inductances soient intégrées sur silicium ou qu'elles soient hors puce, comme nous allons le détailler maintenant. C'est la capacité de la technologie, les performances électriques obtenues, le packaging, et le coût qui vont déterminer quel type d'inductances sera utilisé pour la solution globale qu'est l'émetteur-récepteur RF.

II. LES INDUCTANCES : DU COMPOSANT HORS PUCE A SON INTEGRATION SUR SILICIUM

Comme nous venons de le présenter, la téléphonie mobile a connu ces dernières années un développement extraordinaire. Ce dernier repose sur une volonté d'intégration complète de l'émetteur-récepteur (blocs RF/digitaux/analogues), à faible coût et faible puissance de consommation, sur une même puce. Pour répondre à ces exigences, la réduction du nombre de composants externes est nécessaire. Aussi se dirige-t-on progressivement vers une intégration de plus en plus importante des inductances sur silicium.

II.1. Les inductances hors puce en silicium

Contrairement aux dispositifs actifs que sont les transistors et qui sont aujourd'hui systématiquement fabriqués dans le circuit intégré, les inductances en particulier, peuvent utiliser d'autres approches que la voie du silicium monolithique. On peut noter entre autres :

II.1.1. Les inductances « filaires »

Elles sont fabriquées à partir de fils de soudure externes ou « bonding », comme l'illustre la Figure II-1, afin d'éviter la fabrication spécifique d'un composant passif **[Oh03]**.

II.1.2. Les inductances discrètes

Ces composants sont formés d'un noyau ouvert en ferrite autour duquel est bobiné un solénoïde en cuivre **[Coilcraft]**. La structure est protégée par un boîtier en céramique, comme l'illustre la Figure II-2, et les fils de cuivre sont soudés sur deux larges plots afin de faciliter la connexion avec le reste du circuit imprimé.

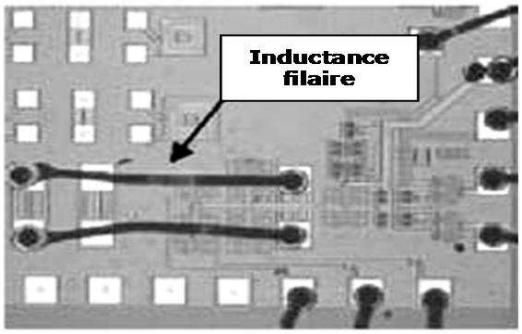

Figure II-1: Photographie d'une inductance réalisée avec des fils de liaison (bonding) [Oh03].

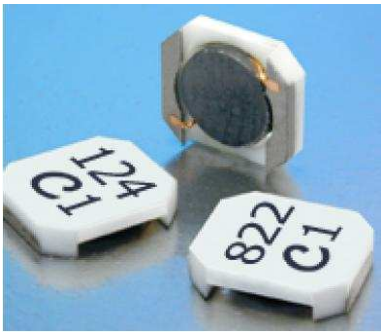

Figure II-2: Photographie de composants passifs discrets reliés à un circuit intégré [Coilcraft].

II.1.3. Les inductances en technologie IPD

L'inductance est réalisée sur un substrat dédié. Cette technique offre ainsi une grande souplesse dans le choix des substrats et des procédés de réalisation (substrat GaAs avec des métallisations en or **[Liu07]**, substrat en verre avec des métallisations en cuivre **[STMTours]** ou substrat en silicium hautement résistif avec des métallisations en cuivre **[Tesson08] [Stastchip]**). De plus, elle permet d'utiliser les techniques de packaging standard de la micro-électronique (Figure II-3 et Figure II-4). Cependant, les surcoûts peuvent être importants et on ne peut plus vraiment parler de co-intégration puisque le composant n'est pas réalisé sur le même substrat que le reste du circuit.

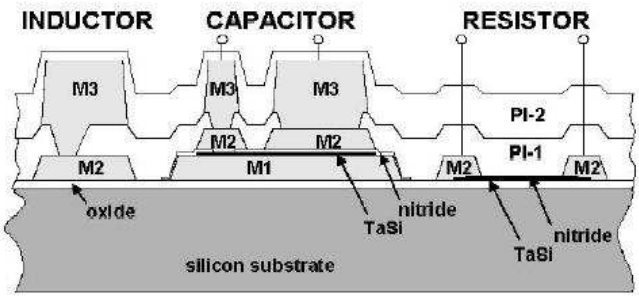

Figure II-3: Vue en coupe de divers composants passifs développés en technologie IPD (Integrated Passive Device) sur substrat silicium HR et à partir de métallisations en aluminium (M1-M2) et en cuivre épais de 8 µm (M3) [Statschip].

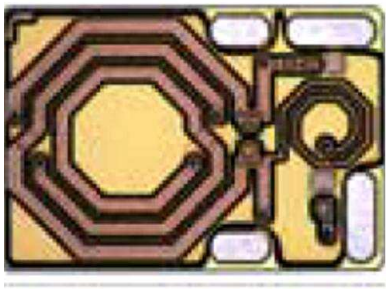

Figure II-4: Photographie d'un filtre passe bande fabriqué en technologie IPD (Integrated Passive Device). [Staschip].

II.1.4. Les inductances intégrées dans le boîtier : technologie « SIP »

Dans ce cas, certains composants passifs (dont les inductances) peuvent être intégrés dans la technologie servant à réaliser le boîtier, on parle alors de « System In Package » (SIP). Cette approche a été utilisée à travers différentes technologies de « packaging », on pourra noter l'approche MCM (« Multi Chip Module »), dont le LTCC (« Low Temperature Cofired Ceramic ») est un exemple **[Kim06]**, ou les technologies WLP (« Wafer Level Packaging ») dont une illustration est proposée en Figure II-5 **[Cho4]**. Ces alternatives à l'approche monolithique peuvent permettre un meilleur compromis performances électriques/coût. Elles ont été largement explorées dans la littérature. Le point négatif concerne la question de la reproductibilité, ainsi que l'évaluation des pertes associées aux résines utilisées dans les boîtiers (le comportement RF de ces dernières étant généralement mal connu).

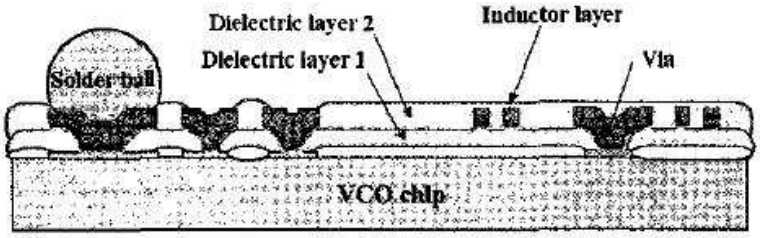

Figure II-5 : Exemple d'intégration d'inductances en technologie WLP [Cho04].

L'utilisation d'inductances filaires, discrètes ou intégrées sur substrat spécifique est la plus facile à mettre en œuvre. C'est aussi celle qui va permettre l'obtention de performances électriques élevées. Mais cette technique comporte cependant un certain nombre d'inconvénients :

- Les soudures qui vont permettre la connexion de ces composants discrets externes avec les sorties du circuit intégré sont susceptibles d'une détérioration rapide au cours du temps.
- Si pour des applications à basses fréquences, les inductances peuvent être connectées en externe, lorsque la fréquence augmente, les caractéristiques de ces dispositifs passifs sont perturbées par les effets parasites inductifs et des pertes résistives dus à la connexion, pouvant altérer le fonctionnement du circuit lui-même **[Nikned00]**.
- Une limitation, et non la moindre, est qu'il est difficile, voire impossible, d'accéder à des valeurs d'inductances faibles en externe (<1 nH), puisque l'inductance associée au packaging et au « bonding » (fils de connexions) peut excéder 1 nH, valeur d'inductance supérieure à celle exigée par certaines applications RF **[Oh03].**
- De plus, une problématique non négligeable dans la perspective de miniaturisation des téléphones portables réside en l'augmentation en taille, volume et poids de l'appareil lorsque ce type de composants passifs sont employés. Ils peuvent occuper en effet plusieurs mm^2 de surface et quelques mm d'épaisseur **[Coilcraft]**.
- Enfin, pour des marchés à fort volume et faible marge, cette intégration externe est généralement moins compétitive qu'une intégration monolithique en silicium.

II.2. Les inductances intégrées en technologie silicium

Même si l'intégration des dispositifs passifs sur substrat spécifique représente un premier pas vers l'intégration des inductances, la tendance actuelle est de rassembler dispositifs actifs et passifs sur un même substrat en utilisant les procédés technologiques des circuits digitaux. Cela donnera ainsi naissance à des Circuits Intégrés Monolithiques Hyperfréquences (ou MMIC Monolithic Microwave Integrated Circuit). Trois solutions sont envisageables pour répondre aux exigences de coût, d'encombrement et de performances des inductances en microélectronique : les inductances en Above-IC, les inductances de type MEMS, et les inductances intégrées dans le BEOL.

II.2.1. Les inductances en Above IC

La première approche consiste donc à intégrer ces composants en "Above Integrated Circuits" (AIC littéralement "au-dessus des circuits intégrés") **[Sun06]**, c'est-à-dire au-dessus de la couche de passivation (fin du procédé "Front-End") (Figure II-6). Cette technique de fabrication permet une plus grande liberté sur le choix des matériaux (ferromagnétiques, par exemple **[Orlando07]**), des épaisseurs utilisées et sur le dessin des composants. Mais elle est encore à un stade

de recherche avancée et non d'industrialisation pour des contraintes de température de réalisation. De plus, elle induit un surcoût vis-à-vis du procédé des applications digitales.

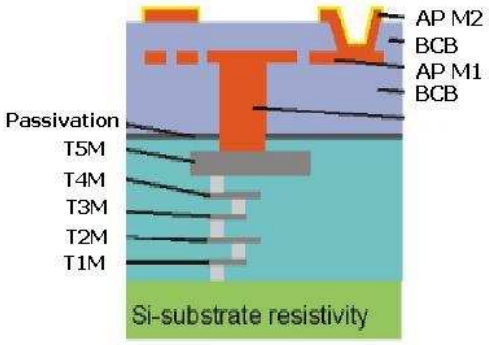

Figure II-6: Photographie d'une inductance en Above IC [Sun06].

II.2.2. Les inductances de type MEMS

La deuxième solution est une extension de l'intégration en « AIC » des passifs à des structures plus exotiques et plus complexes, de type MEMS (Micro ElectroMechanical Systems), Figure II-7, utilisant des procédés de fabrication, dit de « micromachining » **[Jiang00].** Ces derniers permettent la réalisation d'une fonction complète. Cependant, ce type de structure souffre pour l'instant d'une faible tenue mécanique et d'une reproductibilité perfectible pour des enjeux de type industriel. Ce type de structure bien que prometteuse reste donc aujourd'hui l'apanage de travaux de recherche avancée.

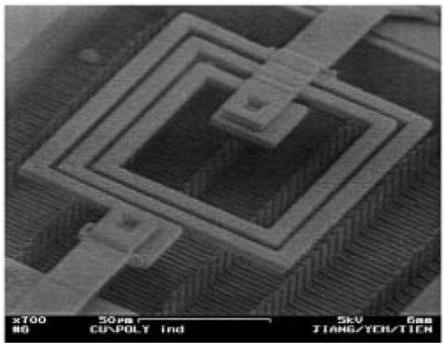

Figure II-7: Photographie d'une inductance suspendue de type MEMS [Jiang00].

II.2.3. Les inductances intégrées dans le BEOL

Enfin, la dernière technique est celle pour laquelle on fixera toute notre attention dans cette thèse, consiste à intégrer ces composants au niveau du "Back-End Of Line" (BEOL), c'est-à-dire au niveau des dernières couches de métallisations de la technologie CMOS. Cette intégration se fait

toujours dans la partie « Front End » du développement du circuit intégré, c'est-à-dire avant la mise en boîtier du circuit intégré (Figure II-8).

Cette technique présente l'avantage d'utiliser les niveaux d'interconnexions nécessaires à la connectique des circuits digitaux, pour réaliser des inductances planaires spirales, tout en bénéficiant du procédé de fabrication des circuits intégrés classiques.

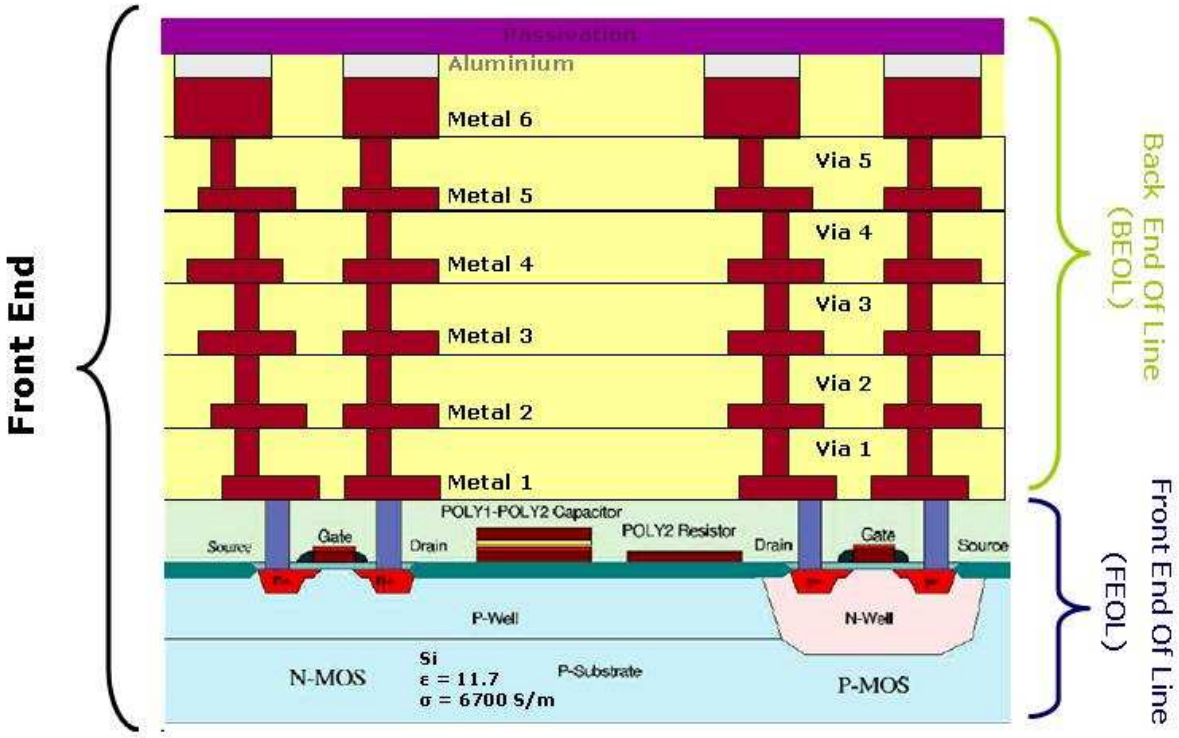

Figure II-8: Vue en coupe de la technologie CMOS sur silicium avec six niveaux de métallisation en cuivre.

On verra que toute la difficulté à réaliser des inductances intégrées à fortes performances et/ou faible surface dans le BEOL réside en deux points. D'une part, l'évolution technologique des niveaux d'interconnexions tend à une réduction toujours plus importante des épaisseurs des métaux et liée à l'intégration croissante des dispositifs actifs. D'autre part, la faible résistivité du substrat en silicium massif (utilisé pour des raisons de « latch-up » des transistors MOS) induit des pertes résistives non négligeables.

Pour répondre à la première limitation, l'utilisation d'un niveau épais, comme nous le verrons plus loin, a été proposée dans la littérature **[Cle05]**. Quant à la seconde problématique, d'autres types de substrat de type SOI (Silicon On Insulator) **[Kim03]**, SOS (Silicon On Saphire) **[Karja04]** ou encore silicium poreux **[Royet03]**, sont utilisés aujourd'hui pour la fabrication des inductances intégrées afin de s'affranchir des pertes et des capacités parasites liées au silicium.

III. LES INDUCTANCES INTEGREES DANS LE BEOL EN TECHNOLOGIE SILICIUM

III.1. Les paramètres géométriques et technologiques

Dans cette étude, nous nous concentrerons sur des inductances intégrées sur silicium, de type planaire, sous forme de spirales. D'autres solutions sont envisageables comme par exemple les inductances solénoïdales ou toroïdales, **[Edelstein98]** mais sont pour le moment écartées principalement pour des raisons de coût de réalisation.

Qu'elle soit de forme hexagonale, circulaire, octogonale ou carrée, comme l'illustre la Figure III-1, l'inductance planaire est fabriquée en utilisant un ou plusieurs niveaux de métallisations, eux-mêmes noyés dans des couches de diélectriques et placés à une certaine distance du substrat de silicium. Les paramètres technologiques qui la caractérisent sont les suivants :

- L'épaisseur h_{ox} et la constante diélectrique ε_{ox} des diélectriques
- L'épaisseur t_{Mi} de l' « underpass », l'épaisseur t_{Mi+1} de l' « upperpass », la résistivité ρ_{Mi} et ρ_{Mi+1} des métaux.
- La conductivité σ_{Si} et l'épaisseur du silicium h_{Si}

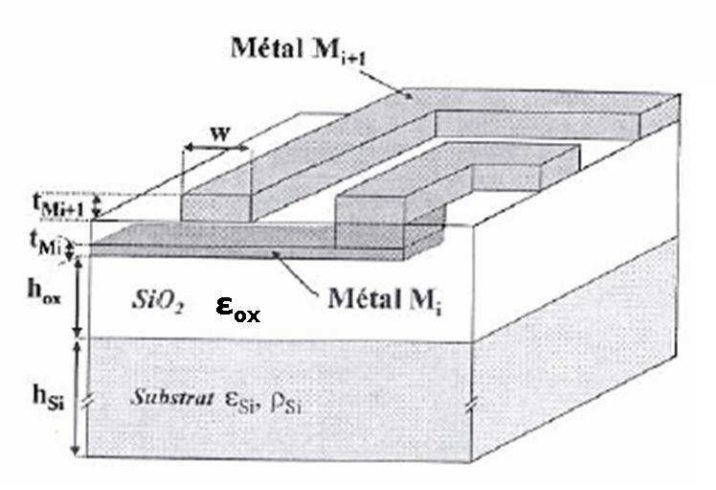

Figure III-1: Description des différents paramètres technologiques définissant une inductance intégrée planaire. [Lescot00]

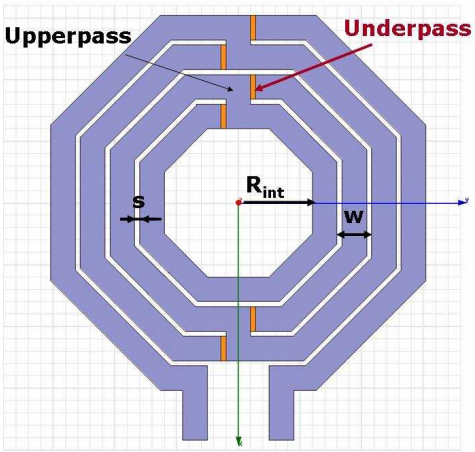

Figure III-2: Description des différents paramètres géométriques définissant une inductance intégrée planaire.

Elle est aussi définie par des paramètres géométriques (Figure III-2) qui sont :

- La largeur w
- L'espacement s
- Le diamètre intérieur R_{int}
- Le nombre de tours N
- Le niveau métallique inférieur, dit «underpass» et le niveau supérieur dit « upperpass »
- Des matrices de vias assurant le contact entre les niveaux de métallisations constituant l'inductance.

La forme spirale, en opposition à une forme linéique, a été adoptée car elle permet de bénéficier des effets de mutuelles positives entre les rubans conducteurs et permet d'améliorer ainsi la densité d'intégration du composant.

III.2. Les phénomènes physiques

L'inductance intégrée est le siège de nombreux phénomènes physiques qui rentrent en compétition les uns avec les autres. Nous allons maintenant les décrire brièvement. Il s'agit de poser les bases fondamentales afin de pouvoir mener par la suite des analyses pertinentes concernant les différents choix d'optimisation qui s'offriront à nous.

III.2.1. Le couplage magnétique

Lorsqu'un courant variable dans le temps I(t) circule dans les brins conducteurs de l'inductance planaire, un champ magnétique B(t) est généré (Figure III-3). Le premier phénomène qui va se produire est l'apparition d'une inductance propre L_0 et d'un couplage inductif M entre les différents brins composant le dispositif.

L'inductance série L_s associée à l'énergie magnétique stockée dans le dispositif, comprend alors l'inductance propre L_0 et la mutuelle inductance M résultante. En 1946, Groover dériva les premières formules analytiques de l'inductance propre L_0 pour différentes structures d'inductances **[Grover46]**. Mais il faudra attendre 1974 avant que Greenhouse **[Green74]** propose des formules analytiques de calcul de l'inductance série pour des inductances de forme carrée. Sa méthode consiste à segmenter l'enroulement en différents segments et à calculer l'inductance propre pour chaque segment individuel et la mutuelle inductance entre les deux segments qui lui sont parallèles. L'inductance série L_s de la bobine est alors donnée par l'Eq. III-1.

$$L_s = L_0 + M^+ - M^- \qquad \textit{Eq. III-1}$$

Où L_s est l'inductance totale série, L_0 est l'inductance propre, M+ est la somme des inductances mutuelles positives, et M- est la somme des inductances mutuelles négatives.

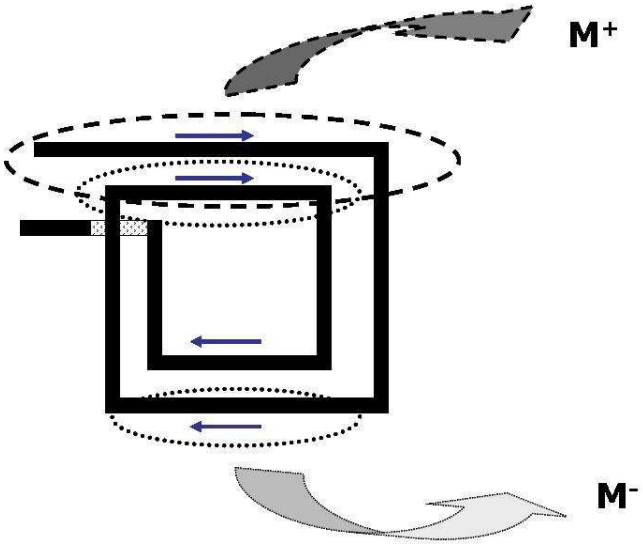

Figure III-3: Schéma de principe du couplage inductif dans une inductance intégrée.

On comprend ainsi que l'optimisation de la valeur de l'inductance pour une surface donnée est fonction du choix judicieux du nombre de tours N, du rayon intérieur de l'inductance R_{int}, afin de favoriser les inductances mutuelles positives M^+ et limiter les inductances mutuelles négatives M^- . De plus, de part le caractère largement distribué du couplage inductif, il peut également s'avérer pertinent d'utiliser des structures en trois dimensions.

III.2.2. Les pertes métalliques

L'un des points essentiels, lorsque l'on considère l'optimisation des inductances intégrées, concerne la compréhension des différents mécanismes de pertes limitant les performances accessibles. Nous allons tout d'abord aborder les différents mécanismes de pertes que l'on peut observer dans les pistes métalliques elles-mêmes.

1) La résistance DC

La résistance DC est la résistance propre du ruban métallique constituant les pistes de l'inductance. Ce paramètre est donc de première importance et doit être optimisé avec soin : soit en optimisant le dessin, soit en utilisant des matériaux faiblement résistifs comme le cuivre, afin de garantir des pertes minimales. Une équation usuelle afin de calculer cette résistance est proposée en Eq. III-2.

$$R_{DC} = \rho \cdot \frac{l_T}{S} = \rho \cdot \frac{l_T}{t \cdot w} \qquad \textit{Eq. III-2}$$

où ρ est la résistivité du matériau conducteur, l_T la longueur du conducteur, S sa section, t son épaisseur physique et w sa largeur.

Lorsque la fréquence augmente, la distribution du courant sur la section du conducteur n'est plus uniforme et la résistance devient fonction de la fréquence. Dans le cas d'une inductance intégrée, cette dépendance de la résistance avec la fréquence dépend du conducteur lui-même à travers l'effet de peau, mais aussi de l'influence des rubans voisins et on parle alors d'effet de proximité.

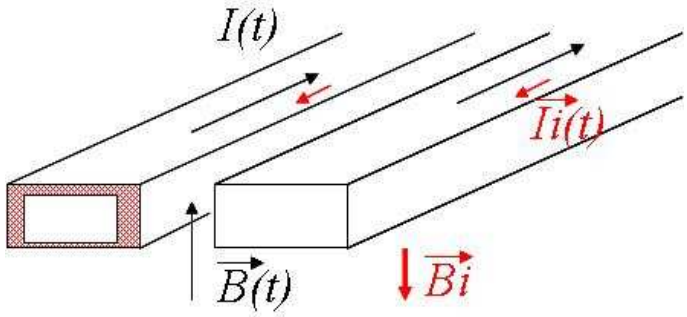

Figure III-4: Illustration de l'effet de peau et de l'effet de proximité (volume effectif en rouge quadrillé) dans les brins d'une inductance intégrée.

2) L'effet de peau

L'épaisseur de peau δ, donnée en Eq. III-3, définit l'épaisseur de pénétration du champ électrique variable dans le conducteur, pour laquelle l'amplitude maximale est divisée par e. On parle aussi de phénomène d'auto-induction.

$$\delta = \frac{1}{\sqrt{\pi \cdot f \cdot \mu \cdot \sigma}} \qquad \textit{Eq. III-3}$$

Ce paramètre dépend de la fréquence f, de la conductivité du conducteur σ et de la perméabilité du matériau conducteur μ telle que $\mu = \mu_r \mu_0$ avec μ_r la perméabilité relative du matériau (égal à 1 lorsque le matériau est non magnétique) et μ_0 étant la perméabilité du vide égale à $4 .10^{-7}$ H/m.

Yue donne une définition de la résistance série R_s **[Yue00]** à partir de la résistivité du conducteur ρ, la longueur totale de l'inductance l, Eq. III-4, considérant en première approximation les segments métalliques comme des lignes de transmission micro-ruban.

$$R_S = \frac{\rho \cdot l_T}{w \cdot t_{eff}} \qquad \textit{Eq. III-4}$$

t_{eff} représentant l'épaisseur effective du conducteur, s'exprime à partir de l'épaisseur physique du conducteur t et de δ, l'effet de peau, par :

$$t_{eff} = \delta\left(1 - e^{-t/\delta}\right) \qquad \textit{Eq. III-5}$$

[Hei90] montre que pour une épaisseur de métallisation supérieure à 3 ou 4 fois l'épaisseur de peau δ, ce comportement est vérifiée sur la face supérieure et inférieure du ruban.

Le Tableau III-1 donne les valeurs de l'épaisseur de peau δ pour le cuivre utilisé dans les niveaux d'interconnexions (la conductivité $\sigma=5.55.10^7$ S/m) à quelques fréquences caractéristiques de notre étude.

Fréquences [GHz]	1	2	3	4	5	10
δ [µm]	3.78	2.67	2.18	1.89	1.69	1.19

Tableau III-1 : Tableau des valeurs de l'effet de peau δ pour des fréquences de notre étude.

Pour les fréquences qui nous intéressent (2 à 5 GHz) et compte tenu des épaisseurs des métallisations considérées (0.9 µm et 3 µm), l'effet de peau est à négliger.

3) L'effet de proximité

Le phénomène d'auto-induction électromagnétique ne s'applique pas seulement à l'échelle de chaque conducteur, sous la forme de l'effet de peau, mais aussi à l'échelle de l'ensemble des conducteurs puisqu'ils sont tous couplés magnétiquement. On parle alors d'effets de proximité liés à l'apparition de courants de Foucault dans le brin adjacent aux autres conducteurs.

Si on considère la portion d'une inductance multi-tours, représentée en Figure III-4, le champ magnétique B(t) résultant des tours adjacents pénètre orthogonalement à la surface du conducteur. Ce champ va générer des courant induits $I_i(t)$, appelés courant de Foucault, qui eux même vont créer un champ magnétique induit $B_i(t)$ qui va s'opposer à la cause qui leur donne naissance, d'après la loi de Lenz. Ces courants induits vont augmenter avec la fréquence f et la largeur du ruban w et avoir un effet négatif sur la résistance des pistes de l'inductance. Cela est d'autant plus vrai pour les pistes les plus internes, au centre de l'inductance où le champ magnétique atteint son intensité maximale.

Finalement, la distribution non uniforme du courant conduisant à l'augmentation de la résistance des pistes est à la fois due au champ magnétique induit par la circulation du courant variable

dans le conducteur lui-même, mais également par le champ magnétique généré par les conducteurs voisins.

Une formule plus générale de la résistance série R_s est donnée à l'Eq. III-6.

$$R_s = R_{DC} + R(f) \qquad \textit{Eq. III-6}$$

Où on peut dissocier la composante statique R_{DC} de la résistance série R_s de l'inductance et la composante fréquentielle R(f) qui peut être modélisée de façon polynomiale **[Ashby94]**.

III.2.3. Les effets parasites du substrat silicium et du diélectrique isolant

Lorsqu'une inductance est intégrée dans une technologie silicium, des pertes résistives ainsi que des effets parasites indésirables liés aux diélectriques apparaissent. Ils sont dus à la fois :

- aux propriétés intrinsèques du matériau diélectrique isolant, le dioxyde de silicium, dans lequel sont plongées les spires métalliques, soit sa permittivité relative ε_{SiO2} (ε_{SiO2} = 3.9)
- et aux propriétés intrinsèques du substrat semi-conducteur qui sont sa conductivité σ_{Si} (σ_{Si}= 6.700 S/m à 25°C pour le silicium massif utilisé) et sa permittivité relative ε_{Si} (ε_{Si}= 11.7).

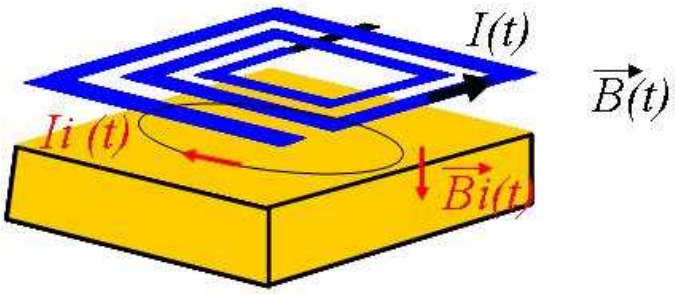

Figure III-5: Vue en 3D d'une inductance planaire intégrée en technologie silicium et représentation schématique des courants induits dus à la pénétration du champ magnétique dans le substrat.

Le champ magnétique variable B(t) généré par circulation d'un courant alternatif I(t) dans les spires va pénétrer dans le substrat semi-conducteur, Figure III-5. Il va alors : générer des courants induits $I_i(t)$ circulant dans le sens opposé à celui des spires, créée une augmentation des pertes résistives et faire apparaître une inductance mutuelle entre les niveaux de métallisations du BEOL et le substrat en silicium. Ces phénomènes vont diminuer l'énergie magnétique emmagasinée dans l'inductance, diminuant, par conséquent, les performances électriques du composant.

A ces effets, vont se rajouter des effets capacitifs parasites dus aux propriétés diélectriques de l'isolant et du substrat qui sont résumés en Figure III-6.

Les trois types de capacités dans une inductance intégrée carrée asymétrique données par **[Yue00]** sont illustrées en Figure III-6. Leurs expressions sont les suivantes :

- la capacité C_s entre la borne d'entrée 1 et de sortie 2

$$C_s = n \cdot w^2 \cdot \frac{\varepsilon_{ox}}{t_{1-2}} \qquad \textit{Eq. III-7}$$

- la capacité du matériau isolant C_{ox}

$$C_{ox} = \frac{1}{2} \cdot l_T \cdot w \cdot \frac{\varepsilon_{ox}}{t_{ox}} \qquad \textit{Eq. III-8}$$

- la capacité de couplage avec le substrat C_{sub}

$$C_{sub} = \frac{1}{2} \cdot l_T \cdot w \cdot \varsigma_{sub} \qquad \textit{Eq. III-9}$$

On modélise habituellement ces capacités à partir du concept de capacité à armatures parallèles **[Yue00]**. n est le nombre de superpositions avec « l'underpass », w est la largeur de la piste, ς_{sub} est la capacité du substrat par unité d'aire, t_{ox} l'épaisseur d'oxyde sous le métal et t_{1-2} la distance dans l'oxyde entre la borne d'entrée 1 et la borne de sortie 2, l_T est la longueur totale de l'inductance et ε_{ox} la permittivité de la couche d'isolation.

R_{Sub} traduit l'effet Joule généré par les boucles de courants induits qui circulent dans le substrat. Yue **[Yue00]** en donne la définition suivante :

$$R_{Sub} = \frac{2}{l_T \cdot w \cdot G_{sub}} \qquad \textit{Eq. III-10}$$

Où l est la longueur totale de l'inductance, w la largeur du ruban et G_{sub} la conductance par unité d'aire du substrat en silicium.

Pour s'affranchir de ces pertes résistives et des effets parasites du substrat, un plan de masse à motifs (PGS) relié à la masse va être fabriqué entre l'inductance intégrée et le substrat en silicium, comme l'illustre la Figure III-7.

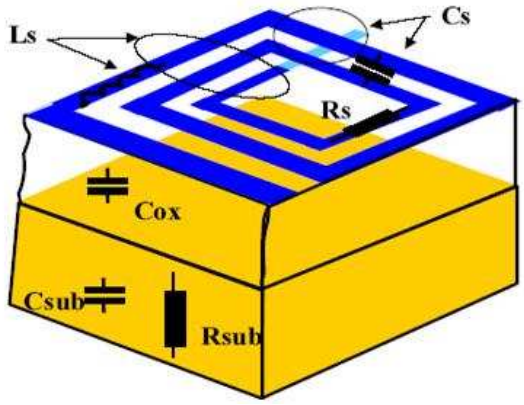

Figure III-6: Vue en coupe en 3D d'une inductance planaire intégrée en technologie silicium et représentation schématique des pertes résitives et des effets capacitifs parasites, si absence de PGS.

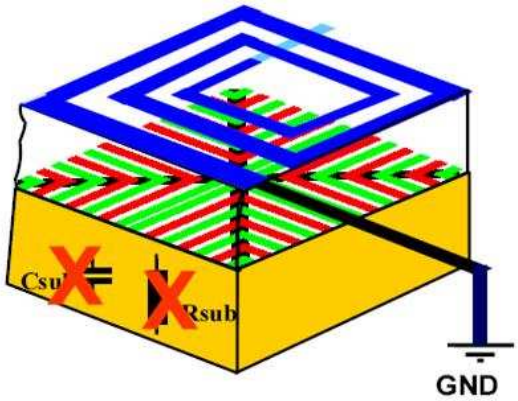

Figure III-7: Vue en coupe en 3D d'une inductance planaire intégrée en technologie silicium et représentation schématique des pertes résitives et des effets capacitifs parasites, si présence de PGS relié à la masse.

III.3. Les modèles électriques

En 1990, Nguyen et Meyer **[Nguyen90]** ont été les premiers à développer une inductance planaire intégrée sur silicium en utilisant la technologie des interconnexions. Ils ont alors proposé un modèle en «Π» simple pour décrire le comportement de l'inductance, Figure III-8, a). Plus récemment Yue et Yong **[Yue00]** ont rapporté un modèle similaire, mais avec des paramètres plus appropriés à la géométrie de l'inductance et au procédé de fabrication, Figure III-8 b). D'autres modèles ont été élaborés prenant en compte les effets de couplage électromagnétique avec le substrat de type transformateur **[Melendy02]** Figure III-8 c).

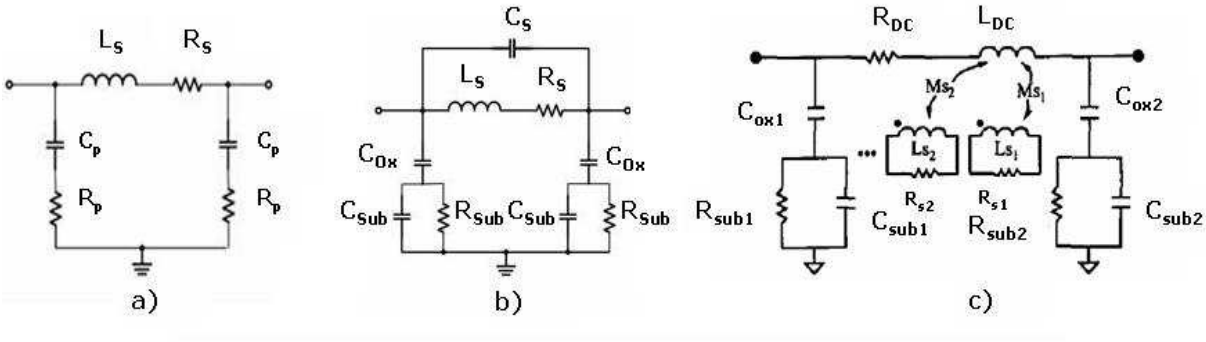

Figure III-8 : Modèles en «Π » pour des inductances planaires développés par a), Nguyen et Meyer [Nguyen90] (b), Yue et Wong [Yue00] (c), et Melendy et Francis [Melendy02].

Si l'on considère l'inductance planaire carrée utilisant le modèle de Yue et Yong comme modèle de référence **[Yue00]**, Figure III-9, parmi les éléments du modèle, on retrouve autour de l'inductance série L_s :

- la résistance R_s qui traduit les pertes ohmiques dans les pistes métalliques.
- la capacité C_s entre les spires mais aussi entre la borne d'entrée et la borne de sortie.
- la capacité C_{ox} qui représente la capacité au niveau du matériau diélectrique située entre le ruban métallique et le substrat silicium.
- la capacité C_{Si} au niveau du substrat qui est souvent négligeable dans le domaine des radiofréquences par rapport à la valeur de la résistance associée R_{Si}.

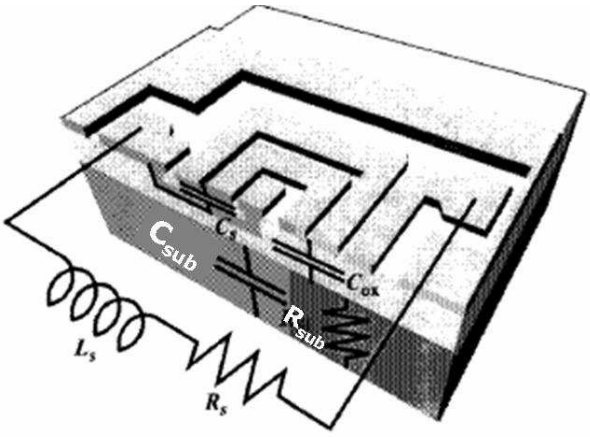

Figure III-9: Vue 3D de l'inductance carrée utilisée par Yue et Wong [Yue00] et visualisation des éléments électriques du modèle.

III.4. Le facteur de qualité : figure de mérite usuelle des inductances

Le facteur de qualité Q est une figure de mérite extrêmement importante pour l'inductance utilisée en hautes fréquences **[Yue98]**. Il traduit l'énergie nette magnétique stockée dans le dispositif.

Si on se place dans le cas idéal, l'inductance est un élément de pur stockage d'énergie magnétique : Q tend dans ce cas vers l'infini, comme l'illustre la courbe en pointillés de la Figure III-10.

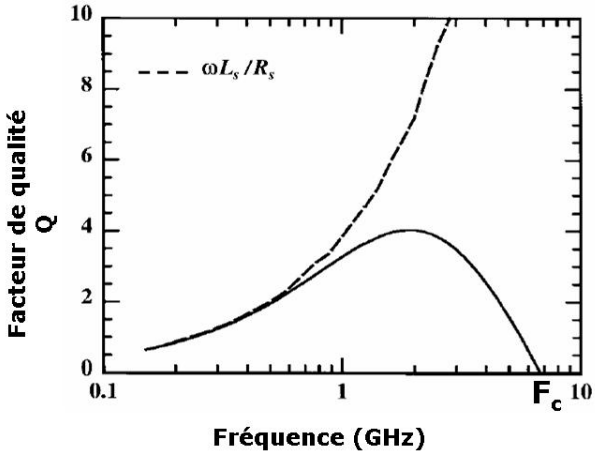

Figure III-10: Comportement typique du facteur de qualité dans le cas idéal (en pointillés) et pour une inductance intégrée sur silicium (en trait plein).

Mais c'est parce qu'il y a des pertes résistives évoluant avec la fréquence et des capacités parasites (dues à l'isolant et au substrat en silicium), que ce cas n'existe pas dans la réalité. Les pertes résistives vont consommer l'énergie magnétique emmagasinée, alors que les capacités parasites vont diminuer les effets inductifs ; d'où la forme en cloche du facteur de qualité en fonction de la fréquence.

De manière générale, le facteur de qualité se définit comme la différence entre le pic d'énergie magnétique stockée et le pic d'énergie électrique stockée dans les capacités parasites, divisée par les pertes liées aux phénomènes résistifs des pistes et du substrat, pour une période d'oscillation. Son expression la plus générale et physique est donnée en Eq. III-11:

$$Q = 2\Pi \cdot \frac{\left| EnergieMagnétiqueStockée - EnergieElectriqueStockée \right|}{PertesPourUnePérioded'Oscillation} \qquad \textit{Eq. III-11}$$

La fréquence de coupure F_c, Figure III-10, représente la fréquence pour laquelle l'inductance va passer d'un comportement inductif à un comportement capacitif, c'est-à-dire lorsque l'énergie magnétique emmagasinée est égale à l'énergie électrique emmagasinée ; soit quand Q=0.

IV. OPTIMISATION DES INDUCTANCES INTEGREES EN TECHNOLOGIE SILICIUM AVANCEE

IV.1. Revue bibliographique des techniques reportées dans la littérature

Le contexte général de l'étude et les notions élémentaires concernant les inductances intégrées ayant été présentés, nous allons maintenant nous attacher plus particulièrement aux

différentes optimisations proposées dans la littérature jusqu'au début du présent travail de thèse. Il s'agira ici de poser un statut clair concernant l'état d'avancement des travaux relatifs aux inductances intégrées en 2005. Ceci nous permettra de dégager les problématiques qui émergeaient alors et introduire les axes de recherches que nous avions identifiés à cette époque. Nous compléterons cette synthèse à la fin du manuscrit afin de pouvoir resituer la pertinence des résultats que nous aurons obtenus et discuter des perspectives potentielles qui pourront faire suite au présent travail.

IV.1.1. Histoire d'une évolution

Les inductances intégrées ont suscité de nombreux travaux de recherche qui visaient tous à améliorer les performances accessibles lorsque l'on souhaite intégrer ce composant dans une approche monolithique. Depuis leur première intégration sur silicium en 1990 par Nguyen et Meyer **[Nguyen90]**, l'histoire des inductances intégrées a connu de grands mouvements qui sont résumés dans la Figure IV-1.

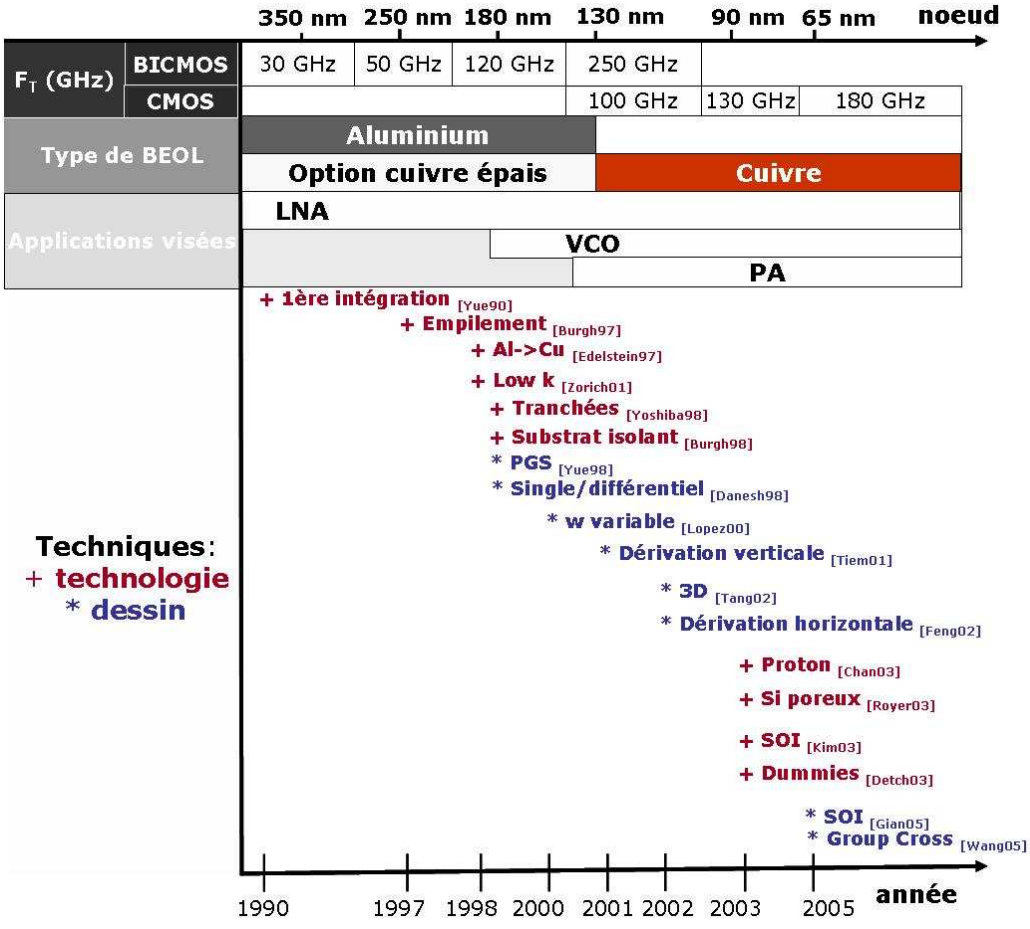

Figure IV-1 : Historique des inductances intégrées de 1990 au début de la thèse en 2005.

Les différentes phases de leur évolution, comme nous le verrons, sont un va-et-vient incessant entre les optimisations technologiques et le dessin ou « layout » des inductances, pilotées par les besoins d'un marché plus grandissant et les limites de leur intégration sur silicium.

Nous verrons ainsi comment l'évolution des technologies d'intégration, les performances des transistors, le type de BEOL et les applications RF visées, ont dirigé ces vingt dernières années la recherche et le développement d'inductances intégrées à hautes performances et faible surface.

Nous exposerons en détails les grandes lignes de l'évolution de ce composant passif du début de son intégration sur silicium jusqu'à ce travail de thèse commencé en 2005. Ceci nous permettra de mieux appréhender l'intérêt et les nouveaux défis que nous avons tenté de relever dans ces travaux de recherche, concernant l'optimisation des inductances intégrées en technologies silicium avancées.

1) De 1990 à 1997

- **Première intégration des inductances sur silicium**

C'est à Nguyen et Meyer que nous devons les premières réalisations d'inductances intégrées sur silicium dans les niveaux d'interconnections du BEOL (Figure IV-2). Elles datent de 1990, il y a 19 ans de çà maintenant.

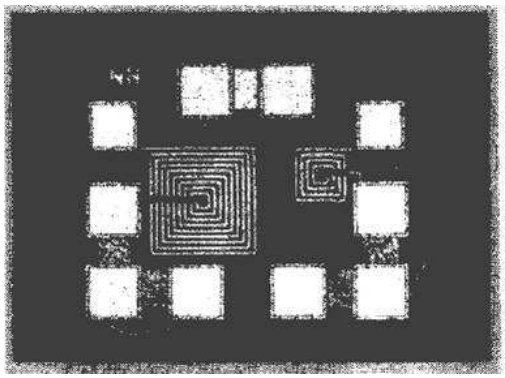

Figure IV-2 : Premières inductances intégrées sur silicium [Nguyen90].

Jusqu'en 1990, les inductances planaires étaient implémentées dans les systèmes RF à partir de différents substrats, allant du composant discret aux composants intégrés sur saphir, céramique et GaAs **[Petten88] [Frian89]**. Durant les prémisses des circuits intégrés sur silicium, leur intégration avait été investiguée, mais très vite abandonnée pour des raisons de coût (limitations de l'étape de lithographie) et de fréquences d'opération relativement faibles des transistors (quelques centaines de mégahertz).

A ces contraintes technologiques et de performances RF des transistors s'ajoutèrent des limitations en facteur de qualité, limitations intrinsèquement dues au substrat silicium. C'est

finalement, grâce aux améliorations du procédé de fabrication des circuits intégrés et l'avènement d'applications à plus hautes fréquences (Global Positioning Satellite et Direct Broadcast Satellite), que leur intégration sur silicium a pu se faire.

Ainsi, la première technologie utilisée a été la technologie BiCMOS réunissant des transistors Métal Oxyde Semi-conducteur (MOS) et un Transistor Bipolaire à Hétérojonction (HBT), comme l'illustre la Figure IV-1. Grâce à la compatibilité du HBT SiGe avec la technologie CMOS, des fonctions analogiques et des fonctions numériques ont pu être intégrées sur silicium. Le pic de la fréquence de seuil des transistors F_T était alors de 8 GHz **[Nguyen90].**

Ces premières inductances étaient réalisées sur deux niveaux de métallisations en aluminium, le premier servant au déploiement de celle-ci et le deuxième à l' « underpass ». Leur forme antisymétrique était alors à relier à la première application RF intégrée sur silicium : les amplificateurs faible bruit (LNA), Figure IV-1. L'objectif était alors de réduire le bruit dans les transistors utilisés dans ce circuit par obtention d'inductances intégrées à fort facteur de qualité.

- **Empilement et épaississement des niveaux de métallisation**

Mais la miniaturisation des transistors à chaque nœud technologique, selon l'incontournable loi de Moore **[Moore65]**, a entrainé la réduction des dimensions horizontales et verticales des niveaux d'interconnexions. Cette diminution des niveaux métalliques n'a pas été sans conséquence sur l'intégration d'inductances planaires sur silicium. Les résistances des lignes métalliques en aluminium sont alors devenues limitantes pour atteindre des facteurs de qualité acceptables et pour gérer des courants importants (plusieurs dizaines de mA). C'est pourquoi la première amélioration, qui ait suivi leur intégration, a été la réduction de la résistance DC de l'inductance, Figure IV-1.

En 1997, Burghartz et al. **[Burgh97]**, proposent une meilleure utilisation des niveaux d'interconnexions pour la réalisation d'inductances intégrées. Dans cette approche, la structure, contrairement à celle de Nguyen et Meyer **[Nguyen90]** est faite de plusieurs niveaux métalliques (de M1 à M4) empilés entre eux par des matrices de vias. Ces inductances multicouches présentent alors un facteur de qualité qui va augmenter avec le nombre de dérivations et cela grâce à une diminution de la résistance R_s de la spire, Figure IV-3.

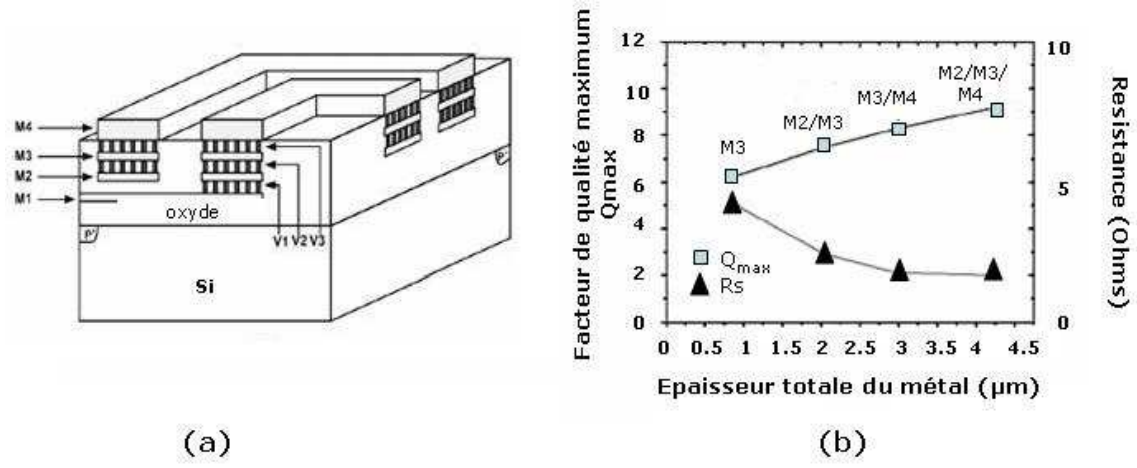

Figure IV-3 : a) Inductance multicouche et b) facteur de qualité maximum Q_{max} et résistance R_s pour les différentes dérivations verticales [Burgh97].

En parallèle à cela, une autre solution technologique permettant de réduire la résistance DC voit le jour. Elle consiste à introduire un niveau top de forte épaisseur (2.5 µm d'aluminium) en technologie 350 nm.

- **Basculement des technologies aluminium vers les technologies cuivre**

Afin de réduire le délai dans les circuits digitaux, un nouveau matériau apparaît dans le monde de la microélectronique: le cuivre, Figure IV-1. Ce changement technologique sera longtemps considéré comme un tournant dans l'histoire des niveaux d'interconnexions, et plus particulièrement, pour celle des inductances intégrées dans les circuits RF.

Dans un premier temps, seule la couche épaisse d'aluminium (ρ_{Al}= 2.65 µΩ/cm) est remplacée par une option cuivre (ρ_{Cu}= 1.8 µΩ/cm) épais de 4 µm à partir de la technologie silicium 350 nm**.** Elle permet en moyenne d'augmenter le facteur de qualité de l'inductance de 30% par réduction de pertes résistives dans les spires. Comme nous le verrons dans les chapitre 2 et chapitre 3, les inductances intégrées en cuivre bénéficieront aussi de performances en électro-migration et donc en densité de courant bien meilleures que l'aluminium **[Zorich01]**.

Puis, une révolution technologique s'opère : l'ensemble du BEOL en aluminium bascule vers un BEOL en cuivre à partir de la technologie 130 nm. Mais un tel changement technologique n'a pas été si radical. En effet, le développement d'un nouveau procédé de fabrication appelé le procédé cuivre Damascène a été nécessaire, voir chapitre 2.

Ainsi, en 1997, les premiers circuits intégrés de type CMOS, comprenant six niveaux de métaux en cuivre apparaissent **[Edelstein97]**, **[Venkatesan97]**. Ce changement technologique a permis d'améliorer de près de 60% le pic du facteur de qualité **[Lescot00]**, comme le montre la Figure IV-4 .

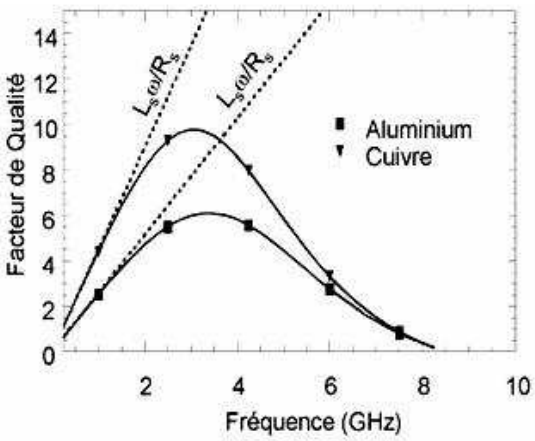

Figure IV-4 : Résultats de simulations du facteur de qualité d'une inductance en aluminium comparé à celui d'une inductance en cuivre en technologie 130 nm [Lescot00].

2) De 1998 à 2001

A partir de 1998, une nouvelle aire s'ouvre : l'aire de la technologie CMOS, Figure IV-1. En effet, face aux contraintes d'intégration, et afin de réduire les coûts et la consommation, les technologies à base de MOSFETs s'imposent dans le paysage des inductances intégrées. En effet, en plus de suivre parfaitement la loi de Moore, ces transistors proposent alors des performances RF tout à fait comparables aux technologies BiCMOS ou aux technologies commerciales des matériaux semi-conducteurs des colonnes III-V du tableau de Mendeleïev.

Quant aux inductances intégrées, comme nous l'avons vu durant les premières années de recherches, elles ont surtout bénéficié de l'amélioration du procédé de fabrication des niveaux métalliques du BEOL. A partir de 1998, l'attention se porte sur le substrat silicium à pertes, le facteur de qualité pouvant être en effet amélioré par une réduction des pertes résistives R_{si}.

- **L'introduction d'un plan de masse à motifs (PGS)**

En 1998, Yue propose alors d'utiliser un plan de masse à motifs (PGS), situé entre l'inductance intégrée et le substrat en silicium massif **[Yue98]**. L'objectif d'une telle approche est de réduire les pertes dans le substrat par création d'un couplage capacitif entre le (PGS) et l'inductance intégrée. Cet écrantage de masse va permettre un plan d'arrêt à la propagation du champ électrique dans le substrat, et par conséquent supprimer les effets dissipatifs. Il s'est avéré que ce plan de masse ne devait pas être continu (SGS), mais fractionné en barreaux perpendiculaires (PGS) **[Yue98]**, **[Murata02]**, **[Chen01]**, **[Mernyei98]** afin de couper les boucles de courant de Foucault et d'éviter l'apparition d'une inductance image, Figure IV-5. Ce plan de masse est généralement réalisé en poly-

silicium et utilise une couche fortement dopée n+. Comme on le voit sur la Figure IV-5, le facteur de qualité d'une inductance utilisant un PGS est amélioré. Mais un des inconvénients d'une telle technique est qu'il réduit la distance entre l'inductance et la masse et donc introduit une capacité additionnelle qui dégrade la fréquence de coupure F_c de l'inductance.

Cette technique largement utilisée aujourd'hui pour la réalisation d'inductances intégrées est appliquée aux inductances réalisées à STMicroélectronics.

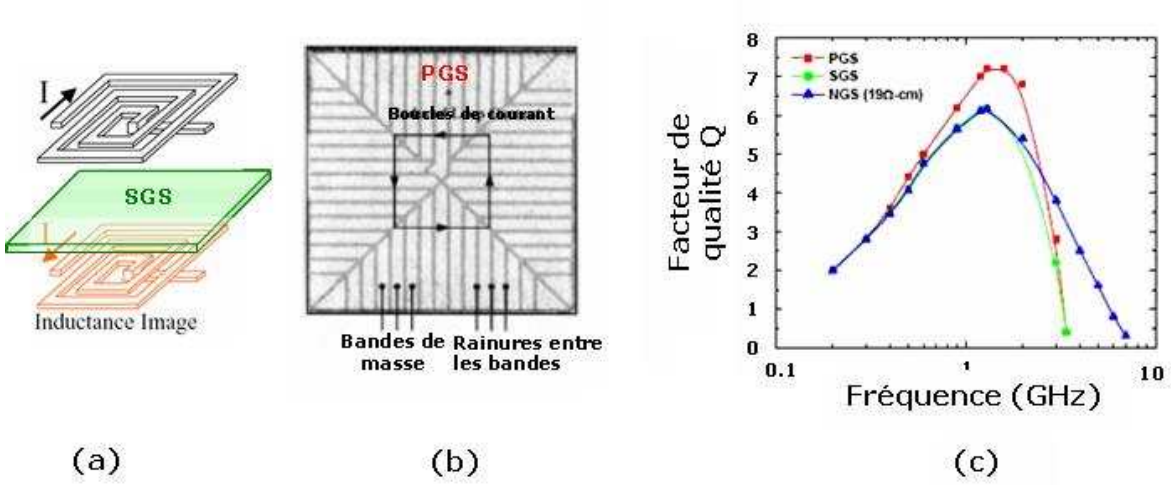

Figure IV-5 :a) Schéma d'un plan de masse entier (non fractionné) (SGS) avec formation de l'inductance image b) schéma d'un plan de masse fractionné (PGS) c) et facteur de qualité d'un plan de masse entier (SGS), d'un plan de masse fractionné (PGS) et sans plans de masse (NGS). [Yue98].

- **Utilisation de tranchées dans le substrat silicium**

Une autre méthode pour réduire les pertes dues au substrat est proposée la même année par Yoshiba et al, **[Yoshida98]**. Elle consiste à creuser des tranchées profondes dans le substrat en silicium. Mais cette technique, dont l'efficacité a été souvent discutée ne verra pas le jour dans l'industrie pour des raisons de coût de réalisation et de répétabilité du procédé de fabrication.

- **Utilisation de substrats isolants**

Comme nous venons de le voir, les premières recherches sur le substrat se sont focalisées sur la réduction des pertes R_{Si} liées aux propriétés intrinsèques semi-conductrices du substrat silicium. Plutôt que de chercher à les limiter, la question s'est alors posée d'utiliser un autre substrat, mais cette fois isolant. Ainsi, en 1997 et en 1998, Burghartz et al., **[Burgh97]**, **[Burgh98]**, montrent que des inductances réalisées sur du quartz, du saphir ou du silicium hautement résistif (HR : $\rho > 3$ k Ω.cm) présentent, en effet, des facteurs de qualité plus élevés que sur silicium standard (5 – 20 Ω.cm), voir Figure IV-6. Malheureusement de tels substrats se sont révélés incompatibles avec la réalisation de

composants actifs en technologie silicium massif CMOS et BiCMOS pour des problèmes de « latch-up » difficiles à maitriser.

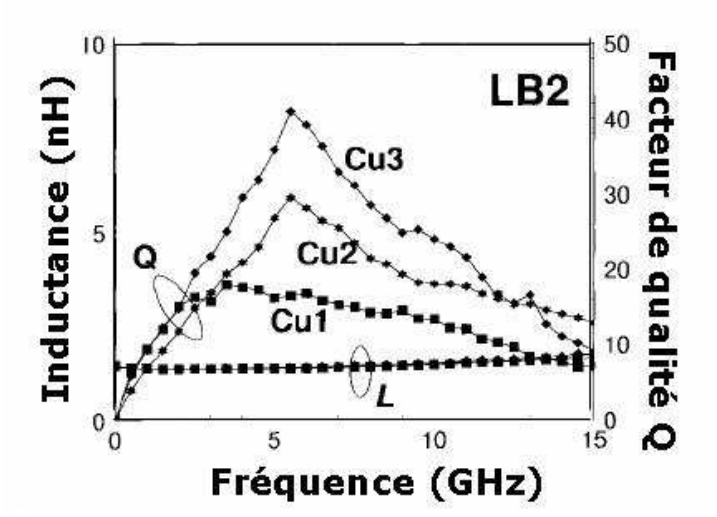

Figure IV-6 : Inductance et facteur de qualité Q d'inductances fabriquées en cuivre sur silicium standard (10 Ω.cm), (Cu1) sur silicium HR (Cu2) et sur saphir (Cu3) [Burgh97].

Cette problématique posée dans les premières années qui ont suivi l'intégration des inductances sur silicium a été de nouveau d'actualité dans les années 2000. Ainsi, en 2003, Chan et al., suggèrent-ils de placer l'inductance au-dessus d'une zone localisée hautement résistive par implantation de protons **[Chan03]**. La même année, le CEA Leti propose quant à lui d'utiliser une zone localisée de silicium à haute densité de porosité sous l'inductance, zone réalisée soit par procédé chimique (Si poreux), soit par gravure sèche (air-gap) **[Royet03]**.

Dans le même objectif de réduction des pertes R_{Si}, en 2005, Steinmer et al. proposent, de réduire les courants de Foucault dans le silicium en utilisant une zone d'inversion sous l'inductance à partir de jonctions pn excitées en inverse **[Stein05]**.

- **Introduction des diélectriques low-k**

La course vers la miniaturisation se poursuivant, à partir des technologies CMOS 130 nm, et dans le même esprit que le développement technologique du cuivre, l'intérêt des technologues se porte alors sur l'intégration de matériaux isolants du BEOL. Ils étudient alors la possibilité d'introduire des matériaux diélectriques à faible permittivité ε_r dans les étapes de fabrication des interconnexions en cuivre. C'est ainsi qu'à partir de 1997-1998, l'oxyde de silicium (SiO_2), de permittivité supérieure à 4.0, est alors remplacé par les premiers films diélectriques « low-k » tels que les oxydes de silicium dopés au fluor, de constante diélectrique 3.2 et 3.4 **[Zorich01]**. Depuis, d'autres diélectriques ont été développés et intégrés, comme par exemple :

- des polymères organiques aromatiques, de constante diélectrique égale à 2.7 **[Fayolle02]**,
- des oxydes de silicium dopés au carbone, de constante diélectrique égale à 2.9, **[Fayolle02]**,
- -des oxydes de silicium dopés au carbone poreux, de constante diélectrique inférieure à 2.5 **[Chapelon04]**.

Ces améliorations en termes de procédé de fabrication des interconnexions vont alors permettre de réduire les capacités parasites du modèle de l'inductance planaire, et par conséquent améliorer ses performances RF tels que le facteur de qualité et la fréquence de coupure F_c.

En parallèle à cela, un nouveau mouvement se met en place dans l'évolution des inductances intégrées sur silicium : c'est l'aire des techniques de « layout » qui commence, Figure IV-1. En effet, l'introduction de nouveaux matériaux arrivant à une limite, de nouvelles techniques de dessin ont été développées et cela à partir de 1998. L'objectif des premières optimisations a été de réduire les pertes métalliques.

- **Inductances symétriques**

La motivation de ce nouveau type d'inductance est guidée par le besoin d'oscillateur contrôlé en tension (VCO) intégré. La disponibilité d'inductances symétriques apparaît alors comme incontournable pour ce nouveau marché.

Ainsi, en 1998, Mina Danesh et al., réalisent une comparaison du facteur de qualité d'une structure symétrique excitée en mode différentiel (la source de courant entre les deux ports) et la même structure excitée en mode « single-ended » (un port à la masse et un port à la source de courant) comme l'illustre la Figure IV-7 **[Danesh98]**. Une augmentation du facteur de qualité de 50% est alors démontrée pour une structure symétrique et cela grâce à une réduction des capacités parasites de l'inductance à hautes fréquences.

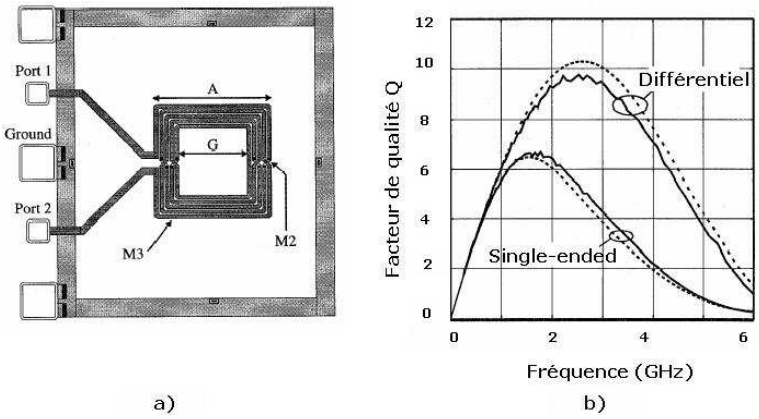

Figure IV-7 : a) Inductances symétrique b) comparaison entre le facteur de qualité obtenu en mode single-ended et en différentiel [Danesh98].

- **Introduction de la largeur de piste variable**

Une des techniques les plus connues pour réduire les pertes résistives en fréquence des inductances et qui a démontré son efficacité repose sur l'utilisation d'une largeur variable des spires **[Lopez00]**. Celle-ci consiste à réduire progressivement la largeur des pistes de l'extérieur vers l'intérieur, comme le montre la Figure IV-8. En effet, les inductances spirales, de part la différence de champ magnétique entre spires voisines, sont le siège d'une répartition non uniforme du courant à hautes fréquences. Plus on va vers le centre de l'inductance, plus les spires présentent une section efficace faible. Le champ magnétique étant plus fort au centre, les pertes induites par les courants de Foucault sont plus importantes que pour les spires extérieures. En réduisant la largeur, on réduit les pertes par auto-induction et on gagne sur la compacité de l'inductance.

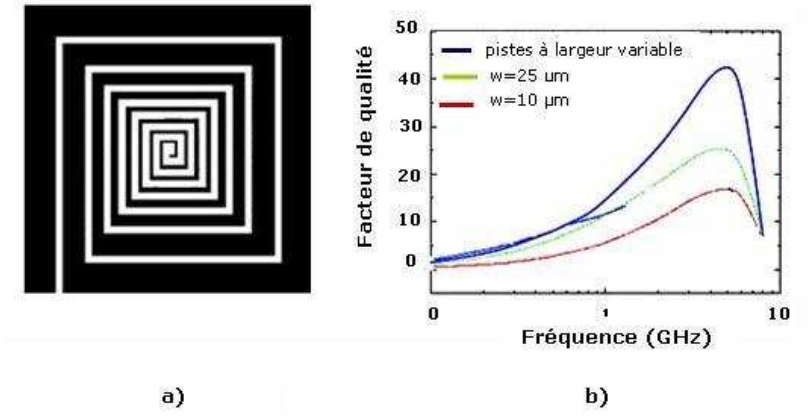

Figure IV-8 : a) Topologie d'une inductance à largeur variable et b) facteur de qualité d'une telle inductance comparé à trois types d'inductances à largeur non optimisée [Lopez00].

- **Introduction de la dérivation verticale**

Dans la continuité de ces travaux sur les largeurs variables, Figure IV-1, la dérivation verticale est proposée dans la littérature **[Tiem01]**. L'objectif est le même : accéder à une répartition du courant plus homogène sur la section de l'inductance et sur toute la longueur déployée. La technique consiste à réaliser les spires sur deux niveaux de métaux distincts et de façon symétrique de sorte que les tours complets intérieurs et extérieurs aient globalement la même valeur d'inductance propre et de résistance (le même potentiel électrique). Comme l'illustre la Figure IV-9, le facteur de qualité d'une telle inductance augmente avec le nombre de chemins de dérivation.

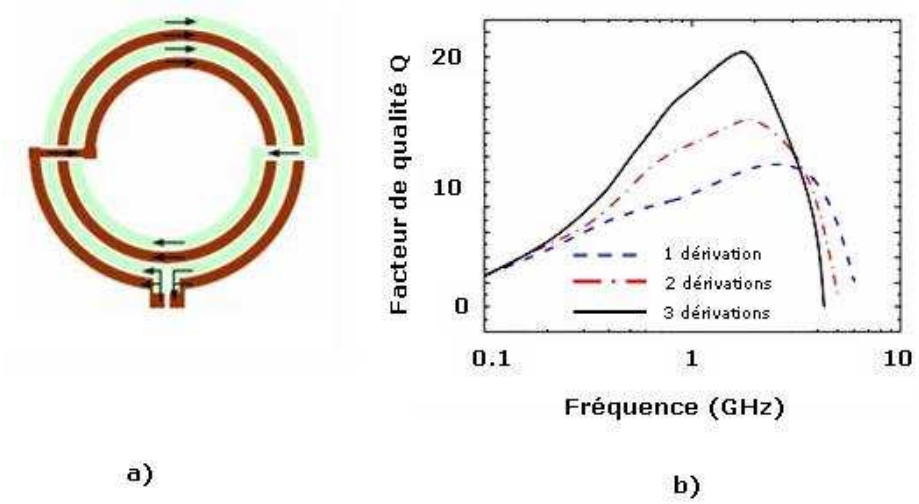

Figure IV-9 : a) Inductance avec spires séparées en deux chemins de dérivation du courant et b) facteur de qualité d'une inductance en dérivation horizontale avec un, deux et trois chemins de courant [Tiem01].

D'autres techniques de dessin plus avancées ont aussi été exposées pour réduire les mutuelles négatives par entrelacements des tours. **[Svard02]**

3) De 2002 à 2003

A partir de 1998 (passage de l'aluminium au cuivre), la réduction des règles de dessin des métallisations du BEOL, par le passage de la technologie 130 nm à la technologie 90 nm, amène les technologues et les « designers » à s'intéresser à la réduction de surface des inductances à performances équivalentes, Figure IV-1. L'aire du « design » et l'aire de la technologie se chevauchent alors comme nous allons le voir maintenant à travers l'optimisation de l'architecture des inductances et la gestion des « dummies ». La question économique devient alors centrale.

- **Inductance empilée**

Dans cette optique, Feng propose en 2002 de réaliser une nouvelle architecture, appelée inductance empilée. Il s'agit en pratique d'un ensemble d'inductances série fabriquées à partir de différentes couches de métaux, **[Feng02]**. Le principal avantage est que l'on peut obtenir de fortes valeurs d'inductance (10 nH) avec une très faible occupation de surface (23 µm x 23 µm). Comme on le voit sur la Figure IV-10, les inconvénients d'une telle architecture sont cependant les faibles valeurs du facteur de qualité et de la fréquence de coupure dues à la forte capacité parasite entre les spires et le substrat et les spires entre elles.

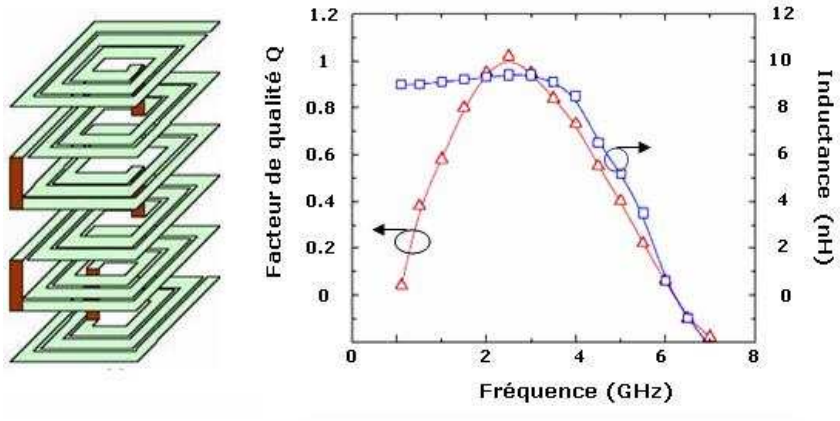

Figure IV-10 : a) Inductance empilée sur 6 niveaux de métallisations b) facteur de qualité et inductance en fonction de la fréquence [Feng02]

- **Inductance 3D miniature**

La même année, Tang et al., envisagent une architecture innovante afin d'augmenter l'inductance surfacique **[Tang02]**. Elle consiste à réaliser une sorte de solénoïde vertical à partir d'au moins deux inductances empilées et connectées en série. Chacune d'elles a seulement un tour dans chaque niveau métallique. Ce solénoïde présente alors un couplage capacitif plus faible que le précédent (moins de métallisations en vis-à-vis) et offre une fréquence de coupure et un facteur de qualité plus élevés, comme on le voit en Figure IV-11.

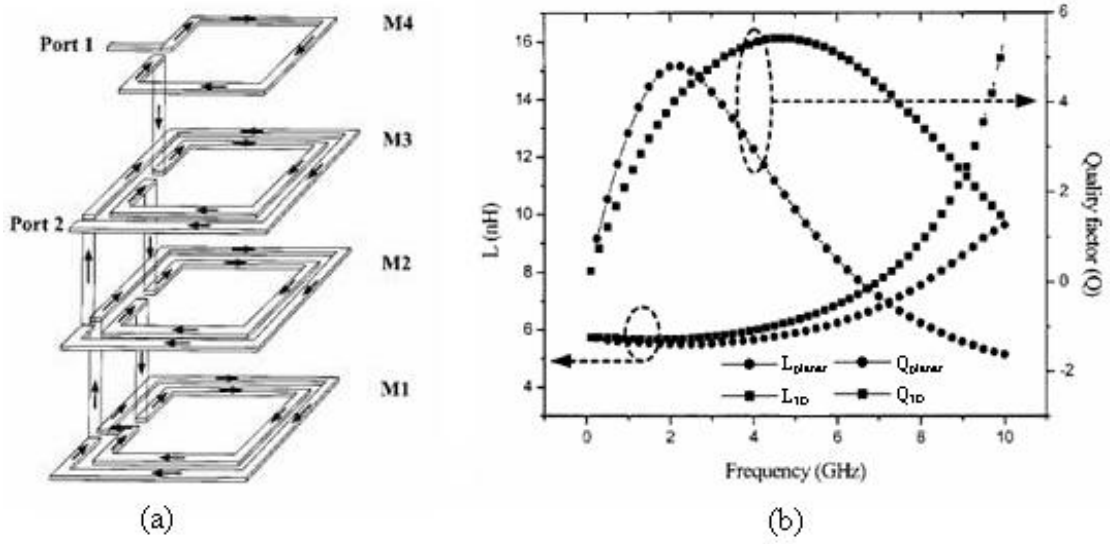

Figure IV-11 : a) Inductance 3D miniature sur 4 niveaux de métallisations b) facteur de qualité et inductance en fonction de la fréquence d'une inductance classique et d'une inductance miniature 3D [Tang02]

- **Inductances symétriques utilisant un « group-cross »**

En 2005, une nouvelle approche concernant l'optimisation de performances des inductances apparaissent. Elle concerne la minimisation des capacités parasites, Figure IV-12. Comme on le voit dans les deux précédentes optimisations, deux paramètres fondamentaux d'une inductance (facteur de qualité Q et fréquence de coupure F_c) sont impactés. C'est pour contrer cette diminution des performances qu'une technique de dessin appelée « group cross », **[Wang05]**, voit le jour dans la littérature en 2005. L'inductance symétrique est alors formée de deux groupes de métallisations. L'objectif est de réduire la capacité parasite entre les deux ports d'entrée. La longueur déployée par tour étant minimisée, la chute de potentiel entre les spires est ainsi réduite. L'avantage d'une telle structure est qu'elle n'exige pas l'utilisation d'un niveau de métallisation supplémentaire ni une surface silicium plus importante. Elle va présenter un facteur de qualité plus élevé qu'une inductance symétrique conventionnelle pour une même valeur d'inductance.

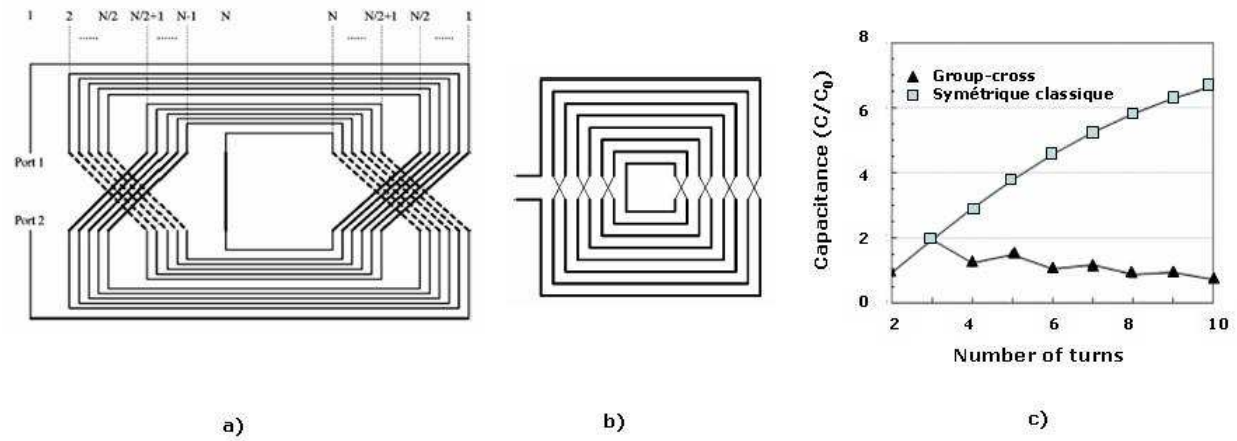

Figure IV-12 : a) Inductance utilisant le « group cross » b) Inductance classique c) Comparaison capacité parasite entre la capacité parasite d'une inductance utilisant le group-cross et une inductance classique [Wang05].

- **Gestion des inserts métalliques (« dummies»)**

Au fil de l'évolution technologique, les circuits RF sont intégrés dans des technologies de plus en plus avancées. De nouveaux défis concernant la gestion des inserts métalliques, appelés plus communément « dummies », apparaissent dans la littérature, Figure IV-1.

En 2003 et pour la première fois, Detcheverry et al. **[Detch03]**, soulèvent cette problématique dans les inductances intégrées, problématique liée à l'introduction du procédé Cuivre Damascène dans le BEOL. Ces « dummies », nécessaires pour éviter l'apparition de défauts topographiques dans les niveaux métalliques, sont, comme nous le verrons dans le chapitre 2, sources de consommation de surface silicium. Leur gestion devient de plus en plus difficile avec l'avancée des nœuds technologiques. Ces premiers travaux ont permis de montrer que le facteur de qualité maximal

présente un impact inférieur à 5% avec 20% de densité d'inserts métalliques au centre de l'inductance. La non-influence de leur orientation par rapport à la spire a aussi été démontrée (Figure II-13). Mais une étude plus complète et généralisable à tout type d'inductance est nécessaire.

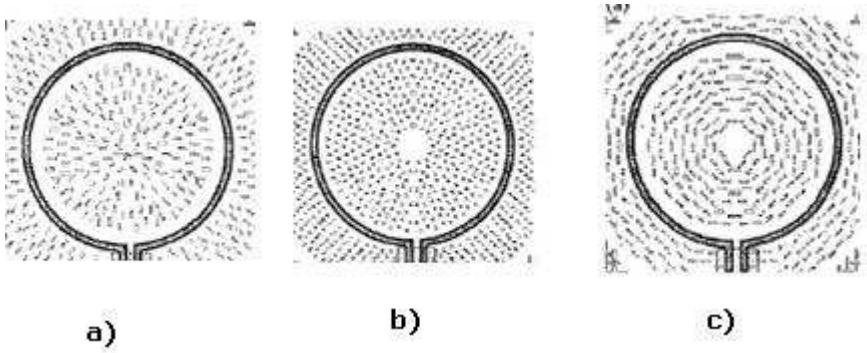

Figure IV-13 : Introduction d'inserts de cuivre au centre a) de façon radiale à 20 % b) de façon radiale à 80% c) de façon concentrique à 20%. [Detch03]

4) De 2004 à 2005

- **Technologie HR SOI**

Le BEOL ayant été optimisé à la limite de ce que peuvent accepter les technologies CMOS industrielles, la question du substrat isolant est à nouveau évoquée. Mais cette fois, c'est une solution CMOS industrielle qui est visée, Figure IV-1.

Ainsi, à partir de 2003, des travaux de recherches commencent-ils à démontrer la potentialité offerte par l'association d'un substrat Hautement Résistif (HR) et utilisant un oxyde enterré et la technologie SOI pour la réalisation d'inductances à fort facteur de qualité **[Kim03]**, **[Gian05]**. Comme le montre la Figure IV-14, la technologie SOI HR permet d'atteindre des facteurs de qualité améliorés en moyenne de 40% par rapport à une technologie CMOS sur silicium massif. On peut remarquer que la fréquence de coupure est repoussée en moyenne de 45%. Ces investigations vont se poursuivre et sont encore aujourd'hui d'actualité, comme nous le verrons dans le chapitre 3.

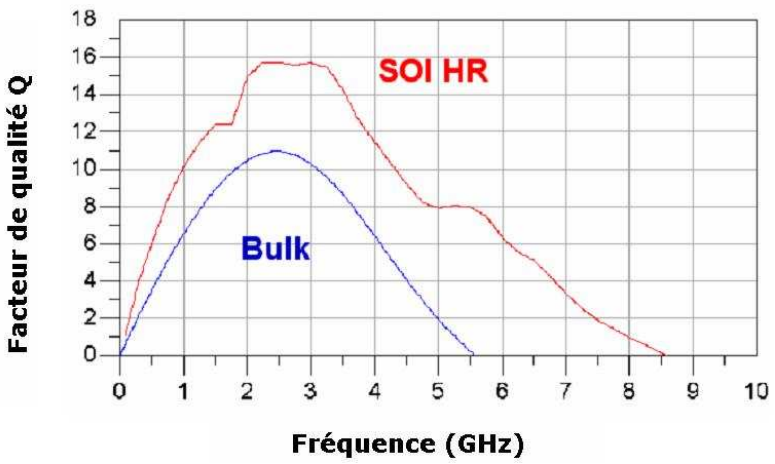

Figure IV-14 : Comparaison du facteur de qualité à 2.45 GHz d'une inductance de 3.4 nH en technologie CMOS 130 nm sur silicium massif (« bulk ») et la même optimisée en technologie CMOS SOI HR 130 nm [Giane05].

IV.1.2. Synthèse et statut

Comme nous venons de le voir dans les paragraphes précédents, depuis leur première intégration sur silicium en 1990, l'optimisation des inductances a fait l'objet d'intenses recherches mêlant à la fois optimisation du procédé technologique (BEOL et substrat silicium) et le dessin du composant. On a aussi vu comment la réussite d'un tel développement a reposé sur la miniaturisation des circuits intégrés et l'intégration de nouveaux matériaux en microélectronique. On a aussi pu constater que cette recherche a su s'adapter pour tenter de répondre aux besoins spécifiques des circuits RF au fil des évolutions des performances des composants actifs.

En 2005, lorsque cette thèse a débuté, la technologie de prédilection est la technologie CMOS et les premiers travaux en technologie HR SOI CMOS émergent à peine. Les applications RF visées sont les applications classiques à faible puissance du récepteur et de nombreux travaux concernant l'amplificateur de puissance sont menés dans différents organismes. Les maîtres mots concernant les inductances intégrées sont alors : fortes performances RF, capacité en courant, et faible surface silicium consommée (et donc faible coût).

Dans les présents travaux de recherche, la technologie n'a pas été une option de développement (la nécessaire compatibilité avec les technologies CMOS digitale limitait nos possibilités), mais un levier limité d'optimisation des performances des inductances. Par conséquent, l'apport de nouveaux matériaux, de type matériaux ferromagnétiques ou diélectriques « low k » ou des techniques de « micromaching », ne seront pas abordés dans ces travaux de recherche.

En revanche, la disponibilité de briques technologiques industrielles et leur évaluation ont constitué le cœur de ce travail. Ces travaux de recherche se sont alors appuyés sur les BEOL des technologies en cours de développement, de type BiCMOS (nœuds 130 nm) ou CMOS (nœuds 65 nm), reposant sur un procédé Cuivre Damascène.

V. OBJECTIFS DE L'ETUDE

En 2005, le contexte de l'étude est clair : il s'agit de relever les défis liés à l'intégration d'inductances dans les procédés CMOS avancés (65 nm et au-delà) pour les applications RF de 1 à 5 GHZ. La réponse à ces défis consiste alors à fournir une évaluation et des choix technologiques industrialisables de BEOL afin d'améliorer les performances et la consommation en surface silicium.

L'introduction ou le développement de nouvelles briques technologiques étaient exclus de part la nécessaire compatibilité avec des technologies CMOS servant aux applications digitales. C'est pourquoi, dans un premier temps, nous nous sommes focalisés sur la compréhension de problématiques existantes et futures dans les actuels procédés industriels, et la formulation de solutions innovantes. Ces solutions ne devaient aucunement induire une modification technologique majeure (et donc aucun surcoût).

C'est ainsi que notre travail s'est naturellement porté sur la gestion des inserts métalliques et leur impact sur les performances et la surface consommée des inductances intégrées. L'utilisation d'un BEOL en cuivre pour les procédés de fabrication CMOS avancés a nécessité l'introduction de règles de densités métalliques strictes. L'inductance, de part sa dimension et son architecture dans le BEOL, pose des difficultés particulières à satisfaire à ces règles ; et cette problématique devient de plus en plus complexe à adresser avec l'évolution des nœuds technologiques.

Lorsque notre travail a commencé, des règles spécifiques utilisées dans le cas des inductances intégrées reposaient sur des considérations de bon sens, à l'échelle du fonctionnement du composant. Aucune étude exhaustive capable de donner une gestion efficace des inserts métalliques à l'échelle des inductances, sans impacter leurs performances électriques, n'existait alors. Le défi était double. Il fallait proposer des solutions adéquates aux défis que posaient alors les technologies en cours de développement (typiquement le nœud 45 nm). Cette problématique est développée dans le chapitre 2. Nous proposerons en effet une gestion innovante des inserts métalliques qui permet de satisfaire les règles de densités imposées par les procédés de fabrication les plus avancés, sans toutefois détériorer les performances électriques du composant.

En parallèle à cette première étude, l'avènement des approches dérivatives et des concepts de type « More than Moore» a posé la question de l'intégration d'inductances offrant de meilleures performances (facteur de qualité et capacité en courant) en utilisant des options technologiques moins conventionnelles. Typiquement, ce sont les options de type cuivre épais dont il est ici question. Ce genre d'option avait déjà été proposé par le passé pour des applications BiCMOS, mais de nouvelles problématiques circuits sont apparues. De manière générale, cela concerne la question de l'intégration des applications de puissance (et plus particulièrement l'amplificateur de puissance) en technologie silicium.

De part les spécifications requises par une telle application, se pose naturellement la question de la disponibilité et de l'intégrabilité d'inductances capables de conduire de forts courants (plusieurs centaines de mA) en technologies 65 nm. Cette technologie avait déjà expérimenté la possibilité d'utiliser un module optionnel de type cuivre épais, mais cette approche ne permettait pas d'améliorer la capacité en courant de ce composant passif, comme nous le verrons plus en détails. Nous avons alors proposé d'évaluer un module double cuivre épais (deux niveaux de cuivre épais de 3 µm chacun). Cette étude, décrite au chapitre 3, a permis d'en apprécier l'intérêt, mais également les différents types d'optimisations possibles en termes de dessin de l'inductance.

Dans la continuité de ce travail, les technologies SOI utilisant des substrats hautement résistifs (HR) ont alors émergé afin de permettre l'intégration du Front-End Module, implémentant toutes les fonctions nécessaires dans la partie forte puissance de la chaîne d'émission. En effet, le SOI a démontré la potentialité à intégrer le commutateur d'antenne, la faisabilité de transistors offrant des tensions de claquage élevées, ainsi que l'intégrabilité de composants passifs (baluns, lignes coplanaires…) à hautes performances. Dans ce contexte, la question de l'amélioration des performances des inductances intégrées en technologie SOI prenait tout son sens. Aucune évaluation des modules de type cuivre épais n'ayant été jusqu'alors réalisée dans ce type de technologie, notre intérêt s'est porté sur ce travail. L'objectif était double : repousser encore les performances accessibles pour les inductances intégrées en technologie SOI afin de permettre l'intégration d'un plus large spectre d'applications, et offrir une comparaison compétitive avec des technologies dédiées à l'intégration des composants passifs (de type IPD). Ceci a permis d'évaluer la capacité de la technologie SOI à porter les procédés CMOS au même niveau de performances (du point de vue des composants passifs) qu'une technologie GaAs, par exemple. Ces investigations seront décrites dans le chapitre 4.

Finalement, nous replacerons les différents résultats obtenus dans cette thèse vis-à-vis de la littérature et nous tenterons de dégager les perspectives offertes par ces trois années de travail.

VI. REFERENCES

A

[Ashby94] K. B. Ashby, W. C. Finley, J. J. Bastek, S. Moinian, "High Q Inductors For Wireless Applications In a Complementary Silicon Bipolar Process", Bipolar/BiCMOS Circuits 81 Technology Meeting, pp. 179-184, 1994.

B

[Burgh96] J. N. Burghartz, M. Soyuer, K. A. Jenkins, "Microwave Inductors and Capacitors in Standard Multilevel Interconnect Silicon Technology", IEEE Trans. Microwave Theory and Techniques, 44, pp. 100–104, 1996.

[Burgh97] J. N. Burghartz, D. C. Edelstein, K. A. Jenkins, Y. H. Kwark, "Spiral Inductors and Transmission Lines in Silicon Technology Using Copper–Damascene Interconnects and Low-Loss Substrates", IEEE Trans. On MTT, vol. 45, no. 10, pp. 1961-1968, 1997.

[Burgh98] J. N. Burghartz, "Progress in RF Inductors on Silicon-Understanding Substrate Losses", Digest of IEEE International Electron Devices Meeting, pp. 523-526, 1998.

C

[Chang03] K. T. Chan, C. H. Huang, A. Chin, M. F. Li, D.-L. Kwong, S. P. McAlister, D. S. Duh, and W. J. Lin, "Large Q-factor Improvement for Spiral Inductors on Silicon using Proton Implantation", IEEE Microwave and Wireless Components Letters, 13, pp. 460–462, 2003.

[Chen01] E. Chen, D. Bien, D. Heo, and J. Laskar, "Q-Enhancement of Spiral Inductor with N+-Diffusion Patterned Ground Shields", Digest of IEEE International Microwave Symposium, 2, pp. 1289-1292, 2001.

[Cle05] C. Clément, "Process Impact on Quality Factor of Inductors in H9SiGe Thick Copper Technology for Applications between 2 and 10 GHz", rapport interne STMicroelectronics, 2005.

[Cho04] T.-J. Cho; S.-Y. Oh; Yoon, S.-W.; Laskar, J.; Tummala, R.; "Design of CMOS Voltage Controlled Oscillators using Package Inductor ", Proceeding of Electronic Components and Technology Conference,. Vol. 2, pp. 1682 – 1686, 2004.

[Coilcraft] www.coilcraft.com

D

[Detch03] C. Detcheverry, W. van Noort, R. Hoofman, L. Tiemeijer, V.H. Nguyen, G. Verheyden, P. Bancken, R. Daamen, R. Havens, "The effect of copper design rules on inductor performances", Proceeding of ESSDERC, pp. 107 , 2003.

E

[EEtimes] www.eetimes.com

[Embedded] www.embeddedsystem.net

[Edelstein97] D. Edelstein, et al, "Full Copper Wiring in a sub-0.25 µm CMOS ULSI technology", International Electron device Meeting, pp. 773-776, 1997.

[Edelstein98] D. C. Edelstein and J. N. Burghartz, Spiral and Solenoidal Inductor Structures on Silicon using Cu-damascene Interconnects, Proc. IEEE Interconnect Technology Conference, pp. 18–20, 1998.

F

[Farcy08] A. Farcy, J.-F. Carpentier, M. Thomas, J. Torres, P. Ancey," Integration of high-Performance RF Passive Modules (MIM capacitors and inductors) in Advanced Cu BEOL", Proceeding of the Material for Advanced Metallization", pp. 45-46, 2008.

[Fayolle02] M. Fayolle, et al., "Integration of Cu/SiOC in Dual Damascene Interconnect for 0.1 /spl mu/m Technology using a New SiC Material as Dielectric Barrier", Proceedings of the IEEE Interconnect Technology Conference, pp. 39 – 41, 2002.

[Feng02] H. Feng, G. Jelodin, K. Gong, R. Zhan, Q. Wu, C. Chen, A. Wang, "Super compact RF IC Inductors in 0.18 µm CMOS with Copper Interconnects", IEEE Radio Frequency Integrated Circuits Symposium, pp. 443–446, 2002.

[Frain89] E. Frian, S. Meszaros, M. Cuhaci, J. Wight, "Computer Aided Design of Square Spiral Transformers and Inductors", IEEE Digest Microwave Theory and Techniques, pp. 661-664, 1989.

G

[Gian05] F. Gianesello, D. Gloria, C. Raynaud, S. Montusclat, S. Boret, C. Clément, B. Van. Haaren, C. Tinella, D. Saias, O. Richard, D. Belot, Ph. Bench, G. dambrione, J.M. Fournier, "Passifs RF en technologie SOI Haute résistivité pour Applications jusqu'en Bande Millimétrique", Proceeding Journées Nationales Microondes, 2005.

[Gir01] Alexandre Giry, "Etude des potentialités des technologies CMOS avancées pour les radiofréquences: Application aux amplificateurs de puissance", Thèse : Optique, Optoélectronique et Microondes : Grenoble INPG, 2001.

[Grover46] F. W. Grover, "Inductance Calculations", New York, D. Van Nostrand Company, Inc. 1946.

[Green74] H. Greenhouse, "Design of Planar Rectangular Microelectronic Inductors Design of Planar Rectangular Microelectronic Inductors", IEEE Transactions on Parts, Hybrids, and Packaging, Vol. 10, Issue 2, pp. 101 – 109, 1974.

H

[Haldi07] P. Haldi, D. Chowdhury, G. Liu, A. M. Niknejed, "A 5.8 GHz Linear Power Amplifier in a standard 90 nm CMOS Process using a 1V Power Supply", Proceeding of IEEE Radio Frequency Integrated Circuits Symposium, pp. 431-434, 2007.

[Hegazi01] E. Hegazi, H. Sjöland, A.A. Abidi "A filtering technique to lower LC oscillator phase noise" IEEE Journal of Solid-State circuits, vol 36, no. 12, p. 1921, 2001.

[Hei90] H. Wolfgang "Full wave Analysis of Conductor losses on MMIC transmission lines", IEEE Transactions Microwave Theory Techniques, vol. 38, pp. 1468-1472, 1990.

I

[ITRS07] www.itrs.net

J

[Jiang00] H. Jiang et al, «Fabrication of High-Performance on-chip Suspended Spiral Inductors by Micromachining and Electroless Copper Plating», Trans. On Microwave Theory and Techniques, Vol. 1, pp. 279 – 282, 2000.

[John97] R.A, Johnson, C.E. Chang,; P.R. de la Houssay; M.E Wood; G.A Garcia, P.M. Asbeck, I Lagnado, "A 2.4-GHz silicon-on-sapphire CMOS low-noise amplifier", IEEE Microwave and Wireless Components Letters, vol. 7, pp. 350-352, 1997.

K

[Karja04] P. Karjalainen; E.O . Ristolainen, "On-wafer inductors for SOS-based RF ICs" On-wafer inductors for SOS-based RF ICs", Proceeding of Electronic Components and Technology Conference, vol. 1, pp. 1113 - 1117, 2004.

[Kim03] J. Kim, J. O. Plowhart, N. Zamdmer, N. Fong, L.-H. Lu, Yue Tan, K. A. Jenkins, M. Sherony, R. Groves, M. Kumar, A. Ray, "High Performance Three-Dimensional on-chip Inductors in SOI CMOS Technology for Monolithic RF Circuit Applications", IEEE Microwave theory and Technique, 2003.

[Kim06] H.-J. Kim; Y.-J. Kim; J.-R. Kim; "An Integrated LTCC Inductor Embedding NiZn Ferrite", IEEE Trans. On Magnetics, vol. 42, no. 10, pp. 2840-2842, 2006.

L

[Lescot00] J. Lescot, "Modélisation et Caractérisation de Composants Passifs Intégrés sur Silicium pour Applications Radiofréquences", Thèse de l'Institut Polytechnique de Grenoble, 2000.

[Liu07] L. Liu, S.-M Kuo, J. Abrokwah, M. Ray, D. Maurer, M. Miller," Compact Harmonic Filter Design and Fabrication Using IPD Technology", IEEE Trans. On Components and Packaging Technologies, vol. 30, no.4 , pp. 556-562, 2007.

[Lopez00] J. M. Lopez-Villegas, J. Samitier, C. Cane, P. Losantos, J. Bausells, "Improvement of the Quality Factor of RF Iintegrated Inductors by Layout Optimization", IEEE Transactions on Microwave Theory and Techniques, 48, 2000.

M

[Murata02] K. Murata, T. Hosaka, Y. Sugimoto, "Effect of a Ground Shield of a Silicon On-Chip Spiral Inductor", Asia-Pacific Microwave Conference, pp. 177-180, 2002.

[Melendy02] D. Melendy, P. Francis, C. Pichler, Hwang Kyuwoon, G. Srinivasan, and A. Weisshaar, "Wide-band Compact Modeling of Spiral Inductors in RFICs", Digest of Microwave Symposium, pp.717–720, 2002.

[Mernyei98] R. Mernyei, R. Darrer, M. Pardoen, A. Sibrai, "Reducing the Substrate Losses of RF Integrated Inductors", IEEE Microwave and Guided Wave Letters, 8, pp. 300–301, 1998.

N

[Nguyen90] N. M. Nguyen, R. G. Meyer, "Si IC-Compatible Inductors and LC Passive Filters", IEEE Journal of Solid-State Circuits, 25, pp. 1028-1031, 1990.

[Nikned00] A. M. Niknejad, R. G. Meyer, "Design, Simulation and Applications of Inductors and Transformers for Si RF ICs", Kluwer Academic Publishers, 2000.

O

[Oh03] S.-M. Oh, C.-W. Kim, S.-G. Lee, "A 74%, 1.56 ~ 2.71 GHz, wide-tunable LC-tuned VCO in 0.35 µm CMOS technology", Microwave and Optical Technology Letters, 37, pp. 98-100, 2003.

[Orlando07] Bastien Orlando, "Conception, Réalisation et Analyse de Micro-Inductances Intégrées avec Matériaux Ferromagnétiques Doux. Applications aux Inductances pour la Conversion de Puissance Continue-Continue et aux Inductances Variables MEMS pour Circuits Micro-Ondes Reconfigurables.",Thèse de l'Université de Limoges, 2007.

[Orsat99] P. Orsetti, et al., "A 20 mA-Receive 55mA-Transmit GSM Transceiver in a 0.25 µm CMOS", Proceeding of ISSCC99, pp. 232-233, 1999.

P

[Petten88] E. Pettenpaul, H. Kapusta, A. Weisgerber, H. Mampe,J. Luginsland, I. Wolff, "CAD Models of Lumped Elements on GaAs up to 18 Ghz", IEEE Trans. Microwave Theory and Techniques, vol. 36, no. 2, pp. 294-304, 1988.

[Pul02] Nick Pulsford, "Passive Integration Technology: Targeting Small Accurate RF parts", RF design, pp. 40-48, 2002.

[Pul95] J. Padgett et al., "Overview of Wireless Personal Communications" IEEE Communication Magazine, pp. 28-41, 1995.

R

[Rachedine03] M. Rachedine, D. Kaczman, A. Das, M. Shah, J. Mondal, C. Shurboff "Performance Review of Integrated CMOS VCO Circuits for Wireless Communications" Proc. of the IEEE Radio Frequency Integrated Circuits Symposium, p. 77, 2003

[Royet03] A.-S. Royet, R. Cuchet, D. Pellissier, P. Ancey, "On the investigation of spiral inductors processed on Si substrates with thick porous Si layers", Procceding of ESSDERC , pp.111-113, 2003.

S

[Schae98] D. Shaeffer et al., "A 115 mW CMOS GPS receiver" Proceeding of ISSCC98, pp. 122-123, 1998.

[Statchip07] www.stastchippac.com

[Sun06] X. Sun, G. Carchon, Y. Kita, T. Tani, W. De Raedt, "Experimental Analysis of Above IC Inductor Performance with Different Patterned Ground Shield Configurations and Dummy Metals", European Microwave Conference, pp. 40-43, 2006.

[Svard02] M. Svard, Brevet USA, numéro US6922128, 2002.

[STMTours03] STMicroelectronics, Tours, "IPAD Developments" Rapport Interne, 2003.

T

[Tang02] C.-C. Tang, C.-H. Wu, S.-I. Liu, "Miniature 3-D inductors in Standard CMOS Process", IEEE Journal of Solid-State Circuits, 37, pp. 471–480, 2002.

[Tesson08] O. Tesson, « High Quality Monolithic 8-shaped Inductors for Silicon RFIC Design», IEEE Silicon Monolitic Integrated Circuit in RF systems, pp. 94-98,

[Tiem01] L. F. Tiemeijer, D. Leenaerts, N. Pavlovic, R. J.Havens, « Record Q Spiral Inductors in standard CMOS », IEEE International Electron Devices Meeting, pp. 40.7.1-40.7.3, 2001.

[Tsang03] T.K.K. Tsang, M.N. El-Gamal "A high figure of merit and area-efficient low voltage (0.7-1V) 12GHz CMOS VCO" Proc. Of the IEEE Radio Frequency Integrated Circuits Symposium, p. 89-95, 2003.

U

[Ulrich02] R. Ulrich, "Integrated Passive Components Technology Education Project", IEEE Electronic Components and Technology Conference, pp. 772-779, 2002.

V

[Venkatesan97] S. Vankatesan, et al., "A High Performance 1.8 V, 0.20 µm CMOS Technology with Copper Metallization", International Technical device Meeting, pp. 769-772, 1997.

W

[Wang05] Y. Y. Wang, Z. F. Li, ."Group-Cross Symmetrical Inductor (GCSI): A New Structure of Inductor with Higher Self Resonance Frequency and Q Factor", IEEE Transactions on Magnetics, vol. 42, no. 6, 2005.

Y

[Yue00] C. P. Yue, S. S. Wong, "Physical Modelling of Spiral Inductors on Silicon", IEEE Transactions on Electron Devices", 47, 2000.

[Yue98] C. P. Yue, S. S. Wong, "On-Chip Spiral Inductors with Patterned Ground Shields for Si-based RF ICs", IEEE Journal of Solid-State Circuits, 33, pp. 743–752, 1998.

[Yoshida98] H. Yoshida, H. Suzuki, Y. Kinoshita, H. Fujii, T. Yamazaki, "An RF BiCMOS Process using High fSR Spiral Inductor with Premetal Deep Trenches and a Dual Recessed Bipolar Collector Sink", IEEE International Electron Devices Meeting, pp. 213–216, 1998.

Z

[Zorich01] R. Zorich, "Advanced Technology Report: Copper Interconnect and Low-k Dielectric Technologies", Integrated Circuit Engineering Corporation, 2001.

CHAPITRE 2 :

STRATEGIE DE GESTION DES DENSITES DE METALLISATION POUR LES INDUCTANCES INTEGREES

SOMMAIRE

I. Introduction 74

II. Intégration d'Interconnexions en Architecture Cuivre Damascène dans les Circuits Intégrés 75

II.1. De l'aluminium au cuivre damascène 76

II.1.1. Le retard induit par les interconnexions 76

II.1.2. Les avantages de la technologie cuivre 77

II.1.3. Les défis de l'intégration du cuivre : l'architecture damascène 78

II.2. Les étapes de fabrication des procédés cuivre « double » et « simple » damascène ... 80

II.2.1. Principe général 80

II.2.2. Description de l'architecture double damascène pour les bas niveaux 81

II.2.3. Description de l'architecture simple damascène pour le niveau optionnel en cuivre épais 81

II.3. Le polissage mécano-chimique du cuivre : une étape critique 82

II.3.1. Principe général 82

II.3.2. Sa criticité : trois étapes spécifiques 83

II.3.3. L'opération d'aplanissement de la surface du cuivre électrolytique 83

II.3.4. L'opération de révélation des lignes d'interconnexions en cuivre 85

II.3.5. L'opération d'isolation des lignes d'interconnexions en cuivre 86

II.3.6. Les topographies potentielles à la fin de l'opération de PMC 87

II.3.7. Problématique des défauts topographiques 87

II.4. Introduction de règles de densités de métallisation : une contrainte pour les inductances intégrées 88

II.4.1. Règles de dessin et densités de métallisation pour les interconnexions digitales 88

II.4.2. Règles spécifiques de densités de métallisation pour les inductances intégrées . 90

II.4.3. Problématique des règles actuelles pour les inductances intégrées 91

III. Définition d'une stratégie de densité de métallisation pour les inductances intégrées 92

III.1. Description des structures de test de référence 92

III.1.1. Les technologies d'intégration utilisées 92

III.1.2. Les inductances de référence 94

III.2. Description des structures de test avec des inserts métalliques *96*
III.2.1. Paramètres géométriques et technologiques des inserts métalliques 96
III.2.2. Définition des plans d'expériences 98
III.2.3. Inductances avec inserts métalliques au centre des spires 101
III.2.4. Inductances avec inserts métalliques sous les spires..... 102
III.2.5. Inductances avec inserts métalliques autour des spires..... 103
IV. Caractérisation des structures de tests et extraction des paramètres..... 104
IV.1. Généralités sur les mesures hyperfréquences *104*
IV.1.1. L'analyseur de réseaux et les sondes RF 104
IV.1.2. L'opération de calibration..... 105
IV.1.3. L'opération d'épluchage 105
IV.2. Paramètres électriques étudiés *106*
IV.2.1. Le facteur de qualité Q et la valeur du pic Q_{max}..... 106
IV.2.2. La fréquence de coupure F_c 107
IV.2.3. La valeur de l'inductance série L_s..... 107
IV.2.4. La valeur de la résistance série R_s..... 107
IV.3. Analyse des résultats de mesure et des plans d'expériences..... *107*
IV.3.1. Inductances avec inserts métalliques au centre des spires 107
IV.3.2. Inductances avec inserts métalliques sous les spires 111
IV.3.3. Inductances avec inserts métalliques autour des spires 115
IV.4. Discussion des résultats *117*
V. Conclusion 120
VI. References..... 121

I. INTRODUCTION

Pour répondre à l'augmentation constante de la densité d'intégration des composants actifs dans les circuits intégrés, les niveaux d'interconnexions ont connu ces dernières années, des évolutions technologiques conséquentes, comme nous le verrons dans la première partie de ce chapitre. Parmi elles, un changement fondamental du BEOL a été l'introduction du Cuivre (en remplacement de l'Aluminium), mais dont l'intégration a été retardée par le développement d'un procédé de fabrication dit : le procédé Cuivre Damascène. Cette technique de fabrication s'est alors révélée critique, tant pour les interconnexions servant à l'alimentation des transistors et au signal d'horloge, que pour les inductances intégrées situées aux derniers niveaux de métallisations. En effet, l'étape de Polissage Mécano-Chimique (PMC) du Cuivre, imposée par l'architecture Damascène, s'est montrée sensible aux variations locales de densité de métallisations.

Pour répondre à ces contraintes de fabrication, des règles de densité ont donc été introduites pour les différents niveaux métalliques du BEOL. Mais si ces dernières sont faciles à mettre en œuvre pour les interconnexions, elles le sont beaucoup moins pour les inductances intégrées. En effet, l'impact des inserts métalliques sur les performances RF de ce composant étant alors mal connu selon les zones intérieures et extérieures de l'inductance. Des règles de densités spécifiques ont donc été instaurées, de façon plus ou moins empirique, afin de ne pas dégrader les performances de ce dispositif RF.

Mais, comme nous le verrons, ces dernières sont souvent synonymes de consommation de surface de silicium et de plus en plus difficiles à mettre en œuvre en technologies avancées (CMOS 45 nm et CMOS 32 nm). En effet, le renchérissement de la surface de silicium a conduit à mettre en cause cette approche qui élude la difficulté à gérer l'inductance, par l'utilisation d'une zone tampon. Ainsi, l'évaluation de nouvelles règles de densité pour les inductances s'avère-t-elle aujourd'hui nécessaire si on veut se rapprocher de celles utilisées pour intégrer les fonctions digitales.

Des premiers travaux de recherche ont été réalisés afin d'évaluer l'impact des « dummies » sur les performances RF des inductances **[Chang02]**, **[Khun02]**, **[Detch03]**, **[Chang04]**, **[Sun06], [Tiem06]**, **[Naan07a]**, **[Naan07b]**. Mais la définition d'une gestion claire et efficace des inserts métalliques à l'échelle du composant ainsi qu'une interprétation des paramètres influents sont aujourd'hui absents dans la littérature.

L'objectif de ce chapitre est donc de définir à partir de structures de tests, de caractérisations RF et d'analyse de plans d'expériences, une stratégie de gestion des inserts métalliques pour les inductances intégrées. Nous verrons comment ces nouvelles règles de densité (inserts au centre, sous

les spires et autour des spires) vont permettre de rendre le composant compatible aux règles de densité de métallisation des interconnexions digitales, et cela sans dégrader ses performances RF.

II. INTEGRATION D'INTERCONNEXIONS EN ARCHITECTURE CUIVRE DAMASCENE DANS LES CIRCUITS INTEGRES

Constituées de réseaux de lignes métalliques isolées entre elles par un matériau diélectrique, Figure II-1, le rôle des interconnexions est d'assurer la distribution des signaux électriques aux composants actifs des circuits. C'est seulement à partir des années 90 qu'elles seront pour la première fois, utilisées pour la fabrication d'inductances intégrées sur silicium **[Nguyen90]**. L'augmentation de la densité d'intégration et l'optimisation des paramètres électriques des lignes ont conduit à les hiérarchiser en 3 groupes:

Les interconnexions locales, situées aux niveaux métalliques 1 et 2. Elles ont pour rôle de connecter les transistors dans un module logique ou analogique. Elles sont courtes (de l'ordre de 10 à 15 fois la longueur de grille des transistors), la miniaturisation les rendant de plus en plus courtes et plus denses.

Les interconnexions intermédiaires, situées du niveau 3 au niveau 5. Ces lignes de longueur moyenne (quelques mm) sont quant à elles utilisées pour faire les connexions dans un bloc isochrone formé par plusieurs modules logiques et distribuer le signal d'horloge.

Et enfin, **les interconnexions globales**, situées au niveau 6 et les suivants. Ces lignes longues (plusieurs dizaines de mm) peuvent traverser une puce sur toute sa largeur. Elles regroupent des lignes de bus, d'alimentation ou d'horloge. Plus épaisses et plus larges que les lignes des niveaux inférieurs, les phénomènes de propagation doivent être pris en compte dans leur modélisation.

Ces interconnexions peuvent ainsi être développées jusqu'à 10 niveaux de métallisations pour la technologie CMOS 90 nm **[Edel04]** et jusqu'à 12 niveaux de métallisations en 32 nm. **[Zsche08].**

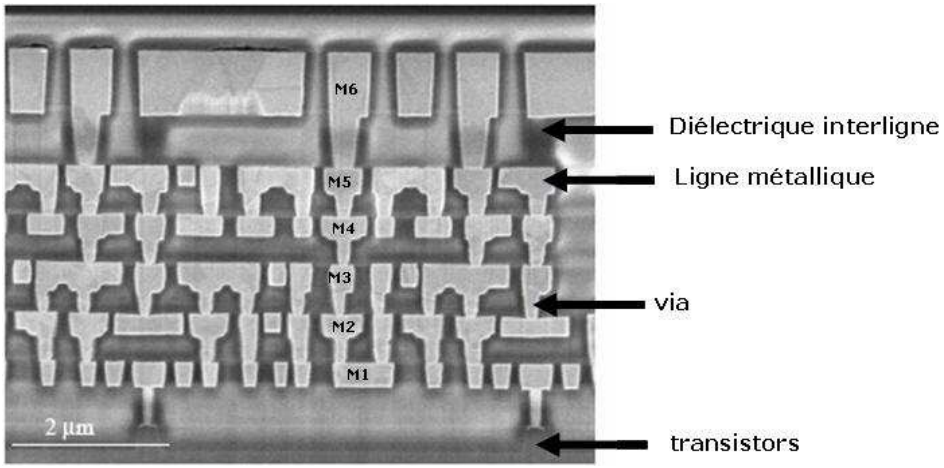

Figure II-1 : Coupe transversale d'un circuit à 6 niveaux d'interconnexions en technologie CMOS 90 nm (image réalisée par microscopie électronique à balayage) [ST].

II.1. De l'aluminium au cuivre damascène

Jusqu'aux technologies 250 nm, les interconnexions étaient constituées de lignes conductrices d'aluminium, isolées par du dioxyde de silicium. Mais la complexité croissante des interconnexions, liée à la réduction des dimensions du transistor, a entraîné une forte augmentation du temps de propagation du signal (somme du temps de commutation des transistors et du retard accumulé dans les interconnexions). Le retard lié aux interconnexions, devenu alors prépondérant, a limité fortement le temps de réponse d'un circuit intégré **[Bohr95]**.

II.1.1. Le retard induit par les interconnexions

Pour les interconnexions courtes (dont la longueur est inférieure à quelques fractions de la longueur d'onde λ), et de section faible (pour laquelle les pertes résistives sont dominantes), l'interconnexion peut être modélisée comme une cellule RC présentant un retard τ proportionnel en première approximation au produit RC, Eq. II-1 :

$$\tau \, \alpha \, \mathrm{R} \cdot \mathrm{C} \qquad \textit{Eq. II-1}$$

où R est la résistance de la ligne et C la capacité équivalente du diélectrique d'isolation interlignes.

La résistance R d'une ligne de longueur l_T, de largeur w, de hauteur t est alors définie par la relation donnée en Eq. II-2 en fonction de la résistivité ρ du métal, Figure II-2.

$$\mathrm{R} = \rho \cdot \frac{\mathrm{l_T}}{\mathrm{t} \cdot \mathrm{w}} \qquad \textit{Eq. II-2}$$

Quant à la capacité parasite C, elle comprend à la fois la capacité entre les lignes de deux niveaux successifs, C_{inter}, mais aussi de la capacité entre les lignes d'un même niveau, C_{intra}, Figure II-2.

$$C_{inter} = \varepsilon_0 \varepsilon_r \cdot \frac{l_T \cdot w}{d_{inter}} \qquad \textit{Eq. II-3}$$

$$C_{intra} = \varepsilon_0 \varepsilon_r \cdot \frac{l_T \cdot t}{d_{intra}} \qquad \textit{Eq. II-4}$$

Où ε_r et ε_0 sont respectivement la permittivité relative du diélectrique et la permittivité du vide.

Il faut cependant noter qu'un tel modèle n'est plus valable pour les lignes plus longues, pour lesquelles les phénomènes inductifs et les effets de propagation du signal doivent être pris en compte aux fréquences élevées **[Deut97]**.

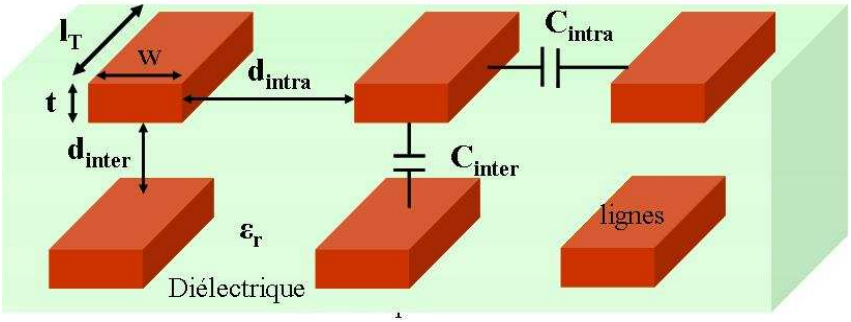

Figure II-2 : Représentation schématique de deux niveaux d'interconnexions entourées d'un matériau diélectrique. Les capacités parasites qui s'établissent entre les lignes au sein d'un même niveau et entre deux niveaux sont respectivement C_{intra} et C_{inter}.

La réduction du temps de propagation du signal dans les interconnexions a nécessité l'intégration de matériaux diélectriques à faible permittivité pour les couches de diélectriques inter-métaux **[Cherault06]** et de matériaux moins résistifs pour les niveaux métalliques.

II.1.2. Les avantages de la technologie cuivre

A partir de la technologie 130 nm, le cuivre dont la résistivité ρ_{Cu} est égale à 1.8 µΩ.cm a remplacé l'aluminium de résistivité ρ_{Al} égale à 2.65 µΩ.cm pour la réalisation des niveaux métalliques. Les premiers circuits intégrés de type CMOS, comprenant 6 niveaux de métallisation en cuivre, datent en effet de 1997 **[Edel97, Venka97].** Cette intégration du cuivre dans le procédé de fabrication, a ainsi permis de réduire de 39 % la résistance linéique des interconnexions, comme l'illustre la Figure II-3**,** induisant une diminution proche de 40% du temps de réponse des interconnexions **[Stam98].**

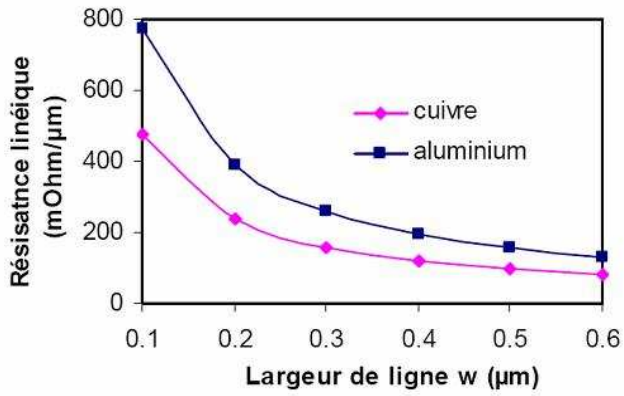

Figure II-3 : Résistance linéique de l'interconnexion en fonction de sa largeur (épaisseur e= 400 nm, ρ_{Al}=2.65 $\mu\Omega$.cm, ρ_{Cu}=1 8 $\mu\Omega$.cm) [Arnal02].

De plus, c'est un matériau qui possède une meilleure tenue à l'électromigration, due à une énergie d'activation du cuivre plus élevée que celle de l'aluminium, **[Berg01]**. La Figure II-4 montre en effet une durée de vie de l'interconnexion Cu/SiO_2 supérieure d'une décade à l'interconnexion AlCu/SiO_2.

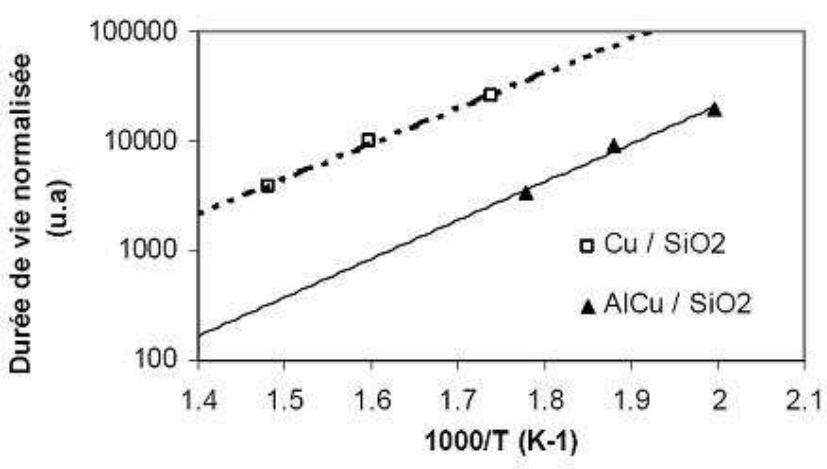

Figure II-4 : Durées de vie des métallisations Cu et Al Cu testées en électromigration [Arnal02].

II.1.3. Les défis de l'intégration du cuivre : l'architecture damascène

Malgré tous ces avantages, le cuivre a présenté plusieurs inconvénients qui ont retardé son intégration dans les procédés de fabrication des interconnexions.

La première difficulté réside dans le fait qu'il n'existe aucun procédé de fabrication capable de le graver contrairement à l'aluminium. En effet, les composés du cuivre engendrés durant l'étape de gravure par plasma ne sont pas suffisamment volatils **[Steig95]**. Cette contrainte d'intégration a par conséquent imposé un important changement d'assemblage des procédés de réalisation du cuivre par rapport à l'aluminium.

Ainsi, le principe de la technologie aluminium qui consiste à réaliser des lignes d'interconnexions par gravure ionique réactive de l'aluminium (RIE) après dépôt de celui-ci, Figure II-5, est diamétralement opposé à celui imposé par la technologie cuivre. Les lignes d'interconnexions en cuivre doivent en effet être réalisées par Polissage Mécano-Chimique (PMC) après dépôt électrolytique du cuivre, Figure II-6. On parle alors de technologie « Damascène » en référence à une technique de décoration utilisée dans l'antiquité dans la ville de Damas en Syrie qui consistait à remplir d'or les motifs gravés sur les parois des objets.

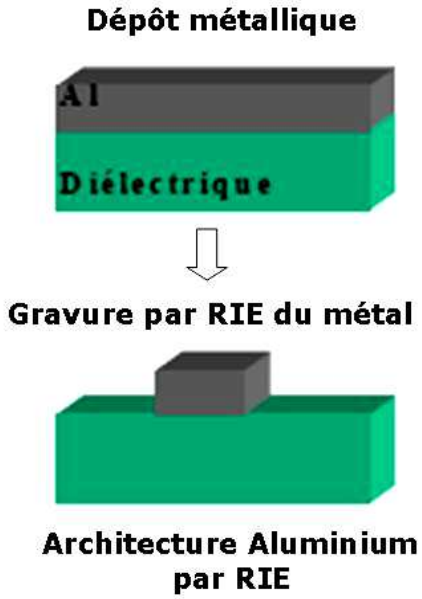

Figure II-5 : Schéma de l'architecture aluminium obtenue par gravure RIE.

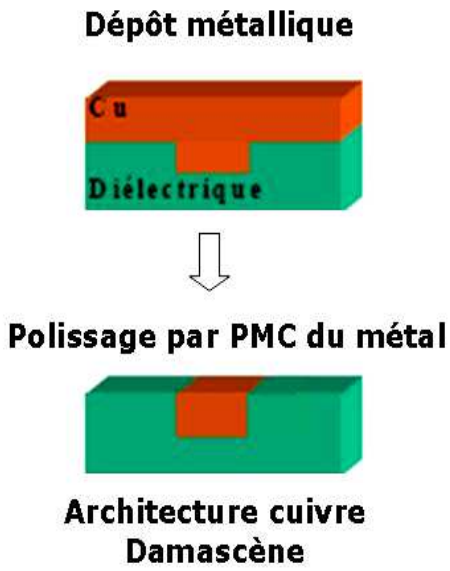

Figure II-6 : Schéma de l'architecture cuivre dite « damascène » obtenue par PMC du métal en excès déposé par electroplating.

Un autre inconvénient du cuivre est qu'il présente une vitesse de diffusion dans le silicium très élevée, et devient une impureté capable de créer des niveaux profonds dans la bande interdite du silicium. Il s'avère alors tueur pour les dispositifs à semi-conducteurs **[Ino00]**. Ainsi, afin d'éviter sa diffusion dans l'isolant intermétallique, le cuivre doit être encapsulé par des matériaux barrières à sa diffusion. Le Tableau II-1 donne les propriétés des barrières de diffusion les plus utilisées, de type conductrices ou isolantes **[Mot00]**. C'est aussi pour cette raison que les plots de contact entre les transistors et le premier niveau de métal en cuivre sont réalisés en tungstène.

Barrières conductrices		***Barrières isolantes***	
Composé	***Résistivité (µm.cm)***	***Composé***	***Permittivité relative ε_r***
TiN	120	Si_3N_4	6.8
TaN	248	SiC	4 - 4.9

Tableau II-1: Propriétés de quelques matériaux barrières à la diffusion du cuivre. (Résistivité du TaN déposé par PVD et le Ti/TiN par CVD) [Mot00]

Pour les technologies utilisées dans cette thèse, une barrière diélectrique de Si_3N_4 servant de couche d'arrêt de la gravure est déposée avant le film diélectrique d'isolation des interconnexions. Une couche d'accroche en TaN suivie de la barrière de diffusion en Ta, sont déposées avant le dépôt électrolytique du cuivre des vias et des lignes, Figure II-7

Enfin, un inconvénient du cuivre est sa capacité à s'oxyder à l'air ambiant, difficulté rencontrée pour la connexion du circuit intégré après le dépôt de passivation et l'ouverture des plots de connexions, dits « pad » réalisés alors en cuivre. La solution adoptée a été d'ajouter un niveau de métallisation en aluminium, appelé «alucap», avant le dépôt de la couche de passivation, puis ouvrir la passivation au niveau des « pads» en aluminium. On offre ainsi un meilleur contact électrique que des pads en cuivre. **[Hotch02]-[Tran00]**

Cette oxydation du cuivre qui, à première vue, apparaissait comme un inconvénient s'est avérée un avantage pour la réalisation d'inductances intégrées. Ce niveau de métallisation supplémentaire dédié initialement aux « pads » de connexion a été utilisé comme une métallisation supplémentaire, et permet une diminution de la résistance série des spires de l'inductance **[Groves99]**.

II.2. Les étapes de fabrication des procédés cuivre « double » et « simple » damascène

II.2.1. Principe général

Le principe de fabrication d'une ligne ou d'un via selon l'architecture damascène consiste tout d'abord à graver une tranchée dans le diélectrique, puis à la remplir de métal, et enfin à polir l'excès de matière de manière à ne laisser qu'une ligne métallique dans le diélectrique, Figure II-7.

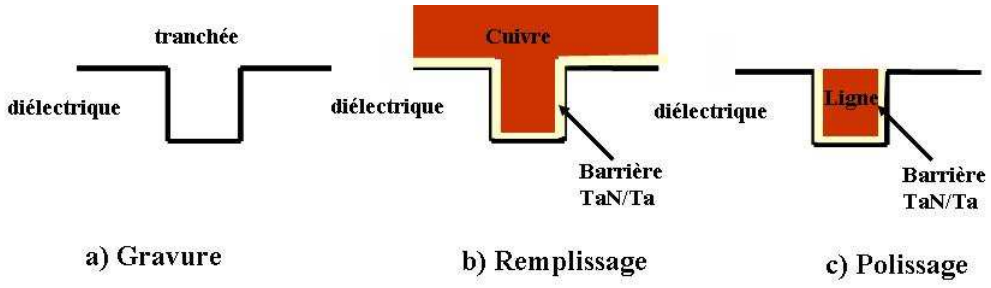

Figure II-7: Schéma du principe de fabrication selon l'architecture damascène.

II.2.2. Description de l'architecture double damascène pour les bas niveaux

Pour les niveaux les plus bas (hormis le niveau 1 comme expliqué précédemment), l'architecture utilisée est l'architecture double damascène. Dans ce cas, le remplissage des vias et des lignes s'effectue simultanément. L'avantage d'une telle technique de fabrication par rapport à celle du simple damascène qui va être exposée ci-après, réside dans le gain de plusieurs étapes de fabrication dont une étape de dépôt de cuivre et une étape de polissage du cuivre.

D'autre part, c'est le schéma « via first » pour lequel le via est gravé le premier qui a été adopté par opposition à la technique « trench first » (pour laquelle la ligne est gravée avant le via), Figure II-8. Il permet d'éviter les courts circuits des lignes par le via ou un mauvais contact électrique entre la ligne et le via, en cas de désalignement des masques de photolithographie.

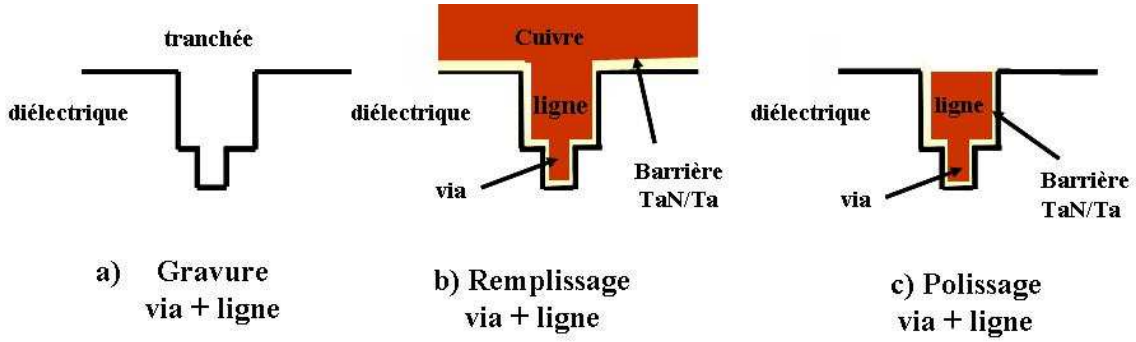

Figure II-8: Schéma du principe de fabrication selon l'architecture double damascène, « via first ».

II.2.3. Description de l'architecture simple damascène pour le niveau optionnel en cuivre épais

Au niveau métallique M1, pour des raisons de risques de contamination du silicium par le cuivre, mais surtout pour les lignes des niveaux plus épais (3 µm), dit option cuivre épais, l'architecture utilisée est l'architecture simple damascène, Figure II-9. Dans ce cas, la fabrication se fait en deux étapes : la fabrication du via, suivie de la fabrication de la ligne.

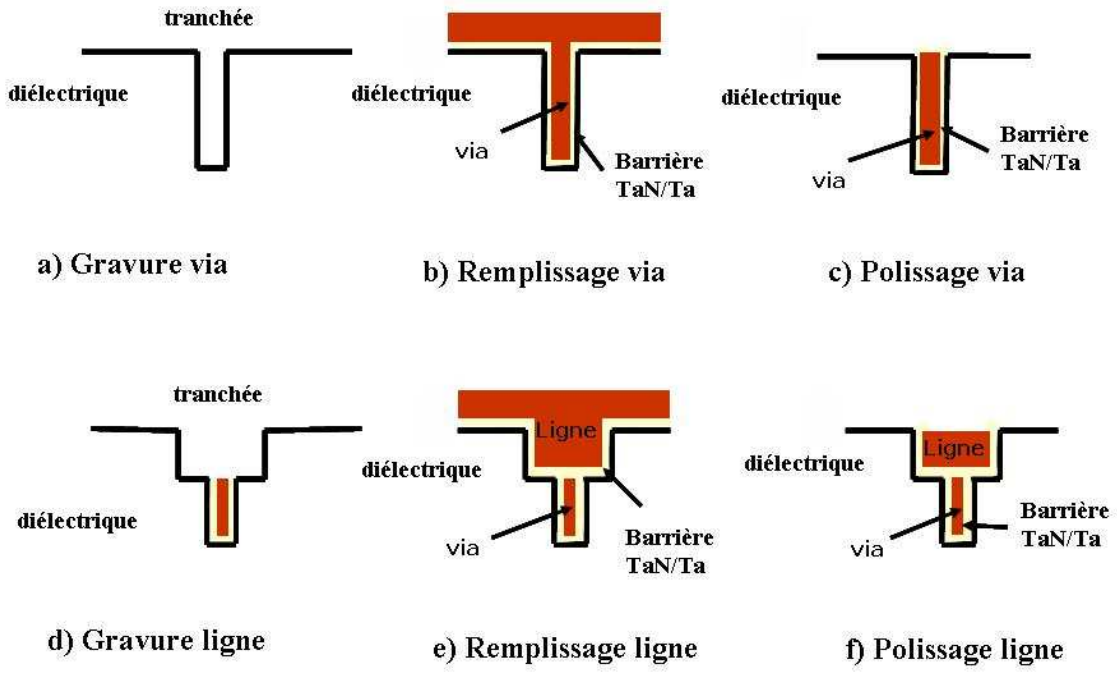

Figure II-9: Schéma du principe de fabrication selon l'architecture simple damascène.

II.3. Le polissage mécano-chimique du cuivre : une étape critique

La planéité d'une surface est une caractéristique essentielle pour réussir l'empilement des nombreux niveaux de métallisation. Une topologie de surface pourrait engendrer des difficultés de photolithographie liées à la profondeur de champ, mais aussi avoir des conséquences électriques importantes telles que des courts-circuits entre les lignes voisines et des variations d'épaisseurs des interconnexions, comme nous allons le voir par la suite. Dans le procédé de fabrication des circuits intégrés, seules les étapes de polissage du cuivre, et des diélectriques garantissent cette planéité.

II.3.1. Principe général

Son principe consiste à polir chimiquement et mécaniquement une plaque de silicium, dite « wafer », sur un tissu de polissage poreux appelé « pad ». Pour cela, on utilise un plateau tournant sur lequel le tissu est fixé. Le wafer est maintenu sur le porte-« wafer » qui réalise deux mouvements distincts : une rotation sur lui-même dans le sens inverse du plateau et un balayage. Entre la plaque et le tissu, un liquide abrasif et visqueux, appelé « slurry», est déposé et permet de polir, par action mécanique et chimique, les différents matériaux déposés pour la fabrication des interconnexions, Figure II-10.

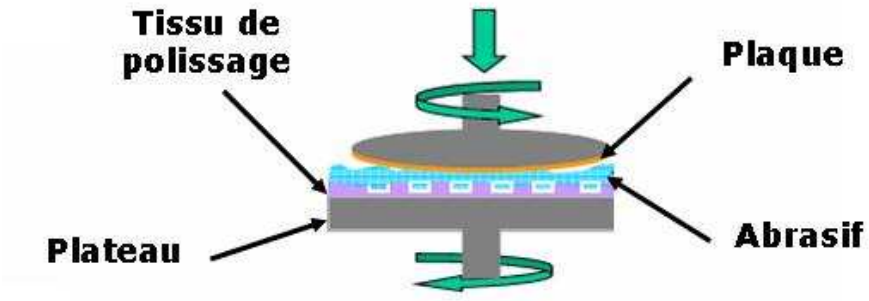

Figure II-10 : Schéma de principe du Polissage Mécano-Chimique PMC.

II.3.2. Sa criticité : trois étapes spécifiques

La complexité de cette étape du procédé de fabrication réside dans le fait que les interconnexions nécessitent à la fois le polissage de trois matériaux aux propriétés mécaniques et physiques différentes (le cuivre Cu, les barrières de diffusion en TaN/Ta, et le diélectrique SiO_2) mais aussi l'utilisation de deux abrasifs de composition différentes.

Le polissage des lignes d'interconnexions d'architecture damascène (simple ou double) se déroule en trois étapes distinctes et successives sur trois plateaux différents qui sont :

- **l'étape d'aplanissement des interconnexions**
- **l'étape de révélation des interconnexions**
- **l'étape d'isolation des interconnexions**

Comme on va le voir par la suite, cette étape de fabrication est sensible à la densité globale du dessin, aux changements brutaux de densité sur un même niveau mais aussi à la topographie des niveaux inférieurs.

II.3.3. L'opération d'aplanissement de la surface du cuivre électrolytique

1) Son objectif

L'objectif de cette première étape de PMC est d'aplanir la couche de cuivre déposée par électrolyse, Figure II-11, et d'effacer les topographies, Figure II-12, laissées par le dépôt électrolytique du cuivre, par utilisation d'un abrasif dont la vitesse d'enlèvement est élevée pour le cuivre et basse pour les autres matériaux.

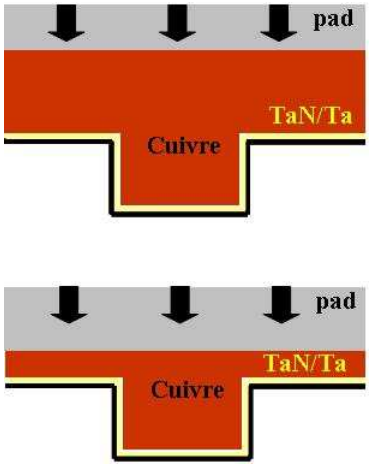

Figure II-11 : Schéma de principe de l'opération d'aplanissement dans le cas idéal.

2) Les topographies laissées par le dépôt électrolytique

A l'échelle microscopique, des topographies peuvent être en effet laissées par le dépôt électrolytique au-dessus des interconnexions. Ces topographies peuvent se présenter sous la forme de marche, appelée « step » au dessus des lignes isolées (supérieur à 10 µm) et sous la forme d'une excroissance du cuivre, appelé « bump » au niveau des réseaux de lignes de forte densité et/ou des lignes fines (largeur des lignes inférieures à 10 µm), Figure II-12, **[Roussel01]**.

L'amplitude de la topographie « step », issue de la conformité du dépôt électrolytique de cuivre par rapport au relief de la surface inférieure, est liée à la profondeur des tranchées, et par conséquent à l'épaisseur des diélectriques déposés.

La topographie « bump » liée directement aux paramètres du procédé de dépôt électrolytique tels que la diffusion des agents additifs, la qualité du bain, est dépendante de la densité des tranchées d'un réseau, de l'épaisseur de cuivre déposée et de la largeur des réseaux.

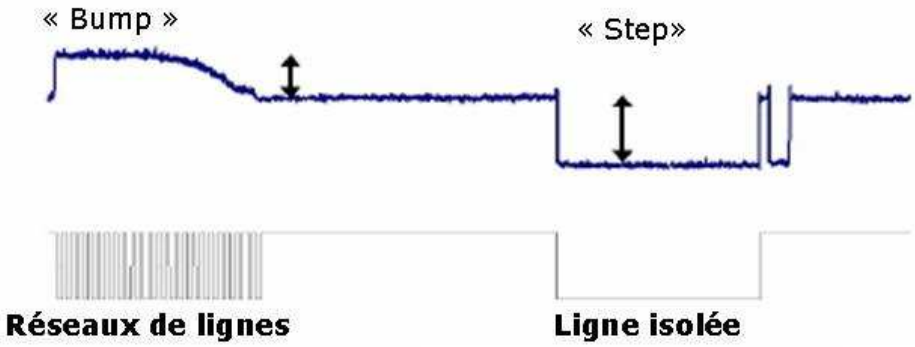

Figure II-12 : Profil en 2D des topographies « bump » et « step » des réseaux de lignes et des lignes isolées avant polissage mécano chimique par profilométrie [Roussel01].

II.3.4. L'opération de révélation des lignes d'interconnexions en cuivre

1) Son objectif

La révélation des interconnexions, seconde des 3 opérations de polissage, a pour but d'enlever le cuivre restant jusqu'à la barrière en TaN/Ta par utilisation d'un abrasif différent du premier, Figure II-13.

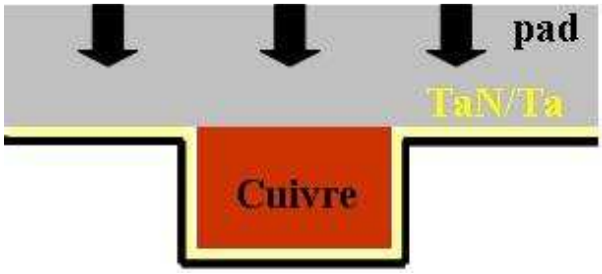

Figure II-13 : Schéma de principe de l'opération de révélation des lignes dans le cas idéal.

2) La topographie engendrée dans les lignes larges isolées : le « dishing »

La sélectivité de l'abrasif et la non-uniformité de l'épaisseur de cuivre sur la plaque sont les causes en partie d'une surconsommation de cuivre dans les tranchées. Cela se traduit par une topographie de type cuvette, nommée « dishing ». Elle est définie comme la différence entre le niveau de cuivre dans la ligne et le niveau de TaN/Ta, notée $h_{iso,}$ Figure II-14. Ce type de topographie va entraîner une augmentation de la résistance de la ligne par diminution de sa section.

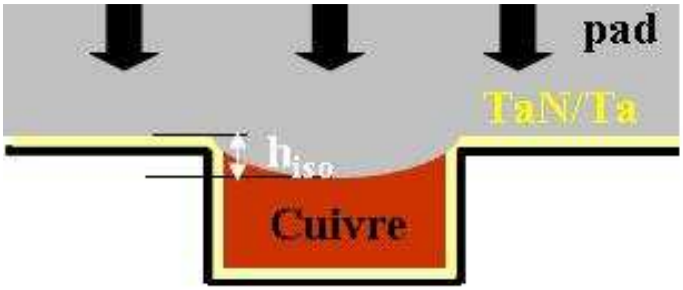

Figure II-14 : Topographie « dishing » h_d générée dans les lignes larges isolées lors de l'opération de révélation des interconnexions.

II.3.5. L'opération d'isolation des lignes d'interconnexions en cuivre

1) Son objectif

La troisième et dernière étape du PMC, appelée l'isolation des interconnexions, s'effectue sur le 3ème plateau avec un second abrasif qui a une sélectivité telle que la vitesse d'enlèvement du cuivre est très basse par rapport à celle du TaN/Ta et du diélectrique. L'objectif de cette opération est d'assurer l'isolation des lignes entre elles. Elle consiste à retirer la totalité de l'épaisseur de TaN/Ta restante ainsi qu'une faible épaisseur de diélectrique de façon à enlever toutes les particules de cuivre restantes, Figure II-15.

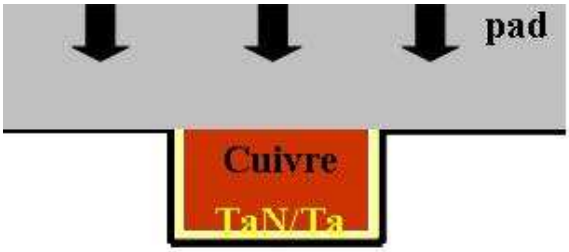

Figure II-15 : Schéma de principe de l'opération d'isolation des lignes dans le cas idéal.

2) La topographie engendrée dans les réseaux de lignes : le « dishing » et l'érosion

A la fin de l'étape de PMC, les réseaux peuvent présenter un type de topographie appelée érosion, Figure II-16, due à l'augmentation de la vitesse d'enlèvement du diélectrique avec la diminution de largeur d'espacement interlignes d_{intra} (et par conséquent avec l'augmentation de la densité des lignes de cuivre du réseau). A la fin du PMC, le niveau du diélectrique dans un réseau peut être inférieur au niveau de référence représenté par ces bords.

L'érosion se définit comme la différence d'amplitude entre le niveau de référence et le niveau de la ligne de diélectrique érodée dans le réseau, notée h_e. Le «dishing» est lui aussi présent dans les réseaux et est noté h_p. Il se définit dans ce cas, comme la différence d'amplitude entre le niveau des lignes diélectriques érodées dans le réseau avec celui du cuivre des interconnexions.

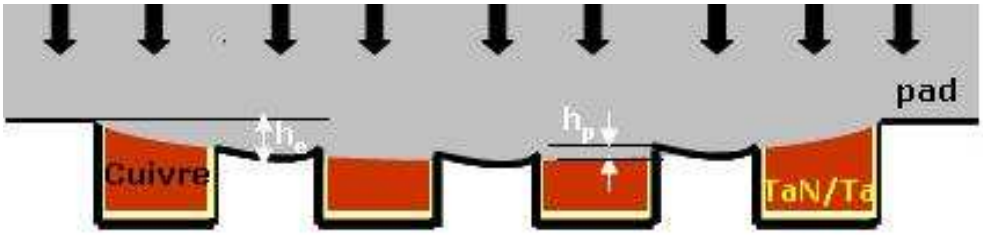

Figure II-16 : Topographies « dishing » h_p et « érosion » h_e générées dans les réseaux de lignes de fortes densités lors de l'opération d'isolation des interconnexions.

II.3.6. Les topographies potentielles à la fin de l'opération de PMC

A la fin de l'opération de polissage, trois types de défauts topographiques qui vont être synonymes de défauts électriques, peuvent apparaître dans les interconnexions en cuivre : le « dishing » noté h_{iso} dans les lignes isolées, le « dishing » noté h_p et l'érosion noté h_e dans les réseaux de lignes, Figure II-17.

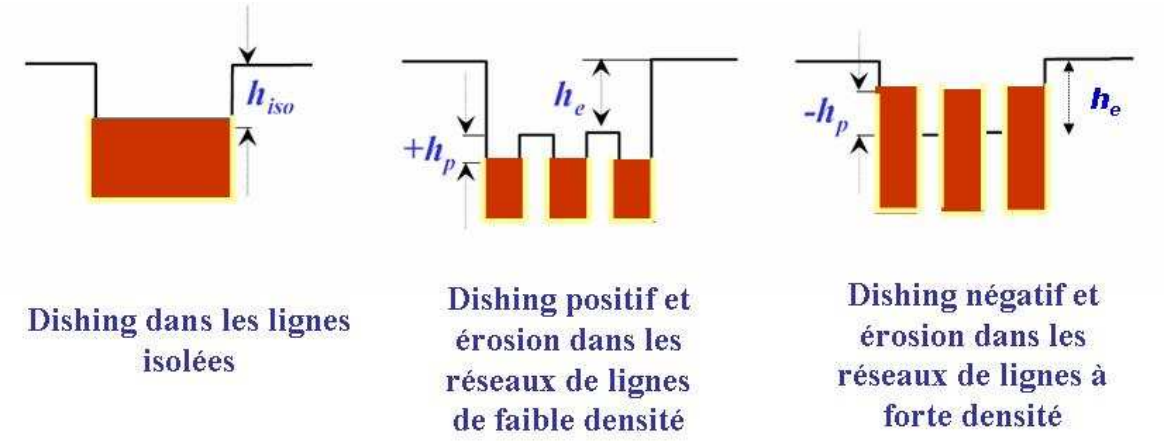

Figure II-17 : Schéma représentant les topographies potentielles à la fin de l'opération de PMC pour des lignes isolées et les réseaux de lignes plus ou moins denses.

II.3.7. Problématique des défauts topographiques

Pour les niveaux d'interconnexions qu'il s'agisse de lignes isolées ou des réseaux de lignes, le contrôle de l'amplitude de la topographie ou hauteur de marche h_{iso}, h_e, et h_p en fin de polissage est extrêmement important. D'une part, la résistance de la ligne et la capacité parasite induite par le diélectrique ne sont pas celles attendues de part la réduction de la section de la ligne. De plus, la topographie induite dans un niveau N va être reproduite après le dépôt de la couche de diélectrique au niveau supérieur N+1, si la valeur de la marche dépasse une valeur critique, notée h_c. (0.05 µm) **[Roussel01],** comme l'illustre la Figure II-18**.**

Dans ce cas, l'étape de PMC de l'excès de cuivre du niveau N+1 ne permet pas d'atteindre le fond de la marche, et le non-enlèvement des résidus métalliques conduit à la formation de courts circuits entre les lignes, Figure II-18 et Figure II-19, courts-circuits capables d'endommager la fonctionnalité des composants et du circuit dans son intégralité.

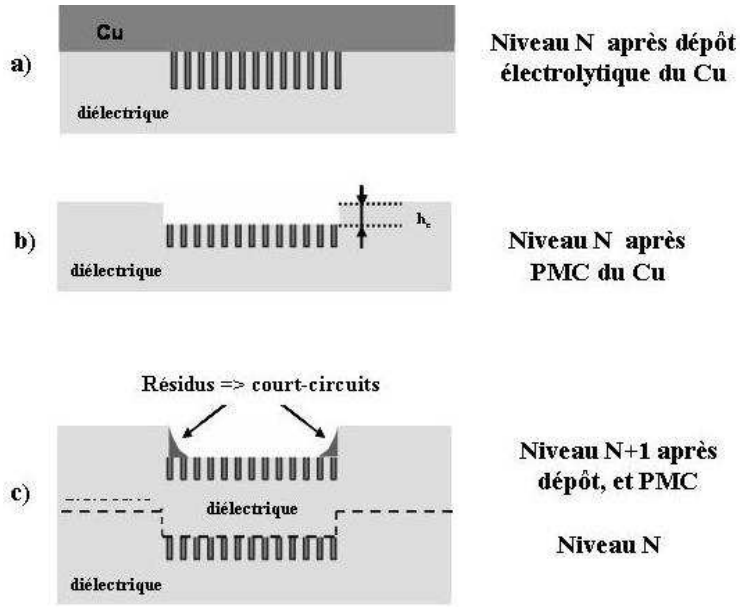

Figure II-18 : Schéma représentatif de l'apparition de courts circuits dans le réseau de lignes. a) dépôt électrolytique de cuivre au niveau N suivi par b) PMC du niveau N conduisant à de l'érosion et du « dishing » des lignes c) marche conservée durant le dépôt du diélectrique du niveau N+1 conduisant à des courts circuits par reste de résidus après PMC du niveau N+1.

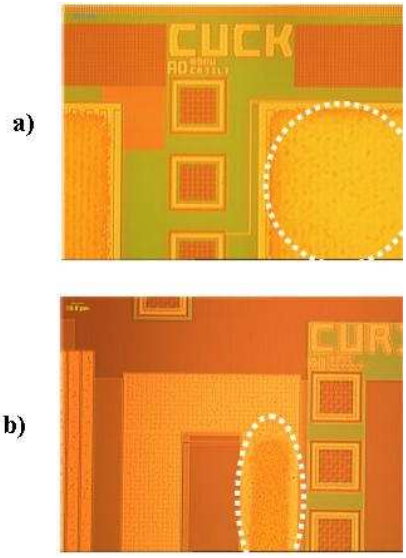

Figure II-19 : Photographie de résidus de cuivre après PMC via 5 dans a) un réseau de lignes de 90% et b) dans une ligne large de 100 µm [Bertaud07].

II.4. Introduction de règles de densités de métallisation : une contrainte pour les inductances intégrées

C'est pour prévenir de ces effets néfastes qu'un certain nombre de règles de dessin pour les niveaux d'interconnexions sont mises en place telle que la largeur maximale d'une ligne et la densité surfacique de métallisation, règles de dessin, comme on va le voir, spécifiques aux interconnexions et difficiles à mettre en œuvre pour ce qui nous intéressent dans cette thèse : les inductances intégrées.

II.4.1. Règles de dessin et densités de métallisation pour les interconnexions digitales

1) La largeur maximale des lignes

Afin d'obtenir un PMC le plus uniforme possible et garantir une planéité de surface pour les étapes suivantes de fabrication, les lignes ne peuvent excéder une largeur maximale et cela pour chaque niveau métallique.

Ainsi, pour le niveau 6 de métallisation, niveau pour lequel les lignes seront les plus larges, leur largeur ne pourra dépasser 12 µm et cela à partir de la technologie 130 nm. En revanche, pour le niveau d'aluminium (AP), la largeur ne pourra dépasser 50 µm en technologie 130 nm et 35 µm en

technologie 65 nm. Cette première règle qui est relativement facile à mettre en œuvre pour les interconnexions, l'est beaucoup moins pour les inductances intégrées. En effet, pour diminuer la résistance DC de l'inductance (et ainsi augmenter le facteur de qualité), augmenter la largeur des pistes w est un avantage non négligeable. C'est pour cela qu'un dessin de pistes multibrins avec une largeur de brin égale à la largeur maximale imposée, a été imaginé Figure II-20. Elle est aujourd'hui utilisée pour certaines structures d'inductances intégrées pour lesquelles cette première règle de dessin ne peut être respectée et a conduit à un dépôt de brevet **[Boret02]**.

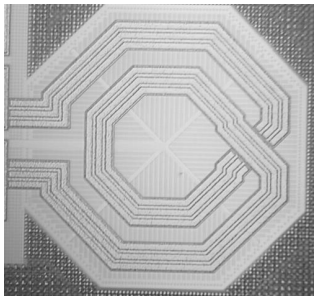

Figure II-20 : Photographie d'une inductance utilisant une architecture multi-brins (3 brins par piste de 12 µm espacés de 2 µm).

2) Les règles de densités de métallisation

A cette règle spécifique de largeur maximale, s'ajoute celle de la densité de métallisation. Celle-ci consiste à insérer des inserts de cuivre, de forme carrée, appelés « dummies », dans les différents niveaux de métallisations vides ou peu denses. L'objectif est d'uniformiser la densité de métaux des niveaux d'interconnexions du BEOL, comme le montre la Figure II-21.

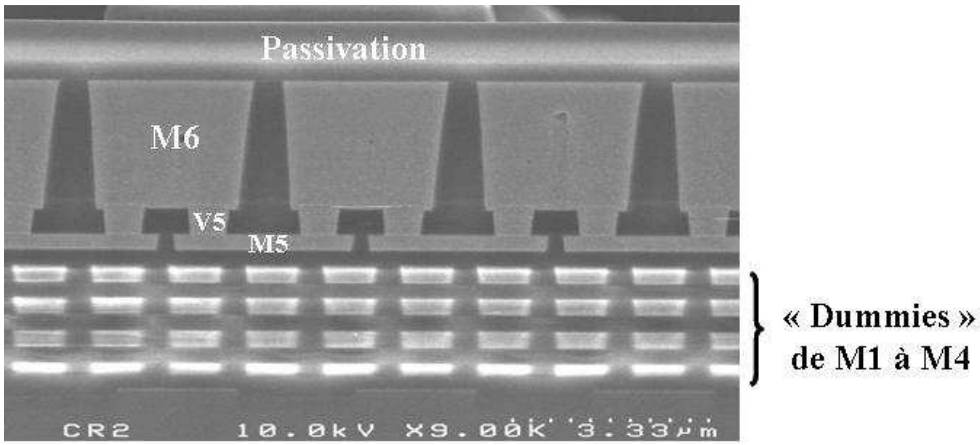

Figure II-21: Coupe transversale d'une ligne M6, via 5 et d'une ligne M5 en technologie CMOS 130 nm (image réalisée par microscopie électronique à balayage) illustrant l'utilisation des « dummies » pour rééquilibrer l'absence de métaux de M1 à M4. [ST].

Les densités de métallisation à respecter par les niveaux métalliques d'interconnexions sont définies par niveau de métallisation et par technologie.

Pour la technologie 130 nm, les interconnexions doivent respecter une densité de métallisation comprise entre 20 et 80% dans des fenêtres carrées de contrôle de densité de 200 µm par 200 µm et se déplaçant de 100 µm en 100 µm.

Pour les technologies plus avancées (65 nm et 45 nm) pour lesquelles le niveau d'intégration est encore plus élevé, les règles de densités des interconnexions sont plus sévères puisque celles-ci doivent satisfaire une densité allant de 10% à 70% dans des fenêtres carrées de contrôle plus réduites de 50 µm par 50 µm, et se déplaçant de 50 µm en 50µm (voir des fenêtres optionnelles de 20 µm par 20 µm).

II.4.2. Règles spécifiques de densités de métallisation pour les inductances intégrées

Cependant, les règles de densité de métallisation, précédemment citées, ne s'appliquaient jusqu'à présent qu'aux interconnexions digitales, et non aux inductances. La raison à cela est que l'impact des inserts métalliques sur les performances RF de celles-ci était encore mal connu avant cette étude.

C'est pour cela que des règles bien spécifiques, Figure II-23, ont été mises en place pour les inductances intégrées, de la technologie 130 nm aux plus avancées. L'objectif est alors de protéger le composant de potentielles dégradations électriques dues à l'insertion des « dummies » et/ou au voisinage de niveaux métalliques servant au routage des composants environnants.

1) Au centre des spires

Généralement situées aux niveaux supérieurs du BEOL, Figure II-22, les inductances intégrées ne contiennent pas ou peu de « dummies » au centre, Figure II-23.

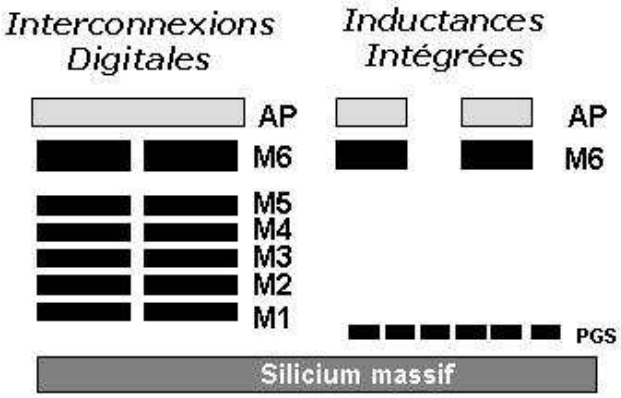

Figure II-22 : Comparaison des niveaux de métallisation utilisés du BEOL pour les interconnexions digitales et pour les inductances intégrées.

2) Sous les spires

La densité de « dummies » est nulle sous les spires, Figure II-22 et Figure II-23, et cela quelle que soit la technologie utilisée.

3) A l'extérieur des spires

Autour de l'inductance une zone d'exclusion de « dummies », notée E, a été introduite, Figure II-23. Elle est large de 20 µm pour la technologie 130 nm et de 10 µm pour les technologies les plus avancées. Elle permet alors de protéger le composant d'un potentiel impact des inserts métalliques sur ses performances RF. Mais à partir de cette zone d'exclusion, une couronne de « dummies », notée C, à 25% de densité et large de 30 µm en technologie 130 nm et 18 µm en technologie plus avancées, a été introduite. Son objectif est de compenser l'absence ou la faible densité de « dummies » au centre et sous les spires, Figure II-23.

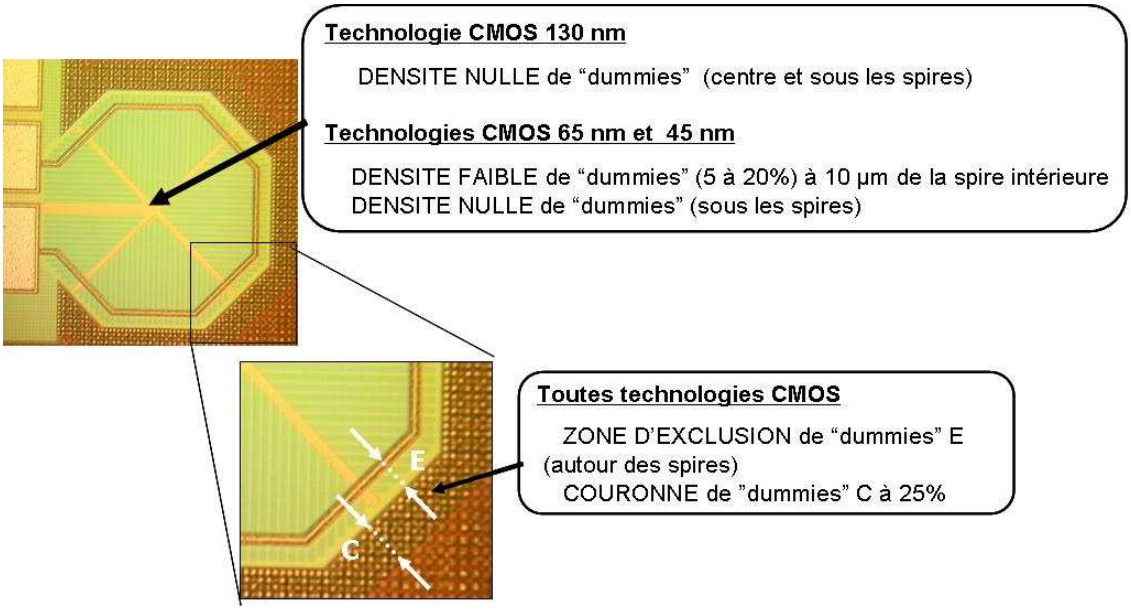

Figure II-23 : Photographie représentant les actuelles règles de densité appliquées aux inductances intégrées pour les différentes zones (au centre, sous les spires, à l'extérieur) selon les technologies utilisées.

On peut noter que pour les inductances multi-tours, aucun insert métallique n'est introduit entre les spires de celles-ci.

II.4.3. Problématique des règles actuelles pour les inductances intégrées

Les règles de densité telles qu'elles sont instaurées pour les inductances intégrées posent évidemment le problème du coût. En effet, la couronne de « dummies » autour de l'inductance consomme une surface silicium non négligeable. Cela est d'autant plus vrai pour les inductances de rayon interne et au nombre de tours élevés.

Il apparaît aujourd'hui important de donner de nouvelles règles de densités d'inserts métalliques au centre, sous, et autour des spires de l'inductance afin de rendre le composant compatible avec les règles de dessin des applications digitales. Cela va passer par l'évaluation de l'impact d'inserts de cuivre dans les zones précédemment citées, mais aussi par l'évaluation de la taille et de la proximité de la couronne de « dummies » entourant le composant.

III. DEFINITION D'UNE STRATEGIE DE DENSITE DE METALLISATION POUR LES INDUCTANCES INTEGREES

L'objectif de ce travail est de définir, à partir de caractérisations RF de structures de tests dédiées, et l'analyse d'un plan d'expérience, une stratégie pertinente et efficace de densité de métallisation pour les inductances intégrées en technologie CMOS et BiCMOS avancées dans les différentes zones citées, sans impacter les performances RF de ce composant.

III.1. Description des structures de test de référence

III.1.1. Les technologies d'intégration utilisées

Les structures de tests définies dans cette étude sont réalisées en technologie CMOS 130 nm de STMicroelectronics sur un substrat silicium massif de résistivité 10 Ω.cm. Afin de pouvoir généraliser cette étude à tous les types de BEOL cuivre disponibles à STMicroelectronics, un BEOL en cuivre dit standard et un BEOL dit avec un module simple cuivre épais ont été utilisés.

1) Le BEOL dit standard

Dans le premier cas, le BEOL utilise six niveaux de métallisations, tous réalisés en Double Damascène (sauf le niveau 1 réalisé en simple Damascène) et caractérisé par une métallisation M6 standard d'épaisseur 900 nm.

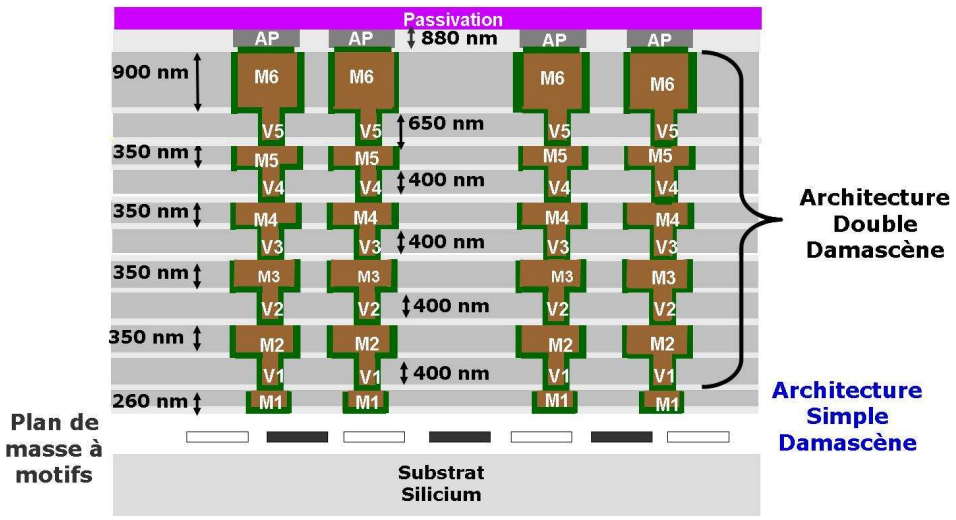

Figure III-1 : BEOL standard en technologie CMOS 130 nm pour les inductances intégrées.

2) Le BEOL dit avec option cuivre épais

Dans le second cas, le BEOL utilise six niveaux de métallisations, la dernière utilisant une option cuivre épais pour le métal M6 d'épaisseur 3 µm, réalisée en architecture Simple Damascène et les cinq premiers (sauf le métal 1) sont réalisés en architecture Double Damascène.

Dans les deux cas, le dernier niveau de métallisation en cuivre est surplombé par un niveau d'aluminium (AP) servant à diminuer les pertes résistives des inductances par augmentation de leur section, **[Groves99].** Un plan de masse à motifs, situé sous le premier niveau, est utilisé pour réduire les effets parasites dus au substrat **[Yue98]**. Quant aux couches diélectriques en SiO_2 inter-métaux utilisées, elles présentent une permittivité relative moyenne ε_r de 4.

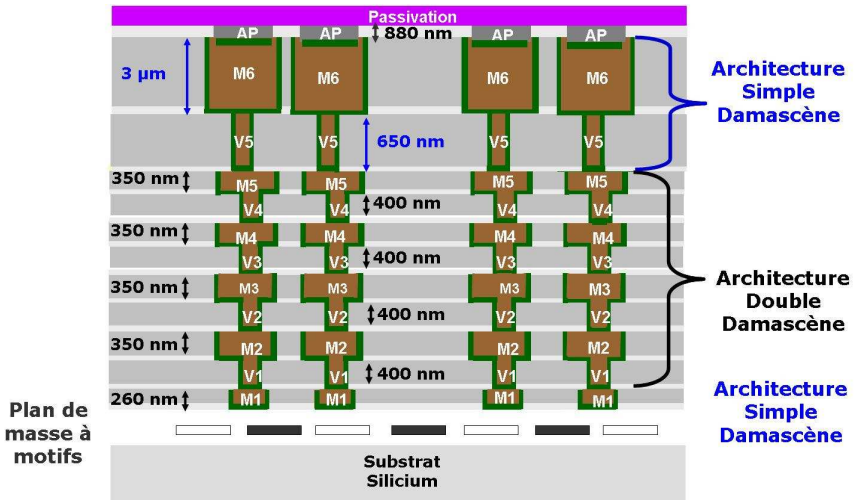

Figure III-2 : BEOL avec option cuivre épais en technologie CMOS 130 nm pour les inductances intégrées.

Les inductances seront quant à elles implantées aux derniers niveaux de métallisations pour limiter les effets parasites du substrat et la capacité parasite relative aux diélectriques du BEOL.

III.1.2. Les inductances de référence

Afin de fournir une analyse la plus précise possible et une stratégie de densité de métallisation généralisable quel que soit le type d'inductances pour toutes applications RF, un large spectre d'inductances intégrées en terme de paramètres électriques, architecturaux, et géométriques, ont été dessinées, Tableau III-1 et Tableau III-2, en comparaison avec la littérature **[Kuhn02] [Detch03] [Chang04] [Chang02] [Tiem06] [Sun06] [Naan07a] [Naan07b]**.

	Ind1	***Ind2***	***Ind3***	***Ind4***
Spires	AP-M6-M5	AP-M6	M6-M5-M4	M6-M5-M4
Upperpass	NA	non	M6	M6
Underpass	NA	Localisé M4-M5	Continu M5-M4	Continu M5-M4
Nombre de tours	1	2	12	11
Rayon interne R_{int} [µm]	110	62.68	15	35
Largeur des pistes w [µm]	5	34	2	5
Espacement s [µm]	NA	20	0.6	0.6

Tableau III-1: Caractéristiques architecturales et géométriques des inductances étudiées.
NA signifie Non Applicable

Les inductances choisies, Tableau III-2, se divisent en deux groupes qui sont : les inductances à fort facteur de qualité comprenant l'inductance Ind1, Figure III-3, et l'inductance Ind2 (Figure III-4), et les inductances à faible surface comprenant quant à elles, l'inductance Ind3 (Figure III-5), et l'inductance Ind4 (Figure III-6).

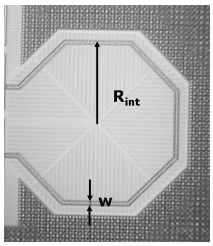

Figure III-3 : Photographie au microscope optique de l'inductance Ind1.

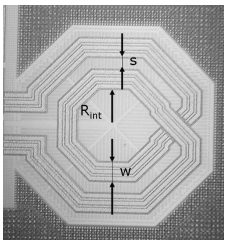

Figure III-4 : Photographie au microscope optique de l'inductance Ind2.

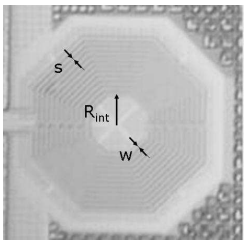

Figure III-5 : Photographie au microscope optique de l'inductance Ind3.

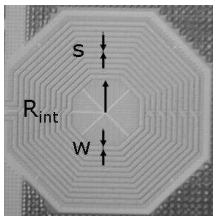

Figure III-6 : Photographie au microscope optique de l'inductance Ind4.

	Ind1		***Ind2***		***Ind3***		***Ind4***	
	BEOL		***BEOL***		***BEOL***		***BEOL***	
	Std	***Epais***	***Std***	***Epais***	***Std***	***Epais***	***Std***	***Epais***
Q_{max}	14 @ 13.25 GHz	16.4 @ 12.5 GHz	13.5 @ 4.5 GHz	17.4 @ 3.3 GHz	5 @ 2.3 GHz	7.7 @ 1.8 GHz	5.7 @ 1.1 GHz	8.8 @ 0.8 GHz
L_s *[nH]*	0.7	0.5	1.1	0.9	9.3	8.2	18.3	16.6
F_c *[GHz]*	30.5	30.5	9.75	9.75	4.1	3.6	1.9	1.7
R_{DC} *[Ω]*	1.9	0.7	1	0.4	17.5	8.2	13.5	5.9

Tableau III-2: Caractéristiques électriques des inductances étudiées dans un BEOL standard (STD) et dans un BEOL option cuivre épais (EPAIS).

1) Les inductances à fort facteur de qualité

L'inductance Ind1 (Figure III-3) est une inductance avec un seul tour, construite à partir d'un empilement des trois derniers niveaux de métallisation (AP-M6-M5), Figure III-1 et Figure III-2. Elle est caractérisée par un fort facteur de qualité Q_{max} et une faible valeur d'inductance série L_s, Tableau III-2.

L'inductance Ind2 (Figure III-4), est une inductance deux tours, utilisant des pistes larges découpées en pistes de 12 µm, espacées de 2 µm. Elle est construite à partir d'un empilement des deux derniers niveaux de métallisation (AP-M6), Figure III-1 et Figure III-2, et présente un « underpass » localisé en M4-M5 empilé, Figure III-7. Elle est caractérisée par un fort facteur de qualité Q_{max} et une valeur moyenne d'inductance série L_s, Tableau III-2.

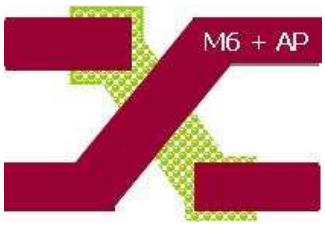

Figure III-7 : « Underpass » localisé de l'inductance Ind2 en M4-M5 ( )
avec un « upperpass » continu en M6+AP ( ).

2) Les inductances multi-tours compactes

Concernant les inductances Ind3 et Ind4 visant une faible occupation de surface, Figure III-5 et Figure III-6, ce sont des inductances multi-tours employant des pistes très étroites dessinées aux règles minimales de dessin. Les spires se situent au niveau des métaux M6-M5-M4 sans empilement avec la métallisation en aluminium et présentent un « underpass » continu, Figure III-8, déployé sur toute la longueur des pistes avec l'empilement M4-M5 (sauf au point de croisement) et un « upperpass » M6, Figure III-1 et Figure III-2. Ces inductances visent une valeur moyenne d'inductance série L_s et un facteur de qualité Q_{max} moyen, Tableau III-2.

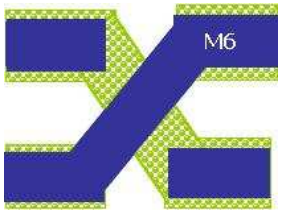

Figure III-8 : « Underpass » continu des inductances Ind3 et Ind4 en M4+M5 ( )
avec un « upperpass » continu en M6 ( ).

III.2. Description des structures de test avec des inserts métalliques

III.2.1. Paramètres géométriques et technologiques des inserts métalliques

1) Leur position dans le BEOL

Pour des raisons de facilité de génération, les inserts métalliques du niveau M1 et du niveau M2 ne seront pas introduits dans les structures, Figure III-1 et Figure III-2, ces deux niveaux servant à la connexion par une croix du plan de masse à motifs.

Ils seront donc insérés à partir du niveau M3 jusqu'au niveau M6, et gérés de manière bien spécifique pour les structures multi-tours (employant des « underpass ») pour une question de facilité de génération.

Afin d'évaluer un possible effet capacitif de l'empilement des inserts ainsi qu'un potentiel effet topographique négatif, les « dummies » ont été étudiées dans deux types de configurations : la configuration alignée A et la configuration chevauchée C de a/2, Figure III-10.

2) Leur forme et leurs dimensions

Les inserts métalliques insérés sont de forme carrée, Figure III-9, la forme rectangulaire **[Detch03]** n'ayant pas montré de différence particulière avec les résultats obtenus pour des inserts métalliques de forme carrée.

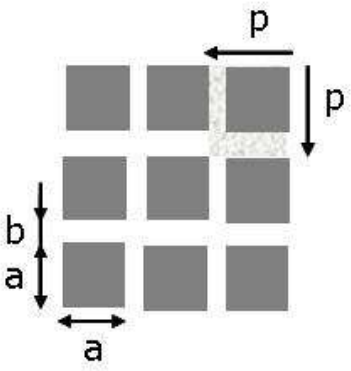

Figure III-9 : Vue de dessus du type de « dummies » insérés, a étant la largeur et b l'espacement, et de périodicité p.

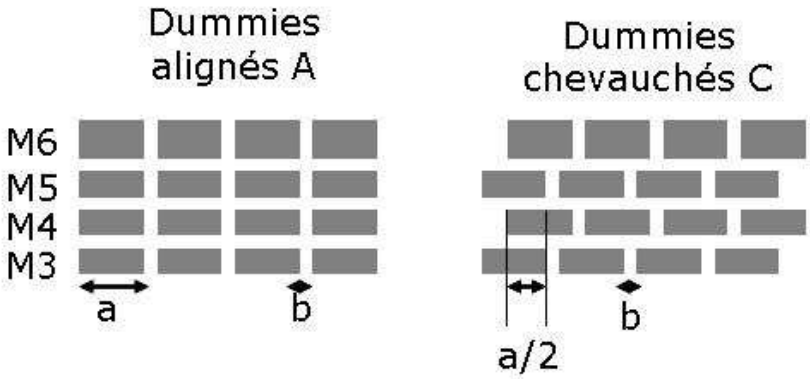

Figure III-10 : Coupe des « dummies » insérés dans le BEOL de M3 à M6 dans la configuration alignée et dans la configuration chevauchée.

Leur taille a été définie en fonction des règles de dessin utilisées dans les niveaux d'interconnexions. Sachant que les règles les plus sévères sont imposées pour les métaux épais, ce sont donc les règles minimales d'espacement et de largeur du métal 6 épais qui ont été utilisées : la largeur minimale a et l'espacement minimal b étant tous les deux égaux à 0.46 µm.

Il faut d'autre part noter que l'espacement minimal va favoriser le pire cas en termes d'effet capacitif inter-dummies puisque pour une même surface, le nombre d'inserts étant plus important, la capacité parasite totale inter-dummies sera la plus grande.

Afin de déterminer de façon précise le paramètre influant sur l'impact des inserts métalliques parmi les variables choisies, l'espacement sera maintenu constant et égal à 0.46 µm pour les trois valeurs de densités utilisées. La littérature **[Tiem06]** a en effet montré que les « dummies » de surface maximale sont le pire cas. Dès lors, nous avons utilisé l'espacement minimal afin d'observer un pire

cas et pouvoir généraliser les résultats par la suite avec une bonne marge de confiance pour des géométries plus relâchées.

La taille des « dummies » utilisés ainsi que leur espacement b sont résumés dans le Tableau III-3.

Largeur des inserts utilisés a	***Espacement b***	***Densité d'inserts correspondante***
0.46 µm	Fixé à 0.46 µm	25%
1.21 µm		52.5%
3.9 µm		80%

Tableau III-3: Dimensions des inserts utilisés et densités correspondantes.

3) Les régions étudiées et les variables choisies

Contrairement à ce qui a déjà été publié dans la littérature **[Kuhn02], [Detch03], [Tiem06], [Naan07a],** et **[Naan07b],** les régions (au centre, sous les spires, et autour des spires) seront étudiées indépendamment les unes aux autres, et permettront ainsi de décorréler complètement les effets induits.

Enfin, les variables choisies dans cette étude sont :

- **la densité D,** calculée à partir de l'espacement b et la taille a des inserts, Figure II-1 et Eq. III-1. Les valeurs de densité utilisées sont données dans le Tableau III-3.

$$D = \frac{a^2}{(a+b)^2} \qquad \textit{Eq. III-1}$$

- **la distance** entre les spires de l'inductance et les inserts métalliques.
- **le type d'empilement des inserts métalliques** : alignés de niveau en niveau ou chevauchés, Figure III-10.

III.2.2. Définition des plans d'expériences

Si on s'intéresse aux précédents travaux de recherche traitant de l'impact d'inserts métalliques sur les performances RF des inductances, **[Kuhn02], [Detch03], [Chang04], [Chang02], [Tiem06], [Sun06], [Naan07a] ,[Naan07a],** on s'aperçoit qu'ils sont difficilement généralisables à tout type d'inductances et ne permettent pas une interprétation des facteurs influents. En effet, ils sont pour la plupart réalisés sur un nombre arbitraire et limité de structures (moins de 5 inductances). De plus, les zones d'étude ne sont pas décorrélées (« dummies » insérés au centre et à l'extérieur sur la même structure) **[Kuhn02], [Detch03], [Tiem06], [Naan07a],** et **[Naan07b]**. Enfin, ils utilisent un

nombre restreint de variables (deux valeurs de densités au maximum pour une valeur de distance de la spire fixe).

1) Motivations

Afin de donner une stratégie de gestion de « dummies » la plus pertinente et efficace possible, notre choix s'est porté sur la définition de plans d'expériences **[Sado00] [Goupy06]**. L'opportunité d'utiliser ces derniers permet en effet de minimiser le nombre d'essais sans toutefois sacrifier leur qualité. Un autre avantage est qu'on peut alors donner une interprétation des résultats et appréhender les phénomènes physiques influents. Enfin, les résultats de cette étude et la méthode expérimentale proposée sont généralisables à tous les types d'inductances.

2) Les plans D-optimal

Les plans d'expériences choisis sont les plans D-optimal. **[Sado00] [Goupy06]** Ces plans sont toujours un bon choix lorsqu'il s'agit de criblage (détermination des facteurs influents) ou de modélisation de la réponse. Ils permettent à l'expérimentateur d'avoir un plan sur mesure qui s'adapte parfaitement aux contraintes de l'étude. Ce plan permet aussi d'obtenir une surface de réponse en présence de facteurs discrets ce qui est notre cas pour la variable type d'empilement (A ou C).

Enfin, ils permettent de réduire de moitié le nombre de structures (160) à implémenter sur masque par rapport à un plan factoriel complet (342), comme l'illustre le Tableau III-4. Ils sont par conséquent un gain en temps et en surface de silicium, non négligeables.

Etude	*Nombre d'inductances de référence*	*Nombre d'expériences par type d'inductance avec un plan factoriel*	*Nombre total d'expériences avec un plan factoriel*	*Nombre d'expériences par type d'inductance avec un plan D-optimal*	*Nombre total d'expériences avec un plan D-optimal*
Centre des spires	4	$3^2 \times 2^1=18$	72	12	48
Sous les spires	4	$3^3 \times 2^1 =54$ (Ind1 et Ind2) $3^3=27$ (Ind3 et Ind4)	162	22 (Ind1 et Ind2) 12 (Ind3 et Ind4)	68
Autour des spires	2	$3^3 \times 2^1 =54$	108	22	44
Total			342		160

Tableau III-4: Comparaison entre le nombre de structures nécessaires à partir d'un plan factoriel complet et d'un plan D-optimal

Au total 160 structures (plus 4 structures de référence) par type de BEOL, soit 2 fois 50 mm^2, ont été dessinées, fabriquées, caractérisées en hyper-fréquences et analysées par le logiciel Statgraphics.

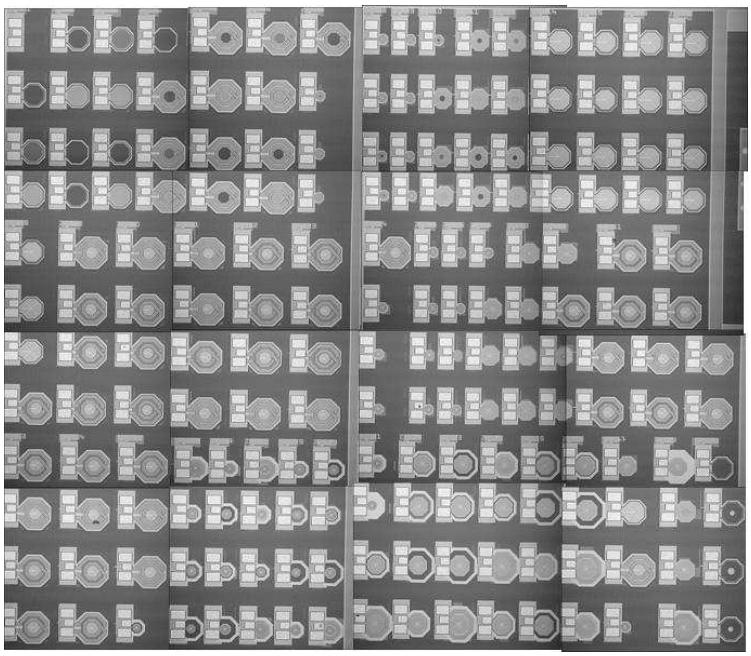

Figure III-11 : Photographie au microscope optique des 164 structures de test fabriquées.

III.2.3. Inductances avec inserts métalliques au centre des spires

Les variables utilisées dans ce premier plan d'expérience sont données dans le Tableau III-5 et la Figure III-12.

	Plan d'expérience 1
Type d'inductances	Ind1, Ind2, Ind3, Ind4
Niveaux de métallisations	M3 à M6
Densité D	25%, 52.5% et 80%
Distance d1	1 µm, 5.5 µm et 10 µm
Empilement des dummies	Alignés A ou Chevauchés C

Tableau III-5 : Tableau récapitulatif des paramètres du plan d'expérience 1 correspondant aux inserts métalliques insérés au centre des spires.

Un large domaine de variation de la densité D d'inserts allant de 25% à 80% ainsi qu'un large domaine de variation de la distance « dummies »-spires d1 allant de 1 µm à 10 µm, ont été utilisés dans cette étude en comparaison avec la littérature **[Kuhn02]**, **[Detch03]**, **[Chang02]**, **[Tiem06]**, **[Naan07a]**, et **[Naan07b].**

Au total, ce sont 48 structures par type de BEOL qui ont été choisies pour réaliser ce plan d'expériences par utilisation de plans D-optimal et employant D, d1, et le type d'empilement des « dummies » (A ou C) comme facteurs d'entrée dans le logiciel Statgraphics.

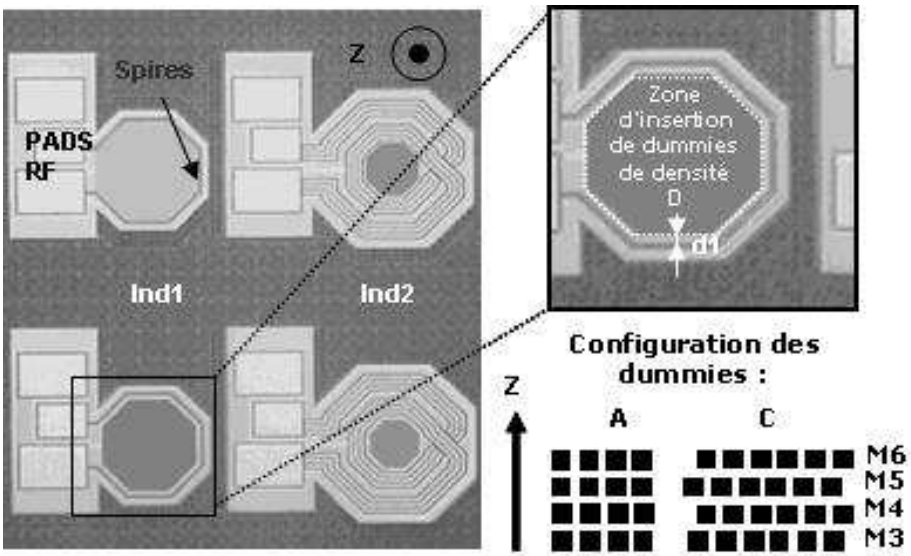

Figure III-12 : Photographie au microscope optique des structures utilisées (en haut : Ind1 avec D=80% et d1= 1 µm, C et Ind2 avec D=52.5%, d1=1 µm ; C ; en bas : Ind1 avec D=25% et d1= 1 µm, C, Ind2 avec D=80%, d1=10 µm ;A et Ind2 avec D=52.5%, d1=5.5 µm ; A) pour le plan d'expérience 1.

III.2.4. Inductances avec inserts métalliques sous les spires

Les variables utilisées dans ce deuxième plan d'expérience sont données dans le Tableau III-6 et la Figure III-13, une telle étude ayant été abordée de façon non exhaustive dans la littérature **[Chang04], [Sun06]**.

	Plan d'expérience 2
Type d'inductances	Ind1, Ind2, Ind3, Ind4
Niveaux de métallisations	M3 à M5
Densité D	25%, 52.5% et 80%
Distance d1	Ind1 : 2 µm, 7 µm et 12 µm Ind2, Ind3, Ind4 : 0 µm, 5 µm et 10 µm
Distance d2	Ind1 : 2 µm, 7 µm et 12 µm Ind2, Ind3, Ind4 : 0 µm, 5 µm et 10 µm
Empilement des « dummies »	Ind1, Ind2 : Alignés A ou Chevauchés C Ind3, Ind4 : non

Tableau III-6 : Tableau récapitulatif des paramètres du plan d'expérience 2 correspondant aux inserts métalliques insérés sous les spires.

Un large domaine de variation de la densité D d'inserts allant de 25% à 80% ainsi qu'un large domaine de variation de la distance « dummies »-spires d1 allant de 0 µm à 10 µm pour Ind2, Ind3 et Ind4 et allant de 2 µm à 12 µm pour Ind1, ont été utilisés dans cette étude. L'impact du type d'empilement (A ou C), a aussi été pris en considération.

Au total ce sont 68 structures par type de BEOL qui ont été choisies pour réaliser ce plan d'expérience par utilisation de plans D-optimal et employant D, d1, d2, et le type d'empilement des « dummies » (A ou C) comme facteurs d'entrée dans le logiciel Statgraphics.

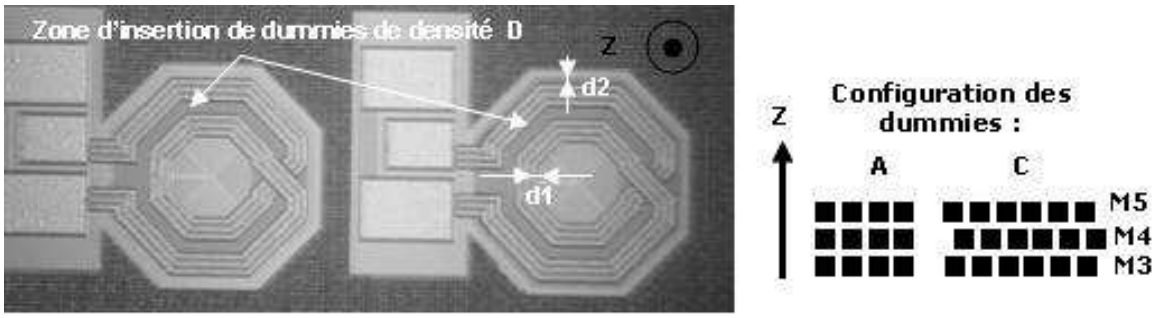

Figure III-13 : Photographie au microscope optique des structures utilisées (à droite: Ind2 avec D=25% et d1=d2= 0 µm, C ; à gauche : Ind2 avec D=25%, d1= 0 µm et d2= 10 µm, C) pour le plan d'expérience 2.

III.2.5. Inductances avec inserts métalliques autour des spires

Les variables utilisées dans ce troisième plan d'expérience ne concernent que les inductances Ind3 et Ind4 visant une surface compacte. Elles sont données dans le Tableau III-7 et la Figure III-14, les résultats pouvant être généralisés aux autres types d'inductances.

	Plan d'expérience 3
Type d'inductances	Ind3 et Ind4
Niveaux de métallisations	M3 à M6
Densité D	25%, 52.5% et 80%
Distance d1	1 µm, 5.5 µm et 10 µm
Largeur de la couronne C	10 µm, 30 µm et 50 µm
Distance d3	Fixée à 50 µm
Empilement des « dummies »	Alignés A ou Chevauchés C

Tableau III-7 : Tableau récapitulatif des paramètres du plan d'expérience 3 correspondant aux inserts métalliques insérés autour des spires.

Un large domaine de variation de la densité D d'inserts allant de 25% à 80% ainsi qu'un large domaine de variation de la distance « dummies »-spires d1 allant de 1 µm à 10 µm pour Ind3, Ind4 et de la largeur de la couronne d2 allant de 10 µm à 50 µm ont été utilisés dans cette étude en comparaison avec la littérature **[Kuhn02], [Detch03], [Chang02], [Tiem06], [Naan07a], [Naan07b].**

L'impact du type d'empilement (A ou C), jamais étudié dans la littérature, a aussi été analysé. La distance d3, quant à elle, a été introduite et fixée à 50 µm pour décorréler l'impact de la

couronne de « dummies » des « dummies » automatiques générés autour de la couronne par le logiciel de dessin Cadence.

Au total ce sont 44 structures par type de BEOL qui ont été choisies pour réaliser ce plan d'expérience par utilisation de plans D-optimal et employant D, d1, C, et le type d'empilement des « dummies » (A ou C) comme facteurs d'entrée dans le logiciel Statgraphics.

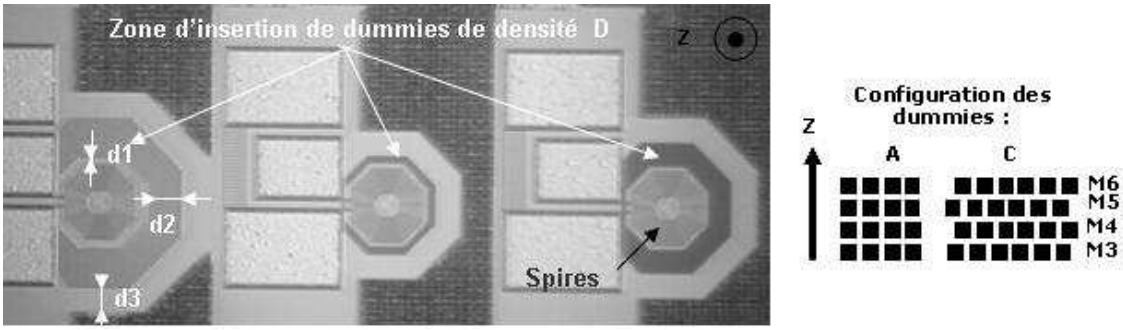

Figure III-14 : Photographie au microscope optique des structures utilisées (à droite : Ind3 avec D=80% et d1= 10 µm, d2= 50 µm, d3= 50 µm, A; au milieu :Ind2 avec D=52.5%, d1=5.5 µm , d2= 10 µm, d3= 50 µm, A; à gauche: Ind3 avec D=25% et d1= 10 µm, d2= 30 µm, d3= 50 µm, A) pour le plan d'expérience 3.

IV. CARACTERISATION DES STRUCTURES DE TESTS ET EXTRACTION DES PARAMETRES

IV.1. Généralités sur les mesures hyperfréquences

La caractérisation hyper-fréquences des structures d'inductances intégrées a été réalisée à l'aide d'une station et de sondes Cascade Microtech Infinity GSG et d'un analyseur de réseaux Agilent HP8510 C VNA dans une plage de fréquences de 10 MHz à 50 GHz.

IV.1.1. L'analyseur de réseaux et les sondes RF

Cet appareil de mesure permet de caractériser dans le domaine fréquentiel des composants intégrés micro-ondes qu'ils soient actifs ou passifs par la mesure de l'amplitude et de la phase des paramètres S_{ij} de la matrice de répartition [S] d'un quadripôle hyperfréquence.

Son principe de fonctionnement est basé sur la comparaison de l'onde incidente avec l'onde réfléchie ou transmise au niveau d'un plan de référence, défini pendant le test. Il est constitué d'une source hyperfréquences (un générateur balayé en fréquences ou un synthétiseur de fréquences), suivi d'un dispositif de séparation des signaux entre les voies de tests et les voies de référence.

Les sondes utilisées pour les mesures sont des sondes Cascade Microtech Infinity GSG en Tungstène dont l'écartement (pitch) est de 100 µm. Elles sont caractérisées par une faible résistance série (0.15 Ω - 0.3 Ω). Les signaux RF provenant de l'analyseur vectoriel sont transmis au niveau des sondes par un câble coaxial.

Les plots RF utilisés sont de type GSG utilisant les derniers niveaux métalliques (M5-M6) pour le plot de signal et les six niveaux de métallisations pour la masse. Ils sont de dimensions 100 µm par 100 µm pour les plots de masse et 80 µm par 100 µm pour le plot de signal. Ils sont espacés de 10 µm.

IV.1.2. L'opération de calibration

La calibration de l'analyseur de réseaux est une étape indispensable dans la procédure de mesure RF. Elle a pour objectif de positionner les plans de référence à l'extrémité des sondes de mesure, ce qui permet de corriger les erreurs systématiques liés à l'environnement de mesure (câbles, désadaptation...) **[Don84].**

Lors de cette procédure, des éléments étalons en or dont la réponse en fréquence est parfaitement connue sont mesurés avant tout test de structures. Parmi les nombreuses méthodes utilisées actuellement, la méthode de calibration S.O.L.T **[Bar89, Koo92]** a été utilisée durant les mesures présentées dans cette thèse. Elle est basée sur l'utilisation de quatre standards qui sont :

- **Un « Short »** (un court circuit)
- **Un « Open »** (un circuit ouvert)
- **Une« Load »** (une impédance de 50 Ω)
- **Un « Thru »** (une ligne de longueur nulle)

IV.1.3. L'opération d'épluchage

Une étape supplémentaire d'épluchage (appelée « de-embedding ») est nécessaire, l'étape de calibrage ne corrigeant pas les éléments parasites dus aux plots de contact et aux lignes d'accès sur silicium **[Kold99]**, **[Kold00]**. Elle a pour but de ramener le plan de référence à l'entrée du dispositif à tester. Ainsi, il est possible d'éliminer théoriquement les capacités parasites et les conductances des plots, le couplage éventuel entre les plots d'entrée et de sortie, les inductances et les résistances provenant du contact entre les plots et les pointes.

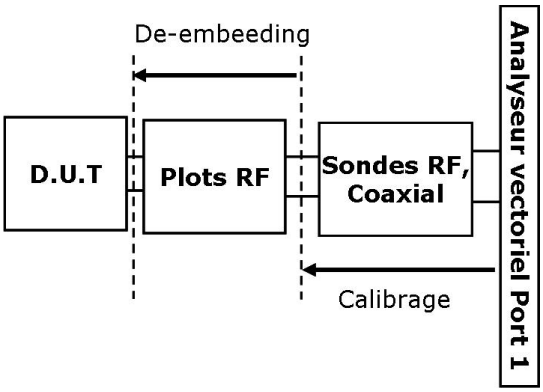

Figure IV-1 : Description des étapes de calibrage et d'épluchage.

IV.2. Paramètres électriques étudiés

Le modèle électrique utilisé en « π» pour les différentes inductances symétriques mesurées dans notre étude est donné en Figure IV-2. Noter que le plan de masse à motifs (PGS) est relié à la masse pour permettre une meilleure efficacité de ce dernier.

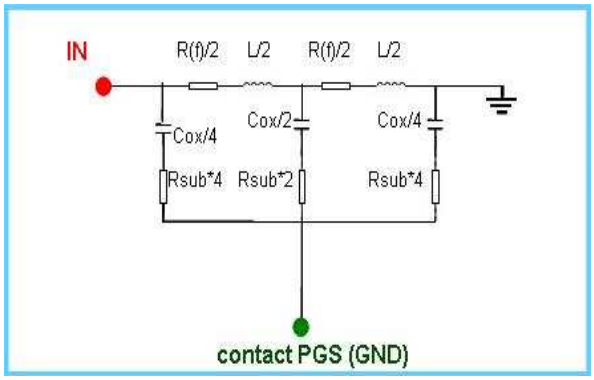

Figure IV-2 : Modèle électrique en configuration 1 port pour les inductances symétriques mesurées.

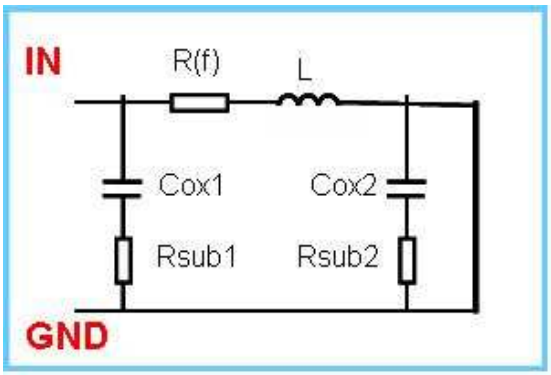

Figure IV-3 : Modèle électrique en configuration 1 port pour les inductances symétriques mesurées.

Comme les mesures ont été réalisé à partir d'une configuration un port, le modèle électrique utilisé se résume à une seule cellule, Figure IV-3 et les paramètres RF extraits afin d'évaluer l'impact de l'insertion de « dummies » dans les structures sont les suivants :

IV.2.1. Le facteur de qualité Q et la valeur du pic Q_{max}

Le facteur de mérite usuel mesuré à partir des paramètres S puis transformé en paramètres Y est définit en Eq. IV-1. Le pic du facteur de qualité est appelé Q_{max}.

$$Q = \frac{|\mathrm{Im}(Y_{11})|}{\mathrm{Re}(Y_{11})} \qquad \textit{Eq. IV-1}$$

IV.2.2. La fréquence de coupure F_c

Concernant la fréquence de coupure F_c, c'est la fréquence pour laquelle l'inductance passe d'un comportement inductif en un comportement capacitif, soit lorsque Q=0 sur le graphe du facteur de qualité en fonction de la fréquence.

IV.2.3. La valeur de l'inductance série L_s

Pour ce qui est de la valeur de l'inductance L_s, son expression en fonction des paramètres Y est donnée en Eq. IV-2.

$$L_s = \frac{|\mathrm{Im}(Y_{11})|}{2 \cdot \Pi \cdot \textit{fréquence}} \qquad \textit{Eq. IV-2}$$

IV.2.4. La valeur de la résistance série R_s

L'expression de la résistance R_s est donnée en Eq. IV-3.

$$R_s = \mathrm{Re}(Z_{11}) \qquad \textit{Eq. IV-3}$$

Aucune variation significative n'a été observée ni sur la valeur de la résistance DC, ni sur la valeur de l'inductance série L_s quelle que soit la densité d'inserts introduits dans les structures de test, comme illustré sur les Figure IV-4 , Figure IV-5, Figure IV-8 et Figure IV-9. Par conséquence, seuls les résultats du facteur de qualité Q seront présentés dans cette étude.

IV.3. Analyse des résultats de mesure et des plans d'expériences

IV.3.1. Inductances avec inserts métalliques au centre des spires

Dans cette section, l'impact de « dummies » insérés au centre des spires de l'inductance est évalué. L'objectif est de pouvoir insérer une densité la plus élevée possible sur une surface la plus grande possible, sans impacter les performances RF de l'inductance.

Pour tous les résultats présentés, l'impact des inserts métalliques sur les performances RF des inductances ne sera considéré comme significatif que s'il est supérieur à 5%. Au dessous de ce seuil, ce sont les incertitudes de mesures du VNA et les variations du procédé de fabrication à l'échelle de la plaque qui sont alors considérés.

1) Cuivre Standard

➢ **Les inductances visant un fort facteur de qualité : Ind1 et Ind2**

Concernant l'inductance Ind1, les courbes du facteur de qualité des structures de référence sans « dummies » et des structures de test avec « dummies » sont représentées en Figure IV-4 et Figure IV-5. Les conclusions sont les suivantes : si on utilise des règles de densités de métallisations agressives (D=80%, d1=1 µm, C) l'impact sur le pic du facteur de qualité Q_{max} est fort et égal à 30% avec une réduction de 15% sur la fréquence du pic par augmentation de la capacité parasite d'isolation entre la borne d'entrée et de sortie de l'inductance. En revanche, si on utilise des règles plus relâchées (D=25%, d1=1µm, A), l'impact sur le pic du facteur de qualité Q_{max} est inférieur à 5% et sans impact sur la fréquence du pic.

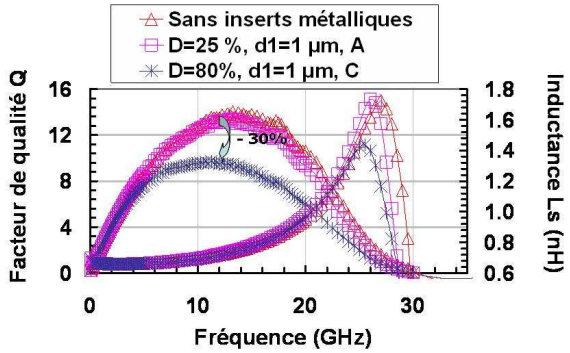

Figure IV-4 : Courbes du facteur de qualité Q mesuré et de l'inductance série L_s pour l'inductance Ind1 en cuivre standard avec et sans « dummies » au centre.

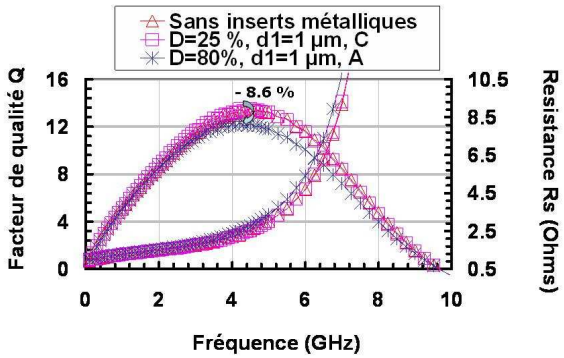

Figure IV-5 : Courbes du facteur de qualité Q mesuré et de la résistance série R_s pour l'inductance Ind2 en cuivre standard avec et sans « dummies » au centre.

Concernant l'inductance Ind2, les mêmes tendances sont observées mais avec un impact plus faible sur les courbes du facteur de qualité des structures de test avec « dummies » représentées en Figure IV-5. En effet, si on utilise des règles de densité agressives (D=80%, d1=1µm, A), le pic du facteur de qualité Q_{max} est réduit de 8.6% par augmentation de la capacité parasite **[Batter06] [Naan07a] [Naan07b]**, alors que si on emploie des règles de densités plus relâchées (D=25%, d1=1µm, C), l'impact est faible et inférieur à 1%.

➢ **Les inductances visant une faible surface : Ind3 et Ind4**

Concernant l'inductance Ind3 et l'inductance Ind4, les courbes du facteur de qualité des structures de référence sans « dummies » et des structures de test avec « dummies » sont représentées en Figure IV-6 et Figure IV-7. Quelles que soient les règles de densités de métallisations utilisées, l'impact sur le pic du facteur de qualité est inférieur à 4%.

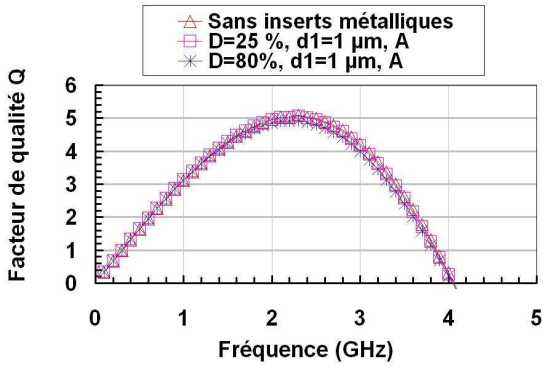

Figure IV-6 : Courbes du facteur de qualité Q mesuré pour l'inductance Ind3 en cuivre standard avec et sans « dummies » au centre

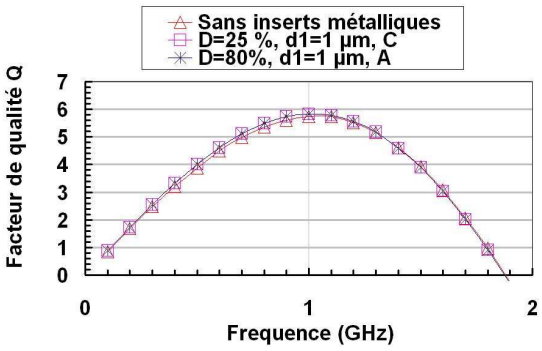

Figure IV-7 : Courbes du facteur de qualité Q mesuré pour l'inductance Ind3 en cuivre standard avec et sans « dummies » au centre.

2) Cuivre épais

- **Les inductances visant un fort facteur de qualité : Ind1 et Ind2**

Concernant l'inductance Ind1, les courbes du facteur de qualité des structures de référence sans « dummies » et des structures de test avec « dummies » sont représentées en Figure IV-8 et Figure IV-9. Les conclusions sont les suivantes : si on utilise des règles de densités de métallisations agressives (D=80%, d1=1 µm, C) l'impact sur le pic du facteur de qualité Q_{max} est fort et égal à 37.3% avec une réduction de 26% sur la fréquence du pic par augmentation de la capacité parasite d'isolation entre l'entrée et la sortie de l'inductance. En revanche, si on utilise des règles plus relâchées (D=25%, d1=1µm, A), l'impact sur le pic du facteur de qualité Q_{max} est inférieur à 5% sans impact sur la fréquence du pic.

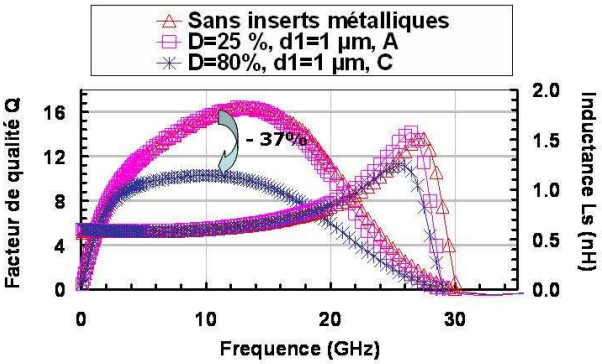

Figure IV-8 : Courbes du facteur de qualité Q mesuré pour l'inductance Ind1 en cuivre épais avec et sans « dummies » au centre.

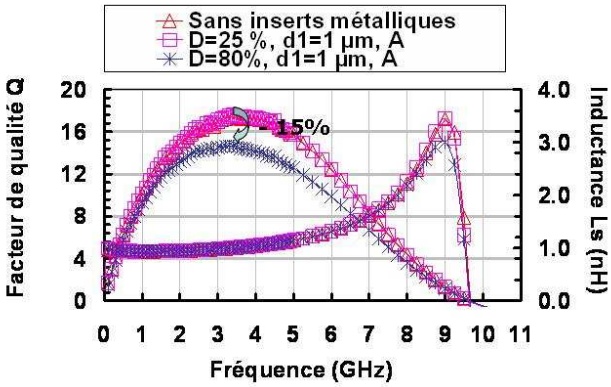

Figure IV-9 : Courbes du facteur de qualité Q mesuré pour l'inductance Ind2 en cuivre épais avec et sans « dummies » au centre.

Concernant l'inductance Ind2, les mêmes tendances sont observées mais avec un impact plus faible sur les courbes du facteur de qualité des structures de test avec « dummies » représentées en

Figure IV-9. En effet, si on utilise des règles de densité agressives (D=80%, d1=1µm, A), le pic du facteur de qualité Q_{max} est réduit de 15.6% par augmentation de la capacité parasite **[Batter06] [Naan07a] [Naan07b]**, alors que si on emploie des règles de densités plus relâchées (D=25%, d1=1µm, A), l'impact est faible et inférieur à 2%.

- **Les inductances visant une faible surface : Ind3 et Ind4**

Concernant l'inductance Ind3 et l'inductance Ind4, les courbes du facteur de qualité des structures de référence sans « dummies » et des structures de test avec « dummies » sont représentées en Figure IV-10 et Figure IV-11. Quelles que soient les règles de densités de métallisations utilisées, l'impact sur le pic du facteur de qualité est inférieur à 5%.

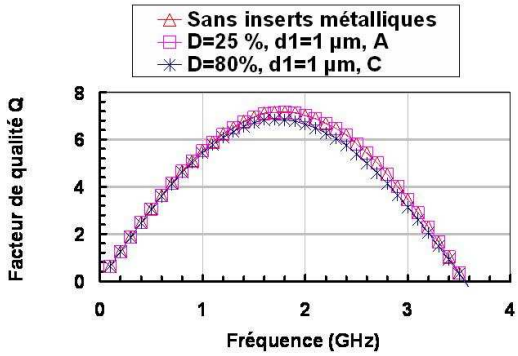

Figure IV-10 : Courbes du facteur de qualité Q mesuré pour l'inductance Ind3 en cuivre épais avec et sans « dummies » au centre.

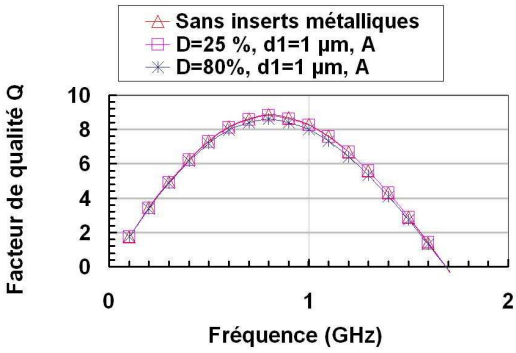

Figure IV-11 : Courbes du facteur de qualité Q mesuré pour l'inductance Ind4 en cuivre épais avec et sans « dummies » au centre.

3) Analyse des plans d'expérience Cuivre Standard et Cuivre épais

L'analyse du plan d'expérience par le logiciel Statgraphics a révélé pour tous les types d'inductances et pour les deux types de BEOL utilisés que le premier facteur significatif parmi les facteurs d'entrée considérés est la densité de métallisation D, la distance d1 et sa combinaison avec la densité D ayant aussi une influence sur le pic du facteur de qualité, comme le montrent les diagrammes de pareto de l'inductance Ind1 en cuivre standard et en cuivre épais, Figure IV-12 et Figure IV-14. On remarque aussi que le type d'empilement (aligné A ou chevauché C) n'est pas un paramètre critique dans la dégradation des performances de ces inductances.

D'autre part, les graphes en surface de réponse, Figure IV-13 et Figure IV-15, montrent que pour une faible densité (D=25%), la distance d1 n'a aucun effet négatif sur Q_{max} et que pour une densité élevée (D=80%) les meilleures performances sont observées pour la plus grande distance (d1=10 µm). Cette observation illustre l'importance de la capacité « dummies »-spires.

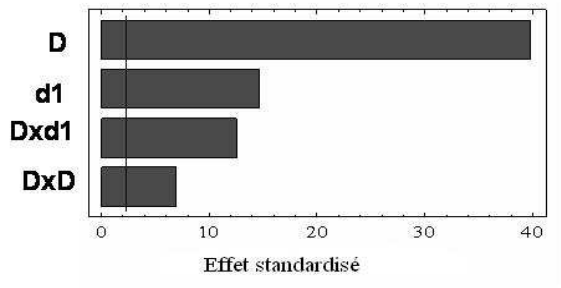

Figure IV-12 : Diagramme de pareto de l'inductance Ind1 en cuivre standard présentant un R^2 ajusté=99%

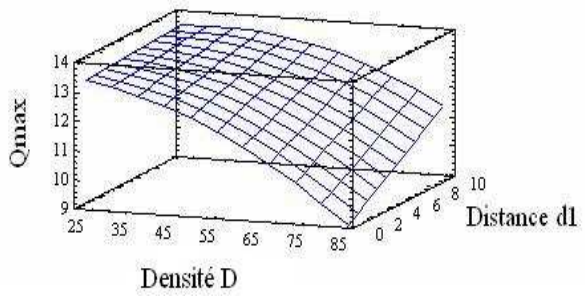

Figure IV-13 : Graphe de surface de réponse estimée pour l'inductance Ind1 en cuivre standard.

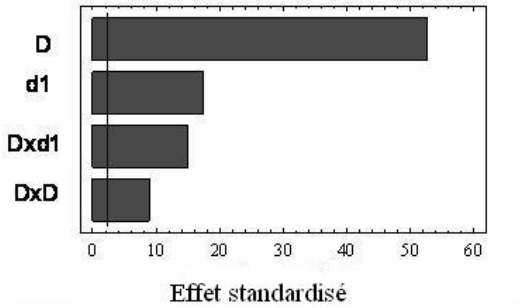

Figure IV-14 : Diagramme de pareto de l'inductance Ind1 en cuivre épais présentant un R^2 ajusté=99%.

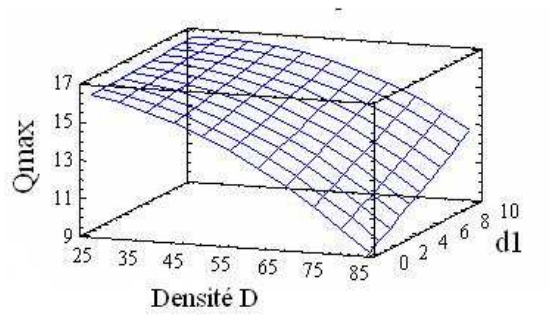

Figure IV-15 : Graphe de surface de réponse estimée pour l'inductance Ind1 en cuivre épais.

IV.3.2. Inductances avec inserts métalliques sous les spires

Dans cette section, l'impact de « dummies » insérés sous les spires de l'inductance est évalué, l'objectif étant de pouvoir insérer une densité de « dummies » la plus élevée possible sur une surface la plus petite possible, sans impacter les performances du dispositif RF.

1) Cuivre Standard

- **Les inductances visant un fort facteur de qualité : Ind1 et Ind2**

Concernant l'inductance Ind1, les courbes du facteur de qualité des structures de référence sans « dummies » et des structures de test avec « dummies » sont représentées en Figure IV-16 et Figure IV-17. Les conclusions sont les suivantes : si on utilise des règles de densités de métallisation agressives (D=80%, d1=12 µm, d2=12 µm, C) l'impact sur le pic du facteur de qualité Q_{max} est fort et égal à 26% avec une réduction de 18% sur la fréquence du pic par augmentation de la capacité parasite **[Sun06]**. En revanche, si on utilise des règles plus relâchées (D=25%, d1=d2=7µm, A), l'impact sur le pic du facteur de qualité Q_{max} est inférieur à 5%.

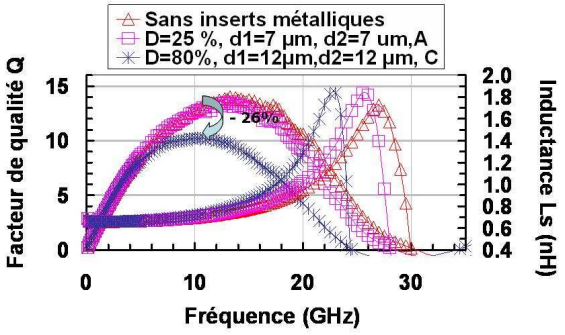

Figure IV-16 : Courbes du facteur de qualité Q mesuré et de l'inductance série L_s pour l'inductance Ind1 en cuivre standard avec et sans « dummies » sous les spires.

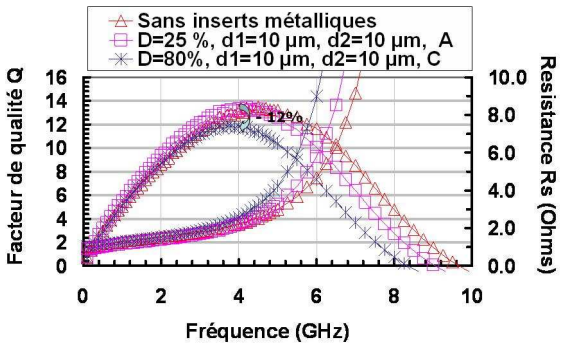

Figure IV-17 : Courbes du facteur de qualité Q mesuré et de la résistance série R_s pour l'inductance Ind2 en cuivre standard avec et sans « dummies » sous les spires.

Concernant l'inductance Ind2, les mêmes tendances sont observées mais avec un impact plus faible sur les courbes du facteur de qualité des structures de test avec « dummies » représentées en Figure IV-17. En effet, si on utilise des règles de densité agressives (D=80%, d1=10 µm, d2= 10 µm, A), le pic du facteur de qualité Q_{max} est réduit de 12% alors que si on emploie des règles de densités plus relâchées (D=25%, d1=d2=10 µm, C), l'impact est faible et inférieur à 5%.

- **Les inductances visant une faible surface : Ind3 et Ind4**

Concernant l'inductance Ind3 et l'inductance Ind4, les courbes du facteur de qualité des structures de référence sans « dummies » et des structures de test avec « dummies » sont représentées en Figure IV-18 et Figure IV-19. Quelles que soient les règles de densités de métallisations utilisées, l'impact sur le pic du facteur de qualité est inférieur à 8%.

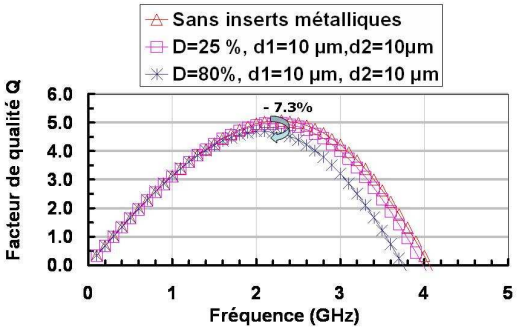

Figure IV-18 : Courbes du facteur de qualité Q mesuré pour l'inductance Ind3 en cuivre standard avec et sans « dummies » sous les spires.

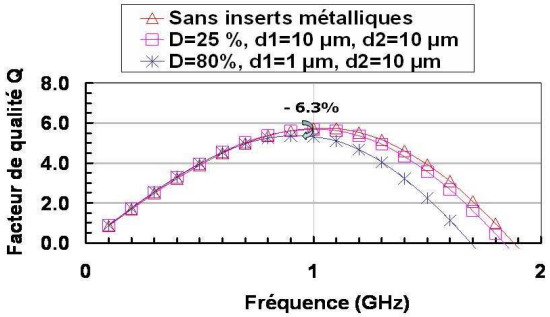

Figure IV-19 : Courbes du facteur de qualité Q mesuré pour l'inductance Ind4 en cuivre standard avec et sans « dummies » sous les spires.

2) Cuivre épais

➢ **Les inductances visant un fort facteur de qualité : Ind1 et Ind2**

Concernant l'inductance Ind1, les courbes du facteur de qualité des structures de référence sans « dummies » et des structures de test avec « dummies » sont représentées en Figure IV-20 et Figure IV-21. Pour l'inductance Ind1, les conclusions sont les suivantes : si on utilise des règles de densités de métallisations agressives (D=80%, d1=12 µm, d2=12 µm, C) l'impact sur le pic du facteur de qualité Q_{max} est fort et égal à 24% avec une réduction de 32% sur la fréquence du pic par augmentation de la capacité parasite **[Sun06]**. En revanche, si on utilise des règles plus relâchées (D=25%, d1=d2=7µm, A), l'impact sur le pic du facteur de qualité Q_{max} est inférieur à 2%.

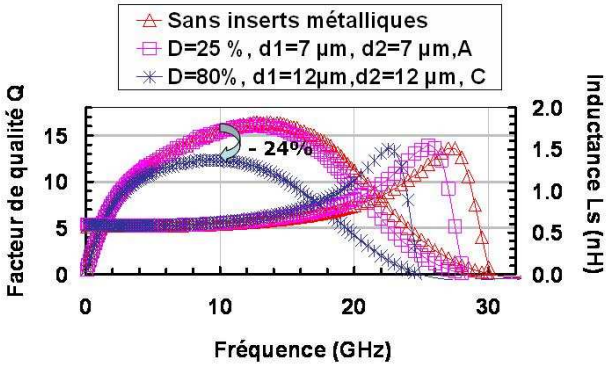

Figure IV-20 : Courbes du facteur de qualité Q mesuré pour l'inductance Ind1 en cuivre épais avec et sans « dummies » sous les spires.

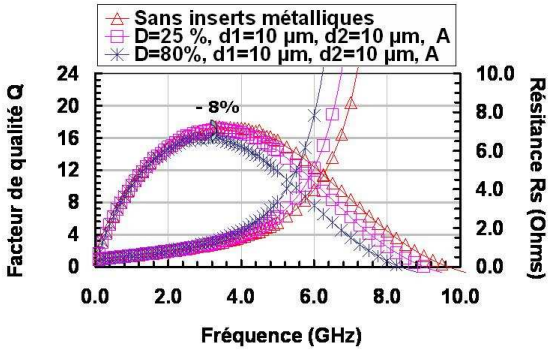

Figure IV-21 : Courbes du facteur de qualité Q mesuré pour l'inductance Ind2 en cuivre épais avec et sans « dummies » sous les spires.

Concernant l'inductance Ind2, les mêmes tendances sont observées mais avec un impact plus faible sur les courbes du facteur de qualité des structures de test avec « dummies » représentées en Figure IV-21. En effet, si on utilise des règles de densité agressives (D=80%, d1=10 µm, d2= 10 µm, A), le pic du facteur de qualité Q_{max} est réduit de 8% alors que si on emploie des règles de densités plus relâchées (D=25%, d1=d2=10 µm, C), l'impact est faible et inférieur à 1%.

➢ **Les inductances visant une faible surface : Ind3 et Ind4**

Concernant l'inductance Ind3 et l'inductance Ind4, les courbes du facteur de qualité des structures de référence sans « dummies » et des structures de test avec « dummies » sont représentées en Figure IV-22 et Figure IV-23. Quelles que soient les règles de densités de métallisations utilisées, l'impact sur le pic du facteur de qualité est inférieur à 6%.

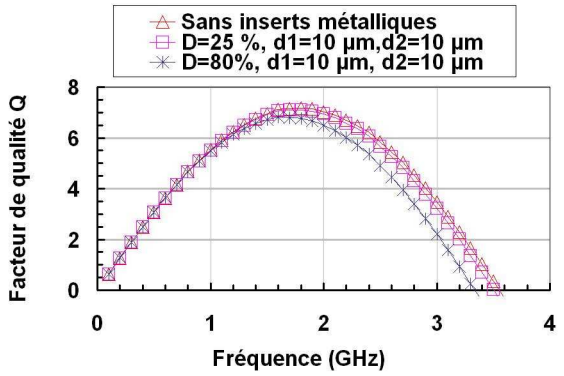

Figure IV-22 : Courbes du facteur de qualité Q mesuré pour l'inductance Ind3 en cuivre épais avec et sans « dummies » sous les spires.

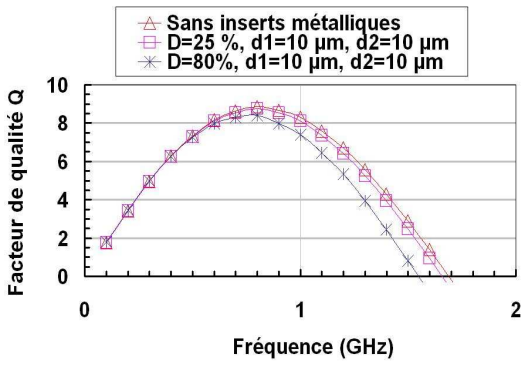

Figure IV-23 : Courbes du facteur de qualité Q mesuré pour l'inductance Ind4 en cuivre épais avec et sans « dummies » sous les spires.

3) Analyse des plans d'expérience cuivre standard et cuivre épais

L'analyse du plan d'expérience par le logiciel Statgraphics a révélé pour les deux types d'inductances que le premier facteur significatif parmi les facteurs d'entrée considérés est la densité de métallisation D. Les distances d1 et d2 et leur combinaison avec la densité D ont une influence négative au second ordre sur le pic du facteur de qualité, comme le montrent les diagrammes de pareto Figure IV-24 et Figure IV-26. En revanche, le type d'empilement (aligné A ou chevauché C) s'est révélé ne pas être un paramètre critique dans la dégradation des performances de ces inductances.

D'autre part, le graphe en surface de réponse, Figure IV-25, montre que pour une faible densité (D=25%), les distances d1 et d2 n'ont aucun effet négatif sur Q_{max}. .Pour une densité élevée (D=80%) les meilleures performances sont observées pour la plus petite distance (d1=2 µm pour d2 fixée à 7 µm en cuivre standard et à 5.5 µm en cuivre épais). Cette observation illustre l'importance de la capacité « dummies »-spires pour les « dummies » les plus larges.

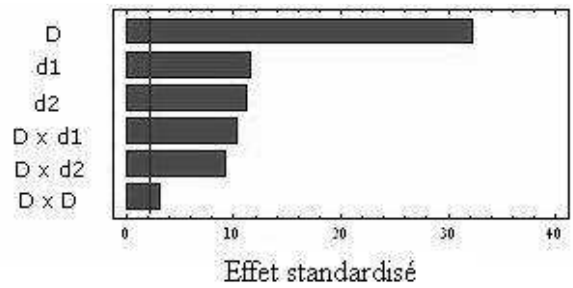

Figure IV-24 : Diagramme de pareto de l'inductance Ind1 en cuivre standard présentant un R^2 ajusté=98%.

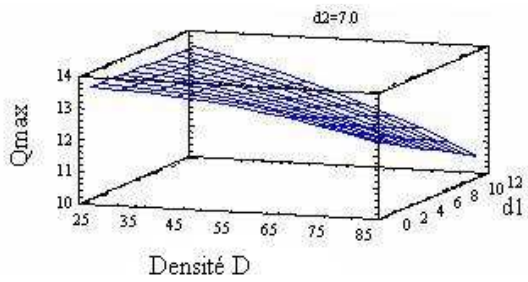

Figure IV-25 : Graphe de surface de réponse estimée pour l'inductance Ind1 en cuivre standard.

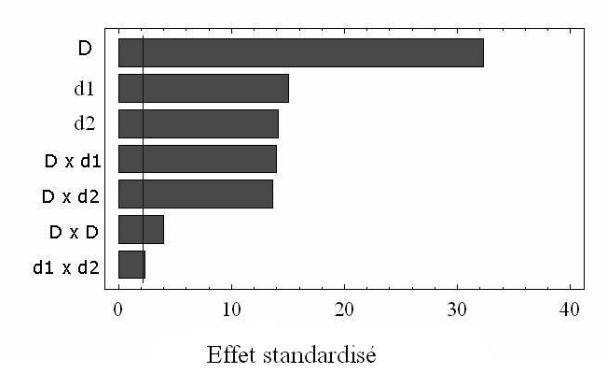

Figure IV-26 : Diagramme de pareto de l'inductance Ind1 en cuivre épais présentant un R^2 ajusté=99%.

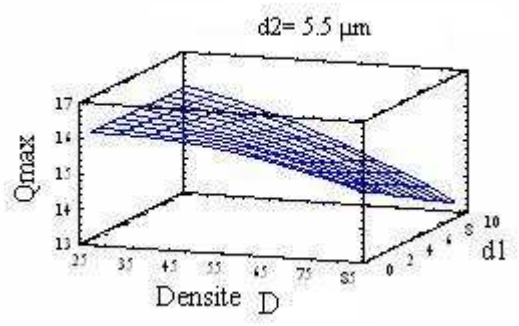

Figure IV-27 : Graphe de surface de réponse estimée pour l'inductance Ind1 en cuivre épais.

IV.3.3. Inductances avec inserts métalliques autour des spires

Dans cette section, l'impact de « dummies » insérés autour de l'inductance est évalué, l'objectif étant de pouvoir utiliser une couronne la plus dense possible mais aussi la plus fine possible autour de l'inductance, sans impacter les performances du dispositif RF.

1) Cuivre Standard

- **Les inductances visant une faible surface : Ind3 et Ind4**

Concernant l'inductance Ind3 et l'inductance Ind4, les courbes du facteur de qualité des structures de référence sans « dummies » et des structures de test avec « dummies » sont représentées en Figure IV-28 et Figure IV-29. Quelles que soient les règles de densités de métallisations utilisées, l'impact sur le pic du facteur de qualité est inférieur à 8%.

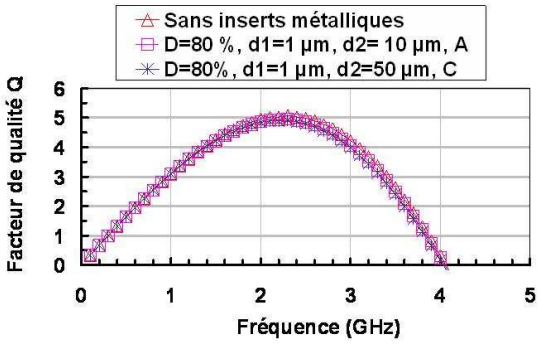

Figure IV-28 : Courbes du facteur de qualité Q mesuré pour l'inductance Ind3 en cuivre standard avec et sans « dummies » autour des spires.

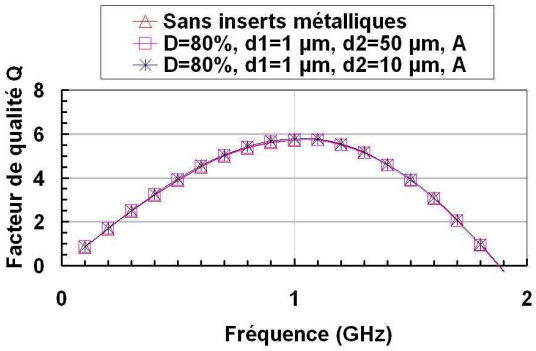

Figure IV-29 : Courbes du facteur de qualité Q mesuré pour l'inductance Ind4 en cuivre standard avec et sans « dummies » autour des spires.

2) Cuivre épais

- **Les inductances visant une faible surface : Ind3 et Ind4**

Concernant l'inductance Ind3 et l'inductance Ind4, les courbes du facteur de qualité des structures de référence sans « dummies » et des structures de test avec « dummies » sont représentées en Figure IV-30 et Figure IV-31. Que l'on soit dans les pires conditions en termes de surface occupée et de densité (D=80%, d1=1 µm, d2=50 µm, C) ou dans les meilleures conditions (D=80%, d1=1 µm, d2=10 µm, A), l'impact sur le pic du facteur de qualité est inférieur à 4%.

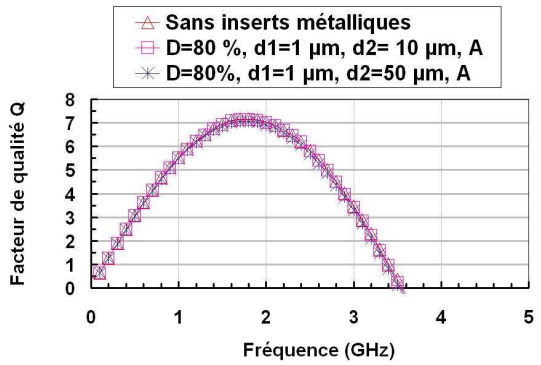

Figure IV-30 : Courbes du facteur de qualité Q mesuré pour l'inductance Ind3 en cuivre épais avec et sans « dummies » autour dess pires.

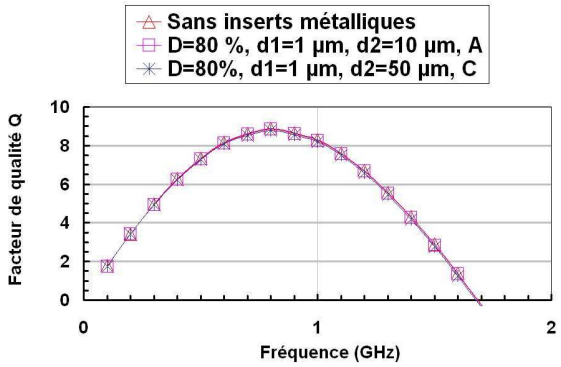

Figure IV-31 : Courbes du facteur de qualité Q mesuré pour l'inductance Ind4 en cuivre épais avec et sans « dummies » autour des spires.

3) Analyse des plans d'expérience cuivre standard et cuivre épais

L'analyse du plan d'expérience par le logiciel Statgraphics a révélé que, pour les deux types d'inductances, le premier facteur significatif parmi les facteurs d'entrée considérés, est la distance d1. La densité de métallisation D et sa combinaison avec la densité D se sont révélées avoir, en deuxième ordre, une influence négative sur le pic du facteur de qualité, comme l'illustre la Figure IV-32. En revanche, on a pu remarquer que le type d'empilement (aligné A ou chevauché C) n'est pas un paramètre critique dans la dégradation des performances électriques des inductances.

De plus, le graphe en surface de réponse, Figure IV-33, a révélé que pour une faible densité (D=25%), les distances d1 et d2 n'ont aucun effet négatif sur Q_{max}. Pour une densité élevée (D=80%) les meilleures performances sont observées pour la plus petite distance (d1=2 µm pour d2 fixée à 7 µm). Mais il faut noter que l'impact des « dummies » est du même ordre de grandeur que les structures de référence de lot à lot. Dès lors, cette dégradation électrique peut être considérée comme négligeable.

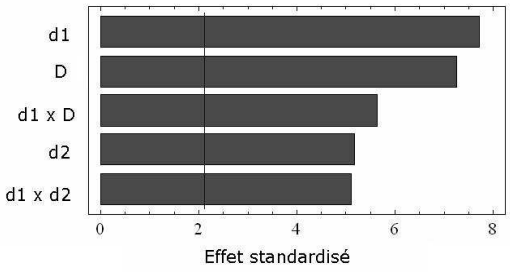

Figure IV-32 : Diagramme de pareto de l'inductance Ind3 en cuivre standard présentant un R^2 ajusté=90%.

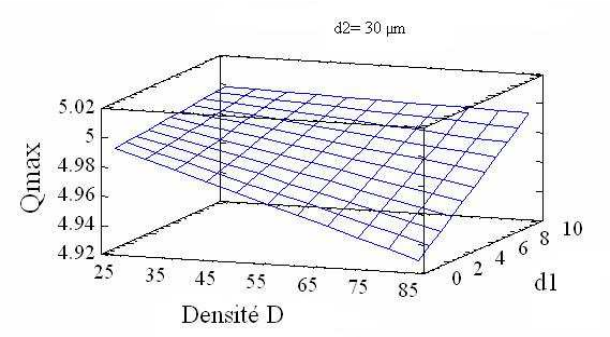

Figure IV-33 : Graphe de surface de réponse estimée pour l'inductance Ind3 en cuivre standard.

IV.4. Discussion des résultats

Les résultats de cette étude ont tout d'abord montré que l'impact des « dummies » est dépendant du type de structures étudiées. En effet, les inductances présentant un fort facteur de qualité sont plus impactées (Ind1 et Ind2) que les inductances multi-tours (Ind3 et Ind4).

Le deuxième élément à noter est que la dégradation du pic du facteur de qualité et de la fréquence de résonance est due à une augmentation de la capacité parasite du modèle de l'inductance par la création d'une capacité parasite relative à la présence des « dummies ». La valeur de l'inductance série L_s et de la résistance DC ne sont en effet jamais impactées. On comprend aussi pourquoi la dégradation est négligeable pour les structures multi-tours présentant intrinsèquement une valeur de capacité parasite élevée, sans les « dummies ».

Pour les « dummies » au centre de la spire, il s'agit d'une capacité d'isolation entre la borne d'entrée et de sortie de l'inductance. Pour les « dummies » sous la spire, il s'agit d'une capacité parasite entre le plan de masse à motifs (PGS) et l'inductance ainsi qu'une capacité parasite « dummies »-spires. A l'extérieur des spires, aucun effet de dégradation par la présence de « dummies » n'est à noter, ce qui parait cohérent. Il ne sera observé que s'il existe une masse extérieure (inductance excitée en mode coplanaire) permettant un retour du courant **[Naan07a], [Naan07b]**.

D'autre part, parmi les paramètres étudiés, l'analyse du plan d'expériences a montré que la densité D de « dummies » introduits est le premier facteur responsable de la dégradation de performances des inductances intégrées. Puis ce sont les distances par rapport aux pistes de l'inductance et cela pour toutes les zones étudiées. En revanche, et cela dans tous les cas, le type d'empilement (alignés A ou chevauchés C) des « dummies » n'est, dans aucun cas, un paramètre critique.

On a d'autre part pu constater que ces résultats sont généralisables quel que soit le type de BEOL (le BEOL dit standard (épaisseur de M6 : 900 nm) ou le BEOL dit cuivre épais (épaisseur de M6T : 3µm)).

Aujourd'hui, grâce à cette étude, il est possible d'insérer des « dummies » au centre, sous les spires et autour des spires. Pour cela un contrôle de densité et de la distance séparant la zone d'inserts métalliques de la spire est nécessaire. Les nouvelles règles de densité à respecter sont données en Figure IV-34.

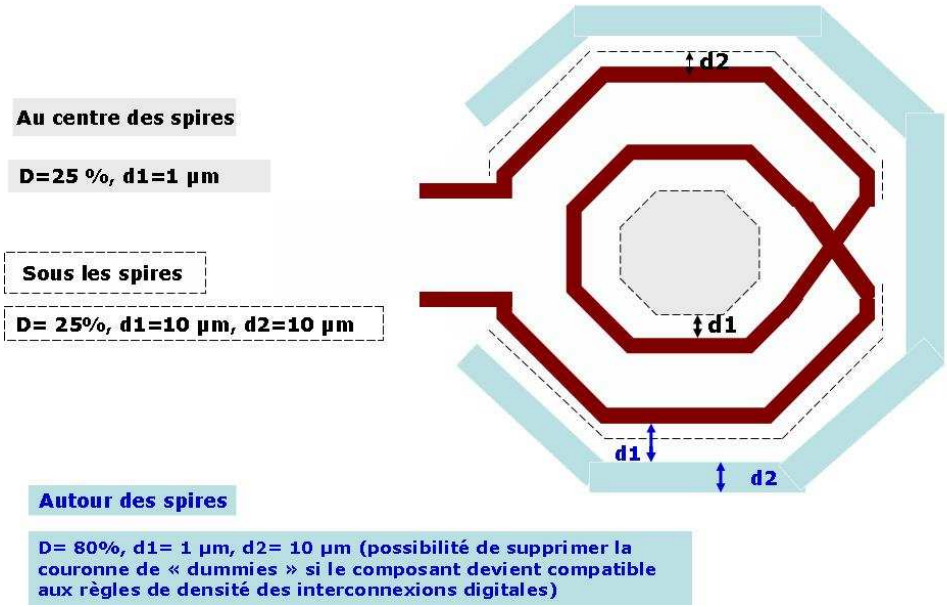

Figure IV-34 : Résumé des règles de densité de métallisation utilisables dans les différentes régions étudiées avec un BEOL standard et un BEOL option cuivre épais, sans impacter les performances de l'inductance, règles valables quel que soit le type d'inductance. Noter que les inserts métalliques seront de type alignés pour des simplifications de dessin, le type d'empilement étant non critique.

Ces nouvelles règles utilisées en technologie 32 nm permettent aujourd'hui de rendre le composant compatible avec les règles instaurées pour les interconnexions digitales. En effet, pour la majorité des géométries utilisées, comme le montrent les Tableau IV-1 et Tableau IV-2, la densité du composant (« dummies » inclus) est comprise entre 20% et 80% si on regarde les métaux fins M1-M5, et le métal supérieur M6. Même si pour certaines inductances (dont les cases sont grisées) la densité de métallisation des métaux fins reste encore faible, et qu'une optimisation doit être envisagée, ces résultats constituent quoi qu'il en soit une nette amélioration par rapport aux règles de densité nulle initialement instaurées. Pour celles-ci, l'utilisation d'une couronne de « dummies » est nécessaire.

	Nombre de tours	**1**	**2**	**3**	**4**	**5**	**6**	**7**	**8**	**9**
w=5 µm	**R_{int}= 26.5 µm**	31%	28%	25%	23%	22%	20%	19%	18%	18%
	R_{int}= 81.5 µm	36%	34%	32%	30%	29%	28%	27%	26%	24%
w=8.5 µm	**R_{int}= 26.5 µm**	27%	23%	20%	18%	16%	15%	14%	13%	12%
	R_{int}= 81.5 µm	33%	31%	28%	26%	25%	23%	22%	20%	19%
w=12 µm	**R_{int}= 26.5 µm**	23%	19%	17%	14%	13%	12%	11%	11%	10%
	R_{int}= 81.5 µm	31%	28%	25%	23%	21%	19%	18%	16%	15%

Tableau IV-1 : Densité totale de métallisation au niveau de l'inductance pour les métaux fins en technologie CMOS 32 nm lorsque les « dummies » à 25% de densité sont insérés au centre.

	Nombre de tours	**1**	**2**	**3**	**4**	**5**	**6**	**7**	**8**	**9**
w=5 µm	**R_{int}= 26.5 µm**	33%	40%	45%	49%	52%	54%	55%	57%	58%
	R_{int}= 81.5 µm	28%	31%	33%	36%	38%	40%	42%	44%	45%
w=8.5 µm	**R_{int}= 26.5 µm**	37%	47%	54%	59%	63%	65%	67%	68%	70%
	R_{int}= 81.5 µm	30%	35%	39%	43%	47%	49%	52%	54%	56%
w=12 µm	**R_{int}= 26.5 µm**	41%	53%	61%	66%	69%	72%	74%	75%	76%
	R_{int}= 81.5 µm	31%	38%	44%	49%	53%	56%	59%	61%	63%

Tableau IV-2 : Densité totale de métallisation au niveau de l'inductance pour le métal supérieur M6 technologie CMOS 32 nm lorsque les « dummies » à 25% de densité sont insérés au centre.

V. CONCLUSION

L'introduction du Cuivre Damascène dans le procédé de fabrication des interconnexions n'a pas été sans conséquence sur la réalisation d'inductances intégrées en technologie silicium. En effet, l'étape de PMC du cuivre s'est révélée sensible à la topographie locale de surface conduisant à l'apparition de règles de densité de métaux dans les niveaux d'interconnexions. Mais à cause d'une méconnaissance de l'impact des inserts métalliques sur les performances RF des inductances, des règles spécifiques de densité de métallisation ont été mises en place pour protéger ce composant RF de son environnement. Ces dernières, consommatrices de surface de silicium, ont rendu aujourd'hui indispensable l'évaluation et le développement de nouvelles règles pour les technologies avancées.

Pour la première fois, une étude la plus exhaustive possible en terme de structures et utilisant des plans d'expériences a été réalisée. Une stratégie de gestion des « dummies » à l'échelle de l'inductance, généralisable à tous types d'inductances, et à tous types de BEOL (un niveau de cuivre épais ou un niveau de cuivre standard), est enfin proposée. Aujourd'hui, ces nouvelles règles permettent de rendre le composant compatible avec les règles de densité de métaux des circuits digitaux. Cette conclusion constitue un apport non négligeable puisque elle offre la possibilité de réduire, voire de supprimer la couronne de « dummies » autour de l'inductance et cela sans dégrader les performances RF de l'inductance.

Cette gestion innovante des « dummies », validée au sein du groupe de caractérisation RF de STMicroelectronics, est aujourd'hui déployée dans les technologies CMOS avancées (typiquement CMOS 32 nm).

Un élément manquant du puzzle reste cependant l'évaluation de l'impact d'inserts métalliques entre les spires de l'inductance. Pour cela de nouvelles structures ont été imaginées. Ces résultats permettront de conclure sur la gestion effective des « dummies » à l'échelle de l'inductance.

Aujourd'hui, les contraintes liées aux inductances intégrées en termes de « dummies » sont connues. Mais elles sont à relier à celles liées au procédé de fabrication (PMC, electroplating…) des niveaux métalliques. On sait aujourd'hui en technologie CMOS 65 nm que pour obtenir 25% de densité de métallisation, il est préférable d'éviter d'utiliser les règles minimales de dessin et de travailler à partir de règles plus relâchées. Ceci sera d'autant plus vrai que les technologies seront avancées (CMOS 45 nm et CMOS 32 nm, en particulier).

VI. REFERENCES

A

[Arnal02] Vincent Arnal, “Intégration et caractérisation des performances de l’isolation par cavités des interconnexions en cuivre pour les technologies CMOS sub-90 nm”, Thèse Université de Savoie, 2002.

B

[Bar89] J. T Bar, J. M Pervere, “A Generalized Vector Network Analyser Calibration Technique”, 34th Automatic Radio Frequency Techniques Group Conference Digest, pp. 51-60, 1989.

[Batter06] S. Batterywala, R. Ananthakrishna, Y. Luo, A. Gyure, “A Statistical Method for Fast and Accurate Capacitance Extraction in the Presence of Floating Dummy Fills”, Proceeding of International Conference on VLSI Design, 2006.

[Berg01] Thierry Berger, "Analyse du comportement d’interconnexions damascènes en cuivre testées en électromigration", Thèse INSA Lyon, N° d’ordre 01 ISAL 0009, 2001.

[Bertaud07] Thomas Bertaud, « Caractérisation du procédé de polissage mécano-chimique pour les interconnexions en cuivre de forte épaisseur », Rapport de stage STMicroelectronics et l’Ecole supérieure de Physique de Grenoble, 2007.

[Bohr95] M.T. Bohr, “Interconnect Scaling the real limiter to High Performance ULSI”, International Electron Devices Meeting Digest, pp. 241-244, 1995.

[Boret02] S. Boret, brevet US 2002/10170743 A1, 2002.

C

[Chang02] J. H. Chang, Y-S. Youn, H-K. Yu, C-K. Kim, “Effects of Dummy Patterns and Substrate on Spiral Inductors for Sub-Micron RF ICs”, IEEE Trans. on Microwave Theory and Techniques, pp. 529-532, 2002.

[Cherault06] Nathalie Cherault, “Caractérisation et modélisation thermomécanique des couches d’interconnexions dans les circuits sub-microélectroniques”, Thèse Ecole des Mines de Paris, 2006.

[Chang04] C. A. Chang, S-P. Tseng, J. Y. Chuang, S-S. Jiang, J. A. Yeh, "Characterization of Spiral Inductors with Patterned Floating Structures", IEEE Trans. on Microwave Theory and Techniques, pp. 1375-1381, 2004.

D

[Don84] B. Donecker, "Determining the Measurement Accuracy of the HP8510 Microwave Network Analyser", 23rd Automatic Radio Frequency Techniques Group Conference Digest, pp.51-84, 1984.

[Deut97] A. Deutsch et al, "When are Transmission Line Effects Important for on chip Interconnections", IEEE Trans. On Microwave Theory and Techniques, vol. 45, pp. 1836-1844, 1997.

[Detch03] C. Detcheverry, W. V. Noort, R. Hoofman, L. Tiejmeijer, V. H. Nguyen, G. Verheyden, P. Bancken, R. Daamen, R. Havens, "The Effect of Copper Design Rules on Inductor Performances", Proceeding of European Solid State Device Research Conference, pp. 107-110, 2003.

E

[Edel97] D. Edelstein, et al., "Full Copper Wiring in a sub-0.25 µm CMOS ULSI Technology", International Electron Devices Meeting, 773-776, 1997.

[Edel04] D. Edelstein, et al., "Reliability, yield, and performance of a 90 nm SOI/Cu/SiCOH technology", Proceeding of the IEEE Interconnect Technology Conference, pp. 214-216, 2004.

G

[Goupy06] Jacques Goupy, Le Creighton, "Introduction aux plans d'expérience", Edition Dunod, 3ème édition, 2006.

[Groves99] R. Groves, J. Malinowski, R. Volant, and D. Jadus, "High Q Inductors in a SiGe BiMOS Process utilizing a Thick Metal Process add-on Module", Proceeding BiCMOS Circuit and Technology Meeting, pp. 149–152, 1999.

H

[Hotch02] G. Hotchkiss, J. Aronoff, J. Broz, C. Hartfield, and R. James, “Probing and Wire Bonding of aluminum Capped Copper Pads”, International Reliability Physics Symposium, pp. 140–143, 2002.

I

[Ino00] M. Inohara, H. Sakurai, T. Yamaguchi, H. Tomita, T. Iijima, H. Oyamatsu, T. Nakayama, H. Yoshimura, Y. Toyoshima, "Copper Contamination Induced Degradation of MOSFET Characteristics and Reliability", Proceedings of the VLSI Symposium on Technology, p 26-27, 2000.

K

[Khang99] A. B. Kahng, G. Robins, A. Singh, A. Zelikovsky, “Filling Algorithms and Analyses for Layout Density Control”, IEEE Trans. On Computer-Aided Design of Integrated Circuits and Systems, vol. 18, no. 4, 1999.

[Kuhn02] W. B. Kuhn, A. W. Orsborn, M. C. Peterson, S. R. Kythakyapuzha, A. I. Hussein, J. Zhang, J. Li, E. A. Shumaker, N. C. Nair, “Spiral Inductor Performance in Deep-Submicron Bulk-CMOS with Copper Interconnects”, IEEE Trans. on Microwave Theory and Techniques, pp. 301-304, 2002.

[Koo92] M. C. A. M Koolen, “On Wafer High Frequency characterization”, Proc. 22nd European Solid State Device Research Conference, pp. 679-686, 1992.

[Kold99] T. E, Kolding, “On-wafer Calibration Techniques for Giga-hertz CMOS Measurements”, Proceeding of the IEEE International Conference on Microelectronic Test Structures, pp. 105-110, 1999.

[Kold00] T. E Kolding, and al, “Ground-shielded Measuring Technique for Accurate on-Wafer Characterization of RF CMOS Devices”, Proceeding of the IEEE International Conference on Microelectronic Test Structures, pp. 246-251, 2000.

M

[Mot00] Pascale Motte, "Optimisation du procédé de dépôt CVD du Cuivre et intégration de la métallisation Cuivre en technologie d’interconnexion 0.18µm", thèse INPG, 2000.

N

[Naan07a] L. Naan, K; Mouthaan, Y-Z. Xiong, J. Shi, S. C. rustagi, B-L. Ooi, "Experimental Characterization of the Effect of Metal Dummy Fills on Spiral Inductors", IEEE RFIC symposium, pp. 307-310, 2007.

[Naan07b] L. Naan, K; Mouthaan, Y-Z. Xiong, J. Shi, S. C. Rustagi, B-L. Ooi, "Impact of Metal Dummy Fills on the Performance of CMOS Inductors", IEEE RFIC International Conference on Electron and Solid State Devices, pp. 251-254, 2007.

[Nguyen90] N. M. Nguyen, R. G. Meyer, "Si IC-Compatible Inductors and LC Passive Filters", IEEE Journal of Solid-State Circuits, 25, pp. 1028-1031, 1990.

R

[Roussel01] Céline Roussel, "Intégration Dummies", rapport interne STMicroelectronics, 2001.

S

[Sado00] Gilles Sado, Marie Christine sado, « Les plans d'expérience: de l'expérimentation à l'assurance qualité", Edition AFNOR, 2000.

[Stam98] A.K. Stamper, T.L, McDevitt, S.L. Luce, "Sub-0.25-micron Interconnection Scaling: Damascene Copper versus Subtractive Aluminum", IEEE Adv. Semiconductor Manufacturing Conf., Proc. Pp. 337-346, 1998.

[Steig95] J. M. Steigerwald at al., "Mechanisms of Copper Removal during Chemical Mechanical Polishing". Vac. Sci. Technology, vol. B13, pp. 2215-2218, 1995.

[Sun06] X. Sun, G. Carchon, Y. Kita, T. Tani, W. De Raedt, "Experimùental Analysis of Above IC Inductor Performance with Different Patterned Ground Shield Configurations and Dummy Metals", European Microwave Conference, pp. 40-43, 2006.

T

[Tiem06] L. F. Tiemejer, R. J. Havens, Y. Bouttement, H. J. Pranger, "Physics-Based Wideband Predictive Compact Model For Inductors With High Amounts of Dummy Metal Fill",

IEEE Trans. on Microwave Theory and Techniques, vol. 54, no. 8, pp. 3378-3386, 2006.

[Tran00] T. A. Tran, L. Yong, B. Williams, S. Chen, and A. Chen, "Fine pitch probing and wirebonding and reliability of aluminum capped copper bond pads," Electronic Components Technology Conférence., pp. 1674–1680, 2000.

V

[Venka97] S. Venkatesan, et al., "A High Performance 1.8 V, 0.20 µm CMOS Technology with Copper Metallization", International Electron Devices Meeting, pp. 769-772, 1997.

Y

[Yue98] C. P. Yue, S. S. Wong, "On-Chip Spiral Inductors with Patterned Ground Shields for Si-based RF ICs", IEEE Journal of Solid-State Circuits, 33, pp. 743–752, 1998.

Z

[Zsche08] E. Zschech, et al., "Process Control and Physical Failure Analysis for Sub-100NM CU/Low-K Structures", Proceeding of IEEE Interconnect Technology Conference, pp. 67-69, 2008.

CHAPITRE 3 :

INDUCTANCES A FORT FACTEUR DE QUALITE ET FORT COURANT INTEGREES EN TECHNOLOGIE CMOS AVANCEE SUR SILICIUM MASSIF UTILISANT UN MODULE DOUBLE CUIVRE EPAIS

SOMMAIRE:

I. Introduction 130

II. Inductances Intégrées en Technologie CMOS Avancée sur Silicium Massif 132

II.1. Des performances limitées à partir d'un BEOL standard 132

II.1.1. Augmentation de la capacité parasite avec le substrat 132

II.1.2. Augmentation de la résistance DC 133

II.1.3. Réduction de la capacité en courant I_{max} 134

II.2. Opportunité d'un BEOL avec un module simple cuivre épais 137

II.2.1. Réduction de la résistance DC de l'inductance 137

II.2.2. Problématique de la capacité en courant I_{max} de l'inductance 138

III. Inductances Intégrées en Technologie CMOS avancée sur Silicium Massif avec un Module Double Cuivre Epais 140

III.1. Technologie d'intégration utilisée 140

III.1.1. Nouveau BEOL (M6T+M7T+AP)..... 140

III.1.2. Ses performances 141

III.2. Optimisation des performances des inductances 143

III.2.1. Augmentation de la capacité en courant I_{max}..... 143

III.2.2. Optimisation de la capacité parasite : nouvelle architecture d'« underpass»... 144

III.2.3. Réduction de la résistance DC 147

III.3. Définition et description des structures de test 148

III.3.1. Description des inductances de référence 149

III.3.2. Description architecturale des inductances en double cuivre épais 151

IV. Caractérisation des Structures de Test et Extraction des Paramètres 152

IV.1. Mesures des performances RF 152

IV.2. Analyse des résultats sur l'introduction du module double cuivre épais..... 153

IV.2.1. Inductances mono-tour à fort facteur de qualité 153

IV.2.2. Inductances multi-tours visant une faible surface..... 153

IV.3. Bilan et discussion des résultats 156

IV.3.1. Inductances mono-tour à fort facteur de qualité 156

IV.3.2. Inductances multi-tours visant une faible surface..... 157

IV.3.3. Comparaison avec la littérature 158

V. Conclusion 160

VI. Références 162

I. INTRODUCTION

Aujourd'hui, plusieurs technologies à semi-conducteurs sont en compétition pour la réalisation d'émetteurs-récepteurs RF dans les systèmes de communication sans fil. Parmi les candidats on compte : les technologies silicium utilisant les transistors MOSFETs, HBTs, LDMOSFET, mais aussi les technologies à semi-conducteurs III-V utilisant les transistors MESFET, HFET, p-HEMT **[Feng04]**. Ce sont les spécifications en termes de performances (puissance dissipée, fréquence d'utilisation, niveau de bruit, distorsion…) à atteindre qui vont déterminer les choix technologiques des différents étages des émetteurs-récepteurs RF.

Ainsi, chaque technologie va-t-elle offrir un compromis prix/performances selon le domaine de fréquences et d'applications. Mais elles ne permettent pas d'offrir une solution universelle pour tous les blocs d'émetteur-récepteur RF.

C'est le cas en particulier de la partie émission. En effet, si on s'intéresse aux applications de puissance de type amplificateur de puissance (PA) **[Giry01**], on s'aperçoit qu'elles restent aujourd'hui l'apanage des technologies GaAs, **[Zamp08],** et sont un des obstacles majeurs à une intégration « tout CMOS » de l'émetteur-récepteur RF, comme l'illustre la Figure I-1.

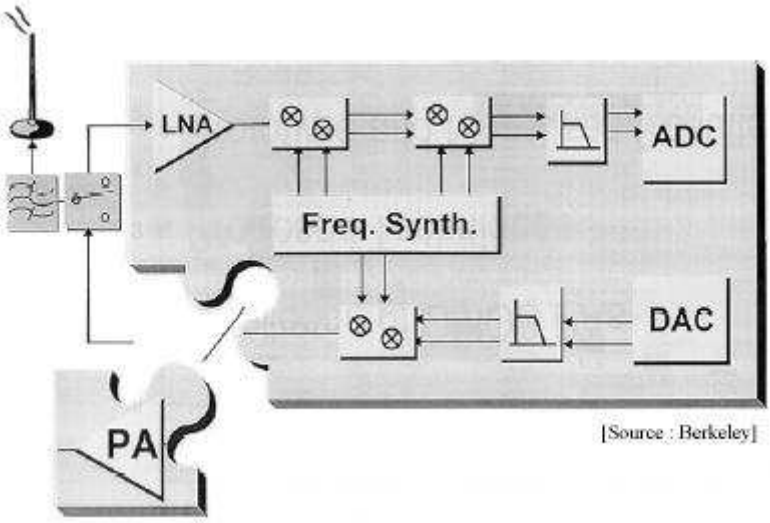

Figure I-1 : L'amplificateur de puissance : une pièce manquante du puzzle pour l'intégration complète du l'émetteur-récepteur RF en technologie CMOS [Giry01].

La volonté actuelle étant de réduire les coûts de la solution globale d'émetteur-récepteur RF (simplification du boîtier, du test, réduction du nombre de technologies utilisées et de la surface occupée…), d'importants travaux de recherche ont été menés ces dernières années, démontrant la faisabilité et l'intérêt d'intégrer l'amplificateur de puissance en technologie CMOS.

En 2003, un amplificateur de puissance utilisant un transformateur actif a été réalisé en technologie CMOS 120 nm **[Aoki03]**. Plus récemment, d'autres travaux **[Haldi07]** ont démontré la faisabilité d'intégrer un amplificateur de puissance en technologie CMOS 90 nm en combinant plusieurs étages de puissance avec un transformateur. Enfin, en 2008, un amplificateur de puissance fabriqué en technologie avancée CMOS 65 nm et délivrant 1 W en puissance de sortie pour une bande de fréquence allant de 0.8 à 2 GHz a été reporté **[Apost08]**. La question n'est donc pas de savoir s'il est possible d'intégrer l'amplificateur de puissance en technologie silicium, mais dans quels cas cela reste intéressant. Certaines « start-ups », telle que Axiome, se sont d'ailleurs lancées dans la commercialisation d'un PA en technologie CMOS silicium massif. **[Axiome]**

Aujourd'hui, le défi majeur lié à l'intégration du PA en technologie CMOS, à l'échelle industrielle, demeure la disponibilité d'inductances intégrées présentant à la fois un fort facteur de qualité Q (jusqu'à 30 dans la bande de fréquence de 2-5 GHz) **[Aoki03]**, **[Gupta01]** et pouvant conduire des courants de l'ordre de 100 mA à une température de 125°C **[Haldi07]**, **[Sky07]**. En effet, relever un tel défi dans une technologie CMOS avancée est aujourd'hui une tâche délicate, comme nous allons le voir plus en détails dans ce qui suit.

L'objectif de ce chapitre est tout d'abord de présenter les limitations en performances RF et en courant des inductances intégrées en technologie CMOS silicium massif, dues à l'évolution contraignante du BEOL au fil des technologies. Dès lors, nous verrons comment, dans ce contexte, l'utilisation de deux niveaux épais de métallisation en cuivre sur une technologie faible coût digitale CMOS 65 nm permet de répondre pour la première fois à cette problématique, et de disposer d'inductances intégrées à fort courant et/ou à fort facteur de qualité.

II. INDUCTANCES INTEGREES EN TECHNOLOGIE CMOS AVANCEE SUR SILICIUM MASSIF

II.1. Des performances limitées à partir d'un BEOL standard

Si on se place dans un BEOL en cuivre standard, l'obtention d'inductances à fort facteur de qualité et fort courant, intégrées en technologie standard CMOS sur silicium massif se heurte à deux principaux problèmes. D'une part, on compte les pertes non négligeables du substrat silicium faiblement résistif (ρ_{Si}=10 Ω.cm) en comparaison avec le substrat GaAs (ρ_{GaAs} ~ quelques MΩ.cm), et d'autre part, l'évolution du BEOL qui tend à diminuer en épaisseur (niveaux métalliques et diélectriques) au fil des technologies, comme l'illustre la Figure II-1. Cette évolution négative du BEOL n'est pas sans conséquence sur les performances RF et la capacité en courant I_{max} des inductances intégrées, comme nous allons le détailler à travers les trois points suivants.

II.1.1. Augmentation de la capacité parasite avec le substrat

Cette évolution du BEOL, si on compare la technologie 130 nm et la technologie 65 nm, va en effet être synonyme d'une réduction de 40% de la distance h_{ox} entre le plan de masse à motifs (PGS) et l'inductance, Figure II-1. On constate aussi que la réduction de 20% de la permittivité ε_{ox} par l'utilisation de matériaux diélectriques à faible permittivité ne suffit pas à la compenser.

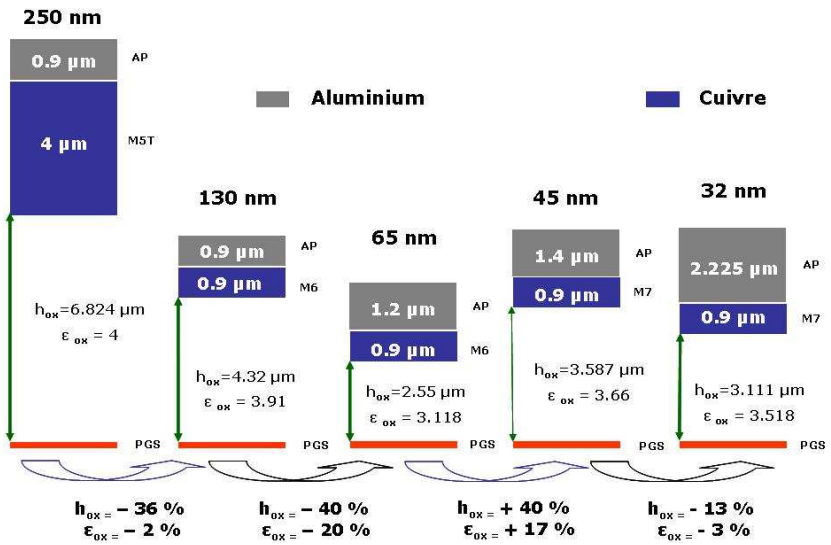

Figure II-1 : Evolution du BEOL des inductances intégrées, de la technologie CMOS « bulk » 250 nm à 32 nm.

Ainsi, la première conséquence pour les inductances intégrées va être une augmentation importante de la capacité parasite avec le PGS. Par exemple, si on compare une inductance réalisée en technologie 130 nm et la même inductance réalisée en technologie avancée CMOS 65 nm, on voit que la fréquence de coupure va être impactée de 8% et que le facteur de qualité s'en trouve diminué de 6.5%, Figure II-2.

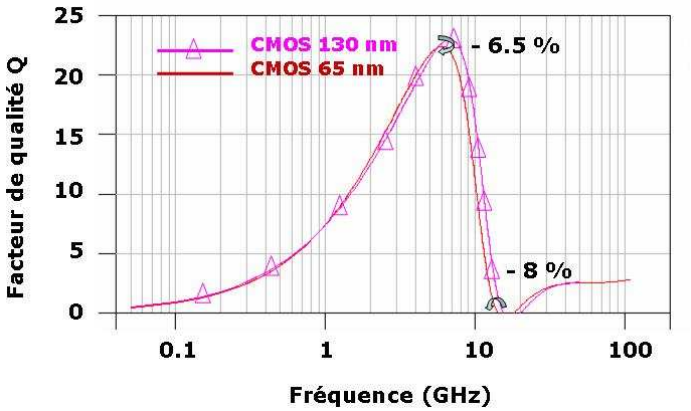

Figure II-2 : Comparaison du facteur de qualité Q d'une inductance de valeur L=0.8 nH (1 tour, R_{int}=134 µm ,w=30 µm) en technologie CMOS 130 nm et une inductance en technologie CMOS 65 nm sur silicium massif.

C'est pour cette même raison que les inductances ne seront plus intégrées au niveau métal M6 en technologie 45 nm et 32 nm. Mais elles profiteront de l'ajout d'un 7ème niveau de métallisation M7 afin de s'éloigner le plus possible du PGS, Figure II-1.

II.1.2. Augmentation de la résistance DC

Au fil des nœuds technologiques, le nombre de transistors intégrés augmentant par unité de surface, les interconnexions en cuivre deviennent de plus en plus fines. Une conséquence non négligeable qui en découle est l'augmentation de la résistance DC des métallisations pour les technologies avancées, malgré le passage d'une technologie aluminium à une technologie cuivre (de la technologie BiCMOS 250 nm à la technologie CMOS 130 nm). Pour illustrer ce point, la Figure II-3 montre la diminution de l'épaisseur du métal M6 au fil des technologies BiCMOS et CMOS et l'augmentation de sa résistance par carré $R_{\square}$.

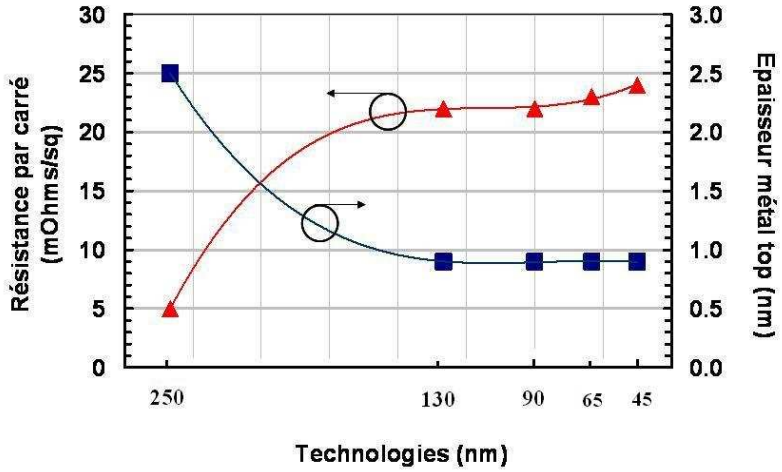

Figure II-3 : Evolution de l'épaisseur du métal top et de sa résistance par carré $R_{\square}$ au fil des technologies CMOS.

Finalement, le passage d'un BEOL en technologie BiCMOS à un BEOL en technologie CMOS avancée va pénaliser l'inductance d'un point de vue facteur de qualité, d'où la nécessité d'introduire un niveau optionnel en cuivre épais, comme nous le verrons par la suite.

II.1.3. Réduction de la capacité en courant I_{max}

Enfin, les métaux devenant de plus en plus fins, une autre conséquence très importante pour les applications de puissance visées dans cette étude (quelques 100 mA) est la réduction des capacités en courant de l'inductance. Ces dernières sont calculées à partir des règles d'électromigration des interconnexions du BEOL. Nous allons voir cela plus en détails en fonction du type d'inductances considéré : tout d'abord pour les inductances mono-tour puis pour les inductances multi-tours.

1) Les inductances mono-tour à fort facteur de qualité

Pour une d'une inductance mono-tour formée par un empilement continu entre le métal M5, M6 ou M7 (selon la technologie d'intégration utilisée, Figure II-1) et la couche d'aluminium AP, on s'aperçoit que la capacité en courant va progressivement arriver à une limite pour les technologies les plus avancées (de CMOS 90 nm à CMOS 45 nm), Figure II-4.

Ainsi, dans le meilleur des cas, la capacité maximale en courant pour une spire de largeur 30 µm, la capacité en courant ne dépassera pas les 200 mA pour les technologies CMOS les plus avancées.

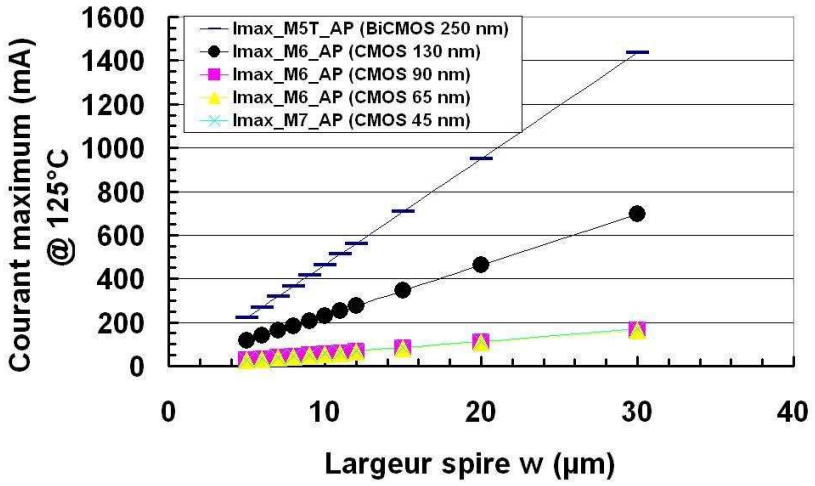

Figure II-4 : Comparaison des capacités en courant I_{max} d'inductances mono-tour intégrées dans les différentes technologies CMOS et BiCMOS.

2) Les inductances multi-tours visant une faible surface

Dans le cas des inductances multi-tours en technologie CMOS standard, la problématique est différente de celle posée par les inductances mono-tour. En effet, elle est liée à l'architecture et au dessin de celle-ci et donc à la présence d'un « underpass » et d'un upperpass ». Ainsi, la capacité en courant d'une inductance utilisant l'empilement M5, M6, ou M7 (selon la technologie utilisée) avec la couche d'aluminium AP, va être limitée au niveau de l' « upperpass». C'est en effet la couche d'aluminium AP, plus résistive que le dernier niveau métallique en cuivre qui va conditionner la capacité de l'inductance à conduire le courant, Figure II-5.

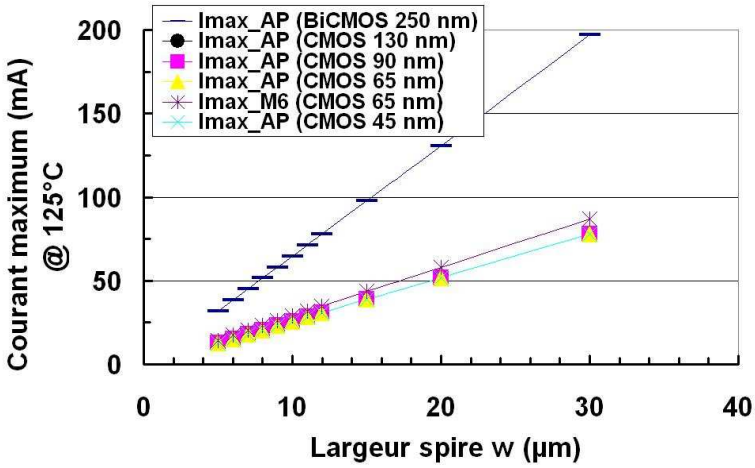

Figure II-5 : Comparaison des capacités en courant I_{max} d'inductances multi-tours intégrées dans les différentes technologies CMOS et BiCMOS.

On voit ainsi que pour une spire de largeur 30 µm et pour les technologies CMOS avancées, la capacité maximale en courant reste inférieure à 100 mA. De plus, il faut noter que, dans le spectre 12 µm (règles de dessin du métal M6) <w< 30 µm, et pour des questions de dessin de l' « underpass», toutes les géométries d'inductances ne pourront être dessinées. Par conséquent, la capacité maximale en courant des inductances proposées sera généralement inférieure à 50 mA.

On pourrait penser améliorer cette capacité en courant en empilant des niveaux métalliques inférieurs avec la couche d'aluminium, mais les niveaux métalliques du BEOL s'amincissent au fil des technologies. On constate alors que l'utilisation des métaux inférieurs pour la réalisation d'inductances multi-tours dans les technologies avancées, Figure II-6, serait inutile. Elle ne permettrait pas d'atteindre des valeurs de courant supérieures à 30 mA en technologie CMOS 65 nm, et 20 mA en technologie CMOS 45 nm, Figure II-4, si on respecte la règle de dessin de largeur maximale (12 µm) pour le niveau de métal top en cuivre. Par conséquent, l'utilisation de ces métaux ne permettrait pas d'atteindre les capacités en courant visées dans cette étude.

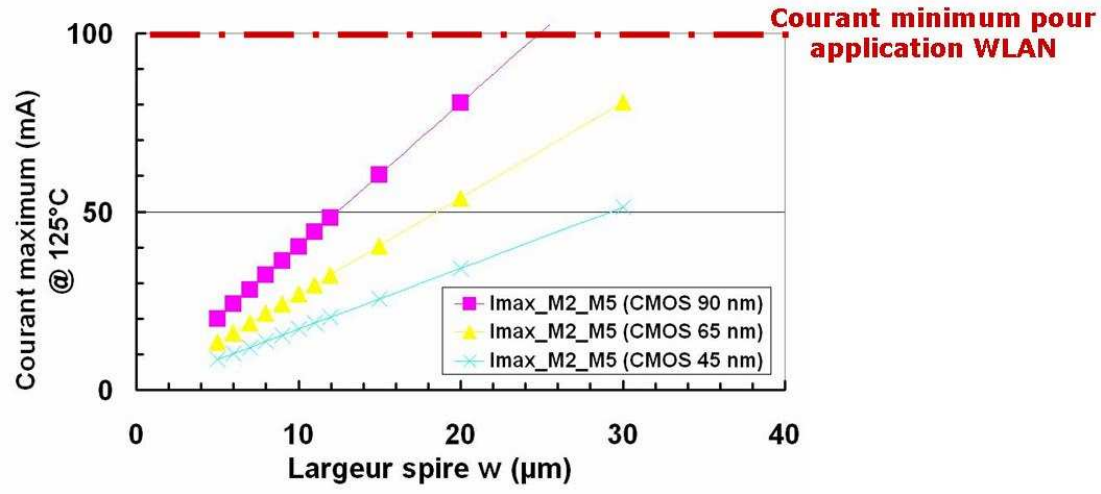

Figure II-6 : Comparaison des capacités en courant I_{max} pour les niveaux inférieurs (inférieurs au niveau de métallisation M6 et AP).

On comprend bien que l'utilisation d'un BEOL standard d'une technologie CMOS avancée (65 nm et 45 nm) ne permet pas aujourd'hui de répondre à la problématique en courant imposée par les applications de puissance. Si on regarde les applications WLAN par exemple, elles requièrent un courant minium de 100 mA **[Haldi07], [Sky07]**. C'est pourquoi, si on souhaite pouvoir intégrer le PA dans une technologie CMOS avancée, des solutions technologiques doivent être proposées.

II.2. Opportunité d'un BEOL avec un module simple cuivre épais

Les limitations précédemment citées et posées par l'intégration d'inductances en technologie CMOS silicium massif ont été adressées dans un premier temps par une meilleure exploitation des niveaux d'interconnexions existants. L'idée a été d'augmenter l'épaisseur de la spire de l'inductance , par empilement de plusieurs niveaux métalliques entre eux **[Burgh95] [Burgh96]** et de ne pas utiliser les niveaux les plus bas afin de maximiser l'espace entre le substrat et la spire. Cela permet de réduire la capacité parasite existante et les pertes du substrat **[Burgh95]**. L'introduction du plan de masse à motifs (PGS) en 1998 a lui aussi permis de répondre à cette dernière problématique **[Yue98].**

Ces techniques ont été effectivement utilisées à STMicroelectronics pour la fabrication des inductances intégrées en technologies CMOS et BiCMOS. Mais les besoins en performances RF étant toujours plus grands en terme de facteur de qualité, et surtout en terme de courant au vue de l'évolution du BEOL des technologies avancées, l'idée d'épaissir le niveau le plus éloigné a été évaluée, puis utilisée à l'échelle industrielle.

II.2.1. Réduction de la résistance DC de l'inductance

C'est ainsi qu'à partir des technologies 130 nm, un niveau épais de 3 µm au lieu de 0.9 µm au dernier niveau de métallisation a été introduit par le développement d'un procédé dit simple damascène. Ainsi pour une technologie CMOS 65 nm à 6 niveaux de métallisations, le métal M6 standard (0.9 µm) est remplacé par un niveau épais M6T (3 µm) empilé avec la couche d'aluminium AP pour la fabrication des inductances, Figure II-7.

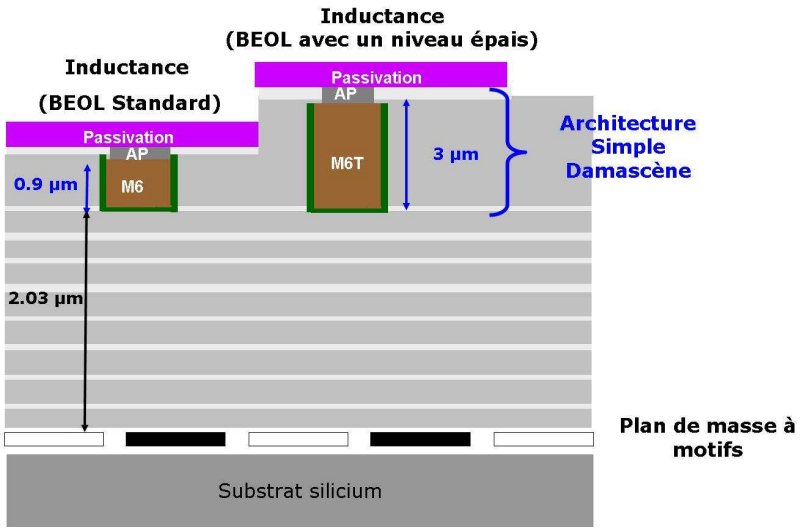

Figure II-7 : Comparaison entre l'architecture d'une inductance intégrée en technologie CMOS 65 nm à partir d'un BEO standard et celle intégrée à partir d'un BEOL utilisant un niveau épais M6T.

Grâce à ce module de cuivre épais sur le dernier niveau de métallisation, le facteur de qualité d'inductance intégrée en technologie CMOS 65 nm a été amélioré de 11% par réduction de la résistance R_s de la spire.

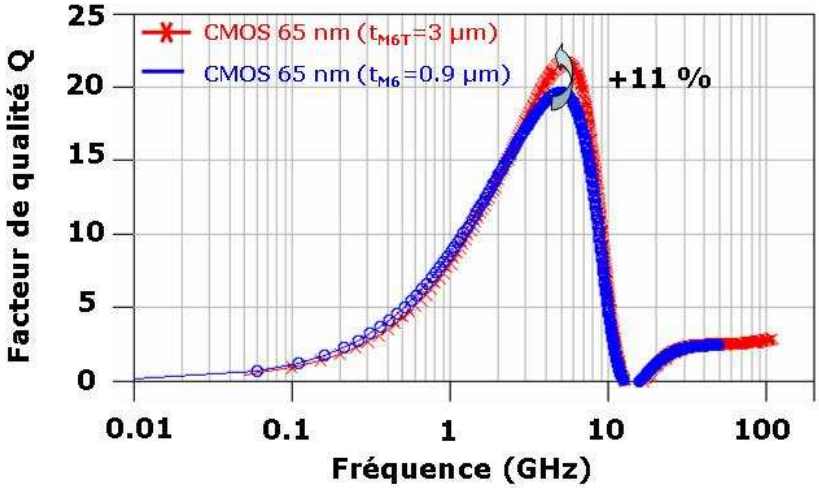

Figure II-8 : Comparaison du facteur de qualité Q d'une inductance (1 tour, R_{int}= 100 µm, w=10 µm, L_s= 0.65 nH) réalisée en technologie CMOS 65 nm utilisant un niveau M6 standard et un niveau M6T épais.

II.2.2. Problématique de la capacité en courant I_{max} de l'inductance

En ce qui concerne la capacité en courant, les bénéfices de ce module cuivre épais sont à relier au type d'inductances utilisées. En effet, si on emploie la technologie CMOS 65 nm utilisant un seul niveau de cuivre épais en M6T, Figure II-7, on s'aperçoit que l'apport du cuivre épais est dépendant de la présence ou non d'un « underpass ».

1) Les inductances mono-tour à fort facteur de qualité

Pour une inductance mono-tour réalisée par l'empilement continu M6T+AP, on constate que la capacité en courant en Figure II-9 peut atteindre jusqu'à 350 mA à 125°C dans le meilleur des cas (largeur de spire w égale à 30 µm). Ce qui est presque le double de la capacité en courant de la même inductance réalisée en technologie CMOS 65 nm avec un cuivre M6 standard (180 mA), Figure II-4.

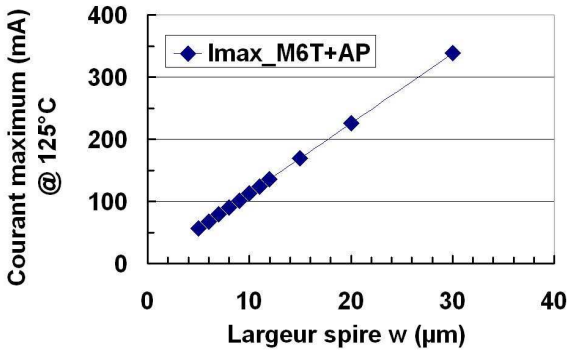

Figure II-9 : Capacité maximale en courant I_{max} d'une inductance mono-tour intégrée en CMOS 65 nm à partir d'un module simple cuivre épais (M6T+A)P.

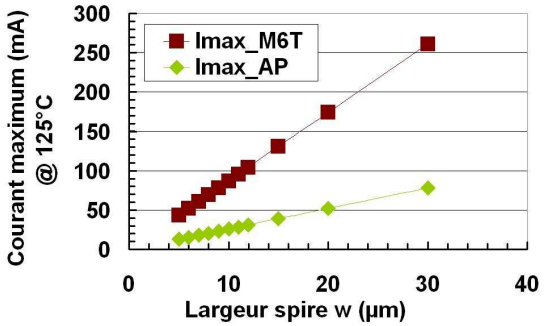

Figure II-10 : Capacité maximale en courant I_{max} d'une inductance multi-tours intégrée en CMOS 65 nm à partir d'un module simple cuivre épais M6T+AP.

2) Les inductances multi-tours visant une faible surface

Si maintenant on s'intéresse à une inductance intégrée multi-tours réalisée à partir d'un module double cuivre épais M6T+M7T+AP, son « upperpass » sera réalisé en AP et son « underpass » en M6T, Figure II-7. On voit alors que la capacité en courant être toujours limitée par la couche AP, Figure II-10. Cela était déjà le cas à partir d'un BEOL standard, Figure II-5.

Dans le meilleur des cas (inductance multi-tours de largeur de spire 30 µm), la capacité maximale en courant est de 77 mA, Figure II-10, ce qui est inférieur à la contrainte en courant imposée par les applications de puissance (100 mA) **[Haldi07], [Sky07]**.

De plus, à cause des règles de dessin du métal M6 (12 µm maximum) et du dessin de l' « underpass », toutes les géométries d'inductances ne peuvent être adressées dans le spectre 12 µm <w< 30 µm. Par conséquent, dans la plupart des cas, la capacité en courant maximale des inductances dessinables sera inférieure à 50 mA. On voit ainsi que l'apport du module offrant un niveau épais est en quelque sorte transparent en terme de courant conduit, la couche d'aluminium AP restant toujours le facteur limitant. Seule la diminution sur la résistance R_{DC} aura un effet positif sur le facteur de qualité Q.

De plus, comme on l'a constaté en Figure II-6, utiliser les niveaux d'interconnexions inférieurs, par empilement avec l'aluminium AP, ne serait pas suffisant à compenser l'écart avec le métal épais, à cause de la faible épaisseur de ces métaux.

Dans les technologies avancées, l'augmentation de la densité d'intégration va renforcer ces problématiques car ces métaux vont être encore amincis. A cela s'ajoute la création d'une capacité parasite plus importante avec le PGS, ce qui dégradera le facteur de qualité.

Aujourd'hui, les inductances intégrées en technologies avancées présentent des limitations en courant qui ne permettent pas de répondre de manière adéquate aux spécifications données par les applications de puissance. Ceci est vrai quel que soit le type de BEOL utilisé (de type standard ou avec un module simple cuivre épais).

Au vue de ces limitations en courant, la question qui se pose alors est : quelle solution technologique alternative peut-on proposer à l'échelle industrielle pour améliorer les capacités en courant des inductances sur silicium massif et pouvoir ainsi adresser les applications de puissance ?

III. INDUCTANCES INTEGREES EN TECHNOLOGIE CMOS AVANCEE SUR SILICIUM MASSIF AVEC UN MODULE DOUBLE CUIVRE EPAIS

Une réponse à cette question consiste à introduire pour la première fois en technologie CMOS 65 nm un deuxième niveau de cuivre épais en M7T en plus du métal M6T existant, et Figure III-2. Ce niveau épais supplémentaire, comme on va le voir par la suite, va permettre d'augmenter la capacité en courant d'inductances intégrées mono-tour et multi-tours en technologie CMOS 65 nm et répondre ainsi aux besoins des applications de puissance de la partie émission d'un émetteur-récepteur RF.

III.1. Technologie d'intégration utilisée

Les structures de tests définies dans cette étude ont été réalisées sur un substrat silicium massif de résistivité 10 Ω.cm, utilisant pour la première fois un BEOL double cuivre épais pour les deux derniers niveaux de métallisations M6T et M7T, en technologie avancée CMOS 65 nm.

III.1.1. Nouveau BEOL (M6T+M7T+AP)

Les inductances ont été intégrées aux derniers niveaux de métallisations M6T et M7T, d'épaisseur 3 µm, afin de limiter les effets parasites du substrat. Concernant le procédé de fabrication de ces niveaux épais, chacun d'eux a été réalisé à partir d'une option cuivre épais en architecture Simple Damascène, Figure III-1.

Afin de diminuer les pertes résistives des inductances **[Groves99]**, le dernier niveau de métallisation en cuivre M7T, Figure III-1, est surplombé par un niveau d'aluminium AP. Quant au plan de masse à motifs (PGS) situé sous le premier niveau, il est utilisé pour réduire les effets parasites

dus au substrat **[Yue98]**, les couches diélectriques inter-métaux, présentant une permittivité relative moyenne ε_r de 3.11.

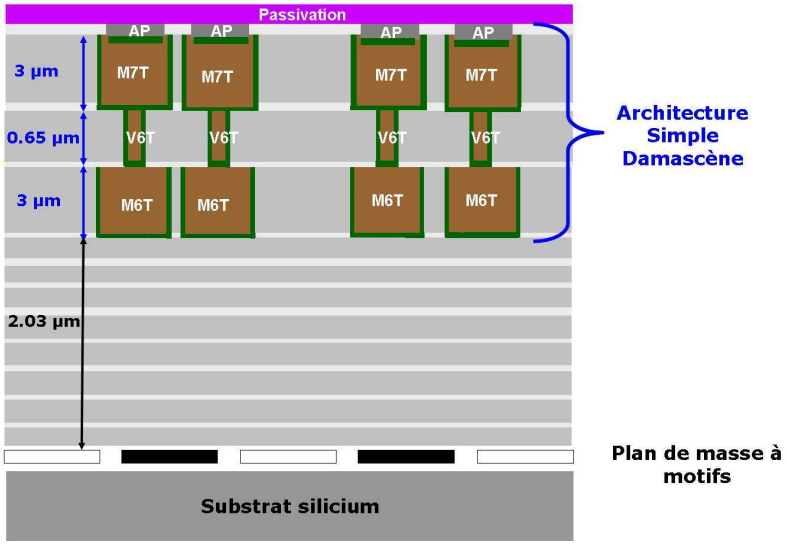

Figure III-1 : BEOL avec double cuivre épais en technologie CMOS 65 nm.

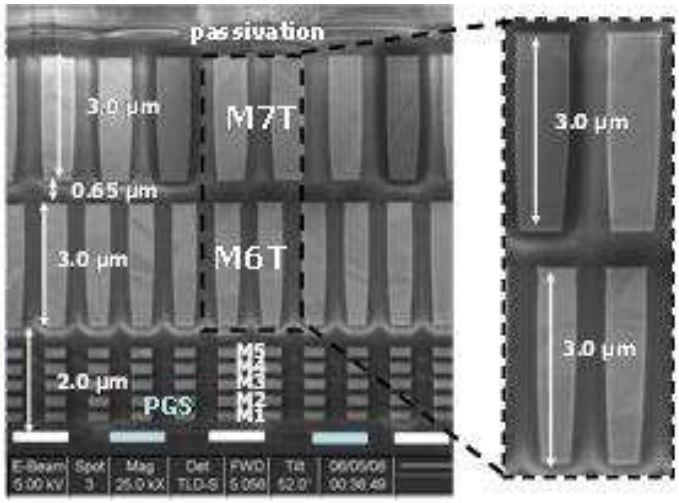

Figure III-2 : Images SEM d'un BEOL complet avec le module double cuivre épais en M7T et M6T (AP manquant dans ce cas-ci).

III.1.2. Ses performances

Vu la robustesse de chaque brique élémentaire, le procédé de fabrication du BEOL avec M6T et M7T s'est révélé être mature à tel point de n'avoir aucune perte de rendement sur nos structures dès le premier essai. Les couples épaisseur/espacement sur masque des métaux M6T et M7T

étaient de 0.4 µm/0.4 µm et 0.6µm/0.6 µm, respectivement, Figure III-3. Le couple 0.6µm/0.6 µm correspond aux règles minimales de dessin d'un métal M6T ou M7T. Le couple 0.4µm/0.4 µm est un essai technologique dans le but de démontrer la robustesse du procédé de fabrication du BEOL en CMOS 65 nm à un « pitch » plus agressif.

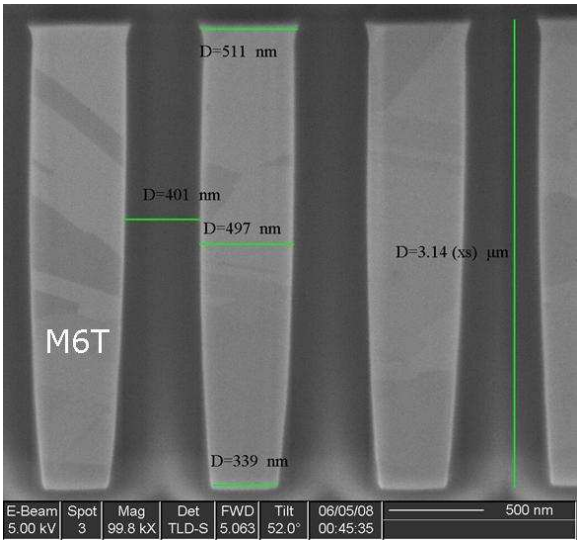

Figure III-3 : Image au microscope électronique à balayage du métal M6T.

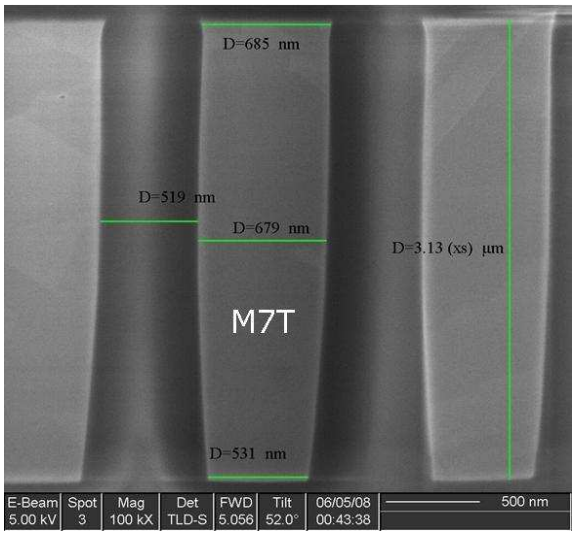

Figure III-4 : Image au microscope électronique à balayage du métal M7T.

Les résultats statistiques des performances RF des inductances dessinées à des règles de dessin plus relâchées soulignent aussi la stabilité du procédé de fabrication à l'échelle de la plaque. Un écart type inférieure à 3% a en effet été observé pour le facteur de qualité Q sur les 15 puces testées, Tableau III-1, pour les 4 structures étudiées Ind1, Ind2, Ind3 et Ind4.

Les valeurs de résistance DC et d'inductance L_s présentent elles aussi une variabilité du même ordre de grandeur que celle observée pour le maximum du facteur de qualité Q_{max}.

	L_s (nH)			R_{DC} (Ω)			Q_{max}			F_c (GHz)		
	min	*max*	*Ecart type*	*min*	*max*	*Ecart type*	*min*	*max*	*Ecart type*	*min*	*max*	*Ecart type*
Ind1	0.48	0.53	0.09%	0.3	0.4	5.5%	22.0	22.8	3.5%	24	24	0%
Ind2	5.9	6.15	0.04%	1.4	1.9	3.3%	11.3	11.5	1.7%	6	6	0%
Ind3	10.9	11.2	0.03%	2.2	2.4	4.1%	10	10.3	3%	4.5	4.5	0%
Ind4	20.0	20.5	0.02%	5.8	6.2	4.5%	10.1	10.4	3%	2.3	2.3	0%

Tableau III-1: Valeurs statistiques mesurées de Q_{max}, L_s, F_c, et R_{DC} sur quinze puces pour les 4 inductances choisies en double cuivre épais.

III.2. Optimisation des performances des inductances

Nous allons voir maintenant plus en détails les améliorations visées par l'utilisation d'un tel BEOL pour les inductances intégrées.

III.2.1. Augmentation de la capacité en courant I_{max}

Le premier objectif visé est l'augmentation de la capacité en courant I_{max} de l'inductance.

1) Les inductances mono-tour à fort facteur de qualité

Pour une inductance mono-tour réalisée par l'empilement continu M7T+M6T+AP, la capacité en courant est égale à la somme de la capacité en courant du module double cuivre épais M7T+M6T et celle de la couche d'aluminium AP, Figure III-5. Dans le meilleur des cas (inductance de largeur w=30 µm), elle peut atteindre 600 mA à 125°C, ce qui est presque le double de celle obtenue en utilisant un seul niveau épais M7T+AP (350 mA).

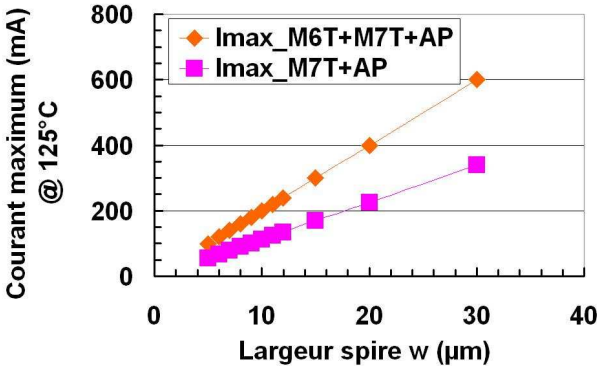

Figure III-5 : Comparaison de la capacité maximale en courant I_{max} d'une inductance mono-tour intégrée en CMOS 65 nm obtenue à partir d'un module simple cuivre épais (M7T+AP) et celle obtenue à partir d'un module double cuivre épais (M7T+M6T+AP).

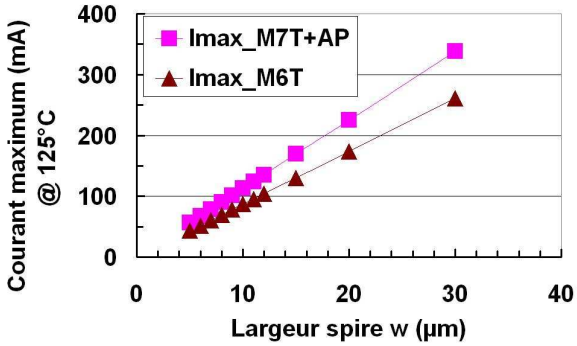

Figure III-6 : Comparaison de la capacité maximale en courant I_{max} d'une inductance multi-tour intégrée en CMOS 65 nm à partir d'un module double cuivre épais (M6T) et celle obtenue à partir d'un module simple cuivre épais ou d'un BEOL standard (AP dans les deux cas).

2) Les inductances multi-tours visant une faible surface

En ce qui concerne les inductances multi-tours réalisée à partir d'un module double cuivre épais (M6T+M7T+AP), l' « upperpass » est formé à partir de l'empilement M7T+AP et l' « underpass » par le M6T, Figure III-6. Le métal limitant n'est plus la couche d'aluminium AP comme dans le cas d'un BEOL standard ou d'un BEOL utilisant un seul niveau épais en M6T, mais le niveau épais M6T, Figure III-6.

On voit alors qu'à partir d'une largeur w supérieure à 11 µm, on va pouvoir adresser les applications de puissance nécessitant des inductances intégrées de capacité en courant supérieure à 100 mA. De telles performances n'étaient alors pas possibles à partir d'un BEOL standard, Figure II-5, ou utilisant un seul niveau épais en M6T, Figure III-6. L'utilisation d'un module double cuivre épais va donc permettre une amélioration de la capacité en courant de 50% par rapport au BEOL un seul niveau de cuivre épais offert aujourd'hui.

III.2.2. Optimisation de la capacité parasite : nouvelle architecture d'« underpass»

L'utilisation d'un tel BEOL double cuivre épais soulève cependant une autre problématique qui concerne l'évaluation de la meilleure architecture d' « underpass » pour les inductances multi-tours.

Pour répondre à cette question, deux types d'architectures ont été évaluées : l' « underpass » continu en M6T, Figure III-8, architecture actuelle des « underpass » des inductances en technologies avancées et l'« underpass » dit localisé en M6T, Figure III-7, nouvelle architecture proposée dans cette étude.

L'objectif d'une telle étude est de déterminer s'il n'est pas plus judicieux d'utiliser cette dernière configuration permettant à la fois d'améliorer les performances RF (facteur de qualité Q, fréquence de coupure F_c) par une optimisation de la capacité parasite entre l'inductance et le PGS et de maintenir la même capacité en courant de la structure.

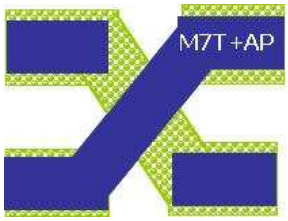

Figure III-7 : «Underpass» continu en M6T ( ) avec un « upperpass » continu en M7T+AP ( ).

Figure III-8 : «Underpass» localisé en M6T ( ) avec un « upperpass » continu en M7T+AP ( ).

1) Caractéristiques de l' « underpass » continu en M6T

Déployé sur toute la longueur de l'inductance par l'utilisation de vias V6T entre le métal M6T et le métal M7T sauf au point de croisement, Figure III-19, un « underpass » continu permet de réduire fortement la résistance R_{DC} de l'inductance. En contrepartie, il va entrainer une augmentation de la capacité parasite sur toute la longueur déployée de l'inductance, de part la distance réduite avec le PGS. Par conséquent, on observera une réduction de la fréquence de coupure F_c de l'inductance.

Pour ce qui est de la capacité en courant I_{max} d'une inductance utilisant un tel « underpass », elle sera équivalente à celle du métal épais M6T, Figure III-5 et Figure III-6.

2) Caractéristiques de l' « underpass » localisé en M6T

Un « underpass » localisé en M6T va quant à lui privilégier l'effet capacitif devant la valeur de la résistance R_{DC}. En effet, la surface M6T en regard avec le PGS étant moins importante que celle d'un « underpass » continu, l'impact sur la fréquence de coupure F_c du composant sera moins marqué. En revanche, la résistance R_{DC} de l'inductance sera elle plus importante que celle d'un « underpass » continu.

Pour ce qui est de la capacité en courant d'une telle architecture, en s'assurant d'un nombre suffisant de vias V6T, Figure III-9, calculé selon les lois d'électro-migration des métaux du BEOL, et dont la méthodologie va être exposée ci-dessous, elle sera identique à celle d'un « underpass » continu, Figure III-6. Elle sera limitée par le métal M6T et non pas par les VIA6T présents dans la structure.

3) Méthodologie de calcul pour le dessin de l' « underpass» localisé

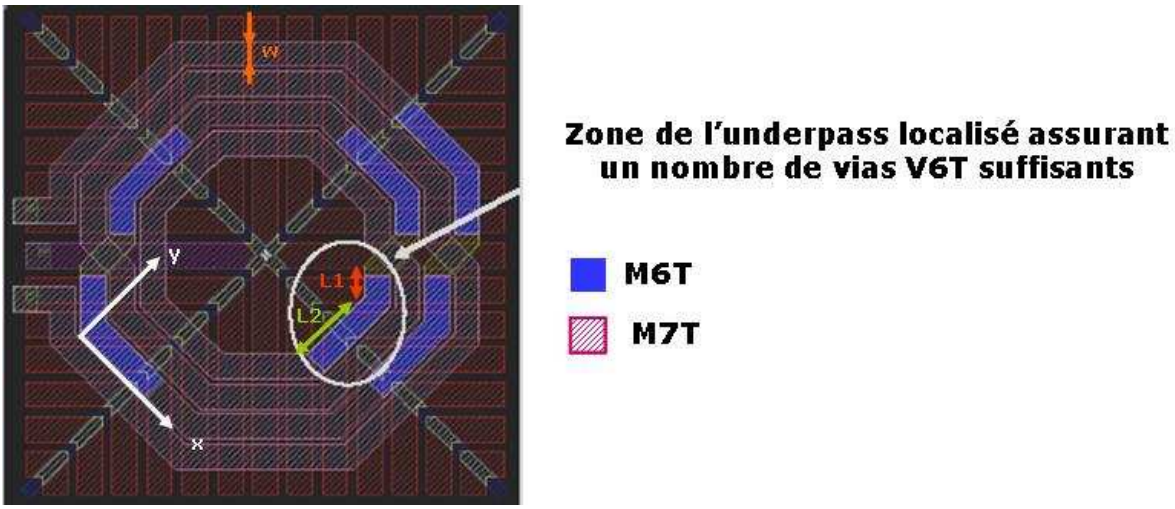

Figure III-9 : Visualisation de la zone de connexion d'une inductance utilisant un «underpass» localisé.

A partir de la largeur w de l'inductance, deux informations fondamentales vont être extraites : d'une part, la capacité en courant de la spire I_{max_spire}, donnée en Eq. III-1, et d'autre part, le nombre de vias dans la direction Y noté Nb_viaY, Eq. III-2.

$$I_{max_spire} = I_{max_M6T} \qquad \textit{Eq. III-1}$$

$$Nb_viaY = \frac{w}{(w_{viaV6T} + s_{viaV6T}) + 2 \cdot \xi_1} \qquad \textit{Eq. III-2}$$

W_{viaV6T}, S_{viaV6T} et ξ sont respectivement la largeur du via V6T, son espacement et sa distance du bord du métal M7T, comme illustré sur la Figure III-10.

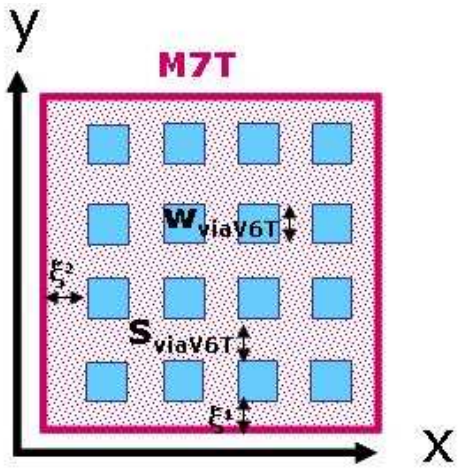

Figure III-10 : Caractéristiques du dessin des vias V6T.

A partir de la valeur de la quantité maximale de courant conduit I_{max_spire} dans l'inductance, on peut déterminer le nombre total de vias V6T nécessaires Nb_Totalvia connaissant la capacité en courant d'un seul via, comme donné en Eq. III-3.

$$Nb_Totalvia = \frac{I_{\max_spire}}{I_{\max_ViaV6T}} \qquad \textit{Eq. III-3}$$

Ce nombre total de via Nb_Totalvia va nous permettre de calculer le nombre de vias nécessaires dans la direction X, Figure III-10, à partir de la relation donnée en Eq. III-4.

$$Nb_viaX = \frac{Nb_Totalvia}{Nb_viaY} \qquad \textit{Eq. III-4}$$

On appelle $L_{underlocalisé}$ la longueur totale déployée de l' « underpass» localisé. Cette dernière est égale à la somme de la longueur L_1 et de la longueur L_2, comme illustrée sur la Figure III-9 . Son expression est donnée par l'équation Eq. III-5.

$$L_{\text{underpass localisé}} = L_1 + L_2 \qquad \textit{Eq. III-5}$$

Elle se calcule à partir du nombre de vias dans la direction x, Figure III-10, à partir de l'Eq. III-6.

$$L_{\text{underpass localisé}} = nb_viaX \cdot \left(w_{viaV6T} + s_{viaV6T}\right) + 2 \cdot \xi_2 \qquad \textit{Eq. III-6}$$

Deux cas de figures peuvent se présenter : soit $L_1 \geq L_{underpasslocalisé}$, et dans ce cas l'underpass n'est pas déployé sur la partie L_2 soit $L_1 \leq L_{underpasslocalisé,}$ et dans ce cas, des vias V6T sont aussi nécessaires sur la partie L_2, comme l'illustre la Figure III-9.

III.2.3. Réduction de la résistance DC

1) Un besoin pour les inductances « choke »

Un autre point important de cette étude est la réduction des pertes résistives des inductances intégrées. En effet, présenter une faible valeur de résistance DC, grâce à l'utilisation d'un empilement de plusieurs niveaux de métallisations épais, est un des objectifs visés par les inductances dites de « choke » utilisées pour la polarisation des circuits de puissance **[STM03]**. Pour de telles inductances, plus que le facteur de qualité, c'est la valeur de la réactance qui est importante et qui va permettre de limiter les interférences électromagnétiques des lignes d'alimentation du circuit. Il est également primordial de limiter la chute de tension aux bornes des transistors de puissance. En effet de par les

forts courants qui doivent être conduits, la moindre résistance parasite peut entrainer une chute de tension capable de dépolariser ces composants actifs.

2) Les inductances mono-tour et multi-tours utilisant deux niveaux de cuivre épais

Pour les inductances mono-tours, comme nous l'avons vu, l'introduction du double niveau épais permet à la fois d'augmenter la capacité en courant et de diminuer la résistance R_{DC}.

Pour les inductances multi-tours, l'optimisation de la capacité parasite sera effectuée au détriment de la résistance R_{DC}. Ce compromis sera étudié à travers les structures de test réalisées.

III.3. Définition et description des structures de test

Au total, 71 structures ont été dessinées, fabriquées et caractérisées en hyperfréquences. Cela représente 20 mm^2 de surface silicium, comme le montre la Figure III-11.

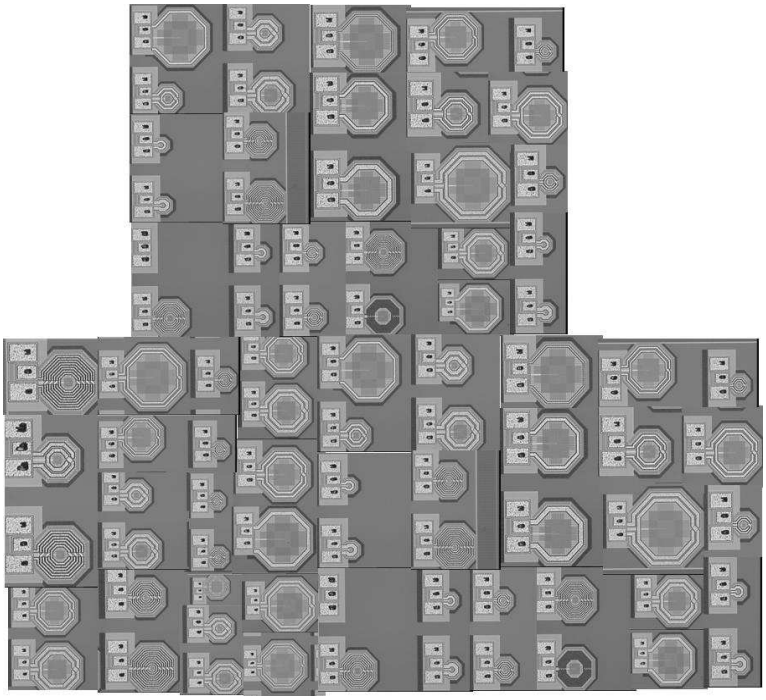

Figure III-11 : Photographie au microscope optique de l'ensemble des structures dessinées pour cette étude.

Ces structures comprennent :

- **les inductances de référence utilisant un empilement M7T+AP** pour les inductances mono-tour, et utilisant le M7T comme « underpass » continu pour les inductances multi-tours. C'est en effet la meilleure configuration d'un point de vue

effet capacitif si on utilise un niveau de cuivre épais (c'est-à-dire par rapport à un empilement M6T+AP).

- **les inductances en double cuivre épais M6T+M7T+AP** pour les inductances mono-tour avec une étude différenciée pour les inductances multi-tours utilisant un « underpass » localisé en M6T et les structures équivalentes utilisant un « underpass » continu en M6T.

III.3.1. Description des inductances de référence

Afin d'offrir une étude la plus exhaustive possible, un large spectre d'inductances en termes de paramètres géométriques, architecturaux, Tableau III-1, et électriques, Tableau III-2, ont été choisies puis fabriquées.

	Ind1	***Ind2***	***Ind3***	***Ind4***
Spires	M7T-AP	M7T-AP	M7T-AP	M7T-AP
Upperpass	NA	AP	AP	AP
Underpass	NA	Connexion continue M7T	Connexion continue M7T	Connexion continue M7T
Nombre de tours	1	6	8	9
Rayon interne R_{int} [µm]	134	40	40	68
Largeur des pistes w [µm]	30	12	10	5
Espacement s [µm]	NA	2	2	2

Tableau III-2: Caractéristiques architecturales et géométriques des inductances étudiées. NA signifie Non Applicable

Elles se divisent en deux groupes qui sont : les inductances mono-tour à fort facteur de qualité comprenant l'inductance Ind1, Figure III-3, et les inductances multi-tours à faible surface comprenant quant à elles, l'inductance Ind2, Figure III-4, l'inductance Ind3, Figure III-5, et l'inductance Ind4, Figure III-6.

	BEOL AP-M7T			
	Ind1	***Ind2***	***Ind3***	***Ind4***
Q_{max}	21.1 @ 8 GHz	11.5 @ 2.4 GHz	9.6 @ 700 MHz	9.6 @ 700 MHz
L_s ***[nH]***	0.6	6.0	11.1	20.4
F_c ***[GHz]***	27	6.25	4.5	2.3
R_{DC} ***[Ω] @ 100 MHz***	0.4	1.7	2.8	6.5
I_{max} ***[mA]***	350 (AP+M7T)	31 (AP)	26 (AP)	13 (AP)

Tableau III-3: Caractéristiques électriques des inductances étudiées dans un BEOL option cuivre épais en M7T.

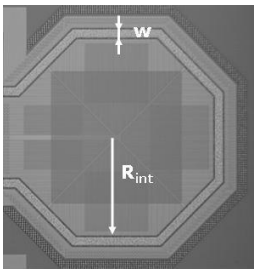

Figure III-12 : Photographie au microscope optique de l'inductance Ind1.

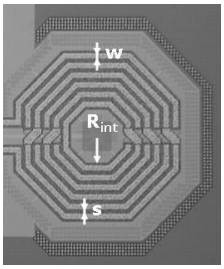

Figure III-13 : Photographie au microscope optique de l'inductance Ind2.

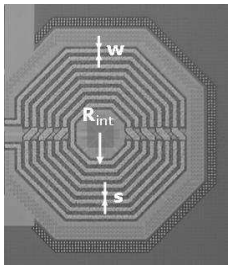

Figure III-14 : Photographie au microscope optique de l'inductance Ind3.

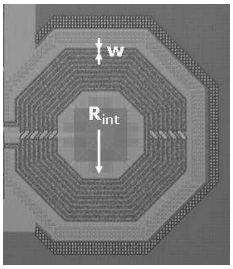

Figure III-15 : Photographie au microscope optique de l'inductance Ind4.

1) Les inductances à fort facteur de qualité

L'inductance Ind1, Figure III-3, est en pratique une inductance avec un seul tour, construite à partir d'un empilement des deux derniers niveaux de métallisation (AP-M7T), Figure III-1 et Figure III-16. Elle est caractérisée par un fort facteur de qualité Q_{max} et une faible valeur d'inductance série L_s, Tableau III-2.

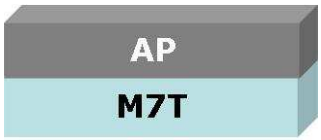

Figure III-16 : Description des inductances mono-tours de référence en M7T et AP.

2) Les inductances multi-tours visant une faible surface

Concernant les inductances Ind2, Ind3 et Ind4, visant une faible occupation de surface, Figure III-4, Figure III-5 et Figure III-6, ce sont des inductances multi-tours employant des pistes plus ou moins étroites, Tableau III-2. Les spires se situent au niveau des métaux AP-M7T et présentent un « underpass » en M7T continu déployé sur toute la longueur des pistes et un « upperpass » en AP, Figure III-17. Ces inductances visent une valeur moyenne d'inductance série L_s et un facteur de qualité moyen Q_{max}, Tableau III-2.

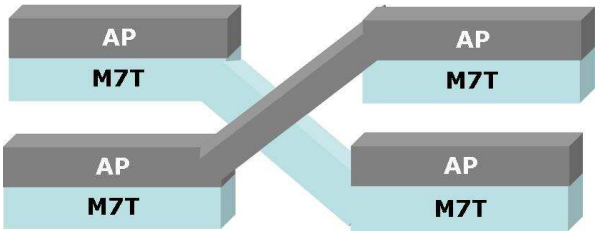

Figure III-17 : Description de l' « underpass » continu des inductances multi-tours de référence en M7T et de l'« upperpass » continu en AP.

III.3.2. Description architecturale des inductances en double cuivre épais

1) Les inductances mono-tour à fort facteur de qualité

Pour l'inductance mono-tour Ind1, l'idée est d'augmenter à la fois le facteur de qualité par réduction de la valeur de résistance R_{DC} de l'inductance, et la capacité en courant grâce à l'utilisation d'un double cuivre épais. En effet, dans ce cas, le courant maximal sera défini par l'empilement M6T-M7T-AP, Figure III-18.

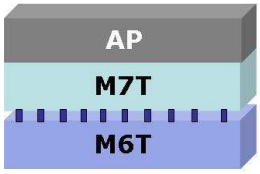

Figure III-18 : Description des inductances mono-tours en M7T, M6T et AP.

2) Les inductances multi-tours visant une faible surface

Pour les inductances multi-tours, au-delà d'une évaluation des performances RF des inductances, se pose la question de la meilleure architecture d' « underpass » en M6T. C'est pourquoi, les structures Ind2, Ind3, et Ind4 seront dessinées d'une part avec un « underpass » continu en M6T, Figure III-19, et d'autre part avec un « underpass » dit localisé en M6T, Figure III-20.

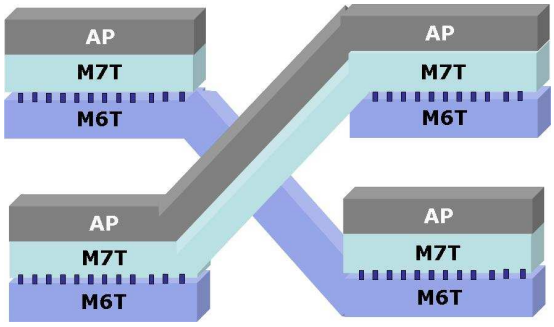

Figure III-19 : Description des inductances multi-tours dans la configuration en M7T, M6T et AP utilisant un « underpass » continu en M6T.

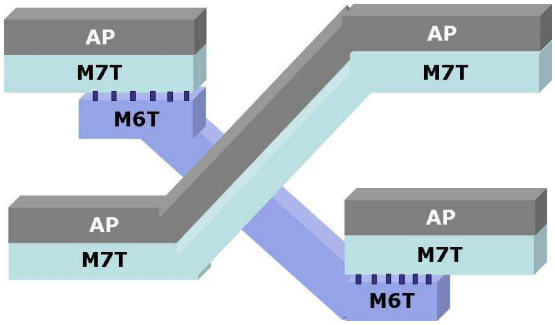

Figure III-20 : Description des inductances multi-tours dans la configuration en M7T, M6T et AP utilisant un « underpass » localisé en M6T.

IV. CARACTERISATION DES STRUCTURES DE TEST ET EXTRACTION DES PARAMETRES

IV.1. Mesures des performances RF

Les mesures des paramètres S de l'ensemble des structures de test ont été réalisées jusqu'à 50 GHz à l'aide d'un VNA HP8510C et de sondes GSG Infinity de la société Cascade Microtech. Les paramètres pertinents extraits à partir des paramètres S pour évaluer les performances des inductances sont :

- Le **facteur de qualité Q** et la valeur du pic $\mathbf{Q_{max}}$
- La **fréquence de coupure** $\mathbf{F_c}$
- La valeur de l'**inductance série** $\mathbf{L_s}$
- La valeur de la **résistance série** $\mathbf{R_s}$

dont les expressions sont données dans le chapitre 2, page 106 - 107.

Pour ce qui est de la **capacité en courant** $\mathbf{I_{max}}$, elle a été calculée à partir des règles d'électromigration des métaux du BEOL fournis par le manuel de règles de dessin **[DRM08]** de la technologie CMOS 65 nm silicium massif.

IV.2. Analyse des résultats sur l'introduction du module double cuivre épais

IV.2.1. Inductances mono-tour à fort facteur de qualité

Grâce à une réduction de 50% de la résistance R_{DC} par rapport à la configuration de référence (M7T+AP), Figure IV-2, on voit que l'Ind1 en double cuivre épais (M6T+M7T+AP) atteint un pic du facteur de qualité Q de 22.5 à 6 GHz, Figure IV-1. Ce niveau épais supplémentaire permet dans le cas d'une inductance mono-tour de bénéficier d'une augmentation non négligeable (+16%) du facteur de qualité dans la bande 2-5 GHz, bande de fréquence visée par les applications de puissance.

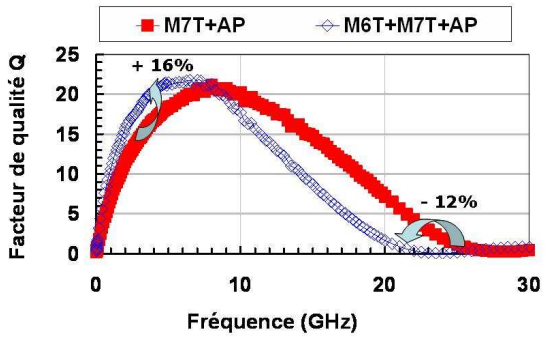

Figure IV-1 : Facteur de qualité Q mesuré de l'Ind1 pour une architecture M7T+AP et une architecture double cuivre épais M6T+M7T+AP.

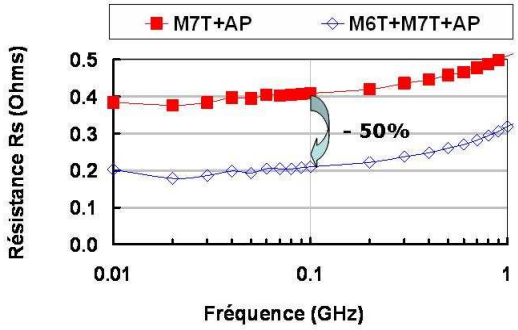

Figure IV-2 : Résistance série R_s mesurée de l'Ind1 pour une architecture M7T+AP et une architecture double cuivre épais M6T+M7T+AP.

Cette augmentation du facteur de qualité maximum est cependant obtenue au détriment de la fréquence de coupure F_c. Elle est en effet réduite de 12% par augmentation de la capacité parasite, due au rapprochement de la spire vers le PGS ainsi qu'à la composante inter-spire due à l'augmentation de l'épaisseur.

Concernant les performances en courant, cette inductance de largeur w=30 µm permet d'atteindre 600 mA à 125 °C en configuration double cuivre épais (M6T+M7T+AP), Figure III-5, soit presque le double de celle obtenue à partir d'un seul niveau épais en M7T (350 mA), Figure II-9.

IV.2.2. Inductances multi-tours visant une faible surface

Pour ce type d'inductances, trois conclusions sont possibles et illustrent le phénomène de compétition entre la réduction de la résistance R_{DC} et l'augmentation de la capacité parasite C_s: celle pour laquelle la résistance DC est faible ($R_{DC} \leq 1.7\ \Omega$), celle pour laquelle elle est intermédiaire ($1.7\ \Omega < R_{DC} < 3\ \Omega$) et celle pour laquelle elle est forte ($R_{DC} \geq 3\ \Omega$).

1) Inductances multi-tours avec une valeur de résistance DC faible

Pour les inductances multi-tours présentant une faible valeur de résistance R_{DC} ($\leq$ 1.7 Ω avec l'architecture M7T+AP), la meilleure architecture en termes de performances RF (facteur de qualité Q, capacité en courant I_{max} et fréquence de coupure F_c) est l' « underpass» localisé en M6T lorsqu'on utilise un double cuivre épais, Figure IV-3. Dans cette configuration, le facteur de qualité atteint 11.5 à 2.4 GHz, ce qui est équivalent au facteur de qualité maximal offert par un module simple cuivre épais en M7T.

On voit dans ce cas de figure que l'effet capacitif avec le substrat et la capacité inter-spires prédominent devant l'abaissement de la valeur de la résistance R_{DC}, Figure IV-4. En effet, en utilisant un « underpass » continu avec l'architecture M6T+M7T+AP, le facteur de qualité est réduit de 10% par rapport aux deux autres configurations et la fréquence de coupure F_c de 20%.

Pour ce qui est de la capacité en courant de cette inductance de largeur de piste w=12 µm, elle est multipliée par 3.4 par rapport à une configuration utilisant un seul niveau épais en M7T (31 mA). Elle atteint 104 mA à 125 °C, en configuration double cuivre épais, Figure III-6.

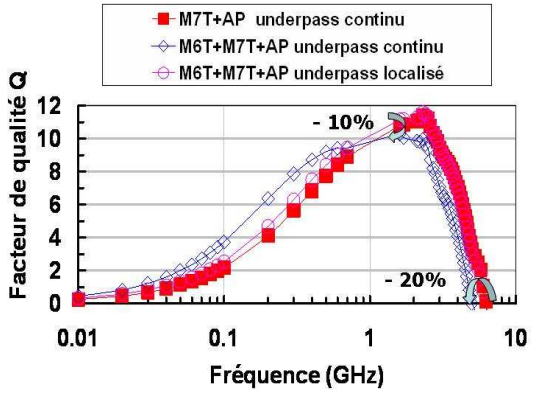

Figure IV-3 : Facteur de qualité Q mesuré de l'Ind2 pour un « underpass » continu dans l'architecture M7T+AP et un « underpass » continu ou localisé dans l'architecture double cuivre épais M6T+M7T+AP.

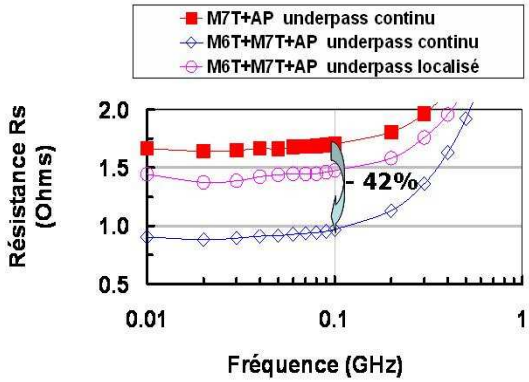

Figure IV-4 : Résistance série R_s mesurée de l'Ind2 pour un « underpass » continu dans l'architecture M7T+AP et un « underpass » continu ou localisé dans l'architecture double cuivre épais M6T+M7T+AP.

2) Inductances multi-tours avec une valeur de résistance DC intermédiaire

Pour des inductances multi-tours avec une valeur de résistance R_{DC} intermédiaire (1.7 Ω < R_{DC} < 3 Ω avec l'architecture M7T+AP), la meilleure architecture en termes de performances RF est à nouveau l' « underpass » localisé en M6T, comme le montre la Figure IV-5. Dans cette configuration, le facteur de qualité est équivalent à celui d'un seul niveau de cuivre épais en M7T et

atteint 10.1 à 0.7 GHz. La réduction de l'effet capacitif avec le substrat et la capacité inter-spires sont donc à privilégier devant l'abaissement de la résistance $R_{DC,}$ Figure IV-6.

En revanche, si on utilise un « underpass » continu avec l'architecture M6T+M7T+AP, on retrouve un pic de facteur de qualité équivalent aux deux autres, une capacité en courant égale à celle de l' « underpass » localisé mais une fréquence de coupure réduite de 11%, par un couplage capacitif avec le substrat et inter-spire beaucoup plus fort.

Pour ce qui est de la capacité en courant de cette inductance de w=10 µm, elle est multipliée par 3.4 par rapport à un seul niveau épais en M7T (26 mA). Elle atteint 87 mA à 125 °C en configuration double cuivre épais, Figure III-6.

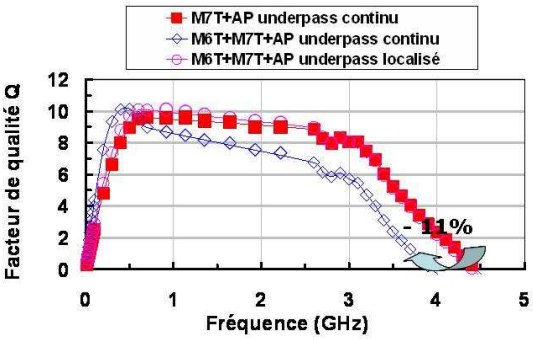

Figure IV-5 : Facteur de qualité Q mesuré de l'Ind3 pour un « underpass » continu dans l'architecture M7T+AP et un « underpass » continu ou localisé dans l'architecture double cuivre épais M6T+M7T+AP.

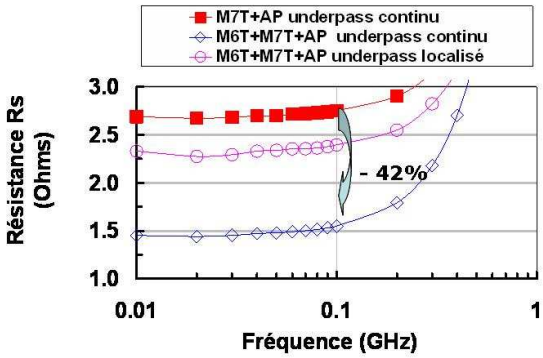

Figure IV-6 : Résistance série R_s mesurée de l'Ind3 pour un « underpass » continu dans l'architecture M7T+AP et un « underpass » continu ou localisé dans l'architecture double cuivre épais M6T+M7T+AP.

3) Inductances multi-tours avec une valeur de résistance DC forte

Pour les inductances à forte valeur de résistance R_{DC} (>3 Ω pour l'architecture M7T+AP), la meilleure architecture en termes de performances RF (facteur de qualité Q, capacité en courant I_{max}) se révèle être l' « underpass » continu, comme le montre la Figure IV-7.

En effet, grâce à une réduction de la résistance DC de 46%, Figure IV-8, le facteur de qualité maximal atteint 11.7 à 0.5 GHz, soit une augmentation de 22% par rapport à la référence en M7T+AP. Mais cette augmentation de performance se fait au détriment de la fréquence de coupure et du pic du facteur de qualité. Elles sont en effet réduites de 14% à cause de l'augmentation de la capacité parasite avec le PGS et celle inter-spires.

Pour ce qui est de la capacité en courant de cette inductance de w=5 µm, elle se voit multipliée par 3.3 par rapport à un seul niveau épais en M7T (13 mA). Elle atteint 43 mA à 125°C en configuration double cuivre épais, Figure III-6.

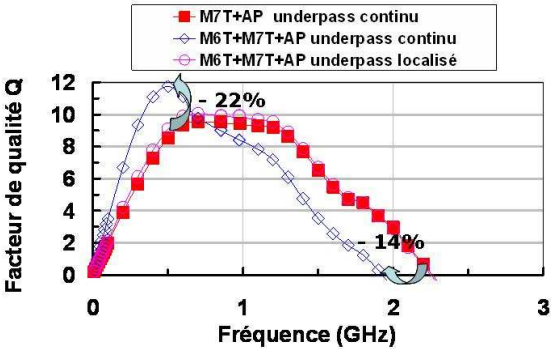

Figure IV-7 : Facteur de qualité Q mesuré de l'Ind4 pour un « underpass » continu dans l'architecture M7T+AP et un « underpass » continu ou localisé dans l'architecture double cuivre épais M6T+M7T+AP.

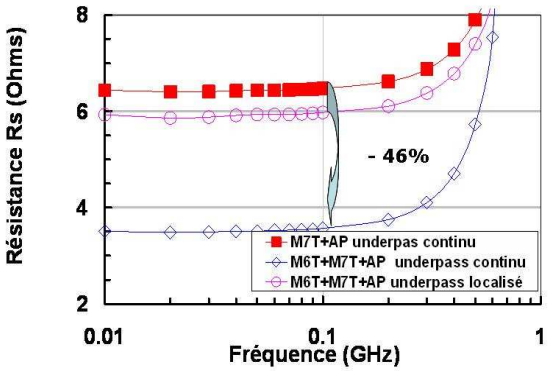

Figure IV-8 : Résistance série R_s mesurée de l'Ind4 pour un « underpass » continu dans l'architecture M7T+AP et un « underpass » continu ou localisé dans l'architecture double cuivre épais M6T+M7T+AP.

IV.3. Bilan et discussion des résultats

IV.3.1. Inductances mono-tour à fort facteur de qualité

Dans le cas d'inductances mono-tour, on voit que l'apport du module double cuivre épais en technologie silicium massif CMOS 65 nm permet d'atteindre un facteur de qualité de 22,5 à 6 GHz, Tableau IV-1, ce qui place ce travail à l'état de l'art des inductances intégrées dans les technologies avancées. **[Burgh97]**, **[Chen03]**

L'introduction d'un tel module épais en M6T et M7T n'est pas sans conséquence sur la fréquence du pic du facteur de qualité et la fréquence de coupure F_c puisque celles-ci sont réduites de 25 et 11%, respectivement, par rapport à la meilleure configuration disponible en CMOS 65 nm, et cela à cause d'une augmentation de la capacité parasite inter-spire et de celle relative au PGS.

Quant à la performance en courant, ce BEOL innovant permet de presque doubler la capacité en courant I_{max} à 125 °C. De plus, il réduit de moitié la valeur de la résistance DC de la spire, Tableau IV-1.

	Ind1 : Mono-tour et fort facteur de qualité	
Configuration	***M7T+ AP***	***M6T+M7T+ AP***
Q_{max}	21.1 @ 8 GHz	22.5 @ 6 GHz
L_s ***[nH]***	0.6	0.5
F_c ***[GHz]***	27	24
R_{DC} ***[Ω]***	0.4	0.2
I_{max} ***[mA]***	350 (M7T+AP)	600 (M6T+M7T+AP)

Tableau IV-1: Comparaison des performances RF et de la capacité en courant de l'inductance Ind1 en configuration M7T+AP et celle en M6T+M7T+AP.

IV.3.2. Inductances multi-tours visant une faible surface

Dans le cas d'inductances multi-tours, l'apport d'un BEOL double cuivre épais en technologie CMOS 65 nm dépend du rapport de force entre la résistance DC de la spire et la capacité parasite (PGS et inter-spires).

On constate que lorsque la valeur de résistance de la spire est suffisamment élevée, l'utilisation d'un « underpass » continu en M6T privilégiant la réduction des pertes résistives au détriment de la capacité parasite est préférable à un « underpass » localisé, Tableau IV-2. Mais une telle architecture impacte nécessairement la fréquence de coupure F_c et la fréquence du pic du facteur de qualité, puisque le niveau de la spire se rapproche du substrat (M6T et non plus M7T) et que cet « underpass » génère des capacités inter-spires déployées sur toute la longueur de la spire.

En revanche, si l'inductance étudiée présente une valeur de résistance faible dans la configuration M7T+AP, un « underpass » localisé en M6T est plus judicieux, Tableau IV-2. Il permet alors de limiter la capacité parasite avec le PGS et celle inter-spires, et d'offrir des performances RF comparables à celles d'un seul niveau épais, sans impact sur la fréquence de coupure et le pic du facteur de qualité.

Quant à la capacité en courant, elle est multipliée par 3.3 en moyenne par rapport à la configuration CMOS 65 nm utilisant un seul niveau épais en M7T et cela quel que soit le type d' « underpass » utilisé. Cela permet de répondre aux contraintes en courant des applications de puissance dans le cas des largeurs de pistes supérieures à 10 µm, Figure III-6.

	Ind2 : Multi-tours et faible surface (R_{DC} faible ≤ 1.7 Ω)			***Ind3 : Multi-tours et faible surface (1.7 Ω < R_{DC} intermédiaire < 3 Ω)***			***Ind4 : Multi-tours et faible surface (R_{DC} forte ≥ 3Ω))***		
Module cuivre épais	***Simple***	***Double cuivre épais***		***Simple***	***Double cuivre épais***		***Simple***	***Double cuivre épais***	
Type d'underpass	***M7T continu***	***M6T continu***	***M6T localisé***	***M7T continu***	***M6T continu***	***M6T localisé***	***M7T continu***	***M6T continu***	***M6T localisé***
Q_{max}	11.5 @ 2.4 GHz	10.3 @ 1.6 GHz	11.5 @ 2.4 GHz	9.6 @ 0.7 GHz	10.1 @ 0.5 GHz	10.1 @ 0.7 GHz	9.6 @ 0.7 GHz	11.7 @ 0.5 GHz	10.1 @ 0.7 GHz
L_s [nH]	6.0	5.7	6.0	11.1	10.8	11.1	20.4	19.9	20.4
F_c [GHz]	6.25	5	6.25	4.5	4	4.5	2.3	1.9	2.3
R_{DC} [Ω]	1.7	1	1.5	2.8	1.6	2.4	6.5	3.6	6
I_{max} [mA]	31 (AP)	104 (M6T)	104 (M6T)	26 (AP)	87 (M6T)	87 (M6T)	13 (AP)	43 (M6T)	43 (M6T)

Tableau IV-2: Comparaison des performances RF et de la capacité en courant de l'inductance Ind2, Ind3 et Induct4 en configuration M7T+AP et celle en M6T+M7T+AP.

IV.3.3. Comparaison avec la littérature

Si maintenant on s'intéresse aux travaux publiés dans la littérature, Figure IV-9, on s'aperçoit que c'est la première fois qu'un module offrant un double cuivre épais a été évalué et implémenté dans le BEOL d'une technologie CMOS silicium massif de type 65 nm.

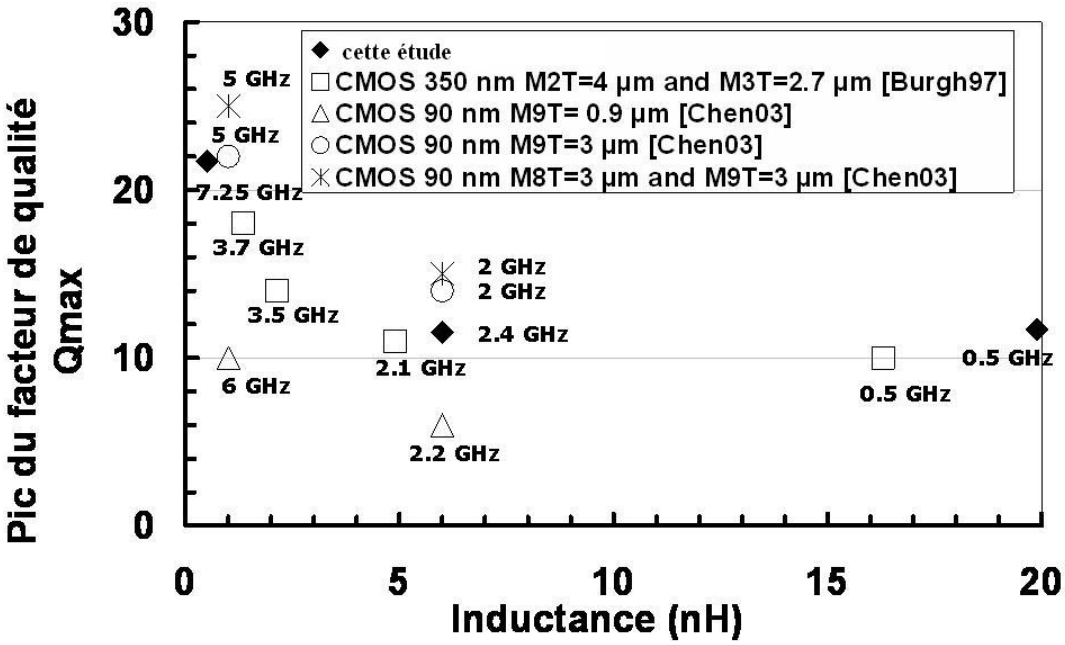

Figure IV-9 : Comparaison des pics du facteur de qualité Q_{max} mesuré en fonction de la valeur d'inductance série L_s pour des technologies CMOS utilisant des modules de cuivre épais (valeurs trouvées dans la littérature).

On note aussi que les performances obtenues en terme de facteur de qualité en fonction de la valeur de l'inductance sont comparables à celles obtenues à partir des technologies moins avancées de type CMOS 90 nm et CMOS 350 nm, et cela malgré la réduction des dimensions du BEOL. Ces résultats sont donc très prometteurs et permettent désormais d'envisager l'intégration de fonction de puissance en technologie CMOS 65 nm.

V. CONCLUSION

Ces dernières années, un fort intérêt s'est porté sur la potentialité d'intégrer la partie émission d'un émetteur-récepteur RF en technologie silicium massif CMOS afin de répondre aux contraintes de coût, de mise en boîtier et de test de la solution finale. Mais aujourd'hui, la disponibilité d'inductances hautes performances RF, avec une forte capacité en courant, intégrées sur silicium reste le point bloquant d'une intégration complète du récepteur-émetteur RF.

A travers les travaux présentés, nous avons mis en évidence les limites technologiques liées à une intégration CMOS silicium massif. En effet, un BEOL standard ne permet pas aujourd'hui d'dresser les spécifications requises en termes de courant des circuits de puissance. Dans ce chapitre, nous avons proposé une solution technologique pour l'obtention d'inductances répondant aux cahiers des charges de telles applications (un courant d'environ 100 mA dans la bande de fréquences 2-5 GHz à une température de fonctionnement de 125°C).

Ainsi pour la première fois, l'utilisation d'un module double cuivre épais a été évalué sur une technologie avancée CMOS 65 nm. On a tout d'abord montré la faisabilité d'un tel procédé de fabrication, puis évaluer l'intérêt pour les inductances intégrées en termes de performances RF et de capacité en courant. Les résultats obtenus ont su placer ce travail à l'état de l'art avec des facteurs de qualité pouvant atteindre 22.5 à 6 GHz grâce à une réduction de près de 50% de la résistance DC de l'inductance (pour L= 0.5 nH). De plus, des capacités en courant de quelques centaines de mA ont pu être atteintes, et cela quel que soit le type d'inductances considérées (un seul ou plusieurs tours).

Cette étude a aussi soulevé la question de la meilleure architecture de l' « underpass » pour les inductances multi-tours, lorsqu'un tel BEOL est utilisé. Cette optimisation s'est avérée reposée sur une compétition entre les pertes résistives et la capacité parasite (inter-spire et celle entre les spires et le PGS). On a montré que la configuration avec un « underpass » localisé semble la plus appropriée pour les inductances multi-tours afin d'atteindre des performances RF et de courant élevées dans les cas où la résistance DC de la spire est faible ou moyenne (R_{DC}< 3Ω).

Pour des géométries entrainant des résistances DC plus élevées, la conclusion est moins tranchée et la réponse peut être modulée selon d'autres critères (valeur de L_s, F_c…). Cependant, les applications de puissance nécessitent généralement des facteurs de qualité élevés. Par conséquent, les inductances utilisées ont généralement des valeurs R_{DC} faibles.

Ces résultats très prometteurs laissent aujourd'hui imaginer la possibilité d'intégrer des applications RF de puissance dans les technologies CMOS avancées et permettent d'envisager une

offre différenciée par l'utilisation de ce module double cuivre épais pour la technologie CMOS 65 nm et au-delà.

VI. REFERENCES

A

[Aoki03] I. Aoki, S. Kee, D. Rutledge, A. Hajimiri, "A Fully Integrated 1.8 V, 2.8 W, 1.9 GHz, CMOS Power Amplifier, IEEE Radio Frequency Integrated Circuits Symposium, pp. 199-202, 2003.

[Apost08] M. Apostolidou, M.P. Van Der Heijden, D.M.W. Leenaerts, J. Sonsky, A. Heringa, I. Volokhine, "A 65 nm CMOS 30 dBm Class-E RF Power Amplifier with 60% Power Added Efficiency", IEEE Radio Frequency Integrated Circuits Symposium, pp. 141-144, 2008.

[Axiome] www.axiome.com

B

[Burgh96] J. N Burghartz, M. Soyuer, K. A. Jenkins, "microwave Inductors and Capacitors in Standard Multilevel Interconnect Silicon Technology", Proceeding of IEEE Trans. Microwave Theory Techniques, vol. 44, pp. 100-104, 1996.

[Burgh95] J. N Burghartz, M. Soyuer, K. A. Jenkins, M. D. Hulvey, "High-Q Inductors in Standard Silicon Interconnect Technology and its Application to an RF power Amplifier", Tech. Dig. Int. Electron Devices Meeting, Whasington, DC, pp. 1015-1017, 1995.

[Burgh97] J. N. Burghartz, and al., "Spiral Inductors and Transmission Lines on Silicon Technology Using Copper-Damascene Interconnects and Low-Loss Substrates", IEEE Trans. on Microwave Theory and Techniques, vol. 45, no. 10, pp. 1961-1968, 1997.

C

[Chen03] C. H. Chen, and al., "A 90 nm CMOS MS/RF based Foundry SOC technology Comprising Superb 185 GHZ f_T RFMOS and Versatile, High-Q passive Components for Cost/Performance Optimization", IEEE International Electron Device Meeting, pp. 251-254, 2003.

D

[DRM08] CMOS065 AMS Design Rules Manual Analog and Mixed-Signal Process Option, rapport interne, STMicroelectronics, 2008.

F

[Feng04] M. Feng, S.-C. Shen, D. C. Caruth, J-J Huang, “Device Technology for RF Front End Circuits in Next-Generation Wireless Communications”, Proceeding of the IEEE, pp. 354-375, 2004.

G

[Groves99] R. Groves, J. Malinowski, R. Volant, and D. Jadus, “High Q Inductors in a SiGe BiCMOS Process utilizing a Thick Metal Process add-on Module,” Proceeding BiCMOS Circuit and Technology Meeting, pp. 149–152, 1999.

[Giry01] Alexandre Giry, Etude des potentialités des technologies CMOS avancées pour les radiofréquences: application aux amplificateurs de puissance, thèse INPG de Grenoble, 2001.

[Gupta99] R. Gupta, B. M. Ballweber, D. J. Allstot, “Designn and Optimization of CMOS RF Power Amplifiers”, IEEE Journal of Solid State circuits, vol. 36, no.2, pp. 166-17, 2001.

H

[Haldi07] P. Haldi, D. Chowdhury, G. Liu, A. M. Niknejed, “A 5.8 GHz Linear Power Amplifier in a standard 90 nm CMOS Process using a 1V Power Supply”, Proceeding of IEEE Radio Frequency Integrated Circuits Symposium, pp. 431-434, 2007.

[Hooi03] P. W. Hooijmans, “RF front end Application and Technology Trends”, design automation Conference, pp. 73-78, 2003.

S

[Soyuer95] M. Soyuer, J. N; Burghartz, K. A. Jenkins, S. Ponnapalli, J. F. Ewen, W. E. Pence, «Multi-Level monolithic Inductors in silicon technology », Electron. Letters, vol.31, no.5, pp. 359-360, 1995.

[Sky07] Skyworks, "SKY65225-11: WLAN 802.11n 2x2 MIMO Intera Front-End Module", www.skyworks.com, pp. 1-11, 2007.

[STM03] STMicroelectronics, "Model kit BiCMOS6G", rapport interne STMicroelectronics Crolles, 2003.

Y

[Yue98] C. P. Yue, S. S. Wong, "On-Chip Spiral Inductors with Patterned Ground Shields for Si-based RF ICs", IEEE Journal of Solid-State Circuits, 33, pp. 743–752, 1998.

Z

[Zamp08] P. J. Zampari, "GaAs technology Status and Perspectives for Multi-band and Multi-standard Challenges in Upcoming RF-Frontends", Proceeding of IEEE Radio Wireless Week, pp. 187-190, 2008.

CHAPITRE 4 :

INDUCTANCES A FORT FACTEUR DE QUALITE ET FORT COURANT INTEGREES EN TECHNOLOGIE CMOS SOI HAUTE RESISTIVITE UTILISANT UN MODULE DOUBLE CUIVRE EPAIS

SOMMAIRE

I. Introduction 168

II. Inductances Intégrées en Technologie CMOS SOI HR 171

II.1. Architecture des inductances planaires 171

II.1.1. Suppression du plan de masse à motifs (PGS) 171

II.1.2. Utilisation de l'intégralité du BEOL 172

II.2. Architecture d'inductances dédiées : avènement des topologies 3D 172

II.2.1. Les inductances 3D sur 2 niveaux 174

II.2.2. Les inductances 3D sur 4 niveaux 176

II.3. Applications de puissance : intérêt du module double cuivre épais 176

II.3.1. Les inductances planaires 177

II.3.2. Les inductances 3D sur 2 niveaux 178

III. Inductances Intégrées en Technologie CMOS SOI HR avec un Module Double Cuivre Epais 179

III.1. Technologie d'intégration utilisée 179

III.1.1. Nouveau BEOL (M5T+M6T+AP) 179

III.1.2. Ses performances 180

III.2. Définition et description des structures de test 180

III.2.1. Description des inductances de référence 181

III.2.2. Description architecturale des inductances en double cuivre épais 186

IV. Caractérisation des structures de test en double cuivre épais et extraction des paramètres 188

IV.1. Mesures des performances RF 188

IV.2. Analyse des résultats 188

IV.2.1. Les inductances planaires 188

IV.2.2. Les inductances 3D multi-tours 191

IV.3. Bilan et discussions concernant les inductances planaires 195

IV.3.1. Les inductances planaires mono-tour 195

IV.3.2. Les inductances planaires multi-tours 196

IV.4. Bilan et discussions concernant les inductances 3D multi-tours 198

IV.5. Comparaison avec la littérature 199

V. Conclusion 201

VI. Références 203

I. INTRODUCTION

La technologie CMOS s'étant imposée pour des fréquences d'opérations dans le domaine du gigahertz **[Dam05]**, l'opportunité a été donnée à l'intégration de blocs RF/digitaux/analogues sur une même puce, dits « System On Chip », (SOC), en anglais **[Kim08]**. Mais ces applications visées par la microélectronique exigent des dispositifs actifs et passifs à hautes performances.

Comme nous l'avons vu au chapitre 3, en technologies CMOS submicroniques sur silicium massif, l'obtention d'inductances intégrées hautes performances est rendue difficile par les pertes dues au substrat faiblement résistif et l'amincissement des couches du BEOL (matériaux diélectriques et métaux). C'est pourquoi, une des possibilités s'offrant à nous, afin de dépasser ces limitations dans les technologies CMOS avancées, a consisté à offrir un module double cuivre épais. Cette option a permis d'augmenter à la fois les performances électriques et la capacité à conduire des forts courants.

Parallèlement à cette étude, d'autres types d'optimisations ont été proposées afin de réduire cette fois les pertes liées au substrat silicium. On notera en particulier, le développement des technologies CMOS SOI avancées sur des substrats Hautement Résistifs (HR) et donc isolants **[Ray05]**. En effet, grâce à la présence d'un oxyde enterré, les technologies SOI peuvent utiliser un substrat HR de résistivité $\rho > 1000$ Ohms.cm, sans être pénalisées par des phénomènes de « latch-up ». Cette solution technologique est en revanche impossible à mettre en place en technologie CMOS sur silicium massif dont le substrat présente aujourd'hui une résistivité ρ de ~10 Ohms.cm.

Ces dernières années, les technologies CMOS SOI se sont donc fortement développées, visant l'intégration de récepteurs RF et des circuits de traitement numérique faible consommation **[Ray09]**. Au-delà des améliorations de performances des transistors MOS intégrés en technologie SOI (effet de substrat flottant), le principal avantage des technologies SOI réside en leur capacité à pouvoir intégrer des composants passifs hautes performances (faible surface, fort facteur de qualité et/ou fort courant), **[Kim03]**, **[Gian07a]**, **[Gian07b]**, tout en utilisant un BEOL digital standard.

Ces résultats sont prometteurs dans le sens où ils permettent de porter les fonctions RF déjà intégrées sur silicium et de tirer ainsi un avantage économique. La taille du circuit pourra être alors réduite et le coût de fabrication diminué puisque le BEOL utilisé est le BEOL standard. L'option cuivre épais traditionnellement utilisée sur silicium massif peut être supprimée grâce à la présence du silicium haute résistivité et de l'empilement de tous les niveaux métalliques.

Mais de nouvelles opportunités semblent aujourd'hui s'ouvrir aux technologies SOI **[Gian08]**. Les circuits d'émission, et particulièrement les circuits de puissance, représentent désormais un nouvel axe de développement **[Costa07]**. En effet, comme le montre la Figure I-1, la partie

émettrice de l'émetteur-récepteur RF (commutateurs d'antennes, amplificateurs de puissance,….) sont classiquement réalisés en technologie GaAs **[Zamp08]**, alors que les nombreuses fonctions passives nécessaires entre l'amplificateur de puissance et l'antenne sont réalisées à l'aide de technologie dédiées de type IPD (« Integrated Passive Devices ») **[Liu07a]**, **[Liu07b]**, **[Pache07]**.

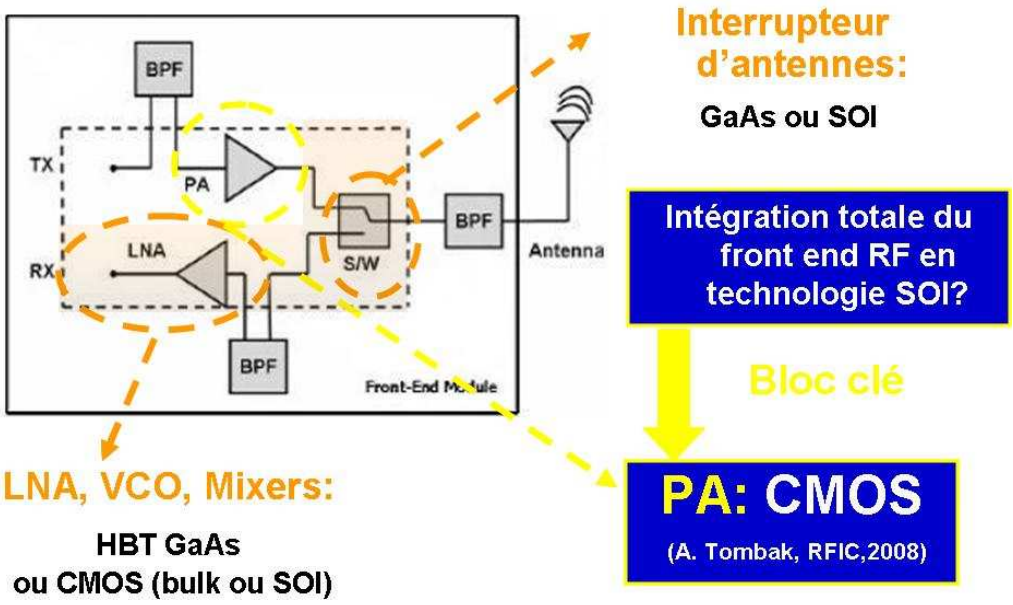

Figure I-1 : Description, de l'architecture de l'émetteur-récepteur RF et les technologies associées.

Ainsi, l'intégration en technologie SOI de commutateurs d'antennes **[Tine06]** a-t-elle aujourd'hui ouvert un nouvel axe de recherche, en offrant des performances tout à fait comparables aux technologies GaAs. Il s'agit donc d'intégrer l'émetteur complet (commutateur, duplexer, filtres, amplificateur de puissance, « baluns »…) en technologie SOI et pouvoir ainsi substituer la technologie GaAs par une technologie silicium **[Gian08a]**. Cette intégration complète du Front End RF sera alors synonyme d'une réduction des coûts de fabrication et d'un niveau d'intégration plus important. On pourra remarquer ici, que l'approche proposée va bien au-delà de ce qui a été discuté dans le chapitre précédent où nous visions simplement l'intégration de l'amplificateur de puissance dans une technologie CMOS. En effet, la faisabilité de commutateurs d'antenne en technologie silicium massif étant réputée ardue sinon impossible **[Tine06].**

Dès lors, on peut se poser la question de l'amélioration des performances des composants passifs intégrés en technologie SOI. En effet, jusqu'à présent aucune option technologique n'a été proposée et utilisée. Les différents auteurs se sont concentrés sur l'optimisation du dessin des composants afin de tirer partie au mieux du substrat isolant **[Kim03]**, **[Gian05], [Gian08b]**.

Ayant présenté pour la première fois, dans le chapitre précédent, un module double cuivre épais en technologie avancée sur silicium massif, l'évaluation de ce module dans le cadre d'une technologie SOI apparaît des plus pertinents. En effet, la technologie CMOS SOI apparaît comme la plus prometteuse en terme de performances accessibles pour les composants passifs intégrables (fort facteur de qualité, faible surface, fort courant). On pourrait alors tirer partie des faibles pertes associées au substrat hautement résistif et optimiser la résistance série et la capacité en courant des dispositifs, grâce aux qualités intrinsèques du module double cuivre épais.

De plus, le lecteur pourra noter qu'une telle technologie (substrat isolant et deux niveaux de cuivre épais) est très proche en termes d'architecture d'une technologie IPD **[Liu07b]**, comme l'illustre la Figure I-2.

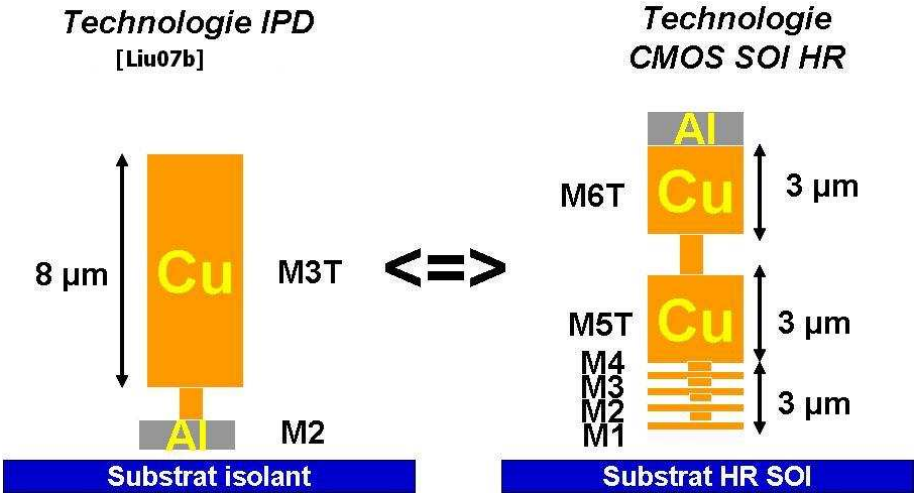

Figure I-2 : Comparaison de l'architecture d'une inductance réalisée en technologie IPD [Liu07b] et d'une inductance intégrée en double cuivre épais sur CMOS SOI HR.

Une technologie SOI utilisant un module double cuivre épais devrait donc pouvoir concurrencer les technologies IPD et outrepasser la principale limitation des technologies silicium : les performances des composants passifs intégrables. C'est ce point qui va être développé dans le présent chapitre.

II. INDUCTANCES INTEGREES EN TECHNOLOGIE CMOS SOI HR

Avant de présenter nos résultats concernant l'évaluation d'un module double cuivre épais en technologie CMOS SOI HR, nous allons voir rapidement les différents schémas d'optimisations existants concernant les inductances intégrées en technologie SOI utilisant un BEOL standard. En effet, les dessins et/ou architectures d'inductances intégrées en technologie SOI HR diffèrent notablement de ce que nous avons pu présenter dans les chapitres précédents en technologie silicium massif classique.

II.1. Architecture des inductances planaires

II.1.1. Suppression du plan de masse à motifs (PGS)

Comme nous l'avons déjà précisé, il n'y a pas de pertes substrat significatives en technologie SOI HR **[Gian07a]**. Dès lors, l'utilisation d'un plan de masse à motifs (PGS) s'avère inutile. C'est pourquoi, la première optimisation possible pour les inductances planaires développées en technologie HR SOI consiste à retirer le PGS, utilisé en technologie silicium massif. Une comparaison d'une inductance avec et sans PGS réalisée sur SOI HR est donnée en Figure II-1. Nous pouvons observer une amélioration du facteur de qualité de 30% et une bande passante plus importante pour l'utilisateur (F_c augmentée de 50%).

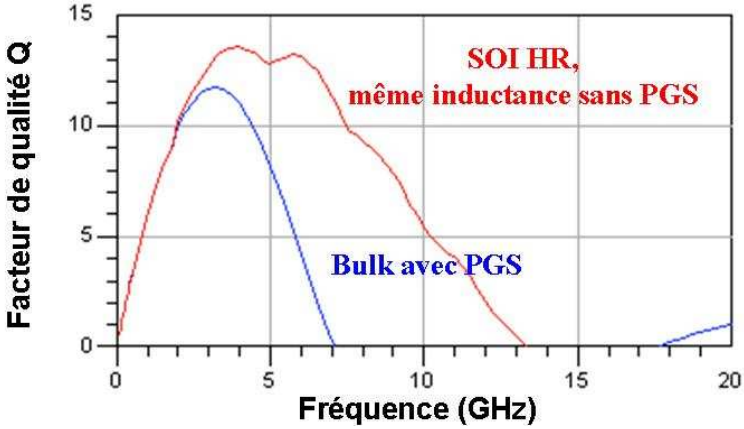

Figure II-1 : Comparaison du facteur de qualité d'une inductance intégrée (L_s= 1.5 nH) en 130 nm CMOS SOI HR avec ou sans PGS [Gian05].

II.1.2. Utilisation de l'intégralité du BEOL

Les pertes substrat étant négligeables dans le cas d'une inductance intégrée en technologie SOI HR, il nous faut donc minimiser au mieux les pertes métalliques.

Pour les technologies sur silicium massif, il s'agit d'intégrer, dans un procédé CMOS standard, un dernier niveau de métallisation épais de 2 à 4 µm de cuivre, en opposition au 0,9 µm dans un BEOL standard. D'excellents résultats en termes de facteurs de qualité (une augmentation de 15 à 20% dans la bande 2-5 GHz) ont été obtenus en utilisant de tels procédés de fabrication **[Cle05]**.

Les technologies SOI offrent quant à elles des possibilités d'améliorations supplémentaires. Les pertes substrat étant négligeables, on peut empiler tous les métaux disponibles (du métal M1 au métal M6), Figure II-2, et donc réaliser un tel cuivre épais à partir d'un BEOL standard. L'empilement de tous les niveaux de métaux conduit en effet à l'obtention d'un conducteur d'environ 3 µm d'épaisseur, en technologie CMOS SOI HR 130 nm.

Une vue en coupe d'une inductance planaire optimisée pour les technologies SOI HR est présentée à la Figure II-2 afin d'illustrer les propos ci-dessus.

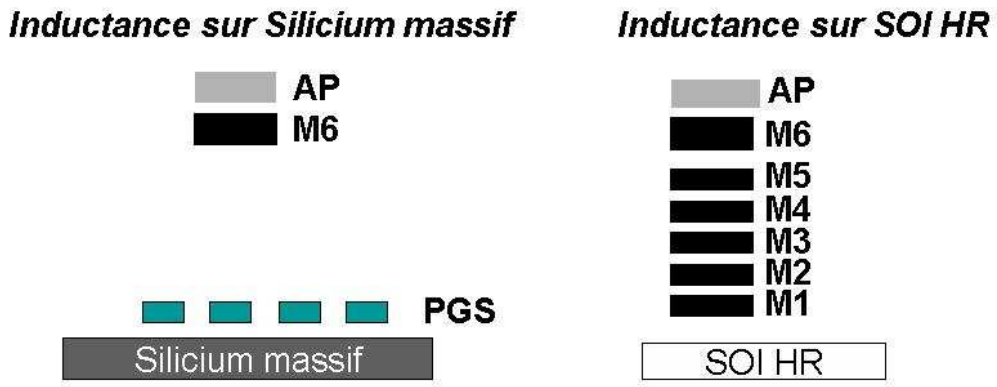

Figure II-2 : Comparaison entre l'architecture d'inductances planaires intégrées en technologie CMOS sur silicium massif et celle d'inductances planaires intégrées sur substrat SOI HR. Noter l'absence du plan de masse à motifs dans le cas de l'inductance sur SOI HR.

L'adjonction de métaux épais optionnels permettrait d'améliorer les performances obtenues tel que le facteur de qualité et la capacité en courant, comme nous le verrons par la suite.

II.2. Architecture d'inductances dédiées : avènement des topologies 3D

Une première voie d'optimisation d'inductances intégrées en technologie SOI HR a été présentée au paragraphe précédent. Ce schéma concerne exclusivement les inductances planaires et repose sur la suppression du PGS et l'empilement de tout le BEOL. Cette technique va permettre de

diminuer les pertes résistives, et par conséquent, augmenter le facteur de qualité du dispositif. Ces résultats ont dors et déjà constitué un avantage technique de premier plan en faveur des technologies SOI.

En effet, une amélioration du facteur de qualité des inductances intégrées peut être un argument décisif concernant l'intégration de certains blocs RF de base (l'oscillateur contrôlé en tension, par exemple). Cependant, ce seul argument ne saurait se montrer suffisant pour justifier la migration d'une technologie silicium massif vers une technologie SOI HR.

C'est pourquoi, parallèlement à la demande d'inductances à fort facteur de qualité, une pression de plus en plus croissante est apparue, concernant la mise à disposition d'inductances à faible surface et de coefficient de qualité modéré (~10). De tels composants constituent alors un argument décisif dans la réflexion accompagnant le choix d'une technologie lors de la phase d'avant projet. C'est ainsi que nous avons vu apparaître en technologie SOI, des nouvelles architectures d'inductances visant à réduire la surface des circuits RF (et donc leur coût) **[Gian07b]**.

Ce nouveau type d'optimisation repose sur une utilisation de tous les niveaux de métallisations disponibles dans le BEOL afin de réaliser les différents entrelacements constituants l'inductance en trois dimensions. On construit alors plusieurs inductances reliées en série et non plus une seule inductance planaire multi-tours.

Une telle approche ne pourrait être envisagée en silicium massif que si le plan de masse à motifs (PGS) est supprimé **[Gian09]**. En effet, s'il était utilisé, il conduirait à une diminution drastique des fréquences de coupure. De plus, le portage d'une structure d'inductance dédiée à la technologie SOI (utilisant les niveaux de métallisations les plus bas) directement en technologie « bulk » conduirait à une forte diminution des facteurs de qualité accessibles par augmentation des pertes liées au substrat.

Cette exploitation des niveaux de métallisations inférieurs peut donc être comprise de deux manières différentes. La première concerne l'empilement des différents niveaux afin de réduire au maximum les pertes métalliques et simuler ainsi un métal épais (plusieurs microns), comme cela a été évoqué au paragraphe précédent. La deuxième voie consiste en la réalisation de structures multi-niveaux permettant ainsi d'atteindre une très forte intégration (grâce aux nombreuses mutuelles inductives présentent dans la structure).

Cette approche 3D conduit à un nombre élevé de structures envisageables, nous allons présenter ici deux familles multi-niveaux qui peuvent être considérées comme les composants fondateurs des librairies de composants SOI HR actuellement proposées par STMicroelectronics.

II.2.1. Les inductances 3D sur 2 niveaux

Lorsque l'on évoque la réalisation de structures 3D, la première idée exploitable consiste à réaliser deux inductances imbriquées sur deux niveaux différents (de la même manière que sont couplés le primaire et le secondaire d'un transformateur, par exemple) et à connecter ces dernières en série, comme l'illustre la Figure II-3 . Ce faisant, on augmente la densité d'inductance surfacique, et on bénéficie également d'une inductance mutuelle qui augmente encore la valeur de l'inductance résultante (si l'on a bien pris garde au sens de circulation du courant dans chaque inductance unitaire utilisée).

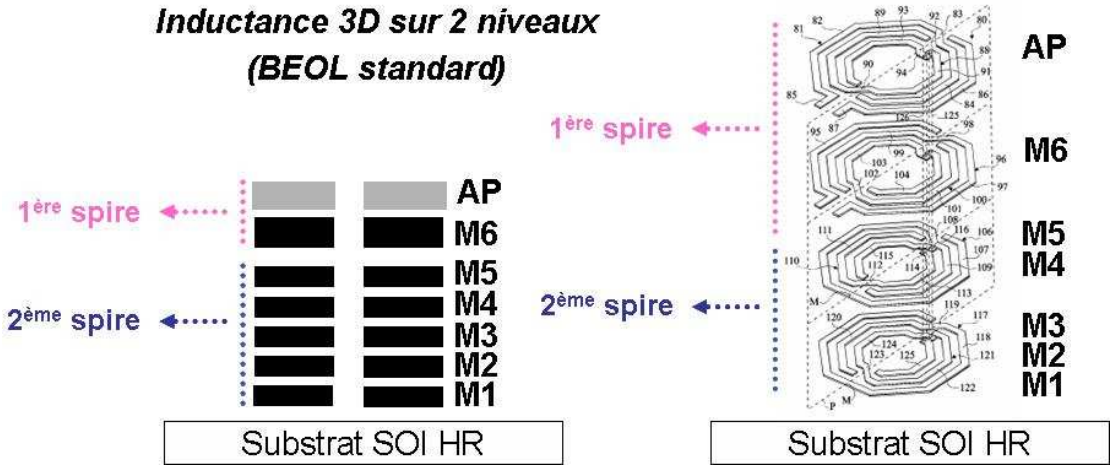

Figure II-3 : Architecture et dessin d'une inductance 3D sur deux niveaux intégrée sur substrat SOI HR [Gian07b].

Ce type de topologie a déjà été proposé pour la réalisation d'inductances de fortes valeurs (inductance de « *choke* »). Cependant, de tels composants voyaient leurs performances limitées par les pertes substrats, mais également par les relativement faibles fréquences de coupure accessibles. Si le SOI HR élimine d'emblée le premier écueil, la seconde limitation a été atténuée par une technique de dessin. Il s'agit de la technique dite de Group Cross **[Wang05]**, présentée au chapitre 1 et généralisée aux inductances à trois dimensions **[Gian08c]**.

Des performances intéressantes ont été obtenues pour les inductances 3D en technologie CMOS SOI HR 130 nm tant d'un point de vue électrique (facteur de qualité comparables mais fréquence de coupure Fc repoussée de 30%) que surfacique (réduction pouvant atteindre 50%) par rapport aux inductances planaires sur silicium massif, comme l'illustrent la Figure II-4 et Figure II-5, respectivement. De manière synthétique, on peut dire aujourd'hui que les technologies SOI HR sont capables d'offrir des inductances intégrées 3D offrant des performances électriques équivalentes à

celles obtenues par des inductances planaires dans une technologie « *bulk* » équivalente (cf. Figure II-4), mais offrent un gain en surface (et donc économique) de l'ordre de 40% (cf. Figure II-5).

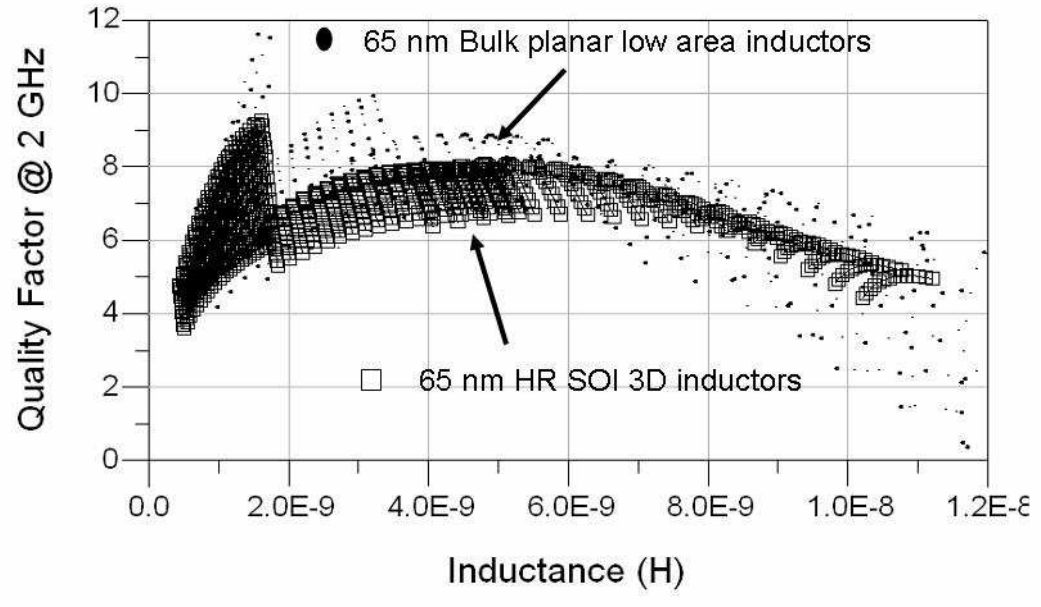

Figure II-4 : Comparaison des performances électriques d'inductances planaires sur silicium massif avec celles obtenues sur HR SOI à partir d'inductances 3D [Gian07b].

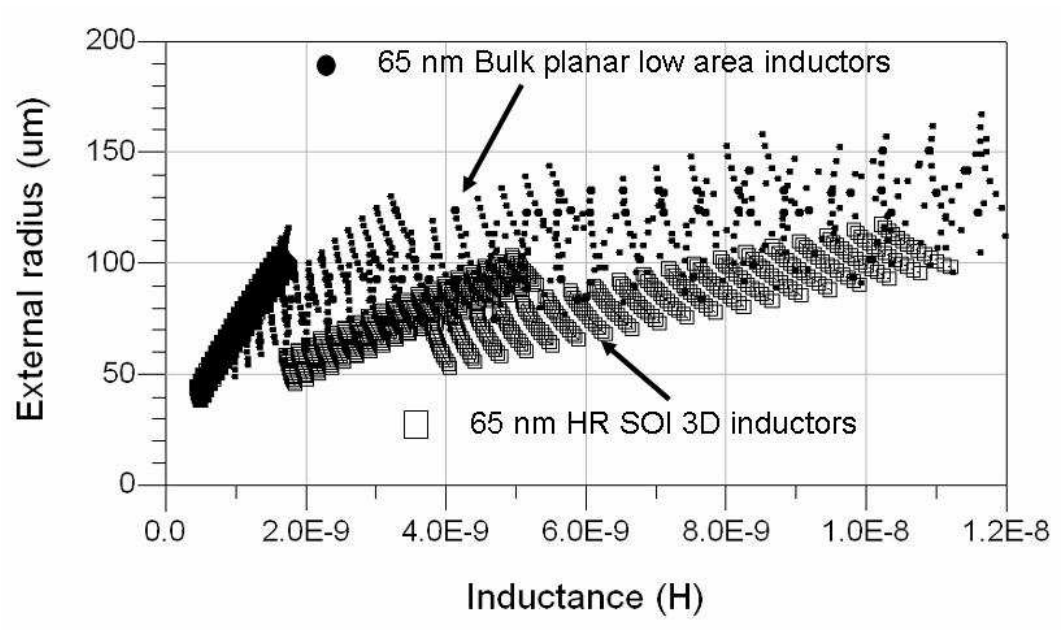

Figure II-5 : Comparaison des surfaces d'inductances planaires sur silicium massif avec celles obtenues sur HR SOI à partir d'inductances 3D [Gian07b].

II.2.2. Les inductances 3D sur 4 niveaux

Les paragraphes précédents ont permis de mettre en avant la pertinence à réaliser des structures d'inductances 3D en technologie SOI. Afin d'aller plus loin dans l'intégration et de généraliser les concepts présentés ci-dessus, des structures d'inductances 3D sur quatre niveaux ont été proposées dans la littérature **[Gian08b]**. Une coupe schématique des niveaux de métallisation est présentée afin d'illustrer la topologie de cette architecture.

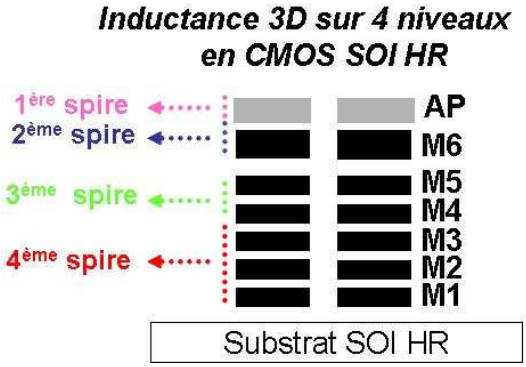

Figure II-6 : Vue en coupe de l'architecture d'une inductance 3D à 4 niveaux intégrée en technologie CMOS SOI HR 130 nm.

Cette classe d'inductances reprend toutes les caractéristiques des inductances 3D présentées dans le paragraphe précédent. Simplement, les performances électriques obtenues sont diminuées au profit d'une augmentation de la densité d'intégration. Ce phénomène s'explique par une augmentation de la résistance DC (intrinsèque à l'architecture) et une augmentation de la capacité parasite et des phénomènes de proximité. Ce composant permet aujourd'hui d'atteindre des facteurs de qualité compris entre 5 et 10 avec une densité d'intégration inégalée **[Gian08b]**.

II.3. Applications de puissance : intérêt du module double cuivre épais

Comme nous l'avons précisé dans les paragraphes précédents, il existe aujourd'hui une opportunité à pouvoir intégrer en technologie SOI les circuits d'émission des systèmes RF. D'un point de vue des inductances intégrées, cette nouvelle problématique d'intégration pose nécessairement la question de l'optimisation des performances électriques (facteur de qualité …), mais également celle de l'augmentation de la capacité à conduire de forts courants (par exemple pour les amplificateurs de puissance GSM qui peuvent être amenés à conduire des courants de l'ordre de 1 A). Les architectures d'inductances dédiées aux technologies SOI étant très différentes de celles étudiées précédemment dans le cadre de technologies silicium massif, la pertinence de déploiement d'un module double cuivre épais prend alors tout son sens.

En effet, la possibilité de pouvoir utiliser ce module double cuivre épais permettrait d'optimiser différemment (selon le type d'architecture) les inductances dédiées aux technologies SOI.

II.3.1. Les inductances planaires

Concernant les inductances planaires, nous pourrions procéder comme pour une technologie silicium massif, à la différence que nous avons déjà à notre disposition l'ensemble des niveaux métalliques du BEOL et que les pertes substrat sont négligeables. L'utilisation d'un module double cuivre épais en technologie SOI nous permettrait alors d'atteindre de meilleures performances tant d'un point de vue électrique, que de celui de la capacité à conduire de fort courant.

Pour apprécier ce point, plaçons-nous dans le pire cas, c'est-à-dire celui des inductances multi-tours dont le courant maximum est limité par la présence d'un « underpass. Comme on le voit sur la Figure II-7, contrairement à la technologie sur silicium massif (dont le courant maximum est limité par la couche AP), la technologie SOI HR permet de répondre aux spécifications en courant des applications WLAN **[RFMD].** Dans cette technologie et à partir d'un BEOL standard, le courant maximum est limité par l'empilement M6+AP.

Mais si on veut pouvoir atteindre les contraintes en courant des applications GSM (~1A) [RFMD], des propositions d'amélioration en terme de BEOL optimisés sont à apporter.

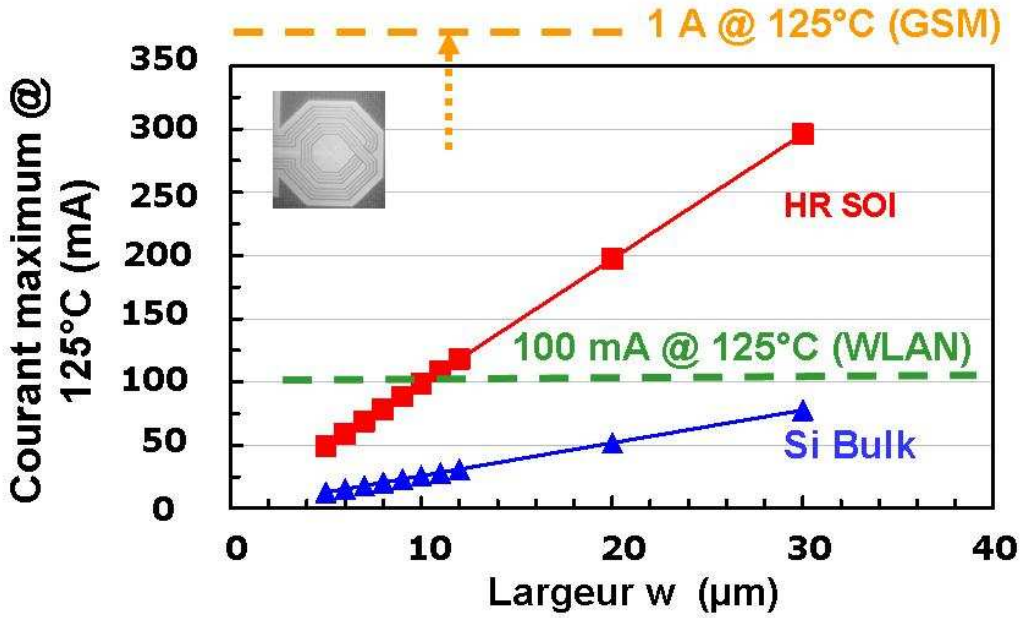

Figure II-7 : Capacité en courant d'inductances planaires intégrées en technologie CMOS HR SOI 130 nm et cahier des charges des applications visées (WLAN et GSM).

C'est ce point que nous allons aborder à travers l'utilisation du module double cuivre épais sur un substrat SOI HR. Nous proposerons alors une comparaison des résultats obtenus (et reportés pour la première fois) vis-à-vis des technologies IPD. Nous verrons comment il est possible de d'améliorer les performances des inductances intégrées à partir d'un BEOL standard, par l'utilisation d'un double cuivre épais en technologie HR SOI.

II.3.2. Les inductances 3D sur 2 niveaux

Mais les technologies SOI nous permettent également d'envisager les architectures d'inductances 3D innovantes. Il est donc légitime de se poser la question de l'intérêt d'un module double cuivre épais afin d'améliorer les performances de tels composants.

En effet, pour ces inductances 3D utilisant tous les niveaux de métaux du BEOL, la résistance DC est généralement limitée par les niveaux métalliques inférieurs (M4 et M5). La capacité en courant est quant à elle limitée par la couche d'aluminium AP. L'utilisation d'un module double cuivre épais devrait pouvoir nous permettre de dépasser ces limitations et pouvoir ainsi proposer des inductances 3D offrant le meilleur compromis surface/performances/capacité en courant.

Nous allons donc maintenant nous attacher à évaluer l'intérêt d'utiliser un module double cuivre épais en technologie SOI en essayant à chaque fois de tirer partie au mieux des performances offertes par ce module, en fonction des spécificités des différentes architectures d'inductance. On pourra remarquer que ces résultats constituent une première. En effet, il n'existait pas, à notre connaissance, d'équivalent dans la littérature.

III. INDUCTANCES INTEGREES EN TECHNOLOGIE CMOS SOI HR AVEC UN MODULE DOUBLE CUIVRE EPAIS

Nous allons maintenant présenter les résultats de nos investigations concernant les performances d'inductances intégrées en technologie SOI utilisant un module double cuivre épais. Tout d'abord nous verrons en détails une description du BEOL utilisé, puis nous décrirons les structures de test fabriquées. Enfin, nous analyserons les résultats électriques obtenus.

III.1. Technologie d'intégration utilisée

Les structures de tests définies dans cette étude ont été réalisées en utilisant la technologie CMOS 130 nm SOI HR de STMicroelectronics. Le substrat de départ est de type Unibond Hautement Résistif (ρ> 1000 Ω.cm), il est fabriqué par la société Soitec®. Les structures réalisées utilisent pour la première fois un BEOL double cuivre épais aux deux derniers niveaux de métallisation M5T et M6T.

III.1.1. Nouveau BEOL (M5T+M6T+AP)

Grâce aux propriétés HR du substrat SOI utilisé, les inductances ont pu être intégrées sur tous les niveaux de métallisation du BEOL. Concernant le procédé de fabrication des niveaux épais, chacun d'eux a été réalisé à partir d'une option cuivre épais en architecture Simple Damascène, Figure III-2.

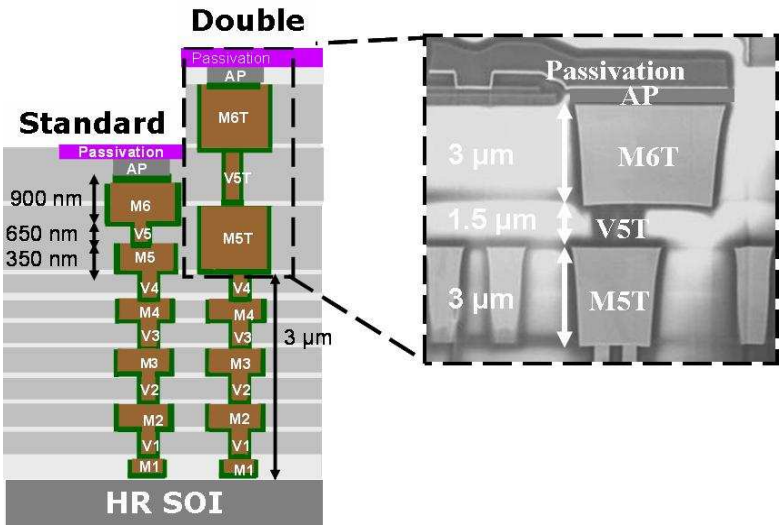

Figure III-1 : Comparaison entre le BEOL standard et le BEOL utilisant un double cuivre épais M5T et M6T en technologie CMOS SOI HR 130 nm.

III.1.2. Ses performances

Vu la robustesse de chaque brique élémentaire, le procédé de fabrication du BEOL avec M5T et M6T s'est révélé être mature à tel point de n'avoir aucune perte de rendement sur nos structures dès le premier essai. Le couple épaisseur/espacement sur masque des métaux M5T et M6T était de 0.6µm/0.6 µm, Figure III-2. Ce couple largeur de ligne/espacement correspond aux règles minimales de dessin d'un métal M5T ou M6T. Le couple épaisseur/espacement sur masque du via V5T était de 0.4µm/0.4 µm, Figure III-3. Ce couple largeur de ligne/espacement correspond aux règles minimales de dessin d'un métal V5T.

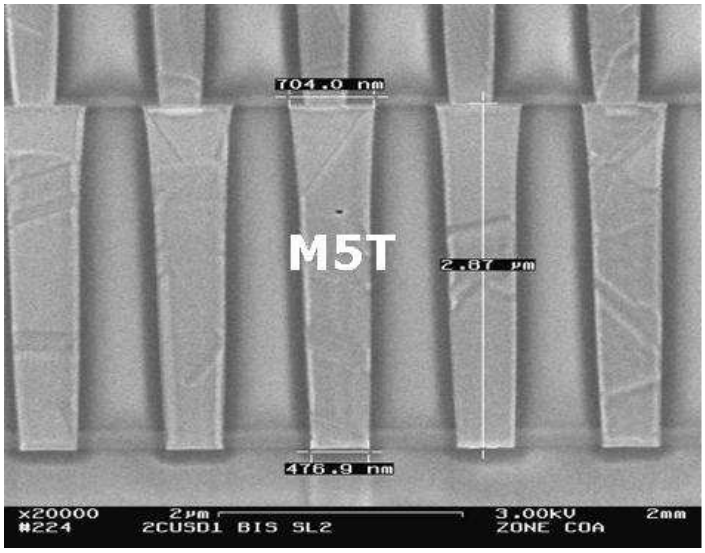

Figure III-2 : Image au microscope électronique à balayage du métal M5T.

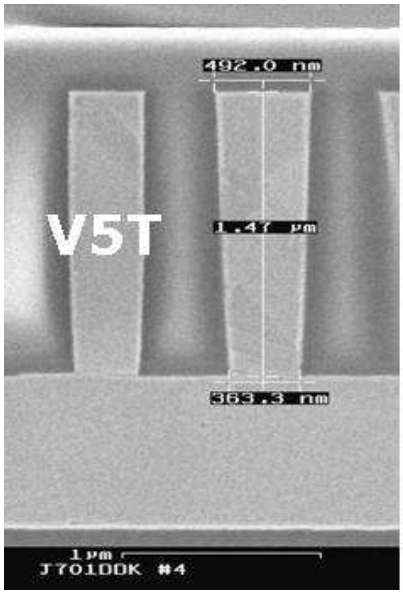

Figure III-3 : Image au microscope électronique à balayage du via V5T.

III.2. Définition et description des structures de test

Au total, 132 structures ont été dessinées, fabriquées et caractérisées en hyperfréquences. Cela représente 25 mm^2 de surface silicium, comme le montre la Figure III-4.

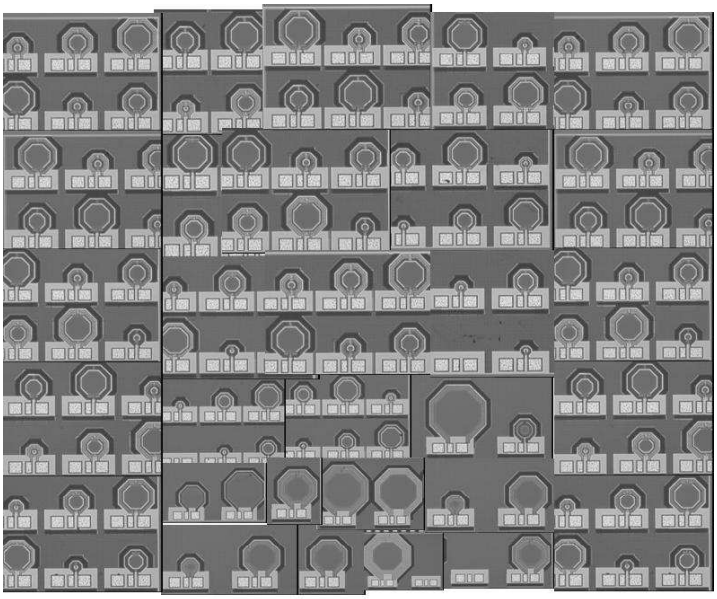

Figure III-4 : Photographie réalisée au microscope optique de l'ensemble des structures dessinées pour cette étude.

Elles comprennent :

- **66 inductances de référence** (de type planaires et 3D) utilisant **un empilement standard** M1+M2+M3+M4+**M5+M6+AP**, voir Figure III-2.

- **et 66 inductances en double cuivre épais** (de type planaires et 3D) utilisant **l'empilement** M1+M2+M3+M4+**M5T+M6T+AP**, voir Figure III-2.

III.2.1. Description des inductances de référence

Afin d'offrir une étude la plus exhaustive possible, un large spectre d'inductances en termes de paramètres géométriques, architecturaux, Tableau III-1 et Tableau III-2, et électriques, Tableau III-2 et Tableau III-4, ont été fabriquées.

Elles se divisent en deux groupes qui sont :

- **Les inductances planaires** visant un fort facteur de qualité. Elles comprennent l'inductance Ind1, Figure III-5, l'inductance Ind2, Figure III-6, et l'inductance Ind3, Figure III-7.
- **Les inductances 3D** visant une faible surface. Elles regroupent l'inductance Ind4, Figure III-8, l'inductance Ind5, Figure III-9, et l'inductance Ind6, Figure III-10.

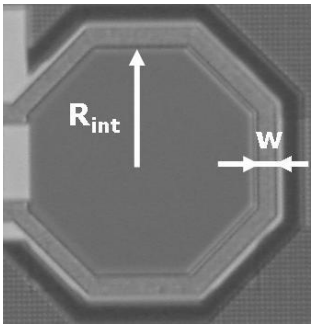

Figure III-5 : Photographie au microscope optique de l'inductance Ind1.

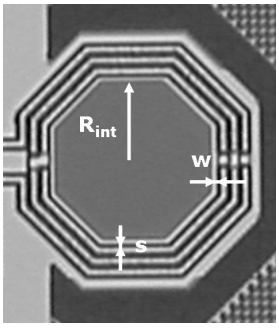

Figure III-6 : Photographie au microscope optique de l'inductance Ind2.

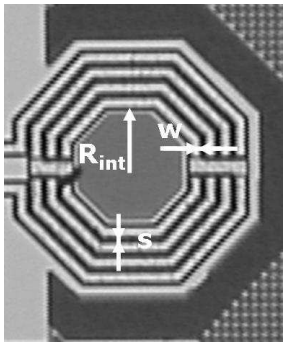

Figure III-7 : Photographie au microscope optique de l'inductance Ind3.

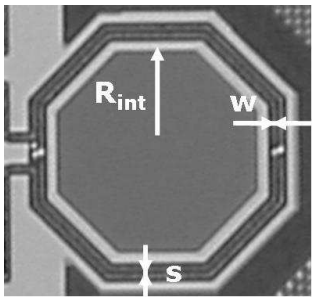

Figure III-8 : Photographie au microscope optique de l'inductance Ind4.

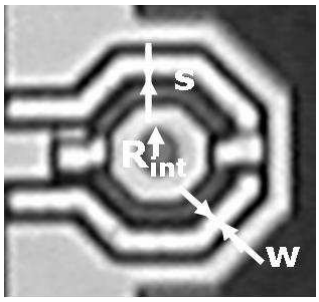

Figure III-9 : Photographie au microscope optique de l'inductance Ind5.

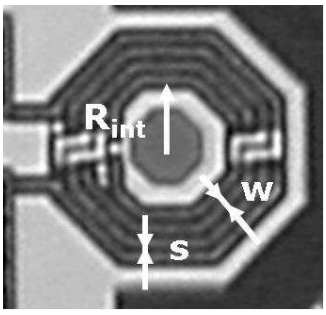

Figure III-10 : Photographie au microscope optique de l'inductance Ind6.

1) Les inductances planaires

Les inductances planaires se divisent en deux sous-groupes qui sont :

- Les inductances planaires mono-tour, typiquement l'Ind1.
- Les inductances planaires multi-tours, Ind2 et Ind3.

Leurs caractéristiques architecturales et géométriques sont données au Tableau III-1.

	Ind1	***Ind2***	***Ind3***
Spires	M1 à AP	M1 à AP	M1 à AP
Upperpass	NA	M6+AP	M6+AP
Underpass	NA	M1+M2+M3+M4+M5	M1+M2+M3+M4+M5
Nombre de tours	1	3	6
Rayon interne R_{int} [µm]	200	81.5	54
Largeur des pistes w [µm]	30	11.99	11.99
Espacement s [µm]	NA	2	2

Tableau III-1: Caractéristiques architecturales et géométriques des inductances planaires étudiées. NA signifie Non Applicable.

Leurs caractéristiques électriques mesurées et la capacité en courant I_{max} calculée à partir des règles d'électromigration **[DRM08]**, sont données au Tableau III-2.

	BEOL Standard (M1+M2+M3+M4+M5+M6+AP)		
	Ind1	***Ind2***	***Ind3***
Q_{max}	26 @ 4.5 GHz	16.1 @ 3.1 GHz	11.9 @ 1.6 GHz
L_s [nH]	0.9	2.7	6.5
F_c [GHz]	33.5	13	5.8
R_{DC} [Ω]	0.4	1.5	2.8
I_{max} [mA]	701 mA (M1+M2+M3+M4+M5+M6+AP)	120 mA (M6+AP)	120 mA (M6+AP)

Tableau III-2: Caractéristiques électriques des inductances planaires de référence dans un BEOL standard en technologie HR SOI.

L'inductance Ind1, Figure III-5, est formée à partir de l'empilement de tous les niveaux de métallisation (M1 à AP), Figure III-11. Elle est caractérisée par un fort facteur de qualité Q_{max} et une faible valeur d'inductance série L_s, Tableau III-2.

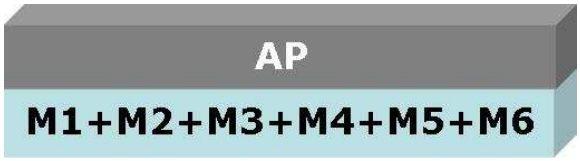

Figure III-11 : Description de l'inductance planaire mono-tour de référence Ind1.

Concernant les inductances Ind2, et Ind3, Figure III-6 et Figure III-7, ce sont des inductances multi-tours utilisant le groupe cross **[Wong05]** et la technique de largeur variable **[Boret02]**. Les spires se situent au niveau de l'empilement M1 à AP et présentent un « underpass » continu en M1+M2+M3+M4+M5 et un « upperpass » en M6+AP, Figure III-12. Ces inductances visent une valeur moyenne d'inductance série L_s et un facteur de qualité moyen Q_{max}, Tableau III-2.

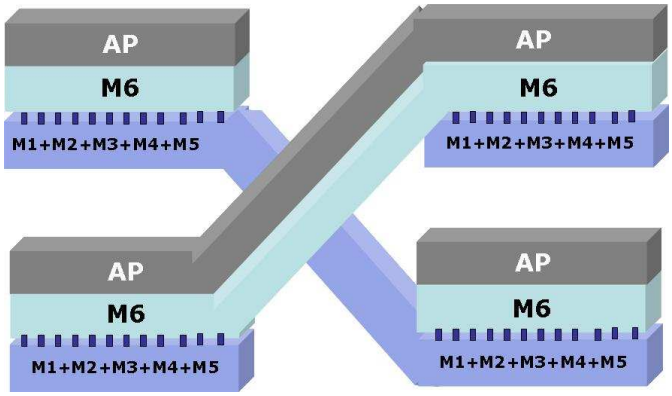

Figure III-12 : Description de l'inductance planaire multi-tour de référence Ind2.

2) Les inductances 3D multi-tours

Les inductances 3D, typiquement l'Ind4, l'Ind5, et l'Ind6, Figure III-8, Figure III-9, Figure III-10, sont des inductances multi-tours réalisées sur 2 niveaux, c'est-à-dire deux inductances multi-tours empilées et connectées en série. Elles utilisent la technique de dessin dite du groupe cross généralisé **[Wong05]**.

La première spire est réalisée à partir de l'empilement AP+M6 avec un « underpass » en M6 et un « upperpass » en AP. La deuxième spire est quant à elle formée par les niveaux supérieurs (M1+M2+M3+M4+M5) avec un « underpass » en M1+M2+M3 et un « upperpass » en M4+M5, Figure III-13.

Leurs caractéristiques architecturales et géométriques sont données au Tableau III-3.

	Ind4	***Ind5***	***Ind6***
Spire 1	M6+AP	M6+AP	M6+AP
Upperpass 1	AP	AP	AP
Underpass 1	M6	M6	M6
Spire 2	M1+M2+M3+M4+M5	M1+M2+M3+M4 +M5	M1+M2+M3+M4 +M5
Upperpass 2	M4+M5	M4+M5	M4+M5
Underpass 2	M1+M2+M3	M1+M2+M3	M1+M2+M3
Nombre de tours	2	2	4
Rayon interne R_{int} [µm]	100	30	30
Largeur des pistes w [µm]	5	11.99	5
Espacement s [µm]	2	2	2

Tableau III-3: Caractéristiques architecturales et géométriques des inductances 3D étudiées.

Leurs caractéristiques électriques sont données au Tableau III-4.

	BEOL Standard (M1+M2+M3+M4+M5+M6+AP)		
	Ind4	***Ind5***	***Ind6***
Q_{max}	12.6 @ 12.7GHz	13.0 @ 4.5 GHz	8.6 @ 1.8 GHz
L_s [nH]	1	3.6	15.6
F_c [GHz]	32	10.5	4.3
R_{DC} [Ω]	1.7	3.6	11.6
I_{max} [mA]	12 mA (AP)	30 mA (AP)	12 mA (AP)

Tableau III-4: Caractéristiques électriques des inductances 3D de référence dans un BEOL standard en technologie HR SOI.

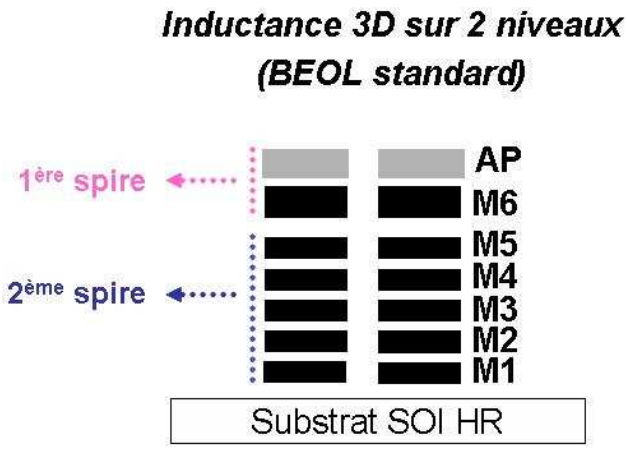

Figure III-13 : Dessin d'une inductance 3D sur deux niveaux intégrée sur substrat SOI HR.

III.2.2. Description architecturale des inductances en double cuivre épais

1) Les inductances planaires

Pour l'inductance mono-tour Ind1, l'idée est d'augmenter à la fois le facteur de qualité par réduction de la valeur de résistance R_{DC} de l'inductance, et la capacité en courant grâce à l'utilisation d'un double cuivre épais. En effet, dans ce cas, le courant maximal sera défini par l'empilement M1+M2+M3+M4+M5T+M6T+AP, Figure III-14.

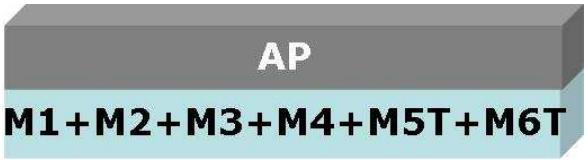

Figure III-14 : Description de l'inductance planaire mono-tour Ind1 avec un module double cuivre épais.

Quant aux inductances multi-tours Ind2, Ind3, les spires se situent au niveau de l'empilement M1 à AP. Elles présentent un « underpass » continu en M1+M2+M3+M4+M5T et un « upperpass » en M6T+AP, Figure III-15. L'équilibrage par l'utilisation d'un métal épais à la fois pour l' « underpass » et l'« upperpass » va permettre une augmentation de la capacité en courant de la structure. Par réduction de la résistance DC, le facteur de qualité se verra lui aussi augmenté.

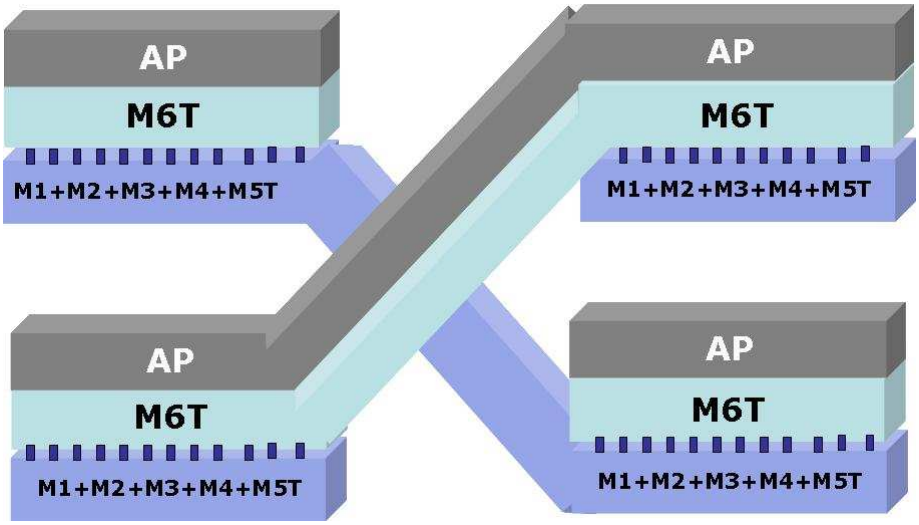

Figure III-15 : Description de l'inductance planaire multi-tours Ind2 et Ind3 avec un module double cuivre épais.

2) Les inductances 3D multi-tours

La première spire est réalisée à partir de l'empilement AP+M6 avec un « underpass » en M6T et un « upperpass » en AP. La deuxième spire est quant à elle formée par les niveaux supérieurs (M1+M2+M3+M4+M5T) avec un « underpass » en M1+M2+M3 et un « upperpass » en M4+M5T, Figure III-16.

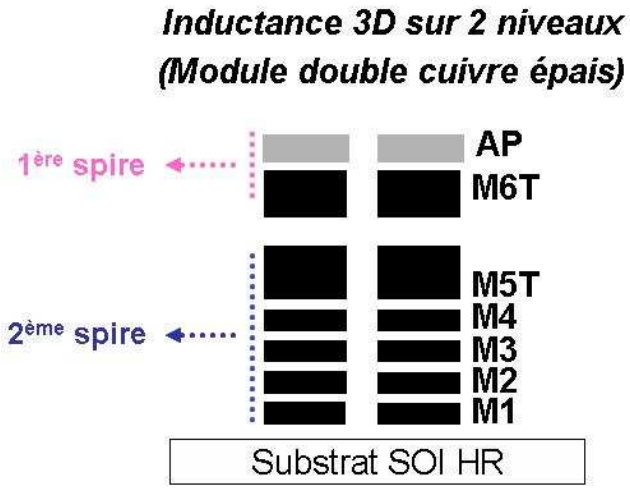

Figure III-16 : Description de l'inductance planaire multi-tours Ind2 et Ind3 avec un module double cuivre épais.

IV. CARACTERISATION DES STRUCTURES DE TEST EN DOUBLE CUIVRE EPAIS ET EXTRACTION DES PARAMETRES

IV.1. Mesures des performances RF

Les mesures des paramètres S de l'ensemble des structures de test ont été réalisées jusqu'à 50 GHz à l'aide d'un VNA HP8510C de la société Agilent et de pointes GSG Infinity de la société Cascade Microtech. Les paramètres pertinents extraits à partir des paramètres S pour évaluer les performances des inductances sont :

- Le **facteur de qualité Q** et la **valeur du pic Q_{max}**
- La **fréquence de résonance F_c**
- La valeur de **l'inductance série L_s**
- La valeur de **la résistance série R_s**

dont les expressions sont données dans le chapitre 2, page 106 - 107.

Pour ce qui est de la capacité en courant I_{max}, elle a été calculée à partir des règles d'électromigration des métaux du BEOL fournis par le manuel de règles de dessin **[DRM08]** de la technologie CMOS 130 nm SOI de STMicroeceltronics.

IV.2. Analyse des résultats

IV.2.1. Les inductances planaires

Concernant les inductances planaires, comme nous allons le voir, la réduction importante de la résistance métallique des inductances permet dans tous les cas d'obtenir un gain sur le facteur de qualité et la capacité en courant. En fait, la réduction de la capacité parasite offerte par la technologie SOI permet de tirer parti au mieux des performances du cuivre épais, alors qu'en technologie silicium massif nous devions trouver un compromis avec les effets capacitifs.

1) Les inductances planaires mono-tour

Grâce à une réduction de 61% de la résistance DC par rapport à l'architecture standard, Figure IV-2, on voit que l'Ind1 en double cuivre épais atteint un pic du facteur de qualité Q de 33.8 à 4.5 GHz, Figure IV-1. L'utilisation de 2 niveaux épais permet, dans le cas d'une inductance planaire

mono-tour, de bénéficier d'une augmentation de 27 % sur le facteur de qualité pour une fréquence de pic équivalente.

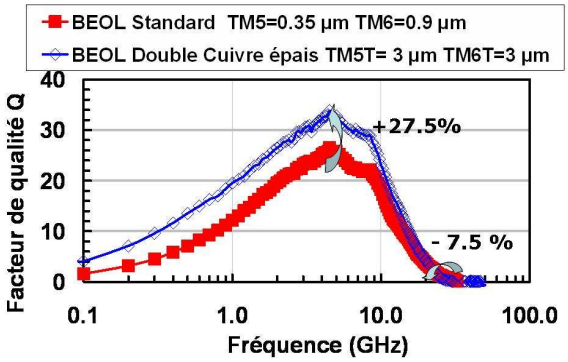

Figure IV-1 : Facteur de qualité Q mesuré de l'Ind1 pour une architecture standard et une architecture double cuivre épais.

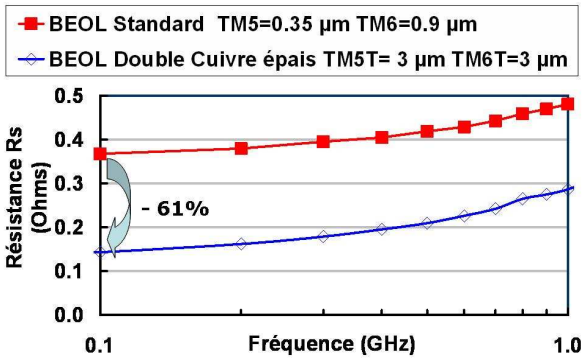

Figure IV-2 : Résistance série R_s mesurée de l'Ind1 pour une architecture standard et une architecture double cuivre épais.

Cette augmentation du facteur de qualité maximum est obtenue au détriment de la fréquence de coupure F_c. Cette dernière est en effet réduite de 7.5% par augmentation de la capacité parasite. La valeur de l'inductance est alors peu impactée (diminution de l'ordre de 5%), évolution qui paraît cohérente avec l'épaississement des métaux utilisés.

Concernant les performances en courant, cette inductance d'une largeur de spire de 30 µm permet d'atteindre 1.7 A à 125 °C en configuration double cuivre épais, soit plus du double de celle obtenue en utilisant un BEOL standard (701 mA).

2) Les inductances planaires multi-tours

Grâce à une réduction de 52% de la résistance DC, Figure IV-4, on voit que l'Ind2 réalisée en double cuivre épais atteint un pic du facteur de qualité Q de 18 à 3.3 GHz, Figure IV-3. Ces niveaux épais permettent dans le cas d'une inductance planaire multi-tours de bénéficier d'une augmentation de 13.5% sur le maximum du facteur de qualité à fréquence de pic équivalente.

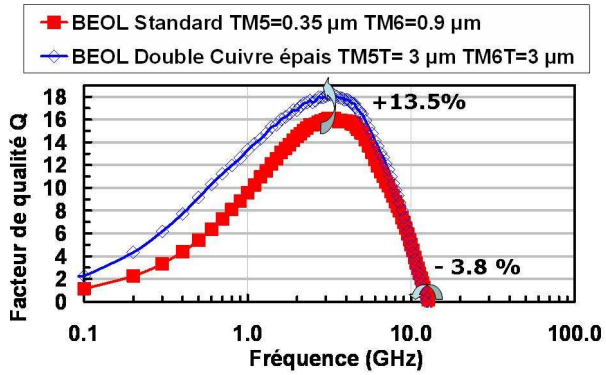

Figure IV-3 : Facteur de qualité Q mesuré de l'Ind2 pour une architecture standard et une architecture double cuivre épais.

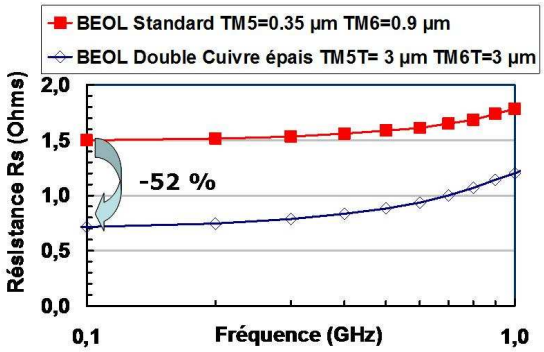

Figure IV-4 : Résistance série R_s mesurée de l'Ind2 pour une architecture standard et une architecture double cuivre épais.

Dans ce cas, la fréquence de coupure F_c et la valeur de l'inductance sont légèrement impactée et réduites, de moins de 6%, ce qui est de l'ordre de la variabilité à l'échelle d'une plaque.

Concernant les performances en courant, cette inductance de largeur de spire de 11.99 µm permet d'atteindre 292 mA à 125 °C en configuration double cuivre épais, soit 2.43 fois celle obtenue en utilisant un BEOL standard (120 mA).

Un autre exemple d'inductances planaires multi-tours visant un fort facteur de qualité est celui de l'Ind3. Pour celle-ci, la réduction de 53% de la résistance DC, Figure IV-6, permet d'atteindre un pic du facteur de qualité Q de 13.6 à 1 GHz, Figure IV-5, en double cuivre épais, soit une augmentation de 13.8% par rapport au BEOL standard. La fréquence du pic du facteur de qualité est dans ce cas réduite de 11% par augmentation de la capacité parasite.

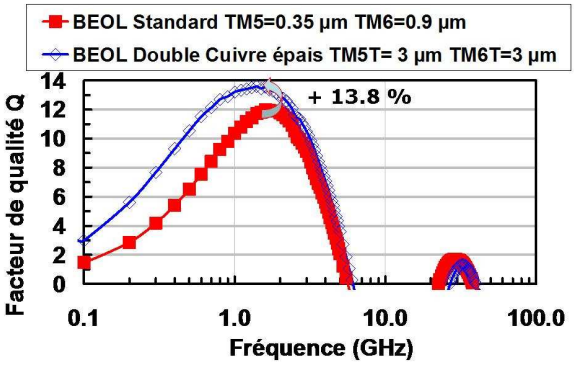

Figure IV-5 : Facteur de qualité Q mesuré de l'Ind3 pour une architecture standard et une architecture double cuivre épais.

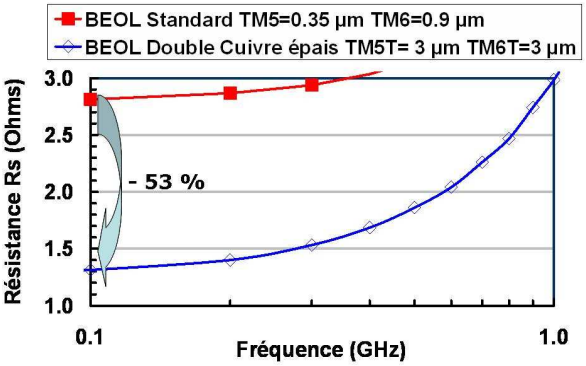

Figure IV-6 : Résistance série R_s mesurée de l'Ind3 pour une architecture standard et une architecture double cuivre épais.

La valeur de l'inductance est dans ce cas peu impactée (diminution de l'ordre de 4%). Cette valeur est de l'ordre de la variabilité à l'échelle de la plaque.

Concernant les performances en courant, cette inductance de largeur 11.99 µm permet d'atteindre 292 mA à 125 °C en configuration double cuivre épais, soit 2.43 fois celle obtenue en architecture standard (120 mA).

IV.2.2. Les inductances 3D multi-tours

Pour ce type d'inductance, trois conclusions sont possibles selon l'inductance considérée et illustrent le phénomène de compétition entre la réduction de la résistance $R_{DC,}$ l'augmentation de la capacité parasite C_s et la réduction des mutuelles inductives dans la structure (à cause de l'épaississement des métaux supérieurs). On peut classer les inductances 3D selon trois groupes afin d'évaluer l'intérêt d'un module double cuivre épais : les inductances pour lesquelles la résistance DC est faible ($R_{DC} \leq 1.7\ \Omega$), celles pour lesquelles elle est intermédiaire ($1.7\ \Omega < R_{DC} < 4\ \Omega$), et celles pour lesquelles elle est forte ($R_{DC} \geq 4\ \Omega$).

1) Les inductances 3D multi-tours avec une valeur de résistance DC faible

Pour les inductances multi-tours présentant une faible valeur de résistance $R_{DC} \leq 1.7\ \Omega$ avec le BEOL standard, aucune amélioration notable du facteur de qualité n'est observée avec un module double cuivre épais comme l'illustre la Figure IV-7.

En considérant les résultats de l'inductance Ind4, on observe que la réduction de la valeur de la résistance R_{DC}, (-48%), cf.Figure IV-8, est contrebalancée par la diminution de la valeur d'inductance (-14%) comme le montre la Figure IV-9. La fréquence de coupure F_c est quant à elle réduite de 6.3 %.

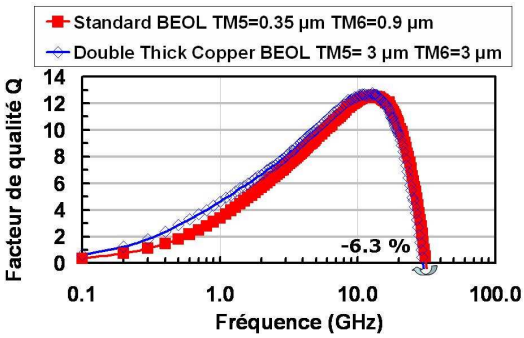

Figure IV-7 : Facteur de qualité Q mesuré de l'Ind4 pour une architecture standard et une architecture double cuivre épais.

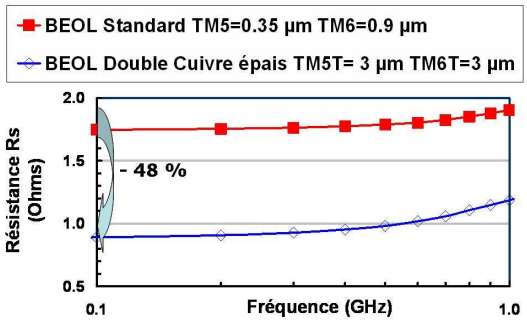

Figure IV-8 : Résistance série R_s mesurée de l'Ind4 pour une architecture standard et une architecture double cuivre épais.

Cette diminution de la valeur de l'inductance est liée à l'épaississement des spires et à la diminution de la mutuelle inductance entre les deux spires constituant les inductances 3D multi-tours, comme illustré en Figure IV-10. La réduction de la valeur de résistance DC n'est donc pas suffisante pour compenser la diminution de valeur d'inductance inhérente à l'utilisation d'un module double cuivre épais. On ne peut donc espérer une amélioration notable du facteur de qualité pour de telles structures.

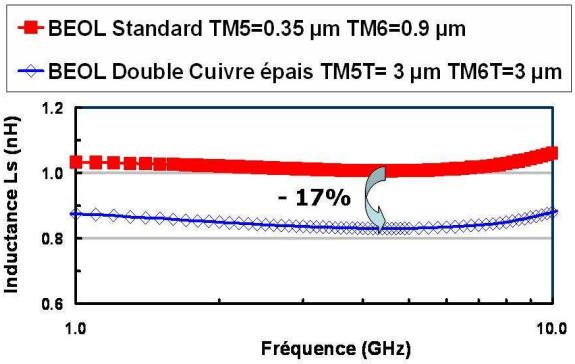

Figure IV-9 : Inductance série L_s mesurée de l'Ind4 pour une architecture standard et une architecture double cuivre épais.

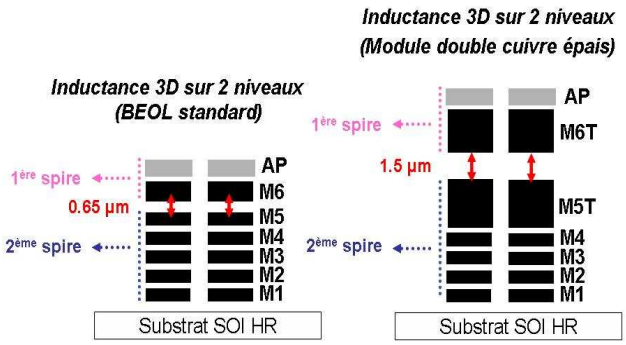

Figure IV-10 : Illustration de la réduction de la valeur de L par effet d'une mutuelle plus faible (à relier à l'épaississement des métaux et à l'augmentation de la hauteur du via V5).

Pour ce qui est de la capacité en courant de cette inductance de largeur de piste w égale à 5 µm, elle est identique à celle obtenue à partir d'une configuration standard (12 mA). La couche AP demeure la métallisation limitante du point de vue du courant.

2) Inductances 3D multi-tours avec une valeur de résistance DC intermédiaire

Pour des inductances multi-tours avec une valeur de résistance R_{DC} intermédiaire (1.7 Ω < R_s < 4 Ω avec un BEOL standard), on observe cette fois une amélioration du facteur de qualité comme le montre la Figure IV-11. Si on considère la structure Ind5, le facteur de qualité est amélioré de 11% par rapport à celui obtenu avec un BEOL standard et atteint 14.6 à 3.3 GHz.

Nous commençons, dans ce cas de figure, à nous trouver dans un compromis intéressant où la diminution de la résistance DC (-53%) prédomine vis-à-vis de l'augmentation de la capacité parasite, Figure IV-12, et surtout de la réduction de la valeur d'inductance (-9.5%), cf. Figure IV-13.

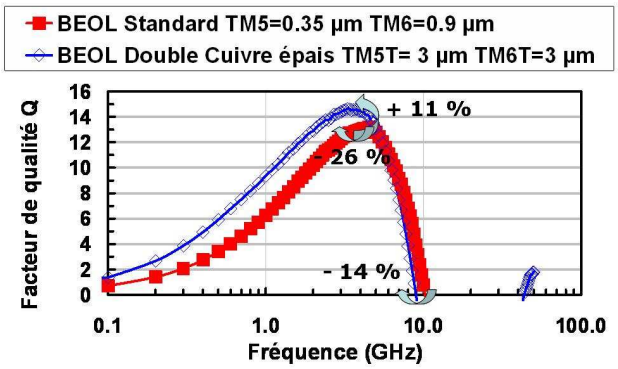

Figure IV-11 : Facteur de qualité Q mesuré de l'Ind5 pour une architecture standard et une architecture double cuivre épais.

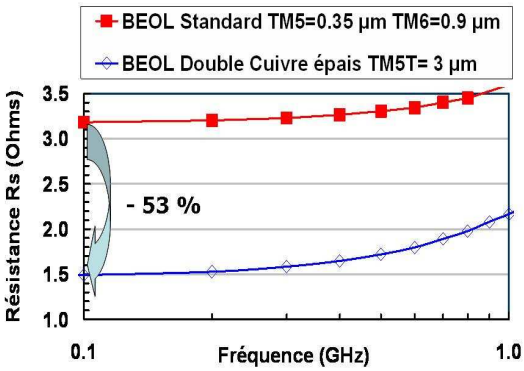

Figure IV-12 : Résistance série R_s mesurée de l'Ind5 pour une architecture standard et une architecture double cuivre épais.

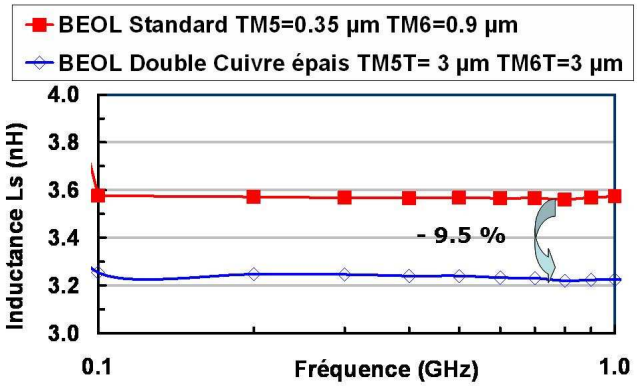

Figure IV-13 : Inductance série L_s mesurée de l'Ind5 pour une architecture standard et une architecture double cuivre épais.

Pour ce qui est de la capacité en courant de cette inductance de w égal à 11.99 µm, elle est identique à celle obtenue à partir d'une configuration standard (12 mA). La couche AP demeure la métallisation limitante du point de vue du courant.

3) Inductances 3D multi-tours avec une valeur de résistance DC forte

Si nous nous intéressons maintenant aux inductances à forte valeur de résistance DC R_{DC} (> 4 Ω avec un BEOL standard), on observe alors l'intérêt d'utiliser un module double cuivre épais pour une structure 3D.

La réduction de la résistance DC (-60%, cf. Figure IV-15) étant largement supérieure à la réduction de la valeur d'inductance (-6%, cf. Figure IV-16). En considérant la structure Ind6, grâce à une réduction de la résistance DC de 60 %, Figure IV-15, le facteur de qualité maximal atteint

désormais 10.4 à 1 GHz, soit une augmentation de 21 % par rapport à la structure réalisée avec une BEOL standard.

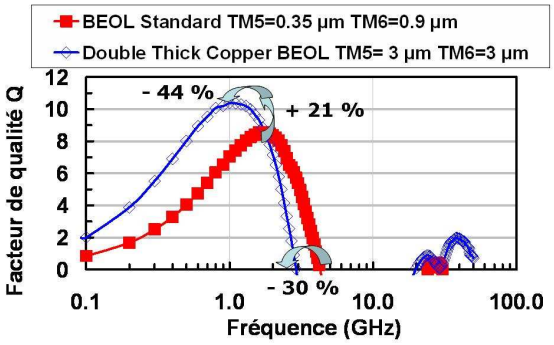

Figure IV-14 : Facteur de qualité Q mesuré de l'Ind6 pour une architecture standard et une architecture double cuivre épais.

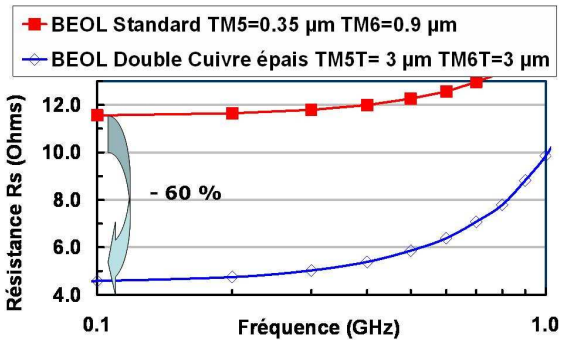

Figure IV-15 : Résistance série R_s mesurée de l'Ind6 pour une architecture standard et une architecture double cuivre épais.

Mais cette augmentation de performance est réalisée au détriment de la fréquence de coupure F_c ainsi que celle du pic du facteur de qualité. Elles sont en effet réduites de 30% et de 44 %, respectivement, à cause de l'augmentation de la capacité parasite inter spire induite par l'utilisation d'un module double cuivre épais.

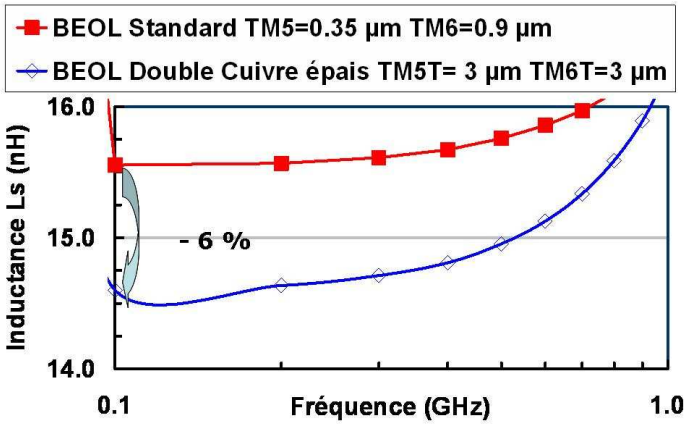

Figure IV-16 : Inductance série L_s mesurée de l'Ind6 pour une architecture standard et une architecture double cuivre épais.

Pour ce qui est de la capacité en courant de cette inductance de w égal à 5 µm, elle est identique à celle obtenue à partir d'une configuration standard (12 mA). La couche AP demeure la métallisation limitante du point de vue du courant.

IV.3. Bilan et discussions concernant les inductances planaires

IV.3.1. Les inductances planaires mono-tour

Dans le cas d'inductances mono-tour, on peut noter que l'apport du module double cuivre épais en technologie SOI HR 130 nm permet d'atteindre un facteur de qualité de 26.5 à 4.5 GHz, Tableau IV-1. Ces premiers résultats placent ce travail à l'état de l'art des inductances intégrées dans les technologies CMOS utilisant un BEOL cuivre **[Kim03]**. Il faut cependant noter que les inductances réalisées par IBM sont développées en technologie 120 nm sur 8 niveaux de métallisations et non sur 6 niveaux de cuivre (comme dans notre étude), le procédé de fabrication visant des applications de type ASIC (« Application-Specific Integrated Circuit ») et non le marché des applications nomades.

Quant à la performance en courant, le BEOL innovant proposé ici permet de multiplier par plus de deux la capacité en courant I_{max} à 125 °C. Ce premier résultat permet aux technologies SOI de pouvoir prétendre viser l'intégration d'application de type GSM, comme l'illustre la Figure IV-17.

	Ind1 : Mono-tour et fort facteur de qualité	
Configuration	***Standard***	***Double***
Q_{max}	26.5 @ 4.5 GHz	33.8 @ 4.5 GHz
L_s ***[nH]***	0.88	0.92
F_c ***[GHz]***	33.5	31
R_s ***[Ω] @ 100 MHz***	0.4	0.1
I_{max} ***[mA]***	701 mA (M1+M2+M3+M4+M5+M6)	1.7 A (M1+M2+M3+M4+M5T+M6T)

Tableau IV-1: Comparaison des performances RF et de la capacité en courant de l'inductance Ind1 en configuration standard et celle en double cuivre épais en technologie CMOS SOI HR 130 nm.

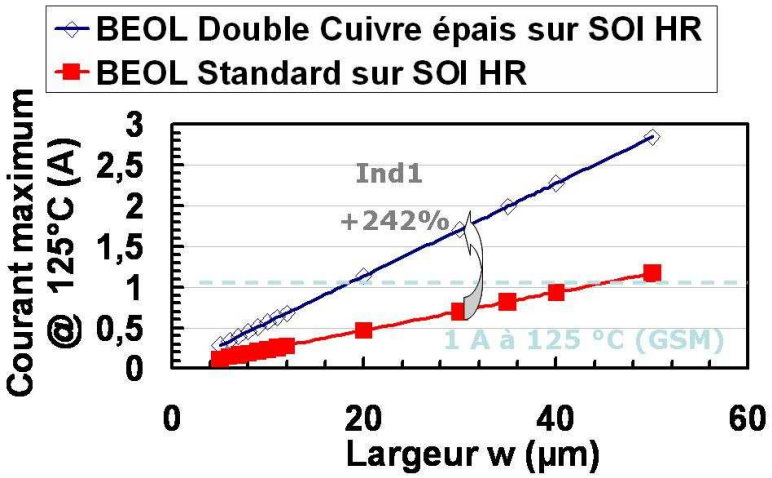

Figure IV-17 : Comparaison entre la capacité en courant obtenue à partir des inductances planaires mono-tour sur un substrat HR SOI utilisant un BEOL standard et celle utilisant un module double cuivre épais.

IV.3.2. Les inductances planaires multi-tours

Dans le cas des inductances planaires multi-tours, comme le montrent les Tableau IV-2 et Tableau IV-3, l'apport du module double cuivre épais sur un substrat SOI HR demeure intéressant. En effet, grâce à la réduction de la résistance DC (~ 50%), le pic du facteur de qualité va connaître une amélioration non négligeable (~ 15%), et la capacité en courant se trouvera grandement améliorée (multiplié par 2.43). Grâce à ce bloc technologique, les applications de puissance vont pouvoir alors être adressées avec le niveau de performances requis.

	Ind2 : Multi-tour et fort facteur de qualité	
Configuration	***Standard***	***Double***
Q_{max}	16 @ 3.1 GHz	18 @ 3.3 GHz
L_s ***[nH]***	2.5	2.7
F_c ***[GHz]***	13	12.5
R_s ***[Ω] @ 100 MHz***	1.5	0.7
I_{max} ***[mA]***	120 mA (M6+AP)	292 mA (M6T+AP)

Tableau IV-2: Comparaison des performances RF et de la capacité en courant de l'inductance Ind2 en configuration standard et celle en double cuivre épais en technologie CMOS SOI HR 130 nm.

	Ind3 : Multi- tour et fort facteur de qualité	
Configuration	***Standard***	***Double***
Q_{max}	11.9@ GHz	13.6 @ GHz
L_s ***[nH]***	6.5	6.2
F_c ***[GHz]***	6.3	5.8
R_s ***[Ω] @ 100 MHz***	6.5	6.2
I_{max} ***[mA]***	120 mA (M6+AP)	292 mA (M6T+AP)

Tableau IV-3: Comparaison des performances RF et de la capacité en courant de l'inductance Ind3 en configuration standard et celle en double cuivre épais en technologie CMOS SOI HR 130 nm.

De manière générale, les inductances planaires réalisées en technologie SOI et utilisant un module double cuivre épais permettent d'obtenir des performances inégalées pour une technologie silicium, et tout à fait compétitives avec des technologies dédiées (telle les technologies IPDs) **[Liu07a], [Liu07b], [Pache07]**.

Contrairement aux technologies silicium standard, en technologie SOI, grâce à la réduction des capacités parasites offerte par l'utilisation d'un substrat isolant, le compromis entre réduction de résistance métallique R_{DC} et augmentation de la capacité parasite C_s se trouve repoussé.

Dès lors, on pourra retenir que les technologies SOI tirent généralement mieux partie du module double cuivre épais car, dans le cas d'une inductance planaire, la réduction de la résistance métallique n'est jamais complètement contrebalancée par l'augmentation des capacités parasites. Nous avons donc toujours observé un gain du point de vue des performances électriques. Concernant la capacité en courant des inductances multi-tours en SOI HR, elle pourra être appréciée sur la Figure IV-18.

On pourra retenir que des courants maximums de l'ordre de 1A sont désormais accessibles à 125°C si on utilise le module double cuivre épais proposé ici, et cela même dans la configuration très délicate des inductances planaires multi-tours. Ces résultats sont très encourageants et renforcent l'intérêt actuel d'utiliser les technologies SOI pour intégrer des applications de puissance.

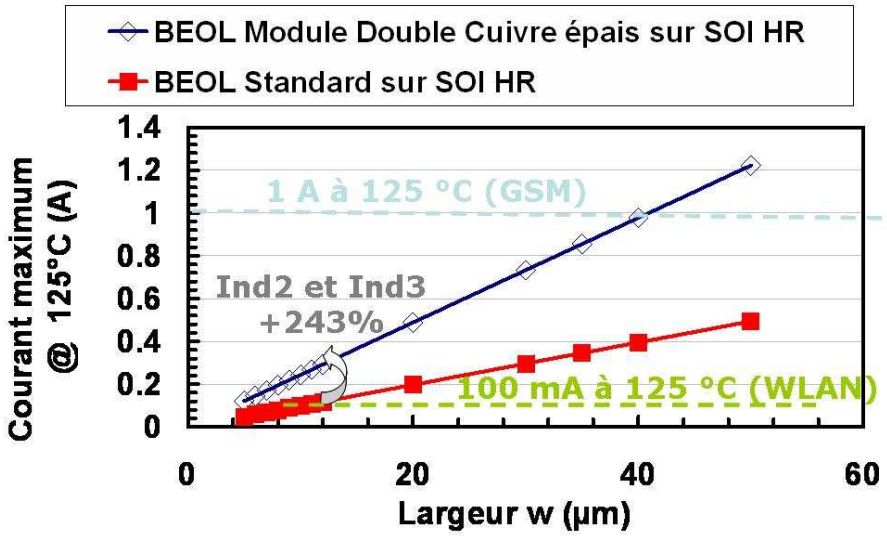

Figure IV-18 : Comparaison entre la capacité en courant obtenues à partir des inductances planaires multi-tours sur un substrat HR SOI utilisant un BEOL standard et celles de cette étude.

IV.4. Bilan et discussions concernant les inductances 3D multi-tours

La conclusion concernant les inductances 3D multi tours est plus nuancée. En effet, comme nous avions pu le noter dans le précédent chapitre concernant les inductances planaires intégrées en technologie silicium standard avec un module double cuivre épais, nous devons ici faire face à un délicat compromis entre la réduction de la résistance métallique R_{DC}, l'augmentation de la capacité parasite C_s et (chose nouvelle) une forte dégradation de la valeur d'inductance L_s. Pour ce qui est de la capacité en courant, elle n'est nullement améliorée car la métallisation limitante en courant, quel que soit le type de BEOL utilisé, demeure la couche AP.

L'utilisation d'un module double cuivre épais ne semble avoir de sens (du point de vue des performances électriques) dans le cas d'une inductance 3D que lorsque des conducteurs de faible largeur sont utilisées (et donc lorsque la résistance DC est forte R_{DC}> 4 Ω). Cela devrait donc permettre d'améliorer le compromis compacité/performances électriques. Cependant, la valeur d'inductance étant dégradée (jusqu'à 20% de réduction pour les R_{DC} les plus faibles) à cause de l'épaississement des métallisations, ce gain potentiel n'apparaît pas nécessairement des plus pertinents.

Il semble donc que l'utilisation d'un module double cuivre épais en technologie SOI ne puisse trouver sa justification par l'amélioration des performances des inductances 3D. Ces dernières tireraient en fait plus avantage d'une augmentation du nombre de métaux disponibles afin de proposer des architectures encore plus complexes (et ainsi une augmentation de la densité d'intégration) ou un

compromis entre diminution de la résistance métallique et impact sur la valeur d'inductance plus favorable.

IV.5. Comparaison avec la littérature

Comme nous avons pu le voir lors des paragraphes précédents, les performances obtenues pour des inductances intégrées en technologie SOI utilisant un module double cuivre épais dépendent de l'architecture considérée. Si l'intérêt pour des structures 3D reste discutable, il est en revanche évident pour les inductances planaires. Ce type d'inductances demeure d'ailleurs indispensable si l'on vise l'intégration d'applications de puissance.

Comme nous l'avions annoncé dans l'introduction de ce chapitre l'évaluation des performances d'inductances planaires, tirant à la fois partie des qualités du substrat SOI isolant et des faibles pertes permises par le module double cuivre épais, était un des enjeux majeurs de ce travail. Si on s'intéresse maintenant aux travaux publiés dans la littérature, Figure IV-19, on s'aperçoit que les résultats obtenus avec ce module double cuivre épais (dans un BEOL à 6 niveaux) sont comparables à ceux obtenus en technologie CMOS SOI d'IBM utilisant 8 niveaux de métallisations **[Kim03]**, ceux issus d'une technologie sur substrat GaAs de Freescale **[Abrok04]**, et enfin à ceux obtenus à partir de la technologie IPD de NXP **[Tesson08]**.

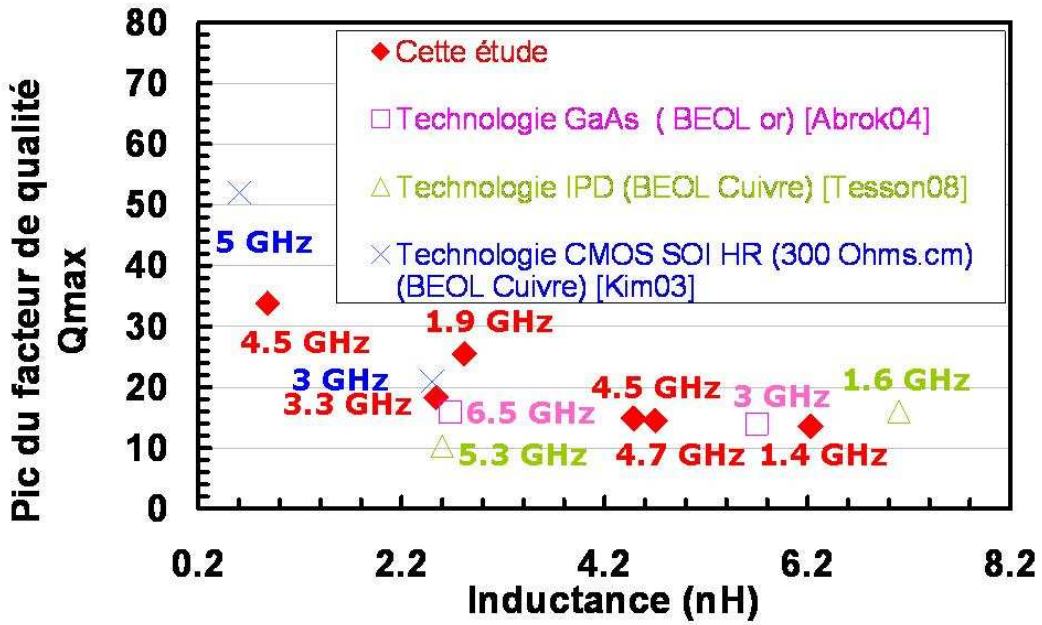

Figure IV-19 : Comparaison des pics de facteurs de qualité obtenus en technologies GaAs, IPD et SOI issus de la littérature avec ceux obtenus dans cette étude.

Comme on peut le voir ci-dessus, les résultats obtenus placent ce travail à l'état de l'art puisqu'ils montrent, pour la première fois, la compétitivité d'une technologie silicium à seulement 6 niveaux de métallisations face aux technologies dédiées à l'intégration des composants passifs du module Front-End RF (matériaux semi-conducteurs III-V et technologies IPD).

Ces résultats sont prometteurs quant aux perspectives ouvertes en termes d'intégration puisqu'ils permettent de lever l'un des principaux verrous concernant l'intégration d'application de puissance en technologie silicium : la disponibilité de composants passifs intégrés hautes performances et avec une capacité à conduire de forts courants.

V. CONCLUSION

Nous nous sommes intéressés dans le présent chapitre à l'optimisation d'inductances intégrées en technologie SOI Haute Résistivité utilisant un module double cuivre épais. Pour la première fois, une technologie silicium CMOS a pu combiner à la fois, les avantages d'un substrat isolant, et ceux d'un module BEOL double cuivre épais. Les performances obtenues sont à l'état de l'art (Q_{max} = 33 à 4.5 GHz, I_{max}= 1.7 A @ 125°C pour L_s= 0.9 nH). De plus, ils permettent raisonnablement d'envisager de concurrencer des technologies dédiées telles les IPDs ou les III-V afin d'intégrer, en technologie CMOS, les composants passifs à hautes performances indispensables pour l'intégration d'applications de puissance.

Dans le contexte actuel d'intégration sur silicium des fonctions d'émission des applications RF, ces résultats prennent une dimension particulière. En effet, la technologie SOI présentée ici permettrait de proposer l'intégration, à la fois, du commutateur d'antenne, de l'amplificateur de puissance, mais également les nombreuses fonctions passives nécessaires dans un émetteur (duplexer, filtres harmoniques, « balun » …etc). Le niveau d'intégration accessible serait alors sans commune mesure avec les solutions actuelles de type module. Il permettrait un gain de coût substantiel, à la fois par le niveau de coût offert par la manufacturabilité des technologies CMOS, que par la simplification de la solution finale. Cette dernière nécessiterait un packaging simplifié et une réduction du nombre de tests au vue de la réduction du nombre de technologies utilisées.

Si les résultats des inductances planaires ne relèvent pas d'un compromis entre la réduction de la résistance DC et l'augmentation de la capacité parasite, ceux obtenus à l'échelle des composants 3D mettent en lumière une limitation. En effet, à cause de leur rapport de forme entre les différentes spires, l'utilisation du cuivre épais a tendance à dégrader fortement la valeur de l'inductance, et par conséquent le facteur de qualité. De plus, la capacité en courant, liée à la couche d'aluminium AP et non pas à un ou deux niveaux épais, reste quant à elle limitée à quelques dizaines de mA. Un compromis devra être trouvé pour ce type d'inductances spécifiques au substrat HR SOI, si on ne veut pas limiter leur utilisation à la conception de la partie réceptrice du système RF. Aussi, l'intégration d'un module double cuivre épais atténuera t-elle l'avantage des technologies SOI en terme de réduction de la densité d'intégration des inductances 3D.

L'introduction du module cuivre épais, présenté ici, peut avoir tout son sens dans le cadre d'une technologie SOI faible coût visant l'intégration du module complet d'émission en technologie CMOS. Mais la prochaine étape d'intégration, qui visera à intégrer le module d'émission avec le système RF en entier et les circuits de traitement digital (afin d'obtenir un SOC complet), nécessitera

le développement d'un module intermédiaire qui permettra de ne pas trop dégrader les performances des inductances 3D. Cet axe est d'ailleurs l'un des plus prometteurs concernant les travaux qui seront réalisés consécutivement au présent travail de thèse.

VI. REFERENCES

A

[Aipp99] A. G. Airpperspach, D. H. Allen, D. T. cox, N. V. Phan, s. N. Storino, "A 0.2 µm 1.8 V SOI 550 mHz 64 –b powerpc microprocessor with copper Interconnects", IEEE Journal of Solid-State Circuits, vol. 34, no. 11, pp. 1430-1435, 1999.

B

[Boret02] S. Boret, brevet US 2002/10170743 A1, 2002.

C

[Cle05] C. Clément, "Process impact on quality factor of inductors in H9SiGe Thick Copper technology for applications between 2 and 10 GHz", rapport interne STMicroelectronics, 2005.

[Costa07] J. Costa and al., "A Silicon RFCMOS SOI Technology for Integrated Cellular/WLAN RF TX Modules", IEEE IMS-S, pp.445-448, 2007.

D

[Dam05] G. Dambrine et al., "High frequency low noise potentialities of down to 65nm technology nodes MOSFETs", Proceedinf of IEEE GaAs Symposium, pp. 97-100, 2005.

[DRM08] CMOS 130 nm Design Rules Manual Analog and Mixed-Signal Process Option, rapport interne, STMicroelectronics, 2008.

G

[Gian05] F. Gianesello, D. Gloria, C. Raynaud, S. Montusclat, S. Boret, C. Clément, B. Van. Haaren, C. Tinella, D. Saias, O. Richard, D. Belot, Ph. Bench, G. Dambrine, J.M. Fournier, "Passifs RF en technologie SOI Haute résistivité pour Applications jusqu'en Bande Millimétrique", Proceeding Journées Nationales Microondes, 2005.

[Gian07a] F. Gianesello, D. Gloria, S. Montusclat, C. Raynaud, S. Boret, G. Dambrine, S. Lepilliet, B. Martineau, R. Pilard, "1.8 dB insertion loss 200 GHz CPW band pass filter integrated in HR SOI CMOS Technology", IEEE MTT Symposium proceeding, pp. 453-456, 2007.

[Gian07b] F. Gianesello, D. Gloria, C. Raynaud, S. Montusclat, S. Boret, P. Touret, "Integrated Inductors in HR SOI CMOS technologies: on the economic advantage of SOI technologies for the integration of RF applications", IEEE SOI conference proceeding, pp. 119-120, 2007.

[Gian08a] F. Gianesello, D. Gloria, S. Boret, O. Bon, P. Touret, S. Boret1, C. Pastore1, B. Rauber and C. Raynaud, "High Resistivity SOI CMOS Technology for Multi-standard RF Front-ends", IEEE SOI conference proceeding, pp. 77-78, 2008.

[Gian08b] F. Gianesello, D. Gloria, C. Raynaud, S. Montusclat, S. Boret, P. Touret, "On the Design of High Performance RF Integrated Inductors on High Resistively Thin Film 65 nm SOI CMOS Technology", IEEE SiRF conference proceeding, pp. 98-101, 2008.

[Gian08c] F. Gianesello, D. Gloria, C. Raynaud, P. Touret, B. Rauber, "3D group-cross symmetrical inductor: A new inductor architecture with higher self-resonance frequency and Q factor dedicated to advanced HR SOI CMOS technology", IEEE RFIC conference proceeding, pp. 457-460, 2008.

[Gian09] F. Gianesello, D. Gloria, "3D Group-Cross Symmetrical Interleaved Inductor in Advanced 45 nm RF CMOS Technology: A New Compact Inductor Architecture improving Self-Resonance Frequency", IEEE SiRF conference proceeding, pp. 1-4, 2008.

K

[Kim03] J. Kim, J. O. Plowhart, N. Zamdmer, N. Fong, L.-H. Lu, Yue Tan, K. A. Jenkins, M. Sherony, R. Groves, M. Kumar, A. Ray, "High Performance Three-Dimensional on-chip Inductors in SOI CMOS Technology for Monolithic RF Circuit Applications", IEEE Microwave theory and Technique, 2003.

[Kim08] D. D Kim, J. Kim; C. Choongyeun; J.-O. Plouchart,. R. Trzcinski, “ 65nm SOI CMOS SoC Technology for Low-Power mmWave and RF Platform”, IEEE Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems, pp 46-49, 2008.

L

[Liu07a] L. Liu, S.-M Kuo, J. Abrokwah, M. Ray, D. Maurer, M. Miller,“Compact Harmonic Filter Design and Fabrication Using IPD Technology”, IEEE Trans. On Components and Packaging Technologies, vol. 30, no.4 , pp. 556-562, 2007.

[Liu07b] K. Liu, R. C. Frye, “Small Form-Factor Integrated Passive Devices for SiP Applications”, IEEE Proceeding of MTT, issue 3, pp. 2117-2120, 2007.

P

[Pache07] S. Pacheco, B. Keser, L. Liu, J. Abrokwah, “Emerging Technologies for Wireless Handsets”, IEEE Proceeding of Microwave and Optoelectronics Conference, pp. 770-777, 2007.

R

[Ray05] C. Raynaud et al., « Is SOI CMOS a Promising Technology for SOCs in High Frequency Range ? », Proceeding of International symposium on silicon-on-insulator technology and devices, vol. 3, pp. 331-334, 2005.

[Ray09] C. Raynaud, S. Haendler, G. Guegan, F. Gianesello, B. Martineau, P. Touret, N. Planes, "65 nm Low Power (LP) SOI technology on HR substrate for WLAN and Mmwave SOCs", 215th Electrochemical Society Meeting, San Francisco, USA, May 2009 (soumis).

[RFMD] www.rfmd.com

T

[Tesson08] O. Tesson, « High Quality Monolithic 8-shaped Inductors for Silicon RFIC Design», IEEE Silicon Monolitic Integrated Circuit in RF systems, pp. 94-98, 2008.

[Tine06] C. Tinella, O. Richard, A. Cathelin, F. Réauté, S. Majcherczak, F. Blanchet, D. Belot, “0.13 µm CMOS SOI SP6T Antenna Switch for Multi-Standard Handset”, Conference proceeding of SiRF, 2006.

W

[Wang05] Y. Y. Wang, Z. F. Li, “Group-Cross Symmetrical Inductor (GCSI): A New Structure of Inductor with Higher Self Resonance Frequency and Q Factor”, IEEE Transactions on Magnetics, vol. 42, no. 6, 2005.

Z

[Zamp08] P. J. Zampari, “GaAs technology Status and Perspectives for Multi-band and Multi-standard Challenges in Upcoming RF-Frontends”, Proceeding of IEEE Radio Wireless Week, pp. 187-190, 2008.

[Wang06] Yu-Yang Wang, Zheng-Fan Li, "Group-Cross Symmetrical Inductor (GCSI): A New Inductor Structure With Higher Self-Resonance Frequency and Q Factor", IEEE Transactions On Magnetics Magazine, Vol 42, N° 6, pp. 1681-1686, 2006.

CONCLUSION :

STATUT, SYNTHESE DES TRAVAUX ET PERSPECTIVES

SOMMAIRE

I. Statut 209
II. Synthèse des Travaux 210
III. Perspectives 213
IV. Références 215

I. STATUT

Avant de conclure sur les résultats de cette thèse et donner les perspectives en termes de travaux à réaliser, nous allons tenter de replacer nos résultats dans une étude bibliographique de ces trois dernières années. Ceci nous permettra à la fois d'apprécier l'apport des études menées durant ce doctorat et de mettre en relief les nouveaux défis à relever pour les années à venir.

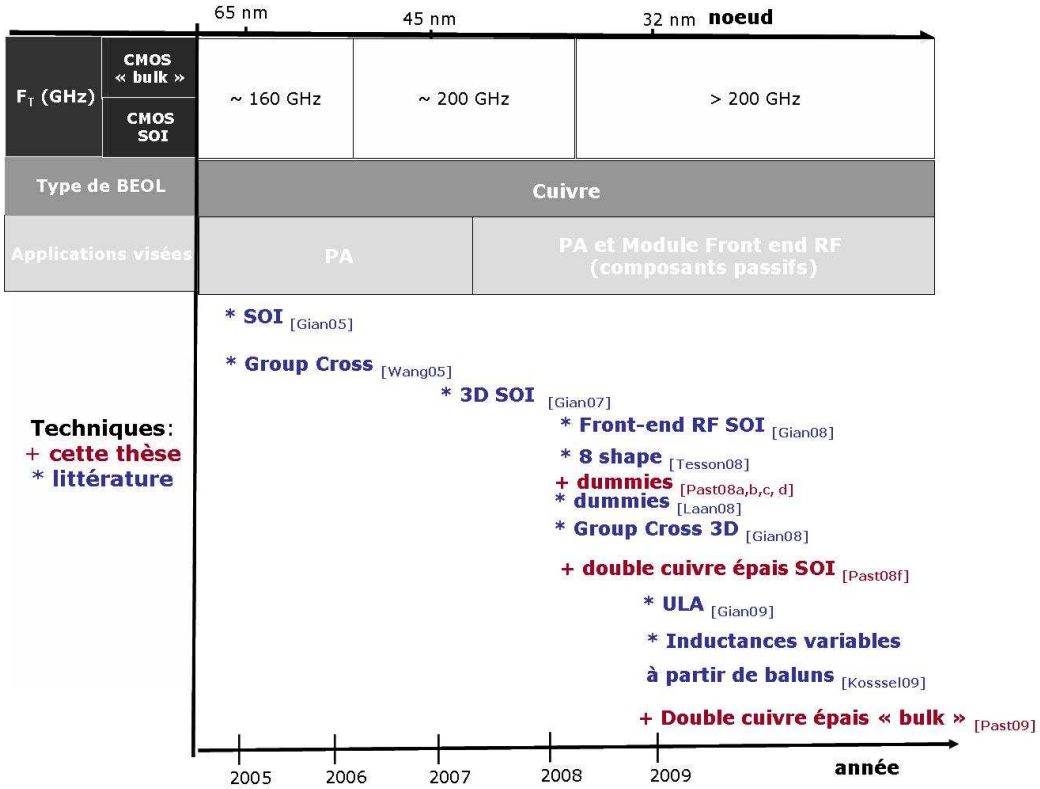

Figure I-1 : Historique des inductances intégrées de 2005 à la fin de la thèse en 2009.

Comme on peut le voir sur la Figure I-1, c'est principalement le contexte des applications de puissance **[Gian08]** et l'émergence des technologies SOI **[Gian05]**, **[Gian07]** qui ont marqué le développement des inductances intégrées, ces trois dernières années.

De plus, on peut constater que la majeure partie des auteurs se sont focalisés sur des évolutions du dessin des inductances **[Wang05]**, **[Tesson08]**, **[Gian08]** plutôt que sur l'évaluation de solutions technologiques visant l'amélioration des inductances. Les résultats présentés dans cette thèse sur l'utilisation d'un module cuivre épais en technologie silicium massif **[Past08f]** ou SOI HR **[Past09]** sont donc dans ce sens novateurs et permettent d'enrichir les résultats de la thématique.

Quant aux études concernant les « dummies » et la problématique de leur gestion à l'échelle du dispositif **[Past08a,b,c,d],** elles ont été dans la tendance des travaux de recherche extérieurs

puisque d'autres auteurs s'y sont intéressés **[Laan08]**. Finalement, à travers cette étude non exhaustive, nous avons cherché à souligner la pertinence et/ou l'originalité de ces travaux de thèse dans les problématiques actuelles des inductances intégrées en technologies avancées sur silicium.

II. SYNTHESE DES TRAVAUX

Comme nous l'avons vu au chapitre 1 à travers la revue bibliographique, la réalisation des inductances au niveau des interconnexions du BEOL a connu de grandes vagues d'évolution pour relever les défis de hautes performances électriques, fort courant et/ou faible surface. Ce sont les contraintes des circuits RF visés par l'intégration qui définissent les spécifications des composants à intégrer et donc les différentes voies d'optimisation. A cela s'ajoutent les améliorations des fréquences de transition des transistors BiCMOS et CMOS qui permettent aujourd'hui de considérer l'intégration de nouvelles applications (par exemple millimétriques). Ces dernières ne manqueront pas de créer de nouveaux besoins à l'échelle des composants élémentaires. L'évolution des technologies a également influencé les techniques d'optimisation, avec par exemple l'introduction de nouveaux matériaux (tels que les diélectriques « low k » et le cuivre).

Lorsque cette thèse a débuté la technologie de prédilection était la technologie CMOS et l'architecture du BEOL était le cuivre damascène. Le niveau optionnel cuivre épais débutait son développement en technologie CMOS 130 nm. Les mots d'ordre étaient alors fort facteur de qualité et réduction de la surface consommée. Les applications de puissance commençaient à être considérées pour une intégration sur silicium, un nouveau défi venait alors se greffer : conduire des forts courants (quelques centaines de mA à des températures élevées). Les problématiques technologiques émergentes concernaient la gestion des « dummies » en cuivre à l'échelle du dispositif, liée à l'indispensable étape de PMC du cuivre, et la diminution de l'épaisseur des niveaux métalliques du BEOL. Ces problématiques étaient alors rendues d'autant plus difficiles et urgentes que les nœuds technologiques avançaient à grands pas. La technologie CMOS 65 nm ouvrait le pas aux technologies sub-100 nm.

Dans ce contexte, les trois axes de recherches identifiés apparaissaient des plus pertinents (stratégie de gestion des « dummies », BEOL innovant visant les applications de puissance en technologie CMOS silicium massif et en technologie SOI HR).

Pour réaliser ce travail, nous nous sommes appuyés sur l'optimisation d'architectures d'inductances intégrées dans des technologies de type BiCMOS (nœud 130 nm) ou CMOS (nœud 65 nm), reposant sur un procédé cuivre damascène.

Dans le chapitre 2, nous avons présenté les avantages et les limitations liées à l'introduction de l'architecture cuivre damascène dans les niveaux métalliques du BEOL. Cette présentation nous a

permis d'amener la première problématique développée dans cette thèse : le respect des règles de densité à l'échelle des inductances intégrées. Ces règles, incontournables, sont en effet imposées par le procédé de fabrication du cuivre en architecture damascène et sont indispensables à l'opération de PMC.

Ainsi, avant ces travaux, des règles de densité de métallisation, non optimisées et consommatrices de surface, étaient utilisées pour les inductances intégrées. A partir de plans d'expériences et donc d'un nombre minimal de structures de tests pertinentes, nous avons pu déterminer les paramètres critiques (densité, distance, alignement des « dummies ») pour la gestion des inserts métalliques dans les différentes zones de l'inductance. La densité et la distance sont apparues comme les deux paramètres significatifs pour l'ensemble des études, l'impact négatif sur le facteur de qualité étant lié à une augmentation de la capacité parasite.

Ces résultats ont été généralisés aux deux types de BEOL disponibles : le BEOL dit standard et le BEOL avec un niveau optionnel cuivre épais. Ce travail a finalement abouti à la définition d'une stratégie de densité de métallisation à l'échelle du dispositif (sans impacter ses performances électriques), visant des applications RF (gamme 1-5 GHz) pour des nœuds technologiques en deçà du 65 nm.

C'est, à notre connaissance, la première fois que l'impact des « dummies » a été évalué pour un grand nombre de structures (328 au total), un large panel d'inductances (visant soit un fort facteur de qualité soit une faible surface), deux types de BEOL, une étude dédiée aux différentes zones de l'inductance (au centre, sous, et autour des spires), et qu'une stratégie en découle pour les technologies avancées. On pourra remarquer que les résultats de cette étude sont désormais déployés dans les bibliothèques de composants offertes par STMicroelectronics et notamment pour la technologie CMOS 32 nm.

Dans un second temps, notre intérêt s'est porté sur le nouveau défi à relever avec l'émergence d'un nouveau marché pour les technologies silicium : l'avènement des applications de puissance. Ces dernières années, la volonté d'intégrer le module Front-End RF (l'amplificateur de puissance et ses corolaires) en technologie CMOS a soulevé la problématique de gestion de forts courants (plusieurs centaines de mA à 1 A @ 125 °C). Or, comme nous l'avons vu en détails au chapitre 3, le BEOL des technologies avancées ne permet pas aujourd'hui d'atteindre de telles valeurs de courant.

C'est dans ce contexte que des propositions technologiques ont été évaluées. Pour répondre à ce défi à l'échelle de l'inductance, l'utilisation de deux niveaux épais en technologie CMOS silicium massif 65 nm a été étudiée. Des facteurs de qualité proches de 30 et des capacités en courants de

plusieurs centaines de mA @ 125 °C ont pu être atteints, dépassant ainsi les contraintes exigées par les circuits de puissance.

De plus, l'optimisation du dessin de l'«underpass» dans un tel BEOL a été étudiée grâce au dessin, à la réalisation technologique et au test de structures dédiées. Un « underpass » localisé s'est avéré être la meilleure architecture pour les inductances à R_{DC} faible (w large), permettant un meilleur compromis entre résistance DC et capacité parasite des inductances. C'est, à notre connaissance, la première fois que des inductances utilisant un BEOL optimisé pour les applications de puissance, sont présentées dans une technologie CMOS avancée.

Dans la continuité de ce travail, l'intérêt s'est porté au chapitre 4 sur l'optimisation de la technologie SOI. En effet, cette dernière commence aujourd'hui à émerger pour l'intégration de fonctions de puissance en technologie CMOS de part sa compatibilité avec des substrats silicium Hautement Résistifs (HR). La définition, conception et évaluation d'inductances utilisant un module double cuivre épais ont été menées en technologie CMOS HR SOI 130 nm. C'est en effet la technologie la plus prometteuse aujourd'hui pour offrir des performances comparables aux technologies IPD (Integrated Passive Devices), technologies de prédilection pour l'intégration des composants passifs du Front-end RF.

Grâce à cette étude, des facteurs de qualité proches de 30 et des capacités en courants de plusieurs centaines de mA @ 125 °C ont pu être atteints, dépassant ainsi les contraintes exigées par les circuits de puissance. De plus, ces résultats en termes de facteur de qualité se sont avérés comparables à ceux obtenus dans les technologies dédiées de type IPD ou GaAs.

Contrairement au double cuivre épais sur silicium massif, l'introduction de ce bloc technologique a soulevé la notion de compromis entre la diminution de la valeur de l'inductance L_s et l'abaissement de la résistance DC pour les structures 3D spécialement dédiées aux technologies SOI. Pour ce type d'architecture d'inductances, plus que l'utilisation d'un module double cuivre épais, c'est le développement d'un BEOL de type standard mais avec 7 ou 8 niveaux de métallisations, qu'il faudrait envisager. En effet, en augmentant le nombre de niveaux on pourrait à la fois empiler différents niveaux pour améliorer la capacité en courant des inductances planaires actuelles, et proposer des architectures 3D encore plus complexes et plus compactes (lorsque les contraintes en courant ne sont pas une priorité).

Finalement, ces résultats, prometteurs pour les inductances intégrées, ouvrent aujourd'hui la voie à une intégration sur silicium des applications de puissance à l'échelle industrielle, en particulier concernant le module Front End en technologie SOI.

III. PERSPECTIVES

Les résultats obtenus lors de ce travail de thèse apparaissent donc des plus pertinents vis-à-vis des thématiques qui ont émergées lors des trois dernières années, mais également à cause de leurs retombées industrielles à moyen terme. Il convient maintenant de proposer quelques perspectives à ces travaux et tenter de définir quelques pistes concernant les problématiques que nous voyons aujourd'hui se dessiner pour les années à venir.

Concernant la question de la gestion des « dummies » à l'échelle de l'inductance, une pièce manquante du puzzle réside en l'évaluation de l'impact des inserts métalliques entre les spires pour les inductances présentant un espacement inter-spires important. Cette question n'a pas été adressée dans nos travaux et si des règles pouvaient être définies, on pourrait sans doute améliorer un peu la stratégie que nous avons proposée. Ce point mérite une attention certaine lorsque l'on considère les technologies en développement (28 nm et 22 nm), les contraintes liées à la CMP ne pouvant qu'être grandissantes.

Dans le même registre, se pose aujourd'hui la question au niveau du Front-End de la gestion des « dummies » de polysilicium. Pour certaines opérations (tels que les recuits lasers rapides), les motifs de polysilicium jouent un rôle de réseau de diffraction qui peuvent entraîner des gradients thermiques à l'échelle de la plaque et donc une activation non homogène des dopants. Pour les technologies avancées, ce point va devenir problématique. Les inductances ayant des dimensions non négligeables, la question de la gestion intelligente de « dummies » de polysilicium, afin de ne pas impacter ces étapes de recuits rapides, devra être adressée. Une étude dédiée apparaît donc des plus pertinentes.

Une autre optimisation à envisager pourrait consister en l'évaluation de règles de dessin plus agressives pour la couche d'aluminium AP. En effet, aujourd'hui, l'espacement entre deux lignes voisines d'aluminium est de 2 µm. Si on pouvait réduire cet espacement inter-spire à 1 µm, on aurait un gain en surface non négligeable (en particulier pour les inductances multi-tours à fort facteur de qualité de surface 400 µm par 400 µm). Mais des évaluations au niveau du procédé de fabrication seront à réaliser puisque le budget thermique ne doit pas dépasser les 400 °C.

Pour ce qui concerne la technologie SOI, les résultats présentés ont montré une limitation puisque pour les inductances 3D le gain du module double cuivre épais en terme de performances n'est pas si tranché. Afin de généraliser l'apport du cuivre épais, il pourrait être intéressant d'un point

de vue économique d'évaluer la capacité à fabriquer un niveau de cuivre de 3 µm à partir d'un procédé double damascène et réduire ainsi le nombre de PMC du cuivre et de dépôts de diélectrique.

Une autre perspective serait dans le cas des inductances 3D d'évaluer par simulation électromagnétique le meilleur compromis épaisseur des niveaux de métallisation et performances électriques (liées au compromis L_s et R_{DC}). Deux niveaux de 1.5 µm à 2 µm pourraient être suffisants. L'épaisseur limite d'un procédé simple damascène à un procédé double damascène devra dans ce cas être bien définie.

Pour conclure cette thèse, nous avons démontré que le procédé de fabrication est un degré de liberté non négligeable pour l'obtention d'inductances intégrées à fort facteur de qualité, fort courant et/ou faible surface. Cependant, les options technologiques deviennent un levier de différentiation limité puisque aujourd'hui les technologies utilisées tendent à s'uniformiser. L'innovation va donc passer par une complexification des structures, et une utilisation intelligente de la technologie existante, plus que par le développement d'options technologiques dédiées. On ne regardera plus l'inductance comme un dispositif élémentaire, mais comme un élément fonctionnel **[Kossel09]**. C'est grâce à une bonne connaissance du dispositif seul que ce nouveau défi pourra être relevé.

IV. REFERENCES

G

[Gian05] F. Gianesello, D. Gloria, C. Raynaud, S. Montusclat, S. Boret, C. Clément, B. Van. Haaren, C. Tinella, D. Saias, O. Richard, D. Belot, Ph. Bench, G. dambrione, J.M. Fournier, "Passifs RF en technologie SOI Haute résistivité pour Applications jusqu'en Bande Millimétrique", Proceeding Journées Nationales Microondes, 2005.

[Gian07b] F. Gianesello, D. Gloria, C. Raynaud, S. Montusclat, S. Boret, P. Touret, "Integrated Inductors in HR SOI CMOS technologies: on the economic advantage of SOI technologies for the integration of RF applications", IEEE SOI conference proceeding, pp. 119-120, 2007.

[Gian08a] F. Gianesello, D. Gloria, S. Boret, O. Bon, P. Touret, S. Boret1, C. Pastore1, B. Rauber and C. Raynaud, "High Resistivity SOI CMOS Technology for Multi-standard RF Front-ends", IEEE SOI conference proceeding, pp. 77-78, 2008.

[Gian09] F. Gianesello, D. Gloria, "3D Group-Cross Symmetrical Interleaved Inductor in Advanced 45 nm RF CMOS Technology: A New Compact Inductor Architecture improving Self-Resonance Frequency", IEEE SiRF conference proceeding, pp. 1-4, 2008.

K

[Kossel09] M. Kossel, T. Morf, J. Weiss, P. Buchmann, C. Menolfi, T. Toifl, M. L. Schmatz, "LC PLL with 1.2-Octave Locking Range Based on Mutual Inductance Switching in 45 nm SOI CMOS", IEE Journal of Solid State Circuits, vol. 44, no. 2, pp. 436-445, 2009.

N

[Naan07a] L. Naan, K; Mouthaan, Y-Z. Xiong, J. Shi, S. C. rustagi, B-L. Ooi, "Experimental Characterization of the Effect of Metal Dummy Fills on Spiral Inductors", IEEE RFIC symposium, pp. 307-310, 2007.

[Naan07b] L. Naan, K; Mouthaan, Y-Z. Xiong, J. Shi, S. C. Rustagi, B-L. Ooi, “Impact of Metal Dummy Fills on the Performance of CMOS Inductors”, IEEE RFIC International Conference on Electron and Solid State Devices, pp. 251-254, 2007.

P

[Past08a] C. Pastore, F. Gianesello, D. Gloria, E. Serret, Ph. Benech, “Test Structure Definition for Dummy Filling Strategy Dedicated to Advanced Integrated RF Inductors”, IEEE Conference on Microelectronic Test Structures, Edinburgh, Scotland, 2008.

[Past08b] C. Pastore, F. Gianesello, D. Gloria, E. Serret, Ph. Benech, “Impact of Dummy Metal Filling Strategy Dedicated to Inductors Integrated in Advanced Thick Copper RF BEOL”, Workshop on Materials for Advanced Metallization, Dresden, Germany, 2008.

[Past08c] C. Pastore, F. Gianesello, D. Gloria, E. Serret, Ph. Benech, “Innovative and Complete Dummy Filling Strategy for RF Inductors Integrated in an Advanced Copper BEOL”, IEEE European Microwave Week conference, Amsterdam, Holland, 2008.

[Past08d] C. Pastore, F. Gianesello, D. Gloria, E. Serret, P. Bouillon, B. Rauber, Ph. Benech, “Double Thick Copper BEOL in Advanced HR SOI RF CMOS Technology: Integration of High Performance Inductors for RF Front End Module”, IEEE SOI conference, New Platz (NY), USA, 2008.

[Past08f] C. Pastore, F. Gianesello, D. Gloria, J-C. Giraudin, O. Noblanc, Ph. Benech, “High Performance and High Current Integrated Inductors using a Double Ultra Thick Copper Module in an Advanced 65 nm RF CMOS Technology”, IEEE SiRF, San Diego (CA), USA, 2009.

T

[Tesson08] O. Tesson, « High Quality Monolithic 8-shaped Inductors for Silicon RFIC Design», IEEE Silicon Monolitic Integrated Circuit in RF systems, pp. 94-98,

W

[Wang05] Y. Y. Wang, Z. F. Li, “Group-Cross Symmetrical Inductor (GCSI): A New Structure of Inductor with Higher Self Resonance Frequency and Q Factor”, IEEE Transactions on Magnetics, vol. 42, no. 6, 2005.

LISTE DES PUBLICATIONS ET BREVETS

SOMMAIRE

I. Article de Journaux Scientifiques 219

II. Communications Internationales 219

III. Brevets en cours d'Evaluation 220

I. ARTICLES DE JOURNAUX SCIENTIFIQUES

C. Pastore, F. Gianesello, D. Gloria, E. Serret, Ph. Benech, ***"Impact of Dummy Metal Filling Strategy Dedicated to Inductors Integrated in Advanced Thick Copper RF BEOL"***, Journal of Microelectronic Engineering, vol. 85, issue 10, pp. 1962-1966, 2008.

II. COMMUNICATIONS INTERNATIONALES

C. Pastore, F. Gianesello, D. Gloria, E. Serret, B. Rauber, Ph. Benech***,"High-Performance Thick Copper Inductors Integrated in Advanced High Resistivity SOI RF CMOS Technology"***, Fourth Workshop of the Thematic Network on Silicon on Insulator Technology, Devices and Circuits, Cork, Ireland, 2008.

C. Pastore, F. Gianesello, D. Gloria, E. Serret, Ph. Benech, ***"Test Structure Definition for Dummy Filling Strategy Dedicated to Advanced Integrated RF Inductors"***, IEEE Conference on Microelectronic Test Structures, Edinburgh, Scotland, 2008.

C. Pastore, F. Gianesello, D. Gloria, E. Serret, Ph. Benech, ***"Impact of Dummy Metal Filling Strategy Dedicated to Inductors Integrated in Advanced Thick Copper RF BEOL"***, Workshop on Materials for Advanced Metallization, Dresden, Germany, 2008.

C. Pastore, F. Gianesello, D. Gloria, E. Serret, Ph. Benech, ***"Innovative and Complete Dummy Filling Strategy for RF Inductors Integrated in an Advanced Copper BEOL"***, IEEE European Microwave Week conference, Amsterdam, Holland, 2008.

C. Pastore, F. Gianesello, D. Gloria, E. Serret, P. Bouillon, B. Rauber, Ph. Benech, ***"Double Thick Copper BEOL in Advanced HR SOI RF CMOS Technology: Integration of High Performance Inductors for RF Front End Module"***, IEEE SOI conference, New Platz (NY), USA, 2008.

C. Pastore, F. Gianesello, D. Gloria, J-C. Giraudin, O. Noblanc, Ph. Benech, ***"High Performance and High Current Integrated Inductors using a Double Ultra Thick Copper Module in an Advanced 65 nm RF CMOS Technology"***, IEEE SiRF, San Diego (CA), USA, 2009.

F. Gianesello, D. Gloria, S. Boret, O. Bon, P. Touret, **C. Pastore**, B. Rauber, C. Raynaud, ***"High Resistivity SOI CMOS Technology for Multi-standard RF Front-Ends"***, IEEE SOI conference, New Platz (NY), USA, 2008.

III. BREVETS EN COURS D'EVALUATION

C. Pastore, F. Gianesello, "Stratégie de gestion des dummies à l'échelle des inductances intégrées en technologie CMOS avancées", brevet n° 09-GR1-019, 2008.

Evaluation de Back-End Of Line Optimisés pour les Inductances Intégrées en Technologies CMOS et BiCMOS Avancées visant les Applications Radiofréquences

La téléphonie mobile a connu ces dernières années un développement extraordinaire motivé par une volonté d'intégration complète de l'émetteur-récepteur (blocs RF/digitaux/analogues) sur une même puce afin de répondre aux contraintes de faible coût et faible puissance de consommation. Dans ce contexte, la réduction du nombre de composants externes est inévitable. Aussi se dirige-t-on progressivement vers une intégration de plus en plus importante des composants passifs sur silicium, et en particulier des inductances, composant clé des applications RF.

Intégrées aux niveaux des interconnexions en technologies CMOS et BiCMOS, celles-ci doivent à leur tour répondre aux critères de hautes performances électriques, faible surface et/ou forts courants. Mais le défi n'est pas simple à relever. En effet, l'évolution du Back-End Of Line (BEOL) des technologies CMOS avancées et l'utilisation d'un substrat silicium à pertes tendent à dégrader fortement les performances de ces dispositifs. Ainsi, le développement de BEOL optimisés pour les inductances intégrées apparaît comme indispensable si on veut pouvoir répondre aux cahiers des charges, visés par les circuits RF.

Dès lors, le principal objectif de cette thèse est de proposer des choix technologiques pour l'optimisation des inductances intégrées sur silicium, visant les applications dans la bande de fréquences s'étalant de 1 à 5 GHz.

Dans une première partie, une stratégie de gestion des inserts métalliques à l'échelle de l'inductance a été évaluée, afin de satisfaire les règles de densité imposées dans les technologies avancées (jusqu'au nœud technologique 32 nm).

Nous nous sommes ensuite intéressés à l'évaluation d'un BEOL innovant utilisant deux niveaux de cuivre épais en technologie CMOS 65 nm. En effet, la volonté actuelle d'intégrer le module dédié à l'amplificateur de puissance en technologie CMOS a soulevé ces dernières années la problématique de la gestion de forts courants (plusieurs centaines de mA à 1 A pour une température s'élevant jusqu'à 125°C) qui ne peut être adressée avec un BEOL standard.

Dans la continuité de ce travail, ce même BEOL a été évalué en technologie SOI. En effet, cette dernière commence à émerger pour l'intégration du module d'émission complet en technologie CMOS de part sa compatibilité avec des substrats silicium Hautement Résistifs (HR). Ceci a permis récemment l'intégration de nouvelles fonctions telles que le commutateur d'antenne et diverses fonctions passives nécessaires (duplexer, balun, …). L'optimisation d'inductances utilisant ce module double cuivre épais a été menée en technologie CMOS HR SOI 130 nm.

Mots clés: inductances intégrées, BEOL, densité de métallisation, métal épais, RF, capacité en courant, surface

Evaluation of Optimized BEOL Dedicated to the Integration of Inductors in Advanced CMOS and BiCMOS Technologies targeting RF Applications

Wireless communications have increased in a spectacular way over recent years due to the quest of complete transceiver integration (RF/digital/analog blocks) on a same chip in order to meet cost effective and low power constraints. In this context, the reduction of off-chip components is necessary. This trend has gradually led to a greater integration of passive components in silicon technologies, especially inductors, one of the key RF components.

Integrated in BEOL metallizations of CMOS or BiCMOS technologies, these devices have to meet requirements in terms of high electrical performances, low area and/or high current capability. However, this challenge is tricky to address. Actually, BEOL evolution and silicon substrate losses in Advanced CMOS technologies greatly decrease inductors' performances. Thus, the evaluation of optimized BEOL dedicated to the integration of inductors is essential if we want to target RF applications' specifications.

In this context, the main objective of this thesis is to propose optimized technological solutions for inductors integrated in silicon technologies, and targeting RF applications in the 1 GHz - 5 GHz frequency range.

As a first step, a dummy fill strategy has been evaluated at the scale of the device (without impacting its electrical performances) in order to fulfil metal density required in advanced technologies (down to the 32 nm node).

Then, we have focused our attention on the evaluation of an optimized BEOL using a Double Thick Copper module in a 65 nm CMOS bulk technology. Actually, the wish to integrate the module dedicated to the power amplifier in CMOS technology has raised high current issues (from several hundreds of mA up to 1 A @ 125°C), which is impossible to target with a standard BEOL.

In the same trend, this optimized BEOL has been evaluated in SOI technology. Actually, this technology is starting to come up for the complete integration of the RF Front End module in CMOS technology thanks to its compatibility with HR silicon substrates which enables to integrate even more functions (antennas, diplexer, balun…). Thus, inductor's optimization using a Double Thick Copper module has been performed in a 130 nm HR SOI CMOS technology.

Key words: integrated inductors, BEOL, metal density, thick Copper level, RF, current capability, consumed area