



HAL
open science

Conception de transistor MOS haute tension (1200 volts) pour l'électronique de puissance

Loïc Théolier

► **To cite this version:**

Loïc Théolier. Conception de transistor MOS haute tension (1200 volts) pour l'électronique de puissance. Micro et nanotechnologies/Microélectronique. Université Paul Sabatier - Toulouse III, 2008. Français. NNT: . tel-00377784

HAL Id: tel-00377784

<https://theses.hal.science/tel-00377784>

Submitted on 23 Apr 2009

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Conception de transistors MOS haute tension (1200 Volts) pour l'électronique de puissance

THESE

Présentée et soutenue publiquement le 1^{er} octobre 2008

pour l'obtention du

Doctorat de l'université Paul Sabatier Toulouse III

(spécialité micro-nanoélectronique)

Par

Loïc THEOLIER

Composition du jury

Rapporteurs : J.-C. CREBIER
J. MILLAN

Examineurs : D. ALQUIER
P. BIDAN
M. MERMET-GUYENNET
F. MORANCHO
J.-B. QUOIRIN

Directrice de thèse : K. ISOIRD

Remerciements

Les travaux présentés dans ce mémoire ont été réalisés au sein du groupe « Intégration de Système de Gestion de l'Energie » (ISGE) du Laboratoire d'Analyse et d'Architecture des Systèmes (LAAS) du CNRS de Toulouse et financés par le CNRS dans le cadre d'une Bourse de Docteur Ingénieur (BDI).

À l'issue de cette thèse, je souhaite tout d'abord remercier les directeurs successifs du LAAS, Messieurs Malik GHALLAB et Raja CHATILA, pour m'avoir accueilli au sein du Laboratoire. Je tiens aussi à remercier Madame Marise BAFLEUR, qui dirige le groupe ISGE, de m'avoir accueilli en son sein et Monsieur Jean-Louis SANCHEZ directeur adjoint du Laboratoire et membre du groupe ISGE pour sa bienveillance.

Ce travail a été conduit sous la direction de Mademoiselle Karine ISOIRD, Maître de Conférences à l'Université Paul Sabatier. Je tiens à la remercier pour sa confiance, son soutien, sa disponibilité et pour toutes les discussions instructives que nous avons eues durant toute la durée de mon travail de recherche. Je lui adresse, par ces quelques mots, ma plus profonde gratitude.

Je tiens tout particulièrement à exprimer ma reconnaissance à Monsieur Frédéric MORANCHO, Maître de conférences à l'Université Paul Sabatier, pour avoir su me guider avec beaucoup d'attention et de gentillesse. Ses qualités scientifiques et humaines ont contribué à l'aboutissement de cette thèse. Je tiens également à lui exprimer ma profonde reconnaissance pour le temps qu'il a consacré pour finir ce travail dans de bonnes conditions.

Je tiens également à remercier Messieurs Jean-Christophe CREBIER et José MILLAN, qui ont accepté la tâche d'être rapporteur de mes travaux de thèse. Je remercie également les membres du jury, Messieurs ALQUIER, BIDAN, MERMET-GUYENNET, QUOIRIN, pour leurs commentaires constructifs et pour avoir apporté un regard neuf sur mes travaux.

Je souhaiterais aussi remercier les personnes avec qui j'ai travaillé durant ces années, en particulier Hicham MAHFOZ-KOTB, docteur en contrat post-doctoral au LAAS-CNRS, qui a réalisé toutes les étapes technologiques et su relever les défis proposés. Je tiens aussi à le remercier pour son dynamisme et les longues discussions enrichissantes humainement et scientifiquement. Je tiens aussi à remercier Nicolas

MAURAN et Sandrine ASSIE-SOULEILLE pour leur disponibilité et leurs conseils techniques, ainsi que toute l'équipe TEAM, qui a permis la réalisation des diverses étapes de fabrication des dispositifs.

Je tiens à exprimer ma reconnaissance aux autres membres permanents du groupe ISGE que j'ai côtoyés avec plaisir durant ses années de thèses. Je voudrais aussi remercier tous les doctorants et anciens du laboratoire pour leur bonne humeur durant mes trois années de thèse : Albert, Adan, Amine, Aurore, Béatrice, Christian, Christophe, Dariga, David, Elias, Francesc, Gérald, Hakim, Hui, Hussein, Ignacio, J.B., Jaume, Nicolas G., Nicolas L., Philippe, Richard, Rodolphe, Yuan.

Je veux aussi remercier mes compagnons de cafétéria : Julie LE GAL, Stéphane PETIBON et Sylvain GODET qui ont su égayer les pauses déjeuner et me faire découvrir quelques divertissements pendant le café.

Je tiens à remercier mes deux compères de galères en simulation : Florence CAPY et Gaëtan TOULON. Peut-être qu'un jour nous serons expert en simulation sur SENTAURUS, peut-être ...

Je tiens à remercier mes nombreux colocataires de bureau :

- Jean-François REYNAUD, le dernier arrivé, pour sa sympathie et son exemplaire motivation. Tu verras, on change avec le temps.

- Cédric CABAL, pour m'avoir permis de refaire un peu de programmation, de me proposer quelques défis et d'avoir placé différentes stagiaires féminines dans notre bureau. Peut-être qu'une fois que je serai parti, tu trouveras le temps de venir manger à la maison ...

- et pour finir, Yann WEBER, pour ses conseils, ses discussions scientifiques et pour les moments de détente passés ensemble. Je tiens aussi à le remercier ainsi que sa miss Frédérique pour leur amitié et leur aide durant ces années de thèse.

Je voudrais remercier très sincèrement, mes parents Jean-François et Martine qui ont su me faire confiance durant toutes ces années. Rassurez-vous, c'est enfin fini !

Pour finir je voudrais remercier ma femme Annie, qui a été prêt de moi durant tout ce temps. C'est un peu grâce à elle si j'en suis arrivé ici aujourd'hui. Elle a supporté mes coups de sang, elle a su me remotiver, me faire confiance et être une épaule solide sur qui je pouvais me reposer.

Je m'excuse finalement au près de ceux que j'aurais pu oublier de mentionner dans ces pages.

A mes parents,

A mes grands-parents,

A tous ceux qui me sont cher.

«Le commencement de toutes les sciences,
c'est l'étonnement de ce que les choses sont ce qu'elles sont. »

Aristote

Table des Matières

LISTE DES SYMBOLES	11
INTRODUCTION GENERALE	15
CHAPITRE I. LES DIFFERENTES STRUCTURES DE PUISSANCE DISCRETES	19
I.1. INTRODUCTION	21
I.2. LES INTERRUPTEURS DE PUISSANCE	21
I.3. LES COMPOSANTS DE PUISSANCE	24
I.4. COMPORTEMENT STATIQUE DE L'IGBT ET DU TRANSISTOR MOS	25
I.4.1. <i>Fonctionnement à l'état bloqué des deux composants</i>	25
I.4.2. <i>Fonctionnement à l'état passant</i>	28
I.5. PRESENTATION DES NOUVELLES STRUCTURES	33
I.5.1. <i>Les composants à Superjonction</i>	33
I.5.2. <i>Les composants à îlots flottants</i>	37
I.5.3. <i>Les composants à « tranchées profondes à déplétion MOS latérale »</i>	40
I.5.4. <i>Les composants haute tension développés</i>	43
I.6. CONCLUSION	44
CHAPITRE II. ÉTUDE THEORIQUE DES STRUCTURES MOS POUR LA GAMME 1200 VOLTS.....	45
II.1. INTRODUCTION	47
II.2. ETUDE DES DIFFERENTES STRUCTURES MOS ENVISAGEES.....	48

II.2.1. Le transistor UMOS.....	48
II.2.2. Le transistor OBVDMOS	51
II.2.3. Le transistor SJMOS	55
II.2.4. Le transistor DT-SJMOS	59
II.2.5. Les solutions mixtes.....	62
II.3. DETERMINATION DE LA STRUCTURE MOS APPROPRIEE	69
II.3.1. Comparaison des performances statiques de chaque structure par rapport à l'IGBT	69
II.3.2. Choix entre les deux structures à Superjonction	71
II.4. CONCLUSION	72
CHAPITRE III. OPTIMISATION DU TRANSISTOR DT-SJMOS	75
III.1. INTRODUCTION	77
III.2. ÉTUDE DU COMPOSANT DT-SJMOS.....	78
III.2.1. Identification des paramètres influant sur BV_{DSS} et $R_{ON,S}$	78
III.2.2. Influence de la quantité de charges diffusée.....	80
III.2.3. Influence de la géométrie de la tranchée profonde	82
III.2.4. Influence de la dose du caisson P_{well}	87
III.2.5. Présentation de la structure optimisée	88
III.3. ÉTUDE DES PROTECTIONS PERIPHERIQUES	89
III.3.1. La terminaison à Superjonction	90
III.3.2. La terminaison en « cuve » de diélectrique.....	93
III.4. ÉTUDE DYNAMIQUE	100
III.4.1. Comportement de la diode body.....	100
III.4.2. Caractéristique du Gate Charge	105
III.5. CONCLUSION	108

CHAPITRE IV. ÉTUDE PRELIMINAIRE POUR LA REALISATION DU TRANSISTOR DT-SJMOS	111
IV.1. INTRODUCTION	113
IV.2. MISE EN PLACE DU PROCEDE DE FABRICATION	113
IV.2.1. <i>Procédés de fabrication envisagés</i>	113
IV.2.2. <i>Étapes critiques identifiées</i>	119
IV.2.3. <i>Réalisation d'un dispositif test</i>	120
IV.2.4. <i>Étude du contrôle de la dose de bore diffusée</i>	132
IV.3. LE DISPOSITIF DE TEST	134
IV.3.1. <i>Présentation de la diode</i>	134
IV.3.2. <i>Tenue en tension de la terminaison</i>	135
IV.3.3. <i>Jeu de paramètres technologiques et géométriques du transistor DT-MOS</i>	136
IV.4. CONCLUSION	138
CONCLUSION GENERALE	139
BIBLIOGRAPHIE	143
ANNEXE 1 CORPS D'UN PROGRAMME DE SIMULATION POUR LA TENUE EN TENSION	151
ANNEXE 2 CORPS D'UN PROGRAMME DE SIMULATION POUR LE RECOUVREMENT D'UNE DIODE INTERNE D'UN TRANSISTOR MOS	155
ANNEXE 3 DESCRIPTION DU PROCEDE DE FABRICATION ENVISAGE POUR REALISER LE DT-SJMOSFET	159
ANNEXE 4 DESCRIPTION DU JEU DE MASQUES DES DIODES REALISEES	163
LISTE DES PUBLICATIONS	175
ABSTRACT	177

Liste des symboles

BV_{DSS} :	Tenue en tension statique entre le drain et la source
C_{DS} :	Capacité interélectrodes drain-source
C_{DS1} :	Capacité de la jonction cylindrique
C_{DS2} :	Capacité de la jonction plane
C_{DS3} :	Capacité de la jonction verticale apportée par la superjonction
C_{GD} :	Capacité interélectrodes grille-drain
C_{GDD} :	Capacité dynamique associé à la zone de charge d'espace
C_{GDmax} :	Capacité due à l'oxyde entre la grille et la zone de drift
C_{GS} :	Capacité interélectrodes grille-source
C_{GS1} :	Capacité due au débordement de la grille sur la source N^+
C_{GS2} :	Capacité d'oxyde mince de la zone de canal
C_{GS3} :	Capacité due à la présence d'oxyde épais entre grille et source
d_B :	Dose de Bore diffusée
d_{Pwell} :	Dose du caisson P de source implantée
D.S.T. :	Dipôle sous test
D_{BAL} :	Epaisseur de la couche BAL
D_{Dep} :	Profondeur de déplétion
$D_{épi}$:	Epaisseur de la coche épitaxiée
D_{gate} :	Profondeur de la grille en tranchée
D_P :	Epaisseur de l'épitaxie supérieure
D_{Pwell} :	Profondeur du caisson P de source
D_{Trench} :	Profondeur des tranchées en cellule élémentaire
$D_{TTrench}$:	Profondeur de la tranchée de terminaison
E_1, E_2 :	Sources continues
E_c :	Valeur du champ électrique critique

E_{cBAL} :	Valeur du champ électrique critique dans la couche BAL
E_{cSJ} :	Valeur du champ électrique critique dans la semi-Superjonction
E_c :	Valeur du champ critique
e_{ox} :	Épaisseur de l'oxyde mince de grille
e_{oxT} :	Épaisseur de l'oxyde dans les tranchées profondes
f :	Facteur de forme dans le calcul de l'optimisation des Superjonctions
f_1, f_2 :	Fréquence des sources alternatives
I_A :	Courant d'anode
I_{ch} :	Courant constant dû à la charge inductive
I_D :	Courant de drain
I_f :	Courant direct traversant le composant
I_G :	Courant d'attaque de la grille
I_{MOS} :	Courant de la section MOS d'un IGBT
I_{RM} :	Courant maximal inverse lors de la fermeture de la diode interne
L_p :	Inductance parasite
L_s :	Inductance série
N_A :	Concentration de dopage de la couche dopée P
N_{BAL} :	Concentration de dopage de la couche BAL
N_{Pwell} :	Concentration en surface du caisson P de source
N_D :	Concentration de dopage de la couche dopée N
q :	Charge électrique élémentaire
Q_G :	Charge de la grille
Q_R :	Charge de recouvrement d'une diode lors de la fermeture de celle-ci
R_a :	Résistance de la zone d'accès au drain
R_{ch} :	Résistance de canal
R_d :	Résistance de la zone de « drift »
R_{dBAL} :	Résistance de drift de la couche BAL
R_{dBAL1} :	Résistance de drift de la couche BAL au dessus des îlots flottants
R_{dBAL2} :	Résistance de drift de la couche BAL en dessous des îlots flottants
R_{dSJ} :	Résistance de drift de la zone de la superjonction

R_{FLI} :	Résistance de la zone entre les îlots flottants
R_{ON} :	Résistance à l'état passant du transistor MOS de puissance
$R_{ON.S}$:	Résistance spécifique à l'état passant du transistor MOS de puissance
R_{N^+} :	Résistance de la diffusion N^+ de source
R_{sub} :	Résistance du substrat N^+ relié au drain
S :	Surface active de la puce d'un transistor MOS de puissance
T :	Température (en K)
t_0 :	Temps initial du recouvrement de la charge de la diode interne
T_{diff} :	Température de diffusion
t_{diff} :	Temps de diffusion
t_{IRM} :	Temps pour lequel I_{RM} est atteint
t_{RR} :	Temps de recouvrement inverse de la diode interne
t_s :	Temps de désaturation
T_{VRM} :	Temps pour lequel V_{RM} est atteint
V_1, V_2 :	Amplitude des sources alternatives
V_{AK} :	Tension entre l'anode et la cathode
V_{DD} :	Tension d'alimentation des circuits
V_{DS} :	Tension entre le drain et la source
V_E :	Tension de commande du transistor T_1
V_F :	Chute de tension d'un composant actif polarisé en direct
V_{GE} :	Tension entre la grille et l'émetteur de l'IGBT
V_{GS} :	Tension entre la grille et la source
V'_{GS} :	Tension effective de grille
V_R :	Polarisation inverse pour la mesure du recouvrement inverse
V_{RM} :	Tension maximal inverse lors de la fermeture de la diode interne
V_{TH} :	Tension de seuil des composant à commande MOS
W_{BC} :	Largeur de la cellule élémentaire
W_{BT} :	Largeur du bas de la tranchée profonde
W_{FP} :	Largeur de la plaque de champ
W_{gate} :	Largeur de la grille

W_N, W_P :	Largeur des colonnes N et P
W_{Nzce} :	Largeur de la zone de charge d'espace dans la couche N
W_{oxT} :	Largeur de l'oxyde dans les tranchées profondes
W_{Pzce} :	Largeur de la zone de charge d'espace dans la couche P
W_{Trench} :	Largeur des tranchées profondes en cellule élémentaire
W_{TT} :	Largeur du haut de la tranchée profonde
$W_{TTrench}$:	Largeur de la tranchée de terminaison
Z :	« Périmètre » total du canal
ZCE :	Zone de charge d'espace
α :	Rapport entre la zone de conduction et la surface active de la puce
α_n, α_p :	Coefficient des électrons et des trous
β_{PNP} :	Gain du transistor bipolaire PNP dans l'IGBT
Λ :	Potentiel transverse de réduction de la mobilité (couche accumulée)
ϵ_0 :	Permittivité absolu du vide
$\epsilon_{Diél}$:	Permittivité relative du diélectrique des tranchées profondes
ϵ_{Si} :	Permittivité relative du silicium
μ_n :	Mobilité des électrons
γ :	Rapport entre la largeur et la profondeur des tranchées profondes

Introduction générale

L'énergie et les transports sont au centre des paradoxes de développement durable : tous deux sont indispensables au développement et à la croissance socio-économique mais leurs évolutions actuelles vont de pair avec des risques inacceptables pour l'humanité : l'épuisement des ressources naturelles non renouvelables (notamment des combustibles fossiles) et la dégradation de l'environnement (notamment atmosphérique). Ajoutons à cela que 89% des ressources en énergie de la planète sont d'origine fossile et que la quasi-totalité de l'augmentation de la demande mondiale d'énergie primaire est majoritairement couverte par des énergies à effets environnementaux majeurs : à 75 % par le pétrole et à 18% par l'énergie nucléaire contre seulement 6% par des énergies renouvelables. La recherche et le développement dans les domaines des énergies renouvelables propres sont un des axes majeurs pour l'avenir de l'humanité. L'amélioration du rendement de la chaîne énergétique (création de l'énergie, transport de l'énergie, transformations successives, système consommateur) passe inévitablement par une amélioration du rendement de chacune des parties la composant. Le secteur du transport consomme 25% de l'énergie mondiale et utilise plus de la moitié du pétrole produit dans le monde. Les axes de recherche liés à l'utilisation d'énergies alternatives pour les moyens de transport sont donc d'une importance capitale (véhicules hybrides ou tout électriques), mais il sera également vital à l'avenir de modifier les modes de vie associés à l'utilisation de véhicules privés et à la consommation de l'énergie.

Les activités de recherche en électronique de puissance s'inscrivent pleinement dans la perspective de ces changements devenus inévitables. La variété des dispositifs de l'électronique de puissance est telle (traction électrique, entraînements industriels, gestion du réseau de distribution, électroménager et domotique, automobile et appareils portatifs) qu'ils interviennent à plusieurs niveaux sur la chaîne de traitement de l'énergie. Leur amélioration en termes de rendement constitue donc un facteur majeur pour la sauvegarde de l'énergie de la chaîne de traitement dans son ensemble

Dans ce contexte, la traction ferroviaire cherche à améliorer sa chaîne de conversion de l'énergie d'un point de vue énergétique, de coût, d'encombrement et de fiabilité. La diminution de l'encombrement passe par la diminution du poids et du

volume du système de conversion. Pour cela, une des pistes envisagées est soit de maximiser l'échange d'énergie en ne modifiant pas les valeurs composants des passifs, soit de diminuer la valeur des inductances et des capacités et donc diminuer leur encombrement en augmentant la fréquence d'utilisation. Une autre piste serait de minimiser le système de refroidissement, ce qui impliquerait une température de fonctionnement, pour les composants, plus élevée. Dans cet environnement, l'utilisation de composants à conduction unipolaire serait préférable afin d'éviter l'emballement thermique. De plus, le remplacement du module IGBT / diode par le transistor MOS seul, en utilisant sa diode interne, permettrait encore de réduire le coût.

Les travaux de recherche présentés ici se situent dans ce contexte. L'objet de cette thèse est de proposer des solutions alternatives à l'utilisation de l'IGBT dans les convertisseurs employés pour la traction ferroviaire dans la gamme 1200 Volts. A l'heure actuelle, jusqu'à 600 Volts, le concurrent direct de l'IGBT est le transistor MOS. En effet, ce dernier présente un certain nombre de propriétés intéressantes pour les applications de puissance : il est rapide, son impédance d'entrée est très grande en basse fréquence et il est très stable thermiquement. Cependant, dans des gammes de tensions plus élevées et notamment pour la tension visée pour cette application (1200 V), les structures MOS conventionnelles sont handicapées par une résistance à l'état passant et, donc, une chute de tension importante par rapport aux composants bipolaires comme l'IGBT. Cette résistance à l'état passant est inversement proportionnelle au dopage de la zone volumique qui doit être suffisamment faible pour supporter la tension blocable : trouver le meilleur compromis entre ces deux paramètres (résistance à l'état passant / tenue en tension) est un des défis majeurs dans ce domaine de tension. C'est pour cette raison que, ces dernières années, plusieurs structures innovantes ont été proposées : l'idée commune à tous ces dispositifs est la modification structurelle de la zone volumique destinée à tenir la tension à l'état bloqué.

L'objet du premier chapitre est de présenter le fonctionnement de l'IGBT et du transistor MOS. L'analyse de leur comportement permet d'apprécier les différences de fonctionnement et la difficulté à optimiser le compromis « résistance à l'état passant / tenue en tension ». La limite théorique de ce compromis pour les composants MOS conventionnels a été dépassée grâce à l'apparition de nouveaux concepts modifiant le volume des composants MOS : la « Superjonction », les « îlots flottants » et les « tranchées profondes à déplétion MOS latérale ».

L'étude théorique des structures MOS dans la gamme 1200 Volts est effectuée dans le chapitre 2. Après une présentation des structures MOS envisagées comme remplaçantes de l'IGBT 1200 Volts, une étude basée sur la simulation

bidimensionnelle à éléments finis des différentes structures MOS sera présentée. L'accent sera porté, tout au long de cette étude, sur l'amélioration du compromis « résistance à l'état passant / tenue en tension ». À partir de ces résultats, une étude des caractéristiques de transfert des différents composants est réalisée pour déterminer les structures susceptibles de remplacer l'IGBT. Le chapitre se terminera par la comparaison des performances des composants sélectionnés : les possibilités de fabrication au LAAS-CNRS permettront de choisir un composant pour la suite de l'étude.

Le chapitre 3 est consacré à l'optimisation du nouveau transistor MOS retenu. L'identification des paramètres influençant la tenue en tension et la résistance passante est réalisée. Ceci permet ensuite d'étudier l'influence de chaque paramètre indépendamment et de déterminer les paramètres critiques influant sur la tenue en tension et la résistance passante. De plus, cette nouvelle structure MOS nécessite une protection périphérique appropriée : différentes terminaisons originales seront étudiées. Le dernier point développé est le comportement dynamique du nouveau transistor : une étude du recouvrement des charges de la diode interne et du comportement en « gate charge » terminera ce chapitre.

Enfin le dernier chapitre présente le développement de différentes briques technologiques en vue de la réalisation d'un démonstrateur. La fabrication d'un dispositif de test permettra de valider la maîtrise des étapes technologiques mais aussi la terminaison originale présentée dans le chapitre précédent.

Chapitre I.

Les différentes structures de puissance discrètes

Sommaire

I.1. INTRODUCTION.....	21
I.2. LES INTERRUPTEURS DE PUISSANCE	21
I.3. LES COMPOSANTS DE PUISSANCE	24
I.4. COMPORTEMENT STATIQUE DE L'IGBT ET DU TRANSISTOR MOS	25
I.4.1. <i>Fonctionnement à l'état bloqué des deux composants</i>	25
I.4.2. <i>Fonctionnement à l'état passant</i>	28
I.5. PRESENTATION DES NOUVELLES STRUCTURES	33
I.5.1. <i>Les composants à Superjonction</i>	33
I.5.2. <i>Les composants à îlots flottants</i>	37
I.5.3. <i>Les composants à « tranchées profondes à déplétion MOS latérale »</i>	40
I.5.4. <i>Les composants haute tension développés</i>	43
I.6. CONCLUSION	44

I.1. Introduction

Les composants actifs des convertisseurs de puissance employés pour la traction ferroviaire 1200 Volts sont actuellement des IGBTs. Ceux-ci sont handicapés par leurs pertes en commutation et leur emballement thermique. L'utilisation de transistors MOS de puissance permettrait de pallier ces inconvénients. Néanmoins, à ces niveaux de tension, les transistors MOS sont pénalisés par leur compromis « tenue en tension / résistance passante spécifique ». Ces dernières années, l'industrie de la microélectronique a cherché à améliorer ce compromis, notamment par la diminution de la taille des cellules élémentaires, mais s'est confrontée à la limite théorique des composants MOS à zone faiblement et uniformément dopée. Récemment, cette limite fut dépassée par la modification du composant dans son volume.

Après avoir décrit le fonctionnement des interrupteurs de puissance et quelques composants, nous présenterons le comportement statique de l'IGBT et du transistor MOS. Pour finir nous présenterons de nouveaux concepts appliqués aux transistors MOS afin d'améliorer leurs performances statiques.

I.2. Les interrupteurs de puissance

L'objectif de l'électronique de puissance est de convertir l'énergie électrique entre un générateur et un récepteur qui sont souvent de natures différentes. C'est pourquoi, afin d'assurer le flux d'énergie entre les deux, l'utilisation des convertisseurs d'énergie électrique est nécessaire afin d'adapter les caractéristiques et les différentes formes de l'énergie électrique (continue ou alternative). La Figure I.1 rappelle les grandes familles de convertisseurs qui peuvent être soit directs, soit indirects en faisant appel à l'association de plusieurs convertisseurs directs. Deux types de sources sont présentes dans cette figure, à savoir les sources de tension ou de courant continues (E_1 et E_2) et les sources alternatives caractérisées par leur amplitude et leur fréquence (V_1, f_1 et V_2, f_2). Ces convertisseurs sont réalisés avec des interrupteurs à base de composants à semiconducteurs et des composants passifs tels des inductances ou des capacités. Les premiers permettent de contrôler le transfert de l'énergie électrique tandis que les seconds servent à filtrer les formes d'ondes de cette énergie. Les interrupteurs se comportent comme des résistances non linéaires qui, à l'état passant, doivent être les plus faibles possibles, et à l'état bloqué, les plus grandes possibles. Le fait de ne pas utiliser de pièces tournantes pour la matérialisation de ces convertisseurs nous conduit à les nommer « convertisseurs statiques ».

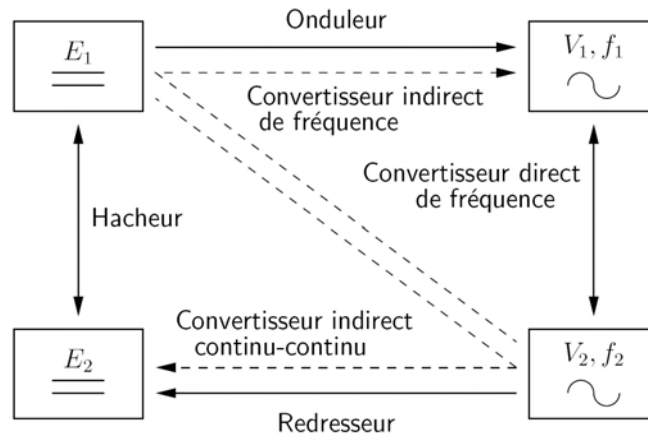


Figure I.1 : Grandes familles de convertisseurs.

Ces convertisseurs permettent d'apporter l'énergie du générateur vers le récepteur ou réciproquement suivant la réversibilité du système. Par exemple, dans le domaine de la traction ferroviaire, lorsque qu'un train accélère, l'énergie est apportée du réseau électrique au travers des caténaires à la machine électrique qui transforme cette énergie électrique en énergie mécanique. En phase de freinage, le train possède une énergie cinétique à évacuer afin de freiner le train. Pour cela, un transfert d'énergie de la machine électrique vers le réseau ou vers une résistance ballast est effectué au travers du même convertisseur statique. Ces contraintes impliquent que les convertisseurs doivent assurer une réversibilité soit en courant soit en tension. Ceci se traduit par une bidirectionnalité en tension et/ou en courant des interrupteurs qui les composent.

Dans le plan I/V, un interrupteur bidirectionnel en courant et en tension va occuper les quatre quadrants comme indiqué sur la Figure I.2. Si l'interrupteur est considéré comme idéal, sa caractéristique statique se confondra avec les axes du plan I/V. Cependant, dans les systèmes de électronique de puissance, ce type d'interrupteur (hormis le triac) ne peut être obtenu que par association d'interrupteurs à deux ou trois segments. De plus, les convertisseurs statiques classiques n'ont besoin souvent que d'interrupteurs à deux ou trois segments pour assurer leur fonction.

Il existe donc plusieurs types d'interrupteurs :

- les interrupteurs unidirectionnels en tension et en courant. Les transistors bipolaires, MOSFET (Metal Oxyde Semiconductor Field Effect Transistor) ou IGBT (Insulated Gate Bipolar Transistor) ont cette caractéristique avec une tension et un courant de même signe (Figure I.3 (b)). Lorsque les signes sont différents, il s'agit d'un comportement de type diode (Figure I.3 (a)),

- les interrupteurs bidirectionnels en tension ou en courant. Ces interrupteurs à trois segments sont soit une structure de type thyristor (Figure I.4 (a)), soit l'association de plusieurs interrupteurs, transistors ou diodes, comme l'exemple du thyristor dual (Figure I.4 (b)),
- les interrupteurs bidirectionnels en courant et en tension. Seul le triac est capable d'assumer cette fonction seul (Figure I.2). Il existe néanmoins des associations d'interrupteurs à deux ou trois segments pour synthétiser cette fonction.

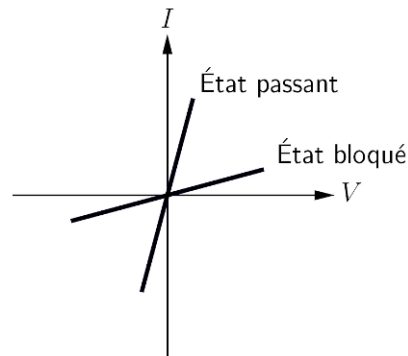


Figure I.2 : Caractéristiques statiques d'un interrupteur 4 quadrants type triac.

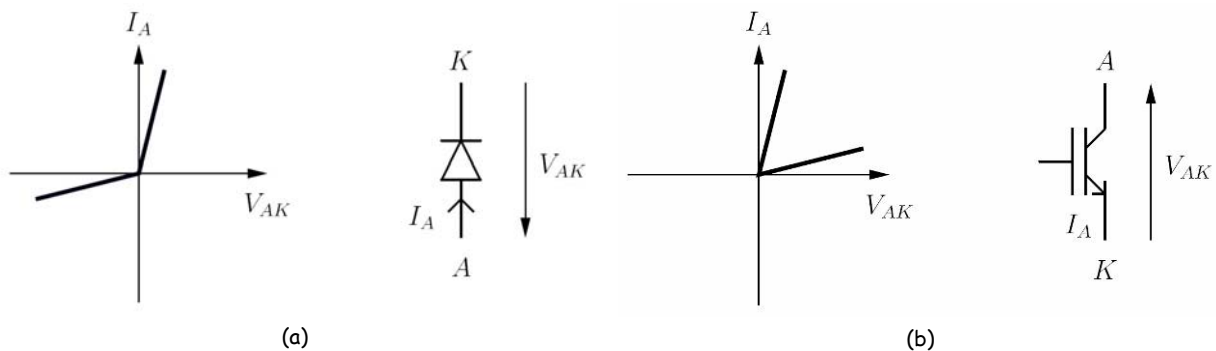


Figure I.3 : Caractéristiques statiques des interrupteurs unidirectionnels
(a) 2 segments type diode, (b) 2 segments type transistor.

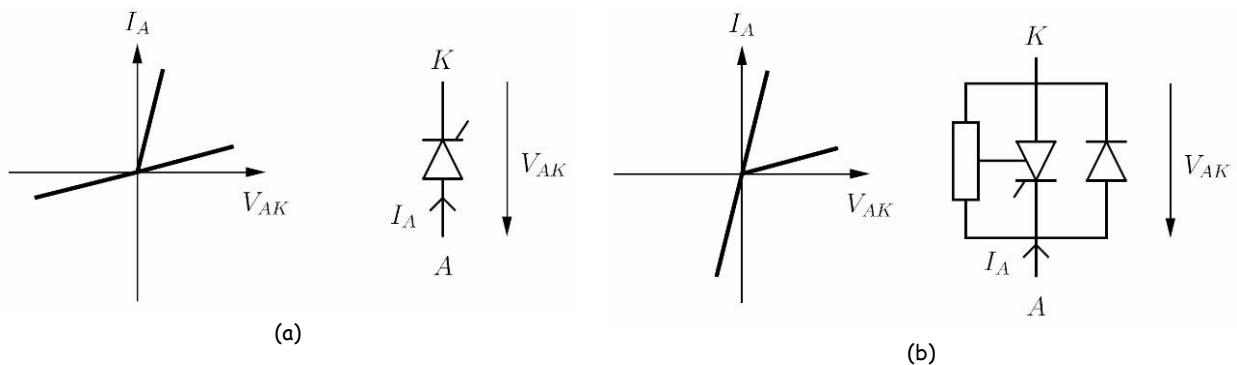


Figure I.4 : Caractéristiques statiques des interrupteurs
(a) 3 segments type thyristor, (b) 3 segments type thyristor dual.

I.3. Les composants de puissance

La Figure I.5 montre les différents types d'interrupteurs généralement utilisés en fonction de la gamme de puissance et de fréquence d'utilisation. L'IGBT est une structure semiconductrice qui associe les avantages d'une commande MOS et les performances en conduction des structures bipolaires. Pour ces raisons, l'IGBT est devenu le composant majeur de l'électronique de puissance pour des applications allant jusqu'à 10 kW sous des fréquences pouvant aller jusqu'à 20 kHz. Pour obtenir des calibres en courant importants, on utilise des modules de puissance qui sont un ensemble de semiconducteurs de puissance interconnectés entre eux dans un même boîtier. Ceux-ci sont utilisés dans la traction ferroviaire nécessitant de forts courants ; en outre, ils présentent de plus faibles pertes à la commutation que les thyristors.

Les transistors MOS sont utilisés généralement pour les faibles puissances et fortes fréquences. La conduction unipolaire du composant leur confère de faibles pertes en commutation au détriment d'une chute de tension élevée en conduction à forte tension de claquage. Néanmoins, les nouveaux concepts de structures MOS que nous verrons au §I.5 permettent d'augmenter la puissance de ceux-ci et ainsi, de concurrencer les IGBTs dans quelques applications.

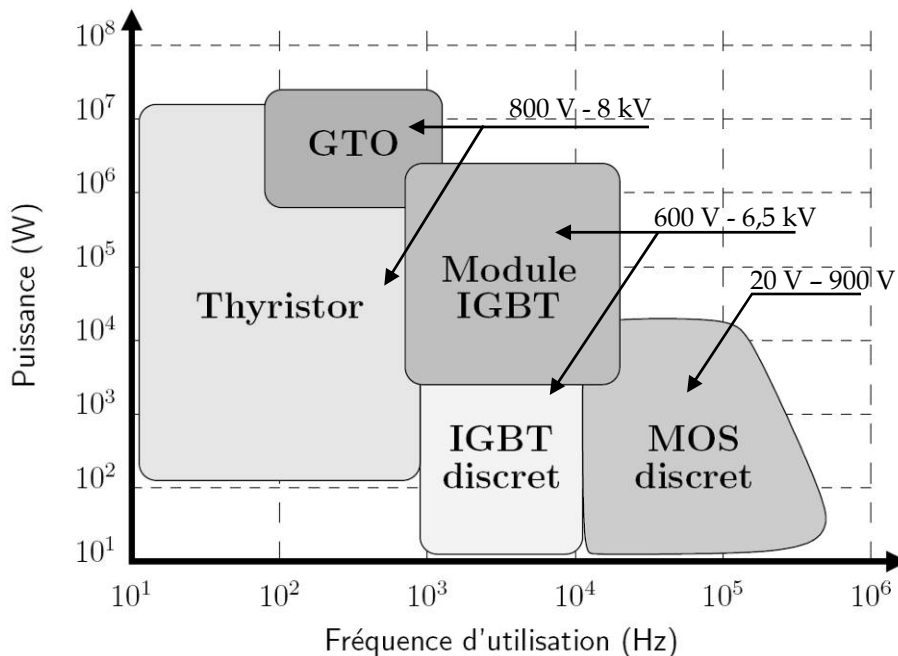


Figure I.5 : Répartition des différents types de composants en fonction de la puissance et de la fréquence d'utilisation.

I.4. Comportement statique de l'IGBT et du transistor MOS

I.4.1. Fonctionnement à l'état bloqué des deux composants

L'IGBT (Figure I.6 (a)) a été développé pour travailler de manière similaire au transistor MOS (Figure I.6 (b)) avec l'avantage de pouvoir moduler la conductivité de la zone faiblement dopée N^- par injection de porteurs minoritaires grâce à la couche additionnelle P^+ insérée entre la zone N^- et le contact de collecteur. L'état bloqué est donc régi par un mécanisme identique à celui du transistor MOS.

Une des caractéristiques principales du composant de puissance est sa capacité à tenir la tension élevée à l'état bloqué. À l'état bloqué, c'est-à-dire lorsque la tension grille-émetteur pour un IGBT – ou grille-source pour un transistor MOS – est inférieure à la tension de seuil (V_{TH}), la tension appliquée entre collecteur-émetteur – ou drain et source – est soutenue principalement par la zone de charge d'espace (ZCE) qui apparaît dans la couche N^- (base de l'IGBT ou région de drift du transistor VDMOS). Le transistor VDMOS et l'IGBT peuvent alors être assimilés à une diode $P^+N^-N^+$ polarisée en inverse. De ce fait, le traitement de la tension de claquage BV_{DSS} est effectué en fonction des propriétés physiques de la jonction P^+N^- . Après avoir précisé les différentes zones de claquage possibles dans le transistor VDMOS et l'IGBT, nous nous concentrons plus précisément sur la jonction plane P^+N^- et nous donnerons les expressions « optimales » qui lient la tenue en tension aux deux paramètres, épaisseur et dopage, de la couche épitaxiée N^- .

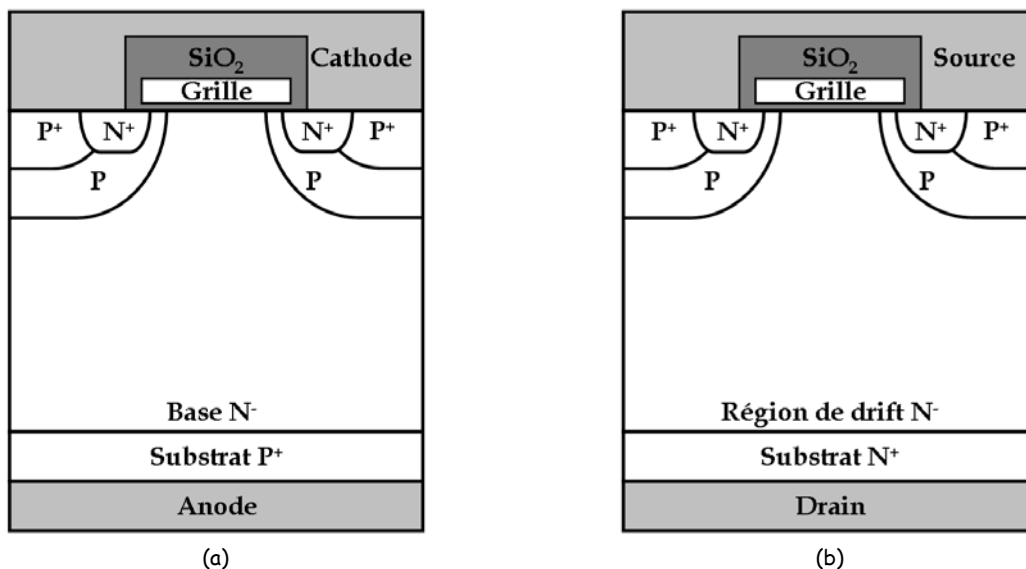


Figure I.6 : (a) Coupe schématique d'un IGBT,
(b) Coupe schématique d'un transistor VDMOS de puissance.

I.4.1.1. Les différentes zones de claquage

Afin d'analyser la tenue en tension du transistor VDMOS et de l'IGBT, il convient tout d'abord de préciser les zones de claquage possibles dans ces structures (Figure I.7). Il s'agit des zones latérales des dispositifs (1) où les effets de courbures de jonction sont prédominantes, des zones frontales (2) où l'expression de la charge d'espace peut être ou ne pas être limitée, des zones de surface (3) de la région peu dopée recouverte d'oxyde de grille, ou bien de l'oxyde lui-même (4). Les problèmes liés à la tenue en tension de ces diverses zones ont été traités de manière relativement exhaustive par Gharbi [1].

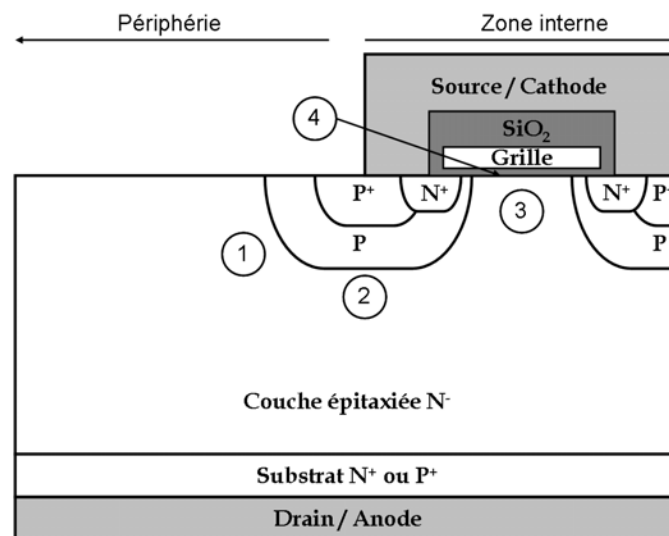


Figure I.7 : Localisation des différentes zones de claquage dans un transistor VDMOS ou un IGBT.

Compte tenu de la structure multicellulaire des diffusions P qui constituent les caissons de canal, c'est sur les bords du dispositif (zone 1), là où la courbure de jonction est maximale, que peut se produire une limitation en tension par le phénomène de claquage par avalanche. À l'heure actuelle, de nombreuses méthodes de garde ont été proposées pour éviter cet effet latéral. La tendance consiste à minimiser les effets de surface et à accroître le rayon de courbure de la jonction afin d'atteindre la tension de claquage théorique d'une jonction plane [1], [2], [3]. En pratique, la mise en place de terminaisons adéquates (terminaison de type biseau [4], anneaux flottants [5], extensions de jonction implantée (JTE) [6], plaque de champ [7] ou couche semi-résistive SIPOS [8]), dans un composant de puissance, permet à celui-ci de tenir une tension BV_{DSS} pouvant atteindre environ 90% de la tension de claquage d'une jonction plane [1], [9].

La réduction de la tenue en tension résultant de la possibilité d'avalanche dans la région N^- en surface sous l'oxyde de grille (zone 3) est en général liée à l'existence d'une éventuelle polarisation inverse de grille et la présence d'un « surdopage » de

la zone de surface [1]. Dans le cas d'un transistor VDMOS conventionnel ou d'un IGBT qui sont exempts de surdopage en surface et auxquels on applique, à l'état bloqué, une tension nulle entre grille et source, il apparaît que la valeur de la tension de claquage est toujours supérieure à la tension d'avalanche de la jonction plane abrupte P⁺N⁻. Par ailleurs, le « mécanisme d'autoblindage » de la grille exclut également tout risque de claquage diélectrique dans la zone 4 [10].

Dans ce qui suit, nous nous concentrerons donc plus précisément sur la jonction plane P⁺N⁻ (zone frontale 2), en considérant que c'est elle qui impose le claquage du composant, soit parce qu'elle claque la première, soit parce qu'elle conditionne le claquage en terminaison.

I.4.1.2. Optimisation du couple « épaisseur / dopage »

Plusieurs auteurs ont proposé des expressions approximatives [1], [10], [11], [12] liant l'extension de la charge d'espace W_{Nzce} et le dopage N_D de la couche N⁻ à la tension de claquage BV_{DSS} . Nous retiendrons plus particulièrement l'approche de Gharbi [1] : en effet, ses calculs sont apparus comme étant les plus rigoureux car ils sont notamment basés sur des expressions de coefficients d'ionisation α_n et α_p non égaux ; il a considéré les deux cas de figure type de la jonction PN⁻ :

1. la jonction plane en limitation de charge d'espace ou en perçage ; la zone N⁻ est alors complètement dépeuplée au moment du claquage (Figure I.8),
2. la jonction plane infinie ; cela correspond au cas où l'épaisseur de la zone N⁻ est plus grande que l'extension de la zone de charge d'espace (Figure I.9).

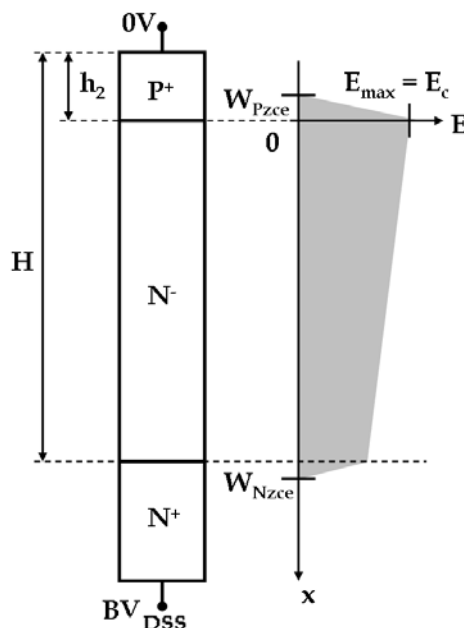


Figure I.8 : Répartition du champ électrique au claquage dans une diode P⁺N⁻ : jonction plane en limitation de charge d'espace.

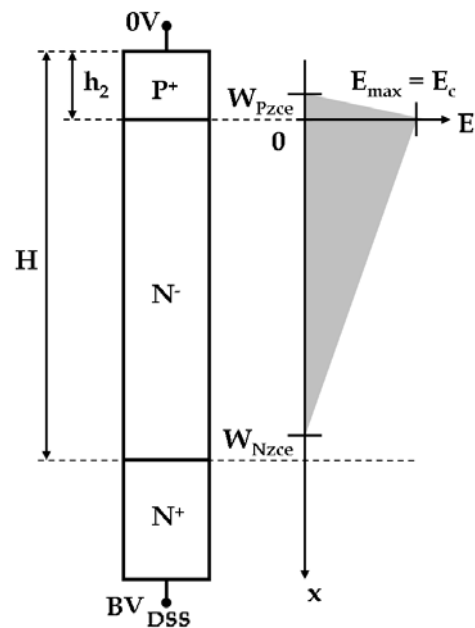


Figure I.9 : Répartition du champ électrique au claquage dans une diode P⁺N⁻ : jonction plane infinie.

Dans le cas d'une jonction en limitation de charge, il a considéré que le champ critique E_c restait identique à celui d'une jonction infinie, puis a évalué le couple « épaisseur/dopage » minimisant la résistance par surface unitaire de la zone N⁻.

Ce couple s'exprime, dans ce cas par les relations suivantes :

$$W_N (cm) = 1,87 \cdot 10^{-6} \cdot BV_{DSS}^{\frac{7}{6}} \quad (\text{I.1})$$

$$N_D (cm^{-3}) = 1,85 \cdot 10^{18} \cdot BV_{DSS}^{-\frac{4}{3}} \quad (\text{I.2})$$

Dans le cas d'une jonction infinie, il a obtenu les expressions suivantes :

$$W_N (cm) = 2,44 \cdot 10^{-6} \cdot BV_{DSS}^{\frac{7}{6}} \quad (\text{I.3})$$

$$N_D (cm^{-3}) = 2,16 \cdot 10^{18} \cdot BV_{DSS}^{-\frac{4}{3}} \quad (\text{I.4})$$

La tenue en tension, le dopage de la couche épitaxiée N⁻ et sa profondeur sont donc étroitement liés. Ceci a pour conséquence de modifier le comportement à l'état passant des composants suivant leur tenue en tension : la résistance du transistor MOS augmentera avec la tenue en tension et l'injection des trous d'un IGBT diminuera.

I.4.2. Fonctionnement à l'état passant

I.4.2.1. La résistance à l'état passant du transistor VDMOS

Le transistor VDMOS, comme n'importe quel autre composant de puissance, doit être capable de présenter une faible chute de tension à l'état passant.

La résistance à l'état passant est définie selon l'expression : $R_{ON} = \frac{V_{DS}}{I_D} \Big|_{V_{DS} \rightarrow 0}$.

Classiquement, sa valeur est déterminée pour une tension de grille de 10 Volts.

Cette résistance, schématisée sur la Figure I.10, se décompose en quatre résistances principales : la résistance R_{ch} du canal d'inversion, la résistance d'accès au drain R_a correspondant à la région située sous la grille entre deux caissons P de canal adjacents, la résistance de drift R_d , qui représente le volume de drain épitaxié, et la résistance R_{sub} de substrat N⁺ reliée au drain [13].

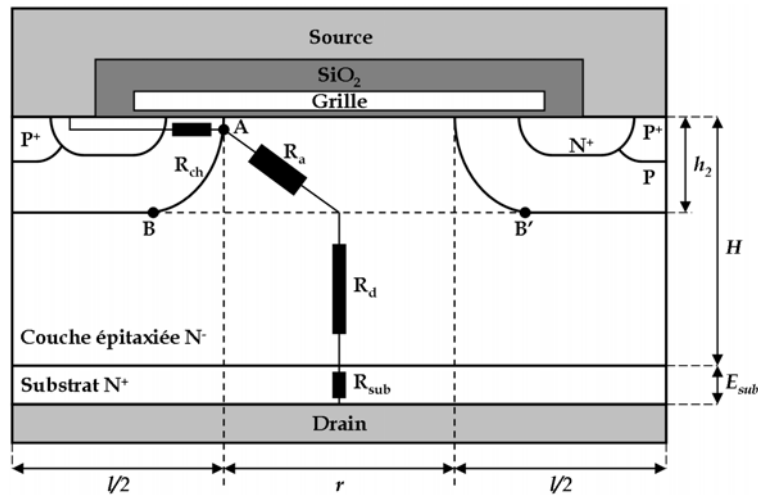


Figure I.10 : Coupe schématique d'une cellule élémentaire d'un transistor VDMOS de puissance conventionnel : paramètres géométriques et localisation des principales composantes de sa résistance à l'état passant.

Une diminution drastique de la résistance à l'état passant d'un transistor VDMOS serait, en théorie, très facile à obtenir : il suffirait d'augmenter le nombre de cellules MOS élémentaires mises en parallèle jusqu'à atteindre la résistance voulue. Cependant, le transistor conçu de la sorte présenterait une surface trop importante. Le paramètre le plus important en conduction n'est donc pas la résistance à l'état passant mais le produit de cette résistance par la surface active « $R_{ON.S}$ ». Ce produit est appelé « résistance passante spécifique », terme inspiré de la littérature anglo-saxonne [18] qui l'a baptisé « specific on-resistance ». Il apparaîtrait donc plus judicieux d'exprimer les différentes résistances que nous venons d'étudier en termes de résistances spécifiques, en calculant les produits de chacune de ces résistances par la surface active S d'une cellule élémentaire. La détermination de S a été réalisée pour les principales géométries de cellules MOS élémentaires : hexagones, carrés alignés ou non, cercles, bandes parallèles [15], [19].

Le Tableau I.1 donne la part relative, en pourcentage, de chacune des composantes de la résistance passante spécifique pour des transistors basse, moyenne et haute tensions – seule la résistance du silicium est prise en compte ici –.

Composantes de $R_{ON.S}$	VDMOS 45 Volts	VDMOS 250 Volts	VDMOS 1000 Volts
$R_{ch.S}$	22,5 %	5,1 %	0,4 %
$R_a.S$	31,7 %	20,7 %	8,4 %
$R_d.S$	30,8 %	72,5 %	91,1 %
$R_{sub.S}$	15 %	1,7 %	0,1 %

Tableau I.1 : Importance relative de chacune des composantes de la résistance passante spécifique de transistors VDMOS basse, moyenne et haute tensions en tension.

$R_{ON.S}$ est mesuré à $V_{GS} = 10$ V et $V_{DS} = 10$ mV.

Comme le montre le Tableau I.1, pour les transistors MOS haute tension qui nous intéressent ici, R_{ch} et R_{sub} sont négligeables. Nous nous attacherons donc ici à identifier les paramètres technologiques et géométriques qui ont une influence sur R_d et R_a .

I.4.2.1.a. La résistance d'accès R_a

La zone d'accès correspond à la région du semi-conducteur de type N⁻ fonctionnant en régime accumulé dans la zone intercellulaire sous l'électrode de grille. La résistance de cette région est définie comme étant la résistance qui relie la fin du canal (point A) à la ligne BB' (Figure I.10), considérée comme l'équipotentielle délimitant la zone de défocalisation des lignes de courant dans le volume de la zone épitaxiée. Cette ligne BB' est située à une distance h_2 de l'interface Si-SiO₂ et est égale à la profondeur de jonction de la diffusion P.

La résistance d'accès au drain est contrôlée par deux mécanismes dont les effets sont répartis et sont liés à :

- la présence d'une couche accumulée induite par la polarisation positive de grille, à la surface de la zone N⁻ faiblement dopée située sous l'oxyde de grille,
- la présence de la résistance du volume de la zone N⁻ située au-dessous de cette couche accumulée, entre deux caissons P adjacents.

Elle peut être considérée comme le produit de la résistance d'un barreau semi-conducteur de section $Z \cdot (r/2)$, d'épaisseur h_2 et de dopage N_D , par un coefficient λ qui dépend des dimensions géométriques, du dopage et de la tension de grille V_{GS} . Cette résistance s'écrit [14] :

$$R_a = \frac{2 \cdot h_2}{q \cdot \mu_n \cdot N_D \cdot Z \cdot r} \cdot \lambda \quad (I.5)$$

où r est l'espace intercellulaire compris entre deux caissons P, le coefficient λ étant défini par :

$$\lambda = \frac{r}{2} \cdot \sqrt{\frac{q \cdot a \cdot N_D \cdot (\Lambda + V'_{GS})}{C_{ox} \cdot h_2 \cdot \Lambda \cdot V'_{GS}}} \cdot \frac{1}{\text{th} \left[\frac{r}{2} \cdot \sqrt{\frac{q \cdot a \cdot N_D \cdot (\Lambda + V'_{GS})}{C_{ox} \cdot h_2 \cdot \Lambda \cdot V'_{GS}}} \right]} \quad (I.6)$$

où Λ est le potentiel de réduction de la mobilité dans la couche accumulée et où le coefficient « a » représente le rapport (μ_n / μ_{0acc}) de la mobilité des porteurs dans le volume sur la mobilité à champ faible dans la couche accumulée. Les valeurs de μ_n et μ_{0acc} étant du même ordre de grandeur, ce coefficient est en général pris égal à l'unité.

I.4.2.1.b. La résistance de drift R_d

La résistance de drift représente la contribution de la couche épitaxiée. Elle correspond à la zone de semi-conducteur N- faiblement dopée qui s'étend de l'équipotentielle BB' à la zone N+ de drain. Une évaluation approximative de cette résistance consisterait à considérer simplement que c'est un barreau semi-conducteur ($R = \frac{\rho \cdot l}{S}$), de résistivité $\rho = \frac{1}{q \cdot \mu_n \cdot N_D}$, de longueur $(H-h_2)$ et de section S (S étant la surface d'une cellule élémentaire) :

$$R_d = \frac{H - h_2}{q \cdot \mu_n \cdot N_D \cdot S} \quad (\text{I.7})$$

Une approche plus rigoureuse [15] consiste à considérer la défocalisation des lignes de courant sous la zone diffusée P selon un angle constant qui a pour valeur 45° (Figure I.10). Deux expressions de R_d ont ainsi été établies selon que l'épaisseur de la couche épitaxiée $(H-h_2)$ est supérieure ou non à la demi-largeur $l/2$ des caissons P :

$$R_d = \frac{1}{q \cdot \mu_n \cdot N_D \cdot Z} \cdot \left[1 + \frac{2(H - h_2)}{r} \right] \quad \text{si } (H-h_2) < l/2 \quad (\text{I.8})$$

$$R_d = \frac{1}{q \cdot \mu_n \cdot N_D \cdot Z} \cdot \left[\ln\left(\frac{r+l}{r}\right) + \frac{2(H - h_2) - l}{r+l} \right] \quad \text{si } (H-h_2) > l/2 \quad (\text{I.9})$$

où μ_n est la mobilité de la couche épitaxiée N-.

Plus récemment, d'autres auteurs [10], [16], [17], ont également établi des expressions analytiques de R_d adaptées à diverses configurations géométriques.

I.4.2.2. Chute de tension à l'état passant de l'IGBT

Le passage du mode bloqué au mode passant se fait à la fois par application d'une tension de grille supérieure à V_{TH} et pour une tension V_{AK} supérieure à la tension de seuil de la jonction P+/N- coté anode (environ 0,7 V). Pour une tension V_{AK} positive donnée, l'application d'une tension de grille supérieure à la tension de seuil de la section MOS entraîne l'apparition d'un canal entre la cathode N+ et la région de base N-, permettant ainsi d'alimenter cette dernière en électrons. Ce courant de base contrôle alors le transistor bipolaire PNP. Ce régime de fonctionnement peut être traduit au premier ordre par la relation suivante :

I.5. Présentation des nouvelles structures

Afin de dépasser les performances des composants conventionnels, il a fallu proposer de nouveaux concepts. L'idée commune à ces concepts est la modification structurelle de la zone N^- . La Superjonction [20], le MOS à « tranchées profondes à déplétion MOS latérale » – connu sous le nom de transistor OBVDMOS [21] – et la FLI-diode [22] seront présentés dans les chapitres suivants.

I.5.1. Les composants à Superjonction

Les transistors MOS de puissance haute tension (de 500 à 1000 Volts) ont évolué relativement lentement ces dernières années. Malgré quelques progrès obtenus, entre autres, par l'augmentation du nombre de cellules élémentaires et la technologie de grille à tranchées, la limite théorique des composants unipolaires conventionnels était pratiquement atteinte dans cette gamme de tensions car tous les composants MOS utilisaient encore des zones de drift uniformément dopées. C'est le concept de la « Superjonction » qui, le premier, a permis de dépasser cette limite [22], [23], [24].

Dans ce paragraphe, nous allons expliquer le principe de fonctionnement de cette nouvelle diode puis présenter des structures MOS s'appuyant sur ce concept.

I.5.1.1. Principe de fonctionnement à l'état bloqué

Dans la Superjonction, une succession de bandes N et P remplace la zone N^- de la diode $PN-N^+$ conventionnelle (Figure I.12). À surfaces de silicium identiques, la surface de la jonction PN ainsi obtenue est alors beaucoup plus importante dans la Superjonction que dans la diode conventionnelle.

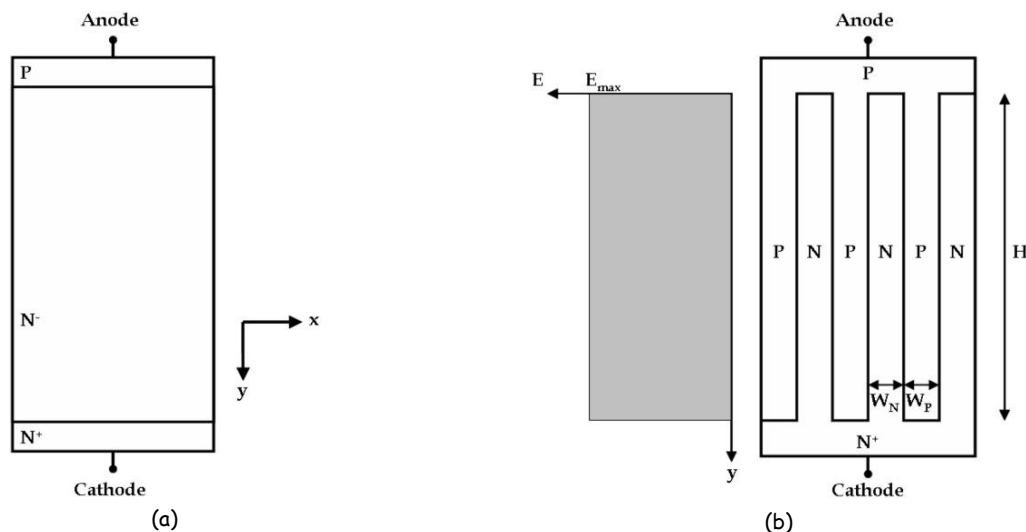


Figure I.12 : (a) Coupe schématique d'une diode $PN-N^+$,
(b) Coupe schématique d'une Superjonction.

Le principe de la Superjonction nécessite un dopage et une largeur des bandes judicieusement choisis (par exemple : $N_A = N_D$ et $W_N = W_P = W \ll H$). L'application d'une tension positive sur la cathode induit alors un phénomène en deux étapes :

- dans un premier temps, puisque $W \ll H$, les couches N et P se dépeuplent plus vite latéralement que verticalement : ainsi, seule la composante E_x du champ électrique augmente mais reste inférieure à la valeur du champ critique E_c .
- dans un deuxième temps, puisque le dépeuplement des bandes N et P est total, la distribution du champ électrique dans le volume est uniforme : en effet, on peut admettre que les régions P et N entièrement dépeuplées sont équivalentes à un diélectrique. La tension appliquée entre la cathode (c'est-à-dire le drain pour le transistor MOS) et l'anode (source) est alors proportionnelle à la profondeur H et obéit à la relation suivante :

$$V_{DSS} = E_y \cdot H \quad (\text{I.12})$$

Comme pour une diode conventionnelle, la tension de claquage BV_{DSS} est atteinte lorsque le champ électrique atteint sa valeur critique ; cette tension vaut donc ici :

$$BV_{DSS} = E_c \cdot H \quad (\text{I.13})$$

La tenue en tension de la Superjonction est donc proportionnelle au champ électrique critique alors que, dans la diode PN-N⁺ conventionnelle, elle est proportionnelle à E_c^{-5} selon la relation [25] :

$$BV_{DSS} = 4,49 \cdot 10^{29} \cdot E_c^{-5} \quad (\text{I.14})$$

Notons que, de manière générale, les conditions : $N_A = N_D$ et $W_N = W_P$ ne sont pas obligatoires ; le bon fonctionnement de la Superjonction est assuré si :

- les bandes N et P sont complètement dépeuplées avant que le champ électrique critique ne soit atteint,
- la balance des charges entre les régions N et P est quasi-parfaite.

Quantitativement, ces deux conditions peuvent être traduites par :

$$\frac{q \cdot N_D \cdot W_N}{2 \cdot \varepsilon_0 \cdot \varepsilon_{Si}} = \frac{q \cdot N_A \cdot W_P}{2 \cdot \varepsilon_0 \cdot \varepsilon_{Si}} < E_c, \quad (\text{I.15})$$

$$\text{soit : } N_D \cdot W_N = N_A \cdot W_P \quad (\text{I.16})$$

Le principal avantage de la Superjonction est que le dopage des régions N et P peut être choisi supérieur au dopage de la région N⁻ d'une diode PN-N⁺ conventionnelle : ici, ce n'est plus la concentration N_D qui est primordiale mais la balance des charges entre les régions N et P. Appliqué aux composants de puissance

unipolaires comme les transistors MOS, ce nouveau concept doit donc permettre de diminuer fortement leur résistance passante spécifique.

I.5.1.2. Application aux transistors MOS de puissance

L'application de la Superjonction aux composants MOS de puissance consiste simplement à remplacer la région N⁻ de drift des composants MOS conventionnels par une alternance de régions N et P.

Fujihira [20] a proposé de nouvelles structures MOS verticales utilisant ce concept (Figure I.13 a). Ce sont des transistors qui, de plus, ont des grilles enterrées (MOS à tranchées). D'autres MOS utilisant le même concept ont également été proposés (Figure I.13 b) : citons par exemple le COOLMOS™ d'Infineon [26] – premier composant MOS à Superjonction à avoir été commercialisé –.

À l'état bloqué, tous ces composants MOS fonctionnent suivant le principe énoncé précédemment (§I.5.1.1) : à $V_{GS} = 0$ V, lorsqu'une tension positive est appliquée sur le drain, le MOS se comporte comme une Superjonction polarisée en inverse. Concernant les MOS verticaux, on peut remarquer que les bandes N et P ne sont pas toujours agencées de la même manière : elles peuvent, par exemple, soit être perpendiculaires aux doigts de drain et de source (Figure I.13 a), soit parallèles à ces doigts (Figure I.13 b) mais, physiquement, cela ne modifie en rien le fonctionnement de la Superjonction.

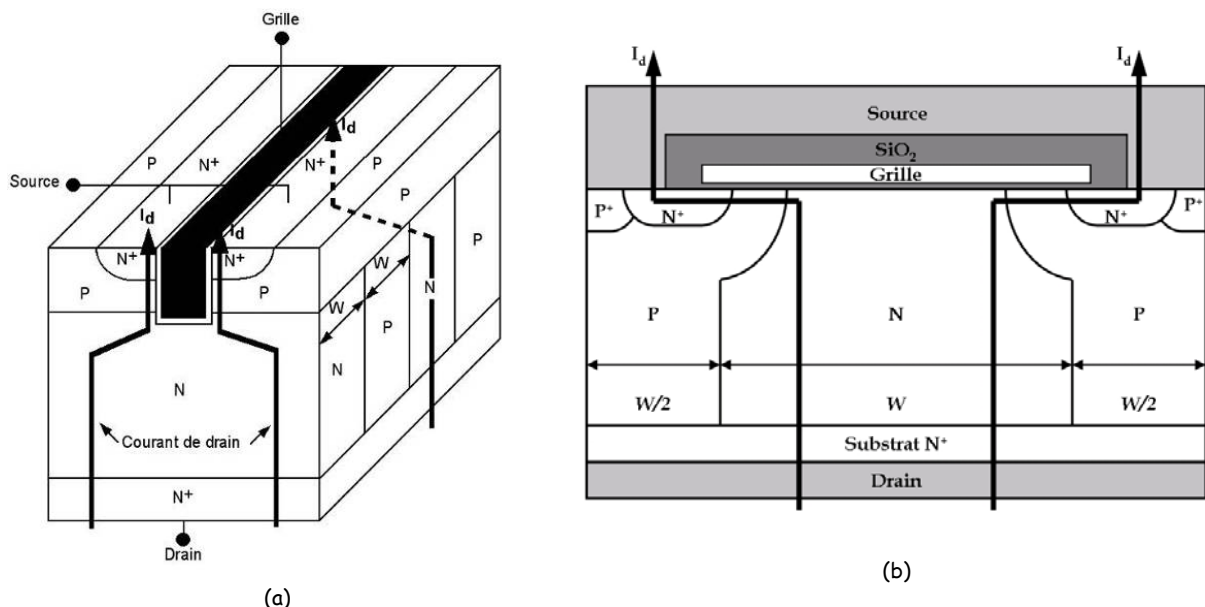


Figure I.13 : (a) Coupe schématique d'un transistor Vertical MOS à Superjonction, (b) : Coupe schématique du transistor COOLMOS™.

À l'état passant, le courant circule entre drain et source en passant par les bandes N (ce sont ici des MOS canal N) : la section de conduction est donc réduite par

rapport aux transistors MOS conventionnels qui utilisent toute la surface active pour la conduction. Cependant, cet inconvénient est plus que compensé par le fort niveau de dopage de ces bandes N, de telle sorte que la résistance passante spécifique de ces nouveaux composants est très inférieure à celle des composants conventionnels équivalents : à titre d'exemple, pour une tenue en tension de 600 Volts, un transistor COOLMOS™ présente une résistance passante spécifique 5 fois plus faible que celle d'un transistor VDMOS conventionnel à zone de drift uniforme [26] : cette valeur est même inférieure à la limite des composants VDMOS conventionnels.

Fujihira [20] a d'ailleurs calculé les limites de performances de ces nouveaux composants en terme de compromis « $R_{ON.S} / BV_{DSS}$ ».

Dans le cas des structures MOS verticales, il a proposé la relation suivante :

$$R_{ON.S}(\Omega.cm^2) = 1,98 \cdot 10^{-1} \cdot W^{\frac{5}{4}} \cdot BV_{DSS} \quad (I.17)$$

La simple comparaison de cette relation avec la limite théorique des composants unipolaires conventionnels [13] montre que, dans le cas des composants MOS à Superjonction, la résistance passante spécifique minimale est directement proportionnelle à BV_{DSS} pour les structures verticales – contre $(BV_{DSS})^{2,4}$ –. La Figure I.14 compare les limites des composants MOS conventionnels et des composants MOS à Superjonction. Il apparaît clairement que, pour des tenues en tension élevées, les MOS à Superjonction sont supérieurs aux MOS conventionnels.

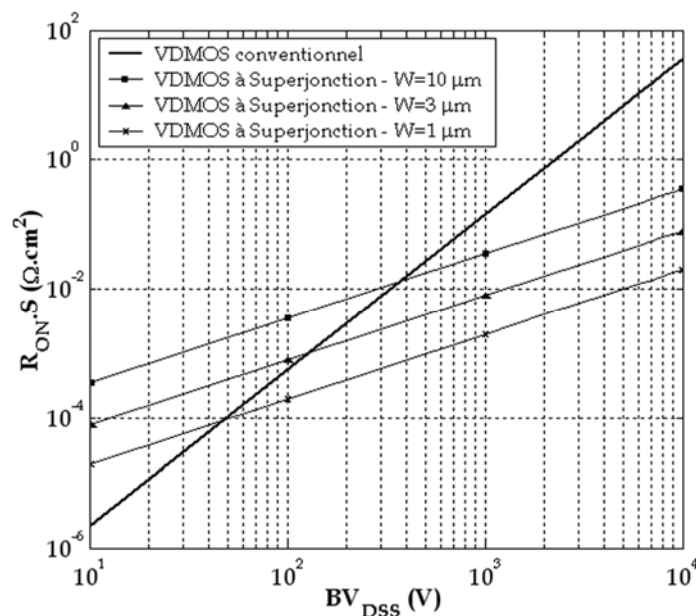


Figure I.14 : Comparaison des limites théoriques – compromis « $R_{ON.S} / BV_{DSS}$ » – des composants verticaux conventionnels et à Superjonction.

En conclusion, ces nouveaux composants semblent donc destinés, pour le moment, à des applications haute tension ($BV_{DSS} > 500 \text{ V}$), principalement pour des raisons de compromis entre coût technologique et gain en performances.

I.5.2. Les composants à îlots flottants

Dans ce paragraphe, nous allons présenter une solution originale proposée par le LAAS pour la première fois en 1999 [22] : il s'agit du concept de la diode à îlots flottants insérés dans la zone faiblement dopée (FLI-diode) et de son application aux composants MOS (FLIMOS).

I.5.2.1. Principe de fonctionnement à l'état bloqué

Le concept de la FLI-diode consiste à insérer des îlots P flottants – d'où son nom : « Floating Islands » – dans la zone faiblement dopée (région N^-) de la diode PN^-N^+ . On obtient ainsi une alternance de bandes N^- et P qui, contrairement à la Superjonction, sont perpendiculaires au courant d'anode. La tenue en tension est assurée par les zones N^- , les régions P agissant uniquement comme des diviseurs de champ électrique (et donc de potentiel) : ainsi, au lieu d'avoir un seul maximum de champ à la jonction principale PN^- , on obtient plusieurs maxima répartis sur chacune des jonctions PN^- (Figure I.15). La distribution du champ électrique est donc ici multi-triangulaire alors qu'elle est triangulaire ou trapézoïdale dans une diode conventionnelle PN^-N^+ (Figure I.8 et Figure I.9) et uniforme dans la Superjonction (Figure I.12 b).

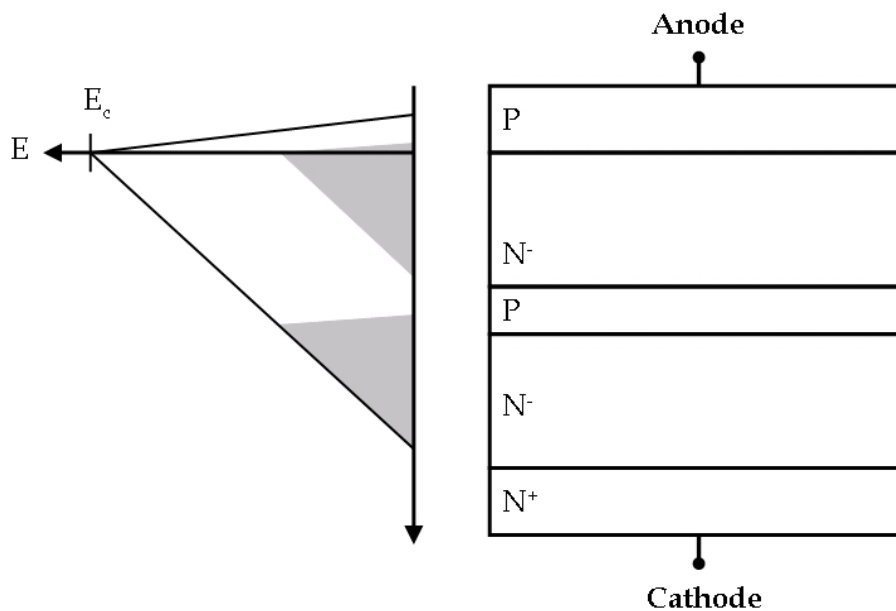


Figure I.15 : Répartition du champ électrique dans une diode conventionnelle (triangle blanc) une FLI-diode (triangles gris) comportant 1 îlot flottant P.

Considérons une FLI-diode comportant un seul îlot P (Figure I.15) et comparons-la à une diode conventionnelle PN-N⁺ : pour un même dopage des zones N⁻, les pics de champ électrique qui apparaissent au niveau des deux jonctions PN⁻ de la FLI-diode sont inférieurs au pic de champ de la diode conventionnelle. Lorsque cette dernière claquera (champ électrique maximal égal au champ critique de claquage E_c), la FLI-diode, elle, n'aura donc toujours pas claqué ; en d'autres termes, pour un dopage des zones N⁻ inchangé, la FLI-diode affichera une meilleure tenue en tension que la diode conventionnelle.

Une autre façon de raisonner consiste à se placer à une tenue en tension identique pour les deux diodes : dans ce cas, il est possible d'augmenter le dopage des régions N⁻ de la FLI-diode. On perçoit là l'intérêt d'appliquer ce concept à des composants MOS de puissance : pour une tenue en tension donnée, on peut espérer une diminution de la résistance passante spécifique liée à l'augmentation du dopage des régions N⁻.

Il est bien évident que, si l'on augmente le nombre d'îlots P présents dans la zone N⁻, le phénomène (diminution du champ électrique maximal aux jonctions) sera accentué : cela autorisera alors une augmentation conséquente du dopage des couches N⁻, pour une tenue en tension fixée.

I.5.2.2. Application aux transistors MOS de puissance

L'application de la FLI-diode aux composants MOS de puissance consiste simplement à remplacer la région N⁻ de drift des composants MOS conventionnels par une alternance de bandes N⁻ et P sous la région P de canal.

Dans cette nouvelle configuration, la diode conventionnelle, constituée par la diffusion P de canal et par la couche épitaxiée N⁻ qui soutient classiquement la tension appliquée, est remplacée par des zones alternativement dopées N⁻ et P. A l'état bloqué, le transistor FLIMOS doit donc se comporter comme une FLI-diode (cf. §I.5.2.1).

La Figure I.16 présente un exemple de coupe schématique d'un transistor FLIMOS comportant 6 îlots flottants P entre source et drain.

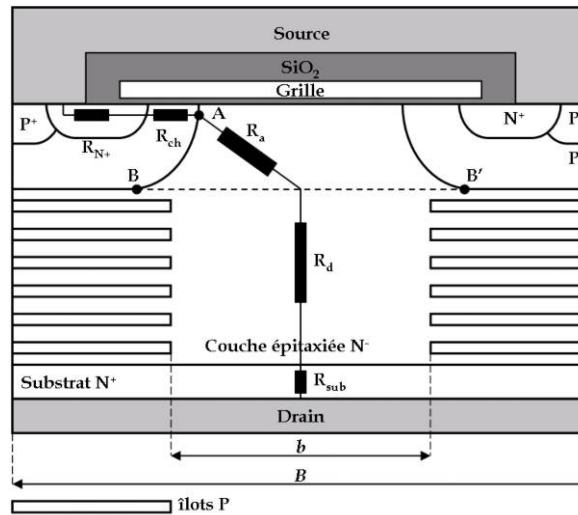


Figure I.16 : Coupe schématique d'une cellule élémentaire d'un transistor FLIMOS à 6 îlots flottants.

Cézac [27] a proposé une expression analytique du premier ordre traduisant les limites du compromis entre la tenue en tension et la résistance passante spécifique des transistors FLIMOS. S'appuyant sur la relation (I.9) donnant la limite théorique des composants unipolaires conventionnels, il est possible d'établir le même type de relations pour le transistor FLIMOS.

La Figure I.17 présente une comparaison des limites de performances pour les composants MOS conventionnels et les FLIMOS en termes de compromis « résistance passante spécifique / tenue en tension ». « n » représente le nombre d'îlots P implantés dans les transistors FLIMOS. Il apparaît que les FLIMOS repoussent la limite communément admise pour les composants MOS : leur résistance passante spécifique est en effet inférieure, quel que soit le nombre d'îlots.

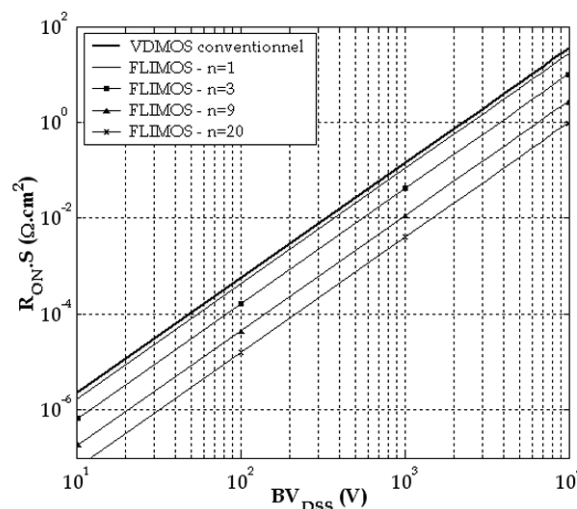


Figure I.17 : Comparaison des limites théoriques — compromis « $R_{ON.S} / BV_{DSS}$ » — des composants MOS verticaux conventionnels et des FLIMOS.

En conclusion, ces nouveaux composants semblent destinés à une large gamme de tension, principalement pour des raisons de compromis entre coût technologique et gain en performances.

I.5.3. Les composants à « tranchées profondes à déplétion MOS latérale »

Les diodes Schottky, utilisées pour la faible tension, ont connu une nette amélioration ces dernières années grâce à l'apparition du concept de « tranchée profonde à déplétion MOS latérale » [21] : ce sont les « Trench MOS Barrier Schottky » (TMBS).

Dans ce paragraphe, nous allons expliquer le principe de fonctionnement de cette nouvelle diode puis présenter les structures MOS s'appuyant sur ce concept.

I.5.3.1. Principe de fonctionnement à l'état bloqué

Dans les diodes TMBS, une structure MOS est réalisée dans le fond et sur les côtés de la tranchée (Figure I.18). A surfaces de silicium identiques, la surface de la jonction métal / semiconducteur ainsi obtenue est alors plus faible dans la TMBS que dans la diode conventionnelle. Il en résulte une diminution de la surface de conduction, compensée par l'augmentation de la tenue en tension.

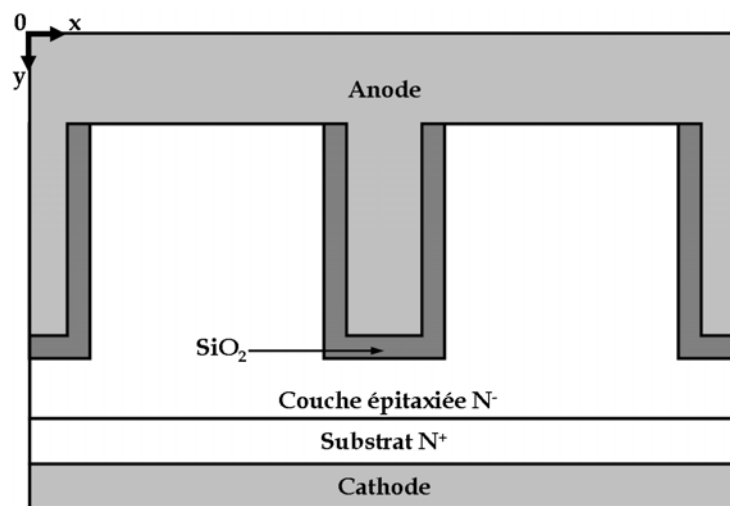


Figure I.18 : Coupe schématique d'une diode TMBS.

Le principe de la TMBS nécessite une épaisseur d'oxyde et un espace entre les tranchées judicieusement choisis. L'application d'une tension positive sur la cathode induit alors un phénomène en deux étapes :

- Dans un premier temps, la ZCE s'étale verticalement (sous le contact Schottky) mais également latéralement (capacité MOS) (Figure I.19 (a) et (b)), jusqu'à ce que les deux ZCE latérales se rejoignent. C'est le phénomène d'autoblindage.
- Dans un deuxième temps la ZCE continue de s'étendre verticalement sans que la composante verticale du champ électrique n'augmente au niveau du contact Schottky. La jonction principale est donc protégée. Ceci continue jusqu'à ce que le champ électrique dans le silicium atteigne la valeur critique (Figure I.19 (c)). Pour de faibles épaisseurs d'oxyde, le champ électrique critique est atteint dans l'angle de la tranchée en raison de la composante bidimensionnelle du champ électrique ($E_c = \sqrt{E_x^2 + E_y^2}$).

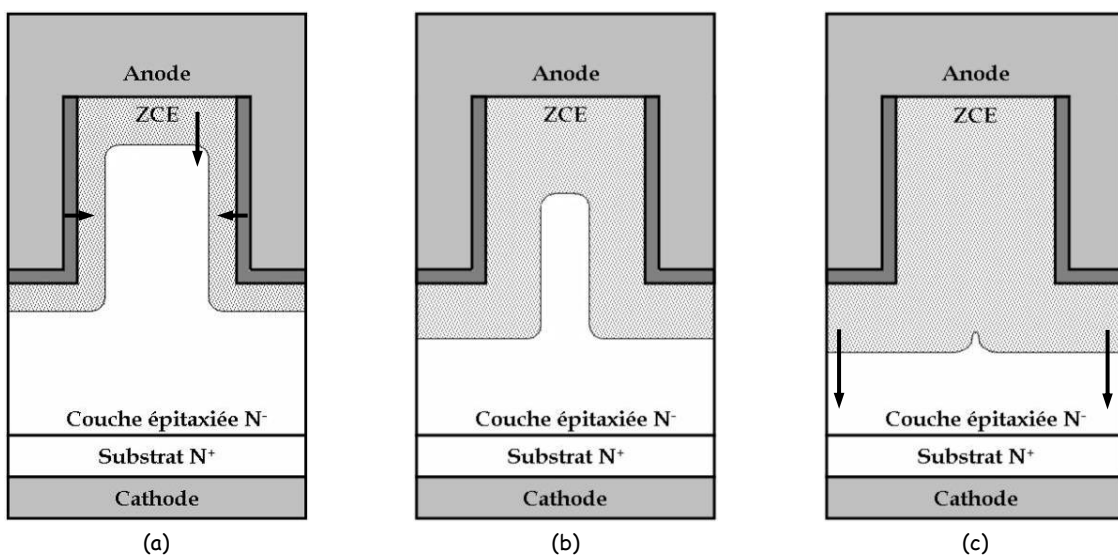


Figure I.19 : Effet de la tranchée dans l'étalement de la ZCE.

- (a) étalement de la ZCE à faible polarisation,
 (b) étalement de la ZCE à plus haute polarisation,
 (c) autoblindage latéral à forte polarisation.

Le principal avantage de la diode TMBS est que le dopage de la région N peut être choisi supérieur au dopage de la région N⁻ d'une diode conventionnelle. Appliqué aux composants de puissance unipolaires comme les transistors MOS, ce nouveau concept doit donc également permettre de diminuer leur résistance passante spécifique.

I.5.3.2. Application aux transistors MOS de puissance

L'application de la tranchée profonde à déplétion MOS latérale aux composants MOS de puissance consiste à insérer une tranchée dont les parois sont recouvertes d'oxyde dans la région P_{well}. La tranchée est ensuite remplie avec du polysilicium ou un métal connecté à la source de la structure.

Liang [28] a proposé le premier un composant MOS se basant sur cette structure : c'est l'OBVDMOS (Oxide-Bypassed VDMOS) (Figure I.20).

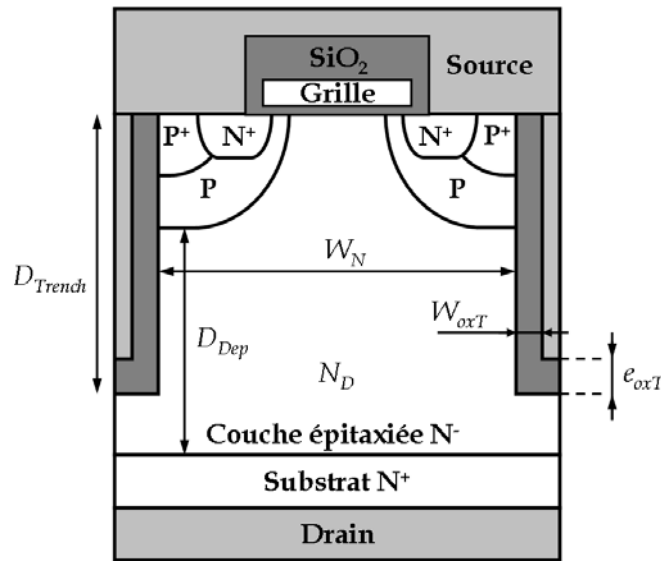


Figure I.20 : Coupe schématique du transistor OBVDMOS.

À l'état bloqué, ce composant fonctionne suivant le principe énoncé précédemment (§I.5.3.1) : à $V_{GS} = 0$ V, lorsqu'une tension positive est appliquée sur le drain, le MOS se comporte comme une diode TMBS polarisée en inverse.

À l'état passant, le courant circule entre drain et source en passant par les bandes N (ce sont ici des MOS canal N) : la section de conduction est donc réduite par rapport aux transistors MOS conventionnels. Cependant, cet inconvénient est compensé par le fort niveau de dopage de ces bandes N, de telle sorte que la résistance passante spécifique de ces nouveaux composants est inférieure à celle des composants conventionnels équivalents.

Chen *et al.* [29] ont d'ailleurs calculé les limites de performances de l'OBVDMOS en termes de compromis « $R_{ON} \cdot S / BV_{DSS}$ ».

Dans le cas où γ (le rapport entre la largeur de la couche N⁻ épitaxiée (W_N) et l'épaisseur de la couche déplétion (D_{Dep}) en polarisation inverse) est inférieur à 0,4, ils ont proposé la relation suivante :

$$R_{ON} \cdot S (\Omega \cdot cm^2) = 9,43 \cdot 10^3 \cdot D_{Dep} \cdot H^{\frac{8}{13}} \cdot \frac{3,75 \cdot 10^{15} + 4,87 \cdot 10^{13} \cdot H^{-0,56}}{5,1 \cdot 10^{18} + 4,48 \cdot 10^{15} \cdot H^{-0,56}} \quad (I.18)$$

avec :

$$H = 1,1 \cdot W_N \cdot BV_{DSS} \quad (\text{I.19})$$

Il est difficile de comparer cette limite théorique avec celle des composants conventionnels car de nombreux paramètres interviennent. Il faut donc s'intéresser aux performances des composants réalisés pour avoir une idée du gain obtenu.

I.5.4. Les composants haute tension développés

Plusieurs composants ont été développés à partir de ces nouveaux concepts pour des tensions allant de 100 à 1400 Volts. La Figure I.21 présente la limite théorique des composants unipolaires conventionnels – basé sur le modèle de Gharbi qui est le plus « sévère » (I.11) – et les compromis « $R_{ON.S} / BV_{DSS}$ » des FLIMOS et composants à Superjonction. Les performances de composants FLIMOS 200 Volts [30], OBVDMOS 200 Volts [31], MOS à Superjonction 200 et 600 Volts [32, 33, 34] et à semi-Superjonction 1400 Volts [35] y sont aussi présentés.

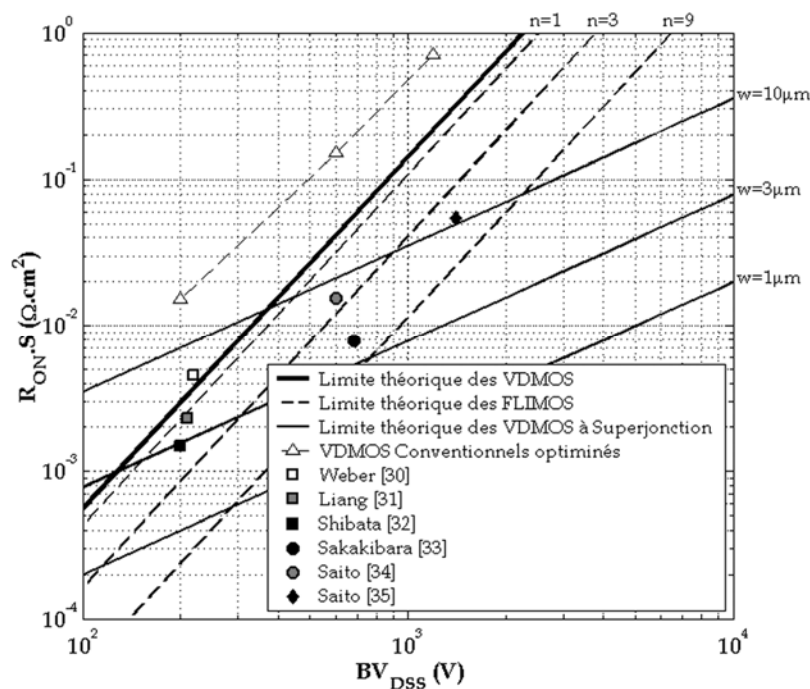


Figure I.21 : Comparaison des limites de performances pour divers composants de puissance en terme de compromis « résistance passante spécifique / tenue en tension ».

Tous les nouveaux concepts présentés précédemment améliorent le compromis $R_{ON.S} / BV_{DSS}$ des transistors MOS de puissance. Dans la gamme 200 Volts, plusieurs technologies se proposent de la dépasser. Néanmoins aujourd'hui, la Superjonction réalisée par gravure de tranchées profondes puis remplissage par épitaxie [32] obtient les meilleurs résultats, soit $1,5 \text{ m}\Omega \cdot \text{cm}^2$. Les transistors OBVDMOS et FLIMOS 200 V affichent, quant à eux, des résistances passantes spécifiques respectives de $2,3 \text{ m}\Omega \cdot \text{cm}^2$ et $4,5 \text{ m}\Omega \cdot \text{cm}^2$. En ce qui concerne la gamme 600 Volts, aucun transistor

FLIMOS ou OBVDMOS n'a été proposé ; seuls des transistors MOS à Superjonction existent. Néanmoins, suivant la méthode de fabrication, les performances atteintes diffèrent. En effet, le transistor MOS à Superjonction réalisé par multi-implantations et multi épitaxies [34] présente une résistance passante spécifique de $15,5 \text{ m}\Omega.\text{cm}^2$, tandis que celui réalisé par gravure et épitaxie [35] offre une résistance de $7,8 \text{ m}\Omega.\text{cm}^2$. Pour un même concept, la résistance passante peut donc varier du simple au double. Enfin, pour 1200 Volts et au-delà, très peu de composant MOS ont été développés. Nous pouvons néanmoins citer les performances d'un composant 1400 V à semi-Superjonction présentant une résistance passante spécifique de $54 \text{ m}\Omega.\text{cm}^2$.

I.6. Conclusion

Dans ce chapitre, les structures IGBT et MOS conventionnelles ont été présentées. Le mécanisme de tenue en tension des deux composants est identique. Néanmoins, à l'état passant, la modulation de la conduction dans la couche N⁻ dans un IGBT permet de diminuer sa chute de tension par rapport au transistor MOS. L'IGBT est donc mieux adapté aux applications fortes puissances que le transistor MOS. Une attention particulière a donc été portée sur le compromis « résistance passante spécifique / tenue en tension » qui est un point particulièrement pénalisant pour les composants MOS comme pour tous les composants unipolaires.

Pour les composants MOS moyenne et haute tension ($BV_{DSS} > 100$ Volts), la prépondérance de la résistance de drift, responsable de la limite théorique dans les composants unipolaires à zone de drift uniforme, a été mise en évidence. La relation liant la résistance passante spécifique minimale et la tenue en tension est donnée par : $R_{ON}.S (\Omega.cm^2) = 8,9.10^{-9}.BV_{DSS}^{2,4}$. Les solutions « classiques », qui permettent de diminuer de quelques pourcents la résistance passante spécifique, ne sont désormais plus satisfaisantes car elles se heurtent à cette limitation fondamentale.

C'est pourquoi de nouvelles approches permettant de dépasser cette limite ont récemment été proposées : le transistor MOS à Superjonction, le FLIMOS, ou l'OBVDMOS. Certaines de ces approches, particulièrement originales, seront étudiées dans le chapitre suivant.

Chapitre II.

Étude théorique des structures MOS pour la gamme 1200 Volts

Sommaire

II.1. INTRODUCTION.....	47
II.2. ETUDE DES DIFFERENTES STRUCTURES MOS ENVISAGEES.....	48
II.2.1. <i>Le transistor UMOS.....</i>	48
II.2.2. <i>Le transistor OBVDMOS.....</i>	51
II.2.3. <i>Le transistor SJMOS.....</i>	55
II.2.4. <i>Le transistor DT-SJMOS.....</i>	59
II.2.5. <i>Les solutions mixtes.....</i>	62
II.3. DETERMINATION DE LA STRUCTURE MOS APPROPRIEE.....	69
II.3.1. <i>Comparaison des performances statiques de chaque structure par rapport à l'IGBT.....</i>	69
II.3.2. <i>Choix entre les deux structures à Superjonction.....</i>	71
II.4. CONCLUSION.....	72

II.1. Introduction

Le premier chapitre a permis de comparer le fonctionnement du transistor MOS et de l'IGBT à l'état bloqué et à l'état passant. Il s'est avéré que le transistor MOS est désavantagé en haute tension par sa résistance de drift, celle-ci étant prépondérante dans la composition de la résistance passante spécifique. De nouveaux concepts, tels que la Superjonction ou les îlots flottants, sont apparus dans le but de diminuer fortement cette résistance et de dépasser la limite théorique des transistors VDMOS conventionnels.

Ces concepts nous permettent d'envisager une structure de transistor MOS 1200 V capable d'offrir des performances équivalentes à celles d'un IGBT, mais ayant les avantages d'être plus rapide et plus stable thermiquement que celui-ci. Ce second chapitre constitue donc la phase de développement et de comparaisons des structures MOS en vue d'offrir une alternative à l'IGBT à ce niveau de tension.

Dans ce chapitre, nous décrivons la structure et les caractéristiques de plusieurs transistors MOS basés sur les principes novateurs cités précédemment. Ces concepts s'appuient sur la modification structurelle de la zone de drift (îlots, Superjonction, tranchées) et doivent ainsi permettre d'améliorer le compromis « résistance passante / tenue en tension » (R_{ON}/BV_{DSS}). Notre travail s'appuiera sur une étude analytique unidimensionnelle, ainsi que sur des simulations numériques bidimensionnelles effectuées avec le logiciel SENTAURUS-TCAD [36].

Nous développerons deux parties principales qui traiteront des performances statiques des différentes structures innovantes.

La première partie est consacrée à l'étude des performances statiques de chaque structure. Nous nous intéressons, dans un premier temps, à l'état bloqué : la structure doit tenir 1200 V minimum. Dans un deuxième temps, nous analyserons les caractéristiques à l'état passant de chaque structure ainsi que les possibilités pour les améliorer.

Dans la seconde partie, nous comparerons les caractéristiques statiques de chaque structure par rapport à celles de l'IGBT, dans le but de déterminer celles qui sont des concurrentes potentielles. Nous terminerons ce chapitre par une comparaison entre les deux structures à base de Superjonction.

II.2. Etude des différentes structures MOS envisagées

Les performances statiques du transistor UMOS serviront de point de départ : le transistor UMOS a été choisi de préférence au transistor VDMOS conventionnel car cela permet de s'affranchir de la résistance d'accès (R_a) et, donc, d'utiliser une largeur de cellule élémentaire minimisée. Les performances de l'IGBT seront la ligne à atteindre, voire à dépasser. Le chemin à parcourir passera par les différentes structures étudiées. L'étude d'une structure à îlot flottant n'a pas été envisagée car, comme le montrait la Figure 1.17, les performances de cette structure en haute tension (au-dessus de 600 Volts) sont améliorées par rapport à une structure conventionnelle, mais il faudrait un nombre d'îlots important (supérieur à 3) pour que cette amélioration soit significative, ce qui pose un problème de réalisation technologique (épitaxies multiples). Ce problème technologique pourrait également se poser avec des transistors MOS à Superjonction mais les performances seront bien meilleures dans ce cas.

Afin de comparer les différents concepts, une largeur de cellule élémentaire de 10 μm est imposée à toutes les structures étudiées, afin de s'affranchir du paramètre « densité d'intégration » dans les performances statiques. De plus, l'épaisseur de l'oxyde de grille est identique pour toutes les structures. Elle dépend de la tension de seuil que l'on souhaite imposer à celles-ci, mais aussi de la tension de commande entre la grille et la source (V_{GS}). En effet, comme il a été présenté dans le chapitre 1.4.1.1, le diélectrique peut être un lieu de rupture prématurée si son épaisseur est insuffisante pour supporter le champ électrique induit par la tension V_{GS} . Dans notre étude, la tension de seuil n'est pas un paramètre déterminant dans le choix de la structure. Nous avons donc choisi une épaisseur d'oxyde de 800 Å pour garantir que celle-ci ne soit pas détériorée par la commande. La profondeur de la jonction PN⁻ et la concentration maximale du caisson P ont été fixées afin de garantir que la zone de charge d'espace n'atteigne jamais la zone N⁺ de source en surface.

II.2.1. Le transistor UMOS

Le transistor UMOS est un transistor conventionnel (VDMOS) à grille en tranchée ce qui permet de diminuer la résistance d'accès (R_a) et donc la résistance passante spécifique ($R_{ON,S}$).

II.2.1.1. L'état bloqué

Nous pouvons prendre comme hypothèse, pour la modélisation du transistor UMOS, que la jonction PN⁻, définie entre le caisson P et la couche épitaxiée N⁻, peut être considérée comme une jonction plane infinie. D'après les équations (I.3) et (I.4) il

faut une épaisseur d'épitaxie sous la jonction PN⁻ de 96 μm et un dopage de $1,7 \cdot 10^{14} \text{ cm}^{-3}$ pour tenir une tension de 1200 V. La géométrie et les paramètres du composant simulé sont présentés en Figure II.1.

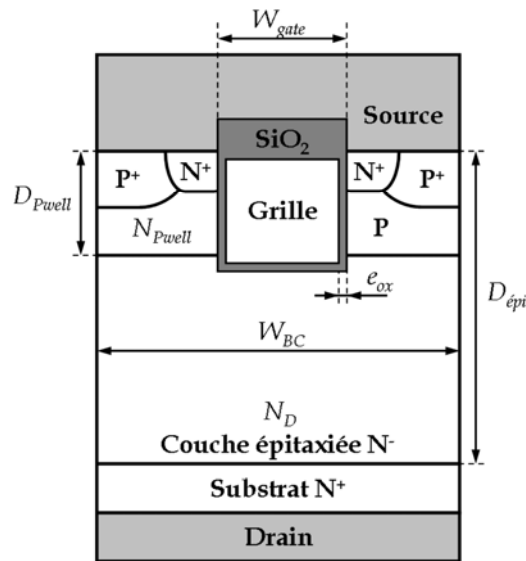


Figure II.1 : Coupe schématique d'une cellule élémentaire du transistor UMOS.

Les valeurs utilisées lors des simulations sont présentées dans le Tableau II.1 ci-dessous :

Paramètre	Désignation	Valeur
Profondeur de jonction PN ⁻	D_{Pwell}	2 μm
Concentration de l'épitaxie	N_D	$1,7 \cdot 10^{14} \text{ cm}^{-3}$
Largeur de la cellule élémentaire	W_{BC}	10 μm
Épaisseur de l'épitaxie	$D_{épi}$	96 μm
Épaisseur de l'oxyde de grille	e_{ox}	800 Å
Largeur de la grille	W_{gate}	2 μm
Concentration en surface du caisson P	N_{Pwell}	$2 \cdot 10^{17} \text{ cm}^{-3}$

Tableau II.1 : Paramètres clés utilisés pour la simulation du transistor UMOS.

La simulation de la structure offre une tenue en tension maximale de 933 V (Annexe 1) ; cette valeur est bien inférieure à celle obtenue avec le calcul théorique ; ceci mérite donc d'être analysé afin d'identifier la cause du claquage

prématuré. Une coupe du champ électrique de la structure est réalisée (Figure II.2). Nous pouvons remarquer que la grille en tranchée accroît le mécanisme d'avalanche par une augmentation locale de ce champ. Ceci est dû à un resserrement des lignes de potentiel dans l'oxyde sous le polysilicium de grille.

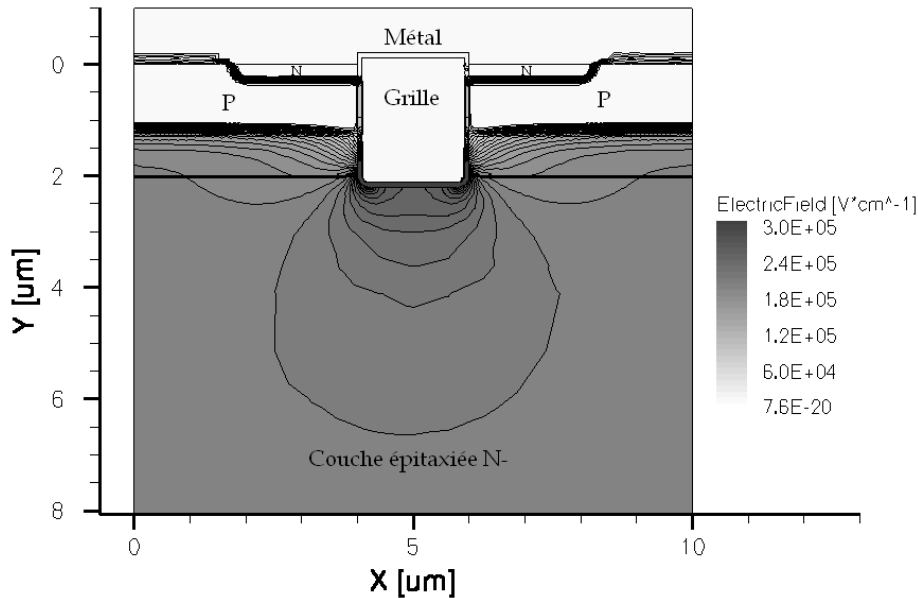


Figure II.2 : Répartition du champ électrique dans la structure UMOS.

Plusieurs solutions existent afin de résoudre ce problème :

- nous pouvons augmenter l'épaisseur de l'oxyde de grille afin de diminuer la compression des lignes de potentiel dans celui-ci, et donc le champ électrique local.
- nous pouvons aussi augmenter l'épaisseur et diminuer la concentration de la couche épitaxiée afin d'étendre la zone de charge d'espace (ZCE).

Notre choix s'est porté sur la modification des caractéristiques de la couche épitaxiée afin de garder la même épaisseur d'oxyde de grille pour toutes les structures. Les paramètres influant sur la tenue en tension ont été modifiés comme suit afin d'atteindre 1200 V :

- épaisseur de la zone épitaxiée ($D_{\text{épi}}$) : 125 μm ,
- concentration de la zone épitaxiée (N_D) : $1,1 \cdot 10^{14} \text{ cm}^{-3}$.

Le champ électrique maximal dans la structure se trouve toujours autour de la grille, mais la zone de charge d'espace s'est suffisamment étalée pour soutenir 1200 V.

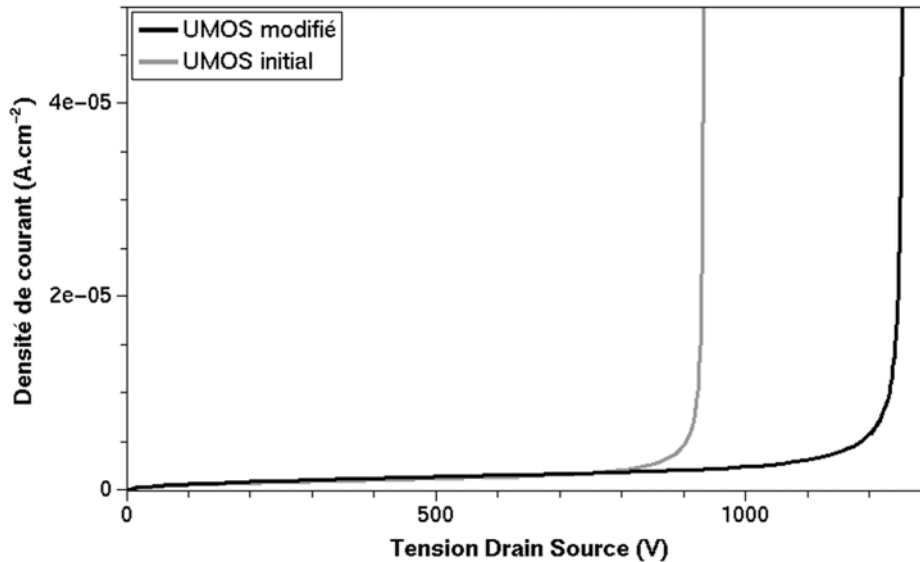


Figure II.3 : Caractéristique I-V à $V_{GS} = 0$ V des deux structures UMOS simulées.

II.2.1.2. L'état passant

D'après l'équation (I.11), la limite du silicium pour un composant unipolaire ayant une tenue en tension de 1200 V est de l'ordre de 218 m Ω .cm². Le fait que nous ayons augmenté l'épaisseur de l'épitaxie et diminué la concentration des porteurs dans cette même zone implique que l'on ait augmenté la résistance passante spécifique de la structure par rapport à la théorie.

D'après l'équation définissant la résistance de drift (I.7), la résistance de drift R_d de la structure est de 477,4 m Ω .cm². La simulation propose une résistance globale de 507,6 m Ω .cm². Sachant que, pour une tenue en tension de 1200 V, la résistance de drift est de l'ordre de 90% de la résistance globale, la théorie conforte les résultats proposés par le simulateur.

Il est intéressant de noter que, dans le cas où l'on souhaiterait utiliser cette structure pour la traction ferroviaire, il faudrait une surface de puce de l'ordre de 300 cm² pour un courant à l'état passant I_f de 1200 A et un chute de tension de 2 V à température ambiante. Nous comprenons aisément pourquoi les structures unipolaires à zones de drift uniformes ne sont pas utilisées dans cette gamme de tension !

II.2.2. Le transistor OBVDMOS

La simulation du transistor OBVDMOS se base sur les publications [28], [29], [37], [38]. C'est une structure généralement utilisée pour les faibles tenues en tension ($BV_{DSS} < 100$ V).

II.2.2.1. L'état bloqué

Les premières simulations reprennent les dimensions des tranchées profondes fournies dans la littérature ainsi que les paramètres nécessaires pour avoir la tenue en tension souhaitée (Tableau II.2). Les paramètres technologiques et géométriques sont reportés sur la Figure II.4 de l'OBVDMOS.

La profondeur de la tranchée (D_{Trench}) a un impact direct sur l'étalement de la ZCE : elle doit donc être suffisamment importante pour garantir la tenue en tension souhaitée. Des simulations exploratoires donnent une profondeur minimale de $85 \mu\text{m}$ pour tenir 1200 V. La concentration de l'épitaxie est choisie à $1.10^{15} \text{ cm}^{-3}$ dans le seul but de diminuer la résistance passante par l'augmentation du dopage. Les modélisations actuelles du transistor OBVDMOS ne permettent pas de déterminer la concentration optimale de la zone épitaxiée de manière analytique. Les autres paramètres sont identiques à ceux présentés dans le paragraphe précédent.

Paramètre	Désignation	Valeur
Épaisseur de l'oxyde de tranchée	e_{oxT}	$1 \mu\text{m}$
Profondeur des tranchées	D_{Trench}	$85 \mu\text{m}$
Largeur de l'oxyde des tranchées	W_{oxT}	$1 \mu\text{m}$
Largeur des tranchées	W_{Trench}	$3 \mu\text{m}$
Concentration de l'épitaxie	N_{D}	$1.10^{15} \text{ cm}^{-3}$
Épaisseur de l'épitaxie	$D_{\text{épi}}$	$96 \mu\text{m}$
Largeur de la cellule élémentaire	W_{BC}	$10 \mu\text{m}$
Largeur de la grille	W_{gate}	$2 \mu\text{m}$
Largeur de la couche N^- entre 2 tranchées	W_{N}	$7 \mu\text{m}$

Tableau II.2 : Paramètres clés utilisés pour la simulation du transistor OBVDMOS.

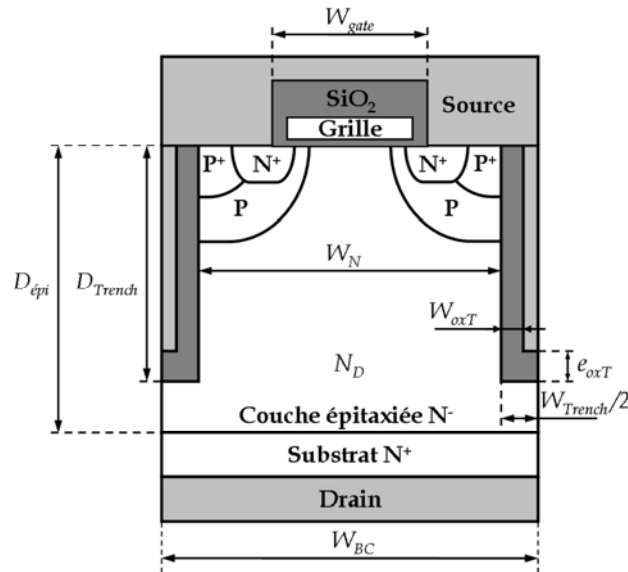


Figure II.4 : Coupe schématique d'une cellule élémentaire d'un transistor OBVDMOS.

La Figure II.5 représente les lignes de potentiel dans la structure. Nous pouvons noter que la tenue en tension est de seulement 320 V, ce qui signifie que les valeurs des paramètres choisies ne conviennent pas. En effet, les lignes de potentiel se resserrent dans l'oxyde, au fond de la tranchée profonde. Ce resserrement provoque une augmentation locale du champ électrique dans l'oxyde. Cette forte valeur de champ se retrouve dans le silicium à cause de la continuité de l'induction électrique à l'interface isolant-semiconducteur [39]. La largeur de l'oxyde n'est pas assez importante pour permettre aux lignes de potentiel de remonter dans celui-ci et ainsi limiter le champ électrique dans le silicium en fond de tranchée. Une solution à ce problème est d'augmenter l'épaisseur de l'oxyde déposé dans les tranchées profondes.

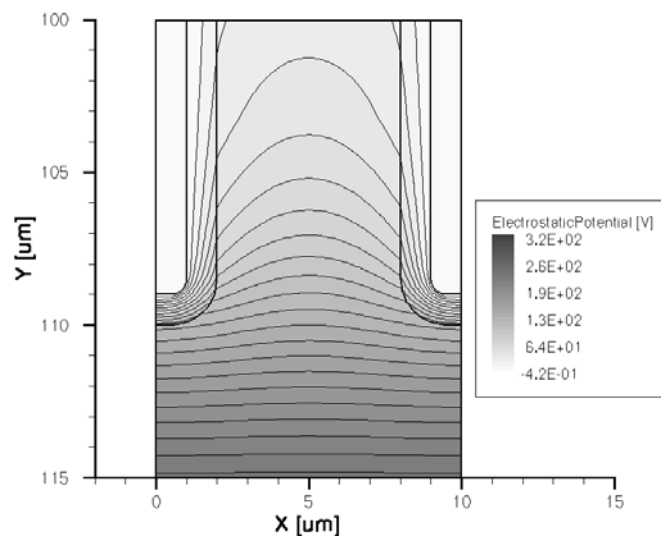


Figure II.5 : Répartition des lignes de potentiel au claquage de la structure OBVDMOS.

Plusieurs simulations paramétrées ayant pour variables la largeur et la profondeur de la tranchée ont été effectuées en vue d'obtenir une tenue en tension de 1200 V ou plus. Bien que l'épaisseur et la largeur d'oxyde soient proportionnelles dans les étapes de fabrication, elles sont volontairement rendues indépendantes ici afin de bien comprendre l'impact de la géométrie de l'oxyde dans les deux axes. La Figure II.6 représente la tenue en tension de la structure en fonction des deux paramètres énoncés précédemment.

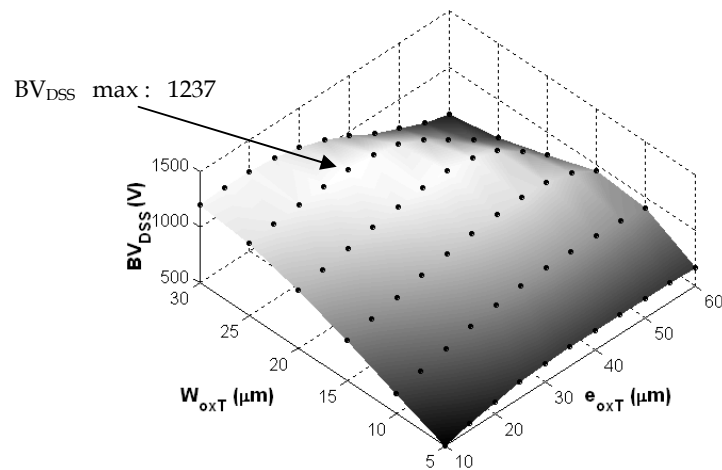


Figure II.6 : Tenue en tension du transistor OBVDMOS pour différentes valeurs de W_{oxT} et e_{oxT} .

Nous pouvons en déduire qu'une faible largeur d'oxyde W_{oxT} provoque un resserrement des lignes de potentiel dans le fond de la tranchée et empêche celles-ci de s'étaler convenablement dans la partie verticale de l'oxyde. Ceci implique donc un fort champ local en bas de la tranchée. Il est donc nécessaire d'augmenter la largeur d'oxyde au détriment de son encombrement et donc du rapport de surface α entre la zone inter-tranchée (W_N) et la largeur de la cellule élémentaire (W_{BC}) : $\alpha = \frac{W_N}{W_{BC}}$.

Augmenter l'épaisseur d'oxyde (e_{oxT}) en fond de tranchée implique, en majorité, une augmentation de la tenue en tension. Ceci est dû à l'étalement des lignes de potentiel en fond de tranchée. Néanmoins, une trop grande épaisseur de l'oxyde inhibe la désertion verticale par effet MOS. La plus grande tenue en tension simulée est de 1237 V ; elle a été obtenue pour une largeur d'oxyde (e_{oxT}) de 25 μm et une profondeur (W_{oxT}) de 30 μm .

II.2.2.2. L'état passant

L'expression générale de la résistance de drift (R_d) est proposée dans l'expression (I.7). Partant de cette équation, la résistance de drift de l'OBVDMOS est égale à :

$$R_d = \frac{(D_{\text{épi}} - D_{\text{Pwell}})}{\alpha \cdot q \cdot \mu_n \cdot N_D \cdot S} \quad (\text{II. 1})$$

En supposant que l'effet JFET [40] entre deux tranchées profondes est négligeable, la résistance de drift ainsi calculée est de 424,05 mΩ.cm²; la résistance passante spécifique simulée, quant à elle, est de 435,44 mΩ.cm². Le rapport entre les deux résistances est de 97,4%. Par rapport au transistor UMOS, la résistance d'accès a augmenté car on est dans une configuration de grille plane. De plus, le gain en terme de résistance passante est faible par rapport au transistor UMOS. Ceci est dû essentiellement au rapport « α ». En effet, pour une tenue en tension BV_{DSS} de 1200 V, la largeur des tranchées est de 52 μm (2 fois 25 μm d'oxyde et 2 μm de polysilicium saturé) alors que la zone de conduction est de seulement 5 μm. Le coefficient α est donc ici égal à 5/57. Ce rapport est difficilement compensé par l'augmentation du dopage N_D (10¹⁵ cm⁻³ pour l'OBVDMOS au lieu de 1,1.10¹⁴ cm⁻³ pour le transistor UMOS) et par le terme (D_{épi}-D_{Pwell}) (94 μm pour l'OBVDMOS au lieu de 124 μm pour le transistor UMOS).

Afin de diminuer la résistance passante spécifique de ce type de composant, deux propositions s'offrent donc à nous :

- augmenter de la concentration de l'épitaxie (N_D),
- augmenter le rapport de α.

L'augmentation de la concentration de l'épitaxie passe par une diminution de la zone de conduction, afin de conserver la désertion latérale de cette zone. Inversement, une augmentation de la zone de conduction contraint à une diminution de la concentration de l'épitaxie pour la même raison. Il existe donc un compromis entre N_D et α. A ce niveau de tension, le peu de gain qu'offre ce concept nous a convaincu de ne pas approfondir l'étude.

II.2.3. Le transistor SJMOS

Le transistor SJMOS (SuperJunction MOSFET) serait un bon candidat d'après les limites théoriques de la structure [20]. Néanmoins, il n'y a pas de structure 1200 Volts commercialisée à ce jour. L'étude du transistor SJMOS se base sur une structure dont la colonne P n'atteint pas le substrat [41]. En effet, le dépeuplement vertical des charges libres, sous les colonnes P, augmente légèrement la tenue en tension (BV_{DSS}) sans altérer la résistance passante.

II.2.3.1. L'état bloqué

Les premières simulations se basent sur la théorie de la Superjonction développée par X. B. Chen [42]. Nous nous sommes basés sur quatre de ses équations pour établir les paramètres de simulation :

$$f = 0,742 \frac{D_P}{W_N} \quad (\text{II.2})$$

$$D_P = \frac{2 \cdot BV_{DSS}}{E_c} \quad (\text{II.3})$$

$$N_A = N_D = \frac{\epsilon_{Si} \cdot \epsilon_0 \cdot E_c}{f \cdot q \cdot W_N} \quad (\text{II.4})$$

$$E_c = 1,24 \cdot 10^6 \cdot BV_{DSS}^{-1/6} \cdot (1 + 21,7f)^{-1/6} \quad (\text{II.5})$$

Nous avons résolu le système avec comme hypothèse de départ que $BV_{DSS} = 1250 \text{ V}$ et $W_N = 5 \mu\text{m}$. Le jeu de paramètres obtenus est reporté dans le Tableau II.3 et sur la Figure II.7.

Paramètre	Désignation	Valeur
Profondeur des colonnes P	D_P	$70 \mu\text{m}$
Épaisseur de l'épitaxie	$D_{\text{épi}}$	$75 \mu\text{m}$
Largeur des colonnes P et N	W_N, W_P	$5 \mu\text{m}$
Largeur de la cellule élémentaire	W_{BC}	$10 \mu\text{m}$
Concentration de la colonne P	N_A	$5,9 \cdot 10^{15} \text{ cm}^{-3}$
Concentration de la couche épitaxiée	N_D	$5,9 \cdot 10^{15} \text{ cm}^{-3}$

Tableau II.3 : Paramètres clés utilisés pour la simulation du transistor SJMOS.

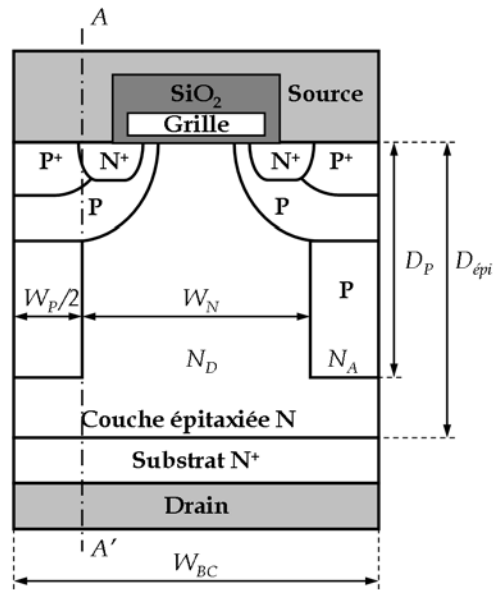


Figure II.7 : Coupe schématique d'une cellule élémentaire du transistor SJMOS.

Les premières simulations proposent une tenue en tension de 1186 V. La structure ne tient pas la tension souhaitée en raison d'une rupture prématurée au niveau de la jonction cylindrique du caisson P de source (P_{Well}) (Figure II.8). En effet, les hypothèses de départ des modèles théoriques étaient les suivantes :

- deux colonnes N et P de même largeur et de dopage constant.
- les dopages de la surface et de la face arrière sont très supérieurs à ceux des colonnes et sont constants sur toute la largeur de la structure (Figure II.9).

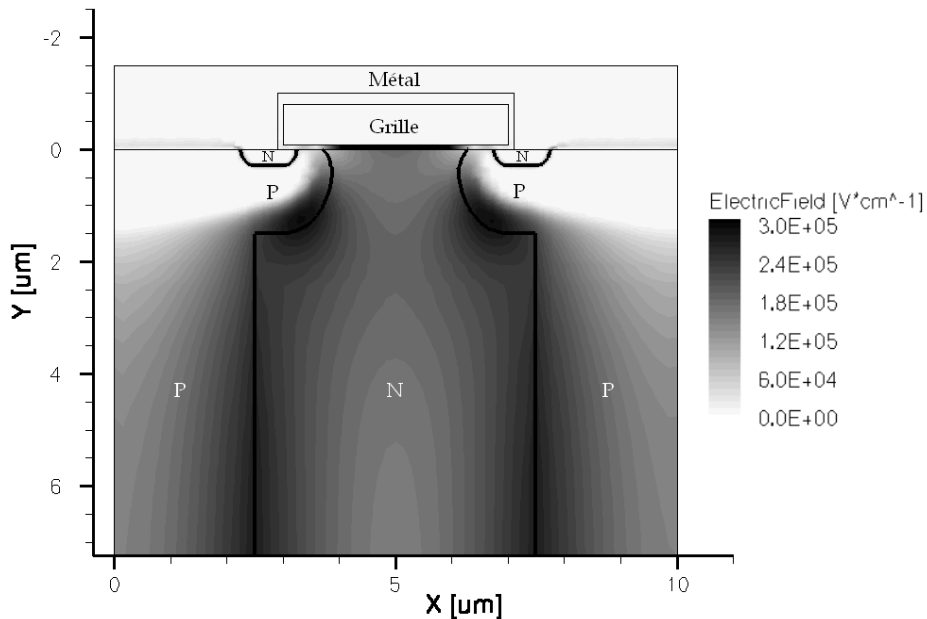


Figure II.8 : Répartition du champ électrique au claquage de la structure SJMOS.

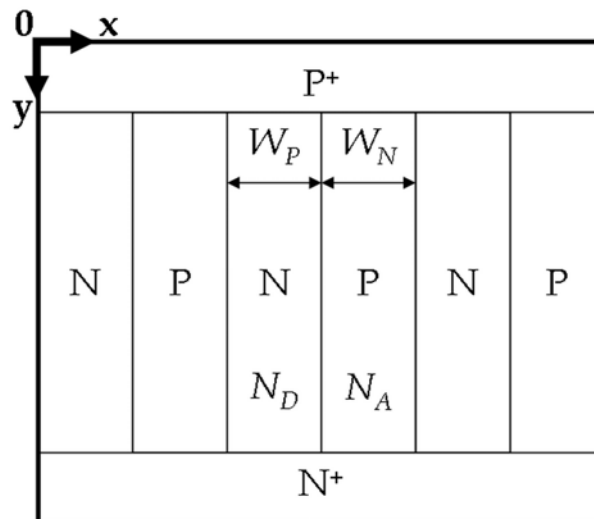


Figure II.9 : Coupe schématique de la structure choisie pour établir les modèles analytiques du transistor SJMOS.

Ici, le transistor vertical de puissance, avec sa grille plane, nécessite une jonction cylindrique afin de permettre la conduction du courant. L'inconvénient est que la composante bidimensionnelle du potentiel entraîne l'augmentation du champ électrique à la jonction cylindrique. Afin d'augmenter la tenue en tension, plusieurs possibilités s'offrent à nous :

- augmenter les épaisseurs des colonnes P et N,
- diminuer le dopage de l'épitaxie N,
- choisir une technologie à grille en tranchée.

En éliminant la grille en tranchée par choix technologique, la meilleure alternative, en terme de compromis « $R_{ON,S} / BV_{DSS}$ » semble être l'augmentation des épaisseurs de la couche épitaxiée et des colonnes P. En effet, il suffit d'augmenter la profondeur des colonnes P de 5 μm , soit de 6%, pour dépasser 1200 V ; par contre, une variation de 6% sur le dopage des colonnes serait insuffisante pour protéger correctement les jonctions cylindriques.

Les seuls paramètres changés dans le simulateur sont les épaisseurs D_P et $D_{\text{épi}}$: D_P passe de 70 à 75 μm et $D_{\text{épi}}$ passe de 75 à 80 μm . Ce changement permet d'obtenir une tenue en tension de 1255 V. Le pic de champ électrique est toujours localisé à la jonction cylindrique, mais, comme le champ électrique est réparti de façon homogène le long de la jonction PN verticale, l'augmentation de cette profondeur entraîne une augmentation de la tenue en tension (Figure II.10).

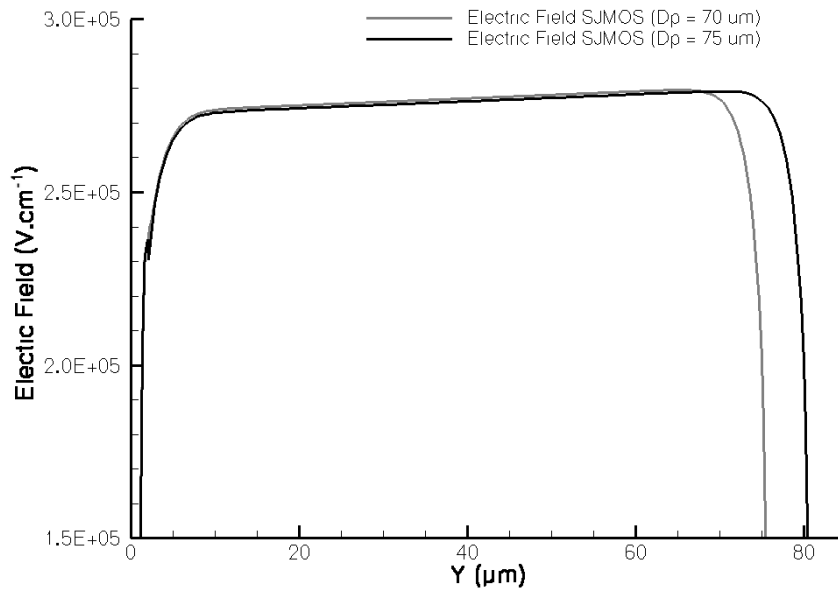


Figure II.10 : Répartition du champ électrique au claquage le long de la jonction PN verticale, selon l'axe AA' (Figure II.7).

II.2.3.2. L'état passant

Le calcul de la résistance de drift R_d est le même que pour le transistor OBVDMOS (équation (II.1)).

Analytiquement, la résistance de drift est de $11,87 \text{ m}\Omega\cdot\text{cm}^2$, tandis que la résistance passante simulée est de $16,44 \text{ m}\Omega\cdot\text{cm}^2$. La proportion de la résistance de drift par rapport à la résistance passante diminue. En effet, la Superjonction contribue à diminuer R_d par la forte augmentation de la concentration de la couche épitaxiée. Il est à noter que cette concentration est normalement utilisée pour des structures verticales conventionnelles 150 V.

II.2.4. Le transistor DT-SJMOS

II.2.4.1. Présentation de la structure

Le concept du transistor DT-SJMOS (**D**eep **T**rench **S**uper**J**unction **M**OSFET) se base sur plusieurs publications [43], [44], [45], notamment les travaux de Glenn [46]. En effet, si la Superjonction reste un principe général, les procédés de fabrication de composants se basant sur ce concept sont nombreux. Ici, nous proposons un transistor MOS vertical à Superjonction dont les étapes de fabrication pour créer les colonnes P seraient :

- la réalisation d'une gravure profonde,
- la croissance d'un oxyde mince pour le contrôle de la diffusion,
- le dépôt et diffusion de bore pour réaliser les colonnes P,

- le nettoyage de la tranchée,
- le remplissage de la tranchée profonde par un isolant électrique.

La structure imaginée est présentée Figure II.11.

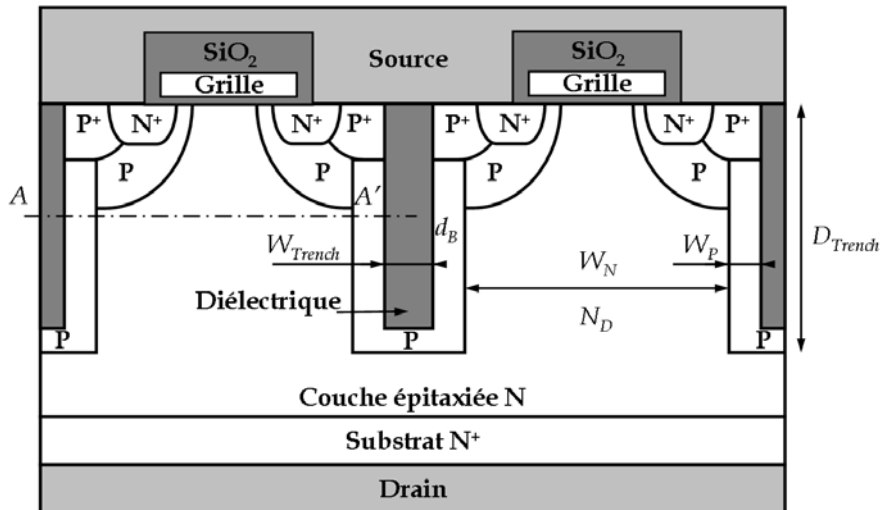


Figure II.11 : Coupe schématique d'une cellule élémentaire du transistor DT-SJMOS.

Nous avons envisagé ce type de structure car les méthodes de fabrication industrielle actuelles se basent sur des implantations fortes énergies [47], [48], ou sur une succession d'épitaxies et d'implantations [34], [41], [49], [50], ou sur une gravure profonde suivie d'une croissance épitaxiale [32], [33], [51]. Ces différentes techniques étant coûteuses, il était intéressant de proposer une solution adaptée à une tenue en tension de 1200 V. La principale différence avec la Superjonction conventionnelle est le profil de dopage de la colonne P (Figure II.12). En effet, la diffusion de bore à travers un oxyde mince de contrôle donne un profil latéral gaussien pour les colonnes P. Le principe reste le même que la théorie initiale [20] : il faut un équilibre latéral des charges pour obtenir la tenue en tension optimale.

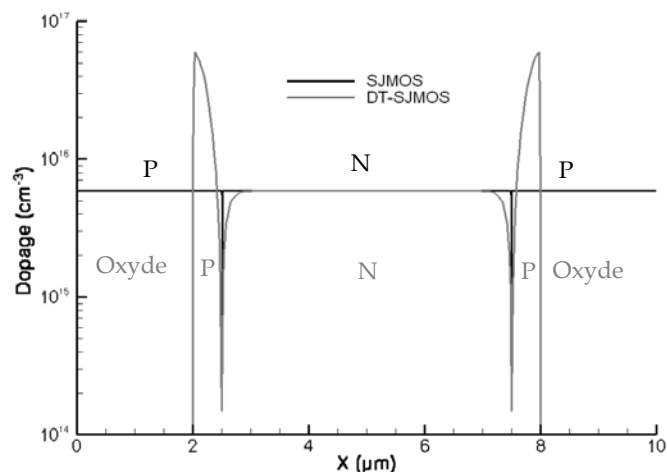


Figure II.12 : Selon l'axe AA' (Figure II.11), profil de dopage pour une structure SJMOS et DT-SJMOS.

II.2.4.2. L'état bloqué

Afin de comparer les performances statiques de cette structure avec le SJMOS notamment, la largeur de la colonne N sera de 5 μm et N_D de $5,9 \cdot 10^{15} \text{ cm}^{-3}$. La dose choisie doit permettre d'établir l'équilibre des charges entre les porteurs N et P. En se basant sur l'équation (I.16), nous avons adapté la formule pour profils constants, au profil de dopage gaussien. L'équation décrivant l'équilibre des charges peut donc s'écrire pour une demie cellule :

$$\int_0^{W_P} N_A(x) dx = N_D \cdot \frac{W_N}{2} \quad (\text{II.6})$$

La dose à diffuser est donc de $1,77 \cdot 10^{12} \text{ cm}^{-2}$. Les paramètres pour la simulation sont listés dans le Tableau II.4 et présentés sur la Figure II.11.

Paramètre	Désignation	Valeur
Profondeur des tranchées	D_{Trench}	80 μm
Largeur des tranchées	W_{Trench}	4 μm
Largeur de la colonne N	W_N	5 μm
Dopage de la couche épitaxiée	N_D	$5,9 \cdot 10^{15} \text{ cm}^{-3}$
Profondeur de la jonction après diffusion du bore	W_P	0,5 μm
Dose de bore diffusée	d_B	$1,77 \cdot 10^{12} \text{ cm}^{-2}$

Tableau II.4 : Paramètres clés utilisés pour la simulation du transistor DT-SJMOS.

Avec cette valeur de dose de bore diffusée, la tenue en tension simulée est de 1303 V.

II.2.4.3. L'état passant

Le calcul de la résistance de drift R_d est le même que pour le transistor SJMOS (équation II.1). La résistance passante simulée est de 16,84 $\text{m}\Omega \cdot \text{cm}^2$. Cette valeur est légèrement supérieure à ce que propose la structure SJMOS (16,44 $\text{m}\Omega \cdot \text{cm}^2$). En effet, le profil latéral des porteurs dans la structure SJMOS est idéal. Nous avons pris l'hypothèse que le profil de dopage des porteurs libres était constant aussi bien dans les colonnes de type N que P (Figure II.12). La structure DT-SJMOS, quant à elle, se caractérise par un profil constant pour les porteurs de type N et un profil gaussien pour les porteurs de type P. Par conséquent, le profil de dopage de la zone N n'est

plus constant à proximité de la jonction PN, et la résistance locale se trouve donc considérablement augmentée. Malgré ce point, la résistance obtenue par simulation reste faible.

II.2.5. Les solutions mixtes

Nous proposons ici de combiner plusieurs concepts dans le but d'utiliser le meilleur de chaque technologie. Deux structures seront présentées et étudiées. La première associe le concept de Superjonction et de jonction conventionnelle ; la seconde, le concept de Superjonction et d'îlot flottant.

II.2.5.1. Présentation des structures

Le transistor semi-SJMOS (association du concept de Superjonction et de jonction conventionnelle) se base sur les travaux de Saito et al. [35], [52]. En effet, il est possible d'augmenter la tenue en tension d'un composant en plaçant une zone N- faiblement dopée, dite « couche BAL » (**B**ottom **A**ssist **L**ayer), sous les colonnes P et N. Une amélioration de ce concept peut également être obtenue en insérant un îlot flottant dans la couche BAL afin d'augmenter la concentration de celle-ci.

II.2.5.2. L'état bloqué

Toutes les structures simulées ont comme point commun d'avoir des colonnes P et N de 40 μm de profondeur. En effet, nous avons choisi de diviser par deux la profondeur des colonnes par rapport à la structure SJMOS étudiée précédemment, afin de comparer facilement le rapport de performances entre les deux structures. Nous avons donc simulé une structure avec une couche BAL sans îlot flottant et avec un seul îlot flottant, afin de comparer le gain apporté par celui-ci en terme de performances statiques.

II.2.5.2.a. La semi-Superjonction

Dans le but d'optimiser la tenue en tension du composant, nous nous sommes placés en extension infinie de charge d'espace et nous avons fait varier la concentration de dopage de la couche BAL pour avoir une tenue en tension légèrement supérieure à 1200 V. Les paramètres de simulation choisis pour la première structure étudiée sont présentés dans le Tableau II.5 et représentés sur la Figure II.13.

Paramètre	Désignation	Valeur
Épaisseur de l'épitaxie supérieure	D_P	40 μm
Largeur des colonnes P et N	W_N, W_P	5 μm
Concentration de la colonne P	N_A	$5,9 \cdot 10^{15} \text{ cm}^{-3}$
Concentration de la colonne N	N_D	$5,9 \cdot 10^{15} \text{ cm}^{-3}$
Épaisseur de la couche BAL	D_{BAL}	110 μm
Dopage de la couche BAL	N_{BAL}	entre $1,1 \cdot 10^{14} \text{ cm}^{-3}$ et $1,9 \cdot 10^{14} \text{ cm}^{-3}$

Tableau II.5 : Paramètres clés utilisés pour la simulation du transistor MOS à semi-Superjonction (semi-SJMOS).

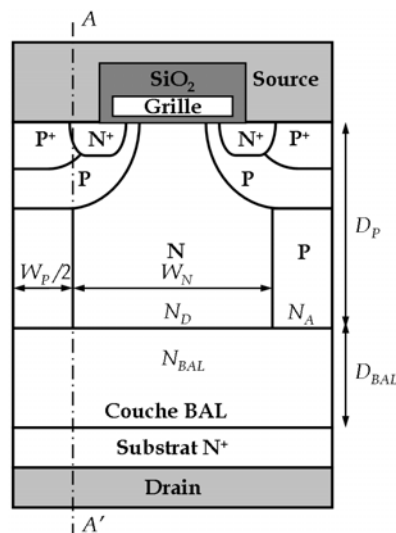


Figure II.13 : Coupe schématique du transistor semi-SJMOS.

L'évolution de la tenue en tension de la structure en fonction du dopage de la couche BAL est présentée Figure II.14. La tenue en tension est inversement proportionnelle au dopage de la couche BAL, comme une jonction plane PN-conventionnelle. Nous avons retenu le dopage de $1,5 \cdot 10^{14} \text{ cm}^{-3}$ dans le but d'obtenir le meilleur compromis « $R_{ON,S} / BV_{DSS}$ » pour le reste des simulations. Cette valeur garantit en effet une tenue en tension supérieure à 1200 V et une résistance passante spécifique minimisée par rapport à une concentration plus faible. L'épaisseur de la couche BAL sera diminuée de 110 μm à 80 μm dans le but de ne pas augmenter la résistance de drift inutilement. Nous restons cependant dans la configuration d'une jonction sans limite d'extension de charge d'espace.

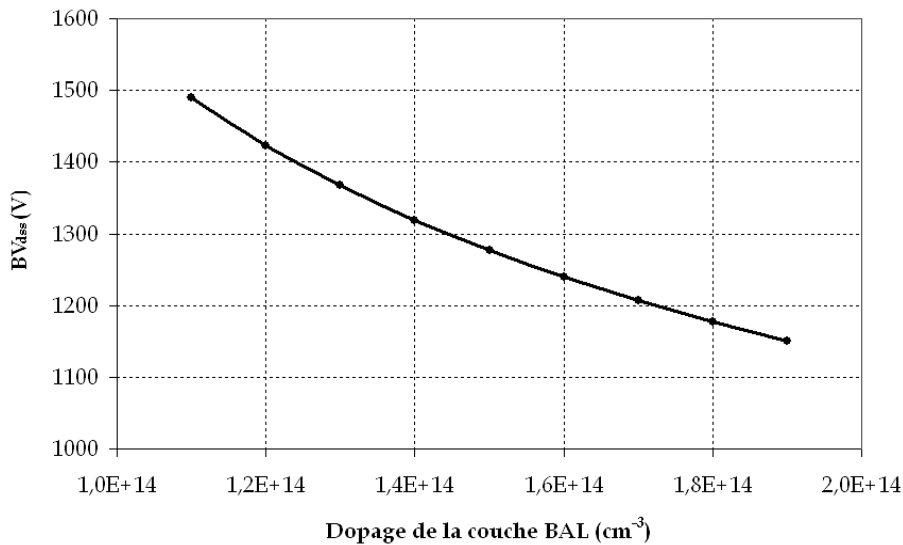


Figure II.14 : Evolution de la tenue en tension de la structure semi-SJMOS en fonction du dopage de la couche BAL.

La représentation du champ électrique, le long de l'axe AA' de la Figure II.13, donne un résultat inattendu (Figure II.15).

En effet, il existe une disjonction dans le champ électrique entre la zone de Superjonction et la couche BAL. Le sommet du triangle du champ dans la couche BAL n'atteint pas le champ électrique critique du silicium ($2,4 \cdot 10^5 \text{ V.cm}^{-1}$ pour $N_D = 1,5 \cdot 10^{14} \text{ cm}^{-3}$). Le principe de la répartition équilibrée du champ électrique ne semble pas s'appliquer ici : la valeur critique du silicium est atteinte sur la jonction PN verticale de la Superjonction mais pas sur la jonction PN-

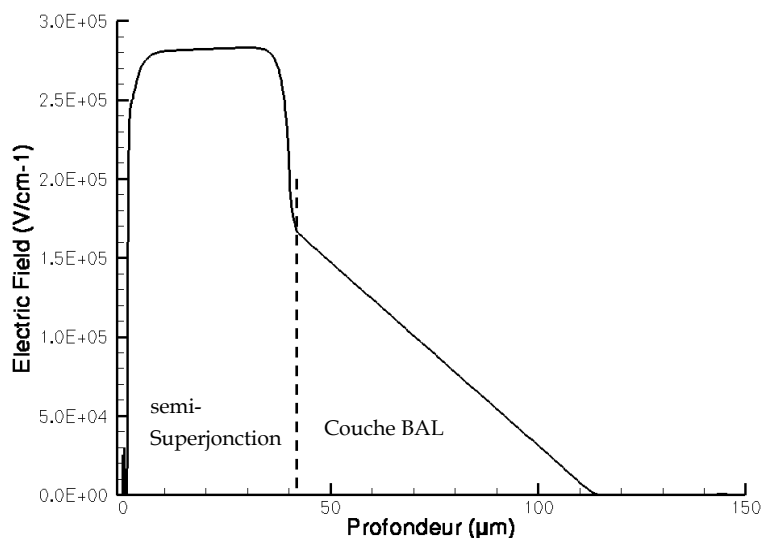


Figure II.15 : Représentation du champ électrique au claquage du transistor semi-SJMOS, selon l'axe AA'.

II.2.5.2.b. La structure associant Superjonction et îlot flottant dans la couche BAL

Le principe de l'îlot flottant est de répartir équitablement le champ électrique sur plusieurs jonctions PN⁻ afin d'augmenter la tenue en tension pour une même concentration d'épitaxie, ou de réduire la résistance passante par l'augmentation du dopage. La taille des îlots peut aussi avoir une influence non négligeable sur R_d , à cause de l'encombrement de ceux-ci. Nous proposons donc que la géométrie de l'îlot flottant soit une ellipse d'épaisseur 4 μm et de largeur 7 μm afin de limiter son encombrement. La structure choisie est présentée Figure II.16.

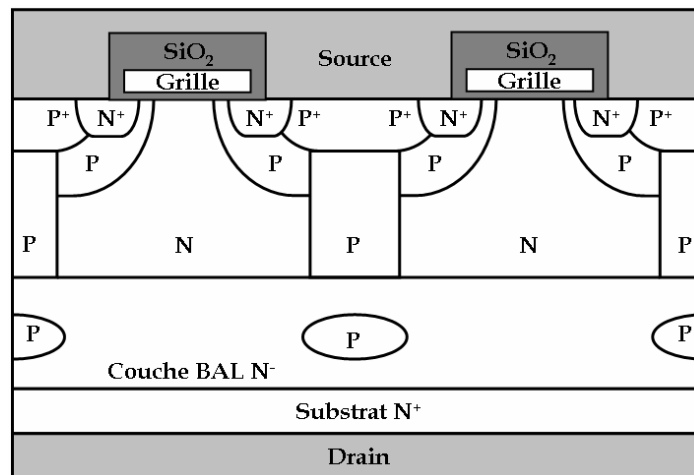


Figure II.16 : Coupe schématique de la structure associant Superjonction et îlot flottant dans la couche BAL.

Dans cette étude, nous choisissons d'augmenter la concentration de la couche BAL en conservant une tenue en tension de 1200 V. L'optimisation de la tenue en tension de cette structure se base sur les études de N. Cézac [27]. Il existe un compromis entre la dose de l'îlot, son emplacement et la concentration de la couche épitaxiée. Une représentation schématique de la répartition du champ électrique dans la structure optimisée est présentée Figure II.17.

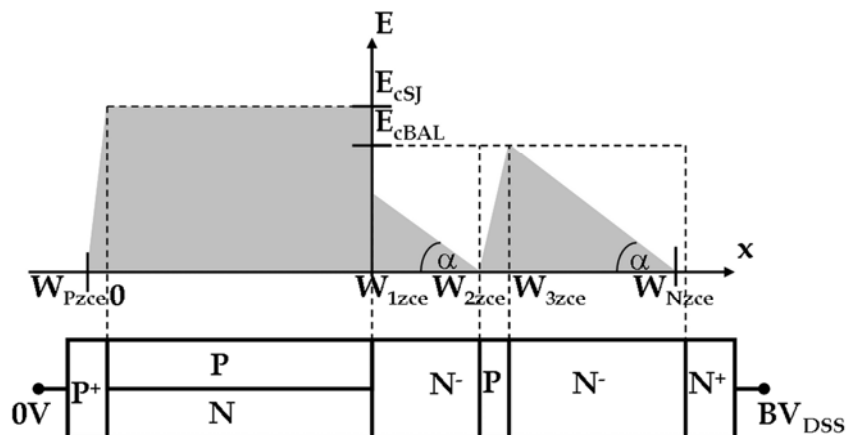


Figure II.17 : Répartition du champ électrique au claquage dans une structure semi-SJMOS optimisée à un îlot flottant.

Nous avons déterminé l'emplacement optimal de l'îlot flottant dans la structure et trouvé le dopage optimal de la couche BAL en se basant sur le profil théorique du champ électrique de la Figure II.17. Les données connues sont :

- le champ électrique atteint en W_{1zce} est de 160 kV.cm^{-1} ,
- les paramètres W_{1zce} et W_{Nzce} sont respectivement égaux à $40 \text{ }\mu\text{m}$ et $115 \text{ }\mu\text{m}$.
- le coefficient directeur de la pente représentant le champ électrique dans la couche BAL est donné par :

$$\frac{dE}{dx} = -\frac{\rho}{\epsilon_0 \cdot \epsilon_{si}} \approx -\frac{qN_D}{\epsilon_0 \cdot \epsilon_{si}} \quad (\text{II. 7})$$

Afin de compléter ces données, nous prenons l'hypothèse que l'augmentation du dopage (due à l'insertion de l'îlot dans la couche BAL) entraînera une légère augmentation du champ électrique critique dans la couche BAL. N'ayant pas encore calculé le dopage final, nous prenons comme hypothèse que $E_{cBAL} = 280 \text{ kV.cm}^{-1}$ en W_{3zce} .

La résolution du système donne une concentration de dopage pour la couche BAL de $3,8 \cdot 10^{14} \text{ cm}^{-3}$. La position de l'îlot flottant définie par sa jonction polarisée en inverse en W_{3zce} , se trouve à $67 \text{ }\mu\text{m}$ de profondeur.

Nous avons effectué plusieurs simulations paramétrées afin de déterminer la dose optimale de l'îlot flottant correspondant à la meilleure tenue en tension. La Figure II.18 représente la tenue en tension de la structure en fonction de la dose de l'îlot. La dose optimale simulée est de $4 \cdot 10^{12} \text{ cm}^{-2}$ et nous obtenons une tenue en tension de 1275 V pour cette valeur. L'insertion de l'îlot flottant a donc permis d'augmenter la concentration de la couche BAL tout en conservant la même tenue en tension.

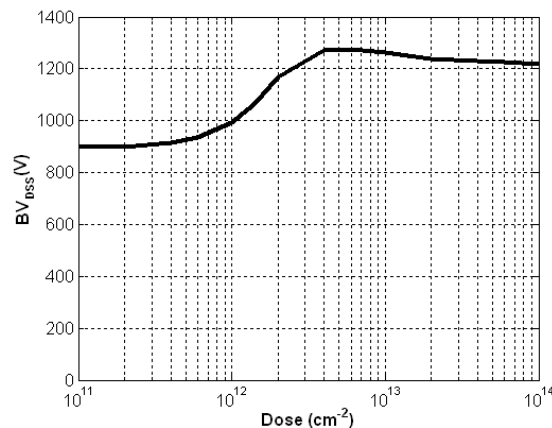


Figure II.18 : Evolution de la tenue en tension en fonction de la dose de l'îlot flottant.

II.2.5.3. L'état passant

Les performances présentées ici ne sont valables que pour les géométries de structures présentées précédemment, soit $D_P = 40 \mu\text{m}$.

II.2.5.3.a. Le transistor semi-SJMOS sans îlot flottant dans la couche BAL

La résistance de drift R_d peut être modélisée ici par la mise en série de deux résistances correspondantes à la résistance dans la couche BAL R_{dBAL} et la résistance dans la zone de Superjonction R_{dSJ} (Figure II.19). Leurs expressions restent identiques à celle proposée précédemment (équation (II.1)).

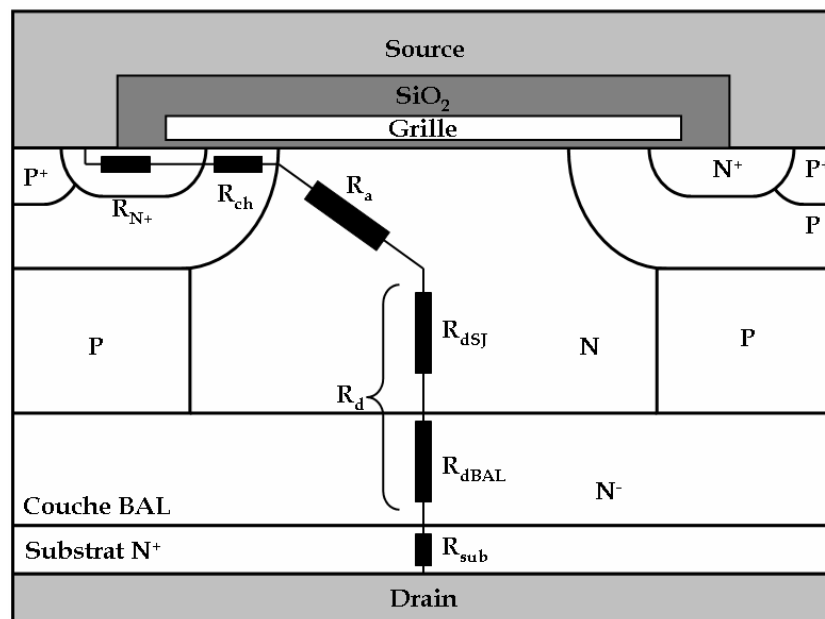


Figure II.19 : Coupe schématique d'une cellule élémentaire d'un transistor semi-SJMOS avec localisation des composantes de sa résistance à l'état passant.

Analytiquement, la résistance de drift est de $224,44 \text{ m}\Omega\cdot\text{cm}^2$, tandis que la résistance passante simulée est de $232,39 \text{ m}\Omega\cdot\text{cm}^2$. Bien que cette structure se base sur le concept de la Superjonction, ses performances à l'état passant sont bridées par la couche BAL. En effet le calcul analytique de R_{dSJ} donne $5,64 \text{ m}\Omega\cdot\text{cm}^2$ et R_{dBAL} $218,80 \text{ m}\Omega\cdot\text{cm}^2$. L'insertion d'un ou plusieurs îlots flottants devrait permettre de diminuer la résistance R_{dBAL} de façon importante.

II.2.5.3.b. Le transistor semi-SJMOS avec un îlot flottant dans la couche BAL

La résistance de drift R_d peut être modélisée par la mise en série de quatre résistances correspondant à la résistance dans la zone de Superjonction R_{dSJ} , la résistance dans la couche BAL entre la colonne P et l'îlot flottant R_{dBAL1} , la résistance au niveau de l'îlot flottant R_{FLI} et la résistance dans la couche BAL sous l'îlot flottant R_{dBAL2} (Figure II.20). L'expression de chaque résistance se base toujours sur l'expression (II.1).

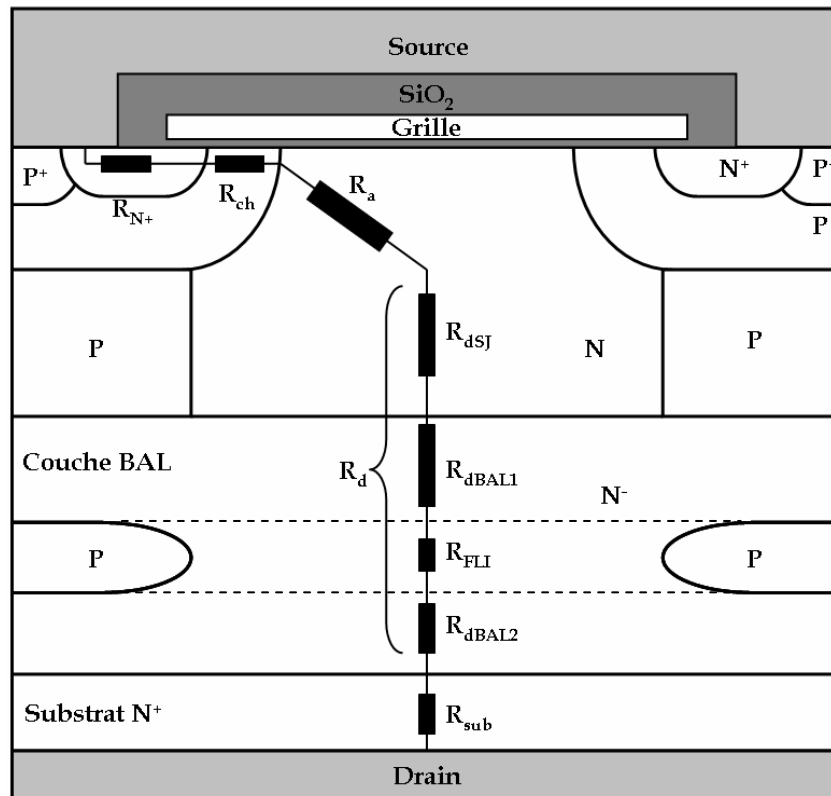


Figure II.20 : Coupe schématique d'une cellule élémentaire d'un transistor semi-SJMOS à un îlot flottant avec localisation des composantes de sa résistance à l'état passant.

Le calcul analytique de chaque résistance donne :

- la résistance R_{dsJ} : $5,64 \text{ m}\Omega \cdot \text{cm}^2$,
- la résistance R_{dBAL1} : $29,25 \text{ m}\Omega \cdot \text{cm}^2$,
- la résistance R_{FLI} : $14,95 \text{ m}\Omega \cdot \text{cm}^2$,
- la résistance R_{dBAL2} : $52,28 \text{ m}\Omega \cdot \text{cm}^2$.

La résistance de drift du transistor semi-SJMOS à un îlot flottant est de $102,12 \text{ m}\Omega \cdot \text{cm}^2$; la simulation affiche, quant à elle, une résistance passante de $138,17 \text{ m}\Omega \cdot \text{cm}^2$. Cette différence entre les deux résultats provient du fait que nous n'avons pas pris en compte, dans nos modèles analytiques, le resserrement des lignes de courant aux abords de l'îlot flottant. En effet l'hypothèse sous jacente au modèle utilisé est la suivante : le courant circule dans toutes les zones de type N de manière uniforme ; cela signifie que les lignes de courant dans ces zones sont considérées comme étant toutes parallèles. Or, dans les simulations (et la « réalité »), les lignes de courants ne suivent pas ces chemins « idéaux ».

La résistance passante simulée présente une valeur approximativement deux fois plus faible que pour la structure sans îlot flottant. L'apport d'un îlot flottant est intéressant mais la résistance passante de cette structure reste élevée par rapport à la résistance du transistor SJMOS.

II.3. Détermination de la structure MOS appropriée

Maintenant que nous avons étudié différents types de structures, nous nous proposons d'identifier la ou les structures MOS susceptibles de remplacer l'IGBT en terme de performances statiques.

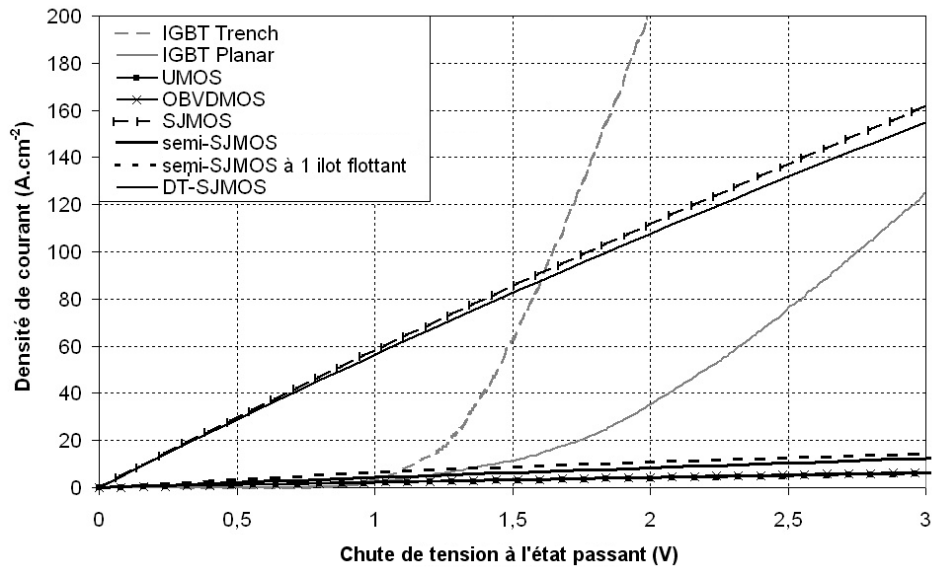
II.3.1. Comparaison des performances statiques de chaque structure par rapport à l'IGBT

Nous avons calculé et simulé la résistance passante spécifique des six structures proposées pour concurrencer l'IGBT – les transistors UMOS, OBVDMOS, SJMOS, semi-SJMOS sans îlot flottant, semi-SJMOS avec un îlot flottant et DT-SJMOS -. Le Tableau II.6 résume les valeurs des résistances de drift calculées analytiquement et les valeurs des résistances passantes spécifiques simulées avec SENTAURUS-TCAD.

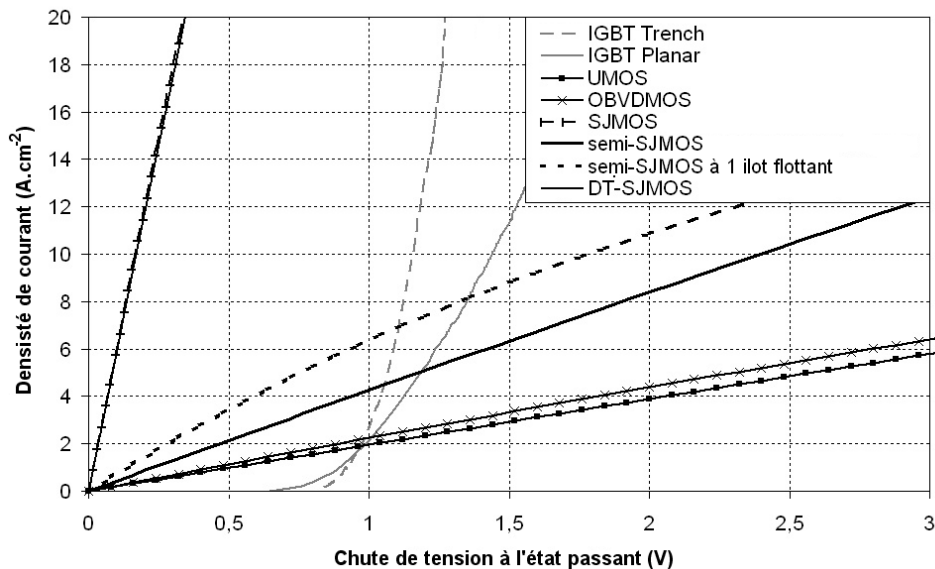
	UMOS	OBVDMOS	SJMOS	Semi-SJMOS sans îlot	Semi-SJMOS avec un îlot	DT-SJMOS
$R_{d,S}$ (m Ω .cm ²)	477,4	424,05	11,87	224,44	102,12	11,87
$R_{ON,S}$ (m Ω .cm ²)	507,6	435,44	16,44	232,39	138,17	16,84

Tableau II.6 : Résistances à l'état passant des différentes structures MOS étudiées.

Les deux meilleures structures sont les transistors SJMOS et DT-SJMOS. En effet, leurs résistances sont dix fois inférieures à celle du transistor Semi-SJMOS avec un îlot flottant. Ces résultats ne permettent pas d'affirmer pour autant que ces deux structures sont potentiellement capables de remplacer l'IGBT 1200 V. Nous avons, pour cela, comparé la densité de courant admissible de chaque structure simulée (Figure II.21) à deux technologies récentes d'IGBT, en l'occurrence la troisième génération des IGBTs à grille planar et les IGBTs à grille en tranchée [53]. La densité de courant admissible à l'état passant est définie comme le pendant de la résistance passante spécifique pour les transistors MOS.



(a)



(b)

Figure II.21 : (a) Caractéristiques de transfert des différents composants étudiés, (b) Agrandissement de ces caractéristiques entre 0 et 20 A.cm⁻².

Nous pouvons exclure, à partir de cette figure, toutes les structures MOS ne se basant pas sur une Superjonction dans l'ensemble de la couche épitaxiée. En effet, les structures mixtes telles que le transistor semi-SJMOS à un îlot ne sont pas intéressantes pour les fortes densités de puissance. Les transistors SJMOS et DT-SJMOS sont des candidats potentiels pour concurrencer l'IGBT 1200 V. Ces transistors affichent une densité de courant bien plus importante que la troisième génération d'IGBT et restent intéressants face à l'IGBT à grille en tranchée pour de faibles valeurs de chute de tension à l'état passant (densité de courant inférieure à 90 A.cm⁻²).

Aujourd'hui, le transistor VDMOS conventionnel 1200 V est commercialisé, mais pour des utilisations à faible courant telles que des dispositifs de commande rapide. Dans ce type d'applications, les structures mixtes auraient leur place car le coût supplémentaire de fabrication, comparé à celui des transistors conventionnels, serait compensé par la diminution de la surface de la puce. Les transistors OBVDMOS n'ont définitivement pas leur place dans cette gamme de tension.

II.3.2. Choix entre les deux structures à Superjonction

Le choix entre les deux structures MOS à Superjonction se fait sur le coût et les possibilités de fabrication ainsi que sur la possibilité théorique d'améliorer la résistance passante spécifique. Aucune étude précise du coût de fabrication n'ayant été effectuée, nous ne pouvons donc pas départager les deux structures sur ce critère.

II.3.2.1. Les possibilités théoriques d'amélioration de la résistance passante spécifique

Le transistor SJMOS est limité dans l'augmentation du dopage et, donc, de la diminution de la résistance passante, par la diffusion de la colonne P. En effet l'augmentation de la concentration de la zone épitaxiée N passe par la diminution de la taille de la cellule pour garantir l'auto-blindage. Or, l'augmentation de la dose d'hydrogène ou de bore implantée implique une plus grande taille de la zone P active, car, pour une même étape de recuit d'activation, la colonne à forte dose sera plus large que celle à faible dose. Il existe donc une limite entre la dose implantée et la concentration de la couche épitaxiée. Aujourd'hui, les meilleurs transistors SJMOS présentent une taille de cellule élémentaire de 12 μm pour une concentration des colonnes de $3,3 \cdot 10^{15} \text{ cm}^{-3}$ [34].

Le transistor DT-SJMOS est, quant à lui, limité par la taille de l'ouverture du masque de la gravure profonde, ou, plus précisément, le rapport de conduction α . La taille de l'ouverture du masque doit garantir une gravure profonde de 80 μm minimum et doit permettre de remplir la tranchée par un isolant électrique. La diminution de la zone de conduction W_N n'est intéressante que si nous gardons un rapport de conduction proche de 0,5. En dessous, le gain apporté par l'augmentation de la concentration sera atténué par la largeur relative de la tranchée par rapport à la taille de la cellule élémentaire. La diffusion du bore, quant à elle, ne semble pas être une restriction dans la diminution de la taille de la cellule car son encombrement est faible et car il est possible d'agir sur le profil de dopage de la colonne P lors de l'étape de diffusion.

La diminution de la taille de cellule élémentaire permet une augmentation du dopage de l'épitaxie N. Cette augmentation s'accompagne d'un équilibrage des charges plus difficile à garantir : Shenoy *et al.* ont résumé les limites de la Superjonction en ce sens [54]. La tenue en tension est déterminée, non pas par le déséquilibre relatif des charges entre les colonnes, mais par la différence de quantité de charges. Nous ne pouvons donc pas départager les deux composants d'après ce critère.

II.3.2.2. Les possibilités de fabrication

Le LAAS-CNRS de Toulouse possède une plateforme technologique. Celle-ci permet de traiter différentes étapes technologiques dans un vaste domaine d'applications telles que la fabrication de MEMS (Micro-Electro-Mechanical Systems) [55], de capteurs intégrés [56] ou de composants optiques [57]. Néanmoins, la plateforme ne possède pas de bâti d'épitaxie silicium.

La fabrication du transistor SJMOS nécessitant plusieurs épitaxies, nous ne pouvons traiter les étapes critiques de fabrication de ce composant sur la plateforme. A l'inverse, le DT-SJMOS peut être réalisé sur place : en effet, nous disposons du matériel et du savoir-faire pour graver des tranchées profondes [58], déposer du polysilicium saturé en bore [59] ou des isolants électriques [60].

Sans idée précise quant au coût de fabrication, nous ne pouvons pas objectivement départager les deux structures ; néanmoins, notre choix se porte sur le transistor DT-SJMOS. La possibilité de traiter les étapes de fabrication au laboratoire et de parfaire le savoir-faire du laboratoire est le critère déterminant dans ce choix.

II.4. Conclusion

Les simulations à éléments finis des différentes structures ont permis de déterminer les paramètres technologiques et la géométrie de chaque structure offrant une tenue en tension minimale de 1200 V. La résistance passante spécifique a ensuite été calculée afin de classer les différentes technologies étudiées.

La caractéristique de la densité de courant en fonction de la chute de tension à l'état passant a été étudiée dans le but de comparer l'IGBT à l'ensemble des structures étudiées – les transistors UMOS, OBVDMOS, SJMOS, semi SJMOS sans îlot flottant, semi SJMOS avec un îlot flottant et DT-SJMOS –. Seules les structures à Superjonction dans toute l'épitaxie (SJMOS et DT-SJMOS) sont potentiellement capables de remplacer l'IGBT. Notre choix s'est porté sur le transistor DT-SJMOS en

raison des possibilités de fabrication d'un tel transistor au sein de la plateforme technologique du LAAS-CNRS.

Chapitre III.

Optimisation du transistor DT-SJMOS

Sommaire

III.1. INTRODUCTION	77
III.2. ÉTUDE DU COMPOSANT DT-SJMOS.....	78
III.2.1. Identification des paramètres influant sur BV_{DSS} et $R_{ON,S}$	78
III.2.2. Influence de la quantité de charges diffusée.....	80
III.2.3. Influence de la géométrie de la tranchée profonde	82
III.2.4. Influence de la dose du caisson P_{well}	87
III.2.5. Présentation de la structure optimisée	88
III.3. ÉTUDE DES PROTECTIONS PERIPHERIQUES	89
III.3.1. La terminaison à Superjonction	90
III.3.2. La terminaison en « cuve » de diélectrique.....	93
III.4. ÉTUDE DYNAMIQUE	100
III.4.1. Comportement de la diode body.....	100
III.4.2. Caractéristique du Gate Charge	105
III.5. CONCLUSION	108

III.1. Introduction

Le second chapitre a permis de comparer les différentes structures de transistor MOS à l'état bloqué et à l'état passant. Il s'est avéré que seules les structures se basant sur le concept de la Superjonction sur toute l'épithaxie peuvent être des remplaçantes potentielles de l'IGBT 1200 V dans la traction ferroviaire. Nous avons choisi le transistor DT-SJMOS (Deep Trench Superjonction MOS) car celui-ci présente les meilleures performances statiques et car la fabrication d'un tel composant est possible au sein de la plateforme technologique du LAAS-CNRS.

La structure proposée doit maintenant être étudiée afin d'identifier les paramètres critiques pour les performances statiques. Dans ce chapitre, nous étudierons la sensibilité de la structure aux paramètres technologiques et géométriques. L'approche sera ici différente de celle choisie au chapitre 2, dans lequel nous comparions des structures de tailles identiques (10 μm). Dans le chapitre 3, nous allons « pousser » le DT-SJMOS « dans ses derniers retranchements ». Nous nous accordons donc une liberté totale pour faire varier les tailles, concentrations, dimensions des tranchées et autres paramètres clés. Nous étudierons aussi les protections périphériques adaptées à cette structure et à ce niveau de tension et nous finirons par l'étude du comportement dynamique du transistor DT-SJMOS.

La première partie est consacrée à l'étude de la sensibilité de la structure aux paramètres technologiques et géométriques. Nous nous intéressons, dans un premier temps, à l'influence des charges diffusées, puis nous analyserons l'importance de la géométrie de la tranchée ; le dernier point portera sur l'influence de la dose du caisson P de source.

L'étude des protections périphériques est présentée dans la seconde partie. Plusieurs concepts sont détaillés et simulés pour vérifier qu'ils peuvent tenir 1200 V avec la structure DT-SJMOS. Deux terminaisons basées sur la Superjonction et deux terminaisons basées sur une large tranchée de diélectrique sont étudiées.

La dernière partie expose l'étude dynamique du transistor DT-SJMOS. Les pertes énergétiques de la diode interne sont étudiées dans le but de remplacer le module « IGBT / diode » par le transistor MOS seul. Nous avons également simulé le « Gate Charge » pour vérifier notamment que la commande utilisée avec les IGBTs actuels convient au transistor DT-SJMOS.

III.2. Etude du composant DT-SJMOS

Nous avons choisi d'étudier un transistor DT-SJMOS à très faible résistance passante. Nous commencerons par décrire la structure. Ensuite nous identifierons les paramètres influant sur la tenue en tension (BV_{DSS}) ou la résistance passante spécifique ($R_{ON,S}$) et nous étudierons l'influence des paramètres les plus importants.

III.2.1. Identification des paramètres influant sur BV_{DSS} et $R_{ON,S}$

L'ensemble des paramètres géométriques et technologiques de la structure (Figure III.1) est susceptible de varier du fait de la maîtrise imparfaite du procédé de fabrication. Une attention particulière sera portée à certains éléments pour l'importance de leur effet sur BV_{DSS} et $R_{ON,S}$. Nous nous proposons maintenant de les identifier.

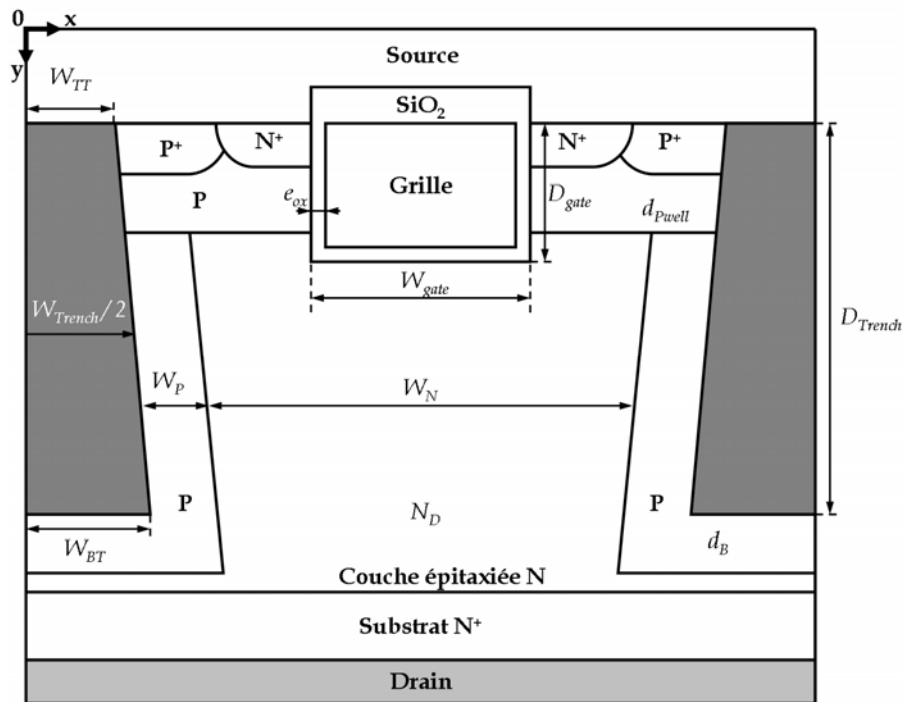


Figure III.1 : Coupe schématique du transistor DT-SJMOS avec les paramètres influant BV_{DSS} et $R_{ON,S}$.

Nous avons présenté le concept de la Superjonction dans le chapitre 1 (§1.5.1) : nous avons notamment vu que l'équilibre des charges entre la couche N et P devait être respecté pour garantir la tenue en tension visée. Plusieurs paramètres interviennent dans le respect de cet équilibre. Nous pouvons citer :

- la dose de bore diffusée autour de la tranche (d_B),
- la concentration de l'épitaxie (N_D),

- la largeur de la couche N (W_N),
- la largeur de la colonne P (W_P).

De plus, pour une taille de cellule élémentaire fixe, la largeur des tranchées (W_{Trench}) est aussi un paramètre jouant sur la tenue en tension. En effet, pour une dose constante de bore diffusée, une variation de la largeur de la tranchée provoquera une diminution de la largeur de la couche N, entraînant un déséquilibre des charges. La verticalité des tranchées, définie par la différence de largeur entre le haut de la tranchée (W_{TT}) et le bas de la tranchée (W_{BT}), est un paramètre propre à cette technologie qu'il faudra prendre en compte. Nous ne connaissons pas la variation de la tenue en tension si nous avons un excès de charges positives en haut de la structure et un manque de charges en bas. Celles-ci se compensent-elles ?

En plus des paramètres intervenant dans l'équilibre des charges, une profondeur minimale des tranchées est nécessaire afin de garantir les 1200 Volts. Il est aussi intéressant d'étudier le comportement de la structure si la tranchée pénètre dans le substrat. La dose du caisson P_{well} (d_{Pwell}) doit être suffisante pour pouvoir tenir la tension dans les structures conventionnelles. Nous souhaitons vérifier ici son importance dans ce type de structure. De même, la profondeur de la grille en tranchée peut causer un claquage prématuré pour les structures conventionnelles.

La résistance passante spécifique, quant à elle, est aussi dépendante de nombreux paramètres. Le dopage de la couche N (N_D), mais aussi les paramètres qui réduisent la zone de conduction, tels que la largeur de la tranchée (W_{Trench}) et la largeur du profil de bore diffusée (W_P) ont une importance dans la variation de $R_{ON.S}$.

D'autres paramètres technologiques ou géométriques n'ont que très peu d'influence sur les performances statiques. Il s'agit de la largeur de la grille (W_{gate}), sa profondeur (D_{gate}) et l'épaisseur de l'oxyde de grille (e_{ox}). Leur impact sur les performances du transistor DT-SJMOS ne sera pas présenté dans les chapitres suivants et leur dimension, fixée pour l'ensemble des simulations, est présenté Tableau III.1.

Paramètre	Désignation	Valeur
Profondeur de la grille	D_{gate}	2,5 μm
Épaisseur de l'oxyde de grille	e_{ox}	800 \AA
Largeur de la grille	W_{gate}	2 μm

Tableau III.1 : Paramètres de la grille retenus pour le transistor DT-SJMOS simulé.

III.2.2. Influence de la quantité de charges diffusée

III.2.2.1. Variations de la dose de bore diffusée

La dose de bore diffusée est un paramètre essentiel dans la balance des charges (équation (II.6)). Nous avons donc choisi d'étudier l'impact du déséquilibre des charges pour plusieurs concentrations N_D de la couche épitaxiée N. En effet, si plusieurs études ont déjà été effectuées sur le déséquilibre des charges [54], il nous semblait important de quantifier la dégradation de BV_{DSS} dans notre cas précisément.

La Figure III.2 (a) présente les variations de la tenue en tension en fonction de l'erreur (en pourcentage) par rapport à la dose de bore optimale diffusée. Nous constatons que la sensibilité est dépendante de la concentration de la couche épitaxiée. En effet, dans le cas des fortes concentrations N_D , cas qui est le plus intéressant en terme de résistance passante spécifique (Figure III.2 (b)), nous observons qu'un faible déséquilibre de charge entraîne une spectaculaire diminution de la tenue en tension. Par exemple, pour $N_D = 1,4 \cdot 10^{16} \text{ cm}^{-3}$, un écart de 5% de la dose par rapport à la dose optimale entraîne une chute de tension supérieur à 1000 Volts. Il pourrait donc être intéressant de choisir une plus faible concentration d'épitaxie pour fabriquer le transistor DT-SJMOS : une faible concentration (10^{15} cm^{-3}) permettrait ainsi d'avoir plus de latitude dans la réalisation. Toutefois, les bénéfices des Superjonctions seraient alors totalement perdus. En effet, à ce niveau de concentration, les résistances passantes spécifiques des transistors UMOS et DT-SJMOS serait alors du même ordre de grandeur car l'augmentation de N_D serait compensée par la diminution de la surface de conduction.

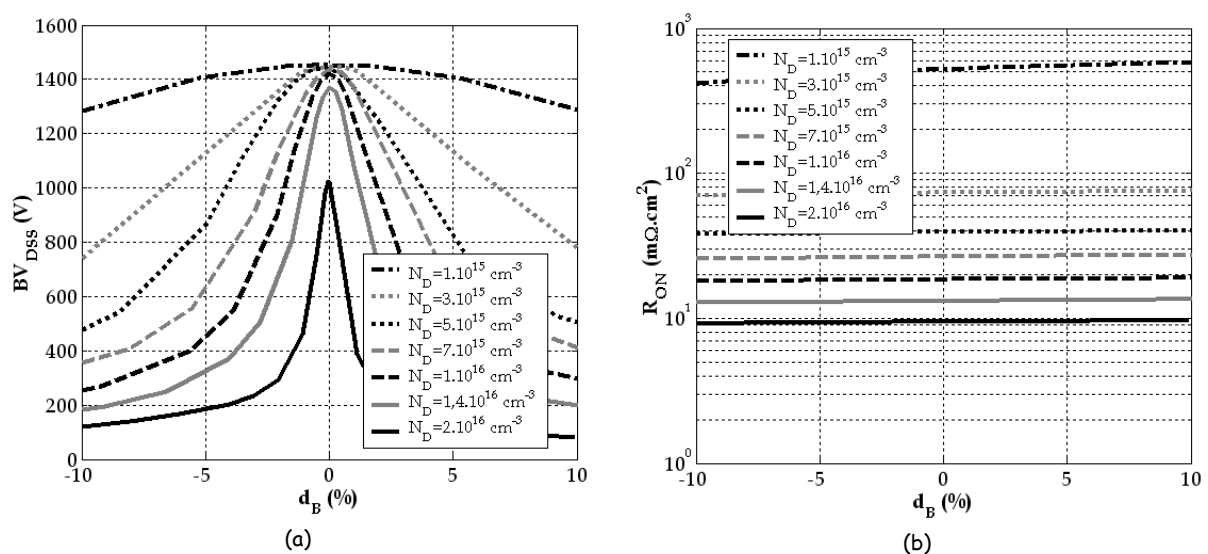


Figure III.2 : (a) Variations de la tenue en tension en fonction de l'écart par rapport à la dose de bore optimale, (b) Variations de la résistance spécifique en fonction de l'écart par rapport à la dose de bore optimale pour différentes concentrations de l'épitaxie (N_D).

Dans le cas de l'optimisation de la structure, nous remarquons qu'il existe une concentration de dopage de la zone épitaxiée ($1,4 \cdot 10^{16} \text{ cm}^{-3}$) au-delà de laquelle la tenue en tension chute brusquement, même à l'équilibre des charges. Ceci est dû au fait que le champ électrique atteint pratiquement sa valeur critique au moment du phénomène d'autoblindage (désertion latérale complète protégeant la jonction principale en surface). Il existe donc un compromis entre la concentration du dopage de la couche épitaxiée N_D et la largeur de la cellule, même pour des profils gaussiens. Nous conserverons une concentration de la couche épitaxiée (N_D) égale à $1,4 \cdot 10^{16} \text{ cm}^{-3}$ et une dose de bore diffusée (d_B) de $2,8 \cdot 10^{12} \text{ cm}^{-2}$ pour les simulations suivantes, car ces valeurs offrent la meilleure résistance passante spécifique ($R_{ON,S} = 13 \text{ m}\Omega \cdot \text{cm}^2$) tout en gardant une tenue en tension bien au-delà de 1200 Volts.

III.2.2.2. Variations de la largeur du profil de bore diffusé

La variation de la largeur du profil de bore diffusé, définie par la distance entre la tranchée et la jonction PN formée par diffusion de bore autour de la tranchée (W_P), est un paramètre dépendant de la technologie utilisée. La Figure III.3 (a) représente les variations de la tenue en tension en fonction de W_P . Nous constatons que BV_{DSS} varie peu mais qu'il existe un maximum pour W_P proche de $0,85 \mu\text{m}$. Cette faible variation de BV_{DSS} s'explique par l'étalement de la ZCE. En effet, plus W_P est faible, plus la largeur de la région N est importante : par conséquent, la largeur à dépeupler l'est d'autant. La valeur du champ électrique au moment du phénomène d'auto-blindage est légèrement plus élevée et le claquage de la structure se produit donc légèrement plus tôt pour une faible valeur de W_P . A contrario, si W_P est trop important, le même phénomène se produit mais dans la zone P.

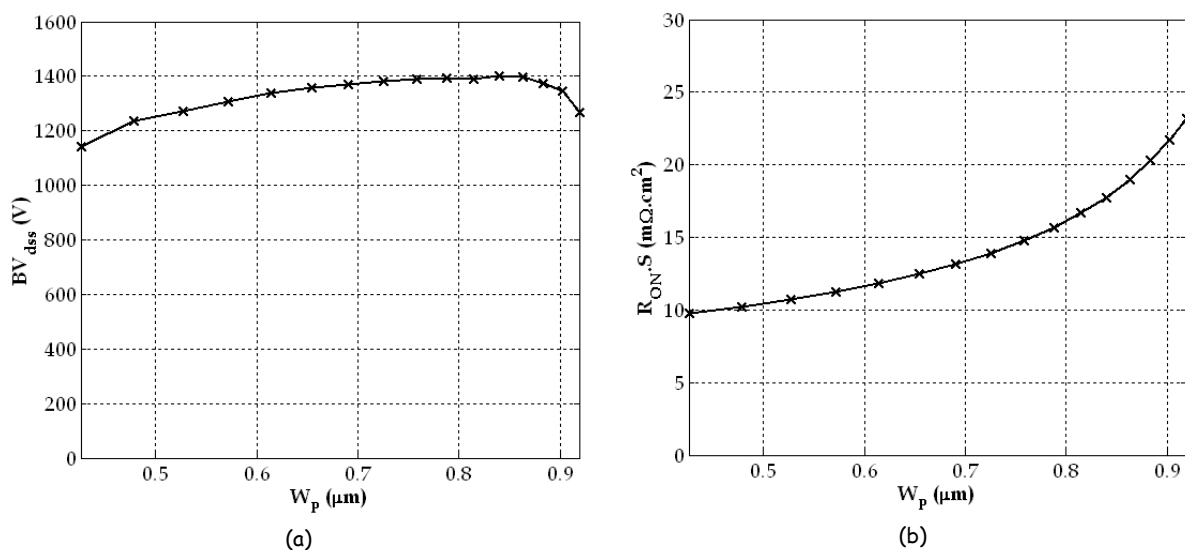


Figure III.3 : (a) Variations de la tenue en tension en fonction de la largeur du profil de bore diffusé (W_P), (b) Variations de la résistance passante spécifique en fonction de la largeur du profil de bore diffusé (W_P).

En ce qui concerne $R_{ON,S}$, comme nous pouvions nous y attendre, la profondeur de la jonction joue sur le terme α . L'optimisation du paramètre W_P se situe autour de $0,7 \mu\text{m}$ qui nous semble un bon compromis entre $R_{ON,S}$ et BV_{DSS} . Cette valeur de W_P sera conservée pour le reste des simulations.

III.2.3. Influence de la géométrie de la tranchée profonde

III.2.3.1. Variations de la largeur de gravure

Les variations de la largeur de gravure se produisent technologiquement lorsqu'il y a un décalage entre l'ouverture du masque et la largeur effective de la gravure. Cette différence peut-être positive (surgravure) ou négative (sousgravure). La Figure III.4 (a) représente les variations de la tenue tension en fonction de la largeur de la tranchée (W_{Trench}). Nous constatons que les variations de BV_{DSS} sont analogues aux variations observées à la Figure III.2 (déséquilibre des charges). En effet, une variation de la largeur de la tranchée a un impact sur l'équilibre des charges. L'équation (III.1) rappelle la condition d'équilibre des charges dans le cas d'un profil gaussien.

$$\int_{W_{Trench}/2}^{W_{Trench}/2+W_P} N_A(x) dx = N_D \times \frac{W_N}{2} \quad (III.1)$$

Une variation de la largeur de gravure n'influe pas sur le profil de dopage de bore diffusé, ni sur la concentration de la couche N épitaxiée ; par contre, elle modifie la largeur entre deux tranchées, soit W_N , ceci changeant l'équilibre de l'équation et donc, la compensation des charges.

La Figure III.4 (b) présente les variations de $R_{ON,S}$ en fonction de la largeur de la tranchée. Nous constatons que ce paramètre influe sur $R_{ON,S}$ par la modification du coefficient α (rapport entre la zone de conduction et la surface active). La valeur optimale de ce paramètre reste $3 \mu\text{m}$, valeur pour laquelle nous avons la meilleure tenue en tension.

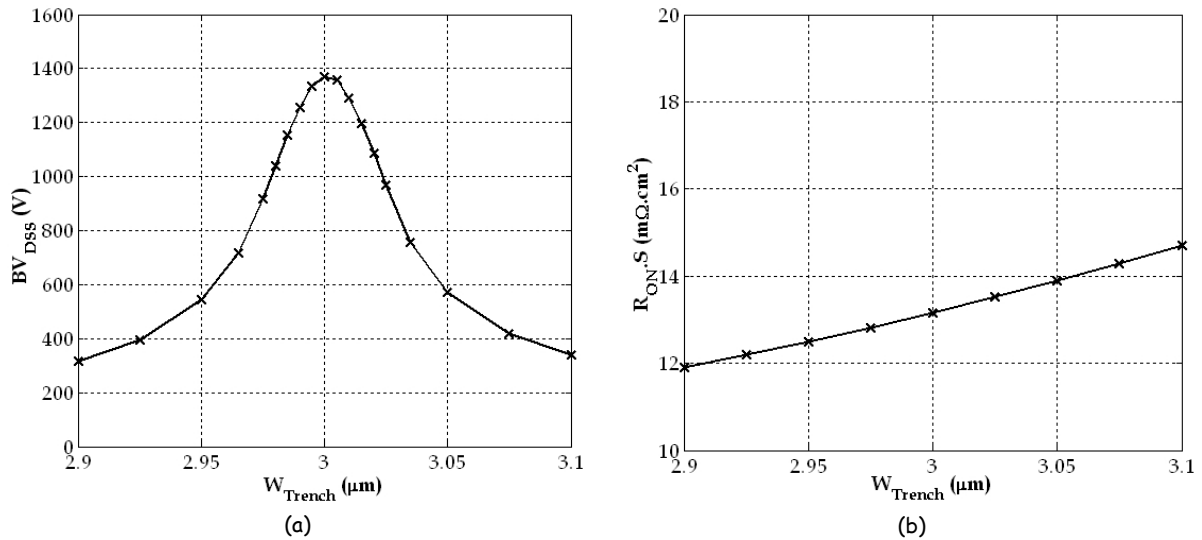


Figure III.4 : (a) Variations de la tenue en tension en fonction de la largeur de la tranchée, (b) Variations de la résistance passante spécifique en fonction de la largeur de la tranchée.

III.2.3.2. Compensation de la gravure par la charge diffusée

La largeur de la gravure ayant un impact sur l'équilibre des charges, nous nous intéressons à la compensation de l'erreur d'ouverture par la dose de bore diffusée. En effet, dans le cas où le procédé de fabrication de la tranchée est stabilisé, il est intéressant de savoir si l'erreur de la largeur de gravure par rapport à l'ouverture du masque peut être compensée par la dose diffusée.

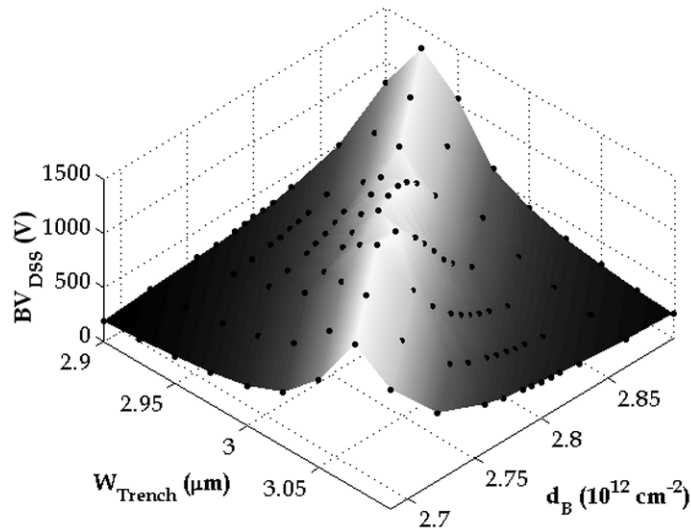


Figure III.5 : Variations de la tenue en tension en fonction de la largeur de la tranchée profonde et de la dose de bore diffusée.

La Figure III.5 présente les variations de la tenue en tension par rapport à la largeur de gravure de la tranchée (W_{Trench}) et la dose de bore diffusée (d_B). Nous constatons qu'il est possible de compenser un paramètre par l'autre. En effet, les

deux paramètres interviennent dans la balance des charges. Une augmentation de la largeur de la tranchée, par rapport à l'ouverture de masque initiale, entraîne une diminution de la largeur entre deux tranchées, c'est-à-dire une diminution de W_N . Il est alors possible de corriger le profil de bore diffusé, notamment par la dose, afin de retrouver l'équilibre des charges. Ceci est très intéressant pour garantir les performances statiques du transistor DT-SJMOS. Nous pensons qu'il sera intéressant de stabiliser le procédé de gravure des tranchées, pour ensuite déterminer la « nouvelle » dose plus appropriée à diffuser.

Le haut de la crête, en blanc, correspond à une tenue en tension de 1400 V. Plusieurs couples de valeurs permettent d'obtenir cette tenue en tension, notamment $W_{\text{Trench}} = 3 \mu\text{m}$ et $d_B = 2,8 \cdot 10^{12} \text{ cm}^{-2}$, valeurs que nous garderons pour le reste des simulations.

III.2.3.3. Variations de la profondeur de la tranchée

La profondeur de la tranchée détermine la tenue en tension comme nous avons pu le voir dans l'équation (I.13). Il est néanmoins intéressant, pour ce type de structure, d'observer le comportement de la tenue en tension lorsque la gravure pénètre dans le substrat. Dans le cas de nos simulations, le substrat se trouve à une profondeur de 87 μm . La Figure III.6 (a) présente les variations de la tenue en tension en fonction de la profondeur de la tranchée. Nous observons une augmentation linéaire de la tenue en tension pour des valeurs de tranchée allant jusqu'à 87 μm . Ceci était prévisible grâce à l'équation (I.13) ($BV_{DSS} = E_c \times H$), qui montre que la tenue en tension est proportionnelle à la profondeur de la tranchée. Pour des valeurs supérieures à 87 μm , la tranchée pénètre dans le substrat et la tenue en tension est constante. La concentration de la zone P, due à la dose de bore diffusée, est négligeable devant la concentration du substrat. La colonne P, ne peut donc s'étendre au-delà de la couche épitaxiée. BV_{DSS} peut donc être fixé par deux paramètres : l'épaisseur de l'épitaxie ou la profondeur des tranchées. Le résultat le plus encourageant reste le fait que nous n'observons pas de diminution de BV_{DSS} dans ce cas. Ceci a pour avantage d'augmenter la liberté de fabrication et de pouvoir concevoir une structure dont la tenue en tension est limitée par l'épitaxie, comme les structures à jonction plane en limitation de charge d'espace [61].

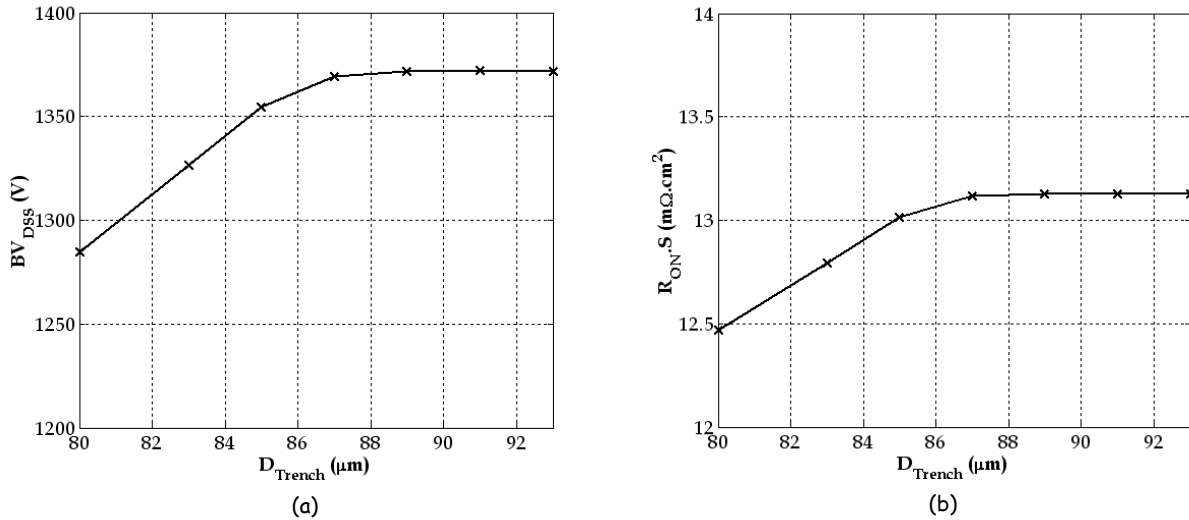


Figure III.6 : (a) Variations de la tenue en tension en fonction de la profondeur de la tranchée, (b) Variations de la résistance passante spécifique en fonction de la profondeur de la tranchée.

III.2.3.4. Variations de la verticalité de la tranchée

La verticalité de la tranchée (Slope) est définie par la différence de largeur entre le haut (W_{TT}) et le bas (W_{BT}) de la tranchée. Une valeur positive de Slope (Figure III.7 (a)) correspond à une gravure en forme de cône dont la pointe est dans le fond de la tranchée ; inversement, une valeur négative de Slope correspond à une gravure en forme de trapèze dont la partie large est dans le fond de la tranchée (Figure III.7 (c)). La Figure III.8 présente les variations de la tenue en tension en fonction de la verticalité de la tranchée (Slope) et de la largeur de la gravure (W_{Trench}).

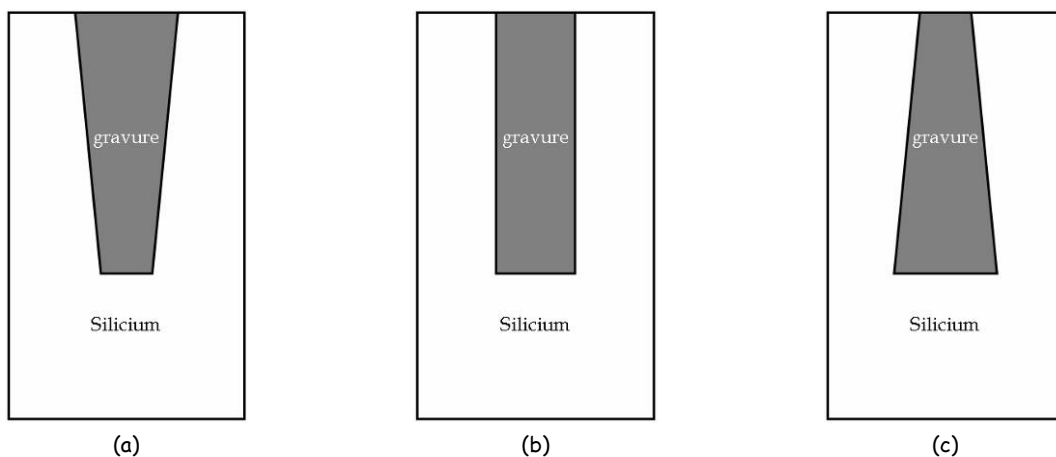


Figure III.7 : (a) Tranchée à pente positive, (b) tranchée à pente verticale, (c) tranchée à pente négative.

Nous pouvons remarquer que la tenue en tension est très sensible à la verticalité de la tranchée. En effet, l'excès de charges à une extrémité de la tranchée n'est pas

compensé par le manque de charges à l'autre extrémité. Revenons à l'équation (III.1) qui présente l'équation de l'équilibre des charges : celle-ci est unidimensionnelle (dépendante seulement de x). Il faut donc que la condition énoncée soit respectée sur toute la profondeur de la structure. Sinon, il y a une très forte probabilité de dégradation de la tenue en tension. De plus, la courbe des variations de la tenue en tension en fonction de la verticalité de la tranchée est asymétrique. En effet, une tranchée plus large en surface permet de protéger la jonction plane en surface et augmente donc légèrement sa tenue en tension (Figure III.9 (a)). Par contre, une tranchée plus large en profondeur implique un autoblindage en son fond, et c'est donc la jonction PN sous la tranchée qui doit supporter la tension (Figure III.9 (b)). La dose de bore diffusée n'étant pas calibrée pour cette situation, la tenue en tension de cette jonction se trouve inférieure à la tenue en tension de la jonction de surface. De plus, sous la condition que nous avons la dose optimale de bore, nous devons garantir une verticalité de $\pm 0,1 \mu\text{m}$ pour avoir une tenue en tension supérieur à 1200 Volts.

Nous pouvons aussi voir sur la Figure III.8 que la variation de la largeur de la tranchée ne corrige pas la chute de tenue en tension observée quand on s'éloigne d'une tranchée parfaitement verticale. En effet, la variation de la largeur de la tranchée accentue l'excès ou le manque de charges dans une partie de la structure. La variation de la dose diffusée apporterait le même comportement et n'améliorerait rien. La verticalité de la tranchée est donc un critère décisif qu'il faudra maîtriser dans la fabrication du composant.

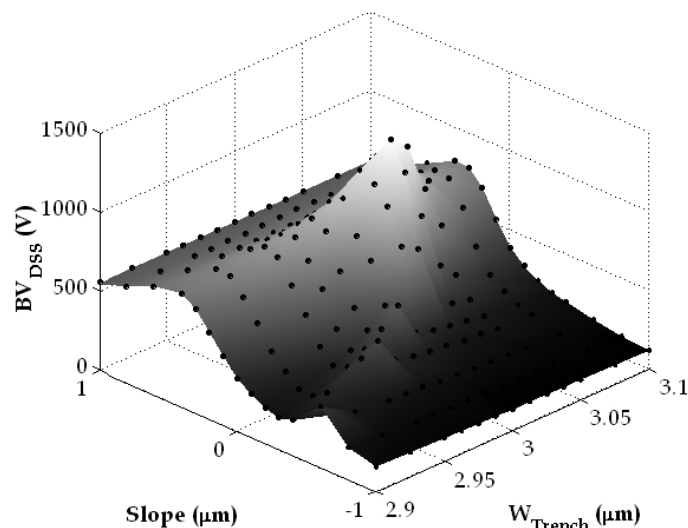


Figure III.8 : Variations de la tenue en tension en fonction de la pente ($Slope$) et de la largeur (W_{Trench}) de la tranchée profonde.

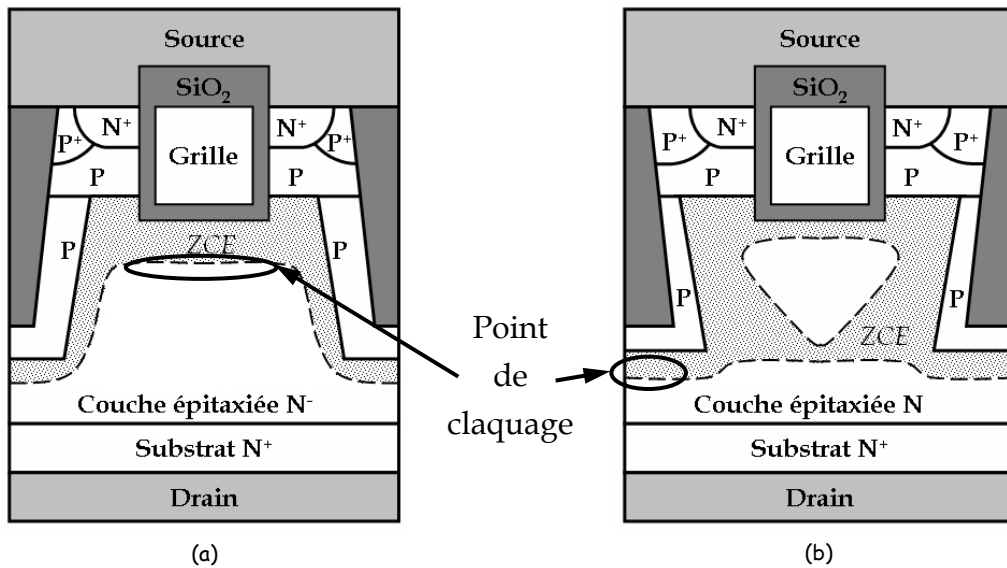


Figure III.9 :

(a) Représentation schématique de la ZCE au claquage de la structure pour $Slope > 0$,
 (b) Représentation schématique de la ZCE au claquage de la structure pour $Slope < 0$.

III.2.4. Influence de la dose du caisson P_{well}

La dose du caisson P de source ($d_{P_{well}}$) est un paramètre déterminant pour la tenue en tension des composants conventionnels [62]. Nous nous intéressons donc à vérifier si ce paramètre a le même rôle pour le transistor DT-SJMOS.

La Figure III.10 présente les variations de la tenue en tension en fonction de la dose du caisson P.

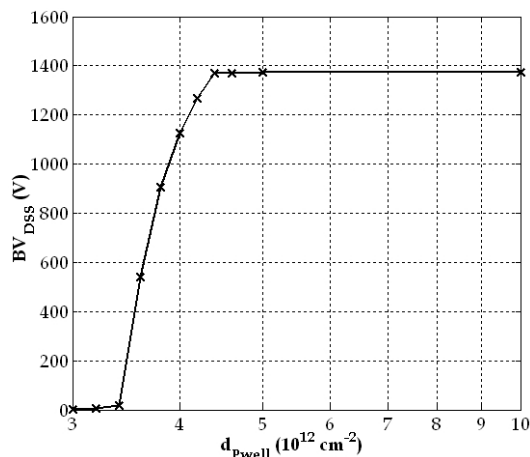


Figure III.10 : Variations de la tenue en tension du transistor DT-SJMOS en fonction de la dose du caisson P_{well} .

Il s'avère qu'il existe, tout comme pour les structures conventionnelles, une dose minimale afin de garantir la tenue en tension souhaitée. En effet, la zone de charge d'espace ne doit pas rejoindre l'implantation N^+ de source, sinon la structure

serait en perçage. Nous nous trouvons alors dans une configuration N⁺N⁻N⁺ (N⁺ (source), N⁻ (épitaxie), N⁺ (substrat)) sans barrière de potentiel pour retenir le courant. La diminution progressive de la tenue en tension pour des valeurs de dose du caisson P_{well} inférieures à 4,5.10¹² cm⁻² s'explique par le potentiel inverse nécessaire pour dépeupler entièrement le caisson P_{well} : plus la dose est faible, plus le potentiel nécessaire l'est d'autant. Ce paramètre influençant très peu R_{ON,S}, il est possible de choisir une dose très supérieure à la valeur minimale sans dégrader les performances statiques de la structure.

III.2.5. Présentation de la structure optimisée

Cette étude de sensibilité des paramètres nous a permis d'identifier les paramètres critiques afin de garantir de bonnes performances statiques. Les deux critères les plus critiques sont, sans aucun doute, le respect de l'équilibre des charges et la verticalité des tranchées. Néanmoins nous pouvons désormais présenter une structure optimisée sur le critère des performances statiques. Les valeurs des paramètres retenues sont présentées Figure III.11 et dans le Tableau III.2.

Cette structure présente un BV_{DSS} de 1400 V et un R_{ON,S} de 13 mΩ.cm². Comparée aux IGBTs à grille en tranchée, qui affichent une densité de courant de l'ordre de 120 A.cm² pour une chute de tension de 1,7 V, nous proposons une densité de courant de 130 A.cm². Bien entendu, pour une chute de tension moindre, l'écart de performances entre le transistor DT-SJMOS est l'IGBT augmente à l'avantage du MOS.

Paramètre	Désignation	Valeur
Dose de bore diffusée	d _B	2,8.10 ¹² cm ⁻²
Dose du caisson P de source	d _{Pwell}	5.10 ¹² cm ⁻²
Profondeur des tranchées	D _{Trench}	87 μm
Concentration de l'épitaxie	N _D	1,4.10 ¹⁶ cm ⁻²
Largeur des tranchées	W _{BT} , W _{Trench} , W _{TT}	1,5 μm
Profondeur de la jonction après diffusion de bore	W _P	0,6 μm

Tableau III.2 : Paramètres clés retenus pour le transistor DT-SJMOS optimisé.

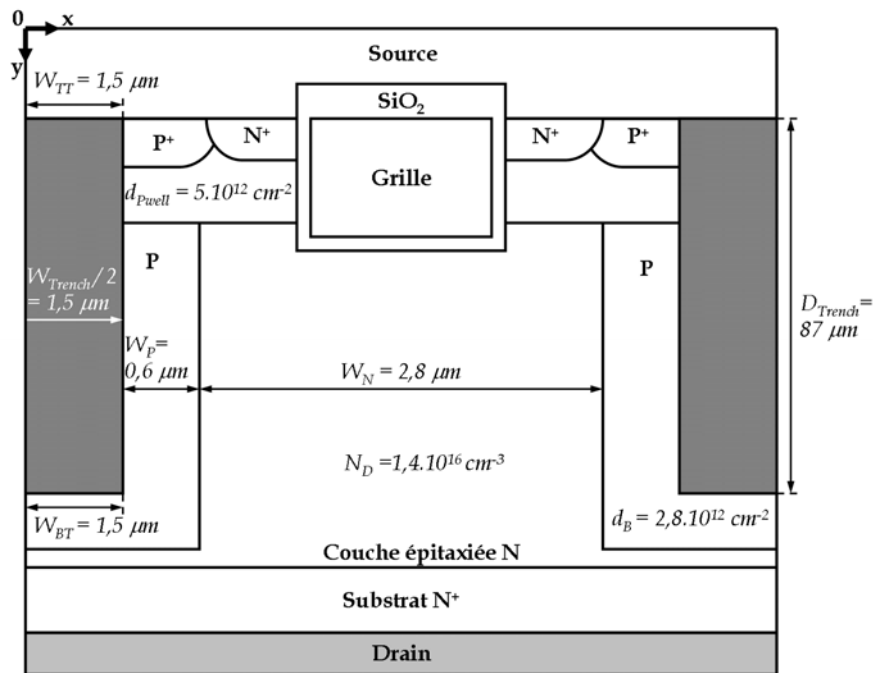


Figure III.11 : Coupe schématique d'une cellule élémentaire du transistor DT-SJMOS optimisé avec les valeurs des paramètres géométriques et technologiques.

III.3. Etude des protections périphériques

Les techniques de terminaison de jonction sont basées sur la nécessité d'étaler au mieux la zone de charge d'espace déployée par la jonction polarisée en inverse. Il est en effet nécessaire de distribuer le potentiel sur la plus grande surface de silicium possible. Cela permet de diminuer son gradient, c'est-à-dire le champ électrique. Pour les structures conventionnelles, plusieurs techniques de terminaison ont été développées : les terminaisons de jonction de type biseau présentées par Cornu en 1973 [4], les anneaux flottants proposés par Kao en 1967 [5], les extensions de jonction implantée (JTE) proposées par Temple en 1977 [6], la plaque de champ proposée en 1967 par Grove [7] et la couche semi-résistive SIPOS proposée par Clark en 1972 [8]. Dernièrement, la terminaison à jonction concave a été développée au LAAS par Hakim en 2002 [63] pour les composants de forte tenue en tension réalisés directement sur substrat. Avec les nouveaux concepts, dans lesquels le champ électrique est réparti dans le volume du composant, nous avons donc besoin de terminaisons « volumiques ». En effet, les terminaisons surfaciques n'étaient pas suffisamment la zone de charge d'espace pour tenir la tension souhaitée : ceci est principalement dû à l'augmentation du dopage de la couche épitaxiée.

III.3.1. La terminaison à Superjonction

III.3.1.1. La structure de type SJMOS

Une terminaison pour les structures SJMOS fut présentée par Bai en 2000 [64]. Elle se base sur une succession de colonnes N et P (comme pour les cellules élémentaires) mais ayant des largeurs de plus en plus grandes au fur et à mesure qu'elles s'éloignent de la zone active afin d'étaler les lignes de potentiel. Nos simulations ne nous ont pas permis de retrouver ces résultats : elles montrent que l'équilibre des charges n'est plus respecté en terminaison et nous obtenons donc un claquage prématuré. En outre, cette terminaison ne semble pas technologiquement réalisable car elle est trop sensible aux variations des largeurs des colonnes. Nous proposons donc une autre terminaison dans laquelle toutes les colonnes N et P ont la même largeur (Figure III.12) afin de garantir l'équilibre des charges et le dépeuplement complet des colonnes. De plus, nous ajoutons en surface une couche diffusée P faiblement dopée, qui permet d'assurer l'étalement et une répartition quasiment homogène des lignes de potentiel le long de la diffusion.

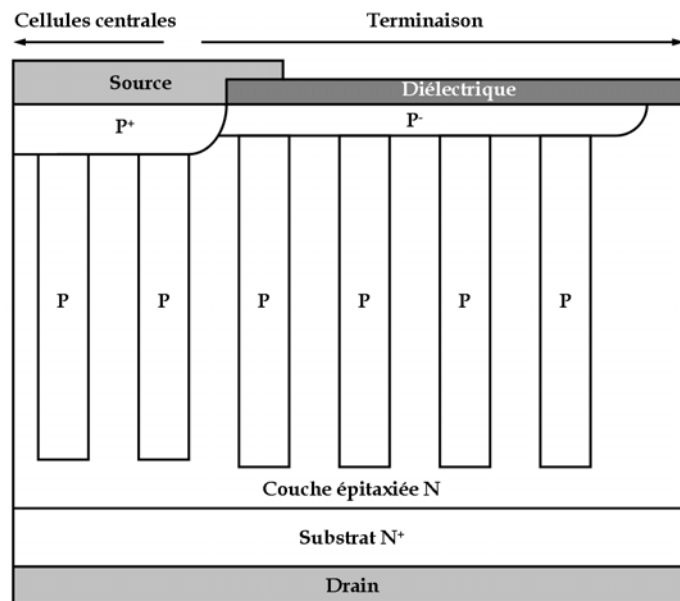


Figure III.12 : Coupe schématique de la terminaison basée sur le concept de la Superjonction.

Nous avons validé le concept de notre terminaison par simulation. La Figure III.13 présente la répartition des lignes de potentiel au claquage de la structure.

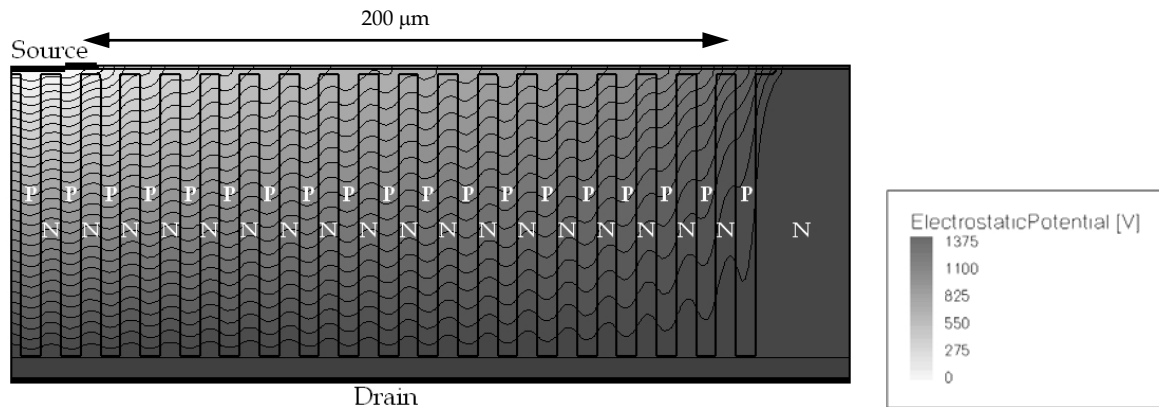


Figure III.13 : Répartition des lignes de potentiel au claquage de la structure dans la terminaison du type SJMOS.

Nous obtenons une tenue en tension de 1375 V pour une succession de colonnes P et N sur 200 μm de long. Cette tension est égale à 100 % de la tenue en tension des cellules élémentaires. Ce résultat nous est permis car nous utilisons conjointement une succession de colonnes P et N (dont la quantité est modulable suivant les besoins) et la couche faiblement dopée P en surface. En effet, cette couche faiblement dopée ne permet pas, seule, de repousser les lignes de potentiel dans le volume et la succession des colonnes ne permet pas, seule, de répartir de façon homogène les lignes de potentiel.

III.3.1.2. La structure de type DT-SJMOS

Nous souhaitons reprendre le principe de la terminaison présentée précédemment, mais fabriquée avec des tranchées de diélectrique. La Figure III.14 représente la coupe schématique de la terminaison basée sur le concept du DT-SJMOS.

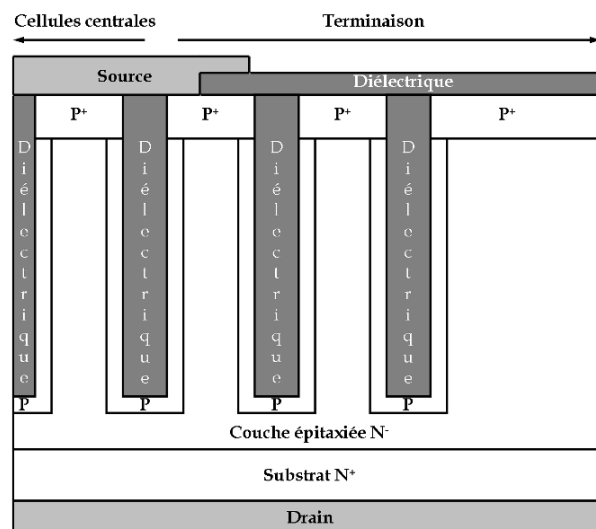


Figure III.14 : Coupe schématique de la terminaison basée sur le concept du DT-SJMOS.

Tout comme précédemment, la terminaison est composée d'une succession de colonnes P et N de même largeur sur l'ensemble de la terminaison et d'une couche diffusée P⁺ en surface. Les propriétés électriques du diélectrique retenu pour les simulations sont celles de l'oxyde de silicium.

Afin de valider le concept de notre terminaison, nous avons effectué différentes simulations. La Figure III.15 présente la répartition des lignes de potentiel au claquage de la structure. Elle tient seulement 425 V car les lignes de potentiel sont contenues dans la première tranchée non polarisée. En effet, du côté de la source (à gauche sur la figure), le silicium est polarisé à la masse. La couche de bore diffusée autour du diélectrique ne permet pas d'étaler les lignes de potentiel car, à l'autoblindage, la couche P en bas de la tranchée est polarisé au drain (comme pour les cellules élémentaires). Le potentiel à droite de la tranchée est donc celui du drain et la tranchée doit supporter tout le potentiel entre drain et source.

Cette terminaison n'est donc pas efficace pour le transistor DT-SJMOS car nous ne pouvons nous contenter d'une terminaison qui supporte 31 % de la tenue en tension des cellules élémentaires. En outre, cette tenue en tension dépend de la largeur de la tranchée centrale, car les lignes de potentiel sont contenues exclusivement dans la tranchée. Or nous avons vu auparavant qu'il était nécessaire de réduire la largeur de la tranchée afin d'augmenter le rapport de conduction α . Néanmoins, la propriété de contenir toutes les lignes de potentiel dans la première tranchée de diélectrique non polarisée est un principe sur lequel nous nous sommes attardés pour concevoir une autre terminaison.

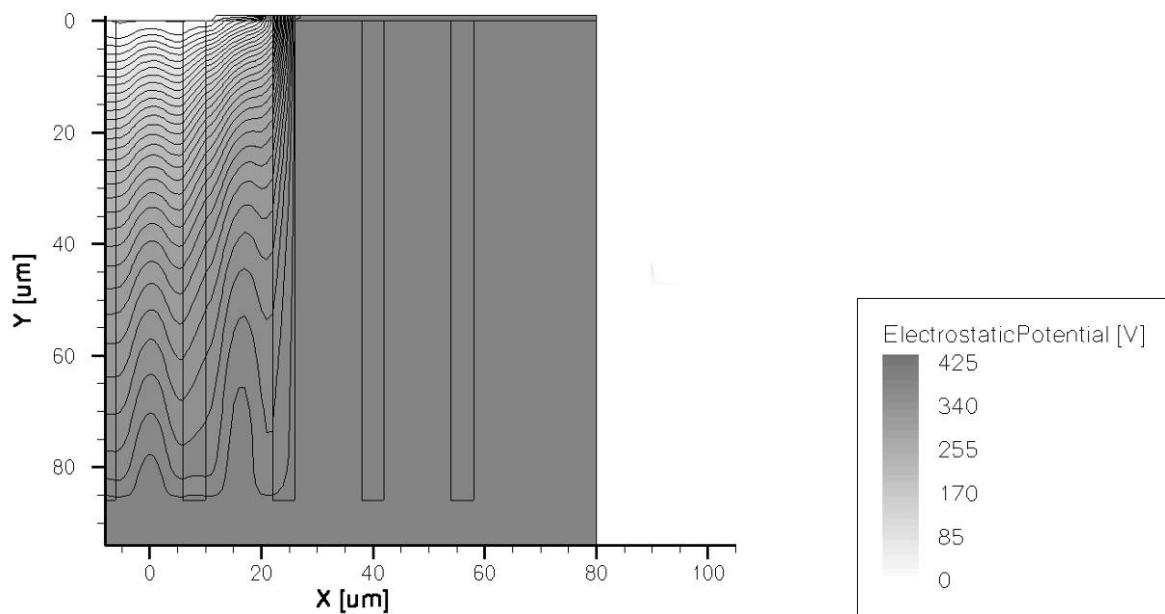


Figure III.15 : Répartition des lignes de potentiel au claquage de la structure dans la terminaison DT-SJMOS.

III.3.2. La terminaison en « cuve » de diélectrique

Nous nous proposons d'utiliser à notre avantage le fait que la première tranchée de diélectrique non polarisée supporte toute la tension. Une technique a déjà été développée au LAAS, la T³JTE [65], que nous présentons ici. Nous proposerons à notre tour une autre terminaison se basant sur le même principe, mais adaptée au transistor DT-SJMOS.

III.3.2.1. La terminaison T³JTE

La terminaison T³JTE (Trench Termination Technique Junction Termination Extension) a été développée au LAAS-CNRS par D. Dragomirescu [65]. Cette terminaison est constituée d'une couche P⁻ diffusée sur les bords d'une tranchée large et profonde (Figure III.16). Cette couche P⁻ se comporte comme une extension de jonction implantée (JTE) verticale dont l'intérêt est montré sur la Figure III.17.

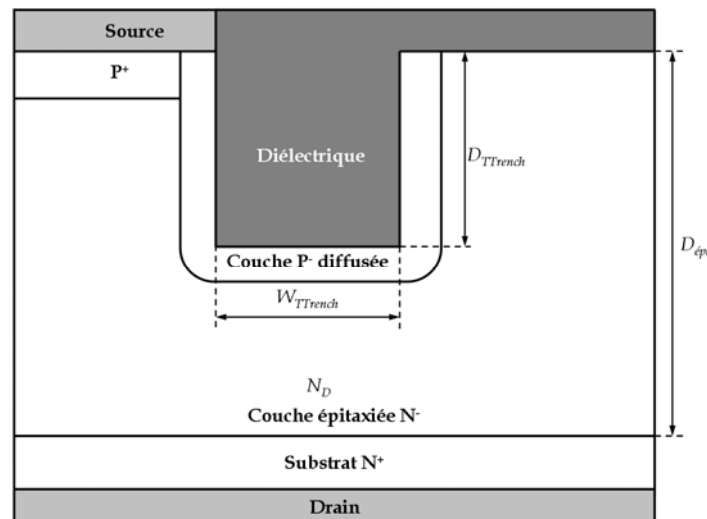


Figure III.16 : Coupe schématique de la terminaison de jonction à tranchée profonde et couche P⁻ autour de la tranchée (T³JTE).

Cette figure montre la répartition du champ électrique au moment de la rupture dans deux structures conventionnelles 1200 V avec et sans couche P⁻ diffusée autour de la tranchée. Les paramètres de ces deux structures sont reportés dans le Tableau III.5.

$W_{TTrench}$	$D_{TTrench}$	N_D	$D_{épi}$
100 μm	50 μm	$1.10^{14} \text{ cm}^{-3}$	160 μm

Tableau III.3 : Principaux paramètres géométriques de la terminaison T³JTE.

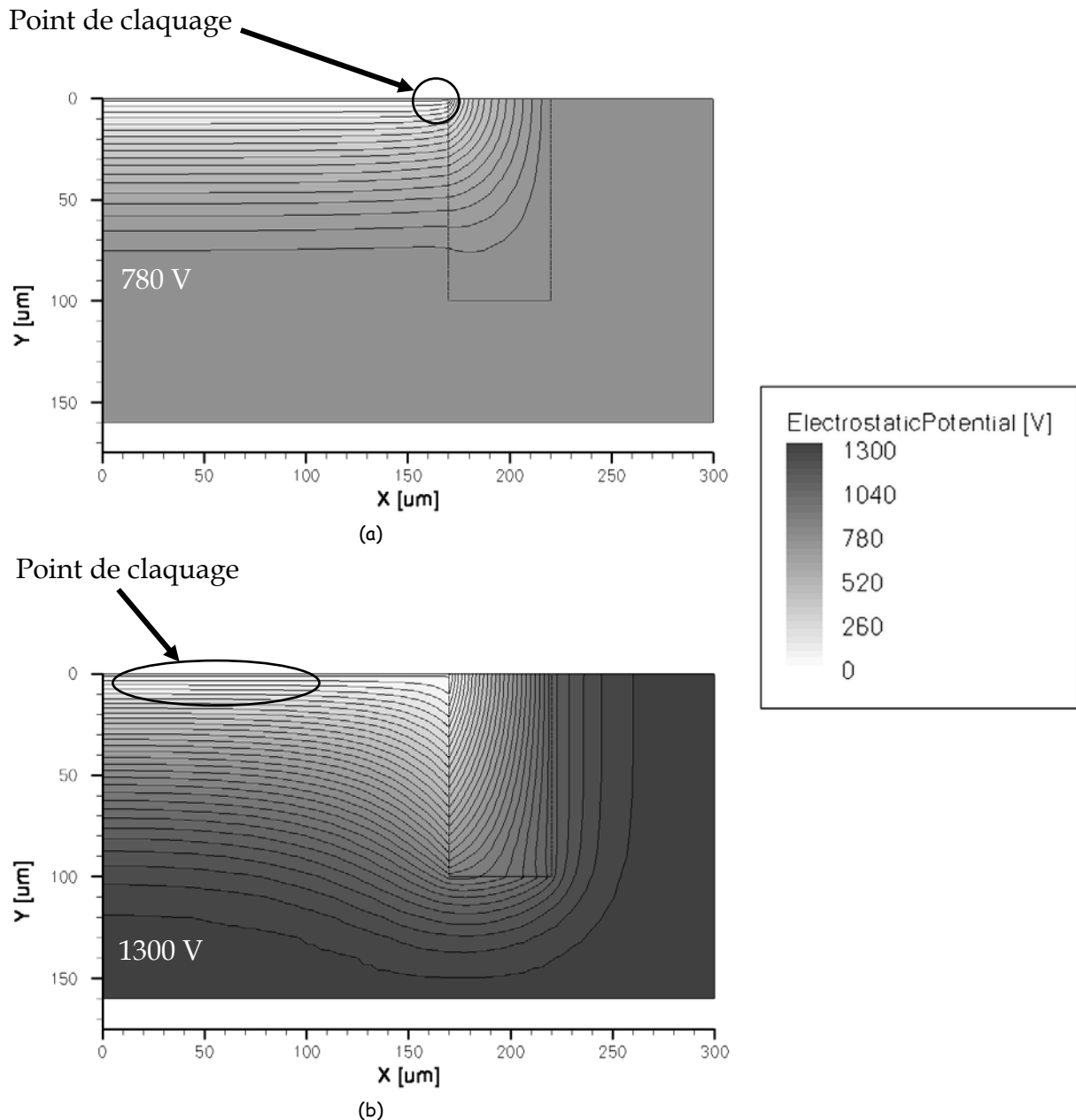


Figure III.17 : Répartition des lignes de potentiel dans une terminaison à tranchée profonde sans couche P⁻ (a) et avec couche P⁻ (b).

La tenue en tension de la structure sans couche P⁻ est de 780 V, tandis que la structure avec la terminaison T³JTE tient 1300 V. Nous remarquons que le point de claquage dans la première structure se trouve à l'extrémité de la jonction P⁺N, à côté de la tranchée, et, dans le cas de la seconde, dans la région plane de la jonction P⁺N. Ceci nous permet d'affirmer que cette structure atteint une tension de claquage proche de la tenue en tension d'une jonction plane idéale. Néanmoins, cette terminaison demande un contrôle de la dose de la couche P⁻ et des dimensions de tranchée importante pour répartir convenablement les lignes de potentiel. Nous ne nous attarderons pas sur ces paramètres car cette terminaison a été développée pour des structures conventionnelles très haute tension.

III.3.2.2. La terminaison T³JTE adaptée pour le DT-SMOS

III.3.2.2.a. Présentation de la terminaison

La terminaison proposée est présentée sur la Figure III.18. Cette terminaison est constituée d'une couche P⁻ diffusée sur les bords d'une tranchée large et profonde, comme pour la T³JTE. La particularité de cette terminaison est que la dernière cellule doit participer à l'équilibre latéral des charges. Pour cela, la distance entre la tranchée large et la tranchée de la dernière cellule élémentaire est identique à celle entre deux cellules élémentaires. De plus, la dose diffusée autour de la tranchée large est la même que pour les tranchées centrales.

Par rapport à la structure originale, nous avons ajouté une plaque de champ. En effet, le dopage de la couche épitaxiée étant augmenté par le concept de la Superjonction, la ZCE s'étend moins autour de la tranchée de terminaison. Nous perdons donc une partie de l'avantage du concept de la T³JTE pour ce dopage.

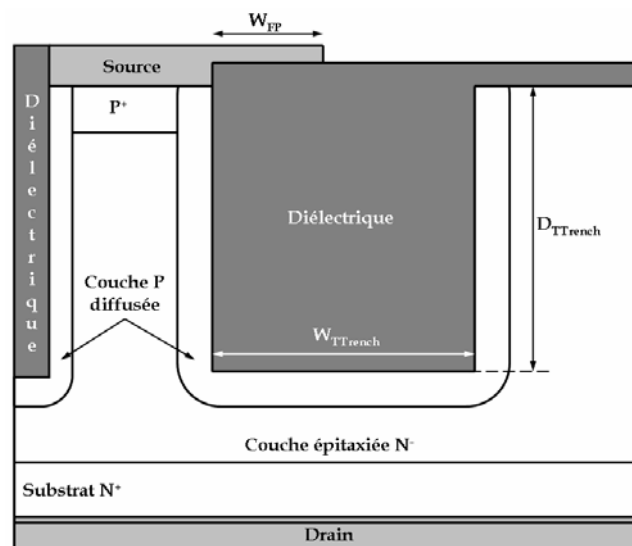


Figure III.18 : Coupe schématique de la terminaison pour le transistor DT-SJMOS.

La Figure III.19 présente la répartition des lignes de potentiel de cette terminaison au claquage de la structure. Nous remarquons que la distribution des lignes de potentiel est contenue dans la tranchée large, à l'inverse de la terminaison T³JTE qui les repousse en dehors. Nous nous retrouvons dans le même cas que pour la terminaison basée sur le principe des Superjonctions avec les tranchées de diélectrique. La couche de bore diffusée autour de la tranchée large ne permet pas d'étaler les lignes de potentiel car, à l'autoblindage, la couche P diffusée en bas de la tranchée se trouve au potentiel du drain : il n'existe donc plus de différence de potentiel autour de la tranchée large pour créer une zone de charge d'espace. Néanmoins, nous remarquons que la plaque de champ étale les lignes de potentiel et

permet d'éviter la remontée de ces dernières dans la cellule adjacente à la tranchée de terminaison, cela évite ainsi une augmentation du champ électrique à cet endroit. La contrepartie est l'augmentation locale du champ électrique autour de l'extrémité de la plaque de champ. Les dimensions de la plaque de champ, de la largeur de la tranchée de terminaison ainsi que les propriétés du diélectrique de remplissage doivent permettre de contenir ce champ électrique local et donc permettre au claquage de se faire dans le silicium.

La tenue en tension de la structure complète simulée (cellules élémentaire et terminaison) ici correspond à 96 % de la tenue en tension des cellules élémentaires : il est même possible d'attendre les 100 % en jouant sur la géométrie de la tranchée par exemple.

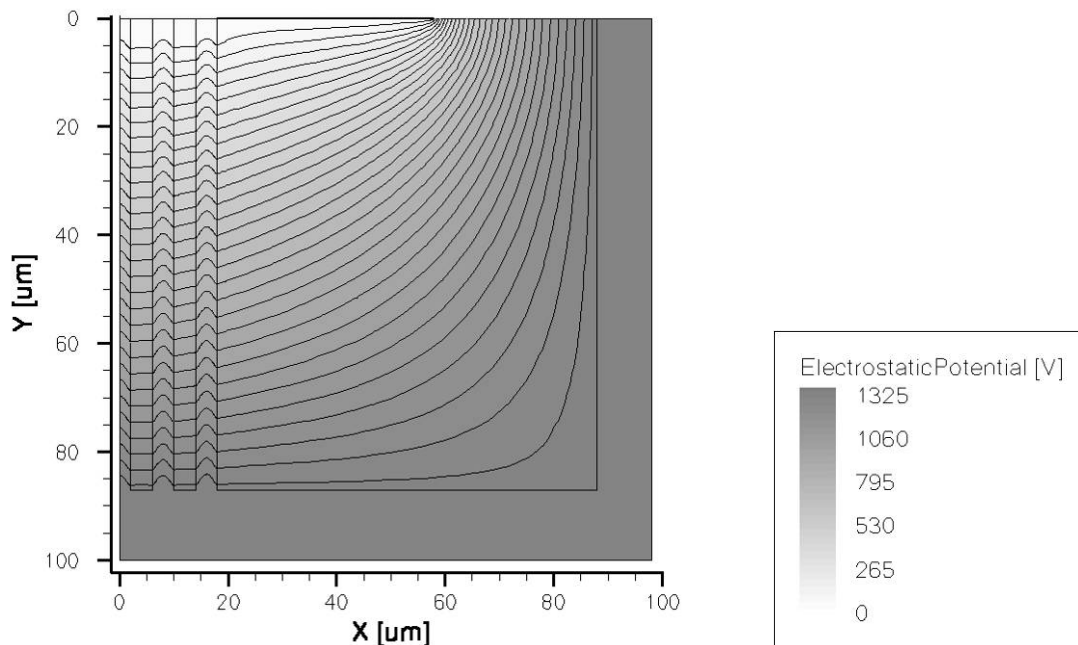


Figure III.19 : Répartition des lignes de potentiel au claquage de la terminaison du DT-SJMOS.

III.3.2.2.b. Sensibilité de BV_{DSS} à la géométrie de la tranchée de terminaison

Maintenant que nous avons une terminaison adaptée au transistor DT-SJMOS, nous nous intéressons à la sensibilité de la tenue en tension à la géométrie de la tranchée de terminaison. La Figure III.20 présente les variations de la tenue en tension en fonction de la largeur de la plaque de champs (W_{FP}) pour différentes largeurs de tranchée de terminaison ($W_{TTrench}$).

La tenue en tension dépend effectivement de la largeur de la tranchée et de la plaque de champ. Sans plaque de champ ($W_{FP} = 0 \mu\text{m}$), la tenue en tension est limitée à 900 V (soit 65 % de la tenue en tension de la cellule élémentaire) pour une tranchée

de 90 μm de large. De plus, toujours sans plaque de champ, il semble impossible de s'approcher de la tenue en tension de la cellule élémentaire, par extrapolation du réseau de caractéristiques. A l'inverse, la structure tient 99 % de la tenue en tension de la cellule élémentaire pour les dimensions suivantes : $W_{\text{FP}} = 85 \mu\text{m}$ et $W_{\text{TTrench}} = 90 \mu\text{m}$. Par contre, les simulations ne tiennent pas compte de l'environnement du composant. En effet, il serait intéressant, par exemple, d'ajouter différentes passivations surfaciques, de prendre en compte les champs électriques et la répartition des lignes de potentiels à la surface du composant.

Le meilleur compromis entre la tenue en tension et la dimension de la terminaison semble être $W_{\text{FP}} = 40 \mu\text{m}$ et $W_{\text{TTrench}} = 70 \mu\text{m}$, pour une tenue en tension de 1325 V. Augmenter la largeur de la tranchée au-delà de 70 μm n'apporte que très peu d'amélioration. Quant à la plaque de champ, nous préférons garder une largeur importante entre l'extrémité de la plaque de champ et la tranchée, pour s'assurer de ne pas avoir de rupture électrique dans les passivations de surfaces ou l'air ambiant.

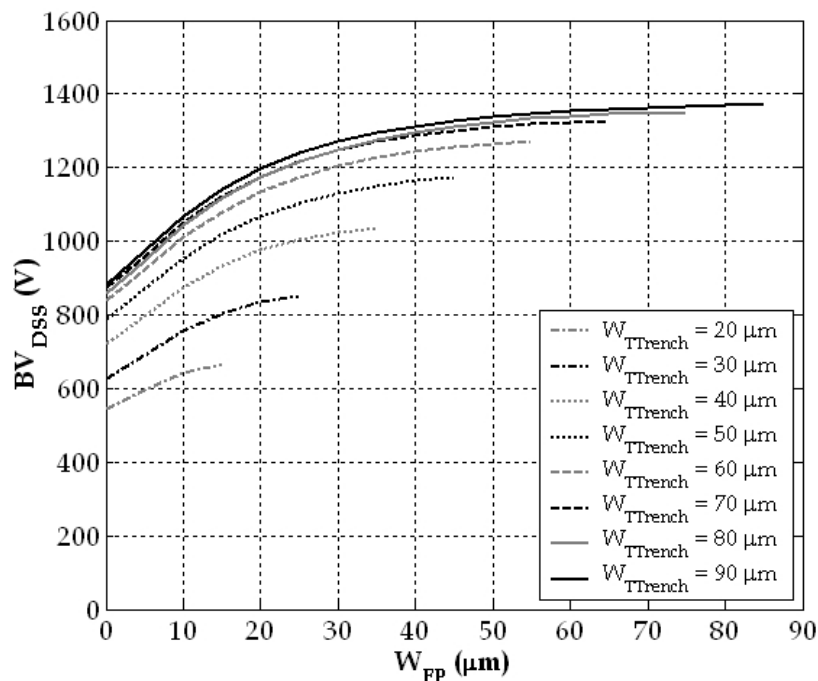


Figure III.20 : Variations de la tenue en tension de la terminaison en fonction de la largeur de la plaque de champ (W_{FP}) pour différentes largeurs de tranchée de terminaison (W_{TTrench}).

III.3.2.2.c. Sensibilité de BV_{DSS} au choix du diélectrique de la tranchée de terminaison

Les simulations précédentes ont été effectuées avec une tranchée remplie par de l'oxyde de silicium (SiO_2) ; or il est intéressant de vérifier que la tenue en tension n'est pas dégradée par l'utilisation d'un autre diélectrique. La Figure III.21 présente les variations de la tenue en tension de la terminaison en fonction de la permittivité relative du diélectrique ($\epsilon_{\text{Dié}}$) et de son champ électrique critique (E_c).

Nous observons que la tenue en tension est dépendante du champ électrique critique du diélectrique. En effet, le resserrement des lignes de potentiel autour de l'extrémité de la plaque de champ crée une augmentation locale du champ électrique que le diélectrique doit contenir. Pour les dimensions retenues, le champ électrique minimum du diélectrique doit être de 3 MV.cm^{-1} . En dessous de cette valeur, la structure claque en terminaison, et, au-delà, dans les cellules élémentaires.

La permittivité du diélectrique $\epsilon_{\text{Diél}}$, quant à elle, a peu d'influence sur la tenue en tension. Nous pouvons néanmoins noter une amélioration de la tenue en tension pour de faibles valeurs de permittivité. Ce résultat est dû à l'étirement des lignes de potentiel dans le silicium en raison de la grande différence de permittivité. Ce gain est néanmoins faible (10%) et n'est pas déterminant dans le choix du diélectrique.

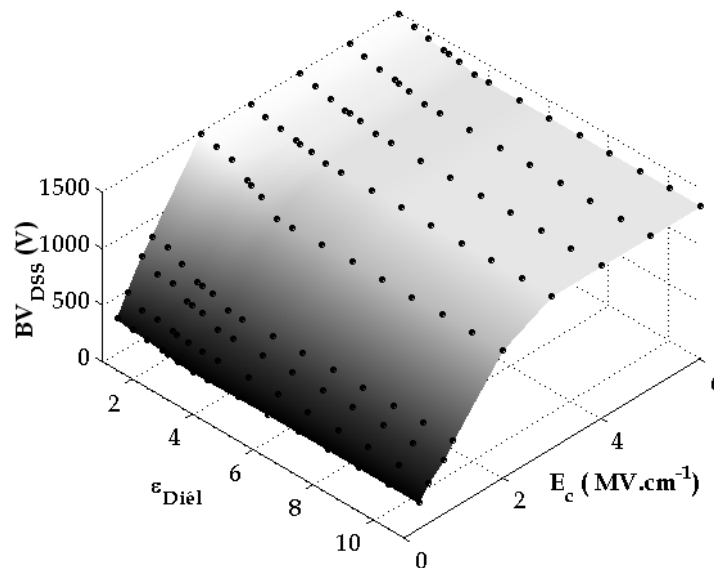


Figure III.21 : Variations de la tenue en tension de la terminaison en fonction de la permittivité relative ($\epsilon_{\text{Diél}}$) et du champ électrique critique du diélectrique (E_c).

III.3.2.2.d. Étude du comportement de la terminaison en trois dimensions

Nous avons souhaité connaître les performances de cette terminaison dans les coins de la puce. En effet, les simulations bidimensionnelles (2D), réalisées jusqu'alors, présentent le comportement de la structure dans les zones à faible variation de géométrie dans la profondeur. Le coin d'une structure présente généralement une jonction cylindrique, voire sphérique, où le champ électrique augmente localement jusqu'à induire un claquage prématuré.

La structure simulée précédemment en 2D est présentée Figure III.22 (a) et la structure tridimensionnelle Figure III.22 (b). Nous prenons comme hypothèse que les cellules élémentaires sont des bandes ; la surface occupée par ces cellules est encadrée en pointillés serrés blancs sur la Figure III.22 (b). La plaque de champ ainsi

que la tranchée sont arrondies dans l'angle pour avoir une largeur constante autour de la dernière bande de silicium. Les dopages et les profondeurs de tranchées restent identiques aux simulations 2D.

Il est à noter que les simulations 2D sont faites avec des structures décrites par 10 000 nœuds de calcul. Cette structure 3D est décrite par 170 000 nœuds de calcul. La simulation quasi-statique de 0 à 1300 V a demandé 8 Go de mémoire vive et 58 heures de calcul sur un serveur à 4 processeurs « double core » cadencé à 3 GHz. Les simulations 3D restent donc exceptionnelles, même si les moyens actuels nous permettent de simuler des structures en volume.

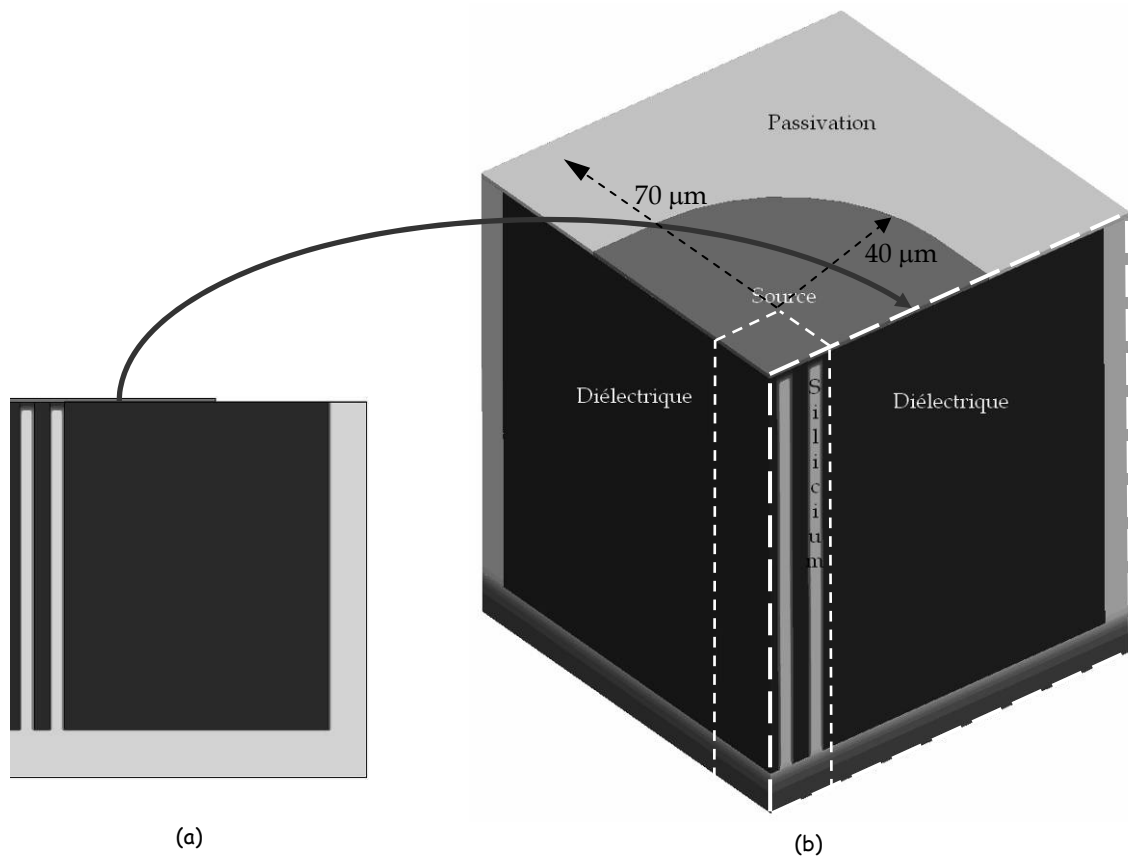


Figure III.22 : (a) Représentation de la terminaison simulée en 2D,
(b) Représentation de la terminaison simulée en 3D.

La Figure III.23 présente la répartition des lignes de potentiel dans la terminaison en coin du composant. La répartition de celles-ci se fait de façon homogène dans le volume. Les lignes de potentiel sont confinées dans la tranchée et remontent en surface entre l'extrémité de la plaque de champ et l'extrémité de la tranchée comme pour la structure 2D. Néanmoins, la terminaison ne tient que 80% de la structure décrite en 2D (1060 V par rapport à 1325 V). La répartition des lignes de potentiel selon les trois axes autour des cellules élémentaires implique une augmentation du champ électrique dans le silicium.

Il est commun d'entendre que les simulations surestiment la tenue en tension des structures. En effet, la représentation bidimensionnelle ne prend pas en compte les variations de potentiel dans le troisième axe. Nous venons néanmoins, avec des moyens techniques importants, de prendre en compte cette variation. Maintenant que nous savons que la structure ne tient que 1060 V dans le coin du composant, nous devons réajuster la géométrie de la terminaison ou augmenter la profondeur des tranchées et celle de l'épitaxie afin d'augmenter la tenue en tension du composant.

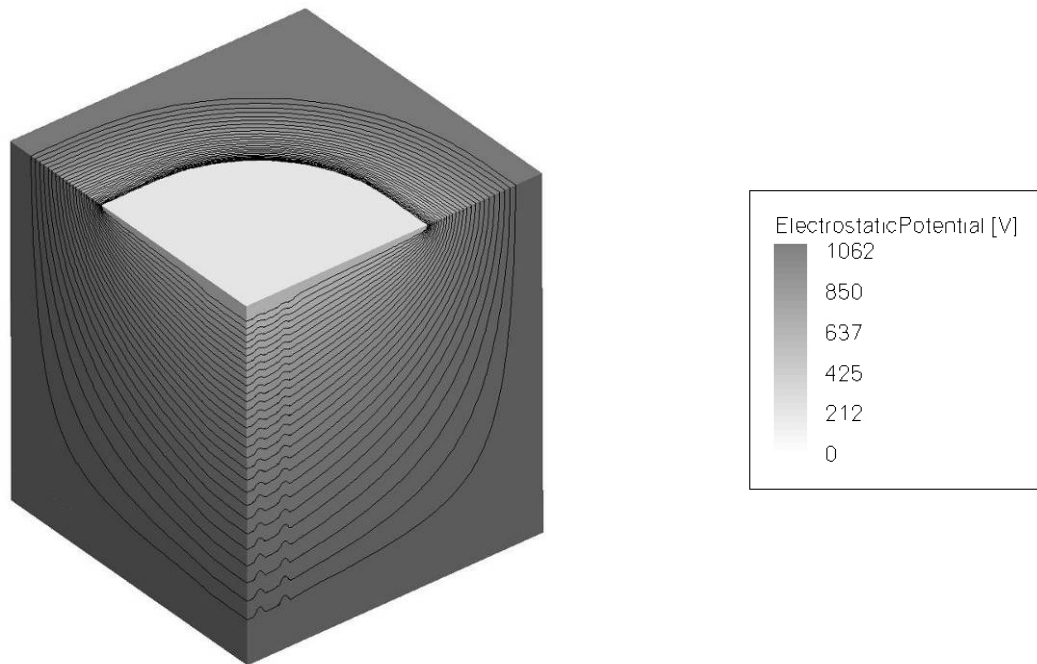


Figure III.23 : Répartition des lignes de potentiel dans la terminaison en coin du composant.

III.4. Étude dynamique

Le comportement dynamique des transistors MOS peut-être caractérisé par ses pertes en commutation. Ces pertes sont néanmoins négligeables jusqu'à de très fortes fréquences de commutation (supérieures au MHz). Il est cependant intéressant de s'attarder sur deux points : les pertes de la diode interne à l'ouverture et la charge que devra fournir le circuit de commande pour commuter le composant.

III.4.1. Comportement de la diode body

Le comportement de la diode interne, dite « body », nous intéresse car il serait intéressant de remplacer le module « IGBT/diode » par le transistor MOS et sa diode interne. Celle-ci est composée d'une part par la couche épitaxiée N^- , et d'autre part, par la couche P_{well} en surface et la couche P provenant du bore diffusé. La diode body des composants à Superjonction a une surface bien plus importante que celle des

composants conventionnels. Ceci influera sur la charge de recouvrement et la capacité entre la source et le drain. Or le paramètre important de ces diodes est la charge de recouvrement. En effet, le temps de conduction étant faible, les principales pertes sont dues à la commutation et notamment aux charges de recouvrement [66].

III.4.1.1. La charge de recouvrement

La charge de recouvrement est due aux charges stockées lors de la phase de conduction. Les pertes pouvant être imputées à la diode risquent de la détruire ; de plus, les courants de pointe en recouvrement peuvent dégrader complètement l'IGBT associé. La disparition de la charge stockée se réalise de deux manières, la recombinaison sur place et l'extraction par le courant. Dans la plupart des cas, les deux mécanismes sont simultanés et les interactions entre le dispositif et le circuit gèrent le courant inverse et ses variations.

Une définition analytique de la charge de recouvrement est donnée par Correvon [67] :

$$Q_R = \tau_a^2 \cdot \left| \frac{di}{dt} \right| \cdot \left[1 - e^{-\frac{1}{I_f} \frac{\tau_a}{|di/dt|}} \right] \quad (\text{III.2})$$

Cette relation montre que la charge recouvrée Q_R dépend non seulement de la décroissance du courant circulant dans le sens passant (di/dt) et de la valeur initiale de ce courant (I_f) mais aussi de la température et de la technologie de la structure par la durée de vie moyenne de recombinaison des porteurs (τ_a).

III.4.1.2. Comparaison de la diode interne au transistor DT-SJMOS et celle de modules de puissance

Nous nous proposons de comparer les caractéristiques des diodes commercialisées dans des modules de puissance avec la diode body du transistor DT-SJMOS. Pour cela, nous nous plaçons dans les mêmes conditions de simulations que celles données dans les documentations techniques des modules « Low Loss » et « IGBT³ » 1200 A – 1200 V de la marque Eupec [68], [69]. Le Tableau III.4 résume ces paramètres.

Paramètre	I_f	di/dt	V_R	V_{GE}
Valeur	1200 A	-4800 A/ μ s	600 V	+15/-15 V

Tableau III.4 : Conditions de mesure du recouvrement de la diode des modules Eupec.

La commutation d'une diode au blocage dans son environnement peut être ramenée au circuit électrique donné Figure III.24 [70]. Le fonctionnement en est le suivant (cf. Figure III.25) :

- La grille du transistor T_2 est connectée à sa source pour garder ouvert le transistor et pouvoir étudier sa diode interne (D.S.T.).
- À l'état initial, les interrupteurs T_1 et T_2 sont ouverts et la diode passante : $I_A = I_{ch}$.
- L'interrupteur T_1 se ferme. La décroissance du courant dans la diode est imposée par le circuit extérieur. Elle est définie par : $dI_A/dt = -E/(L_s+L_p)$.
- La diode ne retrouve son pouvoir bloquant, non à l'instant t_0 d'inversion du sens du courant, mais à l'instant repéré t_s , après un certain « temps de désaturation ».
- La tension inverse (au regard de la diode) qui s'établit alors aux bornes de la diode s'oppose à E avec comme conséquence une réduction du taux $|dI_A/dt|$ de variation du courant puis à son annulation, c'est-à-dire que le courant inverse atteint sa valeur maximale I_{RM} à l'instant t_{IRM} pour lequel la tension inverse égale la tension V_{DD} .
- La décroissance du courant inverse implique une surtension dont la valeur maximale V_{RM} intervient à l'instant t_{VRM} . Le temps de recouvrement correspond à la durée entre t_0 et l'intersection entre la tangente du courant à l'instant t_{VRM} et l'axe des abscisses.
- La diode est complètement bloquée lorsque le courant la traversant est quasiment nul et que la tension aux bornes de la diode est : $V_{DS} = E$, ceci après une phase d'oscillation entre le courant et la tension.

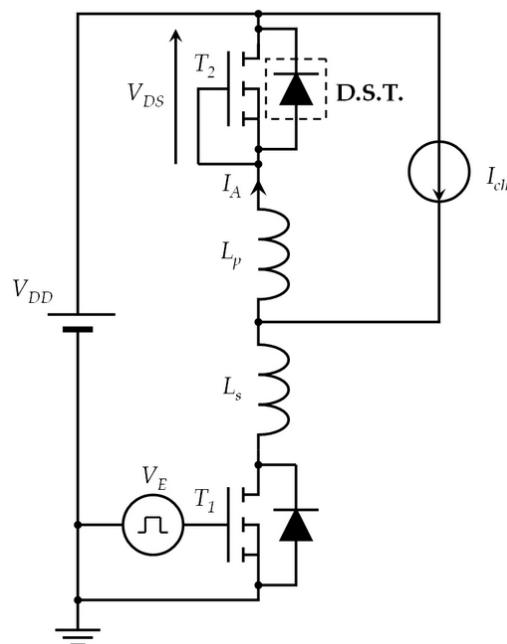


Figure III.24 : Circuit électrique pour l'étude du transitoire de la diode.

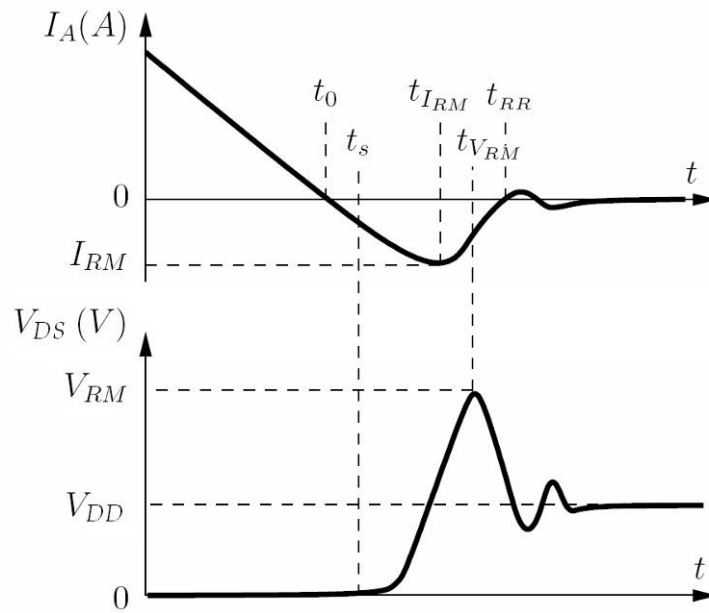


Figure III.25 : Recouvrement d'une diode PiN.

La taille de la cellule étant un paramètre à prendre en compte dans le calibre en courant, nous choisissons la taille de la cellule de manière à retrouver une chute de tension de 2 V pour 1200 A de courant en direct à 25 °C. La surface de la puce simulée doit donc être de 9,1 cm² d'après la résistance passante déterminée dans le chapitre III.2.3.1.. L'allure de la courbe simulée est présentée sur la Figure III.26 et les principaux résultats dans le Tableau III.5 (Annexe 2).

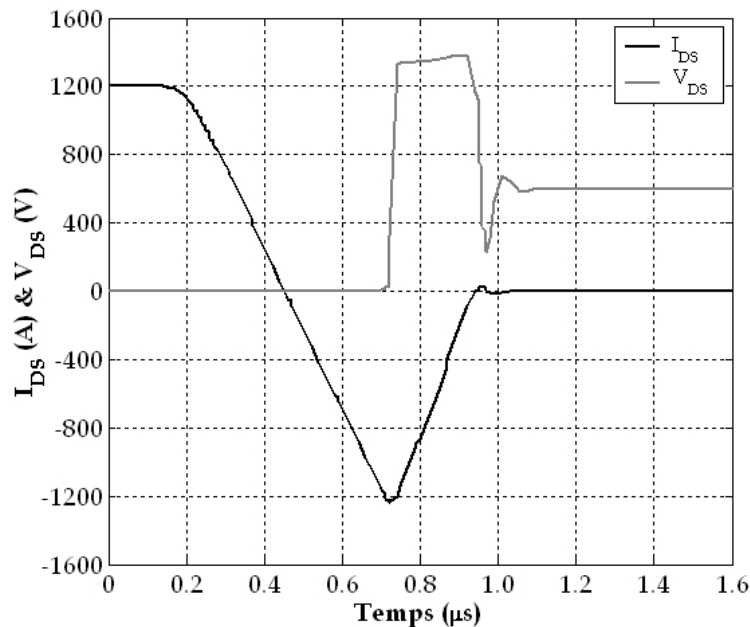


Figure III.26 : Variations simulées du courant et de la tension du transistor DT-SJMOS à l'ouverture de la diode pour une température de jonction de 300 K.

Type de composant	Diode interne du transistor DT-SJMOS	Diode du module Low Loss 1200 A - 1200 V	Diode du module IGBT ³ 1200 A - 1200 V
Température de jonction	T = 300 K	T = 300 K	T = 300 K
Q_R	313 μC	105 μC	55 μC
I_{RM}	1265 A	740 A	389 A
V_F	1,1 V	1,8 V	2 V

Tableau III.5 : Caractéristiques des diodes à l'ouverture.

L'allure de la courbe de V_{DS} répond à la théorie. Néanmoins il apparaît un dV_{DS}/dt très élevé à t_{IRM} et un plateau de tension, alors que nous espérons retrouver une variation triangulaire de V_{DS} . Les différents modèles de mobilité n'ont pas changé l'allure de la courbe. Les simulations que nous avons faites sont donc correctes pour la description du comportement mais nous manquons de certitude sur les variations de la tension. Néanmoins, le résultat que nous offre la simulation « surdimensionne » les pertes à l'ouverture et nous pouvons donc nous attendre à de plus faibles valeurs en réalité.

Les valeurs de la diode body présentées dans le tableau sont plus importantes que celles des diodes des modules de puissance. Ceci s'explique de plusieurs façons. La première provient des résultats de la simulation comme expliqué précédemment. La seconde provient du fait que la diode n'a pas été optimisée pour diminuer les pertes à l'ouverture : notons qu'il serait possible d'intervenir sur la durée de vie des porteurs par l'insertion de centres recombinants [71], [72]. La dernière provient de la différence de surface de puce utilisée. L'importante différence de chute de tension entre la diode body et les diodes des modules de puissance s'explique notamment car la surface des diodes est deux fois plus faible que celle des IGBT ; or, nous avons déterminé la taille de notre diode pour que le transistor ait les mêmes pertes statiques que l'IGBT, soit une chute de tension de 1,7 Volts pour 1200 A. Nous ne nous sommes pas attardés sur l'optimisation de la diode car nous ne sommes pas convaincus de la précision des résultats de simulation.

III.4.2. Caractéristique du Gate Charge

Le comportement dynamique du transistor DT-SJMOS est intrinsèquement lié, tout comme le transistor VDMOS conventionnel, aux valeurs des différentes capacités interélectrodes, qu'il faut charger et décharger lors des commutations. Elles sont identiques à celles d'un VDMOS, hormis la capacité drain-source qui dépend des colonnes P.

III.4.2.1. Représentation des différentes capacités interélectrodes

L'ensemble des capacités, représentées sur la Figure III.27, sont : les capacités d'oxyde grille source (C_{GS1} , C_{GS2} , C_{GS3}), grille-drain (C_{GDmax}) et de déplétion de la zone intercellulaire (C_{GDD}), et les capacités de transition (C_{DS1} , C_{DS2} , C_{DS3}) de la jonction PN entre la source et le drain.

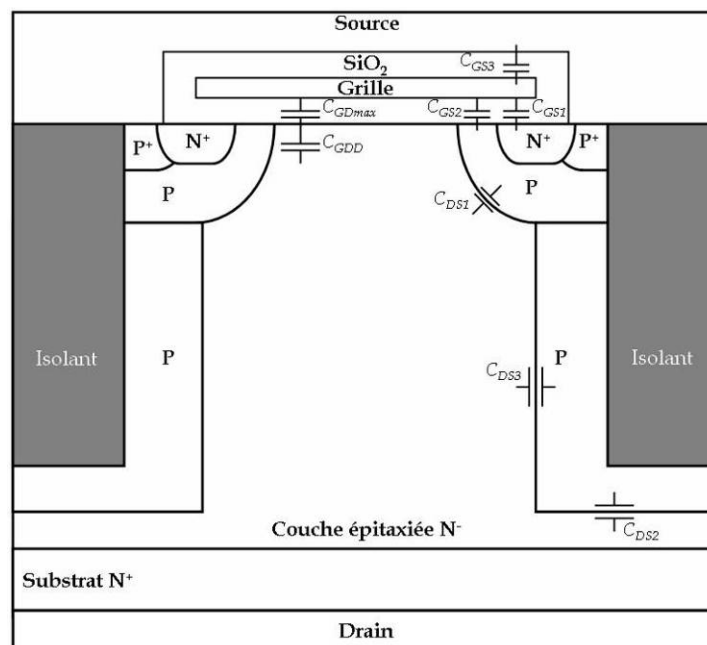


Figure III.27 : Localisation des capacités interélectrodes de la structure DT-SJMOS.

La capacité d'oxyde entre la grille et la source, C_{GS} , est constituée de la mise en parallèle de trois capacités :

- la capacité C_{GS1} qui est due au débordement de l'oxyde mince de grille sur la diffusion N^+ de source
- la capacité d'oxyde mince C_{GS2} qui est localisée entre la zone P du canal et la grille.
- la capacité d'oxyde épais C_{GS3} entre le métal de surface est le polysilicium de grille.

La capacité C_{GD} est constituée de deux capacités en série : C_{GDMAX} et C_{GDD} .

- En régime d'accumulation, c'est-à-dire lorsque $V_{DG} < 0$ V, la capacité C_{GD} est égale à la capacité d'oxyde que nous noterons C_{GDmax} .
- En régime de déplétion ou de faible inversion, lorsque la tension de drain V_{DS} est supérieure à la tension de grille V_{GS} , ou autrement dit lorsque $V_{DG} > 0$ V, la capacité grille-drain obéit à la relation suivante de deux capacités en série :

$$\frac{1}{C_{GD}} = \frac{1}{C_{GDmax}} + \frac{1}{C_{DGD}} \quad (\text{III.3})$$

La capacité drain-source d'un transistor VDMOS conventionnel est liée à la jonction PN⁻ qui est formée de la zone diffusée P et de la couche épitaxiée N⁻. Cette jonction est constituée d'une jonction cylindrique (C_{DS1}). Le concept de la Superjonction ajoute la capacité formée par la jonction verticale entre la colonne P et la couche épitaxiée (C_{DS3}) et une jonction plane (C_{DS2}) dans le cas où la gravure n'atteint pas le substrat.

III.4.2.2. Principe de la mesure du Gate Charge

Le schéma de principe de la mesure du Gate Charge est présenté sur la Figure III.28. Le principe est d'injecter un courant constant (I_G) sur la grille pour que celle-ci se charge jusqu'à atteindre une tension de référence. Le courant de drain est limité par une charge (R) que nous considérerons purement résistive. La source de courant, quant à elle, est commandée par un générateur d'impulsion coupant l'arrivée d'énergie dès que le potentiel de la grille atteint la tension de référence.

En pratique, la tension de drain est équivalente à 80% de BV_{DSS} , le courant de drain doit correspondre au courant nominal, le courant de grille doit être calibré de façon à avoir un temps de charge de grille proche de 100 μ s afin d'éviter un échauffement interne du composant.

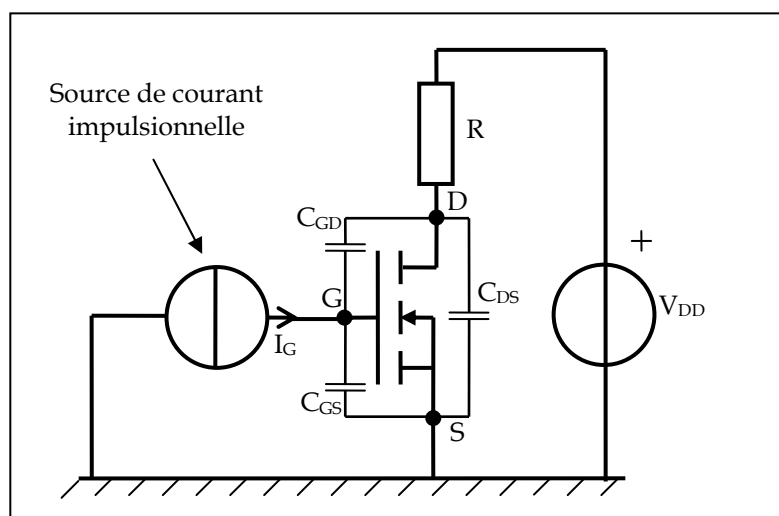


Figure III.28 : Schéma de principe de la mesure du gate charge.

III.4.2.3. Résultats des simulations

La Figure III.29 présente les caractéristiques simulées de la tension de grille, du courant et de la tension de drain du transistor DT-SJMOS lors du « Gate Charge ».

- La première phase, de t_0 à t_1 , correspond au temps de charge de la capacité d'entrée pour que la tension grille source dépasse le seuil de conduction V_{TH} . La charge de la grille à courant constant permet de retrouver facilement la capacité vue de l'entrée par l'expression suivante :

$$C = I \times \Delta t / \Delta V_{GS} \quad (\text{III.4})$$

En l'occurrence : $C = C_{GD} + C_{GS}$.

- La seconde phase, de t_1 à t_2 , correspond au plateau dû à l'effet Miller. Après l'ouverture, la tension drain-source peut décroître. Cette chute provoque une augmentation de C_{GD} , qui, à son tour, ralentit la croissance de V_{GS} . Lorsque la tension drain-source est proche de zéro, la capacité C_{GD} croît rapidement, ce qui ralentit la décroissance de V_{DS} à son tour, jusqu'à ce que le courant drain-source atteigne le courant nominal. À ce moment, la capacité grille-drain a atteint son maximum et la tension grille-source peut reprendre sa croissance. C'est donc la variation de la charge de C_{GD} qui détermine la durée du plateau et qui dégrade les performances dynamiques.
- La dernière phase, de t_2 à t_3 , correspond au temps de charge de la nouvelle valeur de la capacité d'entrée ; en l'occurrence, celle-ci vaut : $C_{GDmax} + C_{GS}$.

La charge total de la grille correspond donc à :

$$Q_G = I_G \times t_3 \quad (\text{III.5})$$

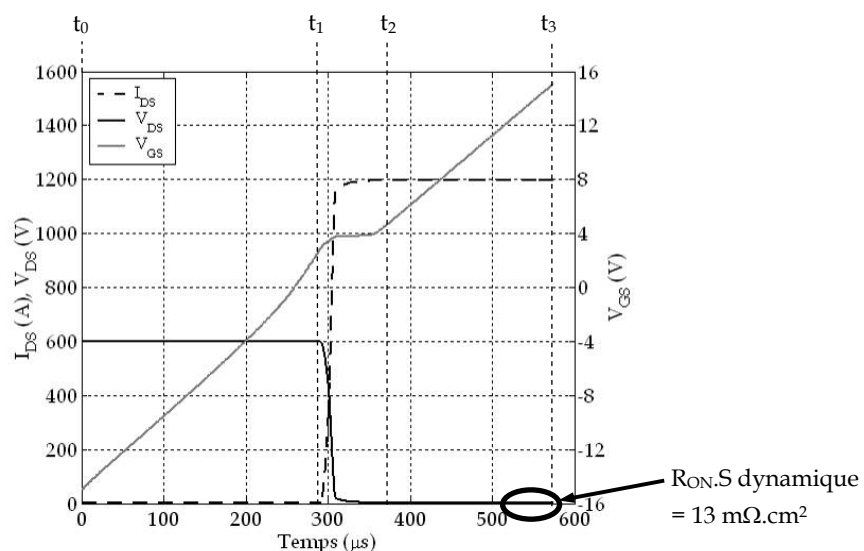


Figure III.29 : Caractéristiques simulées de la tension de grille, du courant et de la tension de drain du transistor DT-SJMOS lors du « Gate Charge ».

La simulation donne ici une charge totale de : $573 \mu\text{s} \times 10 \text{ mA} = 5,73 \mu\text{C}$. Cette valeur est inférieure à celle des modules IGBT 1200 V qui est de $13 \mu\text{C}$ pour le module Low Loss et de $11,5 \mu\text{C}$ pour le module IGBT³. De plus, la valeur de la charge que doit fournir le circuit de commande dépend essentiellement de la technologie du composant (C_{GS} et C_{GD}) : il aurait été souhaitable de faire varier la géométrie de la grille afin d'étudier et d'optimiser le comportement du Gate Charge. Néanmoins, nous pouvons confirmer que l'allure du Gate Charge simulée correspond aux allures des transistors conventionnels.

III.5. Conclusion

L'étude théorique du composant DT-SJMOS a permis de comprendre le comportement de la tenue en tension et de la résistance passante spécifique en fonction de différents paramètres technologiques et géométriques. La tenue en tension est très sensible à l'équilibre des charges et à la verticalité des tranchées ; la résistance passante spécifique, elle, est sensible à la profondeur de la diffusion du bore et, plus généralement, au ratio de conduction entre la surface de la zone N et la surface totale.

En outre, la structure du transistor DT-SJMOS nécessite une terminaison adaptée. En effet, le concept de la Superjonction permet d'augmenter le dopage de la couche épitaxiée dans le but de diminuer la résistance passante spécifique. Les terminaisons surfaciques telles que les anneaux de garde ou les plaques de champ ne permettent pas d'étaler la zone de charge d'espace à des profondeurs suffisantes, en raison de l'augmentation du dopage : les cellules élémentaires ne seraient donc pas « protégées » avec de telles terminaisons. De nouvelles terminaisons ont donc été proposées. La terminaison la plus adaptée au transistor DT-SJMOS comprend une large tranchée de diélectrique assistée par une plaque de champ pour contenir tout le potentiel et le remonter en surface. Une étude tridimensionnelle a montré que la terminaison dans le coin de la puce tenait 80% de la tenue en tension de la terminaison étudiée en 2D. De plus, les simulations faisant varier les propriétés du diélectrique ont montré une flexibilité importante quant au choix de celui-ci.

Pour finir, l'étude dynamique est encourageante mais reste à compléter. En effet, l'allure de la tension V_{DS} lors de l'ouverture de la diode semble être à préciser. De plus, les pertes énergétiques sont plus importantes dans notre diode que dans celles des modules de puissance. La diode body reste à optimiser avec l'introduction de centres recombinants ou la variation de la surface de conduction. Quant au Gate Charge, même si la simulation présente des valeurs plus faibles, il ne faut pas oublier

que ces performances sont très liées à la technologie, notamment aux capacités d'entrée. Il est peu probable que l'on puisse reproduire cette performance en pratique.

Il serait intéressant de poursuivre cette étude en s'intéressant notamment au comportement dynamique du composant et en simulant un bras d'onduleur complet pour étudier le comportement du composant dans un système électrique. De plus, l'étude du comportement statique et dynamique pourrait être effectuée à une température de 400 K, correspondant à la température de jonction en fonctionnement normal. En effet, le comportement des composants à température élevée est un paramètre important pour les applications forte puissance.

Chapitre IV.

Étude préliminaire pour la réalisation du transistor DT-SJMOS

Sommaire

IV.1. INTRODUCTION	113
IV.2. MISE EN PLACE DU PROCEDE DE FABRICATION	113
<i>IV.2.1. Procédés de fabrication envisagés</i>	<i>113</i>
<i>IV.2.2. Étapes critiques identifiées</i>	<i>119</i>
<i>IV.2.3. Réalisation d'un dispositif test</i>	<i>120</i>
<i>IV.2.4. Étude du contrôle de la dose de bore diffusée</i>	<i>132</i>
IV.3. LE DISPOSITIF DE TEST	134
<i>IV.3.1. Présentation de la diode</i>	<i>134</i>
<i>IV.3.2. Tenue en tension de la terminaison</i>	<i>135</i>
<i>IV.3.3. Jeu de paramètres technologiques et géométriques du transistor DT-MOS.</i>	<i>136</i>
IV.4. CONCLUSION	138

IV.1. Introduction

Le troisième chapitre a permis d'identifier les paramètres géométriques ayant un impact sur la tenue en tension ou sur la résistance passante spécifique. Il s'est avéré que la tenue en tension était très sensible à l'équilibre des charges et à la verticalité des tranchées. De plus, une nouvelle terminaison, composée d'une large tranchée de diélectrique et d'une plaque de champ, a été proposée. Pour finir, nous avons étudié le comportement de la diode interne du MOS en dynamique et simulé le comportement du transistor avec le montage « gate charge ». Il s'avère que le transistor présente de bonnes performances mais que sa diode interne reste à optimiser.

La structure proposée doit maintenant être réalisée pour valider l'étude théorique. Dans ce chapitre, nous présenterons l'étude préliminaire effectuée en vue de réaliser le transistor. Nous présenterons aussi la validation du procédé de fabrication passant par la réalisation d'étapes critiques, et nous finirons par la présentation de résultats électriques.

La première partie est consacrée à la validation du procédé de fabrication. Nous décrirons les possibilités de réalisation du composant suivant le matériau diélectrique utilisé pour remplir les tranchées. Par la suite, nous identifierons les étapes critiques à maîtriser afin d'obtenir un démonstrateur. L'enchaînement des briques technologiques, hormis la balance des charges, permettra de réaliser la terminaison présentée au chapitre 3. La balance des charges sera étudiée sur des plaquettes de silicium à part.

La dernière partie présentera les résultats électriques. Ceux-ci seront principalement orientés vers la tenue en tension d'une diode conventionnelle utilisant la terminaison proposée, afin de valider la dite terminaison. Enfin, nous analyserons le phénomène de rupture de la terminaison dans le but de l'améliorer.

IV.2. Mise en place du procédé de fabrication

IV.2.1. Procédés de fabrication envisagés

Le procédé de fabrication dépend, notamment, de la méthode utilisée pour le remplissage des tranchées. Nous avons donc envisagé deux procédés de fabrication. Dans la première méthode, le remplissage s'effectue par dépôt d'oxyde par LPCVD (Low Pressure Chemical Vapor Deposition) ; la seconde méthode utilise l'enduction (ou dépôt à la tournette) de matériau diélectrique (Spin On Dielectric - SOD -).

IV.2.1.1. Avantages et inconvénients de chaque procédé

IV.2.1.1.a. Remplissage des tranchées

Comme nous l'avons vu dans le chapitre 3, il existe deux types de tranchées à remplir :

- les tranchées des cellules élémentaires (cellules centrales) à haut facteur de forme ($3\ \mu\text{m} \times 100\ \mu\text{m}$),
- les tranchées de terminaison ($70\ \mu\text{m} \times 100\ \mu\text{m}$).

Les vitesses de dépôt des oxydes étant relativement faibles – $13\ \text{Å}/\text{min}$ pour l'oxyde de silicium (SiO_2) et $65\ \text{Å}/\text{min}$ pour de l'oxynitride (SiON) –, il n'est pas envisageable de remplir la terminaison par cette méthode. Pour contourner ce problème, nous avons envisagé de réaliser la tranchée de terminaison non pas en une seule étape de gravure et remplissage mais en deux, comme nous le décrirons plus tard. Le dépôt de SOD doit permettre de remplir les deux types de tranchées rapidement et sans contraintes particulières.

IV.2.1.1.b. Tenue en température

Les SOD, de manière générale, ont une température de transition vitreuse assez basse (inférieure à $900\ \text{°C}$). Au-delà de cette température, ces matériaux passent d'un comportement solide à un comportement solide plastique, suite à l'affaiblissement de liaisons intermoléculaires ; or les températures de recuit nécessaires pour activer les dopants après les implantations sont généralement autour de $1000\ \text{°C}$. Le dépôt de ces diélectriques doit donc se faire après toutes les étapes d'activation des porteurs. Ceci implique que nous devons réaliser les étapes conventionnelles de fabrication d'un transistor VDMOS de puissance dans un premier temps puis finir par le remplissage des tranchées. Cette démarche impose de nombreuses contraintes :

- la température de recuit du métal doit être compatible avec le SOD utilisé,
- le retrait du SOD en surface doit être réalisé avec la grille déjà présente. La couche de dépôt en surface faisant quelques microns au minimum, nous ne pouvons pas la retirer par gravure sèche, car les risques d'échauffement seraient alors trop importants. Le polissage semble être une bonne alternative, à condition de pouvoir l'arrêter avant d'atteindre le polysilicium de grille ; en outre, il faut garantir un contact entre la métallisation de surface et les caissons P et N de source.

Inversement, si nous utilisons du SiO_2 ou du SiON , nous pouvons commencer par les étapes de gravure et remplissage. Le retrait du diélectrique pourra être réalisé par polissage afin d'augmenter la vitesse de retrait ; de plus, il n'y a pas de contrainte d'arrêt à la surface du silicium contrairement aux SOD. Cette méthode a une

contrainte sévère : le bore diffusé à travers les parois des tranchées (colonnes P de la Superjonction) sera soumis à tous les recuits d'activation des couches P et N de surface. La largeur des colonnes P sera donc très difficile à contrôler.

Chaque procédé de fabrication doit donc respecter une chronologie établie par les avantages et inconvénients des matériaux de remplissage. Nous allons maintenant présenter les deux procédés retenus.

IV.2.1.2. Fabrication du composant avec un dépôt d'oxyde dans les tranchées (procédé 1)

Le procédé de fabrication commence par la croissance d'un oxyde en surface du silicium qui limitera la diffusion du bore dans les étapes suivantes. Ensuite, nous gravons les premières tranchées en terminaison (Figure IV.1 (a)). Nous faisons croître un oxyde de contrôle puis nous déposons du polysilicium saturé en bore (Figure IV.1 (b)). Le bore est diffusé à travers l'oxyde de contrôle lors d'une étape de recuit à haute température. Ensuite, l'oxyde créé pendant le recuit de diffusion est gravé, ainsi que le polysilicium restant et l'oxyde de contrôle (Figure IV.1 (c)). Les tranchées sont ensuite nettoyées pour être remplies par un dépôt d'oxyde pendant plusieurs heures (Figure IV.1 (d)). Nous réalisons un polissage de la surface par CMP (Chemical Mechanical Polishing) (Figure IV.1 (e)), puis nous répétons les mêmes étapes de gravure (Figure IV.1 (f)), de remplissage et de polissage (Figure IV.1 (g)) avant de réaliser les étapes conventionnelles de fabrication d'un transistor VDMOS décrit en Annexe 1.

Comme nous l'avons vu précédemment, ce procédé simplifie l'étape de polissage mais le remplissage des tranchées est très long. Par contre, cette méthode de fabrication permet, entre autres, de décorréler la largeur de la cellule élémentaire et la largeur entre deux tranchées. En effet, la largeur entre deux tranchées doit être très faible pour pouvoir augmenter la concentration de l'épitaxie N ; le composant simulé proposait une distance entre deux tranchées de 4 μm . Cette espace est insuffisant pour réaliser une grille plane et les implantations en surface d'un composant de puissance. Par contre, nous pouvons croiser les axes des grilles et des tranchées comme le montre la Figure IV.2 afin d'obtenir plus de flexibilité dans la géométrie de surface.

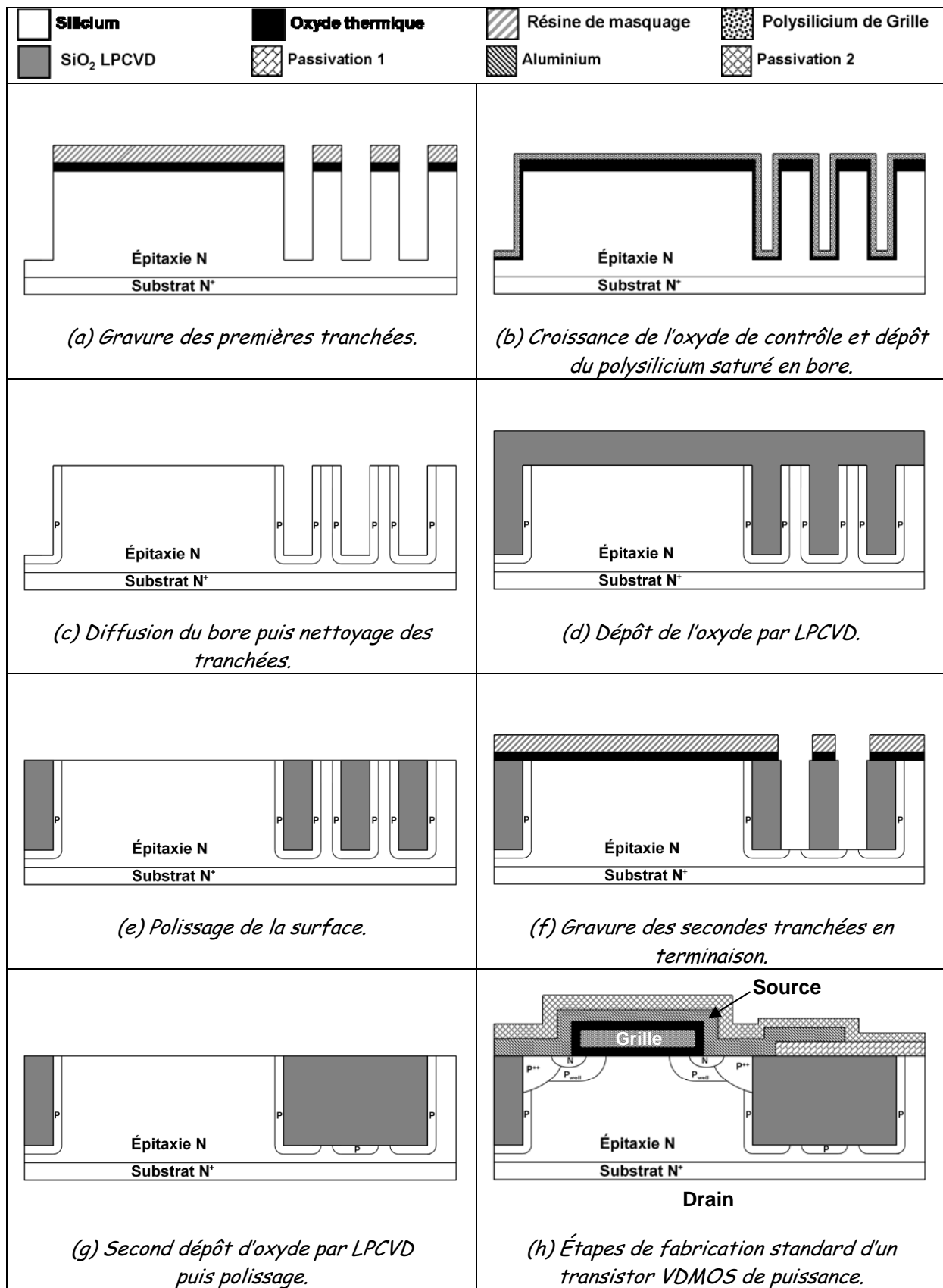


Figure IV.1 : Principales étapes du procédé de fabrication du transistor DT-SJMOS par remplissage d'oxyde.

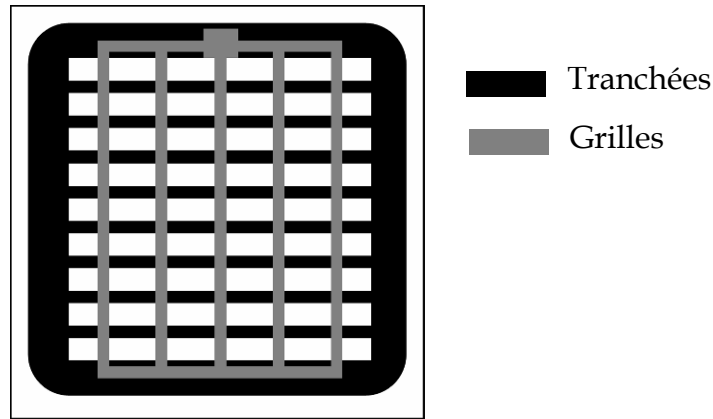


Figure IV.2 : Masque des tranchées et du réseau de grille.

IV.2.1.3. Fabrication du composant avec un dépôt de SOD dans les tranchées (procédé 2)

Le processus technologique débute par la réalisation de la grille, des caissons P et leurs activations (Annexe 3), puis du caisson N sans recuit d'activation (Figure IV.3 (a)) ; celui-ci sera fait lors de la diffusion latérale. Une couche de SiO_2 est ensuite déposée en surface afin de garantir un contact entre la métallisation et les caissons P et N de source (Figure IV.3 (b)). Toutes les tranchées sont réalisées par gravure DRIE. La profondeur de la tranchée de terminaison sera plus importante que celle des tranchées fines [73], mais ceci n'est pas néfaste à la tenue en tension de la terminaison. Puis nous faisons croître un oxyde de contrôle et nous déposons du polysilicium saturé en bore (Figure IV.3 (c)). Le bore est diffusé à travers l'oxyde de contrôle lors d'une étape de recuit à haute température. Ensuite, l'oxyde créé pendant le recuit de diffusion est gravé ainsi que le polysilicium restant et l'oxyde de contrôle (Figure IV.3 (d)). Nous déposons une couche de SOD afin de remplir les tranchées fine et large dans la même étape (Figure IV.3 (e)). La surface du composant est polie jusqu'à atteindre l'oxyde autour de la grille (Figure IV.3 (f)), puis celui-ci est retiré par BHF afin de retrouver le silicium pour le contact de source (Figure IV.3 (g)). Enfin, nous encapsulons la grille avec du nitrure puis nous terminons le procédé par les étapes de passivation et de métallisations.

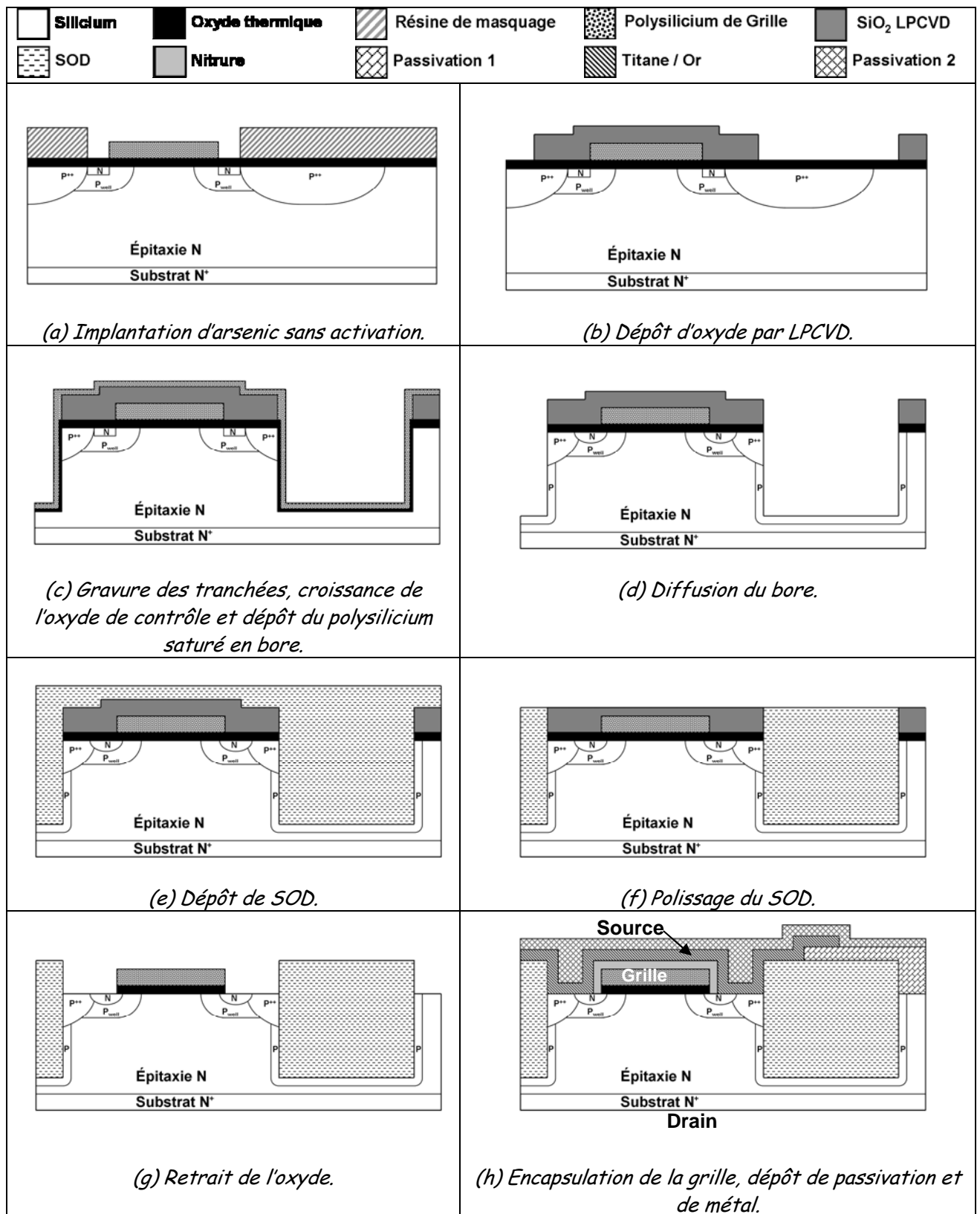


Figure IV.3 : Principales étapes de fabrication du transistor DT-SJMOS par remplissage de SOD.

Comme nous l'avons vu précédemment, ce procédé simplifie l'étape de remplissage, mais la difficulté principale de cette méthode est de ne pas polir la grille, au risque de devoir la refaire et perdre le bénéfice de l'auto-alignement de celle-ci par rapport aux caissons de source.

Les deux procédés proposés ont donc chacun leurs avantages et leurs inconvénients : quelque soit le procédé de fabrication retenu, il existe des étapes critiques pour le bon fonctionnement du composant.

IV.2.2. Étapes critiques identifiées

Les simulations présentées dans le chapitre 2 nous ont permis d'identifier deux étapes critiques pour la tenue en tension : la balance des charges et la verticalité des tranchées.

Nous avons vu que la balance des charges était un paramètre qui devait être maîtrisé très finement. En effet, pour une concentration de la couche épitaxiée de 10^{16} cm^{-3} , il est nécessaire de garantir la dose diffusée optimale à $\pm 2\%$ près ; pour une concentration de 10^{15} cm^{-3} , cette liberté augmente à $\pm 10\%$. Il est donc très important de maîtriser parfaitement cette étape.

La verticalité des tranchées, quant à elle, est tout aussi critique. La différence de largeur entre le haut et le bas de la tranchée ne doit pas dépasser $0,1 \mu\text{m}$ pour une concentration de la couche épitaxiée de $1,4 \cdot 10^{16} \text{ cm}^{-3}$ et $0,4 \mu\text{m}$ pour une concentration de $7 \cdot 10^{15} \text{ cm}^{-3}$. Un écart de $0,1 \mu\text{m}$, pour une profondeur de tranchée de $100 \mu\text{m}$, correspond à un angle de gravure de $89,92^\circ$. Il est donc essentiel de trouver les conditions permettant de réaliser des tranchées aux parois parfaitement verticales.

Les autres étapes critiques ont été identifiées à partir des besoins du procédé de fabrication. Nous devons remplir des tranchées de grandes largeurs et de forts facteurs de forme ; de plus, il est nécessaire de polir les dépôts en surface.

Le remplissage des tranchées doit répondre à plusieurs exigences technologiques. En effet, le remplissage des tranchées doit être réalisé avec un diélectrique afin de ne pas influencer la balance des charges. De plus, ce diélectrique doit avoir un champ électrique critique élevé pour être utilisé dans la tranchée de terminaison, comme nous l'avons vu dans le chapitre 3 §III.3.2.2.c. Le remplissage doit aussi être conforme et ne pas laisser de vide dans les tranchées car nous n'en connaissons pas les conséquences sur les tenues mécanique et électrique du dispositif. Il serait aussi intéressant que le remplissage soit rapide, que le matériau de remplissage soit facilement polissable et qu'il supporte les bains chimiques pour réaliser les dernières étapes de fabrication, une fois déposé.

Le polissage de la surface du composant est nécessaire afin de retirer le surplus du matériau de remplissage qui risque d'apparaître en surface. En effet, comme nous l'avons vu précédemment, le dépôt se fait sur toute la surface du composant et doit être retiré en dehors des tranchées. Le LAAS utilise une technique de polissage nommée CMP (« Chemical Mechanical Polishing »), qui était utilisée jusqu'à présent pour polir des substrats GaAs [74] ou des résines épaisses telles que le SU-8 [75]. Nous devons donc apprendre à utiliser différemment cette machine pour notre composant. Toutes les étapes critiques ne peuvent pas être simulées soit parce qu'il n'y a pas encore de modèles permettant de les simuler (gravure DRIE, CMP), soit parce que les modèles du simulateur sont non valides (diffusion du bore à travers l'oxyde). Il est donc nécessaire de réaliser différents essais afin de mettre au point chaque étape.

IV.2.3. Réalisation d'un dispositif test

Une fois chaque brique technologique maîtrisée, nous pourrons réaliser un dispositif test permettant de valider la gravure, le remplissage, le polissage, mais également le concept de la terminaison présenté dans le chapitre 3. L'étape de contrôle de la diffusion de bore sera réalisée indépendamment.

IV.2.3.1. Gravure

Les tranchées sont réalisées par gravure ionique réactive profonde (DRIE). Nous avons utilisé la méthode BOSCH, qui consiste en une succession de passivations des parois et de gravures. Avec cette technique, l'ensemble des paramètres choisis (pression, flux de gaz et le ratio temps de passivation / temps de gravure) joue un rôle important sur la verticalité des tranchées. Nous allons présenter les résultats obtenus pour les tranchées de faibles largeurs.

Le premier paramètre à fixer est le temps total de l'étape nécessaire pour obtenir la profondeur voulue. Nous avons vu en simulation qu'il fallait une profondeur minimale de 90 μm pour obtenir une tenue en tension de 1200 V. Les premiers tests ont été réalisés avec un procédé connu du LAAS. Dans un premier temps, nous avons utilisé une couche de résine AZ 1529 de 2,6 μm d'épaisseur pour le masquage. Or, cette couche de résine se consommait durant la gravure et ne permettait donc pas des temps de gravure de 85 minutes.

Nous avons donc utilisé une autre résine, la résine AZ 4562, qui permet des dépôts en couches plus épaisses d'environ 5,8 μm . La Figure IV.4 (a) présente le profil des tranchées réalisées par cette méthode, pour une ouverture de masque de 4 μm pour

les tranchées et un espacement de $5\ \mu\text{m}$ entre chaque ouverture. Ces dimensions se rapprochent de ce qui avait été défini en simulation.

Nous pouvons relever un défaut de surgravure important. En effet, nous observons une largeur de $8,33\ \mu\text{m}$ (Figure IV.4 (b)) alors que l'ouverture sur le masque est de $4\ \mu\text{m}$. La diffraction de la lumière, causée par l'épaisseur de la couche de résine lors de l'isolation, induit une ouverture du masque de résine plus importante. Ceci explique en partie la surgravure observée. Cet écart, non négligeable au regard des dimensions choisies, pose plusieurs problèmes. Le premier est la compensation de cette surgravure par la dose de bore diffusée ; celle-ci devra être ajustée en conséquence. Le suivant est la diminution de la zone de conduction : nous ne pouvons garantir, dans la largeur restante ($900\ \text{nm}$), une zone de conduction N après diffusion du bore. De plus, cette importante surgravure sera problématique pour le remplissage des tranchées par LPCVD, augmentant considérablement le temps de dépôt. Nous avons donc changé de résine afin de contourner ce problème.

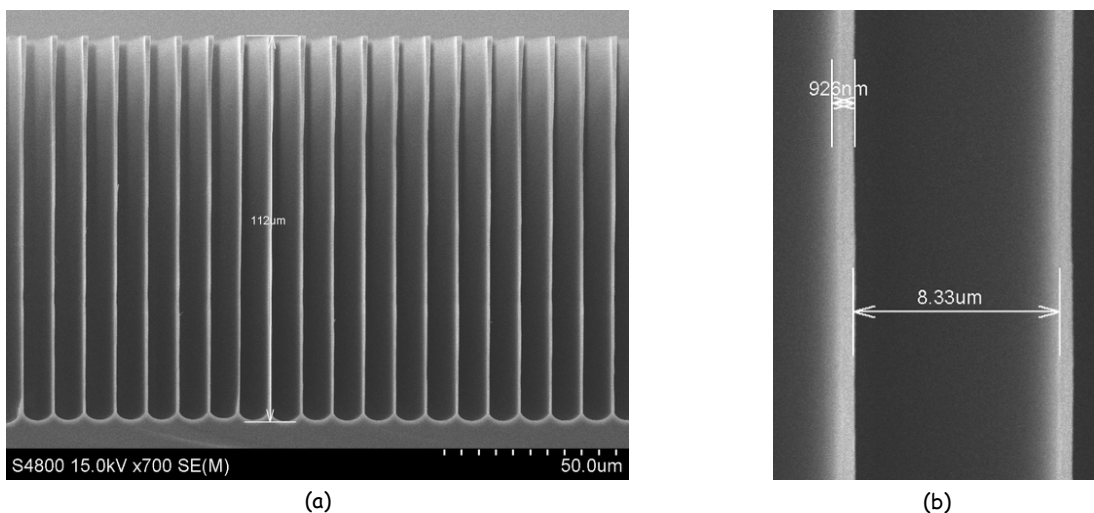


Figure IV.4 : (a) Photographies MEB des tranchées présentant une surgravure importante.
(b) Grossissement sur les dimensions de la largeur de la tranchée.

Nous avons repris la gravure précédente mais en effectuant une croissance d'oxyde de $3000\ \text{\AA}$ et en déposant une couche de $3,5\ \mu\text{m}$ de résine AZ1529. Cette fine couche d'oxyde est utilisée pour mieux protéger la surface du substrat puisque l'oxyde présente une vitesse de gravure par DRIE très inférieure à celle du silicium. La Figure IV.5 présente le profil des tranches réalisées par cette méthode. Nous pouvons relever que le problème de surgravure a été en partie résolu. En effet, la largeur en haut de la tranchée est passée de $8,33\ \mu\text{m}$ à $5,46\ \mu\text{m}$. Il reste toujours une légère surgravure qui est inhérente à l'épaisseur de la résine, mais réduite à moins de $1,5\ \mu\text{m}$.

Un second défaut est apparu, celui de la verticalité. Celui-ci se mesure comme dans le chapitre 3, par la différence de largeur entre le haut de la tranchée et le bas de celle-ci. Ici, nous avons un écart de $2,23 \mu\text{m}$. D'après les simulations, avec un tel écart, la Superjonction ne fonctionnerait pas correctement et la tenue en tension du composant serait celle de la jonction P / N en fond de tranchée, soit à peine 100 V .

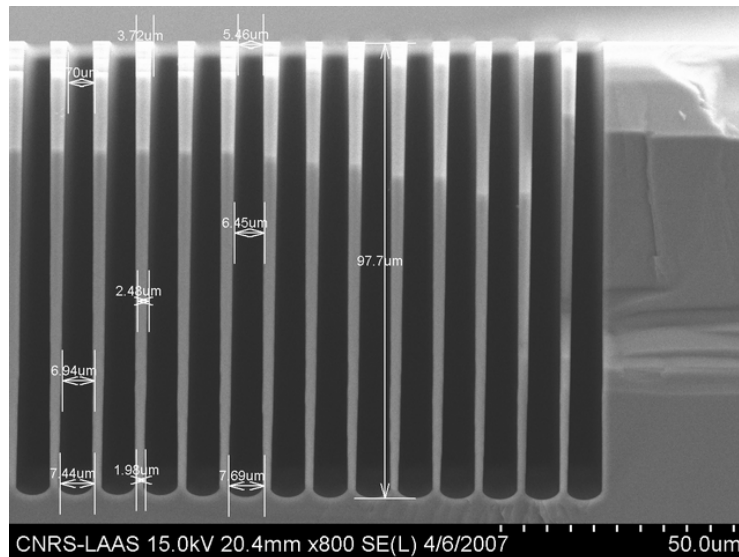


Figure IV.5 : Photographies MEB des tranchées après gravures non verticales.

Le procédé de gravure disponible au LAAS doit donc être modifié afin de retrouver une verticalité des tranchées acceptable ($< 0,1 \mu\text{m}$), tout en gardant une faible surgravure.

Nous avons repris la gravure précédente mais nous avons prolongé le temps de passivation. En effet, nous pensons qu'une surgravure négative (comme dans notre cas) est due à un manque de passivation au fond des tranchées. Chaque étape de gravure consomme la passivation sur les parois de la tranchée et un peu de silicium. La largeur de la tranchée s'élargit donc à chaque étape. Le temps de passivation a donc été augmenté d'une seconde et le temps total est maintenu à 85 minutes.

La Figure IV.6 (a) présente le profil des tranchées réalisées par cette méthode. Nous pouvons constater de premier abord que la surgravure n'est pas aussi importante que lors du premier essai et que la verticalité de la tranchée semble correcte. Des grossissements sur le haut et le bas de la tranchée (Figure IV.6 (b) et Figure IV.6 (c)) montrent des largeurs de tranchée respectives de $6,25 \mu\text{m}$ et de $6,18 \mu\text{m}$, soit une surgravure de $2,2 \mu\text{m}$. La pente ($\text{Slope} = W_{\text{TT}} - W_{\text{BT}}$) a été réduite à 70 nm . Nous pouvons considérer ce résultat comme suffisant car la concentration la plus élevée, et donc la plus critique, demande un écart de largeur inférieur à 100 nm .

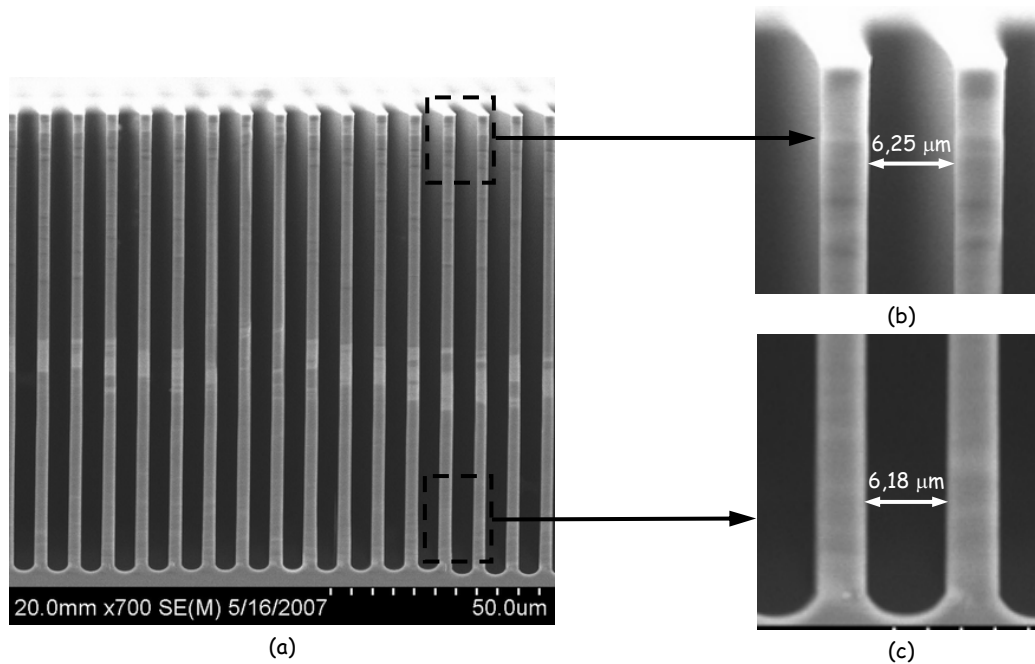


Figure IV.6 : (a) Photographie MEB des gravures après optimisation du procédé,
 (b) agrandissement sur le haut de la tranchée,
 (c) agrandissement sur le fond de la tranchée.

L'étape de la gravure des tranchées profondes est donc validée. Il est nécessaire maintenant de pouvoir les remplir.

IV.2.3.2. Remplissage des tranchées

Le remplissage des tranchées est nécessaire afin de consolider mécaniquement les colonnes de silicium et de pouvoir continuer le procédé avec les étapes conventionnelles de fabrication d'un composant MOS. Nous avons essayé de remplir les tranchées avec différents matériaux comme de l'oxyde ou des SOD.

IV.2.3.2.a. Remplissage des tranchées avec de l'oxynitride

Nous avons débuté nos essais avec un remplissage par oxynitride (SiON) par la méthode LPCVD. Le dépôt d'oxynitride est fait à 850 °C pendant 9 heures pour une épaisseur déposée de 3,5 μm. La Figure IV.7 (a) présente les résultats obtenus par cette méthode. Nous constatons que les tranchées ne sont pas remplies en leur fond. En effet, un agrandissement sur le haut des tranchées (Figure IV.7 (b)) montre qu'un bouchon d'oxyde s'est formé sur le haut de celles-ci. Ceci est dû à un dépôt non-conforme de l'oxynitride sur l'ensemble de la tranchée ; il en résulte un bouchon en surface et pas de dépôt dans le fond.

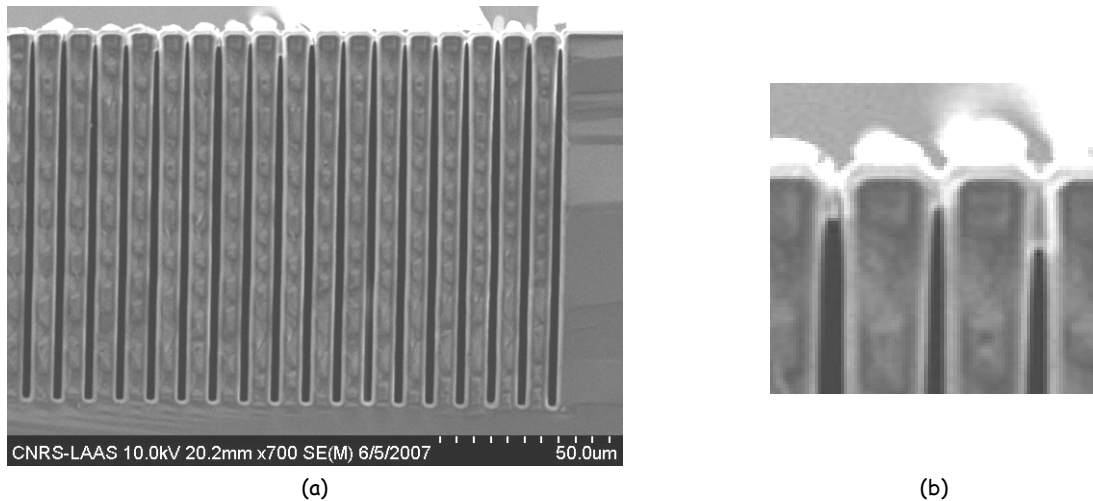


Figure IV.7 : (a) Remplissage des tranchées par SiON,
(b) agrandissement sur le haut des tranchées.

Le second point critique de ce type de dépôt est la déformation importante de la plaquette par stress mécanique (Figure IV.8).

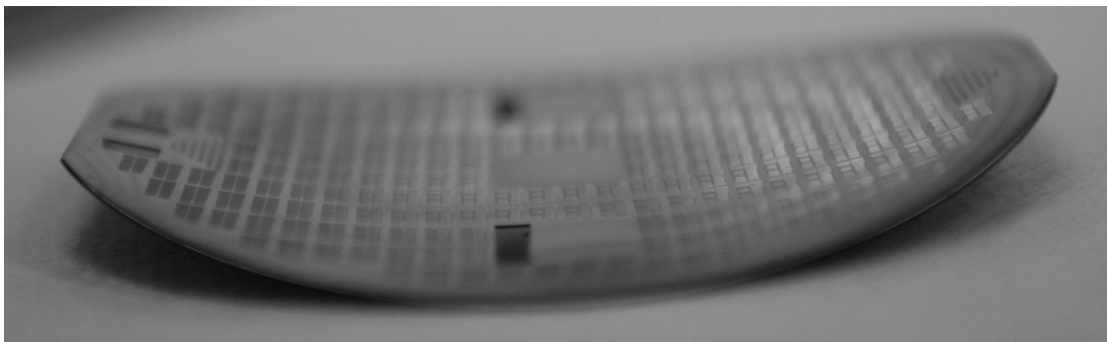


Figure IV.8 : Photographie d'une plaquette de silicium ayant subi un stress mécanique après remplissage des tranchées par SiON.

Cette déformation est due à une contrainte résiduelle en tension de la couche SiON déposée. La surface de dépôt en face supérieure est définie par celle de la plaquette plus la surface des parois des tranchées. L'effort fourni en face supérieure est donc bien plus important et crée cette déformation. Cette déformation empêche toute étape de fabrication supplémentaire. En raison de cet inconvénient, nous n'avons pas poussé nos recherches plus loin.

IV.2.3.2.b. Remplissage des tranchées avec du Spin On Glass 500F

L'utilisation de la résine SU-8, communément utilisée au LAAS pour la réalisation de MEMS, a été proposée par Dragomirescu [65] pour le remplissage de la T³JTE. Malheureusement, elle ne peut pas être employée ici car sa température de transition vitreuse est de 210 °C. Le métal nécessitant la plus faible température de recuit est un dépôt Ti / Au (température de recuit de 250 °C pendant 20 minutes). Nous avons donc pensé utiliser du Spin On Glass (SOG) car sa température de transition vitreuse

est de 450 °C, température qui est supérieure à celle du recuit de l'aluminium (425 °C). La Figure IV.9 présente les premiers essais de remplissage dans les tranchées fines et la Figure IV.10 présente le remplissage des tranchées de terminaison.

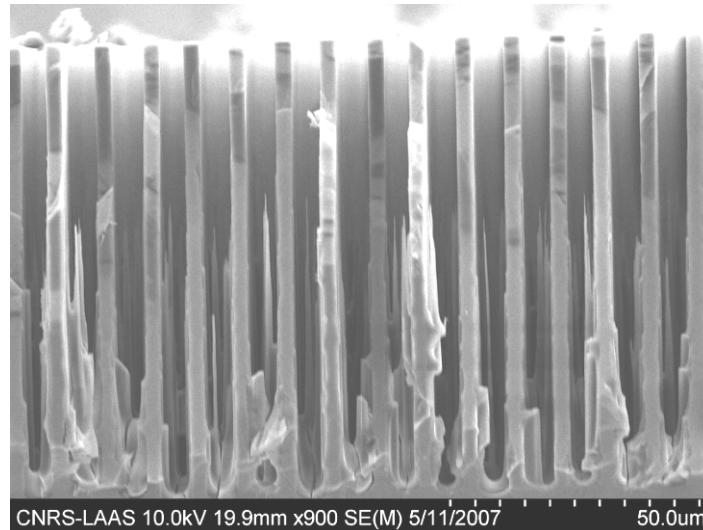


Figure IV.9 : Photographie MEB des tranchées centrales ($6\ \mu\text{m} \times 100\ \mu\text{m}$) après remplissage par SOG à 500 tr/min.

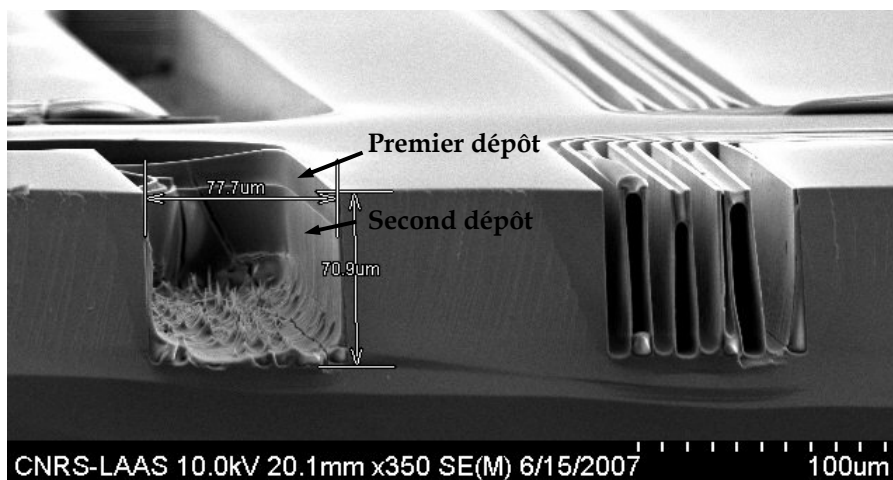


Figure IV.10 : Photographie MEB de la tranchée de terminaison ($70\ \mu\text{m} \times 70\ \mu\text{m}$) après remplissage par SOG à 500 tr/min.

Le dépôt de SOG 500F est effectué à la tournette à une vitesse de 500 tours par minute, puis un recuit à 425 °C sous N₂ est nécessaire pour solidifier le produit. Nous constatons que le dépôt de SOG ne remplit pas les tranchées complètement, qu'elles soient fines ou larges. En effet, le SOG recouvre seulement les parois et ne permet pas le remplissage total souhaité. Nous avons essayé de réaliser plusieurs dépôts consécutifs pour augmenter l'épaisseur, en pensant que la résine avait un problème d'accrochage sur le silicium, mais, comme la montre la Figure IV.10, le second dépôt n'a rien résolu.

Pour remédier à ce problème, nous avons diminué la vitesse de rotation de la tournette. Nous sommes passés de 500 à 100 tours par minute. Les nouveaux résultats sont présentés sur la Figure IV.11.

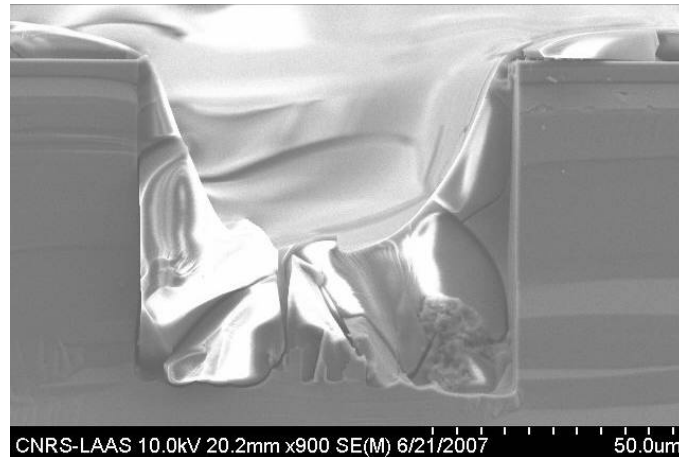


Figure IV.11 : Photographie MEB de la tranchée de terminaison ($70\ \mu\text{m} \times 70\ \mu\text{m}$) remplie par SOG à 100 tr/min.

La diminution de la vitesse de rotation de la tournette a permis au SOG de rester dans les tranchées. Il y avait donc un problème de viscosité du SOG, qui, à haute vitesse, le faisait sortir des tranchées par force centrifuge. Néanmoins, comme nous pouvons le voir, après le recuit de durcissement, le SOG présente des fissures dues aux contraintes mécaniques exercées lors du refroidissement. Le SOG est, en général, utilisé pour de faibles épaisseurs afin d'éviter ce phénomène. Ne pouvant pas changer la géométrie des tranchées pour limiter ces contraintes, nous avons changé de matériau de remplissage.

IV.2.3.2.c. Remplissage des tranchées avec du BenzoCycloButene

Les résultats négatifs sur le remplissage des tranchées profondes par SOG 500F ont souligné le rôle important de la viscosité du SOD sur la qualité de remplissage des tranchées. Dans cette optique, nous avons décidé de tester le remplissage des tranchées par BenzoCycloButene (BCB). Ce SOD dispose de bonnes caractéristiques électriques proches de celles du SiO_2 [76] ; il permet de déposer des couches épaisses supérieures à $10\ \mu\text{m}$ et est actuellement de plus en plus utilisé dans le domaine de la microélectronique comme couche inter-métaux [77] mais aussi comme matériau d'encapsulation pour les applications MEMS.

Les premiers essais de remplissage par BCB utilisaient les paramètres d'induction utilisés au LAAS pour des couches de $10\ \mu\text{m}$ d'épaisseur pleine plaque. Les Figure IV.12 et Figure IV.13 résument, après avoir observé plusieurs motifs au MEB, les résultats obtenus. Trois problèmes ont été relevés :

- les tranchées ne sont pas complètement remplies en leur haut (Figure IV.12),
- des vides existent à l'intérieur des tranchées (Figure IV.13),
- des tranchées sont mécaniquement cassées (Figure IV.12).

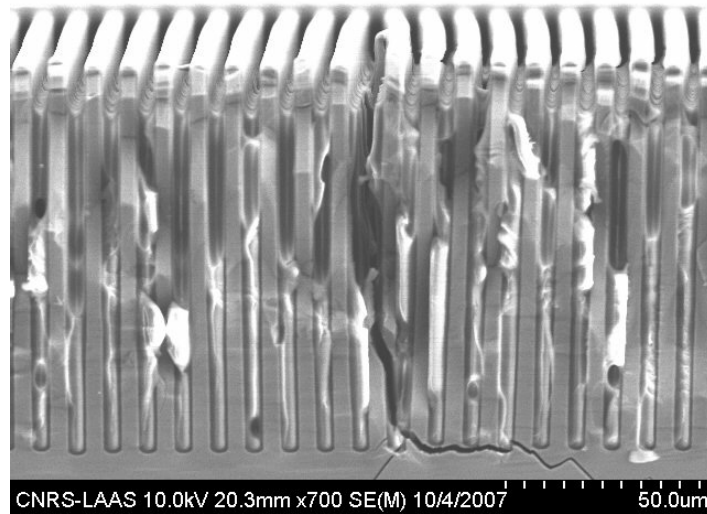


Figure IV.12 : Photographie MEB des tranchées centrales après remplissage incomplet par BCB.

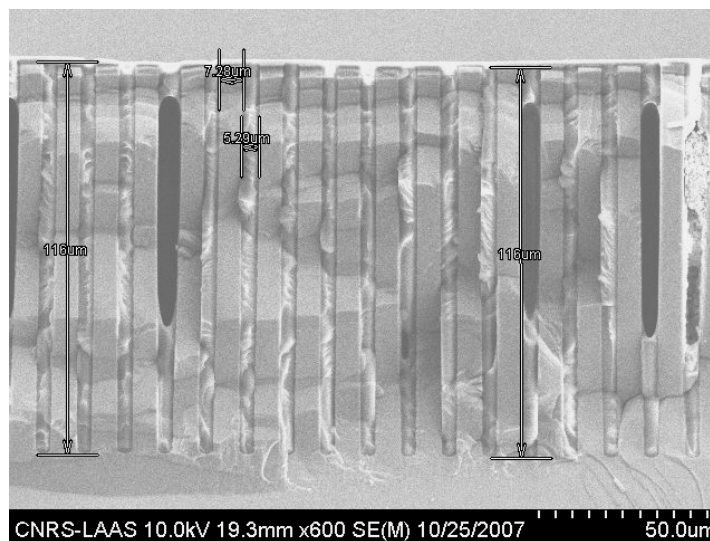


Figure IV.13 : Photographie MEB des tranchées centrales présentant des cavités d'air après remplissage par BCB.

L'apparition de ces défauts nous a conduit à plusieurs modifications :

- nous devons laisser un temps de repos au BCB sur chaque plaque avant d'actionner la tournette pour lui donner le temps de « glisser » à l'intérieur des tranchées et remplacer complètement l'air,
- nous avons changé la vitesse de rotation de la tournette par une variation croissante entre 200 et 1000 tr/min.
- nous avons identifié la largeur minimale de silicium entre deux tranchées pour éviter les cassures mécaniques. Celle-ci est de l'ordre de 10 µm.

La Figure IV.14 montre l'aspect des tranchées après le remplissage au BCB en utilisant ces nouveaux paramètres.

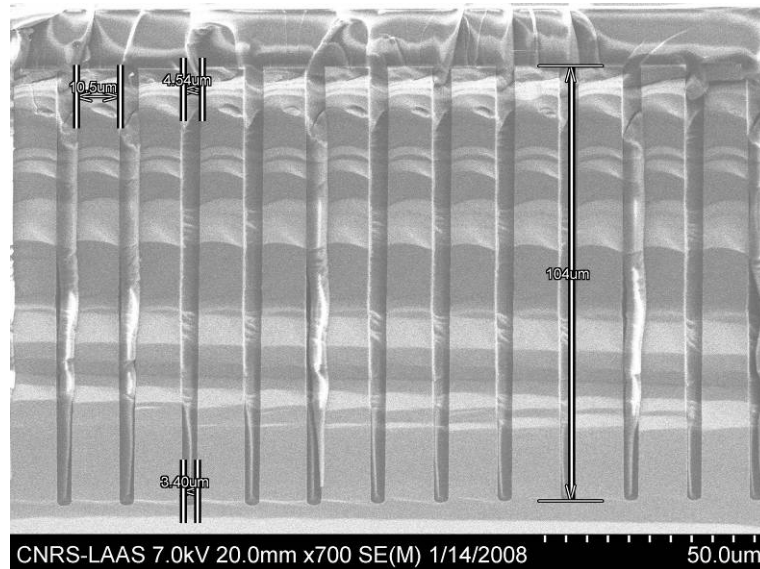


Figure IV.14 : Photographie MEB des tranchées centrales après un remplissage réussi par BCB.

Il est essentiel de préciser que nous avons réussi, pour l'instant, à remplir les tranchées des cellules élémentaires. Il faut encore remplir les larges tranchées conçues pour la terminaison du composant.

La Figure IV.15 présente le résultat du remplissage d'une large tranchée de terminaison avec les conditions précédemment décrites. Nous observons que la tranchée de terminaison n'est pas remplie complètement. En effet, l'épaisseur de la couche de résine est de 20 μm et l'excès de celle-ci ne suffit pas à remplir la tranchée large, d'autant plus que la viscosité élevée du BCB limite le déplacement de la résine.

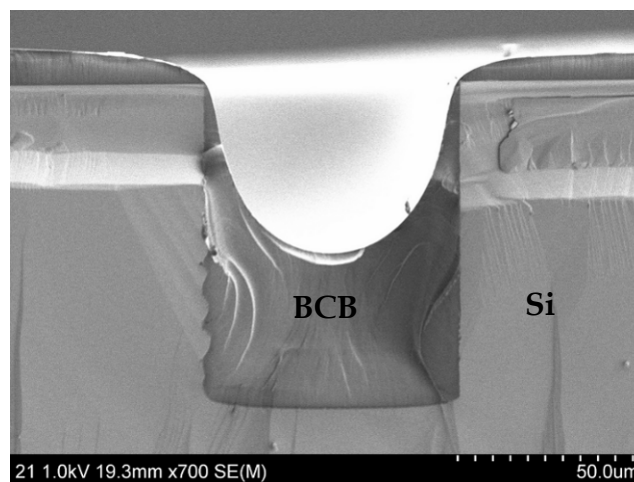


Figure IV.15 : Remplissage incomplet des tranchées de terminaison avec un seul dépôt de BCB.

Nous avons résolu ce problème en remplissant la tranchée de terminaison par deux dépôts successifs de BCB. La méthode retenue est la suivante : nous déposons le BCB puis nous patientons 5 minutes. Nous étalons le BCB par le cycle à vitesse croissante décrit précédemment, puis nous durcissons la résine par un recuit de 250 °C sous flux d'azote pour éviter l'oxydation du BCB. Une fois la résine durcie, nous recommençons une deuxième fois les mêmes étapes. La Figure IV.16 présente une tranchée de terminaison complètement remplie par le BCB.

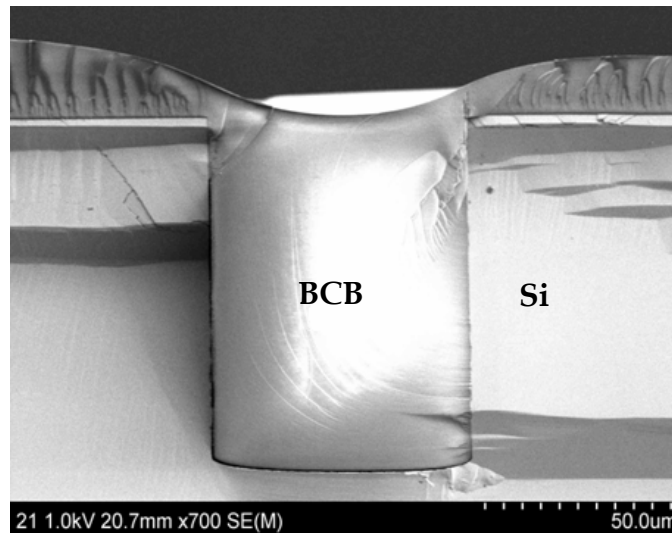


Figure IV.16 : Remplissage complet des tranchées avec deux dépôts de BCB.

La Figure IV.17 présente le remplissage réussi des tranchées des cellules élémentaires et de la tranchée de terminaison. Nous ne constatons aucune cassure des colonnes de silicium ou du BCB. Ce matériau convient donc parfaitement au remplissage des faibles et larges tranchées, lui offrant de nombreuses applications en microélectronique.

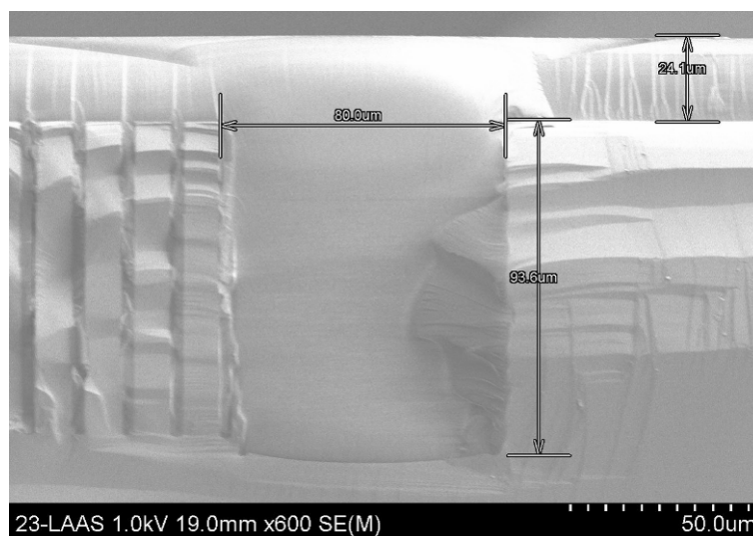


Figure IV.17 : Remplissage réussi pour les tranchées de terminaisons et des cellules élémentaires avec deux dépôts de BCB.

Néanmoins, le remplissage des tranchées par deux couches successives de BCB impose la création d'une couche épaisse d'environ 40 μm en surface. Nous proposons donc de retirer cette couche par polissage mécanico-chimique (CMP) qui est une méthode rapide et moins coûteuse que la gravure sèche.

IV.2.3.3. Polissage des résidus de BCB

Le polissage de la surface du composant implique plusieurs contraintes. La première est l'arrêt du polissage à la surface du silicium ou du polysilicium de grille. En effet, en utilisant le BCB, les étapes conventionnelles de fabrication d'un transistor VDMOS doivent être réalisées avant les étapes de gravure et de remplissage des tranchées (procédé 2). Il est donc nécessaire de ne pas détruire complètement la grille, au risque de devoir la re-fabriquer et de créer des défauts d'alignement avec les caissons N et P de source : on perdrait ainsi les bénéfices de la méthode de fabrication utilisée depuis plus de 20 ans.

La seconde contrainte est celle du temps et donc du coût, la vitesse de gravure dépendant de la composition du bain chimique, de la taille des abrasifs et la vitesse de rotation des plateaux notamment. Il y a donc un compromis à trouver. Pour répondre à cette contrainte, nous avons développé une méthode de polissage mixte : nous commençons par polir la couche de BCB en surface avec un abrasif à base d'alumine, dont le diamètre des grains est de 1 μm , pendant 2 heures, afin de polir approximativement 20 μm de dépôt. Puis nous finissons le polissage avec du KLEBOSOL STS-2 dont la vitesse de gravure est de 0,24 $\mu\text{m}/\text{min}$: malgré cette vitesse réduite, cet abrasif améliore la rugosité de surface par rapport à la méthode précédente. La Figure IV.18 présente le polissage du BCB en terminaison sur un substrat n'ayant pas subi d'étape d'implantation ou de réalisation de grille. Nous pouvons constater visuellement que le polissage offre une bonne planéité de surface : il devrait donc être aisé de réaliser la plaque de champ sur cette surface. Concernant le polissage des tranchées en cellules élémentaires (Figure IV.19), nous pouvons constater que l'ensemble « colonne de silicium et résine » a supporté les contraintes mécaniques du polissage. Nous n'observons aucune fissure des colonnes de silicium. Néanmoins, nous n'avons pas pu réaliser de polissage sur une surface présentant des grilles déjà réalisées. Nous pensons que le plus simple serait, dans ce cas, d'arrêter le polissage visuellement, lorsque l'on observera un changement d'aspect de la surface dû à la grille du transistor MOS.

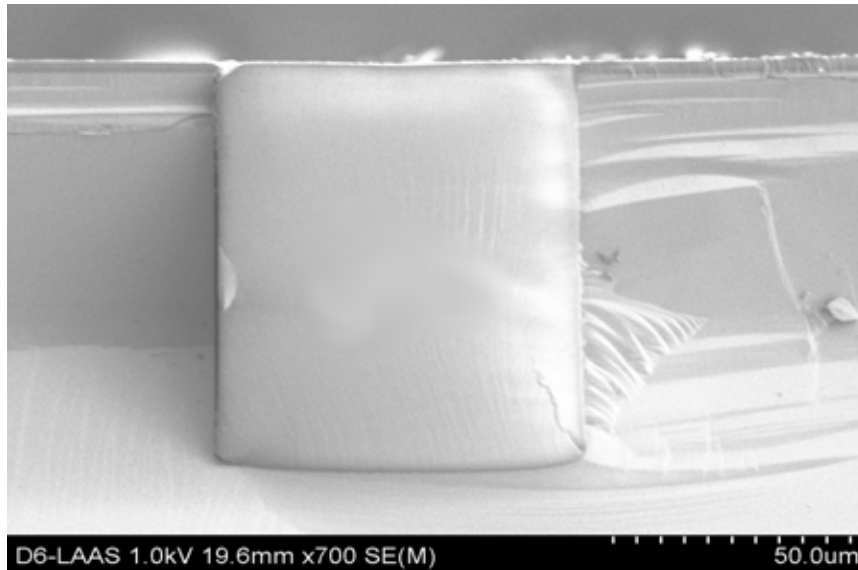


Figure IV.18 : Photographie MEB de la tranchée de terminaison après polissage CMP.

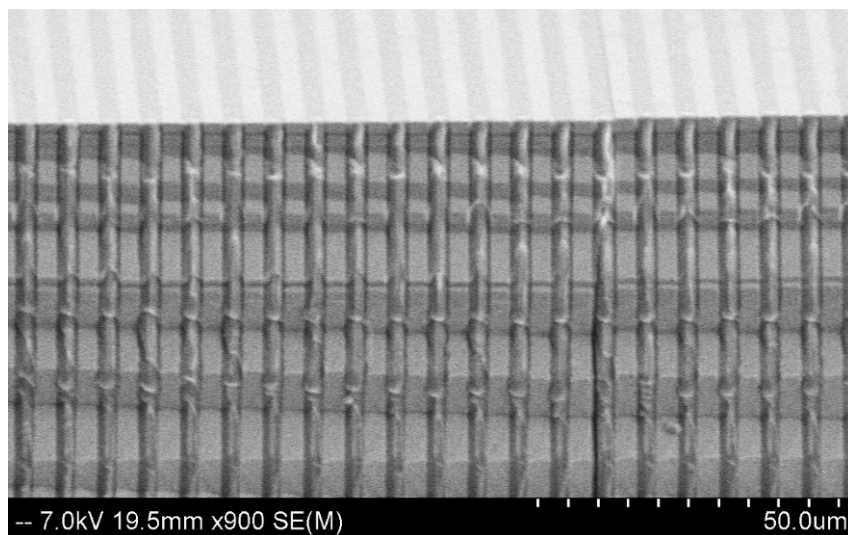


Figure IV.19 : Photographie MEB des tranchées des cellules élémentaires après polissage CMP.

Nous avons mesuré, à l'aide d'un microscope à force atomique (AFM), la rugosité du silicium après le dépôt de BCB et le polissage avec l'abrasif KLEBOSOL STS-2. Nous observons une rugosité de surface de l'ordre de 0,3 nm qui reste un bon état de surface pour permettre la reprise d'étapes de fabrication telles que la croissance d'oxyde ou l'implantation ionique. Notons que la rugosité d'un substrat commercialisé est autour de 0,1 nm.

Les étapes technologiques de gravure profonde, de remplissage des tranchées et de polissage ont été validées. Il est donc désormais possible de réaliser une diode PN conventionnelle utilisant la terminaison à tranchée large et profonde. Pour la

réalisation de composants à Superjonction, il reste à contrôler la dose de bore diffusée à travers l'oxyde de contrôle.

IV.2.4. Étude du contrôle de la dose de bore diffusée

Le contrôle de la dose de bore diffusée est essentiel pour la réalisation des composants à Superjonction, comme nous l'avons vu dans le chapitre 3. Malheureusement, les profils simulés de diffusion de bore à travers un oxyde mince ne correspondent pas à la réalité. Nous avons donc réalisé un ensemble d'expériences pour déterminer l'influence des paramètres technologiques sur la variation de la dose de bore.

Ces paramètres technologiques sont au nombre de quatre : l'épaisseur d'oxyde, l'épaisseur de polysilicium, la température de diffusion et le temps de diffusion. Les expériences sont réalisées sur une plaque orientée [110] afin de reproduire les conditions de diffusion à travers les parois des tranchées et, notamment, prendre en compte la vitesse de croissance d'oxyde qui est différente pour cette orientation. Les premières mesures SIMS présentaient de fortes variations de la dose de bore pour les mêmes conditions expérimentales à cause d'un pic de concentration en surface (Figure IV.20). Ce profil est obtenu avec un oxyde de contrôle de 20 nm, un dépôt de polysilicium de 200 nm et un recuit de diffusion de 15 minutes à 1100 °C. Ce pic en surface provient soit d'une erreur de mesure (due à un défaut de calibration de l'appareil), soit de la forte concentration de bore dans l'oxyde lors de la diffusion. Nous avons souhaité nous affranchir de ce pic de concentration car la dose de bore dans le pic représente 88% de la quantité totale diffusée. Une fine variation de ce pic de concentration nous ferait donc perdre l'équilibre des charges.

Nous avons résolu ce problème des fortes concentrations en surface par une oxydation thermique de 60 nm juste après la diffusion du bore et le nettoyage des tranchées. Cette étape a pour but de piéger le bore en surface et, ainsi, lors du retrait de l'oxyde, de supprimer le pic de concentration. L'échantillon 2 de la Figure IV.20 présente le nouveau profil après l'étape d'oxydation. La dose mesurée sans oxydation était de $1,82 \cdot 10^{13} \text{ cm}^{-2}$; après oxydation, elle est de $1,54 \cdot 10^{12} \text{ cm}^{-2}$. Cette étape a donc réduit de 92% la dose de bore présente dans le silicium, ce qui était prévisible puisque 88% de la dose était dans le pic de concentration. Cette étape supplémentaire permettra donc d'avoir un meilleur contrôle et une meilleure reproductibilité de la dose, ce qui est la condition nécessaire pour la réalisation de composants à Superjonction efficaces.

De plus, ces premières mesures nous ont permis de constater que nous obtenions une meilleure reproductibilité pour de fortes épaisseurs d'oxyde de contrôle et de

polysilicium. Nous avons donc fixé l'épaisseur de l'oxyde de contrôle à 20 nm pour diminuer le pic de concentration et l'épaisseur du polysilicium à 200 nm pour être dans les conditions d'une source infinie de bore.

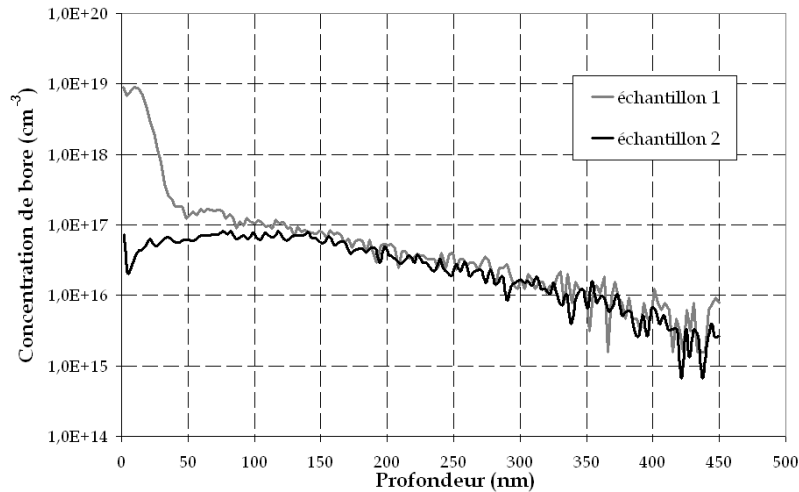


Figure IV.20 : Profils de concentration des diffusions de bore par mesures SIMS.

Le Tableau IV.1 présente les doses mesurées sur différents échantillons réalisés.

Temps de diffusion (t_{diff})	Température de diffusion (T_{diff})	Épaisseur d'oxyde après diffusion	Dose de bore calculée (d_B)
70 min	1000 °C	68 nm	$3,79 \times 10^{11} \text{ cm}^{-2}$
15 min	1100 °C	68 nm	$1,54 \times 10^{12} \text{ cm}^{-2}$
15 min	1100 °C	47 nm	$1,93 \times 10^{12} \text{ cm}^{-2}$
30 min	1100 °C	68 nm	$4,42 \times 10^{12} \text{ cm}^{-2}$
70 min	1100 °C	68 nm	$1,10 \times 10^{13} \text{ cm}^{-2}$

Tableau IV.1 : Dose de bore diffusée en fonction des conditions de fabrication.

Nous pouvons notamment déduire de ce tableau que la température de diffusion influe énormément sur la dose de bore diffusée. En effet, une élévation de T_{diff} de 100 °C a multiplié la dose diffusée par 30 pour $e_{ox} = 20 \text{ nm}$ et $t_{diff} = 70 \text{ min}$ par exemple. Il est donc impératif de contrôler l'étape de recuit pour obtenir la dose souhaitée, et surtout, une bonne reproductivité des résultats.

Il reste néanmoins à vérifier qu'il est possible d'obtenir la dose souhaitée à 2% près avec cette méthode et qu'une parfaite reproductibilité est obtenue sur plusieurs échantillons; sans cela, la réalisation de composants DT-SJMOS à très faible résistance passante sera compromise.

IV.3. Le dispositif de test

Afin de valider « l'enchaînement » des briques technologiques mais également la terminaison présentée au chapitre 3, il est indispensable de réaliser un dispositif test. Nous avons choisi, dans un premier temps, une diode conventionnelle PN afin de déterminer la performance en tenue en tension de la terminaison.

IV.3.1. Présentation de la diode

La diode que nous avons réalisée pour nos tests est présentée en Figure IV.21 et Annexe 4. Elle a été fabriquée sur un substrat 10^{14} cm^{-3} : avec cette valeur la tenue en tension théorique de la jonction plane PN est de 1400 V. Ceci garantit que le claquage aura lieu en terminaison puisque celle-ci est conçue pour soutenir 1306V au maximum (simulation 2D).

Les étapes de fabrication de cette diode sont les suivantes :

- implantation de bore à 10^{16} cm^{-2} en surface,
- recuit de 200 minutes à 1150 °C,
- gravure DRIE pour réaliser les tranchées de terminaison,
- remplissage des tranchées par du BCB,
- polissage en surface,
- passivation de la surface par du BCB,
- dépôt de Ti / Au pour prendre les contacts et réaliser la plaque de champ.

Pour nous rapprocher le plus possible du comportement de la terminaison du transistor DT-SJMOS, nous n'avons pas créé de couche P autour de la terminaison. En effet, comme nous l'avons vu dans le chapitre 3, la ZCE ne s'étale pas autour de la tranchée de terminaison car le bas de la colonne P est polarisé au drain. Ici, au contraire, avec une couche P autour de la tranchée de terminaison nous nous serions retrouvés dans les conditions de la T³JTE. De plus, la zone active de la diode est un carré. Cette géométrie de surface a été volontairement choisie car c'est la même géométrie que celle qui a été retenue pour le DT-SJMOS afin de garantir l'équilibre des charges en tout point du composant.

Les simulations 2D de cette diode prédisent une tenue en tension de 1306 V pour une tranchée de 100 μm de profondeur et de 70 μm de large, avec 40 μm de plaque de champ. Cette valeur est proche de celle de la terminaison du transistor DT-SJMOS (tenue en tension de 1325 V pour une profondeur de tranchée de 90 μm).

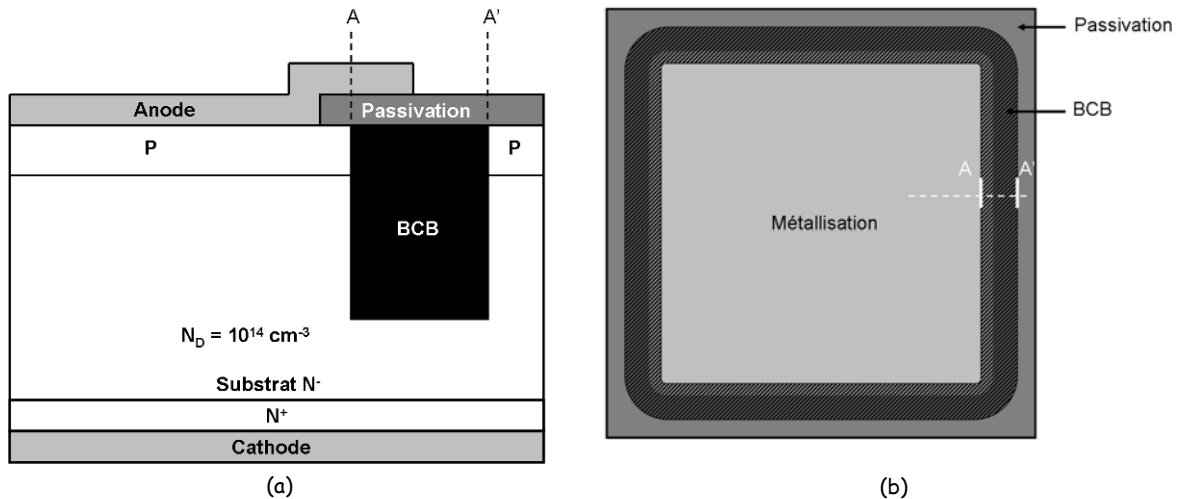


Figure IV.21 : (a) Coupe schématique de la diode de test, (b) vue de dessus.

IV.3.2. Tenue en tension de la terminaison

Nous avons effectué les mesures électriques au sein de la plateforme de caractérisation du LAAS-CNRS par tests sous pointes avec une alimentation Agilent 4142B et au LAPLACE avec une alimentation SMV 2410 Keithley.

Les premières caractérisations ont été effectuées sans protection préalable, tel que des gels d'encapsulation, ou monté dans un boîtier. La tenue en tension mesurée se situe autour de 600 Volts, comme le montre la Figure IV.22. La dégradation du composant est localisée dans le coin de la structure à cause de l'élévation du champ électrique (Figure IV.23). Néanmoins, cette rupture prématurée n'est pas la conséquence d'un emballement par impact par ionisation dans le silicium : elle est due à la création d'un arc électrique en surface. En effet, les simulations 2D et 3D n'avaient pas pris en compte le champ électrique de surface. Le champ critique de l'air étant bien plus faible que celui du BCB, la rupture s'est produite dans le milieu ambiant, détériorant le composant lors de la création de l'arc.

Afin de remédier à ce problème, nous avons refait des mesures dans un bain de diélectrique liquide, tel que le Fluorinert FC 72 [78] mais également dans le Galden® [79], afin de nous rapprocher des conditions d'utilisation du composant, lorsque celui-ci est monté dans un boîtier et encapsulé dans du gel. La diode supporte alors une tension inverse supérieure à 1200 V continue (Figure IV.22).

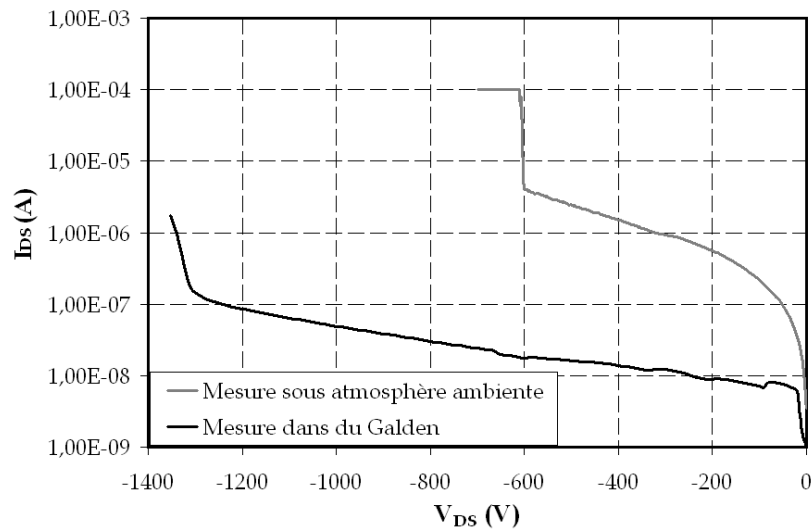


Figure IV.22 : Caractéristique en inverse $I(V)$ de la diode conventionnelle avec la terminaison à tranchée large et profonde.



Figure IV.23 : Destruction du composant au coin de la diode.

Nous avons donc validé le concept de cette terminaison originale puisque les mesures sont en accord avec les simulations.

IV.3.3. Jeu de paramètres technologiques et géométriques du transistor DT-MOS

Les difficultés de réalisation relevées dans les paragraphes précédents nous permettent de déterminer les géométries et dopages optimaux d'un futur prototype du transistor DT-SJMOS.

Le remplissage des tranchées par BCB impose de réaliser les étapes technologiques de fabrication d'un transistor conventionnel avant l'étape de gravure. Il est donc nécessaire de réaliser les tranchées dans le même sens que la grille pour ne pas la

couper. De plus, nous sommes obligés de laisser une largeur importante entre deux tranchées pour y placer la grille et les différents caissons de surface. Les contraintes géométriques de surface nous imposent une distance inter-tranchées de $18 \mu\text{m}$. Dans ces conditions, le dopage de la couche épitaxiée N devra être diminué pour garantir un auto-blindage latéral avant que le champ électrique critique du silicium ne soit atteint à la jonction PN verticale. Pour une largeur W_P des colonnes P de $0,5 \mu\text{m}$ (définie d'après les mesures SIMS), la concentration N_D de l'épitaxie ne doit pas dépasser $2,5 \cdot 10^{15} \text{ cm}^{-3}$. Il est plus raisonnable, pour un premier test, de choisir un dopage à 10^{15} cm^{-3} afin de diminuer la sensibilité de la tenue en tension du composant vis-à-vis des variations de la balance des charges. La résistance passante spécifique devrait être alors de $113 \text{ m}\Omega \cdot \text{cm}^2$, ce qui reste 6 fois plus faible que la meilleure valeur pour des transistors VDMOS commercialisés [80]. La dose de bore à diffuser est de $9 \cdot 10^{11} \text{ cm}^{-2}$. Cette valeur étant assez faible, d'après le Tableau IV.1, nous pensons ne pas rencontrer trop de problèmes pour retrouver cette valeur si le procédé technologique est reproductible.

En ce qui concerne les tranchées, nous devons tenir compte de la surgravure latérale et de l'augmentation du champ électrique dans le coin du composant. Nous prendrons une ouverture de masque de $4 \mu\text{m}$, sachant que l'ouverture finale sera de $6,2 \mu\text{m}$. Quant à la profondeur des tranchées, elle devra être augmentée à $110 \mu\text{m}$, pour compenser les 20% de perte de tenue en tension dans le coin. La coupe schématique de la structure retenue est présentée Figure IV.24.

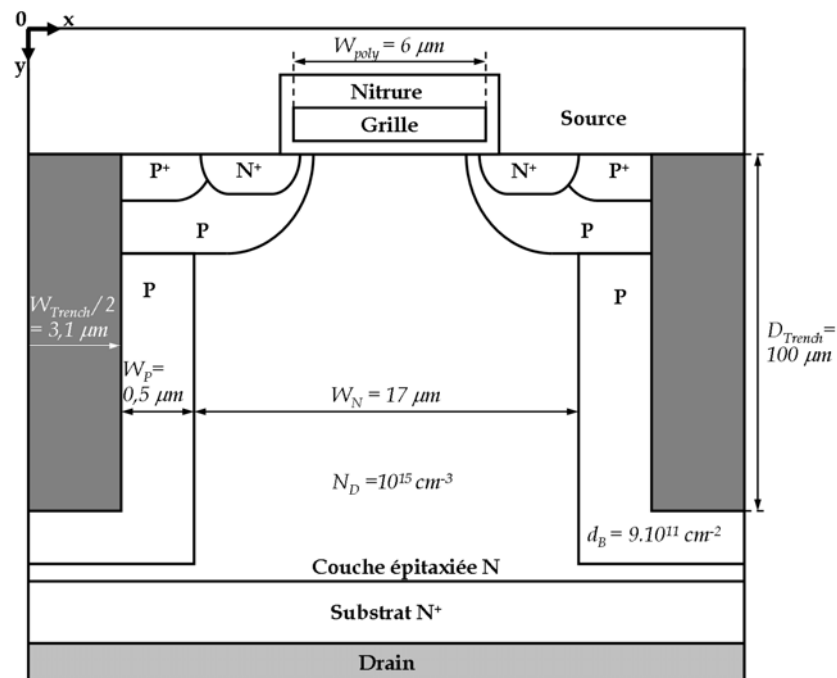


Figure IV.24 : Coupe schématique d'une cellule élémentaire du futur prototype du transistor DT-SJMOS avec les valeurs des paramètres géométriques et technologiques.

IV.4. Conclusion

Nous avons envisagé deux procédés de fabrication en fonction des propriétés du matériau de remplissage des tranchées. Le remplissage par dépôt d'oxyde permet de commencer le procédé de fabrication par la réalisation des tranchées. Ceci permet de décorréler la distance entre deux tranchées et la largeur de la cellule élémentaire ; en contrepartie, cela impose aux colonnes P le long des tranchées de subir l'intégralité du bilan thermique. Un autre procédé de fabrication se base sur le remplissage des tranchées par un SOD. Son principal inconvénient est que ce procédé doit se terminer par le remplissage des tranchées : le polissage de la surface doit donc être effectué une fois la grille réalisée.

Nous avons aussi identifié quatre étapes technologiques critiques : la gravure, le remplissage des tranchées, le polissage du diélectrique à la surface du silicium et le contrôle de la diffusion du bore. Nous maîtrisons la surgravure et la verticalité des tranchées. Le remplissage par SiON n'est pas concluant ; par contre, l'utilisation de BCB permet de remplir aussi bien des tranchées fines que larges. Le polissage du BCB est prometteur, même s'il reste à tester le polissage avec les grilles du composant déjà faites. Quant à la diffusion du bore, nous avons identifié les paramètres technologiques pouvant générer d'importantes erreurs de la dose diffusée : cette étape mérite cependant d'être approfondie.

Pour finir, nous avons réalisé un dispositif de test afin de valider l'enchaînement des briques technologiques mais également la terminaison à tranchée large et profonde. Nous avons choisi dans un premier temps une diode conventionnelle PN afin de déterminer la tenue en tension de la terminaison : les mesures à l'état bloqué ($BV_{DSS} > 1200$ V) ont permis la validation de cette terminaison originale. Il est intéressant de noter que cette terminaison est originale en raison de sa forme (tranchées large et profonde) et de son matériau de remplissage (BCB) utilisé pour la première fois en terminaison dans la microélectronique de puissance.

Conclusion générale

L'amélioration de la chaîne de conversion de puissance dans la traction ferroviaire est indispensable pour diminuer son coût et son encombrement tout en augmentant sa fiabilité. Cette thèse s'inscrivait dans cette démarche en proposant l'utilisation d'une nouvelle structure MOS comme remplaçante des IGBTs constituant les modules de puissance 1200 Volts. Ainsi, la simulation bidimensionnelle et la réalisation d'étapes technologiques sont la base de ce mémoire.

La détermination de la structure MOS capable de remplacer l'IGBT passe par la simulation à éléments finis des différentes structures imaginées : les paramètres géométriques et technologiques de chaque structure ont été ajustés pour offrir une tenue en tension minimale de 1200 Volts. La résistance passante spécifique a ensuite été calculée afin de classer les différentes technologies étudiées. La caractéristique de la densité de courant en fonction de la chute de tension à l'état passant a été étudiée dans le but de comparer l'IGBT à l'ensemble des structures étudiées. Seules les structures à Superjonction dans toute l'épitaixie (SJ MOS et DT-SJ MOS) sont potentiellement capables de remplacer l'IGBT. Notre choix s'est porté sur le transistor DT-SJ MOS en raison des possibilités de fabrication d'un tel transistor au sein de la plateforme technologique du LAAS-CNRS.

L'étude théorique du composant DT-SJ MOS a permis de comprendre les variations de la tenue en tension et de la résistance passante spécifique en fonction de différents paramètres technologiques et géométriques. En outre, la structure du transistor DT-SJ MOS nécessitait une terminaison adaptée. Les terminaisons surfaciques telles que les anneaux de garde ou les plaques de champ ne permettent pas d'étaler la zone de charge d'espace à des profondeurs suffisantes en raison de l'augmentation du dopage. De nouvelles terminaisons ont donc été proposées : la terminaison la plus appropriée comprend une large et profonde tranchée de diélectrique couplée à une plaque de champ pour contenir tout le potentiel et le remonter en surface. Une étude tridimensionnelle a montré que la terminaison dans le coin de la puce tenait 80% de la tenue en tension de la terminaison étudiée en 2D. De plus, les simulations faisant varier les propriétés du diélectrique ont montré une flexibilité importante quant au choix de celui-ci. Pour finir, l'étude dynamique est encourageante mais reste à compléter.

Nous avons envisagé deux procédés de fabrication en fonction des propriétés du matériau de remplissage des tranchées. Le remplissage par dépôt d'oxyde permet de commencer le procédé de fabrication par la réalisation des tranchées. Ceci permet de décorrélérer la distance entre deux tranchées et la largeur de la cellule élémentaire ; en contrepartie, cela impose aux colonnes P le long des tranchées de subir l'intégralité du bilan thermique. Un autre procédé de fabrication se base sur le remplissage des tranchées par un SOD. Son principal inconvénient est que ce procédé doit se terminer par le remplissage des tranchées : le polissage de la surface doit donc être effectué une fois la grille réalisée. Nous avons aussi identifié quatre étapes technologiques critiques : la gravure, le remplissage des tranchées, le polissage du diélectrique à la surface du silicium et le contrôle de la diffusion du bore. Nous maîtrisons la surgravure et la verticalité des tranchées. L'utilisation du BCB permet le remplissage de tranchées aussi bien fines que larges. Le polissage du BCB est prometteur, même s'il reste à tester le polissage avec les grilles du composant déjà faites. Quant à la diffusion du bore, nous avons identifié les paramètres technologiques permettant de mieux contrôler de la dose diffusée, mais cette étape mérite également d'être encore approfondie. Pour finir, nous avons réalisé un dispositif de test afin de valider l'enchaînement des briques technologiques mais également la terminaison à tranchée large et profonde. Nous avons choisi dans un premier temps une diode conventionnelle PN afin de déterminer la tenue en tension de la terminaison. Celle-ci a été expérimentalement validée ainsi que ses simulations. Notons enfin que la terminaison proposée est particulièrement originale dans sa forme (tranchée large et profonde) et de par son matériau de remplissage (BCB).

L'objectif de ces travaux était de concevoir une structure MOS susceptible de remplacer l'IGBT pour les modules de puissance utilisés pour la traction ferroviaire. Diverses structures basées sur des concepts novateurs ont été proposées et comparées. Notre choix s'est porté sur le transistor DT-SJMOS ; son optimisation a permis de démontrer que ce composant est un concurrent plus que sérieux pour l'IGBT 1200 Volts. Mais nous avons aussi pu remarquer que le manque de maturité de certaines étapes technologiques ne permet pas encore de réaliser un DT-SJMOSFET pouvant rivaliser avec les IGBTs de dernière génération et ce malgré des idées originales (réalisation de colonne P par diffusion à travers les parois de tranchées, remplissage des tranchées par BCB, polissage par CMP).

Les travaux présentés dans ce manuscrit ouvrent sur un nombre relativement important de perspectives :

- les modèles utilisés pour la simulation des procédés de fabrication doivent être améliorés. En effet, nous n'avons pas réussi à prédire la dose diffusée à travers l'oxyde de contrôle. Il en est de même pour la simulation des tranchées

profondes. Nous pouvons décrire la forme finale des tranchées mais il n'est pas possible d'entrer dans le simulateur les données technologiques permettant de retrouver la profondeur, le profil et la surgravure latérale.

- il serait intéressant de poursuivre cette étude en s'intéressant notamment au comportement dynamique du composant et en simulant un bras d'onduleur complet pour étudier le comportement du composant dans un système électrique. De plus, l'étude du comportement statique et dynamique pourrait être effectuée à une température de 125 °C, correspondant à la température de jonction en fonctionnement normal.
- les simulations de la diode body sont aussi à améliorer. L'allure de la tension V_{DS} lors de l'ouverture de la diode reste à préciser. De plus, la diode doit être optimisée avec l'introduction de centres recombinants ou la variation de la surface de conduction.
- la fabrication de la diode à Superjonction doit permettre de démontrer la faisabilité d'un composant à Superjonction par diffusion de bore sur les flancs de tranchées. Ceci devrait notamment permettre de valider la reproductibilité et la maîtrise du contrôle des charges.
- la dernière étape sera la réalisation et la validation du transistor DT-SJMOS complet.
- pour finir, il serait intéressant de vérifier le vieillissement des SOD pour la fiabilité du composant. En effet, les résultats statiques que nous pourrions obtenir seront ceux d'un composant neuf. Nous ne sommes pas spécialistes dans ce domaine, mais il nous semble intéressant de nous y attarder.

Bibliographie

- [1] M. GHARBI, « La tenue en tension et le calibre en courant du transistor MOS vertical dans la gamme de tension (300 V à 100 V) », Thèse de 3^{ème} cycle, Université Paul Sabatier de Toulouse, 1985.
- [2] V. BOISSON, « Etude de la géométrie optimal des périphéries des jonctions planar », Thèse n° ECL 85-05, Ecole Central Lyon, 1985.
- [3] S. C. SUN, « Physics and technology of power MOSFET's », Thesis Ph. D, Stanford University, 1982.
- [4] J. CORNU, « Field distribution near the surface of beveled P-N junctions in high-voltage devices », IEEE Transaction on Electron Device ED-20, pp 347-352, 1973.
- [5] Y. C. KAO ET E.D. WOLLEY, « High-Voltage Planar p-n Junction », Proceedings of the IEEE, Vol. 55, 1967.
- [6] V. A. K. TEMPLE, « Junction Termination Extension, a new Technique for increasing Avalanche Breakdown Voltage and Controlling Surface Electric Field in P-N Junctions », IEEE Electron Device Meting digest, Abstract 20.4, pp. 423-426, 1977.
- [7] A. S. GROVE, O. LEISTIKO et W. HOOPER, « Effect of surface Fields on the Breakdown of planar Silicon p-n junctions », IEEE Transaction on Electron Devices, Vol. ED-14, n°3, pp. 157-162, 1967.
- [8] L. E. CLARK et D.S. ZOROGLU, « Enhancement of breakdown properties of overlay annular diodes by field shaping resistive films », Solid State Electronics, Vol. 15, pp. 653-657, 1972.
- [9] W. BUENO et MOARES, « Contribucao a optimisacao da estrutura de transistors MOS de estrutura nao coplanar », Thèse de doctorat d'État, Université de Campinas, Sao Paulo, 1982.
- [10] T.P. PHAM, « Le compromis entre la résistance à l'état passant et la tenue en tension dans les transistors MOS de puissance », Thèse de 3^{ème} Cycle, Université Paul Sabatier, Toulouse, 1982.
- [11] B. BEYDOUN, « Simulation et conception des transistors MOS de puissance », Thèse de Doctorat de l'Université Paul Sabatier, Toulouse, 1994.
- [12] S.K. GHANDI, « Semiconductor power devices », Ed. J Willey & Spns, New York, 1977.

- [13] F. Morancho, « De nouvelles limites pour le compromis « Résistance passante spécifique / Tenue en tension » des composants unipolaires de puissance », Habilitations à diriger des recherches, Université Paul Sabatier, Toulouse, 2004.
- [14] J-L. SANCHEZ, H. TRANDUC, T. PHAN PHAM, M. GHARBI, P. ROSSEL, G. CHARITAT, B. VERTONGEN, « Influence des zones d'accès sur la résistance à l'état passant des transistors moyennes tensions VDMOS de puissance », *Revue de Physique Appliquée*, Vol. 20, pp.759-770, 1985.
- [15] C. HU, M-H CHI, V. PATEL, « Optimum design of power MOSFET's », *IEEE Transaction on Electron Devices*, Vol. 31, n°12, pp. 1693-1700, 1984.
- [16] J. FERNANDEZ, S. HIDALGO, J. PAREDES, F. BERTA, J. REBOLLO, J. MILLAN, F. SERRA-MESTRES, « An ON-resistance closed form for VDMOS devices », *IEEE Transaction on Electron Devices*, Vol. 10, n°5, pp. 212-215, 1989.
- [17] S-D. KIM, I-J KIM, M-H HAN, Y-I. CHOI, « An accurate ON-resistance model for low voltage VDMOS devices », *Solid-State Electronics*, Vol. 38, n°2, pp. 345-350, 1995.
- [18] B.J. BALIGA, « *Modern Power Devices* », Editions J. Wiley & Sons, 1987.
- [19] F. MORANCHO, « Le transistor MOS de puissance à tranchées : modélisation et limites des performances », Thèse de Doctorat de l'Université Paul Sabatier de Toulouse, 1996.
- [20] T. FUJIHIRA, « Theory of semiconductor superjunctions devices », *Japanese Journal of Applied Physics*, Vol. 36, pp. 6254-6262, 1997.
- [21] M. MEHROTRA, B.J. BALIGA, « The trench MOS barrier Schottky (TMBS) rectifier », *Electron Devices Meeting, 1993. Technical Digest.*, pp. 675-678, 1993.
- [22] N. CÉZAC, P. ROSSEL, F. MORANCHO, H. TRANDUC, A. PEYRE-LAVIGNE, I. PAGÈS, « The FLIMOS transistor: a new vertical power device generation », 6th International Conference on Mixed Design of Integrated Circuits and Systems (MIXDES'99), Cracovie (Pologne), pp. 295-298, Juin 1999.
- [23] T. FUJIHIRA, Y. MIYASAKA, « Simulated superior performances of semiconductor superjunctions devices », *Proceedings ISPSD'98*, pp. 423-426, 1998.
- [24] A.G.M. STROLLO, E. NAPOLI, « Analytical modeling of breakdown voltage of superjunction power devices », *Proceedings ISPS'2000*, pp. 113-120, 2000.
- [25] S.M. SZE AND G. GIBBONS, « Avalanche breakdown voltage of abrupt and linearly graded pn junctions in Ge, Si, GaAs, and GaP », *Applied Physics Letters*, Vol. 8, 111 p., 1966.

-
- [26] L. LORENZ, G. DEBOY, A. KNAPP, M. MÄRZ, « COOLMOS™ – a new milestone in high voltage power MOSFET », Proceedings ISPSD'99, pp. 3-10, 1999.
- [27] N. CEZAC, « Transistor MOS de puissance à faible résistance à l'état passant », Thèse de Doctorat de l'Université Paul Sabatier de Toulouse, 2001.
- [28] Y. C. LIANG, « Oxide-Bypassed VDMOS (OBVDMOS): An Alternative to Superjunction High Voltage MOS Power Devices », IEEE Electron Devices Letters, Vol. 22, n°8, pp. 407-409, 2001.
- [29] Y. CHEN, Y. C. LIANG et G. S. SAMUDRA « Theoretical Analyses of Oxide-Bypassed Superjunction Power Metal Oxide Semiconductor Field Effect Transistor Devices », Japanese Journal of Applied Physics, Vol. 44, n°2, pp. 847-856, 2005.
- [30] Y. WEBER, F. MORANCHO, J.-M. REYNÈS, E. STEFANOV, « A new Optimized 200V Low On-Resistance Power FLYMOSFET », Proceedings ISPSD'08, pp. 149-152, 2008.
- [31] Y. C. LIANG, X. YANG, G. S. SAMUDRA, K. P. GAN et Y. LIU, « Tunable Oxide-Bypassed VDMOS (OBVDMOS) : Breaking the Silicon Limit for the second Generation », Proceedings ISPSD'02, pp. 202-204, 2002.
- [32] T. SHIBATA, Y. NODA, S. YAMAUCHI, S. NOGAMI, T. YAMAOKA, Y. HATTORI, H. YAMAGUCHI, « 200V Trench Filling Type Super Junction MOSFET with Orthogonal Gate Structure », Proceedings ISPSD'07, pp. 37-40, 2007.
- [33] J. SAKAKIBARA, Y. NODA, T. SHIBATA, S. NOGAMI, T. YAMAOKA et H. YAMAGUCHI, « 600V-class Super Junction MOSFET with High Aspect Ratio P/N Columns Structure », Proceedings ISPSD'08, pp. 299-302, 2008.
- [34] W. SAITO, I. OMURA, S. AIDA, S. KODUKI, M. IZUMISAWA, H. YOSHIOKA, H. OKUMURA, M. YAMAGUCHI, T. OGURA, « A $15.5\text{m}\Omega\text{cm}^2$ -680V Superjunction MOSFET Reduced On-Resistance by Lateral Pitch Narrowing », Proceedings ISPSD'06, pp. 1-4, 2006.
- [35] W. SAITO, I. OMURA, S. AIDA, S. KODUKI, M. IZUMISAWA, H. YOSHIOKA et T. OGURA, « Over 1000V Semi-Superjunction MOSFET with Ultra-Low On-Resistance blow the Si-Limit », Proceedings ISPSD'05, pp. 27-30, 2005.
- [36] « Sentaurus Device User Guide », Synopsys, 1028 p., 2007.
- [37] X. YANG, Y. C. LIANG, G. S. SAMUDRA et Y. LIU, « Tunable Oxide-Bypassed Trench Gate MOSFET: Breaking the Ideal Superjunction MOSFET Performance Line at Equal Column Width », IEEE Electron Device Letters, Vol. 24, n° 11, pp. 704-706, 2003.

- [38] Y. C. LIANG, X. YANG, G. S. SAMUDRA, K. P. GAN et Y. LIU, « Tunable Oxide-Bypassed VDMOS (OBVDMOS): Breaking the Silicon Limit for the Second Generation », Proceedings ISPSD'02, pp. 201-204, 2002.
- [39] P. LETURC, G. REY, « Physique des composants actifs à semiconducteurs », Paris : Bordas, 1978, 166 p.
- [40] H. Mathieu, « Physique des semiconducteurs et des composants électroniques », Paris : Dunod, 2001, 826 p.
- [41] M. SAGIO, D. FAGONE, S. MUSUMECI, « MDmeshTM: innovative technology for high voltage PowerMOSFETs », Proceedings ISPSD'00, pp. 65-68, 2000.
- [42] X. B. CHEN, P. A. MAWBY, K. BOARD, C. A. T. SALAMA, « Theory of a novel voltage-sustaining layer for power devices », Microelectronics Journal, Vol. 29, pp. 1005-1011, 1998.
- [43] T. MINATO, T. NITTA, A. UENISI, M. YANO, M. HARADA et S. HINE, « Which is cooler, Trench or Multi-Epitaxy ? », Proceedings ISPSD'00, pp. 73-76, 2000.
- [44] T. NITTA, T. MINATO, A. UENISI, M. HARADA et S. HINE, « Experimental Results and Simulation Analysis of 250V Super Trench Power MOSFET (STM) », Proceedings ISPSD'00, pp. 77-80, 2000.
- [45] S. SAPP, P. THORUP, A. CHALLA, « Novel Low Capacitance VDMOS Device for Switching and RF Power Amplification », Proceedings ISPSD'05, pp. 187-190, 2005.
- [46] J. GLENN et J. SIEKKINEN, « A Novel Vertical Deep Trench RESURF DMOS (VTR-DMOS) », Proceedings ISPSD'00, pp. 197-200, 2000.
- [47] M. RÜB, M. BÄR, F.-J. NIEDEMOSTHEIDE, M. SCHIMITT, H.-J. SCHULZE, A. WILLMEROOTH, « First study on superjunction high-voltage transistors with n-columns formed by proton implantation and annealing », Proceedings ISPSD'04, pp. 181-184, 2004.
- [48] M. RÜB, M. BÄR, G. BEDOY, F.-J. NIEDEMOSTHEIDE, M. SCHIMITT, H.-J. SCHULZE, A. WILLMEROOTH, « 550 V Superjunction 3.9 Ωmm^2 Transistor Formed by 25 MeV Masked Boron Implantation », Proceedings ISPSD'04, pp. 455-458, 2004.
- [49] G. DEBOY, M. MARZ, J. P. STENGL, H. STRACK, J. TIHANY et H. WEBER, « A new generation of high voltage MOSFETs breaks the limit line of silicon », Proceedings IEDM, pp. 683-685, 1998.
- [50] Y. ONISHI, S. IWAMOTO, T. SATO, T. NAGAOKA, K. UENO et T. FUJIHIRA, « 24m Ωcm^2 680V Silicon Superjunction MOSFET », Proceedings ISPSD'02, pp. 241-244, 2002.

-
- [51] S. IWAMOTO, K. TAKAHASHI, H. KURIBAYASHI, S. WAKIMOTO, K. MOCHIZUKI et H. NAKAZAWA, « Above 500V class Superjunction MOSFETs fabricated by deep trench etching and epitaxial growth », Proceedings ISPSD'05, pp. 31-34, 2005.
- [52] W. SAITO, I. OMURA, S. AIDA, S. KODUKI, M. IZUMISAWA et T. OGURA, « Semisuperjunction MOSFETs: New Design Concept for Lower On-Resistance and Softer Reverse-Recovery Body Diode », IEEE Transactions on Electron Devices, Vol. 50, n° 8, pp. 1801-1806, 2003.
- [53] E. R. MOTTO, J. F. DONLON, H. TAKAHASHI, M. TABATA, H. IWAMOTO, « Characteristics of a 1200V PT IGBT With Trench Gate and Local Life Time Control », IAS Annual Meeting, Vol. 2, pp. 811-816, 1998.
- [54] P. M. SHENOY, A. BHALLA et G. M. DOLNY, « Analysis of the effect of charge imbalance on the static and dynamic characteristics of the super junction MOSFET », Proceedings ISPSD'99, pp. 99-102, 1999.
- [55] C. BORDAS, « Optimisation technologique de commutateurs MEMS RF à tenue en puissance améliorée - Application à l'élaboration d'un synthétiseur d'impédance MEMS en bande K », Thèse de Doctorat de l'Université Paul Sabatier de Toulouse, 2008.
- [56] L. NICU, « Biomechanical sensors from the macro to the nanoscale - the way forward », Habilitations à diriger des recherches, Université Paul Sabatier, Toulouse, 2008.
- [57] P. ARGUEL, « Approches de l'intégration photonique dans les microsystèmes », Habilitations à diriger des recherches, Université Paul Sabatier, Toulouse, 2005.
- [58] P. DUBREUIL, M. BRUNET, H. KOTB MAHFOZ, G. TOULON, H. GRANIER, « La gravure profonde du silicium de réseaux de tranchées denses à fort facteur de forme », Rapport LAAS N°07625, 2007, 26 p.
- [59] R. MAHAMDI, F. MANSOUR, H. BOURIDAH, P. TEMPLE BOYER, E. SCHEID, L. JALABERT, « Recrystallized polysilicon films deposited from disilane: simulation and characterization », Proceedings ESPS NIS, 17 p., 2008.
- [60] L. RABBIA, « Nouvelle filière technologique pour micro-commutateurs parallèles capacitifs micro-ondes sur membrane diélectrique », Thèse de Doctorat de l'Université Paul Sabatier de Toulouse, 2005.
- [61] P. ROSSEL, H. MARTINOT, M. ZAMORANO, « Propriétés statiques des transistors MOS de puissance à canal vertical. Cas du régime de pincement », Revue de Physique Appliquée, Vol. 13, pp. 23-28, 1978
- [62] D. A. GRANT, J. GOWAR, « Power MOSFETs, Theory and Applications », Wiley-Interscience Publication, 1989, 504 p.

- [63] H. HAKIM, J.-L. SANCHEZ, J.-P. LAUR, P. AUSTIN, M. BREIL, « The concave junction: an attractive topology to design specific junction terminations », Proceedings ISPSD'02, pp. 193-196, 2002.
- [64] Y. BAI, A. Q. HUANG, X. LI, « Junction termination technique for super junction devices », Proceedings ISPSD'00, pp. 257-261, 2000.
- [65] D. DRAGOMIRESCU, « Conception des terminaisons de jonctions pour des dispositifs très haute tension. Aspects statiques et dynamiques », Thèse de Doctorat de l'Institut National des Sciences Appliquées, Toulouse, 2001.
- [66] P. ALOÏSI, « Les semiconducteurs de puissance, de la physique du solide aux application », Ellipses édition Marketing, 2001, 320 p.
- [67] M. CORREVEON, Chapitre 06 - Les semiconducteurs de puissance, la diode [Ressource électronique], disponible sur : <http://www.iai.heig-vd.ch/cours.php?cours=ep>
- [68] Infineon DataSheet, module FZ1200R12KL4C, [Ressource électronique], disponible sur : <http://www.infineon.com/cms/en/product/channel.html>
- [69] Infineon DataSheet, module FZ1200R12KE3, [Ressource électronique], disponible sur : <http://www.infineon.com/cms/en/product/channel.html>
- [70] P. LETURCQ : Composants semi-conducteurs de puissance bipolaires. Techniques de l'Ingénieur, traité de Génie électrique, D3 106, pp. 1-19.
- [71] J. VOBECKY et P. HAZDRA, « Local Lifetime Control by Means of Palladium », Proceedings ISPS'06, pp. 217-221, 2006.
- [72] P. HAZDRA et J. VOBECKY, « Local Lifetime Control in Silicon by Radiation Controlled Diffusion of Platinum », Proceedings ISPS'06, pp. 211-215, 2006.
- [73] M. BRUNET, P. DUBREUIL, E. SCHEID, J.-L. SANCHEZ, « Development of fabrication techniques for high-density integrated MIM capacitors in power conversion equipment », Micromachining and Microfabrication Process Technology XI, part of the SPIE MOEMS-MEMS Symp., Photonics West, 2006.
- [74] F. NEGRI, « Traitement des plaquettes de GaAs (100) de grand diamètre : mise au point du procédé, préparation et caractérisations de surface pour l'épitaxie par jets moléculaires », Thèse de Doctorat de l'Université Paul Sabatier de Toulouse, 2001.
- [75] G. TROUSSIER, « Intégration de bobines sur silicium pour la conversion d'énergie », Thèse de Doctorat de l'Institut National des Sciences Appliquées de Toulouse, 2004.

-
- [76] A. MODAFE, N. GHALICHECHIAN, M. POWERS, M. KHBEIS and R. GHODSSI, « Embedded benzocyclobutene in silicon: An integrated fabrication process for electrical and thermal isolation in MEMS », *Microelectronic Engineering*, Vol. 82, pp. 154-167, 2005.
- [77] M. E. Mills, P. Townsend, D. Castillo, S. Martin, A. Achen, « Benzocyclobutene (DVS-BCB) polymer as an interlayer dielectric (ILD) material », *Microelectronic Engineering*, Vol. 33, pp. 327-334, 1997.
- [78] 3M DataSheet, Fluorinert FC-72, [Ressource électronique], disponible sur : http://multimedia.mmm.com/mws/mediawebserver.dyn?6666660Zjcf61Vs6E_Vs666YNQCOrrrrQ-
- [79] Solvay Solexis, Galden® PFPE, [Ressource électronique], disponible sur : <http://www.solvaysolexis.com/static//wma/pdf/9/1/5/0/bro%20Testing.pdf>
- [80] Ixys DataSheet, module IXTA06N120P, [Ressource électronique], disponible sur : [http://ixdev.ixys.com/DataSheet/DS99872A\(IXTA-TP06N120P\).pdf](http://ixdev.ixys.com/DataSheet/DS99872A(IXTA-TP06N120P).pdf)

Annexe 1

Corps d'un programme de simulation pour la tenue en tension


```

#-----#
# Commentaire #
#-----#

Electrode                                     # Définition des différentes électrodes de la structure
{
  { Name = "Source" Voltage=0.0 }
  { Name = "Drain" Voltage=0.0 Resist=2e12 }      # La résistance facilite la convergence du système à l'avalanche
  { Name = "Gate" Voltage=0.0 }
}

File                                           # Fichier de définition et de sauvegarde des données
{
  Grid = "@tdr@"                               # récupération automatique du fichier de définition de la structure au format "tdr"
  Current = "@plot@"                           # Sauvegarde des courants et tension à chaque pas de calcul
  Plot = "@tdrdat@"                             # Sauvegarde des éléments de la section « plot »
  Output = "@log@"                              # Sauvegarde des pas de calcul
  Parameter = "sdevice"                         # Appel d'un fichier de paramètre
}

Physics                                        # Modèles physiques pris en compte
{
  AreaFactor = 1e4                              # Augmentation de la profondeur pour obtenir une surface équivalente à des cm²
  Mobility                                       # Modèles de mobilité utilisés
  (
    DopingDep
    HighFieldSaturation
    Enormal
    CarrierCarrierScattering (ConwellWeisskopf)
  )
  Recombination                                 # Modèles de recombinaison utilisés
  (
    SRH (DopingDep)
    Auger
    Avalanche (Eparalel)
  )
  EffectiveIntrinsicDensity (OldSlotboom)
}

Plot                                           # Données sauvegardées à la fin de la simulation
{
  eCurrent hCurrent Current
  ElectricField SpaceCharge Potential
  Doping Avalanche
}

Math                                           # Modèles mathématiques aidant à la résolution de la simulation
{
  Extrapolate
  RelErrControl
  Iterations=15
  Method = pardiso
  BreakCriteria
}

```

```
{
  Current (Contact = "Drain" maxval = 1e-6)      # Arrêt de la simulation pour un courant maximal en avalanche
}
}
```

Solve # système à résoudre

```
{
  #-initial solution
  Poisson
  Coupled { Poisson Electron Hole }
  #-ramp drain
  Quasistationary                               # Simulation électrique jusqu'à une tension de drain de 2500 V
  (
    InitialStep = 1e-4
    MaxStep = 0.01
    Minstep = 1e-6
    Goal {Name="Drain" voltage=2500}
  )
  { Coupled { Poisson Electron Hole } }
}
```


Annexe 2

Corps d'un programme de simulation pour le recouvrement d'une diode interne d'un transistor MOS

Annexe 2 : Corps d'un programme de simulation pour le recouvrement d'une diode interne d'un transistor MOS

```

#-----#
# Commentaire #
#-----#

Device NMOS
{
  Electrode                                     # Définition des différentes électrodes de la structure
  {
    { Name = "Source" Voltage=0.0 }
    { Name = "Drain" Voltage=0.0 }
    { Name = "Gate" Voltage=0.0 Barrier=-0.55 }      # La barrière permet de définir le travail entre le poly-Si et le Si
  }

  File                                           # Fichier de définition et de sauvegarde des données
  {
    Grid = "@grid@"                             # récupération automatique du fichier de géométrie de la structure au format "grd"
    Doping = "@doping@"                         # récupération automatique du fichier de dopage de la structure au format "dat"
    Current = "@plot@"                          # Sauvegarde des courants et tension à chaque pas de calcul
    Plot = "@dat@"                              # Sauvegarde des éléments de la section « plot »
    Parameter = "sdevice.par"                  # Appel d'un fichier de paramètre
  }
  Physics                                       # Modèles physiques pris en compte
  {
    Temperature = @Temp@                        #Prise en compte des phénomènes de température
    AreaFactor = @Area@                        # Augmentation de la profondeur pour obtenir une surface équivalente à des cm²
    Mobility                                     Modèles de mobilité utilisés
    (
      DopingDep
      eHighFieldSaturation
      hHighFieldSaturation
      CarrierCarrierScattering
      Enormal
    )
    Recombination                               # Modèles de recombinaison utilisés
    (
      SRH (DopingDep)
      Auger
      eAvalanche (Eparallel)
      hAvalanche (Eparallel)
    )
    EffectiveIntrinsicDensity (OldSlotboom)
  }
}

System                                           # Description du circuit électrique
{
  NMOS INTER ("Drain"=d1 "Source"=s1 "Gate"=g1) } #Composants décrits par Sentaurus (éléments finis)
  NMOS DUT ("Drain"=d2 "Source"=s2 "Gate"=g2) }
  Inductor_pset L (m1 d1) {inductance = 1e-6}
  Inductor_pset Lp (s2 m2) {inductance = 1e-9}
  Resistor_pset Rp (m2 m1) {resistance = 1e-4}
  Resistor_pset R (g2 s2) {resistance = 1e-4}
  Resistor_pset Rg (g1 g3) {resistance = 1e1} } # Composants décrits en modèle compact
}

```

```

# Diode_pset D (d2 s1)
Vsource_pset E (d2 s1) {pwl = ( 0.0 0
                                2e-5 600
                                3.6e-5 600
                                )}
Isource_pset I (d2 m1) {pwl = ( 0.0 0
                                2e-5 0
                                3e-5 1200
                                3.6e-5 1200
                                )}

Vsource_pset G (g3 s1) {pwl = ( 0.0 0
                                3.1e-5 0
                                3.1001e-5 15
                                3.6e-5 15
                                )}

Set (s1 = 0)
Plot "nodes.plt" (time() v(up d1) i(r1 d1) v(d1 s1) v(g2 s2))
# initialize (up = 0, d1 = 0)
}

File
{
  Output = "@log@" # Sauvegarde des pas de calcul
}

Plot # Données sauvegardées à la fin de la simulation
{
  eCurrent/Vector hCurrent/Vector Current/Vector
  eLifeTime hLifeTime
  eDensity hDensity
  Potential Polarization
  ElectricField SpaceCharge
  Doping SRH Avalanche
}

Math # Modèles mathématiques aidant à la résolution de la simulation
{
  number_of_threads = 2
  Extrapolate
  NoCheckTransientError
  RelErrControl
  Iterations = 20
  NoAutomaticCircuitContact
  DirectCurrentComp
  Transient = BE
}

Solve # système à résoudre
{
  #-build up initial solution
  Circuit
  Coupled { Circuit Poisson Contact Electron Hole }
}











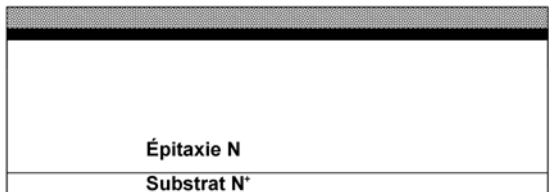
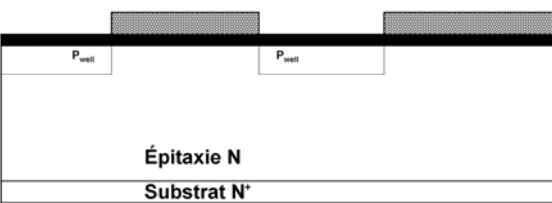
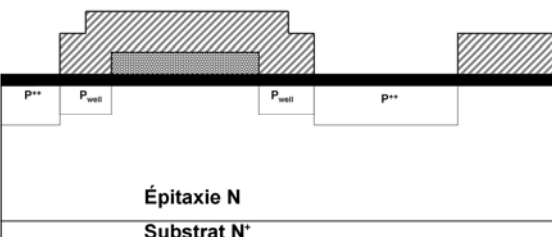
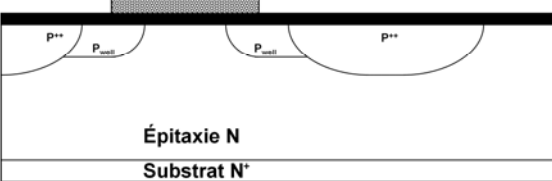
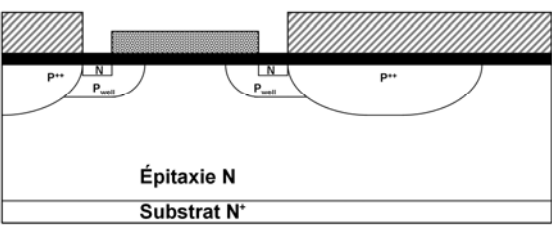
```

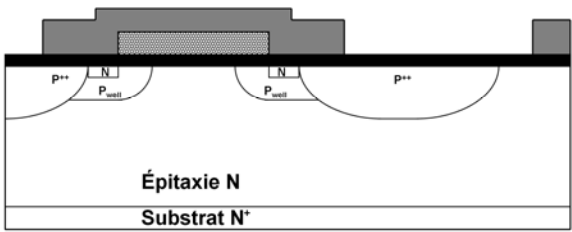
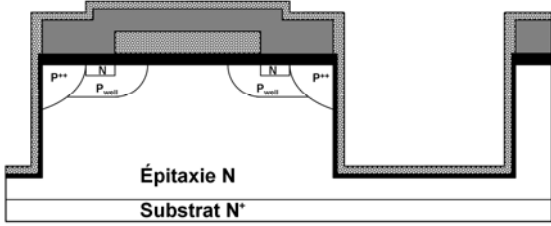
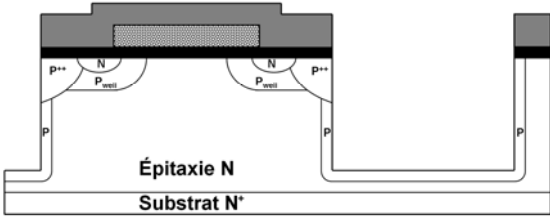
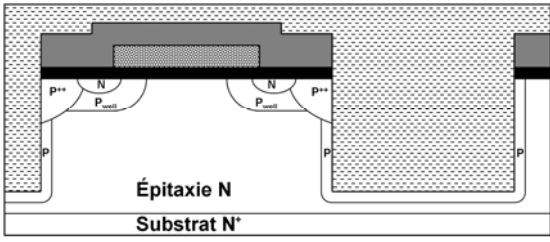
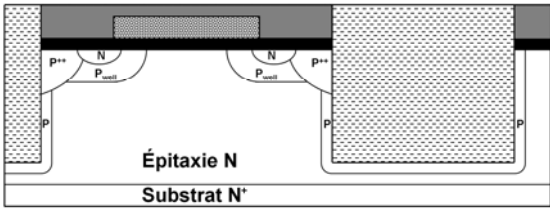
```
#-transient simulation          # Simulation temporelle en deux phases pour avoir des pas de calcul différents
Transient                      # Simulation temporelle de 0 à 30,9 µs
(
  InitialTime    = 0
  FinalTime      = 3.09e-5
  InitialStep    = 1e-12
  MinStep        = 1e-15
  MaxStep        = 1e-6
)
{ Coupled { Circuit Poisson Contact Electron Hole } }
```

```
#-transient simulation
Transient                      # Simulation temporelle de 30,9 à 36 µs
(
  InitialTime    = 3.09e-5
  FinalTime      = 3.6e-5
  InitialStep    = 1e-8
  MinStep        = 1e-15
  MaxStep        = 5e-8
)
{ Coupled { Circuit Poisson Contact Electron Hole } }
```

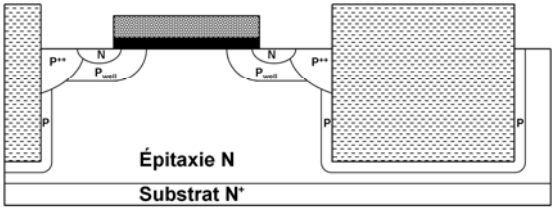
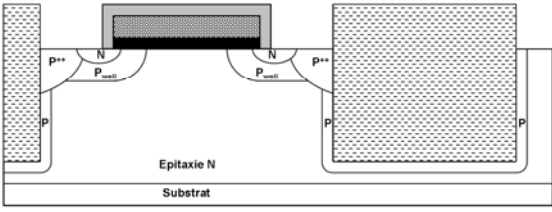
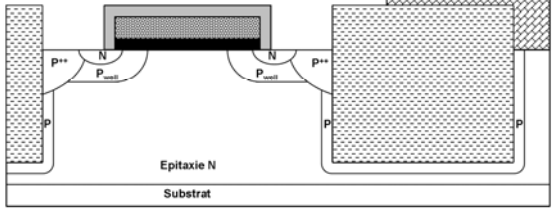
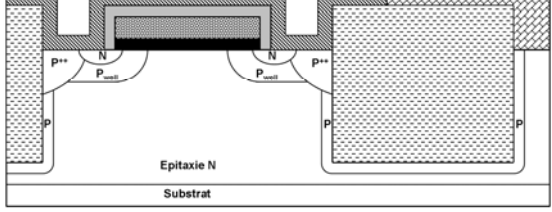
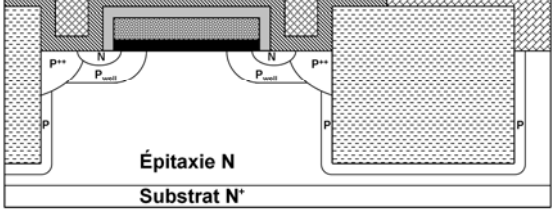
Annexe 3

Description du procédé de fabrication envisagé pour réaliser le DT-SJMOSFET

 Silicium	 Oxyde thermique	 Résine de masquage	 Polysilicium de Grille	 SiO₂ LPCVD	
 SOD	 Nitrure	 Passivation 1	 Titane / Or	 Passivation 2	
 <p style="text-align: center;">Épitaxie N Substrat N⁺</p> <p style="text-align: center;"><i>(a) Croissance d'oxyde et dépôt du polysilicium de grille.</i></p>					<ul style="list-style-type: none"> - Croissance d'oxyde de grille de 800 Å, - Dépôt de polysilicium de 3000 Å.
 <p style="text-align: center;">Épitaxie N Substrat N⁺</p> <p style="text-align: center;"><i>(b) Implantation du Pwell.</i></p>					<ul style="list-style-type: none"> - Dépôt de résine de masquage, - Gravure du polysilicium par RIE, - Implantation de bore avec une dose de $3 \cdot 10^{12} \text{ cm}^{-3}$ et une énergie de 30 keV, - Retrait de la résine de masquage.
 <p style="text-align: center;">Épitaxie N Substrat N⁺</p> <p style="text-align: center;"><i>(c) Implantation du P⁺.</i></p>					<ul style="list-style-type: none"> - Dépôt de résine de masquage, - Gravure du polysilicium par RIE, - Implantation de bore avec une dose de $1 \cdot 10^{15} \text{ cm}^{-3}$ et une énergie de 30 keV, - Retrait de la résine de masquage.
 <p style="text-align: center;">Épitaxie N Substrat N⁺</p> <p style="text-align: center;"><i>(d) Redistribution du Pwell et P⁺.</i></p>					<ul style="list-style-type: none"> - Redistribution à 1150 °C pendant 150 min sous N₂.
 <p style="text-align: center;">Épitaxie N Substrat N⁺</p> <p style="text-align: center;"><i>(e) Implantation d'arsenic sans activation.</i></p>					<ul style="list-style-type: none"> - Dépôt de résine de masquage, - Implantation d'arsenic avec une dose de $1 \cdot 10^{16} \text{ cm}^{-3}$ et une énergie de 100 keV, - Retrait de la résine de masquage.

 <p>(f) Dépôt d'oxyde par LPCVD.</p>	<ul style="list-style-type: none"> - Dépôt par LPCVD de 250 nm de SiO₂, - Dépôt de résine de masquage, - Gravure de l'oxyde par BHF (acide HydroFluorique tamponné), - Retrait de la résine de masquage.
 <p>(g) Gravure des tranchées, croissance de l'oxyde de contrôle et dépôt du polysilicium saturé en bore.</p>	<ul style="list-style-type: none"> - Gravure des tranchées par DRIE pendant 80 min environ pour 100 μm de profondeur, - Croissance de l'oxyde de contrôle à 900 °C pendant 35 min sous O₂ puis 15 min sous N₂, - Dépôt de 200 nm de polysilicium saturé en bore.
 <p>(h) Diffusion du bore et nettoyage des tranchées.</p>	<ul style="list-style-type: none"> - Recuit de diffusion : condition à définir selon la dose voulue, Gravure du polysilicium en HNA. (acide Hydrofluorique + acide Nitrique + acide Acétique) - Gravure des oxydes en BHF.
 <p>(i) Dépôt de SOD.</p>	<ul style="list-style-type: none"> - Dépôt de SOD (Spin On Dielectric) à la tournette, - Recuit à 120 °C pendant 1 min, - Deuxième dépôt de SOD à la tournette, - Recuit à 250 °C pendant 180 min.
 <p>(j) Polissage du SOD.</p>	<ul style="list-style-type: none"> - Polissage par CMP de la plaquette pendant environ 50 min avec un débit de 100 ml/min, une vitesse de rotation du plateau de 60 rpm et une vitesse de rotation de la tête de 50 rpm.

Source

 <p style="text-align: center;">Épitaxie N Substrat N'</p> <p style="text-align: center;"><i>(k) Retrait de l'oxyde.</i></p>	<ul style="list-style-type: none"> - Gravure de l'oxyde par BHF.
 <p style="text-align: center;">Épitaxie N Substrat</p> <p style="text-align: center;"><i>(l) Dépôt de nitrure.</i></p>	<ul style="list-style-type: none"> - Dépôt de 1200 Å de Si₃N₄ par LPCVD à 750 °C pendant 50 min. - Dépôt de résine de masquage, - Gravure du nitrure par RIE, - Retrait de la résine de masquage.
 <p style="text-align: center;">Épitaxie N Substrat</p> <p style="text-align: center;"><i>(m) Dépôt de la passivation primaire.</i></p>	<ul style="list-style-type: none"> - Dépôt de 500 nm de SiO₂ par PECVD à 250 °C. - Dépôt de résine de masquage, - Gravure du SiO₂ par BHF, - Retrait de la résine de masquage.
 <p style="text-align: center;">Épitaxie N Substrat</p> <p style="text-align: center;"><i>(n) Dépôt de la métallisation</i></p>	<ul style="list-style-type: none"> - Dépôt de métal (Ti/ Au) sur la face avant, - Dépôt de résine de masquage, - Gravure du métal, - Retrait de la résine de masquage, - Dépôt de métal (Ti/ Au) sur la face arrière, - Recuit du métal à 250 °C pendant 20 min sous N₂.
 <p style="text-align: center;">Épitaxie N Substrat N'</p> <p style="text-align: center;"><i>(o) Dépôt de la passivation secondaire.</i></p>	<ul style="list-style-type: none"> - Dépôt de la passivation secondaire.

Annexe 4

Description du jeu de masques des diodes réalisées

Cette annexe présente le jeu de masques utilisé pour réaliser les différentes diodes utilisées pour valider les étapes technologiques critiques et le principe de la terminaison DT².

Les masques sont constitués d'une cellule répétée 120 fois comprenant 12 diodes distinctes espacées de 500 μm . Pour chaque composant, la terminaison est réalisée de manière différente (Spirale, Double gravure...). Nous avons également fait varier la largeur de la tranchée de terminaison afin d'évaluer son impact sur la tenue en tension. La largeur de la plaque de champ est constante et égale à 40 μm pour chaque diode. La figure A.1 présente les cellules du masque, tandis que les schémas suivants présentent la géométrie d'un des angles de la structure.

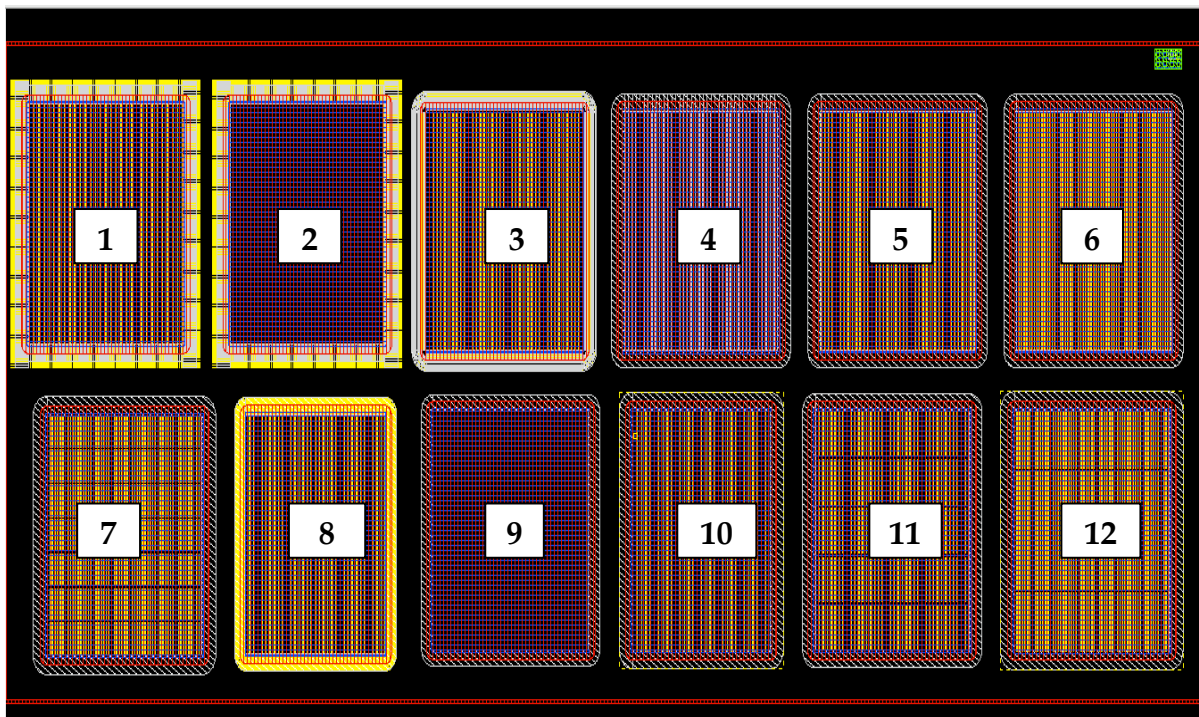


Figure A.1 : Vue d'une cellule du Jeu de masques pour valider la terminaison DT².

DIODE 1 :

Surface active :

Tranchées de 1 mm de long de 4 μm de large l'espacement entre 2 tranchées est de 26 μm .

Terminaison :

Réalisation de doigts diélectriques par deux gravures successives :

- une première pour réaliser des tranchées de 4 μm de large avec un espacement entre 2 tranchées de 6 μm qui seront remplies de diélectrique.

- une seconde pour réaliser des tranchées vides ayant une ouverture de $8\ \mu\text{m}$ de large avec un espacement entre 2 tranchées de $2\ \mu\text{m}$. La largeur totale de la terminaison est de $77\ \mu\text{m}$ avec une largeur de la plaque de champ de $40\ \mu\text{m}$.

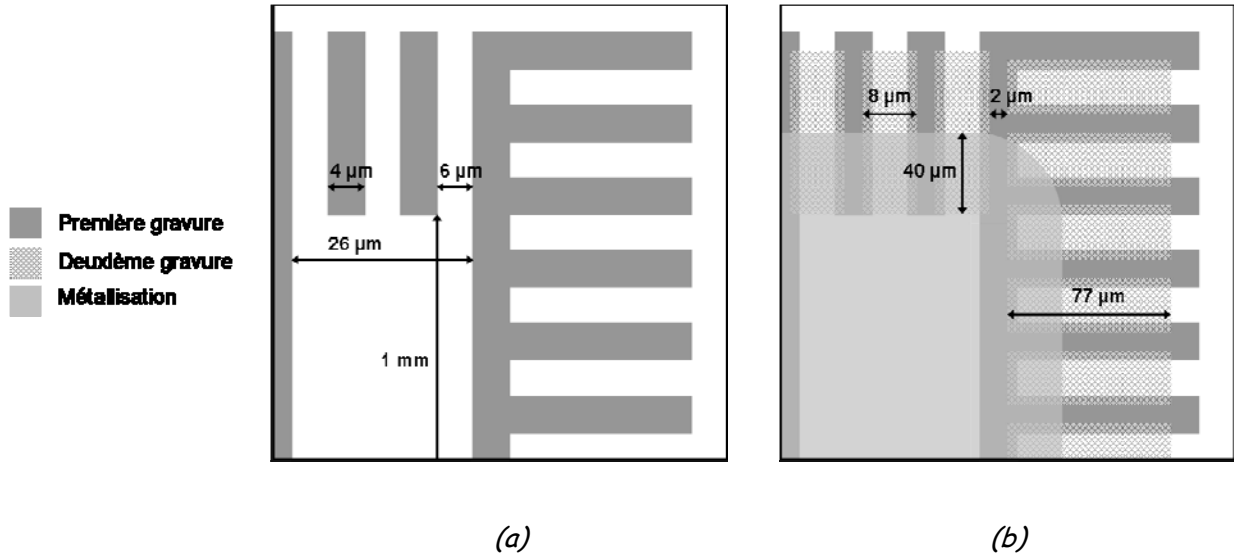


Figure A.2 : Diode 1 (a) Schéma du masque de la première gravure, (b) schéma du masque de la seconde gravure avec la métallisation.

DIODE 2 :

Surface active :

Aucune tranchée réalisée.

Terminaison :

Réalisation de doigts diélectriques par deux gravures successives :

- une première pour réaliser des tranchées de $4\ \mu\text{m}$ de large avec un espacement entre 2 tranchées de $6\ \mu\text{m}$ qui seront remplies de diélectrique.
- une seconde pour réaliser des tranchées vides ayant une ouverture de $8\ \mu\text{m}$ de large avec un espacement entre 2 tranchées de $2\ \mu\text{m}$. La largeur totale de la terminaison est de $77\ \mu\text{m}$ avec une largeur de la plaque de champ de $40\ \mu\text{m}$.

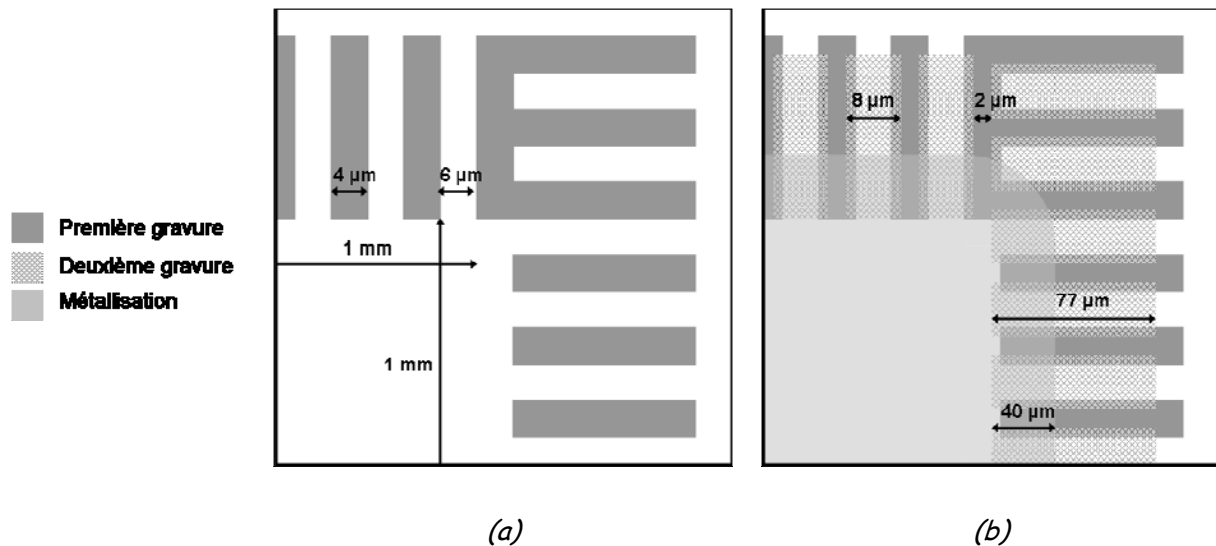


Figure A.3 : Diode 2 (a) Schéma du masque de la première gravure, (b) schéma du masque de la seconde gravure avec la métallisation.

DIODE 3 :

Surface active :

Tranchées de 1 mm de long de $3 \mu\text{m}$ de large l'espacement entre 2 tranchées est de $20 \mu\text{m}$.

Terminaison :

Réalisation d'une tranchée large par deux gravures successives en anneaux concentriques :

- une première pour réaliser des tranchées de $3 \mu\text{m}$ de large avec un espacement entre 2 tranchées de $6 \mu\text{m}$ qui seront remplies de diélectrique.
- une seconde pour réaliser des tranchées de $7 \mu\text{m}$ de large avec un espacement entre 2 tranchées de $2 \mu\text{m}$ qui seront aussi remplies de diélectrique. La largeur totale de la terminaison est de $78,5 \mu\text{m}$ avec une largeur de la plaque de champ de $40 \mu\text{m}$.

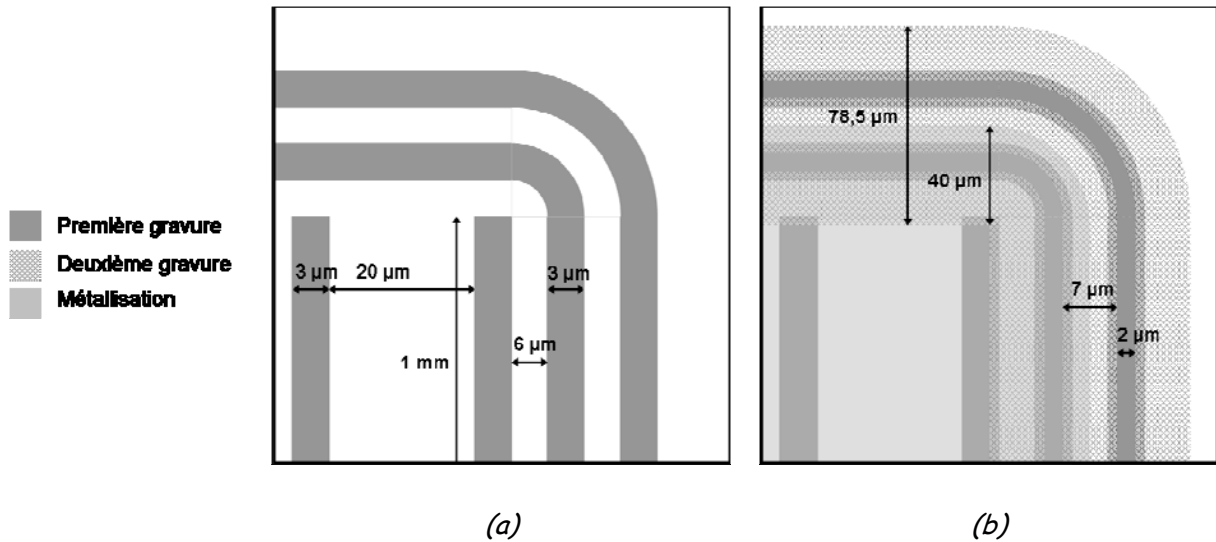


Figure A.4 : Diode 3 (a) Schéma du masque de la première gravure, (b) schéma du masque de la seconde gravure avec la métallisation.

DIODE 4 :

Surface active :

Tranchées de 1 mm de long de 3 µm de large l'espacement entre 2 tranchées est de 20 µm.

Terminaison :

Réalisation d'une tranchée large par une seule gravure sur le même masque que les tranchées en cellules élémentaires :

- une seule gravure pour réaliser une tranchée dont la largeur est de 78,5 µm avec une largeur de la plaque de champ de 40 µm.

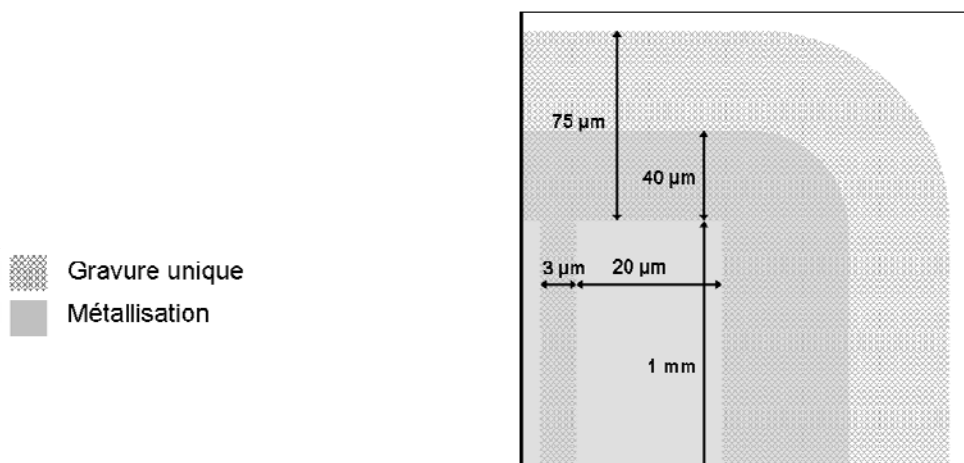


Figure A.5 : Diode 4 : Schéma du masque de gravure avec la métallisation.

DIODE 5 :

Surface active :

Tranchées de 1 mm de long de 3 μm de large l'espacement entre 2 tranchées est de 20 μm .

Terminaison :

Réalisation d'une tranchée large par une seule gravure sur un masque différent des tranchées en cellules élémentaires :

- une seule gravure pour réaliser une tranchée dont la largeur est de 75 μm avec une largeur de la plaque de champ de 40 μm .

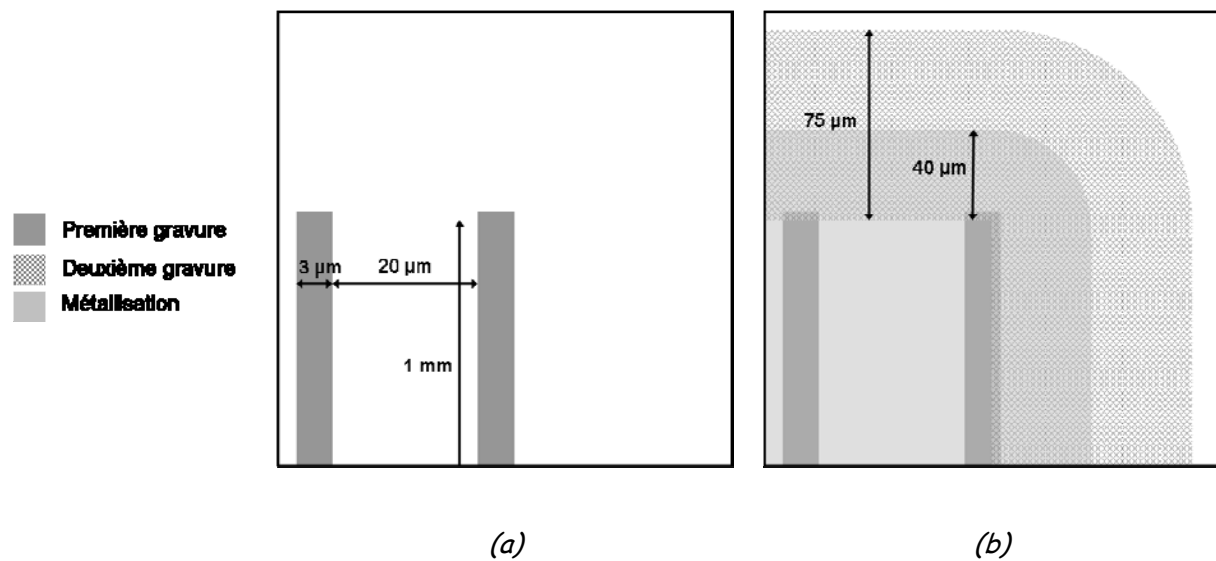


Figure A.6 : Diode 5 (a) Schéma du masque de la première gravure, (b) schéma du masque de la seconde gravure avec la métallisation.

DIODE 6 :

Surface active :

Tranchées de 1 mm de long de 3 μm de large l'espacement entre 2 tranchées est de 12 μm .

Terminaison :

Réalisation d'une tranchée large par une seule gravure sur un masque différent des tranchées en cellules élémentaires :

- une seule gravure pour réaliser une tranchée dont la largeur est de 72,5 μm avec une largeur de la plaque de champ de 40 μm .

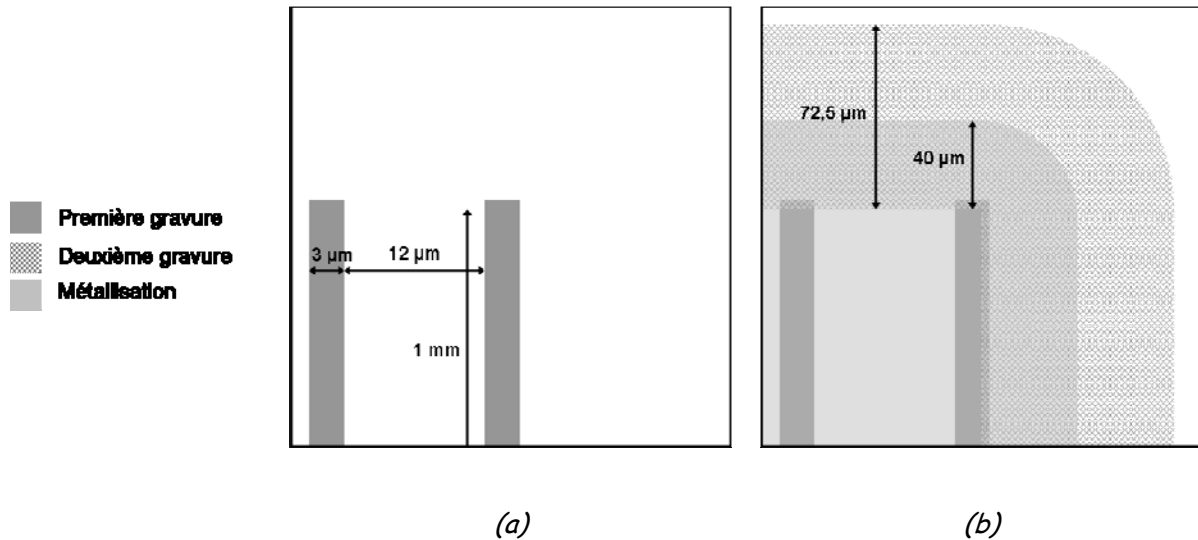


Figure A.7 : Diode 6 (a) Schéma du masque de la première gravure, (b) schéma du masque de la seconde gravure avec la métallisation.

DIODE 7 :

Surface active :

Tranchées de 166 μm de long de 3 μm de large l'espacement entre 2 tranchées est de 12 μm .

Terminaison :

Réalisation d'une tranchée large par une seule gravure sur un masque différent des tranchées en cellules élémentaires :

- une seule gravure pour réaliser une tranchée dont la largeur est de 82,5 μm avec une largeur de la plaque de champ de 40 μm .

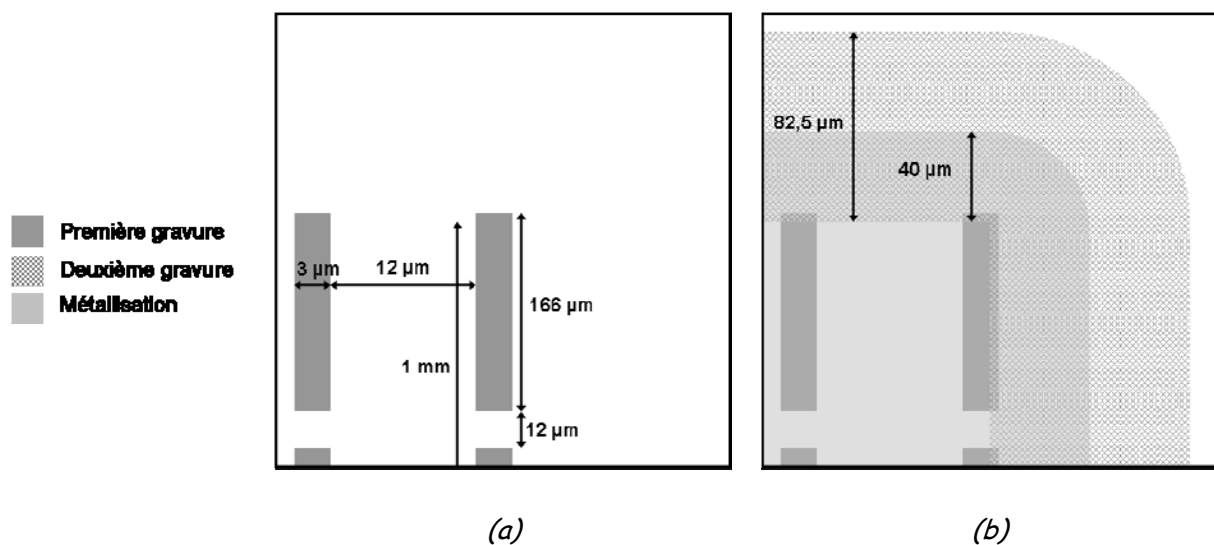


Figure A.8 : Diode 7 (a) Schéma du masque de la première gravure, (b) schéma du masque de la seconde gravure avec la métallisation.

DIODE 8 :

Surface active :

Tranchées de 1 mm de long de $3\ \mu\text{m}$ de large l'espacement entre 2 tranchées est de $21\ \mu\text{m}$.

Terminaison :

Réalisation d'une tranchée large par deux gravures successives en anneaux concentriques :

- une première pour réaliser des tranchées de $3\ \mu\text{m}$ de large avec un espacement entre 2 tranchées de $5\ \mu\text{m}$ qui seront rempli de diélectrique.
- une seconde pour réaliser une tranchée de $65\ \mu\text{m}$ de qui sera aussi rempli de diélectrique. La largeur totale de la terminaison est de $65\ \mu\text{m}$ avec une largeur de la plaque de champ de $40\ \mu\text{m}$.

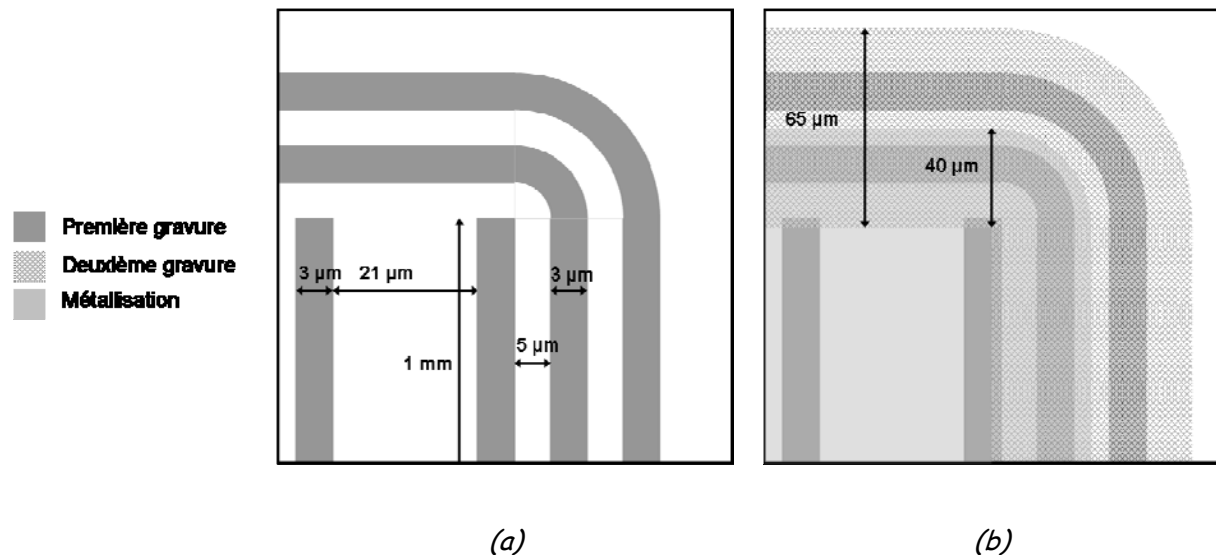


Figure A.9 : Diode 8 (a) Schéma du masque de la première gravure, (b) schéma du masque de la seconde gravure avec la métallisation.

DIODE 9 :

Surface active :

Aucune tranchée réalisée.

Terminaison :

Réalisation de la tranchée large par une seule gravure de $68\ \mu\text{m}$ de large avec une largeur de la plaque de champ de $40\ \mu\text{m}$.

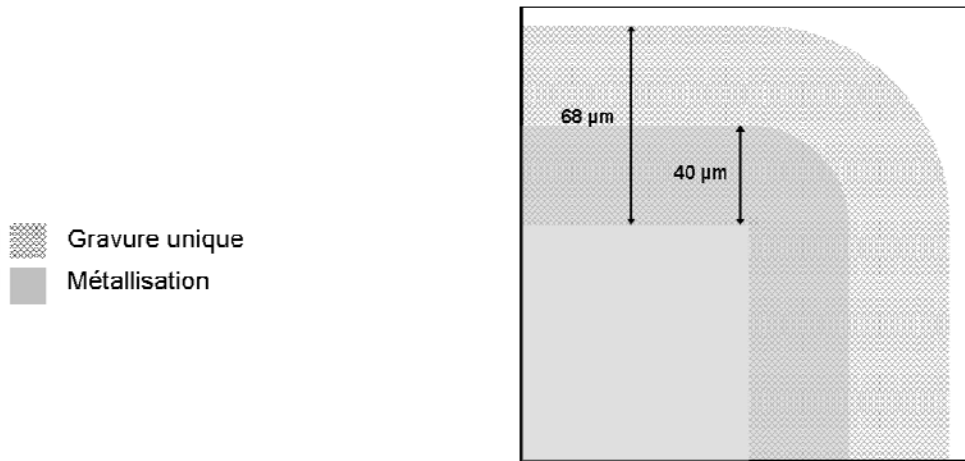


Figure A.10 : Diode 9 Schéma du masque de gravure avec la métallisation.

DIODE 10 :

Surface active :

Tranchées de 1 mm de long de 2 μm de large l'espacement entre 2 tranchées est de 23 μm.

Terminaison :

Réalisation d'une tranchée large par une seule gravure sur un masque différent des tranchées en cellules élémentaires :

- une seule gravure pour réaliser une tranchée dont la largeur est de 77,5 μm avec une largeur de la plaque de champ de 40 μm.

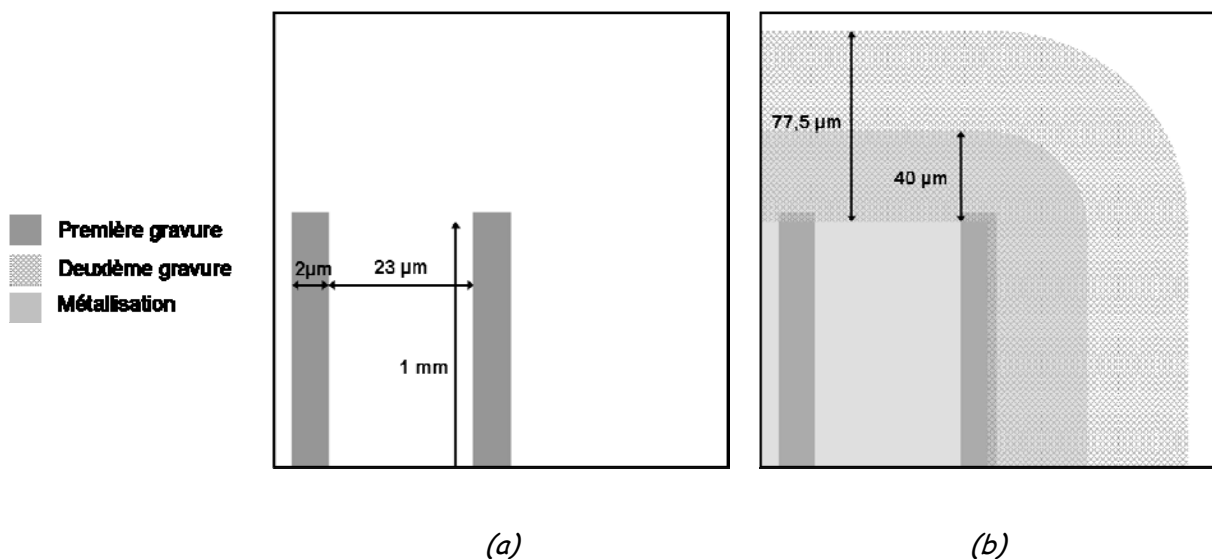


Figure A.11 : Diode 10 (a) Schéma du masque de la première gravure, (b) schéma du masque de la seconde gravure avec la métallisation.

DIODE 11 :

Surface active :

Tranchées de 250 μm de long de 3 μm de large l'espacement entre 2 tranchées est de 20 μm .

Terminaison :

Réalisation d'une tranchée large par une seule gravure sur un masque différent des tranchées en cellules élémentaires :

- une seule gravure pour réaliser une tranchée dont la largeur est de 75 μm avec une largeur de la plaque de champ de 40 μm .

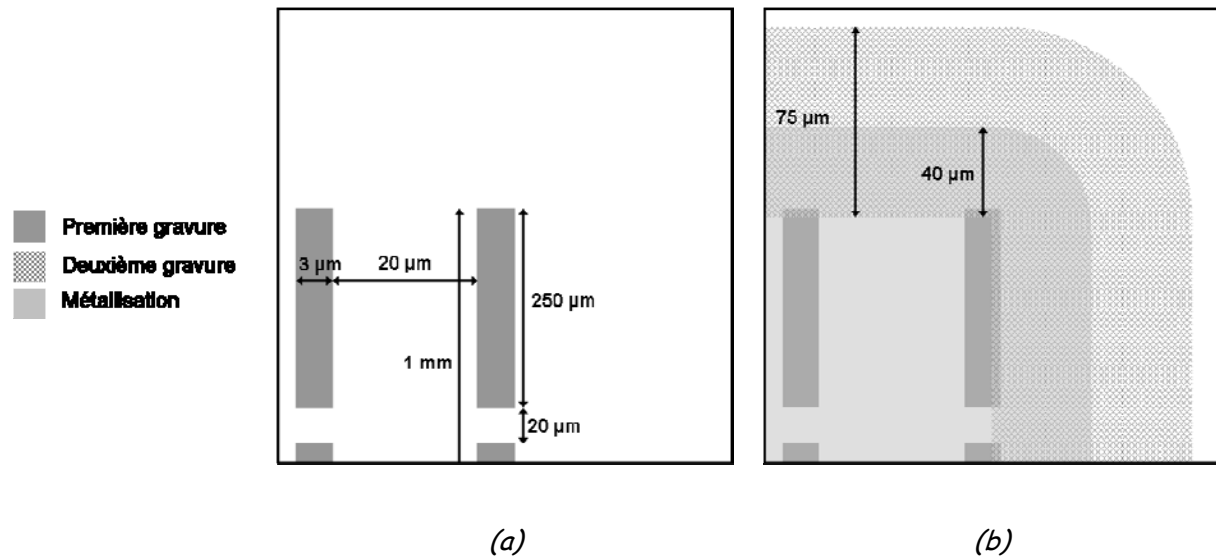


Figure A.12 : Diode 11 (a) Schéma du masque de la première gravure, (b) schéma du masque de la seconde gravure avec la métallisation.

DIODE 12 :

Surface active :

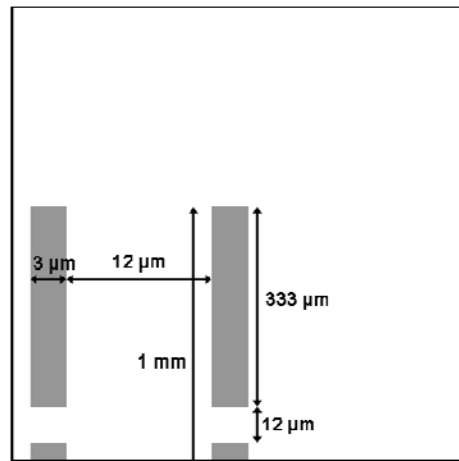
Tranchées de 333 μm de long de 3 μm de large l'espacement entre 2 tranchées est de 12 μm .

Terminaison :

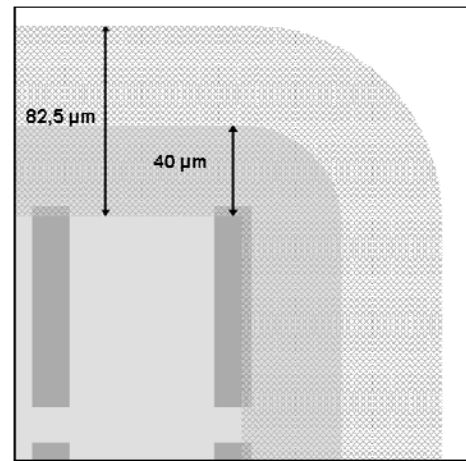
Réalisation d'une tranchée large par une seule gravure sur un masque différent des tranchées en cellules élémentaires :

- une seule gravure pour réaliser une tranchée dont la largeur est de 82,5 μm avec une largeur de la plaque de champ de 40 μm .

- Première gravure
- ▨ Deuxième gravure
- Métallisation



(a)



(b)

Figure A.13 : Diode 12 (a) Schéma du masque de la première gravure, (b) schéma du masque de la seconde gravure avec la métallisation.

Liste des publications

Revue internationale :

- L. Théolier, K. Isoird, H. Tranduc, F. Morancho, J. Roig, Y. Weber, E. Stefanov, J-M. Reynès, Switching Performance of 65 Volts Vertical N-Channel FLYMOSFETs, *Microelectronics Journal*, Vol. 39, N°6, pp. 914-921, Mars 2008.

Conférences internationales :

- H. Mahfoz-Kotb, L. Théolier, F. Morancho, K. Isoird, P. Dubreuil, T. Do Conto, Feasibility study of a junction termination using deep trench isolation technique for the realization of DT-SJMOSFETs, 20th International Symposium on Power Semiconductor Devices & ICs (ISPSD'08), Orlando (USA), 4 pages, Mai 2008.
- L. Théolier, F. Morancho, K. Isoird, H. Mahfoz-Kotb, H. Tranduc, The DT-SJMOSFET: a new power MOSFET structure for high-voltage applications, 2nd International Automotive Power Electronics (APE'2007), Paris, 8 pages, Septembre 2007.
- L. Théolier, K. Isoird, F. Morancho, J. Roig, M. Brunet, P. Dubreuil, H. Mahfoz-Kotb, Deep Trench MOSFET structures study for a 1200 Volts application, 12th European Conference on Power Electronics and Applications (EPE'2007), Aalborg (Danemark), 9 pages, Septembre 2007.
- L. Théolier, K. Isoird, H. Tranduc, F. Morancho, J. Roig, Y. Weber, E.N. Stefanov, J-M. Reynès, Switching Performance of 65 Volts Vertical N-Channel FLYMOSFETs, 8th International Seminar on Power Semiconductors (ISPS'2006), Prague (République Tchèque), pp. 117-122, Septembre 2006.

Conférences nationales et séminaires

- H. Mahfoz-Kotb, L. Théolier, F. Morancho, K. Isoird, P. Dubreuil, T. Do Conto, Étude de faisabilité d'une terminaison de jonction basée sur des tranchées profondes pour des composants haute tension (1200 V), accepté à Électronique de Puissance du Futur (EPF'08), Tours, Juillet 2008.

- L. Théolier, H. Mahfoz-Kotb, K. Isoird, F. Morancho, Étude paramétrique des performances statiques du DTSJMOSFET, accepté à Électronique de Puissance du Futur (EPF'08), Tours, Juillet 2008.
- L. Théolier, K. Isoird, H. Tranduc, F. Morancho, J. Roig, Y. Weber, E.N. Stefanov, J-M. Reynès, Performances dynamiques des transistors FLYMOS™ 65Volts à canal N, Électronique de Puissance du Futur (EPF'06), Grenoble, Juillet 2006.

Abstract

Deep Trench high voltage (1200 Volts) MOSFET conception for power electronics

IGBTs are currently used in rail train 1200 Volts power converter. These are disabled by important switch losses and thermal surge. Substitute IGBTs by power MOSFETs would enable to overcome these drawbacks. However, in this voltage range, MOSFETs are penalized by the “Breakdown voltage / On-state resistance” trade-off. As part of this thesis works, we have studied many principles to invent a new powerful MOSFET structure. We have chosen a Superjunction structure, made by deep trench etching and boron diffusion. Theoretically, this structure exhibits $13 \text{ m}\Omega\cdot\text{cm}^2$ for 1200 V. The main part of the work was to optimize this structure. For this, we have studied many technological parameter’s influence on “Breakdown voltage / On-state resistance” the trade-off. We have developed a new innovated junction termination in order to sustain the desired breakdown voltage. It was necessary to identify the process critical steps. From this point, we have fabricated a 1200 V diode which enabled to validate some of these steps.

Key words: power MOSFET, deep trench, Superjunction, TCAD simulation, Junction termination.