



HAL
open science

**Conception de transistors haute tension
complémentaires en technologie 65nm sur substrat
silicium sur isolant fin pour applications RF et
conversion de puissance**

Olivier Bon

► **To cite this version:**

Olivier Bon. Conception de transistors haute tension complémentaires en technologie 65nm sur substrat silicium sur isolant fin pour applications RF et conversion de puissance. Micro et nanotechnologies/Microélectronique. Université Paul Sabatier - Toulouse III, 2008. Français. NNT: . tel-00392481

HAL Id: tel-00392481

<https://theses.hal.science/tel-00392481>

Submitted on 8 Jun 2009

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

**UNIVERSITE TOULOUSE III – PAUL SABATIER
U.F.R. PCA**

THESE

en vue de l'obtention du

DOCTORAT DE L'UNIVERSITE DE TOULOUSE

délivré par l'Université Toulouse III – Paul Sabatier

Discipline : Génie Electrique, Electronique et Télécommunications
Spécialité : Microélectronique et Microsystèmes

présentée et soutenue

par

Olivier Bon

Le 3 mars 2008

**Conception de transistors haute tension complémentaires
en technologie 65nm sur substrat silicium sur isolant fin
pour applications RF et conversion de puissance**

Directeur de thèse :

Frédéric Morancho

JURY

M. Nicolas Nolhier,	Président
M. José Millán,	Rapporteur
M. François Danneville,	Rapporteur
M. Frédéric Morancho,	Directeur de thèse
Mme Christine Raynaud,	Examineur
M. Olivier Gonnard,	Examineur
M. Pierre Delatte,	Examineur
M. Jean Charles Grasset,	Examineur

REMERCIEMENTS

Ces travaux de thèse ont été effectués dans le cadre d'une collaboration entre STMicroelectronics, Crolles et le Laboratoire d'Analyse et d'Architecture des Systèmes (LAAS, Toulouse).

Je remercie Marcel Roche et Michel Le Contellec de m'avoir accueilli dans l'équipe R&D Process Integration de STMicroelectronics à Crolles. Je remercie également Olivier Noblanc de m'avoir accueilli dans l'équipe « 65AMS » et de m'avoir soutenu lors de la « Thésard Academy ».

Je remercie ensuite bien évidemment Maryse Bafleur et Jean-Louis Sanchez de m'avoir intégré dans le groupe CIP du LAAS à Toulouse. J'en profite pour remercier toutes les personnes du LAAS qui m'ont chaleureusement accueilli lors de mes rares (et courtes) visites.

Je tiens à remercier José Millán et François Danneville pour m'avoir fait l'honneur d'être les rapporteurs de ce manuscrit, Nicolas Nolhier d'être président de mon jury de thèse, ainsi que Pierre Delatte et Jean Charles Grasset d'avoir accepté d'y être membre.

Je tiens ensuite à présenter toute ma gratitude et ma reconnaissance à mes trois encadrants de thèse qui ont évidemment beaucoup compté dans la réussite de cette thèse : Christine Raynaud, Olivier Gonnard et Frédéric Morancho.

- Christine, merci beaucoup pour ton soutien, ta patience et ta persévérance (et quelle persévérance !) durant ces trois années. Comme de nombreux thésards SOI, il n'aurait pas été possible d'obtenir les résultats publiés dans cette thèse sans ton soutien.
- Olivier, merci pour ton support quotidien, ton intérêt constant du sujet, tes idées foisonnantes, pour les débats « pause-

café »... Bref, pour avoir été disponible au jour le jour durant ces trois années, même avec un emploi du temps parfois chargé.

- Frédéric, merci pour avoir accepté de diriger mes travaux et d'avoir su apporter un aspect théorique et universitaire à cette thèse industrielle. Merci aussi pour l'accueil lors de mes (courts et peu fréquents) séjours à Toulouse, tes conseils précieux et avisés, ta disponibilité aussi bien pour des questions techniques qu'...administratives !

L'utilisation de certains bancs de mesures et de caractérisation m'étant obscure, je tiens aussi à exprimer toute ma reconnaissance aux équipes de caractérisation électrique. Merci à : (par ordre alphabétique)

- François Dieudonné et Sébastien Haendler pour les mesures d'auto-échauffement,
- Damien Lachenal et Yannick Rey-Tauriac pour les mesures de fiabilité,
- Samuel Boret et Frédéric Giancesello pour les caractérisations radiofréquences,
- Anne Lachater pour ses mesures de bruits basse-fréquence.

Ces travaux de thèse sont constitués par une partie importante de simulations TCAD. Merci donc à :

- Lorenzo Ciampolini et Clément Tavernier de l'équipe TCAD de ST Crolles,
- Karine Isoird du LAAS.

Enfin, parce qu'il faut bien « sortir » du silicium, merci aux personnes des Ateliers et de Process Integration, en particulier :

- Laurence Boissonnet,
- Alphonse Torres,
- Et bien évidemment Patricia Touret pour son travail de fourmi quotidien.

Bien évidemment au-delà de l'aspect technique, toutes ces personnes ont contribué à ce que cette thèse soit aussi enrichissante humainement. Je rajouterai ainsi à cette liste toutes les personnes que j'ai pu côtoyer dans les différents services auxquels j'ai appartenu, et en particulier (par ordre de rien du tout) Bertrand Martinet, Eyup Aksen (il est passé où celui-là ?), Andrès « Dédès » Bianchi, Jean-Christophe Giraudin, Jérôme Todeschini, Christian Boccaccio, Emmanuelle Serret, Simon Jeannot et Thierry « Burger » Berger, ainsi que toute la « clique » de Grenoble.

Pour terminer ces remerciements sur une note plus sérieuse, je voudrais enfin féliciter mes parents de m'avoir conçu et Anne de m'avoir choisi... Anne, merci pour ton soutien, de m'avoir poussé aux moments difficiles... Bref, merci pour tout...

TABLE DES MATIERES

INTRODUCTION.....	- 1 -
CHAPITRE 1 : TECHNOLOGIES DE PUISSANCE.....	- 7 -
1. INTRODUCTION : CONTEXTE HISTORIQUE ET TECHNOLOGIQUE	- 9 -
2. TYPE D'UTILISATIONS DE DMOS.....	- 12 -
2.1. Gestion d'énergie.....	- 14 -
2.2. Applications Radiofréquences.....	- 15 -
3. QU'EST-CE QU'UN AMPLIFICATEUR DE PUISSANCE ?.....	- 18 -
3.1. Définition d'un amplificateur de puissance.....	- 18 -
3.2. Figures de mérite	- 20 -
3.3. Classes de fonctionnement.....	- 24 -
4. ÉTAT DE L'ART DES COMPOSANTS DE PUISSANCE DE TYPE MOS	- 30 -
4.1. Transistor DMOS Latéral (LDMOS).....	- 31 -
4.2. Transistor M.O.S. à tranchées (LUDMOS)	- 39 -
4.3. Transistor M.O.S. à îlots flottants (FLIMOS).....	- 40 -
4.4. Transistor M.O.S. à SuperJonction (SJMOS)	- 42 -
5. PROBLEMATIQUE DE L'INTEGRATION D'UN CIRCUIT DE PUISSANCE	- 46 -
5.1. Isolation par jonction.....	- 46 -
5.2. Isolation par diélectrique.....	- 49 -
5.3. Conclusion.....	- 51 -
6. CONCLUSION	- 52 -
BIBLIOGRAPHIE.....	- 53 -
CHAPITRE 2 : TECHNOLOGIES S.O.I. ET PUISSANCE SUR S.O.I.....	- 57 -
1. INTRODUCTION.....	- 59 -
2. LA TECHNOLOGIE S.O.I. : PRESENTATION	- 60 -
3. INTERET DE LA TECHNOLOGIE S.O.I. RF.....	- 62 -
3.1. Élimination des capacités de jonctions	- 62 -
3.2. Effet de substrat flottant et réduction de la consommation.....	- 64 -
3.3. Compatibilité avec des substrats Hautement Résistifs.....	- 67 -
4. INTEGRATION DE COMPOSANTS DE PUISSANCE SUR S.O.I.	- 72 -
4.1. Intérêt de la puissance sur S.O.I.	- 72 -
4.2. Impact du SOI sur les caractéristiques de puissance.....	- 75 -
4.3. Structure d'étude et procédé de fabrication retenus.....	- 84 -
5. CONCLUSION : LES DEFIS A RELEVER POUR LA REALISATION DE LDMOS SUR SOI.....	- 87 -
BIBLIOGRAPHIE.....	- 88 -

CHAPITRE 3 : OPTIMISATION ELECTRIQUE DU DISPOSITIF - 91 -

1. INTRODUCTION	- 93 -
2. FONCTIONNEMENT ET OPTIMISATION STATIQUE DU DISPOSITIF	- 94 -
2.1. Caractéristiques statiques générales	- 94 -
2.2. Influence de paramètres géométriques sur les performances à l'état passant	- 97 -
2.3. Caractéristiques statiques générales	- 102 -
2.4. Compromis SRon/BV et étude de comportement de claquage	- 106 -
2.5. Comportement de claquage	- 110 -
2.6. Conclusion et applications de gestion d'énergie	- 124 -
3. CONTROLE DES EFFETS FLOTTANTS	- 126 -
3.1. Technologie 130nm	- 127 -
3.2. Technologie 65nm	- 128 -
3.3. Bruit basse fréquence	- 129 -
4. CARACTERISATION EN HAUTE FREQUENCE	- 133 -
4.1. Étude de l'impact de la largeur W (à W_{total} constant)	- 139 -
4.2. Réduction de la longueur de l'extension L_{ext}	- 141 -
4.3. Réduction du recouvrement oxyde de protection/ grille (Ov)	- 141 -
4.4. Etude des transistors LDMOS flottant	- 143 -
4.5. Réduction du recouvrement grille/extension (avec Ov nul)	- 144 -
4.6. Conclusion	- 145 -
5. CONCLUSION	- 147 -
BIBLIOGRAPHIE	- 148 -

CHAPITRE 4 : ETUDE DES PHENOMENES THERMIQUES ET ENERGETIQUES - 151 -

1. INTRODUCTION	- 153 -
2. ÉTUDE DE L'AUTOECHAUFFEMENT	- 154 -
2.1. Introduction : présentation du problème	- 154 -
2.2. Description des procédures de mesures et de simulation	- 156 -
2.3. Résultats et discussion	- 159 -
2.4. Conclusion	- 168 -
3. COMPORTEMENT ENERGETIQUE DU DISPOSITIF	- 169 -
3.1. Principe de la mesure pulsée à ligne de transmission (TLP)	- 170 -
3.2. Caractérisation TLP du composant incriminé	- 172 -
4. ÉTUDE DE FIABILITE DU DISPOSITIF	- 176 -
4.1. Problématique : dérive rencontrée avec une intégration différente	- 176 -
4.2. Dérive en mode « porteurs chauds » (1er ordre)	- 177 -
4.3. Conclusion	- 181 -
5. CONCLUSION	- 182 -
BIBLIOGRAPHIE	- 183 -
CONCLUSION	- 185 -

INTRODUCTION

INTRODUCTION

Les progrès technologiques accomplis depuis la réalisation du premier transistor ont permis l'essor de secteurs économiques à fort potentiel de croissance, tels que l'informatique ou les télécommunications. De plus en plus de puces électroniques sont désormais développées et présentes en masse dans notre quotidien.

Aujourd'hui, les applications mobiles se développent fortement et elles deviennent un enjeu important pour nos activités quotidiennes. Ainsi, l'industrie microélectronique doit répondre à la demande de produits conçus avec un nombre croissant de fonctions, toujours plus complexes, échangeant des quantités importantes d'information avec l'extérieur, fortement autonomes et le tout avec un prix réduit.

Pour ces raisons de consommation, de volume et de coûts, le regroupement de ces systèmes sur une même puce apparaît comme un sujet porteur pour l'industrie de la microélectronique. La disponibilité de technologies silicium CMOS performantes permet à présent d'envisager un développement complet sur une même puce.

Pour autant, cette intégration de nombreuses fonctions différentes, simple sur le papier, rencontre de nombreux défis techniques, notamment en termes d'isolation. Alors que la démonstration de son intérêt a été réalisée pour des processeurs, depuis quelques années, de nombreux travaux portent sur l'évaluation de la technologie SOI, (« *Silicon on Insulator* », Silicium sur Isolant) avec un substrat de support hautement résistif (HR) pour les applications radiofréquences (RF). Le Tableau 1 détaille les avantages, démontrés à ce jour, de la technologie SOI par rapport à la technologie massive (substrat de silicium).

SOI	Digital	+40% en vitesse ou -30% en puissance dynamique
	Isolation	Pas de <i>latch-up</i>
	Paramètres analogiques	Performances identiques
Substrat HR	Passifs	Fort Q et large bande passanteou faible surface utilisée (-40%, inductance) et densité élevée (+30%, capacité)
	Isolation RF	Isolation compétitive avec les matériaux III-V

Tableau 1 : Avantages de l'utilisation d'un substrat SOI HR par rapport à un substrat massif

Le SOI HR présente l'avantage de supprimer les problèmes de *latch-up* et de couplage RF par le substrat ; il permet une amélioration importante des performances, notamment pour les passifs. Cette technologie semble donc fortement attractive pour les applications RF recherchant une consommation de puissance réduite.

Ces travaux de thèse se situent dans le prolongement d'une réflexion sur la faisabilité de l'intégration complète d'un étage RF de transmission/réception d'un appareil mobile (type téléphone mobile par exemple). La Figure 1 présente cet étage avec le processeur digital associé.

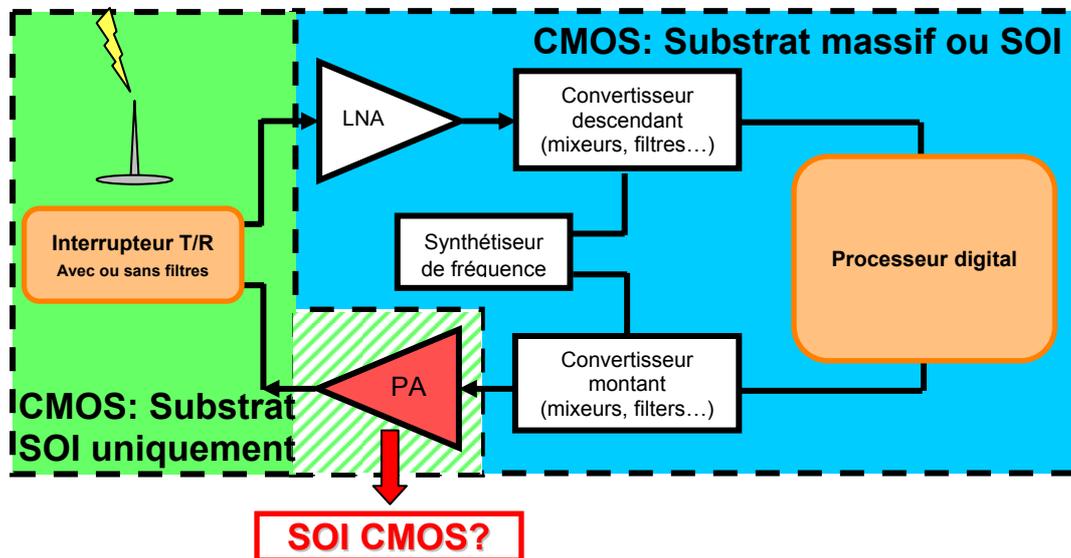


Figure 1 : Étage RF de transmission/réception d'un appareil mobile avec le processeur digital associé

Les fonctions d'amplificateur faible bruit (LNA), les mixeurs, filtres, synthétiseurs de fréquences et le processeur sont réalisables à l'heure actuelle sur SOI ou sur substrat massif. La réalisation d'interrupteurs d'antenne, aujourd'hui fabriqués en AsGa, a été démontrée en technologie CMOS SOI, ce qui permet son intégration mais aussi réduit très fortement son coût.

Le sujet de cette thèse concerne la réalisation de la dernière brique technologique manquante, à savoir la réalisation d'amplificateurs de puissance (PA). Ceux-ci sont actuellement fabriqués sur substrat AsGa ou sur substrat massif avec des transistors bipolaires, sur une puce dédiée.

INTRODUCTION

Le type d'amplificateur de puissance visé est élaboré à partir de composants passifs, pour réaliser l'adaptation du signal, et de transistors de puissance. L'objectif de cette thèse est la conception de transistors de puissance, en technologie M.O.S., sur substrat SOI et l'évaluation de leurs performances. Nous nous intéresserons aussi à l'aspect gestion de puissance qui constitue un point important (i.e. la gestion de la batterie).

Ce mémoire comporte quatre chapitres.

Dans le premier chapitre, la problématique des technologies de puissance sera abordée. Nous étudierons d'abord le contexte de l'étude et les deux applications visées, en développant celle relative aux amplificateurs de puissance. Ensuite l'état de l'art des composants de puissance basé sur le principe des technologies M.O.S. sera présenté. Nous concluons sur la problématique centrale à toute technologie de puissance intégrée : l'isolation.

Le deuxième chapitre sera consacré à l'étude de la problématique de réalisation d'une technologie intégrée sur substrat SOI. Ce chapitre commencera par une présentation rapide du procédé utilisé : le *Smart-Cut*. L'intérêt de la technologie SOI pour les applications radiofréquences sera ensuite détaillé. Enfin, l'avantage du SOI pour des composants de puissance, ainsi que son impact sur le schéma d'intégration, seront expliqués. Les défis à relever pour la réalisation de transistors de puissance sur SOI concluront le chapitre.

Le comportement électrique du composant sera présenté dans le troisième chapitre. L'aspect statique sera dans un premier temps abordé par l'optimisation du compromis résistance à l'état passant - tenue en tension. Un comportement atypique - et positif - sera expliqué. Dans un deuxième temps, l'étude du dispositif en fonctionnement dynamique sera traitée. Dans cette partie, les résultats petit-signal ainsi que les caractérisations en puissance seront présentées.

Enfin, le dernier chapitre traite des aspects thermiques et énergétiques, importants dans tout composant de puissance. Il débutera par l'identification des paramètres technologiques sur le comportement thermique. Ensuite le retournement du transistor bipolaire parasite sera étudié. Ce chapitre se terminera par une étude de fiabilité.

INTRODUCTION

CHAPITRE 1

Technologies de Puissance

1. INTRODUCTION : CONTEXTE HISTORIQUE ET TECHNOLOGIQUE

Les technologies de puissance dites intelligentes « *Smart Power* » sont apparues au début des années 80. Du fait de leurs performances en amplification et en appariement, les transistors bipolaires ont d'abord été utilisés en majorité. Puis, la technologie Métal-Oxyde-Semiconducteur complémentaire (C.M.O.S.) s'est imposée, principalement dans le domaine de la logique, pour quatre raisons principales :

- Le design de transistors bipolaires est complexe à réaliser,
- La consommation de puissance de ces derniers est importante,
- La réduction de taille des circuits se fait plus difficilement avec une technologie bipolaire,
- Et, surtout, les technologies CMOS ont permis de réduire le coût des circuits.

Des technologies complexes sont ainsi apparues, mixant les technologies bipolaires pour leurs caractéristiques analogiques et RF, les technologies CMOS pour la logique (les microprocesseurs...) et les technologies de puissance pour la gestion de la circuiterie précédente [Con02]. Le moteur principal de cette complexification était l'intensification de la demande de systèmes sur silicium de plus en plus complexes, où plusieurs fonctions sont combinées entre elles (Figure I-1).

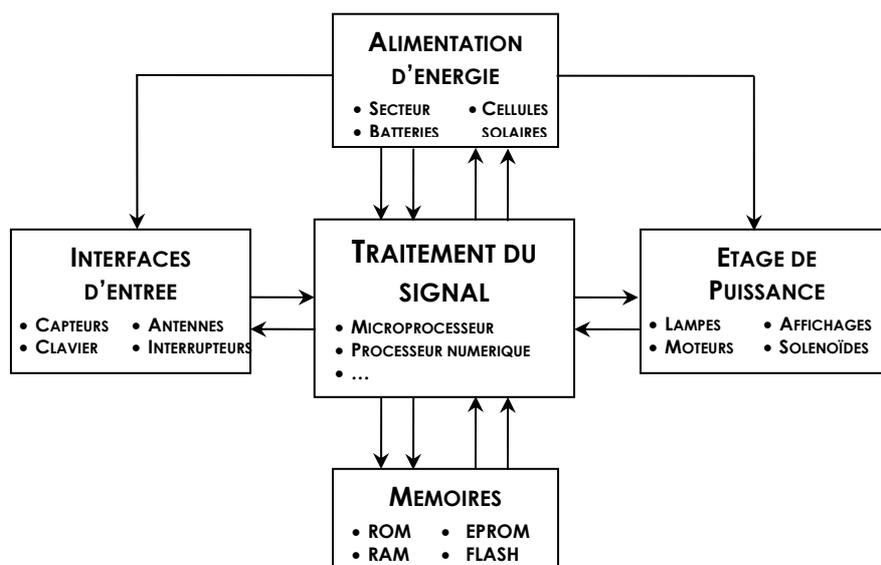


Figure I-1 : Schéma bloc d'un circuit DSP (*Digital Signal Processing*)

Cette évolution vers les technologies « systèmes » a été possible grâce à de nombreux progrès technologiques et industriels, mais aussi grâce à une demande et un développement très forts du marché pour une intégration d'un maximum de fonctions. Les technologies VLSI (« *Very Large Scale Integration* ») ont été les premières à en bénéficier, puis les composants de puissance ont suivi. Ces deux types de technologies convergent vers un développement unique, comme le montre l'évolution de la longueur de grille en fonction du temps (Figure I-2, [Mor07]).

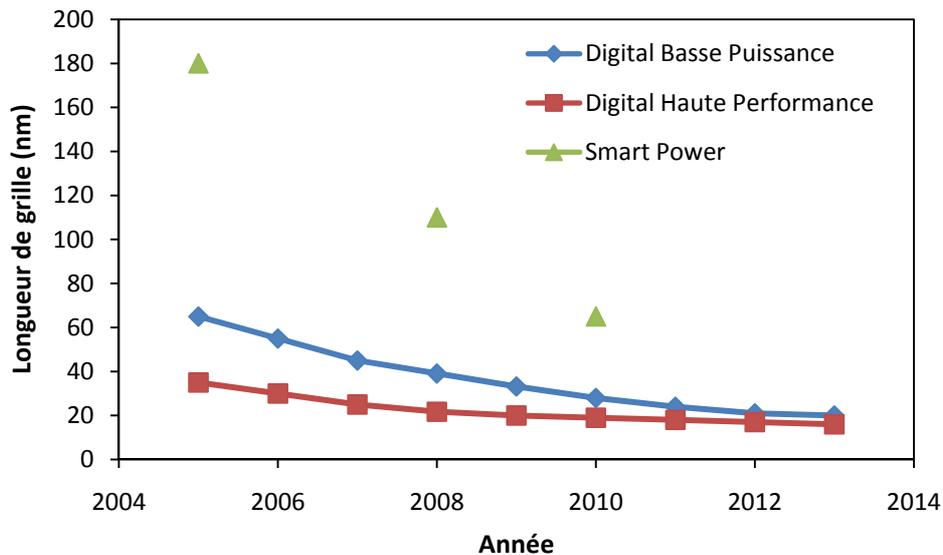


Figure I-2 : Évolution des technologies digitales et de puissance

Cette pression du marché pour une convergence des fonctions sur une même technologie, tient son origine dans l'importance grandissante que prennent les applications nomades grand public. Les plateformes développées, comme les téléphones portables, assistants personnels, appareils multimédia mobiles, ont stimulé le développement du marché des semiconducteurs. Il faut cependant noter que le taux de croissance de ces plateformes électroniques portatives est limité par la possibilité d'intégration de dispositifs et la durée de vie opérationnelle de la batterie [Let05].

Pour s'adresser efficacement à la gestion mobile de puissance, une technologie de circuit intégré doit ainsi combiner une capacité de traitement importante avec des dispositifs de puissance. Ces composants sont optimisés pour plusieurs nœuds de tension, afin de réguler et commander efficacement l'utilisation

et la livraison de puissance. En général, un nœud basse tension CMOS est employé pour tout ce qui nécessite du calcul, un nœud 2,5V sert à gérer l'alimentation d'énergie et enfin un nœud de puissance 20V est employé pour la partie gestion de batterie en elle-même [Efl03].

Dans le « monde » de la puissance, l'utilisation de transistors bipolaires a longtemps été la norme. Cependant la puissance délivrée a augmenté régulièrement quelques soient les applications, alors que leur utilisation est limitée par le phénomène de second claquage.

Le second claquage d'un transistor bipolaire est le nom donné au phénomène de destruction du composant occasionnée par son instabilité thermique [Mor07]. Cette instabilité - inhérente à tout transistor bipolaire - est provoquée par la génération de chaleur évacuée principalement par le collecteur, augmentant le courant injecté dans l'émetteur. Un transistor bipolaire idéal, sans résistance série, peut ainsi s'emballer thermiquement avec une augmentation de température aussi faible que de 10 ou 20°C.

Le transistor D.M.O.S. (Diffused M.O.S.), que nous décrirons par la suite, a permis de s'affranchir de ces limitations. En effet, comme toute structure de type Métal-Oxyde-Semiconducteur, le courant est assuré par les porteurs minoritaires. Ainsi, lorsque la température du dispositif augmente par auto-échauffement, les porteurs minoritaires sont recombinaisonnés par l'agitation thermique, ce qui a pour effet de diminuer le courant (i.e. la mobilité des porteurs minoritaire diminue) : la température est autorégulée, il ne peut y avoir d'emballement thermique. Ce type de composant a un fonctionnement plus stable.

De plus, les transistors D.M.O.S. sont technologiquement compatibles avec les technologies C.M.O.S. [Plu80], paramètre essentiel lorsqu'une technologie doit être intégrée, et présentent l'avantage d'avoir une vitesse de commutation importante et aucune puissance consommée en fonctionnement DC [And86].

2. TYPE D'UTILISATIONS DE DMOS

De manière générale, les circuits produits par l'industrie des semiconducteurs voient leurs fonctionnalités, leurs performances et leur autonomie augmenter alors que leur poids et leur taille diminuent continuellement. L'innovation de l'industrie a été particulièrement stimulée par le développement du secteur des microprocesseurs.

Depuis l'explosion des applications d'échanges d'informations, les technologies radiofréquences (R.F.) et analogiques permettent une croissance rapide du marché des communications sans-fil et représentent des technologies essentielles et critiques pour de nombreux manufacturiers. Les produits communicants remplacent désormais les ordinateurs comme levier pour la production de volume. Ainsi les produits grand public représentent la moitié de la demande de semiconducteurs. Par exemple, les téléphones cellulaires de troisième génération (3G) contiennent beaucoup plus de composants semiconducteurs qu'auparavant et constituent ainsi près de 50% du marché des cellulaires, comparé seulement à 5% il y a quelques années.

Cette partie grand public du marché des produits sans-fil sont très sensibles aux coûts. Ainsi le choix entre plusieurs technologies, comparables en termes d'impératifs techniques, se fera sur la capacité à être mature rapidement pour une production de masse.

La tendance vers une intégration et des performances plus importantes des circuits, mixant logique et analogique, développe la capacité de traitement de l'information.

La miniaturisation des composants évoluant plus rapidement que les standards d'alimentation, les tensions d'alimentation des technologies logiques, analogiques et de puissance utilisées sont différentes. Ainsi pour les technologies logiques, la réduction agressive de la taille des puces permet une réduction drastique de la tension d'alimentation (de l'ordre actuellement de 1,2V). Pour les technologies analogiques, le niveau de tension diminue modérément avec la miniaturisation (entre 2,5V et 5V). Pour les technologies de puissance, la tension d'alimentation est pratiquement constante avec l'introduction de nouvelles technologies (dépend fortement de l'application visée). (Figure I-3, [Pen05])

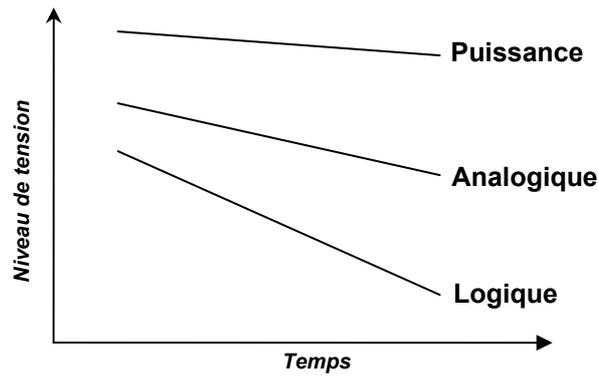


Figure I-3 : Tendence de l'évolution temporelle du niveau de tension appliquée suivant les différentes familles de technologies

Il est donc évident que la mise au point d'une technologie intégrée unique et faible coût est le défi des technologies analogiques et de puissance.

La figure suivante (Figure I-4) montre la coupe d'un appareil portable de type téléphone avec ses différentes fonctions intégrées : un module mémoire et de gestion d'énergie, un processeur, un module de transmission RF et enfin le module d'émission.

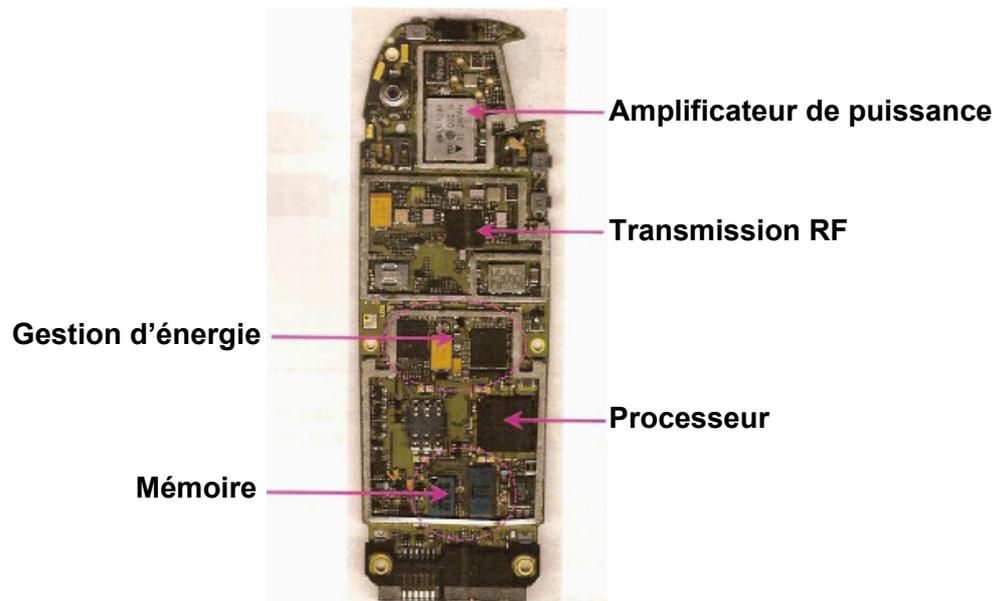


Figure I-4 : Illustration des différentes fonctions présentes dans un téléphone portable

Les applications de puissance qui nous intéressent ici peuvent être divisées en deux types :

- La gestion d'énergie
- La transmission RF

2.1. Gestion d'énergie

Nous allons ici détailler les fonctions de gestion d'énergie et de puissance. Il s'agit des fonctions « interrupteur » et analogique [Gre05].

Pour la fonction « interrupteur », il s'agit avant tout de s'approcher au maximum d'un commutateur parfait. Le courant de fuite doit être minimisé, tout en recherchant un rendement maximal à l'état passant (c'est-à-dire réduire la résistance du dispositif). Une vitesse de commutation importante étant également recherchée, les capacités parasites sont à réduire. La Figure I-5 présente son profil de mission.

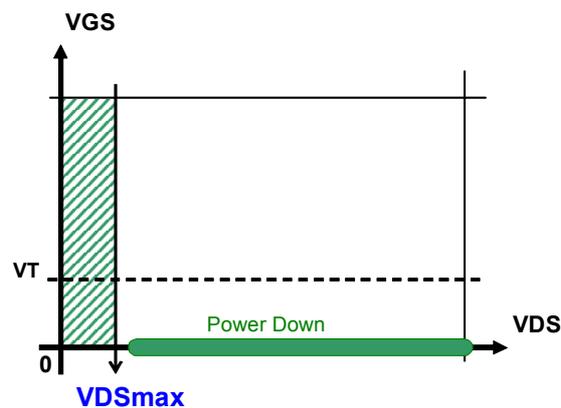


Figure I-5 : Profil de mission en fonctionnement "interrupteur" pour des composants de gestion de puissance

S'agissant des fonctions analogiques, les pertes et la résistance passante du dispositif doivent être minimisées. Les performances en fréquence ne sont pas primordiales.

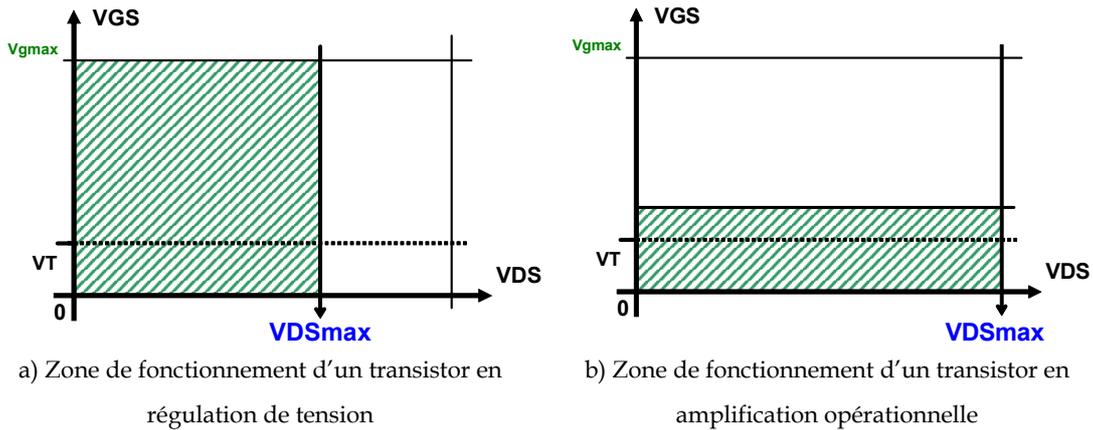


Figure I-6 : Profil de mission en fonctionnement "analogique" pour des composants de gestion de puissance

Le composant doit pouvoir fournir un très large courant (Figure I-6a). Ce type de composant est utilisé pour des régulateurs de tension. Une seconde application visée (Figure I-6b) est la réalisation d'amplificateurs opérationnels où le gain et les performances linéaires sont très importants. D'autres applications comme les chargeurs de batteries peuvent être aussi recherchées.

2.2. Applications Radiofréquences

L'amélioration des performances et de l'intégration des technologies CMOS a permis le progrès des circuits numériques, grâce à la réduction des dimensions du transistor. Cette diminution de la longueur de grille avec les nœuds technologiques s'accompagne d'une augmentation de la fréquence de transition du dispositif.

Cette fréquence de transition est la fréquence pour laquelle le gain en courant du transistor (avec sortie court-circuitée) est égal à un. Elle reflète donc les performances dynamiques du transistor (en régime de fonctionnement petit-signal) et permet d'estimer la gamme de fréquence dans laquelle le dispositif peut être utilisé. L'utilisation du dispositif est envisageable pour des fréquences de l'ordre de

$$\frac{f_T}{3} \text{ [Gir01].}$$

La fréquence de transition augmente de façon inversement proportionnelle à la longueur de grille L du transistor (Figure I-7).

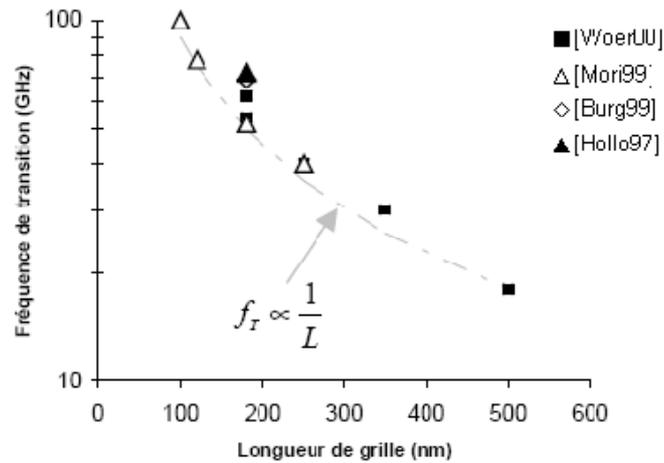


Figure I-7 : Evolution de la fréquence de coupure du transistor MOS suivant la longueur de grille

La réduction des dimensions permet dès lors d'envisager une utilisation du transistor MOS pour des applications radiofréquences.

Pour des raisons de coûts, de consommation et de volume, de nombreux efforts sont menés depuis quelques années pour réussir à intégrer sur silicium – et si possible sur une même puce – des systèmes complets d'émission et de réception pour communications radiofréquences.

De nombreux circuits radiofréquences RF sont réalisés depuis le milieu des années 90. Ainsi l'objectif de la technologie CMOS en RF serait de pouvoir intégrer toute la chaîne d'émission/réception sur un unique « Système sur puce ». Or, pour cela, une brique manque : l'amplificateur de puissance (Figure I-8, [Tsa]).

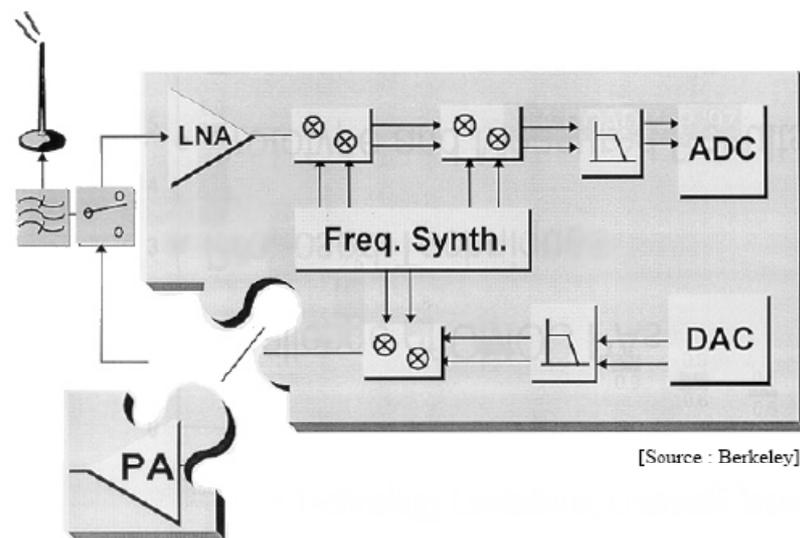


Figure I-8 : L'amplificateur de puissance : une pièce manquante du "puzzle"

Deux points positifs très importants pour la réalisation d'un amplificateur de puissance sont à mettre au crédit de la technologie CMOS. D'une part, avec la miniaturisation, les dispositifs MOS ont un gain en puissance important à des fréquences de plus en plus élevées ; d'autre part, la réduction de la mobilité des porteurs avec l'augmentation de la température représente un facteur stabilisant pour les designs de puissance [Col96].

Pour certains types d'utilisation, l'amplificateur de puissance est nécessairement réalisé avec des transistors devant supporter de la haute tension. Ainsi il est indispensable de développer des dispositifs performants dans les domaines de la puissance et des radiofréquences. Tout au long de cette thèse, nous avons recherché à optimiser non seulement les paramètres standards des composants de puissance, mais aussi à trouver le meilleur compromis au niveau des performances en radiofréquence.

3. QU'EST-CE QU'UN AMPLIFICATEUR DE PUISSANCE ?

Nous allons étudier dans cette partie ce qu'est un amplificateur de puissance (PA). Cette étude couvre la définition d'un amplificateur de puissance RF, les figures de mérite les plus fréquemment utilisées et enfin les différentes classes de fonctionnement, qui ont énormément d'influence sur les performances d'un amplificateur.

3.1. Définition d'un amplificateur de puissance

Beaucoup de travaux ont été effectués sur les technologies CMOS de réception ou d'émission moyenne puissance. Pour des puissances plus importantes, la technologie III-V est principalement utilisée, le CMOS commençant à peine à se développer. Un amplificateur de puissance (PA) sert à convertir une énergie continue en une énergie RF contenant le signal à transmettre [Mul06]. L'énergie fournie par l'alimentation (P_{DC}) n'est pas entièrement transmise à la charge. Une partie plus ou moins importante est dissipée ($P_{dissipée}$) sous forme thermique par le dispositif actif (Figure I-9).

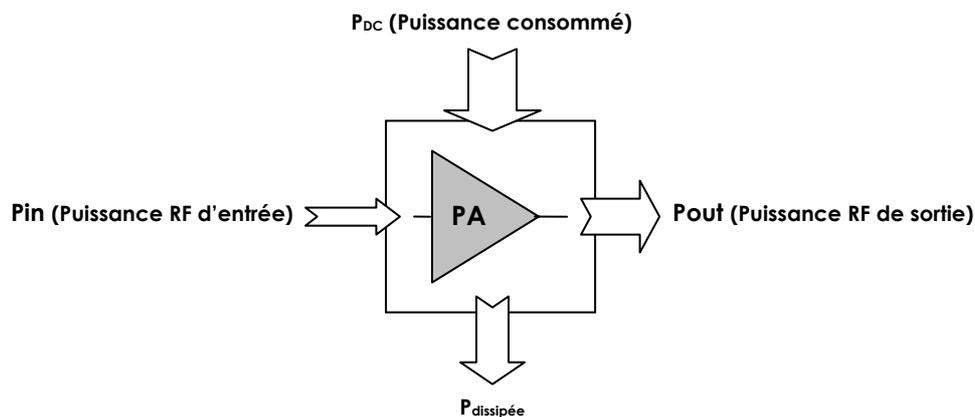


Figure I-9 : Bilan des puissances dans un PA

La problématique d'un amplificateur de puissance consiste à trouver le moyen le plus efficace pour délivrer efficacement une puissance RF à une charge. En général, cette charge est une antenne. Les compromis de la conception d'amplificateurs de puissance sont la linéarité, le gain en puissance, la puissance de

sortie et l'efficacité. Il s'agit d'un bloc complexe à mettre en œuvre dans la chaîne d'émission (Figure I-10).

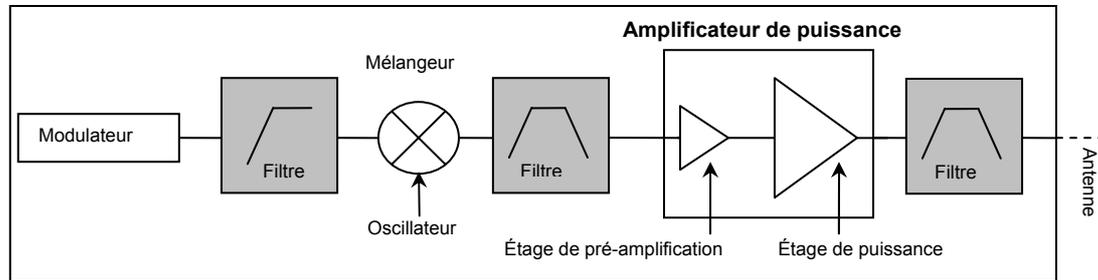


Figure I-10 : Schéma bloc d'une chaîne d'émission

Généralement, un amplificateur est réalisé en plusieurs étages. Il est composé d'un étage de pré-amplification, appelé aussi « driver », puis de l'étage de puissance proprement dit. Cependant un amplificateur de puissance n'est pas seulement composé de transistors, il contient aussi des composants passifs servant à optimiser l'adaptation du circuit à la charge désirée, ceci dans le but de délivrer la puissance de sortie maximale. Le facteur de qualité des composants passifs joue un rôle important sur la performance.

Un amplificateur de puissance sert à amplifier le signal RF vers l'antenne et ainsi fournir une puissance suffisante à la transmission de ce signal, ceci sans le distordre. En effet, étant donné l'augmentation des applications nomades et donc du besoin de capacité sur les canaux de transmission, de plus en plus de systèmes de communication utilisent de concert les modulations d'amplitude et de fréquence. Cette tendance amène à la demande d'une meilleure linéarité.

La Figure I-11 présente un montage amplificateur.

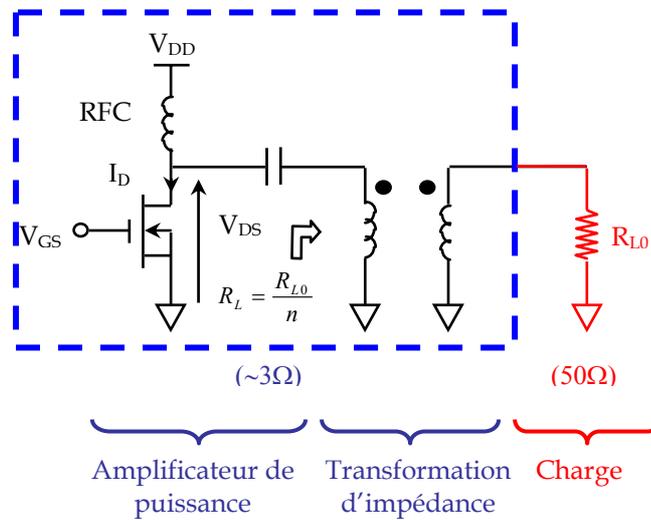


Figure I-11 : Montage en amplificateur avec utilisation d'un transformateur de sortie

Si le montage ne comportait pas de réseau de transformation d'impédance, il faudrait appliquer une tension d'alimentation V_{DD} de 10V pour délivrer une puissance de 1W dans une charge de 50Ω, alors que les tensions de batterie sont à l'heure actuelle comprise entre 3V et 5V. Il est donc nécessaire de réaliser une transformation d'impédance grâce à un réseau LC pour abaisser la tension nécessaire à l'amplification. L'augmentation du nombre (n) d'étages du réseau permet de réduire la consommation (i.e. V_{DD}) mais en contrepartie d'une augmentation des pertes d'insertion et d'une sensibilité accrue à la dispersion du procédé de fabrication [Gir04].

Nous allons maintenant étudier les différentes figures de mérite d'un amplificateur de puissance.

3.2. Figures de mérite

3.2.1. Fréquence de transition (f_T)

Définie comme la fréquence à laquelle le gain en courant est égal à 1 (ou 0dB), la fréquence de transition est une des figures de mérite les plus couramment utilisées. Elle révèle les performances dynamiques du transistor en régime de

fonctionnement petit signal. La gamme de fréquence de fonctionnement en est directement estimée, en général de l'ordre de $f_T / 3$. Cette fréquence est définie analytiquement en fonction de la transconductance (g_m) et des capacités Grille/Source (C_{gs}) et Grille/Drain (C_{gd}).

$$f_T = \frac{g_m}{2\pi(C_{gs} + C_{gd})}$$

3.2.2. Fréquence maximale d'oscillation (F_{max})

La fréquence maximale d'oscillation correspond à la fréquence pour laquelle le gain en puissance est nul. De même que pour la fréquence de transition, la fréquence maximale d'oscillation peut être exprimée de manière analytique en fonction, cette fois, de la fréquence de transition, de la résistance de grille et de la capacité grille-drain :

$$F_{max} = \sqrt{\frac{f_T}{8\pi R_g C_{gd}}}$$

Cette dernière expression correspond au cas où la résistance drain-source est supposée infinie. En supposant cette résistance finie, l'expression doit prendre en compte la conductance de sortie g_{ds} .

$$F_{max} = \frac{f_t / 2}{\sqrt{R_g [g_{ds} + 2\pi f_T C_{gd}]}}$$

3.2.3. Rendement d'un amplificateur de puissance (η) et rendement en puissance ajoutée (PAE)

Critique parce qu'il détermine directement l'autonomie de la batterie, le rendement est défini par le rapport entre la puissance de sortie de l'amplificateur (P_{out}) et la puissance consommée (P_{DC}).

$$\eta = \frac{P_{out}}{P_{DC}}$$

La puissance consommée étant forcément au minimum égale à la puissance de sortie, la consommation de l'amplificateur est donc directement liée à la puissance émise, qu'il convient de réduire pour améliorer l'autonomie des appareils nomades. Le rendement est ainsi extrêmement corrélé à la classe de fonctionnement de l'amplificateur.

Cette définition de rendement ne prend cependant pas en compte la puissance RF apportée en entrée du dispositif. La notion de rendement en puissance ajoutée a alors été introduite pour pallier ce manque. Elle est utilisée plus particulièrement pour la caractérisation RF et fait donc intervenir la puissance dynamique d'entrée.

$$PAE = \frac{P_{sortie} - P_{RF\ entrée}}{P_{DC}} = \eta \left(1 - \frac{1}{G_p} \right)$$

3.2.4. Linéarité et Gain en puissance (G_p)

Lors de l'optimisation d'un amplificateur de puissance, le transfert maximal de puissance est recherché. Ainsi on caractérise le gain en puissance : il s'agit du rapport entre la puissance de sortie et la puissance d'entrée à une fréquence donnée.

$$G_p = \frac{P_{sortie}}{P_{entrée}}$$

La variation du gain en puissance en fonction du niveau de puissance permet de caractériser la linéarité du composant. Ainsi, à partir d'un certain niveau de puissance, les non-linéarités se manifestent par une diminution progressive du gain en puissance (Figure I-12).

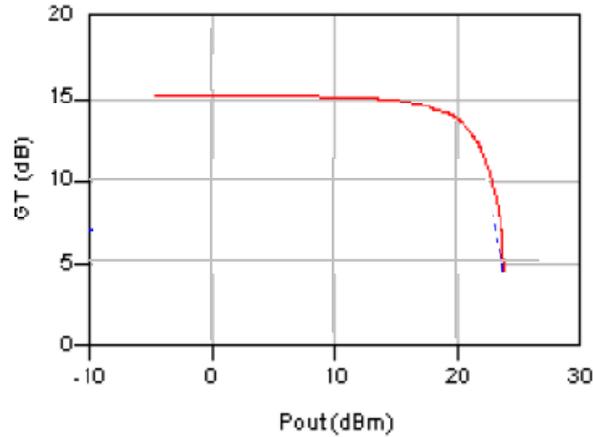


Figure I-12 : Caractéristique de transfert d'un amplificateur de puissance

3.2.5. Linéarité et produit d'intermodulation (IMD)

Le produit d'intermodulation est utilisé pour caractériser les non-linéarités plus précisément qu'avec le gain en puissance. Cela consiste à envoyer deux porteuses de fréquences proches et de mesurer en sortie le niveau des produits d'intermodulation résultant des mélanges croisés des deux signaux à travers les non-linéarités (Figure I-13). Les deux fréquences des porteuses étant proches, il est difficile de filtrer ces produits.

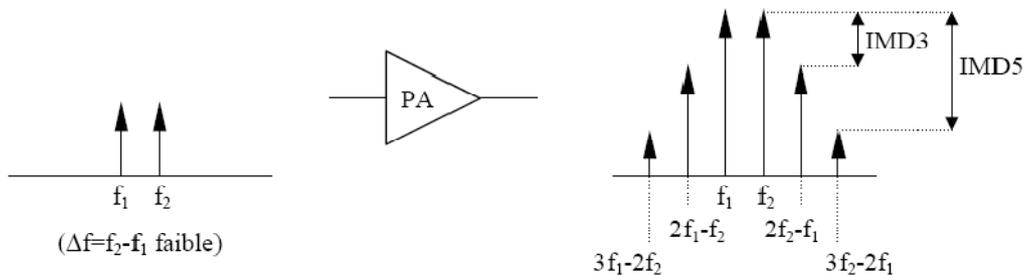


Figure I-13 : Test d'intermodulation

Ce phénomène peut aussi être présent dans la zone d'amplification linéaire (c'est-à-dire gain en puissance constant). L'intermodulation d'ordre 3 est aussi caractérisée par le point d'interception d'ordre 2, appelés *IIP3* en entrée et *OIP3* en sortie.

3.3. Classes de fonctionnement

Pour une technologie donnée, la conception d'un amplificateur de puissance repose sur le choix d'une classe de fonctionnement et de la détermination de l'impédance de charge optimale correspondante.

En fonctionnement dynamique, le transistor est amené à changer de régime (linéaire, saturé) au cours du temps en fonction de la polarisation statique et de l'amplitude des signaux d'entrée V_{gs} et de sortie V_{ds} . Les familles d'amplificateurs de puissance sont définies suivant la polarisation et le temps de conduction du transistor ainsi que de la forme temporelle des tensions d'entrée et de sortie.

Pour traduire la durée t_0 pendant laquelle le transistor conduit sur une période du cycle RF, on introduit la notion d'angle de conduction $\delta = \omega \cdot t_0$, ou encore d'angle d'ouverture (Figure I-14, [Mul06]).

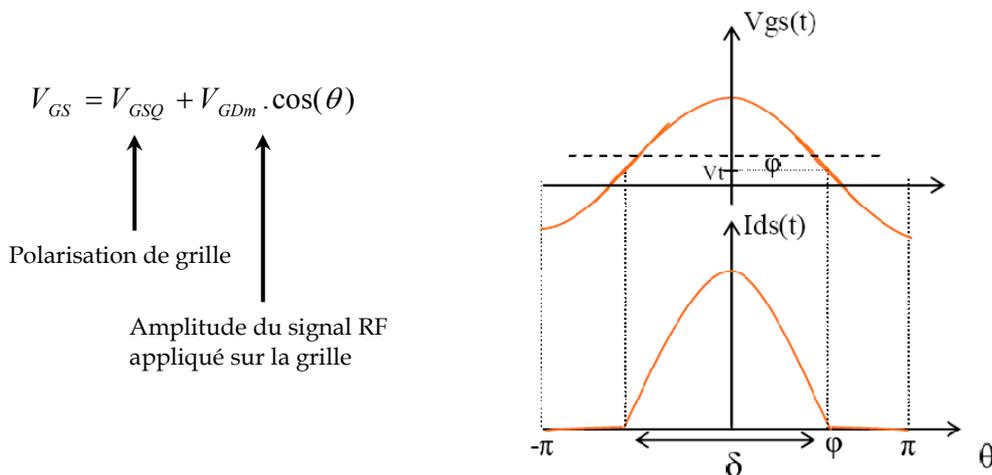


Figure I-14 : Définition de l'angle de conduction

Plusieurs types d'amplificateurs, classés de A à F, se distinguent. Nous allons aborder tout d'abord les amplificateurs petits-sinaux : A, B, AB et C, classes de fonctionnement sinusoïdal. Nous verrons ensuite les classes D, E et F qui correspondent à un fonctionnement en mode commuté, non-sinusoïdal.

3.3.1. Classes sinusoïdales

Suivant la valeur de l'angle de conduction, qui dépend de la polarisation du transistor et de la dynamique du signal d'entrée, on distingue les différentes classes de fonctionnement sinusoïdal (Tableau I-1, [Lee04]).

Classe	Angle de conduction (δ)
A	360°
AB	$180^\circ < \delta < 360^\circ$
B	180°
C	$\delta < 180^\circ$

Tableau I-1 : Angle de conduction des classes de fonctionnement sinusoïdal

- Classe A

Le transistor se trouve en classe A s'il fonctionne en régime saturé, c'est-à-dire qu'il conduit sur toute la période du signal RF (Figure I-15). Dans ce cas, l'angle de conduction est de 360°. Un amplificateur de classe A est un amplificateur petit-signal, le niveau de courant de sortie est directement proportionnel au niveau d'alimentation.

Cette classe offre le degré de linéarité le plus élevé de toutes les classes, mais possède un rendement faible (environ 50% théorique) et un échauffement important, surtout à faible signal.

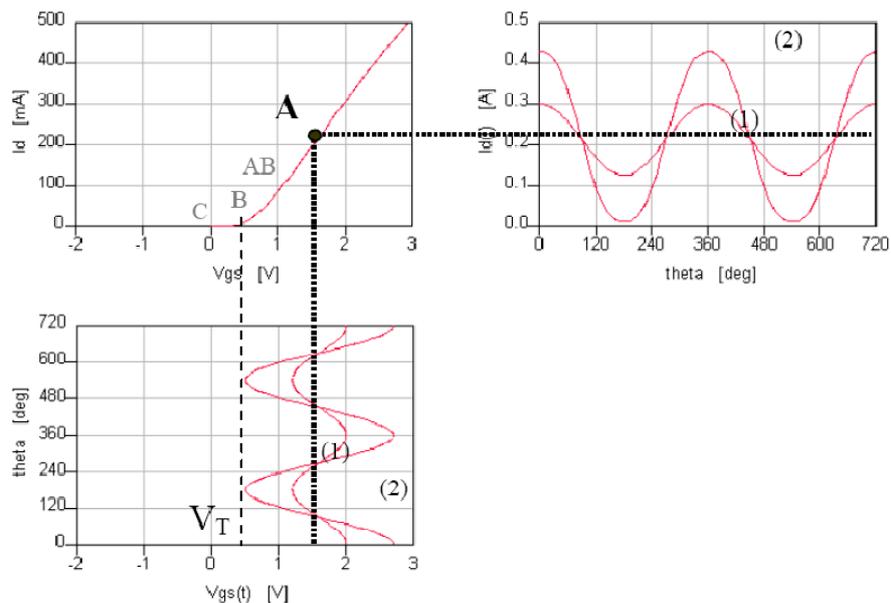


Figure I-15 : Fonctionnement et polarisation en classe A

- Classe B

En classe B, l'angle de conduction est de 180° , le transistor est polarisé au seuil de conduction $V_{GSQ}=V_t$ et ne conduit que pendant une demi-période du cycle RF (Figure I-16).

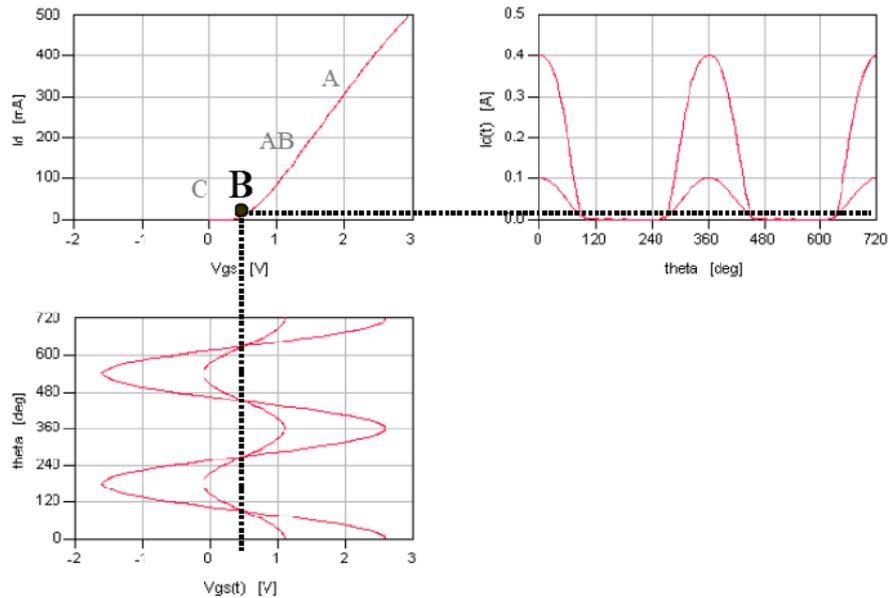


Figure I-16 : Fonctionnement et polarisation en classe B

En statique le courant consommé est nul, tandis qu'en dynamique le niveau de courant est proportionnel au niveau du signal d'entrée. Plus le signal d'entrée est grand, plus le rendement sera important (rendement théorique maximum de 78,5%). Cette classe d'amplificateur est couramment employée pour la réalisation d'amplificateurs « push-pull » où deux transistors se partagent la puissance fournie pendant la moitié de chacun de leur cycle RF. Cependant, elle présente aussi une distorsion importante.

- Classe AB

L'angle de conduction est compris entre 180° et 360° (Figure I-17). La polarisation est ainsi située entre le seuil de conduction et le point de polarisation de classe A, avec une amplitude du signal d'entrée suffisante. En effet si l'amplitude du signal V_{gs} est faible, le transistor fonctionne en régime saturé, comme un

amplificateur de classe A. En revanche, à partir d'un certain niveau de polarisation, le transistor se bloque pendant une durée inférieure à la demi-période du signal RF et la distorsion ainsi que le rendement augmentent.

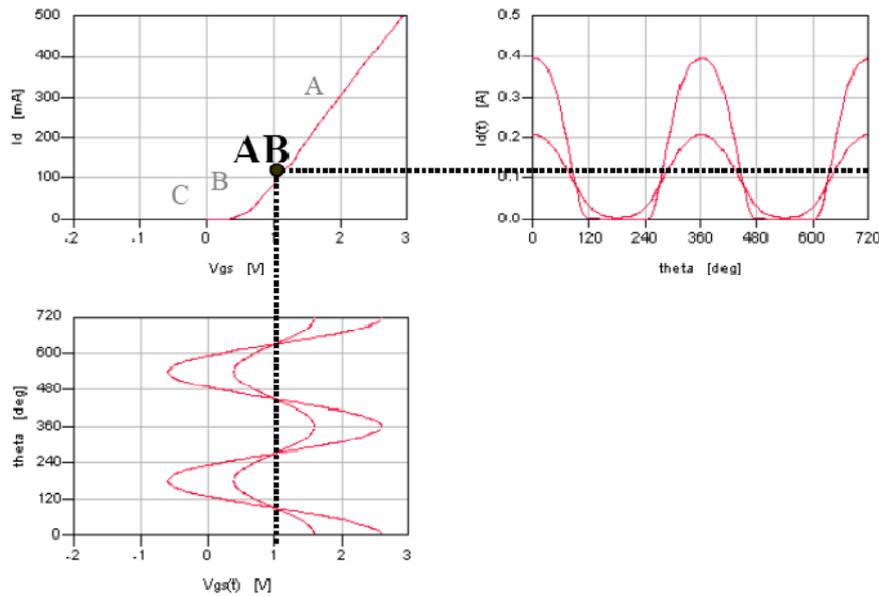


Figure I-17 : Fonctionnement et polarisation en classe AB

Cette distorsion reste relativement plus faible que celle d'un PA de classe B, principalement en raison du niveau de polarisation considéré. La classe AB obtient un meilleur rendement que la classe A et est couramment utilisée pour des amplificateurs de puissance. Cette classe possède donc, en comparaison avec les classes A et B, un bon compromis rendement/linéarité.

- Classe C

Le transistor est polarisé sous le seuil de conduction ($V_{gs} < V_t$) en statique. Son angle de conduction est alors inférieur à 180° (Figure I-18). À mesure que l'angle de conduction diminue, la forme temporelle du courant rétrécit : le rendement augmente tandis que la puissance dissipée et la puissance de sortie diminuent. L'obtention d'un rendement important (proche de 100%) correspond à un comportement fortement non-linéaire au détriment de la puissance de sortie. La classe C possède un rendement et un comportement non-linéaire plus important que toutes les classes A, B ou AB.

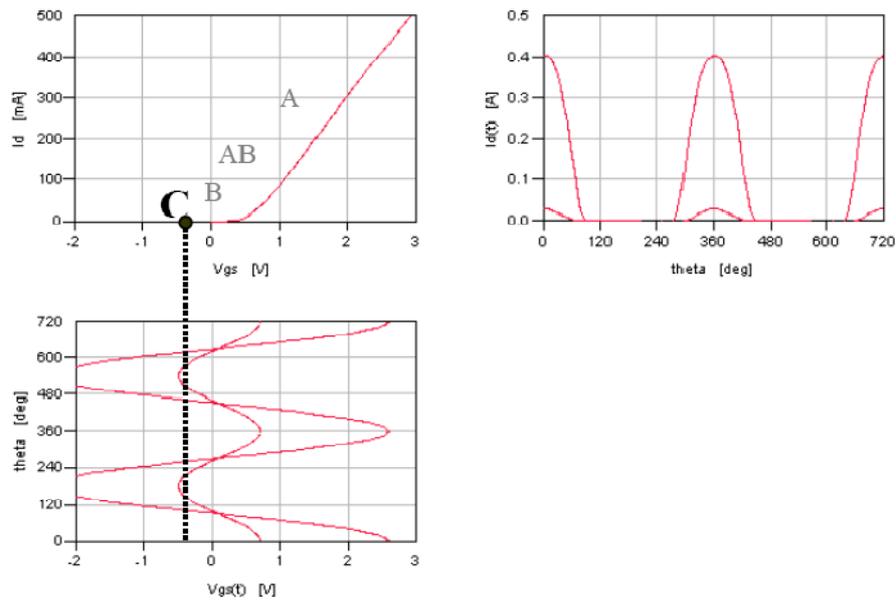


Figure I-18 : Fonctionnement et polarisation en classe C

3.3.2. Classes commutées, fonctionnement non-linéaire

Pour les classes suivantes, les transistors sont utilisés comme des interrupteurs. En effet, jusqu'à présent nous avons discuté de circuits où le composant actif agissait comme une source de courant. L'intérêt de cette nouvelle approche est qu'un interrupteur ne dissipe - idéalement - aucune puissance. Il n'y a :

- Soit aucune tension à ses bornes,
- Soit aucun courant

Ainsi le produit $V \cdot I$ est toujours nul, le transistor ne dissipant pas de puissance, et l'efficacité théorique est de 100%. De plus, la puissance de sortie est indépendante de la puissance d'entrée. Cependant, à mesure que la fréquence augmente, des limitations apparaissent et les pertes de conduction et de commutation augmentent [Lee04].

La classe D se décline sous deux formes : un mode courant où le signal de sortie a une forme temporelle rectangulaire et un mode tension où le signal de sortie est une demi-sinusoïde. Cette classe possède une distorsion importante mais un rendement relativement plus élevé que les classes sinusoïdales et a l'avantage de ne pas endommager le transistor.

La classe E est une classe particulière des amplificateurs de commutation. En haute fréquence, elle permet d'obtenir de meilleurs rendements qu'une classe D équivalente (malgré un niveau de puissance inférieur à la classe A). Le montage classe E utilise un circuit de charge accordée pour compenser la capacité de sortie. Le domaine d'application des classes E est réservé aux amplificateurs à bande étroite.

La classe F est utilisée pour les applications à très haut rendement. Elle est caractérisée par une tension d'excitation en entrée de type sinusoïdal et une tension de sortie de forme carrée. Le courant de sortie est, quant à lui, de forme impulsionnelle voire sinusoïdale. En principe l'absence de puissance dissipée induit l'obtention d'un rendement de 100%. En réalité, le rendement d'un amplificateur de classe F reste supérieur à celui de classe E mais atteint difficilement 100%.

Le choix d'une classe de fonctionnement dépend de nombreux facteurs comme les contraintes de linéarité, la consommation, le niveau de puissance, etc. La Figure I-19 résume les différentes classes de fonctionnement des amplificateurs de puissance ainsi que leurs niveaux de linéarité et de rendement relatif [Gir01].

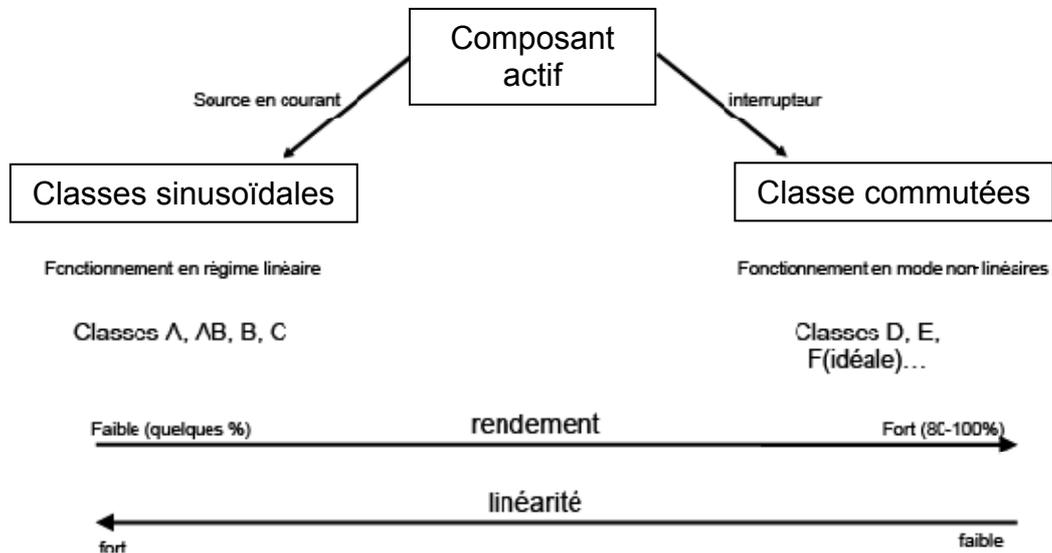


Figure I-19 : Résumé des différentes classes de fonctionnement des amplificateurs de puissance

Dès lors qu'une puissance importante est amplifiée, le composant actif doit être adapté à cette puissance. Dans la partie suivante, nous allons présenter un type de composant adapté à une forte puissance et fabriqué sur la base d'une technologie unipolaire de type MOS.

4. ÉTAT DE L'ART DES COMPOSANTS DE PUISSANCE DE TYPE MOS

Grâce aux progrès réalisés dans les filières technologiques, les transistors MOS de puissance se sont imposés comme des composants majeurs sur le marché des composants discrets et intégrés.

Ces composants, comme tous les composants de puissance, sont des dispositifs de conversion de l'énergie électrique. Ils jouent le rôle d'interrupteur fonctionnant entre deux états [Cez01] :

- le premier, dit « bloqué », apparaît lorsque la tension grille-source est inférieure à la tension de seuil ; le courant de drain ne peut pas circuler. La quasi-totalité de la tension appliquée sur le composant est alors supportée par la jonction drain-source du transistor. Le niveau de tension blocable requis implique donc la présence d'une zone dite « d'extension », faiblement dopée, où pourra s'étendre la zone de charge d'espace.
- Le second, dit « passant » ou de « conduction », apparaît lors de l'application d'une tension de grille supérieure à la tension de seuil. Il se caractérise par l'apparition d'une zone d'inversion dans le canal, permettant le passage du courant de drain dont la valeur est limitée par les contraintes géométriques et technologiques de la structure ainsi que par les tensions appliquées.

L'avènement des dispositifs MOS au niveau industriel, dans le domaine de l'électronique de puissance, date du début des années 70. Le premier dispositif de puissance MOS concret a été développé à l'université de *Stanford* par *Plummer* [Plu80] qui proposait de réaliser une zone peu dopée (zone d'extension ou de « drift ») entre le canal et le drain pour soutenir la tension et de créer le canal par double-diffusion, celle de canal (P) puis celle de source (N+), permettant, d'une part, l'auto-alignement canal-source, donc un contrôle précis de la longueur de canal, et, d'autre part, d'utiliser le substrat de départ pour la zone de drift. C'est le transistor DMOS, D pour double-diffusé, qui est aujourd'hui encore le composant MOS de puissance de base, que ce soit en configuration verticale (VDMOS) ou latérale (LDMOS) [Mor04]. L'objectif étant de réaliser des transistors de puissance intégrables en technologie VLSI, nous nous intéresserons ici aux transistors LDMOS.

Les facteurs de mérite des composants de puissance, par rapport aux composants faibles signaux, sont essentiellement de deux types :

- la tenue en tension,
- la résistance passante spécifique.

4.1. Transistor DMOS Latéral (LDMOS)

Comme son nom l'indique, la particularité du transistor LDMOS par rapport aux structures verticales, provient du chemin latéral qu'emprunte son courant. La géométrie se présente le plus souvent sous forme de bandes parallèles source-drain interdigitées. Sa résistance passante spécifique est alors inversement proportionnelle au nombre de bandes élémentaires.

Nous allons présenter ici la structure standard d'un transistor LDMOS à canal P utilisée sur la plupart des technologies MOS de puissance. Il s'agit d'une structure dont les électrodes sont coplanaires. La présence sur un même plan des trois électrodes constitue un des avantages majeurs du LDMOS car il est, de ce fait, technologiquement compatible avec les transistors de type CMOS et bipolaire. Ce dispositif est caractérisé par une zone N- située entre la fin du canal d'inversion et le drain N+, zone appelée « drift » ou « extension de drain » [Mor04].

Dans cette structure réalisée en technologie massive, une couche enterrée fortement dopée de type N (NBL) est réalisée pour limiter l'extension de la zone de charge d'espace dans la région N- et ainsi réduire les problèmes de perçage et le gain du bipolaire parasite vertical PNP. Il existe de nombreuses techniques d'isolation par jonction. Cependant elles ne modifient pas globalement la structure du transistor présenté ci-dessous (Figure I-20).

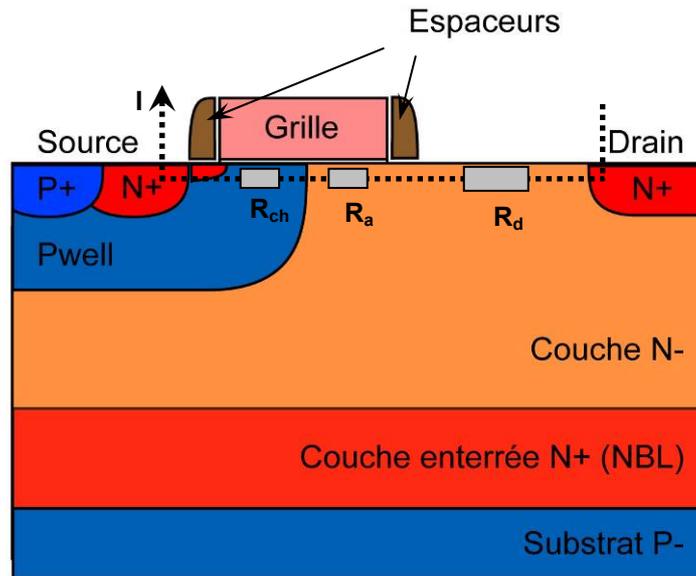


Figure I-20 : Coupe schématique d'une cellule élémentaire d'un transistor LDMOS de puissance conventionnel

La grille est réalisée en polysilicium et sa résistance d'accès est fortement réduite par sa siliciuration. Certains travaux du MIT (« *Massachusetts Institute of Technology* », [Fio01a][Fio01b][Fio05]) rendent compte de l'utilisation d'une grille partiellement métallique pour abaisser la résistance de grille et améliorer fortement les fréquences de coupure. Il s'agit d'une option sans doute indispensable pour l'amélioration des performances des LDMOS dans le futur. Cependant, étant données les contraintes des procédés actuels, il convient de travailler sur une siliciuration de la grille la plus complète possible.

Nous allons désormais détailler les deux régimes de fonctionnement : passant et bloqué.

4.1.1. Fonctionnement à l'état passant

Le paramètre clé du régime de fonctionnement à l'état passant est la résistance totale du transistor. Il s'agit d'une des caractéristiques fondamentales des transistors DMOS car elle détermine leur puissance admissible.

Cette résistance peut être décomposée en trois contributions : la résistance de canal, la résistance d'accumulation et la résistance de l'extension.

- La résistance de canal R_{ch}

La résistance de canal correspond à la résistance à l'état passant d'un transistor MOS N+PN+ qui posséderait la même géométrie et des conditions de dopage équivalents sans extension de drain. Elle est liée à la zone d'inversion qui se développe en surface de la couche P sous la grille ; elle dépend ainsi de la tension de grille appliquée.

- La résistance d'accès R_a

La zone d'accès correspond à la région N- sous la grille. Cette résistance, différente de la résistance de drift, traduit l'effet de conduction et de focalisation du courant de la couche d'accumulation, créée par une polarisation grille-drain positive. Elle dépend des données géométriques, technologiques et de la polarisation de grille.

- La résistance de drift R_d

La zone de *drift* (ou extension de drain) correspond à la zone N- située entre la couche accumulée sous la grille et le drain N+. Cette zone sert principalement à assurer la tenue en tension du transistor. Ainsi, pour augmenter la tenue en tension, le dopage de cette zone doit être diminué et, par conséquent, la résistance R_d augmentée.

Cette résistance est celle qui a, en général, le plus de poids dans la résistance totale du dispositif. La résistance de canal peut également être importante suivant la tension de grille appliquée. Cependant pour des tenues en tension de l'ordre de 20V, les trois résistances peuvent être du même ordre. Les résistances R_{ch} et R_a dépendent surtout de la tension de grille alors que la résistance de la zone de *drift* peut devenir linéairement dépendante de la tension de drain (à forte valeur).

- Les autres résistances

Les résistances de source et de drain sont très faibles et peuvent être considérées comme négligeables, du fait de leur très fort niveau de dopage (de l'ordre de 10^{20}cm^{-3}) et de la siliciuration. Les résistances liées aux métallisations peuvent être, elles aussi, considérées comme négligeables.

- La résistance passante spécifique $R_{on.S}$

Une diminution très importante de la résistance à l'état passant serait aisée à obtenir. Il suffirait d'augmenter le nombre de cellules MOS élémentaires mises en

parallèle jusqu'à atteindre la résistance voulue. Cependant, le transistor ainsi conçu présenterait une surface trop importante. La seule résistance à l'état passant n'est donc pas le paramètre pertinent : le paramètre le plus pertinent est plutôt le produit de cette résistance par la surface active « Ron.S ». Ce produit est appelé « résistance passante spécifique » et il est utilisé comme facteur de qualité du transistor de puissance en conduction.

4.1.2. Fonctionnement à l'état bloqué

A l'état bloqué, c'est-à-dire lorsque la tension grille-source est inférieure à la tension de seuil, la tension appliquée entre drain et source est soutenue principalement par la zone de déplétion qui apparaît dans la région de drift. À l'état bloqué le transistor LDMOS peut donc être assimilé à une diode PN-N+ polarisée en inverse.

Ainsi, la tension de claquage dépend des propriétés de la zone N- (dopage, longueur), de la jonction zone de canal/extension de drain mais aussi de la position et de l'épaisseur de l'oxyde de grille. Elle est aussi fondamentalement liée à la forme de la jonction : une jonction plane soutient une tension plus importante qu'une jonction cylindrique ou sphérique (Figure I-21). Cette hiérarchie peut être expliquée par un phénomène proche d'un phénomène de « pointe » où il y a une compression du champ électrique ([Cha90][Bon05]).

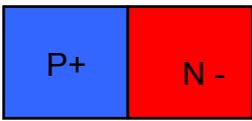
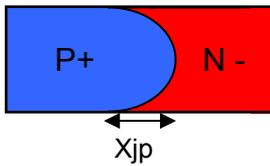
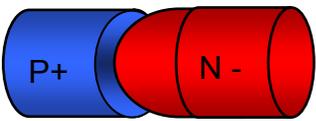
	<i>Jonction plane</i>	<i>Jonction cylindrique</i>	<i>Jonction sphérique</i>
Schéma			
Expression théorique de la tension de claquage	$V_{bp} = 6^{E13} \cdot C^{-0.75}$	$V_{bc} = f(X_{jp}; W_{bp}) V_{bp}$	$V_{bs} = f(X_{jp}; W_{s\max}) V_{bp}$
Paramètres critiques	- C : concentration N -	- W_{bp} : extension maximale de charge d'espace - X_{jp} : profondeur de jonction	- $W_{s\max}$: extension maximale de charge d'espace - X_{jp} : profondeur de jonction

Figure I-21 : Différentes géométries de jonctions et leurs paramètres critiques ($V_{bp} > V_{bc} > V_{bs}$)

Le claquage par avalanche est le claquage le plus courant. Si dans le silicium il existe un champ électrique proche du champ critique (ou si l'intégrale d'ionisation est proche de 1 [Cha90]), on assiste à un phénomène d'ionisation par impact.

Concrètement, un électron libre - apparu par génération dans une zone proche de la jonction, est accéléré très fortement par le champ électrique - d'autant plus que ce champ est puissant. À la suite d'une collision avec le réseau cristallin, une paire électron-trou est générée. L'électron est dirigé vers le drain et le trou vers le *body* (région P de canal). L'électron, qui est lui-même accéléré par le champ électrique, pourra éventuellement créer d'autres porteurs libres ou se recombiner.

Si le champ critique est atteint, ce phénomène pourra s'amplifier. En effet, le champ est alors suffisamment puissant pour que le nombre de porteurs générés par collision soit supérieur au nombre de recombinaisons : il y a multiplication des porteurs. Ces porteurs sont alors évacués par le drain (pour les électrons) ou par le *body* (pour les trous) pour un transistor de type N. Dans un transistor de type P, l'électron sera dirigé vers le *body* et le trou vers le drain.

Suivant la répartition du champ, cette valeur critique est atteinte plus ou moins rapidement. Il existe deux cas de claquage par avalanche (Figure I-22) :

- le claquage par limitation de zone de charge d'espace (LZCE)
- le claquage, que nous appellerons pour le distinguer du précédent, par avalanche « classique »

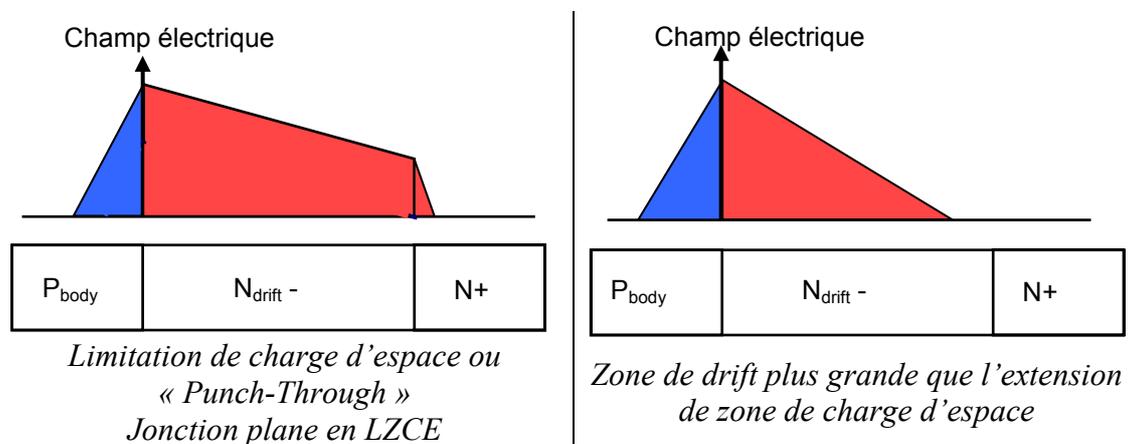


Figure I-22 : Répartition schématique du champ électrique au claquage pour un claquage en limitation de zone de charge d'espace (gauche) et en avalanche "classique" (droite)

Selon la polarisation appliquée, les dopages et les longueurs des zones N- et P-, le champ électrique peut se répartir plus ou moins le long de ces zones. Cependant, lorsque la zone de charge d'espace du côté N- atteint la zone N+, on parle de condition de « *Punch-Through* » ou perçage de l'extension de drain. Dans ce comportement, la tension de claquage a la particularité d'être dépendante de la longueur de l'extension.

Il existe un composant, directement dérivé d'un transistor LDMOS, qui utilise une des nombreuses techniques pour améliorer la tenue en tension des dispositifs de puissance : la technique dite « RESURF » (pour REduced Surface Field). Cette technique est très utilisée du fait de sa simplicité de conception et de son efficacité, tant au niveau de l'amélioration de la tension de claquage qu'au niveau de l'isolation électrique de ce composant. En effet, cette technique ne modifie que très peu la fabrication du LDMOS. La seule modification intervient au niveau de la zone d'extension N- qui est alors réalisée en surface et à l'intérieur d'une zone P- (Figure I-23).

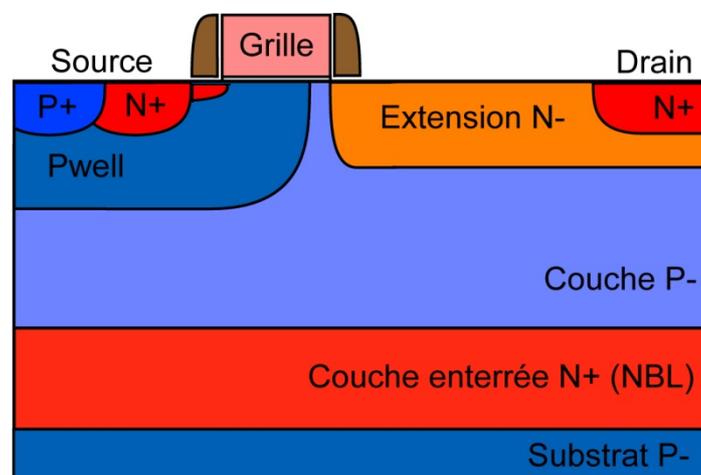


Figure I-23 : Coupe schématique d'une cellule élémentaire d'un transistor LDMOS RESURF

La technique RESURF permet d'améliorer la tenue en tension du composant à l'état bloqué. Elle repose sur l'idée suivante : en remplaçant l'extension N- sur la couche N+ par une extension N- sur une couche P- et en concevant correctement les dopages et les géométries des zones actives, la polarisation inverse de cette jonction

N-/P- fera en sorte que la couche N- sera entièrement dépeuplée avant que la jonction P/N- ne voie à ses bornes une tension proche de sa tension de claquage par avalanche. La haute tension est donc ici essentiellement répartie sur la jonction plane N-/P-.

4.1.3. Importance du compromis $R_{on}S.BV$ et limite du silicium

La zone d'extension supporte la quasi-totalité de la tension drain-source à l'état bloqué, tout en participant de manière importante à la résistance à l'état passant, via R_d . Considérons que toutes les autres résistances sont négligeables. La théorie des semiconducteurs nous donne pour un barreau de Si [Sze81]:

$$R_d = \rho \frac{L_{Si}}{S} = \frac{1}{q\mu N_{Si}} \cdot \frac{L_{Si}}{S} \text{ avec } L_{Si} : \text{longueur du barreau et } N_{Si} \text{ son dopage.}$$

La résistance passante R_{on} varie en L_{drain}/N_{drain} . Nous avons vu que la tension de claquage BV_{ds} dépendait aussi des mêmes paramètres. Ainsi $R_{on}S$ et BV_{ds} sont étroitement liées. En augmentant par exemple le dopage, on améliorera $R_{on}S$, mais on dégradera fortement BV_{ds} .

Le **compromis** $R_{on}S.BV_{ds}$ est le paramètre central de l'optimisation de composants de puissance.

En allant au bout de ce raisonnement et en considérant que la résistance passante spécifique et la tenue en tension dépendent des mêmes paramètres, il est possible de les relier par une relation. Cette relation définit la « limite du silicium » des composants de puissance de type MOS. Lorsqu'un composant doit soutenir une tension donnée, sa résistance passante spécifique ne peut pas être plus faible que celle optimale calculée en ne considérant que la résistance de drift :

$$R_{on} . S (\Omega.cm^2) = 1,66 . 10^{-14} . h^{-1} . BV_{ds}^{3,56} (V) \text{ [Mor04]}$$

où h est la hauteur de la section de conduction

Pour des composants latéraux RESURF, il a été démontré que la limite du silicium obéissait à la relation suivante :

$$R_{on}.S (\Omega.cm^2) = 1,02.10^{-8} .h^{-1} .BV_{ds}^{\frac{7}{3}} (V) \text{ [Mor04]}$$

À partir des deux expressions analytiques, nous pouvons donc tracer sur la Figure I-24 les différentes limites du silicium suivant les composants LDMOS choisis.

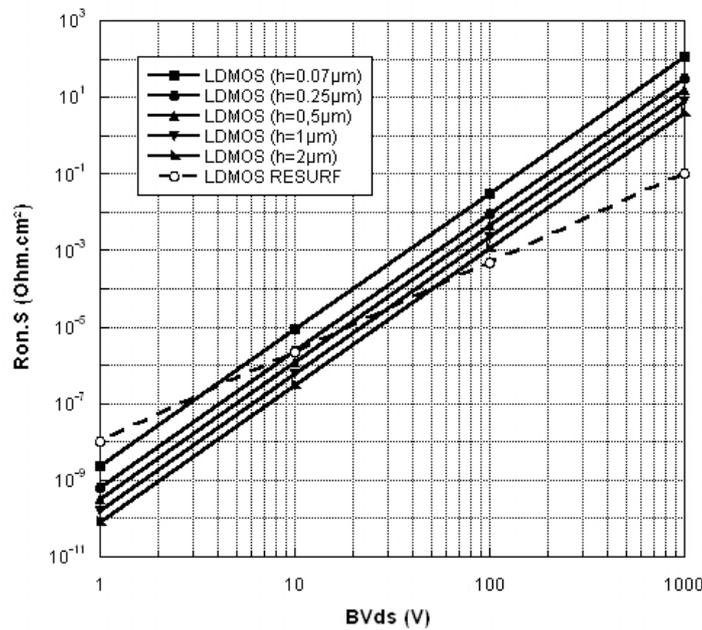


Figure I-24 : Limites du silicium des composants LDMOS (pour la hauteur de conduction h variant de 0,07µm à 2µm) et LDMOS RESURF

Nous constatons qu'il existe une limite impossible à franchir avec des solutions technologiques classiques. L'idée de base des nouveaux concepts qui sont apparus pour repousser cette limite, est la recherche de nouveaux mécanismes physiques permettant d'assurer la tenue en tension. Trois concepts originaux ont été étudiés au LAAS/CNRS : le LUDMOS [Zit99], le FLIMOS [Cez01] et le SJMOS [Fuj97].

4.2. Transistor M.O.S. à tranchées (LUDMOS)

La zone la plus critique limitant la tenue en tension est située sous la grille, en surface du silicium [Moe07]. Ainsi, afin d'éliminer ces effets de champ en surface, une structure LDMOS à tranchées a été développée (Figure I-25, [Zit99]). Nous allons présenter cette structure ainsi que ses mécanismes permettant l'amélioration des performances aux états passant et bloqué.

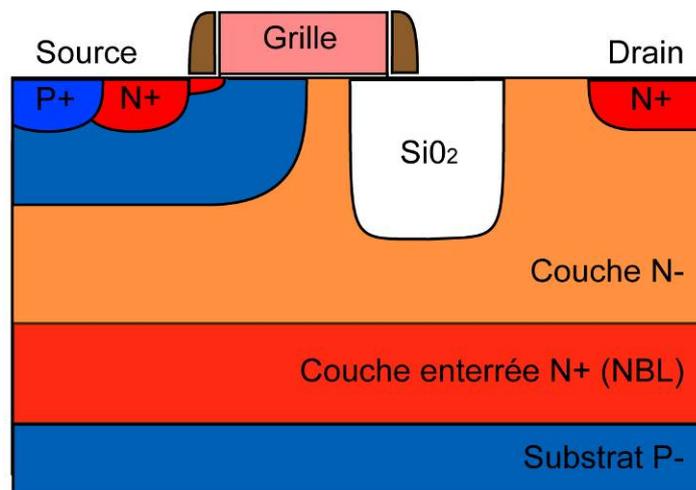


Figure I-25 : Coupe schématique d'une cellule élémentaire d'un transistor LUDMOS de puissance

Les tranchées d'oxyde utilisées sont du même type que celles utilisées dans les technologies CMOS pour l'isolation latérale. Le placement de cette tranchée sous une partie de la grille côté drain permet de limiter l'influence de la différence de potentiel drain-grille. En effet, pour un LDMOS conventionnel, la polarisation de grille, appliquée conjointement à une haute tension au niveau du drain, crée un point de compression des lignes de potentiel à la surface du silicium, sous l'extrémité de la grille. Une autre solution technologique aurait pu consister à réaliser un oxyde de champ, c'est-à-dire une deuxième épaisseur d'oxyde de grille, située en bord de grille, pour limiter le champ électrique. Cependant, cette option n'offre pas de solution satisfaisante à la miniaturisation des composants, la « marche » d'oxyde étant de plus en plus difficile à maîtriser au niveau de la fabrication. La structure LUDMOS permet de proposer une solution réalisable simplement en fabrication et n'entravant pas la miniaturisation.

La tranchée permet donc de protéger la grille et de réduire l'influence du pic de champ au bord de celle-ci, pour augmenter la tenue en tension. En plus des paramètres d'optimisation de LDMOS conventionnel, plusieurs leviers supplémentaires apparaissent :

- la largeur et la profondeur de la tranchée : pour des profondeurs importantes, la tranchée supporte la quasi-totalité de la tension appliquée. Au contraire, lorsque la tranchée est peu profonde, l'oxyde n'est pas capable de soutenir toute la tension et les lignes équipotentielles se déploient au-delà de la tranchée dans le silicium. Il existe donc un optimum où la tenue en tension est maximale et le trajet des porteurs à l'état passant réduit.
- L'emplacement de la tranchée est aussi un paramètre important. Une tranchée éloignée du canal n'a aucun effet sur la tenue en tension. En effet, le claquage se produirait, dans ce cas, soit au niveau de la jonction P-/N-, soit sur le flanc gauche de la tranchée. La tenue en tension est améliorée si la tranchée est proche du canal, ce qui permet une répartition plus homogène des lignes de potentiel entre la jonction et la tranchée.

Il est important de noter que la longueur de l'extension de drain n'est plus ici le paramètre principal agissant sur la tenue en tension. Dans ce type de structure, c'est la profondeur de tranchée qui devient le facteur prépondérant, permettant d'augmenter la tenue en tension tout en réduisant la surface du composant.

4.3. Transistor M.O.S. à îlots flottants (FLIMOS)

Le principe MOS à îlots flottants ou *Floating Island* (FLI) MOS (Figure I-26) consiste à insérer une (ou plusieurs) couche(s) dopée(s) P entre le drain et l'extrémité de la grille d'un transistor LDMOS conventionnel [Céz01]. L'insertion de cet îlot dopé de manière opposée à celle de l'extension de drain va permettre d'améliorer la répartition du potentiel et donc d'augmenter la tenue en tension du transistor.

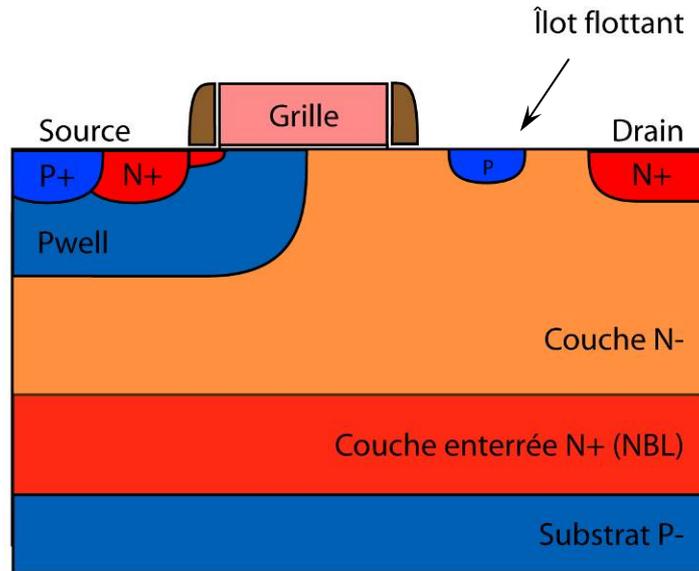


Figure I-26 : Coupe schématique d'une cellule élémentaire d'un transistor FLIMOS de puissance

Pour expliquer le fonctionnement d'un transistor à îlots flottants, nous prenons l'exemple simple d'un transistor à un seul îlot. Dans un transistor LDMOS conventionnel, le claquage est dû à un pic de champ électrique présent en surface sous l'extrémité de la grille. Dans un transistor à îlot flottant, deux pics de champ électrique apparaissent au claquage : le premier en surface sous le bord de la grille (comme dans un transistor LDMOS conventionnel), le second au niveau de la jonction « P flottant/N- drift », permettant de lisser le champ électrique le long du transistor. Le champ critique est ainsi atteint pour une tension plus élevée.

Cette structure relativement simple améliore la tenue en tension de manière non négligeable par rapport à une structure conventionnelle. En contrepartie, la résistance passante spécifique est dégradée. Ceci est dû au fait que le trajet des porteurs entre canal et drain est plus long en raison de la présence de l'îlot et de l'augmentation de la longueur de drift, nécessaire à l'insertion de la région dopée P flottante.

Le principal inconvénient d'un transistor à îlot flottant réside donc dans son encombrement supérieur par rapport aux solutions conventionnelles et dans l'augmentation du trajet des porteurs entre drain et source. Ces deux paramètres contribuent ainsi à l'augmentation globale de la résistance passante spécifique $R_{on.S}$.

4.4. Transistor M.O.S. à SuperJonction (SJMOS)

Une SuperJonction (SJ) est une succession de bandes N et P, remplaçant la zone N- d'extension de drain des transistors LDMOS conventionnels (Figure I-27, [Fuj97]). De ce fait, à surface de silicium identique, la jonction P-/N- obtenue est alors beaucoup plus étendue dans le transistor à SuperJonction que dans les transistors conventionnels.

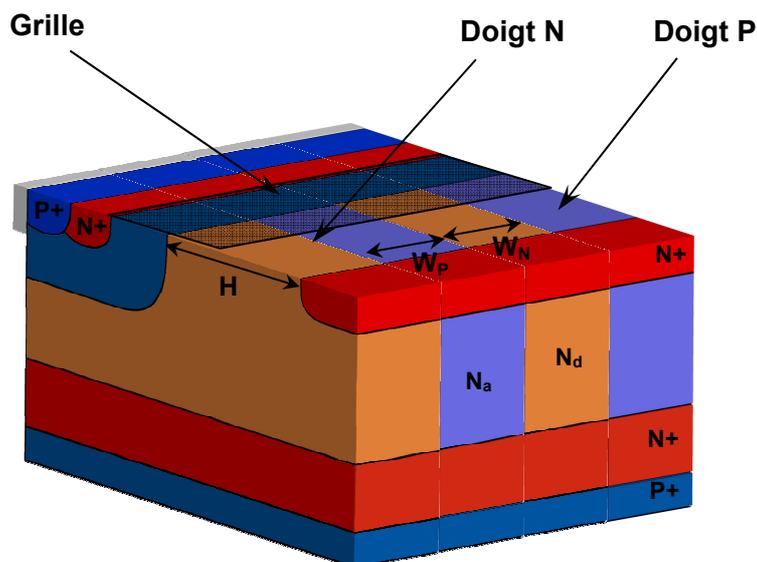


Figure I-27 : Coupe 3D d'un transistor à Super Jonction (SJMOS). Alternance de bandes N et P de largeur et de dopage respectifs W_n , W_p et N_d , N_a

Le mécanisme physique sur lequel repose le principe de la SuperJonction est la balance de charges. En effet une SJ nécessite un dopage et une largeur de bande judicieusement choisis (par exemple $N_a=N_d$ et W_n et $W_p \ll H$). Le phénomène induit par l'application d'une tension positive sur le drain, alors que le transistor se trouve en mode bloqué, se déroule en deux étapes :

- dans un premier temps, les couches N et P se désertent plus vite latéralement que verticalement du fait du facteur de forme des bandes ($W_{n,p}/H \ll 1$). Ainsi seule la composante latérale E_y du champ électrique augmente mais reste inférieure à la valeur du champ critique E_c .
- dans un deuxième temps, puisque la déplétion des bandes N et P est totale, la distribution du champ électrique dans le volume est uniforme. Il convient

alors de considérer les régions N et P dépeuplées comme un diélectrique avec le champ critique du silicium.

Le principal avantage de la SuperJonction est que le dopage des régions N et P peut être choisi supérieur au dopage N- de l'extension de drain d'un transistor LDMOS conventionnel. Le paramètre primordial n'est plus la concentration, mais la balance de charges. Pour qu'une SuperJonction fonctionne correctement, il faut donc que les bandes N et P soient complètement dépeuplées avant d'atteindre le champ électrique critique, mais aussi que la balance des charges entre les régions N et P soit quasiment parfaite. Pour un dopage donné, en réduisant la largeur des bandes N et P, la désertion est de plus en plus totale : la distribution uniforme du champ électrique s'en trouve alors améliorée (Figure I-28).

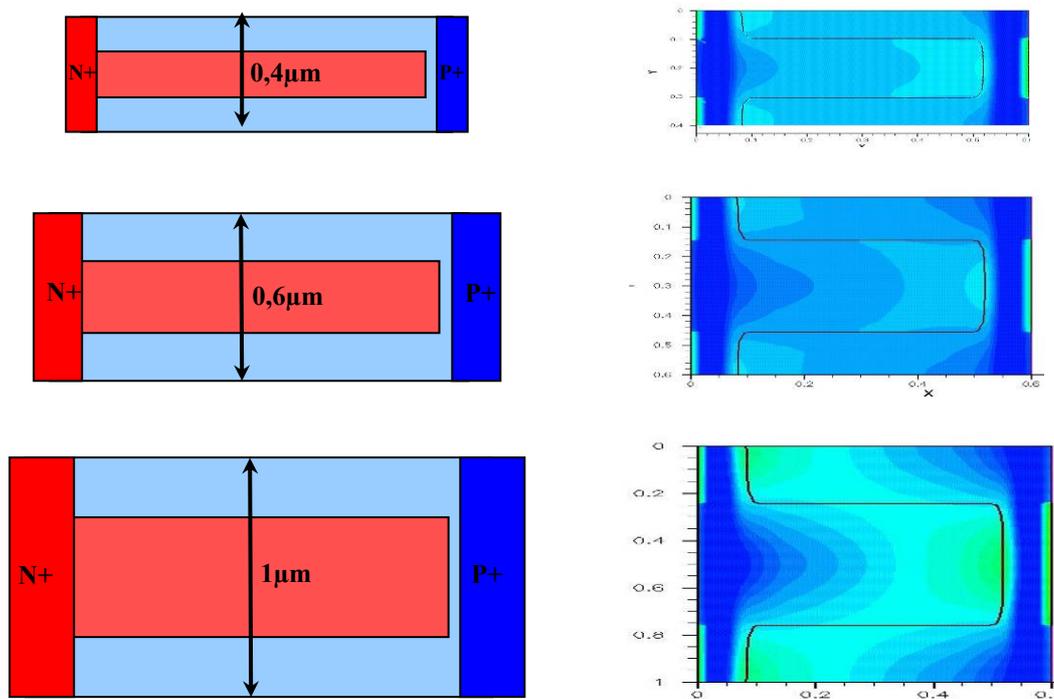


Figure I-28 : Simulation de la distribution du champ électrique de diodes à SuperJonction pour différentes largeurs de bandes N et P

Cependant, pour des tenues en tension inférieures à 100V, la comparaison entre les différents types de transistors de puissance est beaucoup moins flatteuse pour les transistors MOS à SuperJonction. Pour que cela le devienne, il faudrait réaliser des composants avec des bandes N et P très fines (W_n et W_p inférieures à $0,2\mu\text{m}$) pour obtenir une amélioration substantielle (Figure I-29, [Mor04]).

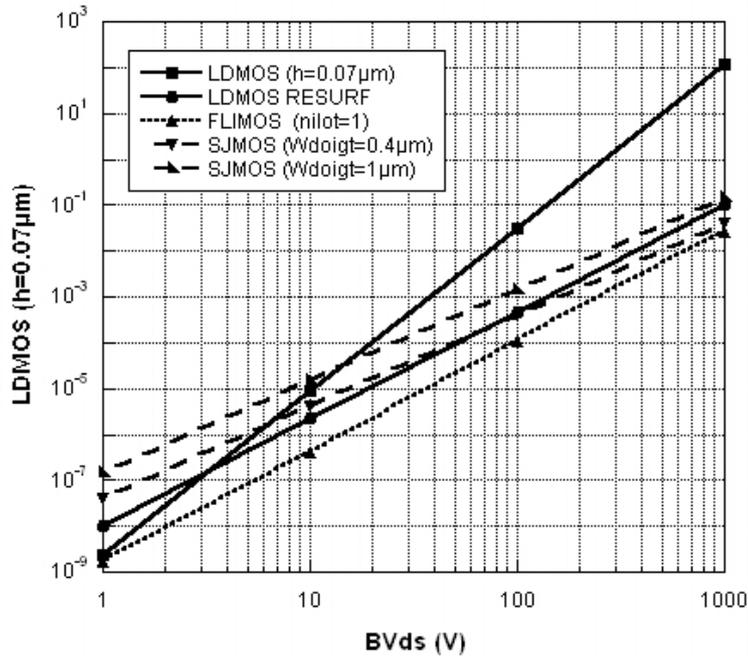


Figure I-29 : Limites du silicium des composants LDMOS (pour la hauteur de conduction h variant de $0,07\mu m$ à $2\mu m$), LDMOS RESURF, FLIMOS à un îlot et SJMOS (pour une largeur de doigt de $0,4\mu m$ à $1\mu m$)

Bien que potentiellement très performantes en terme de compromis R_{onS}/BV_{ds} , les transistors à SuperJonction se heurtent aux limites des technologies actuelles. Réaliser des bandes N et P très fines implique une technologie de lithographie performante et une bonne maîtrise de l'implantation et de l'activation des charges déposées dans ces bandes. Pour concevoir des transistors de puissance soutenant une quinzaine de volts en mode bloqué, il est difficilement envisageable de réduire la largeur de bande en dessous de $0,2\mu m$, compte tenu de nos technologies disponibles (scanner 248nm de longueur d'onde).

Nous venons d'étudier différents transistors utilisés actuellement dans de nombreuses applications. Les transistors LDMOS représentent la solution conventionnelle la plus souvent utilisée. Les transistors à îlots flottants constituent une solution alternative réalisable de manière aisée sur silicium. Cependant, ils ne présentent de bonnes performances statiques que pour des tenues en tension supérieures à 100V, ce qui est bien supérieur à notre objectif (15V). Les transistors à SuperJonction permettent d'atteindre les meilleures performances en termes de compromis « résistance passante spécifique - tenue en tension ». Leur réalisation se

heurte néanmoins à la grande maîtrise nécessaire à la réalisation d'une balance de charge quasi-parfaite, ainsi qu'à l'obligation de fabrication de bandes très fines.

Malgré le développement de nombreux concepts nouveaux pour repousser la « limite du silicium », l'utilisation de ces différents transistors pour une tenue en tension de 15V n'est pas intéressante pour le nœud technologique 65nm. Au cours de ces travaux de thèse, nous avons évalué la faisabilité de transistors DMOS latéraux à SuperJonctions et à îlots flottants. Les difficultés de développement nous ont amené à abandonner ces pistes. Les transistors de type LUDMOS sont *a priori* encore la meilleure solution en termes de performances statique $R_{on}S/BV_{ds}$, mais ce choix n'est pas possible sur substrat SOI.

5. PROBLEMATIQUE DE L'INTEGRATION D'UN CIRCUIT DE PUISSANCE

Le développement de filières de puissance ne se limite pas aux aspects liés au développement de composants. Etant donné le niveau des tensions appliquées, une bonne isolation entre blocs est nécessaire. Nous allons développer dans la partie suivante les différents types d'isolation et la problématique de l'intégration d'un circuit de puissance sur silicium.

Faire cohabiter de nombreux composants, fonctionnant sous des tensions différentes et gérant des niveaux de courants sans aucun rapport, nécessite une parfaite isolation entre éléments. Les technologies actuelles peuvent intégrer concrètement des blocs CMOS complexes, des mémoires mais aussi une partie dite de « puissance ». Cette intégration, et la réduction des dimensions qui y est associée, nécessite de résoudre le problème de l'isolation galvanique entre les différents blocs.

Actuellement il existe deux familles principales d'isolation pour résoudre ces problèmes [Mor07] :

- les technologies d'isolation par jonction,
- les technologies d'isolation par diélectrique.

Les technologies d'isolation par jonction constituent les solutions conventionnelles les plus utilisées actuellement. Cependant, la densité de plus en plus importante de composants pose de nombreux problèmes que nous allons détailler dans un premier temps. Dans un second temps, nous verrons les technologies d'isolation par diélectrique.

5.1. Isolation par jonction

Outre les fuites par le substrat, les isolations par jonction sont confrontées à un problème majeur : le déclenchement du transistor bipolaire parasite pouvant entraîner la destruction du composant par « *latch-up* ». Ainsi, les courants de substrat, liés principalement aux fuites de la jonction drain-source, peuvent générer de nombreuses perturbations qui affectent au final le fonctionnement des circuits. Cependant l'intégrité du composant – et donc du circuit – est la plupart du temps

préservée. Au contraire, lorsque, sous l'effet des courants de substrat, le phénomène de « *latch-up* », fatal pour le circuit, s'enclenche, il ne peut être désamorcé que si la tension d'alimentation est coupée.

Le « *latch-up* », ou phénomène de blocage des structures « quatre couches » (NPNP), se rencontre lorsque deux transistors bipolaires NPN et PNP s'alimentent mutuellement. Le courant de collecteur de l'un fournit le courant de base de l'autre formant ainsi une structure thyristor (Figure I-30, [Gon01]).

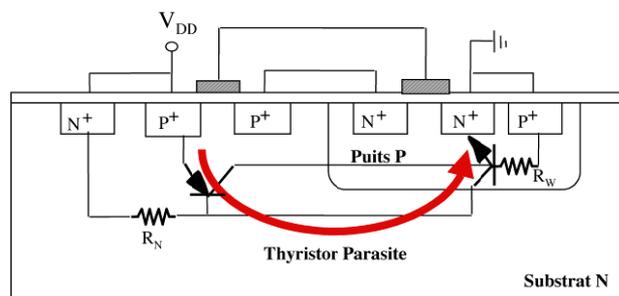


Figure I-30 : Illustration du phénomène de *latch-up* dans une circuiterie CMOS

On parle de phénomène de « *latch-up* » lorsqu'une fois que le thyristor est enclenché, il se retourne de manière indésirable et incontrôlée (au-delà du point d'amorçage). Le composant va alors conduire des courants extrêmement forts et impossibles à arrêter sans couper les alimentations. La destruction thermique du composant est quasiment inévitable, les densités de courant étant telles que la température peut localement atteindre le point de fusion du silicium.

Dans les circuits intégrés de puissance, la maîtrise de ces courants de substrat est un impératif majeur. Nous allons, ci-dessous, présenter rapidement les principales techniques d'isolation et de protection.

5.1.1. Anneaux de garde

L'anneau de garde est la protection la plus simple. Elle consiste à insérer une zone de collection de porteurs entre les parties du circuit intégré les plus sensibles et les zones susceptibles d'injecter des porteurs minoritaires [Mor07]. Il s'agit de collecter le maximum de courant parasite avant qu'il n'atteigne les zones critiques du circuit (Figure I-31).

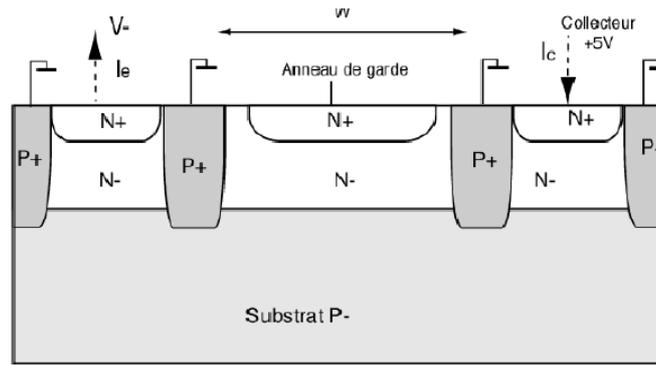


Figure I-31 : Anneau de garde entre deux électrodes (structure de test)

Pour être efficaces, les anneaux de garde doivent être larges, de quelques microns à une centaine de microns.

5.1.2. Diode Schottky

Une autre solution consiste à insérer une diode Schottky (Métal-Semiconducteur) à l'intérieur du caisson du composant de puissance à l'origine du courant de substrat [Gon01]. La tension de seuil d'une diode Schottky étant faible, elle va rentrer en conduction avant la diode d'isolation de substrat, retardant ainsi sa mise en conduction.

Il faut cependant noter que son intégration ne peut se faire sans avoir résolu la faible tenue en tension en mode bloqué, problème inhérent aux diodes Schottky.

5.1.3. Transistor M.O.S. isolé

Utilisé en général pour les dispositifs 15/20V, le transistor isolé consiste à réaliser le drain non plus dans une couche N- mais dans une couche P- de sorte que le drain n'ait plus de contact direct avec la couche N- [Mor07]. Cette couche N- est alors contactée via la couche enterrée N+. Ainsi, lorsque le drain du transistor est polarisé négativement et que la diode drain/P- passe en direct, le fort courant injecté par celle-ci est collecté par la couche contactée N+. Il n'y a plus aucune injection de porteurs minoritaires dans le substrat.

reste du circuit étant sur technologie massive. Cette technique est réalisée par un dépôt de film SiGe et d'une épitaxie. Elle est complexe à réaliser sur silicium et elle n'est pas en production actuellement.

La seconde solution envisagée est une isolation SOI complète. Il existe des techniques de fabrication très différentes. Cependant la technique « *Smart-Cut* » développée au LETI ([Aub96][Bru95]) a démontrée depuis de nombreuses années ses performances et son industrialisation. Ce procédé est donc celui à utiliser si la technologie développée est destinée à une production en volume.

D'autres procédés de réalisation existent. Le procédé SIMOX consiste à effectuer une implantation en profondeur d'une forte dose d'ions oxygène, puis un recuit à très haute température pour former une couche d'oxyde de silicium. Les principaux défauts d'un tel procédé sont, d'une part, que la couche active du matériau sur laquelle va être réalisée la puce est fortement dégradée par l'implantation d'ions oxygène très volumineux ; et d'autre part, le recuit à très haute température nécessite des fours spécifiques non standards.

Le BESOI consiste à mettre en contact avec un film d'eau deux plaques de silicium dont l'une des deux est oxydée, permettant à la suite d'un recuit de les coller par activation de liaisons de *van der Waals*. La plaque est ensuite amincie jusqu'à l'épaisseur finale voulue. Le procédé « *Smart-Cut* » est une évolution de ce procédé, la mise à épaisseur se faisant par une implantation d'ions hydrogène et d'un recuit. Une description plus approfondie de ce procédé est présentée au Chapitre 2. Ce procédé se distingue de ses concurrents sur tous les points importants (Tableau I-2), aussi bien pour des critères financiers que techniques.

Critères	Technologies SOI		
	<i>Smart-Cut</i>	<i>BESOI</i>	<i>SIMOX</i>
Coût	++	-	+
Industrialisation	+	-	-
Compatibilité 300mm	++	+	-
Qualité du film	+	+	-
Uniformité du film	++	+	++
Flexibilité	++	+	-

Tableau I-2 : Comparaison des différentes technologies S.O.I.

5.3. Conclusion

Comme cela vient d'être présenté, le SOI permet de résoudre de manière définitive les problèmes d'isolation et d'intégration dus aux fuites substrat. Ce problème est en effet central dans le développement de technologies intégrées mixant sur une même puce des composants de puissance et des composants plus basse tension. La réduction des fuites de jonctions entraîne aussi une réduction de la consommation. Or le marché croissant des télécommunications est demandeur de circuits à la fois très performants (vitesse de commutation, haut débit, etc.) mais aussi à faible consommation, surtout dans le cas de systèmes portables.

6. CONCLUSION

Nous avons dans ce chapitre présenté le contexte des technologies de puissance et la problématique de l'intégration d'un composant de puissance.

Après un rapide rappel du contexte technologique du monde de la puissance, nous avons abordé les différentes applications auxquelles nous destinons le composant. D'une part le composant pourrait être utilisé pour de la gestion d'énergie (fonction interrupteur) et d'autre part il pourrait être intégré dans un amplificateur de puissance.

Pour répondre à des applications de plus haute tension, de nouveaux concepts et transistors ont été développés pour améliorer le compromis SR_{on}/BV . Nous avons décrit ces concepts et nous avons vu que ces composants étaient difficiles à intégrer industriellement pour les plus faibles tensions de claquage ($\sim 15V$). Un transistor de puissance latéral devrait être la meilleure solution.

Enfin nous nous sommes interrogés sur les différentes solutions de co-intégration de composants de puissance avec d'autres composants de plus faible tension de fonctionnement. Etant donné les difficultés d'isolation, dès lors que la haute tension est présente dans le circuit, l'utilisation d'un substrat SOI est une solution séduisante.

En effet, de nombreuses fonctions ont été développées ces dernières années en technologie SOI, dont certaines ont d'ores et déjà des applications grand public. Cette thèse aborde la faisabilité de composants de puissance, compatibles avec des procédés standards de faible tension. Dans le prochain chapitre, nous allons aborder plus précisément la technologie SOI, ainsi que la problématique de l'intégration de composants de puissance sur de tels substrats.

BIBLIOGRAPHIE

- [And86] A. Andreini, C. Contiero and P. Galbiati, "A New Integrated Silicon Gate Technology Combining Bipolar Linear, CMOS Logic and DMOS Power Parts", IEEE Transactions on Electron Devices, vol. ED-33, No 12, December 1986.
- [Aub96] A-J. Auberton-Hervé, "SOI: Materials to Systems", International Electron Device Meeting, 1996, pp. 3-10.
- [Bon05] O. Bon, "Développement et caractérisation de transistors MOS complémentaires haute tension en technologie 0,13 μ m sur substrat SOI", Rapport de stage de Master2 Recherche Micro et Nano Electronique de l'Université Joseph Fourier, Mai 2005.
- [Bru95] M. Bruel, B. Aspar, B. Charlet, C. Maleville, T. Poumeyrol, A. Soubie, A.J. Auberton-Hervé, J.M. Lamure, T. Barge, F. Metral, S. Trucchi, "Smart-Cut: a promising new SOI material technology", IEEE International SOI conference, 1995, pp. 178-179.
- [Cez01] N. Cezac, "Transistor MOS de puissance à faible résistance à l'état passant", Thèse de doctorat de l'Université Paul Sabatier de Toulouse, Janvier 2001.
- [Cha90] G. Charitat, "Modélisation et réalisation de composants planar haute-tension", Thèse de doctorat d'état de l'Université Paul Sabatier, Septembre 1990.
- [Col96] J-M. Collantes, "Modélisation des transistors MOSFETs pour les applications RF de puissance", Thèse de l'Université de Limoges, Mars 1996.
- [Con02] C. Contiero, A. Andreini and P. Galbiati, "Roadmap Differentiation and Emerging Trends in BCD Technology", European Solid-State Device Research Conference, 2002, pp. 275-282.
- [Efl03] T.R. Efland, "Earth is mobile-power", International Symposium on Power Semiconductor Devices and ICs, 2003, pp. 2-9.
- [Fio01a] J.G. Fiorenza, D. Antoniadis et J.A. del Alamo, "RF Power LDMOSFET on SOI", IEEE Electron Device Letters, Vol. 22, No. 3, Mars 2001.
- [Fio01b] J.G. Fiorenza et J.A. del Alamo, "RF Power performance of LDMOSFETs on SOI: an experimental comparison with bulk Si LDMOSFETs", IEEE Radio Frequency Integrated Circuits Symposium, pp. 43-46, 2001.

- [Fio05] J.G. Fiorenza et J.A. del Alamo, "RF Power Performance of an LDMOSFET on High-Resistivity SOI", IEEE Electron Device Letters, Vol. 26, No. 1, Janvier 2005.
- [Fuj97] T. Fujihira, "Theory of semiconductor superjunction devices", Japanese Journal of Applied Physics, Vol. 36, pp. 6254-6262, 1997.
- [Gir01] A. Giry, "Etude des potentialités des technologies CMOS avancées pour les radiofréquences : Application aux amplificateurs de puissance", Thèse de doctorat de l'Institut National Polytechnique de Grenoble, Juillet 2001.
- [Gir04] A. Giry, "Introduction to PA design", Rapport interne, Avril 2004.
- [Gon01] O. Gonnard, "Efficacité d'isolation dans les circuits de puissance isolés par jonction", Thèse de doctorat de l'Université Paul Sabatier de Toulouse, Décembre 2001.
- [Gre05] C. Grellu, "Intégration de transistors haute tension en technologie CMOS 0,13 μ m pour la gestion d'énergie des systèmes portables", Thèse de doctorat de l'université d'Institut National des Sciences Appliquées de Lyon, 2005.
- [Lee04] T.H. Lee, "The Design of Radio-Frequency Integrated Circuits", Cambridge University Press, New York, 2nd edition, 2004.
- [Let05] T. Letavic, R. Cook, R. Brock, H. Effing, R. Einerhand, "20V Asymmetric Complementary Power Device Implementation within a 0.25 μ m CMOS Technology for Power Management Application", Proceedings of the 17th International Symposium on Power Semiconductor Devices & IC's, 2005, pp. 159-161.
- [Moe07] P. Moens, "Reliability Challenge in Smart Power Technologies", International Symposium on Power Devices and ICs Short Course, 2007.
- [Mor04] F. Morancho, "De nouvelles limites pour le compromis « résistance passante spécifique / tenue en tension » des composants unipolaires de puissance", Habilitation à Diriger des Recherches, Université Paul Sabatier, 2004.
- [Mor07] F. Morancho, "Physique et modélisation des composants et des circuits intégrés de puissance", Lavoisier, Paris, 2007.
- [Mu06] D. Muller, "Optimisation des potentialités d'un transistor LDMOS pour l'intégration d'amplificateur de puissance RF sur silicium", Thèse de doctorat de l'Université de Limoges, Octobre 2006.

- [Pen05] S. Pendharkar, "Mixed Signal and Power ICs and Technology", International Symposium on Power Semiconductor Devices and ICs Short Course, 2005.
- [Plu80] J.D. Plummer, "Monolithic MOS high voltage integrated circuits", International Electron Device Meeting, 1980, pp. 70-74.
- [Sze81] S.M. Sze, "Physics of Semiconductor Devices", John Wiley and Sons, New York, 2nd edition, 1981.
- [Tsa] K-C. Tsai et P.R. Gray, "CMOS Power Amplifiers for Wireless Communications", Berkeley Wireless Research Center.
- [Zit99] M. Zitouni, "Une nouvelle structure d'interrupteurs pour circuits intégrés de puissance : le concept du transistor LUDMOS", Thèse de doctorat de l'Université Paul Sabatier de Toulouse, Octobre 1999.

CHAPITRE 2

Technologie S.O.I. et Puissance sur S.O.I.

1. INTRODUCTION

Dans ce chapitre, nous étudions le potentiel et la problématique de la réalisation d'une technologie intégrée sur SOI. Le procédé SOI « *Smart-Cut* » est tout d'abord présenté. Le potentiel du SOI-CMOS est ensuite démontré pour réduire la consommation, à même vitesse de commutation par rapport au transistor CMOS sur matériau silicium massif. Nous verrons que ce bénéfice n'est obtenu qu'à la condition d'avoir un film de SOI suffisamment mince.

Nous présentons ensuite les travaux réalisés sur la qualification du SOI en radiofréquence. Récemment, la caractérisation de fonctions RF (VCO, LNA, amplificateur distribué, etc.) dans ce type de technologie SOI-CMOS a montré que le SOI pouvait être un bon candidat pour mixer des fonctions RF et digitales.

Cette intégration « *System On Chip* » ne peut être complète sans une intégration des fonctions de puissance associées. La réalisation de ces fonctions est un des grands défis que doit résoudre la technologie SOI-CMOS. L'optimisation à la fois du cœur CMOS et des blocs de haute tension est *a priori* incompatibles. Là où les blocs de gestion de puissance demanderaient une couche de SOI épaisse, la partie digitale requiert une couche de SOI fine.

En effet, pour la fonction CMOS digitale, cette épaisseur doit diminuer avec la longueur de canal du MOS afin de suivre les lois d'échelle : réduction de la profondeur de jonction pour le contrôle des effets de canal court. Or l'utilisation de films SOI minces pose le problème des résistances d'accès plus élevées et de l'échauffement qui peuvent être critiques pour obtenir à la fois performances et tenue en tension. L'intégration de transistors de puissance sur SOI mince, ainsi que les obstacles à franchir, sont présentés.

Dans la dernière partie du chapitre, nous abordons les problématiques de fiabilité des transistors sur une période étendue et de zone d'utilisation garantie qui en découlent. Enfin le chapitre se termine sur la présentation de la structure et du procédé retenus.

2. LA TECHNOLOGIE S.O.I. : PRESENTATION

Le substrat SOI est constitué d'une tri-couche, composée de silicium épais, d'un isolant (noté BOx , pour « Buried OXide ») et de la couche active de silicium. C'est dans cette dernière couche que sera définie la zone de conduction. En pratique, le terme SOI est généralement réservé à un substrat constitué d'une couche de silicium au-dessus d'un BOx de SiO_2 , lui-même situé sur un substrat de silicium. Cette structure est la plus courante car elle reste la plus facile à fabriquer, la plus économique à réaliser et de très bonne qualité.

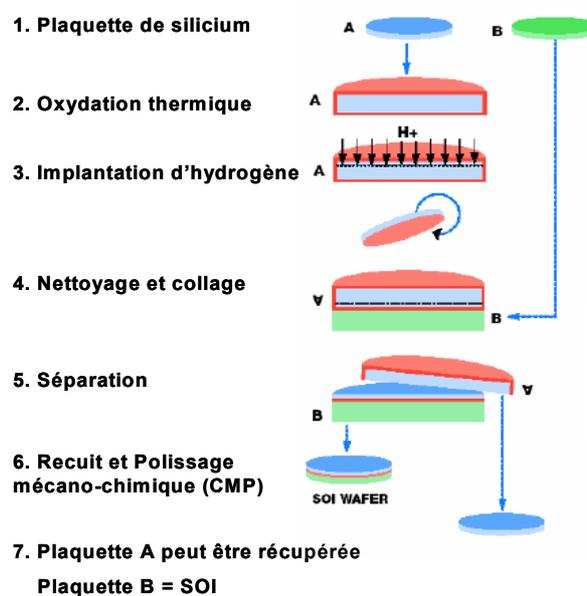


Figure II-1 : Fabrication de plaquette SOI à partir du procédé de collage de plaquette Smart-Cut™ UNIBOND™. Ce procédé est utilisé aussi bien pour les plaquettes 200 mm que 300mm.

Comme nous l'avons présenté dans le premier chapitre, le procédé *Smart-Cut* est actuellement le plus prometteur car la fabrication de substrat SOI en grand volume a été démontrée [Bru95]. Il consiste en un collage entre une plaquette (A) et une autre plaquette (B), la plaquette (A) ayant été préalablement oxydée puis implantée avec de l'hydrogène (formation de microcavités) et nettoyée (Figure II-1). Le collage est assuré par les forces de Van der Waals, à l'origine des liaisons cristallines entre le silicium et la silice. Un premier recuit, aux alentours de $800^{\circ}C$, permet de stabiliser le collage. Un deuxième recuit est ensuite réalisé afin de fracturer

la plaquette de silicium (B), au niveau de la zone implantée avec l'hydrogène, par coalescence des microcavités. L'épaisseur du film de silicium est finalement ajustée par un polissage mécano-chimique. La plaquette (A) peut être récupérée et réutilisée : le coût de fabrication est ainsi diminué et la qualité du matériau améliorée.

C'est la présence de l'isolant enterré sous le film de silicium qui va induire des différences notables entre le fonctionnement du transistor sur silicium massif et le transistor sur SOI. La première utilisation commerciale de ce dernier était motivée par la nécessité d'obtenir des dispositifs plus résistants aux radiations ([Ler90][Hit92]), pour les applications spatiales et militaires, ces radiations pouvant venir exciter les atomes de silicium et générer des charges parasites. Avec le SOI, seule la fine couche supérieure de silicium (film ou zone active) de la plaquette est utilisée. L'isolation introduite par le BOx, entre la zone active et le reste du substrat, permet de minimiser les risques de disfonctionnement du circuit par l'excitation des atomes, sous l'effet transitoire des radiations. La technologie SOI est entrée dans l'univers de la microélectronique commerciale en raison de performances accrues, comparée à la technologie sur silicium massif, notamment pour les applications « haute performance ».

Le Tableau II-1 présente une synthèse des principaux avantages/inconvénients liés aux spécificités des dispositifs SOI. Elles seront développées dans les parties suivantes.

Avantages du SOI	Inconvénients du SOI
➤ Isolation totale entre les dispositifs	➤ Technologie récente
➤ Réduction des capacités parasites	➤ Effets de substrat flottant
➤ Réduction des courants de fuite parasites (jonction, substrat)	➤ Effets d'auto-échauffement
➤ Réduction de l'effet canal court	➤ Effet du transistor bipolaire parasite
➤ Réduction de l'effet de polarisation du substrat	➤ Augmentation de la résistance d'accès (pour TSi mince)
➤ Limitation verticale des zones de Source/Drain	
➤ Résistance aux radiations	
➤ Application hautes températures	

Tableau II-1 : Principaux avantages / inconvénients des dispositifs SOI

3. INTERET DE LA TECHNOLOGIE S.O.I. RF

Nous allons ici montrer l'intérêt du SOI par rapport aux technologies standard réalisées sur substrat massif, en insistant sur l'amélioration des performances RF.

Nous avons vu que la diminution de la longueur de grille des transistors MOS avait permis d'atteindre des fréquences de fonctionnement de l'ordre du gigahertz (Figure I-7). Ainsi la technologie CMOS représente la meilleure possibilité d'intégration des fonctions RF, digitale et analogique sur une même puce. Bien qu'elle puisse se révéler onéreuse, cette approche SoC reste économiquement préférable. Les technologies CMOS sur substrat massif garantissent aujourd'hui de bonnes performances pour les éléments actifs des parties analogiques et radiofréquences (f_T élevé, faible bruit, bonne linéarité, ...). De plus, une forte densité autorise l'intégration des processeurs numériques. Il reste pourtant des blocages technologiques importants.

En effet, pour réaliser des systèmes mixtes intégrés, les technologies doivent développer :

- des interconnexions de bonne qualité afin de réduire les pertes (faible résistivité et faibles capacités parasites),
- une bonne isolation entre les différents blocs analogiques, radiofréquences et numériques afin de réduire les effets de bruit par le substrat,
- et une consommation totale des systèmes réduite au maximum.

Les technologies SOI pour les applications RF peuvent apporter des avancées significatives par rapport à ces difficultés. Nous allons, dans les paragraphes suivants, expliquer les phénomènes de base et les avantages liés au développement d'une filière technologique SOI RF.

3.1. Élimination des capacités de jonctions

Le principal avantage connu des technologies SOI RF réside dans la réduction des capacités de jonctions des transistors. Grâce à la présence de l'oxyde enterré, les

diffusions de drain et de source sont circonscrites à la couche de silicium supérieure : la partie inférieure des diffusions touche l'oxyde enterré. Ainsi en SOI on remplace une capacité de jonction $C_{\text{jonctions}}$ par une capacité d'oxyde de plus faible valeur.

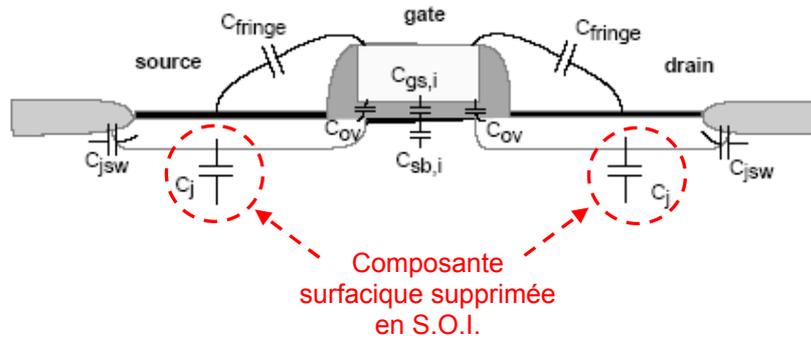


Figure II-2 : Suppression des capacités surfaciques en S.O.I.

Comme le montre la Figure II-2, la composante de surface de jonction est fortement réduite. Ainsi, seule demeure la composante périmétrique. Les capacités de jonctions ne dépendent plus que de la capacité latérale zone de canal (ou *body*)-source ou *body*-drain, la capacité de jonctions $C_{\text{jonctions}}$ est diminuée (Tableau II-2).

Technologie	SOI 65nm <i>Epaisseur SOI : 70nm</i>	SOI 130nm <i>Epaisseur SOI : 150nm</i>	Massive 65nm	Massive 130nm
$C_{\text{jonctions}}/W$ (fF/ μm)	0,15	0,37	0,39	0,58

Tableau II-2 : Comparaison de la capacité drain-source de NMOS en fonction des technologies SOI 65nm, SOI 130nm et massive 0,25 μm (données normalisées par la largeur des dispositifs en microns)

Les capacités sont réduites par rapport au silicium massif, ce qui abaisse la capacité totale d'un circuit de l'ordre de 20% [Gia06]. Cette amélioration permet des gains notables sur la vitesse et la consommation des circuits.

3.2. Effet de substrat flottant et réduction de la consommation

En technologie SOI, grâce à la présence de l'oxyde enterré qui isole le substrat de conduction (appelé aussi « *body* ») du substrat de support, il existe un couplage capacitif entre la grille et le substrat, si ce dernier n'est pas contacté à un potentiel (le transistor est dit « flottant » ou « à substrat flottant »). De ce couplage va résulter une charge et une décharge du substrat flottant, qui va créer une variation dynamique de la tension de seuil du transistor.

En mode statique, la variation du potentiel de *body* provient de mécanismes d'accumulation et de déplétion de charges à l'intérieur de celui-ci. L'accumulation dans le substrat flottant est due aux courants de fuite latéraux des jonctions, au couplage capacitif entre la grille et le body et au phénomène d'ionisation par impact, présent uniquement à tension de drain élevée.

L'ionisation se produit lorsque les porteurs, accélérés par un fort champ électrique, atteignent leur vitesse de saturation. Les collisions entre ces porteurs et le réseau (i.e. les atomes fixes de la couche de silicium) créent des paires électrons/trous dont certaines ne se recombinent pas. Les électrons libres sont alors accélérés par le champ vers le drain, alors que les trous s'accumulent dans le *body* flottant (Figure II-3). La barrière de potentiel de la diode source-*body* empêche l'évacuation des trous vers la source : le potentiel du body augmente.

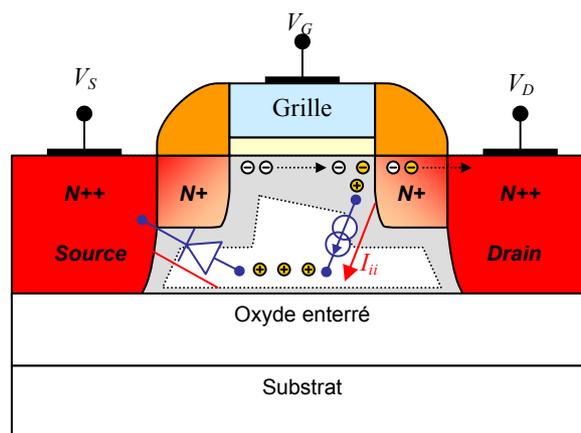


Figure II-3 : Illustration de l'effet de substrat flottant dans un NMOS

Cette augmentation conduit non seulement à une réduction de la tension de seuil et donc à une augmentation du courant de drain I_d , mais elle favorise aussi

l'ionisation par impact qui contribue à augmenter la tension de *body*. Ce phénomène se stabilise lorsque le potentiel de *body* devient suffisamment important pour polariser en direct la diode source-*body* flottant. L'équilibre est donc atteint lorsque les charges apportées par l'ionisation par impact sont égales aux charges évacuées par cette diode.

Cette auto-polarisation du substrat contribue à augmenter le courant de drain. Ce phénomène pénalise les performances statiques en dégradant le courant de fuite. Il peut être supprimé par l'utilisation de transistors contactés.

En fonctionnement dynamique, le phénomène de substrat flottant est, par contre, bénéfique. Un couplage capacitif direct entre la grille et le *body* permet de contrôler directement le potentiel de la zone de canal (Figure II-4). Dans la phase de commutation d'un circuit, la tension de seuil équivalente est ainsi réduite, permettant d'atteindre une même fréquence de fonctionnement qu'en technologie massive, avec une tension d'alimentation plus faible.

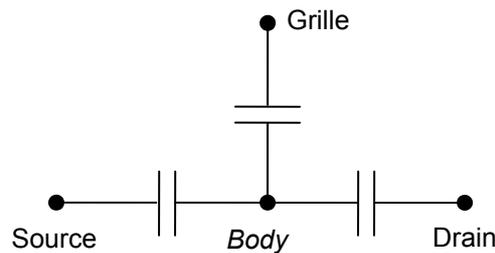


Figure II-4 : Réseau capacitif équivalent d'un transistor MOS SOI « flottant » en fonctionnement dynamique

L'ensemble de ces mécanismes est appelé « modulation dynamique de la tension de seuil ». L'Équation II-1, montre la dépendance de la puissance dynamique avec la tension d'alimentation [Gia06].

$$P = \underbrace{k.C.V^2.f}_{\text{Puissance dynamique}} + \underbrace{V.I_s \tan d-by}_{\text{Puissance statique}}$$

Équation II-1: Puissance totale consommée par un circuit

- | | |
|--|---|
| Avec : P : puissance consommée en Watt | C : capacité parasite de charge du circuit en F |
| k : coefficient fonction de la commutation | f : fréquence de fonctionnement en Hertz |
| V : tension d'alimentation en V | I _{stand-by} : courant consommé par le circuit à l'arrêt |

Comme nous venons de le voir, la capacité totale est réduite suite à la réduction des capacités de jonction et grâce au couplage capacitif grille/*body*. De plus, pour une fréquence de fonctionnement donnée, la tension d'alimentation nécessaire pour obtenir le même courant est plus faible en CMOS SOI qu'en CMOS sur substrat massif. Grâce à la réduction des deux paramètres C et V présents dans l'Équation II-1, le gain en puissance dynamique pour les technologies SOI est très important par rapport à des technologies massives équivalentes.

Ainsi, la puissance dynamique consommée d'une mémoire à une fréquence donnée peut être réduite de 70% par rapport à une mémoire identique réalisée sur technologie massive [Ber01].

En ce qui concerne la puissance statique, à même tension d'alimentation un transistor SOI affichera un courant de fuite plus important et, par conséquent, une puissance consommée accrue. La Figure II-5 présente la fuite statique par point mémoire en fonction de la tension d'alimentation en SOI et sur substrat massif.

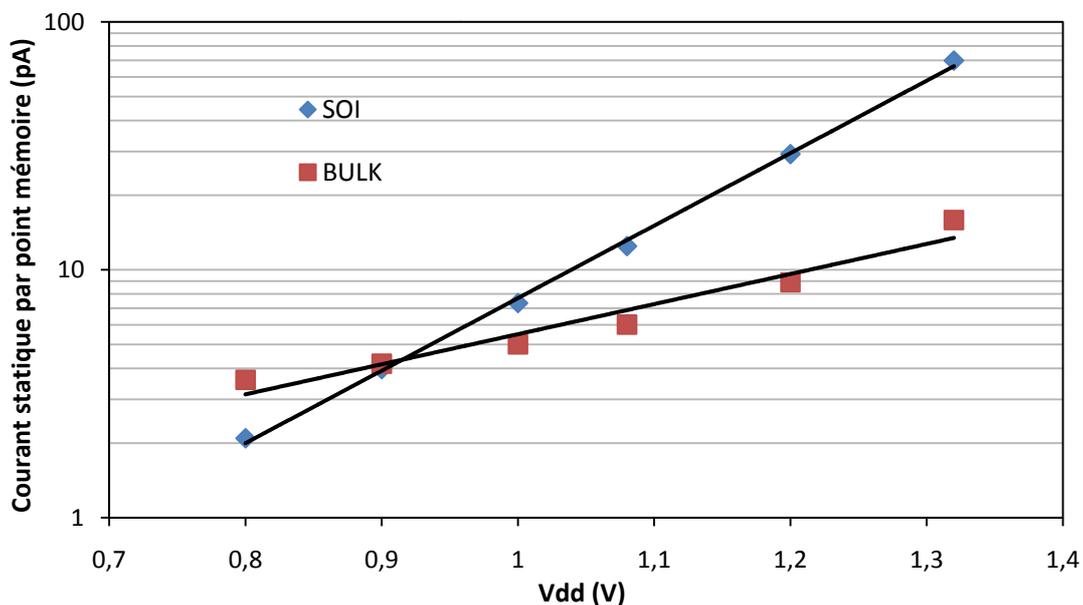


Figure II-5 : Courant statique par point mémoire (0,62 μm^2) en fonction de la tension d'alimentation à 25°C en SOI et sur substrat massif

À cause de l'ionisation par impact et du substrat flottant, la pente est plus forte en SOI. Ce problème peut être résolu en diminuant la tension d'alimentation du circuit lors de la mise à l'arrêt ou d'une non-utilisation provisoire.

Par ailleurs, à haute température, les courants de fuite sont diminués [Ray03], ce qui constitue un avantage indéniable des technologies SOI sur les technologies sur substrat massif.

Pour les performances des prochaines générations technologiques, le SOI est bien placé pour être la solution résolvant le problème grandissant de la consommation. Pour la partie logique, la consommation est abaissée grâce à la réduction de la capacité totale équivalente d'une cellule mémoire. En fonctionnement dynamique, elle est plus faible sur substrat SOI grâce au couplage capacitif grille/*body*. Au niveau des circuits analogiques et radiofréquence, la consommation est restreinte :

- par la réduction des capacités de jonction (en analogiques et RF, les transistors sont très larges, ce qui implique une surface de jonction importante),
- par la suppression des courants de substrat parasites,
- et par des passifs performants (l'augmentation du facteur de qualité permet une réduction de la puissance consommée).

Ces deux derniers points sont abordés dans la partie suivante.

3.3. Compatibilité avec des substrats Hautement Résistifs

Nous abordons ici l'avantage essentiel des technologies SOI concernant les applications RF : la totale compatibilité des technologies CMOS SOI avec des substrats Hautement Résistifs (HR). La haute résistivité concerne le substrat de support se situant sous l'oxyde enterré (Figure II-6) ; elle est supérieure à $1\text{k}\Omega\cdot\text{cm}$ (valeur standard : $10\Omega\cdot\text{cm}$).

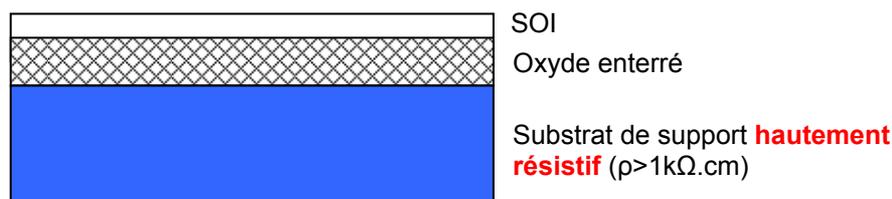


Figure II-6 : La haute résistivité d'une plaquette de SOI concerne le substrat de support, se situant sous l'oxyde enterré

Nous allons voir ici que l'utilisation du SOI avec un substrat HR permet d'une part une immunité aux phénomènes de couplage par le substrat, et d'autre part l'intégration de composants passifs de hautes performances.

3.3.1. Réduction des phénomènes de couplage par le substrat

Un substrat HR permet de réduire les pertes et le couplage par le substrat. Cependant, dans les procédés CMOS standard, un tel choix technologique est très difficile à gérer à cause du phénomène de *latch-up* et des courants parasites de substrat, d'autant plus lorsque des transistors haute tension sont utilisés (voir Chapitre 1, partie 5).

Ainsi, la technologie SOI est pleinement compatible avec les substrats HR (le substrat HR étant le substrat de support) puisqu'aucun phénomène de *latch-up* ne peut intervenir.

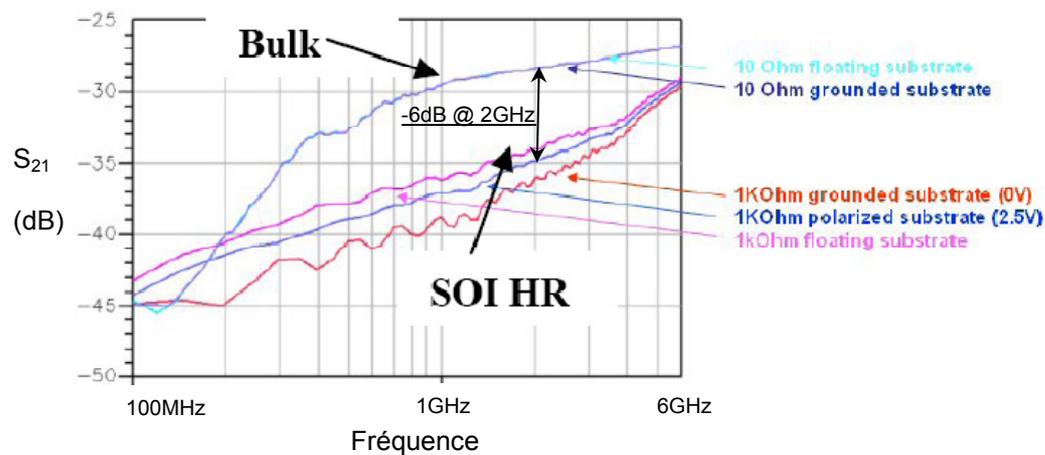


Figure II-7 : Mesure de l'isolation substrat de deux structures de test identiques

Le couplage par le substrat est un facteur important limitant le fonctionnement du circuit. Son évaluation traduit la manière dont le substrat « conduit ». Par exemple, avec un couplage important par le substrat, du bruit généré dans la partie logique peut se propager dans la partie analogique. Les mesures [Ray05] présentées sur la Figure II-7 montrent une amélioration de l'isolation pour les substrats SOI haute résistivité d'environ 6dB à 2 GHz.

Cette amélioration de l'isolation constitue un avantage essentiel afin de faciliter l'intégration de blocs analogique/RF et digitaux sur une même puce. Elle se réduit toutefois avec la fréquence.

3.3.2. Intégration de composants passifs à hautes performances

Il a été démontré récemment ([Gia06][Roz00]) que des améliorations significatives pouvaient être obtenues en SOI par rapport à une technologie massive standard.

Le premier point concerne la réalisation et la caractérisation de lignes de transmissions coplanaires. En effet, la réalisation de lignes à faible perte pour propager le signal RF est le premier pas à la construction d'une technologie RF performante. Ces lignes sont particulièrement sensibles au couplage et à la perte de signal par le substrat. Elles sont donc utilisées pour évaluer les performances d'une technologie d'isolation par le substrat (Figure II-8).

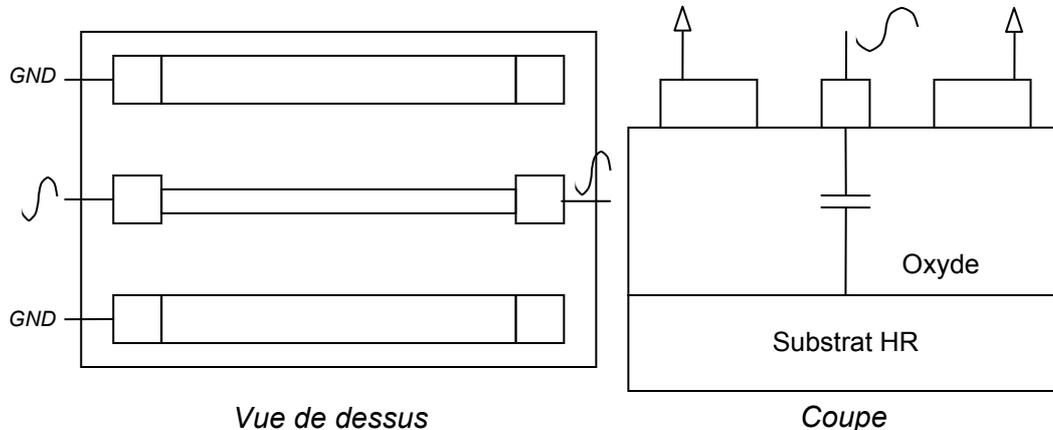


Figure II-8 : Schéma d'une structure de test de lignes coplanaires

Des études ont été réalisées pour évaluer les performances de la technologie HR par rapport à une technologie massive équivalente et à une technologie InP, référence en terme de qualité de transmission.

Ces lignes présentent des performances remarquables, comparables avec les technologies III-V, de type InP (Figure II-9). Cette constatation a été le point de

départ de réflexions menant jusqu'à une refonte complète des architectures de composants passifs pour la technologie SOI HR, ceci grâce à la réduction drastique des pertes substrat.

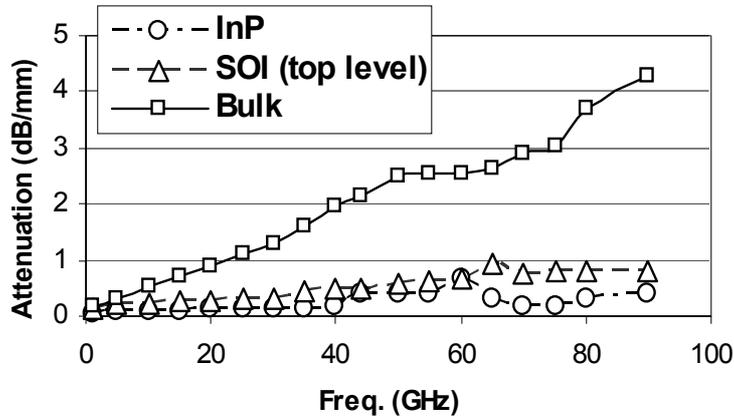


Figure II-9 : Pertes pour des lignes de transmission coplanaires

Dans la continuité de ces travaux, des architectures d'inductance en trois dimensions ont été développées. Elles permettent un bien meilleur compromis performances/surface (Figure II-10, [Gia06]) pour lequel les écrans entre l'inductance et le substrat ont été supprimés et les spires utilisent l'ensemble des niveaux de métaux disponibles (Figure II-11.). En silicium massif les niveaux inférieurs sont utilisables, mais la bande passante est alors réduite.

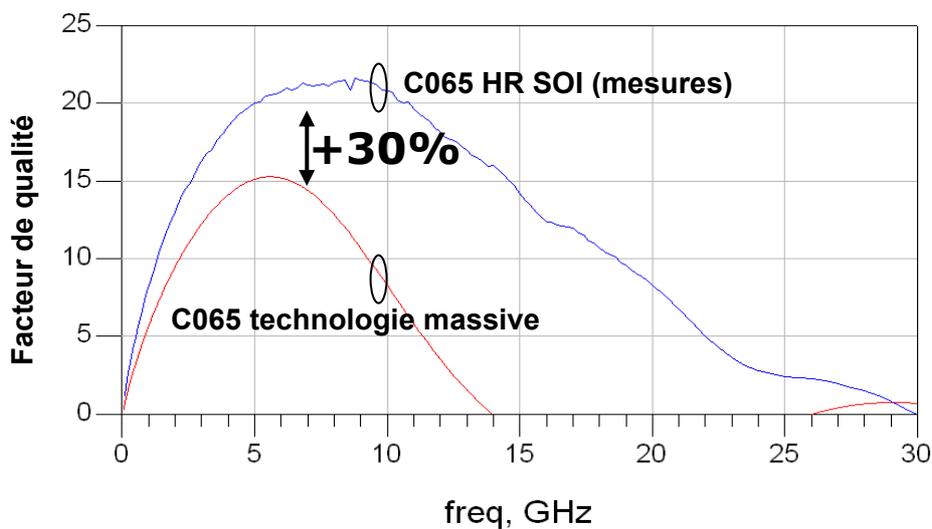


Figure II-10 : Facteur de qualité en fonction de la fréquence pour une inductance de 0,82nH pour deux technologies 65nm SOI HR et massive

Au final, des gains en surface de l'ordre de 40% ont pu être démontrés sur silicium, ce qui renforce grandement l'intérêt de la technologie SOI HR en termes de performance et de coût.

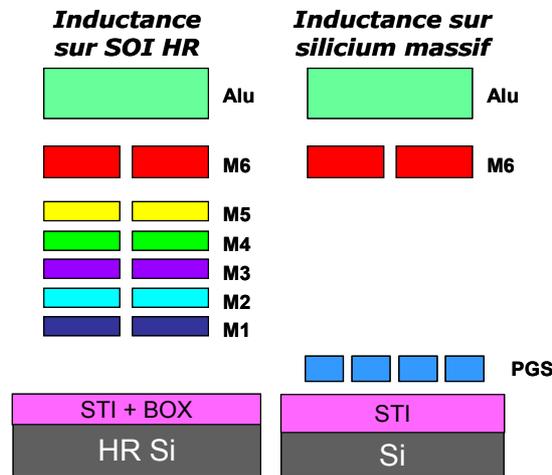


Figure II-11 : Niveaux de métaux utilisables pour la réalisation d'inductance en SOI HR et sur Silicium massif. (PGS est le plan patterné utilisé comme écran)

Cette approche de réalisation de structures 3D intégrées a été appliquée ensuite à la réalisation de capacités Métal-Oxyde-Métal (MOM) utilisant tous les niveaux de métaux. Des gains de 30% en termes de capacité surfacique ont ainsi été obtenus.

Le développement de composants passifs optimisés pour la technologie SOI HR a donc permis de très fortes améliorations aussi bien en termes de performance que de coût. Ces résultats ont renforcé très fortement l'idée d'une l'intégration de SoC RF et aussi accru l'attraction pour des applications radiofréquences des substrats SOI utilisant un substrat de support hautement résistif.

4. INTEGRATION DE COMPOSANTS DE PUISSANCE SUR S.O.I.

Nous venons de voir que l'intérêt du SOI ne se limite pas aux seules applications digitales. Le SOI, couplé avec un substrat hautement résistif, permet de réaliser un bond technologique en terme de performances RF et de s'approcher des performances des technologies InP, tout en gardant la facilité d'intégration des technologies CMOS digitales.

Comme nous l'avons vu dans le premier chapitre, la possibilité de réalisation de la majorité des fonctions de la chaîne d'émission/réception d'un appareil sans-fil a été démontrée. Cependant, il manque une brique technologique nécessaire à la gestion de tels dispositifs : des composants de puissance pour, d'une part, gérer la puissance et la batterie, et pour d'autre part réaliser des amplificateurs de puissance. Tous les travaux sur les composants passifs, qui viennent d'être présentés dans la Partie 3, permettent d'améliorer fortement l'adaptation dans un amplificateur de puissance. Cela permet de relâcher les contraintes pesant sur les composants de puissance.

Nous allons, dans cette partie, détailler les enjeux, les avantages et le type d'intégration choisie pour le développement de composants de puissance dans une filière SOI fin.

4.1. Intérêt de la puissance sur S.O.I.

Nous allons ici décrire les différentes améliorations que permettrait la réalisation de dispositifs de puissance sur SOI fin.

4.1.1. Facilité d'intégration et gain en surface

Comme nous l'avons vu dans le premier chapitre, en technologie massive, le phénomène de *latch-up* limite la densité d'intégration des circuits. Ce phénomène parasite fait apparaître des chemins de conduction entre l'alimentation et la masse, provoquant un échauffement du circuit et une augmentation de la consommation. La nature bouclée de ce phénomène peut conduire à la destruction du dispositif [Gia06].

L'intégration de transistors haute tension dans une technologie massive renforce très fortement ce risque. Les règles spécifiques d'isolation doivent être relâchées du fait de l'utilisation de hautes tensions. En plus de l'impossibilité de définir et de contrôler toutes les situations à risque pouvant amener à du *latch-up*, cela augmente fortement la surface occupée par le circuit. Les concepteurs sont donc confrontés à des problèmes augmentant le prix d'un circuit : d'une part une surface non-utile permettant de supprimer le *latch-up*, et d'autre part, les ressources utilisées pour les *re-designs*. Sur SOI, le bénéfice global en termes de réduction de surface peut être chiffré entre 10 et 30% [Bel01].

Pour limiter cet effet, des distances minimales doivent être respectées entre les sources des transistors de type N et de type P. Afin d'augmenter la densité d'intégration, tous les transistors d'un même type sont regroupés dans le même caisson. Le SOI permet de s'affranchir de cette problématique. En effet, les transistors CMOS SOI sont totalement isolés. L'oxyde enterré assure l'isolation verticale et permet ainsi d'éviter le *latch-up*, tandis que le module STI (« *Shallow Trench Isolation* ») isole latéralement ces transistors. Cette isolation bidimensionnelle fournit la possibilité de placer côte-à-côte des transistors PMOS et NMOS sans anneau de polarisation du substrat (car le *body* est indépendant du substrat).

La compacité du circuit permet de réduire la longueur des interconnexions, ce qui constitue un avantage pour la réduction des capacités parasites, nuisibles surtout à haute fréquence. De plus, l'isolation diélectrique diminue considérablement l'influence du bruit propagé via le substrat et les couplages parasites entre transistors voisins. Ces avantages conduisent naturellement à privilégier l'utilisation du SOI pour la réalisation de dispositifs intégrés sur une même puce (*System On Chip*). Dans les récepteurs, des liens haut débit, des modules de haute fréquence, analogiques et digitaux peuvent ainsi trouver plus facilement leur place sur une même puce.

4.1.2. Capacité de sortie et PAE

La Figure II-12 montre les deux principaux mécanismes de perte d'efficacité d'un transistor LDMOS. Le premier est dû à la résistance passante qui est déterminée principalement par l'extension de drain et est indépendante de la fréquence. Le second mécanisme, qui est dépendant de la fréquence, est causé par les pertes dans la

capacité de sortie C_{ds} . Sa partie résistive est une combinaison des résistances de l'extension de drain et du substrat.

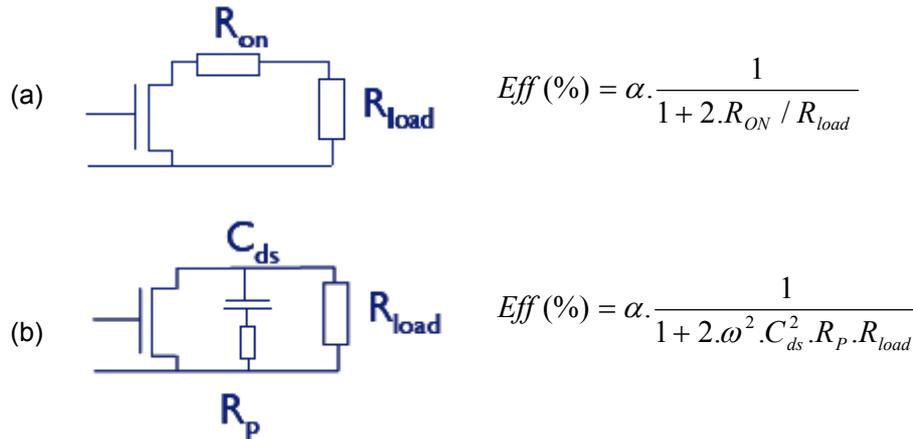


Figure II-12 : Les deux mécanismes de pertes : pertes séries et pertes par le substrat

De plus, *van Rijs* [Rij96] a démontré que, pour une faible tension d'alimentation, l'efficacité est indépendante de la fréquence et est donc dominée uniquement par les pertes séries dues à la résistance passante. À tension d'alimentation élevée, le comportement devient dépendant de la fréquence : le mécanisme prépondérant est lié aux pertes par couplage substrat (Figure II-13).

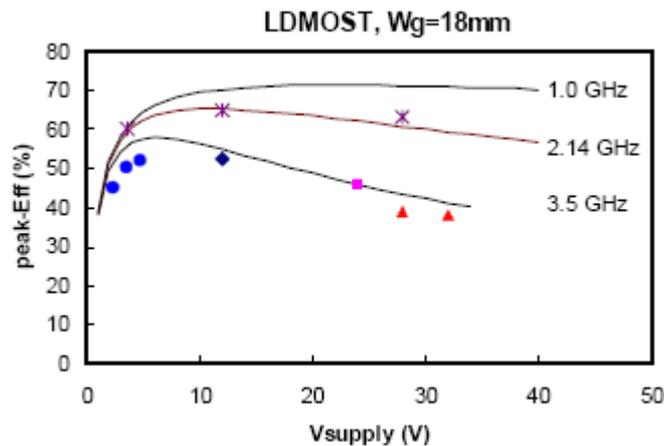


Figure II-13 : Pics d'efficacité en fonction de la tension d'alimentation à trois fréquences données, montrant ainsi la prépondérance des pertes parallèles à tension importante

Grâce à l'oxyde enterré présent dans les structures SOI, le couplage capacitif du substrat est fortement réduit [Fio02]. En effet, l'insertion d'une couche d'oxyde entre la couche active et le substrat permet de réduire la capacité de sortie. Ainsi, pour les applications de puissance demandant une tension d'alimentation importante, l'efficacité – et donc la PAE – sont toutes les deux améliorées.

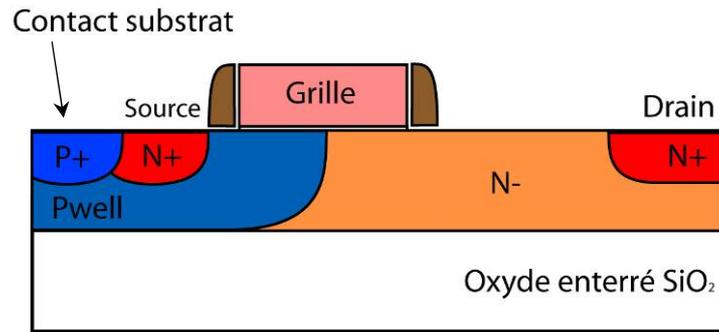
4.2. Impact du SOI sur les caractéristiques de puissance

L'intérêt du développement de LDMOS en SOI ayant été démontré, il convient maintenant de présenter les principales questions à se poser lors de la création d'une telle technologie. En effet, la réalisation de ces dispositifs sur SOI fin ne peut se faire qu'en adaptant les structures standards, présentées dans le Chapitre 1.

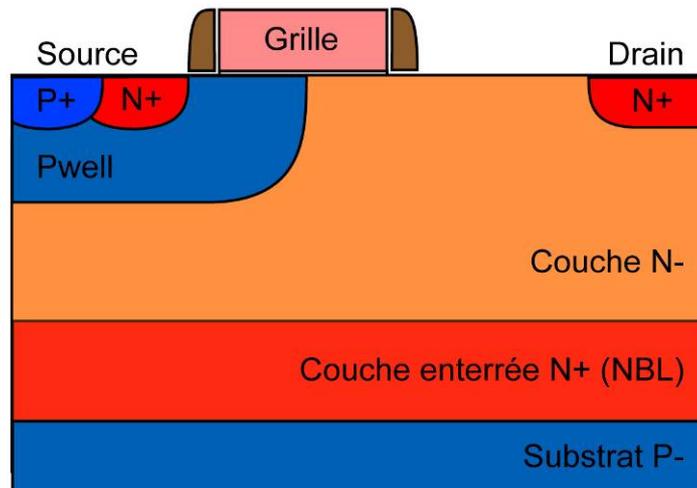
4.2.1. Impact de l'utilisation du SOI fin sur l'intégration

Le premier point concerne l'utilisation de substrats SOI fin. En effet quelques études ont été réalisées sur substrat SOI épais. Cependant il s'agissait de simples transpositions de l'intégration de LDMOS réalisés auparavant sur substrat massif.

La Figure II-14 présente l'intégration de NLD MOS sur SOI épais et sur substrat massif. L'épaisseur du film de SOI est de 200nm ce qui permet de garder l'intégration standard telle quelle. La prise, permettant de contacter la zone de canal (« *Body contact* » ou contact substrat), peut être réalisée sous l'implantation de source.



(a)



(b)

Figure II-14 : NLD MOS sur substrat SOI épais (a) et substrat massif (b)

En SOI pour réduire la capacité de sortie C_{ds} , l'épaisseur de SOI est abaissée au fil des nœuds technologiques pour améliorer les performances digitales et RF. En 65nm, le film de SOI étant au départ épais de 70nm, un cas critique est atteint. En effet, le film étant très mince, il devient impossible de contacter la zone de canal en passant sous la source : le potentiel de la zone neutre de ce transistor (noté *Pwell* ou *body*) n'est alors plus fixé comme dans le cas des dispositifs sur Si massif, mais a un impact direct sur le comportement électrique du transistor. Ces effets peuvent être utilisés pour améliorer les performances des circuits digitaux [Lu97] ou réduits, voire éliminés, à l'aide d'une prise substrat [Sle97]. Ce phénomène induit divers effets indirects [Gal07] :

L'effet Kink : il apparaît à fort V_d et se caractérise en régime statique par un excès de courant sur les caractéristiques $I_d(V_d)$. Des paires électron-trou sont générées

par les collisions des porteurs avec le réseau (ionisation par impact). Dans le cas d'un dispositif NMOS, les électrons (porteurs minoritaires) sont évacués par le drain alors que les trous (porteurs majoritaires) rejoignent le corps du transistor (zone de plus faible potentiel) où ils sont stockés (Figure II-15).

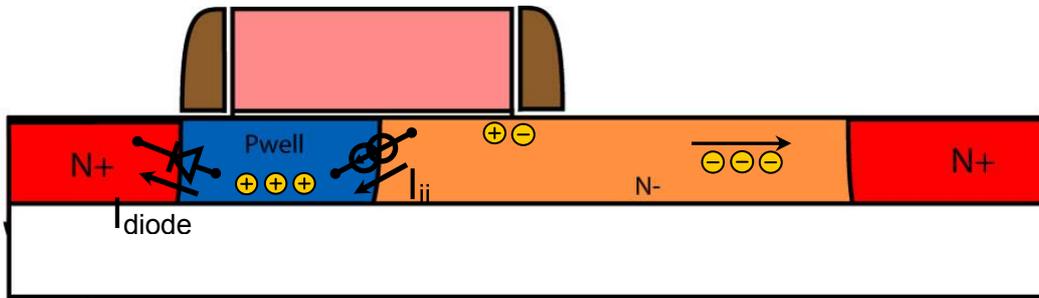


Figure II-15 : Phénomène de substrat flottant pour un LDMOS sur substrat SOI

Cette zone va se charger jusqu'à la mise en direct de la jonction source/body qui va permettre de les évacuer. La tension de seuil diminue, le courant de drain augmente (apparition d'un coude sur les caractéristiques $I_D(V_D)$ lorsque V_D devient suffisamment fort, Figure II-16). L'ajout d'une prise substrat côté source pour évacuer les charges permet de s'affranchir de ce phénomène.

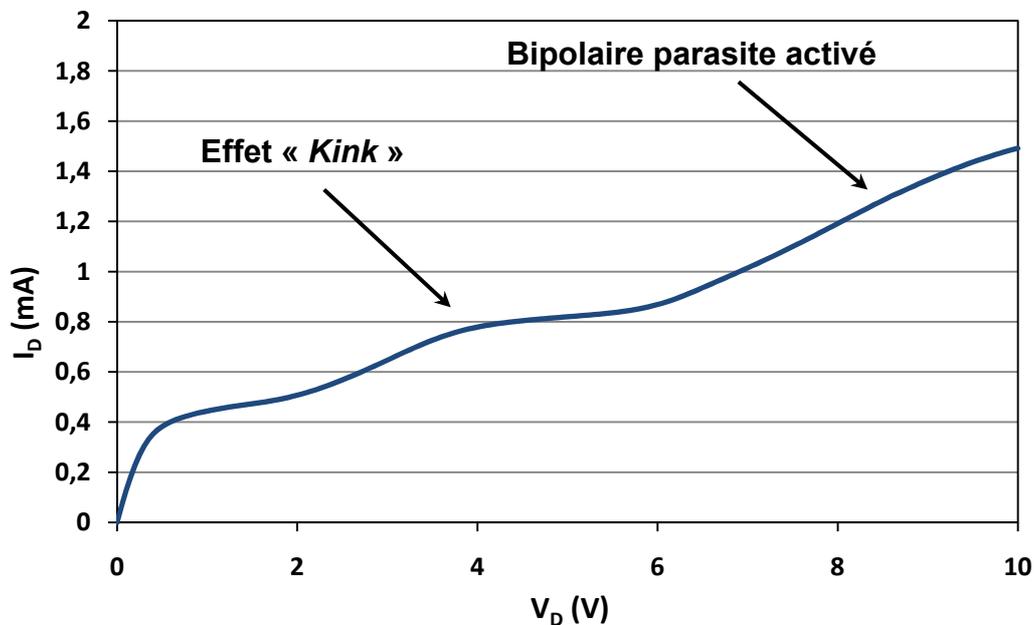


Figure II-16 : Caractéristique mesurée du courant de drain I_D en fonction de la tension de drain V_D (tension de grille V_G de 1V) d'un transistor LDMOS, réalisés en technologie 65nm sur substrat SOI ($W=5\mu\text{m}$). Présence sur ce dispositif à cette tension de l'effet Kink. Activation du bipolaire parasite à forte tension de drain.

Le transistor bipolaire parasite : à fort V_D , l'ionisation par impact au niveau du drain engendre des porteurs majoritaires. Ces derniers viennent s'accumuler dans le *body* et en modifient son potentiel. Lorsque ce potentiel est suffisamment élevé, la jonction PN entre le *body* et la source devient passante. Le transistor bipolaire parasite source/canal de conduction/drain se déclenche. Le courant de drain augmente alors de façon artificielle et un second saut de courant (second effet *Kink*) apparaît sur les caractéristiques $I_D(V_D)$. C'est ce phénomène qui provoque en général le claquage du transistor (Figure II-16).

Pour supprimer ces effets flottants qui dégradent les performances analogiques, l'intégration d'un contact substrat doit être effectuée. Il existe deux types de contacts utilisés sur des MOS SOI standard (Figure II-17).

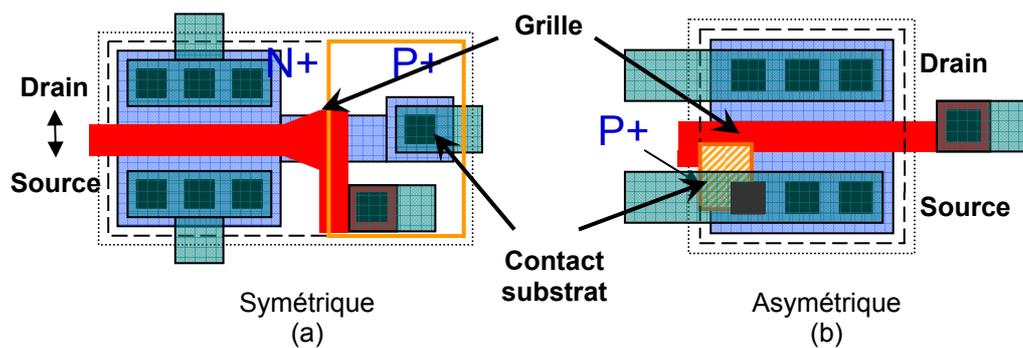


Figure II-17 : Vue schématique d'une prise. Les deux types de contacts substrat utilisés : Contact déporté (a) et Iso-contact (b)

Dans le premier type de prise (a), le contact de grille est déporté dans la profondeur permettant la réalisation d'un contact substrat indépendant. Le transistor reste symétrique. Le deuxième type de prise (b) est une implantation P+, réalisée côté source. Elle permet d'évacuer les trous créés par l'ionisation par impact. Cependant, il n'y a plus de possibilité de polarisation source-substrat indépendante et la largeur du transistor doit être augmentée. Le transistor est alors asymétrique (la source et le drain sont déterminés) et ce contact n'est possible qu'avec des grilles longues. La zone où l'implantation P+ a été réalisée n'étant plus une structure MOS, la surface allouée à ce contact ne peut plus participer à la conduction du transistor.

Un paramètre fondamental dans le choix du contact substrat est la possibilité de réaliser des transistors très larges avec des contacts régulièrement espacés le long

du transistor, ce que autorise la structure de prise *iso-contact*. En effet lorsque qu'un trou se retrouve dans la région de *body*, la faculté du contact substrat à l'évacuer dépend de la résistance canal située entre ce trou et le contact (Figure II-18).

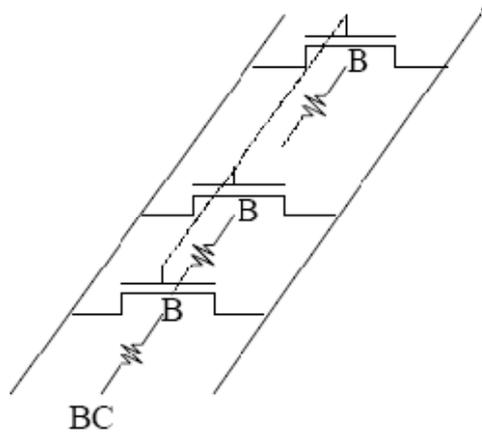


Figure II-18 : Illustration de la résistance de canal qui dégrade l'efficacité de l'évacuation de charges

Ainsi lorsque la résistance que le trou doit traverser jusqu'au contact substrat est trop importante, l'efficacité du contact est réduite : la maîtrise des effets de substrat flottant est mise à mal et l'effet *Kink* apparaît. Cette résistance de canal dépend évidemment de la longueur entre le trou et le contact, du dopage du canal, de l'épaisseur du SOI, mais aussi de la tension de grille.

Les transistors LDMOS sont le plus souvent dessinés avec de grand W , il est donc apparu important de pouvoir moduler la distance entre chaque contact substrat, afin, *a priori*, de supprimer complètement les effets flottants.

Un espacement entre contact suffisamment faible est nécessaire pour atteindre de bonnes performances du transistor. Cependant il s'agit principalement d'un compromis entre la maîtrise des effets flottants, la tension de claquage et la surface utilisée (un espacement trop faible, impliquerait une surface utilisée inutilement). Un contact déporté a l'avantage de permettre à la fois une polarisation de la zone de canal différente de la source et un canal créé sur toute la largeur de la grille. Par contre, les contacts étant uniquement situés aux extrémités du transistor,

l'espacement entre les contacts est forcément égal à la largeur du transistor. Cela peut constituer un problème rédhibitoire, les LDMOS étant des transistors très larges.

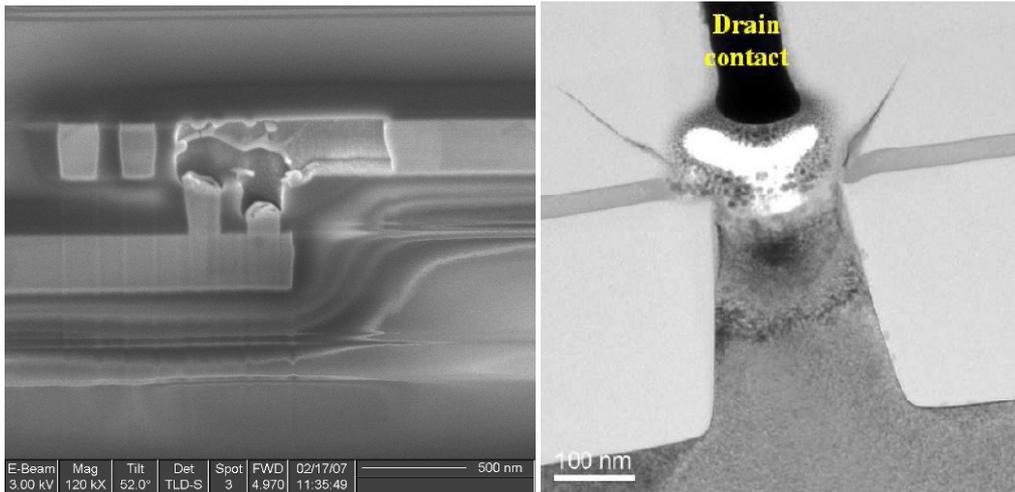
Une étude sera effectuée sur la largeur maximale permettant d'avoir une prise efficace, des contacts de type « *iso-contact* » sont donc utilisés du fait de leur plus grande modularité, bien qu'ils soient pénalisants au niveau de la surface utile.

4.2.2. *Impact de la fiabilité sur l'intégration*

Dès le début de la conception, la fiabilité du transistor LDMOS est un point essentiel sur lequel il est indispensable de se pencher. S'il est relativement facile d'obtenir des dispositifs offrant de très bonnes performances, il est en revanche plus délicat de garantir ses performances dans la durée. À la différence des pertes de rendement qui sont dues à des défauts tueurs, les pertes de fiabilité résultent de défauts latents, qui font dériver au fil de l'utilisation les performances jusqu'à l'arrêt définitif du circuit. Il s'agit, avec les performances du composant, de la première préoccupation de l'utilisateur : combien de temps pourra-t-il l'utiliser ?

Il y a tout d'abord un certain nombre de contraintes mécaniques pesant sur la réalisation d'un circuit, qui ne sont d'ailleurs pas spécifiques à la réalisation de circuits à haute tension. Ainsi, de nombreux problèmes peuvent avoir pour origine des contraintes induites par l'empilement successif de matériaux, par la délamination de ces couches, des contraintes de sciage des puces ou enfin de la mise en boîtier.

Un deuxième point concerne les problèmes liés aux effets thermiques. Par le passage de courant, des dégradations se créent dans les matériaux conducteurs qui vont augmenter les résistances et donc diminuer les performances du dispositif. L'accumulation de ces défauts peut aboutir à la destruction du dispositif. Ce phénomène est connu sous le nom d'électromigration (Figure II-19a). Cet effet est exacerbé par le passage d'une densité de courant très forte. Une autre zone particulièrement sensible est le siliciure. Pour réduire la résistance de contact entre le métal et le silicium, la surface du silicium en contact avec le métal est siliciurée. Il s'agit d'un point faible du point de vue thermique (le siliciure a un point de fusion bas par rapport au silicium), qui limite la densité de courant que peut accepter un contact (Figure II-19b).



**Figure II-19 : (a) Problème d'électromigration dans un VIA entre deux niveaux de métaux
(b) Destruction de la couche de silicium siliciurée lors d'un passage d'une forte densité de courant**

En plus de ces modes de défaillance qui sont valables pour l'ensemble des technologies CMOS, trois points critiques pour les applications à haute tension sont identifiés :

- Les dégradations dues à la création de porteurs chauds, à la fiabilité des oxydes et, plus globalement, à l'électromigration doivent être contrôlées et maîtrisées.
- Placés dans un circuit composé en grande partie de passifs, les dispositifs doivent pouvoir résister à des pics de tension et de fort courant, supérieurs à la tenue en DC.
- Les courants et les puissances manipulés par ces blocs de haute tension étant importants, la puissance thermique dissipée est grande. Il conviendra donc de limiter les problèmes d'autoéchauffement.

Pour étudier la dérive des MOS, nous ne nous intéresserons ici qu'aux paramètres de fiabilité liés uniquement au composant. Nous avons vu que les paramètres principaux des transistors DMOS sont la résistance passante R_{on} et la tenue en tension BV.

Ajouter des composants de haute tension à une plateforme CMOS constitue un défi de fiabilisation [Lac06a]. Suivant les conditions d'optimisation du dispositif,

il existe un certain nombre de points critiques susceptibles de provoquer la dérive, voire la destruction, du composant (Figure II-20).

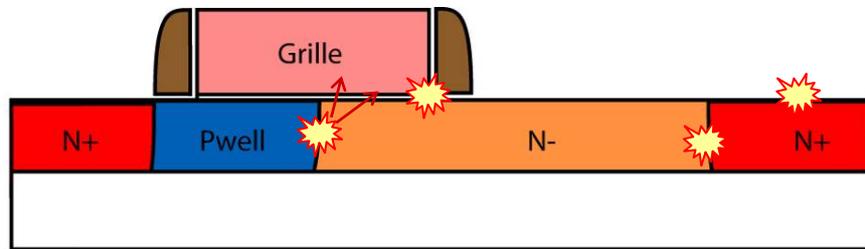


Figure II-20 : Régions soumises à un stress électrique

Il est difficile d'anticiper les dégradations étant donné que les différents mécanismes sont très fortement dépendants du schéma d'intégration et du procédé de fabrication.

Le premier défi se situe au niveau de l'oxyde de grille. En effet, il peut exister des points chauds, en mode passant ou bloqué, qui peuvent vieillir prématurément l'oxyde de grille. Ces points chauds, plus ou moins présents selon le mode de fonctionnement du transistor, injectent des porteurs à travers l'oxyde de grille qui les évacue. Ce mécanisme a évidemment des répercussions sur la qualité de l'oxyde de grille dans le temps [Moh05]. Ainsi, bien qu'un oxyde de grille fin améliorerait les performances RF et DC, l'oxyde de grille intégré dans les dispositifs haute tension n'est donc pas de 18Å, comme avec les transistors CMOS standards, mais de 60Å (cela permet aussi de réduire le coût).

Dans certaines technologies, une « marche » d'oxyde est développée pour consolider le bord de grille. Cependant, cette solution n'est pas envisageable ici car elle entraîne un surcoût important : un masque de photolithographie serait nécessaire. Une solution existe néanmoins ; il s'agit de réaliser après la gravure de grille (polysilicium de grille puis oxyde de grille) une réoxydation permettant de réaliser un « bec d'oiseau » d'oxyde à l'extrémité de la grille.

Le deuxième défi se situe au niveau des matériaux utilisés lors de la fabrication et notamment des matériaux utilisés pour protéger les zones de silicium de la siliciuration. En effet, si, par injection, des porteurs chauds sont stockés dans un

isolant, cela peut créer une grille parasite qui va moduler la résistivité du composant dans le temps [Lac06a][Lac06b].

La fiabilité des transistors haute tension est un domaine extrêmement important, qui peut remettre en cause jusqu'à l'architecture du composant, et qui varie suivant les conditions d'utilisation. Ainsi, l'introduction de la fiabilité dans l'évaluation des performances du transistor introduit la notion de zone d'utilisation garantie ou *Safe Operating Area* (SOA) (Figure II-21, [Moe07]).

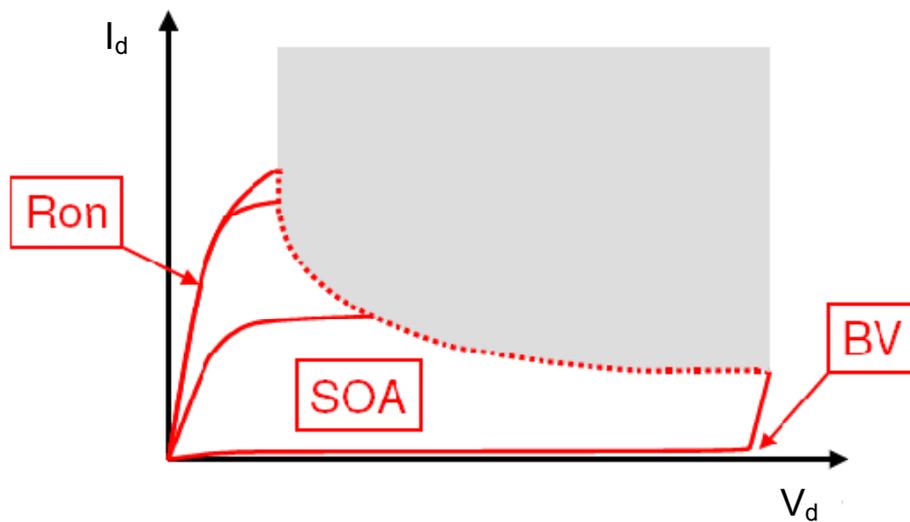


Figure II-21 : Compromis entre la résistance passante R_{on} , la zone d'utilisation garantie (SOA) et la tenue en tension BV

Il existe trois types de SOA, correspondant à différentes échelles de temps. Le premier type est la zone d'utilisation dite « électrique », limitée par le déclenchement du bipolaire parasite drain-*body*-source et la tenue en tension de la grille. Le bipolaire peut être déclenché de manière électrique par une injection de trous (pour un transistor de type N) qui va polariser la jonction *body*/source, ou de manière thermique si la température est suffisamment élevée pour que le potentiel interne du *body* augmente (la température critique est cependant de 700K à 800K). Cette SOA est caractérisable à court terme, car le phénomène en jeu est de l'ordre de la nanoseconde à la microseconde, il s'agit un évènement de type ESD ([How99][Bes02][Duv97]).

La SOA à moyen terme (de la microseconde à la milliseconde) est de type thermique et est limitée par un claquage électrothermique ([Dwy90][Ef198][Mer98]).

Puis, enfin, à long terme, c'est-à-dire de la seconde à plusieurs années, le phénomène mis en jeu est une dégradation lente due aux porteurs chauds ([Lud97][Ver97][Ver99][Mou00][Moe04]). Elle peut être caractérisée en stressant le composant par une utilisation prolongée à une tension supérieure à la tension d'utilisation normale. Au final la SOA doit garantir une dérive de ses paramètres électrique pour une utilisation de 10 ans.

4.3. Structure d'étude et procédé de fabrication retenus

Nous allons ici détailler la structure définie qui a été étudiée.

Le Tableau II-3 présente le flux de fabrication adopté.

Flux de fabrication
➤ Core process wells
➤ Drift Implant
➤ Body Implant
➤ Gate oxidation 60Å
➤ LDD
➤ Spacers
➤ Source/Drain anneal: Activation

Tableau II-3 : Flux de fabrication

Deux implantations spécifiques sont nécessaires, l'une pour la définition de la zone d'extension (ou *drift*), l'autre pour le canal (ou *body*). Ces deux étapes sont placées entre les implantations canal du procédé standard et du dépôt de la grille.

Le budget thermique des technologies 65nm étant faible, une diffusion thermique ne peut pas être suffisante pour réaliser un canal. Ainsi le canal est réalisé par photolithographie, juste avant la grille : le composant est donc un *DriftMOS* (Figure II-22).

La structure est symétrique pour deux raisons principales. D'une part, cela permet d'avoir une source commune pour les deux parties du transistor et donc de

réaliser un gain de place. D'autre part, la possibilité de revenir à une intégration de type « canal diffusé » est gardée, si la faisabilité d'un transistor à canal non-diffusé et non-autoaligné avec la grille s'avérait impossible.

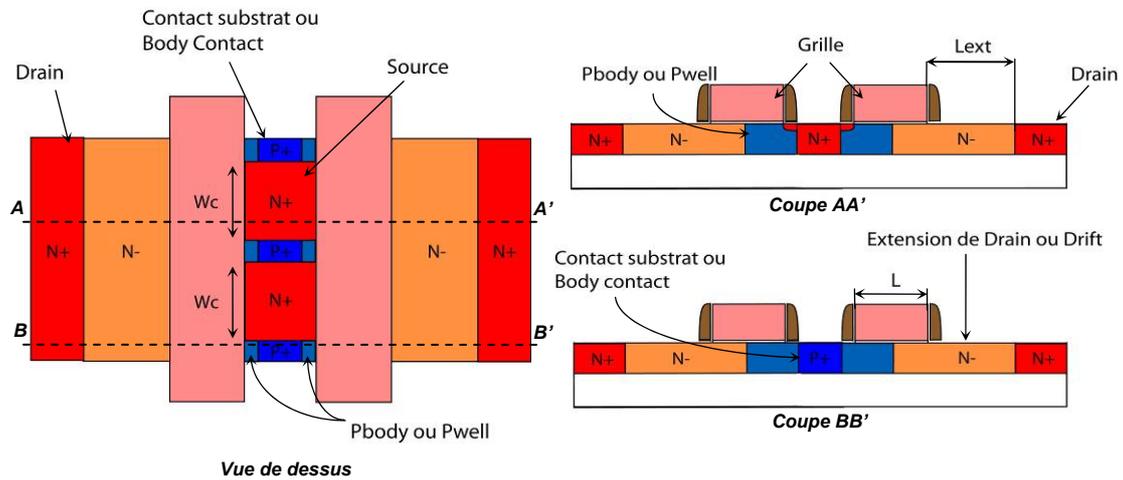


Figure II-22 : Schéma d'intégration du NLD MOS SOI en technologie 65nm

Les contacts de canal sont des *iso-contacts*, qui ont été décrit précédemment dans ce chapitre. Ainsi, les transistors pourront être très larges sans qu'il y ait d'impact sur l'efficacité d'évacuation des trous. Dans cette thèse, une étude sera présentée sur l'efficacité de ces prises en fonction des règles de dessin associées.

Ensuite, la zone faiblement dopée est protégée par une bicouche Oxyde/Nitride (non dessiné ici). L'oxyde n'étant pas un oxyde thermique mais déposé sur le silicium, l'interface silicium/oxyde comporte des défauts cristallins.

Enfin, le polysilicium de grille recouvre une partie de l'extension. Cela a plusieurs effets :

- 1- S'il y a injection de porteurs chauds, ceux-ci sont évacués à travers la grille. Sinon ils pourraient créer une grille parasite le long de l'extension dégradant ainsi la résistance passante du transistor. Cela supprime ainsi un phénomène qui pourrait influencer au premier ordre sur la fiabilité du transistor.

- 2- En mode passant, la résistance passante est améliorée par rapport à une intégration sans recouvrement car une zone d'accumulation est créée dans la zone d'extension se trouvant sous la grille.
- 3- Cependant les performances en haute fréquence peuvent être réduites en élargissant cette extension, à cause de l'augmentation de la capacité Grille-Drain C_{gd} .

5. CONCLUSION : LES DEFIS A RELEVER POUR LA REALISATION DE LDMOS SUR SUBSTRAT SOI

Dans ce chapitre, nous avons étudié la potentialité d'une technologie de puissance intégrée sur SOI. Le SOI présente de nombreux avantages pour des technologies digitales rapides mais aussi pour la réalisation de technologies RF. En effet, elle permet de réduire la surface des capacités de jonction. L'effet de substrat flottant améliore les performances des transistors standards et la consommation totale d'un circuit sur SOI est réduite fortement. Enfin, une technologie SOI présente l'avantage d'être compatible avec des substrats hautement résistifs.

Nous nous sommes ensuite intéressés plus particulièrement à la problématique d'intégration d'un composant de puissance sur substrat SOI. En effet, pour une application de puissance, l'utilisation d'un substrat SOI facilite l'intégration de composants de puissance, l'isolation entre blocs et composants étant assurée. En termes de performances, la capacité de sortie et l'efficacité de la transmission de puissance sont améliorées. L'intégration sur un film de SOI fin est différente par rapport à une technologie sur substrat massif. Si le principe fondamental d'un transistor de puissance latéral peut être appliqué - une zone faiblement dopée soutient la tension appliquée sur le drain, la maîtrise des effets flottants est un défi majeur. Sur une technologie massive, la prise de substrat est réalisée sous la source, ce qui totalement impossible avec un film mince. Un contact substrat conçu dans la troisième dimension a été choisi.

Dans les deux chapitres suivants, nous allons étudier le fonctionnement et les performances des transistors fabriqués suivant le schéma défini dans ce chapitre. Nous verrons, dans le Chapitre 3, les aspects électriques, aussi bien statiques et que dynamiques. Dans le Chapitre 4, nous présenterons des études sur le comportement thermique et énergétique du composant.

BIBLIOGRAPHIE

- [Bel01] M. Belleville and O. Faynot, "Low power SOI design", PATMOS 2001-International Workshop-Power and Timing Modelling, Optimization and Simulation, Yverdon-lesbains, Switzerland, Sep. 2001.
- [Ber01] K. Bernstein and N.J. Rohrer, "SOI circuit design concepts", IBM Microelectronics, Kluwer Academic Publishers, Boston / Dordrecht / London, 3rd printing, 2001.
- [Bes02] P. Besse, N. Nolhier, M. Bafleur, M. Zecri, Y. Chung, "Investigation for a smart power and self-protected device under ESD stress through geometry and design considerations for automotive applications", Proc. of the ESD/EOS Symposium, 2002, pp. 348-353.
- [Bru95] M. Bruel, "Silicon on insulator material technology", IEEE Electronics Letters, Vol.31, pp.1201-1202, 1995.
- [Duv97] C. Duvvury, F. Carvajal, C. Jones, D. Briggs, "Lateral DMOS design for ESD robustness", Proc. of the International Electron Devices Meeting (IEDM), 1997, pp. 375-378.
- [Dwy90] V.M. Dwyer, A.J. Franklin, D.S. Campbell, "Thermal failure in semiconductor devices", Solid State Electronics, 33, 1990, pp.553-560.
- [Efl98] T. R. Efland, C.-Y. Tsai, S. Pendharkar, "Lateral thinking about power devices (LDMOS)" Proc. of the International Electron Devices Meeting (IEDM), 1998, pp. 679-682.
- [Ern99] T. Ernst, D. Munteanu, S. Cristoloveanu, T. Ouisse, S. Horiguchi, Y. Ono et al., "Investigation of SOI MOSFETs with ultimate thickness", Microelectronics Engineering, Vol.48, pp.339-342, 1999.
- [Fio02] J. G. Fiorenza, "Experimental Comparison of RF Power LDMOSFETs on Thin-Film SOI and Bulk Silicon", IEEE Transactions on Electron Devices, vol.49, No 4, April 2002.
- [Gal07] C. Gallon, « Solutions alternatives avancées pour les prochaines générations de transistors CMOS SOI complètement déserté à simple grille », Thèse de doctorat de l'Institut National Polytechnique de Grenoble, 2007.
- [Gia06] F. Giancesello, « Evaluation de la technologie CMOS SOI Haute Résistivité pour applications RF jusqu'en bande millimétrique », Thèse de doctorat de l'Institut National Polytechnique de Grenoble, 2006.

- [Hit92] L.R. Hite, H. Lu, T.W. Houston, D.S. Hurta, W.E. Bailey, "An SEU resistant 256K SOI SRAM", IEEE Trans. Nucl. Sci., Vol.39, pp.2121, 1992.
- [How99] P.L. Hower, J. Lin et S. Merchant, "Snapback and safe operation area of Ldmos transistors", Proc. of the International Electron Devices Meeting, 1999, pp. 193-196.
- [Lac06a] D. Lachenal, Y. Rey-Tauriac, L. Boissonnet and A. Bravaix, "Reliability Investigation of NLDEMOS in 0.13 μ m SOI CMOS Technology", Proc. of the 25th International Conference on Microelectronics (MIEL 2006), Belgrade, Serbia and Montenegro, 17 May 2006.
- [Lac06b] D. Lachenal, Y. Rey-Tauriac, L. Boissonnet, B. Reynard and A. Bravaix, "Hot-Carrier Reliability of NLDEMOS in 0.13 μ m SOI CMOS Technology", Proc. 13th IPFA, Singapore, 2006.
- [Ler90] J.L. Leray, E. Dupont-Nivet, J.F. Peret, Y.M. Coïc, M. Raffaelli, A.J. Auberton-Hervé et al., "CMOS/SOI hardening at 100 Mrad (SiO₂)", IEEE Trans. Nucl. Sci., Vol.37, pp.2013, 1990.
- [Lu97] P.F. Lu, C.T. Chuang, J. Ji L.F. Wagner, C.M. Hsieh, J.B. Kuang, L.L.C. Hsu, et al., "Floating-body effects in partially depleted SOI CMOS circuits", IEEE Journal of Solid-State Circuits, Vol.32, N°8, p.1241-1252, 1997.
- [Lud97] A.W. Ludikhuizen, M. Slotboom, A. Nezar, N. Nowlin, R. Brock, "Analysis of hot-carrier-induced degradation and snapback in submicron 50V lateral MOS transistors", Proc. of the International Symposium on Power Semiconductor Devices (ISPSD), 1997, pp. 53-56.
- [Mer98] S. Merchant, R. Baird, P. Bennet, P. Percy, P. Dupuy, P. Rossel, "Energy capability of lateral and vertical DMOS transistors in an advanced automotive smart power technology", Proc. of the International Symposium on Power Semiconductor Devices & ICs (ISPSD), 1998, pp. 317-320.
- [Moe04] P. Moens, G. Van den Bosch, C. De Keukeleire, R. Degraeve, M. Tack and G. Groeseneken, "Hot Hole Degradation Effects in Lateral nDMOS Transistors", IEEE Transactions on Electron Devices, 51, 2004, pp.1704-1710.
- [Moe07] P. Moens, "Reliability Challenges in Smart Power Technologies", Short Course ISPSD 2007.
- [Moh05] N.R. Mohapatra, K. E. Ehwald, R. Barth, H. Rücker, D. Bolze, P. Schley, D. Schmidt and H. E. Wulf, "The Impact of Channel Engineering on the Performance and Reliability of LDMOS Transistors", Proc. of ESSDERC 2005, Grenoble, France, pp.481-484.

- [Mou00] A.J. Mouthaan, C. Salm, M.M. Lunenburg, M.A.R.C. de Wolf, F.G. Kuper, "Dealing with hot-carrier aging in nMOS and DMOS, models, simulations and characterizations, *Microelectronics Reliability*, 40, 2000, pp. 909-917.
- [Ray03] C. Raynaud, Journées Nationales Microondes.
- [Ray05] C. Raynaud and al., "Is SOI CMOS a promising technology for SOCs in high frequency range", 207th Electrochemical Society Meeting, Proc. of the Silicon On Insulator Technology and Devices conference, pp. 331-344, Quebec City, Canada, May 2005.
- [Rij96] F. van Rijs et S.J.C.H. Theeuwes, "Efficiency improvement of LDMOS transistors for base stations: towards the theoretical limit", Proc. of the International Electron Device Meeting, 2006, pp. 1-4.
- [Roz00] O. Rozeau, « Caractérisation et Modélisation en Radiofréquence de Composants Intégrés en Technologie Silicium-sur-Isolant », Thèse de doctorat l'Institut National Polytechnique de Grenoble, Novembre 2000.
- [Sle97] J. Sleight, K. Mistry, "A compact Schottky Body contact technology for SOI transistors", *IEDM Tech. Dig.*, pp. 419-422, 1997.
- [Ver97] R. Versari, A. Pieracci, S. Manzini, C. Contiero, B. Ricco, "Hot carrier reliability in submicrometer LDMOS transistors", Proc. of the International Electron Devices Meeting, 1997, pp. 371-374.
- [Ver99] R. Versari, A. Pieracci, "Experimental study of hot-carrier effects in LDMOS transistors", *IEEE Transactions on Electron Devices*, 46, 1999, pp. 1228-1233.

CHAPITRE 3

Optimisation électrique du dispositif

1. INTRODUCTION

Ce chapitre concerne l'étude du comportement électrique du composant. Dans le Chapitre 1, nous avons vu que l'optimisation du compromis résistance passante – tenue en tension était essentielle pour un transistor de puissance. Nous verrons dans une première partie l'optimisation des paramètres électriques statiques, en insistant en particulier sur ce compromis, présentant un comportement singulier. Ensuite, une deuxième partie est dédiée au le contrôle des effets flottants, phénomènes spécifiques à l'utilisation du SOI. Et enfin, les caractéristiques radiofréquences des transistors sont présentées dans la dernière et troisième partie.

2. FONCTIONNEMENT ET OPTIMISATION STATIQUE DU DISPOSITIF

2.1. Caractéristiques statiques générales

Comme cela a été présenté à la fin du Chapitre 2, le schéma d'intégration a été déterminé pour ajouter de manière neutre notre composant à une technologie principale. Les principaux blocs de cette technologie sont réutilisés, seules deux étapes d'implantation supplémentaires sont nécessaires pour construire le dispositif (Figure III-1).

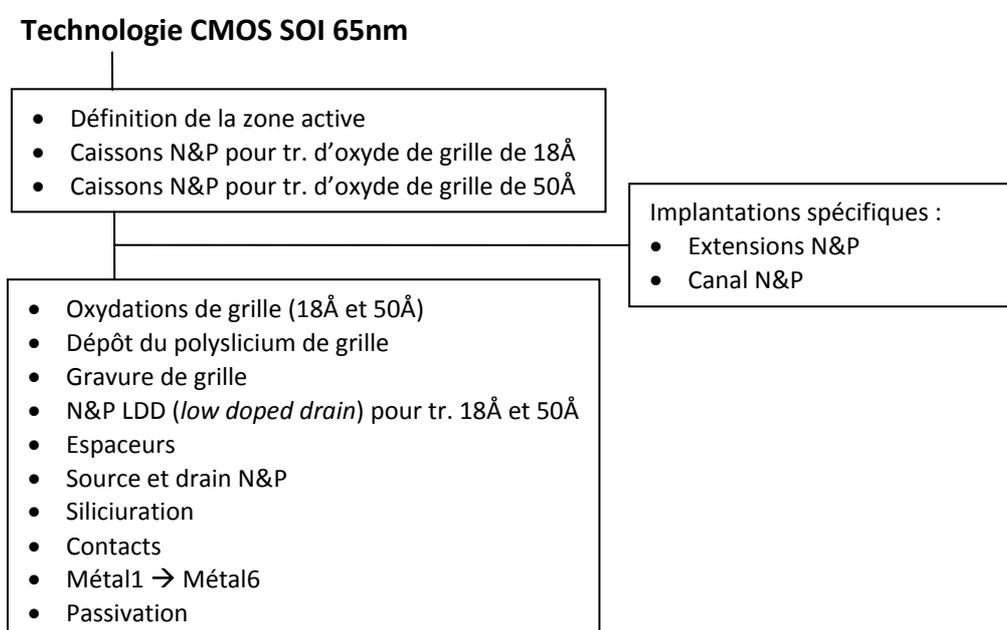


Figure III-1 : Positionnement des étapes additionnelles nécessaires à la réalisation d'un transistor LDMOS

La Figure III-2 est la coupe TEM d'un transistor LDMOS réalisé en technologie 65nm sur substrat SOI. Nous pouvons remarquer :

- la faible épaisseur du film de SOI (inférieure à 70nm),
- l'oxyde enterré et le STI, le transistor étant un petit « îlot de silicium » dans une « mer » d'oxyde,
- les contacts de source et de drain de part et d'autre du transistor,
- la grille relativement large (0,5µm),

- l'oxyde de masquage protégeant la zone de silicium de la siliciuration, appelée extension de drain,
- la siliciuration de l'extrémité supérieure de la grille.

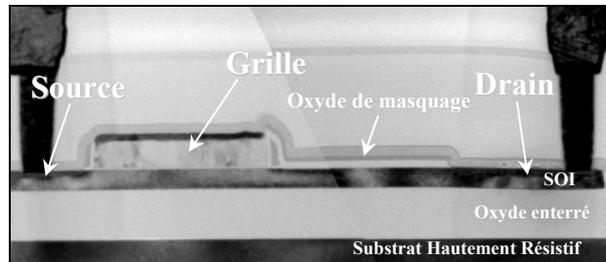
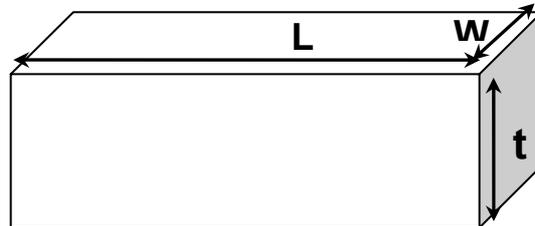


Figure III-2 : Coupe TEM d'un LDMOS en technologie 65nm SOI

L'objectif en termes de caractéristiques électriques statiques consiste en l'obtention d'une tension de claquage supérieure à 15V et d'une résistance passante la plus faible possible. Cependant, l'utilisation d'un film de SOI mince devrait augmenter la résistance passante, comme nous le montre l'expression de la résistance d'un barreau de silicium (Équation III-1).

$$R = \rho \frac{L}{t \cdot W} (\Omega)$$



Équation III-1 : Equation de la résistance d'un barreau de silicium

Sur substrat massif, la profondeur de la couche de silicium utile à la conduction peut être estimée égale à la profondeur des implantations de l'extension. En 65nm, cette épaisseur est de 0,15µm pour la technologie massive. Pour la technologie SOI correspondante, l'épaisseur du film (et donc de la couche de conduction) est de 60nm ; soit une réduction de 60%. La réalisation d'un transistor de puissance performant sur une couche de silicium si peu épaisse n'est donc pas certaine.

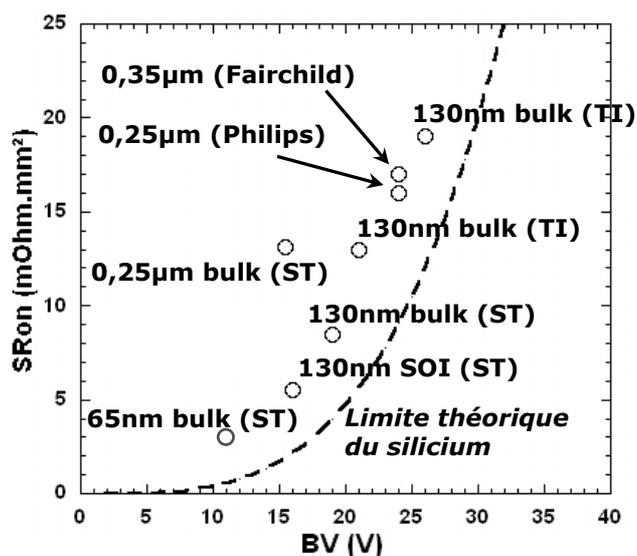


Figure III-3 : Etat de l'art du compromis SR_{on}/BV pour des technologies LDMOS industrielles $BV < 30V$ (pointillés : Limite théorique du silicium)

La Figure III-3 présente l'état de l'art pour des transistors LDMOS aussi bien sur SOI que sur substrat massif ([Boi06][Cai05][Gre05][Let05][Mat01][Pan06][Sze06]). La ligne pointillée représente la limite théorique du silicium en considérant que l'épaisseur de la couche de conduction est égale à la profondeur de jonction source et drain des technologies 130nm (soit 150nm). Cette limite théorique a été exprimée grâce à l'approche de *Gharbi* [Gha85]. Elle repose sur les hypothèses que la jonction PN- est plane (meilleur cas de la tenue en tension, voir Figure I-21) et qu'elle soutient la tension appliquée sur le drain. Il considère deux cas de figure :

- 1- la jonction plane en limitation de charge d'espace ou en perçage (la zone N- étant complètement dépeuplée au moment du claquage),
- 2- la jonction plane infinie (la zone N- étant plus grande que l'extension de zone de charge d'espace).

Ses calculs sont apparus comme étant les plus rigoureux car ils sont basés sur des expressions de coefficients d'ionisation α_n et α_p non égaux [Mor04].

La première remarque que nous pouvons faire concerne la bonne corrélation entre le silicium et la limite théorique. Le décalage provient du fait que, dans l'expression de la résistance passante, uniquement la résistance de l'extension de drain est prise en compte. Ainsi, pour une tension de claquage donnée, la différence

entre le silicium et la théorie provient de toutes les autres résistances, en particulier la résistance de canal.

Le deuxième point remarquable concerne le positionnement de la technologie 130nm SOI. L'épaisseur de la couche de SOI ayant été choisie égale à la profondeur de jonction source/drain, le comportement électrique du transistor est analogue à celui d'un transistor sur technologie massive et ses performances ne sont pas affectées par l'utilisation du SOI.

En technologie 65nm SOI, le film de SOI a été réduit. Ainsi, la résistance de la couche de conduction, de mêmes longueur et dopage, est augmentée. Nous allons maintenant concevoir notre structure standard pour viser une tenue en tension de 15V et situer les performances obtenues par un LDMOS 65nm sur substrat SOI fin par rapport à l'état de l'art décrit précédemment.

2.2. Influence de paramètres géométriques sur les performances du transistor à l'état passant

Nous allons présenter l'influence des différents paramètres géométriques de manière à déterminer le dimensionnement optimal du composant, c'est-à-dire ses règles de dessins. Dans notre cas, le transistor possède plusieurs paramètres à optimiser comme l'extension de drain L_{ext} , le recouvrement de l'oxyde de protection sur la grille Ov , ou encore la longueur de grille L_{poly} (Figure III-4).

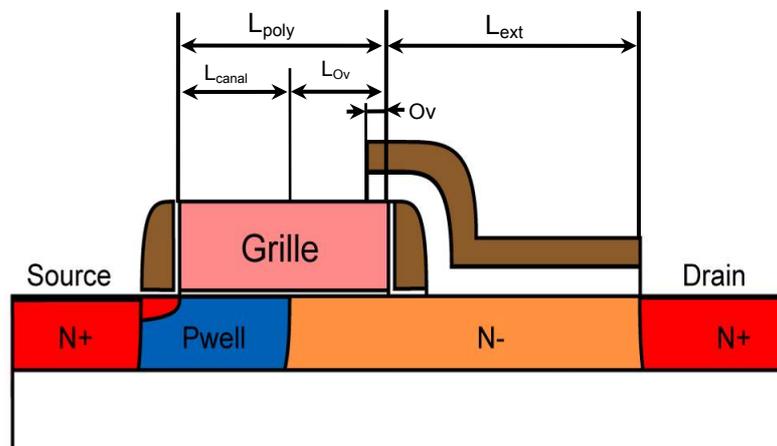


Figure III-4 : Paramètres géométriques étudiés

2.2.1. Influence de la longueur de l'extension de drain L_{ext}

L'extension de drain a un rôle central dans la conception d'un transistor LD MOS. Elle ajoute un degré de liberté pour régler le compromis entre la résistance à l'état passant et la tension de claquage. Son augmentation a pour principal effet l'augmentation de la tension de claquage et de la résistance à l'état passant SR_{on} .

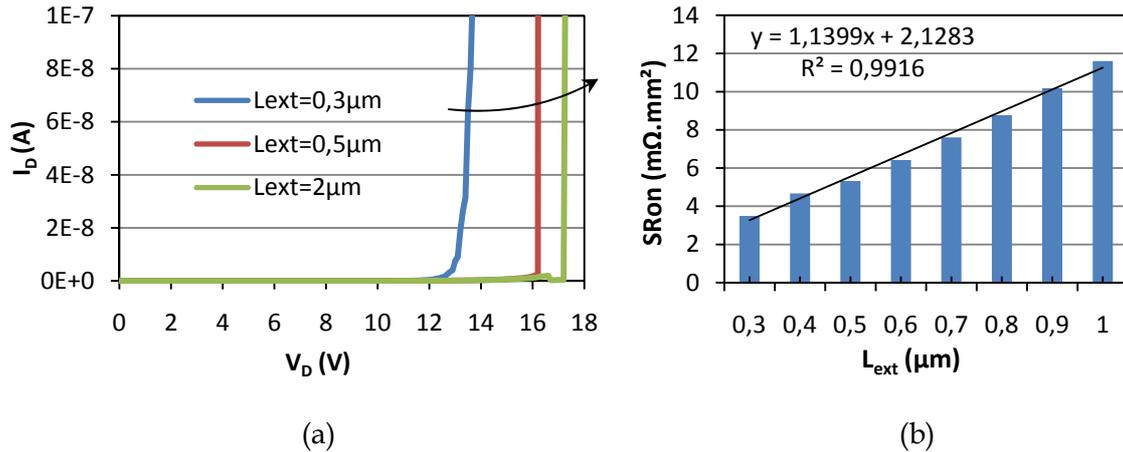


Figure III-5 : (a) Caractéristiques du courant de drain en fonction de la tension de drain en mode bloqué pour plusieurs longueurs d'extension – (b) Variation de la résistance passante spécifique avec la longueur de l'extension L_{ext} (Mesures)

La Figure III-5 présente, d'une part, les caractéristiques du courant de drain en fonction de la tension de drain en mode bloqué pour plusieurs longueurs d'extension (Figure III-5a) et, d'autre part, la variation de la résistance passante spécifique pour ces mêmes géométries (Figure III-5b). Nous remarquons que la tension de claquage en mode bloqué augmente avec la longueur de l'extension L_{ext} , ce qui implique dans le même temps une augmentation de la résistance à l'état passant.

De plus, en réalisant une régression linéaire de la variation de la résistance en fonction de L_{ext} , nous pouvons extraire la valeur de la résistance du canal, de la zone d'accumulation et des interconnexions. Elle correspond à une longueur d'extension nulle, est principalement dominée par la résistance de la zone de silicium sous la grille (le canal et la zone d'accumulation) qui est, dans notre cas, légèrement supérieure à $2m\Omega$.mm 2 .

Une valeur de $0,6\mu\text{m}$ est suffisante pour tenir une tension de 15V tout en garantissant une stabilité des résultats électriques au niveau de la fabrication. Elle est donc sélectionnée pour être notre référence.

2.2.2. Influence de la longueur de canal L_{canal}

La Figure III-6 présente le courant de fuite (a) et le courant en saturation (b) du transistor en fonction de la longueur de grille.

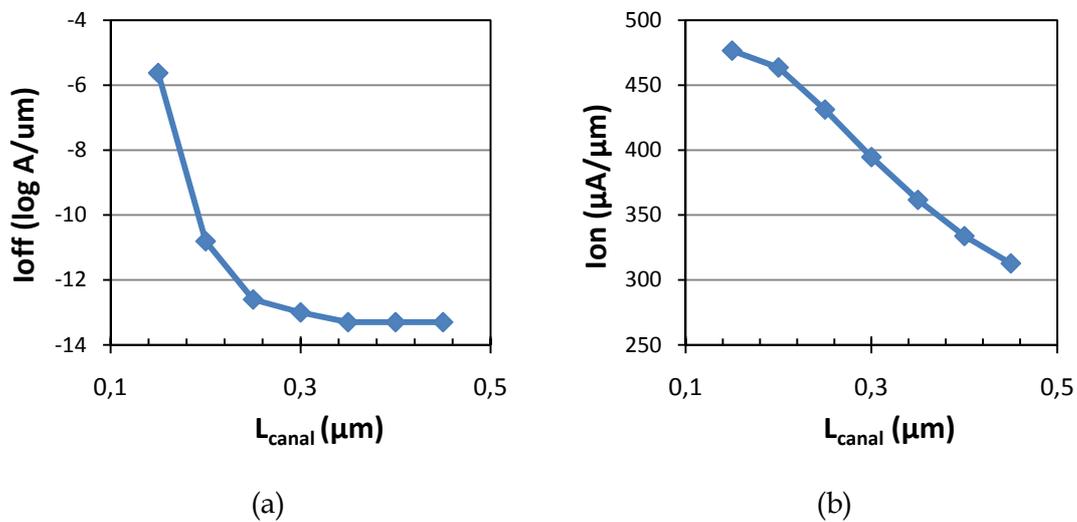


Figure III-6 : Courant de fuite (a) et courant en saturation (b) en fonction de la longueur de canal

Alors que le courant en saturation augmente linéairement avec la diminution de la longueur de grille, le courant de fuite est stable jusqu'à une valeur de $0,25\mu\text{m}$, puis augmente fortement. Il s'agit de l'effet de canal court.

La Figure III-7 présente, d'une part, les caractéristiques courant de drain en fonction de la tension de canal en mode linéaire (faible tension de drain) pour plusieurs longueurs de canal (le recouvrement sur le silicium L_{Ov} étant constant à $0,25\mu\text{m}$) et, d'autre part, la variation de la transconductance pour ces mêmes géométries.

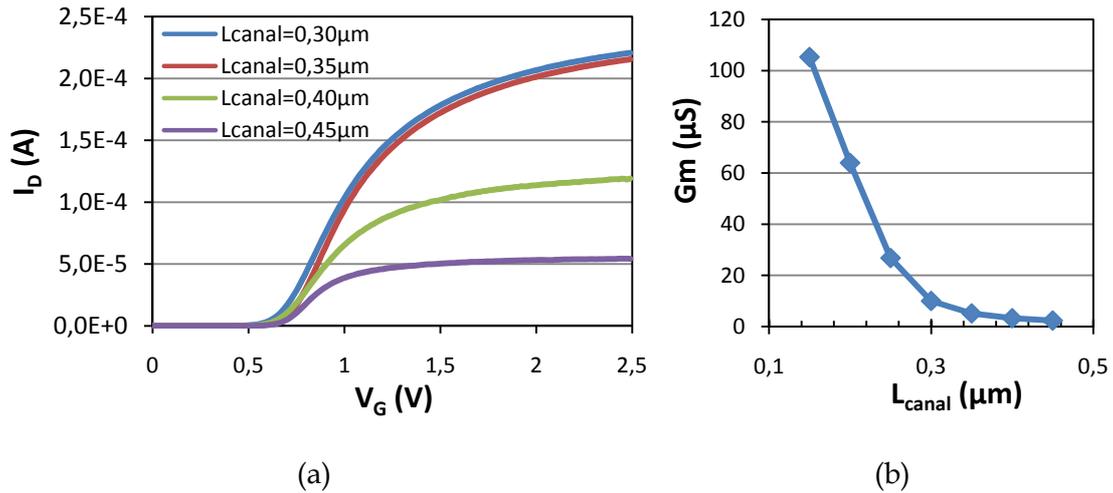


Figure III-7 : (a) Caractéristiques courant de drain en fonction de la tension de grille en mode linéaire pour plusieurs longueurs de grille – (b) Variation de la transconductance avec la longueur de grille

La transconductance, qui a une relation directe avec la résistance R_{on} , augmente de manière très forte pour des valeurs de longueur de grille faibles. Il convient de choisir la géométrie permettant d'atteindre la plus forte valeur possible. Nous venons de voir qu'une longueur de grille trop faible pénalise fortement la fuite du transistor. Une longueur de 0,25 μm permet d'avoir la plus grande valeur possible de transconductance tout en garantissant un courant de fuite faible.

Une valeur de 0,25 μm sera donc choisie.

2.2.3. Influence du recouvrement de l'oxyde de protection sur la grille O_v

Sur la Figure III-8 est présentée la résistance à l'état passant en fonction du recouvrement de l'oxyde de protection sur la grille.

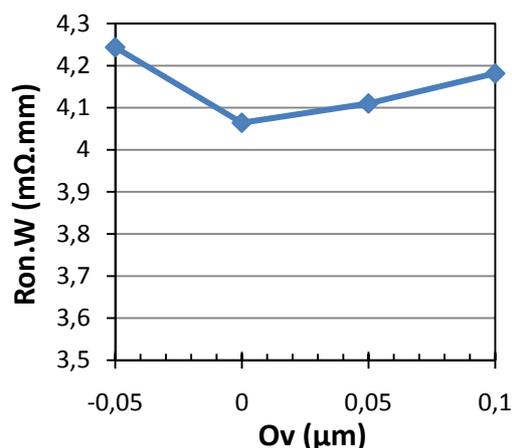


Figure III-8 : Variation de la résistance à l'état passant en fonction du recouvrement de l'oxyde de protection sur la grille

Lorsque le paramètre O_v est positif, l'oxyde de protection dépasse sur la grille et lorsqu'il est négatif, il repose uniquement sur l'espaceur. Plus l'oxyde recouvre la grille, moins le dopage de la grille de polysilicium se fait efficacement, ce qui a pour effet d'augmenter la résistance à l'état passant du transistor. En effet, R_{on} est proportionnel à l'inverse de la capacité d'oxyde de grille (C_{ox}). Ainsi, moins doper la grille est analogue à augmenter l'épaisseur de l'oxyde de grille. La résistance atteint sa valeur minimale pour une valeur de recouvrement nulle.

2.2.4. Récapitulatif et géométrie choisie

Cette étude a permis d'identifier et de déterminer les différents paramètres géométriques nécessaires au fonctionnement en régime statique du transistor LDMOS. Les paramètres typiques choisis sont détaillés dans le Tableau III-1.

Géométrie choisie	$L_{ext}=0,6\mu m$ $L_{poly}=0,5\mu m$ ($L_{canal}=0,25\mu m$) $O_v=0,1\mu m$
-------------------	---

Tableau III-1 : Récapitulatif de la géométrie de l'architecture LDMOS choisie

2.3. Caractéristiques statiques générales

Après quelques boucles d'amélioration, nous présentons ici les caractéristiques générales des transistors.

2.3.1. Récapitulatif des performances statiques des transistors de type N et P

Le Tableau III-2 présente les caractéristiques statiques des transistors de type N et de type P. Le PLDMOS est réalisé pour des applications de gestion d'énergie, il n'est pas utilisé dans le cadre d'un amplificateur de puissance.

			NLDMOS	PLDMOS	
Vt	V		0,53	-0,6	
Ion	$\mu\text{A}/\mu\text{m}$	$V_D=5\text{V}$	$V_G=2,5\text{V}$	431	-266
Ioff	$\log(\text{A}/\mu\text{m})$		$V_G=0\text{V}$	-12,6	-12
Ron.W	$\text{m}\Omega.\text{mm}$	$V_D=0,1\text{V}$	$V_G=2,5\text{V}$	4,1	7,5
S.Ron	$\text{m}\Omega.\text{mm}^2$		6,4	9,3	
BV	V	$I_D=1\mu\text{A}$	15	-16	

$L_{\text{ext}}=0,6\mu\text{m}$ $L_{\text{ext}}=0,3\mu\text{m}$

Tableau III-2 : Performances statiques des transistors NLDMOS et PLDMOS

Les deux transistors complémentaires présentent de très bonnes caractéristiques électriques. Leur comportement n'est *a priori* pas dégradé par l'utilisation d'un substrat SOI fin. En effet, les courants de fuite sont bien inférieurs à $-11 \log(\text{A}/\mu\text{m})$ avec des courants à l'état passant importants. Ce dernier paramètre est cependant secondaire dans le cadre du développement de ce type de composant. Il est trivial de fabriquer un transistor pouvant fournir un très fort courant mais peu fiable lors d'une utilisation prolongée. Par contre, les faibles fuites de transistors sont importantes à contrôler car elles traduisent la puissance qui sera consommée lorsque le transistor sera en mode bloqué.

La Figure III-9 est composée des caractéristiques statiques du transistor NLDMOS pour plusieurs valeurs de tension de grille. Il présente de bonnes

caractéristiques, sans quasi-saturation. À tension de grille faible, de l'effet *Kink* peut cependant être observé.

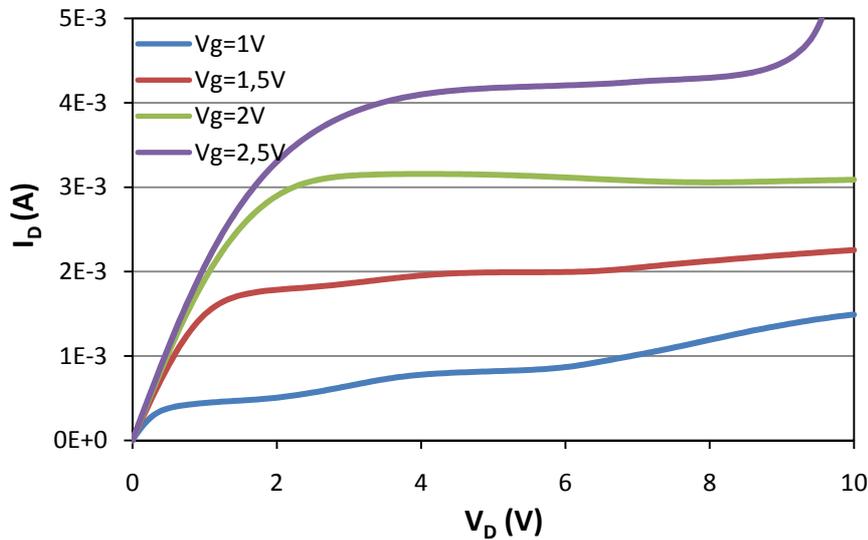


Figure III-9 : Caractéristiques statiques du transistor NLD MOS typique. I_D en fonction de V_D pour plusieurs valeurs de V_G

2.3.2. Comportement du compromis courant de fuite/courant en saturation

Un comportement particulier est à noter sur le compromis I_{on}/I_{off} . (Figure III-10).

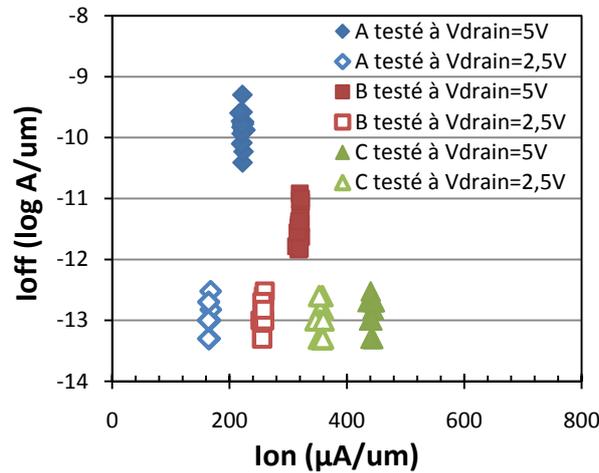


Figure III-10 : Compromis I_{off}/I_{on} pour trois dopages d'extension pour un NLD MOS typique ($L_{ext}=0,6\mu m$, $N_A=1,7e17cm^{-3}<N_B=3,4e17cm^{-3}<N_C=6e17cm^{-3}$)

Le dopage C étant plus fort que le dopage A, le courant de fuite à $V_D=5V$ diminue avec l'augmentation de dopage de l'extension, ce qui est *a priori* un résultat contradictoire. Des mesures complémentaires sont réalisées pour une tension de

drain de 2,5V. À cette tension, la fuite est stable à $-13 \log(A/\mu\text{m})$: la fuite du transistor correspond aux fuites de grille et de jonction.

Ainsi, il existe une composante de fuite qui dépend de la tension appliquée sur le drain. Pour le dopage le plus faible, la différence de fuite entre 2,5V et 5V est plus importante que pour les autres dopages ; pour le dopage C, les fuites sont de même valeur. Pour expliquer la réduction de courant de fuite avec l'augmentation du dopage, il convient de considérer la répartition du champ électrique ([Bon07a]). En effet, l'Équation III-2 est l'équation du courant créé par génération/recombinaison dans une zone de charge d'espace.

$$j_{gr} = e \int_{x_p}^{x_n} r dx$$

Équation III-2 : Équation de la densité de courant de génération/recombinaison dans une zone de charge d'espace

Plus le dopage de l'extension augmente, plus $(x_n - x_p)$ est petit et donc moins il y a de courant de génération/recombinaison. À partir d'une certaine valeur de champ électrique, l'ionisation par impact devient non négligeable et le courant de fuite augmente avec le dopage de l'extension.

2.3.3. Situation des performances statiques des transistors

Nous avons réalisé un comparatif des différentes technologies de l'industrie sur la Figure III-3 de ce chapitre. Nous allons ici situer les performances des transistors LDMOS aussi bien de type N que de type P.

La technologie 130nm SOI a été développée pour avoir une compatibilité totale avec les technologies massives. L'épaisseur de SOI a été choisie égale à la profondeur de jonction source/drain. Cette technologie se trouve donc bien évidemment dans la même tendance que les autres technologies massives. Par contre en 65nm SOI, pour respecter les lois d'échelle, l'épaisseur de SOI a dû être réduite à une valeur bien inférieure à l'épaisseur de conduction (i.e. la profondeur de jonction

source/drain). Ainsi, nous pouvons nous attendre à une augmentation de la résistance passante, étant donné la faible épaisseur du barreau de silicium.

La Figure III-11 présente le compromis SR_{on}/BV avec nos résultats notés « 65nm SOI ».

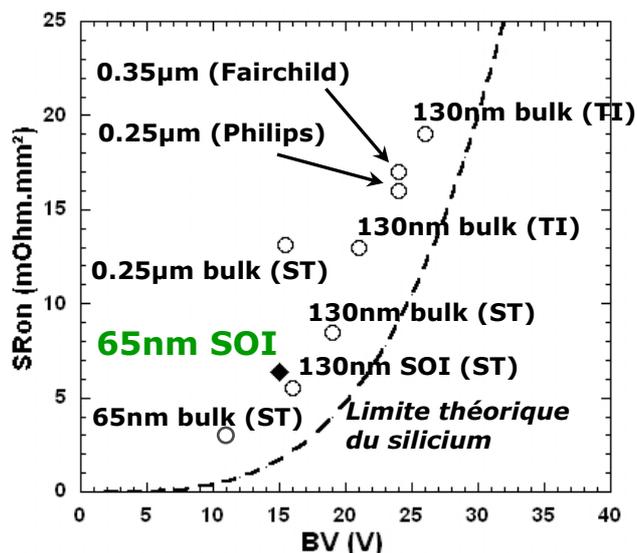


Figure III-11 : Etat de l'art du compromis SR_{on}/BV pour des technologies NLD MOS industrielles $BV < 30V$ (pointillés : Limite théorique du silicium) avec la technologie 65nm SOI

Contre toute attente, la technologie 65nm SOI se trouve dans le compromis de l'industrie, même avec une couche de SOI fine. Alors qu'elles auraient dû être dégradées, le transistor affiche de très bonnes performances [Bon07b]. En examinant le comportement au claquage du transistor, nous avons pu expliquer ce phénomène. Cette étude sera présentée dans la partie suivante.

De même, pour les PLDMOS, les performances sont dans la tendance des technologies industrielles connues (Figure III-12).

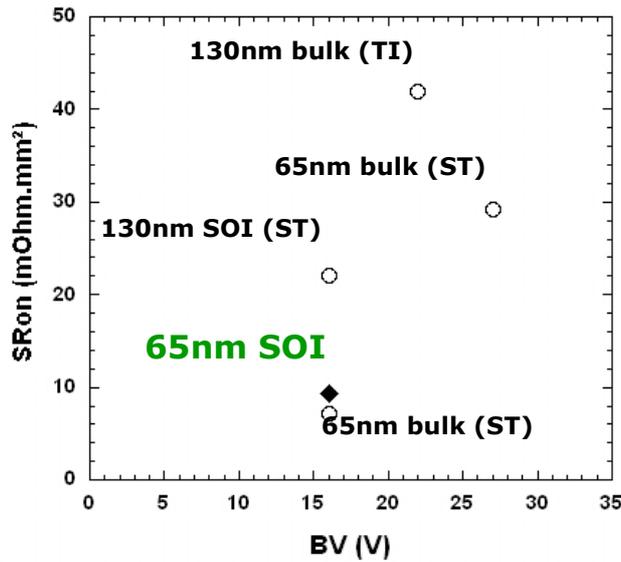


Figure III-12 : Etat de l'art du compromis SRon/BV pour des technologies PLDMOS industrielles BV<30V avec la technologie 65nm SOI

2.4. Compromis SRon/BV et étude de comportement de claquage

Nous allons, dans cette partie, expliquer pourquoi les performances statiques du transistor NLD MOS ne sont pas dégradées par la réduction de l'épaisseur du film de SOI.

Nous avons tout d'abord étudié le comportement de claquage du transistor SOI fabriqué en 130nm. Ainsi, nous avons dans un premier temps réalisé des simulations *TCAD* (logiciel *Synopsys*) d'une diode PiN (P/N-/N+) et du transistor LDMOS en deux dimensions (Figure III-13). Etant donné que le contact de canal est réalisé dans la troisième dimension, la structure est modifiée par rapport à la réalité, en dessinant une structure avec un contact passant sous la source. Cette structure est irréalisable mais permet de donner un comportement résultats conforme aux mesures.

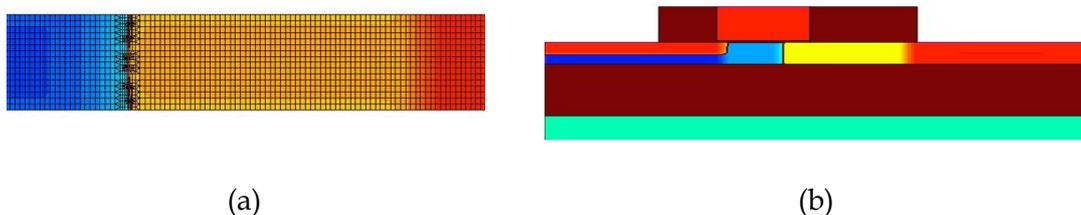


Figure III-13 : Structures simulées. (a) Diode PiN - (b) Transistor LDMOS SOI 130nm

La Figure III-14 présente la variation de la tension de claquage en fonction de la longueur d'extension.

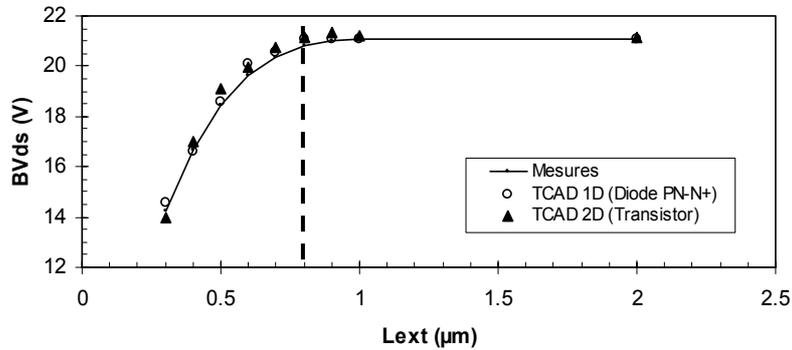


Figure III-14 : Tension de claquage en fonction de l'extension de Drain pour la technologie 130nm SOI, une diode PiN simulée (1D) et un transistor 130nm SOI simulé (2D)

Deux comportements sont mis en évidence : le premier apparaît pour des valeurs de L_{ext} inférieures à $0,8\mu m$ où la tension de claquage augmente avec L_{ext} . Dans la gamme $L_{ext} > 0,8\mu m$, cette longueur n'influence pas la tenue en tension [Bon05]. Pour expliquer ces comportements, la physique du claquage des jonctions PiN est alors étudiée grâce à des simulations unidimensionnelles. La répartition du champ électrique au claquage dans le cas d'une jonction PiN est représentée suivant la longueur de l'extension sur la Figure III-15 :

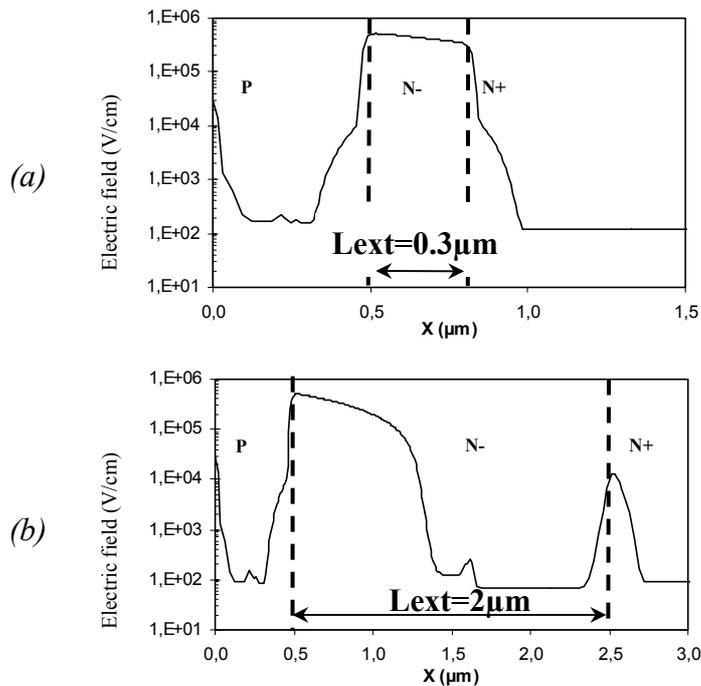


Figure III-15 : Répartition du champ électrique au claquage suivant la longueur de l'extension dans une diode PiN (simulation 1D)

L'avalanche, et donc le claquage du transistor, est initiée lorsque la valeur du champ atteint sa valeur critique (5.10^5V/cm). Pour une longueur d'extension inférieure à $0,8\mu\text{m}$ ($L_{\text{ext}}=0,3\mu\text{m}$), le champ électrique au claquage est réparti sur toute la longueur de l'extension de drain. Il s'agit d'un claquage en limitation de zone de charge d'espace (LZCE). Puis, pour $L_{\text{ext}}>0,8\mu\text{m}$ (et jusqu'à $L_{\text{ext}}=2\mu\text{m}$), le champ électrique atteint sa valeur intrinsèque avant de venir en butée sur le drain. Il s'agit alors d'un cas en Avalanche « classique ».

La dépendance de la tension de claquage par rapport à la longueur de l'extension apparaît : en limitation de zone de charge d'espace, plus l'extension est longue, plus le champ électrique sera réparti sur une grande longueur. Ainsi la tension de claquage augmentera avec L_{ext} jusqu'à ce que le claquage devienne en mode d'Avalanche « classique ». Le cas optimal est atteint lorsque le champ électrique vient juste toucher le drain. Les Équations III-3, qui expriment la tenue en tension théorique d'une jonction PiN en LZCE (a) et en Avalanche (b), confirment ce comportement [Bon05].

$$(a) BV = \frac{\epsilon \cdot E_C^2}{2qN_A} + E_C L_{\text{ext}} - \frac{qN_D L_{\text{ext}}^2}{2\epsilon}$$

$$(b) BV = \frac{\epsilon \cdot E_C^2}{2qN_A} + \frac{\epsilon \cdot E_C^2}{2qN_D}$$

Équations III-3 : Tenue en tension pour un claquage en LZCE (a) et en Avalanche (b)

Nous allons à présent comparer ce comportement classique d'un transistor LDMOS à notre transistor SOI 65nm (Figure III-16).

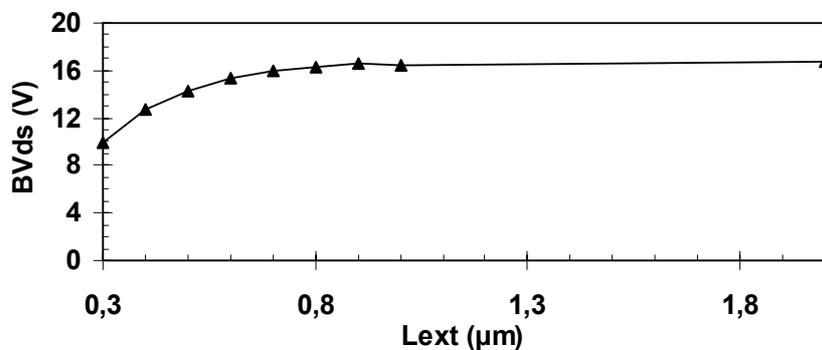


Figure III-16 : Tension de claquage en fonction de l'extension de Drain pour la technologie 65nm SOI (Mesures)

Le comportement de la tension de claquage du transistor en fonction de la longueur de l'extension est similaire au comportement de la technologie 130nm. Cependant, lorsque nous étudions le compromis SRon/BV en fonction du dopage de la zone d'extension, nous remarquons un comportement atypique, totalement à l'opposé du comportement classique d'un transistor de puissance (Figure III-17).

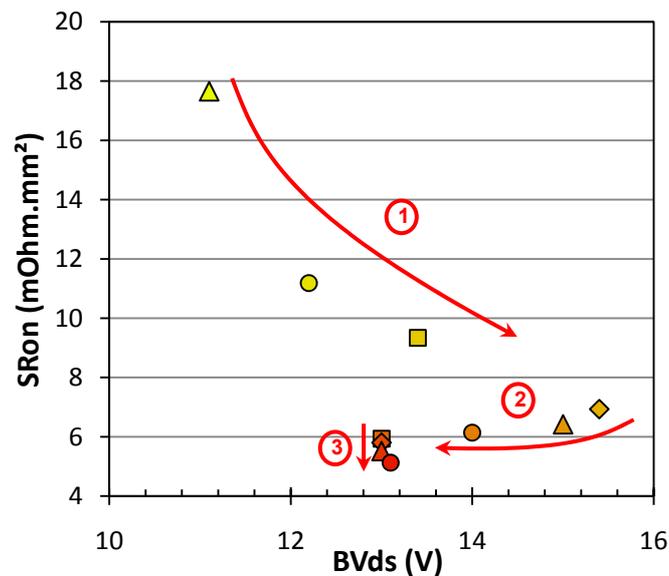


Figure III-17 : Compromis SRon/BV pour une augmentation du dopage d'extension de drain d'un NLD MOS typique ($L_{ext}=0,6\mu m$). (Mesures)

En effet, nous pouvons constater trois comportements distincts, soulignés sur la figure par les trois flèches :

1. Pour des faibles dopages (couleur jaune), le compromis SRon/BV est totalement inversé : lorsque le dopage augmente (et donc que la résistance totale du transistor diminue), la tension de claquage augmente elle aussi. Le transistor est placé dans un comportement qui change de compromis SRon/BV à chaque valeur de dopage !
2. Ensuite, à partir d'un certain niveau de dopage de l'extension (couleur orange), le transistor retrouve un comportement *a priori* classique : SRon diminue lorsque la tension de claquage diminue.
3. Et enfin (couleur rouge), arrive un comportement où la tension de claquage devient pratiquement constante avec l'augmentation de dopage.

Notre transistor affiche un comportement atypique avec la variation du niveau de dopage de l'extension choisie. La suite de cette étude s'est concentrée sur l'étude de ce phénomène, en partie grâce à des simulations.

2.5. Comportement de claquage

2.5.1. Présentation du comportement classique et de celui observé

Nous allons donc nous focaliser sur la variation de la tension de claquage avec le dopage de l'extension de drain, suivant la technologie.

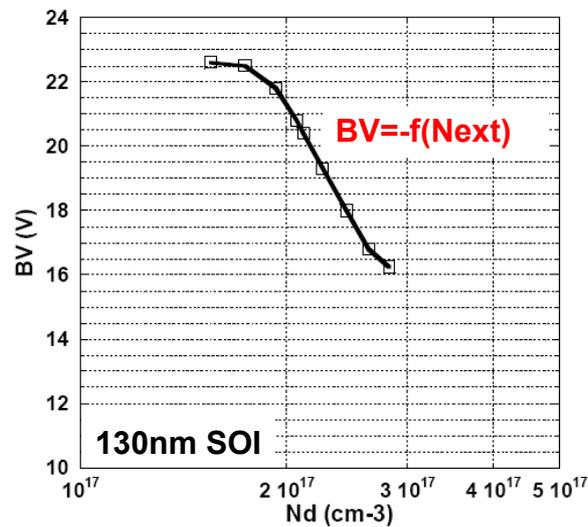


Figure III-18 : Comportement de claquage typique en fonction du dopage de l'extension de drain. Mesures 130nm SOI

La Figure III-18 présente le comportement de claquage pour la technologie 130nm. Ainsi, pour des dopages faibles, la tension de claquage est pratiquement constante avec le dopage de l'extension. Ensuite, lorsque le niveau de dopage est plus élevé, la tenue en tension décroît avec ce dopage. Ces deux résultats sont en accord avec les Équations III-3 (a) et (b).

Sur la Figure III-19, le comportement de claquage avec le niveau de dopage est tracé pour la technologie 65nm.

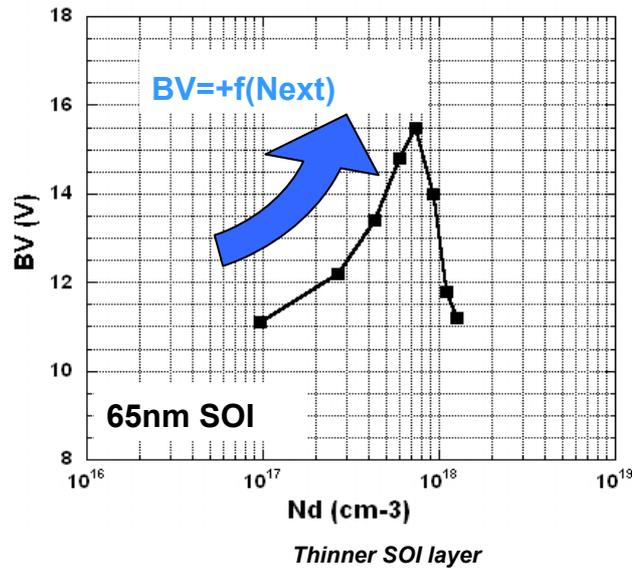


Figure III-19 : Comportement de claquage typique en fonction du dopage de l'extension de drain. Mesures 65nm SOI

Nous retrouvons bien les différents comportements expliqués précédemment. Tout d'abord, la tension de claquage augmente avec le dopage. C'est ce comportement spécifique qui permet d'améliorer le compromis SRon/BV [Bon07c]. Ensuite, la tension de claquage diminue fortement. Il faut noter que l'échelle de dopage est bien plus dilatée pour la technologie 65nm.

Il apparaît que la tension de claquage croît du dopage de l'extension. Le modèle de claquage classique d'une jonction PiN n'est donc pas valable pour expliquer la variation de la tenue en tension avec le niveau de dopage. Une étude de simulation complète du transistor est alors réalisée.

2.5.2. Etude de la répartition des lignes de potentiel et du champ électrique

Les simulations ont été bien sûr réalisées en trois dimensions pour simuler l'évacuation de charge par le contact de substrat (Figure III-20). Avec une longueur d'extension donnée, plusieurs niveaux de dopage ont été testés. Nous retrouvons en simulation le comportement de claquage atypique décrit précédemment.

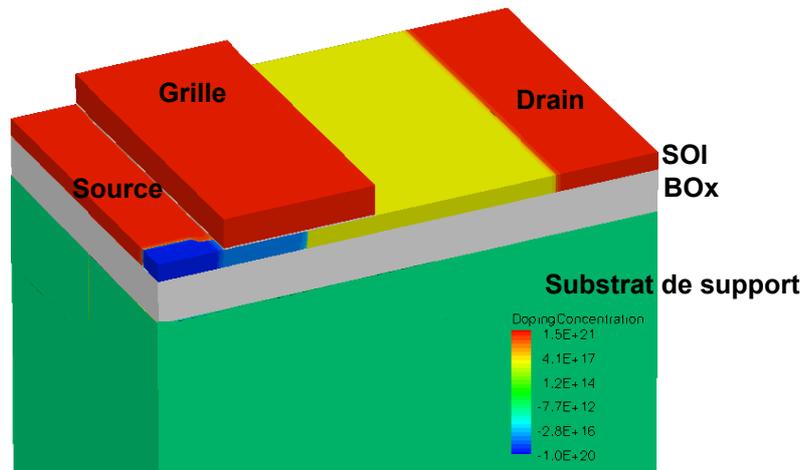


Figure III-20 : Structure d'un NLD MOS simulé en trois dimensions

La Figure III-21 représente la distribution du potentiel électrostatique sur une coupe du transistor au claquage avec les lignes d'équipotentiel [Bon07b].

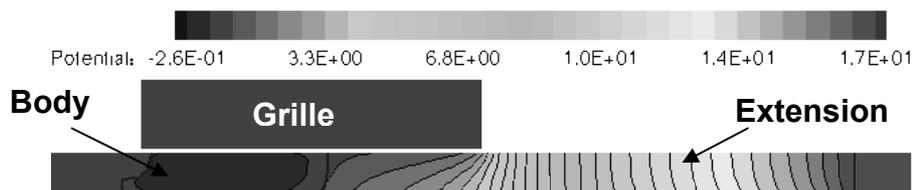


Figure III-21 : Distribution du potentiel électrostatique le long du composant au claquage (NMOS – Coupe d'une simulation 3D)

Cette figure montre que la tension est tenue principalement le long de l'extension. En effet, la zone de canal est à un potentiel fixe : elle ne soutient aucune ou très peu de tension. Le comportement de claquage n'est donc pas identique à celui retrouvé sur substrat massif ou en technologie 130nm SOI, la jonction *body*/extension n'ayant pas de rôle direct sur la tenue en tension.

Pour expliquer ce comportement, il convient d'étudier le rôle du recouvrement de grille sur l'extension. La grille étant polarisée à une tension nulle, elle « tire » le potentiel du volume de silicium à une tension nulle et provoque une compression des lignes de potentiel au bord de grille. Cette zone ne soutient que très peu de tension, le potentiel au niveau de la jonction étant proche du potentiel interne

du silicium. Le recouvrement de grille provoque un effet de tampon de la zone d'extension se trouvant sous celle-ci. Cela permet ainsi d'éviter un claquage par perçage de la zone de canal. En effet, les dopages de l'extension et du *body* sont très proches alors que leurs longueurs respectives sont bien différentes. En considérant une diode *body*/extension sans grille, lors de l'augmentation de la tension appliquée sur le drain, il est clair que le *body* serait déserté bien avant l'extension : il y aura donc un claquage du transistor par perçage. Dans notre cas, la zone de l'extension sous la grille (polarisée à une tension proche de zéro), permet d'isoler la zone de *body* de la haute tension et donc d'éviter tout risque de perçage.

Les lignes de champ sont également réparties uniformément le long de l'extension (Figure III-21). Nous allons à présent étudier de manière plus précise la répartition du champ électrique le long du transistor, en surface, pour plusieurs dopages correspondant aux différents cas d'optimisation.

La Figure III-22 représente la répartition du champ électrique latéral, vertical et total, ainsi que la distribution du potentiel au claquage le long du transistor. Cette répartition de champ correspond à un dopage faible. Cette simulation, ainsi que celles qui suivent, sont réalisées à une tension de grille de 2,5V.

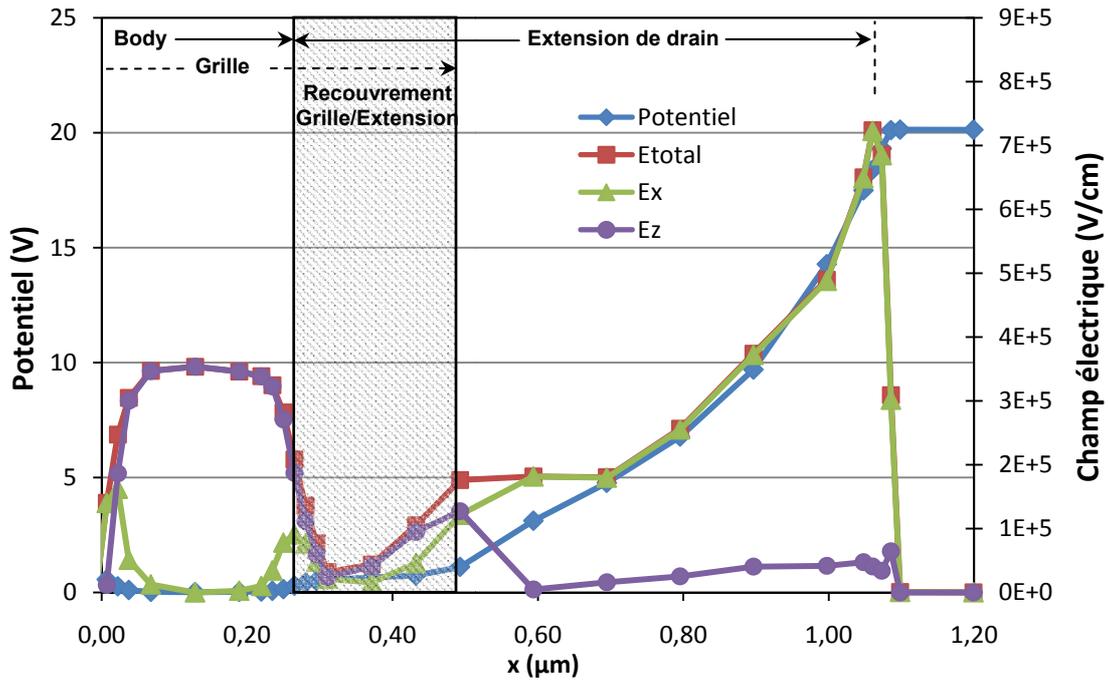


Figure III-22 : Distribution du champ électrique latéral, vertical et total et répartition du potentiel électrostatique au claquage pour un dopage faible (N_d^- , Simulations 3D)

Il est tout d'abord intéressant de voir que le potentiel de la zone de *body* est à une tension nulle. La zone de silicium sous la grille se trouve aussi à un potentiel faible. Dans ce cas, le champ électrique atteint sa valeur critique au niveau de l'homojonction N-/N+. La jonction P/N- n'est donc pas à l'origine du déclenchement de l'avalanche comme dans le cas d'une diode PiN.

Sur la Figure suivante (Figure III-23), le dopage de l'extension a été augmenté. Nous nous plaçons sur un intermédiaire entre une très faible valeur de dopage et la valeur optimale.

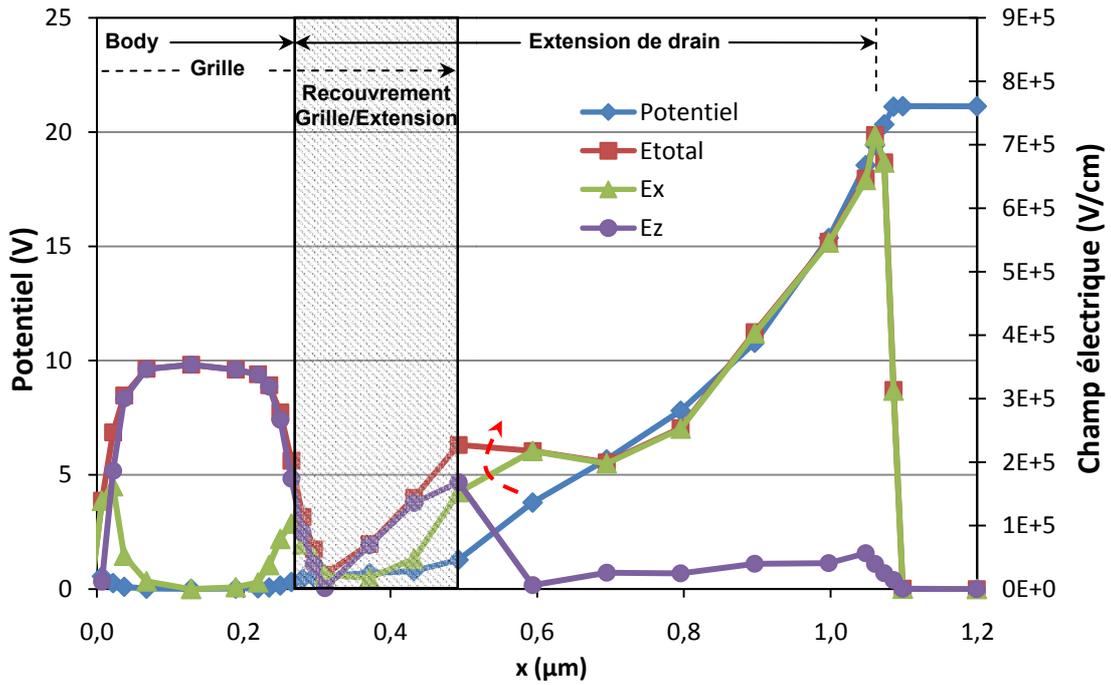


Figure III-23 : Distribution du champ électrique latéral, vertical et total et répartition du potentiel électrostatique au claquage pour un dopage faible (N_d^- , Simulations 3D)

Du comportement décrit ci-dessus résulte une augmentation de la tension de claquage. L'augmentation du dopage de l'extension rapproche la haute tension de la grille. En conséquence, la différence de potentiel entre la grille et la zone de silicium en extrémité de grille augmente, ce qui a pour effet d'accentuer le champ électrique, aussi bien vertical que latéral, en fin de grille. Le champ électrique critique est toujours atteint au niveau de l'homojonction, mais l'augmentation de dopage permet la création d'un second pic de champ électrique à l'opposé. La tension de claquage augmente.

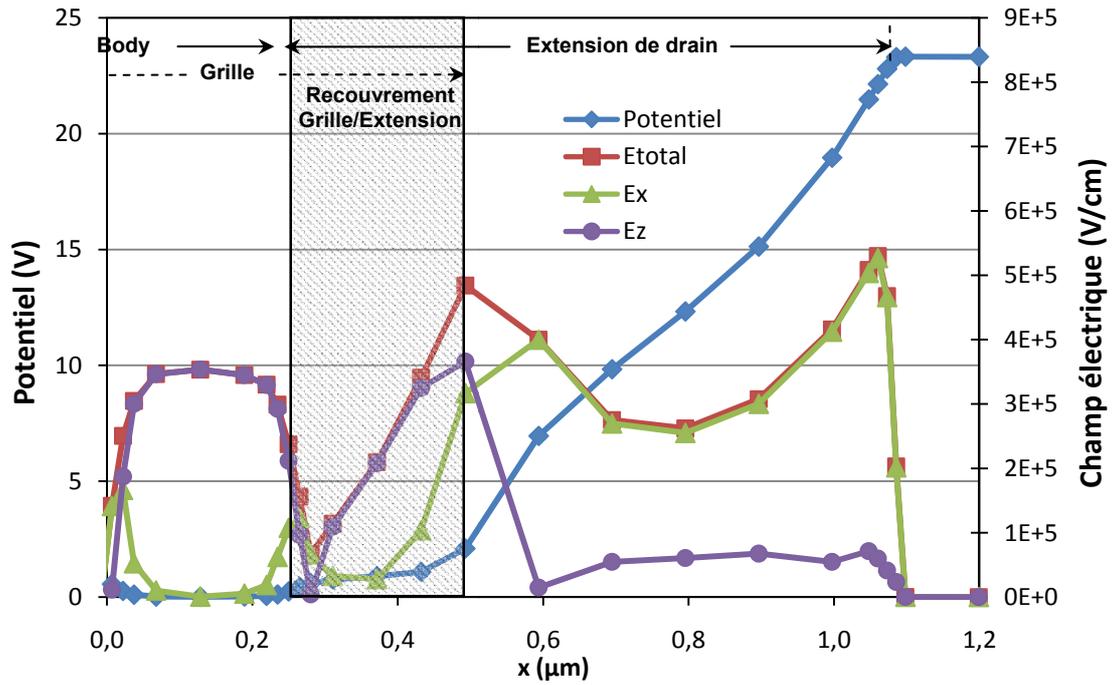


Figure III-24 : Distribution du champ électrique latéral, vertical et total et répartition du potentiel électrostatique au claquage pour un dopage faible (N_d^{opt} , Simulations 3D)

La Figure III-24 présente le cas optimal permettant la meilleure tenue en tension. En augmentant le dopage de l'extension, le champ électrique au niveau de la fin de grille augmente. À une certaine valeur de dopage, ce pic de champ devient, au claquage, de même valeur que celui de l'homojonction. La tension appliquée sur le drain est alors tenue de manière la plus uniforme possible sur toute la longueur de l'extension [Bon07b].

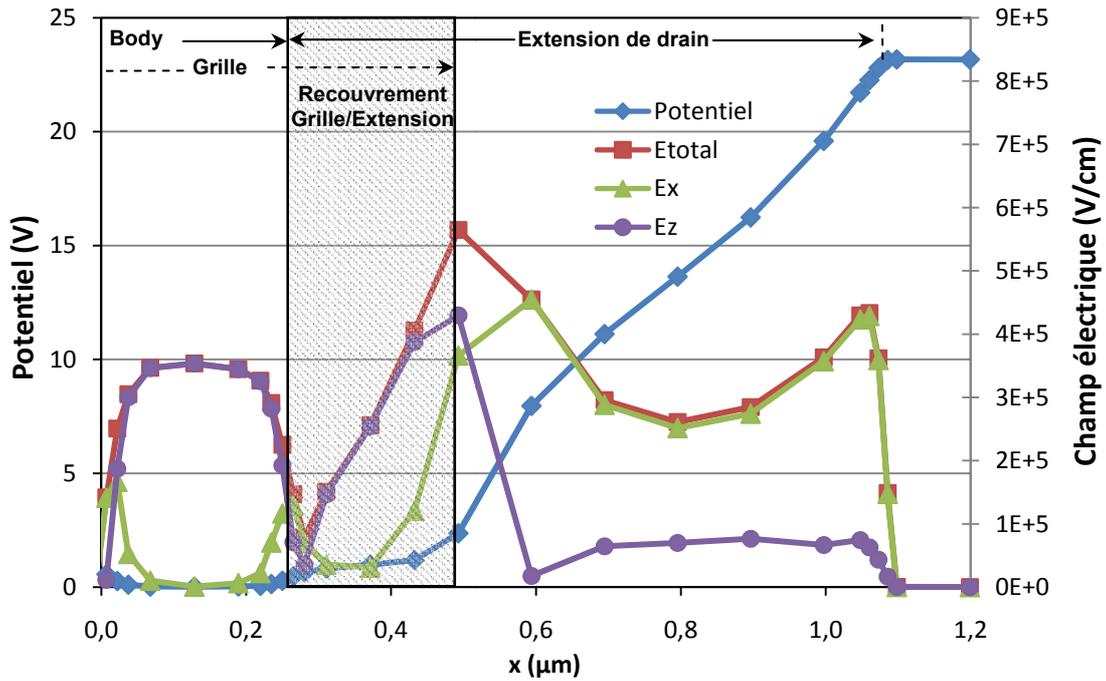


Figure III-25 : Distribution du champ électrique latéral, vertical et total et répartition du potentiel électrostatique au claquage pour un dopage faible (N_d^+ , Simulations 3D)

Ensuite, pour des dopages plus élevés (Figure III-25), l'avalanche n'est alors plus déclenchée près du drain, mais près de la grille. En effet, l'extension étant devenue moins résistive, la tension de la zone de silicium en bord de grille devient importante, créant un champ électrique prépondérant sur le champ électrique de l'homojonction. La tension de claquage diminue.

Ce comportement est accentué avec l'augmentation de dopage. La Figure III-26 présente le cas où toute la tension est tenue près du bord de grille. La tenue en tension du transistor est alors bien plus faible.

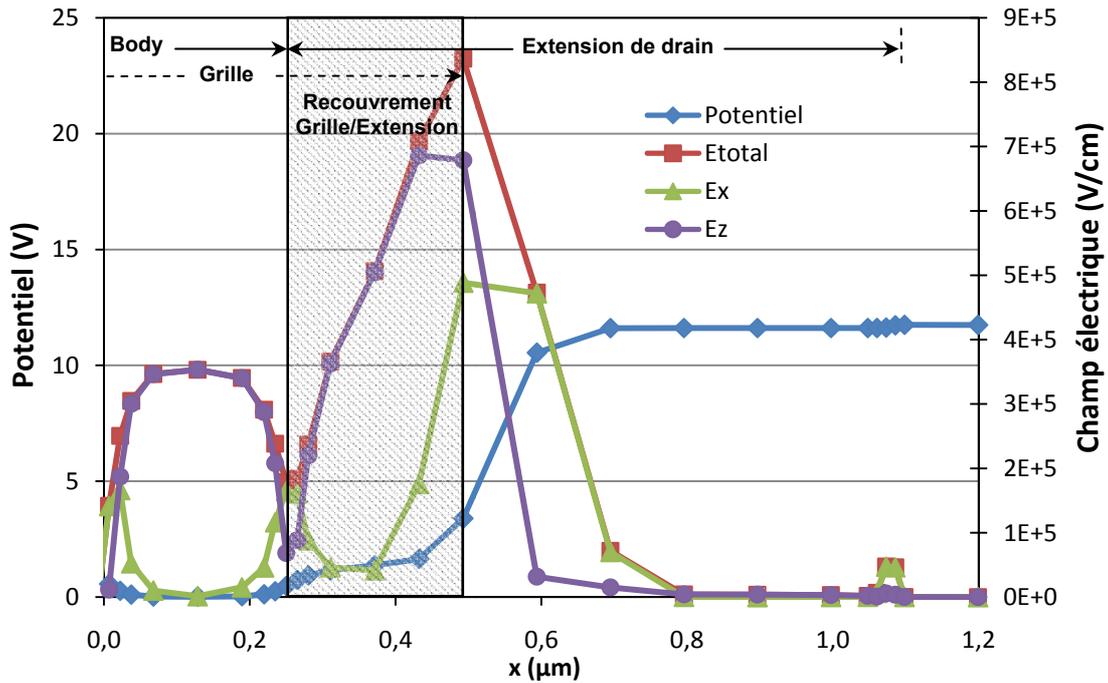


Figure III-26 : Distribution du champ électrique latéral, vertical et total et répartition du potentiel électrostatique au claquage pour un dopage faible (N_a^{++} , Simulations 3D)

Nous avons vu (Figure III-17) un troisième comportement, où la tension de claquage est constante avec le dopage. Ce comportement n'est pas visible en simulation car son origine se situe au niveau de la fiabilité de grille. Le champ électrique étant maximal en bord de grille, l'oxyde de grille est alors dégradé entraînant la destruction du dispositif.

Cette répartition optimale de champ électrique se retrouve dans les publications traitant de transistors RESURF, où les lignes de champ électrique sont réparties de manière verticale avec deux pics de part et d'autre.

Cependant ces publications ne rendent pas compte d'un tel effet sur un véritable SOI fin. Une première idée [Wes07] est d'utiliser un SOI épais mais de rajouter une plaque de champ et ainsi provoquer une répartition uniforme des lignes de potentiel (Figure III-27).

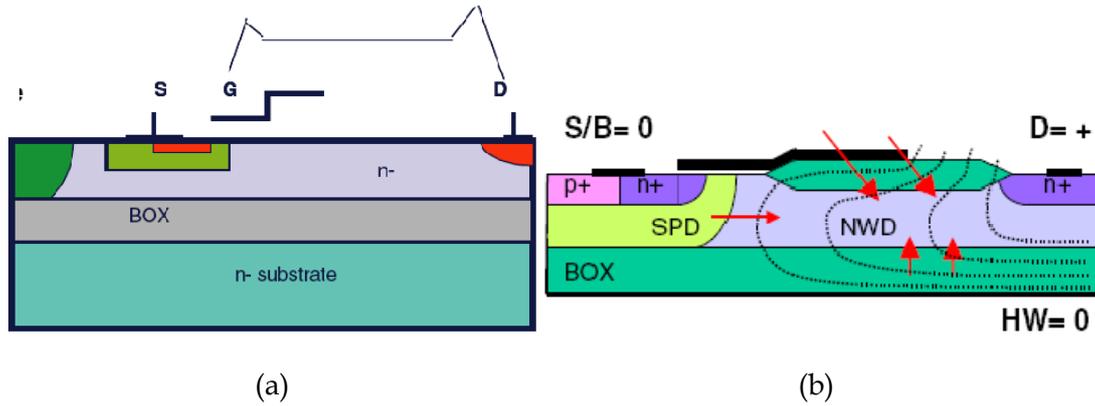


Figure III-27 : (a) Structure étudiée par *Wessels* avec le champ électrique schématisé (b) Même structure avec la répartition des lignes de potentiel et les tensions appliquées

Une autre publication [Zin01] a traité ce phénomène. Il s'agit d'un substrat SOI épais où l'épaisseur de silicium de l'extension est aussi réduite par une oxydation localisée de la couche de conduction (Figure III-28).

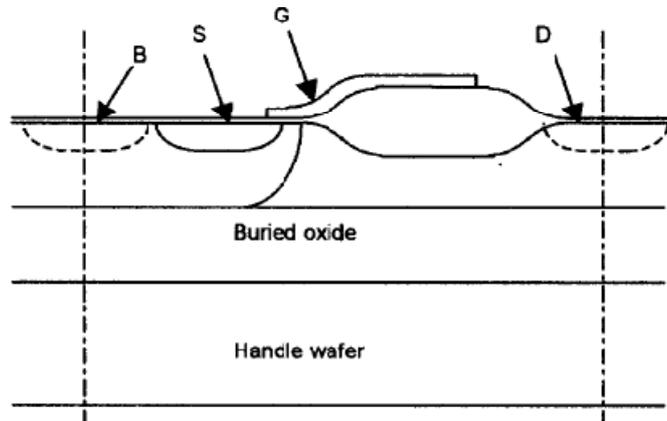


Figure III-28 : Structure étudiée par *Zingg* avec une oxydation localisée du silicium

Ces résultats sont obtenus par l'ajout d'une plaque de champ spécifique et par une polarisation du substrat de support. Dans notre cas, ce substrat est très résistif et laissé flottant. Le potentiel n'est ainsi appliqué que d'un seul côté. La compression des lignes de potentiel en bord de grille se trouve dans le silicium, alors que, dans ces publications, elle a lieu dans l'oxyde de champ. Nous allons maintenant étudier l'influence des épaisseurs de SOI et d'oxyde enterré sur la tenue en tension.

2.5.3. Influence des épaisseurs de SOI et d'oxyde enterré sur la tension de claquage

La répartition des lignes de potentiel dans les couches de SOI et de BOx est présentée sur la Figure III-29, le cas étant celui optimal, décrit précédemment (Figure III-24).

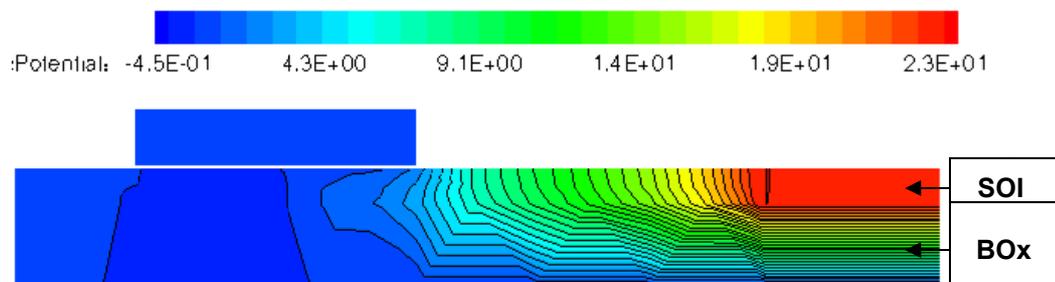


Figure III-29 : Coupe du potentiel électrostatique avec les lignes d'équipotential dans les couches de SOI et de BOx pour un dopage optimal

Nous pouvons remarquer que les lignes de potentiel « rebouclent » au tour de la zone de drain. Ainsi, nous pouvons bien identifier les deux pics de champ électrique observés :

- Tout d'abord, un pic de champ électrique dû à l'influence du bord de la grille sur le silicium.
- Et puis, le deuxième pic de champ électrique au niveau de l'homojonction drain/extension, dû à la compression des lignes de potentiel au fond de la couche de SOI, est créée par le changement de direction de 90° de ces lignes autour du drain.

Nous pouvons observer sur cette coupe, les deux zones de fort champ, pour un dopage optimisé (Figure III-30) :

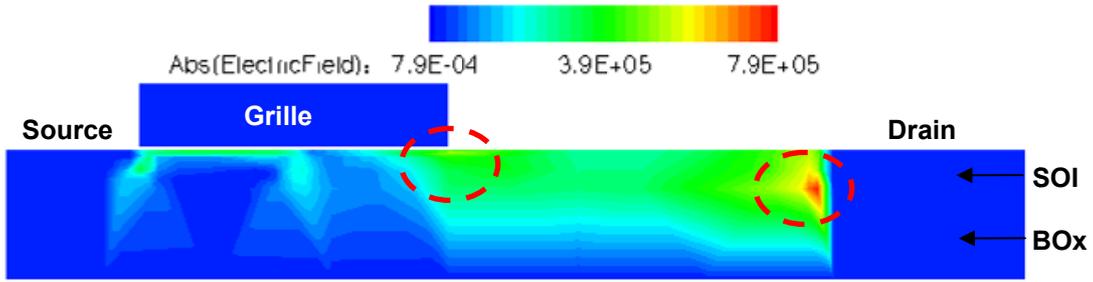


Figure III-30 : Deux zones de fort champ électrique au claquage

Pratiquement aucune ligne de potentiel n’atteint le substrat de support. Le potentiel au niveau de l’interface BOx/Substrat reste faible, malgré la haute tension appliquée sur le drain (Figure III-31), le substrat étant, dans nos simulations comme dans nos mesures, laissé flottant.

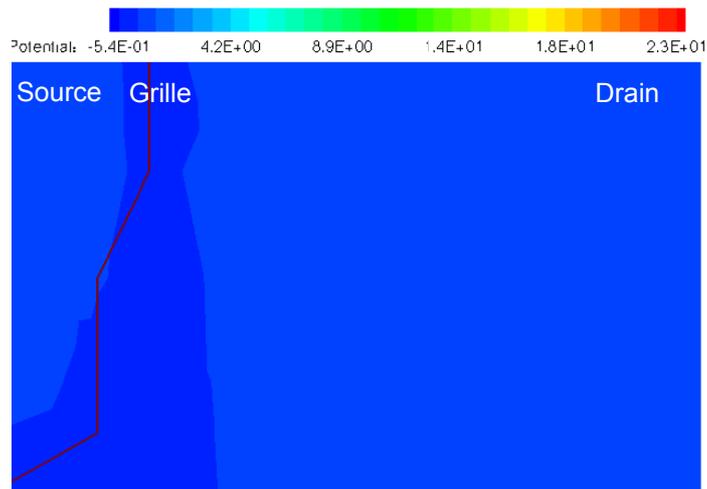


Figure III-31 : Potentiel au niveau de l’interface BOx/Substrat de support

Ce comportement peut être modélisé de manière simple. Le volume de SOI contient un nombre de charges. Ce nombre augmente si le dopage est plus fort ou si, à dopage constant, la couche de SOI est plus épaisse. Ainsi, le couple « SOI+BOx » peut être considéré comme une capacité, avec des charges à équilibrer contenues dans le SOI. Le substrat est, par contre, hautement résistif, peu de charges sont présentes dans le volume de silicium. Son potentiel de surface à l’interface avec l’oxyde enterré n’est ainsi que peu influencé par la capacité SOI/BOx.

Pour bien comprendre le rôle de chaque couche, la tenue en tension en fonction de différentes épaisseurs de SOI et de BOx est alors étudiée.

La Figure III-32 présente la surface de réponse de la tenue en tension suivant les épaisseurs utilisées pour un dopage faible (cas de la Figure III-23, dopage faible).

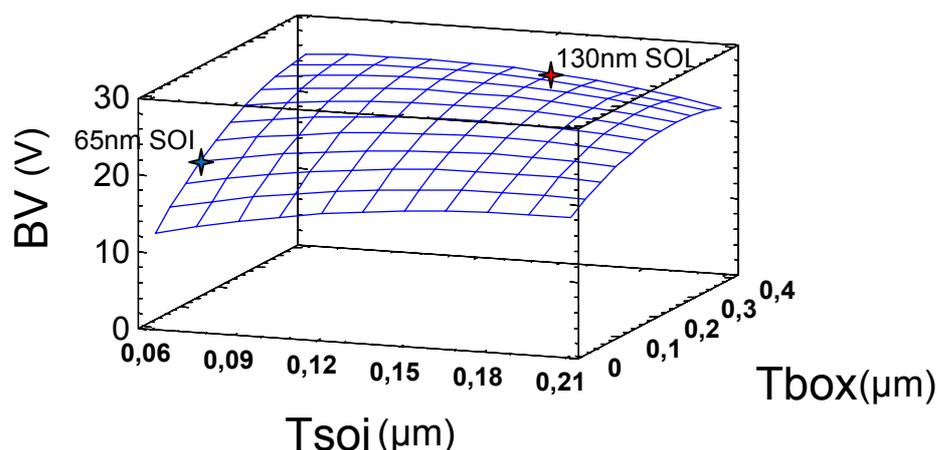


Figure III-32 : Surface de réponse de la tension de claquage en fonction des épaisseurs de SOI (T_{SOI}) et de BOx (T_{BOx}) pour un dopage N_a^-

Pour ce cas de dopage faible, les épaisseurs utilisées dans la technologie 65nm ne sont pas l'optimum au niveau de la tenue en tension. L'optimum est *a priori* dans un cas intermédiaire entre ces deux technologies, ceci pour ce dopage donné.

L'oxyde enterré joue un rôle important dans la tenue en tension. Si, par exemple, il est trop peu épais, le bouclage des lignes de potentiel sera trop dense au niveau de l'homojonction et le pic de champ électrique côté drain augmentera (cas présenté sur la Figure III-23). Par contre, si l'oxyde enterré est trop épais, à ce moment l'influence de la grille sur la répartition du champ électrique augmente. Ainsi, le pic de champ électrique en bord de grille devient prépondérant sur l'autre (cas présenté sur la Figure III-25).

Le meilleur compromis est cependant modifié, suivant le dopage utilisé. La Figure III-33 présente la surface de réponse de la tenue en tension, pour un dopage optimal avec les épaisseurs de la technologie 65nm SOI.

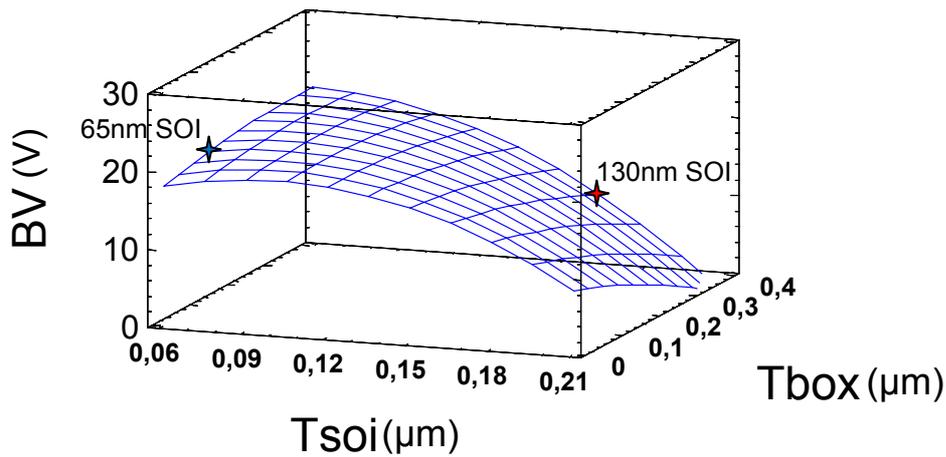


Figure III-33 : Surface de réponse de la tension de claquage en fonction des épaisseurs de SOI (T_{SOI}) et de BOx (T_{BOx}) pour un dopage optimal (avec les épaisseurs de la technologie 65nm SOI)

Ainsi, lorsque le dopage augmente, le cas optimum se décale vers des épaisseurs plus fines. Autrement dit, plus le film utilisé est fin, plus l'extension de drain doit être dopée, pour avoir la tenue en tension la plus élevée.

Ce comportement est très important pour les prochaines générations de technologies. En effet, si les épaisseurs de SOI et d'oxyde enterré doivent être réduites pour améliorer le couplage, le dopage de l'extension devrait donc être augmenté, ce qui réduira la résistance à l'état passant R_{on} du composant. Cet effet que nous venons d'étudier prouve ainsi la faisabilité de composants de puissance intégrés dans les générations futures de CMOS sur substrat SOI.

Une analogie peut être faite entre cet effet et l'effet RESURF, présenté au Chapitre 1. La répartition du champ électrique et le bouclage des lignes de potentiel sont identiques avec ces deux effets. Dans notre cas, l'oxyde enterré joue le rôle de la zone P-, et son épaisseur, le rôle du dopage de cette zone.

2.5.4. Cas du LDMOS de type P

En ce qui concerne le PLDMOS, nous retrouvons le même type de comportement (Figure III-34). Cependant, à même longueur d'extension, le retournement de comportement n'apparaît pas à la même tension de claquage. Ceci

est dû aux différents coefficients d'ionisation entre du silicium de type N et de type P.

L'extension de drain, pour un PLDMOS, étant de type P, l'ionisation est plus faible et donc la tenue en tension plus importante. Cela n'implique pas un meilleur compromis S_{Ron}/BV car la résistance d'un barreau de silicium dopé P est plus importante.

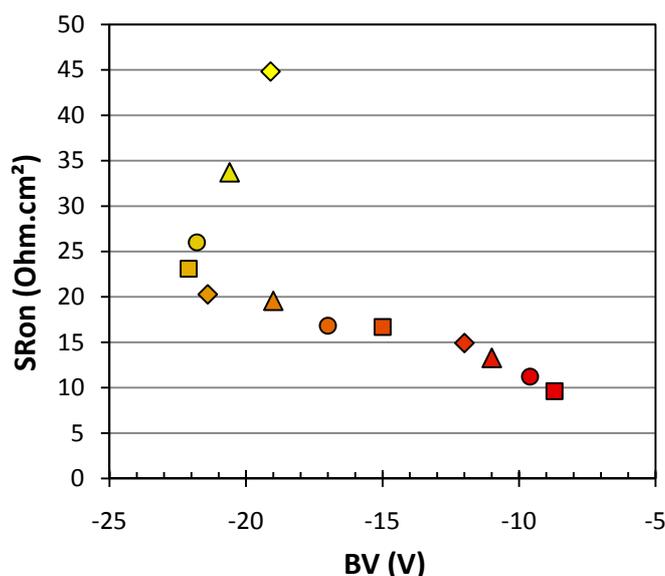


Figure III-34 : Compromis S_{Ron}/BV pour une augmentation du dopage d'extension de drain d'un PLDMOS typique ($L_{ext}=0,6\mu m$). Plus le point est rouge, plus le dopage est élevé (Mesures)

2.6. Conclusion et applications de gestion d'énergie

Les résultats statiques du transistor NLDMOS fabriqué en technologie 65nm sur substrat SOI offrent de très bonnes performances électriques. Ces performances sont atteintes grâce à un phénomène analogue à un effet RESURF sur une technologie massive. Il nous permet d'augmenter la tenue en tension en même temps que la valeur du dopage de l'extension de drain. L'apparition de ce phénomène est provoquée par l'utilisation d'un substrat de SOI et par le fait que l'interface BOX/Substrat n'est pas polarisée. Nous pouvons appeler ce phénomène « pseudo-RESURF » ou « double RESURF ». En effet, il permet de répartir le potentiel de la même manière qu'un transistor LDMOS RESURF (les transistors réalisés en technologie massive sont des transistors RESURF). Pour une même valeur de tension

de claquage, le dopage de l'extension peut être augmenté, le compromis S_{Ron}/BV est alors amélioré. Les transistors de type P présentent ce même phénomène de type « pseudo-RESURF ».

De plus, le recouvrement de la grille sur l'extension de drain permet d'isoler la jonction *body*/drift de la haute tension et évite ainsi un claquage de composant par perçage de la zone de *body*.

Le Tableau III-3 présente les résultats des transistors optimisés pour des applications de gestion d'énergie de systèmes sans-fil. Ces applications recherchent des transistors de puissance complémentaires, c'est-à-dire de type N et de type P, consommant peu de puissance.

Ces résultats démontrent la faisabilité de tels transistors pour cette deuxième application.

		Substrat SOI		Substrat massif	
		NLDMOS	PLDMOS	NLDMOS	PLDMOS
Vt	V	0,57	-0,64	0,56	-0,43
Ion	$\mu A/\mu m$	484	-266	562 @ Vd=3V	
Ioff	$\log(A/\mu m)$			-11,8 @ Vd=4V	
Ron.W	$\Omega.mm$	2,4	7,5	2,1	
S.Ron	$m\Omega.mm^2$			7,2	
BV	V	13	-16	15	-16
		Lext=0,3 μm		Lext=0,33 μm	Lext=0,33 μm
		Lcanal=0,25 μm		Lcanal=0,2 μm	Lcanal=0,25 μm
		Ov=0,25 μm		Ov=0,15 μm	Ov=0,05 μm

Tableau III-3 : Performances statiques des transistors NLDMOS et PLDMOS optimisés pour des applications de gestion d'énergie (Tension de claquage plus faible)

Ces performances statiques sont au niveau des performances des autres technologies optimisées aussi bien pour des technologies RF que pour de la gestion de puissance.

3. CONTROLE DES EFFETS FLOTTANTS

Nous avons expliqué dans le Chapitre 2 que des technologies SOI étaient soumises à des effets spécifiques. En effet, un défi obligatoire à relever, lorsque une technologie SOI analogique doit être développée, est le contrôle du potentiel de canal dans le but d'éradiquer les effets flottants.

Le contrôle des effets flottants est un aspect à ne pas négliger sur des technologies SOI. Dans notre cas et avec notre schéma d'intégration, il revient à étudier les règles de dessin des contacts de substrat.

Une mauvaise optimisation des contacts substrat se caractérise par l'apparition de l'effet *Kink*. Lorsque des trous (pour un NLD MOS) créés par ionisation par impact ne sont pas bien évacués par les contacts P+, le potentiel de la zone de canal augmente (Figure III-35). La tension de seuil du transistor est ainsi diminuée dynamiquement : le courant augmente et un pic de transconductance

$G_d \left(= \frac{dI_d}{dV_d} \right)$ apparaît.

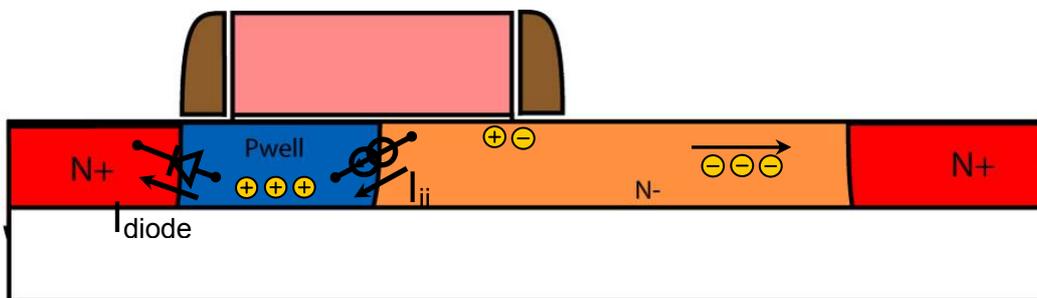


Figure III-35 : Rappel : Mécanisme de création de trous dans la région de canal à l'origine de l'effet de substrat flottant (Iii : courant d'ionisation par impact). Cas d'un NLD MOS.

Cet effet est plus présent à faible polarisation de grille, car il s'agit d'un compromis entre le niveau d'ionisation par impact et la capacité de la zone de canal à évacuer les charges (dépendant de la fuite de diode et de la modulation de la résistance de la zone de canal). C'est l'apparition et l'amplitude de cet effet de substrat flottant qui vont nous permettre de mesurer l'efficacité des contacts.

Le paramètre central dans l'optimisation des contacts substrat repose sur une faible résistance de canal entre deux implantations P+. En effet, si un trou se retrouvant dans la région de canal, à la suite de sa création par ionisation par impact, doit traverser une résistance importante jusqu'au contact substrat, une forte densité de trous peut s'accumuler dans le canal et provoquer l'augmentation de son potentiel. En technologie 65nm, ce paramètre est critique : l'épaisseur de substrat étant faible (70nm), la résistance entre deux contacts substrat peut se révéler trop importante pour contrôler ce potentiel. Par rapport à une technologie 130nm SOI (l'épaisseur de SOI étant de 160nm), cette résistance est deux fois plus importante, à même dopage de canal.

L'épaisseur de silicium étant fixe et le dopage de canal étant utilisé pour l'optimisation des performances électriques, le seul levier disponible est donc l'espacement entre contacts W_C (Figure III-36).

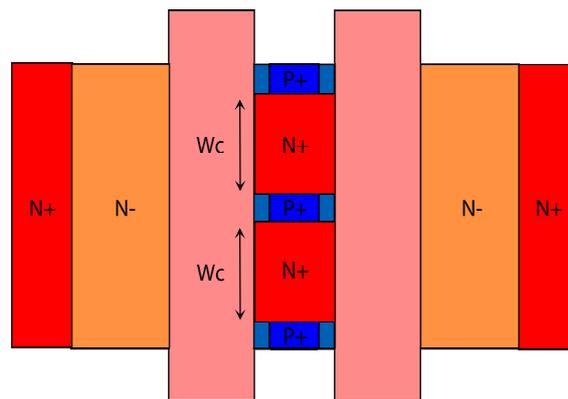


Figure III-36 : Vue de dessus d'un transistor NLD MOS avec l'espacement inter-contact W_C

Cette étude a été réalisée aussi bien en technologie SOI 130nm que 65nm. Nous allons commencer par la technologie 130nm.

3.1. Technologie 130nm

Pour tester l'efficacité des contacts nous avons défini plusieurs structures de $25\mu\text{m}$ chacune auxquelles les contacts substrats sont en nombre différents (Figure III-37).

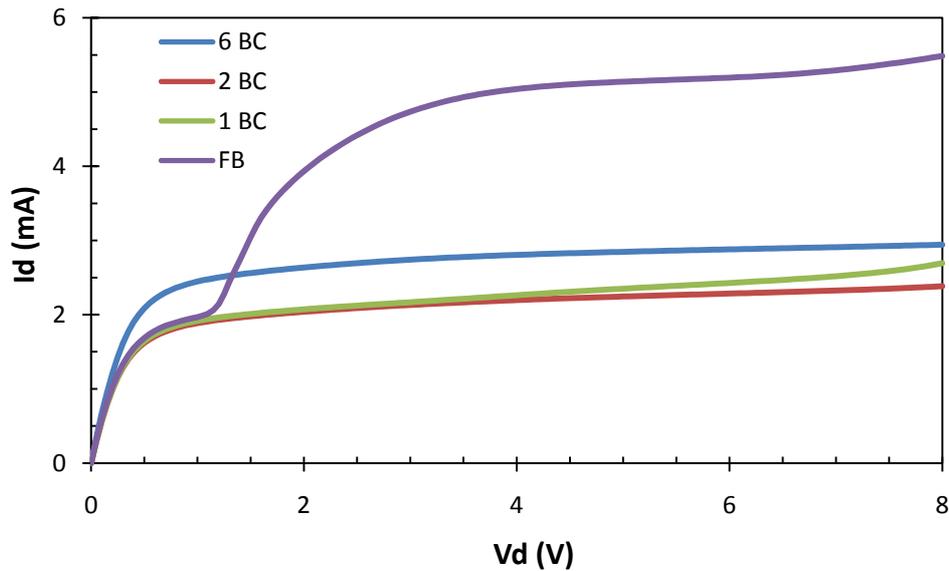


Figure III-37 : I_D en fonction de V_D pour des transistors de $W=25\mu\text{m}$ avec chacun un nombre de contacts de substrat (BC) différents pour $V_G=1\text{V}$

Nous pouvons remarquer que dès lors qu'il y a au moins un contact substrat, le potentiel de canal est contrôlé [Bon05]. Seul le transistor avec canal flottant (FB) présente de l'effet *Kink* à $V_D=1\text{V}$. Pour le transistor fabriqué avec seulement un seul contact, un début d'avalanche est présent pour une valeur de tension de drain importante.

3.2. Technologie 65nm

En technologie 65nm, le film de silicium est donc deux fois plus fin. Pour tester l'efficacité des contacts, nous avons défini plusieurs structures de test, chacune ayant deux contacts. Chaque structure est de largeur différente, ce qui nous permet de déterminer l'espacement inter-contact W_C optimum.

La Figure III-38 présente les caractéristiques de sortie à faible tension de grille pour différentes largeurs inter-contact.

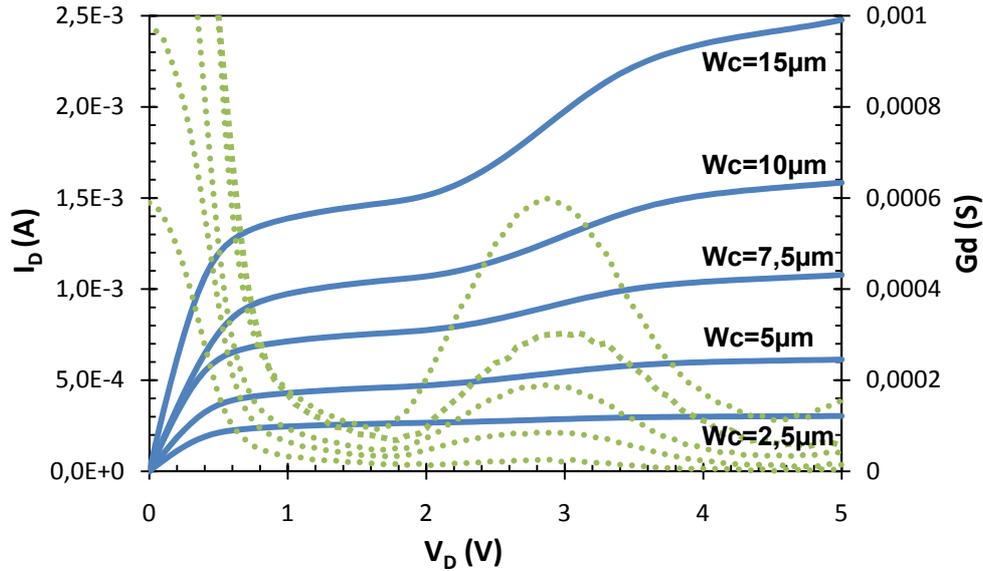


Figure III-38 : I_d et G_d en fonction de V_D à $V_G=1V$ pour différents NLD MOS avec deux contacts de substrat et différentes largeurs W_c (ligne : I_D / pointillés : G_d)

Nous remarquons que plus la distance inter-contact est grande, plus il y a un saut de courant et, donc, un pic de conductance importants entre une tension de drain comprise entre 2,5V et 3V. Ainsi, l'efficacité des contacts diminue alors que l'écartement entre les contacts augmente. Pour $W_c \geq 7,5\mu m$, les transistors apparaissent sensibles à l'effet de substrat flottant. Pour $W_c = 2,5\mu m$, les contacts sont très efficaces mais cette règle de dessin est trop agressive en terme de surface utilisée. La valeur $W_c = 5\mu m$ est le meilleur compromis, comme pour la technologie 130nm SOI [Bon07b].

3.3. Bruit basse fréquence

Avec des transistors standards, lorsque l'effet *Kink* est présent, les performances en bruit basse fréquence sont dégradées. En effet, l'effet *Kink* est un phénomène dynamique mais qui est relativement lent, l'évacuation des trous ayant une constante de temps importante. Ce phénomène n'apparaît pas en haute fréquence : si le potentiel de la zone de canal augmente, la diode *body*/source devient passante, ce qui permet de pousser la zone de canal à une tension nulle sur toute la largeur du transistor.

L'effet *Kink* a une signature spécifique sur les caractéristiques de bruit basse fréquence. Une caractéristique typique de bruit est constituée par une variation de type $\frac{1}{f}$ en fonction de la fréquence. S'il y a présence de l'effet *Kink*, il y a, sur une plage de fréquence donnée, une variation de type « lorentzienne » en $\frac{1}{f^2}$ (présente sur la Figure III-40). Cette composante additionnelle apparaît comme une sorte de « bosse » sur le spectre de bruit.

Dans le cadre de notre étude, nous avons voulu savoir si les performances en bruit basse fréquence ont été dégradées par un mauvais contact substrat.

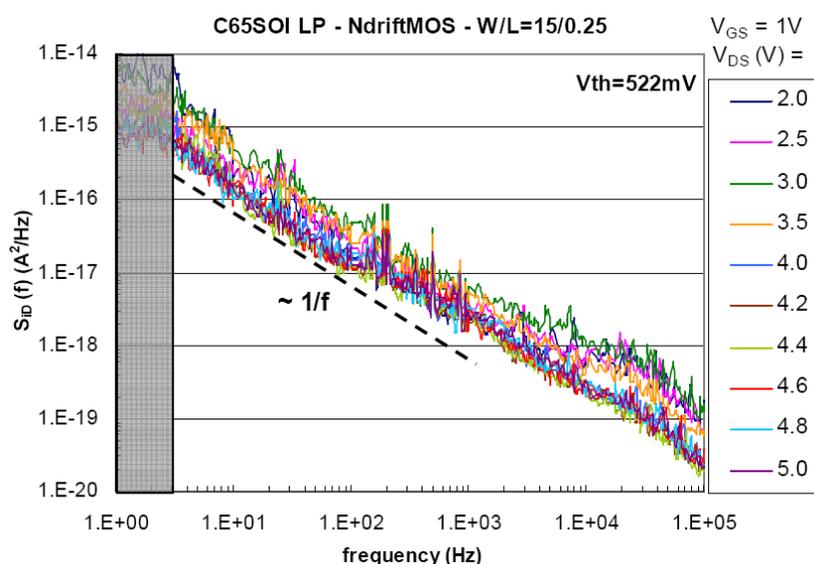


Figure III-39 : Caractéristiques de bruit basse-fréquence d'un NLD MOS de 30µm avec un espacement inter-contact de 15µm

La Figure III-39 présente les caractéristiques de bruit basse fréquence d'un transistor NLD MOS de 30µm et avec un espacement inter-contact de 15µm. Elles ne montrent uniquement que du bruit $\frac{1}{f}$, sans excès de bruit qui serait induit par de l'effet *Kink*.

Sur la Figure III-40, la différence de comportement en bruit basse fréquence est mise en avant entre un transistor sans extension de drain avec un oxyde de 50Å et un transistor NLDMOS ($W_C=5\mu\text{m}$).

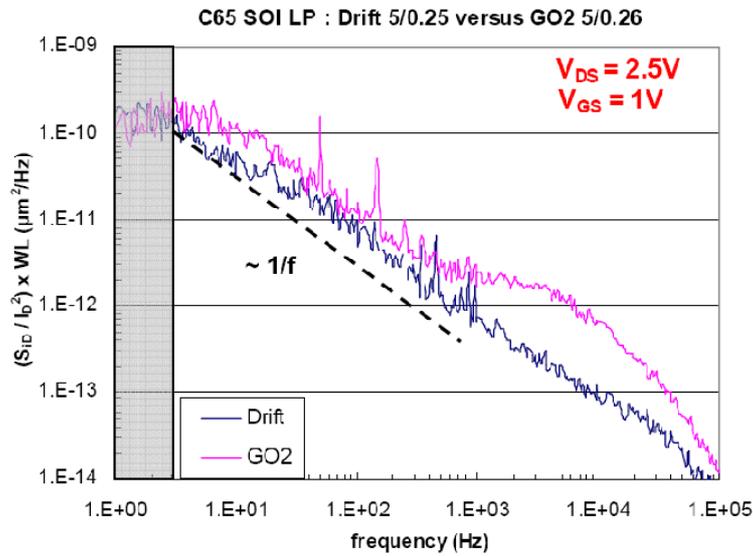


Figure III-40 : Caractéristiques de bruit basse-fréquence pour un NLDMOS et un MOS standard avec oxyde de grille de 60Å et contact substrat

Il y a deux sources de bruit : l'une résulte du courant d'ionisation I_{ii} et l'autre est associée au courant de jonction de la diode source-« *body* » [Roz00]. Ces deux sources sont donc situées au niveau de la grille. Le bruit est amplifié par la transconductance du transistor et filtré par toutes les capacités et résistances. Le bruit généré peut donc être supérieur au bruit $\frac{1}{f}$ et avoir un impact important sur le niveau total de bruit. Dans le cas présent, les transistors LDMOS ne présentent pas d'excès de bruit, du fait de la résistance de drain importante et de la plus faible transconductance par rapport à un transistor standard.

Les performances en bruit à faibles fréquences (inférieures au GHz) ne sont donc pas dégradées par de mauvaises prises substrat. Cependant il reste très important de contrôler le potentiel du canal pour assurer la tenue en tension visée, qui pourrait être fortement dégradée en l'absence de contact substrat (Figure III-41).

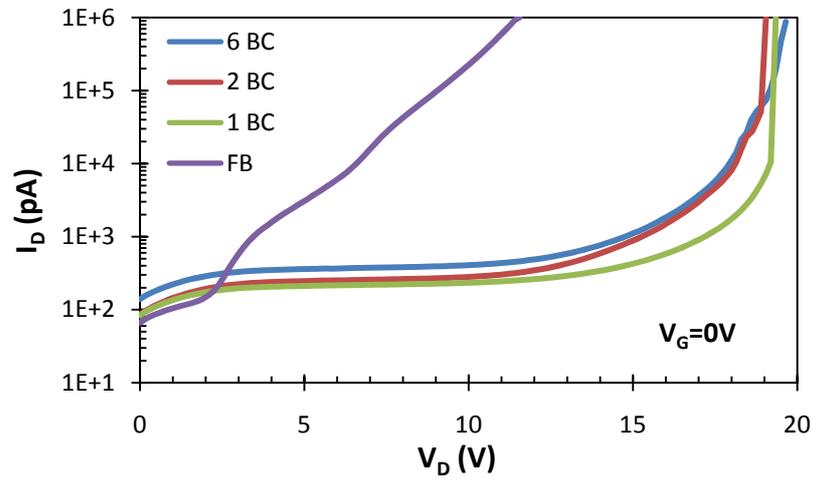


Figure III-41 : Caractéristique I_D en fonction de V_D en mode bloqué d'un transistor LDMOS de $W=25\mu m$ avec chacun un nombre de contacts de substrat différent en technologie 130nm

4. CARACTERISATION EN HAUTE FREQUENCE

Cette partie traite des caractérisations en haute fréquence effectuées sur les transistors. Nous nous sommes plus particulièrement intéressés aux transistors de type N.

Les paramètres influant sur le comportement petit et grand signal du LDMOS sont à la fois les paramètres intrinsèques du composant, tels que les capacités grille-drain C_{gd}^{int} (qui est égale à la capacité due au recouvrement polysilicium/extension C_{Ov}), grille-source C_{gs} et la transconductance g_m et les paramètres extrinsèques comme les capacités parasites (C_{ds} , C_{gd}^{ext} égale à C_{fringe} , capacité due aux proximités) et les résistances parasites (résistance de grille R_g et les interconnexions) introduites par la topologie des prises de contacts et du transistor. Notre étude porte sur la compréhension des performances dynamiques.

La capacité grille-source C_{gs} , la capacité grille-drain C_{gd} (égale à $C_{gd}^{int} + C_{gd}^{ext}$) et la résistance de grille R_g déterminent les performances petit-signal (i.e. f_T et F_{MAX}). Leur influence s'exprime avec les équations que nous avons déjà présentées dans le premier chapitre (Équations III-4).

$$(a) f_T = \frac{g_m}{2\pi(C_{gs} + C_{gd})}$$

$$(b) F_{max} = \sqrt{\frac{f_T}{8\pi R_g C_{gd}}}$$

Équations III-4 : Expression des fréquences de coupure f_T et F_{MAX}

La résistance de grille peut être modifiée en fonction du *design* choisi et ainsi permettre sa réduction afin d'obtenir une fréquence F_{MAX} optimale. Les capacités C_{gs} et C_{gd} doivent être les plus faibles possibles afin d'atteindre des fréquences f_T et F_{MAX} les plus élevées. En effet, il est important de réduire les capacités, ce sont elles qui sont chargées, réduisant la vitesse de commutation. Elles sont l'image du temps de commutation du transistor.

Au niveau de l'amplificateur de puissance, il est nécessaire de tenir compte d'éléments parasites supplémentaires, en particulier, l'inductance de source L_s correspondant à la connexion de la source du transistor à la masse externe. Du point de vue «circuit», le gain en puissance (G_p) et l'impédance (Z_{in}) ne sont pas seulement dépendants des éléments capacitifs composant le transistor. En effet, si on considère un LDMOS en négligeant la résistance de grille R_g , avec une inductance de source L_s et une charge optimale Z_{Lopt} , le gain en puissance et l'impédance d'entrée sont définis à une fréquence $f = \frac{\omega}{2\pi}$ par les Équations III-5 [Mul06] :

$$(a) G_p = 10.\log \left[1 + \frac{g_m.R_{Lopt}}{L_s.C_{in}.\omega^2} \right]$$

$$(b) Z_{in} = R_g + \frac{g_m.L_s}{C_{in}} + j \frac{1 - L_s [C_{gs} - g_m.R_{Lopt}.C_{ds}]\omega^2}{C_{in}.\omega}$$

avec (c) $C_{in} = C_{gs} + (1 + g_m.R_{Lopt})C_{gd}$ et (d) $Z_{Lopt} = R_{Lopt} + jX_{Lopt}$

Équations III-5 : Expression du gain en puissance, de l'impédance d'entrée et de la capacité d'entrée

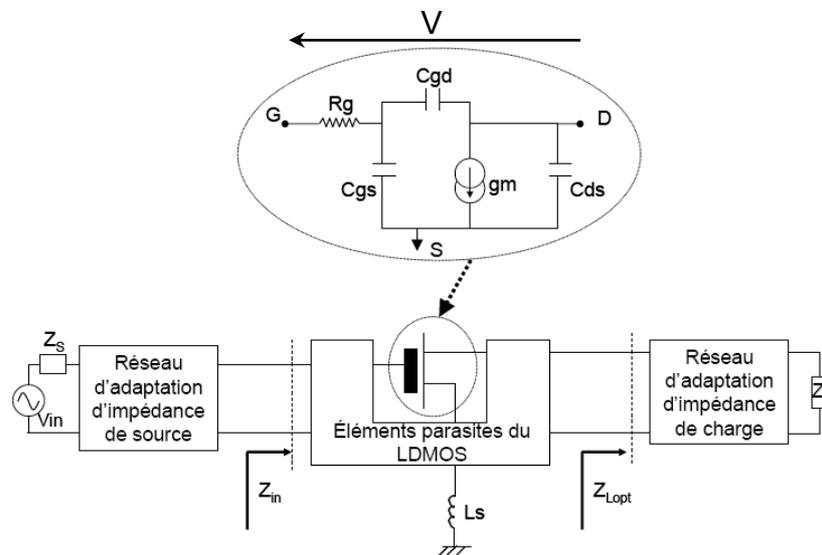


Figure III-42 : Schéma quasi-statique représentatif d'un montage amplificateur de puissance

Les Équations III-5 montrent un fort impact de la capacité C_{in} sur le gain en puissance G_p et l'impédance d'entrée Z_{in} . La capacité C_{in} est elle-même fonction des capacités C_{gd} et C_{gs} .

La capacité C_{gd} joue un rôle majeur sur la vitesse de commutation du composant. Vue de l'entrée, elle se retrouve multipliée par le gain en tension de l'amplificateur (effet Miller). Plus la capacité C_{gd} sera importante, plus le gain en puissance G_p sera faible et les performances en terme de PAE dégradées.

Le second inconvénient d'une capacité C_{in} trop élevée est l'obtention d'une faible impédance d'entrée Z_{in} , ce qui pénalise la réalisation du réseau d'adaptation entre l'étage de puissance et l'étage de pré-amplification (augmentation des pertes, réduction de la bande passante).

Il est important de noter qu'en SOI, grâce aux excellents facteurs de qualité obtenus, la contrainte est en partie relâchée sur le transistor.

La minimisation de C_{in} (donc de C_{gd} et de C_{gs}) est ainsi un critère de première importance à la fois pour l'amélioration des performances petit-signal et grand-signal.

La Figure III-43 ([Ves02]) illustre la variation de la fréquence de transition et de la fréquence maximale d'oscillation en fonction de la variation des paramètres petits signaux tels que la transconductance, les capacités C_{ds} , C_{gs} et C_{gd} et également la résistance R_d . La résistance de drain R_d considérée est à la fois la contribution de la résistance de contact de drain et la contribution introduite par l'extension de drain. Une réduction de R_d – à capacités constantes – aura pour effet une augmentation des fréquences f_T et F_{MAX} , et bien évidemment, du paramètre statique Ron.

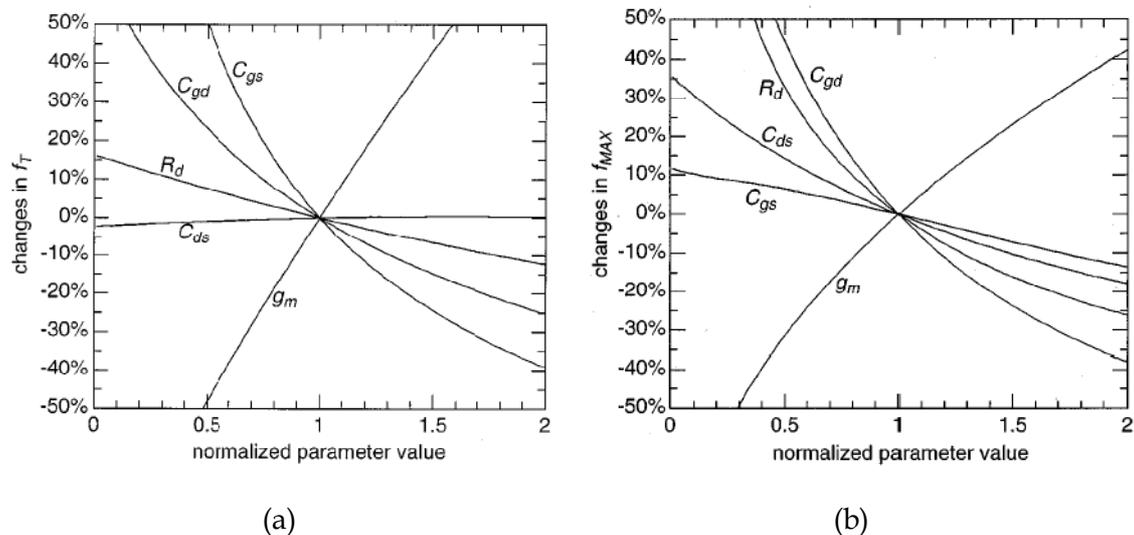


Figure III-43 : Influence des capacités parasites, de g_m et de R_d sur f_T (a) et F_{MAX} (b)

D'autre part, f_T et F_{MAX} sont sensibles à l'augmentation de la transconductance g_m . Elle peut être améliorée par la simple réduction de la longueur de canal du dispositif, ce qui peut néanmoins engendrer une dégradation des courants de fuite.

La réduction de la capacité C_{gd} a un impact positif à la fois sur f_T et F_{MAX} . Cette capacité est constituée de deux principales composantes : une (C_{ov}) provenant du recouvrement grille/drain, l'autre (C_{fringe}) de l'interaction entre la grille et le contact de drain.

Un des derniers paramètres qui influence f_T et F_{MAX} est la capacité C_{ds} . Elle représente la capacité entre le drain et la source, c'est-à-dire la capacité constituée des capacités des jonctions drain/extension, *body*/extension et *body*/source (ainsi que la jonction extension/substrat en technologie massive, avec le substrat relié à la source). Cette capacité est réduite notamment par la réduction de la surface des jonctions.

Enfin, la capacité C_{gs} joue un rôle important sur la fréquence de transition f_T . La réduction de cette capacité, relative à l'oxyde de grille, peut être envisagée par la diminution de la capacité d'oxyde ou encore par la réduction de la longueur du canal.

Cette partie concerne la caractérisation RF à petit signal. La variation des principaux paramètres devant influencer les performances (ici f_T et F_{MAX}) est étudiée. Toutes les structures ont une largeur totale de 100 μ m et sont placées dans un environnement adéquat pour optimiser le fonctionnement en haute-fréquence. Comme le montre la Figure III-44, les métallisations sont réalisées de telle sorte que les capacités soient minimales.

Les connexions de grille et de drain viennent de chaque côté de la structure. La source se connecte à 90° par rapport à elles et est reliée à la masse.

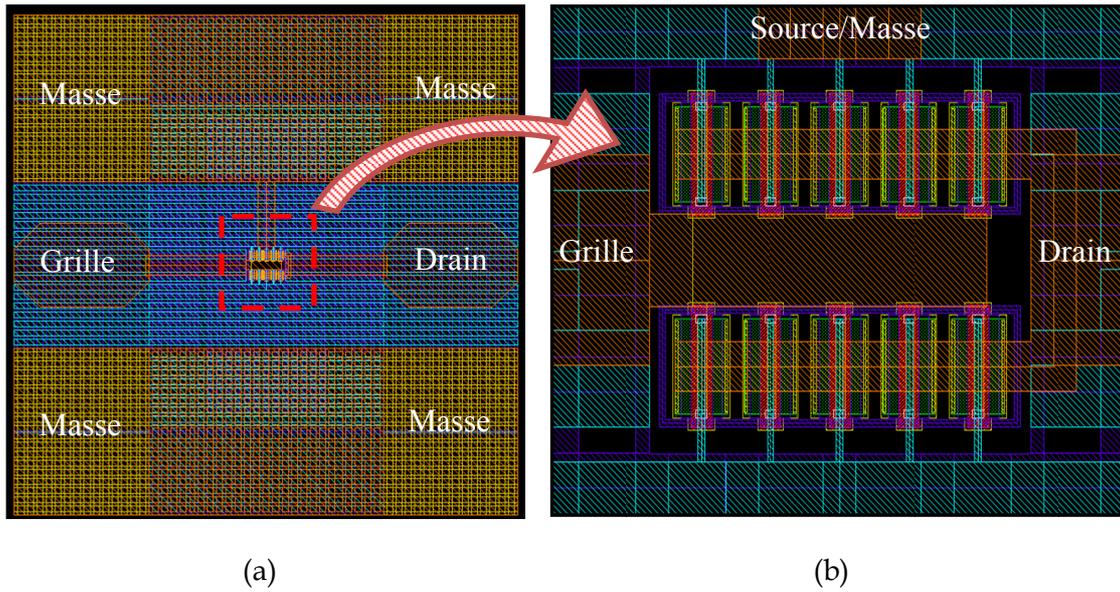


Figure III-44 : (a) Structure de test avec les métallisations optimisées pour les performances RF
 (b) Zoom sur la structure (ici 10 transistors de 10µm, structure standard)

La structure standard, sur laquelle toutes nos comparaisons vont se baser, est la suivante :

- Largeur $W_{grille}=2 \times W_u=5\mu\text{m}=10\mu\text{m}$ avec un nombre de transistors en parallèle : 10
- Largeur totale est donc $W_{total}=100\mu\text{m}$
- $L_{ext}=0,6\mu\text{m}$
- Recouvrement grille/extension : $0,25\mu\text{m}$
- Recouvrement oxyde de protection/grille : $0,1\mu\text{m}$

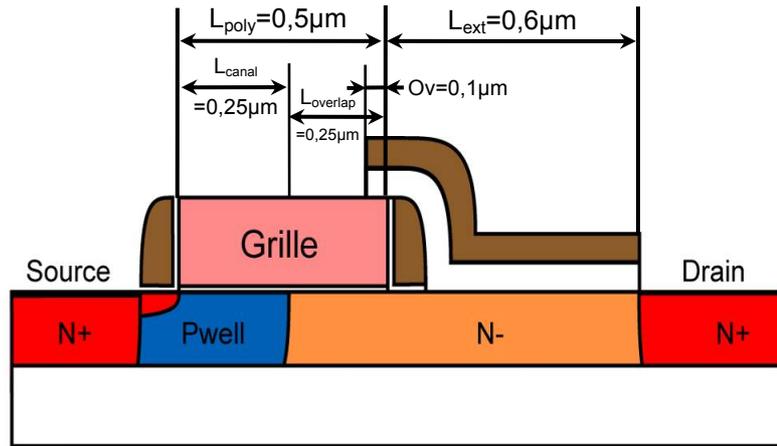


Figure III-45 : Coupe de la structure standard

Les performances RF sont présentées sur le Tableau III-4 (et la Figure III-46).

V_D (V)	F_t (GHz)	F_{max} (GHz)	V_G (V) @ F_{tmax}	I_D (mA) @ F_{tmax}	I_{Dmax} (mA)
2,5	15,70	24,82	1,10	7,864	36,52
3,6	17,77	34,82	1,10	9,516	39,92
5	19,10	52,83	1,10	10,31	40,68

Tableau III-4 : Résultats RF petit-signal de la structure standard

À une tension de drain de 5V, la fréquence de coupure f_T est de 19,10GHz avec une fréquence F_{MAX} de 53GHz. La valeur de f_T est à un niveau satisfaisant. En ce qui concerne F_{MAX} , elle atteint un niveau élevé, grâce à, comme nous l'avons vu au début de ce chapitre (Figure III-2), une grille totalement siliciurée. Ce résultat démontre la faisabilité d'un transistor LDMOS SOI 65nm pour les applications RF visées.

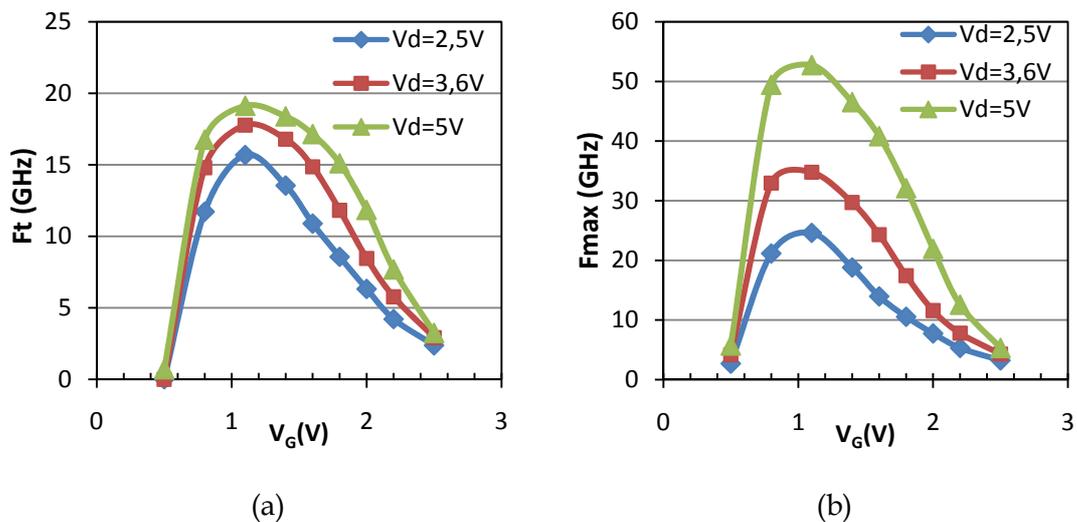


Figure III-46 : F_t (a) et F_{max} (b) en fonction de la tension de grille

Nous allons à présent étudier l'impact de la variation des différents paramètres présentés ci-dessus, dans l'objectif de sélectionner la meilleure structure pour une caractérisation en puissance (grand-signal).

4.1. Étude de l'impact de la largeur W (à W_{total} constant)

Dans cette étude, la largeur du transistor varie avec le nombre de transistors pour garantir une largeur totale de $100\mu\text{m}$ (Figure III-47).

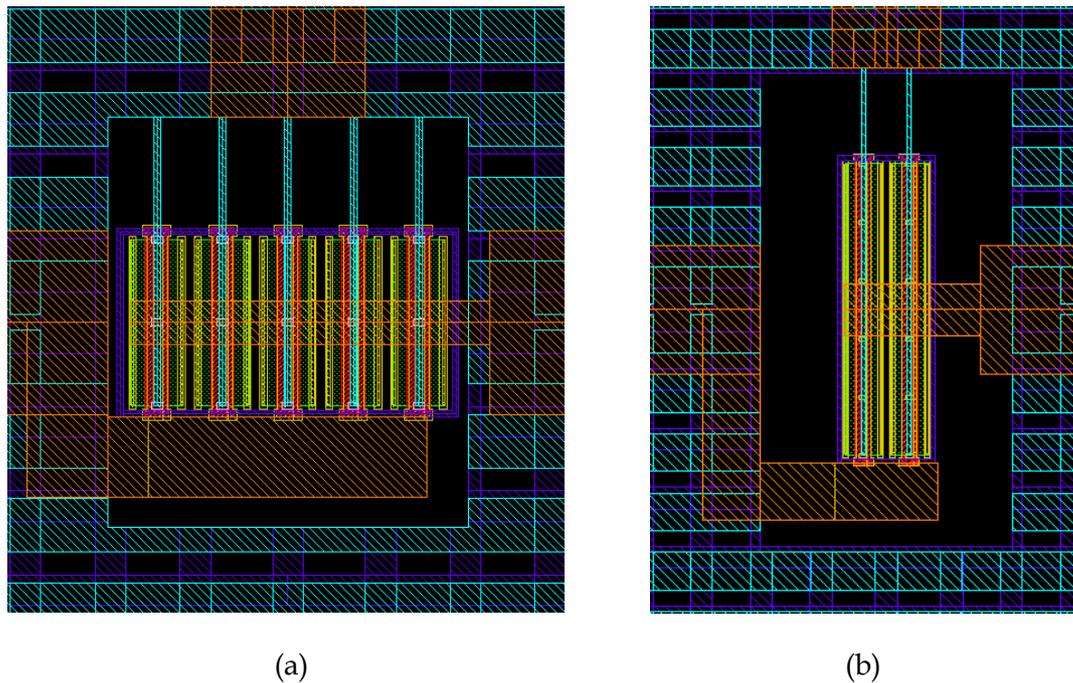


Figure III-47 : Structures RF avec (a) 5 transistors en parallèle ($W_{grille}=2 \times 10\mu\text{m}=20\mu\text{m}$) et (b) 2 transistors en parallèle ($W_{grille}=2 \times 25\mu\text{m}=50\mu\text{m}$)

Les Tableau III-5 et Tableau III-6 présentent les résultats RF petit-signal de deux structures : l'une avec cinq transistors et l'autre avec deux (le tout à W_{total} constant).

V_D (V)	F_t (GHz)	F_{max} (GHz)	V_G (V) @ F_{tmax}	I_D (mA) @ F_{tmax}	I_{Dmax} (mA)
2,5	15,70	22,52	1,10	7,795	35,68
3,6	17,76	31,33	1,10	9,387	38,92
5	19,11	50,08	1,10	10,14	39,38

Tableau III-5 : Résultats RF petit-signal de la structure $W=2 \times 10\mu\text{m}$ avec 5 transistors en parallèle

V_D (V)	F_t (GHz)	F_{max} (GHz)	V_G (V) @ F_{tmax}	I_D (mA) @ F_{tmax}	I_{Dmax} (mA)
2,5	15,52	15,89	1,1	7,622	34,86
3,6	17,61	21,96	1,1	9,143	38,04
5	19,06	34,47	1,1	9,865	38,21

Tableau III-6 : Résultats RF petit-signal de la structure $W=2 \times 25 \mu\text{m}$ avec 2 transistors en parallèle

En modifiant le nombre de transistors en parallèle, cela change la largeur de chaque transistor. Ainsi, la résistance de grille est différente pour chaque cas. Plus le nombre de transistors est élevé, moins ils sont larges et donc plus la résistance de grille est faible. La fréquence f_T est constante, quel que soit le nombre de transistors en parallèle. Ceci confirme le comportement décrit par l'Équations III-4a (f_T ne dépend pas de R_g).

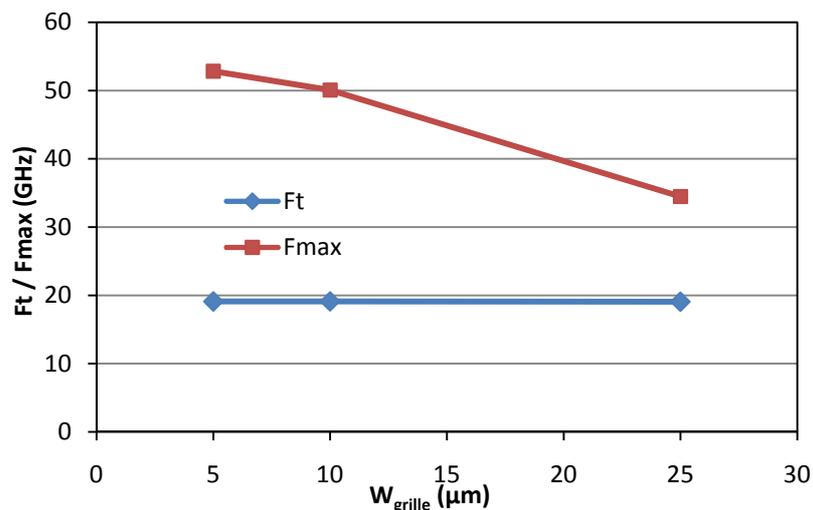


Figure III-48 : Évolution de F_t et F_{max} en fonction de la largeur du transistor (à W_{total} constant et $V_D=5V$)

Par contre, moins ces mêmes transistors sont larges (i.e. moins la grille est large) et meilleure est la fréquence F_{MAX} (Figure III-48). La dépendance avec la résistance de grille est donc encore ici centrale. Une faible résistance de grille permet d'obtenir une fréquence F_{MAX} maximale. La structure standard ($W=2 \times 5 \mu\text{m}$) est, dans cette étude, le meilleur cas.

4.2. Réduction de la longueur de l'extension L_{ext}

La structure standard est comparée avec une structure identique, mais avec une extension de drain moins longue.

V_D (V)	F_t (GHz)	F_{max} (GHz)	V_G (V) @ F_{tmax}	I_D (mA) @ F_{tmax}	I_{Dmax} (mA)	Structure standard ($L_{ext}=0,6\mu m$ et $Ov=0,1\mu m$)	
						F_t (GHz)	F_{max} (GHz)
2,5	17,06	28,47	1,10	7,845	40,10	15,70	24,82
3,6	18,79	39,66	1,10	9,543	41,69	17,77	34,82
5	19,63	56,74	1,10	10,25	41,44	19,1	52,83

Tableau III-7 : Résultats RF petit-signal de la structure avec $L_{ext}=0,4\mu m$ et $Ov=0,1\mu m$

En réduisant la longueur de l'extension, le gain sur la fréquence de transition est négligeable. L'amélioration - légère - obtenue pour la fréquence maximale d'oscillation est due à la diminution de la résistance de l'extension, ce qui augmente la transconductance g_m et surtout diminue la résistance d'extension R_d . La Figure III-43a confirme ce comportement : une réduction de 30% de la résistance de l'extension a peu d'effet sur f_T mais beaucoup plus sur F_{MAX} .

La réduction de L_{ext} entraîne une réduction de la tension de claquage, ce qui écarte définitivement cette variation de géométrie.

4.3. Réduction du recouvrement oxyde de protection/grille (Ov)

Cette étude concerne la réduction du recouvrement oxyde de protection/grille, noté Ov sur la Figure III-45. Ce paramètre est réduit à une valeur nulle.

Le Tableau III-8 présente les résultats obtenus.

V_D (V)	F_t (GHz)	F_{max} (GHz)	V_G (V) @ F_{tmax}	I_D (mA) @ F_{tmax}	I_{Dmax} (mA)	Structure standard ($L_{ext}=0,6\mu m$ et $Ov=0,1\mu m$)	
						F_t (GHz)	F_{max} (GHz)
2,5	20,40	36,46	1,10	8,042	36,69	15,70	24,82
3,6	22,44	48,14	1,10	10,06	39,9	17,77	34,82
5	22,55	64,4	1,10	12,28	40,58	19,10	52,83

Tableau III-8 : Résultats RF petit-signal de la structure avec $Ov=0$

La fréquence de coupure f_T est augmentée de 3 à 5GHz par rapport aux mesures de la structure standard. La réduction de ce recouvrement a donc plusieurs impacts. En effet, la grille est mieux siliciurée et son dopage est plus complet. Cela permet ainsi de réduire la résistance de grille ce qui donc améliore F_{MAX} , mais aussi d'améliorer la résistance passante R_{on} .

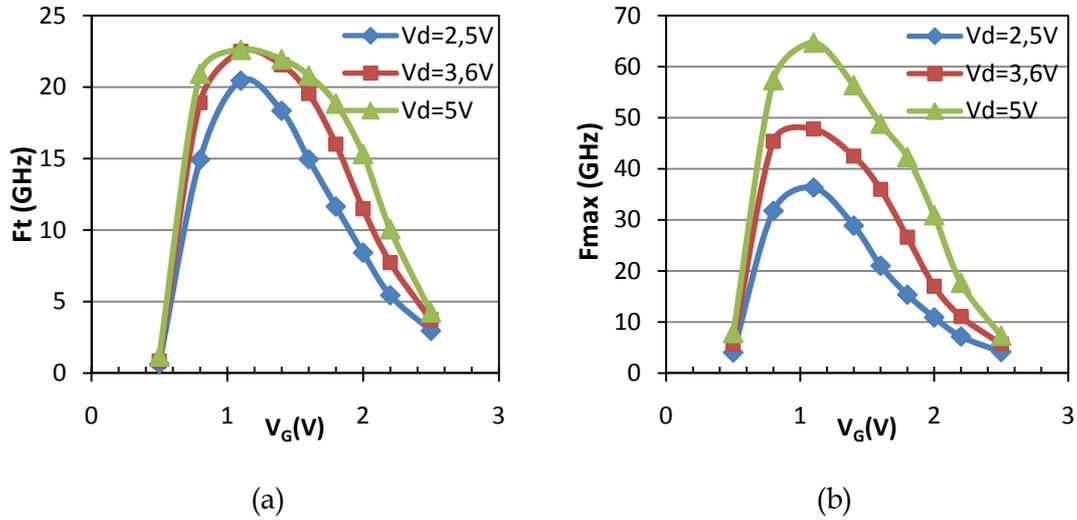


Figure III-49 : F_t (a) et F_{max} (b) en fonction de la tension de grille pour la structure $Ov=0$

Ensuite, l'effet de l'utilisation d'un SOI mince semble jouer un rôle. En effet, l'effet conjoint de l'oxyde enterré et de la grille permet d'écraner le canal de la tension de drain, grâce à la zone de l'extension recouverte par la grille.

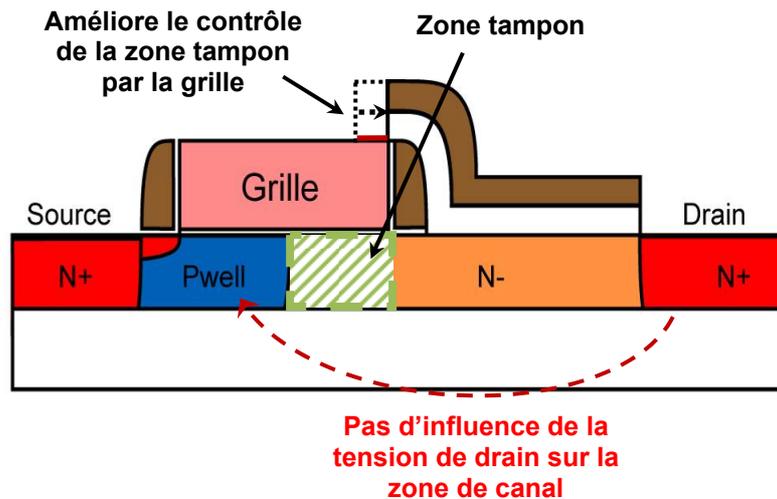


Figure III-50 : Illustration de l'effet d'écran de la zone tampon

Ainsi, la réduction du paramètre Ov modifie les lignes de champ en bord de grille en appliquant un potentiel sur une plus grande zone, ce qui accroît l'influence

de la grille par rapport au drain. L'efficacité de cet effet est améliorée, la capacité C_{gd} diminuée, et donc f_T augmenté.

Ce phénomène est analogue à celui décrit pour la tenue en tension. Des études complémentaires sont cependant nécessaires pour le comprendre et le confirmer.

Cette structure devient notre référence, les comparaisons suivantes se font avec elle.

4.4. Etude des transistors LDMOS flottant

Cette étude se penche sur le comportement RF de transistors LDMOS SOI flottants. Le Tableau III-9 présente les résultats des mesures de fréquence de coupure de LDMOS sans prise de substrat.

V_D (V)	F_t (GHz)	F_{max} (GHz)	V_G (V) @ F_{tmax}	I_D (mA) @ F_{tmax}	I_{Dmax} (mA)	Référence ($L_{ext}=0,6\mu m$ et $Ov=0$)	
						F_t (GHz)	F_{max} (GHz)
2,5	20,94	31,05	1,10	10,70	45,89	20,40	36,46
3,6	22,29	37,93	1,10	15,50	46,60	22,44	48,14
5	20,66	42,74	1,10	20,96	46,32	22,55	64,40

Tableau III-9 : Résultats RF petit-signal de la structure flottante

Ces transistors flottant ont été réalisés en remplaçant l'implantation P+ (du contact substrat) par une implantation N+. Ainsi la zone de canal n'est plus contactée mais la largeur du transistor est plus importante. La résistance de grille est alors plus élevée que pour notre référence. La fréquence maximale d'oscillation est donc plus faible pour les transistors flottant.

De plus, l'augmentation de la largeur de grille implique une augmentation de la transconductance g_m avec surface de polysilicium plus importante. Le rapport $\frac{g_m}{C}$ est donc constant, de même que la fréquence de transition.

4.5. Réduction du recouvrement grille/extension (avec Ov nul)

Cette étude concerne la réduction de la capacité C_{gd} , via la réduction du recouvrement grille/extension ($L_{overlap}=0,15\mu\text{m}$ avec $L_{poly}=0,4\mu\text{m}$). De plus le paramètre Ov est nul pour pouvoir le comparer avec notre référence.

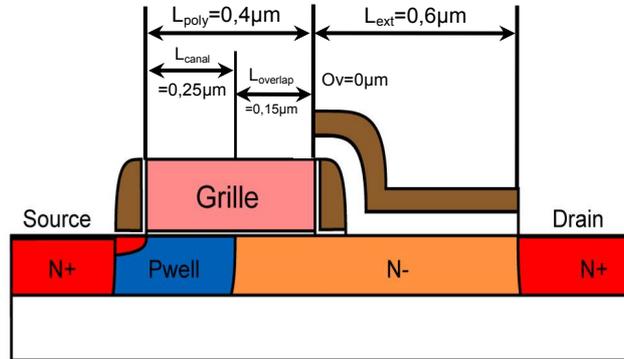


Figure III-51 : Transistor LDMOS avec $L_{overlap}$ réduit à $0,15\mu\text{m}$

V_D (V)	F_t (GHz)	F_{max} (GHz)	V_G (V) @ F_{tmax}	I_D (mA) @ F_{tmax}	I_{Dmax} (mA)	Référence ($L_{ext}=0,6\mu\text{m}$ et $Ov=0$)	
						F_t (GHz)	F_{max} (GHz)
2,5	20,34	35,54	1,10	7,97	36,65	20,40	36,46
3,6	22,37	47,17	1,10	10,01	39,82	22,44	48,14
5	22,48	58,79	1,10	12,23	40,47	22,55	64,40

Tableau III-10 : Résultats RF petit-signal de la structure avec $L_{overlap}=0,15\mu\text{m}$ (et $Ov=0$)

La fréquence maximale d'oscillation est réduite avec $L_{overlap}$, du fait de l'augmentation de la résistance de grille, par diminution de L_{poly} (Figure III-51).

Pour la fréquence de transition, les mesures du transistor à recouvrement de $0,15\mu\text{m}$ et la référence sont sensiblement identiques. La réduction de la longueur $L_{overlap}$ n'a ainsi pas d'influence sur les performances RF, ceci étant dû à des effets contradictoires. La réduction du recouvrement grille/extension tend à réduire la capacité C_{gd} . Cependant, cette réduction diminue l'effet d'écran décrit précédemment, augmentant alors l'influence de la tension de drain.

L'expression de la capacité grille-drain est définie par le rapport entre la variation de la quantité de charge au niveau de la grille sur une variation de la tension de drain : $C_{gd} = \frac{dQ_G}{dV_D}$. Pour diminuer C_{gd} , deux solutions sont possibles : soit

le nombre de charges est réduit en diminuant le recouvrement grille-extension, soit la tension de la zone d'extension située sous la grille (qui est lié à la tension de drain) est réduite.

Dans d'un SOI mince, la réduction du recouvrement grille/extension agit sur les deux paramètres de manière opposée, ce qui explique que la fréquence de transition soit identique pour L_{overlap} égal $0,15\mu\text{m}$ et $0,25\mu\text{m}$.

4.6. Conclusion

Une étude des performances RF petit-signal a été présentée dans cette partie. Elle a permis de déterminer la meilleure structure disponible. Cette structure a une largeur minimale ($2 \times 5\mu\text{m}$) pour réduire la résistance de grille, la longueur de l'extension est de $0,6\mu\text{m}$, le recouvrement oxyde de protection/grille est nul et le recouvrement grille/extension est de $0,25\mu\text{m}$.

La Figure III-52 présente les différentes performances des transistors RF dans l'industrie.

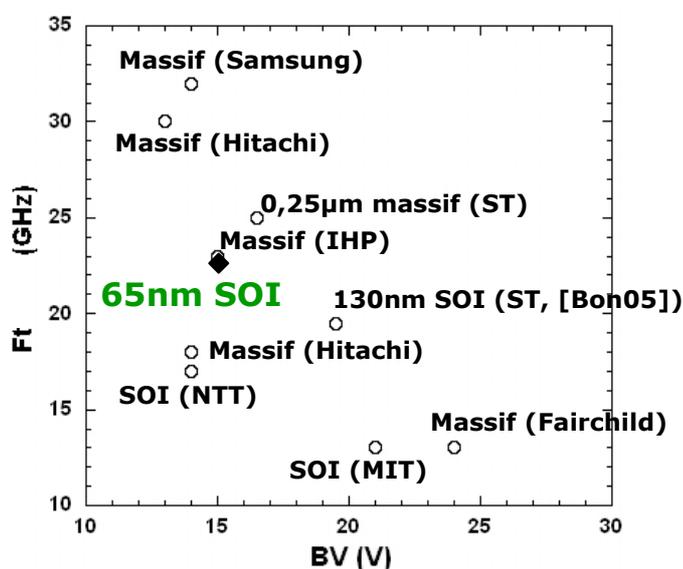


Figure III-52 : Comparaison des performances des transistors RF dans l'industrie (Source : Rapport interne)

Les transistors 65nm SOI présentés ici se trouvent dans la tendance f_T / BV de l'industrie. De plus, cela montre que le film SOI fin ne dégrade en rien les

performances et qu'il reste encore une marge de progression (les technologies présentées ici sont matures). En effet, nous pouvons d'ores et déjà prévoir des améliorations portant sur la réduction de la longueur de canal, par l'ajout d'un espaceur spécifique côté drain pour réduire l'influence de la capacité liée à la hauteur de grille par rapport au drain. Un effet d'écran entre le canal et la tension de drain a été aussi mis en avant, ce qui rend inutile la réduction du recouvrement grille/extension. Dans le même temps, l'utilisation d'une grille métallique peut être anticipée pour réduire la résistance de grille et augmenter F_{MAX} .

Il reste cependant des caractérisations grand-signal (en puissance) à réaliser.

(cf. présentation de la soutenance)

5. CONCLUSION

Le comportement électrique du composant a été décrit ici. Pour sa fabrication, seules deux étapes d'implantation sont nécessaires. Ces étapes s'insèrent après la définition des caissons et juste avant les oxydations de grille. Nous avons vu, dans une première partie, son fonctionnement statique. Différentes géométries ont été testées, permettant de choisir la meilleure structure. Ensuite les performances statiques des transistors N et P sont optimisées et présentées. Les deux transistors complémentaires montrent de très bonnes caractéristiques statiques, sans dégradations dus à l'utilisation d'un SOI fin. Pour expliquer cela, une étude du comportement de claquage a été effectuée. En effet, sur une certaine plage, la tension de claquage augmente avec le dopage de l'extension. Ce phénomène est dû conjointement à l'effet de l'oxyde enterré et au pincement de la zone d'extension recouverte par la grille. Cela permet de répartir uniformément les lignes de potentiel tout au long de l'extension de drain. Le substrat peut être vu comme une capacité, soutenant une partie de la tension appliquée sur le drain. De plus, pour des épaisseurs de SOI et de BOx donné, il existe un compromis de dopage pour lequel l'impact de ce phénomène est maximal sur la tenue en tension. Ainsi, si les épaisseurs sont réduites pour les prochaines générations, cet effet nous permettrait de fabriquer des composants compétitifs.

Ensuite, les effets flottants et leur contrôle a été étudié dans une deuxième partie. La maîtrise de ces effets est un aspect spécifique et importante pour une technologie SOI analogique. Les caractéristiques $I_D(V_D)$ sont dégradées si l'espacement inter-contact est trop important. Un compromis a donc été trouvé qui permette de réduire l'effet *Kink* et de garantir la tension de claquage, tout en occupant une surface minimale.

Enfin, nous nous sommes intéressés aux performances en hautes fréquences. L'optimisation des paramètres géométriques a montré une influence de la bicouche de protection de la siliciuration. De plus, le transistor montre des bonnes fréquences de coupure et se trouve dans la tendance f_T / BV de l'industrie.

BIBLIOGRAPHIE

- [Boi06] L. Boissonnet, F. Judong, B. Vandelle, L. Rubaldo, P. Bouillon, D. Dutartre, A. Perrotin, G. Avenier, P. Chevalier, A. Chantre et B. Rauber, "A 0.13 μ m thin SOI CMOS technology with low-cost SiGe:C HBTs and complementary high-voltage LDMOS", Proc. of the BCTM, 2006, pp. 1-4.
- [Bon05] O. Bon, L. Boissonnet, O. Gonnard, S. Chouteau, B. Reynard, A. Perrotin et C. Raynaud, "High voltage devices added to a 0.13 μ m high resistivity thin SOI CMOS process for mixed analog-RF circuits", Proc. of the SOI conference, 2005, pp. 171-173.
- [Bon07a] O. Bon et O. Gonnard, "Etude électrique de DMOS latéraux complémentaires en technologie 65nm sur substrat « Silicium sur Isolant » pour des applications faible puissance", Proc. of the JNRDM, 2007, p. 47.
- [Bon07b] O. Bon, O. Gonnard, F. Gianesello, C. Raynaud et F. Morancho, "First 15V complementary LDMOS transistors in thin SOI 65nm low power technology", Proc. of the ISPSD, 2007, pp. 209-212.
- [Bon07c] O. Bon, O. Gonnard, L. Boissonnet, F. Dieudonné, S. Haendler, C. Raynaud et F. Morancho, "RF Power NLDMOS Technology Transfer Strategy from the 130nm to the 65nm node on thin SOI", Proc. of the SOI conference, 2007, pp. 61-62.
- [Cai05] J. Cai, M. Harley-Stead, J. Woloszyn et S. Park, "High Performance Isolated LDMOS with Source Spacer and Asymmetric Hetero-doped Architectures", Proc. of the ISPSD, 2005, pp. 343-346.
- [Gha85] M. Gharbi, "La tenue en tension et le calibre en courant du transistor MOS vertical dans la gamme de tension (300V à 1000V)", Thèse de doctorat de l'Université Paul Sabatier de Toulouse, 1985.
- [Gre05] C. Grellu, N. Baboux, R.A. Bianchi et C. Plossu, "Low switching losses devices architectures for power management applications integrated in a low cost 0.13 μ m CMOS technology", Proc of the ESSDERC, 2005, pp. 477-480.
- [Hua05] R. Huang, H. Liao et G. Zhang, "SOI CMOS technology for RF/MMIC applications - yes or no?", Proc. of the ESSDERC, 2005, pp. 241-244.
- [Let05] T. Letavic, R. Cook, R. Brock, H. Effing et R. Einerhand, "20V Asymmetric Complementary Power Device Implementation within a 0.25 μ m CMOS Technology for Power Management", Proc. of the ISPSD, 2005, pp. 367-370.

- [Mat01] S. Matsumoto, "RF Performance of a State-of-the-Art 0.5 μ m-Rule Thin-Film SOI Power MOSFET", Proceedings of the IEEE Electron Device Letters, 2006, Vol. 48, No. 6, pp. 1251-1255, June 2001.
- [Mor04] F. Morancho, "De nouvelles limites pour le compromis « résistance passante spécifique / tenue en tension » des composants unipolaires de puissance", Habilitation à Diriger des Recherches, Université Paul Sabatier, 2004.
- [Mu06] D. Muller, "Optimisation des potentialités d'un transistor LDMOS pour l'intégration d'amplificateur de puissance RF sur silicium", Thèse de doctorat de l'Université de Limoges, Octobre 2006.
- [Pan06] R. Pan, B. Todd, H. Pinghai, R. Higgins, D. Robinson, V. Drobny, T. Weidong, W. Jianglin, J. Mitros, M. Huber, S. Pillai et S. Pendharkar, "High Voltage (up to 20V) Devices Implementation in 0.13 μ m BiCMOS Process Technology for System-On-Chip (SOC) Design", Proc. of the ISPSD, 2006, pp. 1-4.
- [Roz00] O. Rozeau, "Caractérisation et Modélisation en Radiofréquence de Composants Intégrés en Technologie Silicium-Sur-Isolant", Thèse de doctorat de l'Institut National Polytechnique de Grenoble, Novembre 2000.
- [Sze06] B. Szelag, D. Muller, J. Mourier, C. Arnaud, H. Bilgen, F. Judong, A. Giry, D. Pache, A. Monroy, "High RF performances asymmetric spacer NLD MOS integration in a 0.25 μ m SiGe:C BiCMOS Technology", Proc. of the BCTM, 2006, pp. 1 - 4.
- [Ves02] L. Vestling, J. Ankarcrona et J. Olsson, "Analysis and Design of a Low-Voltage High-Frequency LDMOS Transistor", IEEE Transactions on Electron Devices, Vol. 49, No. 6, June 2002, pp. 976-980.
- [Wes07] P.J.J. Wessels, "SOI based technology for Smart Power applications", Proc. of the SOI conference, 2007, pp. 5-7.
- [Zin01] R.P. Zingg, "New benchmark for RESURF, SOI and super-junction power devices", Proc. of the ISPSD, 2001, pp. 343-346.

CHAPITRE 4

Étude des phénomènes énergétiques et
thermiques

1. INTRODUCTION

Nous allons, dans ce chapitre, étudier la robustesse et la fiabilité des composants, en nous intéressant aux phénomènes thermiques et énergétiques qui ont lieu lors du fonctionnement.

Les transistors de puissance sont principalement prévus pour opérer à fort courant de drain et pour commuter ce courant sous une tension drain-source relativement proche de la limite de tension pour laquelle ils ont été initialement conçus. De plus, dans notre cas, le transistor est fabriqué sur un « îlot » de silicium fin, entouré d'un isolant thermique, l'oxyde de silicium. Cette caractéristique a deux principales implications : d'un part, l'évacuation de chaleur générée par le fonctionnement du composant est *a priori* dégradée ; d'autre part, le confinement du courant peut amener à un composant moins robuste.

Dans un premier temps, nous présentons une étude sur le comportement thermique du composant. Les paramètres influençant le comportement thermique sont identifiés et nous présenterons la dynamique de propagation de chaleur à l'intérieur du composant, depuis la mise en fonctionnement. Ensuite, le comportement énergétique est étudié. Le comportement de claquage est décomposé à l'aide de mesures pulsées, ce qui nous permet d'isoler les différents stades lors du claquage du composant. Enfin, une étude de fiabilité des composants est réalisée pour conclure ce chapitre.

2. ÉTUDE DE L'AUTOÉCHAUFFEMENT : PARAMÈTRES CLÉS ET

PROCESSUS DE PROPAGATION DE CHALEUR

2.1. Introduction : présentation du problème

Lorsque le composant fonctionne en régime linéaire, il dissipe une puissance électrique P égale au produit $V_D \cdot I_D$ et produit, de ce fait, un échauffement de la zone active.

Pour obtenir un fonctionnement sûr du transistor MOS en régime permanent de fonctionnement, il faut que sa température reste en-dessous d'une valeur maximale spécifiée (couramment 150°C , plus rarement 175°C). En effet, la valeur de cette température maximale est assez étroitement liée à la gamme des températures utilisables pour les composants de silicium.

Il ne faut, de plus, perdre de vue le fait qu'à 175°C , la concentration des porteurs intrinsèques dans le silicium est déjà 4000 fois supérieure à celle qui correspond à la température ordinaire de 30°C ; les courants de fuite augmentent donc en conséquence [Mor07].

Au niveau de l'application, l'échauffement du circuit a des impacts importants. La fiabilité peut être atteinte et les performances - voire l'intégrité du fonctionnement même - dégradées.

Dans cette partie, nous nous sommes donc appliqués à comprendre l'impact de l'ajout de la couche d'oxyde enterré sur l'évacuation de chaleur.

La Figure IV-1 présente deux modélisations de la résistance thermique pour une technologie SOI et pour une technologie massive [Ver06].

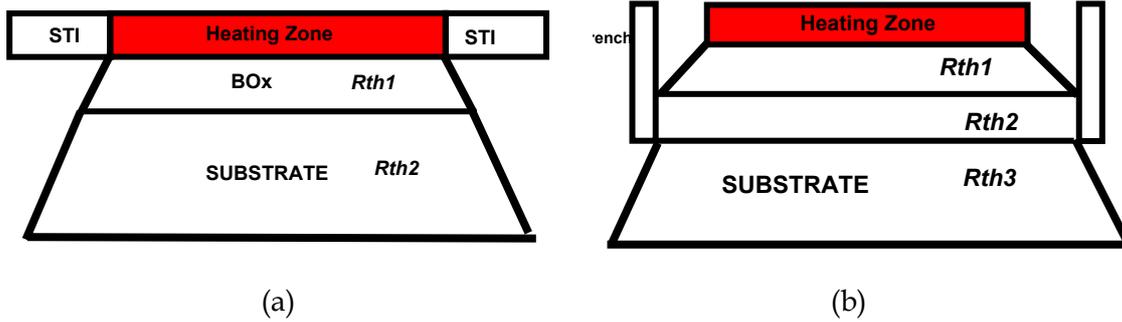


Figure IV-1 : Résistances thermiques pour une technologie SOI (a) et une technologie massive (b)

Alors que les résistances thermiques des différentes couches en jeu pour la technologie massive sont en silicium (conductivité thermique de $149 \text{ W.m}^{-1}.\text{K}^{-1}$ à température ambiante), pour la technologie SOI, la couche de BOx, réalisée en SiO_2 , à une conductivité thermique de seulement $1,38 \text{ W.m}^{-1}.\text{K}^{-1}$.

Cette couche est donc nettement plus isolante thermiquement qu'une couche de silicium et constitue une barrière à l'évacuation vers le substrat de la chaleur générée par l'autoéchauffement du composant. Il est clair que, pour une technologie SOI, la résistance thermique va augmenter.

Il est cependant difficile de prédire si cette résistance thermique (R_{TH}) va être plus faible ou plus élevée en technologie 65nm SOI [Bon07a] qu'en technologie 130nm SOI [Bon05]. Cette incertitude provient des effets opposés des réductions des épaisseurs des couches de SOI et de BOx, de la technologie 130nm à la technologie 65nm. En effet, une augmentation exponentielle de la résistance thermique R_{TH} avec la réduction de l'épaisseur de SOI a été démontrée expérimentalement jusqu'à $1\mu\text{m}$ pour une technologie de puissance [Leu91]. La réduction de l'épaisseur de SOI empêche le flux de chaleur de s'étendre le long de la couche de silicium et d'atteindre les contacts métalliques, qui agissent comme des centres d'évacuation de chaleur. En outre, une augmentation importante de R_{TH} pour des faibles valeurs d'épaisseur de SOI a été calculée pour des technologies submicroniques [Liu05].

D'un autre côté, la réduction de l'épaisseur de BOx permet une augmentation du flux de chaleur à travers le substrat de silicium. Cette épaisseur étant fixée pour réduire la capacité de couplage substrat au minimum, elle ne peut être diminuée pour améliorer les performances thermiques.

Une comparaison entre les performances thermiques en 130nm et en 65nm est réalisée pour comprendre l'impact de la présence d'une couche de silicium dans une technologie de puissance.

2.2. Description des procédures de mesures et de simulation

2.2.1. - Procédure de mesure

Pour mesurer expérimentalement la résistance thermique R_{TH} , la grille de polysilicium est utilisée comme capteur thermique. La méthode expérimentale nécessite deux contacts de grille, pour mesurer les variations de résistance thermique de grille par le biais d'un petit courant, celui-ci circulant perpendiculairement à la direction classique du courant de canal d'un LDMOS [Ang04].

Au départ, la résistance de grille est calibrée jusqu'à 125°C de température ambiante. Dans la procédure de calibration, l'augmentation de température causée par la puissance dissipée par la grille est négligée ($V_D=0V$ @ $V_G=2,5V$). Ensuite, le composant est chauffé par une rampe de V_D jusqu'à 5V à la température ambiante ($V_D=5V$ @ $V_G=2,5V$). L'autoéchauffement du composant modifie alors la résistance de grille, ce qui en retour permet l'extraction de la température et de R_{TH} . Il est important de noter que cette méthode ne mesure pas la température directement à l'intérieur de la couche de SOI. En conséquence, la valeur de résistance thermique mesurée au niveau de la grille peut sous-estimer la vraie valeur de R_{TH} , où le point le plus chaud se situe. Cet effet est étudié avec les simulations décrites dans la prochaine section.

2.2.2. - Procédure de simulation

Les simulations thermiques ont été réalisées en trois étapes. Tout d'abord, des simulations électriques ont été effectuées en utilisant la structure 3D développée précédemment, avec la zone définie par la ligne pointillée sur la Figure IV-2. De telles simulations incluent les différentes couches qui influencent le comportement électrique dans la zone active (SOI, BO_x , grille de polysilicium, oxyde de grille, substrat de support) et les concentrations de dopage sont définies dans la couche de

SOI. La structure comporte évidemment le contact substrat de type *iso-contact* (source et contact substrat court-circuités).

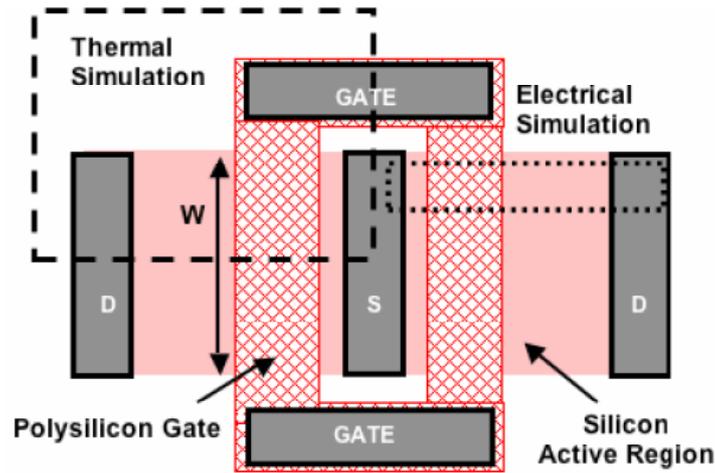


Figure IV-2 : Vue de dessus d'un LDMOS avec les zones utilisées par les différentes simulations

Ensuite, la distribution de la génération de chaleur est extraite à partir de ces simulations, réalisées dans les mêmes conditions de tension que l'expérience ($V_D=5V @V_G=2,5V$). La Figure IV-3 présente cette distribution de la génération de chaleur. Ainsi nous pouvons remarquer que la plupart de la chaleur générée est concentrée sur une bande, parallèle et proche des contacts de drain. La cause principale pour un tel confinement de chaleur est la déplétion verticale maximale, proche du drain et, par conséquent, de la densité des lignes de courant.

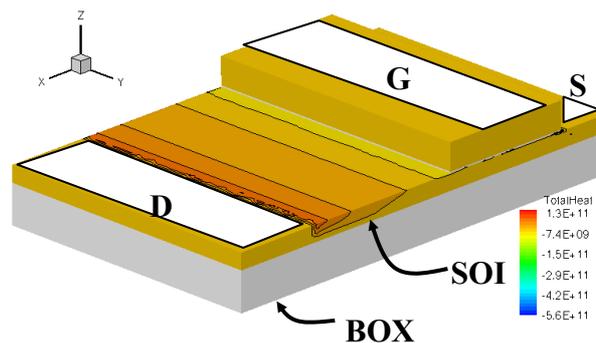


Figure IV-3 : Distribution de la génération de chaleur après avoir réalisé la simulation électrique de la structure LDMOS 3D

Enfin, des simulations thermiques sont réalisées avec la structure 3D définie par la ligne pointillée de la Figure IV-2. Une structure plus complète et détaillée est alors définie. Ainsi, tous les éléments qui influencent le comportement thermique, comme les contacts métalliques et le substrat de support, sont pris en compte. À

l'opposé des simulations électriques, les concentrations de dopants peuvent être omises, réduisant ainsi le nombre de points de maillage à évaluer. La distribution de génération de chaleur, observée précédemment, est alors approchée par une source uniforme de chaleur, plane, en surface de la couche active (Figure IV-4). La génération de chaleur par unité de surface (W/cm^2) est estimée à partir des simulations électriques (Tableau IV-1). Ensuite, la puissance totale dissipée est intégrée et divisée par la surface de la source de chaleur, c'est-à-dire $3,7 \cdot 10^5 W/cm^2$ pour des tensions de $V_D=5V @V_G=2,5V$. Concernant les conditions thermiques limites, toutes les frontières de la structure sont adiabatiques, excepté le dessous du substrat, celui-ci étant défini comme isotherme et fixé à la température ambiante ($27^\circ C$).

V_d (V)	Puissance délivrée dans $1\mu m$ (W) (valeurs extraites des simulations électriques)	Densité de puissance (W/cm^2)
4	$6 \cdot 10^{-4}$	$3 \cdot 10^5$
8	$1,3 \cdot 10^{-3}$	$6,5 \cdot 10^5$
12	$2 \cdot 10^{-3}$	$1 \cdot 10^6$

Tableau IV-1 : Valeurs calculées de la puissance totale dissipée pour un transistor LDMOS de $1\mu m$ de large, avec la densité de puissance correspondante pour différentes valeurs de tension de drain ($V_g=2,5V$)

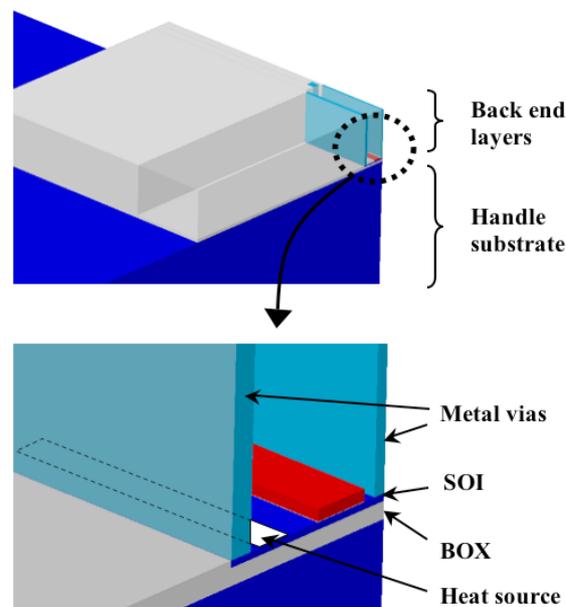


Figure IV-4 : Structure définie pour les simulations thermiques

2.3. Résultats et discussion

Les résultats de cette étude sont présentés dans cette partie.

2.3.1. - Régime stationnaire

En ce qui concerne la résistance thermique R_{TH} , une réduction significative a été trouvée lors du passage d'une technologie 130nm à une technologie 65nm. En ce sens, les résultats expérimentaux démontrent une réduction de 40% à 60%, celle-ci dépendant des différentes géométries du composant, tel qu'il est observé sur la Figure IV-5, la Figure IV-6 et la Figure IV-7.

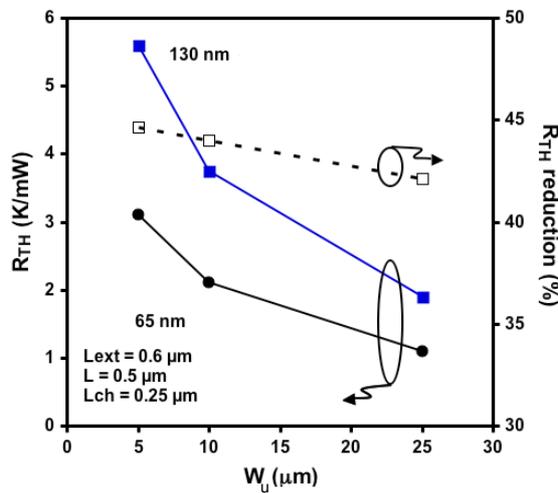


Figure IV-5 : Résistance thermique mesurée pour les deux technologies et réduction de résistance thermique en fonction de W_u

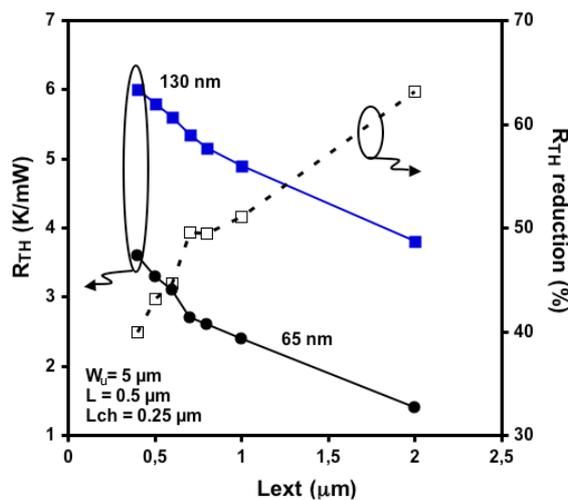


Figure IV-6 : Résistance thermique mesurée pour les deux technologies et réduction de résistance thermique en fonction de L_{ext}

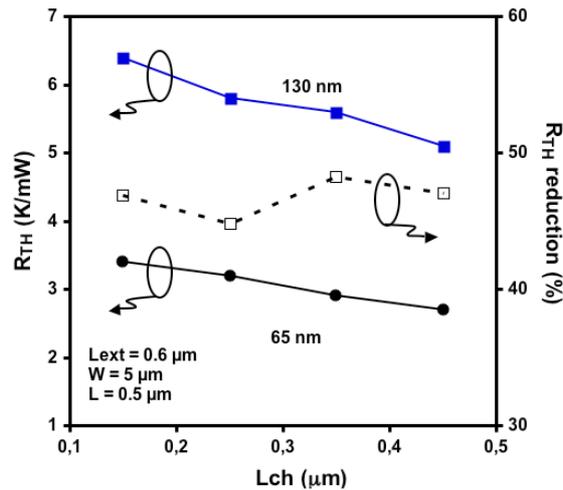


Figure IV-7 : Résistance thermique mesurée pour les deux technologies et réduction de résistance thermique en fonction de L_{canal}

Les résultats obtenus suivent la tendance prévue, montrant une faible résistance thermique pour une grande surface de dissipation, c'est-à-dire pour des grandes largeurs de transistors W , longueurs de canal L_{canal} et longueurs d'extension L_{ext} . Pour la structure standard ($W=10\mu\text{m}$, $L_{\text{ext}}=0,6\mu\text{m}$ et $L_{\text{canal}}=0,25\mu\text{m}$), la réduction de résistance thermique est approximativement de 45%. Ce résultat est pratiquement indépendant de W et de L_{canal} (Figure IV-5 et Figure IV-7). Toutefois, des variations non négligeables (de 40% à 60%) sont trouvées pour des longueurs d'extension L_{ext} de $0,4\mu\text{m}$ à $2\mu\text{m}$.

De plus, sur la Figure IV-8, la variation de la résistance thermique avec l'inverse de la surface active au carré est tracée. Ainsi, la résistance thermique de différents composants avec différentes surfaces active est proportionnelle à $\frac{1}{S^2}$. Cela souligne donc que la chaleur est principalement évacuée à travers l'oxyde enterré [Die06].

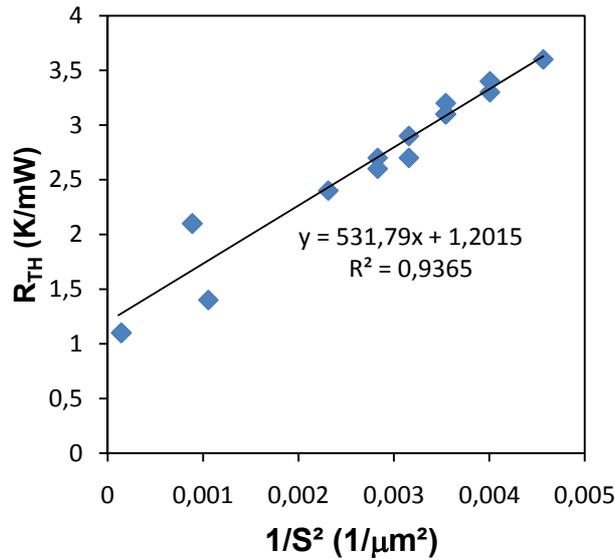


Figure IV-8 : Résistance thermique en fonction de l'inverse de la surface active au carré pour la technologie 65nm SOI

Comme nous l'avons déjà fait remarquer, les valeurs de résistance thermique sous-estiment la vraie valeur de R_{TH} , correspondant au point de température maximale (T_{MAX}), à l'intérieur de la couche active. Effectivement, ce point est localisé grâce à la simulation et se trouve dans la région de l'extension, près du drain [Roi06]. La résistance thermique (R_{TH_DIFF}) entre le point le plus chaud et le point où la mesure est prise (i.e. la grille) induit une erreur entre les mesures et la résistance thermique effective. Ainsi, la variation d'épaisseur de SOI et d'oxyde enterré entre les technologies 130nm et 65nm, induit des résistances thermiques R_{TH_DIFF} dissemblables et, par voie de conséquence, une erreur expérimentale.

Pour vérifier la validité des mesures, des simulations numériques ont été effectuées afin de comparer la réduction de R_{TH} provenant de la variation de température ΔT entre la grille et le point de T_{MAX} dans la couche de SOI. Dans une recherche de réalisme, les propriétés thermiques du silicium et de l'oxyde des couches de SOI et de BOx ont été modifiées en fonction de ces deux publications ([Liu05][Ten96]). En réalité, les conductivités thermiques des films minces sont plus petites que pour un matériau massif. Les résultats obtenus sont présentés sur la Figure IV-9.

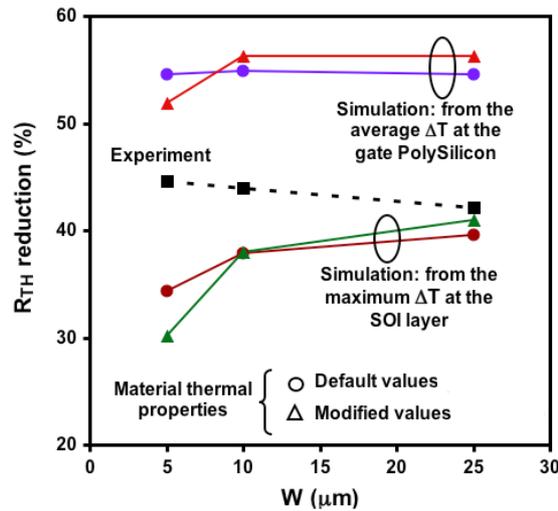


Figure IV-9 : Comparaison de la réduction de résistance thermique mesurée et simulée en fonction de la largeur du transistor W

La résistance thermique simulée dans la grille prévoit des valeurs entre 50% et 55% de réduction, à l'opposé des valeurs expérimentales qui vont de 40% à 45%. Les réductions obtenues au point de T_{MAX} sont encore plus faibles, celles-ci étant entre 30% et 40%. Ainsi, la réduction effective de R_{TH} dans la couche active est plus faible qu'à l'intérieur de la grille. En conséquence, les mesures surestiment la réelle diminution de résistance thermique. Il apparaît donc en définitive que la réduction de R_{TH} est de l'ordre de 30% et prend place dans la couche de SOI.

(W=10μm, V _d =4V)	130nm SOI	65nm SOI	Silicium massif
Propriétés thermiques par défaut			
ΔT (K)	67	42	9
R _{TH} (K/W)	5.5x10 ³	3.5x10 ³	0.75x10 ³
Propriétés thermiques modifiées par [Leu91][Liu95]			
ΔT (K)	107	79	9
R _{TH} (K/W)	9x10 ³	6.6x10 ³	0.75x10 ³

Tableau IV-2 : Variation de température et résistance thermique pour la technologie 130nm SOI, 65nm SOI et une technologie sans oxyde enterrée (de type massive), avec les propriétés thermiques par défaut et les propriétés thermiques rapportées de [Leu91][Liu95] pour des films fins (V_g=2,5V, V_d=4V, P=1,2.10²W)

De légères différences se retrouvent entre les simulations avec les valeurs de propriétés thermiques par défaut et les valeurs modifiées (Tableau IV-2). La variation des propriétés thermiques dans ces couches n'influe pas la réduction de la résistance thermique, parce qu'elles ont des effets opposés. Lorsque la conductivité thermique du SOI diminue, R_{TH_DIFF} augmente et la chaleur est forcée de circuler par d'autres voies (principalement à travers l'oxyde enterré). Cependant, cet effet est compensé par l'augmentation simultanée de la conductivité thermique de la couche d'oxyde enterré.

Pour conclure, la Figure IV-10 présente les résistances thermiques simulées pour les différentes épaisseurs de SOI et de BOx, ainsi que les mesures (étoiles) et la R_{TH} simulée pour une technologie massive.

Nous pouvons remarquer que l'effet de l'épaisseur de BOx est direct sur la valeur de la résistance thermique. En effet, en augmentant son épaisseur de 145nm à 400nm, quelque soit l'épaisseur de SOI, la résistance thermique augmente de 70% à 75%. Par contre, lorsque l'épaisseur de SOI est diminuée, la résistance thermique augmente alors seulement de 1% à 6%.

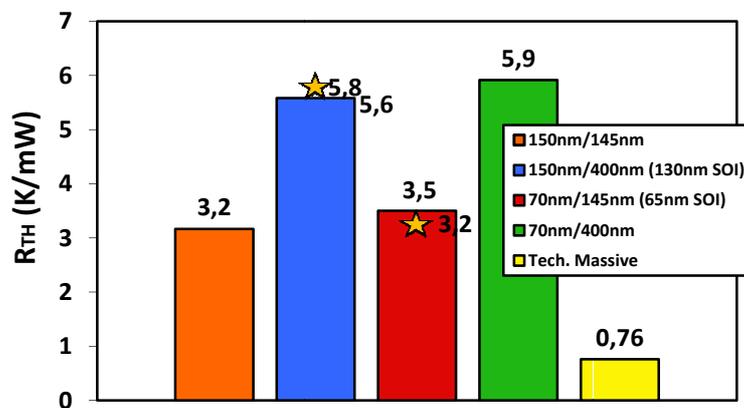


Figure IV-10 : Résistances thermiques pour différentes épaisseurs de SOI et pour une technologie massive ainsi que les mesures (étoiles)

Nous avons aussi simulé une structure sans oxyde enterré, c'est-à-dire une technologie massive, ce qui réduit considérablement la résistance thermique. Cette différence n'implique cependant pas que la réalisation de circuits fonctionnels soit impossible sur SOI. En effet, nous nous sommes intéressés ici uniquement au

comportement thermique du composant. En thermique, de nombreux paramètres interviennent, la conception du boîtier est, par exemple, très importante. Ainsi en intégrant un circuit dans un boîtier de type « *flip-chip* », l'évacuation de chaleur se fait alors en grande partie par les métallisations. La présence ou pas d'oxyde enterré est alors marginale d'un point de vue thermique.

2.3.2. - Régime dynamique

Nous nous sommes ensuite intéressés au comportement dynamique de l'évacuation de chaleur, pour comprendre la mécanique du flux au cours du temps. Dans le but de réaliser des simulations réalistes, la génération de chaleur a été définie comme ceci : une rampe de génération de chaleur se déroule en 18ns, ce qui correspond à peu près au temps de mise en mode passant du transistor. Après cette rampe initiale, la génération de chaleur est maintenue constante durant un temps pouvant être considéré comme suffisamment long pour atteindre le régime stationnaire.

La Figure IV-11 présente l'impédance thermique Z_{TH} simulée en fonction du temps, ainsi que le pourcentage de réduction entre ces deux technologies, pour une structure LDMOS standard et une puissance dissipée de 3.10^5 W/cm² ($V_D=5V$ @ $V_G=2V$).

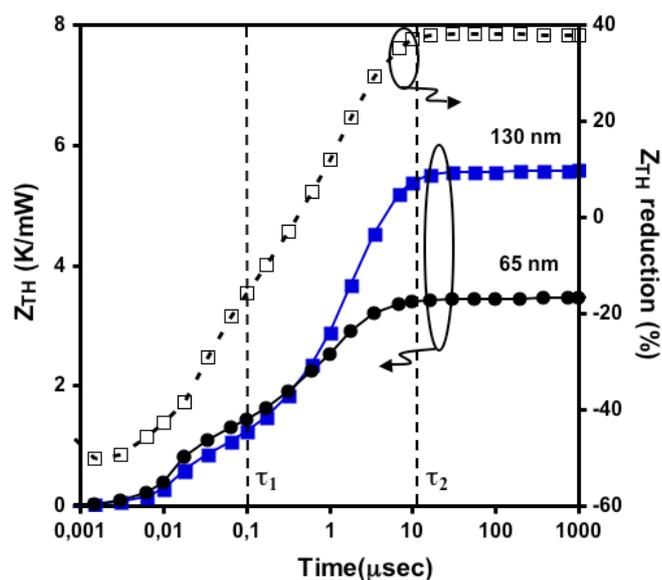


Figure IV-11 : Impédance thermique Z_{TH} et réduction d'impédance thermique entre les deux technologies en fonction du temps

Tout d'abord, différentes constantes thermiques sont observées, entre les deux technologies, sur l'évolution de l'impédance thermique Z_{TH} . En effet, nous pouvons reconnaître deux constantes thermiques, nommées τ_1 et τ_2 , qui sont, respectivement, de l'ordre de $10^{-1}\mu s$ et $10^1\mu s$. Pour un temps inférieur à τ_1 , la chaleur circule jusqu'au contact de drain. La résistance thermique dominante provient alors des conditions limites adiabatiques à l'extrémité supérieure de la métallisation de drain (voir Figure IV-12). Ensuite, lorsque le temps écoulé se trouve entre τ_1 et τ_2 , l'extraction de la chaleur à travers la métallisation de drain est saturée. La chaleur traverse alors la couche d'oxyde enterré, qui constitue la principale résistance thermique. Au final, pour un temps supérieur à τ_2 , la chaleur s'évacue à travers le substrat de support. Dans ce cas, l'augmentation de température est très faible (et donc *a fortiori* l'impédance thermique), du fait des conditions limites isothermes à l'extrémité inférieure du substrat de support.

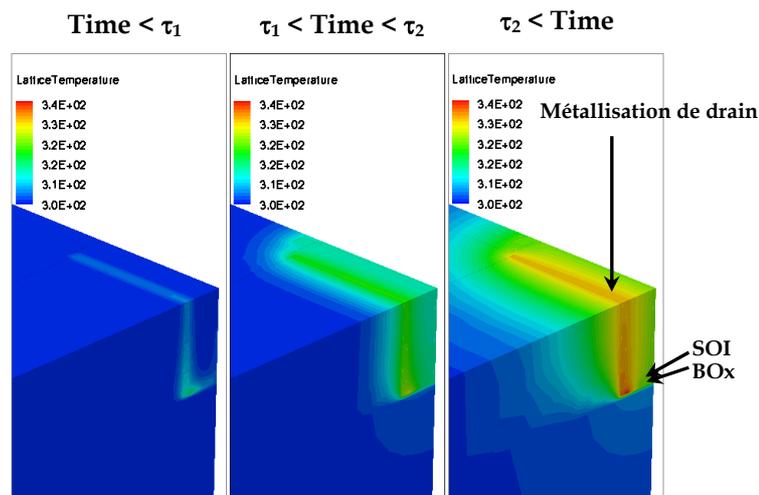


Figure IV-12 : Distribution de température à différents temps

Les constantes τ_1 et τ_2 ainsi définies, nous pouvons observer une réduction d'impédance thermique positive ou négative au cours du temps. Au temps τ_1 , la réduction de Z_{TH} est négative, ce qui souligne le fait que l'impédance thermique, à ce temps donné, est plus faible dans le cas de la technologie 130nm. Ceci est dû à une couche de SOI plus épaisse que pour la technologie 65nm, ce qui permet une meilleure conduction thermique jusqu'aux métallisations de drain. De manière opposée, pour des temps plus importants, la réduction de Z_{TH} augmente jusqu'à 40%

grâce à la prédominance, dans l'impédance thermique, à ce temps donné, de l'oxyde enterré, qui est plus épais pour la technologie 130nm.

La Figure IV-13 présente l'évolution dynamique, pour deux tensions de drain, de la température maximale pour les deux technologies SOI et une technologie massive. Le comportement décrit précédemment est retrouvé pour les deux technologies SOI et les deux tensions appliquées. Par contre, pour la technologie massive, nous pouvons observer essentiellement un seul régime de fonctionnement. En effet, du fait de l'absence d'oxyde enterré, il ne peut y avoir de confinement de chaleur. La chaleur est évacuée directement vers l'extrémité inférieure du substrat de support.

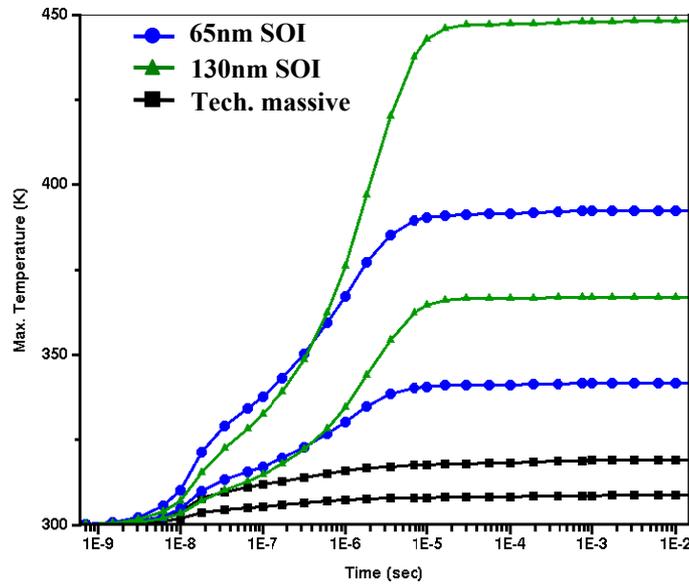


Figure IV-13 : Évolution dynamique de la température maximale for les différentes épaisseurs correspondant aux technologies étudiées, pour $V_D=4V$ et $8V$ et $V_G=2,5V$)

La Figure IV-14 présente le même type de graphique, sauf que pour les deux technologies SOI, l'épaisseur de d'oxyde enterré (t_{BOx}) est modifiée en gardant l'épaisseur de SOI fixe. Des caractéristiques dynamiques croisées avec des cas intermédiaires (l'épaisseur de BOx utilisée est l'épaisseur de l'autre technologie), de la même manière que pour la Figure IV-10.

Les lignes pleines représentent les résultats expliqués précédemment et les trois régimes sont retrouvés. La ligne pointillée bleue correspond à une épaisseur de

SOI de 60nm et de BOx de 400nm (au lieu de 145nm) et la ligne pointillée verte à une épaisseur de SOI de 150nm et de BOx de 145nm (au lieu de 400nm).

Dans le premier régime de fonctionnement (temps $< \tau_1$), pour chaque technologie, les lignes pleines ou pointillées sont superposées. La prépondérance du rôle de l'épaisseur de SOI est ainsi confirmée : l'augmentation de température dans le composant est indépendante de l'épaisseur d'oxyde enterré.

Ensuite, les comportements deviennent distincts : le comportement thermique de la technologie 65nm SOI se rapproche du comportement du substrat 150nm/145nm (de même pour la technologie 130nm SOI avec le cas 60nm/400nm). Cela confirme ainsi la prépondérance de l'épaisseur de l'oxyde enterré pour des temps plus importants, ce qui explique son impact direct sur la résistance thermique. Nous pouvons, de plus, noter que la constante de temps τ_1 correspond bien au temps à partir duquel l'oxyde enterré a un impact sur le comportement thermique du composant.

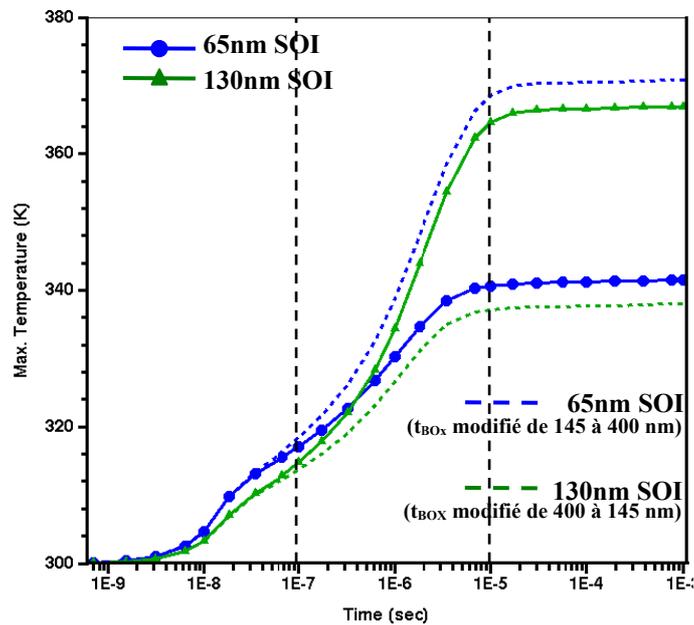


Figure IV-14 : Évolution dynamique de la température maximale pour les deux technologies étudiées, en modifiant l'épaisseur d'oxyde enterré pour une épaisseur de SOI fixe

2.4. Conclusion

Nous avons, dans cette partie, décrit et expliqué le comportement thermique du composant en technologie 65nm. Nous nous sommes appliqués à le comparer avec celui de la technologie 130nm, présentant des épaisseurs de SOI et de BOx différentes, et celui d'une technologie massive.

Les différents effets des épaisseurs ont été mis en évidence. D'une part, l'épaisseur de SOI joue un rôle important pour des temps de fonctionnement faibles, où le régime stationnaire n'a pas été atteint. Plus l'épaisseur de SOI sera importante, meilleure sera l'évacuation de chaleur à travers les métallisations. D'autre part, l'épaisseur de l'oxyde enterré a, par contre, un effet pour des temps plus importants, notamment lors du régime stationnaire. Ainsi, plus l'oxyde enterré sera fin, moins la chaleur sera confinée dans le SOI et moins la température sera élevée.

Il est enfin important de préciser que ces résultats n'impliquent pas des performances dégradées pour un circuit entier. En effet, des techniques de mise en boîtier permettent de s'affranchir fortement de ces problèmes d'échauffement.

3. COMPORTEMENT ÉNERGETIQUE DU DISPOSITIF

Lorsqu'un transistor MOS est soumis aux conditions de polarisation extrêmes, il peut être détruit si l'énergie qu'il dissipe est suffisamment importante. La destruction du composant résulte toujours d'un mécanisme d'emballement électrothermique connu sous le nom de second claquage. Ce mécanisme peut être initié de diverses manières, conférant à ce composant une robustesse plus ou moins grande vis-à-vis de la tenue en énergie, la température étant un facteur aggravant.

Dans notre cas sans protection (par exemple une diode entre le drain et la grille), le repliement du transistor bipolaire parasite est initié par l'avalanche électrique. Il ne faut pas perdre de vue le fait qu'un transistor de puissance est constitué par un grand nombre de cellules élémentaires connectées en parallèle, la tension de claquage de ces différentes cellules pouvant présenter une certaine dispersion. De ce fait, ce sont les cellules dont la tension de claquage est la plus faible qui entreront en avalanche en premier, le courant augmentera sensiblement dans ces cellules alors qu'il reste très faible dans les autres. Dès que la densité du courant dans les cellules en forte avalanche dépasse le seuil lié à la technologie du composant, le retournement du transistor bipolaire intégré dans ces cellules devient possible, ce qui les fait commuter vers un état de basse impédance comparativement aux cellules qui sont restées en état de faible avalanche.

Ce changement de l'état d'impédance d'une petite fraction de la surface active du composant est irréversible et conduit au second claquage du composant qui sera détruit sur la surface concernée par le repliement du transistor bipolaire. Ce mécanisme a pour signature une région détruite de très faible surface dont la localisation peut être aléatoirement répartie sur l'ensemble de la zone active du composant.

Ce phénomène est donc totalement destructif et très bref dans le temps. Sur les dispositifs développés, nous avons été confrontés à un type de claquage atypique en mode passant (Figure IV-15).

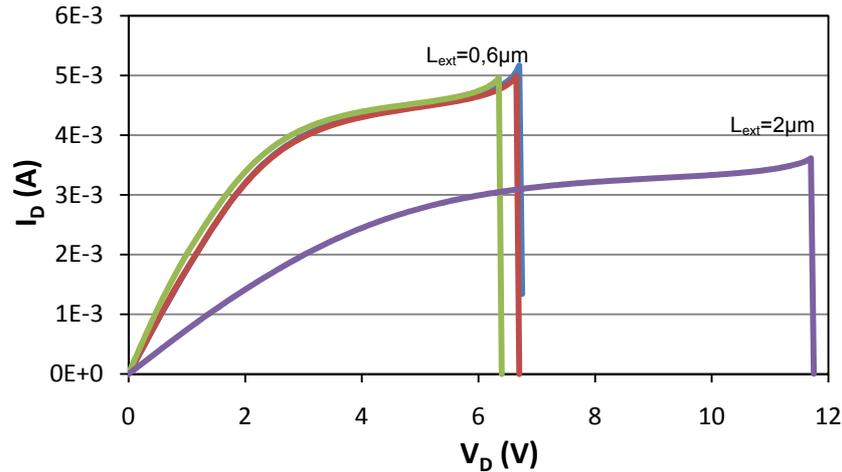


Figure IV-15 : Comportement de claquage prématuré du composant, amenant à sa destruction (Caractéristiques I_D fonction de V_D à $V_G=2,5V$)

Nous pouvons remarquer sur la Figure IV-15 qu'après une tension de drain de 5V, un claquage destructif apparaît et le composant devient ouvert. De plus pour une géométrie donnée, la tension de claquage est constante. Pour comprendre la dynamique du phénomène et pouvoir décomposer chaque étape, nous avons réalisé des mesures de type TLP (« *Transmission Line Pulse* »), permettant de contrôler la mesure du courant de drain en fonction de la tension de drain, non pas en tension, mais en énergie [Mor07].

3.1. Principe de la mesure pulsée à ligne de transmission (TLP)

Il s'agit d'une technique de mesure utilisée le plus souvent pour caractériser les phénomènes ESD (« *Electrostatic Discharge* », décharge électrostatique) dans un dispositif. Nous l'utilisons ici pour déterminer la zone de fonctionnement du composant et déterminer la dynamique de claquage.

Un banc de TLP permet de générer des impulsions ESD très courtes (de l'ordre de la nanoseconde). Dans un fonctionnement standard, une ligne de transmission se charge et se décharge pour produire une impulsion rectangulaire courte, qui est alors transmise au composant à tester. Une caractéristique I-V peut être ainsi obtenue. Cela permet de tracer la réponse du composant en mode pulsé. Une réponse en courant est obtenue, nous fournissant la réponse au stress de

l'impulsion TLP, appliquée sur le composant. Cette mesure permet des mesures précises à la fois de la tension et du courant, en moyennant la mesure sur la largeur de l'impulsion [Hen01].

La Figure IV-16 montre une représentation schématique d'un banc de caractérisation TLP, situé au LAAS. Le principe repose sur la charge et la décharge d'une ligne de transmission dont l'énergie emmagasinée est contrôlée pour être déchargée aux bornes du composant.

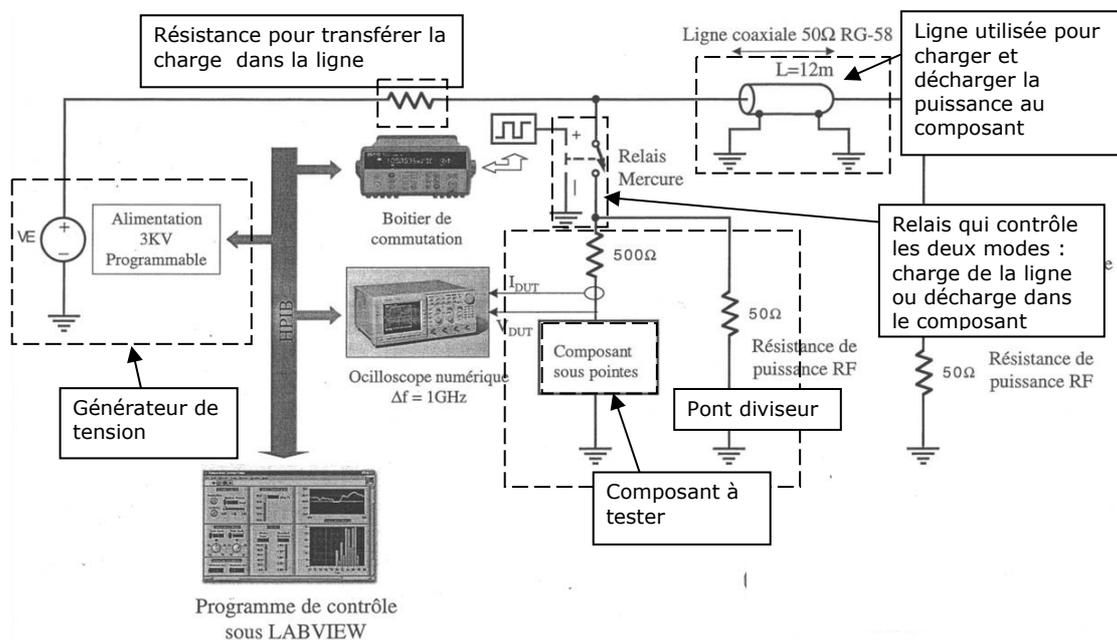


Figure IV-16 : Schéma d'un banc de mesure de TLP

Ce banc est dit « impédance constante ». Une résistance de 10 MΩ couplée à un générateur de tension permet de charger la ligne de transmission à la puissance voulue. Ensuite un relais mercure commute et la puissance contenue dans la ligne de transmission se décharge dans le composant sous pointes. Le système est dit à impédance constante, car une impédance de 50Ω est utilisée dans l'ensemble du banc, pour ne pas dégrader l'impulsion. En effet, l'avantage de maintenir une impédance de 50Ω constante permet de limiter les pertes en réflexion.

3.2. Caractérisation TLP du composant incriminé

La Figure IV-17 représente la caractéristique TLP du composant qui présente le défaut de la Figure IV-15.

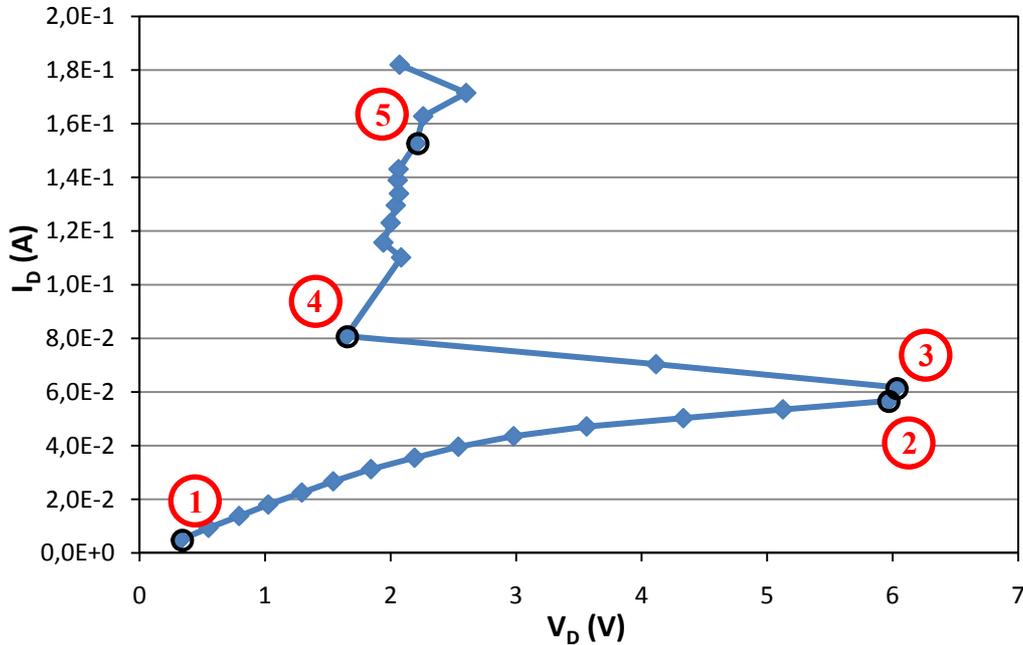


Figure IV-17 : Caractéristique TLP I-V avec les différents points étudiés ci-dessous

Certains points particuliers sont étudiés plus précisément et le signal en tension appliqué au composant, sa réponse en courant, ainsi que la caractéristique en mode continu, sont représentés sur la Figure IV-18.

- 1- Mode de fonctionnement normal. Le composant répond à l'impulsion de la ligne de transmission. La caractéristique I-V est normale, pas de détérioration du composant.
- 2- La puissance délivrée au composant est plus importante. La marche de tension est alors plus grande, ce qui amène à une modulation de tension durant l'impulsion.
- 3- À cette puissance, le déclenchement du transistor bipolaire apparaît à la fin de l'impulsion.
- 4- Plus la puissance augmente et plus le retournement apparaît tôt dans l'impulsion. Le composant commence à se dégrader.

5- Le déclenchement du transistor bipolaire apparaît encore plus tôt, et le composant est totalement détruit. Il est dès lors équivalent à une résistance (de forte valeur).

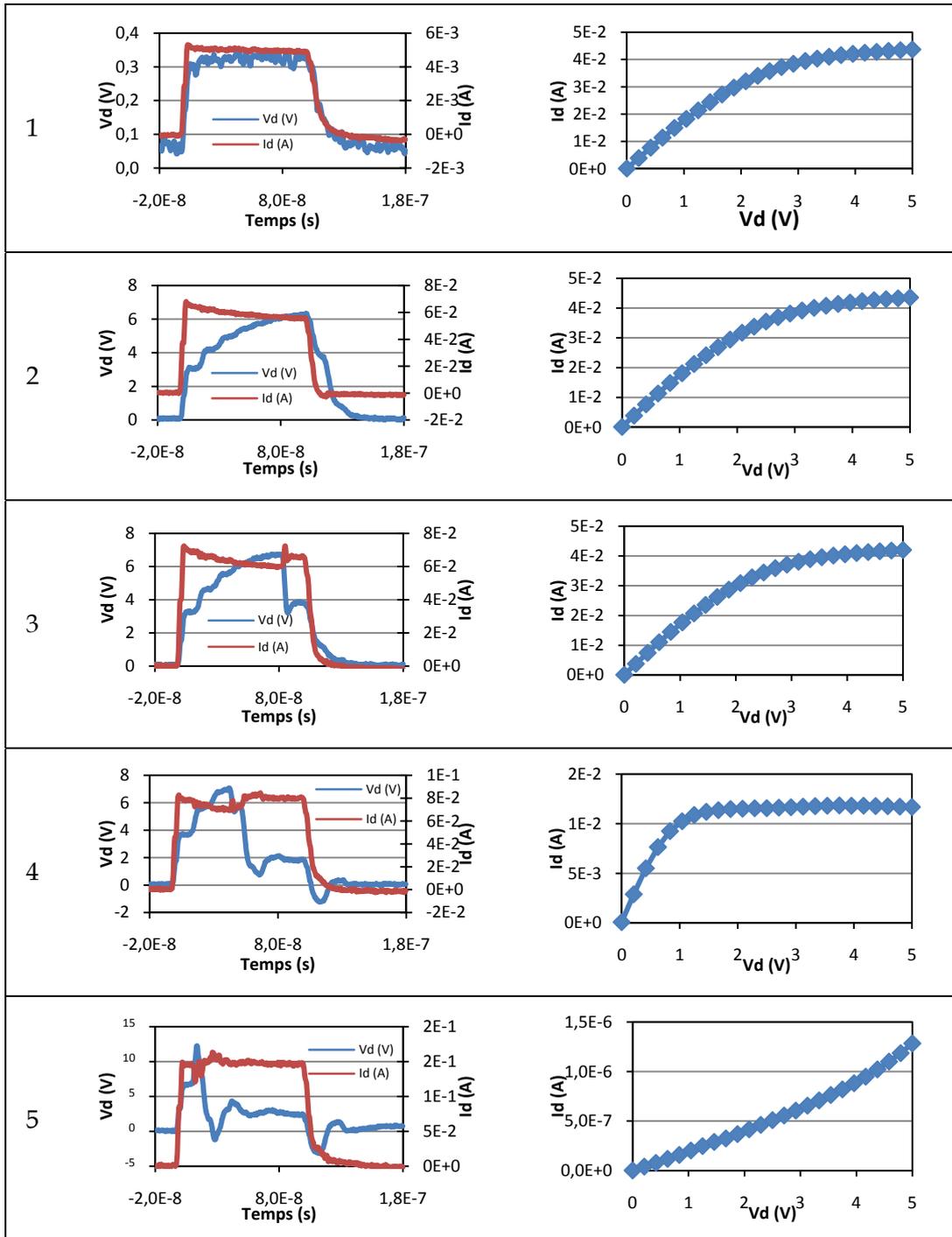


Figure IV-18 : Réponses en courant et tension à l'impulsion appliquée au composant avec la caractéristique I-V réalisée après l'impulsion

Le déclenchement du bipolaire apparaît lorsque la puissance délivrée est suffisamment élevée. En effet, un courant important amène à un taux d'ionisation par impact - du côté drain - important. Ainsi, après un certain temps, la jonction du transistor bipolaire polarisée en inverse (la jonction *body*/extension) devient polarisée à 0,6V : le transistor bipolaire parasite est en mode passant. Il y a emballement et ce transistor ne peut être arrêté que si l'alimentation est coupée. Un banc TLP permet de maîtriser ce phénomène et de comprendre la dynamique des changements d'état brutaux. En effet, à la fin de l'impulsion TLP, le transistor n'est plus alimenté.

Il est intéressant aussi de noter que le transistor bipolaire parasite se déclenche là où la résistance de canal est forte, c'est-à-dire entre deux contacts substrat (Figure IV-19).

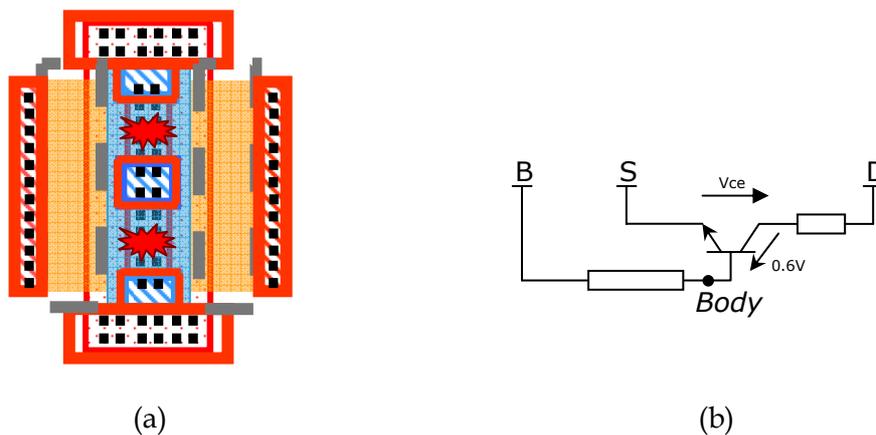


Figure IV-19 : (a) Zone de déclenchement du transistor bipolaire (b) Schéma du transistor bipolaire

Le phénomène décrit sur la Figure IV-15 est donc provoqué par le retournement du transistor bipolaire parasite, ce qui va détruire le composant par emballement thermique. La question à se poser est la suivante : est-ce la grille ou le contact de drain qui est le point faible ?

Le claquage de l'oxyde de grille est un claquage de champ électrique. L'oxyde est détruit et le courant circule directement du drain à la grille. Un claquage du contact de drain, ou plus précisément du siliciure, est un claquage de type thermique. Ainsi, le claquage observé est donc un claquage thermique initié par le transistor bipolaire (phénomène de second claquage, qui est toujours thermique), qui va provoquer une forte augmentation de courant et donc de température. Cette

augmentation de température (très forte) va provoquer la destruction du siliciure du contact de drain et rendre le dispositif résistif. Le composant est détruit dès l'étape 4. S'il s'agissait d'un claquage de grille, le courant de drain mesuré en continu (Figure IV-15) devrait augmenter très fortement au claquage, et non pas s'écrouler comme nous pouvons le voir.

Il est aussi intéressant de noter que le composant, sur lequel a été menée cette étude, est un peu moins performant que le composant optimisé, présenté au Chapitre 3. Celui-ci ayant un dopage différent, la répartition du champ électrique est différente et, donc, le retournement du transistor bipolaire à forte tension de grille intervient à une tension sensiblement supérieure (9,6V). De plus, ce retournement n'existe pas à une tension de grille plus faible. En effet, dans ce cas, nous avons plutôt affaire à un claquage de grille, mais à plus forte tension de drain.

Nous allons, dans le prochain chapitre, nous intéresser à la fiabilité du composant.

4. ÉTUDE DE FIABILITÉ DU DISPOSITIF

Une étude sur un transistor de puissance ne pourrait être complète sans traiter de la fiabilité du composant. En effet, concevoir un transistor fiable est un défi à part entière du développement, étant donné les nombreux paramètres qui peuvent dégrader les performances au cours du temps (injection de porteur, échauffement thermique, ...). Dans certains cas, la fiabilité peut remettre en cause l'intégration même du composant, la refonte de la structure choisie est alors inexorable.

La fiabilité du composant est présentée dans cette partie. Nous nous focaliserons plus particulièrement sur les phénomènes rencontrés au 1^{er} ordre. Dans la première partie, nous présenterons la problématique et les schémas d'intégration étudiés. Puis, nous caractériserons et expliquerons l'origine du phénomène.

4.1. Problématique : dérives rencontrées avec une intégration différente

La Figure IV-20 présente les deux structures étudiées.

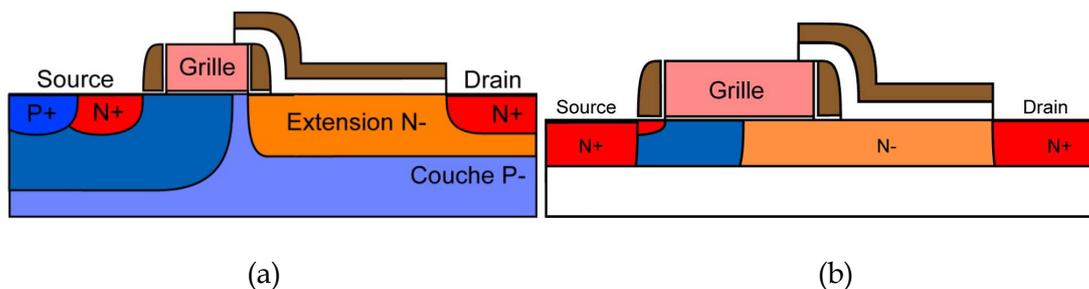


Figure IV-20 : Structures utilisées pour l'étude de fiabilité

La structure (a) est une structure d'une technologie massive, sans recouvrement grille/extension. La deuxième structure est la structure que nous avons étudiée précédemment. Le composant est fabriqué sur SOI et a un recouvrement de 0,25 μ m de la grille sur l'extension. Ces deux structures ont une couche de protection appelée « *Siprot* », servant à protéger la zone faiblement dopée

de la siliciuration. Elle est composée de deux couches : une couche inférieure d'oxyde et une couche supérieure de nitrure.

Un phénomène de dérive très forte est observé sur la structure sans recouvrement grille/extension (Figure IV-21).

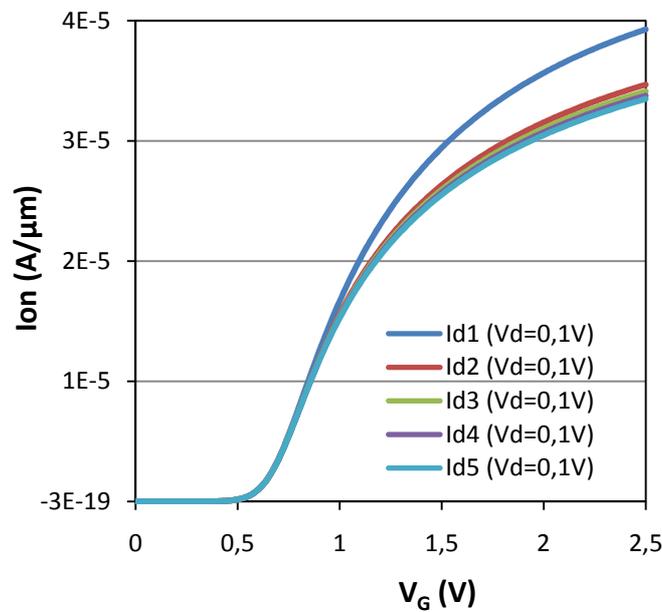


Figure IV-21 : Dérive observée sur la structure avec recouvrement faible ou nul pour une tension de stress de 5,5V à $V_d=0,1V$

La Figure IV-21 présente plusieurs caractéristiques courant de drain en fonction de la tension de grille à faible tension de drain, un cycle de stress à 5,5V étant effectué entre chaque. Nous pouvons remarquer une dégradation des caractéristiques linéaires (R_{on} , V_T) entre chaque mesure, le phénomène se stabilisant petit à petit.

C'est ce phénomène que nous allons étudier ici, en fonction des structures proposées.

4.2. Dérive en mode « porteurs chauds » (1er ordre)

La dérive que nous venons d'observer est une dérive très forte. En effet, sur les caractéristiques classiques de fiabilité, le temps de stress est très long. Par exemple, le niveau de fiabilité demandé, pour qualifier une technologie, est une

dégradation inférieure à 10%, pendant 10 ans [Lac06]. Dans notre cas, il s'agit de cycle de stress, c'est-à-dire qu'une tension supérieure à la tension nominale est appliquée plusieurs fois de suite.

La Figure IV-22 présente plusieurs caractéristiques du courant de drain en fonction de la tension de grille, à faible tension de drain, un cycle de stress à 5,5V étant effectué entre chaque. La structure concernée est celle avec recouvrement (qui est celle fabriquée sur substrat SOI).

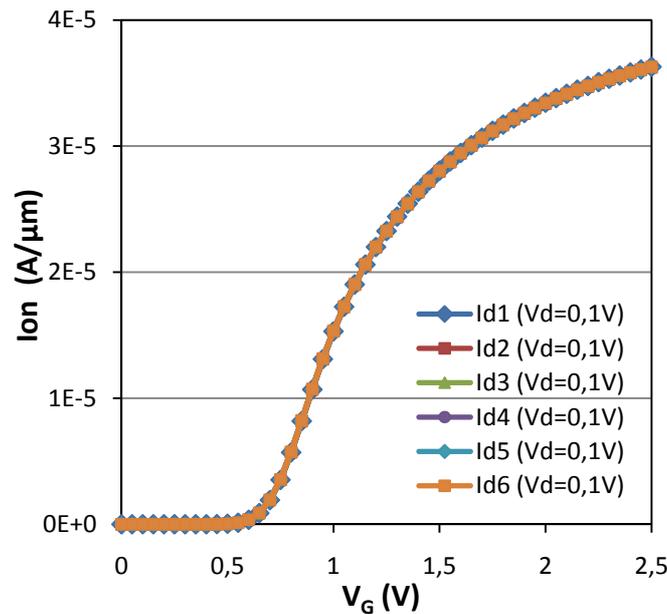


Figure IV-22 : Caractéristiques à la suite de cycles de stress pour la structure avec recouvrement de grille sur extension pour une tension de stress de 7V (à $V_D=0,1V$)

Cette structure ne présente, à la différence de la précédente, aucune dérive forte. La différence entre les structures étant essentiellement le recouvrement de la grille sur l'extension, le phénomène s'exprime de manière différente dans les deux cas.

En effet, à la sortie de canal, de nombreux porteurs chauds sont créés. Dans la première structure, ces porteurs sont donc créés dans une zone de silicium proche de la fin de la grille (Figure IV-23).

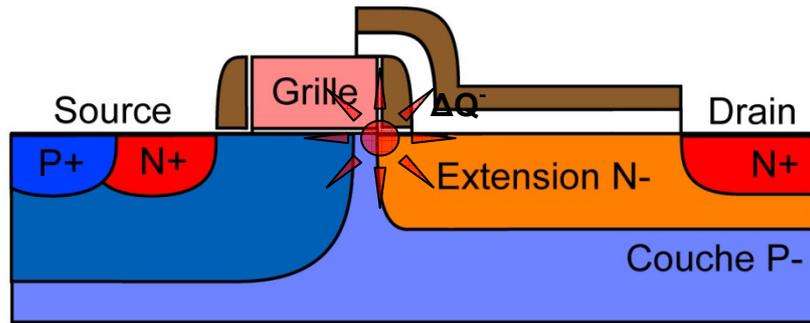


Figure IV-23 : Zone de création de porteurs chauds pour un transistor sans recouvrement

Ces porteurs sont créés autour de cette zone : certains sont recombinés, d'autres traversent l'oxyde de grille et sont évacués par l'oxyde de grille - ce qui à terme peut le dégrader - et enfin d'autres sont injectés dans l'oxyde de protection, situé au-dessus de l'extension de drain. Ces charges-là ne vont pas être évacuées et elles vont créer un effet capacitif, qui va moduler la résistance du transistor, en repoussant la conduction de l'interface extension/oxyde de protection. Pour ce transistor, ces charges vont dégrader la résistance à l'état passant (i.e. le courant linéaire). Elles sont donc constituées principalement d'électrons (charges négatives).

La Figure IV-24 présente la zone de création de charges pour un transistor avec recouvrement.

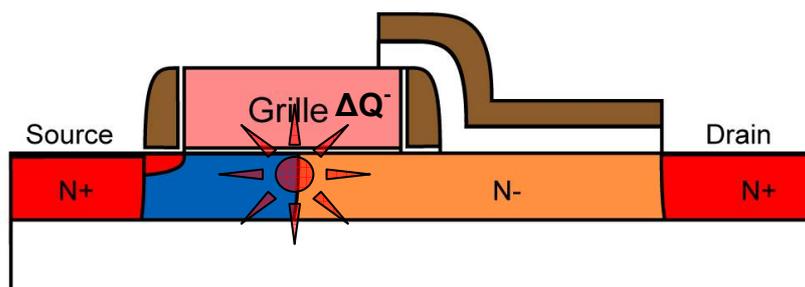


Figure IV-24 : Zone de création de porteurs chauds pour un transistor avec recouvrement

Dans ce cas, les porteurs chauds sont créés dans une zone située complètement sous la grille. Ainsi ces charges sont soit recombinées ou évacuées, soit elles sont injectées à travers l'oxyde de grille, ce qui peut, comme nous l'avons

rappelé, dégrader les performances du transistor par une modification de la tension de seuil.

Ce comportement peut être vérifié en étudiant la dégradation de résistance R_{on} et de tension de seuil (Tableaux IV-3).

DeltaRon after 5 stress cycles			
dose	Stress 5V	Stress 7V	Stress 9V
5e12	6,43%	-	-
1e13	-0,08%	2,88%	-
1.5e13	-0,32%	0,01%	5,18%
2e13	0,90%	3,35%	6,63%

(a)

DeltaVT after 5 stress cycles			
dose	Stress 5V	Stress 7V	Stress 9V
5e12	1,11%	-	-
1e13	-0,02%	-0,15%	-
1.5e13	0,01%	-0,19%	-0,04%
2e13	0,22%	4,44%	12,94%

(b)

Tableaux IV-3 : Variations de (a) R_{on} et de (b) V_T pour différents stress et différents dopages d'extension ($L_{ext}=0,3\mu m$) pour un transistor avec recouvrement

Les Tableaux IV-3 présentent ces dégradations pour différentes doses. Par exemple, pour la dose « $1,5E^{13}$ », pour des cycles de stress à 5V et 7V, la résistance et la tension de seuil sont peu dégradées. Par contre, après un cycle de stress à 9V, la résistance est dégradée de près de 5%, alors que la tension de seuil est restée constante. Ainsi en augmentant la tension de stress, la zone de création de porteurs chauds s'agrandit, et il devient alors possible (pour le cas 9V) d'injecter des électrons à l'intérieur de l'oxyde de protection.

De plus, pour une dose de $1,5E^{13}$, et un stress de 9V, la résistance passante dérive alors que la tension de seuil reste constante. Nous pouvons donc conclure que la dégradation n'est pas du type « porteurs chauds » qui détériorent l'oxyde de grille. Cela provient uniquement de l'injection de porteurs dans l'espaceur ou la bicouche de protection, modulant la résistance passante. À 9V mais une dose de $2E^{13}cm^{-2}$, les deux paramètres sont modifiés ensemble, la dégradation est alors aussi due à une détérioration de l'oxyde de grille.

Notre transistor optimal montre un comportement proche du cas 1^{E13} , où il y a bien présence à 7V d'un phénomène d'injection de porteurs qui dégrade seulement légèrement la résistance passante.

4.3. Conclusion

Nous venons de décrire ici un phénomène au 1^{er} ordre qui a lieu dans des transistors de puissance de type LDMOS. Le recouvrement de grille sur l'extension de drain a donc un effet fondamental. Il permet d'éloigner la source de porteurs chauds de couches, susceptibles de les retenir. Si pour des raisons de surface prise par le composant, cela n'avait pas été possible d'avoir un recouvrement, il aurait fallu directement redévelopper la couche de protection.

En ce qui concerne les composants SOI étudiés dans cette thèse, il reste cependant un travail plus complet d'étude de fiabilité, pour prouver définitivement l'industrialisation d'un tel composant.

5. CONCLUSION

Des phénomènes aussi bien énergétiques que thermiques ont été étudiés dans ce chapitre. Tout d'abord l'influence des différentes épaisseurs du SOI a été étudiée. Nous avons vu que le principal contributeur à l'augmentation de la résistance thermique est l'épaisseur de l'oxyde enterré. Par contre, en étudiant par simulation la dynamique de propagation de la chaleur, la prépondérance de l'épaisseur de SOI pour des temps faibles a été démontrée.

Dans une deuxième partie, le comportement énergétique du composant a été expliqué, avec l'aide d'un banc de TLP, permettant de contrôler l'énergie fournie au composant. Cela a permis de comprendre que, dans certaines conditions, le transistor bipolaire parasite peut se déclencher, ce qui a pour conséquence de casser l'oxyde de grille (fort courant) ou de détruire la siliciuration côté drain (résistance forte).

Enfin, une étude de fiabilité a été présentée dans la dernière partie de ce chapitre. Elle a consisté à comparer deux types d'intégration de grille (avec ou sans recouvrement de la grille sur l'extension de drain) et l'impact de ce paramètre sur la dérive du composant au 1^{er} ordre.

Ces phénomènes sont tous très différents les uns des autres, le premier était purement thermique, le deuxième purement énergétique et le dernier un effet de charges. Ils démontrent bien la difficulté d'appréhender l'ensemble des phénomènes pour l'industrialisation de transistor de puissance.

BIBLIOGRAPHIE

- [Ang04] C. Anghel et al., "Self-Heating Characterization and Extraction Method for Thermal Resistance and Capacitance in HV MOSFETs," IEEE Electron Device Lett., vol. 25 (3), pp. 141-143, 2004.
- [Bon05] O. Bon et al., "High voltage devices added to a 0.13 μ m high resistivity thin SOI CMOS process for mixed analog RF circuits," in Proc. Int. SOI Conf., 2005, pp. 171-173.
- [Bon07a] O. Bon, O. Gonnard, F. Giancesello, C. Raynaud et F. Morancho, "First 15V complementary LDMOS transistors in thin SOI 65nm low power technology", Proc. of the ISPSD, 2007, pp. 209-212.
- [Bon07b] O. Bon, J. Roig, F. Morancho, S. Haendler, O. Gonnard et C. Raynaud, "Thermal Resistance Reduction in Power MOSFETs Integrated in a 65nm SOI Technology", Proc. of the ESSDERC, 2007, pp. 171-174.
- [Bon07c] O. Bon, O. Gonnard, L. Boissonnet, F. Dieudonné, S. Haendler, C. Raynaud et F. Morancho, "RF Power NLD MOS Technology Transfer Strategy from the 130nm to the 65nm node on thin SOI", Proc. of the SOI conference, 2007, pp. 61-62.
- [Die06] F. Dieudonné et al., "Self-heating Effects in SOI NLD MOS Power Devices," in Proc. MIEL, 2006, pp. 14-17.
- [Hen01] L.G. Henry, J.Barth, K.Verhaege et J. Richner, "Transmission-Line Pulse ESD Testing of ICs: A New Beginning", Compliance Engineering Magazine, Mars/Avril 2001, http://www.ce-mag.com/ce-mag.com/archive/01/03/0103CE_046.html.
- [Lac06] D. Lachenal, Y. Rey-Tauriac, L. Boissonnet and A. Bravaix, "Reliability Investigation of NLDEMOS in 0.13 μ m SOI CMOS Technology", Proc. of the 25th International Conference on Microelectronics (MIEL 2006), Belgrade, Serbia and Montenegro, 17 May 2006.
- [Leu91] Y. K. Leung et al., "Self-heating effect in lateral DMOS on SOI," in Proc. ISPSD '91, 1991, pp. 27-30.
- [Liu05] W. Liu and M. Ashegui, "Impact of Phonon-Boundary Scattering and Multilevel Copper-Dielectric Interconnect System on Self-Heating of SOI Transistors," In Proc. 21st IEEE SEMI-THERM Symposium, 2005.
- [Mor07] F. Morancho, "Physique et modélisation des composants et des circuits intégrés de puissance", Lavoisier, Paris, 2007.

- [Ten96] B. M. Tenbroek et al., "Measurement of Buried Oxide Thermal Conductivity for Accurate Electrothermal Simulation of SOI Devices," IEEE Trans. Electron Devices, vol. 43 (12), pp. 2240-2248, 1996.
- [Roi06] J. Roig et al., "Non-uniform temperature and heat generation in thin-film SOI LDMOS with uniform drift doping," IEE Proc. Circuits, Dev. and Systems, vol. 153 (1), pp. 82-87, 2006.
- [Ver06] S. Verhaeren, "Study of Self-Heating on LDEMOS devices in HCMOS9SOI", Rapport interne, 21 septembre 2006.

CONCLUSION

CONCLUSION

L'intégration de nombreuses fonctions radiofréquence (RF) différentes sur une même puce (« *System on Chip* », SoC) rencontre de nombreux défis techniques, notamment par l'impossibilité de réalisation de fonctions sur silicium massif (par exemple un interrupteur d'antenne) et en termes d'isolation. L'utilisation d'un substrat « Silicium sur Isolant » (SOI) avec un substrat de support hautement résistif (HR) a permis depuis quelques années une percée vers cet objectif ultime. Cependant, il reste à prouver à l'heure actuelle la faisabilité de la dernière brique : la réalisation d'un amplificateur de puissance intégré sur une technologie silicium. Pour l'amplification d'une puissance importante, cette fonction est conçue grâce à des passifs et à un transistor de puissance.

La thèse que nous venons de présenter a concerné la conception de transistors haute-tension, en technologie MOS sur substrat SOI, pour l'intégration d'un amplificateur de puissance sur silicium et, accessoirement, pour la gestion d'énergie.

Dans ce mémoire, nous avons tout d'abord introduit les technologies de puissance, en présentant le contexte technologique. Nous avons ensuite abordé les différentes applications auxquelles nous destinons le composant, en insistant sur celle qui nous intéresse plus particulièrement : l'amplification de puissance. Par la suite l'état de l'art des composants haute-tension en technologie MOS a été présenté. De nombreux concepts innovants sont apparus ces dernières années. Cependant, leur complexité de mise en oeuvre dans une technologie 65nm a été une barrière à leur développement pour la tension de claquage visée (15V). Enfin, nous avons exposé les difficultés d'isolation présentes dans une technologie silicium, dès lors que de la haute tension est introduite. L'utilisation de SOI est apparue comme une solution séduisante.

Dans le deuxième chapitre, la potentialité d'une technologie de puissance RF intégrée sur silicium est étudiée. En effet, l'utilisation d'un substrat de SOI présente les avantages de réduire la consommation (ou d'accroître la vitesse) à même tension d'alimentation et d'être compatible avec les substrats HR, ce qui apporte un gain en isolation en hautes fréquences. Nous nous sommes ensuite intéressés à la

CONCLUSION

problématique d'intégration d'un composant de puissance dans une telle technologie. La présence de l'oxyde enterré permet d'isoler électriquement le composant de son environnement. De plus, en termes de performances, la capacité de sortie et l'efficacité de la transmission de puissance sont améliorées. Cependant, l'utilisation d'un film mince de silicium modifie la structure du transistor. Le principe fondamental n'est pas modifié : une zone faiblement dopée soutient la tension appliquée sur le drain. Le défi provient du contact de la zone de canal. Sur substrat massif, il est réalisé sous la source. Cette technique étant totalement impossible avec un film mince, le contact est conçu dans la troisième dimension. Cela permet d'optimiser l'espace inter-contact pour contrôler les effets de substrat flottant. En contrepartie, de la surface active est consommée.

Les deux derniers chapitres traitent de la caractérisation électrique ainsi que de l'étude du comportement thermique et énergétique du composant.

Dans un premier temps, l'impact sur les paramètres statiques a été étudié en fonction des degrés de liberté disponibles (dopages, géométrie) pour atteindre les spécifications visées. Le transistor LDMOS obtenu offre de très bonnes performances électriques malgré l'utilisation d'un film mince de SOI, qui devrait a priori dégrader la résistance passante. Ce transistor montre une tension de claquage de 15V avec une résistance passante de $6,4\text{m}\Omega\cdot\text{mm}^2$. Ces performances ont été atteintes grâce à un phénomène analogue à un effet RESURF sur substrat massif. Il permet l'augmentation de la tenue en tension en même temps que la valeur du dopage de l'extension de drain. Son apparition est provoquée par l'utilisation d'un substrat de SOI et par le fait que l'interface $\text{BOx}/\text{Substrat}$ n'est pas polarisée. Le potentiel est alors réparti uniformément le long de l'extension, ce qui est le meilleur cas de la tenue en tension. En ce qui concerne les effets flottants, l'étude de l'espacement inter-contact a permis de trouver un optimum entre la maîtrise de ces effets et la surface occupée. Enfin, une étude sur les performances dynamiques a conclu ce chapitre. La meilleure structure atteint des performances importantes, avec une marge de progression encore possible. Les fréquences de coupure obtenues sont de 22,5GHz (f_T) et 64,40GHz (F_{MAX} , $W=100\mu\text{m}$) à une tension de drain de 5V.

CONCLUSION

Les dernières études de cette thèse ont concerné la robustesse et la fiabilité des composants, en nous intéressant aux phénomènes thermiques et énergétiques. En effet, les transistors de puissance sont principalement prévus pour opérer à fort courant de drain, induisant ce type de phénomènes. Tout d'abord, nous avons étudié l'influence des différentes épaisseurs du SOI sur le comportement thermique du composant. Le principal contributeur à l'augmentation de la résistance thermique a été identifié comme étant l'épaisseur de l'oxyde enterré. Par contre, en étudiant la dynamique de propagation de chaleur, la prépondérance de l'épaisseur de SOI a été démontrée pour des temps faibles. Ensuite, une étude a porté sur l'étude de la caractéristique I-V du composant à énergie constante. Elle nous a permis de comprendre la dynamique du déclenchement du transistor bipolaire parasite source/body/extension, qui a pour conséquence la destruction du transistor. Enfin, une dernière étude a visé l'impact de la structure de grille sur la dérive du composant.

Cette thèse a donc permis de démontrer la faisabilité de transistors RF sur substrat SOI fin. Les performances atteintes, aussi bien en statique qu'en dynamique, permettent maintenant d'envisager l'intégration d'un module RF complet allant de la réception du signal RF jusqu'à l'émission, comprenant les filtres, le traitement du signal et surtout l'amplification.

La fabrication d'un transistor LDMOS sur SOI fin a été démontrée, sans point bloquant particulier dans l'intégration. Au niveau des perspectives industrielles, la modélisation en fonctionnement continu et dynamique (DC et AC) constitue la prochaine étape, suivie d'une qualification et de tests de mise en boîtier.

Quant aux perspectives technologiques, l'introduction d'une grille métallique peut être envisagée avec une réduction de la longueur de canal. De plus, l'effet « pseudo-RESURF » nous permet d'anticiper sur la faisabilité de transistors LDMOS sur un film de SOI plus mince. Tous ces paramètres confirment la possibilité de l'intégration d'un transistor LDMOS sur une technologie à oxyde de grille de haute permittivité, grille métallique et film très mince (pour transistors digitaux complètement désertés).

PUBLICATIONS

PUBLICATIONS

High voltage devices added to a 0.13/ μm high resistivity thin SOI CMOS process for mixed analog-RF circuits

Bon, O., Boissonnet, L., Gonnard, O., Chouteau, S., Reynard, B., Perrotin, A., Raynaud, C.

SOI Conference, 2005. Proceedings. 2005 IEEE International
3-6 Oct. 2005 Page(s):171 - 173

Etude électrique de DMOS latéraux complémentaires en technologie 65nm sur substrat « Silicium sur Isolant » pour des applications faible puissance

Olivier Bon et Olivier Gonnard

Journée Nationales de la Recherche des Doctorants en Microélectronique (JNRDM 2007)

14-16 May 2007 Page: 47

First 15V complementary LDMOS transistors in thin SOI 65nm low power technology

Bon, O., Gonnard, O., Ganesello, F., Raynaud, C., Morancho, F.

Power Semiconductor Devices and IC's, 2007. ISPSD '07. 19th International Symposium on Semiconductor Device (ISPSD 2007)

27-31 May 2007 Page(s):209 - 212

Thermal Resistance Reduction in Power MOSFETs Integrated in a 65nm SOI Technology

O. Bon, J. Roig, F. Morancho, S. Haendler, O. Gonnard et C. Raynaud

European Solid State Device Research Conference 2007 (ESSDERC 2007)

11-13 September 2007 Page(s):171 - 174

RF Power NLD MOS Technology Transfer Strategy from the 130nm to the 65nm node on thin SOI

Bon, O., Gonnard, O., Boissonnet, L., Dieudonne, F., Haendler, S., Raynaud, C.; Morancho, F.

SOI Conference, 2007 IEEE International

1-4 Oct. 2007 Page(s):61 - 62

SUMMARY

The growing telecommunication market is applicant of very efficient circuits (speed switching, broadband, and so on.), but also low consumption, especially in the case of portable systems. The SOI-CMOS has already demonstrated its potential to reduce consumption at the same switching speed, compared to CMOS silicon massive material, provided that the film SOI is sufficiently thin (less than or equal to the depth of junction source / drain). More recently, characterizing RF functions in this type of technology has shown that the SOI could be a good candidate to mix RF and digital functions. However, this type of integration called "System On Chip" cannot be complete without an integration of functions associated powers.

The feasibility of incorporating LDMOS type high voltage components (BVds of about 15V) in a CMOS technology on SOI thin ($<0.1 \mu\text{m}$), their design and performance are studied in this thesis. As a first step, the different power technologies on silicon are presented, in particular the various applications referred, the types of existing components and the central problem introducing high voltage in a circuit: insulation between blocks. Then, in addition to the advantages of SOI technology, the value of SOI for applications such as power is demonstrated. In the last two parts, the design of high-voltage transistors on a thin SOI film is explained. Aspects of static and dynamic characterization, reliability and thermal energy are addressed. This allows us to conclude that such a technological solution may quite be industrialized and achieves the state of the art.

AUTEUR :
Olivier Bon

TITRE :
Conception de transistors haute tension complémentaires en technologie 65nm sur substrat silicium sur isolant fin pour applications RF et conversion de puissance

DIRECTEUR DE THESE :
Frédéric Morancho

LIEU ET DATE DE SOUTENANCE :
le 3 mars 2008, à Toulouse

RESUME :

Le marché croissant des télécommunications est demandeur de circuits à la fois très performants (vitesse de commutation, haut débit, etc.) mais aussi à faible consommation, surtout dans le cas de systèmes portables. Le SOI-CMOS a déjà démontré son potentiel pour réduire la consommation à même vitesse de commutation par rapport au CMOS sur matériau silicium massif, à condition que le film de SOI soit suffisamment mince (inférieur ou égal à la profondeur de jonction source/drain). Plus récemment, la caractérisation de fonctions RF dans ce type de technologie a montré que le SOI pouvait être un bon candidat pour mixer des fonctions RF et digitales. Cependant, ce type d'intégrations dites « System On Chip » ne peut être complet sans une intégration des fonctions de puissances associées.

La faisabilité d'intégrer en technologie CMOS sur SOI mince ($< 0.1\mu\text{m}$) des composants haute tension (BVds de l'ordre de 15V) de type LDMOS, leur conception et les performances sont étudiées dans cette thèse. Dans un premier temps, les différentes technologies de puissance sur silicium sont présentées, en particulier les différentes applications visées, les types de composants existants et enfin le problème central de l'introduction d'une haute tension dans un circuit : l'isolation entre blocs. Ensuite, en plus des avantages que présente une technologie SOI, l'intérêt du SOI pour des applications de puissance est démontrée. Dans les deux dernières parties, la conception des transistors haute tension sur SOI fin est expliquée. Les aspects de caractérisations statiques et dynamiques, de fiabilité, de comportement thermique et énergétique sont abordés ; ce qui permet de conclure qu'une telle solution technologique est tout à fait industrialisable et permet d'atteindre l'état de l'art actuel.

MOTS-CLES :

Transistors, LDMOS, silicium sur isolant, SOI, radiofréquences, RF, amplificateur de puissance

DISCIPLINE ADMINISTRATIVE :

Génie Electrique, Electronique et Télécommunications

INTITULE ET ADRESSE DE L'U.F.R. OU DU LABORATOIRE :

**Université de Toulouse
LAAS-CNRS
7, avenue du Colonel Roche
31077 Toulouse Cedex 4**