



HAL
open science

Dispositifs à Faible Coût Appliqués à la Synthèse de Fréquences et à la Modulation FSK pour les Systèmes de Radiocommunication

Vincent Cheynet de Beaupré

► **To cite this version:**

Vincent Cheynet de Beaupré. Dispositifs à Faible Coût Appliqués à la Synthèse de Fréquences et à la Modulation FSK pour les Systèmes de Radiocommunication. Micro et nanotechnologies/Microélectronique. Université de Provence - Aix-Marseille I, 2008. Français. NNT: . tel-00395267

HAL Id: tel-00395267

<https://theses.hal.science/tel-00395267>

Submitted on 15 Jun 2009

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

N° d'ordre:

Université d'Aix Marseille 1

THÈSE

pour obtenir le grade de :

DOCTEUR DE L'UNIVERSITÉ D'AIX MARSEILLE 1

Mention PHYSIQUE ET MODÉLISATION DES SYSTÈMES COMPLEXES

présentée et soutenue publiquement par

Vincent CHEYNET DE BEAUPRÉ

Équipe d'accueil : IM2NP-Polytech

École doctorale : Physique, Modélisation et Sciences pour l'Ingénieur

Titre de la thèse :

Dispositifs à Faible Coût Appliqués à la Synthèse de Fréquences et à la Modulation *FSK* pour les Systèmes de Radiocommunication

Soutenue le 25 septembre 2008 devant la commission d'examen

Y. DEVAL	Professeur, IMS ENSEIRB, Bordeaux	Rapporteurs
G. JACQUEMOD	Professeur, LEAT, Nice Sophia-Antipolis	
É. TOURNIER	Maître de Conférences, LAAS, Toulouse	Examineurs
P. PANNIER	Professeur, IM2NP, Marseille	
L. ZAÏD	Maître de Conférences, IM2NP, Marseille	Directeur de thèse
W. RAHAJANDRAIBE	Maître de Conférences, IM2NP, Marseille	Co-directeur de thèse
G. BAS	Ingénieur, STMicroelectronics, Rousset	Invité

*L'imagination est plus importante que la connaissance,
car la connaissance est limitée
Albert Einstein*

Remerciements

Je remercie Yann DEVAL et Gilles JACQUEMOD d'avoir bien voulu accepter la charge de rapporteur.

Je remercie Éric TOURNIER et Philippe PANIER d'avoir bien voulu juger ce travail.

Je remercie Gilles Bas d'avoir suivi et dirigé ces travaux de thèse chez STMicroelectronics.

Je remercie enfin Lakhdar ZAÏD et Wenceslas Rahajandraibe qui ont dirigé ma thèse.

Table des matières

Remerciements	ii
Table des matières	v
Liste des figures	ix
Liste des tableaux	xiii
Liste des abréviations	xv
Liste des notations	xvii
Introduction	1
1 Les systèmes d'émission-réception radio-fréquences	3
1.1 État de l'art des architectures d'émetteurs-récepteurs	4
1.1.1 Évolution de ces systèmes	4
1.1.2 Les standards actuels en radio-fréquence	7
1.2 Contexte industriel, présentation du système propriétaire STMicroelectronics	15
1.2.1 Présentation globale du système, cahier des charges	15
1.2.2 L'architecture du système et la place de la PLL	16
1.2.3 Adaptabilité du système au standard IEEE 802.15.4	19
Bibliographie	24

2	La boucle à verrouillage de phase dans les systèmes de communication RF	27
2.1	les différents types de PLL	29
2.1.1	PLL à division entière	30
2.1.2	PLL fractionnelles	33
2.1.3	PLL à double boucles	36
2.1.4	DLL	37
2.1.5	DDS (<i>Direct Digital Synthesis</i>)	38
2.1.6	récapitulatif	39
2.2	Les modulateurs de fréquence à base de PLL	40
2.2.1	modulation du diviseur programmable	41
2.2.2	modulation deux points	42
2.2.3	modulation en boucle ouverte	42
2.3	PLL multi-fonctions permettant la synthèse et la modulation de fréquence	43
2.3.1	les différents modes de fonctionnement	44
2.3.2	Intérêts de la structure proposée	45
	Bibliographie	48
3	Étude théorique et mise en oeuvre du système	51
3.1	Étude théorique : dimensionnement des blocs	51
3.1.1	Cahier des charges	51
3.1.2	Calcul des paramètres de la boucle	54
3.1.3	Récapitulatif	63
3.2	Mise en oeuvre : conception des blocs	64
3.2.1	Le comparateur de phase et la pompe de charges	64
3.2.2	Conception du filtre de boucle	77
3.2.3	Le pré-diviseur et le diviseur programmable	81
3.2.4	Le circuit de modulation	85
	Bibliographie	93
4	L'oscillateur commandé en tension fonctionnant à 2,45 GHz	95
4.1	LC versus anneau	96
4.1.1	Le bruit de phase dans les oscillateurs	96
4.1.2	oscillateurs LC	101
4.1.3	oscillateurs en anneau	102
4.2	Présentation et évolution de la structure réalisée	104
4.2.1	Présentation de la structure	104
4.2.2	Étude du bruit de phase	105

4.2.3	Évolutions et optimisations de la structure	106
4.2.4	Étage tampon de sortie	118
4.3	Performances	121
4.3.1	VCO fort gain	122
4.3.2	MCO multi gains	124
	Bibliographie	127
	Conclusion générale	131
	Liste des publications relatives à la thèse	134

Liste des figures

1.1	Bandes de fréquences des standards de télécommunication sans fil	5
1.2	Désignation IEEE et industrielle des bandes de fréquence RF et millimétriques	6
1.3	Détail des bandes ISM non licenciées	6
1.4	Évolution commerciale des communications sans fil courte distance	8
1.5	Exemple d'architecture d'émetteur-récepteur 802.11a/b/g proposé dans [13]	9
1.6	Exemple d'architecture d'émetteur-récepteur Bluetooth proposé dans [15]	12
1.7	Exemple d'architecture d'émetteur-récepteur Zigbee proposé dans [18]	13
1.8	Exemple d'architecture d'émetteur-récepteur UWB	15
1.9	Exemple d'architecture zéro-FI à saturation	17
1.10	Résumé des choix architecturaux retenus pour le système propriétaire	22
2.1	Rôle du synthétiseur de fréquence dans un émetteur-récepteur RF	27
2.2	Caractéristiques principales du signal de sortie d'un synthétiseur de fréquence	28
2.3	Schéma de principe d'une boucle à verrouillage de phase	30
2.4	Schéma de principe d'une PLL à division entière	31
2.5	Schéma de principe du pré-diviseur double module	32
2.6	Schéma de la PLL fractionnelle avec compensation de phase par CNA	34
2.7	Schéma de la PLL fractionnelle avec interpolation de phase	35
2.8	PLL à double boucles (a) parallèles (b) séries	37
2.9	Schéma de principe d'une boucle à verrouillage de retard	37
2.10	Schéma de principe d'un synthétiseur numérique direct	38
2.11	Schéma de principe d'un modulateur IQ	40
2.12	Schéma d'une PLL fractionnelle avec une modulation $\Sigma\Delta$	41
2.13	Schéma d'une PLL fractionnelle avec modulation deux points	42
2.14	Schéma d'une PLL avec modulation du VCO en boucle ouverte	43
2.15	Schéma de principe de la structure proposée	44
3.1	Influence du bruit de phase de l'OL sur le TEB	52

3.2	Influence du décalage des fréquences d'OL sur le TEB	53
3.3	Influence de la variation de l'indice de modulation sur le TEB	54
3.4	Schéma bloc du modèle linéaire de la PLL	55
3.5	Modélisation linéaire du bruit d'une PLL	57
3.6	Calcul du bruit de phase du VCO seul et dans la PLL	58
3.7	Schéma du filtre passif de troisième ordre	59
3.8	Calcul du bruit de phase du cristal seul et dans la boucle	61
3.9	Calcul du bruit de phase total de la PLL (a) première version (b) deuxième version	62
3.10	Évolution de la fréquence de sortie des deux versions de PLL en fonction du temps	64
3.11	Schéma du détecteur de phase de type « ou exclusif »	65
3.12	(a) Chronogrammes des tensions d'entrées et sortie du détecteur de phase « ou exclusif » (b) Gain du détecteur « ou exclusif »	66
3.13	Schémas et tables de vérité des bascules (a) RS et (b) JK	67
3.14	Gain du détecteur de phase de type « RS »	67
3.15	Schéma du détecteur de phase/fréquence	68
3.16	Diagramme d'état du détecteur de phase/fréquence	69
3.17	Caractéristique du détecteur de phase/fréquence	69
3.18	Schéma du détecteur de phase/fréquence proposé	70
3.19	Dessin des masques du détecteur de phase/fréquence proposé	70
3.20	Schéma de principe de la pompe de charges	71
3.21	Schéma de la pompe de charges programmable en courant	72
3.22	(a) Source de courant MOS cascodée (b) modification permettant de réduire V_{min} (c) source finale avec amélioration de l'appariement	73
3.23	(a) appariement des courants de sortie de la pompe de charges programmable en courant (b) comportement dynamique du circuit de pompe de charges	74
3.24	Schéma de la pompe de charges à fort courant	76
3.25	(a) appariement des courants de sortie de la pompe de charges à fort courant (b) comportement dynamique du circuit	76
3.26	Schéma du filtre passif du troisième ordre proposé	78
3.27	Schéma du premier étage du pré-diviseur	81
3.28	Spectres du signal d'entrée et du signal de sortie Q_1 asymétrique du premier étage du pré-diviseur	82
3.29	Schema blocs du circuit de pré-division par 4	82
3.30	Spectres des signaux d'entrée et de sortie asymétriques du deuxième étage du pré-diviseur	83

3.31	Vue des masques du pré-diviseur complet	84
3.32	Schéma bloc du diviseur de fréquence par 16	84
3.33	Synoptique du circuit de modulation avec capacités de mémorisation intégrées	86
3.34	Schéma de l'amplificateur opérationnel conçu pour isoler les capacités de modulation	87
3.35	Erreur de recopie de la tension de l'étage tampon	88
3.36	(a) Circuit permettant d'obtenir deux horloges non-recouvrantes à partir d'une seule horloge (b) chronogramme des signaux théoriques	89
3.37	Chronogramme théorique des signaux de contrôle de la PLL en mode émission	90
4.1	Illustration du phénomène de mélange réciproque dû au bruit de phase de l'oscillateur local	97
4.2	Bruit de phase typique d'un oscillateur en fonction de la fréquence de décalage	99
4.3	(a) Schéma d'un oscillateur différentiel de type LC et (b) évolution en VCO	101
4.4	Schéma électrique d'un oscillateur en anneau différentiel	102
4.5	Schéma électrique d'un VCO en anneau	103
4.6	(a) Schéma de la cellule à retard (b) Schéma bloc de l'oscillateur en anneau	105
4.7	ISF approchée de l'oscillateur en anneau	106
4.8	Schéma électrique du VCO en anneau modifié	107
4.9	Schéma équivalent de la cellule à retard	108
4.10	Comparaison du calcul théorique du bruit de phase avec les résultats de simulation	109
4.11	(a) Plage de fréquence du VCO (b) Profil de bruit de phase simulé	110
4.12	(a) Variations en température de la mobilité et de la tension de seuil (b) Variations en température de la transconductance	112
4.13	Schéma de principe de la compensation en température	113
4.14	(a) Schéma du circuit PTAT (b) Comparaison théorie/simulation du courant fournit en utilisant 4 branches	114
4.15	(a) Effets du circuit PTAT sur la transconductance de M_{n1} et M_{p1} (b) et sur la dérive fréquentielle.	114
4.16	Effets du circuit PTAT (a) sur la plage de fréquence (b) sur le courant consommé (c) sur le bruit de phase à 1MHz de la porteuse.	115
4.17	Schéma de principe des gains multiples du VCO	117
4.18	Schéma de principe du VCO complet	117
4.19	Schéma du VCO avec gain contrôlable	118
4.20	Schéma du circuit permettant le choix du canal	119
4.21	(a) Plages de fréquences obtenues avec le VCO complet et (b) variations en température	119

4.22	Schéma de l'étage tampon de sortie	120
4.23	(a) Gain en tension de l'étage tampon sans charge (b) Variation du gain en fonction de la charge	120
4.24	Niveaux de sortie en fonction de l'amplitude d'entrée	121
4.25	Microphotographies des structures de test(a) VCO fort gain et (b) MCO multi gains	122
4.26	(a) Spectre de l'oscillateur à fort gain (b) profil de bruit de phase	122
4.27	Comparaison de la plage de fréquence du VCO à fort gain simulée et mesurée	123
4.28	Comparaison des résultats de simulation et de mesures de la fréquence d'oscillation du VCO à fort gain pour (a) $V_{ctrl}=0V$ (b) $V_{ctrl}=1,25V$	123
4.29	(a) Mesure des plages de fréquences en fonction du canal (b) bruit de phase en fonction du canal et du circuit mesuré	124
4.30	(a) Spectre de l'oscillateur multi gains positionné sur le canal 5 (b) profil de bruit de phase	125

Liste des tableaux

1.1	Résumé des caractéristiques RF des standards de communication sans fils courte distance	7
1.2	Classes des modules Bluetooth	11
1.3	Tableau récapitulatif des caractéristiques du système propriétaire	16
1.4	Comparaison des caractéristiques de la norme 802.15.4 et du système pro- priétaire	20
2.1	Tableau récapitulatif des différents types de synthétiseurs de fréquence . . .	30
2.2	Tableau récapitulatif des techniques de réduction des raies parasites dans les PLL fractionnelles	33
2.3	Tableau comparatif des avantages et inconvénients des synthétiseurs de fréquences	40
3.1	Tableau récapitulatif des caractéristiques des deux PLL à réaliser	63
3.2	Caractéristiques de la PLL en fonction du filtre de boucle	77
3.3	Tableau récapitulatif des dérives des tensions de modulation en fonction des valeurs de capacités choisies	91
4.1	Tableau récapitulatif des caractéristiques du VCO LC proposé	102
4.2	Tableau récapitulatif des caractéristiques du VCO en anneau proposé . . .	103
4.3	Tableau récapitulatif des caractéristiques du VCO en anneau	110
4.4	Valeurs des paramètres du modèle de mobilité constante pour le silicium .	111
4.5	Récapitulatif des caractéristiques du VCO avec et sans PTAT	116
4.6	Valeurs du gain de l'étage tampon en fonction de la température	120

Liste des abréviations

Pour des raisons de lisibilité, la signification d'une abréviation ou d'un acronyme n'est souvent rappelée qu'à sa première apparition dans le texte d'un chapitre. Par ailleurs, puisque nous utilisons toujours l'abréviation la plus usuelle, il est fréquent que ce soit le terme anglais qui soit employé, auquel cas nous présentons une traduction.

A-ZCD	<i>Asynchronous Zero Crossing De-modulator</i>	Démodulateur asynchrone avec détecteur de passage aux axes
AGC	<i>Automatic Gain Control</i>	Système de contrôle automatique du gain d'une chaîne de réception
ART		Autorité de Régulation de Télécommunications
CDMA	<i>Code Division Multiple Access</i>	Multiplexage à séquence d'étalement pseudo-aléatoire (appelée code)
(C)MOS	<i>(Complementary) Metal Oxide Semiconductor</i>	Transistor de type Métal Oxide Semiconducteur
CNA		Convertisseur Numérique Analogique
DAS	<i>Direct Analog Synthesizer</i>	Synthétiseur de fréquence à séquence analogique
DDS	<i>Direct Digital Synthesizer</i>	Synthétiseur de fréquence à séquence numérique
DLL	<i>Delay Locked Loop</i>	Boucle à verrouillage de délai
DECT	<i>Digital European Cordless Telephone</i>	Norme européenne de télécommunication numérique sans fils
ETSI	<i>European Telecommunication Standards Institute</i>	Institut de régulation des télécommunication européenne
FSK	<i>Frequency Shift Keying</i>	Modulation à saut de fréquence

GFSK	<i>Gaussian Frequency Shift Keying</i>	Modulation à saut de fréquence gaussienne
IEEE	<i>Institute of Electrical and Electronics Engineers</i>	Association américaine réunissant des ingénieurs en électronique et ayant un rôle prépondérant dans la normalisation des matériels utilisant de l'électronique.
ISF	<i>Impulse Sensitivity Function</i>	Fonction de sensibilité impulsionnelle
ISM	<i>Industrial, Scientific and Medical</i>	Bandes de fréquences non-licenciées réservées aux applications industrielles, scientifiques et médicales
(capacité) MIM	<i>Metal Insulator Metal</i>	Type de capacité intégrée constituée par deux couches métalliques (généralement les deux niveaux métalliques les plus élevés) séparées par un niveau d'isolant
MCO	<i>Multi Controlled Oscillator</i>	Oscillateur contrôlé en tension et courant
Modem	<i>Modulator Demodulator</i>	Modulateur Démodulateur
NCO	<i>Numerically Controlled Oscillator</i>	Oscillateur contrôlé numériquement
PFD	<i>Phase Frequency Detector</i>	Détecteur de phase/fréquence
PLL	<i>Phase Locked Loop</i>	Boucle à verrouillage de phase
TEB		Taux d'Erreur de Bits
USB	<i>Universal Serial Bus</i>	Norme de bus fonctionnant en mode série, et permettant la connexion de périphérique externe avec un débit maximum de 480 Mbits/s.
UWB	<i>Ultra Wide Band</i>	Ultra Large Bande. Technique de modulation radio basée sur la transmission d'impulsions de très courte durée (1 à 10 ns) et possédant un rapport largeur de bande sur fréquence centrale supérieur à 25%
VCO	<i>Voltage Controlled Oscillator</i>	Oscillateur contrôlé en tension
WCDMA	<i>Wideband Code Division Multiple Access</i>	Multiplexage par code large bande
WLAN	<i>Wireless Local Area Networks</i>	Réseaux locaux sans fils
WPAN	<i>Wireless Personal Area Network</i>	Réseaux personnels sans fils
ZIF	<i>Zero Intermediate Frequency</i>	Récepteur à fréquence intermédiaire nulle (ou homodyne)

Liste des notations

Nous avons regroupé ci-dessous les principales notations employées dans les différents chapitres du document. Dans la mesure du possible, nous avons tenté de conserver les mêmes notations d'un chapitre à l'autre. Nous présentons tout d'abord une liste générale puis des listes relatives aux différents chapitres. On notera que seules les notations qui diffèrent de celles précédemment définies seront données dans ces listes. Enfin, certaines notations, apparaissant uniquement de manière ponctuelle, ont été omises.

Notations générales

f_T	fréquence de transition d'un transistor
W	largeur de grille d'un transistor MOS
L	longueur de grille d'un transistor MOS
g_m	transconductance d'un transistor MOS
K_{VCO}	gain de conversion d'un oscillateur commandé en tension
N	coefficient de division du diviseur de fréquence d'une PLL
Φ	marge de phase d'un circuit
ζ	facteur d'amortissement d'une ondulation
θ	phase d'un signal
V_{DD}	tension d'alimentation d'un circuit
V_T	tension de seuil d'un transistor

Introduction

Les récentes avancées des applications de télécommunication radio-fréquences (RF), l'augmentation des fréquences d'opération des microprocesseurs et les possibilités de stockage de données rapides ont pour conséquence une expansion exponentielle du volume de données échangées. Ce développement a engendré une demande croissante de systèmes de télécommunication de plus en plus performants, que ce soit en termes de débit, de flexibilité des réseaux, et bien évidemment de coût des systèmes.

Tous les systèmes de communication modernes requièrent un signal périodique stable pour fournir une base de temps nécessaire à la synchronisation, à l'alignement des horloges d'échantillonnage, à la récupération d'horloge ou encore à la synthèse de fréquences. Le verrouillage de phase est une des principales techniques pour répondre à ces besoins. Les boucles à verrouillage de phase (ou PLL pour *Phase Locked Loop*) permettent, entre autres applications, la récupération de porteuse, la récupération d'horloge, la modulation/démodulation de phase/fréquence, la synchronisation d'horloges, la synthèse de fréquence, la correction de rapport cyclique, la réduction de la « gigue » temporelle (ou *jitter* dans la littérature anglophone).

Si le principe de fonctionnement de la PLL reste inchangé depuis son invention dans les années 1930, l'intégration de PLL monolithiques est récemment devenu un domaine de recherche suscitant un intérêt important. En effet, les limitations dans l'implémentation de PLL performantes, totalement intégrées et à faible consommation affectent les performances globales du système. Le défi principal concernant la conception d'une PLL est déterminé par les impératifs technologiques, par exemple l'utilisation de la technologie CMOS permet une meilleure intégration de la partie numérique mais rend plus complexe le développement des blocs analogiques RF, et par les impératifs de l'application visée (fréquence de fonctionnement et plage de fréquence, bruit de phase, etc...). Dans ce contexte, l'élément le plus critique au sein de la PLL est l'oscillateur contrôlé en tension (ou VCO

pour *Voltage Controlled Oscillator*) dont les performances vont fortement impacter les caractéristiques de la boucle, notamment en termes de bruit de phase et de sélectivité en fréquence.

L'enjeu de ce travail de thèse est de concevoir, réaliser et caractériser une boucle à verrouillage de phase capable de s'intégrer dans un système de télécommunication faible coût, faible consommation, réalisé en technologie CMOS et destiné à des applications de type réseaux personnels sans fil. Des contraintes fortes en termes de surface silicium, consommation, réactivité de la boucle et de précision fréquentielle sont les éléments directeurs de la conception de cette PLL.

Dans le premier chapitre de ce manuscrit, nous ferons état des différents systèmes de télécommunication sans fil actuels puis nous présenterons plus particulièrement le système propriétaire dans lequel intervient ce travail. Ce système, développé en partenariat entre la société STMicroelectronics et l'Institut Matériaux Microélectronique Nanosciences de Provence (IM2NP) s'inscrit dans le cadre des systèmes de réseaux personnels sans fils (ou WPAN pour *Wireless Personal Area Network*). Une présentation globale du cahier des charges déterminé par STMicroelectronics ainsi que la solution proposée par l'IM2NP seront données avant de préciser les rôles de la PLL dans ce contexte.

Le deuxième chapitre fera état dans une première partie des différentes structures de PLL classiques avec leurs caractéristiques, les avantages et leurs défauts. La seconde partie présentera la solution proposée pour notre application. Les deux rôles différents de notre PLL, le mode réception et le mode émission, au sein du système seront décrits précisément afin de dégager les contraintes qui vont nous guider dans le choix et le développement d'une structure simple, multi-fonctionnelle et performante.

Le troisième chapitre sera dédié à l'étude théorique et à la mise en oeuvre de la PLL. A partir du cahier des charges défini au niveau système, les différents paramètres de la boucle seront déterminés. A partir d'un état de l'art des blocs constituant la boucle et des contraintes précédentes, les architectures proposées pour le comparateur de phase, la pompe de charge, le filtre de boucle et le diviseur de fréquence seront présentées. Enfin, le circuit de modulation intervenant dans le mode émission de la PLL sera développé.

Finalement, le quatrième chapitre présentera une étude de l'oscillateur contrôlé en tension, véritable coeur de la PLL proposée. Après une comparaison des structures à résonateur passif et des structures dites « en anneau », le cheminement ayant permis d'aboutir aux deux VCOs proposés sera développé avant d'exposer les performances de ces oscillateurs.

1

Les systèmes d'émission-réception radio-fréquences

L'objectif de ce chapitre est, dans un premier temps, de faire un état de l'art des architectures des chaînes de communication numérique sans fil puis d'aborder plus en détail la problématique liée aux aspects faible coût, faible consommation du système propriétaire STMicroelectronics dans lequel s'inscrit cette thèse.

Une première partie propose un résumé de l'évolution des systèmes d'émission réception jusqu'aux systèmes modernes ainsi qu'une présentation des différents standards de télécommunication actuels en mettant l'accent sur les standards de type réseaux locaux et réseaux personnels sans fil.

Dans la deuxième partie de ce chapitre, le contexte industriel de la thèse sera abordé et l'architecture du système propriétaire sera présentée. Une attention particulière sera portée sur la place et le rôle de la boucle à verrouillage de phase dans ce système. Enfin, l'adaptation au standard de télécommunication IEEE 802.15.4 sera évoquée.

1.1 État de l'art des architectures d'émetteurs-récepteurs

1.1.1 Évolution de ces systèmes

Depuis quelques années, les télécommunications sans fil et leurs applications ont connu une croissance importante et rapide. L'introduction du traitement numérique du signal dans les systèmes de communication en est l'une des raisons principales. Cette révolution numérique résulte du développement de technologies CMOS performantes, peu coûteuses en comparaison des technologies bipolaires classiques et qui autorisent l'intégration de fonctions numériques complexes et analogiques sur une même puce.

Aujourd'hui, les évolutions numériques et l'essor du marché des applications sans fil ont également induit de nombreux changements dans la partie analogique des émetteurs-récepteurs, partie assurant l'interface entre l'antenne et le modem numérique et également appelée tête RF. Cette tête doit être capable de détecter des signaux très faibles (de l'ordre de quelques μV d'amplitude) et de fréquence élevée (plusieurs GHz) et, dans le même temps, être capable de transmettre des signaux pouvant atteindre de fortes puissances (quelques Watts) et de hautes fréquences. Cela requiert des circuits analogiques performants tels que filtres, amplificateurs, mélangeurs, oscillateurs. Historiquement, le domaine des communications RF était initialement réservé aux applications dans lesquelles primait la performance, sans véritable contrainte de coût ou d'intégration. Ces systèmes étaient principalement destinés aux utilisations militaires. En s'ouvrant aux domaines commerciaux et grand public, les systèmes RF sont maintenant soumis à des impératifs économiques bien différents, le maître mot étant la réduction des coûts en conservant des performances acceptables. Ces impératifs de faible coût, faible consommation font de la partie analogique le point sensible des systèmes RF actuels et futurs [1].

Cette tendance est également motivée par la possibilité offerte par les technologies CMOS d'intégrer les circuits numériques. L'utilisation de ces technologies pour la réalisation de blocs analogiques performants présente d'autres avantages. Elles sont moins coûteuses que les équivalents bipolaires (sauf dans le cas où l'on utilise des adaptations spéciales pour la conception analogique), ceci est particulièrement vrai lorsque l'on intègre la totalité de l'émetteur-récepteur (partie analogique et numérique) sur une même puce. Cette intégration totale ne peut être obtenue qu'en utilisant des technologies CMOS ou BiCMOS. Le BiCMOS offre de meilleures performances pour l'analogique, mais son utilisation est plus onéreuse du fait d'un coût surfacique plus élevé et d'une plus faible densité d'intégration pour la partie numérique. Enfin, le développement des technologies MOS submicroniques permet d'obtenir des transistors dont la fréquence de transition f_T est proche de celle des composants bipolaires [2].

Même si certaines recherches ont été menées dans le passé concernant la conception RF

en technologies CMOS [3], il n'y a que quelques années qu'une réelle attention a été portée à ces possibilités [4, 5]. Les composants bipolaires étant intrinsèquement plus performants que les composants CMOS, les circuits RF CMOS pouvaient être considérés comme uniquement utilisables pour des systèmes ayant des contraintes réduites [6–8], ou lorsque le processus CMOS doit être modifié, comme la gravure du substrat sous les inductances [9]. Cependant, il a été démontré que des émetteurs-récepteurs conçus intégralement en CMOS submicronique étaient utilisables pour des applications contraignantes telles que GSM, DECT, DCS 1800 [10, 11].

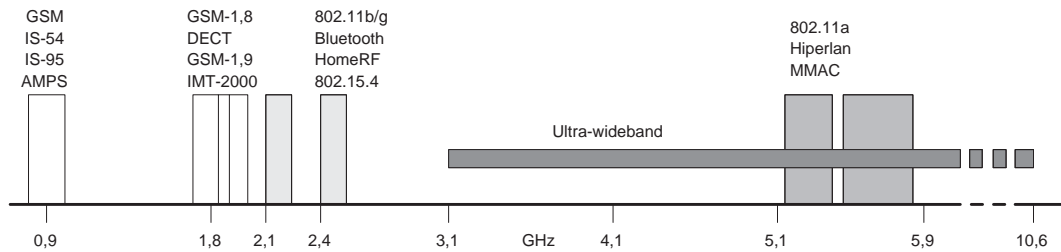


FIG. 1.1 – Bandes de fréquences des standards de télécommunication sans fil

Le développement important des différents standards et systèmes de télécommunication sans fil, à commencer par la téléphonie cellulaire, a conduit à un engorgement du spectre fréquentiel disponible notamment dans les bandes 900 et 1800 MHz (cf figure 1.1). La figure 1.2 résume graphiquement l'ensemble des bandes de fréquences RF et millimétriques utilisées dans le monde, la plupart étant réservées aux applications militaires. Pour répondre aux demandes, les autorités de régulation ont donc ouvert progressivement plusieurs bandes de fréquences de plus en plus élevées. En 1985, la *Federal Communications Commission* (FCC) américaine a défini les bandes de fréquence ISM (pour *Industrial, Scientific, and Medical*) autorisant les communications non licenciées. Trois de ces bandes sont illustrées par la figure 1.3. Le point important concernant ces gammes de fréquences est le fait qu'aucune licence n'est nécessaire pour les systèmes opérants dans ces bandes dès lors qu'ils respectent les directives de la FCC ou des autres organismes de régulation (ETSI en Europe, ART en France, MKK au Japon) concernant principalement le niveau de puissance émis maximum. Les techniques d'étalement de spectre sont nécessairement mises en place par les émetteurs-récepteurs fonctionnant dans les bandes ISM pour minimiser les interférences envers les autres utilisateurs et s'affranchir eux-même au maximum des interférences et des autres signaux potentiellement bloquants. Aujourd'hui, la bande 2,4 GHz, mondialement disponible, est extrêmement utilisée (cf figure 1.1), par exemple par les communications sans fil courte distance qui sont développés dans la suite de ce chapitre.

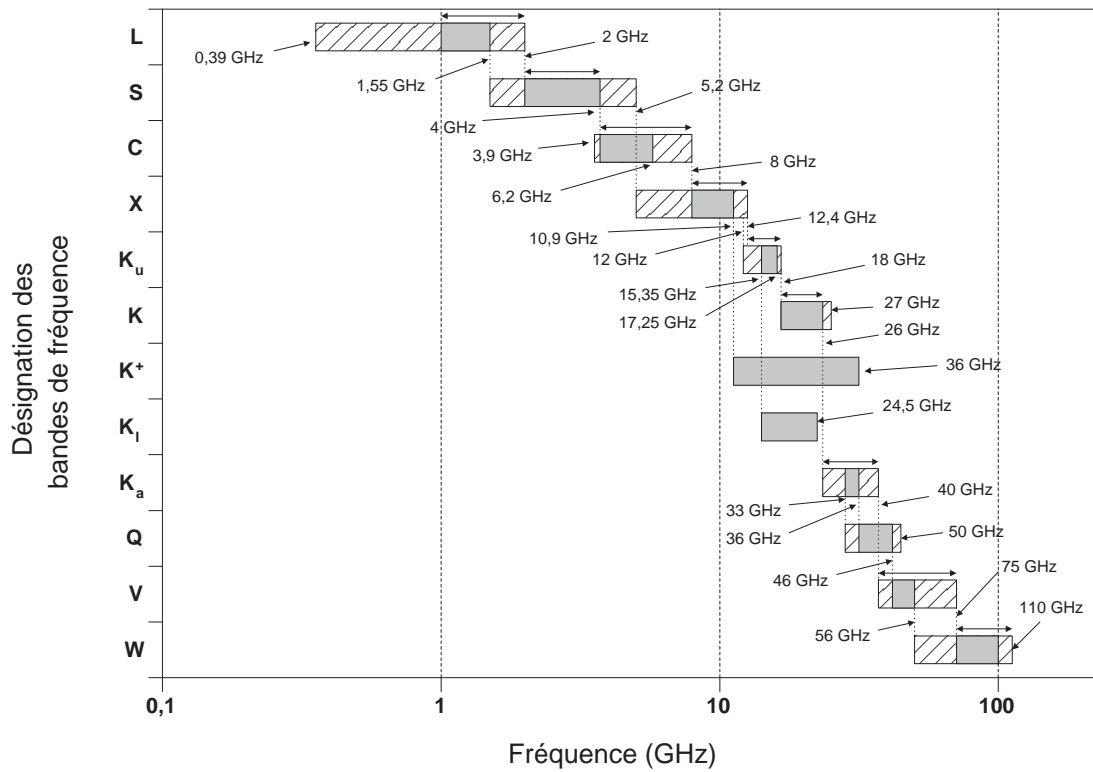


FIG. 1.2 – Désignation IEEE et industrielle des bandes de fréquence RF et millimétriques. Les zones hachurées indiquent les variations rencontrées dans la littérature ; les zones grisées indiquent les fréquences les plus généralement reconnues comme appartenant aux bandes considérées. Les flèches doubles au dessus des bandes indiquent la définition IEEE, lorsqu'elle existe, de la bande considérée.

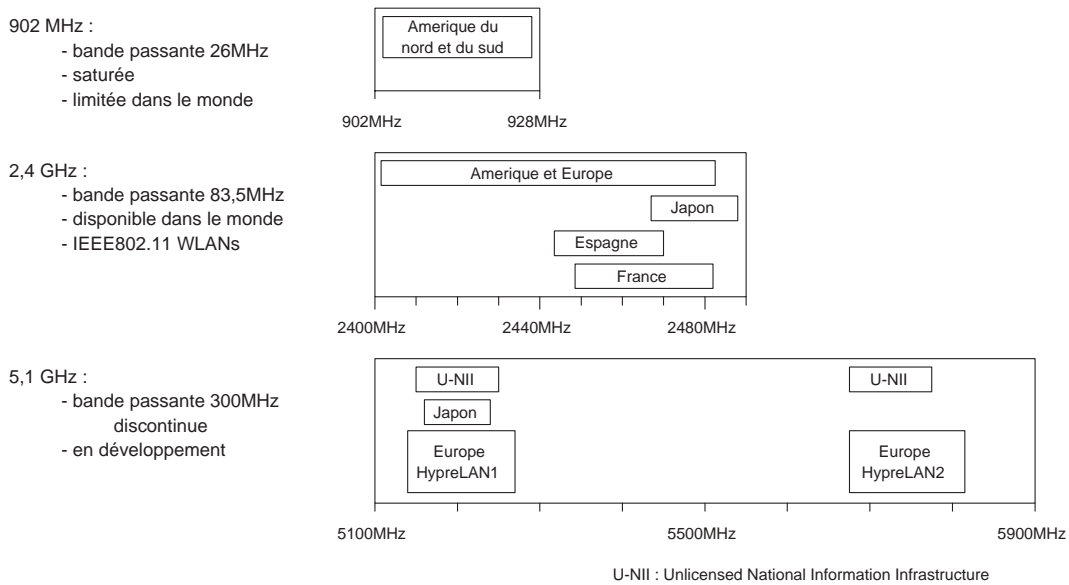


FIG. 1.3 – Détail des bandes ISM non licenciées

1.1.2 Les standards actuels en radio-fréquence

Nous ne traiterons pas ici l'intégralité des standards de télécommunication mais seulement ceux classés comme « standards de communication sans fil courte distance » résumés dans le tableau 1.1.

	Bluetooth 802.15.1	Wi-Fi 802.11b	802.11g	UWB 802.15.3	Zigbee 802.15.4
distance max.	10 - 100 m	100 m	100 m	10 m	20 m
fréquence	2,4 GHz	2,4 GHz	2,4 GHz	3,1 - 10,6 GHz	2,4 GHz
nombre de canaux	79	14	14	1 - 15	16
modulation	GFSK	QPSK	OFDM	BPSK, QPSK	O-QPSK
puissance maximum	0 - 20dBm	30 dBm (US) 20 dBm (UE) 10 dBm (Ja- pon)	30 dBm (US) 20 dBm (UE) 10 dBm (Ja- pon)	-41,3 dBm/MHz	0 dBm
sensibilité du récepteur	-70 dBm	-76 dBm @ 11 Mbits/s	-74 dBm @ 33 Mbits/s	-	-85 dBm

TAB. 1.1 – Résumé des caractéristiques RF des standards de communication sans fils courte distance

En effet, le projet dans lequel s'inscrit cette thèse entre dans ce cadre. De plus, l'intérêt pour ces types de communication n'a cessé d'augmenter au cours des dernières années et leurs applications sont en constant développement, depuis l'utilisation en réseau local pour l'accès sans fil à internet jusqu'au contrôle complet d'une maison par l'intermédiaire des systèmes domotiques (cf figure 1.4).

1.1.2.1 Réseaux locaux sans fil (WLAN)

Avec les développements de l'informatique et plus précisément des ordinateurs portables dans les années 1980, ces outils ont commencé à être utilisés ailleurs que dans le cadre du bureau. Avec l'utilisation de plus en plus large d'internet dans les années 90, cette mobilité est devenue problématique : une demande forte est apparue pour permettre de se connecter à internet où que l'on se trouve. La réponse qui a alors émergé était de connecter les ordinateurs entre eux et, par conséquent, à internet non plus par réseau

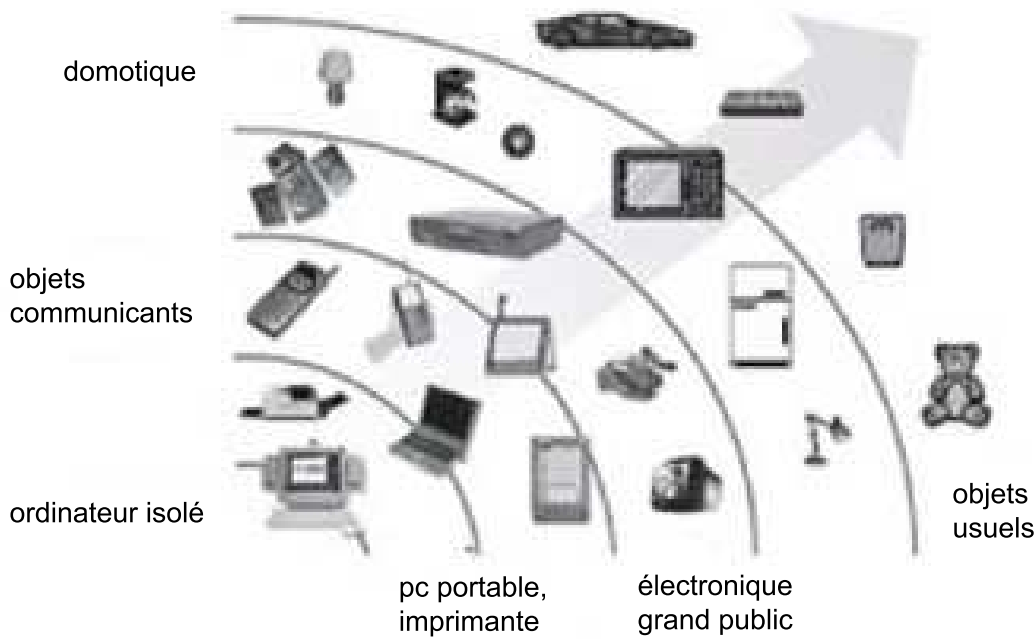


FIG. 1.4 – Évolution commerciale des communications sans fil courte distance

filaire mais par ondes radio créant ainsi un réseau local sans fil (ou WLAN pour *Wireless Local Area Network*). Les réseaux WLAN nécessitent donc un point d'accès fixe sur lequel peuvent venir se connecter plusieurs stations mobiles. Dans ce contexte, le standard IEEE 802.11 « Réseaux locaux sans fil » permet aux différents acteurs industriels de développer des produits réseaux locaux inter-opérables fonctionnant dans les bandes de fréquences ISM 2,4 et 5 GHz (cf figure 1.3). Il définit une interface entre un « client » et un « point d'accès » dans le réseau sans fil en spécifiant à la fois la couche physique (PHY) et les couches logiciels (ou MAC pour *Medium Access Control*).

Le standard 802.11b, ou Wi-Fi pour *Wireless Fidelity*, est apparu en 1999 et s'est rapidement imposé dans le milieu industriel et grand public. Fonctionnant dans la bande 2,4 GHz, le 802.11b est l'acteur principal de la famille 802.11 bien que le premier standard développé ait été le 802.11a. Les 802.11a/b utilisent des spectres de transmission non licenciés et sont donc contraints d'employer des techniques d'étalement de spectre de façon à augmenter l'immunité des canaux de communication aux interférences, réduire les interférences entre les différents utilisateurs du réseau et augmenter la capacité de réutilisation du spectre. Le 802.11b utilise la technique d'étalement de spectre à séquence directe (ou DSSS pour *Direct Sequence Spread Spectrum*) pour répartir la trame du signal sur une partie relativement large (30 MHz) de la bande [2,4 ; 2,483] GHz et permettre d'obtenir une meilleure immunité aux interférences RF en comparaison d'un signal bande étroite. Pour les débits élevés (5 Mbits/s, 11 Mbits/s), la technique d'étalement employée est de type *Complementary Code Keying* (CCK).

Concernant les autres standards du groupe 802.11, le 802.11a utilise la bande 5 GHz, une modulation de type 16-QAM et autorise un débit allant jusqu'à 55 Mbits/s. La couche MAC du 802.11a est un prolongement du protocole CSMA/CD (pour *Carrier Sense Multiple Access/Collision Detect*), utilisé dans les réseaux locaux filaires (IEEE 802.3), appelé CSMA/CA (pour *Carrier Sense Multiple Access/Collision Avoidance*) et permettant de supprimer tout risque de collision de données. Cette première génération de réseaux locaux sans fil a en fait été pensée comme une extension des réseaux de type *Ethernet*. En 2003, une combinaison du 802.11a et 802.11b a été proposée comme une évolution du standard. Appelé 802.11g, ce standard utilise la modulation et la couche MAC du 802.11a mais opère dans la bande 2,4 GHz. Il permet d'obtenir des débits élevés en restant dans une bande de fréquences conduisant à un relâchement des contraintes sur la partie RF des systèmes de communication. Ce troisième standard est un complément des deux précédents. La tendance actuelle est au développement d'émetteurs-récepteurs multi-standards compatibles avec les trois standards 802.11a/b/g [12] tel que celui illustré par la figure 1.5.

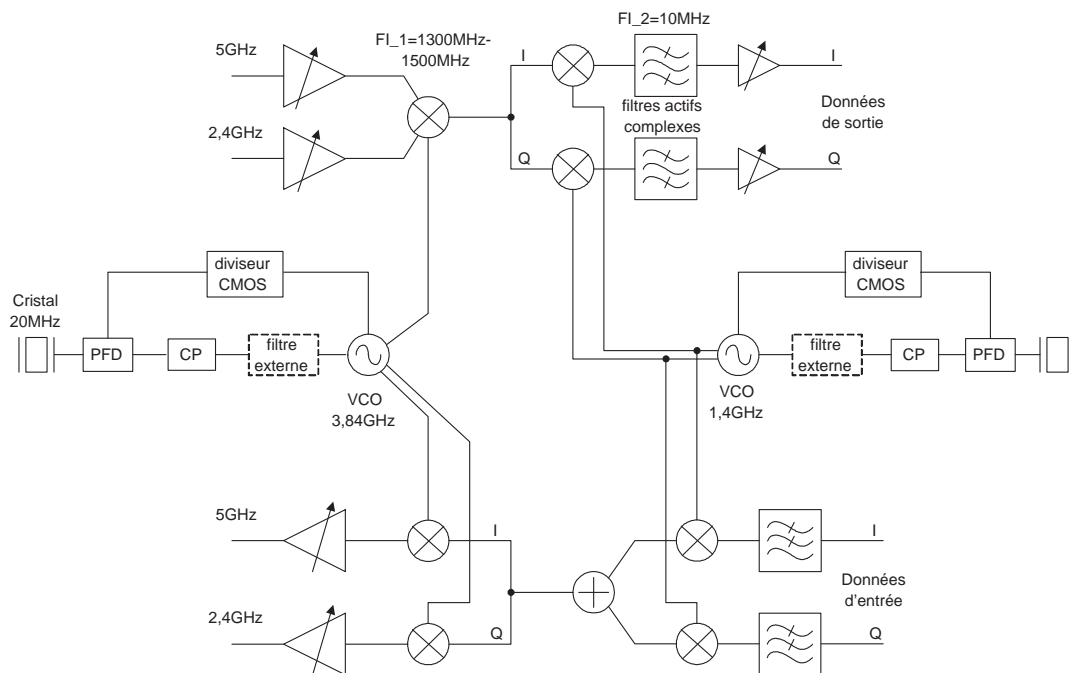


FIG. 1.5 – Exemple d'architecture d'émetteur-récepteur 802.11a/b/g proposé dans [13]

Les standards 802.11 continuent à se développer avec par exemple la mise en oeuvre du 802.11h compatible avec la norme européenne HiperLAN2 (pour *High PERFORMANCE radio LAN*) élaborée par l'*European Telecommunications Standards Institute*. Basé sur la technique de modulation OFDM, l'HiperLAN2 est orienté réseau sans fil ATM (*Asynchronous Transfer Mode*). Opérant dans une bande passante comprise entre 5,4 GHz et 5,7

GHz, cette norme autorise différents débits de 6, 9, 12, 18, 27, 36 Mbits/s et 54 Mbits/s. Outre le transport des cellules ATM, l'HiperLAN2 est également destiné à la transmission de vidéo, de paquets IP, de paquets *Firewire* IEEE 1394 et de la voix numérisée des téléphones cellulaires. On peut également noter l'apparition du 802.11n, successeur annoncé du 802.11g dont le débit théorique atteint les 540 Mbit/s grâce à la technologie MIMO (*Multiple-Input Multiple-Output*) et l'utilisation d'une modulation OFDM. En avril 2006, des périphériques basés sur la norme 802.11n ont commencé à apparaître en s'appuyant sur le brouillon 1.0 de la norme (il est à noter que cette version 1.0 a été rejetée en mai 2006 par les membres du groupe de travail IEEE 802.11); le brouillon 2.0 a été publié en mars 2007, les périphériques basés sur ce brouillon seront compatibles avec la version finale attendue pour juin 2009. Le 802.11n utilisera simultanément les fréquences 2,4 et 5GHz.

1.1.2.2 Réseaux personnels sans fil (WPAN)

En complément des systèmes WLAN haut débit de la famille 802.11, une attention particulière a également été portée sur des systèmes plus bas débit et plus courte distance. Destinés à des applications très diverses incluant par exemple la domotique, les télécommandes et le télécontrôle, les capteurs, les jouets « intelligents » ou encore le simple remplacement des fils entre ordinateur et périphériques, ces systèmes sont regroupés sous l'appellation « Réseaux personnels sans fil » (ou WPAN pour *Wireless Personal Area Network*) dont les deux standards les plus développés sont le *Bluetooth* et le *ZigBee*. Ces systèmes ont pour caractéristiques principales communes, outre des débits relativement réduits, un faible coût et une faible consommation.

i. *Bluetooth* et le standard IEEE 802.15.1

Bluetooth est une spécification de l'industrie des télécommunications. Elle utilise une technologie radio courte distance destinée à simplifier les connexions entre les appareils électroniques. Elle a été conçue dans le but de remplacer les câbles entre les ordinateurs et les imprimantes, les scanners, les claviers, les souris, les téléphones portables, les PDA, les appareils photo numériques. . . Créée par Ericsson en 1994, puis développée à partir de 1998 par le *Bluetooth Special Interest Group* (formé par de grands groupes industriels tels que IBM, Intel, Microsoft, Motorola, Nokia et Toshiba) la technologie *Bluetooth* définit notamment des caractéristiques de facteur de forme réduit et de faible coût ainsi que la majeure partie de la pile de protocoles afin d'assurer une compatibilité entre tous les périphériques Bluetooth.

La technologie *Bluetooth* utilise l'une des bandes de fréquences ISM (cf figure 1.3). La bande de fréquences utilisée est disponible au niveau mondial, elle s'étend sur 83,5 MHz (de 2,4 à 2,4835 GHz) et est divisée en 79 canaux séparés de 1 MHz. La modulation

utilisée pour le codage de l'information est de type GFSK avec des déviations de ± 160 kHz autour de la porteuse. Il existe 3 classes de modules radio *Bluetooth* sur le marché ayant des puissances d'émission différentes et donc des portées différentes (cf tableau 1.2).

Classe	Puissance	Portée
1	100 mW (20 dBm)	100 m
2	2,5 mW (4 dBm)	15 à 20m
3	1 mW (0 dBm)	10 m

TAB. 1.2 – Classes des modules Bluetooth

Concernant l'architecture de l'émetteur-récepteur, les spécifications *Bluetooth* favorisent les structures du type *High-IF* (fréquence intermédiaire FI supérieure à 10 MHz) ou *Low-IF* (FI < 10 MHz) du fait du préambule extrêmement court du code d'accès et du temps de verrouillage en fréquence long pour chaque intervalle de temps [14] ainsi que de la modulation utilisée [15]. Un exemple d'architecture en *Low-IF* est illustré par la figure 1.6, ce type d'architecture est le plus couramment utilisé dans les récepteurs *Bluetooth* car il permet d'obtenir un bon rapport signal à bruit à la fréquence intermédiaire sans problème de bruit en $1/f$ ou de décalage de la composante continue [7, 16]. En effet, une fréquence intermédiaire très faible (de l'ordre de quelques kilo Hertz) permettrait de relâcher les exigences en terme de réjection d'image mais nécessiterait un filtre de sélection de canal d'ordre élevé pour éliminer la composante continue et le bruit de scintillation. De même, une fréquence intermédiaire élevée (supérieure à quelques Mega Hertz) permettrait d'améliorer les performances du démodulateur mais induirait une augmentation de la sélectivité du filtre de sélection de canal et de la consommation. Une fréquence intermédiaire égale au double de la largeur d'un canal, soit 2 MHz, est par conséquent le compromis le plus utilisé [17].

Concernant le protocole de communication, l'utilisation de la technique TDD (*Time Division Duplex*) permet un fonctionnement en duplex. Par ailleurs, l'utilisation de la bande ISM-2,4 GHz conduit à la mise en place d'une technique d'étalement de spectre. Le système *Bluetooth* utilise le *Frequency-Hopping Spread Spectrum* ou FHSS consistant à changer de fréquence après chaque paquet échangé. Ainsi, l'émetteur change de fréquence 1600 fois par seconde, ce qui permet de minimiser les possibles interférences avec les autres utilisateurs de la bande de fréquences [17].

Le 28 mars 2006, le *Bluetooth Special Interest Group* a annoncé la prochaine génération de la technologie sans fil Bluetooth, qui sera capable d'assurer des débits cent fois supérieurs à la version actuelle, passant donc de 1 Mbits/s à 100 Mbits/s (soit 12,5 Mo/s). La nouvelle norme s'appuiera sur l'*Ultra wideband* ou UWB.

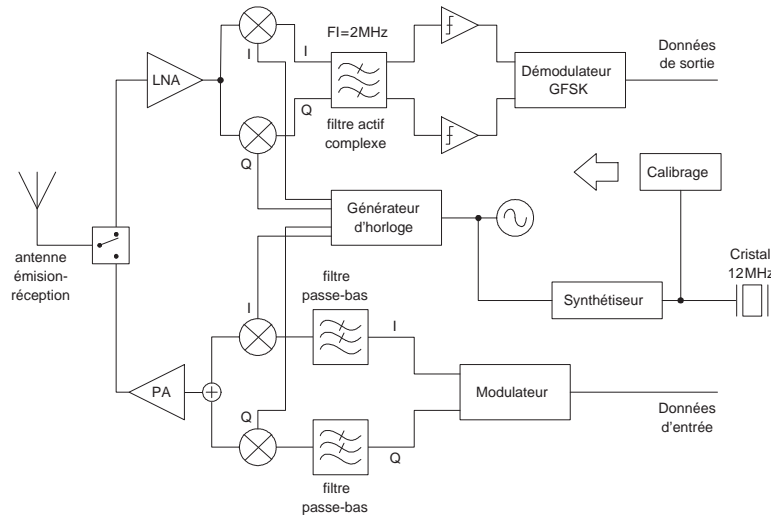


FIG. 1.6 – Exemple d’architecture d’émetteur-récepteur Bluetooth proposé dans [15]

IEEE a adapté et intégré une partie des spécifications *Bluetooth* comme base pour aboutir au standard 802.15.1. Ce standard est totalement compatible avec la version 1.1 des spécifications *Bluetooth*.

ii. Zigbee et le standard IEEE 802.15.4

Le développement de la norme 802.15.4 est une réponse à une demande de développement d’un standard permettant la réalisation de systèmes simples et peu coûteux. Le type d’application visé est le même que pour le système propriétaire, c’est-à-dire des applications ne nécessitant pas des échanges de données en permanence, ni un trafic important. Le standard 802.15.4 sera en particulier dédié aux applications réseaux dites statiques connectables à des dispositifs peu coûteux. Pour ces applications, les contraintes imposées par les standards *Bluetooth* ou *Wifi* en termes de débit, d’espacement entre canaux ou de méthode d’accès (CDMA) ne sont pas compatibles avec les objectifs de conception inhérents à la réalisation des produits faibles coûts.

La norme IEEE 802.15.4, *Low-Rate Personal Area Network* (LRWPAN), a donc pour objectif de définir un standard adapté à la réalisation d’un réseau sans fil faible coût (prix de production des puces < 2 \$), disposant d’une autonomie importante (temps de vie des batteries > 1 an) et « flexible ». Dans la pratique, la réduction de la consommation impose aussi une mise en veille du système pendant 99,9% du temps de vie des accumulateurs. Notons aussi que ce réseau cohabitera avec d’autres, fonctionnant dans les mêmes bandes de fréquence (*Bluetooth*, *WiFi*...). Ainsi, le fait de fonctionner durant seulement moins de 1% du temps rendra le système LRWPAN peu perturbateur pour les autres réseaux. Un exemple de structure d’émetteur-récepteur *Zigbee* est illustré par la figure 1.7, architecture proche de la structure *Bluetooth* représentée en figure 1.6.

Nous reviendrons plus en détail sur ce standard dans la suite de ce manuscrit (cf

section 1.2, paragraphe 1.2.3).

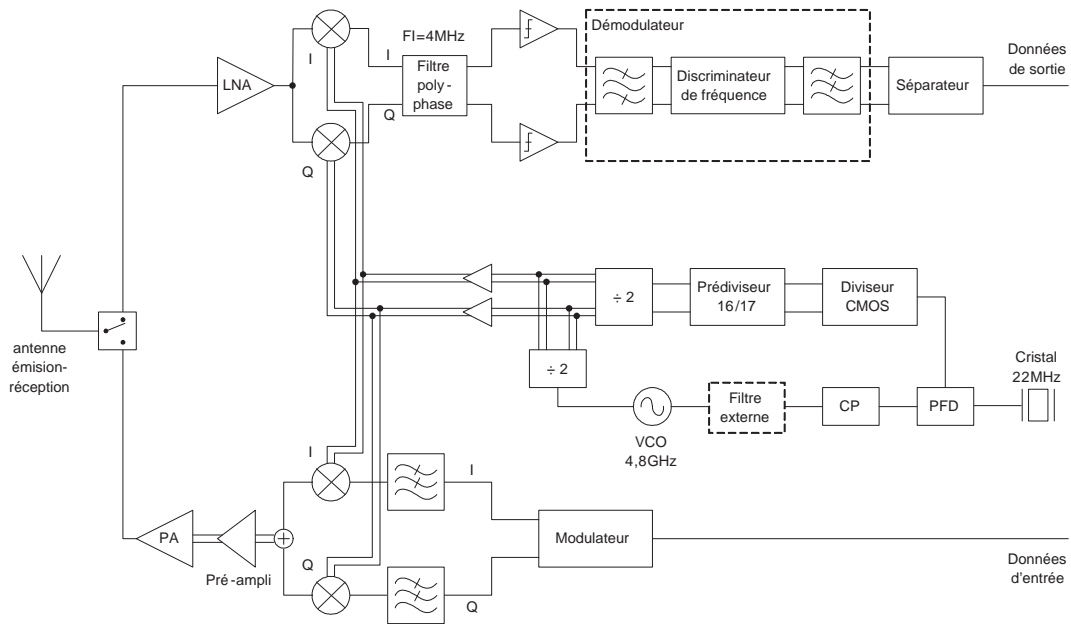


FIG. 1.7 – Exemple d'architecture d'émetteur-récepteur Zigbee proposé dans [18]

1.1.2.3 Ultra Wide Band

Les systèmes UWB sont récemment apparus dans le domaine des communications sans fil courte distance, plus précisément dans les applications de type WPAN, et sont encore en cours de développement. Techniquement, un système radio est dit « ultra large bande » lorsque sa bande passante est supérieure à 20% de sa fréquence centrale ou supérieure à 500 MHz. Les communications de type UWB sont employées depuis les années 60 dans le domaine des radars [19]. Les systèmes UWB étaient alors encombrants et chers, et affichaient des consommations importantes dues aux générations d'horloges de précision, aux générations d'impulsions haute tension, à l'utilisation longue distance et au faible niveau d'intégration. En 2001 la FCC a révisé la section 15 du *Code of Federal Regulations* (titre 47, chapitre 1) concernant les limites maximales de radiations parasites [20], autorisant ainsi les émissions UWB faible puissance pour applications commerciales, puis a ouvert l'année suivante près de 8 GHz de spectre de fréquence non licencié aux États-Unis (de 0 à 960 MHz et de 3,1 à 10,6 GHz) pour le déploiement de l'UWB. En Europe, la Conférence Européenne des Administrations des Postes et des Télécommunications (CEPT) et l'*Electronic and Communications Commission* (ECC) ont également édité un rapport en février 2005 (ECC 64) puis une proposition de régulation des systèmes UWB (brouillon ECC/DEC/06(AA), octobre 2005).

Deux tentatives de standardisation ont eu lieu depuis le *First Report and Order* de la FCC. Le IEEE 802.15.3a, maintenant officiellement abandonné, était destiné aux applica-

tions domestiques haut débit, courte distance. Visant à remplacer les systèmes d'interconnexion par câble (principalement l'USB), le 802.15.3a proposait trois débits différents : 110 Mbits/s jusqu'à 10 m pour une consommation de 100 mW, 200 Mbits/s jusqu'à 4 m pour une consommation de 250 mW et 480 Mbits/s jusqu'à 1 m pour une consommation de 500 mW. Le 19 janvier 2006 le processus de standardisation du 802.15.3a a été stoppé suite aux dissensions intervenant entre deux groupes distincts - le *WiMedia Alliance* formé par de grands groupes tels que Intel, Texas Instrument, HP et Sony et l'*UWB Forum* créé par Freescale et Motorola - développant chacun une technique particulière concernant la couche physique de l'UWB : la première, le *MultiBand Orthogonal Frequency Division Multiplexing* (MB-OFDM), consiste à diviser la bande en plusieurs sous-bandes de largeur égale à 528 MHz et la seconde, le *Direct Sequence UWB* (DS-UWB), est basée sur la transmission de trains d'impulsions large bande modulées en amplitude ou en position. Ces deux approches étant incompatibles, chaque groupe commercialise sa propre solution en laissant le consommateur choisir. La *WiMedia alliance* a publié sa propre norme ECMA 368 en décembre 2005. Les premières puces UWB ont été produites dès 2006 et les premiers produits (tels que des hubs USB) ont fait leur apparition fin 2006. Ces systèmes radio supportant le MB-OFDM sont généralement des évolutions de systèmes de type 802.11a/g et leurs implémentations sont relativement complexes [21, 22]. La deuxième tentative de standardisation se nomme 802.15.4a et a été proposée comme une couche physique alternative pour le 802.15.4. Le 802.15.4a a désormais été approuvé par l'IEEE (depuis le 22 mars 2007) et a été publié en juin 2007. Les applications typiques de cette norme sont les réseaux de capteurs intelligents, le suivi de bien ou de personne. Les deux solutions retenues sont l'étalement de spectre par modulation linéaire de fréquence (*Chirp Spread Spectrum CSS*), autour de 2450MHz, et l'UWB impulsionnel avec modulation de type PPM (pour *Pulse Position Modulation*). Les principaux intérêts de la solution 802.15.4a sont [23] :

- le choix entre récepteur favorisant les performances ou la faible complexité et la consommation électrique
- la possibilité d'ajuster le débit en jouant sur le nombre d'impulsions transmises par symbole tout en gardant une puissance RF constante
- un plan de fréquences adapté aux différentes régulations

Comme on peut le voir sur la figure 1.8 [24], l'utilisation des techniques impulsionnelles permet de réduire considérablement la partie RF des émetteurs-récepteurs pour tendre vers le « tout numérique » en amenant le traitement numérique de plus en plus près de l'antenne et en réduisant ainsi la complexité analogique pour diminuer la consommation et augmenter l'intégration.

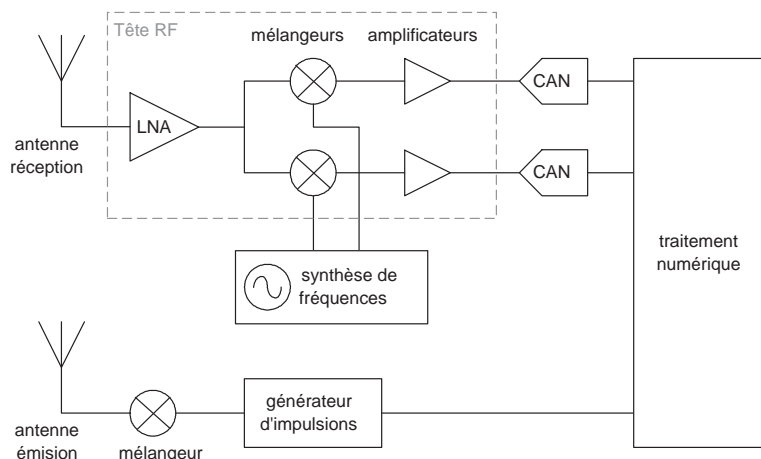


FIG. 1.8 – Exemple d'architecture d'émetteur-récepteur UWB

1.2 Contexte industriel, présentation du système propriétaire STMicroelectronics

Le travail décrit dans la suite de cette thèse s'inscrit dans un projet de collaboration mené entre la société STMicroelectronics et l'équipe Conception de Circuits Intégrés de l'Institut Matériaux Microélectronique Nanosciences de Provence (IM2NP). Le but de ce projet est le développement complet (depuis la détermination de l'architecture système à partir du cahier des charges proposé par STMicroelectronics jusqu'à la caractérisation des circuits réalisés) d'un système (analogique et numérique) adapté à la problématique de l'application industrielle propriétaire faible coût présentée dans le paragraphe suivant.

1.2.1 Présentation globale du système, cahier des charges

Le projet de recherche dans lequel s'inscrit ce travail de thèse concerne donc le développement d'une chaîne de communication numérique radio-fréquence intégrée faible consommation, faible coût et faible débit, destinée aux communications sans fil courtes distances (système propriétaire) et à l'implémentation de tout le système sur un seul substrat en technologie CMOS. On parle alors de Système sur Puce Radio-Fréquence (SoC-RF). La puce à développer est destinée aux applications domotiques, capteurs (de présence, thermique...), monitoring, claviers et souris sans fil, jouets interactifs, commandes à distance... Les applications de type jeu interactif (*game pad*) nécessitent un débit d'environ 150 kbits/s mais doivent pouvoir communiquer sur de faibles portées (quelques cm) et avec peu d'utilisateurs alors que les applications de type capteur nécessitent un débit très faible (fixé à environ 30kbits/s) mais un nombre conséquent d'utilisateurs qui doivent pouvoir communiquer sur des distances relativement importantes ($\approx 30\text{m}$). Le système développé doit donc fonctionner avec un nombre plutôt élevé d'utilisateurs (≥ 20). La bande libre

ISM [2,4 ; 2,48] GHz a par conséquent été choisie pour la largeur de bande disponible (80 MHz) [25].

Au niveau industriel, la puce sera conçue dans une technologie CMOS 0,13 μm (0,28 μm pour la partie analogique) et la surface occupée, fixée par la société STMicroelectronics, doit être inférieure à 2 mm^2 . Au niveau de l'autonomie du système (fonctionnement sur pile), la durée de vie des batteries doit être au minimum d'une année. En supposant que le système ne fonctionne que pendant 0,1% du temps de vie des batteries (99,9% en veille) et en prenant un modèle de batterie AAA de capacité égale à 1175 mAh, la durée de vie de cette dernière est de 1 an et la consommation maximale de la puce complète est fixée à 100mW [26]. Les principales caractéristiques du système propriétaire sont résumées dans le tableau 1.3.

Caractéristiques générales	Bande de fréquence Bande fréquentielle disponible Nombre de canaux Portée	ISM 2,45 GHz 80 MHz (2,402 GHz à 2,482 GHz) 10 quelques cm à $\approx 30\text{m}$
Protocole	Type de communication Méthode d'accès et technique d'allocation du canal Étalement de spectre Débit chip Dc Débit binaire Db Longueur de trame TEB (couche physique)	<i>half duplex</i> FDMA/TDMA + CSMA DS-SS 1 MChips/s Db=Dc/N avec N=7, 15, 31 pour le facteur d'étalement min=240 μs , max=10 ms $\geq 10^{-3}$
Modulation	Type de modulation Indice de modulation Bande passante	2-FSK m=4 $2\Delta f=m \cdot Dc=4 \text{ MHz}$

TAB. 1.3 – Tableau récapitulatif des caractéristiques du système propriétaire

1.2.2 L'architecture du système et la place de la PLL

1.2.2.1 La chaîne de réception

Les différents choix architecturaux du projet proposé ont été motivés par les deux critères principaux du système : une intégration maximum pour une consommation réduite. Ainsi, un récepteur à fréquence intermédiaire nulle (0-FI ou homodyne) a été préféré car la fréquence de l'oscillateur local (OL) étant la même que la fréquence RF du signal reçu, il n'existe pas de fréquence image avec une telle architecture. L'utilisation d'une architecture

homodyne est intéressante dans un contexte d'intégration complète car la suppression de la fréquence image permet la suppression des filtres externes et des structures à réjection d'image, un seul OL est utilisé et le filtrage de canal est de type passe-bas, donc plus facilement intégrable comparé au filtrage de canal passe-bande externe utilisé dans les topologies de type hétérodyne [27]. De plus, de façon à supprimer les fonctions de contrôle automatique de gain (ou AGC pour *Automatic Gain Control*), généralement assez lourdes à mettre en oeuvre et consommatrices de courant, une architecture dite « à saturation » est utilisée (cf figure 1.9). Cela permet de supprimer la boucle d'AGC et de la remplacer par des limiteurs dont le rôle est de saturer le signal. En outre, la saturation des signaux permet l'utilisation de convertisseurs 1-bit, réduisant ainsi considérablement la surface, traditionnellement importante, occupée par ces fonctions. Le niveau d'intégration d'un récepteur zéro-FI à saturation est donc très élevé et sa consommation est faible par rapport aux récepteurs non saturés mais son domaine d'application se limite aux modulations M-FSK et aux modulations de phases différentielles. Concernant le problème des tensions continues parasites, problème majeur lié aux architectures homodynes, il sera traité par couplage capacitif. Le choix de l'indice de modulation égal à 4 permet de rendre ce couplage intégrable [25].

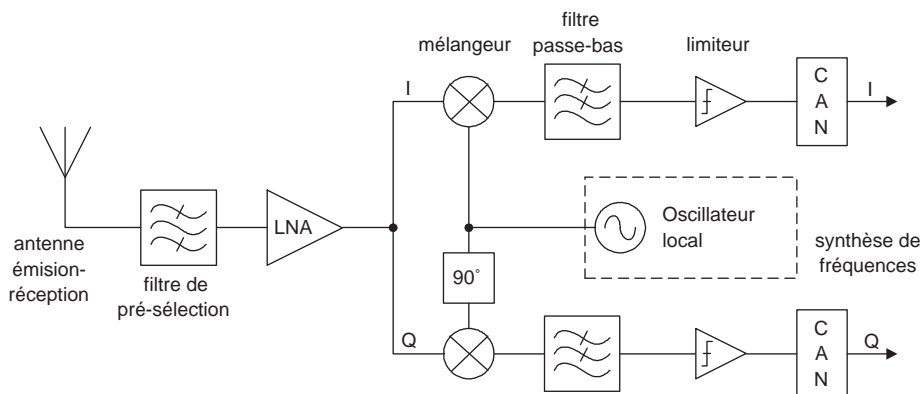


FIG. 1.9 – Exemple d'architecture zéro-FI à saturation

L'étude et la détermination de l'architecture système pour l'application propriétaire de chez STMicroelectronics ont conduit à choisir un détecteur FSK de type ZCD (*Zero Crossing Demodulator*) suivi d'un filtre adapté [25]. Le détecteur ZCD présente de nombreux avantages puisqu'il est non-cohérent (pas de récupération de porteuse) et qu'il peut être intégré dans le récepteur zéro-FI à saturation (structures ZIFZCD). L'utilisation du filtre adapté après le détecteur ZCD permet de choisir une architecture de détecteur ZCD asynchrone (A-ZCD) car le désétalement des données par le filtre adapté (FA) ne requiert pas de synchronisation [28]. Les ZCD sont des détecteurs FSK dont le principe repose sur l'observation de la phase du signal reçu sur le diagramme I/Q. En effet, la détection

de la fréquence instantanée envoyée peut être réalisée par l'étude de la phase du signal reçu, plus précisément en considérant le sens de rotation du vecteur représentant le signal temporel dans le diagramme. On démontre ainsi que l'information binaire transmise $d(t)$ est donnée par :

$$d(t) = \text{signe} \left(I(t) \frac{dQ(t)}{dt} - Q(t) \frac{dI(t)}{dt} \right) \quad (1.1)$$

Le sens de rotation de la phase du signal est alors déterminé en observant la dérivée de $Q(t)$ à l'instant où $I(t)$ croise l'axe Q ou bien d'observer la dérivée de $I(t)$ quand $Q(t)$ croise l'axe I . Le détecteur A-ZCD proposé [29] dans le cadre de ce projet permet une mise en oeuvre simplifiée par rapport aux structures ZIFZCD classiques (implémentation à base de portes logiques simples) et démodule le signal avant sa conversion, éliminant ainsi les convertisseurs analogiques-numériques. Il repose notamment sur l'utilisation d'un filtre intégrateur à saturation (FIS) qui fonctionne sans être synchronisé sur le rythme symbole pour traiter la sortie des détecteurs de passages aux axes (DPZ), cela permettant de réduire sa consommation et son encombrement.

La chaîne de réception est donc basée sur une architecture zéro-FI couplée à un démodulateur ZCD asynchrone. Dans ce cadre, une boucle à verrouillage de phase (ou PLL pour *Phase Locked Loop*) est nécessaire pour assurer la synthèse de fréquence fournissant la fréquence d'OL. Cette fréquence correspondra aux valeurs centrales des dix canaux de communications utilisés par le système ($2406\text{MHz} + n \times 8\text{MHz}$, avec $n = 0 \dots 9$).

1.2.2.2 La chaîne d'émission

La chaîne d'émission a deux rôles à remplir dans ce système : génération d'un signal modulé 2-FSK et amplification de ce signal. Deux axes principaux vont guider le choix de l'architecture de l'émetteur :

- *émissions parasites*. Les niveaux d'émissions parasites sont à contrôler. Pour cela, le signal rayonné par l'antenne doit respecter les normes imposées par le standard lui-même ainsi que par les différents organismes de régulation. Afin de limiter le niveau des parasites émis, le spectre du signal émis est contrôlé soit par la donnée d'un gabarit (exemple du GSM) soit par des contraintes sur la puissance des canaux adjacents par l'intermédiaire de l'ACPR (pour *Adjacent Channel Power Ratio*), défini comme le rapport de la puissance dans le canal adjacent sur la puissance dans le canal principal. Par ailleurs, on retrouve également d'autres parasites tels que des harmoniques et non-harmoniques (également appelés parasites à bande étroite ou *spurs* dans la littérature anglophone) mais aussi du bruit thermique en sortie de l'émetteur. Les harmoniques sont générés par le modulateur et l'amplificateur de puissance tandis que les parasites à bande étroite sont plutôt créés par les mélangeurs, les oscillateurs mais également par les non-linéarités de l'amplificateur de

puissance. Le bruit thermique généré au niveau de l'émetteur va également être gênant car il va remonter le plancher de bruit au niveau du récepteur.

- *intégration-consommation*. le niveau d'intégration de l'émetteur est très important puisqu'il influence le coût et la taille de l'émetteur. La consommation de l'émetteur (et donc l'autonomie) est également une caractéristique importante à prendre en considération. L'amplificateur de puissance est généralement le bloc qui va présenter une consommation la plus élevée dans l'émetteur-récepteur. Sa réalisation doit donc être particulièrement soignée. Par exemple, dans les systèmes où la distance émetteur-récepteur varie de manière significative (systèmes cellulaires typiquement), une fonction d'adaptation de la puissance transmise en fonction de la distance est généralement mise en oeuvre afin de réduire la puissance consommée. Le rendement de l'amplificateur est également un point clé dans la réduction de la consommation. Cependant, un compromis doit être trouvé car l'augmentation du rendement dans un amplificateur de puissance est généralement obtenu au détriment de sa linéarité [30].

Ces considérations et le cahier des charges ont amené au choix d'un modulateur construit à partir d'une PLL adaptée [25] de façon à bénéficier des bonnes performances spectrales de ce type de circuit. Ce choix est envisageable du fait de l'utilisation d'une modulation à enveloppe constante. Le principe général de ce type de modulateur repose sur la modulation d'un des signaux internes de la PLL (commande du VCO, référence...). Ainsi, en introduisant la modulation dans la boucle, le spectre de sortie est alors un spectre modulé dont le plancher de bruit ne dépend que de celui de la PLL. Il est par conséquent amélioré par rapport aux systèmes reposant sur des modulateurs plus complexes et dont les différents éléments actifs vont dégrader le bruit global du montage. Le filtrage en sortie de l'amplificateur de puissance est ainsi réduit à un filtrage d'harmoniques. La structure de PLL et la technique de modulation proposées pour cet émetteur seront développées au chapitre 2.

Le signal de sortie de la PLL sera ensuite directement connecté à l'entrée de l'amplificateur de puissance, réduisant ainsi au minimum le nombre de fonctions RF de la chaîne et par conséquent conduisant à une intégration maximale.

1.2.3 Adaptabilité du système au standard IEEE 802.15.4

L'application propriétaire étant prévue pour fonctionner dans la bande des 2,4 GHz, l'adaptabilité de la solution proposée au standard IEEE 802.15.4 n'est étudiée que dans cette bande de fréquence. Le tableau 1.4 résume les caractéristiques de la norme 802.15.4 ainsi que celles établies pour le système propriétaire [25].

	802.15.4 (2,4GHz)	Système propriétaire ST-Microelectronics
Modulation	O-QPSK avec arches de sinusoïde	FSK avec $m = 4$
Portée	10 à 20 m (max)	30 m (max)
Nombre et largeur des canaux	16 - 5 MHz	10 - 8 MHz
Étalement de spectre	16 codes PN longueur $N = 32$	DS-SS, $N = 7/15/31$
Débit <i>chip</i> Débit binaire	2 Mchips/s 250 kbits/s	1 MChips/s 32,5 kbits/s à 125 kbits/s
TEB (physique)	$6 \cdot 10^{-5}$ (PER=1%)	10^{-3}
Méthodes d'accès et technique d'allocation au canal	FDMA, CSMA + TDMA	FDMA, CSMA + TDMA

TAB. 1.4 – Comparaison des caractéristiques de la norme 802.15.4 et du système propriétaire

Concernant la norme 802.15.4, les principales différences par rapport au cahier des charges de l'application propriétaire sont le type de modulation, le débit et la méthode d'étalement de spectre.

1.2.3.1 modulation et bande passante

La norme 802.15.4 utilise une modulation O-QPSK avec une demi-sinusoïde (ou arche de sinusoïde) comme impulsion de base. La modulation O-QPSK est une modulation de phase à 4 états (QPSK) pour laquelle les sauts de phase de $\pm\pi$ sont interdits afin d'éviter l'extinction de la porteuse par des passages par le centre de la constellation et de rendre ainsi le signal moins sensible aux non-linéarités. Il est possible de montrer qu'une modulation O-QPSK, utilisant des arches de sinusoïdes, est strictement équivalente à une modulation MSK (*Minimum Shift Keying*) si les données sont codées [31], c'est-à-dire une modulation de fréquence à phase continue (CPFSK) d'indice $m=0,5$. Concernant la bande passante, dans le cadre de la norme 802.15.4, le débit chip D_c est de 2 Mchip/s. Pour un signal MSK, la bande passante occupée est alors d'environ $1,2 \cdot D_c$ soit 2,4 MHz ou 1,2 MHz en bande de base [31].

Les changements d'indice de modulation et de bande passante influencent principalement l'architecture de l'émetteur-récepteur. Au niveau récepteur, la modulation étant toujours une modulation de fréquence (MSK), un détecteur FSK de type ZCD intégré dans un récepteur 0-FI à saturation peut être employé, un tel détecteur étant toujours opérationnel pour des indices de modulation $m=0,5$ [25]. Cependant, le couplage capacitif intégrable sera plus compliqué car une fréquence de coupure (très) basse sera nécessaire

afin de conserver le maximum de puissance du signal (valeurs de capacité/résistances difficilement intégrables).

Au niveau émetteur, la modulation FSK est réalisée à partir d'une PLL modulée pour le système propriétaire. La modulation MSK étant une modulation FSK avec $m=0,5$, il est toujours possible de conserver ce choix architectural au niveau de l'émetteur pour la norme 802.15.4. Comparée à une modulation d'indice 4, la seule différence provient des fréquences instantanées qui, pour une modulation d'indice 0,5 (MSK), sont plus proches.

1.2.3.2 étalement de spectre

La méthode d'étalement de spectre de la norme 802.15.4 est comparable à la méthode DS-SS utilisée par l'application propriétaire. Cependant, le nombre et la longueur des codes sont différents. En effet, 16 codes quasiment orthogonaux entre eux de longueur 32 bits sont utilisés dans la norme [25].

En réception, une fois démodulées par un détecteur ZCD, les données doivent être dés-étalées. Le système propriétaire utilise pour cette opération un filtrage adapté qui, pour être compatible avec la norme 802.15.4, va devoir utiliser 16 filtres adaptés aux 16 codes aléatoires. La faible longueur des codes (32 bits) et l'échantillonnage sur 1 bit (détecteur ZCD) permet de conserver l'intérêt de la solution choisie. De plus, la surface occupée par ces 16 filtres pourra encore être intégrable même si le facteur de sur-échantillonnage (nombre d'échantillons par *chip*) devra être limité (2 ou 3). Il est également possible d'employer des architectures de filtre adapté CMOS optimisées afin de réduire la consommation et la surface occupée sur silicium [32, 33]. Enfin, de façon à prendre en compte l'effet de la modulation O-QPSK interprétée comme une modulation MSK (codeur MSK/O-QPSK), les filtres ne sont pas adaptés aux séquences pseudo-aléatoires PN initiales mais aux séquences PN codées MSK/O-QPSK. C'est-à-dire que les coefficients des filtres adaptés ne correspondraient pas aux séquences PN initiales de la norme mais aux séquences PN codées MSK/O-QPSK [25].

1.2.3.3 TEB (Taux d'Erreur de Bits)

Il est intéressant de relever que le PER (*Packet Error Rate*) pour la norme 802.15.4 est de 1%, c'est-à-dire un TEB= $6,10^{-5}$ pour une longueur moyenne des paquets de 20 octets [26]. Or, cette valeur est beaucoup plus faible que le TEB requis pour le système propriétaire (10^{-3}). Cependant, le fait d'utiliser une modulation MSK et des codes de longueur plus importante (32 bits) va augmenter la valeur du gain en *process* et permettra donc d'améliorer le TEB pour un même rapport signal sur bruit. Il a de plus été démontré

[25] que le démodulateur de type ZCD utilisé permet d'atteindre de telles performances en terme de TEB.

Il apparaît donc que la solution adoptée pour le système propriétaire reste viable dans le cadre de la norme au prix de quelques modifications. Ainsi, si un codeur MSK/O-QPSK est utilisé, il est possible d'interpréter la modulation O-QPSK de la norme comme une modulation MSK. Un émetteur construit à partir d'une PLL et un récepteur de type 0-FI à saturation suivi d'un détecteur ZCD est toujours une solution intéressante dans ce contexte. Néanmoins, la suppression des tensions continues parasites est rendue plus difficile avec une modulation MSK (énergie à 0Hz). Concernant le « désétalement » des données, 16 filtres adaptés modifiés (coefficients des séquences PN codées MSK/O-QPSK) permettent un « désétalement » efficace et constituent toujours une solution faible coût. La figure 1.10 résume les choix architecturaux retenus pour le système propriétaire.

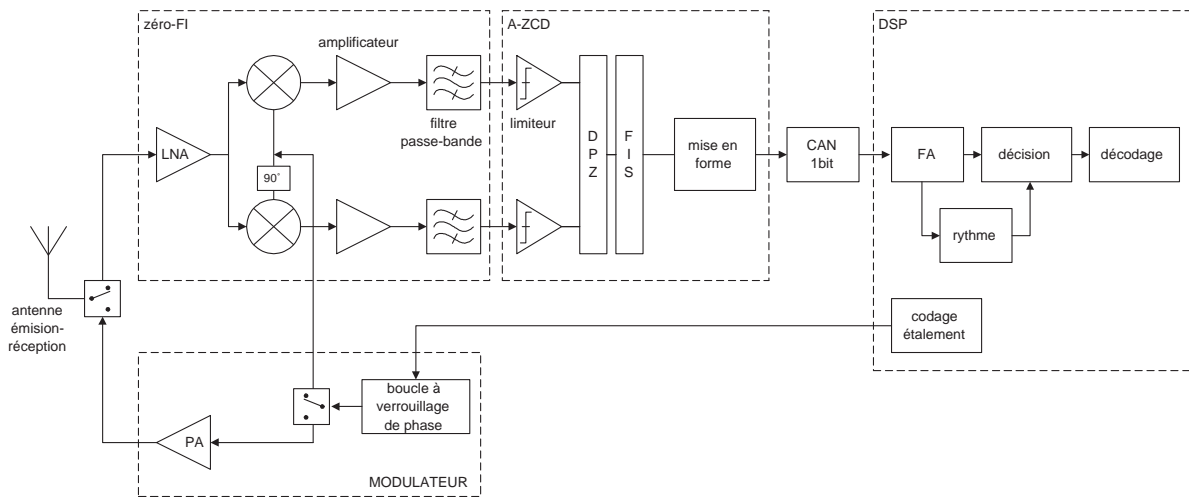


FIG. 1.10 – Résumé des choix architecturaux retenus pour le système propriétaire

Conclusion

Nous avons présenté dans ce chapitre le contexte industriel et le système dans lequel intervient le circuit à réaliser. Il s'agit donc de proposer une architecture de boucle à verrouillage de phase dont le rôle principal sera d'assurer une synthèse de fréquence. Lorsque le système sera en mode réception, cette synthèse de fréquence sera classique, la PLL étant chargée de fournir la fréquence centrale du canal considéré. En mode émission, le fonctionnement sera sensiblement différent puisqu'il ne s'agira pas de synthétiser une mais deux fréquences distantes chacune de 2 MHz de la fréquence centrale du canal, fréquences qui seront commutées à un rythme de 1 Mbit/s de façon à produire une modulation FSK. Nous allons voir dans le chapitre suivant comment créer, à partir des architectures de PLL

classiques, un synthétiseur de fréquence faible coût capable de fournir ces deux types de signaux.

Bibliographie

- [1] W.-K. Chen, éd., *The VLSI handbook*. CRC Press IEEE Press, 2000, iISBN : 0-8493-8593-8. 4
- [2] M. Golio, éd., *The RF and Microwave Handbook*. CRC Press, déc. 2001, iISBN : 0-8493-8592-X. 4
- [3] B.-S. Song, « Cmos rf circuits for data communications applications », *IEEE Journal of Solid-State Circuits*, vol. 21, no. 2, p. 310–317, avril 1986. 5
- [4] P. Y. Chan, A. Rofougaran, K. A. Ahmed, et A. A. Abidi, « A highly linear 1-ghz cmos downconversion mixer », in *Proceedings of the IEEE 1993 European Solid State Circuits Conference*, Seville, Espagne, sept. 1993, p. 210–213. 5
- [5] J. Crols et M. Steyaert, « A 1.5 ghz highly linear cmos down-conversion mixer », *IEEE Journal of Solid-State Circuits*, vol. 30, no. 7, p. 736–742, juil. 1995. 5
- [6] C. H. Hull, R. R. Chu, et J. L. Tham, « A direct-conversion receiver for 900 mhz (ism band) spread-spectrum digital cordless telephone », in *Proceedings of the IEEE 1996 International Solid State Circuits Conference*, San Fransisco, USA, fév. 1996, p. 344–345. 5
- [7] S. Byun et al., « A low-power cmos bluetooth rf transceiver with a digital offset cancelling dll-based gfsk demodulator », *IEEE Journal of Solid-State Circuits*, vol. 38, no. 10, p. 1609–1618, oct. 2003. 5, 11
- [8] J. Notor, A. Caviglia, et G. Levy, « Cmos rfic architectures for ieee 802.15.4 networks », *Cadence Design Systems White paper*, nov. 2003, 802.15.4. 5
- [9] J. Y.-C. Chang, A. A. Abidi, et M. Gaitan, « Large suspended inductors on silicon and their use in a 2- μ m cmos rf amplifier », *IEEE Electron Device Letters*, vol. 14, no. 5, p. 246–248, mai 1993. 5
- [10] J. Crols et M. Steyaert, « A single-chip 900 mhz cmos receiver front-end with a high performance low-if topology », *IEEE Journal of Solid-State Circuits*, vol. 30, no. 12, p. 1483–1492, déc. 1995. 5
- [11] P. R. Gray et R. G. Meyer, « Future directions in silicon ics for rf personal communications », in *Proceedings of the IEEE 1995 Custom Integrated Circuits Conference*, Santa Clara, CA, mai 1995, p. 83–90. 5
- [12] A. Y. V. Lopez, « Design of frequency synthesizers for short range wireless transceivers », Thèse de doctorat, Texas A&M University, mai 2004. 9

- [13] R. Ahola et al., « A single-chip cmos transceiver for 802.11a/b/g wireless lans », *IEEE Journal of Solid-State Circuits*, vol. 39, no. 12, p. 2250–2258, déc. 2004. ix, 9
- [14] *Specification of the Bluetooth System*, fév. 2001, version 1.1. 11
- [15] H. Darabi et al., « A 2.4-ghz cmos transceiver for bluetooth », *IEEE Journal of Solid-State Circuits*, vol. 36, no. 12, p. 2016–2024, déc. 2001. ix, 11, 12
- [16] W. Sheng et al., « A 3-v, 0.35- μ m cmos bluetooth receiver ic », *IEEE Journal of Solid-State Circuits*, vol. 38, no. 1, p. 30–42, jan. 2003. 11
- [17] A. A. E. Emira, « Bluetooth/wlan receiver design methodology and ic implementations », Thèse de doctorat, Texas A&M University, déc. 2003. 11
- [18] P. Choi et al., « An experimental coin-sized radio for extremely low-power wlan (ieee 802.15.4) application at 2.4 ghz », *IEEE Journal of Solid-State Circuits*, vol. 38, no. 12, p. 2258–2268, déc. 2003. ix, 13
- [19] J. D. Taylor, *Introduction to Ultra-Wideband RADAR Systems*. CRC Press, 1994, iSBN : 978-0849344404. 13
- [20] [En ligne] : <http://www.fcc.gov/oet/dockets/et98-153/> 13
- [21] A. Tanaka et al., « A 1.1v 3.1-to-9.5ghz mb-ofdm uwb transceiver in 90nm cmos », in *Proceedings of the IEEE International Solid-State Circuits Conference*, vol. 49, fév. 2006, p. 120–121. 14
- [22] C. Sandner et al., « A wimedia/mboa-compliant cmos rf transceiver for uwb », in *Proceedings of the IEEE International Solid-State Circuits Conference*, vol. 49, fév. 2006, p. 122–123. 14
- [23] S. Dubouloz et L. Ouvry, « Régulation et normalisation pour les communications ultra large bande (uwb) », in *Journées Scientifiques du CNFRS*, mai 2006. 14
- [24] R. Blázquez, « Direct conversion pulsed uwb transceiver architecture », in *DATE '05 : Proceedings of the conference on Design, Automation and Test in Europe*, vol. 3, 2005, p. 94–95, isbn : 0-7695-2288-2. 14
- [25] N. Dehaese, « Etude et simulation d'un système sur puce radiofréquence pour les applications faible coût et faible consommation », Thèse de doctorat, Université de Provence, déc. 2005. 16, 17, 19, 20, 21, 22
- [26] [En ligne] : <http://www.ieee802.org/15/pub/TG4.html> 16, 21

- [27] B. Razavi, *RF Microelectronics*, 1er ed. Prentice Hall, 1997. [17](#)
- [28] L. Litwin, « Matched filtering and timing recovery in digital receivers », *rfdesign*, p. 32–48, 2001. [17](#)
- [29] N. Dehaese et al., « Fsk zero-crossing demodulator for 802.15.4 low-cost receivers », in *Proceedings of the IEEE International Conference on Electronics, Circuits and Systems*, vol. 2, déc. 2005, p. 446–449. [18](#)
- [30] S. C. Cripps, *RF Power Amplifiers for Wireless Communications*. Artech House, avril 1999. [19](#)
- [31] J. G. Proakis, *Digital Communications*, 4ème ed., McGraw-Hill, éd., 2001. [20](#)
- [32] X. Guo, J. Chen, et Y. Qui, « A new architecture of matched-filter employing coefficient recode technique for spread spectrum communication systems », in *Proceedings of the IEEE Asia-Pacific International Conference on Advanced System Integrated Circuits (ASIC'03)*, vol. 2, oct. 2003, p. 800–803, iSBN : 0-7803-7889-X. [21](#)
- [33] S. Goto et al., « A low-power digital matched filter for spread-spectrum systems », in *Proceedings of the 2002 International Symposium on Low Power Electronics and Design*, Monterey, California, USA, août 2002, p. 301–306, iSBN : 1-58113-475-4. [21](#)

2

La boucle à verrouillage de phase dans les systèmes de communication RF

Le but premier des boucles à verrouillage de phase est de réaliser une synthèse de fréquence, c'est à dire d'être capable de générer un ensemble de signaux de fréquences déterminées avec une certaine précision et stabilité à partir d'une simple fréquence de référence. Le signal de sortie du synthétiseur est communément appelé Oscillateur Local (OL) car il intervient dans les systèmes de communication comme oscillateur de référence pour la translation de fréquence (cf figure 2.1). Le signal de référence haute fréquence est utilisé pour abaisser la fréquence du signal reçu jusqu'à une fréquence suffisamment faible pour être utilisée par les circuits de traitement du signal. Ce même signal de référence est également employé pour augmenter la fréquence du signal à transmettre.

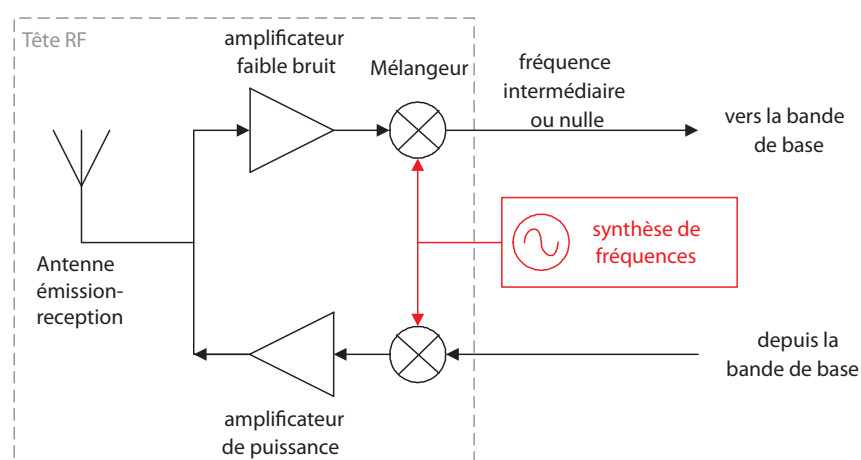


FIG. 2.1 – Rôle du synthétiseur de fréquence dans un émetteur-récepteur RF

La principale contrainte lors de la conception d'un synthétiseur est d'assurer la précision de sa fréquence, et ceci sous diverses conditions dépendantes de l'application visée (variation de température par exemple). Cependant, il est évident que la performance d'un synthétiseur ne tient pas uniquement à sa précision fréquentielle. La figure 2.2 illustre les autres caractéristiques importantes du signal de sortie d'un synthétiseur. Les exigences en terme d'amplitude sont généralement dues aux mélangeurs, dont une des entrées est connectée à l'OL. L'amplitude du signal d'OL doit être suffisante pour garantir un gain de conversion du mélangeur acceptable, sans pour autant être trop importante et engendrer des fuites à travers le mélangeur vers l'amplificateur faible bruit. Ces fuites peuvent également se re-mélanger au signal d'OL lui-même et créer un décalage du niveau continu en sortie du mélangeur. Ce décalage du niveau continu est un des problèmes majeurs dans les architectures de récepteur à conversion directe.

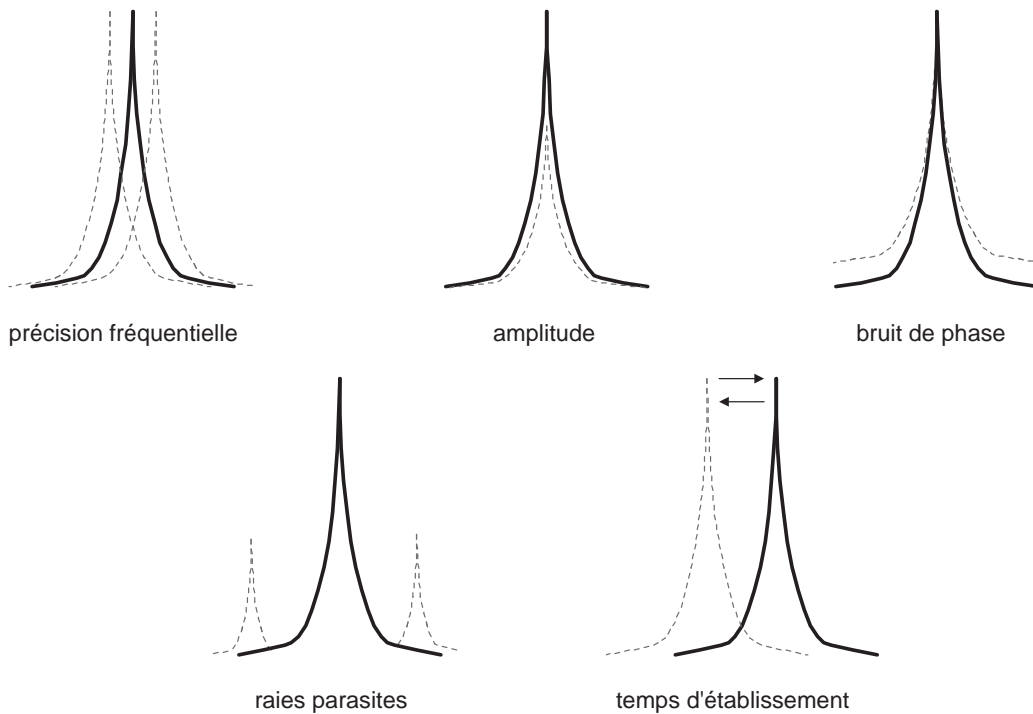


FIG. 2.2 – Caractéristiques principales du signal de sortie d'un synthétiseur de fréquence

Concernant les exigences en terme de pureté spectrale, deux aspects sont à considérer : le bruit de phase et les raies parasites. Le bruit de phase est, comme son nom l'indique, une variation aléatoire de la phase du signal de sortie du synthétiseur. Comme nous le verrons dans le chapitre suivant (cf paragraphe 3.1.2.3), tous les éléments constituant la boucle peuvent affecter le niveau de bruit de phase total. Dans les systèmes sans fil, la contribution du VCO a généralement l'effet le plus important sur le bruit global du synthétiseur et sera étudié plus en détail au chapitre 4 (cf paragraphe 4.1.1) [1]. Les raies parasites (ou

spurious ou *spurs* dans la littérature anglophone) peuvent avoir de nombreuses sources dépendantes par exemple du type de PLL (à division entière ou fractionnelle) ou des fuites dans le substrat [2]. Cependant, les principales raies parasites sont dues à la fréquence de référence de la boucle qui vient moduler le VCO, générant deux raies autour de la porteuse. Ces raies sont décalées exactement de la valeur de la fréquence de référence par rapport à la porteuse et si cette fréquence est faible les raies parasites peuvent alors se retrouver dans la bande de fréquence utilisée par le système. Il est clair que l'amplitude de ces raies doit être minimisée pour éviter de perturber le système, notamment en créant d'éventuels mélanges avec les fréquences utiles. Enfin, l'importance du temps d'établissement de l'OL va être liée au protocole utilisé par le système, notamment en termes de débit et de longueur des trames transmises (cf paragraphe 3.1.1.1).

Bien que la conception d'un synthétiseur de fréquence soit basée sur la méthode de conception traditionnelle des PLL, l'implémentation monolithique destinée aux systèmes mobiles admet quelques nuances. Dans un système totalement intégré, la mise en oeuvre d'un synthétiseur est un défi majeur qui doit satisfaire des exigences strictes et parfois contradictoires. Ce chapitre discute dans une première partie des différentes architectures de PLL permettant de réaliser une synthèse de fréquence. A partir de ces différents types de boucles, une structure répondant aux demandes de notre système sera proposée dans la troisième partie du chapitre et ses différents modes de fonctionnement seront développés.

2.1 les différents types de PLL

Plusieurs types de synthèse de fréquence existent (cf tableau 2.1), ils peuvent être analogiques, numériques ou mixtes. La synthèse analogique directe (ou DAS pour *Direct Analog Synthesis*) se base sur des multiplications, mélanges, filtrages, commutations et divisions pour produire la fréquence désirée à partir d'une simple source ou de multiples sources incohérentes. Les avantages de ce type de circuit sont une grande pureté spectrale et une rapidité de changement de fréquence. Cependant, le nombre important de blocs analogiques nécessaires, tels que filtres et multiplicateurs, rend la synthèse directe extrêmement consommatrice en courant et en surface de silicium. De plus, le nombre de composants augmente avec l'espacement et le nombre de canaux du système. De fait, ce type de synthèse est plus adapté aux applications de métrologie et n'est pas applicable dans le cadre de systèmes de télécommunication monolithiques sans fil, il ne sera donc pas traité dans ce manuscrit. Nous nous limiterons à présenter ici les montages à base de PLL et à aborder brièvement la synthèse numérique directe (ou DDS pour *Direct Digital Synthesis*).

La première boucle à verrouillage de phase fut proposée par H. de Bellescize en 1932

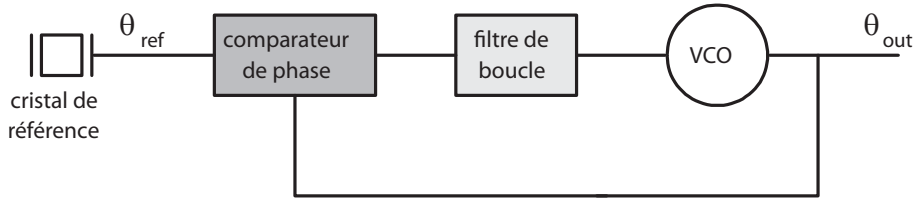


FIG. 2.3 – Schéma de principe d’une boucle à verrouillage de phase

[3], créant ainsi les « communications cohérentes ». La première PLL intégrée, purement analogique, apparue en 1965 et fut suivie dans les années 1970 par la première PLL mixte dans laquelle le bloc de détection de phase était numérique. Le principe de la PLL, illustré sur la figure 2.3, est simple : c’est un système de synchronisation en phase à partir d’une boucle de contre-réaction. Le signal de sortie est généré par un oscillateur contrôlé, généralement en tension (*Voltage Controlled Oscillator*). La phase de ce signal, θ_{out} , est comparée à celle du signal de référence θ_{ref} par le comparateur de phase. Ce signal d’entrée de phase θ_{ref} est habituellement produit par un oscillateur à quartz . Celui-ci va fournir un signal proportionnel à l’erreur de phase $\theta_e = \theta_{out} - \theta_{ref}$ qui, après être passé par le filtre de boucle de façon à ne conserver que sa composante continue et les signaux lentement variables de fréquence inférieure à la coupure du filtre, sera utilisée pour contrôler le VCO.

Synthèse directe	DAS	multiplicateur + mélangeur + diviseur	
	DDS	NCO + CNA	
Synthèse indirecte	PLL	entière	
		fractionnelle	estimation de phase par CNA
			random jittering
			modulateur $\Sigma\Delta$
		interpolation de phase	
DLL	fréquence multipliée par un nombre de phases également espacées		

TAB. 2.1 – Tableau récapitulatif des différents types de synthétiseurs de fréquence

2.1.1 PLL à division entière

Le schéma de principe de la PLL à division entière est représenté sur la figure 2.4. Par rapport à la PLL de la figure 2.3, deux éléments principaux ont été ajoutés : le diviseur de fréquence principal, placé dans la boucle de contre-réaction, et le diviseur suivant le cristal de référence. Ce deuxième élément est optionnel et autorise une plus grande liberté quant au choix de la fréquence du quartz par rapport au pas de fréquence minimal synthétisable par la boucle.

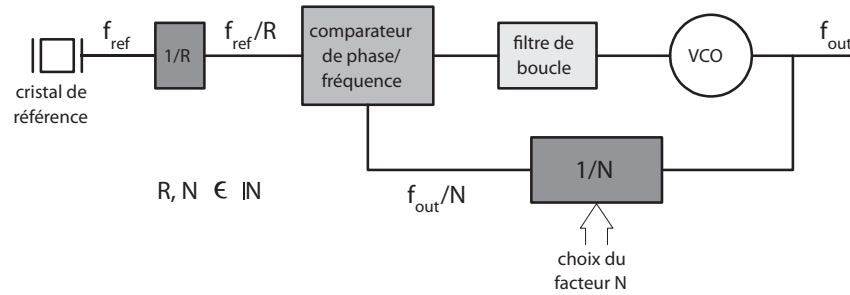


FIG. 2.4 – Schéma de principe d'une PLL à division entière

Avec ce montage, la fréquence de sortie du VCO est donnée par

$$f_{out} = \frac{N}{R} f_{ref} \quad (2.1)$$

La volonté d'intégration complète du circuit conduit à privilégier les éléments numériques par rapport à l'analogique. Ainsi, les deux diviseurs utilisés sont entièrement numériques. Concernant celui suivant le cristal, dont le facteur R est généralement fixe, la mise en oeuvre est simple du fait des fréquences relativement réduites des oscillateurs à quartz (de l'ordre de quelques centaines de kilo Hertz à quelques dizaines de Mega Hertz). Concernant le diviseur principal programmable, sa mise en oeuvre est plus complexe du fait des fréquences de sortie élevées et de la variabilité du facteur N . En effet, si l'on considère une fréquence d'oscillation du VCO de plusieurs Giga Hertz, il est nécessaire de réaliser un premier abaissement de cette fréquence avant de pouvoir attaquer les blocs numériques généralement limités à quelques centaines de Mega Hertz. Pour cela, un pré-diviseur analogique rapide est mis en place en sortie du VCO. Si le facteur de division du pré-diviseur est V , on a alors $f_{out} = \frac{NV}{R} f_{ref}$. On peut noter ici que l'emploi d'un pré-diviseur de facteur V rend impossible la synthèse de fréquences multiples de la fréquence de comparaison ($f_{comp} = \frac{f_{ref}}{R}$). Par exemple, si $V = 10$ la fréquence de sortie de la boucle ne pourra être égale qu'à $10f_{comp}$, $20f_{comp}$, $30f_{comp}$...

Pour circonvenir ce problème, le pré-diviseur simple peut être remplacé par un pré-diviseur multi module [4], l'implémentation la plus courante étant le double module. Un pré-diviseur double module, illustré par la figure 2.5, est un compteur dont le facteur de division peut être commuté d'une valeur (V) à une autre ($V + 1$) par un signal de contrôle externe. Le principe de fonctionnement est le suivant : les deux compteurs A et B sont chargés à leur valeur initiale a et b (avec $a > b$), le facteur du pré-diviseur est $V + 1$. Chaque fois que le VCO aura effectué $V + 1$ périodes, les compteurs A et B vont être décrémentés de 1. Quand B arrive à 0 le VCO a donc effectué $b(V + 1)$ cycles, le compteur

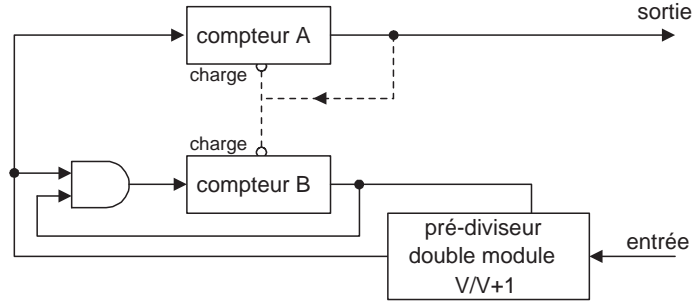


FIG. 2.5 – Schéma de principe du pré-diviseur double module

A est chargé par une valeur égale à $(a - b)$ et le pré-diviseur est alors commuté sur le facteur V . Le VCO va encore générer $(a - b)V$ impulsions avant que A n'ait décompté jusqu'à 0. A cet instant, A et B sont rechargés à leur valeur initiale et le cycle complet est répété. Durant un cycle, le facteur de division de l'ensemble est donc égal à

$$\begin{aligned} V_{total} &= b(V + 1) + (a - b)V \\ &= aV + b \end{aligned} \quad (2.2)$$

On peut noter ici que si a est inférieur à b le compteur A arrivera à 0 avant le compteur B et les deux seront alors rechargés à leur valeur initiale avant que le pré-diviseur n'ait changé de facteur. Le pré-diviseur double module fonctionne alors comme un diviseur simple.

Les PLL à division entière classiques admettent plusieurs inconvénients principalement liés à la relativement faible latitude concernant le choix de la bande passante de la boucle. En effet, du fait de la division entière la fréquence de comparaison de la boucle est faible pour pouvoir satisfaire les demandes en terme de résolution fréquentielle. Par conséquent, comme nous le verrons au chapitre 3 la fréquence de coupure de la boucle doit être faible de façon à garantir sa stabilité. Le premier impact de cette faible bande passante concerne le temps de verrouillage, inversement proportionnel à la fréquence de coupure de la PLL. Le second impact concerne le bruit de phase du VCO qui sera moins filtré pour les fréquences proches de la porteuse. On peut également noter que la faible fréquence de comparaison va ramener les raies parasites dues à cette fréquence proche de la porteuse, ce qui peut être pénalisant en fonction de l'application visée.

Concernant les avantages de ce type de structure, le principal est bien sûr sa grande simplicité. En minimisant le nombre de blocs la constituant, et en utilisant des blocs simples tels que le diviseur de fréquence à coefficients entiers, la PLL entière est de fait extrêmement intéressante lorsque l'on considère la surface silicium utilisée mais également la puissance consommée.

2.1.2 PLL fractionnelles

Le principe des PLL à division fractionnelle est motivé par le fait de pouvoir obtenir une précision en sortie de la boucle égale à une fraction de la fréquence de référence et ainsi réduire le pas de synthèse de la PLL. Bien que les diviseurs numériques ne soient pas capables de fournir des facteurs de division fractionnaires, il existe plusieurs méthodes pour réaliser cette opération. La plus courante consiste, comme dans le cas du pré-diviseur, à utiliser un diviseur multi module et donc à diviser la fréquence de sortie par $N + 1$ pendant M cycles et par N le reste du temps. Le facteur de division effectif est alors $N + \frac{1}{M}$, et la fréquence de sortie f_{out} moyenne est donnée par

$$f_{out} = \left(N + \frac{1}{M} \right) f_{ref} \quad (2.3)$$

Cette expression montre que f_{out} peut varier avec un incrément fractionnaire de f_{ref} en changeant M . Cependant, la synthèse fractionnelle génère des raies parasites basse fréquence dues à la configuration du diviseur double (ou multi) module. Ces raies pouvant apparaître dans la bande passante de la boucle, l'utilisation des PLL fractionnelles donne obligatoirement lieu à l'utilisation d'une technique de suppression de ces raies. Quatre techniques principales apparaissent dans la littérature [4–6]. Leurs caractéristiques et inconvénients principaux sont résumés dans le tableau 2.2.

technique de suppression des raies parasites	caractéristique	inconvénient
estimation de phase par CNA	suppression des raies par CNA	désappariement analogique
interpolation de phase	utilisation d'un VCO multi phases	bruit d'interpolation
<i>random jittering</i>	changement aléatoire du facteur de division	bruit de phase
modulateur $\Sigma\Delta$	modulation du facteur de division	bruit de quantification

TAB. 2.2 – Tableau récapitulatif des techniques de réduction des raies parasites dans les PLL fractionnelles

i. Estimation de phase par CNA

Le schéma bloc d'un synthétiseur fractionnel utilisant une estimation de phase par Convertisseur Numérique Analogique (CNA) est illustré sur la figure 2.6. Un accumulateur de phase est utilisé pour contrôler le facteur de division instantané. Si le signal

OVFL vaut 1, le facteur de division vaut $N_B + 1$, sinon le facteur vaut N_B . L'entrée de l'accumulateur étant k , et en posant M son module, le facteur de division fractionnaire vaut $N = N_B + k/M$ et la résolution fréquentielle est f_{comp}/M . Le facteur de division variant périodiquement, des raies de forte amplitude apparaissent à la sortie du synthétiseur. Le CNA est utilisé pour convertir l'erreur de phase instantanée, proportionnelle au reste de l'accumulateur, en courant par l'intermédiaire de la pompe de charge de façon à compenser l'erreur de phase. La précision de cette compensation est limitée par le CNA et est sensible aux variations technologiques (processus de fabrication, alimentation, température).

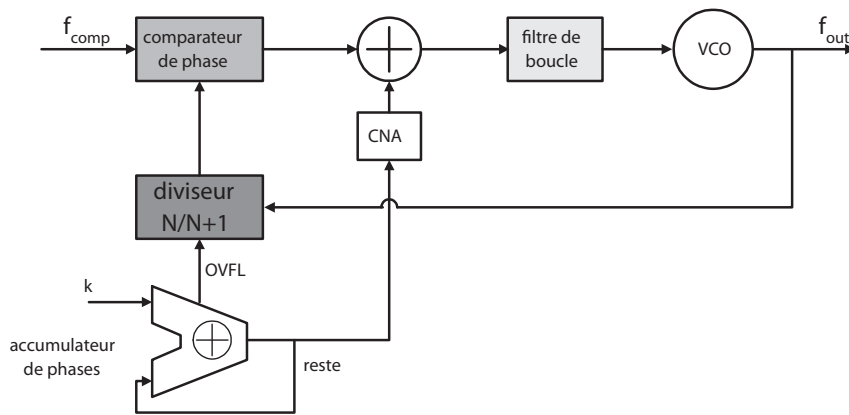


FIG. 2.6 – Schéma de la PLL fractionnelle avec compensation de phase par CNA

ii. Interpolation de phase

La figure 2.7 illustre la méthode de compensation par interpolation de phase [7]. La compensation de phase s'effectue avant le comparateur de phases en utilisant une DLL (cf paragraphe 2.1.4) ou un VCO multi phases. Le temps d'établissement de la DLL doit être très inférieur à celui de la PLL et son nombre d'étages m détermine le retard T_{ref} , le délai induit par chaque étage doit être T_{ref}/m . Si N est le module le plus faible du diviseur, pour des valeurs fractionnelles égales à $N + i/m$, l'erreur de phase instantanée à l'entrée du comparateur de phases peut être corrigée en injectant la sortie de la $i^{\text{ème}}$ cellule à retard dans le comparateur. Il en résulte une correction de phase égale à $(1 - i/m) \times T_{ref}$ appliquée quand le module du diviseur passe à $N + 1$. Dans cette topologie la DLL fonctionne à la fréquence de sortie de la PLL. La même compensation peut être obtenue en utilisant une DLL avec $m \times k$ cellules à retard dont l'entrée serait connectée à la sortie d'un diviseur par k . Dans cette nouvelle configuration, la DLL fonctionne à une fréquence inférieure mais requiert plus de cellules.

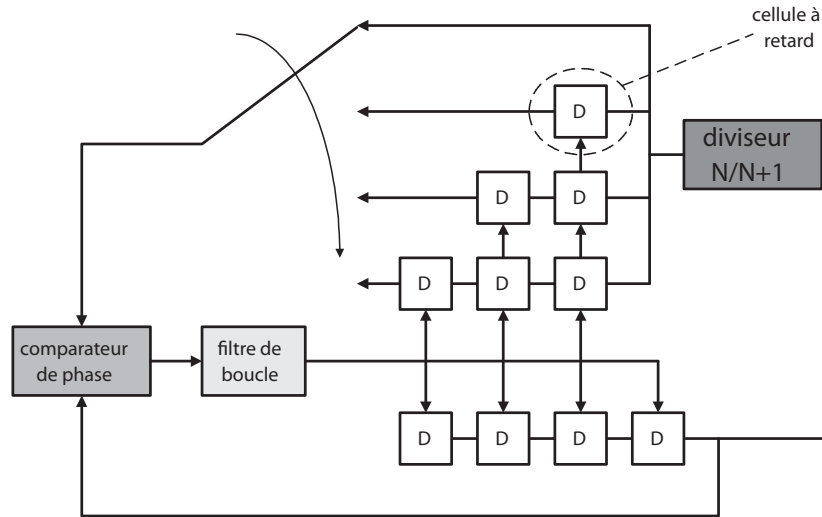


FIG. 2.7 – Schéma de la PLL fractionnelle avec interpolation de phase

Le principal inconvénient de cette technique est que les raies parasites sont compensées pour des valeurs fractionnaires égales à $N + i/m$, et l'implémentation d'un nombre m important est problématique. Ceci limite la résolution de ce type de synthétiseur.

iii. *random jittering*

La technique dite de « *random jittering* » utilise un générateur de séquences aléatoires pour faire varier le module du diviseur de façon arbitraire et ainsi convertir les raies parasites en gigue temporelle (ou *jitter* dans la littérature anglophone) [8]. Un comparateur permet ensuite de forcer la valeur moyenne des modules à la valeur fractionnaire voulue. La résolution dépend du nombre de bits du générateur de nombres aléatoires et du comparateur. Le problème principal apparaissant avec cette technique est bien évidemment le bruit de phase élevé, la région en $1/f^2$ se retrouvant proche de la fréquence de sortie de la PLL (cf 4.1.1).

iv. modulateur $\Sigma\Delta$

La technique la plus populaire et probablement la plus efficace pour la suppression des raies parasites dans une PLL fractionnelle est l'emploi d'un modulateur $\Sigma\Delta$ [9]. Dans cette approche, le modulateur $\Sigma\Delta$ est utilisé pour interpoler le rapport fractionnaire du diviseur. Sa capacité de modification du bruit permet de repousser le bruit de phase résultant de la quantification vers des fréquences plus éloignées de la porteuse [10]. En effet, la fonction de transfert passe haut du $\Sigma\Delta$ supprime le bruit de phase en $1/f^2$ en repoussant le bruit proche porteuse à des fréquences suffisamment élevées pour être atténuées par le filtre passe bas de la boucle. Dans les synthétiseurs fractionnels utilisant cette technique,

l'entrée du $\Sigma\Delta$ est classiquement un mot numérique représentant la valeur fractionnaire désirée, la sortie est un flux de nombres entiers permettant de contrôler le diviseur et d'obtenir une valeur moyenne égale au rapport fractionnel voulu. Tous les modulateurs $\Sigma\Delta$ impliquent un bruit de quantification qui est important dans les modulateurs à 1 bit. De fait, les circuits multi-bits sont généralement préférés, l'ordre du montage correspondant au nombre d'intégrateurs de la structure [10]. L'utilisation de modulateurs d'ordre élevé nécessite des pôles supplémentaires dans le filtre de boucle pour supprimer le bruit de quantification à hautes fréquences [11]. En pratique, ce sont les modulateurs de deuxième et troisième ordre qui sont le plus souvent employés dans les synthétiseurs fractionnels [11–13].

Cette méthode permet d'obtenir une résolution arbitrairement fine et, comparé à la méthode du CNA, est moins sensible aux variations technologiques. Elle induit également une plus grande complexité et une consommation accrue.

2.1.3 PLL à double boucles

L'emploi de deux ou plusieurs boucles modifie la relation entre la résolution du synthétiseur et la fréquence de référence obtenue pour les PLL entières simple boucle. Un synthétiseur multi boucles autorise une plus grande flexibilité dans le compromis entre bruit de phase, résolution fréquentielle, fréquence de référence et temps de verrouillage [14]. Il y a deux types principaux de PLL double résultant de la mise en parallèle ou en série de deux PLL simples par l'intermédiaire d'un mélangeur. Ces deux structures sont représentées sur la figure 2.8. L'idée est de mélanger une fréquence variable faible avec une fréquence élevée fixe. Un changement de fréquence en sortie du synthétiseur ne nécessitera alors qu'un changement du rapport de division de la boucle basse fréquence. Dans la configuration parallèle (figure 2.8(a)) la fréquence fixe est mélangée à la fréquence variable en sortie du synthétiseur et le signal de sortie va donc être pollué par les raies parasites résultant de ce mélange. Dans la configuration série (figure 2.8(b)), le mélange est réalisé à l'intérieur de la boucle haute fréquence. De fait, les raies parasites seront filtrées par cette boucle mais le temps d'établissement du système sera plus long.

L'avantage de la configuration double par rapport à un synthétiseur à PLL entière simple est que la fréquence de coupure de la boucle haute fréquence peut être augmentée. Le bruit de phase du VCO rapide est donc mieux filtré et le temps de verrouillage est réduit. De plus, cette fréquence élevée étant fixe, les contraintes sur le diviseur de fréquence sont également réduites [15]. Cependant, les inconvénients évidents de ce type de synthétiseur résident dans l'emploi de deux circuits pour chaque fonction, augmentant ainsi fortement la surface silicium et la consommation du système. De plus, l'ajout d'un mélangeur crée des raies parasites supplémentaires.

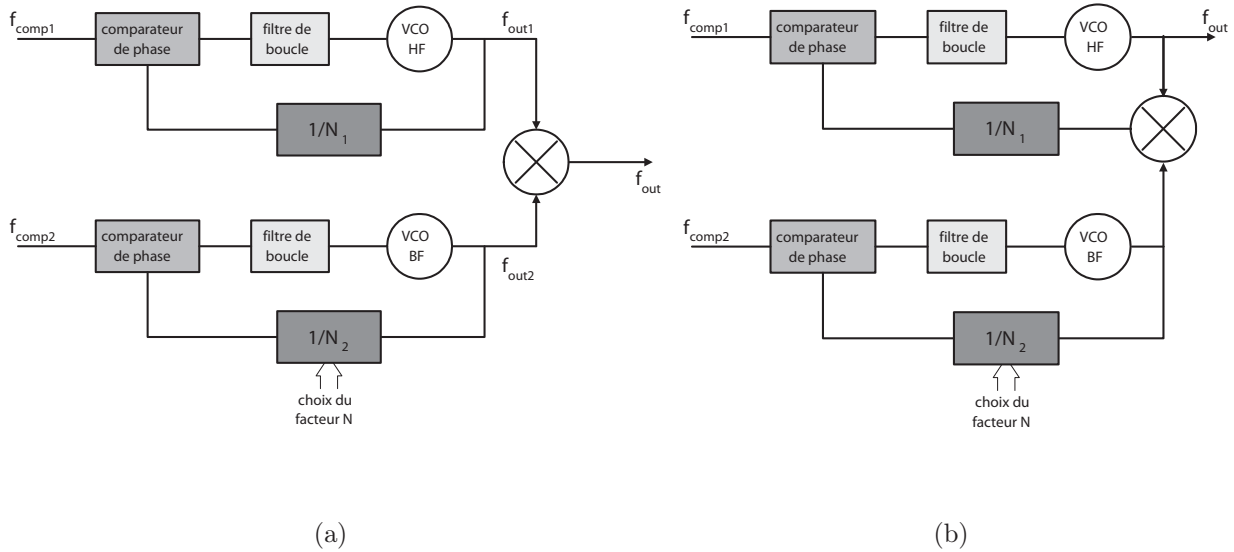


FIG. 2.8 – PLL à double boucles (a) parallèles (b) séries

2.1.4 DLL

Les boucles à verrouillage de retard (ou DLL pour *Delay Locked Loop*) sont largement utilisées dans les circuits numériques, notamment pour la synchronisation de signaux, la génération d’horloges à phases multiples ou encore les multiplicateurs de fréquence. Elles sont cependant peu utilisées dans le domaine analogique. Leur principal avantage est de générer différentes phases d’un même signal de façon stable et moins bruyante que les systèmes équivalents à base d’oscillateurs en anneau.

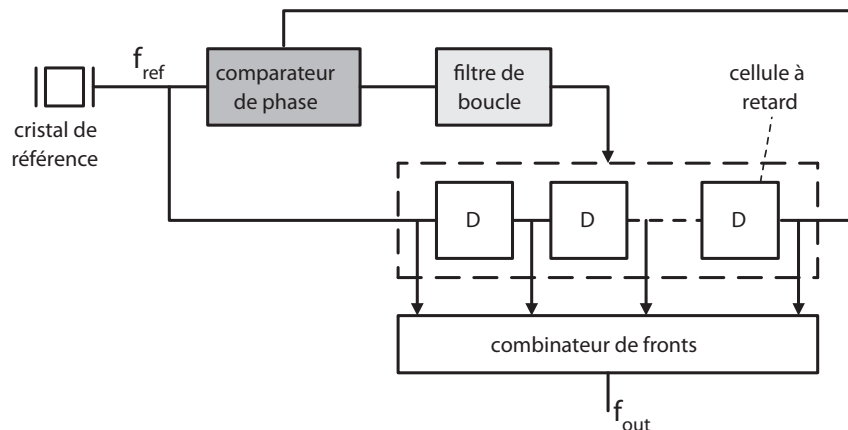


FIG. 2.9 – Schéma de principe d’une boucle à verrouillage de retard

Une DLL, illustrée sur la figure 2.9, asservit en phase deux signaux de fréquence f_{ref} ,

l'un servant de référence temporelle au second, obtenu à partir du signal de référence retardé par une ligne à retard. Comme dans le cas de la PLL, le comparateur de phase génère un signal proportionnel à l'erreur de phase entre ses signaux d'entrée. Ce signal sera ensuite filtré et la tension obtenue est appliquée sur la ligne à retard de façon à corriger l'erreur de phase. Les différents signaux provenant de cette ligne à retard sont ensuite recombinaés, par exemple en sommant les signaux, pour permettre d'obtenir une fréquence de sortie de la boucle égale à un multiple de la fréquence de référence.

Un des avantages des DLL est d'être inconditionnellement stable avec un simple filtre du premier ordre [16], ce qui permet un gain de place important. De plus, ces systèmes étant composés d'une majorité d'éléments numériques, leur encombrement est particulièrement réduit. Enfin, le bruit de phase proche porteuse des DLL est nettement inférieur à celui des systèmes équivalents à base de PLL [16, 17]. Cependant, l'utilisation d'une ligne à retard dans ces systèmes les rend particulièrement sensibles aux variations technologiques qui entraîne l'apparition de raies parasites. Le bruit de phase éloigné de la porteuse est également dégradé par rapport aux structures à PLL équivalentes. Enfin, l'inconvénient majeur des DLL est le fait que leur fréquence de sortie n'est pas programmable.

2.1.5 DDS (*Direct Digital Synthesis*)

La synthèse directe numérique est une des techniques de synthèse de fréquence les plus récentes. Elle a été introduite en 1971 par J. Tierney [18]. Elle fonctionne sur le principe de la création d'un signal à partir d'échantillons en faisant varier leur nombre et ce à vitesse constante. Le DDS est constitué d'un accumulateur de phase, d'un convertisseur phase/amplitude, d'un convertisseur numérique-analogique et d'un filtre passe-bas (cf figure 2.10).

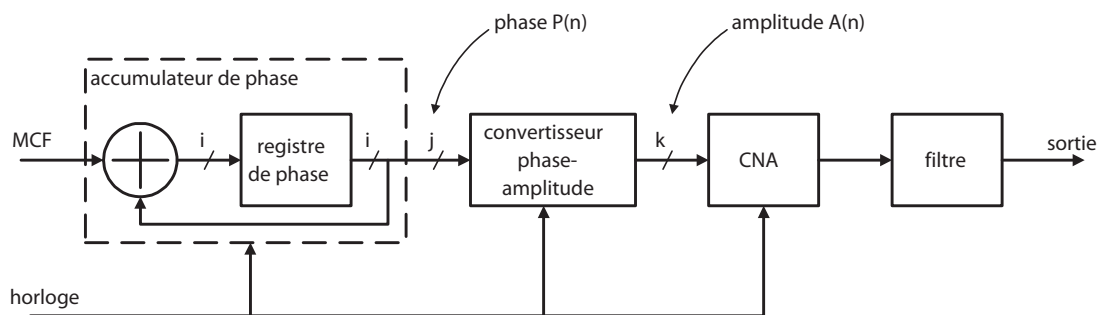


FIG. 2.10 – Schéma de principe d'un synthétiseur numérique direct

Son principe de fonctionnement est le suivant : à chaque période d'horloge, l'entrée numérique de la DDS, ou MCF pour mot de contrôle de fréquence, est ajoutée à la valeur précédemment stockée dans le registre de phase de l'accumulateur. Le MCF représente

l'incrément de phase entre deux points successifs du signal de sortie. La continuité de la phase d'une période par rapport à la suivante est garanti par le comptage cyclique de l'accumulateur de phase. La fréquence du signal généré f_{out} , définie comme la dérivée de la phase instantanée par rapport au temps, est donnée par [19]

$$f_{out} = \frac{MCF \cdot f_{horloge}}{2^i}, \forall f_{out} \leq \frac{f_{horloge}}{2} \quad (2.4)$$

i étant le nombre de bits sur lequel l'accumulateur code la phase telle que $[0; 2\pi] \rightarrow [0; 2^i]$. La résolution fréquentielle ΔF du DDS est obtenue pour $MCF = 1$ et vaut

$$\Delta F = \frac{f_{horloge}}{2^i} \quad (2.5)$$

Le DDS se comporte comme un diviseur fractionnaire, ce qui signifie que le nombre de points utilisés pour reconstituer un signal peut ne pas être entier. En effet, si l'on prend pour exemple un DDS 8-bits avec une programmation égale à 20, la fréquence en sortie obtenue selon l'équation 2.4 est égale à $f_{horloge}/12,8$.

Ce type de synthétiseur est généralement utilisé pour fournir une fréquence relativement réduite (quelques dizaines à quelques centaines de Mega Hertz) avec une résolution et un temps de commutation extrêmement faibles même si des applications hautes fréquences commencent à apparaître [19]. La résolution du DDS peut en effet être réduite arbitrairement en ne modifiant que le nombre de bits de l'accumulateur de phase (cf équation 2.5), un compromis devra cependant être trouvé entre la résolution souhaitée et la taille/consommation de l'accumulateur de phase nécessaire. La limitation sur les valeurs possibles de f_{out} est dictée par le théorème d'échantillonnage. Le premier inconvénient de la plupart des synthétiseurs numériques directs réside dans les niveaux des raies parasites causées par la quantification et la linéarité limitée du convertisseur numérique-analogique. Une règle de base assez grossière évalue le niveau de ces raies générées par la quantification du CNA à 6 fois le nombre de bits d'entrée (i.e. le niveau des raies de quantification d'un CNA 8-bits sera de 48dB inférieur au niveau de la porteuse) [17]. En outre, plus la fréquence d'horloge utilisée approche la fréquence maximale de fonctionnement du CNA plus les raies dues aux non-linéarités seront prédominantes [20]. La fréquence de sortie du DDS est donc limitée par la fréquence de fonctionnement du CNA.

2.1.6 récapitulatif

Le tableau 2.3 donne un aperçu des principales propriétés des différents types de synthétiseurs. Le premier élément se détachant de la comparaison des structures est la polyvalence des PLL face aux synthèses directes et aux DLL, critère important dans notre application. En effet, les critères de surface et de consommation sont peu compatibles avec

les DDS, et la nécessité d'une structure programmable rend les DLL inappropriées.

Concernant les PLL, notre contexte industriel imposant des restrictions importantes en terme de surface silicium et de consommation, l'utilisation d'une boucle à division entière est intéressante. La simplicité de ce type de structure s'inscrit parfaitement dans un système de télécommunication sans fil.

	😊	☹️
PLL entière	faible consommation, faible bruit	temps de commutation long
PLL fractionnelle	commutation rapide	raies parasites « fractionnelles »
DLL	faible bruit, compact	non programmable, pureté spectrale
DDS	commutation rapide, résolution extrêmement fine	encombrement, pureté spectrale

TAB. 2.3 – Tableau comparatif des avantages et inconvénients des synthétiseurs de fréquences

2.2 Les modulateurs de fréquence à base de PLL

La méthode la plus utilisée pour générer un signal modulé en phase/fréquence est le modulateur IQ (cf figure 2.11). Ce type de montage permet de générer n'importe quel type de modulation numérique mais impose la mise en place de plusieurs éléments de mélange et de filtrage en plus des deux convertisseurs numérique-analogique. La grande complexité de cette architecture est donc pénalisante dans le cadre d'une intégration dans un système de communication sans fil faible coût et faible consommation.

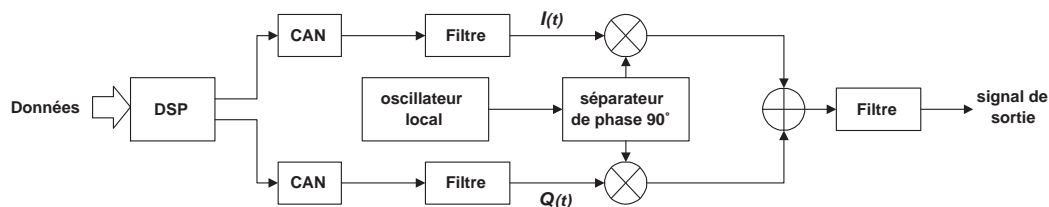


FIG. 2.11 – Schéma de principe d'un modulateur IQ

Dans le cas des modulations à enveloppe constante (FSK, PSK), l'utilisation d'une boucle de synthèse de fréquence modulée est intéressante car elle permet d'obtenir de très bonnes performances spectrales grâce, notamment, à la présence de VCO présentant de très faibles planchers de bruit (-160 dBc/Hz à 10 MHz de la porteuse). Le principe

général de ce type de modulateur repose sur la modulation d'un des signaux internes de la PLL (commande du VCO, référence ...). Ainsi, en introduisant la modulation dans la boucle, le spectre de sortie est alors un spectre modulé possédant un très bon plancher de bruit. Lors de l'intégration dans la chaîne d'émission du système, le filtrage en sortie de l'amplificateur de puissance est alors réduit à un filtrage d'harmoniques.

2.2.1 modulation du diviseur programmable

Une des techniques les plus utilisées pour réaliser un synthétiseur modulé en fréquence est de commuter la valeur du facteur de division de la boucle [21]. Les données sont envoyées au diviseur par l'intermédiaire d'un modulateur $\Sigma\Delta$ (cf chapitre 2 section 2.1.2 paragraphe iv.) [22]. Ce type de modulation souffre néanmoins d'un inconvénient majeur, la bande passante de la PLL limite la bande passante du signal de modulation. Cette limitation peut être repoussée en utilisant un filtre numérique de préaccentuation [12] qui va permettre d'annuler l'effet de la boucle sur les données de modulation comme illustré sur la figure 2.12.

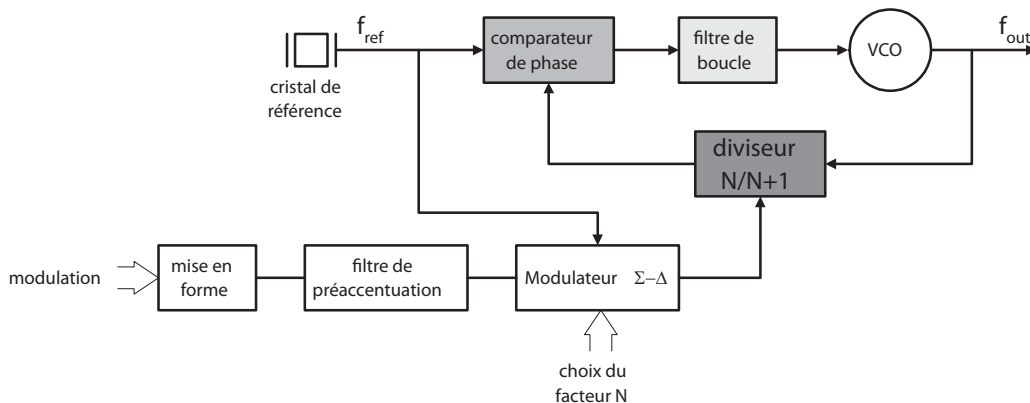


FIG. 2.12 – Schéma d'une PLL fractionnelle avec une modulation $\Sigma\Delta$

L'approche du synthétiseur modulé à l'aide d'un $\Sigma\Delta$ présente l'avantage de peu augmenter la complexité du système par rapport à une PLL fractionnelle, seule la partie numérique étant modifiée. Du point de vue de la consommation, cette technique est intéressante. De plus, la boucle étant toujours fermée, le VCO reste asservi en fréquence et bénéficie des effets de la boucle (notamment concernant le filtrage de son bruit de phase, cf section 3.1.2.3). Le principal problème concernant la mise en oeuvre de la modulation par $\Sigma\Delta$ avec précompensation est que la réponse fréquentielle du filtre de préaccentuation doit correspondre précisément à l'inverse de la réponse fréquentielle de la boucle. Cependant, cette réponse est difficile à contrôler avec précision du fait des éventuelles variations technologiques. Des techniques de calibrage peuvent alors être utilisées, au prix d'une complexification du circuit et d'une hausse de la consommation et de la surface occupée [23].

2.2.2 modulation deux points

L'approche « 2-points » illustrée sur la figure 2.13 est basée sur une PLL utilisant un diviseur multi modules piloté par un modulateur $\Sigma\Delta$ assurant à la fois la sélection du canal et la modulation numérique du facteur de division. La modulation analogique du VCO est obtenue par l'intermédiaire d'un convertisseur numérique-analogique. Le modulateur 2-points découple la bande passante de la PLL de la bande passante de la modulation grâce à la résolution fine du contrôle numérique du $\Sigma\Delta$ qui permet d'annuler l'effet de la modulation analogique du VCO. Ainsi, la fréquence de sortie du diviseur reste constante et la modulation ne perturbe pas le comportement de la boucle. La bande passante de modulation dépend uniquement de la réponse fréquentielle du chemin de modulation analogique [24] et permet donc de réaliser des débits élevés. Ce type de modulation implique une plus grande complexité de la partie numérique du montage. Concernant la partie analogique, elle requiert également un CNA et un filtre passe bas pour rejeter les raies parasites associées à l'utilisation du $\Sigma\Delta$. Enfin, un soin particulier doit être apporté à la corrélation qui existe entre la modulation numérique et la modulation analogique pour éviter de déstabiliser la boucle.

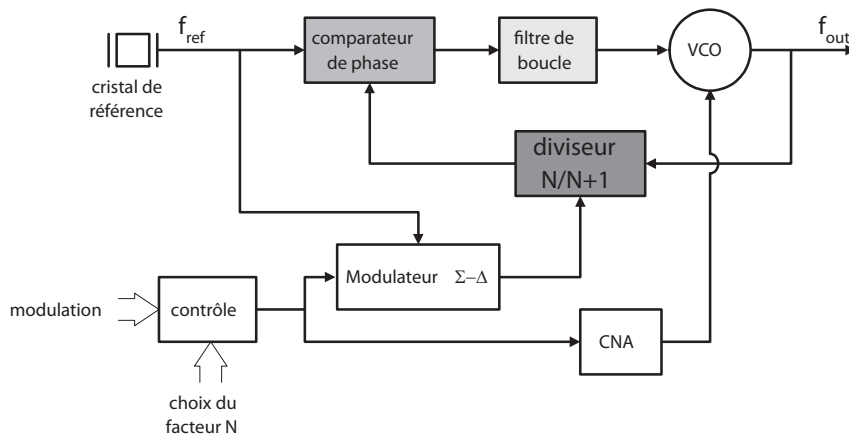


FIG. 2.13 – Schéma d'une PLL fractionnelle avec modulation deux points

2.2.3 modulation en boucle ouverte

La méthode la plus simple pour moduler un synthétiseur de fréquence est la modulation en boucle ouverte du VCO. Ce type d'architecture ne requiert qu'un minimum d'éléments additionnels par rapport à la PLL de base, généralement un convertisseur numérique-analogique de mise en forme des données [25]. Le principe, illustré sur la figure 2.14, consiste à verrouiller la PLL sur la fréquence du canal choisi. La boucle est alors ouverte et le signal de modulation est appliqué pendant une durée relativement courte

dépendante de la dérive du VCO qui n'est plus asservi. En effet, la boucle étant ouverte, la fréquence de sortie du montage dépend directement de la stabilité du VCO. La boucle doit donc être refermée périodiquement afin de corriger le décalage fréquentiel apparaissant inmanquablement du fait des différentes perturbations auxquelles l'oscillateur est soumis (température, variation de la tension d'alimentation ...). De plus, lors de la modulation, le bruit de phase du VCO n'est plus corrigé par la PLL pour les fréquences proches porteuse, il convient donc de s'assurer que ce bruit est suffisamment faible pour répondre aux exigences de l'application visée. Enfin, pour éviter de distordre le signal de sortie du circuit, il est nécessaire d'utiliser le VCO dans la partie linéaire de sa courbe de contrôle. L'avantage essentiel de ce type de structure est bien sûr sa grande simplicité conduisant à un gain de place et donc de coût de production, ainsi qu'un gain en consommation de courant pouvant encore être accentué par le fait de pouvoir éteindre tout ou partie des blocs non utilisés pendant la modulation.

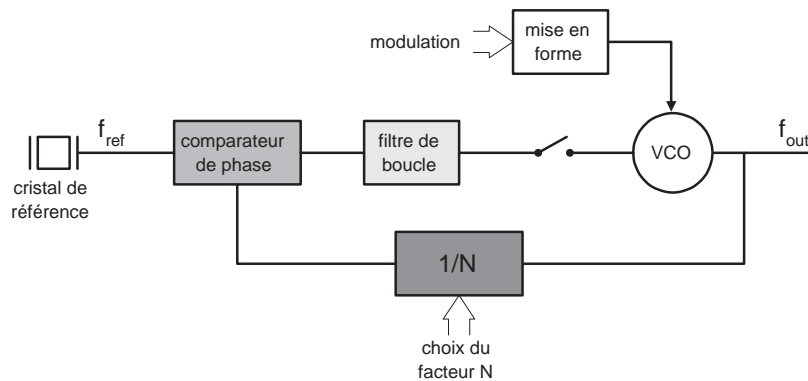


FIG. 2.14 – Schéma d'une PLL avec modulation du VCO en boucle ouverte

2.3 PLL multi-fonctions permettant la synthèse et la modulation de fréquence

A partir des études précédentes, nous sommes en mesure de déterminer la structure la plus en adéquation avec les différents critères du système présenté au chapitre 1. Comme nous l'avons vu, la structure à réaliser doit remplir deux rôles différents sur lesquels nous allons revenir plus en détail dans cette section.

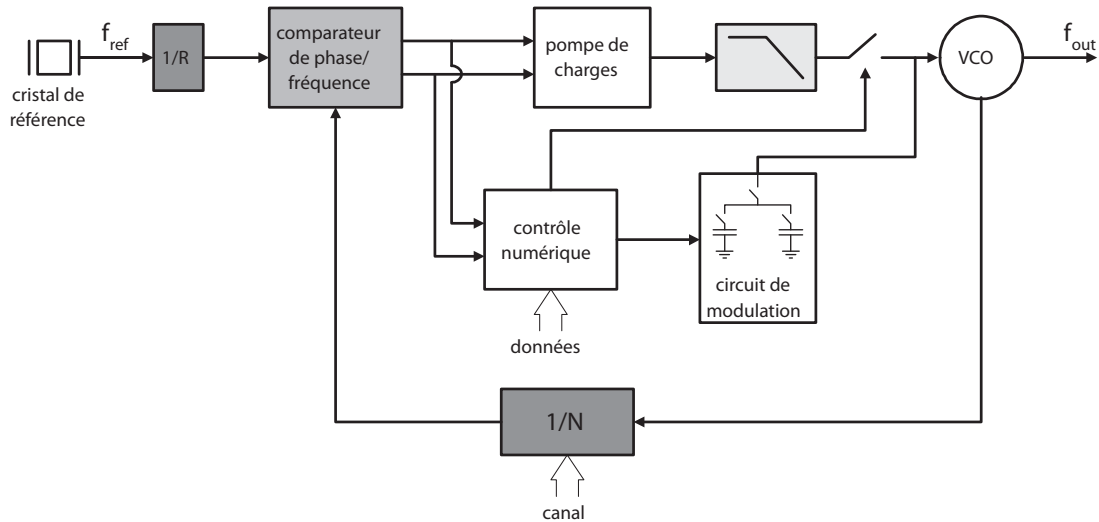


FIG. 2.15 – Schéma de principe de la structure proposée

2.3.1 les différents modes de fonctionnement

2.3.1.1 réception

Comme nous l'avons décrit dans le chapitre 1, le rôle principal de la boucle à verrouillage de phase que nous proposons est la synthèse de fréquence. En effet, dans la chaîne de réception la PLL intervient pour fournir le signal d'oscillateur local. L'architecture de récepteur utilisée étant en ZIF, la PLL doit fournir la fréquence centrale des différents canaux de communication du système, ces fréquences s'étalant de 2406 à 2478 MHz par pas de 8 MHz. Ces caractéristiques, couplées aux restrictions importantes en terme de surface silicium et consommation en courant imposée par l'application industrielle, nous ont conduit à choisir une architecture de type PLL entière (cf section 2.1). En effet, la précision fréquentielle requise par le système étant relativement lâche (de l'ordre du mega Hertz, cf chapitre 3, section 3.1), l'emploi d'une PLL fractionnelle ne s'impose pas et la structure à division entière, de par sa simplicité, est particulièrement appropriée pour les applications de télécommunication sans fil. La base de notre dispositif est donc une PLL à division entière (cf figure 2.15).

Certains éléments sont imposés par la société STMicroelectronics, toujours dans l'optique d'une réduction des coûts. Il s'agit principalement de la technologie CMOS 0,28 μm et du cristal de référence fonctionnant à 8 MHz.

2.3.1.2 émission

La chaîne d'émission du système propriétaire s'appuie sur l'utilisation de la PLL en modulateur de fréquence. Connectée directement à l'amplificateur, la PLL doit alors fournir un signal modulé de type FSK, les sauts de fréquence à réaliser étant de 4 MHz. A

partir de la PLL à division entière utilisée pour la chaîne de réception, le but est donc d'apporter les modifications nécessaires à l'obtention de la modulation tout en limitant au maximum l'augmentation de surface et de consommation en résultant.

Dans cette optique, le système de modulation le plus adéquat, compte tenu des impératifs du système, est la modulation en boucle ouverte. En effet, cette technique nécessite un minimum de circuits annexes à la PLL mais présente plusieurs inconvénients qu'il convient de prendre en compte et de corriger. Le défi auquel notre architecture est confronté est donc le suivant : profiter des avantages de la PLL entière et de la modulation en boucle ouverte en terme de complexité tout en s'affranchissant au maximum des problèmes propres à ces choix, à savoir principalement la dérive fréquentielle en modulation. Pour cela et comme nous le verrons au chapitre 3, le circuit de modulation proposé repose sur un fonctionnement en deux temps : la PLL va d'abord fonctionner normalement, c'est à dire en boucle fermée, et se verrouiller sur la première fréquence de modulation. La tension de contrôle correspondante du VCO est alors mémorisée à l'aide d'une capacité passive et le facteur de division de la boucle est modifié de façon à ce que la boucle synthétise la deuxième fréquence de modulation. Lorsque la PLL se verrouille pour la seconde fois, la tension de contrôle du VCO est stockée dans une seconde capacité. La boucle est alors ouverte et passe en mode modulation, les deux capacités de mémorisation sont alors commutées, en fonction des données à transmettre, au VCO qui fournit ainsi le signal FSK désiré. La structure complète est illustrée sur la figure 2.15.

2.3.2 Intérêts de la structure proposée

La dérive fréquentielle, problème intervenant dans tous les systèmes utilisant le mode « boucle ouverte », conditionne le temps d'émission maximum correspondant au temps maximum de fonctionnement du VCO seul pendant lequel sa fréquence de sortie reste dans les limites acceptables par le système. Elle est causée par plusieurs facteurs :

- fuite des capacités dans lesquelles sont stockées les tensions de modulation
- effet du bruit substrat
- interférences dues à la charge du VCO (i.e. l'amplificateur de puissance)

Concernant les fuites des capacités de mémorisation, elles sont à séparer en deux types : les fuites intrinsèques dues aux caractéristiques de la technologie utilisée et les fuites dans les éléments entourant les capacités. Concernant le premier type, il s'agit d'une limitation technologique qui ne peut être corrigée. Pour le second type, un dispositif d'isolation est proposé. Il va permettre d'une part d'éviter l'influence des capacités sur le comportement de la boucle lors de la phase de mémorisation, effet intervenant par le biais d'une modification de la fonction de transfert du filtre de boucle auquel les capacités sont accolées. Or, comme nous le verrons au chapitre suivant, cette fonction de transfert est un élément

sensible de la boucle influençant fortement la stabilité et le temps de verrouillage de la PLL. Le dispositif d'isolation va permettre dans un deuxième temps d'éviter la fuite des capacités dans les éléments auxquels elles sont connectées, fuite impliquant une dérive des deux tensions de modulation, et également les fuites de l'une dans l'autre qui conduiraient à une moyenne des deux tensions (dans le cas où les deux capacités de mémorisation sont de même valeur).

Le problème du bruit substrat sera traité au niveau du dessin des masques. Tous les éléments sensibles (VCO, pompe de charges) seront isolés des autres blocs en utilisant des anneaux de garde, dispositifs permettant une isolation importante sans modification technologique coûteuse. Enfin, un soin particulier sera apporté au placement des différents éléments les uns par rapport aux autres et par rapport au reste du système de télécommunication.

Concernant les interférences dues à la charge du VCO, ce problème sera traité par l'utilisation d'un étage tampon développé au chapitre 4, section 4.2.4.

Enfin, il est important de signaler que le système sera alimenté par un régulateur général convertissant la tension d'alimentation de la puce, 3 V, en alimentation stabilisée de 2,5 V. Les variations de tension sur l'alimentation seront donc éliminées.

Ainsi, à l'aide de blocs extrêmement simples et consommant peu en regard du système complet, le circuit proposé permet de garantir deux fréquences de modulation stables pendant le temps d'une trame d'émission complète, soit 1 ms minimum. De plus, l'utilisation de capacités MIM pour la mémorisation des tensions de modulation ne pénalise pas la surface occupée par le montage. En effet, ces éléments utilisent les couches supérieures de la technologie CMOS et peuvent donc être placés au dessus des autres parties du circuit.

Conclusion

Nous avons présenté dans ce chapitre les principes fondamentaux de la boucle à verrouillage de phase. La PLL est la solution la mieux adaptée pour la génération de fréquences programmables dans le contexte des systèmes de télécommunication sans fil monolithiques car elle présente de fortes potentialités au niveau de l'intégration des fonctions. L'application visée demandant une polyvalence dans le fonctionnement de la boucle, nous avons également abordé les PLL sous l'angle des modulateurs de fréquence en exposant plusieurs solutions classiques. Les avantages et inconvénients de chacune ont été soulignées pour permettre de déterminer la plus adaptée à notre contexte de travail.

A partir des considérations architecturales propres au système présenté dans le chapitre 1 et dans lequel s'inscrit cette thèse, des axes de conception ont été dégagés pour aboutir au choix d'une structure permettant la réalisation des fonctions de synthèse et de

modulation de fréquence. Le circuit original proposé a ainsi été présenté d'un point de vue fonctionnel. Le chapitre suivant permettra d'entrer dans les détails des différents blocs et de proposer une méthodologie de conception de la boucle en fonction de ses paramètres fondamentaux.

Bibliographie

- [1] B. Razavi, *RF Microelectronics*, 1er ed. Prentice Hall, 1997. 28
- [2] D. Banerjee, *PLL Performance, Simulation, and Design*, 4ème ed., 2006. 29
- [3] H. de Bellescize, « La réception synchrone », *L'onde électrique*, vol. 11, p. 225–240, mai 1932. 30
- [4] U. Rohde, *Microwave and Wireless Synthesizers - Theory and Design*. John Wiley, 1997, ISBN : 0-471-52019-5. 31, 33
- [5] D. Wilson, R. Woogeun, et B. Song, « Integrated rf receiver front ends and frequency synthesizers for wireless », *Designing Low Power Digital Systems, Emerging Technologies*, p. 369–396, 1996. 33
- [6] F. Zarkeshvari, P. Noel, et T. Kwasniewski, « Pll-based fractional-n frequency synthesizers », in *Proceedings of the 9th International Database Engineering & Application Symposium*, 2005. 33
- [7] W. Rhee et A. Ali, « An on-chip phase compensation technique in fractional-n frequency synthesis », in *IEEE International Symposium on Circuits and Systems*, vol. 1, nov. 2001. 34
- [8] V. Reinhardt et I. Shahriary, « Spurless fractional divider direct digital synthesizer and method », US. Patent 4815018, Rap. tech., 1989. 35
- [9] U. Rohde, « Synthesizer design for microwave applications », Synergy Microwave Corporation, Note d'application, 1999. 35
- [10] T. A. Riley, M. Copeland, et T. Kwasniewski, « Delta-sigma modulation in fractional-n frequency synthesis », *IEEE Journal of Solid-State Circuits*, vol. 28, p. 553–559, mai 1993. 35, 36
- [11] W. Rhee, B. Sup-Song, et A. A. Ali, « A 1.1ghz cmos fractional-n frequency synthesizer with a 2-b third order delta sigma modulator », *IEEE Journal of Solid-State Circuits*, vol. 35, p. 1453–1460, oct. 2000. 36
- [12] M. H. Perrott, T. Tawkbury, et C. G. Sodini, « A 27-mw cmos fractional-n synthesizer using digital compensation for 2.5-mb/s gfsk modulation », *IEEE Journal of Solid-State Circuits*, vol. 32, p. 2048–2060, 1997. 36, 41
- [13] S. Willingham, M. Perrott, B. Setterberg, A. Grzegorek, et B. McFarland, « An integrated 2.5 ghz delta-sigma frequency synthesizer with 5 μ s settling and 2 mb/s

- closed loop modulation », in *IEEE International Solid-State Circuits Conference, Digest of Technical Papers*, 2000, p. 200–201. [36](#)
- [14] W. Yan et H. Luong, « A 2-v 900-mhz monolithic cmos dual-loop frequency synthesizer for gsm receivers », *IEEE Journal of Solid-State Circuits*, vol. 36, p. 204–216, fév. 2001. [36](#)
- [15] T. K. K. Kan, G. C. T. Leung, et H. C. Luong, « A 2-v 1.8-ghz fully integrated cmos dual-loop frequency synthesizer », *IEEE Journal of Solid-State Circuits*, vol. 37, no. 8, p. 1012–1020, août 2002. [36](#)
- [16] O. Susplugas, « Application des boucles à verrouillage de retard à la synthèse de fréquences dans les circuits pour les communications mobiles », Thèse de doctorat, Ecole Nationale Supérieure des Télécommunications de Paris, 2004. [38](#)
- [17] K. Shu et E. Sánchez-Sinencio, *CMOS PLL Synthesizers : Analysis and Design*. Springer, 2005, iSBN : 0-387-23669-4. [38](#), [39](#)
- [18] J. Tierney, C. Rader, et B. Gold, « A digital frequency synthesizer », *IEEE Transactions on Audio and Electroacoustics*, vol. AU-19, p. 48–57, mars 1971. [38](#)
- [19] S. Thuries, « Conception et intégration d’un synthétiseur digital direct micro-onde en technologie silicium si-ge :c 0.25 μ m », Thèse de doctorat, Université Paul Sabatier - Toulouse III, 2006. [39](#)
- [20] H. Wolfson, « Very small frequency generator systems for spread spectrum ehf applications », in *MILCOM’89*, vol. 3, oct. 1989, p. 749–753. [39](#)
- [21] T. A. D. Riley et M. A. Copeland, « A simplified continuous phase modulator technique », *IEEE Transactions on Circuits And Systems-II : Analog and Digital Signal Processing*, vol. 41, p. 321–328, mai 1994. [41](#)
- [22] B. Miller et R. J. Conley, « A multiple modulator fractional divider », *IEEE Transactions on Instrumentation and Measurement*, vol. 40, no. 3, p. 578–583, juin 1991. [41](#)
- [23] D. R. McMahill et C. G. Sodini, « Automatic calibration of modulated frequency synthesizers », *IEEE Transactions on Circuits And Systems-II : Analog and Digital Signal Processing*, vol. 49, no. 5, p. 301–311, mai 2002. [41](#)
- [24] J. Notor et G. Levy, « Rf and analog design considerations for fully-integrated bluetooth cmos rfics », in *Proceedings of the 2002 Communications Design Conference*, 2002. [42](#)

- [25] D. Daly et A. Carusone, « A sigma-delta based open-loop frequency modulator », in *Proceedings of the 2003 International Symposium on Circuits and Systems*, vol. 1, 2003, p. 929–932. [42](#)

3

Étude théorique et mise en oeuvre du système

Ce chapitre présente une étude théorique de la PLL multifonction qui va permettre, en fonction des contraintes imposées par le système global, de dégager des impératifs de conception et ainsi de suggérer certains choix pour les architectures des différents blocs constitutifs de la PLL. A partir des équations mathématiques régissant les systèmes bouclés, les caractéristiques principales telles que le temps de verrouillage, la stabilité et le niveau de bruit en sortie sont les bases de la conception de la PLL. La fonctionnalité finale de la boucle, en l'occurrence la synthèse de fréquence en mode réception et la modulation FSK en mode émission, reste bien évidemment le critère principal de conception.

3.1 Étude théorique : dimensionnement des blocs

Dans la première partie de ce chapitre, le cahier des charges de la PLL défini au niveau système est présenté. Les études fréquentielles, temporelles, et de bruit seront ensuite menées afin de dégager les paramètres nécessaires à la conception des différents blocs.

3.1.1 Cahier des charges

Comme nous l'avons vu dans la section 2.3, la PLL à réaliser doit assurer deux fonctions distinctes. Un certain nombre de paramètres seront valables pour les deux modes de fonctionnement (temps de verrouillage, marge de phase, consommation et surface silicium ...) et permettront donc de dimensionner la boucle principale. D'autres (précision sur l'indice de modulation, stabilité de la fréquence centrale en émission) seront spécifiques au mode émission et guideront le développement du système de modulation.

3.1.1.1 Temps de verrouillage

Le temps de verrouillage T_{lock} maximal de la PLL est imposé par le protocole de communication en fonction de la longueur des trames binaires à émettre. En effet, le temps de verrouillage est le temps pendant lequel la consommation de la PLL est maximale puisque toute la boucle est active, T_{lock} est donc fixé de façon à optimiser la consommation de la PLL pour chaque séquence d'émission. La longueur moyenne de ces trames étant de $240\mu s$, T_{lock} a été fixé à $120\mu s$.

Le temps de verrouillage est également lié au débit du système car aucune donnée ne peut être échangée en phase de verrouillage. Cependant, ce critère n'est pas limitant dans notre application et n'est donc pas pris en compte dans le cahier des charges du synthétiseur.

3.1.1.2 Bruit

La contrainte de bruit de phase du circuit d'oscillateur local (OL) sur la chaîne de réception a été déterminée au niveau système en étudiant son effet sur le taux d'erreur de bits (TEB) [1, 2]. Le cas où le bruit de phase du récepteur est le plus pénalisant est celui de la réception de données en présence d'un canal adjacent (à $f_0 \pm 2 \times 8MHz$, f_0 étant la fréquence centrale du canal considéré) de niveau supérieur à celui du canal considéré. Pour ce test, la puissance du signal utile est de 3 dB supérieure à la sensibilité de référence, soit -77dBm, et le rapport C/I (entre signal utile et signal parasite) est fixé à -30dB. Dans ces conditions, les simulations au niveau système de la chaîne de réception montrent que le TEB reste inférieur à la valeur fixée de 10^{-3} (cf section 1.2.1) pour un bruit de phase inférieur à -84dBc/Hz à 500kHz de la porteuse comme l'illustre la figure 3.1.

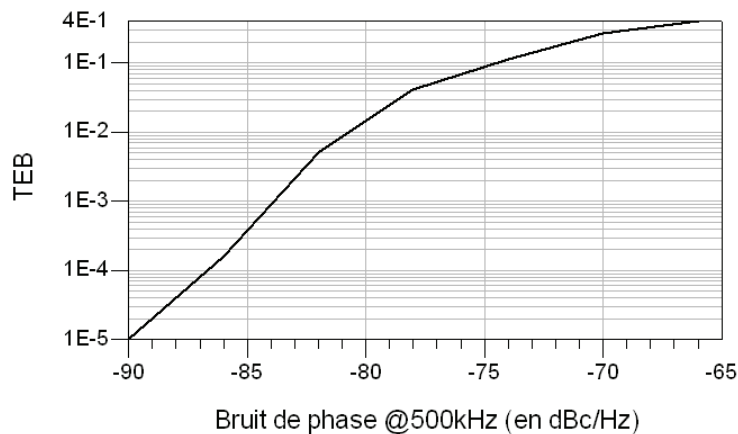


FIG. 3.1 – Influence du bruit de phase de l'OL sur le TEB

Cette contrainte est donc moins sévère que sur de nombreux systèmes tels que le Bluetooth (pour lequel la limite est -89dBc/Hz à 500kHz de la porteuse) notamment grâce à

l'espacement important entre les canaux ($k \times 8\text{MHz}$) et reste tout à fait réalisable avec des architectures d'OL classiques [3].

3.1.1.3 Précision fréquentielle

i. décalage des fréquences d'oscillateur local

Pour déterminer le décalage maximum pouvant intervenir sur la fréquence d'OL, le système est maintenant considéré sans canal adjacent. De la même façon que précédemment, l'influence de l'imprécision de l'OL sur le TEB (cf figure 3.2) et sur l'ouverture du diagramme de l'oeil est étudiée. Similairement à l'influence du bruit de phase en réception, le décalage des fréquences de l'oscillateur local entraîne une rotation de la constellation des échantillons I et Q. Or, dans les récepteurs non cohérents (système propriétaire et 802.15.4 par exemple), il n'existe pas de structure de correction du décalage des fréquences d'OL et il faudra donc veiller à établir une contrainte sur le niveau de décalage maximal permettant d'assurer un fonctionnement correct du système. Il apparaît alors qu'un décalage allant jusqu'à 550kHz permet de conserver un TEB inférieur à 10^{-3} . Cependant, l'ouverture de l'oeil pour un tel décalage étant relativement faible ($\approx 50\%$) le décalage maximum autorisé a été fixé à 500kHz, soit une stabilité d'environ 200ppm à 2,45GHz.

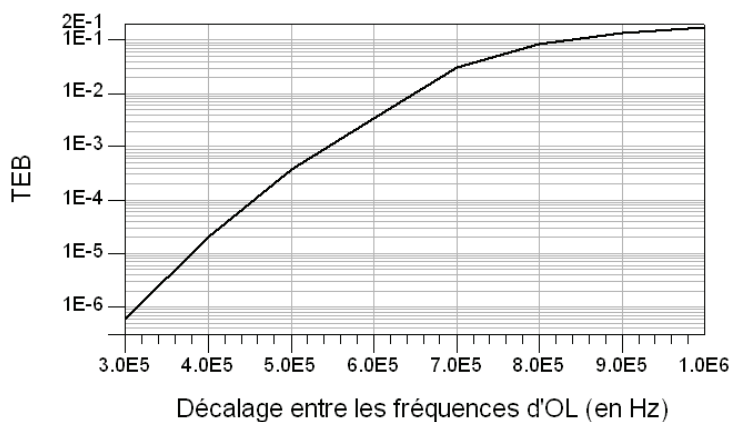


FIG. 3.2 – Influence du décalage des fréquences d'OL sur le TEB

ii. variation de l'indice de modulation

Lors de l'utilisation en modulateur 2-FSK, la PLL doit fournir deux fréquences f_1 et f_2 décalées de $\Delta f = \pm 2\text{MHz}$ par rapport à la fréquence centrale du canal, soit un indice de modulation m égal à 4. La figure 3.3 illustre la sensibilité du TEB à la variation de cet indice.

Il apparaît que la valeur de m doit être comprise entre 1 et 5 pour garantir un TEB inférieur à 10^{-3} , soit un saut de fréquence Δf compris entre $\pm 0,5\text{MHz}$ et $\pm 2,5\text{MHz}$. A partir de ces valeurs et de la durée maximale d'une trame binaire, il est possible de

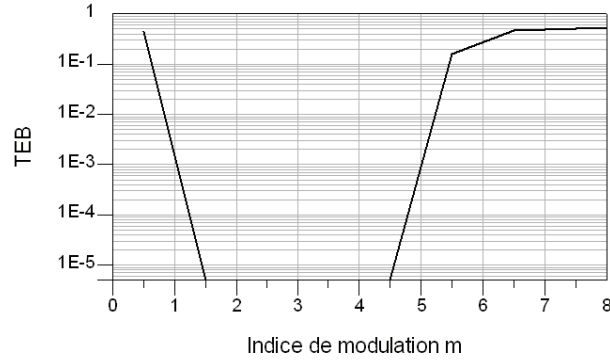


FIG. 3.3 – Influence de la variation de l'indice de modulation sur le TEB

déterminer la dérive maximale ΔV de la tension de contrôle du VCO acceptable durant la phase de modulation. En effet, comme $\Delta f_{max} = \pm 2,5 MHz$ les fréquences f_1 et f_2 ne doivent pas dériver de plus de 500kHz pendant la durée maximale T_{max} de la trame égale à 10ms. En prenant l'exemple d'un VCO ayant un gain de conversion K_{VCO} de 40MHz/V, la dérive maximale de la tension de contrôle est donc

$$\Delta V = \frac{\Delta f}{K_{VCO} \cdot T_{max}} = 1,25 \mu V / \mu s \quad (3.1)$$

3.1.1.4 Surface et consommation

La surface maximale allouée à la partie synthèse de fréquence est fixée à $700 \mu m \times 700 \mu m$, soit environ un quart de la surface totale de la puce.

Concernant la consommation, le système complet est prévu pour fonctionner sur batteries de type AAA/1175mAh dont la durée de vie attendue est de 1 an. Pour atteindre cet objectif, la consommation totale de la puce doit être inférieure à 100mW [4]. Cependant, si la consommation globale du circuit est connue, la répartition entre les différents blocs ne l'est pas précisément. Les blocs traditionnellement les plus consommateurs de courant étant l'amplificateur de puissance et la PLL, la consommation de cette dernière est fixée à 30% du total, soit 30 mW.

3.1.2 Calcul des paramètres de la boucle

3.1.2.1 analyse fréquentielle

En considérant la PLL comme un système linéaire ¹(cf figure 3.4) et en notant K_{Φ} le gain de l'ensemble détecteur de phase + pompe de charge, K_{VCO} le gain de conversion de l'oscillateur contrôlé en tension, Z la fonction de transfert du filtre de boucle et N le

¹ bien qu'étant un système non linéaire, notamment du fait du comportement non linéaire du comparateur de phase, la PLL peut être considérée comme linéaire lorsqu'elle est verrouillée [5]

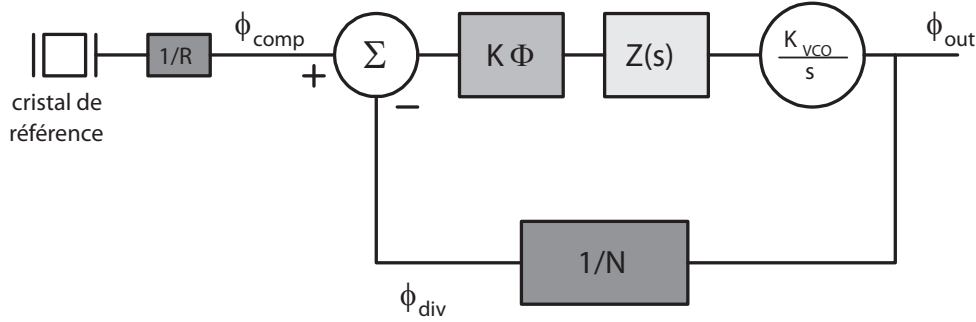


FIG. 3.4 – Schéma bloc du modèle linéaire de la PLL

rapport de division de la boucle, les paramètres de la PLL sont :

$$\text{Gain direct :} \quad G(s) = \frac{K_{\Phi} K_{VCO} Z(s)}{s} \quad (3.2)$$

$$\text{Gain en boucle ouverte :} \quad OL(s) = \frac{G(s)}{N} \quad (3.3)$$

$$\text{Gain en boucle fermée :} \quad CL(s) = \frac{G(s)}{1 + OL(s)} \quad (3.4)$$

La fréquence de coupure F_c et la marge de phase Φ de la boucle sont définies par [6] :

$$|OL(i \cdot 2\pi \cdot F_c)| = 1 \quad (3.5)$$

$$\Phi = 180 + \arg(OL(i \cdot 2\pi \cdot F_c)) \quad (3.6)$$

La marge de phase permet de caractériser la stabilité de la boucle. En pratique, une marge de phase inférieure à 20° conduit à des problèmes de stabilité et des valeurs élevées ($>80^\circ$) sont souvent impossibles à obtenir avec des valeurs de composants intégrables [7].

Deux autres paramètres permettent de caractériser la PLL, sa pulsation naturelle ω_n et son facteur d'amortissement ζ qui décrivent le comportement dynamique de la boucle (Si ζ est nul, les pôles de CL sont imaginaires et le système est oscillant). Ces paramètres peuvent être calculés à partir de l'expression de CL(s) dont le dénominateur est normalisé pour obtenir la forme suivant : $s^2 + 2\zeta\omega_n s + \omega_n^2$. Dans notre cas, un filtre passif d'ordre trois est utilisé dans la boucle (cf section 3.2.2), la PLL présente dans ce cas une fonction de transfert d'ordre 4 et le calcul de ω_n et ζ passe par une approximation du gain CL(s) d'ordre 4 par une expression d'ordre 2². En utilisant les notations de la section 3.2.2

²On peut noter ici que cette approximation de CL(s) n'est valable que pour des fréquences inférieures au mega Hertz.

concernant la fonction de transfert du filtre de boucle, l'expression de $CL(s)$ devient :

$$CL(s) = \frac{K_{\Phi}K_{VCO}N(1 + sk_0)}{s^4Nk_1 + s^3Nk_2 + s^2Nk_3 + sK_{\Phi}K_{VCO}k_0 + K_{\Phi}K_{VCO}} \quad (3.7a)$$

$$\approx \frac{\omega_n^2N(1 + sk_0)}{s^2 + 2\zeta\omega_n s + \omega_n^2} \quad (3.7b)$$

d'où l'on déduit :

$$\omega_n = \sqrt{\frac{K_{\Phi}K_{VCO}}{Nk_3}} \quad \zeta = \frac{k_0\omega_n}{2} \quad (3.8)$$

La fonction de transfert de la PLL passant d'une fréquence f_1 à f_2 peut s'écrire ³ :

$$F(s) = sCL(s)\frac{f_2 - f_1}{sN} = \frac{K(f_2 - f_1)(1 + sk_0)}{s^4k_1 + s^3k_2 + s^2k_3 + sKk_0 + K} \quad (3.9)$$

avec $K = (K_{\Phi}K_{VCO})/N$. Cette expression permet notamment de déterminer les pôles p_i en calculant les racines du dénominateur. En utilisant les pôles p_i , l'équation 3.9 peut être écrite sous la forme :

$$F(s) = \sum_{i=0}^3 A_i \cdot \left[\frac{1}{s(s - p_i)} + \frac{k_0}{s - p_i} \right] \quad (3.10)$$

avec $A_i = \frac{K(f_2 - f_1)}{k_1} \cdot \prod_{n \neq i} \frac{1}{p_i - p_n}$

3.1.2.2 analyse temporelle

A partir des équations déterminées dans le paragraphe précédent, il est possible d'estimer le comportement temporel de la boucle. En appliquant une transformée de Laplace inverse à l'équation 3.10 on obtient la réponse temporelle $f(t)$ de la PLL ainsi que son enveloppe exponentielle $E(t)$ telles que :

$$f(t) = f_2 + \sum_{i=0}^3 A_i \cdot e^{p_i t} \left(\frac{1}{p_i} + k_0 \right) \quad (3.11a)$$

$$E(t) = f_2 + \sum_{i=0}^3 \left| A_i \cdot e^{p_i t} \left(\frac{1}{p_i} + k_0 \right) \right| \quad (3.11b)$$

L'équation 3.11b permet ensuite de déterminer le temps de verrouillage T_{lock} de la boucle en calculant simplement $E(T_{lock}) - f_2 - tol = 0$, ou tol est la tolérance sur la fréquence de sortie de la PLL. En utilisant l'expression approchée de $CL(s)$ (cf équation 3.7b) il est

³la multiplication par s permet de corriger le fait que CL se réfère à la réponse en phase, alors que F traite de la réponse en fréquence

également possible d'obtenir une expression de $f(t)$ en fonction de ω_n et ζ . On obtient dans ce cas [7] :

$$f(t) = f_2 + (f_1 - f_2)e^{-\zeta\omega_n t} \left[\cos(\omega_n \sqrt{1 - \zeta^2} t) + \frac{\zeta - k_0\omega_n}{\sqrt{1 - \zeta^2}} \sin(\omega_n \sqrt{1 - \zeta^2} t) \right] \quad (3.12)$$

on peut alors déduire un temps de verrouillage T_{lock} approché en fonction de ω_n et ζ :

$$T_{lock} = \frac{-\ln \left(\frac{tol}{f_2 - f_1} \cdot \frac{\sqrt{1 - \zeta^2}}{1 - 2k_0\zeta\omega_n + k_0^2\omega_n^2} \right)}{\zeta\omega_n} \quad (3.13)$$

Étant donné que $\omega_c = 2\pi F_c \approx 2\zeta\omega_n$ [7], il apparaît clairement d'après l'équation 3.13 que T_{lock} est inversement proportionnel à F_c . Le temps de verrouillage ne peut donc pas être choisi arbitrairement, il est bien sûr dépendant des autres paramètres de la boucle à travers F_c et un compromis devra être trouvé entre rapidité de verrouillage, stabilité de la boucle et pureté spectrale du signal de sortie.

3.1.2.3 analyse du bruit

Tous les éléments constituant une PLL contribuent au bruit global du système (cf figure 3.5). Certains sont prépondérants, notamment les oscillateurs (VCO et cristal de référence).

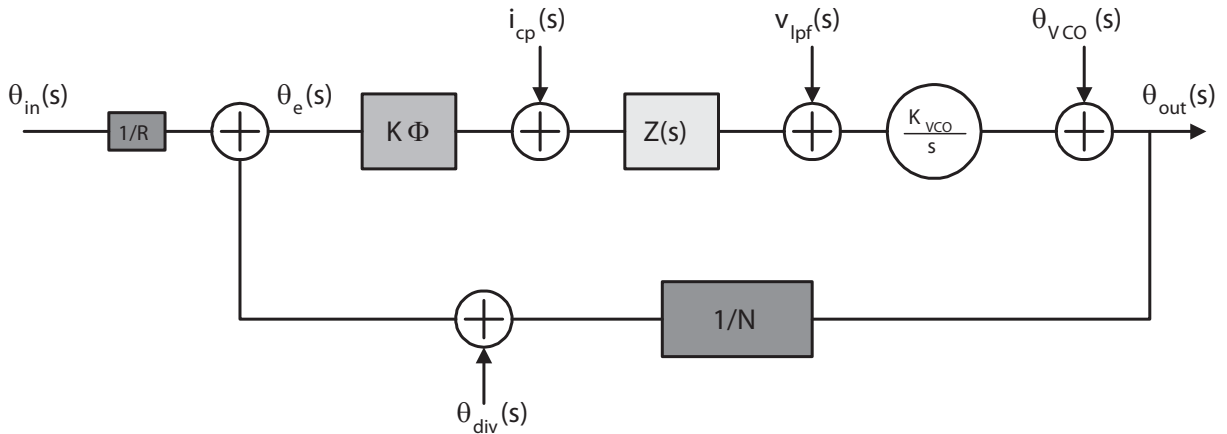


FIG. 3.5 – Modélisation linéaire du bruit d'une PLL

$\theta_{in}(s)$: phase d'entrée bruitée

$\theta_{VCO}(s)$: phase de sortie bruitée du VCO

$\theta_{out}(s)$: phase de sortie bruitée de la PLL

$\theta_{div}(s)$: bruit de phase généré par le diviseur de fréquence

$i_{cp}(s)$: bruit en courant généré par l'ensemble détecteur de phase + pompe de charges
 $v_{lpf}(s)$: bruit en tension généré par le filtre de boucle

i. VCO

L'étude du bruit de phase du VCO seul sera présentée dans le chapitre suivant, paragraphe 4.2.2. Cependant, le bruit du VCO est en partie filtré par la PLL. En effet, si on se place au niveau du VCO dans la boucle, on obtient la fonction de transfert suivante :

$$\frac{\theta_{out}(s)}{\theta_{VCO}(s)} = \frac{1}{1 + \frac{G(s)}{N}} \tag{3.14}$$

La boucle se comporte donc vis à vis du VCO comme un filtre passe-haut, avec pour conséquence une suppression du bruit de l'oscillateur proche porteuse comme illustré par la figure 3.6. Dans ce cas, il est intéressant de fixer une bande passante large pour la PLL, ce qui vient également améliorer le temps de verrouillage. Cependant, cette fréquence de coupure ne devra être également choisie en fonction notamment de la stabilité de la boucle ou de la suppression des éventuelles raies parasites.

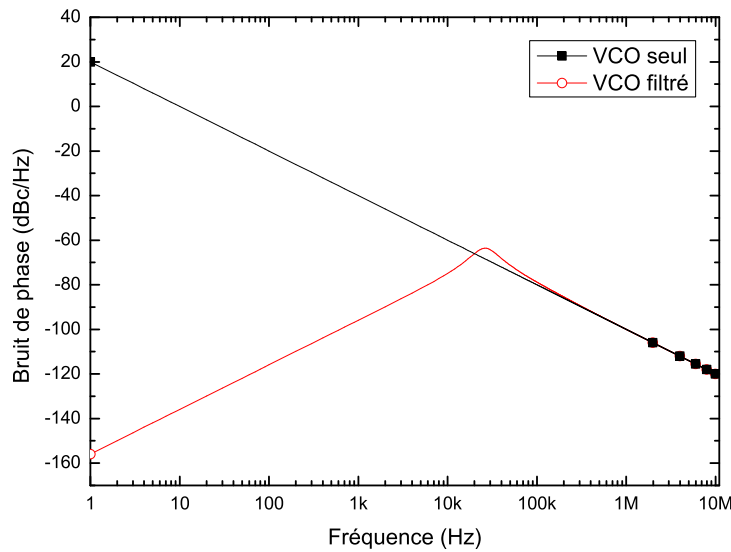


FIG. 3.6 – Calcul du bruit de phase du VCO seul et dans la PLL

ii. filtre de boucle

Le filtre de boucle que nous avons choisit pour notre PLL est illustré sur la figure 3.7. Son étude complète est développée dans la section 3.2.2

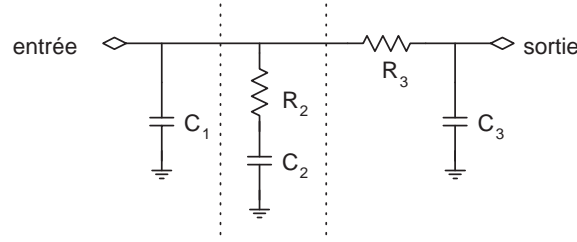


FIG. 3.7 – Schéma du filtre passif de troisième ordre

L'équation de transfert de la boucle pour le filtre s'écrit :

$$\frac{\theta_{out}(s)}{v_{lpf}(s)} = \frac{K_{VCO}}{s} \cdot \frac{1}{1 + \frac{G(s)}{N}} \quad (3.15)$$

Les résistances composant le filtre de boucle vont créer du bruit thermique pouvant augmenter le bruit de phase de la boucle. Plus les valeurs des résistances seront importantes plus elles généreront de bruit mais plus le filtrage sera efficace. Par conséquent, l'impact des résistances doit être analysé dans le contexte précis de la boucle considérée et ne peut être déterminé a priori.

calcul du bruit généré par R_2 . La résistance du filtre de boucle R_2 crée un bruit thermique, pour une bande de fréquence de 1 Hz, égal à :

$$V_{NR} = \sqrt{4kTR} \quad (3.16)$$

où k est la constante de Boltzmann, T est la température en kelvins et R est la valeur de la résistance considérée en ohms. A partir de cette tension de bruit thermique, on peut calculer la tension de bruit équivalente à l'entrée du VCO en fonction de la topologie du filtre considéré (cf section 3.2.2) [8]. Dans le cas du filtre de troisième ordre utilisé pour les PLL que nous proposons, en posant $Z_1(f)$ l'impédance de la capacité C_1 , $Z_2(f)$ celle de la résistance R_2 en serie avec C_2 et $Z_3(f)$ l'impédance de C_3 , la tension de bruit de R_2 se retrouve transposée à l'entrée du VCO (en négligeant le courant de fuite à l'entrée du VCO) sous la forme suivante :

$$V_{Noise_{R_2}}(f) = V_{NR_2}(f) \frac{Z_4(f)}{Z_2(f) + Z_4(f)} \quad (3.17)$$

avec $Z_4(f) = \frac{Z_1(f)(R_3 + Z_3(f))}{Z_1(f) + R_3 + Z_3(f)}$.

A partir des équations 3.15 et 3.17, le bruit de phase équivalent de la résistance R_2

dans la boucle est alors calculé par l'équation suivante :

$$N_{R2}(f) = V_{Noise_{R2}}(f) \frac{K_{VCO}}{\sqrt{2} \cdot f} \cdot \frac{1}{1 + \frac{G(i2\pi f)}{N}} \quad (3.18)$$

calcul du bruit généré par R_3 . Comme pour R_2 , la résistance R_3 est génératrice de bruit thermique selon l'équation 3.16. Cette tension se retrouve à l'entrée du VCO sous la forme :

$$V_{Noise_{R3}}(f) = V_{NR3}(f) \frac{Z_3(f)}{\left(\frac{Z_1(f)Z_2(f)}{Z_1(f)+Z_2(f)} + R_3 \right) + Z_3(f)} \quad (3.19)$$

De la même façon que pour R_2 , le bruit de phase de R_3 dans la boucle est décrit par l'équation suivante :

$$N_{R3}(f) = V_{Noise_{R3}}(f) \frac{K_{VCO}}{\sqrt{2} \cdot f} \cdot \frac{1}{1 + \frac{G(i2\pi f)}{N}} \quad (3.20)$$

La contribution des résistances du filtre de boucle au bruit total de la PLL est illustrée sur la figure 3.9.

iii. cristal de référence

Le cristal est le principal responsable du bruit proche porteuse de la boucle. En effet, si on se place au niveau du cristal dans la boucle, on obtient la fonction de transfert suivante :

$$\frac{\theta_{out}(s)}{\theta_{in}(s)} = \frac{G(s)}{1 + \frac{G(s)}{N}} \cdot \frac{1}{R} \quad (3.21)$$

La boucle se comporte donc vis à vis du cristal comme un filtre passe-bas en atténuant son bruit pour les fréquences supérieures à la fréquence de coupure de la fonction de filtrage réalisée, le bruit proche porteuse n'est par contre pas filtré.

Si on considère que le bruit de phase du cristal est égal à $N_{xtal_{ref}}$ à la fréquence f_{ref} spécifiée par le constructeur, la tension de bruit équivalente générée par le cristal seul puis considéré dans la boucle est égale à :

$$(N_{xtal}(f))_{seul} = \frac{10^{\frac{N_{xtal_{ref}}}{20}}}{\frac{f}{f_{ref}}} \quad (3.22a)$$

$$(N_{xtal}(f))_{filtré} = (N_{xtal}(f))_{seul} \cdot \frac{G(i2\pi f)}{1 + \frac{G(i2\pi f)}{N}} \cdot \frac{1}{R} \quad (3.22b)$$

La figure 3.8 illustre l'effet de la boucle sur le bruit de phase du cristal de référence. Contrairement au bruit du VCO illustré sur la figure 3.6, la PLL agissant sur le cristal comme un filtre passe-bas c'est le bruit basse fréquence qui est atténué et plus la fréquence de coupure sera élevée, moins le bruit du cristal sera filtré. Cet effet va donc à l'encontre

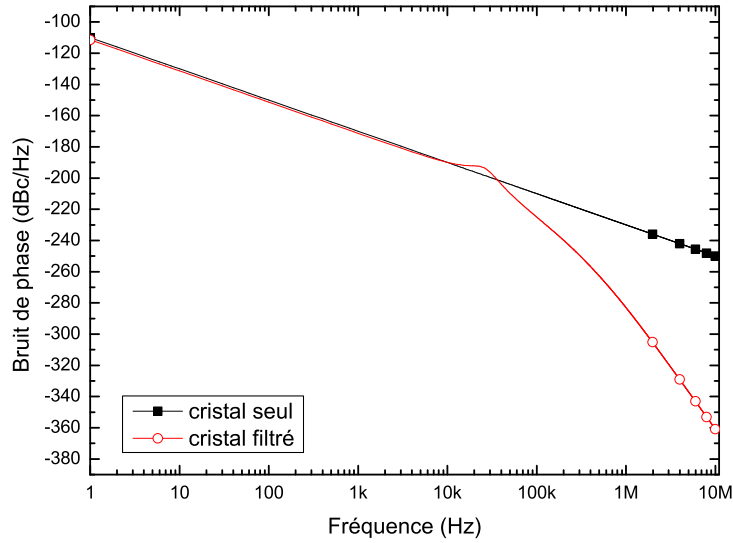


FIG. 3.8 – Calcul du bruit de phase du cristal seul et dans la boucle

de celui appliqué au VCO, cependant la pureté spectrale des oscillateurs à quartz étant généralement élevée (bruit de phase de l'ordre de -100 dBc/Hz à 100 Hz de la porteuse), il est plus intéressant de privilégier le filtrage du bruit du VCO (et également le temps de verrouillage).

iv. raie parasites

Les raies parasites les plus puissantes apparaissent à la fréquence de comparaison (et éventuellement aux harmoniques de cette fréquence) et sont principalement causées par les courants de fuites de la pompe de charge ou par un désappariement de ses courants I_{sink} et I_{source} (cf section 3.2.1.3).

Lorsque la PLL est verrouillée, la pompe de charges génère des impulsions de courant de courte durée (de l'ordre de la nano seconde) avec une période relativement longue (égale à $1/f_{comp}$, où f_{comp} est la fréquence de comparaison de la PLL). Entre chaque impulsion, la pompe de charges est à l'état « haute impédance », état dans lequel des courants parasites apparaissent du fait des fuites des interrupteurs à transistors constituant la pompe de charges et vont causer une modulation de fréquence de la ligne de contrôle du VCO, ce qui conduit à l'apparition de raies parasites en sortie de la PLL.

La fonction de transfert de la boucle pour la pompe de charge est de la forme :

$$\frac{\theta_{out}(s)}{i_{cp}(s)} = \frac{1}{K_{\Phi}} \cdot \frac{G(s)}{1 + \frac{G(s)}{N}} \quad (3.23)$$

Le bruit de phase résultant des courants de fuite de la pompe de charges est alors égal à :

$$N_{I_{fuite}} = 2\pi I_{fuite} \cdot \frac{1}{K_{\Phi}} \cdot \frac{G(s)}{1 + \frac{G(s)}{N}} \quad (3.24)$$

Si on s'intéresse à la première version de PLL proposée (cf section 3.1.3, tableau 3.1) et en considérant un courant de fuite de l'ordre du nano ampère, la raie parasite apparaissant à la fréquence f_{comp} due à ce courant présente une amplitude de $-40dBc$. Dans le cas de la deuxième version de PLL, la même raie parasite voit son amplitude réduite à $-61dBc$ grâce à l'augmentation de K_{Φ} .

v. bruit total de la PLL

La figure 3.9(a) présente le bruit global calculé pour la PLL première version ainsi que les différentes contributions des éléments de la boucle. Le bruit global est calculé en sommant les bruits déterminés précédemment. La figure 3.9(b) présente le bruit global calculé pour la PLL deuxième version. On peut noter que les contributions des résistances sont plus faibles (de l'ordre de 20 dB) dans ce cas du fait du gain de conversion réduit du VCO. De même, la raie parasite apparaissant à la fréquence de comparaison est réduite par l'augmentation du gain de la pompe de charge. Cependant, les deux VCO utilisés ayant des profils de bruit de phase similaires, et la majorité des blocs constituant les deux boucles étant identiques, le profil global de bruit des deux versions reste très proches.

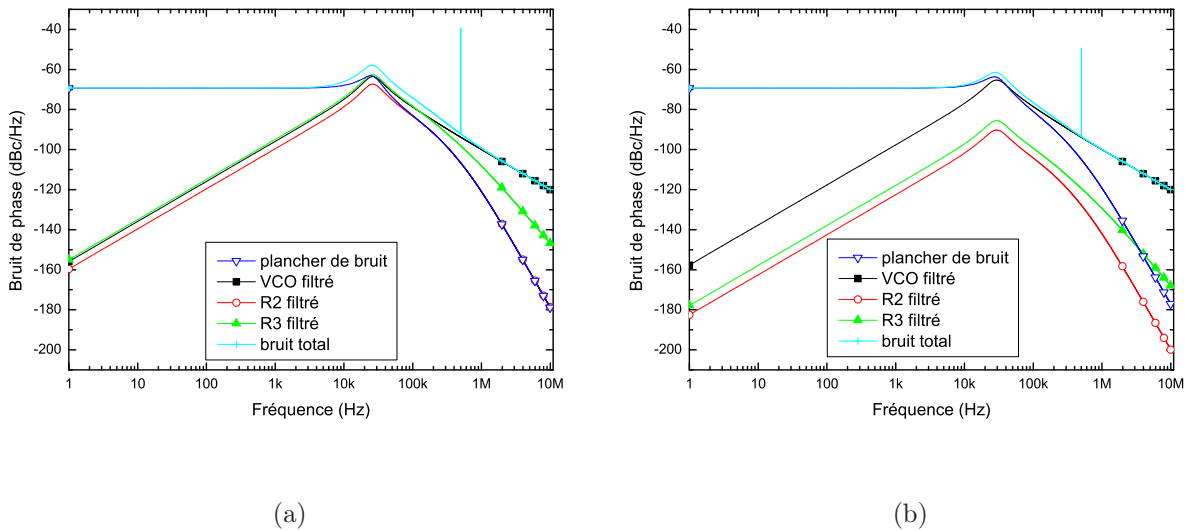


FIG. 3.9 – Calcul du bruit de phase total de la PLL (a) première version (b) deuxième version

3.1.3 Récapitulatif

Deux versions de la PLL vont être réalisées : une version avec un VCO à fort gain et une version avec un VCO à gain réduit (gain moyen de 35 MHz/V pour ce VCO contre 400 MHz/V de gain moyen pour le VCO fort gain, cf chapitre 4). Ces deux boucles sont conçues pour avoir un comportement dynamique sensiblement identique comme l'illustrent le tableau 3.1 et la figure 3.10, leur différence est utile dans le cas du fonctionnement en émission pour étudier la dérive des fréquences de modulation en fonction du gain du VCO.

	PLL première version	PLL deuxième version
Fréquence de comparaison F_{comp} (kHz)	500	
Gain du VCO (MHz/V)	400	35
Courant de pompe de charge (mA)	0,25	3,5
Composants du filtre de boucle	$C_1=10\text{pF}$ $C_2=120\text{pF}, R_2=40\text{k}\Omega$ $C_3=4\text{pF}, R_3=100\text{k}\Omega$	
Fréquence de coupure F_c (kHz)	18,9	21,3
Marge de phase Φ (°)	23,7	25,9
Pulsation naturelle ω_n (kHz)	157	173,7
Coefficient d'amortissement ζ	0,377	0,417
Temps de verrouillage (μs) (tol=100kHz)	109,5	89,6

TAB. 3.1 – Tableau récapitulatif des caractéristiques des deux PLL à concevoir

La figure 3.10 permet également de visualiser les effets des coefficients d'amortissement choisis pour que les PLL utilisent au maximum les plages linéaires des VCO en évitant les rebonds importants (écart de 25 MHz au maximum en phase de verrouillage par rapport à la fréquence voulue).

La détermination des valeurs de certains paramètres apparaissant dans ce tableau (F_{comp} , $C_{1,2,3}$ et $R_{2,3}$) sera développée dans les paragraphes suivants. On peut également noter ici, comme précisé tout au long de cette section, que les valeurs de marge de phase de ces PLL sont relativement faibles car l'accent est mis sur la rapidité de verrouillage (inférieure à 110 μs dans les deux cas) et sur le filtrage du bruit de phase du VCO proche porteuse (ce qui permettra d'envisager l'utilisation de structures de VCO plus compactes que les structures classiques faibles bruit, cf chapitre 4).

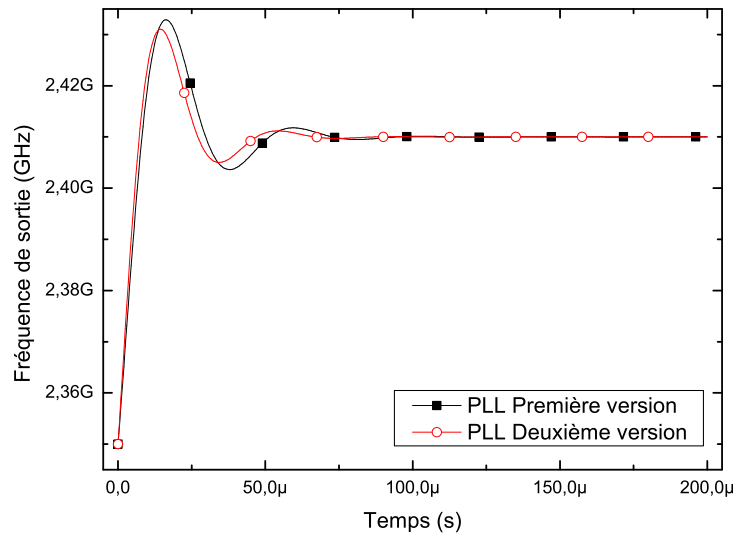


FIG. 3.10 – Évolution de la fréquence de sortie des deux versions de PLL en fonction du temps

3.2 Mise en oeuvre : conception des blocs

Cette deuxième partie va permettre de présenter en détail les principaux blocs fonctionnels conçus pour répondre aux caractéristiques développées précédemment. Une attention particulière sera portée sur les méthodes et critères ayant guidés les choix architecturaux.

3.2.1 Le comparateur de phase et la pompe de charges

Le comparateur de phase est un circuit capable de fournir un signal proportionnel à la différence de phase de ses deux signaux d'entrée que nous appellerons CKREF (signal de référence) et CKIN (signal de sortie du diviseur de fréquence). Il existe plusieurs types de comparateurs, analogiques ou numériques.

3.2.1.1 Les principaux types de comparateurs

i. détecteur de phase analogique de type multiplieur.

Ce type de détecteur, utilisé dans les PLL purement analogiques, utilise comme référence un signal sinusoïdal $u_1(t) = U_1 \sin(\omega_1 t + \theta_1)$. Le second signal $u_2(t) = U_2 \text{rect}(\omega_2 t + \theta_2)$ est généralement un signal carré [6] mais peut également être sinusoïdal, comme dans le cas d'un montage de type anneau de diodes [5]. Le signal de sortie du détecteur de phase est $u_d(t) = u_1(t) \cdot u_2(t)$. En remplaçant $u_2(t)$ par son développement en série de Fourier

et en considérant que la PLL est verrouillée, donc que $\omega_1 = \omega_2$, on obtient :

$$u_d(t) = U_1 U_2 \left(\frac{2}{\pi} \sin(\theta_1 - \theta_2) + \text{harmoniques d'ordres supérieurs} \right) \quad (3.25)$$

En posant $\theta_e = \theta_1 - \theta_2$ l'erreur de phase, et en considérant que les harmoniques d'ordres supérieurs seront éliminés par le filtre de boucle, la sortie du détecteur peut être approximée par :

$$u_d(t) \approx K_\Phi \sin(\theta_e) \quad (3.26)$$

où K_Φ est le gain du détecteur. Or, en considérant que θ_e est faible, on obtient :

$$u_d(t) \approx K_\Phi \theta_e \quad (3.27)$$

Le gain K_Φ est proportionnel aux amplitudes U_1 et U_2 des signaux d'entrée $u_1(t)$ et $u_2(t)$. Dans l'état verrouillé, ce type de détecteur peut être vu comme un bloc d'ordre 0 et de gain K_Φ .

Si l'on considère maintenant le cas de la PLL non verrouillée ($\omega_1 \neq \omega_2$), la tension de sortie du détecteur est :

$$u_d(t) = K_\Phi \sin(\omega_1 t - \omega_2 t + \theta_1 - \theta_2) + \text{harmoniques d'ordres supérieurs} \quad (3.28)$$

De même que dans le cas précédent, les harmoniques supérieurs seront atténués par le filtre de boucle, il reste donc un seul terme de fréquence égale à la différence des fréquences d'entrée et de valeur moyenne non nulle.

ii. détecteur de phase « ou exclusif ».

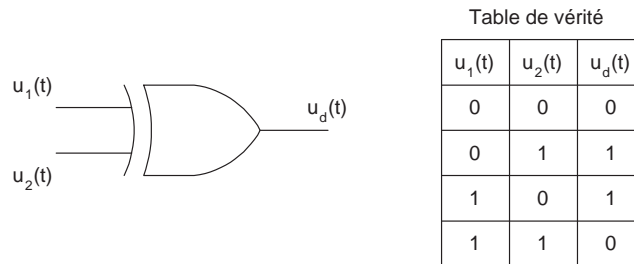


FIG. 3.11 – Schéma du détecteur de phase de type « ou exclusif »

Le détecteur de phase « ou exclusif » représenté sur la figure 3.11 (également appelé XOR dans la littérature anglophone) est la structure de détecteur numérique la plus simple et son comportement est proche de celui du multiplieur analogique. En considérant la PLL comme verrouillée, donc que les signaux d'entrée $u_1(t)$ et $u_2(t)$ du XOR sont de même fréquence, la valeur moyenne de sa tension de sortie \bar{u}_d est proportionnelle à la différence

de phase θ_e de $u_1(t)$ et $u_2(t)$, comme l'illustre les figures 3.12(a) et 3.12(b). On a alors $\overline{u_d} = K_\Phi \theta_e$ avec $K_\Phi = V_{DD}/\pi$.

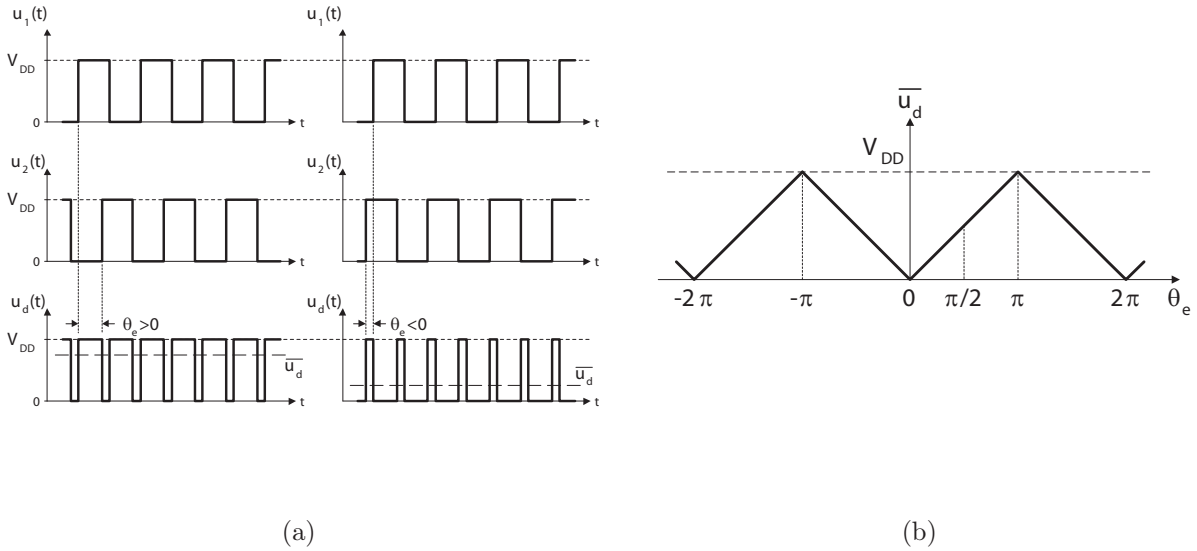


FIG. 3.12 – (a) Chronogrammes des tensions d’entrées et sortie du détecteur de phase « ou exclusif » (b) Gain du détecteur « ou exclusif »

Alors que les performances du détecteur analogique dépendent de l’amplitude de ses signaux d’entrée, celles du détecteur XOR dépendent du rapport cyclique de $u_1(t)$ et $u_2(t)$. En effet, lorsque les signaux d’entrée du XOR ne sont pas symétriques son gain est dégradé et reste inférieur à V_{DD}/π , ce qui a pour conséquence de réduire le gain direct de la PLL [6]. Enfin, ce type de structure présente l’inconvénient de pouvoir se verrouiller sur des fréquences harmoniques de la fréquence de référence ou de l’oscillateur contrôlé en tension.

iii. détecteurs de phase séquentiels : bascule RS, bascule JK.

Les bascules RS et JK (cf figure 3.13) utilisées en comparateur de phase sont sensibles aux transitions de leurs signaux d’entrée $u_1(t)$ et $u_2(t)$ (transition positive pour le comparateur JK et négative pour le comparateur RS [6, 9]), les caractéristiques de transfert de ces détecteurs sont par conséquent indépendantes des rapports cycliques de $u_1(t)$ et $u_2(t)$. Comme pour le détecteur de type « ou exclusif » la valeur moyenne de la tension de sortie $\overline{u_d}$ des détecteurs séquentiels RS et JK est proportionnelle à la différence de phase θ_e de $u_1(t)$ et $u_2(t)$ telle que $\overline{u_d} = K_\Phi \theta_e$, avec $K_\Phi = V_{DD}/2\pi$. Lorsque la PLL est verrouillée, le point de fonctionnement de ce type de comparateur se situe sensiblement au milieu de la plage linéaire (cf figure 3.14), les deux signaux d’entrée du comparateur étant alors déphasés de π .

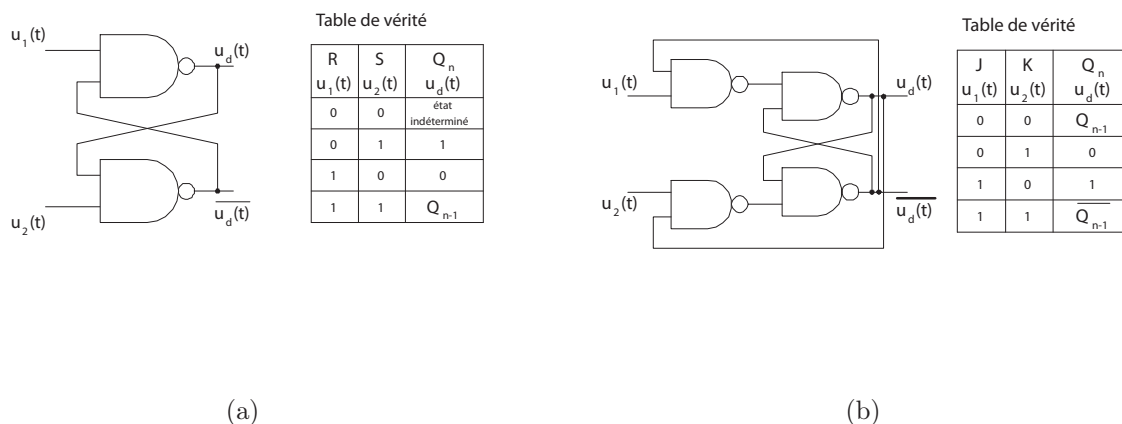


FIG. 3.13 – Schémas et tables de vérité des bascules (a) RS et (b) JK

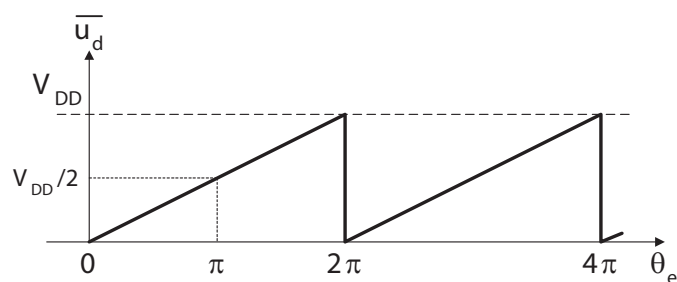


FIG. 3.14 – Gain du détecteur de phase de type « RS »

Deux inconvénients apparaissent avec ce type de structure. En premier lieu, dans le cas de la bascule RS les deux signaux d'entrée ne peuvent pas se retrouver dans le même état « 0 » car, d'après la table de vérité, on ne peut prévoir l'état des sorties Q_n et $\overline{Q_n}$. Il est donc impossible de savoir si la correction apportée par le comparateur correspond effectivement au déphasage θ_e . Dans le cas de la bascule JK, si les deux entrées sont à l'état haut la bascule change d'état à chaque coup d'horloge et entre donc en oscillation. Le deuxième inconvénient vient du fait que, contrairement aux structures précédentes, le gain de ces comparateurs ne présente qu'une seule pente (cf figure 3.14). Il en résulte que l'on ne peut pas connecter indifféremment les signaux à comparer.

On peut noter qu'une bascule D peut également être utilisée en comparateur de phase. Pour cela, il suffit de connecter le signal de référence à l'entrée horloge, le signal à comparer à l'entrée de remise à zéro et de reboucler la sortie \overline{Q} sur l'entrée D. La sortie du montage est prise sur la sortie Q de la bascule. La caractéristique de transfert de ce

montage est alors identique à celle du montage à bascule RS.

iv. comparateur de phase/fréquence ou PFD.

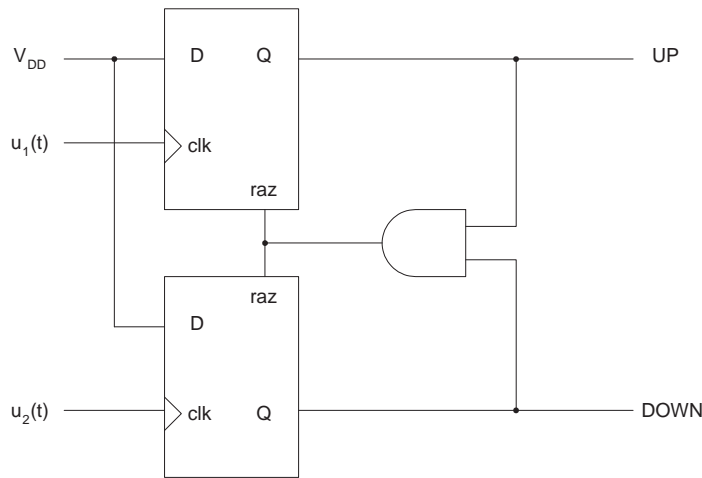


FIG. 3.15 – Schéma du détecteur de phase/fréquence

Le détecteur de phase/fréquence (ou PFD pour *Phase-Frequency Detector* dans la littérature anglaise) diffère des structures précédentes par le fait que, comme son nom l'indique, son signal de sortie ne dépend pas seulement de la différence de phase θ_e de ses entrées mais également de leur différence de fréquences. En effet, ce dispositif fonctionne d'abord en comparateur de fréquence avant que le verrouillage n'ait lieu, puis en comparateur de phase une fois la boucle verrouillée [6].

Une structure classique de PFD est représentée sur la figure 3.15. Basé sur deux bascules D, ses signaux de sortie UP et DOWN peuvent être dans l'une des quatre configurations suivantes :

- UP=0, DN=0
- UP=1, DN=0
- UP=0, DN=1
- UP=1, DN=1

Le quatrième état (11) est en fait interdit par l'utilisation de la porte ET dans la boucle de retour. Ce comparateur est sensible sur front montant des signaux $u_1(t)$ et $u_2(t)$ et est donc indépendant de leur rapport cyclique. La figure 3.16 permet de visualiser l'évolution de l'état du PFD en fonction des transitions de ses signaux d'entrée.

Lorsque la fréquence du signal de référence f_{CKREF} est supérieure à celle du signal de sortie du diviseur f_{CKIN} , ce signal à comparer est donc en retard de phase et le PFD génère une impulsion positive sur la sortie UP, DOWN restant à zéro. Inversement, lorsque $f_{CKREF} < f_{CKIN}$, c'est le signal de référence qui est en retard de phase et l'impulsion positive apparaît sur la sortie DOWN tandis que UP reste à zéro. Le dernier cas correspond

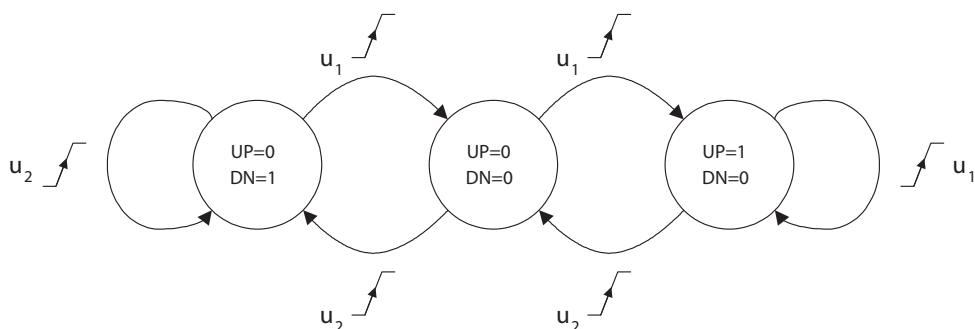


FIG. 3.16 – Diagramme d'état du détecteur de phase/fréquence

à $f_{CKREF} = f_{CKIN}$, le circuit génère alors des impulsions sur l'une des deux sorties UP et DOWN selon si il y a retard ou avance de phase, et dont la largeur est égale à l'écart de phase θ_e . Ainsi l'état des sorties UP et DOWN donnent l'information nécessaire au système sur la différence de phase ou de fréquence. Le verrouillage intervient lorsque $f_{CKREF} = f_{CKIN}$ et $\theta_e = 0$.

En considérant que ce détecteur est suivi par un circuit de pompe de charge dont le courant est noté I_{CP} , le gain K_Φ de l'ensemble comparateur+pompe de charge est égal à $K_\Phi = I_{CP}/2\pi$ (cf figure 3.17).

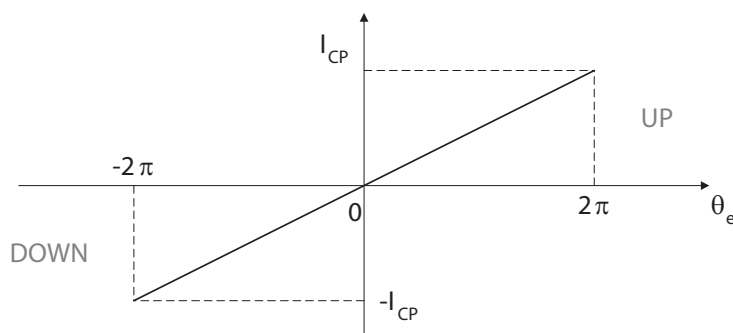


FIG. 3.17 – Caractéristique du détecteur de phase/fréquence

Le point essentiel de ce type de comparateur est le suivant : ses signaux de sortie UP et DOWN étant dépendants de l'erreur de fréquence de ses signaux d'entrée lorsque la PLL n'est pas verrouillée et de l'erreur de phase dans l'état verrouillé, une PLL utilisant un comparateur de type PFD sera capable de se verrouiller de façon inconditionnelle et ce quelque soit le type de filtre de boucle utilisé. Ceci n'est pas vérifié avec des comparateurs XOR ou à bascules JK par exemple. En contre partie, il est à noter que ce type de détecteur PFD ne peut être utilisé dans les applications pour lesquelles les données d'entrée sont aléatoires, les signaux d'entrée doivent être périodiques et ne peuvent avoir de transition manquante [10].

3.2.1.2 Le PFD « trois états » proposé

Le circuit de détecteur PFD « trois états » proposé est basé sur le principe décrit précédemment. Plusieurs critères sont déterminants pour la qualité de ce circuit, notamment l'appariement des signaux de sortie UP et DOWN.

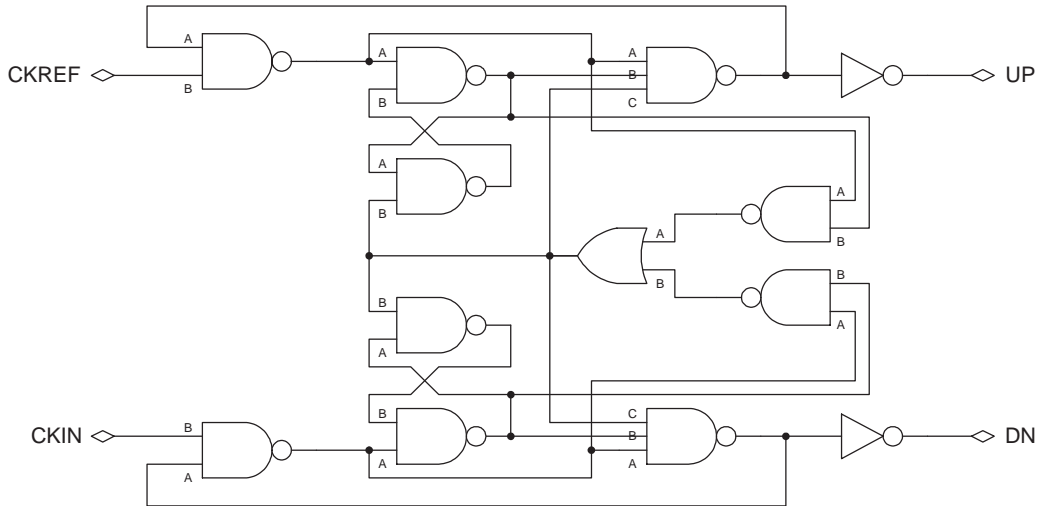


FIG. 3.18 – Schéma du détecteur de phase/fréquence proposé

On peut noter ici que pour obtenir cet appariement, les chemins allant des entrées aux sorties du PFD doivent être symétriques. Cependant, dans la structure proposée (cf figure 3.18), seule la porte OR doit être intrinsèquement symétrique, ce qui relâche les contraintes de conception sur les portes NAND, notamment au niveau du dessin des masques. La figure 3.19 permet d'illustrer cette symétrie. En simulation, cette structure nous a permis de détecter des différences de phase θ_e supérieures ou égales à $0,1^\circ$.

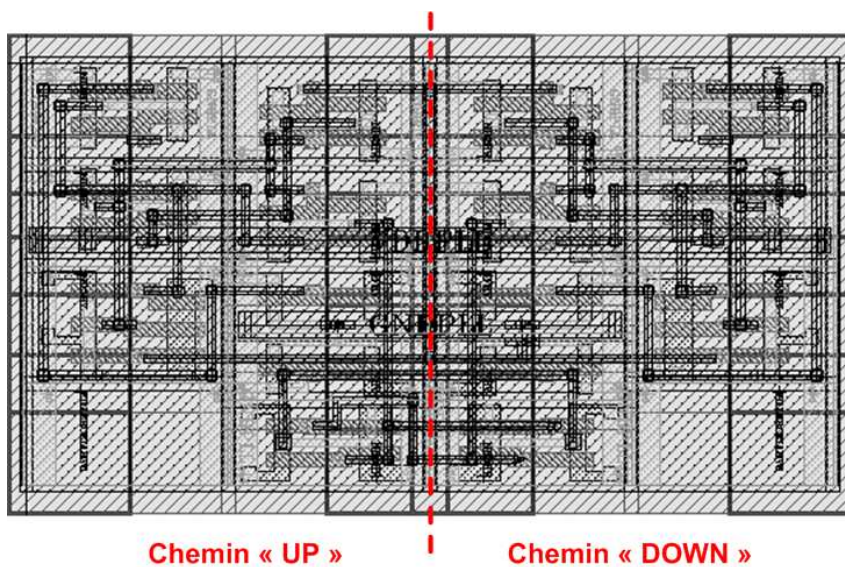


FIG. 3.19 – Dessin des masques du détecteur de phase/fréquence proposé

Le circuit final, dont le dessin des masques est illustré par la figure 3.19, mesure $11\mu\text{m} \times 20\mu\text{m}$ et consomme $342\mu\text{A}$. Nous l'avons entièrement conçu en utilisant la suite *Cadence* pour la réalisation des schémas, simulations et dessin des masques. La vérification des règles de dessin (ou DRC pour *Design Rules Check*) et la comparaison avec le schéma électrique (ou LVS pour *Layout versus Schematic*) avant envoi en fabrication ont ensuite été réalisés en utilisant l'outil *Calibre* de la suite *Mentor Graphics*.

3.2.1.3 La pompe de charges

Comme cité dans le paragraphe précédent, les sorties du PFD sont connectées à un circuit de pompe de charges. Ce type de circuit permet de convertir les signaux logiques UP et DOWN en courant, courant qui sera lui-même converti par le filtre de boucle transimpédance en tension destinée à commander l'oscillateur. Le principe de la pompe de charges, représenté sur la figure 3.20, est simple : les signaux UP et DOWN viennent commander l'ouverture ou la fermeture de deux interrupteurs à transistors MOS permettant soit d'injecter un courant (I_{source}) dans le filtre, ce qui aura pour effet d'augmenter sa tension de sortie, soit de prélever un courant (I_{sink}) et donc de réduire la tension de sortie du filtre. En résumé, la pompe de charges délivre un courant I_{CP} au filtre de boucle tel que :

- si $UP = 1$ et $DOWN = 0$ alors $I_{CP} = I_{source}$
- si $UP = 0$ et $DOWN = 1$ alors $I_{CP} = -I_{sink}$
- si $UP = 0$ et $DOWN = 0$ alors $I_{CP} = 0$

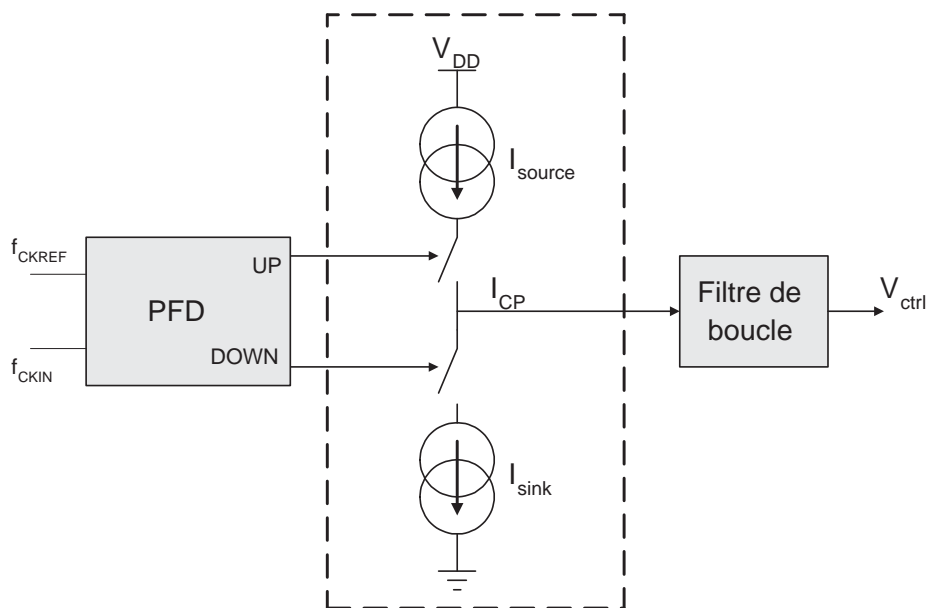


FIG. 3.20 – Schéma de principe de la pompe de charges

i. Conception et réalisation de la pompe de charges programmable

La conception de la première pompe de charges proposée est représenté sur la figure 3.21. Dans ce circuit, les deux interrupteurs simples du circuit de principe (cf figure 3.20) ont été remplacés par des portes de transmission (transistors Pa et Na pour le UP, Pb et Nb pour le DOWN) de façon notamment à réduire leur résistance dans l'état passant [11]. Dans le circuit présenté ici, les interrupteurs sont placés non pas entre les sources de courant et le noeud de sortie comme décrit sur la figure 3.20 mais entre V_{DD} et I_{source} et entre I_{sink} et la masse, respectivement. Cela présente l'avantage de désactiver les sources de courant lorsqu'elles ne sont pas utilisées et ainsi de réduire les impulsions de courant parasites apparaissant lors des commutations. De plus, deux interrupteurs additionnels ($N9$ et $P9$) sont ajoutés en parallèle aux sources pour fournir un chemin de charge/décharge faible impédance [12].

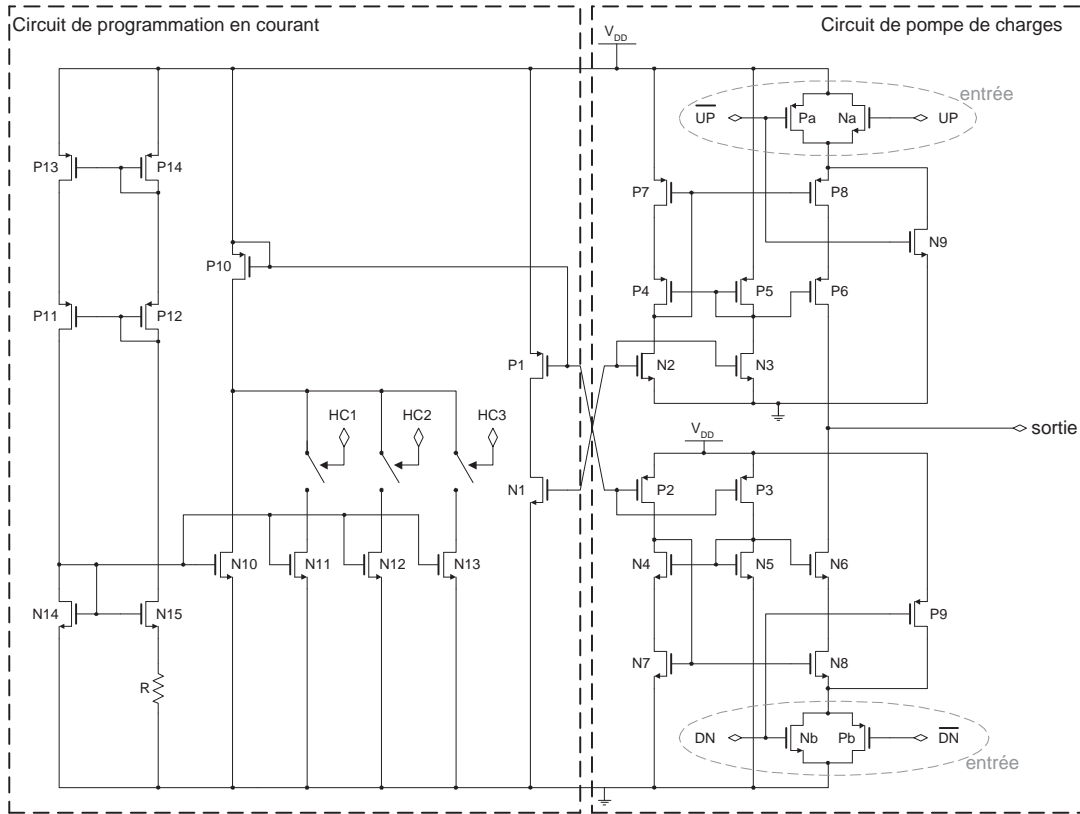
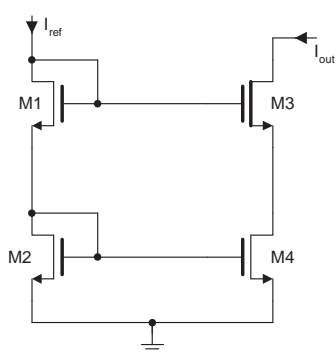


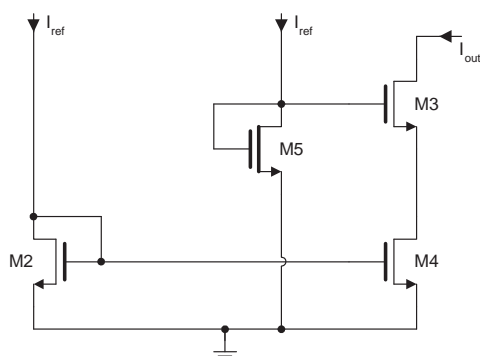
FIG. 3.21 – Schéma de la pompe de charges programmable en courant

Les sources de courant permettant de fournir I_{source} et I_{sink} ont été conçues de façon à en optimiser la dynamique et l'appariement [11]. A partir de miroirs de courant cascodés (cf figure 3.22(a)) permettant d'augmenter la résistance de sortie et par conséquent d'améliorer la précision du transfert en courant, les sources sont modifiées une première fois (cf figure 3.22(b)) afin de réduire la tension de sortie minimum V_{min} à par-

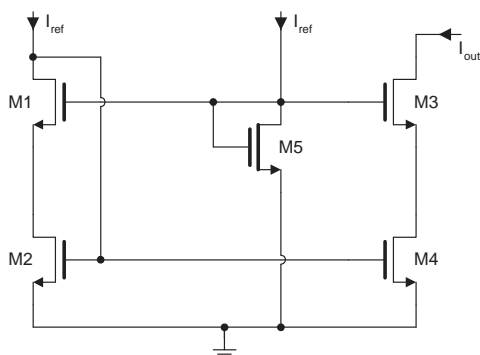
tir de laquelle la source de courant est en régime saturée (pour le miroir cascodé, on a $V_{min} \approx 3V_T$). Grâce à l'ajout de $M5$ et en dimensionnant les composants de la source de la façon suivante : $(W/L)_{M2} = (W/L)_{M3} = (W/L)_{M4} = 4(W/L)_{M5}$, V_{min} est réduit de V_T , soit $V_{min} \approx 2V_T$. La source a enfin été modifiée comme illustré sur la figure 3.22(c). L'ajout du transistor $M1$ permet d'améliorer l'appariement des branches de la source en forçant $V_{DS2} = V_{DS4}$, condition nécessaire pour garantir un fonctionnement symétrique de $M2$ et $M4$.



(a)



(b)



(c)

FIG. 3.22 – (a) Source de courant MOS cascodée (b) modification permettant de réduire V_{min} (c) source finale avec amélioration de l'appariement

En complément de ces sources de courant modifiées, un circuit de sélection du courant de référence I_{ref} est mis en place afin de pouvoir programmer le niveau du courant de sortie de la pompe de charges. Ce circuit est illustré sur la figure 3.21 (partie « circuit de programmation en courant ») et son principe est simple : à partir de miroirs de courant cascodés (transistors $P11$ à $P14$ et $N14$, $N15$) on fournit un courant de base à une série de transistors ($N10$ à $N13$) dont les dimensions sont déterminées par rapport à celles de $P1$, $N1$ et $P10$. Les commandes $HC1, 2, 3$ permettent de choisir le nombre de transistors ajoutés en parallèle à $N10$ et ainsi contrôler le courant appliqué à l'entrée des sources de la pompe de charges. Dans cette configuration, ce circuit de programmation permet donc d'obtenir quatre niveaux de courant différents en sortie de la pompe de charges, l'ajout de chaque branche ($N11, N12, N13$) augmentant le courant initial fixé à $50 \mu A$. Le circuit complet mesure $70 \mu m \times 110 \mu m$ et consomme $720 \mu A$ pour un courant programmé de $200 \mu A$. Il est intéressant de noter que le principe reste valable pour un nombre de valeurs plus important en augmentant le nombre de branches en parallèle à $N10$. Cela se traduisant par une augmentation du nombre de bits de contrôle (commandes HC). Comme pour le détecteur de phase/fréquence, nous avons conçu la pompe de charges proposée à l'aide des outils *Cadence* pour la conception au niveau électrique et les simulations, et *Calibre* pour la réalisation et la vérification des masques.

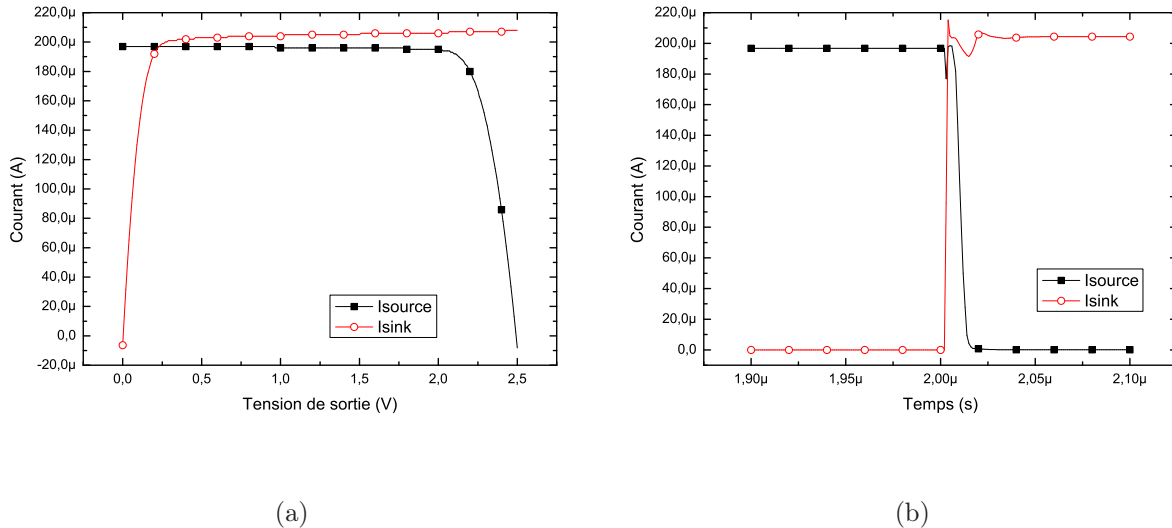


FIG. 3.23 – (a) appariement des courants de sortie de la pompe de charges programmable en courant (b) comportement dynamique du circuit de pompe de charges

Tous les transistors utilisés pour ce circuit ont une longueur de grille de $0,5 \mu m$. Pour la partie assurant la génération des courants I_{source} et I_{sink} , les largeurs de grille des transis-

tors sont les suivantes : $W_{N1} = W_{P1} = W_{P2} = W_{P3} = 21\mu m$, $W_{N2} = W_{N3} = 19\mu m$, $W_{N4} = W_{N6} = W_{N7} = W_{N8} = W_{P4} = W_{P6} = W_{P7} = W_{P8} = 25\mu m$, $W_{N5} = W_{P5} = 6,25\mu m$, $W_{N9} = W_{P9} = 50\mu m$. Pour la partie de contrôle, les largeurs de grilles sont : $W_{N10} = W_{P10} = 23\mu m$, $W_{N11} = 25,5\mu m$, $W_{N12} = 50\mu m$, $W_{N13} = 100\mu m$, $W_{N14} = W_{N15} = W_{P11} = W_{P12} = W_{P13} = W_{P14} = 1\mu m$.

Comme l'illustre la figure 3.23(a), le désappariement nominal des courants I_{source} et I_{sink} de la pompe de charges programmée sur $200\ \mu A$ est de $4,02\%$ ($I_{source} = 204,9\mu A$, $I_{sink} = 196,3\mu A$), ce qui s'approche de la valeur théorique de $3,2\%$ permettant de minimiser les raies parasites en sortie de la PLL dues au déséquilibre de ces courants [7]. En effet, la vitesse de commutation des transistors PMOS et NMOS utilisés respectivement pour réaliser les interrupteurs de source (I_{source}) et du puit (I_{sink}) étant différente, le PMOS a un temps de réponse plus lent que le NMOS, il est alors préférable d'obtenir une source de courant de valeur un peu plus élevée que le puit de courant. Cette figure illustre également la stabilité des courants en fonction des variations de la tension de sortie de la pompe de charge, c'est à dire la tension présentée par le filtre de boucle. Ce paramètre est important car il garantit un fonctionnement correct de la pompe lors de la phase de capture et de verrouillage de la boucle, phase pendant laquelle la tension d'entrée du filtre de boucle est susceptible de varier fortement. Enfin, la figure 3.23(b) illustre le temps de commutation de la pompe de charges et surtout le temps pendant lequel les deux courants I_{source} et I_{sink} sont présents. En effet, ce temps correspond à un temps pendant lequel un des courants est présent alors qu'il devrait être éteint et vient donc annuler l'effet du courant opposé. Il s'agit donc d'un temps mort pour la PLL durant lequel le processus de verrouillage ne progresse pas. Ici, cette durée s'élève à $10\ ns$, soit seulement $0,5\%$ de la période de comparaison.

ii. Conception et réalisation de la pompe de charges fort courant

Une deuxième pompe de charges a été conçue pour être intégrée dans la deuxième version de PLL, version nécessitant un courant beaucoup plus élevé que pour la première boucle pour obtenir un gain de boucle constant. Ce deuxième circuit proposé, illustré par la figure 3.24, est d'une structure beaucoup plus simple que la précédente. Non programmable, elle se base sur des sources cascodées et vise principalement à délivrer un courant important ($3,5\ mA$) avec un appariement des courants précis.

Les sources utilisées pour générer les courants I_{sink} et I_{source} sont identiques. Deux transistors NMOS ($N4$) sont utilisés pour fournir le courant de référence, ce courant est réglé par l'intermédiaire du pont de résistances $R2 - R3$ fixant la tension de grille de $N4$ et par les valeurs des résistances de dégénération $R1$. On peut noter ici qu'un moyen simple de rendre cette structure programmable serait de remplacer le pont de résistances

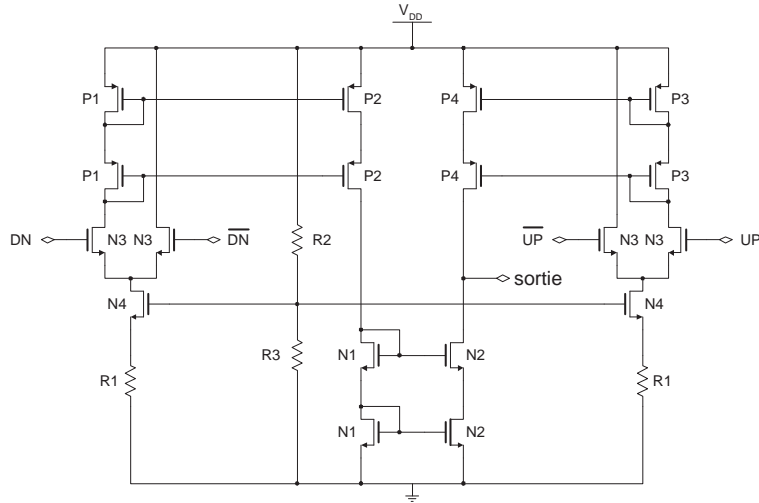


FIG. 3.24 – Schéma de la pompe de charges à fort courant

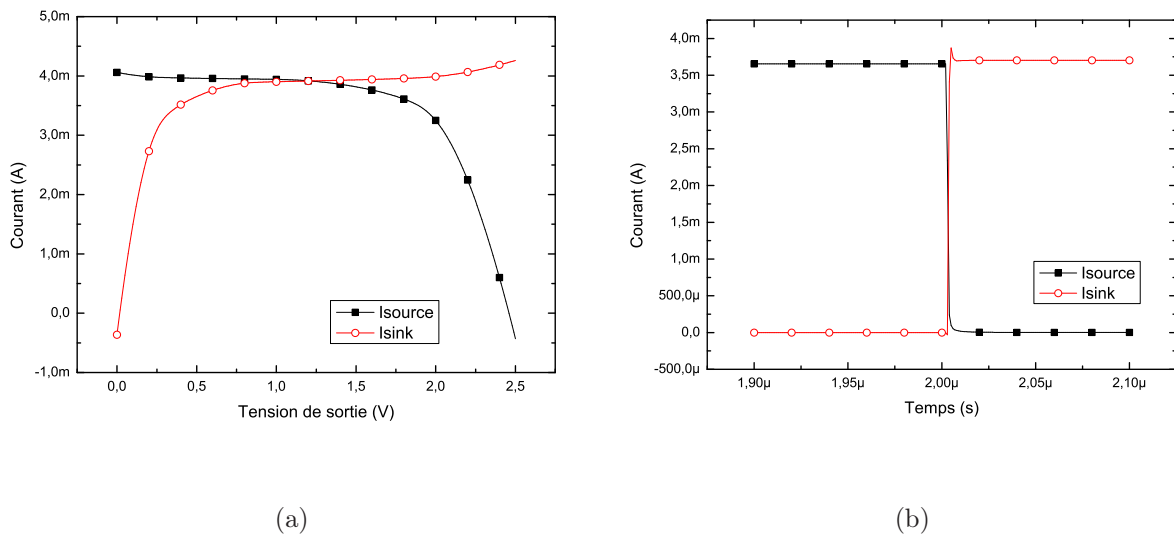


FIG. 3.25 – (a) appariement des courants de sortie de la pompe de charges à fort courant (b) comportement dynamique du circuit

passives par des résistances contrôlables. Le courant de référence est ensuite amplifié par les sources cascodées ($P1 - P2$ et $N1 - N2$ pour I_{sink} et $P3 - P4$ pour I_{source}). Comme pour la structure précédente, des portes de transmission ont été utilisées pour réaliser les interrupteurs commandés par les signaux UP et DOWN provenant du PFD.

La figure 3.25(a) illustre le désappariement des courants I_{source} et I_{sink} de la pompe de charges à fort courant, ce désappariement s'élève à 0,25% ($I_{source} = 3,9228mA$, $I_{sink} = 3,9130mA$). La figure 3.25(b) permet de mesurer le temps de présence simultanée des deux courants, ce temps extrêmement faible avec ce montage s'élève à 1 ns

seulement.

Tous les transistors utilisés dans ce montage ont des longueurs de grille de $0,28 \mu\text{m}$. Les largeurs de grille des transistors sont les suivantes : $W_{N1} = W_{P1} = W_{P2} = W_{P3} = 40\mu\text{m}$, $W_{N2} = W_{P4} = 150\mu\text{m}$, $W_{N3} = 100\mu\text{m}$ et $W_{N4} = 70\mu\text{m}$. Les résistances utilisées sont des résistances passives dont les valeurs sont : $R_1 = 150\Omega\text{m}$, $R_2 = 2k\Omega\text{m}$ et $R_3 = 8k\Omega\text{m}$. Ce circuit a également été conçu et réalisé à l'aide des outils *Cadence* et *Calibre*.

3.2.2 Conception du filtre de boucle

Le signal de sortie de l'ensemble PFD-pompe de charges est constitué par une composante DC et un certain nombre de termes AC qui doivent être minimisés de façon à fournir un signal optimal au VCO. Ces composantes indésirables étant haute fréquence, l'utilisation d'un filtre passe-bas s'impose. Plusieurs critères sont à prendre en compte pour déterminer le type de filtre (actif ou passif) et l'ordre à utiliser. Concernant le type, il s'agit ici d'une PLL à pompe de charges et un filtre passif permet d'obtenir un circuit simple, faible bruit et n'ajoutant pas de consommation de courant supplémentaire. Concernant l'ordre et la fréquence de coupure, ils dépendent des conditions de stabilité, de la bande passante, de la vitesse d'acquisition et des performances en bruit attendues pour la boucle à verrouillage de phase (cf tableau 3.2).

Fréquence de coupure du filtre	élevée	faible
Temps d'établissement	☺	☹
Stabilité	☹	☺
Bruit de phase	☺	☹
Pics parasites ("spurious")	☹	☺

TAB. 3.2 – Tableau récapitulatif des caractéristiques de la PLL en fonction du dimensionnement du filtre de boucle

3.2.2.1 Le filtre passif : choix de l'ordre

Le filtre théorique minimum nécessaire est un premier ordre réalisé grâce à une simple capacité parallèle pour assurer l'intégration du signal de sortie de la pompe de charge. Cependant, une résistance est classiquement ajoutée en série avec cette capacité pour améliorer la stabilité de la boucle en ajoutant un zéro à la pulsation $\omega_z = 1/R_2C_2$ dans la fonction de transfert de la boucle (cf C_2 et R_2 sur la figure 3.26) [13]. Ce filtre présente le désavantage de créer des sauts de tension à sa sortie dus à la présence de la résistance soumise aux commutations de courant en sortie de la pompe de charge. Pour lisser cette

tension de sortie, une deuxième capacité (cf C_1 sur la figure 3.26) est ajoutée en parallèle au premier couple RC et permet d'ajouter un deuxième pôle. A partir de ce filtre de deuxième ordre, un dernier couple RC (cf R_3 et C_3 sur la figure 3.26) est ajouté pour générer un troisième pôle et ainsi améliorer la suppression des raies parasites dues à la référence et le bruit haute fréquence. Le filtre finalement utilisé est donc un ordre trois comme illustré sur la figure 3.26. Un filtre d'ordre supérieur conduirait principalement à une réduction de la marge de phase et n'est donc pas envisagé ici [6].

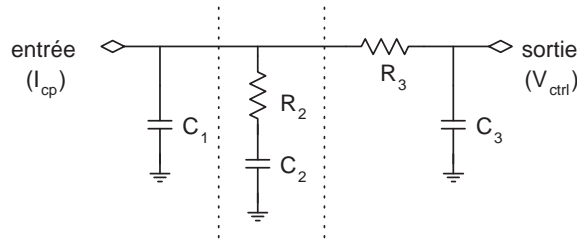


FIG. 3.26 – Schéma du filtre passif du troisième ordre proposé

En posant $k_0 = C_2 R_2$, $k_1 = C_1 C_2 C_3 R_2 R_3$, $k_2 = C_1 C_2 R_2 + C_2 C_3 R_2 + C_1 C_3 R_3 + C_2 C_3 R_3$ et $k_3 = C_1 + C_2 + C_3$, la fonction de transfert du filtre s'exprime :

$$Z(s) = \frac{1 + sk_0}{s(s^2 k_1 + sk_2 + k_3)} \quad (3.29)$$

3.2.2.2 Dimensionnement des composants du filtre

Le dimensionnement du filtre de boucle repose principalement sur les valeurs de la marge de phase Φ et de la fréquence de coupure F_c de la PLL. Ces paramètres ayant été préalablement déterminés en fonction des caractéristiques souhaitées pour la boucle (cf section 3.1), les valeurs des composants du filtre peuvent être calculés en utilisant la méthode suivante [14].

i. Détermination des constantes de temps

En utilisant les constantes de temps du filtre déterminant ses pôles et son zéro, sa fonction de transfert devient :

$$Z(s) = \frac{1 + sT_2}{T_0 \cdot s \cdot (1 + sT_1) \cdot (1 + sT_3)} \quad (3.30)$$

Avec les notations de l'équation 3.29 on obtient :

$$T_0 = k_3 \quad (3.31a)$$

$$T_2 = k_0 \quad (3.31b)$$

$$T_1 + T_3 = \frac{k_2}{k_3} \quad (3.31c)$$

$$T_1 \cdot T_3 = \frac{k_1}{k_3} \quad (3.31d)$$

d'où :

$$T_1 = \frac{-k_2 - \sqrt{k_2^2 - 4k_1k_3}}{2k_3} \quad (3.32a)$$

$$T_3 = \frac{-k_2 + \sqrt{k_2^2 - 4k_1k_3}}{2k_3} \quad (3.32b)$$

En utilisant l'équation 3.30 dans l'expression du gain en boucle ouverte de la PLL on peut déduire l'expression de la phase en fonction de T_1 , T_2 et T_3 telle que :

$$\phi(f) = \arctan(2\pi f T_2) - \arctan(2\pi f T_1) - \arctan(2\pi f T_3) + 180 \quad (3.33)$$

la marge de phase Φ étant la valeur de $\phi(f)$ pour $f = F_c$. De même, la dérivée de $\phi(f)$ par rapport à f étant nulle pour $f = F_c$, on obtient une deuxième équation liant Φ aux constantes de temps :

$$\frac{d\Phi}{df} = 0 = \frac{T_2}{1 + (2\pi f T_2)^2} - \frac{T_1}{1 + (2\pi f T_1)^2} - \frac{T_3}{1 + (2\pi f T_3)^2} \quad (3.34)$$

En fixant le rapport entre T_1 et T_3 on dispose alors d'un système de trois équations à trois inconnues liant les constantes de temps du filtre aux paramètres de la boucle, à savoir Φ et F_c .

ii. Calcul des valeurs des composants

A partir des équations 3.33, 3.34 et du rapport $\alpha = T_3/T_1$ il est possible d'exprimer T_1 , T_2 et T_3 en fonction de Φ et F_c tels que :

$$T_1 \approx \frac{\frac{1}{\cos(\Phi)} - \tan(\Phi)}{2\pi F_c (\alpha + 1)} \quad (3.35)$$

$$T_2 = \frac{1}{(2\pi F_c)^2 \cdot (T_1 + T_3)} \quad (3.36)$$

$$T_3 = \alpha T_1 \quad (3.37)$$

T_0 est déterminé à partir de T_2 par [6] :

$$T_0 = \frac{K_\phi K_{VCO}}{N \frac{1}{T_2} \sqrt{10}} \quad (3.38)$$

En utilisant ces expressions et les équations 3.31b, 3.32a, 3.32b on peut alors extraire les valeurs des composants. Pour simplifier ces calculs, certaines approximations peuvent être légitimement utilisées. En effet, en considérant $C_2 \gg C_1$ et C_3 , on obtient les expressions approchées suivantes des constantes de temps en fonction des composants :

$$T_1 \approx (C_1 + C_3) \cdot R_2 \quad (3.39a)$$

$$T_2 = C_2 R_2 \quad (3.39b)$$

$$T_3 \approx C_3 R_3 \quad (3.39c)$$

$$\text{La constante } T_0 \text{ devient alors :} \quad (3.39d)$$

$$T_0 = C_1 + C_2 + C_3 \quad (3.39e)$$

on en déduit alors, en prenant $C_3 = C_1/10$ pour éviter toute interaction entre le pôle créé par C_1 et celui créé par le couple $R_3 C_3$:

$$C_1 = \frac{T_0}{11 \cdot \left(1 + \frac{T_2}{T_1}\right)} \quad (3.40)$$

$$C_2 = \frac{T_0}{\left(1 + \frac{T_1}{T_2}\right)} \quad R_2 = \frac{T_2}{C_2} \quad (3.41)$$

$$C_3 = \frac{C_1}{10} \quad R_3 = \frac{T_3}{C_3} \quad (3.42)$$

Tous les composants du filtre sont ainsi déterminés. Les valeurs obtenues par cette méthode pour une fréquence de coupure $F_C = 25kHz$, un gain de VCO $K_{VCO} = 400MHz/V$, un courant de pompe de charge $I_{CP} = 250\mu A$, un coefficient d'amortissement $\zeta = 0,7$ et une marge de phase $\Phi = 50^\circ$ sont :

$$C_1 = 10,48pF, C_2 = 1153pF, C_3 = 1,04pF, R_2 = 12k\Omega, R_3 = 267,5k\Omega$$

Ces valeurs ont ensuite été adaptées pour répondre aux critères d'intégration de la technologie employée et pour permettre d'utiliser un filtre identique pour les deux versions de PLL. Les valeurs finalement retenues pour les composants du filtre sont donc :

$$C_1 = 10pF, C_2 = 120pF, C_3 = 4pF, R_2 = 40k\Omega, R_3 = 100k\Omega$$

3.2.3 Le pré-diviseur et le diviseur programmable

3.2.3.1 Étude du pré-diviseur analogique rapide

Le pré-diviseur analogique sert à abaisser la fréquence de sortie de la PLL de façon à pouvoir être traité par le diviseur de fréquence numérique. Les cellules de base (bascules et portes) disponibles dans la bibliothèque STMicroelectronics fonctionnant à une fréquence maximale de 1GHz, il est nécessaire de pré-diviser la fréquence initiale de 2,4GHz par 4.

Le pré-diviseur proposé (ou *prescaler* dans la littérature anglaise) est constitué de deux étages réalisant chacun une division par 2 de la fréquence d'entrée. Le premier étage différentiel est basé sur deux cellules de Gilbert (également appelées verrous SCL pour *Source Coupled Logic*) rebouclées et fusionnées comme illustrée sur la figure 3.27. En effet, cela permet de n'utiliser qu'une paire différentielle en entrée au lieu de deux et ainsi de minimiser le courant consommé. Sur ce schéma 3.27, in et \bar{in} représentent les entrées différentielles du montage, Q_1 et \bar{Q}_1 sont les deux premières sorties différentielles et Q_2 et \bar{Q}_2 sont les deux autres sorties différentielles. La tension d'alimentation V_{DD} est, comme pour toute la PLL, fixée à 2,5 V.

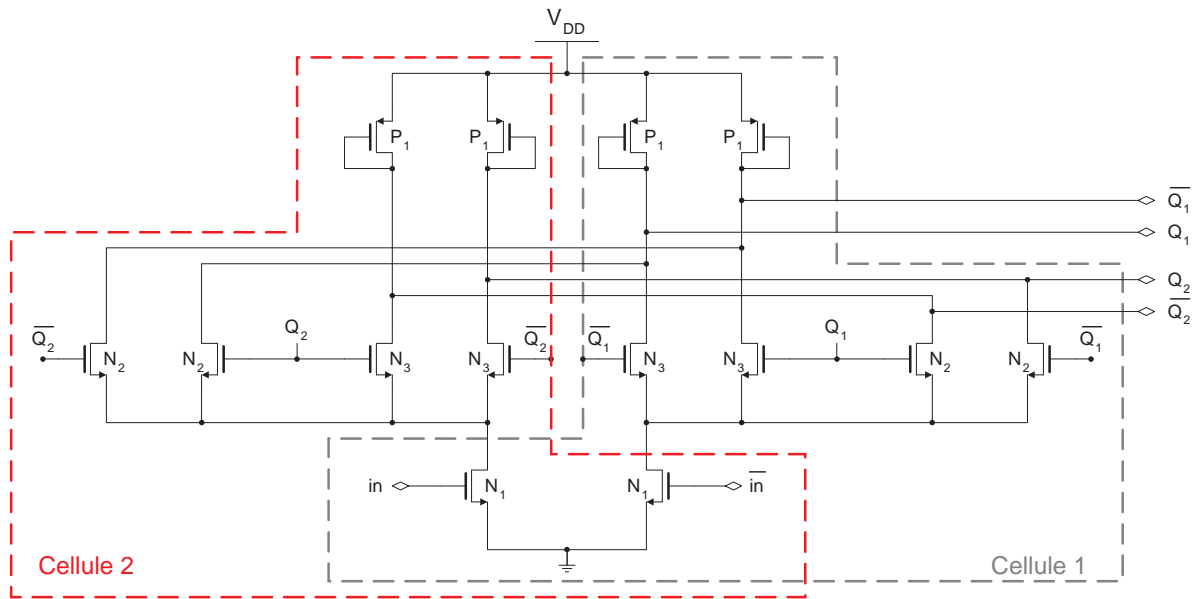


FIG. 3.27 – Schéma du premier étage du pré-diviseur

Le mode « écriture » (paire différentielle N_2) est actif sur niveau haut du signal d'entrée. Le mode « mémoire » (paire différentielle N_3) est actif sur niveau bas. La figure 3.28 présente les spectres typiques des tensions d'entrée et sortie du pré-diviseur analogique dont les caractéristiques sont les suivantes : $(W/L)_{N_1} = 1/0,28\mu m$, $(W/L)_{N_2} = (W/L)_{N_3} = 2/0,28\mu m$ et $(W/L)_{P_1} = 0,9/0,28\mu m$. La consommation en courant de cette cellule est de 357 μA .

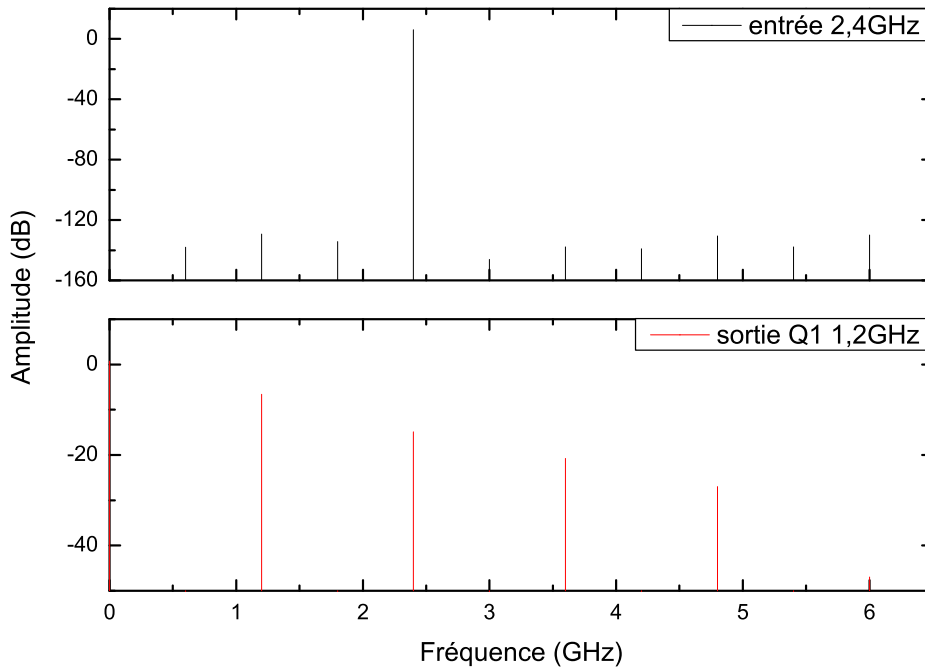


FIG. 3.28 – Spectres du signal d’entrée et du signal de sortie Q_1 asymétrique du premier étage du pré-diviseur

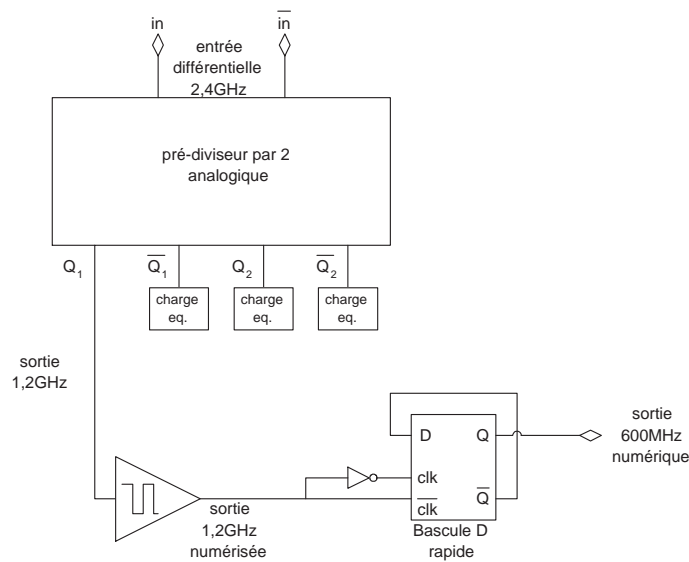


FIG. 3.29 – Schema blocs du circuit de pré-division par 4

Seule la sortie Q_1 du premier étage, de fréquence 1,2 GHz, est envoyée sur l’entrée du deuxième étage par l’intermédiaire d’un étage tampon permettant de convertir le signal analogique asymétrique Q_1 en signal numérique. Les trois autres sorties sont donc

connectées à des charges équivalentes à celle vue par Q_1 de façon à ne pas déséquilibrer le montage (cf figure 3.29). Le deuxième étage est constitué par une bascule D rapide connectée en diviseur de fréquence (sortie \bar{Q} rebouclée sur entrée D, signal d'entrée connecté à l'horloge de la bascule). Cette bascule, basée sur une structure classique basse fréquence de STMicroelectronics, a été optimisée (principalement en travaillant sur les tailles des transistors et en réduisant les capacités parasites du circuit) de façon à fonctionner correctement à 1,2 GHz. La figure 3.30 présente les spectres des tensions d'entrée et sortie du pré-diviseur à bascule D. La consommation en courant de cette cellule est de $180 \mu\text{A}$ avec une tension d'alimentation de 2,5 V.

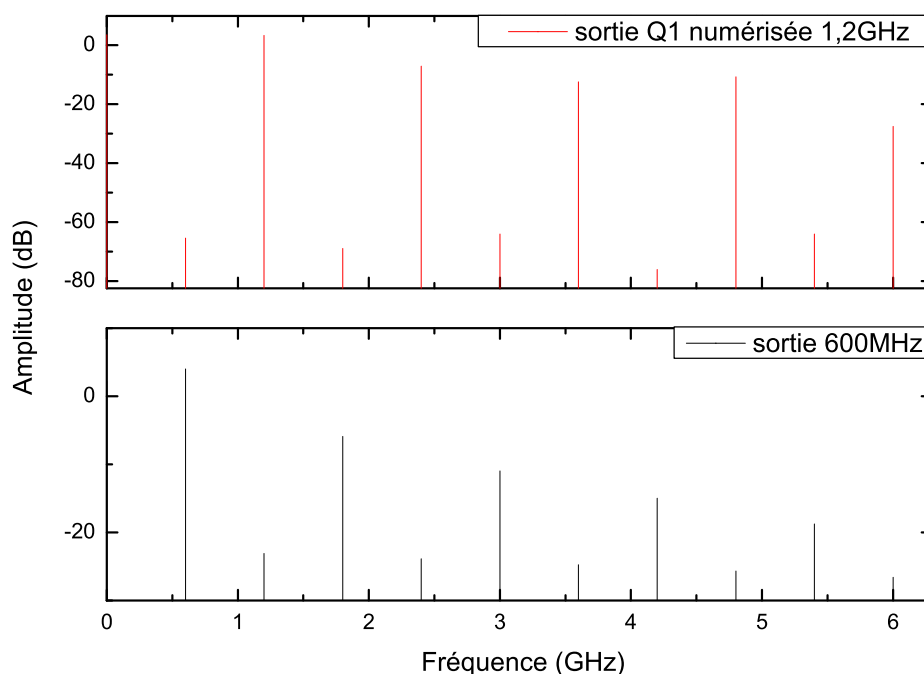


FIG. 3.30 – Spectres des signaux d'entrée et de sortie asymétriques du deuxième étage du pré-diviseur

La figure 3.31 donne un aperçu des masques du pré-diviseur par 4, la surface totale silicium occupée étant de $477 \mu\text{m}^2$.

Une structure de diviseur constituée par quatre bascules D rebouclées de la même façon que le pré-diviseur est également utilisée pour réduire la fréquence de comparaison de la boucle (cf figure 3.32). En effet, comme l'oscillateur à quartz utilisé, fourni par STMicroelectronics, fonctionne à 8 MHz, un diviseur par 16 est placé entre ce cristal et le port

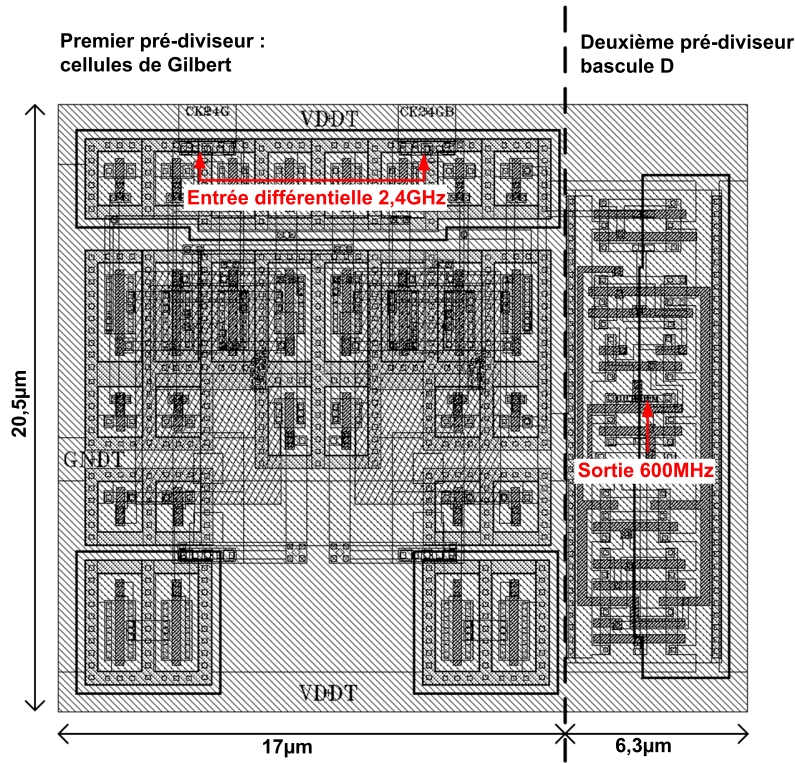


FIG. 3.31 – Vue des masques du pré-diviseur complet

d'entrée du PFD de façon à obtenir la fréquence de référence à 500 kHz. La contrainte fréquentielle étant bien plus réduite que pour le pré-diviseur, des bascules D standards de la bibliothèque STMicroelectronics ont pu être utilisées directement.

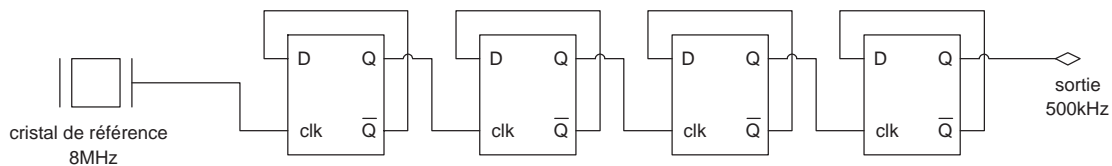


FIG. 3.32 – Schéma bloc du diviseur de fréquence par 16

3.2.3.2 Le diviseur programmable

Le même diviseur programmable est utilisé dans les deux versions de PLL. Développé par la société STMicroelectronics, ce circuit ne sera pas décrit en détail ici. Il est basé sur un compteur asynchrone double module permettant d'obtenir les facteurs de division $N = 4812 + 16n$, avec $n = 0..9$. Le diviseur complet mesure $195\mu m \times 90\mu m$.

3.2.4 Le circuit de modulation

Le circuit de modulation (cf paragraphe 2.3.1.2) est basé sur le principe des capacités commutées. En effet, les tensions de contrôle nécessaires à la modulation directe du VCO en boucle ouverte sont mémorisées sur deux capacités. La modulation est ensuite obtenue en commutant les capacités après avoir ouvert la boucle, ce qui crée des sauts de tension sur la commande du VCO et permet d'obtenir les sauts de fréquence requis en sortie de l'oscillateur. Le circuit de modulation proposé est donc constitué de deux parties : une partie assurant la mémorisation des tensions à partir des verrouillages de la PLL sur deux capacités et une partie assurant le contrôle des commutations.

L'utilisation des capacités pour mémoriser les tensions permet de s'affranchir de l'étape lourde de numérisation habituellement nécessaire à l'emploi de cellules mémoires classiques. Cette « mémoire analogique » est donc intéressante car extrêmement simple mais son efficacité en terme de rétention de l'information est également beaucoup plus limitée. Cependant, pour l'application visée cet inconvénient peut être minimisé car le temps de rétention de l'information stockée est très court. Néanmoins, une attention particulière doit être portée à la mise en place de cette solution à base de capacités de façon à ce que les tensions mémorisées restent intègres tout au long de la phase de modulation.

3.2.4.1 Circuit de mémorisation

Les deux capacités de mémorisation constituent le coeur du système de modulation de la PLL. Cependant, les valeurs disponibles pour les composants intégrés sont relativement faibles (de l'ordre de quelques dizaines de pico farads au maximum) et utiliser uniquement deux capacités de mémorisation reliées directement entre le filtre de boucle et le VCO n'est pas envisageable. En effet, en considérant les différents courants de fuite engendrés par le VCO ainsi que les fuites intrinsèques des capacités, évaluées en fonction des paramètres technologiques et par simulation, la valeur minimum des capacités nécessaire pour obtenir un temps de rétention T (correspondant à la longueur de la trame d'émission maximale, soit environs 10 ms) peut être calculé comme suit :

$$\Delta V_{max} = \frac{\Delta f_{max}}{K_{VCO}} = \frac{\Delta q_{max}}{C} \quad (3.43a)$$

$$d'où \quad C = \frac{\Delta q_{max}}{\Delta f_{max}} \cdot K_{VCO} \quad (3.43b)$$

où Δf_{max} est la dérive maximum autorisée sur la fréquence en sortie du VCO, ΔV_{max} est la dérive maximum autorisée sur la tension de contrôle du VCO, Δq_{max} est la dérive maximum autorisée sur la charge de chaque capacité et C est la valeur de la capacité considérée. Nous avons vu au paragraphe ii. que $\Delta f_{max} = 500kHz$, en prenant $K_{VCO} = 35MHz/V$ et

d'après les données technologiques fournies par STMicroelectronics concernant les fuites des capacités MIM utilisées, la valeur requise pour assurer une dérive acceptable des fréquences de modulation s'élève approximativement à 350 nF, ce qui est évidemment hors des limites d'intégration faible coût. De plus, l'ajout de telles capacités en parallèle au filtre de boucle modifierait totalement le comportement de la PLL, ce qui est évidemment à proscrire.

Le temps de rétention ne peut donc pas être contrôlé uniquement par la valeur des capacités et une isolation doit nécessairement être mise en place entre ces dernières et le VCO. Un circuit tampon a de fait été ajouté entre les capacités et le VCO. Le même circuit a été ajouté entre la sortie du filtre de boucle et les capacités (cf figure 3.33, une description complète de ce circuit est donnée au paragraphe 3.2.4.3).

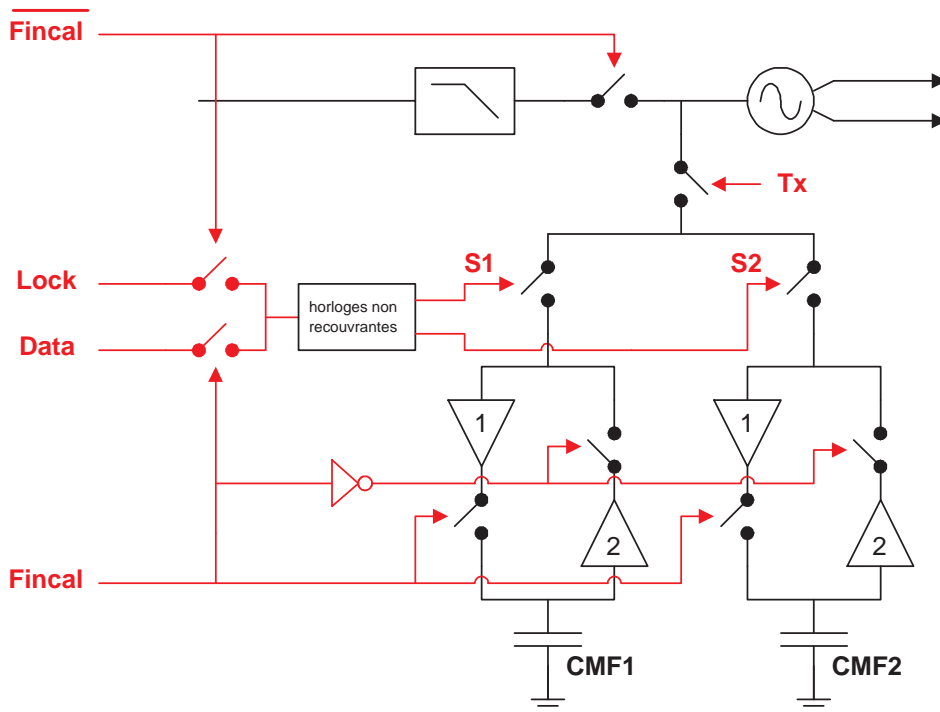


FIG. 3.33 – Synoptique du circuit de modulation avec capacités de mémorisation intégrées

Nous avons conçu ce circuit tampon à partir d'un amplificateur opérationnel (identifié « 1 » et « 2 » sur la figure 3.33) connecté en suiveur de tension. Cet amplificateur, représenté sur la figure 3.34, doit être compact, avoir une consommation négligeable par rapport au reste de la PLL (et ceci est d'autant plus important que cet élément intervient quatre fois dans le circuit de modulation) et assurer une isolation en courant importante entre son entrée et sa sortie tout en présentant une erreur de recopie de tension minimale. Il doit également avoir un temps d'établissement rapide de façon à pouvoir suivre les évolutions de la boucle.

Le circuit proposé est basé sur une structure simple souvent nommé « amplificateur

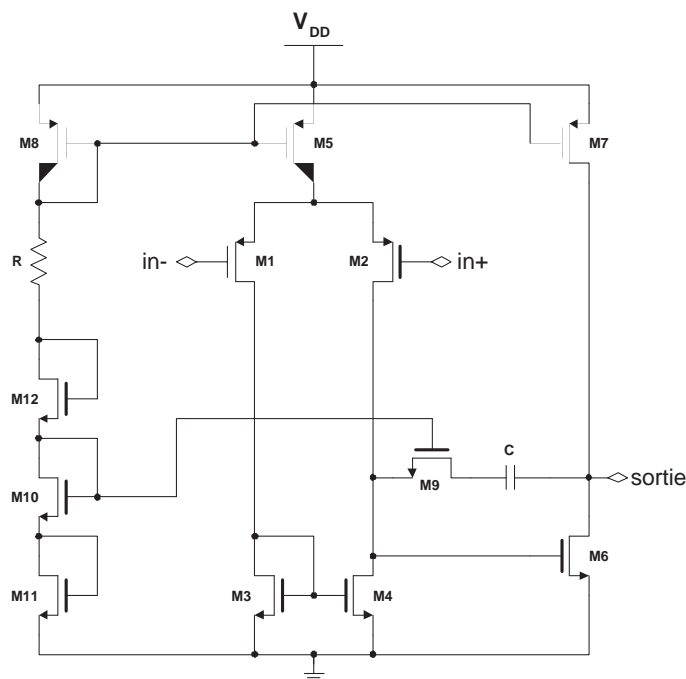


FIG. 3.34 – Schéma de l’amplificateur opérationnel conçu pour isoler les capacités de modulation

Miller » dans la littérature et comprenant deux étages de gain et une branche de polarisation. La résistance R fixe le courant dans la branche de polarisation, $M12$ servant simplement à réduire la chute de tension à ses bornes. Ce courant est ensuite recopié et amplifié par les miroirs $M8$ - $M5$ et $M8$ - $M7$ qui polarisent les deuxième et troisième étages. Le deuxième étage constitue le premier étage de gain et fournit le signal d’entrée différentielle de l’amplificateur avec la paire $M1$ - $M2$, cette paire différentielle ayant été réalisée en PMOS pour augmenter la *slew rate* et donc améliorer le temps d’établissement. La paire $M3$ - $M4$ agit en charge active pour $M1$ - $M2$, leur impédance de sortie élevée permet d’obtenir un gain élevé pour cet étage et d’attaquer le deuxième étage de gain. Ce dernier étage est constitué par les transistors $M6$ - $M7$ qui fournissent un gain élevé avec une forte impédance de sortie. Cet étage est également utilisé dans la compensation du circuit à travers la capacité C pour stabiliser le montage. En utilisant l’effet Miller et la résistance de drain de $M2$, la valeur de la capacité C reste faible (inférieure au nano farad). Cependant, étant donné la transconductance limitée des transistors MOS, $M9$ est nécessaire pour corriger le problème du zéro de l’équation de transfert. La valeur de sa résistance équivalente est contrôlée par le couple $M10$ - $M11$.

L’amplificateur proposé présente une consommation de $313 \mu\text{A}$ ($V_{DD}=2,5 \text{ V}$) pour un gain DC de $87,4 \text{ dB}$, un temps d’établissement de 30ns et une fréquence de coupure à 3 db de 4 MHz . Un des paramètres principaux pour l’application visée est la précision de

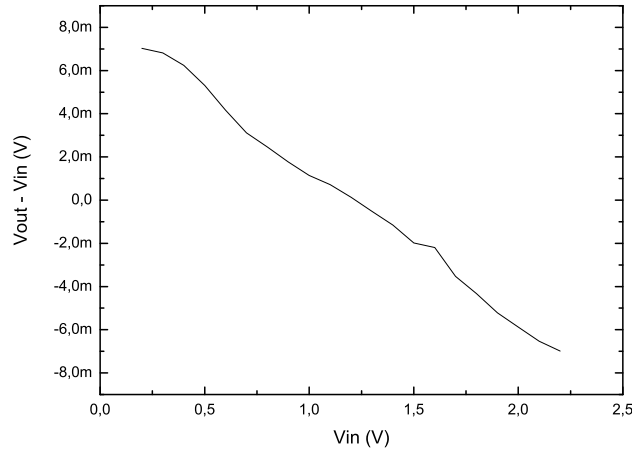


FIG. 3.35 – Erreur de recopie de la tension de l'étage tampon

recopie de la tension de l'amplificateur en montage suiveur et la plage de tension pour laquelle cette copie est correcte. Avec le montage proposé, l'étage tampon réalisé permet de suivre une tension d'entrée allant de 0,2 V à 2,25 V avec un écart maximum nominal de 7 mV. Il est à noter que cet erreur est quasiment nulle pour une tension d'entrée proche de $V_{DD}/2$ (cf figure 3.35), les VCO proposés (cf chapitre 4, section 4.2) étant conçus pour que la PLL soit verrouillée lorsque leur tension de contrôle est égale à $V_{DD}/2$ l'erreur de recopie moyenne lors de l'utilisation dans la boucle sera proche de 0,1 mV, soit une erreur de fréquence en sortie du VCO de 3,5 kHz. Cette erreur de fréquence en fait décale légèrement la fréquence de la PLL, elle correspond donc à un décalage de la fréquence d'oscillateur local et, comme nous l'avons vu au paragraphe 3.1.1.3, le cahier des charges spécifie un décalage maximum de 700 kHz, ce qui laisse une marge confortable pour notre application.

Concernant les dimensions, tous les transistors ont une longueur de grille de $0,28 \mu\text{m}$ à l'exception de M_{12} dont la longueur de grille est $2 \mu\text{m}$. Les différentes largeurs de grille sont : $W_{M1} = W_{M2} = 66 \mu\text{m}$, $W_{M3} = W_{M4} = 14 \mu\text{m}$, $W_{M5} = 18 \mu\text{m}$, $W_{M6} = 64 \mu\text{m}$, $W_{M7} = 54 \mu\text{m}$, $W_{M8} = 2 \mu\text{m}$, $W_{M9} = 40 \mu\text{m}$, $W_{M10} = W_{M11} = 8 \mu\text{m}$ et $W_{M12} = 1 \mu\text{m}$. La résistance et la capacité valent respectivement $10 \text{ k}\Omega$ et 500 fF . Comme pour les autres circuits, nous avons réalisé le dessin des masques avec Cadence et la surface silicium occupée par l'amplificateur est uniquement de $28 \mu\text{m} \times 30 \mu\text{m}$.

3.2.4.2 Horloges à phases non recouvrantes

Le synoptique du circuit permettant d'obtenir les deux horloges non recouvrantes (cf figure 3.33) est représenté figure 3.36(a). Ces deux horloges sont nécessaires pour éviter

une compensation mutuelle des deux capacités (CMF1 et CMF2) et donc une perte de charges. En effet, la capacité CMF1 étant utilisée pour mémoriser une tension supérieure à CMF2, elle va être plus chargée. Il est donc primordial de s'assurer qu'elle est bien déconnectée du reste du circuit avant de connecter CMF2 sinon un transfert de charge va obligatoirement apparaître de CMF1 vers CMF2. De même lorsque l'on va déconnecter CMF2 avant de connecter CMF1. Pour cela, les deux horloges non recouvrantes présentent un temps arbitrairement fixé au moment de leur conception pendant lequel elles sont toutes les deux à l'état bas, ce qui correspond à un temps durant lequel les deux capacités sont déconnectées. On peut noter que le paramètre important, dans notre contexte, n'est pas réellement la valeur du rapport cyclique des horloges Z_A et Z_B mais l'obtention d'un écart suffisant entre le front descendant de Z_A et le front montant de Z_B pour garantir un non recouvrement même en présence de "jitter". En effet, le problème principal est d'obtenir une dérive minimum des tensions mémorisées sur les deux capacités.

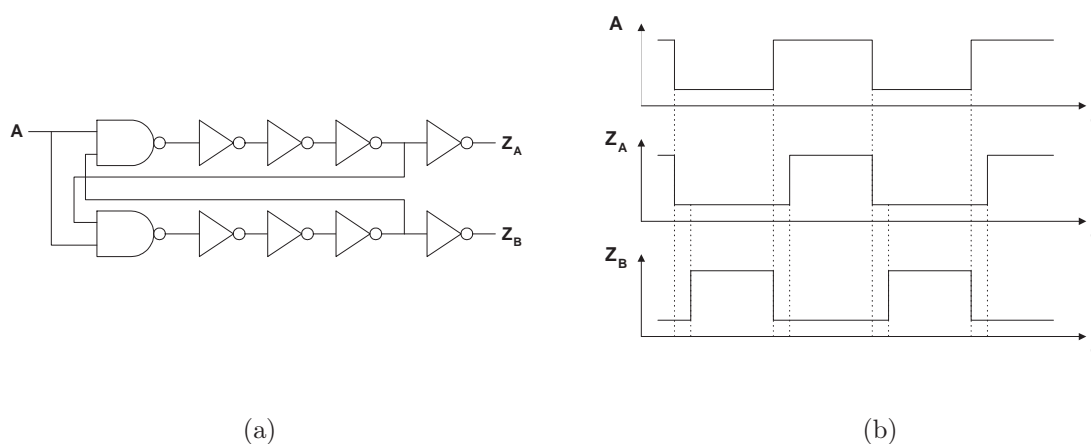


FIG. 3.36 – (a) Circuit permettant d'obtenir deux horloges non-recouvrantes à partir d'une seule horloge (b) chronogramme des signaux théoriques

3.2.4.3 Performances du circuit de modulation

Comme pour les blocs précédents (PFD, pompe de charges, filtre de boucle), nous avons entièrement conçu et simulé au niveau transistor (à partir des modèles fournis par la société STMicroelectronics) le circuit de modulation à l'aide de la suite *Cadence*.

Le fonctionnement du circuit de modulation complet dépend de trois signaux de contrôle : Tx , $Lock$ et $Fincal$. Le signal Tx est au niveau haut lorsque la PLL est en mode émission et vient fermer l'interrupteur principal connectant le circuit de modulation à la boucle. A la suite de cet interrupteur, le circuit se divise en deux branches identiques, chacune correspondant à une capacité de mémorisation (CMF1 et CMF2, cf figure 3.33). Chacune de ces branches est connectée ou déconnectée de la PLL à l'aide

d'un interrupteur pouvant être commandé de deux façons : par le signal *Lock* lors de la phase de calibrage et par les données à transmettre lors de la phase d'émission proprement dite. La figure 3.37 présente le chronogramme des signaux de contrôle lorsque la PLL est en mode émission.

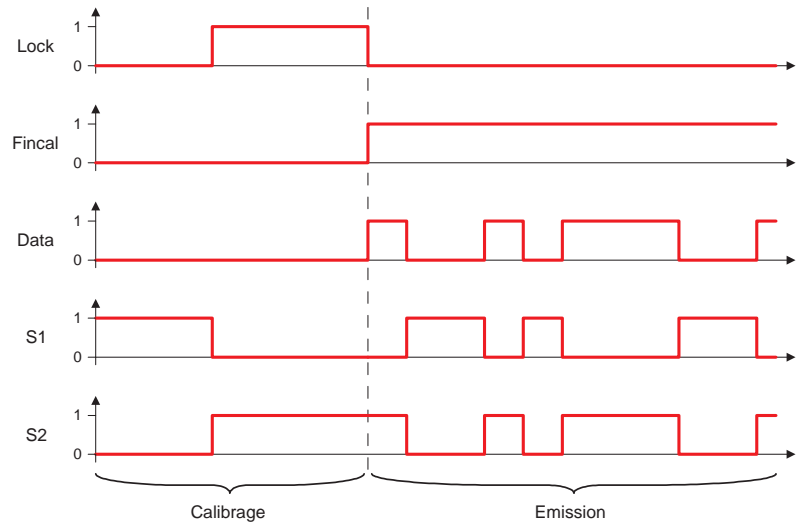


FIG. 3.37 – Chronogramme théorique des signaux de contrôle de la PLL en mode émission

i. Phase de calibrage

C'est la première phase intervenant lorsque la PLL est en mode émission. Par défaut, la boucle n'est pas verrouillée, le signal *Lock*⁴ est alors à l'état bas. La branche de CMF1 est connectée ($S1=1$), CMF2 est déconnectée ($S2=0$). La PLL se verrouille alors sur la première fréquence de modulation et la tension de contrôle correspondante est mémorisée sur CMF1. Le signal *Lock* passe alors à l'état haut, déconnectant CMF1 ($S1=0$) et connectant CMF2 ($S2=1$), ce qui entraîne le déverrouillage de la boucle. Parallèlement, *Lock* est également appliqué sur le diviseur de fréquence programmable et son passage au niveau haut modifie le facteur de division de la boucle, la PLL est alors configurée pour se verrouiller sur la deuxième fréquence de modulation. Après un temps court (de l'ordre de quelques micro secondes car la boucle n'effectue qu'un changement de fréquence de 4 MHz), la boucle se verrouille sur la deuxième fréquence qui est mémorisée sur CMF2. Le signal *Lock* repasse au niveau bas et *Fincal* passe au niveau haut, la phase de calibrage est terminée, les deux tensions de contrôle nécessaires à la modulation sont mémorisées.

⁴Ce signal *Lock* est obtenu grâce à un dispositif de détection du verrouillage de la boucle basé sur l'observation des signaux UP et DOWN sortant du PFD. Lorsque ces signaux restent en dessous d'un seuil préalablement choisi pendant un temps prédéterminé, le signal de sortie du détecteur de verrouillage passe au niveau haut, ainsi que *Lock*. Cependant, alors que le signal de sortie de détecteur repasse à zéro dès que la PLL se déverrouille, *Lock* ne repasse à zéro qu'après l'intervention d'un deuxième verrouillage de la boucle.

Pour cette étape de calibrage, l'ajout d'un étage tampon entre la sortie du filtre et chaque capacité (noté « 1 » sur la figure 3.33) permet de ne pas modifier le comportement de la boucle par l'ajout de deux capacités de valeur relativement élevée.

ii. Phase d'émission

Le passage de *Fincal* au niveau haut ouvre la PLL après le filtre de boucle. Seul le circuit de modulation et le VCO sont désormais utilisés, les autres blocs sont désactivés durant toute la trame d'émission. Les interrupteurs des branches de CMF1 et CMF2 (cf figure 3.33) sont maintenant contrôlés par les données numériques à émettre : lorsqu'un « 1 » doit être émis CMF2 est connectée au VCO donc $S2=1$ et $S1=0$, pour un « 0 » CMF1 est connecté donc $S1=1$ et $S2=0$ (cf figure 3.37). Pour cet étage d'émission, les étages tampon (notés « 2 » sur la figure 3.33) permettent d'isoler les capacités pour réduire les fuites au maximum.

Plusieurs valeurs de capacités ont été testées de façon à déterminer le meilleur compromis entre l'encombrement de ces capacités et la dérive des tensions mémorisées. Il s'est avéré que 20 pF permettent d'obtenir des résultats très satisfaisants pour notre application. En effet, d'une part leur taille reste acceptable, d'autant plus que d'un point de vue technologique ces capacités sont réalisées grâce aux couches supérieures de la technologie CMOS utilisée et elles seront donc placées au dessus des autres circuits (en intercalant entre ces circuits et les capacités un plan métallique servant de bouclier). D'autre part, elles permettent d'obtenir en simulation des dérives fréquentielles inférieures à 10 kHz, ce qui nous laisse une marge confortable par rapport au cahier des charges et permet ainsi de pallier aux inévitables dégradations qui interviendront entre les simulations et les mesures sur silicium. Nous avons donc privilégié la précision fréquentielle assurée par les capacités de 20 pF au gain en surface apporté par les capacités de 10 pF. Le tableau 3.3 résume les dérives obtenues pour deux valeurs de capacités différentes et une longueur de trame émise de 10 ms.

Capacité (pF)	K_{VCO} (MHz/V)	ΔV (μ V/ms)	Δf (kHz)
20 ($100\mu m \times 100\mu m$)	400	1,22	8,75
	35	25	4,88
10 ($70\mu m \times 70\mu m$)	400	7	28
	35	39	13,65

TAB. 3.3 – Tableau récapitulatif des dérives des tensions de modulation en fonction des valeurs de capacités choisies

La partie analogique du circuit de modulation (amplificateurs-suiveurs, interrupteurs et capacités de mémorisation) occupe une surface de $155\mu m \times 106\mu m$, dont 68% proviennent

des capacités.

Conclusion

La fonctionnalité de la boucle à réaliser ayant été présentée précédemment, ce chapitre a permis dans un premier temps de déterminer les principaux paramètres de la PLL à partir de ses caractéristiques fondamentales appliquées au cahier des charges du système. Une méthodologie de conception, basée sur les études fréquentielles, temporelles et en bruit de la PLL a ainsi été utilisée. Deux structures de PLL répondant aux exigences du système et permettant de caractériser la solution de modulation proposée ont été présentées.

La deuxième partie de ce chapitre est dédiée à l'étude et à la réalisation des différents blocs constitutifs de la boucle, à l'exception du VCO qui sera l'objet du chapitre suivant. A partir d'un état de l'art de chaque élément, la solution la plus pertinente en regard de notre application a été dégagée pour chacun puis sa réalisation a été présentée.

Enfin, une attention particulière a été apporté au circuit de modulation mis en place dans la PLL. Ce circuit, basé sur un principe simple, permet d'améliorer la technique de modulation en boucle ouverte tout en minimisant le nombre d'éléments ajoutés à la boucle de base.

Nous avons réalisé l'intégralité de la phase de conception et de simulation électrique des blocs au niveau transistor, sous environnement *Cadence*, en utilisant les modèles fournis par STMicroelectronics. Nous avons également réalisé tous les dessins des masques et les phases de vérification (DRC, LVS) sous cet environnement mais en utilisant l'outil *Calibre*.

Bibliographie

- [1] N. Dehaese, « Etude et simulation d'un système sur puce radiofréquence pour les applications faible coût et faible consommation », Thèse de doctorat, Université de Provence, déc. 2005. [52](#)
- [2] K. Johnson, « Optimizing link performance, cost and interchangeability by predicting residual ber : Part i - residual ber overview and phase noise », *The Microwave Journal*, vol. 45, p. 20–30, 2002. [52](#)
- [3] B. Razavi, *RF Microelectronics*, 1er ed. Prentice Hall, 1997. [53](#)
- [4] [En ligne] : <http://www.ieee802.org/15/pub/TG4.html> [54](#)
- [5] U. Rohde, *Microwave and Wireless Synthesizers - Theory and Design*. John Wiley, 1997, iSBN : 0-471-52019-5. [54](#), [64](#)
- [6] R. E. Best, *Phase-Locked Loops design, simulation and applications*, 5ème ed. McGraw-Hill, 2003, iSBN : 0-07-141201-8. [55](#), [64](#), [66](#), [68](#), [78](#), [80](#)
- [7] D. Banerjee, *PLL Performance, Simulation, and Design*, 4ème ed., 2006. [55](#), [57](#), [75](#)
- [8] L. Lascari, « Accurate phase noise prediction in pll frequency synthesizers », *Applied Microwave & Wireless*, vol. 12, no. 5, mai 2000. [59](#)
- [9] M. Sié, « Synthétiseurs de fréquence monolithiques micro-ondes à 10 et 20 ghz en technologies bicmos sigé 0,25 et 0,35 μm », Thèse de doctorat, Université Paul Sabatier de Toulouse, juil. 2004. [66](#)
- [10] F. M. Gardner, *Phaselock Techniques*, 2nd ed. Wiley, 1979. [69](#)
- [11] P. E. Allen et D. R. Holberg, *CMOS Analog Circuit Design*. Oxford University Press, 2002, iSBN : 0195116445. [72](#)
- [12] C.-M. Hung et K. K. O., « A fully integrated 1.5-v 5.5-ghz cmos phase-locked loop », *IEEE Journal of Solid-State Circuits*, vol. 37, no. 4, p. 521–525, avril 2002. [72](#)
- [13] T. Lee, *The Design of CMOS Radio-Frequency Integrated Circuits*, 2nd ed. Cambridge University Press, 2004, iSBN : 0-521-83539-9. [77](#)
- [14] W. O. Keese, « An analysis and performance evaluation of a passive filter design technique for charge pump phase-locked loops », National Semiconductor, Application Note 1001, 2001. [78](#)

4

L'oscillateur commandé en tension fonctionnant à 2,45 GHz

Les oscillateurs font partie intégrante de nombreux systèmes électroniques, à quelque fréquence que ce soit, et peuvent se présenter sous différentes architectures. Dans la boucle à verrouillage de phase, l'oscillateur, et plus précisément l'oscillateur commandé en tension ou VCO, est un des éléments les plus importants car ses performances sont déterminées à la fois par la PLL à l'intérieur de la bande passante de la boucle et par sa structure propre à l'extérieur de cette bande. En effet, le VCO définit la plage de fréquence disponible en sortie et le bruit de phase en dehors de la bande passante de la PLL, et se positionne ainsi comme un élément majeur dans la conception d'une PLL. Enfin, de par leur caractère fortement non linéaire, les oscillateurs sont des éléments difficiles à modéliser avec précision et les équations mathématiques les concernant, bien que nécessaires à la détermination de certains critères de conception, ne sont que des approximations.

Nous ne ferons pas ici un relevé exhaustif de toutes les topologies existantes et nous nous limiterons à traiter les oscillateurs destinés aux systèmes radio-fréquences. Ils peuvent être regroupés en deux grandes familles, la première étant basée sur un résonateur (appelé aussi réservoir) passif constitué d'inductances et de capacités et seront donc regroupés sous l'appellation « oscillateurs LC ». La seconde famille regroupe les oscillateurs constitués par une chaîne d'inverseurs ou de cellules à retard rebouclées et que nous appellerons « oscillateurs en anneau ».

4.1 LC versus anneau

Les oscillateurs LC et les oscillateurs en anneau ont des caractéristiques sensiblement différentes qui vont généralement conditionner le type d'utilisation propre à chacune des deux familles. De façon générale, les oscillateurs LC sont utilisés pour les applications hautes fréquences (supérieures au Giga Hertz) [1] alors que les oscillateurs en anneau sont restreints à des fréquences de fonctionnement plus faibles. Jusqu'au développement des technologies CMOS sub-microniques, les domaines d'application typiques des oscillateurs LC étaient la RF et les micro-ondes alors que les oscillateurs en anneau restaient limités aux basses fréquences (inférieures au Giga Hertz) [2]. Les avancées technologiques ont permis une montée en fréquence de ces oscillateurs jusqu'aux micro-ondes [3] mais cette montée s'accompagne généralement d'une augmentation du bruit de phase plaçant ces oscillateurs, à fréquence de fonctionnement égale, loin des performances des oscillateurs LC [4]. Le compromis est donc globalement le suivant : faible bruit de phase et surface de silicium importante pour les oscillateurs LC, bruit de phase élevé et faible surface pour les oscillateurs en anneau.

4.1.1 Le bruit de phase dans les oscillateurs

Une des principales différences entre oscillateur LC et oscillateur en anneau est leur niveau de bruit de phase. Cette caractéristique est l'une des plus importante et son étude est primordiale. De façon générale, la tension de sortie d'un oscillateur réel (et donc bruité) est donnée par :

$$V_{out}(t) = A(t) \cdot f [\omega_0 t + \phi(t)] \quad (4.1)$$

où $A(t)$ et $\phi(t)$ représentent les variations d'amplitude et de phase en fonction du temps et f est une fonction 2π -périodique. Or, les variations d'amplitude étant généralement grandement atténuées par les mécanismes de stabilisation présents dans tout oscillateur, le bruit de phase est dominant devant le bruit d'amplitude [5].

4.1.1.1 Problématique du bruit de phase

Il se matérialise par un élargissement du spectre fréquentiel du signal de sortie d'un oscillateur, étalement dû à la conversion du bruit basse fréquence du circuit autour de la porteuse du fait des non-linéarités de l'amplificateur actif maintenant les oscillations. Utilisé dans un récepteur hétérodyne, ce spectre bruité donne lieu au phénomène de « mélange réciproque » illustré par la figure 4.1. En considérant que le canal adjacent n'est pas ou peu atténué par le filtre du récepteur, le mélange du signal souhaité et de l'interférence avec le signal d'oscillateur local va conserver les amplitudes. Par conséquent, le signal désiré converti risque d'être masqué par l'interférence convertie. En résumé, le

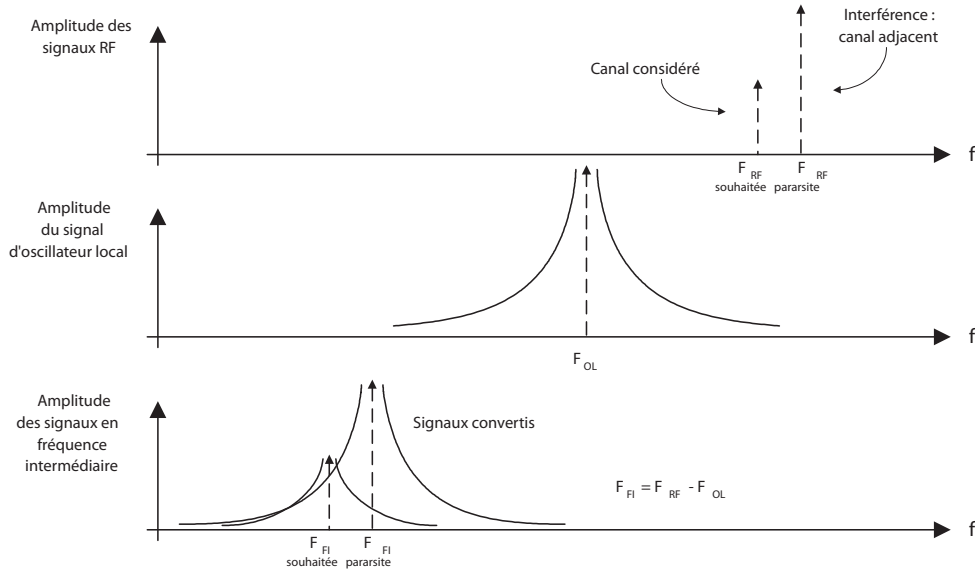


FIG. 4.1 – Illustration du phénomène de mélange réciproque dû au bruit de phase de l'oscillateur local

bruit de phase de l'oscillateur local va limiter l'immunité du récepteur aux interférences.

Le bruit de phase est exprimé en dBc/Hz , c'est à dire la différence en décibels entre la puissance de la porteuse et celle contenue dans une bande de $1Hz$ à un décalage de $\Delta\omega$ de la porteuse. Sa densité spectrale s'exprime comme suit :

$$\mathcal{L}_{total}(\Delta\omega) = 10 \log \frac{P_{sig}(\omega_0 + \Delta\omega, 1Hz)}{P_{porteuse}(\omega_0, 1Hz)} \quad (4.2)$$

où ω_0 est la pulsation de la porteuse, $\Delta\omega$ le décalage par rapport à la porteuse auquel le bruit de phase est calculé, P_{sig} la puissance par unité de fréquence à la pulsation $\omega_0 + \Delta\omega$, et $P_{porteuse}$ la puissance de la porteuse. On peut noter ici que cette expression tient en fait compte à la fois des fluctuations de phase et d'amplitude. Cependant, l'effet du bruit d'amplitude est réduit par les mécanismes de limitation d'amplitude et peut être éliminé par l'utilisation d'un limiteur sur le signal de sortie. De ce fait, dans la plupart des applications \mathcal{L}_{total} pourra être considérée comme égale au bruit de phase et sera donc simplement notée \mathcal{L} .

4.1.1.2 approche empirique

En 1966, Leeson est le premier à proposer un modèle phénoménologique simple mettant en relation le niveau de bruit de phase dans les oscillateurs basés sur des résonateurs avec les sources de bruit (en tension et courant) des éléments constitutifs du circuit [6]. Ce modèle permet de prédire le bruit de phase induit par les sources de bruit blanc. Cependant, bien que Leeson admette que le bruit en $1/f$ des éléments actifs puisse déterminer le

bruit de phase proche porteuse, son modèle ne peut expliquer pourquoi et un paramètre empirique F a donc été rajouté pour permettre d'intégrer la conversion de ce bruit autour de la porteuse.

La démonstration de Leeson suppose l'oscillateur (harmonique) comme un circuit actif non bruyant associé à un résonateur bruyant RLC parallèle. Le module de l'impédance du résonateur vaut donc à la pulsation $\omega_0 + \Delta\omega$:

$$|Z(\omega_0 + \Delta\omega)| = \frac{\omega_0}{2Q\Delta\omega} R \quad (4.3)$$

Q étant le facteur de qualité du résonateur et R la résistance parallèle. En introduisant le bruit thermique de la résistance R dans l'expression 4.3, on obtient :

$$\frac{\overline{v_n^2}}{\Delta f} = \frac{\overline{i_n^2}}{\Delta f} |Z|^2 = 4kTR \left(\frac{\omega_0}{2Q\Delta\omega} \right)^2 \quad (4.4)$$

où k est la constante de Boltzmann, T est la température absolue, $\overline{v_n^2}$ et $\overline{i_n^2}$ sont les tension et courant de bruit moyen. La formule de Leeson s'exprime alors comme [6] :

$$\mathcal{L}(\Delta\omega) = 10 \log \left[\frac{2FkT}{P_{sig}} \left\{ 1 + \left(\frac{\omega_0}{2Q\Delta\omega} \right)^2 \right\} \left(1 + \frac{\Delta\omega_{1/f^3}}{|\Delta\omega|} \right) \right] \quad (4.5)$$

où $\Delta\omega_{1/f^3}$ est la fréquence de coupure entre les régions en $1/f^3$ et $1/f^2$ du spectre de bruit de phase illustré en figure 4.2. Cette expression contient le paramètre empirique F qui ne permet pas de prédire quantitativement le bruit de phase, des simulations et des mesures sont donc nécessaires. En effet, comme mentionné dans [6], F et ω_{1/f^3} sont généralement utilisés *a posteriori* comme paramètres de correction en fonction des résultats de mesure. Toutefois, cette formule permet de donner qualitativement la forme du bruit de phase (cf figure 4.2).

Ce type de modélisation ne permet donc pas de calculer de façon théorique le niveau de bruit de phase d'un oscillateur. De plus, dans le cas des oscillateurs en anneau, il est difficile de déterminer le circuit « résonateur » équivalent pour appliquer la formule de Leeson.

4.1.1.3 approche d'Hajimiri et Lee

Pour déterminer l'équation 4.5, Leeson a supposé l'oscillateur linéaire et indépendant du temps. Si la linéarité semble une approximation légitime en petit signal, Hajimiri et Lee proposent un modèle dépendant du temps à partir d'une observation simple [7–9] : si on excite un oscillateur LC en injectant une impulsion de courant, le déphasage obtenu dépend de l'instant d'injection τ . Cette dépendance temporelle se traduit par la fonction

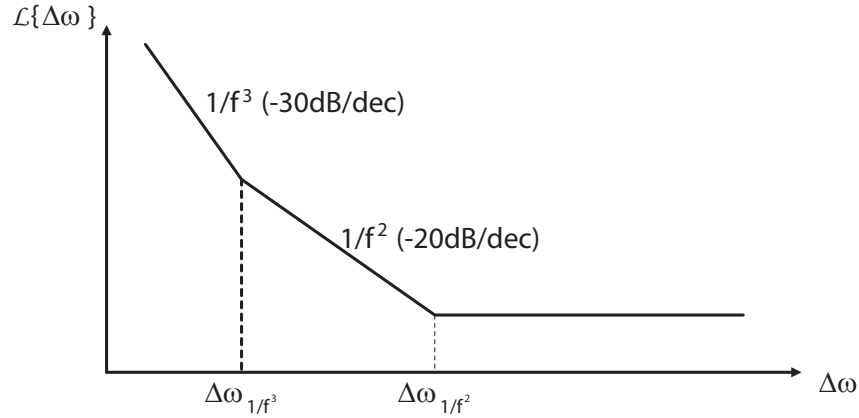


FIG. 4.2 – Bruit de phase typique d'un oscillateur en fonction de la fréquence de décalage

de transfert $h_\phi(t, \tau)$ qui est la réponse impulsionnelle en phase. Si on suppose que les variations d'amplitude sont faibles, cette fonction caractérise complètement le système. Elle vaut :

$$h_\phi(t, \tau) = \frac{\Gamma(\omega_0\tau)}{q_{max}} u(t - \tau) \quad (4.6)$$

où u est la fonction d'Heavyside, qui vaut 1 pour $t \geq \tau$ et 0 ailleurs, $q_{max} = CV_{max}$ la charge maximale aux bornes de la capacité du résonateur et enfin Γ est la fonction de sensibilité impulsionnelle (ou ISF pour Impulse Sensitivity Function) qui est sans dimension, elle traduit la sensibilité en phase de l'oscillateur et dépend de sa topologie. L'ISF permet de calculer directement les variations de phase du circuit telles que :

$$\phi(t) = \int_{-\infty}^t h_\phi(t, \tau) i(\tau) d\tau = \frac{1}{q_{max}} \int_{-\infty}^t \Gamma(\omega_0\tau) d\tau \quad (4.7)$$

où $i(\tau)$ représente le courant de bruit injecté dans le circuit de façon à déterminer la fonction de sensibilité impulsionnelle. L'ISF étant périodique, elle peut se décomposer en série de Fourier, la phase devient alors :

$$\phi(t) = \frac{1}{q_{max}} \left[\frac{c_0}{2} \int_{-\infty}^t i(\tau) d\tau + \sum_{n=1}^{+\infty} c_n \int_{-\infty}^t i(\tau) \cos(n\omega_0\tau) d\tau \right] \quad (4.8)$$

où les c_n sont les coefficients de Fourier réels. En considérant que le courant injecté est de la forme $i(t) = I_n \cos[(n\omega_0 + \Delta\omega)t]$ et de fréquence proche d'un multiple entier de la fréquence d'oscillation, la fonction $\phi(t)$ devient selon [7] :

$$\phi(t) \approx \frac{I_n c_n \sin(\Delta\omega)}{2q_{max} \Delta\omega} \quad (4.9)$$

En introduisant l'équation 4.9 dans l'équation 4.1, il est alors possible de calculer la densité spectrale de bruit de la tension de sortie $S_v(\omega)$ de l'oscillateur modulé en phase par l'injection d'un courant à $n\omega_0 + \Delta\omega$, injection qui va donner lieu à l'apparition de deux raies spectrales à la pulsation $\omega_0 \pm \Delta\omega$ et dont la puissance relative à la puissance de la porteuse est donnée par

$$P_{SBC} = 10 \log \left(\frac{I_n c_n}{4q_{max} \Delta\omega} \right)^2 \quad (4.10)$$

En considérant le cas d'un bruit en courant aléatoire $i_n(t)$, l'équation 4.10 ainsi que le développement précédent montrent que les composantes du bruit situées près d'un multiple entier de la fréquence d'oscillation sont transformées en raies spectrales basses fréquences pour $S_\phi(\omega)$ (densité spectrale de puissance de $\phi(t)$) qui vont être ensuite transformées en bruit de phase proche de la porteuse dans le spectre de $S_v(\omega)$ par les mécanismes de modulation de phase pré-cités.

Si on considère maintenant un courant de bruit d'entrée ayant une densité spectrale de puissance constante $\overline{i_n^2}/\Delta f$, il est possible de mener une étude quantitative du bruit de phase. En effet, on peut alors noter que le terme I_n de l'équation 4.10 représente la valeur crête de cette densité, c'est à dire $I_n^2/2 = \overline{i_n^2}/\Delta f$ pour $\Delta f = 1Hz$. En se basant sur l'équation 4.10, la densité spectrale de bruit de phase en dB en dessous du niveau de la porteuse par unité de fréquence (ou dBc/Hz) à un décalage de $\Delta\omega$ de la porteuse est donnée par

$$\mathcal{L}(\Delta\omega) = 10 \log \left(\frac{\frac{\overline{i_n^2}}{\Delta f} \sum_{n=0}^{+\infty} c_n^2}{8q_{max}^2 \Delta\omega^2} \right) \quad (4.11)$$

Or, d'après le théorème de Parseval

$$\sum_{n=0}^{+\infty} c_n^2 = \frac{1}{\pi} \int_0^{2\pi} |\Gamma(x)|^2 dx = 2\Gamma_{rms}^2 \quad (4.12)$$

où Γ_{rms} est la valeur quadratique moyenne de $\Gamma(x)$. En remplaçant 4.12 dans 4.11, on obtient l'équation du spectre fréquentiel du bruit de phase d'un oscillateur quelconque :

$$\mathcal{L}(\Delta\omega) = 10 \log \left(\frac{\frac{\overline{i_n^2}}{\Delta f} \Gamma_{rms}^2}{4q_{max}^2 \Delta\omega^2} \right) \quad (4.13)$$

Cette équation est valable quelque soit le type d'oscillateur à partir du moment où on connaît la valeur de l'ISF. Cette ISF peut soit être déterminée avec précision par simulation soit être estimée de façon approchée en fonction de la structure d'oscillateur considéré, ce qui permet d'établir une étude quantitative de l'oscillateur de façon totalement théo-

rique contrairement au modèle de Leeson. Enfin, cette équation 4.13 est valable pour la région en $1/f^2$ du spectre de bruit de phase (cf figure 4.2) et nécessite quelques modifications pour le calcul du bruit pour des fréquences très proches de la porteuse (région en $1/f^3$) [7].

4.1.2 oscillateurs LC

La figure 4.3(a) présente une structure classique d'oscillateur différentiel basé sur un résonateur LC. Les transistors M_1 et M_2 sont identiques et équivalent à une résistance négative égale à $-2/g_m$ permettant de compenser les pertes dues aux résistances parasites du résonateur et ainsi d'entretenir le phénomène d'oscillation. Pour obtenir une oscillation stable, la condition est donc que la valeur absolue de la résistance négative du circuit actif soit égale ou supérieure à la résistance parasite totale. La fréquence d'oscillation dépend

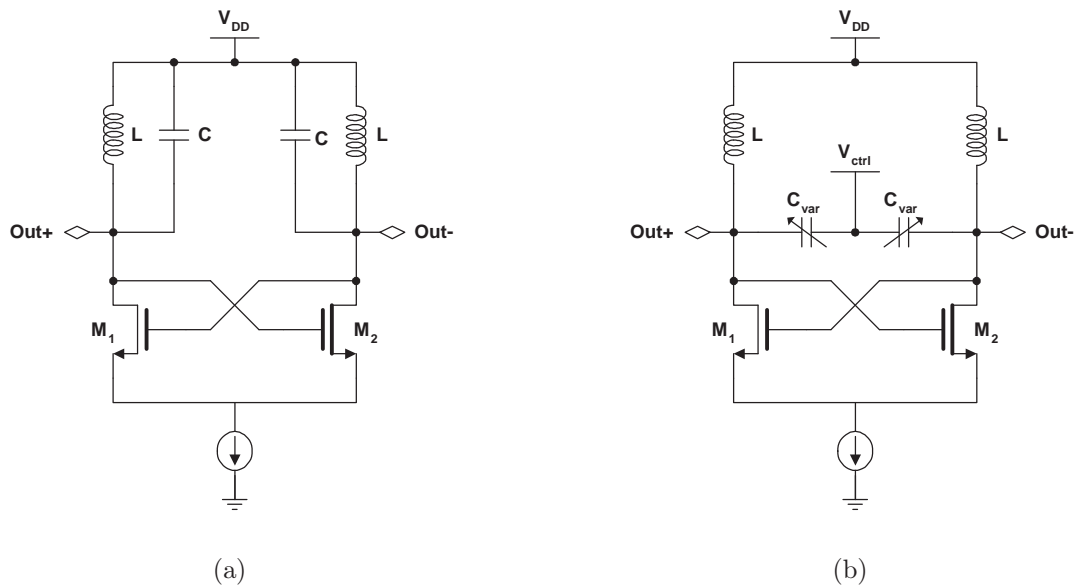


FIG. 4.3 – (a) Schéma électrique d'un oscillateur différentiel de type LC et (b) évolution en VCO

du circuit résonnant et est égale à $1/(2\pi\sqrt{LC})$. Il est facile de contrôler cette fréquence en agissant sur les valeurs de L ou de C . On voit alors que le remplacement des capacités simples par des capacités variables, de type « varactor » MOS ou diode varicap, permet d'obtenir un VCO (figure 4.3(b)).

A titre comparatif, le circuit de la figure 4.3(b) a été simulé en utilisant la technologie HCMOS9 de STMicroelectronics (STM). Les résultats de simulation sont résumés dans le tableau 4.1. Les capacités variables sont réalisées à partir de varactors nMOS et ont pour valeur nominale 900fF, les inductances sont égales à 3,1nH et les deux transistors nMOS M_1 et M_2 sont identiques avec $(W/L) = 80/0,28\mu m$. Enfin, la source de courant

est réalisée à l'aide d'un miroir de courant nMOS classique.

Puissance de sortie	-7,75 dBm
Dérive en température	17,3 ppm (soit 6,68 MHz entre -40°C et 120°C)
Bruit de phase (@1MHz)	-124,59 dBc/Hz
Sensibilité aux variations d'alimentation (pushing)	66 MHz/V (dans la plage $V_{dd} \pm 10\%$)
Sensibilité aux variations de charge (pulling)	6,47 MHz
Bande de fréquence	250 MHz (2,367-2,617 GHz)
gain de conversion	100 MHz/V
plage de contrôle (V_{ctrl})	0-2,5 V
Consommation	29,4 mW (14,68 dBm)
Surface silicium	340 $\mu\text{m} \times 680 \mu\text{m}$

TAB. 4.1 – Tableau récapitulatif des caractéristiques du VCO LC proposé

Cet oscillateur présente de nombreuses qualités, parmi lesquelles on peut noter un niveau de bruit de phase faible (qui peut encore être réduit, notamment en travaillant sur la source de courant [10]), une bonne stabilité en température et un temps de démarrage court (9 ns). Cependant, un défaut majeur est à prendre en compte : l'utilisation d'inductances passives entraîne une surface de silicium importante. En effet, dans le cas de la technologie considérée, les inductances utilisées pour ce VCO occupent chacune une surface de $340\mu\text{m} \times 340\mu\text{m}$. Une telle surface est bien entendue pénalisante dans un contexte faible coût.

4.1.3 oscillateurs en anneau

Un oscillateur en anneau est une chaîne d'étages de gain rebouclée. La fréquence d'oscillation sera dépendante du retard introduit par chaque étage.

Si l'on prend l'exemple de la figure 4.4, la période d'oscillation de la boucle est égale

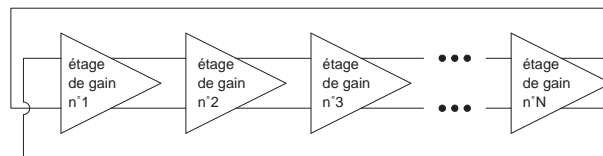


FIG. 4.4 – Schéma électrique d'un oscillateur en anneau différentiel

à $2NT_d$, T_d étant le retard de chaque étage et N le nombre d'étages. L'oscillation est obtenue lorsque le décalage de phase total de la boucle (de la sortie de l'étage 1 à la sortie

de l'étage N) est égal à 0 et que le gain est supérieur ou égal à 1 à la fréquence considérée, ces conditions étant connues sous le nom de « Critère de Barkhausen ».

A titre comparatif, le circuit de la figure 4.5 a été simulé en utilisant la technologie HCMOS9 STM. Ce circuit est constitué par une chaîne de trois inverseurs dont la charge est contrôlée par la tension V_{ctrl} . Les résultats de simulation sont résumés dans le tableau 4.2. Les dimensions des éléments le constituant sont : $(W/L)_{M_{n1}} = 10/0,28\mu m$, $(W/L)_{M_{n2}} = 2/0,28\mu m$, $(W/L)_{M_{p1}} = 30/0,28\mu m$, $C = 500fF$. Cet oscillateur en anneau

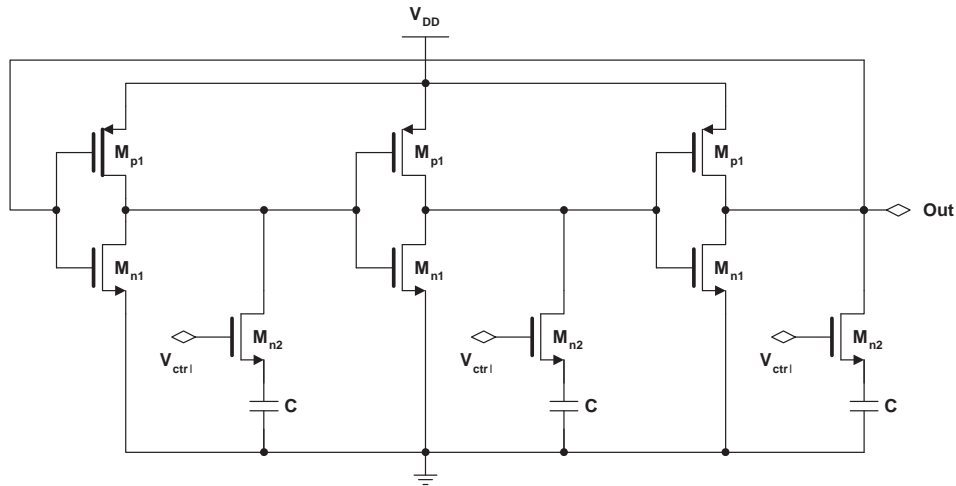


FIG. 4.5 – Schéma électrique d'un VCO en anneau

Puissance de sortie	-17,32 dBm
Dérive en température	406 ppm (soit 160 MHz entre -40°C et 120°C)
Bruit de phase (@1MHz)	-93,76 dBc/Hz
Sensibilité aux variations d'alimentation (pushing)	798 MHz/V (dans la plage $V_{dd} \pm 10\%$)
Sensibilité aux variations de charge (pulling)	39,08 MHz
Bande de fréquence	433 MHz (2,32-2,753 GHz)
gain de conversion	173,2 MHz/V
plage de contrôle (V_{ctrl})	0-2,5 V
Consommation	2,99 mW (4,76 dBm)
Surface silicium	25 $\mu m \times 67 \mu m$

TAB. 4.2 – Tableau récapitulatif des caractéristiques du VCO en anneau proposé

présente une plage de fréquence importante (qui peut encore être augmentée, par exemple en modifiant le dispositif de contrôle), une consommation relativement faible et un temps de démarrage court (2 ns). Bien que son bruit de phase soit nettement plus élevé que celui de la structure LC, il reste utilisable pour des applications peu contraignantes. Enfin,

l'avantage principal d'une telle structure est son faible encombrement (138 fois plus faible que celui de l'oscillateur LC présenté sur la figure 4.3(b)).

En comparant les deux structures précédentes, il apparaît clairement que les VCO en anneau sont plus appropriés dans un contexte faible coût, faible consommation. Cependant, ce type d'oscillateur présente un certain nombre de faiblesses (bruit de phase, sensibilité aux variations de température et d'alimentation) sur lesquelles une attention particulière devra être portée.

4.2 Présentation et évolution de la structure réalisée

4.2.1 Présentation de la structure

L'oscillateur proposé dans le cadre du projet IM2NP/STMicronics est basé sur une chaîne de deux cellules à retard identiques rebouclées comme illustrée sur la figure 4.6(b). La cellule à retard utilisée est constituée en entrée par une paire différentielle nMOS (M_{n1}) dont les drains des transistors sont connectés à une charge active. Cette charge est réalisée par une paire différentielle croisée de pMOS et une paire de transistors pMOS connectés en diode [11, 12]. La valeur de cette charge est contrôlée par le courant injecté par un transistor pMOS M_{p3} dont la tension de grille V_{ctrl} est réglable (cf figure 4.6(a)). En effet, la paire différentielle pMOS est équivalente à une résistance négative disposée en parallèle avec deux résistances actives contrôlables (M_{p2}) et lorsque la tension de grille de M_{p3} augmente le courant injecté dans les diodes décroît. La résistance de charge totale de la paire d'entrée différentielle augmente alors et réduit la fréquence d'oscillation [11, 12]. La fonction de transfert en tension $A(s)$ et la fréquence d'oscillation f_{osc} de ce VCO (cf figure 4.6(b)) sont données par les équations 4.14 et 4.15 [11] :

$$A(s) = \frac{V_{out}}{V_{in}}(s) = \frac{g_{mn1}}{(-g_{mp1} + g_{mp2} + G_L) + sC_L} \quad (4.14)$$

avec $G_L = g_{dn1} + g_{dp1} + g_{dp2}$ et $C_L = C_{gsn1} + 2C_{gdn1} + C_{dbn1} + C_{gsp1} + 2C_{gdp1} + C_{dbp1} + C_{gsp2} + C_{dbp2} + C_{buffer}$, où V_{out} est la tension de sortie différentielle, V_{in} la tension d'entrée différentielle, g_m la transconductance des transistors, g_d la conductance du canal, C_{gs} la capacité grille-source, C_{gd} la capacité grille-drain, C_{db} la capacité drain-substrat et C_{buffer} la capacité de charge du VCO. La fréquence d'oscillation est alors obtenue en égalisant le module du gain en tension à 1 :

$$f_{osc} = \frac{1}{2\pi} \sqrt{\frac{g_{mn1}^2 - (-g_{mp1} + g_{mp2} + G_L)^2}{C_L^2}} \quad (4.15)$$

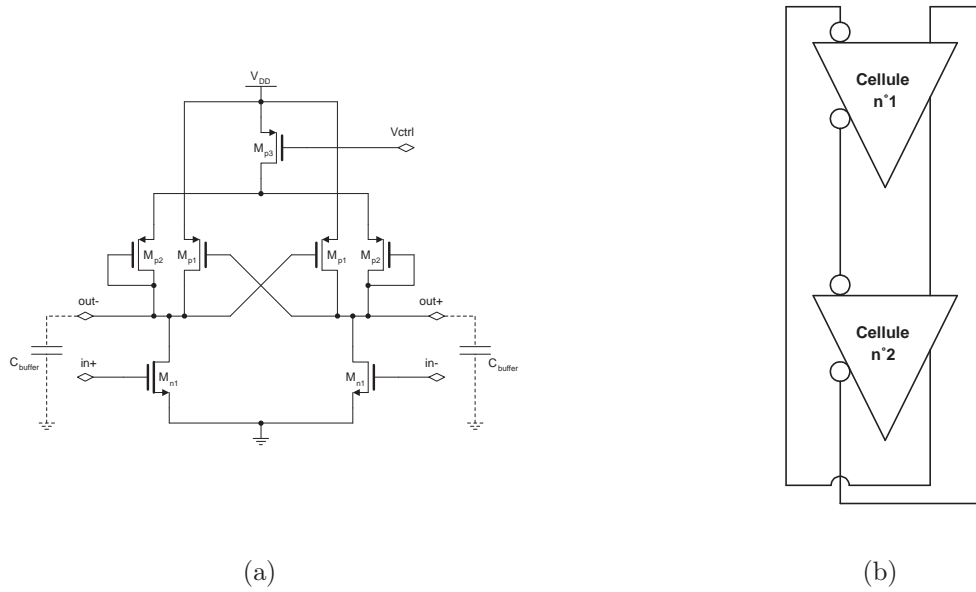


FIG. 4.6 – (a) Schéma électrique de la cellule à retard (b) Schéma bloc de l'oscillateur en anneau

4.2.2 Étude du bruit de phase

De nombreuses études concernant le bruit de phase ont été menées et plusieurs modèles ont été développés [6, 13–20], chacun de ces modèles n'étant généralement applicable qu'à un certain type d'oscillateur. Outre le fait que ces modèles reposent le plus souvent sur une approche empirique de la prise en compte de la conversion de certaines sources de bruit, tel que le bruit en $1/f$, en bruit de phase, ils sont pour la plupart peu adaptés à l'étude des oscillateurs en anneau. De ce fait, l'étude du bruit de cet oscillateur repose sur le modèle de MM. Hajimiri et Lee [8], modèle le plus adapté à la structure considérée. Commençons par calculer la valeur quadratique moyenne Γ_{rms} de la fonction de sensibilité impulsionnelle ISF (cf paragraphe 4.1.1.3). L'ISF approchée pour cet oscillateur est représentée sur la figure 4.7.

$$\Gamma_{rms}^2 = \frac{2}{\pi} \int_0^{\pi/2} x^2 dx = \frac{\pi^2}{12} \quad (4.16)$$

le bruit de phase est donné par l'équation suivante :

$$\mathcal{L}(\Delta f) = 10 \log \left(\frac{\Gamma_{rms}^2}{8\pi^2 f_{off}^2} \cdot \frac{\left(\frac{i_n}{\Delta f}\right)_{total}}{q_{max}^2} \cdot N \right) \quad (4.17)$$

où $N = 4$ est le nombre de cellules élémentaires composant l'oscillateur, Δf est la fréquence de décalage à laquelle le bruit de phase est calculé, $q_{max} = C_L V_{out}$ avec C_L la

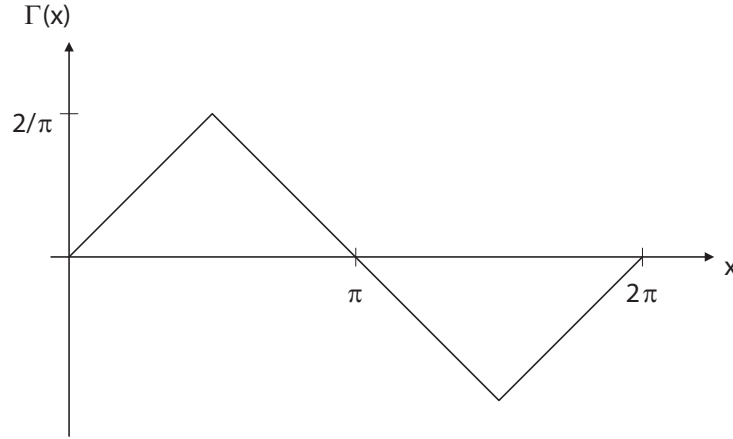


FIG. 4.7 – ISF approchée de l'oscillateur en anneau

capacité totale du circuit définie précédemment et V_{out} l'amplitude crête-crête de la tension de sortie. La densité spectrale de bruit $\left(\frac{i_n^2}{\Delta f}\right)_{total}$ vaut :

$$\left(\frac{i_n^2}{\Delta f}\right)_{total} = 4kT\gamma(g_{mn1} + g_{mp1} + g_{mp2}) \quad (4.18)$$

où $\gamma = 3$ est un facteur multiplicatif pour les composants à canal court. Avec $(W/L)_{n1} = 15/0,28\mu m$, $(W/L)_{p1} = 20/0,28\mu m$ et $(W/L)_{p2} = 12/0,28\mu m$ on obtient $C_L = 540fF$, $V_{out} = 2,4V$, $g_{mn1} = 4,39mS$, $g_{mp1} = 3,1mS$ et $g_{mp2} = 0,75mS$. Le bruit de phase calculé pour une fréquence d'oscillation de 2,45GHz est donc 96,2dBc/Hz à 500kHz de décalage. Le bruit de phase simulé, pour la même fréquence de décalage, est de -95dBc/Hz, soit une erreur de 1,25% entre théorie et simulation.

4.2.3 Évolutions et optimisations de la structure

4.2.3.1 première évolution : bruit de phase et stabilité thermique

A partir de la structure présentée sur la figure 4.6(a), plusieurs modifications ont été apportées de façon à améliorer les performances et permettre l'utilisation de cet oscillateur dans une PLL modulée en boucle ouverte.

i. Amélioration du bruit de phase.

La première modification vise à réduire le niveau du bruit de phase. En effet, lorsque la PLL fonctionne en mode émission, cet oscillateur va être modulé directement sans contre-réaction de la boucle. Son bruit sera donc directement appliqué à l'étage suivant dans la chaîne d'émission (i.e. l'amplificateur de puissance) sans être filtré. Le bruit de phase de l'oscillateur doit donc être suffisamment faible pour satisfaire les spécifications

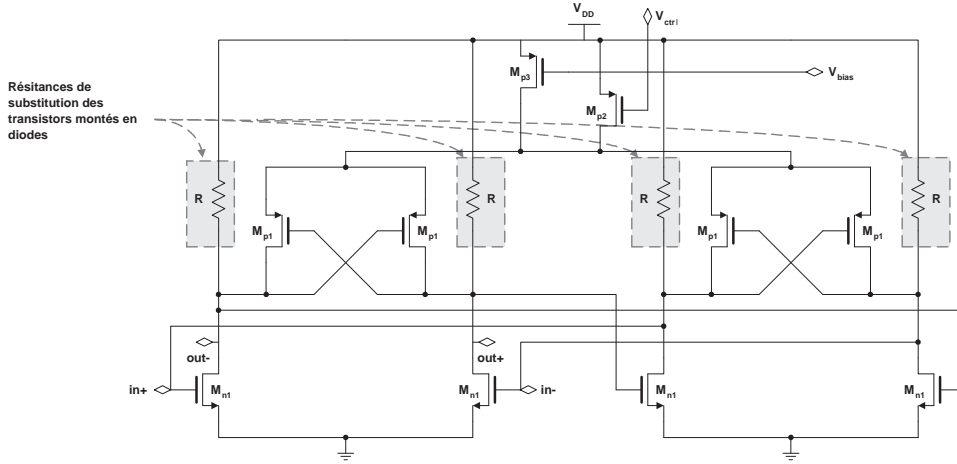


FIG. 4.8 – Schéma électrique du VCO en anneau modifié

système concernant la pureté spectrale du signal à émettre. Pour réduire ce bruit, il faut se reporter à l'équation 4.17 qui permet de quantifier les contributions en bruit de chaque élément de la cellule. Plusieurs paramètres peuvent être modifiés pour conduire au résultat souhaité, par exemple il est possible d'augmenter q_{max} en ajoutant des capacités dans le circuit. Cependant, comme on peut le voir dans l'équation 4.15, une telle opération conduirait également à la réduction de la fréquence d'oscillation, réduction qui pourrait être compensée par une augmentation de la taille des transistors d'entrée M_{n1} mais cela augmenterait leur contribution en bruit et donc le bruit de phase du VCO ainsi que sa consommation. En étudiant conjointement les équations 4.17 et 4.15, il apparaît que les seuls éléments susceptibles d'être modifiés sans changer la fonctionnalité de la cellule sont les transistors montés en diode M_{p2} .

En déplaçant le contrôle directement sur la résistance négative on va pouvoir remplacer ces transistors par des résistances passives, connectées entre le drain des MOS M_{n1} et l'alimentation. Ces résistances ne ramèneront que du bruit thermique et donc contribueront de façon plus réduite au bruit de phase. En effet, la densité spectrale de la source de bruit équivalente des transistors montés en diode utilisés dans le circuit de la figure 4.6(a) est :

$$\frac{\overline{i_n}^2}{\Delta f_{mp2}} = 4kT\gamma g_{mp2} = 2,35 \cdot 10^{-22} A^2/Hz \quad (4.19)$$

alors que la densité spectrale de la source de bruit équivalente des résistances R utilisées dans le nouveau montage de la figure 4.8 est :

$$\frac{\overline{i_n}^2}{\Delta f_R} = \frac{4kT}{R} = 1,67 \cdot 10^{-23} A^2/Hz \quad (4.20)$$

la contribution en bruit des résistances est donc 12 fois plus faible que celle des diodes. Cette contribution des résistances devient donc négligeable devant la contribution des éléments actifs du circuit, en réduisant le nombre de composants actifs on va donc réduire le bruit de phase du circuit.

Dans ce nouveau montage proposé, illustré sur la figure 4.8, lorsque la tension de grille de M_{p2} augmente le courant injecté décroît, réduisant ainsi la résistance négative formée par les transistors M_{p1} . La résistance de charge totale de la paire d'entrée différentielle augmente alors et réduit la fréquence d'oscillation.

Un deuxième transistor de contrôle (M_{p3}) a également été ajouté de façon à optimiser la plage de contrôle du VCO. En effet, en fixant sa tension de grille V_{bias} , on va injecter un courant fixe dans les cellules qui va décaler la fréquence du VCO et permettre de garantir l'oscillation quelle que soit la valeur de la tension de contrôle V_{ctrl} appliquée sur M_{p2} .

Le schéma équivalent petit signal de la cellule proposée, sans transistors de contrôle (donc avec la charge active directement connectée au V_{DD}), est représenté figure 4.9 avec

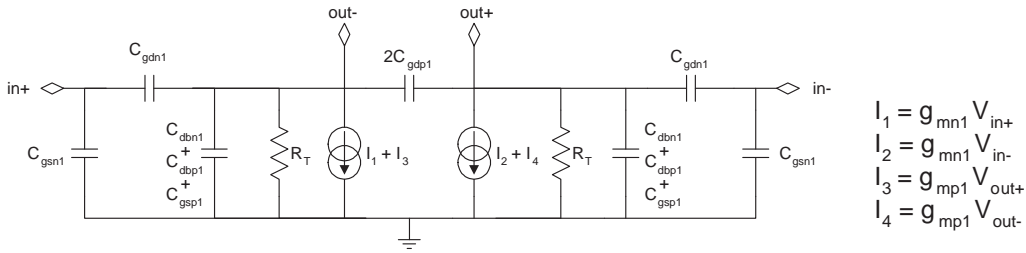


FIG. 4.9 – Schéma équivalent de la cellule à retard

$R_T = r_{dsn1} // r_{dsp1} // R$, V_{out} est la tension de sortie différentielle, V_{in} la tension d'entrée différentielle, g_m la transconductance des transistors, r_{ds} la résistance du canal, C_{gs} la capacité grille-source, C_{gd} la capacité grille-drain et C_{db} la capacité drain-substrat des transistors. La fonction de transfert en tension du circuit présenté figure 4.9 s'exprime selon l'équation suivante :

$$A(s) = \frac{V_{out}(s)}{V_{in}(s)} = \frac{g_{mn1} R_T \left(1 + s \frac{C_{gdn1}}{g_{mn1}}\right)}{(1 - R_T g_{mp1}) \left(1 + s \frac{R_T C_T}{1 - R_T g_{mp1}}\right)} \quad (4.21)$$

avec $C_T = C_{gdn1} + C_{dbn1} + C_{gsp1} + C_{dbp1} + C_{buffer}$, C_{buffer} étant la capacité de charge du VCO. Cette équation permet de déterminer la fréquence d'oscillation f_{osc} telle que $|A(j2\pi f_{osc})| = 1$:

$$f_{osc} = \frac{1}{2\pi} \sqrt{\frac{g_{mn1}^2 - \left(\frac{1}{R} - g_{mp1}\right)^2}{C_T^2 - C_{gdn1}^2}} \quad (4.22)$$

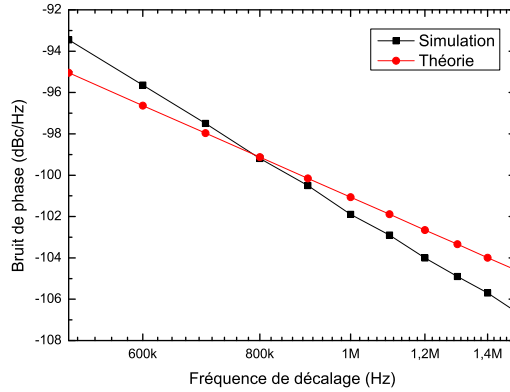


FIG. 4.10 – Comparaison du calcul théorique du bruit de phase avec les résultats de simulation

Revenons sur le calcul de bruit de phase en utilisant la valeur approchée de Γ_{rms} adaptée aux oscillateurs en anneau [8] :

$$\Gamma_{rms} = \sqrt{\frac{2\pi^2}{3\eta^3} \frac{1}{N^{1,5}}} \quad (4.23)$$

où η est une constante de proportionnalité dépendante du type d'oscillateur. Dans le cas présent, c'est à dire un oscillateur différentiel, $\eta = 0,9$ donc $\Gamma_{rms} \approx 3/N^{1,5}$ soit, avec $N = 4$, $\Gamma_{rms} \approx 3/8$. Concernant la densité spectrale de puissance de bruit totale due aux sources de courant de bruit présentes dans le circuit, nous obtenons pour chaque cellule élémentaire :

$$\left(\frac{\overline{i_n^2}}{\Delta f}\right)_{total} = 4kT\gamma \left[g_{mn1} + g_{mp1} + \frac{1}{\gamma R} + \frac{1}{4}(g_{mp2} + g_{mp3}) \right] \quad (4.24)$$

où $\gamma = 3$. En utilisant les transistors et les conditions de simulation précisées ci-après, on obtient $\left(\frac{\overline{i_n^2}}{\Delta f}\right)_{total} = 6,33 \cdot 10^{-22} A^2/Hz$, $C_T = 484,8 fF$ et $V_{out} = 1,4V$ d'où $q_{max} = C_T V_{out} = 678,7 fC$. En injectant ces paramètres dans l'équation 4.17, la valeur approchée du bruit de phase est :

$$\mathcal{L}(\Delta f) \approx 10 \log \left(\frac{78,296}{\Delta f^2} \right) \quad (4.25)$$

soit pour $\Delta f = 1MHz$, $\mathcal{L}(1MHz) \approx -101,6 dBc/Hz$. La figure 4.10 permet de comparer et de valider les résultats de simulation concernant le bruit de phase. En effet, la comparaison entre théorie et simulation montre une bonne corrélation, avec un écart maximum inférieur à 2%.

La figure 4.11 présente les résultats de simulation concernant le VCO proposé (cf

figure 4.8). Les caractéristiques du circuit simulé en utilisant la technologie HCMOS9 STMicroelectronics sont les suivantes : $(W/L)_{p1} = 70/0,28\mu m$, $(W/L)_{n1} = 45/0,28\mu m$, $(W/L)_{p2} = 40/0,28\mu m$, $(W/L)_{p3} = 55/1\mu m$, $R = 887.5\Omega$ (les résistances utilisées étant en polysilicium). Le circuit a été simulé dans les conditions suivantes : $V_{DD} = 2,5V$, résistances parasites sur l'alimentation et la masse de 5Ω , $T = 50^\circ C$, moteur de simulation : Spectre. La consommation du VCO est de $7,5mA$. Les résultats de simulation sont résumés dans le tableau 4.3.

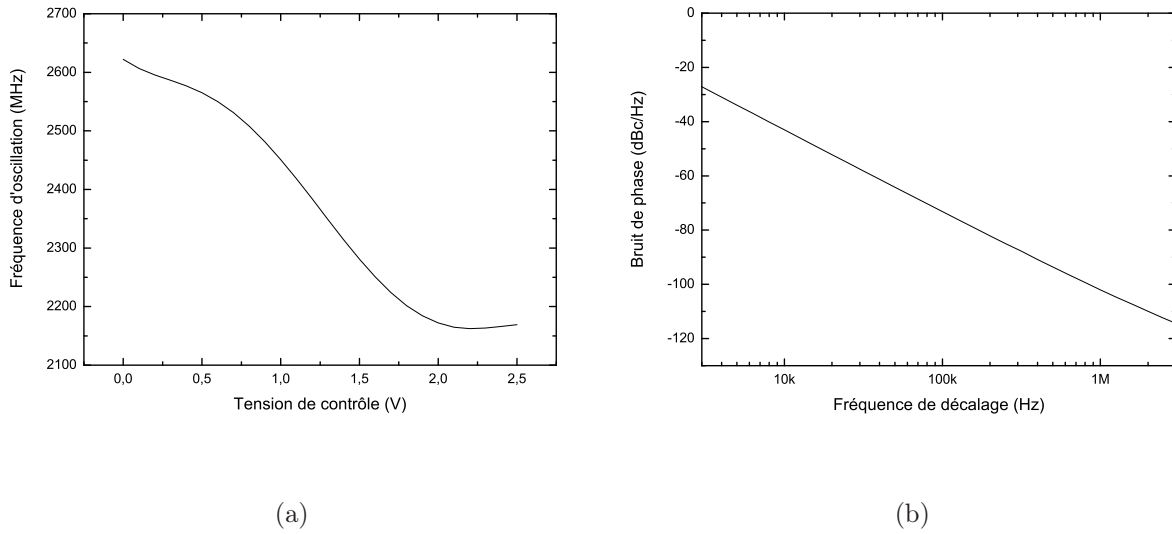


FIG. 4.11 – (a) Plage de fréquence du VCO (b) Profil de bruit de phase simulé

Puissance de sortie	-17,19 dBm
Dérive en température	1291,5 ppm (soit 516 MHz entre $-40^\circ C$ et $120^\circ C$)
Bruit de phase (@1MHz)	-102 dBc/Hz
Sensibilité aux variations d'alimentation (pushing)	785,6 MHz/V (dans la plage $V_{dd} \pm 10\%$)
Sensibilité aux variations de charge (pulling)	24,56 MHz
Bande de fréquence	453 MHz (2,169-2,622 GHz)
gain de conversion	181,2 MHz/V
plage de contrôle (V_{ctrl})	0-2,5 V (linéaire de 0,75 V à 1,75V)
Consommation	18,75 mW (12,73 dBm)
Surface silicium	$40 \mu m \times 40 \mu m$

TAB. 4.3 – Tableau récapitulatif des caractéristiques du VCO en anneau

ii. Amélioration de la stabilité en température.

D'après l'équation 4.22, la fréquence d'oscillation du VCO dépend directement de la différence des transconductances des transistors M_{n1} et M_{p1} . Or ces deux types de transistors ont des comportements sensiblement différents en température. En effet, la transconductance des transistors MOS en régime saturé en fonction de la température T s'exprime selon :

$$g_{mn}(T) = \mu_n(T)C_{ox}\frac{W}{L}(V_{GS} - V_{th}(T)) \quad (4.26a)$$

$$g_{mp}(T) = \mu_p(T)C_{ox}\frac{W}{L}(V_{SG} - |V_{th}(T)|) \quad (4.26b)$$

et dépend de la température à travers la mobilité des porteurs et la tension de seuil. Concernant la mobilité, si on se reporte au modèle de mobilité constante [21], la mobilité des électrons et des trous varie en température selon l'équation suivante :

$$\mu_{const} = \mu_L \left(\frac{T}{T_0} \right)^{-\zeta} \quad (4.27)$$

où $T_0 = 300K$, T est la température du silicium, μ_L est la mobilité associée à la diffusion des phonons dans le substrat. Le tableau 4.4 liste les valeurs des paramètres μ_L et ζ pour les électrons et les trous dans le silicium. Ces paramètres conditionnent le comportement

Paramètre	électrons	trous
$\mu_L(cm^2/(Vs))$	1417	470,5
ζ	2,5	2,2

TAB. 4.4 – Valeurs des paramètres du modèle de mobilité constante pour le silicium

sensiblement différent des mobilités des électrons et des trous. Ces mobilités, calculées à l'aide du modèle de Masetti [22], sont représentées sur la figure 4.12(a). Concernant la tension de seuil V_{th} , ses variations en température sont régies par l'équation suivante [23] :

$$V_{th}(T) = V_{th}(T_0) + \left(K_{T1} + \frac{K_{T1L}}{L_{eff}} + K_{T2}V_{BS} \right) \left(\frac{T}{T_0} - 1 \right) \quad (4.28)$$

où K_{T1} est le coefficient thermique de V_{th} , K_{T1L} est un coefficient permettant la prise en compte de la dépendance de V_{th} à la longueur du canal, L_{eff} est la longueur de canal effective, K_{T2} est un coefficient permettant la prise en compte des effets substrat et V_{BS} est la tension substrat-source.

A partir des deux équations précédentes (illustrées sur la figure 4.12(a)), il est possible de déterminer les variations des transconductances des transistors N et P en température. La figure 4.12(b) illustre ces variations pour les transistors M_{n1} et M_{p1} . La figure

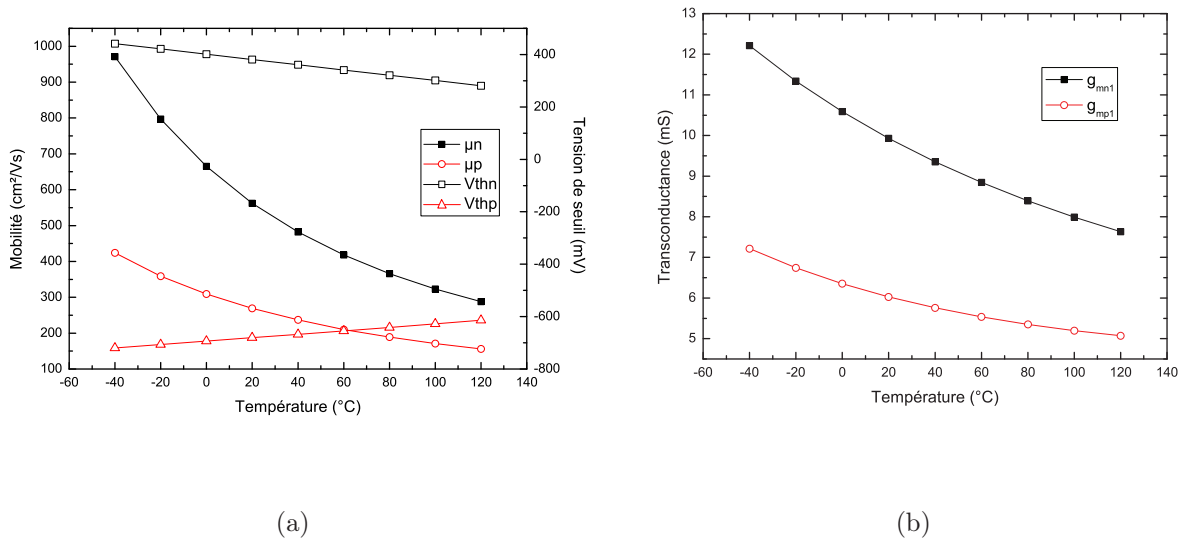


FIG. 4.12 – (a) Variations en température de la mobilité et de la tension de seuil (b) Variations en température de la transconductance

4.12(b) permet d'apprécier le fait que la transconductance de M_{n1} décroît plus rapidement que celle de M_{p1} , et d'après l'équation 4.22 cela va se traduire par une diminution de la fréquence d'oscillation lorsque la température augmente. Cette dérive fréquentielle a été simulée sur une plage de température allant de -40°C à 120°C et s'élève à 516MHz , ce qui correspond à un coefficient thermique de $-1291,49\text{ppm}/^{\circ}\text{C}$. Or une telle dérive est inacceptable dans le cadre d'une modulation de la fréquence du VCO en boucle ouverte puisqu'elle est supérieure à la bande de fréquence du VCO qui serait donc incapable de la compenser. Pour résoudre ce problème, plusieurs techniques ont été proposées dans la littérature, reposant notamment sur un équilibrage des mobilités des nMOS et des pMOS par des techniques de dimensionnement des transistors [24] ou sur un circuit de polarisation compensé en température basé sur l'utilisation d'amplificateurs [25]. Cependant, ces techniques conduisent à des circuits complexes et parfois difficiles à calibrer.

Dans notre cas, la solution la plus directe consiste à compenser cette décroissance trop rapide de g_{mn1} en injectant dans les transistors M_{n1} , à travers les résistances R , un courant augmentant proportionnellement à la température. Pour ce faire, la solution proposée, dont le principe est illustré par la figure 4.13, consiste à injecter un deuxième signal de contrôle sur le VCO par l'intermédiaire d'un circuit dérivé d'un capteur de température. Ce circuit extrêmement simple fournit un courant dont le niveau et le gain en température sont paramétrables. Il est représenté en figure 4.14(a), en considérant que les transistors M_{p1} et M_{p2} sont identiques et fonctionnent en régime saturé, et que l'effet Early est négligeable, le courant I_{PTAT} délivré est proportionnel à la température (d'où l'appellation courant PTAT pour "Proportional To Absolute Temperature") et s'exprime

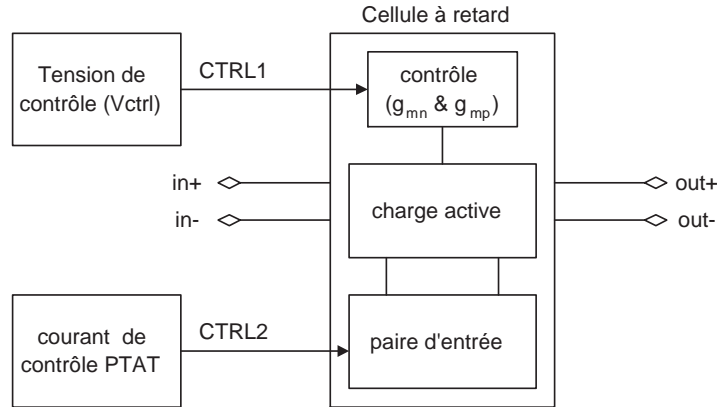


FIG. 4.13 – Schéma de principe de la compensation en température

selon l'équation 4.29 :

$$I_{PTAT} = \mu_P C_{ox} \frac{W}{2L} \left(\frac{R_1}{2(R_1 + R_2)} V_{DD} - |V_{th}| \right)^2 \quad (4.29)$$

En effectuant une régression linéaire à partir de cette équation, on obtient une erreur relative de $3 \cdot 10^{-4}$, ce qui justifie l'appellation « courant PTAT » (la linéarité de ce courant est illustrée sur la figure 4.14(b)). Cette équation montre également que le niveau du courant de sortie et le gain du circuit PTAT peuvent être réglés séparément : le rapport R_2/R_1 permet d'ajuster le niveau alors que les rapports W_{pa}/L_{pa} et W_{pb}/L_{pb} agissent directement sur le gain en température. Au premier ordre, ce courant peut être considéré comme linéaire. Plusieurs « branches » identiques peuvent être placées en parallèle, pour le VCO proposé un courant variant de 0,5mA à 2,7mA sur la plage allant de -40°C à 120°C est nécessaire pour compenser la dérive de la fréquence d'oscillation. Ce courant est obtenu (cf figure 4.14(b)) en utilisant quatre « branches » identiques avec $R_1 = 4,5k\Omega$, $R_2 = 5k\Omega$, $(W/L)_{pa} = (W/L)_{pb} = 180/0,28\mu\text{m}$. On peut noter que le coefficient thermique des résistances n'intervient pas dans ce circuit. En effet, ces résistances sont utilisées pour fixer la tension de grille des transistors M_{pa} et le montage en diviseur de tension annule les effets de la température sur cette tension.

Cette compensation est intéressante par le fait qu'elle ne modifie pas la fonctionnalité du VCO. En effet, la structure de VCO proposée offre maintenant deux contrôles de fréquence indépendants permettant d'ajuster chacun un paramètre (i.e. la plage de fréquence et la stabilité thermique) sans affecter l'autre. En agissant directement sur la cause de la dérive en température (ici les transistors M_{n1} , cf figure 4.8), les autres éléments constituant l'oscillateur (la charge active et le contrôle) ne sont pas affectés. La figure 4.15(a) permet de visualiser l'effet du PTAT sur g_{mn1} et g_{mp1} et met en relief la modification

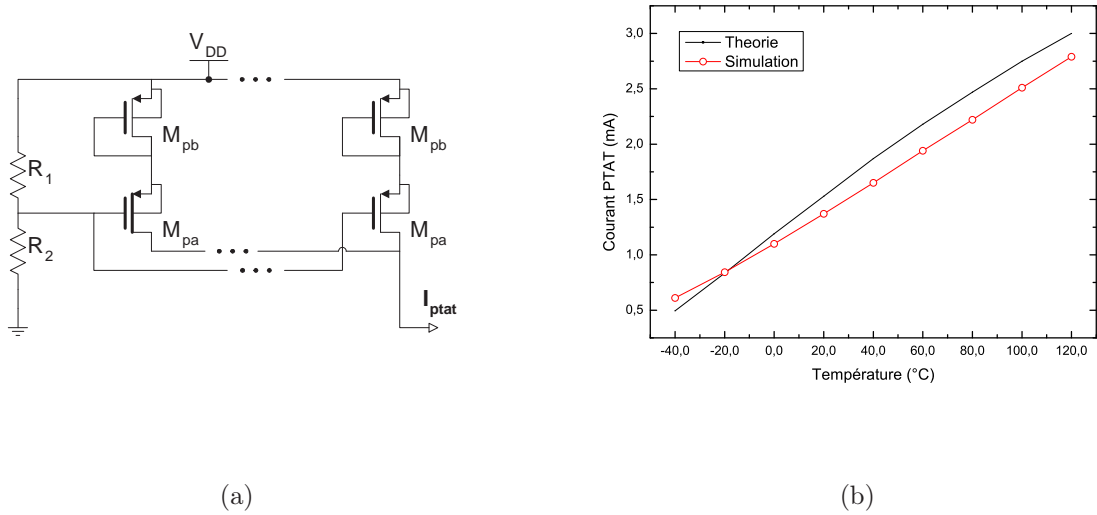


FIG. 4.14 – (a) Schéma du circuit PTAT (b) Comparaison théorie/simulation du courant fournit en utilisant 4 branches

du comportement des transistors M_{n1} et la conservation de celui des transistors M_{p1} en température.

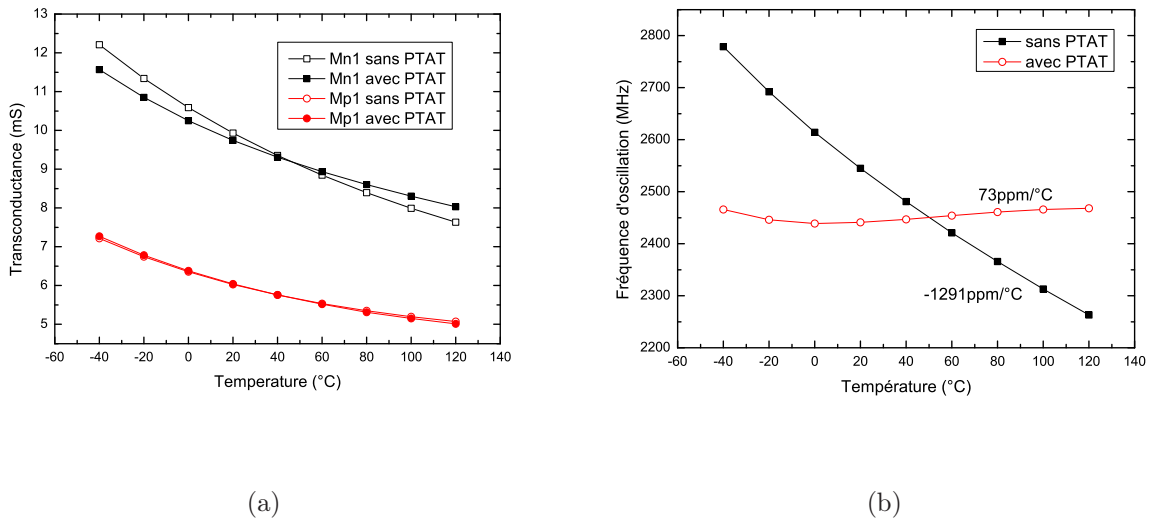
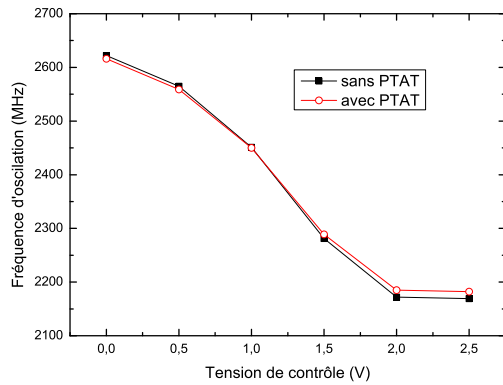
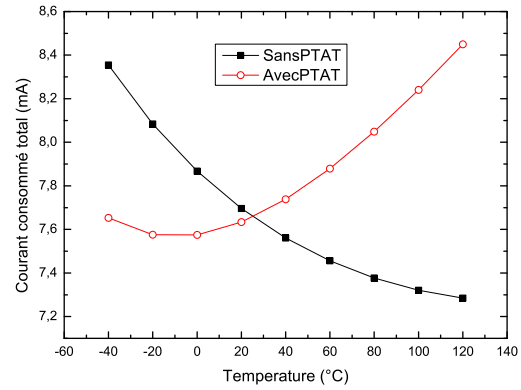


FIG. 4.15 – (a) Effets du circuit PTAT sur la transconductance de M_{n1} et M_{p1} (b) et sur la dérive fréquentielle.

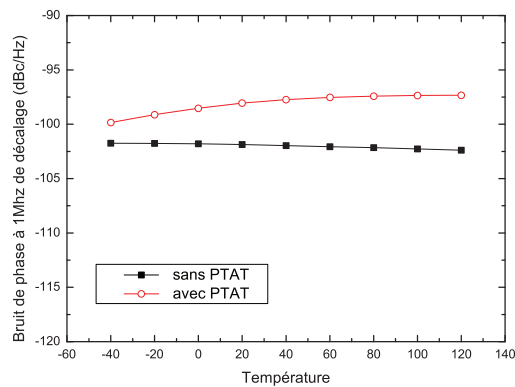
La figure 4.15(b) illustre l'efficacité de la compensation en température. En effet, la dérive fréquentielle du VCO en température a été réduite de 516MHz à seulement 29MHz, soit une réduction d'un facteur 17 du coefficient thermique K_T de l'oscillateur de -1291,5ppm/°C à 73ppm/°C. Les figures 4.16(a), 4.16(b) et 4.16(c) viennent confirmer



(a)



(b)



(c)

FIG. 4.16 – Effets du circuit PTAT (a) sur la plage de fréquence (b) sur le courant consommé (c) sur le bruit de phase à 1MHz de la porteuse.

le fait que cette compensation ne modifie pas les caractéristiques du VCO autre que K_T . En effet, la plage d'oscillation passe de 453MHz à 434MHz, soit une réduction de 4%, et la consommation en courant moyenne sur la plage de température considérée passe de 7,67mA sans PTAT à 7,87mA, soit une hausse de 2,5%. Concernant le bruit de phase, l'augmentation maximum du niveau de bruit de phase à 1MHz de la porteuse est de 5dB sur la plage de température, l'augmentation moyenne étant de 3,9dB. Ces résultats sont résumés dans le tableau 4.5. On peut noter également qu'à température ambiante et pour une tension de contrôle moyenne (autour de $V_{DD}/2 = 1,25V$) le comportement du VCO avec et sans compensation reste totalement inchangé (cf figures 4.16(a) et 4.16(b)), l'ajout

du circuit de compensation est donc totalement transparent au niveau VCO global dans les conditions d'utilisation typiques.

La méthode proposée ici permet donc de compenser la dérive fréquentielle en tempé-

	sans PTAT	avec PTAT	variation
plage de fréquence(MHz, à 50°C)	453	434	-4%
bruit de phase moyen @ 1MHz (dBc/Hz)	-102	-98,1	+3,8%
courant consommé moyen (mA)	7,67	7,87	+2,5%
coefficient thermique (ppm/°C)	-1291,5	73	-94,3%

TAB. 4.5 – Récapitulatif des caractéristiques du VCO sans et avec compensation en température

rature au premier ordre avec un coefficient thermique K_T optimal de 73ppm/ ° C. Afin de réduire encore ce coefficient, une compensation du deuxième ou troisième ordre est nécessaire. Cela entraînerait une complexité croissante de la structure et se traduirait par une augmentation de la consommation, de la surface de silicium et probablement une dégradation du bruit de phase. Il convient donc de choisir un compromis en fonction des applications visées. Dans notre contexte faible coût, faible consommation, il apparaît clairement que cette complexité irait à l'encontre des critères principaux de conception de notre système, de plus le coefficient thermique obtenu avec notre compensation de premier ordre satisfait pleinement le cahier des charges.

4.2.3.2 deuxième évolution : modification du gain de conversion K_{VCO}

Pour réduire le niveau de bruit en sortie d'une PLL entière, un VCO à faible gain est préférable [26], ce qui va à l'encontre de la nécessité d'avoir un gain K_{VCO} suffisamment grand pour, d'une part, couvrir toute la bande utile du système et, d'autre part, pouvoir compenser les variations technologiques. Dans le but de satisfaire ces exigences, le circuit précédent a été modifié de façon à pouvoir synthétiser plusieurs bandes de fréquences. Ces bandes, illustrées sur la figure 4.17, vont se recouvrir partiellement et chacune sera centrée sur la fréquence centrale d'un des canaux du système. De cette façon, avec un même oscillateur, il sera possible de couvrir une large bande de fréquence avec un faible gain. Le VCO proposé présente dix plages de fréquences utilisables (il est cependant possible d'en synthétiser un nombre allant de un à X , X dépendant de l'application visée), la plage considérée étant sélectionnée par un signal codé sur quatre bits (le même signal que celui utilisé sur le diviseur de fréquence programmable, cf chapitre 3). De façon à optimiser la stabilité en température, le circuit de compensation PTAT est également modifié et re-calibré pour fournir dix courants correspondants aux dix bandes du VCO. De la même façon, le courant correspondant à la plage considérée est sélectionné grâce au signal issu des

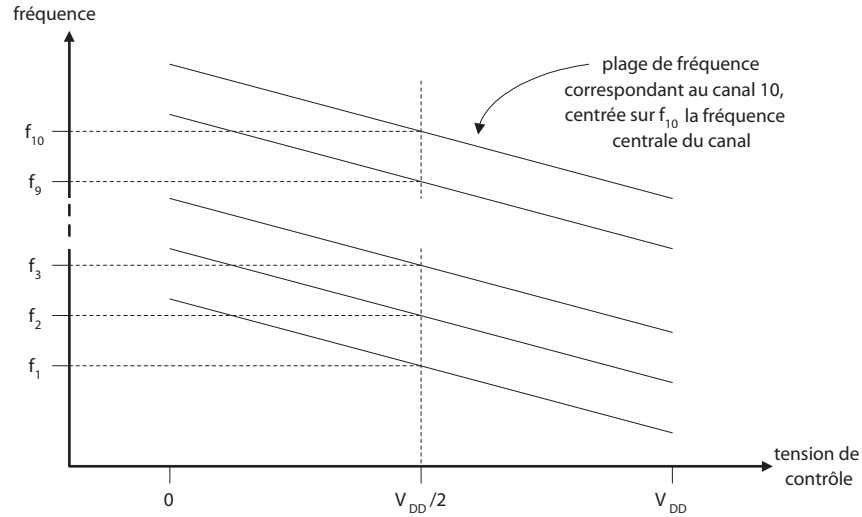


FIG. 4.17 – Schéma de principe des gains multiples du VCO

quatre bits de sélection. La figure 4.18 représente de façon schématique le VCO complet. Pour réaliser ce VCO, la partie contrôle de la cellule à retard a été modifiée. Le transistor

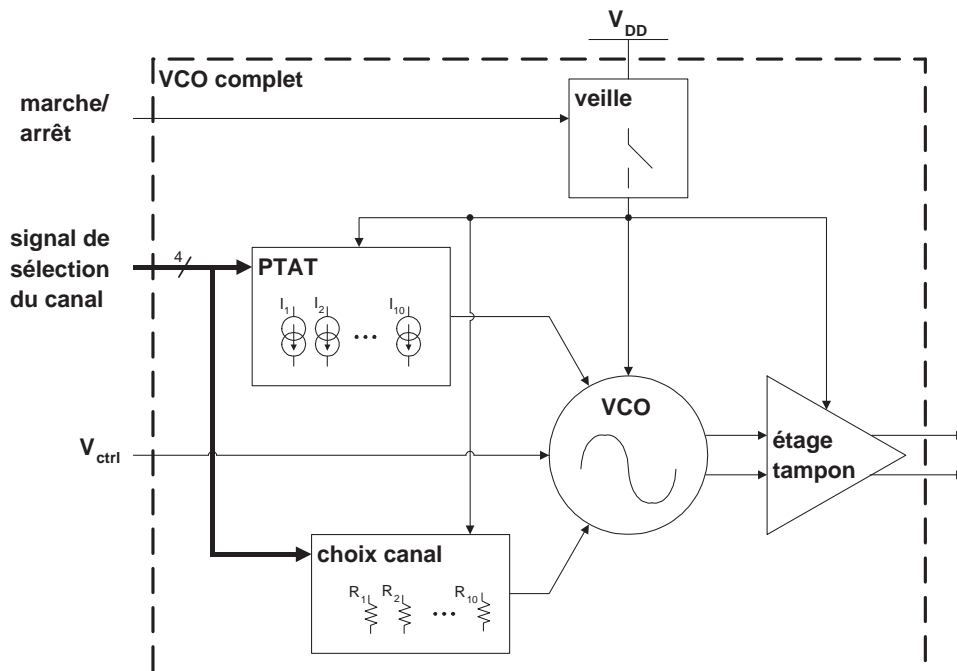


FIG. 4.18 – Schéma de principe du VCO complet

M_{p3} est maintenant utilisé non plus pour injecter un courant fixe dans la cellule mais pour injecter un courant de décalage dépendant du canal choisi. Pour ce faire, il est connecté à un nouveau transistor M_{p4} pour agir en miroir de courant programmable comme illustré sur la figure 4.19. Les tailles des transistors M_{p3} et M_{p4} étant préalablement fixées, en faisant varier la résistance R_{var} on peut commander le courant injecté. Parallèlement, la

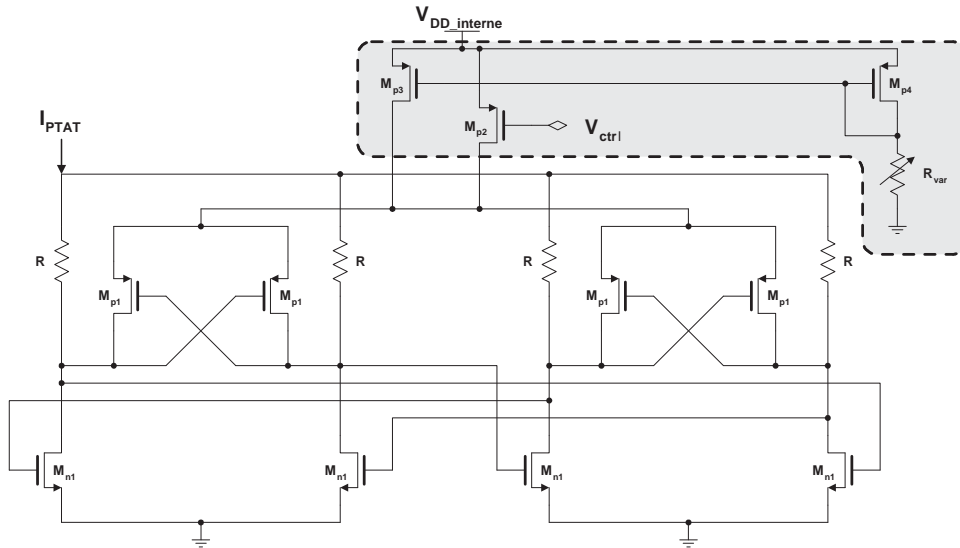


FIG. 4.19 – Schéma du VCO avec gain contrôlable

taille du transistor de contrôle M_{p2} est modifiée de façon à réduire le gain K_{VCO} . Le VCO est donc désormais pourvu de trois signaux de commande : une tension de contrôle agissant sur la fréquence d'oscillation, un courant PTAT agissant sur la stabilité en température et un courant permettant de choisir la gamme de fréquence. Le terme VCO n'est donc plus approprié et nous parlerons désormais de MCO pour « Multi Controlled Oscillator ». D'un point de vue système, le circuit recevra trois signaux : un signal numérique de quatre bits, correspondant au canal considéré, permettant de régler la valeur de R_{var} et I_{PTAT} , un signal analogique V_{ctrl} et un signal numérique *marche/arrêt* de un bit permettant de mettre le MCO en mode veille en coupant simplement l'alimentation. Le détail du circuit permettant le choix du gain en fonction du canal est donné en figure 4.20. La figure 4.21 donne les résultats de simulation du MCO complet. Le gain moyen de cet oscillateur est de $31\text{MHz}/V$, ce gain variant entre $37\text{MHz}/V$ (canal 1) et $25\text{MHz}/V$ (canal 10).

4.2.4 Étage tampon de sortie

Pour garantir un niveau de signal suffisant ainsi qu'une fréquence stable quelle que soit la charge connectée au VCO, un étage amplificateur a été ajouté à la sortie de l'oscillateur (cf figure 4.18). Ce circuit est illustré sur la figure 4.22, il se compose de trois étages d'amplification dont les deux premiers sont identiques et polarisés par un courant de 2mA, le troisième étage est polarisé par un courant de 4,3mA.

4.2.4.1 gain

Cet amplificateur a été simulé à différentes températures ($T = -20^\circ\text{C}, 60^\circ\text{C}$ et 85°C) avec et sans charge, avec $R_1 = 2\text{k}\Omega$, $R_2 = 3\text{k}\Omega$, $R_3 = 4\text{k}\Omega$, $R_4 = 150\Omega$, $R_5 = 1,4\text{k}\Omega$,

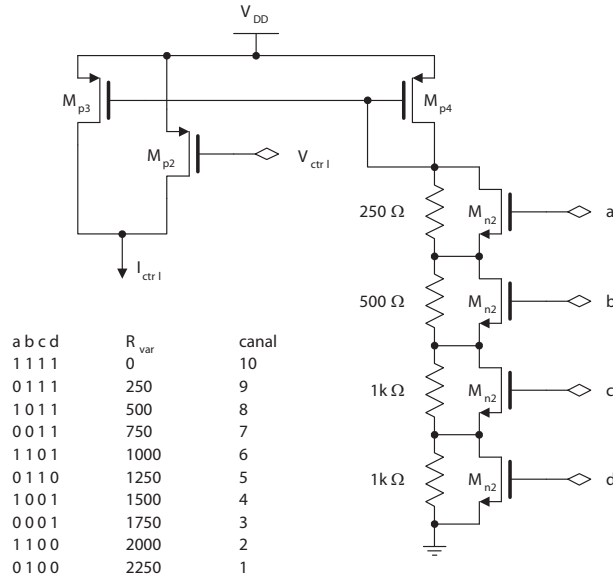


FIG. 4.20 – Schéma du circuit permettant le choix du canal

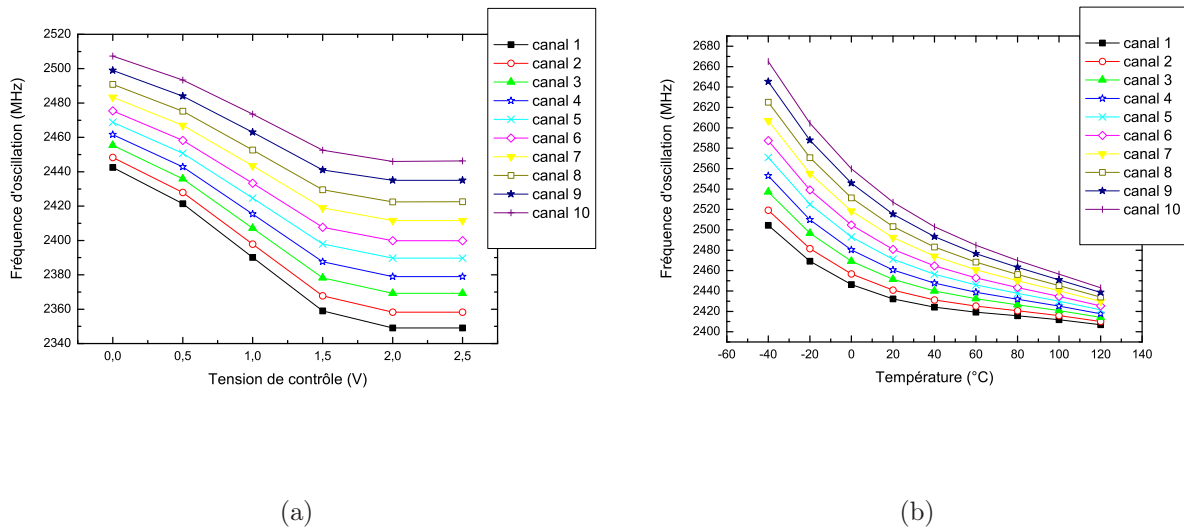


FIG. 4.21 – (a) Plages de fréquences obtenues avec le VCO complet et (b) variations en température

$R_6 = 50k\Omega$, $R_7 = 40k\Omega$, $R_8 = 100\Omega$, $R_9 = 450\Omega$, $C_1 = 500fF$, $C_2 = 1pF$ $(W/L)_{n1} = 25/0,28\mu m$ et $(W/L)_{n2} = 30/0,28\mu m$. La figure 4.23(a) illustre le gain en tension sans charge. Dans la bande de fréquence utile (autour de 2,45GHz), un gain compris entre 10dB et 11dB est obtenu à 60°C, ce qui est suffisant pour l'application considérée.

La figure 4.23(b) illustre le comportement du gain en fonction de la charge présentée à 60°C, on voit que malgré la décroissance du gain cet étage permet de supporter des charges en mode différentiel allant jusqu'à plus de 300fF. Le tableau 4.6 résume les valeurs de

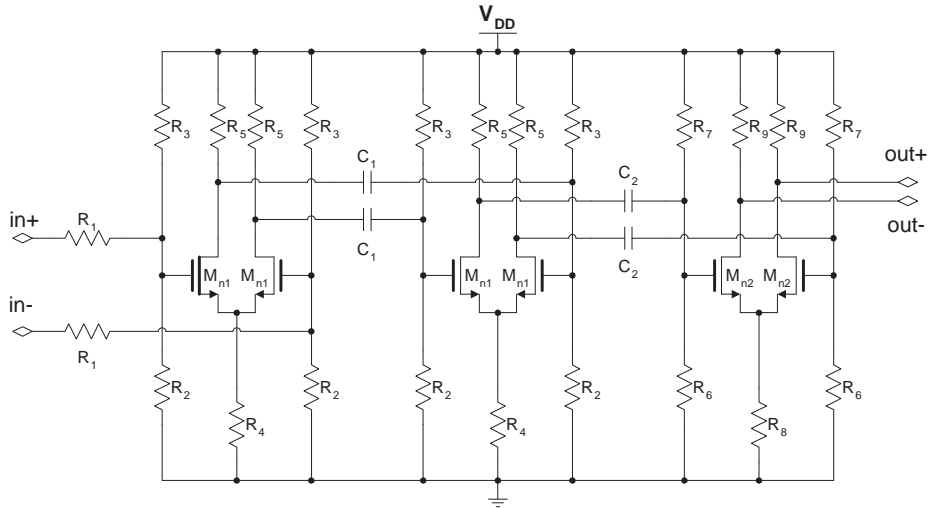


FIG. 4.22 – Schéma de l'étage tampon de sortie

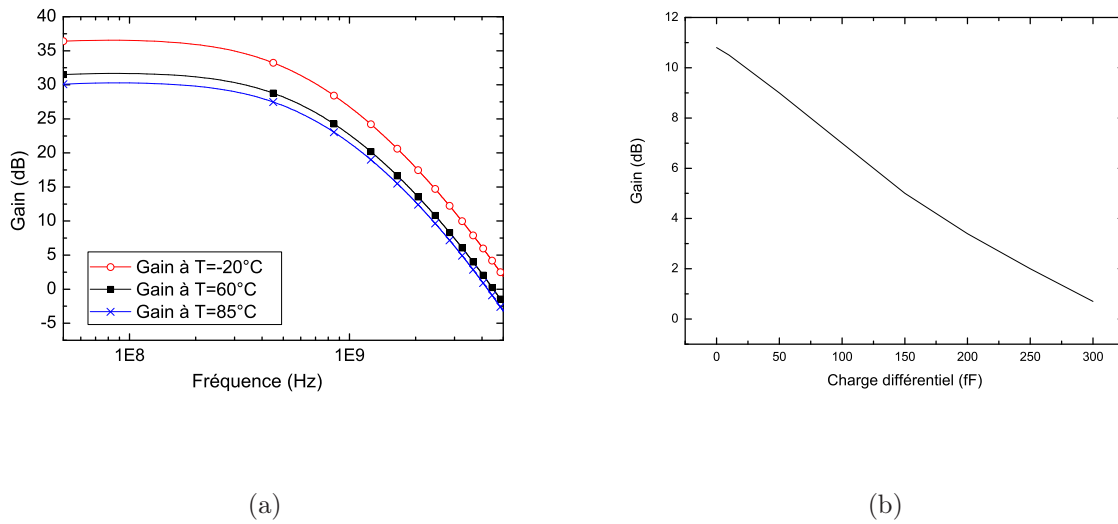


FIG. 4.23 – (a) Gain en tension de l'étage tampon sans charge (b) Variation du gain en fonction de la charge

gain de l'étage sans et avec charge (50fF en différentiel) à 2,45GHz pour les différentes températures.

	-20°C	60°C	85°C
Gain en tension non chargé (dB)	14,7	10,8	9,7
Gain en tension chargé (dB)	12,9	8,9	7,7

TAB. 4.6 – Valeurs du gain de l'étage tampon en fonction de la température

4.2.4.2 linéarité

Outre un gain suffisant, cet étage de sortie doit également présenter une bonne linéarité pour ne pas dégrader la pureté spectrale du signal de sortie du VCO. Pour caractériser la linéarité du circuit la méthode « deux tons » a été employée. Elle consiste à injecter deux signaux sinusoïdaux proches de la fréquence de fonctionnement (i.e. $f_1 = 2,4GHz$ et $f_2 = 2,45GHz$) à l'entrée du circuit et à mesurer l'amplitude des raies spectrales en sortie. Trois couples de raies ont été pris en compte, f_1 et f_2 , $f_2 - f_1$ et $f_2 + f_1$, $2f_2 - f_1$ et $2f_1 - f_2$ qui correspondent respectivement aux raies de premier, deuxième et troisième ordre. Seulement le niveau le plus élevé a été pris en compte pour les raies du deuxième et troisième ordre. Les résultats de simulation pour une charge de 50fF sont présentés sur la figure 4.24, le point de compression à 1dB est obtenu pour un niveau d'entrée de -9,5dB pour lequel le gain vaut 7,5dB. En calculant la différence entre les courbes des premiers, deuxièmes et troisièmes ordres on peut déduire les inter-modulations d'ordre deux et trois (IM2 et IM3). Ainsi, un IM3 de -44dB est obtenu pour des niveaux d'entrée de -18dB, et un IM3 de -17dB est obtenu pour des niveaux d'entrée de -6,7dB.

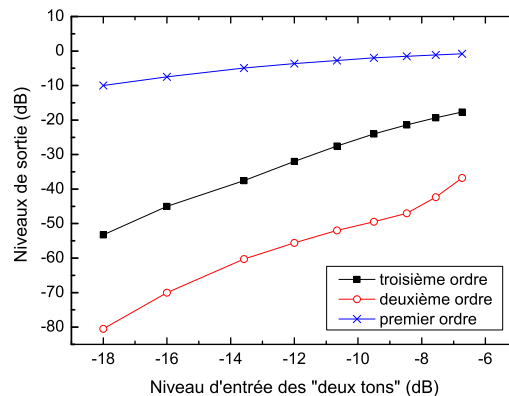
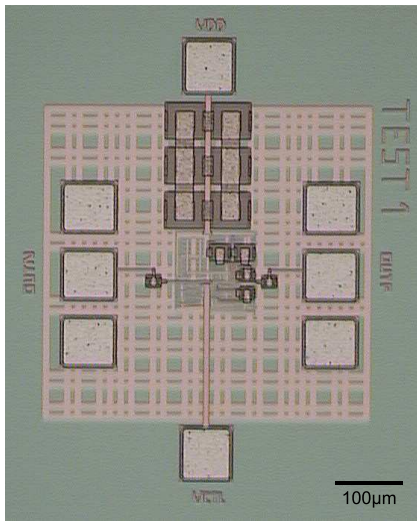


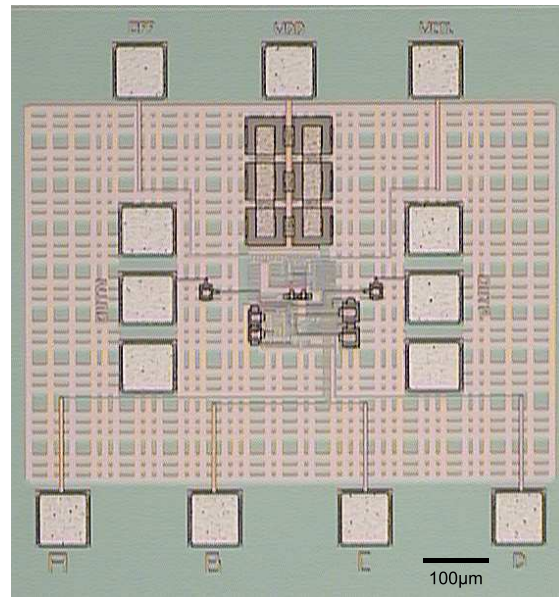
FIG. 4.24 – Niveaux de sortie en fonction de l'amplitude d'entrée

4.3 Performances

Des séries de mesures sous pointes ont été effectuées pour valider le fonctionnement des différentes structures d'oscillateurs. Les mesures ont été réalisées en utilisant un analyseur de spectre *Agilent PSA E4446A*, le *prober* utilisé pour les mesures de bruit de phase est un *Süss MicroTec PM5* placé dans une cage de *Farraday*, celui utilisé pour les mesures en température est un *Süss MicroTec PM8* avec *probe-shield*. Les circuits de tests sont représentés sur la figure 4.25.



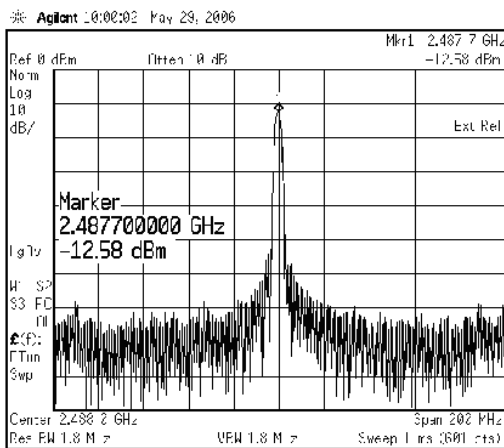
(a)



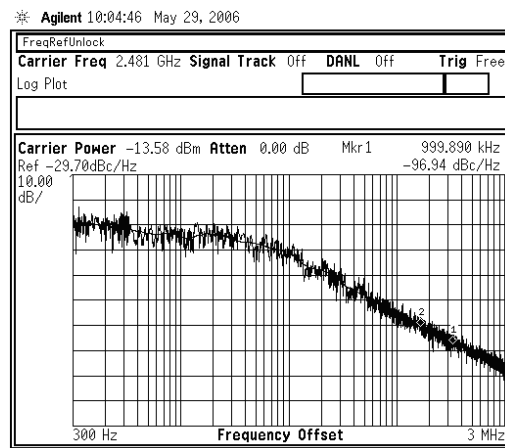
(b)

FIG. 4.25 – Microphotographies des structures de test(a) VCO fort gain et (b) MCO multi gains

4.3.1 VCO fort gain



(a)



(b)

FIG. 4.26 – (a) Spectre de l'oscillateur à fort gain (b) profil de bruit de phase

Le spectre de sortie de l'oscillateur (figure 4.26(a)) présente une bonne pureté, le

niveau de bruit de phase mesuré à 1MHz de la porteuse (figure 4.26(b)) est à -97dBc/Hz, soit seulement 1dB au dessus de la valeur obtenue par simulation. La plage de fréquence mesurée (figure 4.27) est également proche de celle simulée puisqu'elle représente 86% de cette dernière.

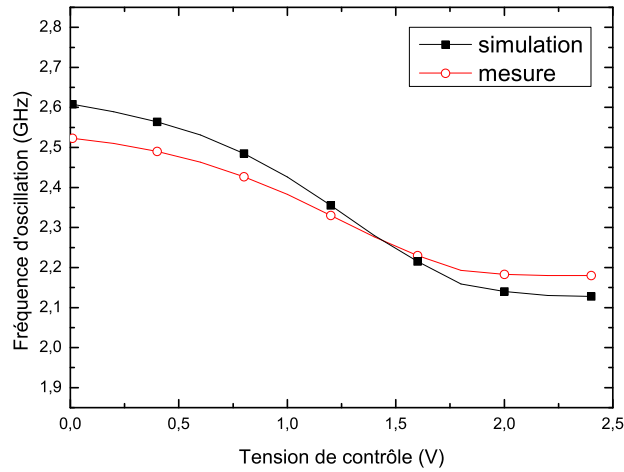


FIG. 4.27 – Comparaison de la plage de fréquence du VCO à fort gain simulée et mesurée

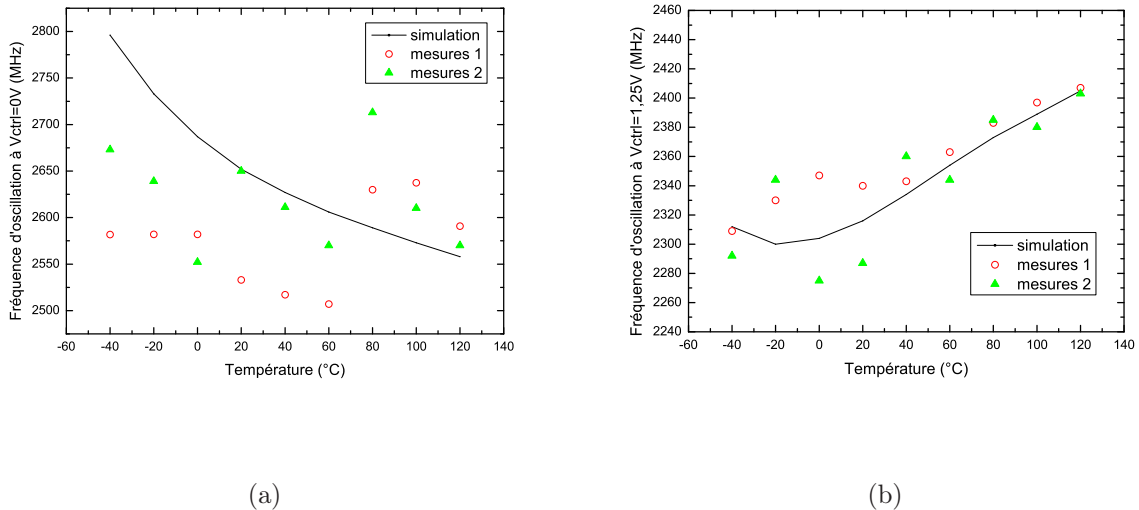


FIG. 4.28 – Comparaison des résultats de simulation et de mesures de la fréquence d'oscillation du VCO à fort gain pour (a) $V_{ctrl}=0V$ (b) $V_{ctrl}=1,25V$

Le coefficient thermique simulé pour $V_{ctrl} = 0V$ est $K_T = -562ppm/^{\circ}C$, les mesures

donnent $K_{T1} = -317ppm/^{\circ}C$ et $K_{T2} = -360ppm/^{\circ}C$. Pour $V_{ctrl} = 1,25V$, la simulation donne $K_T = 280ppm/^{\circ}C$ et les résultats de mesure donnent $K_{T1} = 262ppm/^{\circ}C$ et $K_{T2} = 341ppm/^{\circ}C$. Outre la bonne correspondance entre simulations et mesures, la compensation étant calibrée pour une fréquence de fonctionnement $f_{opt} = 2,45GHz$ ces mesures mettent en évidence le passage d'une sous-compensation (pour $V_{ctrl} = 0V$) lorsque la fréquence est supérieure à f_{opt} à une sur-compensation (pour $V_{ctrl} = 1,25V$) lorsque la fréquence est inférieure à f_{opt} . Cependant, même si la compensation n'est pas optimale sur toute la plage de contrôle du VCO, elle est suffisante pour ramener le coefficient thermique dans une plage où le gain du VCO permet de corriger les dérives en température.

4.3.2 MCO multi gains

Les oscillateurs multi gains utilisés pour les tests sous pointes ont une fréquence de fonctionnement légèrement inférieure à la fréquence nominale du fait de la mise en place du circuit de mise en veille qui a entraîné une réduction de la tension de polarisation des cellules à retard. Cette chute a ensuite été compensée sur les circuits suivants. La fonctionnalité reste néanmoins inchangée, comme l'illustre la figure 4.29(a) représentant les dix plages de fréquences disponibles. Si l'on se place à $V_{ctrl} = V_{DD}/2$, la fréquence obtenue pour le canal X est distante de 10MHz de celle obtenue pour le canal $X - 1$, soit la largeur réelle d'un canal pour notre application.

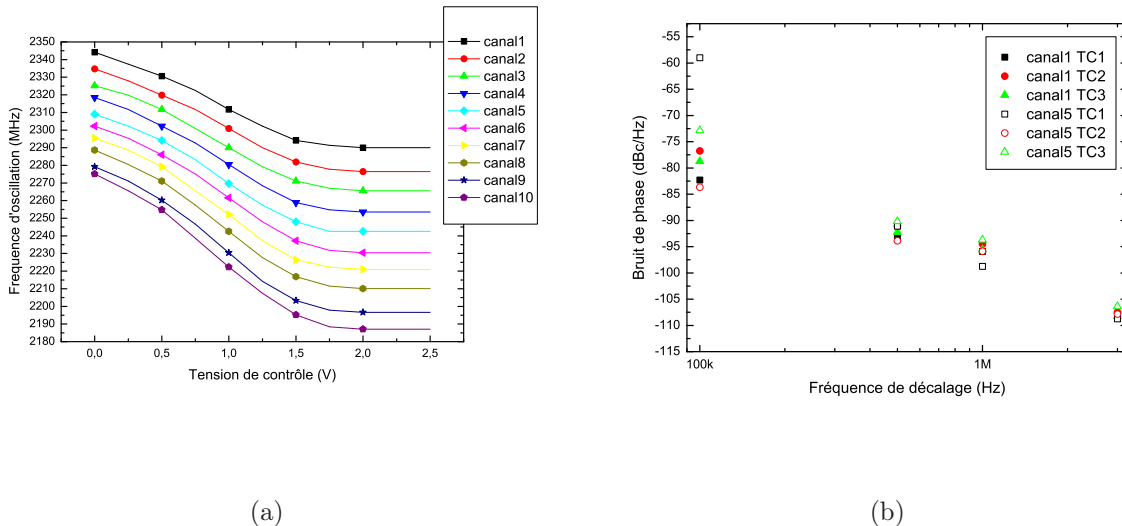


FIG. 4.29 – (a) Mesure des plages de fréquences en fonction du canal (b) bruit de phase en fonction du canal et du circuit mesuré

La figure 4.29(b) illustre la stabilité du bruit de phase du MCO. En effet, pour une

fréquence de décalage donnée, le niveau de bruit de phase reste constant lorsque le canal est modifié (ici, il s'agit des canaux 1 et 5) mais également lorsque l'on change de circuit de test.

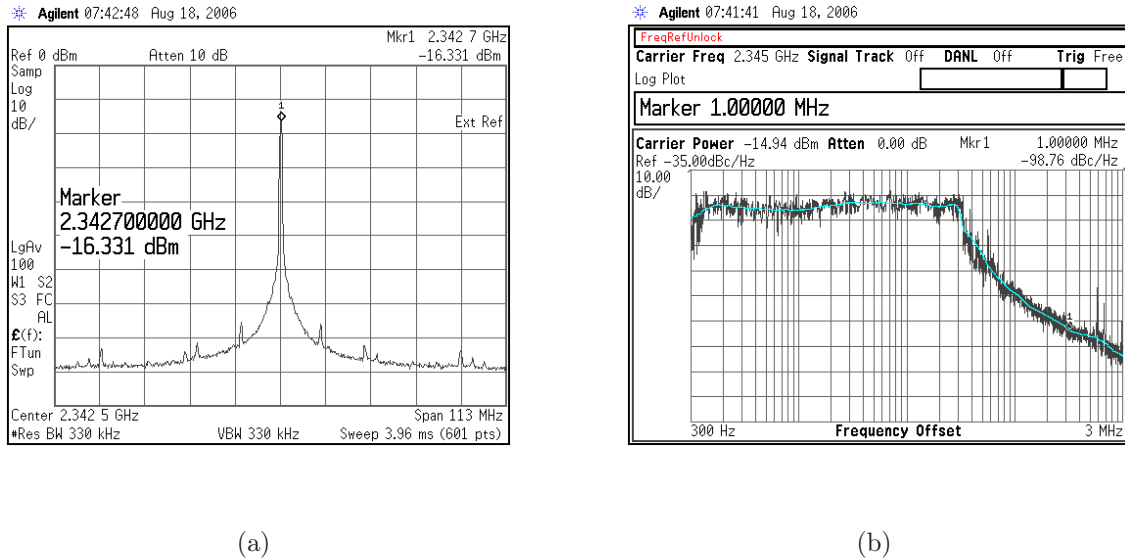


FIG. 4.30 – (a) Spectre de l'oscillateur multi gains positionné sur le canal 5 (b) profil de bruit de phase

Le spectre du signal de sortie du MCO positionné sur le canal 5 (cf figure 4.30(a)) présente une bonne pureté, les premiers lobes parasites ayant une amplitude inférieure de plus de 60dB par rapport à la porteuse.

Conclusion

La première partie de ce chapitre est consacrée à une comparaison des deux types principaux d'oscillateurs contrôlés en tension, à savoir les oscillateurs à résonateurs passifs de type LC et les oscillateurs en anneau, permettant de mettre en lumière les caractéristiques de chacun en terme de bruit de phase, surface silicium utilisée, consommation, temps d'établissement. A partir de ces caractéristiques, un choix d'architecture a été fait concernant le VCO destiné à être intégré dans notre PLL. Dans notre cas, les impératifs de coût (et donc de surface silicium) et consommation imposés par le contexte industriel du projet nous ont amené à nous orienter vers une structure de VCO en anneau.

Dans la deuxième partie, nous nous sommes donc focalisés sur le cheminement nous ayant mené vers une optimisation de la structure proposée. Nous avons ainsi pu améliorer le bruit et la stabilité en température du circuit en proposant des méthodes simples et

sans complexifier l'architecture globale de l'oscillateur et donc sans apporter de dégradation majeure en termes de consommation et de surface silicium occupée.

La dernière partie du chapitre présente les résultats obtenus avec les deux VCO proposés. Ces circuits, fabriqués en technologie CMOS par STMicroelectronics, montrent une bonne corrélation entre les résultats de simulation et les mesures réalisées en condition nominale mais également en conditions extrêmes. Cette corrélation permet de valider le processus de conception utilisé pour le VCO et permet donc d'accorder un niveau de confiance élevé aux différentes simulations réalisées au cours de ce travail de thèse.

Bibliographie

- [1] F. Herzel, H. Erzgräber, et P. Weger, « Integrated cmos wideband oscillator for rf applications », *IEE Electronics Letters*, vol. 37, no. 6, mars 2001. [96](#)
- [2] M. Golio, éd., *The RF and Microwave Handbook*. CRC Press, déc. 2001, iSBN : 0-8493-8592-X. [96](#)
- [3] R. Tao et M. Berroth, « The design of 5 ghz voltage controlled ring oscillator using source capacitively coupled current amplifier », in *Proceedings of the IEEE Radio Frequency Integrated Circuits Symposium*, 2003, p. 623–626. [96](#)
- [4] C.-M. Hung, B. A. Floyd, N. Park, et K. K. O, « Fully integrated 5.35-ghz cmos vcos and prescalers », *IEEE Transactions on Microwave Theory and Techniques*, vol. 49, no. 1, p. 17–22, jan. 2001. [96](#)
- [5] T. Lee, *The Design of CMOS Radio-Frequency Integrated Circuits*, 2nd ed. Cambridge University Press, 2004, iSBN : 0-521-83539-9. [96](#)
- [6] D. B. Leeson, « A simple model of feedback oscillator noises spectrum », *Pro. IEEE*, vol. 54, p. 329–330, fév. 1966. [97](#), [98](#), [105](#)
- [7] A. Hajimiri et T. Lee, « A general theory of phase noise in electrical oscillators », *IEEE Journal of Solid-State Circuits*, vol. 33, no. 2, p. 179–194, fév. 1998. [98](#), [99](#), [101](#)
- [8] A. Hajimiri, S. Limotyrakis, et T. Lee, « Jitter and phase noise in ring oscillators », *IEEE Journal of Solid-State Circuits*, vol. 34, no. 6, p. 790–804, juin 1999. [98](#), [105](#), [109](#)
- [9] T. Lee et A. Hajimiri, « Oscillator phase noise : A tutorial », *IEEE Journal of Solid-State Circuits*, vol. 35, no. 3, p. 326–336, mars 2000. [98](#)
- [10] E. Hegazi, H. Sjöland, et A. Abidi, « Filtering technique to lower lc-oscillator phase noise », *IEEE Journal of Solid-State Circuits*, vol. 36, no. 12, p. 1921–1930, déc. 2001. [102](#)
- [11] W. S. T. Yan et H. C. Luong, « A 900-mhz cmos low-phase-noise voltage-controlled ring oscillator », *IEEE Transactions on Circuits And Systems-II : Analog and Digital Signal Processing*, vol. 48, no. 2, p. 216–221, fév. 2001. [104](#)
- [12] B. Razavi, *Design of Analog CMOS Integrated Circuits*. McGraw-Hill, 2001, iSBN : 0-07-118839-8. [104](#)

- [13] E. J. Baghdady, R. N. Lincoln, et B. D. Nelin, « Short-term frequency stability : Characterization, theory, and measurement », *Proc. IEEE*, vol. 53, no. 7, p. 704–722, juil. 1965. [105](#)
- [14] L. S. Cutler et C. L. Searle, « Some aspects of the theory and measurement of frequency fluctuations in frequency standards », *Proc. IEEE*, vol. 54, no. fév., p. 136–154, 1966. [105](#)
- [15] J. Rutman, « Characterization of phase and frequency instabilities in precision frequency sources ; fifteen years of progress », *Proc. IEEE*, vol. 66, p. 1048–1174, sept 1978. [105](#)
- [16] A. A. Abidi et R. G. Meyer, « Noise in relaxation oscillators », *IEEE Journal of Solid-State Circuits*, vol. 18, no. 6, p. 794–802, déc. 1983. [105](#)
- [17] T. C. Weigandt, B. Kim, et P. R. Gray, « Analysis of timing jitter in cmos ring oscillators », in *Proceedings of the IEEE International Symposium on Circuits and Systems*, vol. 4, mai 1994, p. 27–30. [105](#)
- [18] J. McNeil, « Jitter in ring oscillators », in *Proceedings of the IEEE International Symposium on Circuits and Systems*, vol. 6, juin 1994, p. 201–204. [105](#)
- [19] J. Craninckx et M. Steyaert, « Low-noise voltage controlled oscillators using enhanced lc-tanks », *IEEE Transactions on Circuits And Systems-II : Analog and Digital Signal Processing*, vol. 42, p. 794–904, déc. 1995. [105](#)
- [20] B. Razavi, « A study of phase noise in cmos oscillators », *IEEE Journal of Solid-State Circuits*, vol. 31, no. 3, p. 331–343, mars 1996. [105](#)
- [21] C. Lombardi, S. Manzini, A. Saporito, et M. Vanzi, « A physically based mobility model for numerical simulation of nonplanar devices », *IEEE Transactions on CAD*, vol. 7, no. 11, p. 1164–1171, 1988. [111](#)
- [22] G. Masetti, M. Severi, et S. Solmi, « Modeling of carrier mobility against carrier concentration in arsenic-, phosphorus- and boron-doped silicon », *IEEE Transactions on Electron Devices*, vol. ED-30, p. 764–769, 1983. [111](#)
- [23] W. Liu, *MOSFET Models for SPICE Simulation including BSIM3v3 and BSIM4*, Wiley-Interscience, éd., 2001. [111](#)
- [24] Z.-M. Lin, K.-C. Huang, J.-D. Chen, et M.-Y. Liao, « A cmos oltage-controlled oscillator with temperature compensated », in *Proceedings of the Second IEEE Asia Pacific Conference on ASICs*, 2000, p. 85–86. [112](#)

- [25] W. H. Chan, J. Lau, et B. Buchwald, « A 622-mhz interpolating ring vco with temperature compensation and jitter analysis », in *IEEE International Symposium on Circuits and Systems*, vol. 1, juin 1997, p. 25–28. [112](#)
- [26] D. Banerjee, *PLL Performance, Simulation, and Design*, 4ème ed., 2006. [116](#)

Conclusion générale

Dans un contexte industriel, le but de ces travaux de thèse était de concevoir et réaliser une partie d'un système propriétaire de télécommunication dérivé des standards de type réseaux personnels sans fils. Plus précisément, ces travaux se portent sur la synthèse et la modulation de fréquence au sein de l'émetteur-récepteur radio-fréquence, la dimension industrielle du projet fixant des critères stricts dont les principaux sont des consommations de courant et de surface silicium minimales.

Le premier chapitre du manuscrit a donc été consacré dans un premier temps à un état de l'art des différents systèmes de télécommunication sans fils courte distance afin de dégager les spécificités des architectures associées. Le système propriétaire STMicroelectronics a ensuite été présenté, avec son cahier des charges et l'architecture d'émetteur-récepteur choisie pour le satisfaire. Nous avons alors évoqué l'utilisation d'une boucle à verrouillage de phase dans cette architecture en exposant ses différents rôles, à savoir la synthèse de fréquence dans la chaîne de réception et la génération d'un signal modulé en FSK dans la chaîne d'émission à conversion directe.

Le contexte de l'étude ayant été abordé, nous avons ensuite dédié le second chapitre à un état de l'art des différents types de synthétiseurs de fréquence pour mettre lumière les avantages des boucles à verrouillage de phase pour notre application : polyvalence et flexibilité. Une fois le choix de la PLL arrêté, nous nous sommes intéressé à l'utilisation de ce type de circuit en modulateur de fréquence, ce qui nous a permis de dégager les critères de conception liés à notre projet. Nous avons ainsi choisit d'utiliser une PLL à division entière couplée à une modulation en boucle ouverte de l'oscillateur contrôlé en tension. Cette solution, présentée dans la dernière partie du chapitre, présente de nombreux avantages liés à sa simplicité permettant de réduire la consommation de courant et la surface occupée sur le silicium.

La mise en oeuvre de la solution proposée à base de PLL modulée en boucle ouverte est développée dans le troisième chapitre. A partir d'une étude théorique reposant sur

les analyses fréquentielles, temporelles et en bruit de la PLL, nous avons proposer une architecture pour chacun des différents blocs constituant notre système (comparateur de phases, pompe de charges, filtre de boucle, diviseurs de fréquence, circuit de modulation) en accords avec les exigences du projet et le cahier des charges global de l'émetteur-récepteur à partir desquels nous avons extrait les différents paramètres de notre PLL. La mise en oeuvre de ces blocs a ensuite été détaillée. Nous avons conçu et réalisé tous les éléments proposés en utilisant la technologie HCMOS9 fournie par STMicroelectronics, la phase de conception/simulation ayant été menée sous environnement *Cadence*, la phase de dessin des masques/vérifications ayant été menée également sous environnement *Cadence* mais avec utilisation des outils *Calibre* de *Mentor Graphics*. Une attention particulière a été portée sur le circuit de modulation. La conception de ce bloc a été guidée par une volonté de simplification de façon à ne conserver que les éléments nécessaires et ainsi favoriser son intégration sans négliger, bien évidemment, ses performances.

Le quatrième et dernier chapitre du manuscrit est dédié à l'élément central de notre système : l'oscillateur contrôlé. En effet, cet oscillateur est particulièrement important dans notre application puisque, outre son rôle dans la PLL, il va être extrêmement sollicité lors des phases d'émission durant lequel il fonctionnera sans contrôle de la boucle. Ce circuit doit donc être particulièrement stable, en plus des critères classiques de bruit de phase, de consommation de courant et de surface occupée. Ce chapitre met en relief le cheminement nous ayant conduit à délaisser les oscillateur radio-fréquences classique à base de résonateurs passifs au profit d'une structure active en anneau pour favoriser son intégration. Le travail visant à réduire le bruit de phase de cette structure est également développé, ainsi que les modifications successives qui nous ont permis d'obtenir l'oscillateur final. Cet oscillateur, particulièrement compact et présentant un bruit de phase inférieur aux exigences de l'application visée, présente également un système efficace de compensation de sa dérive fréquentielle en température. La dernière partie du chapitre est ainsi consacrée à la caractérisation sous pointes des oscillateurs proposés, caractérisation qui permet de mettre en lumière la stabilité de ces circuits pour une plage de température de fonctionnement bien supérieure à celle demandée par STMicroelectronics.

Ces travaux de thèse s'inscrivent dans la tendance actuelle de miniaturisation des circuits et d'intégration totale des systèmes sur une même puce. En utilisant des technologies CMOS de plus en plus performantes, la barrière existant entre électronique analogique et électronique numérique s'amincit et on assiste à une numérisation de plus en plus importante des circuits, y compris pour les radio-fréquences. Cette tendance est illustrée dans notre application par l'exemple du VCO en anneau fonctionnant à 2,45 GHz.

D'autre part, le principe de l'oscillateur multi-gain compensé en température est extrêmement intéressant pour de multiples applications, y compris dans des systèmes plus

contraignants comme par exemple la téléphonie mobile.

Enfin, ces travaux démontrent qu'il est possible de réaliser des circuits efficaces, consommant peu de courant et présentant un niveau d'intégration maximum en s'appuyant sur des principes simples tels que la modulation en boucle ouverte. Ces principes, mis en oeuvre de façon rigoureuse, peuvent ainsi s'intégrer dans des systèmes de plus en plus performants.

Liste des publications relatives à la thèse

Brevets

- [1] G. Bas, V. Cheynet de Beaupré, L. Zaid, and W. Rahajandraibe. Temperature compensation for a voltage-controlled oscillator. United States Patent n° US 20060097805 A1, May 2006.
- [2] V. Cheynet de Beaupré, L. Zaid, W. Rahajandraibe, and G. Bas. Oscillateur commandé en tension (vco) compensé en température par le courant de polarisation. Brevet n° 04 09725-FR, September 2004.
- [3] L. Zaid, V. Cheynet de Beaupré, W. Rahajandraibe, and G. Bas'. Dispositif à boucle à verrouillage de phase. Brevet n°05 11813- FR, November 2005.
- [4] L. Zaid, V. Cheynet de Beaupré, W. Rahajandraibe, and G. Bas. Dispositif à boucle à verrouillage de phase. Brevet n°05 12378-FR, December 2005.

Revue internationale

- [1] V. Cheynet de Beaupré, W. Rahajandraibe, L. Zaid, and G. Bas. 2.45ghz-cmos temperature compensated ring oscillator for ieee 802.15 applications. *International Journal of Analog Integrated Circuits and Signal Processing*, 49(3) :257–266, December 2006.

Conférences internationales avec comité de lecture

- [1] V. Cheynet de Beaupré, W. Rahajandraibe, and L. Zaid. Methode de compensation en température d'un oscillateur en anneau fonctionnant à 2,45ghz. In *Traitement Analogique de l'Information du Signal et ses Applications (TAISA'05)*, pages 103–106, Marseille, France, October 2005.
- [2] V. Cheynet de Beaupré, W. Rahajandraibe, L. Zaid, and G. Bas. A fully integrated 2.45-ghz frequency synthesizer and fsk modulator. In *Proceedings of the 13rd IEEE International Conference on Electronics, Circuits and Systems (ICECS'06)*, pages 1208–1211, Nice, France, December 2006.
- [3] V. Cheynet de Beaupré, W. Rahajandraibe, Lakhdar Zaid, and G. Bas. Cmos 2.45ghz ring oscillator with temperature compensation. In *Proceedings of the 12th IEEE International Conference on Electronics, Circuits and Systems (ICECS'05)*, pages 405–408, Gammarth, Tunisia, December 2005.
- [4] V. Cheynet de Beaupré, L. Zaid, W. Rahajandraibe, and G. Bas. A 2.45 ghz low phase-noise cmos ring oscillator. In *Proceedings of Design of Circuits and Integrated Systems Conference (DCIS'04)*, pages 624–627, Bordeaux, France, November 2004.
- [5] V. Cheynet de Beaupré, L. Zaid, W. Rahajandraibe, and G. Bas. Oscillateur en anneau cmos à faible bruit de phase fonctionnant à 2.45 ghz. In *Proceedings of Signaux Circuits et Systèmes (SCS'04)*, pages 359–363, Monastir, Tunisie, March 2004.
- [6] W. Rahajandraibe, L. Zaïd, V. Cheynet de Beaupré, and G. Bas. 2.4-ghz frequency synthesizer with open loop fsk modulator for wpan applications. In *Proceedings of the IEEE MWSCAS/NEWCAS 2007*, pages 1453–1456, Montréal, Canada, August 2007.
- [7] W. Rahajandraibe, L. Zaïd, V. Cheynet de Beaupré, and G. Bas. Frequency synthesizer and fsk modulator for ieee 802.15.4 based applications. In *Proceedings of the IEEE Radio Frequency Integrated Circuits Symposium (RFIC'07)*, pages 229–232, Honolulu, Hawaii, June 2007.
- [8] W. Rahajandraibe, L. Zaïd, V. Cheynet de Beaupré, and G. Bas. Low-gain-wide-range 2.4-ghz phase locked loop. In *Proceedings of the 14th IEEE International Conference on Electronics, Circuits and Systems (ICECS'07)*, Marrakech, Morocco, December 2007.

- [9] W. Rahajandraibe, L. Zaïd, V. Cheynet de Beaupré, and G. Bas. Temperature compensated 2.45 ghz ring oscillator with double frequency control. In *Proceedings of the IEEE Radio Frequency Integrated Circuits Symposium (RFIC'07)*, pages 409–412, Honolulu, Hawaii, June 2007.
- [10] L. Zaid, V. Cheynet de Beaupré, W. Rahajandraibe, and A. Sangiovanni. A fully differential 5v buffer for rf mixer output with current and linearity control. In *Proceedings of the IEEE International Caracas Conference on Devices, Circuits and Systems (ICCDCS'04)*, pages 41–45, Punta Cana, Dominican Republic, November 2004.

Conférence nationale

- [1] V. Cheynet de Beaupré. Etude du bruit de phase d'un oscillateur en anneau fonctionnant à 2.45ghz. In *Proceedings of Journées Nationales du Réseau Doctoral de Microélectronique (JNRDM'05)*, pages 413–415, Paris, France, May 2005.

