



**HAL**  
open science

# Conception et Test de Microsystèmes Monolithiques CMOS

Laurent Latorre

► **To cite this version:**

Laurent Latorre. Conception et Test de Microsystèmes Monolithiques CMOS. Micro et nanotechnologies/Microélectronique. Université Montpellier II - Sciences et Techniques du Languedoc, 2008. tel-00397833

**HAL Id: tel-00397833**

**<https://theses.hal.science/tel-00397833>**

Submitted on 23 Jun 2009

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Mémoire présenté pour obtenir  
l'Habilitation à Diriger des Recherches

# Conception et Test de Microsystèmes Monolithiques CMOS

Laurent Latorre

## Synthèse des Activités de Recherches

HDR Soutenue le 2 décembre 2008 devant un jury composé de :

Philippe Benech	Professeur, IMEP, Grenoble
Yves Bertrand	Professeur LIRMM, UMII
Lionel Buchaillot	Directeur de Recherche CNRS, IEMN, Lille.
Alain Foucaran	Professeur IES, UMII
Pascal Nouet	Professeur, LIRMM, UMII
Robert Plana	Professeur, LAAS, Toulouse

# Synthèse des Activités de Recherche

---

## Table des matières

1.	Introduction.....	5
2.	Contexte Scientifique .....	5
3.	Chronologie des thèses encadrées.....	7
4.	Etude de micro-dispositifs.....	10
4.1.	Introduction.....	10
4.2.	Capteurs piézorésistifs : Application à la mesure de champ magnétique .....	12
4.2.1.	Principe de fonctionnement (modèle niveau 1).....	12
4.2.2.	Optimisation géométrique .....	14
4.2.3.	Etude des effets parasites (modèle niveau 2).....	17
4.3.	Capteurs piézorésistifs : Application à la mesure d'accélération.....	25
4.3.1.	Approche théorique de la faisabilité .....	25
4.3.2.	Résultats expérimentaux.....	27
4.4.	Capteurs thermiques.....	30
4.4.1.	Principe de fonctionnement de l'accéléromètre convectif.....	30
4.4.2.	Prototypage et caractérisation.....	31
4.4.3.	Modélisation.....	33
4.5.	Eléments de fiabilité.....	38
4.5.1.	Contexte .....	38
4.5.2.	Conception et fabrication d'un véhicule de test .....	39
4.5.3.	Flot de caractérisation.....	40
4.5.4.	Exemples de résultats.....	41
4.6.	Conclusion .....	43
5.	Conception et test de microsystèmes intégrés.....	44
5.1.	Introduction.....	44

5.2.	Exemple 1 : Micro-boussole CMOS .....	44
5.2.1.	Motivations .....	44 <sup>2</sup>
5.2.2.	Démonstration de la faisabilité (prototype #1).....	46
5.2.3.	Etude système (prototype #2).....	48
5.2.4.	Intégration CMOS (prototype #3).....	50
5.3.	Exemple 2 : Inclinomètre convectif CMOS.....	55
5.3.1.	Démonstration de la faisabilité (prototype #1).....	55
5.3.2.	Architecture en boucle ouverte (prototype #2).....	56
5.3.3.	Modulateur $\Sigma\Delta$ thermique (prototype #3) .....	58
5.4.	Contribution au test des microsystèmes.....	63
5.4.1.	Contexte .....	63
5.4.2.	Défauts et modèles de fautes.....	66
5.4.3.	Etude de cas #1 : Test par oscillations (OTM) .....	67
5.4.4.	Etude de cas #2 : Stimuli électrothermiques.....	69
5.5.	Conclusion .....	72
6.	Conclusion générale et perspectives.....	73
7.	Références.....	76

## 1. Introduction

Ce manuscrit présente une synthèse de mes activités de recherche depuis mon recrutement aux fonctions de maître de conférences à l'Université Montpellier II en 2001. Cette activité est développée au sein de l'équipe « Microsystèmes », dans le département « Microélectronique » du LIRMM (Laboratoire d'Informatique, Robotique et Microélectronique de Montpellier). Cette équipe compte aujourd'hui trois enseignants-chercheurs (Pascal Nouet, Frédérick Mailly et moi-même). Florence Azaïs, chargée de recherches au CNRS participe également à nos travaux relatifs au test des MEMS.

Le contenu de ce mémoire est organisé de façon à présenter pour chaque thème l'approche choisie et les résultats obtenus, en partant du dispositif élémentaire et en allant vers les aspects système, l'intégration et le test. Dans la section 2, je situerai ces travaux dans leur contexte scientifique et dans leur chronologie afin à montrer l'évolution de notre démarche au fil des résultats obtenus. Le chapitre 3 est consacré à l'étude des dispositifs élémentaires. Les aspects liés à la modélisation, au prototypage et à la caractérisation y seront développés. Nous avons travaillé sur deux principes de transduction : les capteurs piézorésistifs et les capteurs thermiques. Notre expérience dans le domaine de la fiabilité sera également abordée. Le chapitre 4 concerne la conception de systèmes microélectroniques à base de MEMS. Nos contributions s'appuient sur la réalisation de deux systèmes intégrés CMOS : une boussole et un capteur d'accélération thermique. A travers ces deux exemples, je montrerai nos résultats à la fois sur le plan des performances obtenues sur ces systèmes et sur des aspects plus méthodologiques de conception de MEMS. Je développerai à la fin du manuscrit les perspectives de ces travaux et l'orientation de mes recherches pour les prochaines années.

## 2. Contexte Scientifique

Le département de microélectronique du LIRMM possède une culture « circuit intégré » orientée vers la conception et le test de circuits réalisés à l'aide de technologies standards (CMOS). Les activités de recherche historiques de ce département concernent en particulier le test des circuits intégrés et les méthodes de conception des circuits digitaux en liaison avec l'utilisation intensive d'outils de CAO (simulation, synthèse...).

En 1996, il semblait difficile de lancer une activité de recherche en microsystèmes sans le support d'une salle blanche. Le service national CMP (Circuit Multi Projets) propose alors depuis quelques mois un procédé de gravure en face avant (FSBM, Front Side Bulk Micromachining) compatible avec le procédé CMOS [Kar96], [Cou96]. La production scientifique de l'époque dans le domaine des MEMS, montre que la recherche académique est fortement tournée vers les procédés de fabrication. De très nombreux démonstrateurs microsystèmes voient le jour ici et là mais assez peu atteignent le stade industriel, certainement à cause d'un manque de maturité à tous les niveaux : stabilité des procédés de fabrication, existence de solutions de packaging, pertinence de l'application vis-à-vis du marché, etc.

Le LIRMM s'est positionné dans ce paysage avec une approche résolument tournée vers l'industrialisation de MEMS en s'appuyant presque exclusivement sur l'utilisation de procédés standards et industriels, qu'ils concernent la conception (CAO), la fonderie (CMOS) ou l'encapsulation. Au delà de l'utilisation de procédés standards, nous avons développé une approche de conception en vue de l'industrialisation tenant en particulier compte des aspects « design for manufacturing » (conception robuste) et « design for test ». Cette approche, bien qu'originale dans le domaine, n'est pas unique [She96], [Mil98a]. On peut souligner particulièrement les travaux du professeur Henry Baltes de l'ETH Zurich en Suisse [Bal91], [Bal96], [Bal98], ceux du professeur Gary K. Fedder de l'université Carnegie Mellon aux USA [Fed96], [Fed97], [Gan99] et un peu plus tard ceux de l'équipe française du TIMA à l'initiative de l'ouverture de la filière de fabrication [Cha01a], [Par02].

La conception robuste et le test des microsystemes s'apparentent assez fortement à la conception de circuits mixtes avec une difficulté supplémentaire liée à la forte diversité des procédés de fabrication. Notre démarche depuis une dizaine d'années pourrait se résumer à cela : Contribuer au développement et à l'industrialisation de microsystemes en favorisant une approche « système intégré ». Le côté « monolithique » de notre approche d'intégration nous a permis en quelque sorte de fixer les règles du jeu afin de toujours rester dans un contexte strictement industriel de fabrication avec pour objectif le « System on Chip ». Avec aujourd'hui le retour en grâce de procédés hybrides (approches de type « System in Package ») nous abordons également la conception de MEMS à partir de technologies non strictement microélectroniques.

La figure 1 permet de situer nos contributions à l'intérieur du flot de conception et de fabrication d'un microsysteme. Ces contributions concernent en particulier :

- Le développement de capteurs ou d'actionneurs à l'aide de technologies microélectroniques standard (CMOS) et l'intégration de ces transducteurs dans le flot de conception standard microélectronique.
- La conception d'architectures microélectroniques dédiées avec pour double objectif d'élever, par une approche « système », les performances d'un transducteur nécessairement limitées par la technologie, et de développer une forme de robustesse aux diverses déviations PVT (incertitudes de procédé, tension d'alimentation, température...).
- La mise en place de stratégies de conception en vue du test pour les microsystemes.

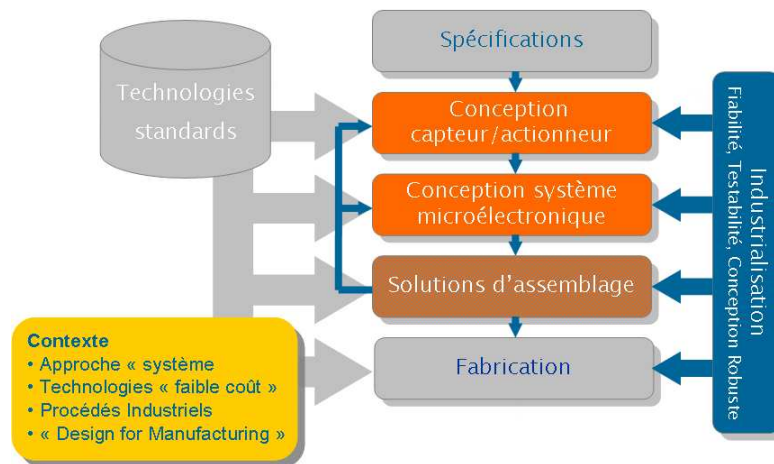


Figure 1 : Positionnement de l'activité de recherche dans le flot de réalisation d'un microsystème. Le contexte général est celui du flot standard ASIC.

### 3. Chronologie des thèses encadrées

Le sujet de ma thèse (1996-1999) portait sur la conception de capteurs de champ magnétique électromécanique avec une application liée au secteur industriel de la distribution électrique : la mesure de courant sans contact. Durant cette première phase, nous avons appris à concevoir des véhicules de test et à les caractériser sur le plan électrique et mécanique. Des premiers modèles de simulation « niveau 1 » ont été conçus et intégrés dans la CAO microélectronique à l'aide de langages encore naissants de type A-HDL. Un prototype de magnétomètre à force de Laplace "U-Shape" a été proposé. Avec une électronique rudimentaire, ses performances demeuraient modestes par rapport aux solutions proposées par ailleurs à base d'effet Hall [Bla00a], [Pop01] ou de Fluxgate [Tan97], [Sch97] tout en restant une solution économiquement intéressante.

C'est avec le travail de Vincent Berouille (1999-2002) que nous avons commencé à mettre en place une stratégie de conception robuste pour les microsystèmes CMOS. L'analyse et la modélisation des limitations du capteur (bruit, offsets...) et la conception d'un traitement électronique adapté ont permis d'améliorer les performances du magnétomètre maintenant capable d'atteindre une résolution suffisante pour une application « boussole ». En parallèle, des solutions de conception en vue du test furent proposées. En particulier, la méthode du test par oscillations auparavant utilisée dans le cadre des circuits microélectronique fut adaptée au cas de structures électromécaniques résonantes.

La thèse de Muriel Dardalhon (2000-2003), financée par une bourse CNES, porte sur la fiabilité des microsystèmes. Il n'existe que très peu de travaux antérieurs sur la fiabilité des MEMS [Cas98], [San00] et aucune approche de fiabilité prédictive n'a encore été proposée dans la mesure où les mécanismes de vieillissement sont encore mal identifiés. L'étude a donc porté davantage sur l'analyse des modes de défaillance des microsystèmes en fonction des technologies de fabrication utilisées (micro usinage en surface / volume) et des conditions de fonctionnement. Les prototypes de magnétomètre du LIRMM ont été soumis à de nombreux tests (chocs, vibrations, humidité, cyclage...) et ont révélé un niveau de robustesse très élevé.



Sur la base des résultats encourageants des thèses de Vincent et Muriel, nous avons en 2002 lancé deux nouvelles thèses dans la stricte continuité du travail réalisé jusque là, sur le thème “conception et test de microsystemes CMOS”. Nous avons proposé à Norbert Dumas de poursuivre l’étude « capteur magnétique » avec pour objectif de fin de thèse la réalisation d’un démonstrateur de boussole sous la forme d’un système intégré. Aboubacar Chaehoi (2002-2005) avait lui pour mission d’analyser les possibilités de réalisation de capteurs inertiels en CMOS/FSBM, technologie jusqu’ici boudée pour ce type d’application compte tenu de la légèreté (au sens propre) des structures obtenues par ce procédé.

Norbert Dumas (2002-2005) a parfaitement relevé le challenge. Sur le plan scientifique, sa contribution est importante à la fois en conception et en test. Une étude approfondie des phénomènes parasites, de l’origine des offsets et des effets thermiques a conduit à l’élaboration d’un modèle plus représentatif du capteur “U-Shape”, tout à fait intégré dans l’environnement Cadence à l’aide d’outils maintenant standardisés tels que le VHDL-AMS ou le Verilog-AMS. Cette étude a non seulement conduit à la conception d’un véritable système intégré « boussole » mais a également permis de proposer des schémas de test pertinents, s’appuyant en particulier sur l’utilisation des phénomènes thermiques de façon à remplacer le stimulus magnétique au profit de tests électriques plus simples à mettre en œuvre.

L’accéléromètre reste l’application par excellence des MEMS (au sens strict du terme « Electro-Mechanical », qui suppose des pièces en mouvement). De très nombreux prototypes ont été publiés, sur tout type de technologie. A mon sens, la raison d’une telle popularité est la facilité de mise en œuvre du principe d’actuation (force inertielle) faisant de l’accéléromètre un démonstrateur par excellence. Il existe par ailleurs un appel important du marché pour ce type de produit, en particulier dans le secteur automobile (Airbag®) qui a poussé les acteurs industriels de la microélectronique à développer des produits (Analog Device, Sensoror). La thèse d’Aboubacar Chaehoi avait pour objectif de situer le potentiel de la technologie CMOS/FSBM dans ce domaine clé qu’est celui du capteur inertielle. Tâche difficile à priori, car les structures suspendues à l’aide de ce procédé sont très fines et ne permettent pas la réalisation de masses sismiques importantes. Dans un premier temps, nous avons utilisé l’expertise acquise au sein du groupe avec le magnétomètre pour montrer les performances que l’on pouvait atteindre avec une poutre cantilever piézorésistive. Des résolutions de l’ordre du « g » sont en effet possibles avec ce type de structure dès que l’on sait traiter le signal sur la puce. Dans un deuxième temps, nous nous sommes intéressés à la réalisation sur CMOS d’un accéléromètre sans masse sismique, qui fonctionne sur le principe du transfert de chaleur par convection [Leu98]. N’ayant qu’une expertise limitée dans le domaine des échanges de chaleur, nous avons choisi d’appréhender le problème par une approche plutôt “expérimentale” s’appuyant à la fois sur la simulation de modèles à éléments finis et sur la réalisation de deux prototypes de capteurs avec une électronique embarquée rudimentaire. Les premiers résultats de mesures ont été très prometteurs. Nous avons alors commencé le développement de modèles analytiques en vue d’intégrer le capteur dans un flot de conception microélectronique pour pouvoir travailler sur le traitement du signal.

Avec la fin de la thèse de Norbert Dumas, l’aventure « boussole » amorce un virage. Ayant mené le développement de cette application quasiment jusqu’au niveau du prototype, il ne nous a pas semblé pertinent de poursuivre au-delà, dans le cadre d’une activité de recherche propre. La thèse

d'Olivier Leman (2005-2008) est donc plutôt dans la continuité de celle d'Aboubacar Chaehoi, concernant les capteurs inertiels. Dans sa première année de thèse, Olivier s'est doté de modèles de simulations, puis il a abordé la partie système avec en particulier l'idée d'intégrer le capteur au sein d'architectures de modulateurs. Ses travaux ont pour objectif d'évaluer notamment les performances atteignables à l'aide d'architectures Sigma-Delta très répandues sur ce type d'application. Plus généralement, nous souhaitons comparer les architectures de traitement du signal à temps discret par rapport aux solutions à temps continu.

En parallèle, nous abordons l'étude de microphones silicium avec la thèse d'El Mehdi Boujamaa (2006-2009). Nous avons choisi comme structure de base une membrane piézorésistive, solution pour le moment assez peu étudiée pour ce type d'application en comparaison des structures capacitives mais qui correspond davantage à notre domaine d'expertise. Un reproche souvent émis à propos des dispositifs piézorésistifs concerne leur consommation jugée trop élevée. Le travail d'El Mehdi Boujamaa sur des schémas de polarisation de jauges piézorésistives à l'aide de faibles courants a donné lieu à un premier dépôt de brevet en 2008.

Sur la base de l'ensemble de nos travaux relatifs à la mesure de champ magnétique et aux capteurs inertiels, nous avons envisagé la conception d'une centrale inertielle « faible coût » sur CMOS, basée sur la mise en réseau de plusieurs capteurs : inclinomètres et magnétomètres avec une stratégie de partage (multiplexage) de l'électronique embarquée afin de réduire les coûts en consommation et surface. Cette étude est au cœur de la thèse de Boris Alandry (2007-2010) qui a terminé dans sa première année la réalisation d'un démonstrateur sur carte.

Pour terminer, j'encadre la thèse de Nicolas Pous qui a débuté au mois d'avril 2008 sur un sujet sans rapport avec les microsystèmes, mais qui est lié à mes responsabilités au sein du Centre de Ressource en Test du CNFM. Cette thèse est issue d'un programme de collaboration de recherche entre la société Verigy et le LIRMM pour le développement de méthodes de test à bas coût pour circuits radiofréquences. Il s'agit donc d'un sujet nouveau pour moi qui ne sera pas développé dans ce manuscrit.

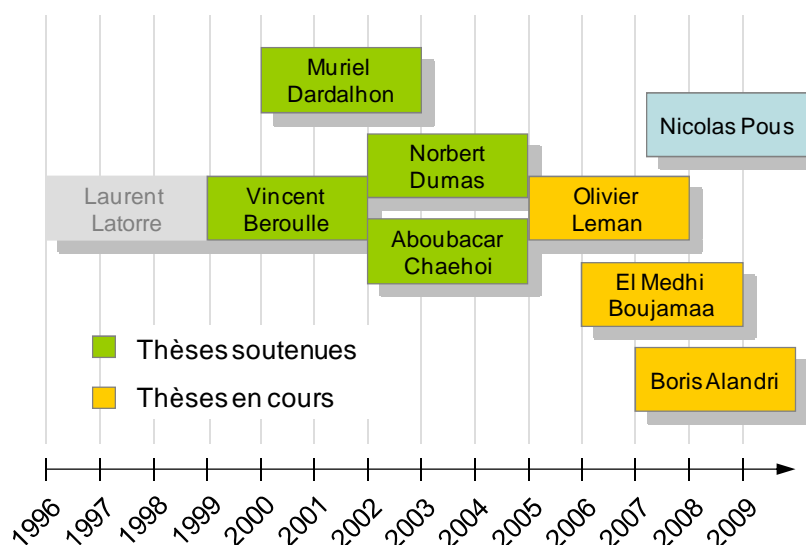


Figure 2 : Chronologie des thèses encadrées.

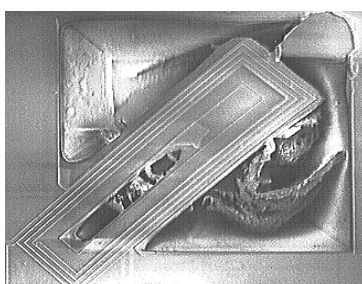
## 4. Etude de micro-dispositifs

### 4.1. Introduction

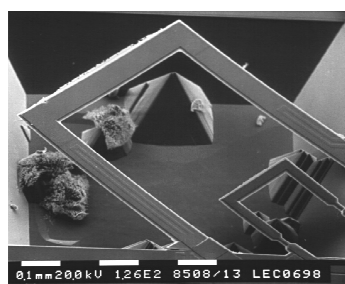
En 1996, le choix stratégique de travailler avec la technologie CMOS nous a restreints, pour l'ensemble de notre travail, à l'utilisation de procédés de fabrication très simples à basse température comme la gravure humide anisotropique du silicium. Les deux intérêts majeurs de cette approche sont sa compatibilité avec les technologies microélectronique et son coût. En effet, les zones de substrat que l'on souhaite exposer à la gravure sont très simplement définies par superposition des ouvertures de diélectriques pendant la fabrication CMOS. Une simple immersion des puces (ou du wafer) dans une solution appropriée (TMAH dans notre cas) permet en quelques heures d'obtenir les structures suspendues sans aucune étape de lithographie supplémentaire avec une cavité dont l'orientation du cristal détermine la géométrie [Sei87], [Par97].

Par nécessité, puisque le laboratoire ne dispose pas de moyens propres de fabrication, mais surtout par choix d'un positionnement original, nous avons souhaité rester aussi proches que possible d'un contexte de fabrication industriel. Ainsi, la filière sur laquelle repose la réalisation de nos prototypes s'appuie sur la technologie CMOS de AMS (« Autria Microsystems ») et sur le procédé de gravure humide anisotropique mis au point et proposé par la société IBS (« Ion Beam Service »). L'accès au silicium étant possible via le service CMP (« Circuits Multi-Projets ») dès 1996. On trouve dans la littérature d'autres techniques concernant la gravure en post-process de circuits CMOS standards. Je citerai par exemple l'attaque isotropique du silicium à l'aide du difluorure de xénon ( $\text{XeF}_2$ ) [Hof95], [Chu97], ou une approche hybride ( $\text{XeF}_2/\text{TMAH}$ ) [Tea97] toujours utilisée aujourd'hui par certains laboratoires.

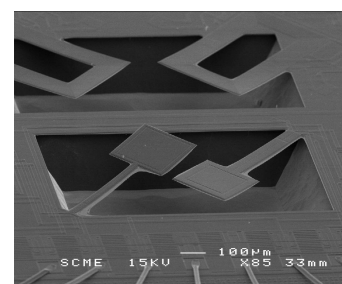
La figure 3 présente plusieurs structures de type « cantilevers » obtenus aux cours de nos travaux et illustre les différents niveaux de maturité que le procédé de fabrication a pu atteindre au fil des années et des efforts d'industrialisation.



*Technologie ES2 ECPD10,  
gravure EDP, 1997*



*Technologie AMS 1.2µm,  
Gravure EDP, 1998*



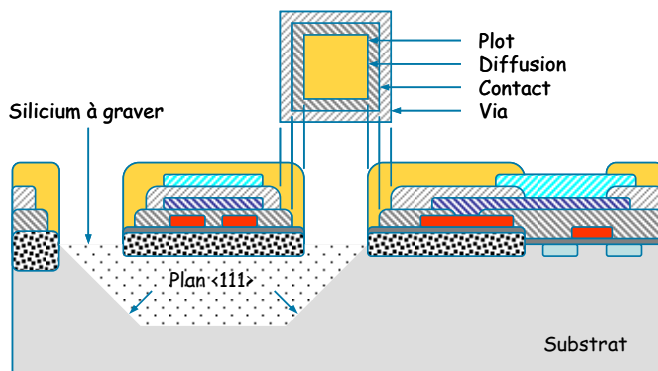
*Technologie AMS 0.8µm,  
gravure TMAH, 2004*

*Figure 3 : Evolution de l'offre CMP pour la gravure humique en post-process de circuits CMOS.*

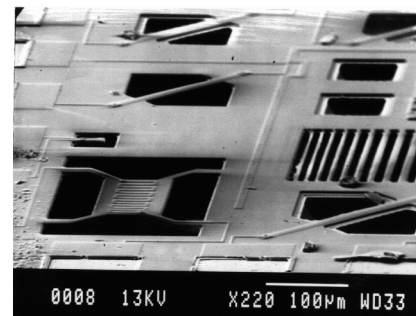
La gravure du substrat CMOS par la face avant (FSBM en anglais pour « Front Side Bulk Micromachining ») permet la libération de poutres minces, constituées des matériaux utilisés en microélectronique : oxydes, nitrures, polysilicium et aluminium comme le montre la figure 4.

Compte tenu des règles de dessins à respecter, l'utilisation de couplages capacitifs horizontaux ou verticaux est difficilement envisageable, pour l'actuation ou pour la détection de mouvements comme montré sur la figure 4.c. Aussi, seulement deux types d'applications ont été développés sur cette technologie, qu'il s'agisse de la littérature ou de nos propres travaux :

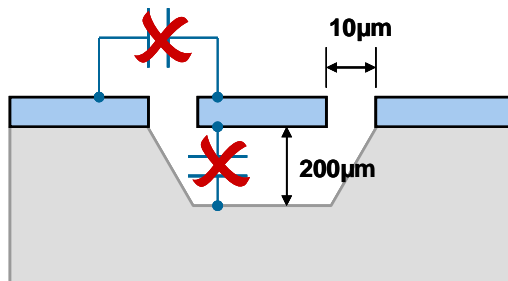
- Des applications utilisant la propriété d'isolation thermique des parties suspendues vis-à-vis du substrat. Il s'agit par exemple de débitmètres à fil chaud (figure 4.d), de capteur infrarouge [Sch01], bolomètres [Sab01], [Tez03], capteurs chimiques sur « hot plates » [Gra04], ...
- Des applications mécaniques utilisant la piézorésistivité du polysilicium pour la réalisation de jauges de contraintes [Par02].



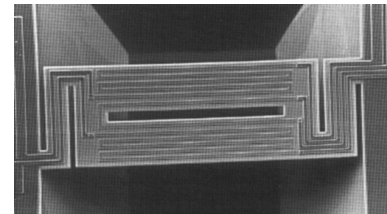
a. Vue en coupe d'un circuit CMOS prêt pour la gravure humide. Le masque de gravure est défini par superposition des ouvertures de diélectriques prévues par le procédé standard.



b. Exemple de structures réalisées par CMOS FSBM (photo CMP) : ponts, poutres cantilevers et membranes.



c. Les règles de dessins pour la gravure FSBM ne permettent pas d'envisager la réalisation de dispositifs capacitifs (actuation ou détection).



d. Exemple d'application du CMOS FSBM dans le domaine thermique : capteur de débit à fil chaud [Bal91].

Figure 4 : Intérêts et limitations de la technologie CMOS FSBM.

Afin de contourner ces limitations, des techniques de gravures de type RIE (Reactive Ion Etching) ont été proposées en post-process CMOS, notamment par l'université de Carnegie Mellon. Dans ce cas, on utilise le dernier niveau de métallisation comme masque de gravure. Cette approche, restée au stade académique, permet de réaliser des structures capacitives latérales et a donné lieu à la publication de nombreux dispositifs de type « comb-drive » sur CMOS [Fed96], [Fed97]. Il est cependant intéressant de noter que la réalisation de telles structures requiert un contrôle assez fin du niveau de contraintes résiduelles dans les parties dégagées afin de garantir un alignement correct des électrodes, ce qui n'est pas nécessaire dans le cas de structures piézorésistives.

Ayant fixé les règles du jeu concernant l'approche de fabrication, le développement de micro-dispositifs (ou transducteurs) s'appuie sur un cycle illustré figure 5 dans lequel se succèdent des étapes de modélisation, de conception de véhicules de test et de caractérisation. Le concept est initialement validé par une approche théorique au premier ordre qui doit être validée expérimentalement, après réalisation de véhicules de test. La caractérisation d'échantillons permet d'identifier notamment les paramètres technologiques utiles à la modélisation et d'observer dans le comportement de la structure les effets parasites qu'il est nécessaire d'identifier afin de disposer de modèles permettant de développer une approche de conception robuste. Dans la suite de ce chapitre, je montrerai la mise en œuvre de ce cycle de développement à travers nos contributions concernant la mesure de champ magnétique et la mesure d'accélération.

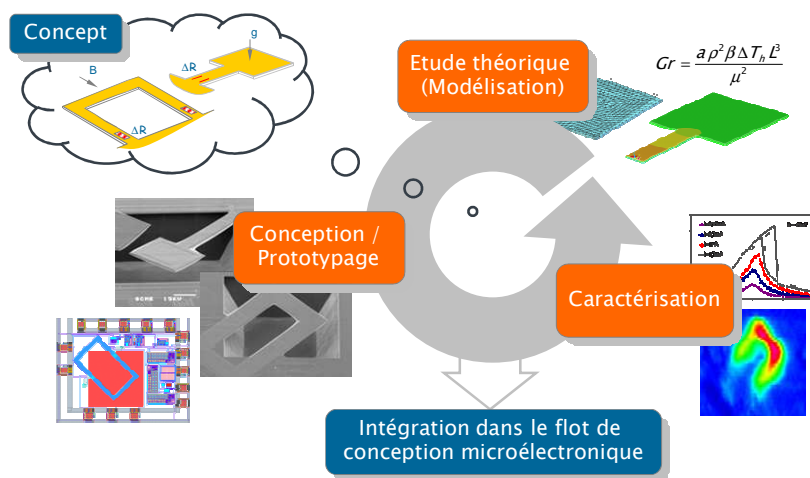


Figure 5 : Le cycle de développement de dispositifs micro-usinés en 3 étapes : modélisation, prototypage, caractérisation.

## 4.2. Capteurs piézorésistifs : Application à la mesure de champ magnétique

La première application sur laquelle nous avons travaillé dès le début de ma thèse est la mesure de champs magnétiques à l'aide de structures piézorésistives. La société Schneider Electric, dans une démarche de veille technologique s'intéressait alors aux solutions alternatives au capteur à effet Hall pour la mesure des forts courants électriques. Dans ce chapitre, je présenterai la structure du capteur que nous avons proposé ainsi que les études en caractérisation qui nous ont amené à l'élaboration d'un modèle de simulation.

### 4.2.1. Principe de fonctionnement (modèle niveau 1)

L'objectif de cette section n'est pas de revenir dans le détail sur le travail qui fut l'objet de ma thèse mais plutôt de présenter le point de départ des activités de recherche que nous avons développées à partir de là.

La structure élémentaire ayant servi de support à l'essentiel de mon travail de thèse est une simple poutre cantilever<sup>1</sup>, évidée en son centre de façon à réduire sa constante de raideur tout en préservant une largeur totale suffisante permettant une actuation électromagnétique par la force de Laplace. Cette structure baptisée cantilever « U-Shape » est représentée figure 6.

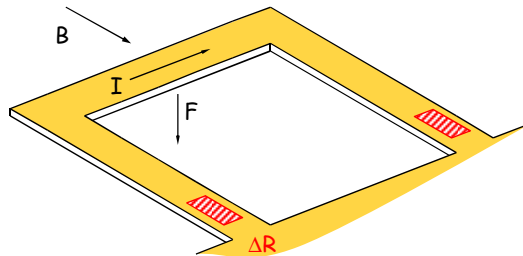


Figure 6 : Le capteur de champ magnétique « U-Shape ».

La structure embarque une piste métallique faisant plusieurs tours (parfois baptisée « bobine ») dans laquelle on peut faire circuler un courant électrique  $I$  de façon à produire une force de Laplace  $F$  en présence d'un champ magnétique  $B$ . Deux résistances en polysilicium sont placées à proximité des encastremets de façon à subir un niveau de contrainte maximal quand la structure fléchit. La piézorésistivité du polysilicium permet de convertir la déformation de la structure en une variation de résistance  $\Delta R$ , que l'on pourra mesurer à l'aide d'un circuit de conditionnement et de lecture.

Le modèle statique de la poutre U-Shape se limite à une relation de proportionnalité entre le champ magnétique  $B$  et la variation de résistance  $\Delta R$ . Cette relation n'est toutefois valable que pour des faibles déformations de la structure. Le modèle dynamique se base sur la réponse en fréquence du capteur montré figure 7. Le comportement observé est celui d'un système passe-bas du second ordre faiblement amorti, correspondant à un système mécanique de type masse-ressort-amortisseur.

Le premier modèle de simulation proposé pour la structure U-Shape est présenté figure 8. Ce modèle représente le comportement idéal du transducteur avec comme briques élémentaires :

- Le calcul de la force de Laplace,
- La fonction de transfert du second ordre, entre la force appliquée sur la poutre  $F$  et le déplacement  $z$  qui en résulte,
- La relation de proportionnalité qui existe entre la déformation mécanique et le signal électrique que l'on mesure à la sortie du circuit de conditionnement (typiquement un pont de Wheatstone).

<sup>1</sup> Beroulle V., Bertrand Y., Latorre L., Nouet P., Monolithic piezoresistive CMOS magnetic field sensors Sensors and Actuators A: Physical Vol. 103, Issues 1-2, 15 January 2003, Pages 23-32.

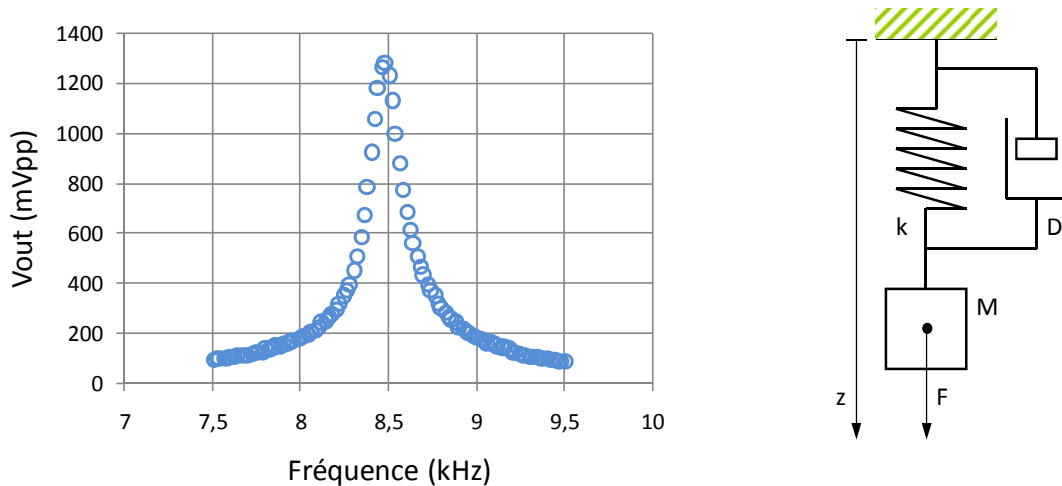


Figure 7 : Réponse en fréquence de la structure U-Shape au voisinage de la fréquence de résonance et modèle Masse-Ressort-Amortisseur (KMD) associé.

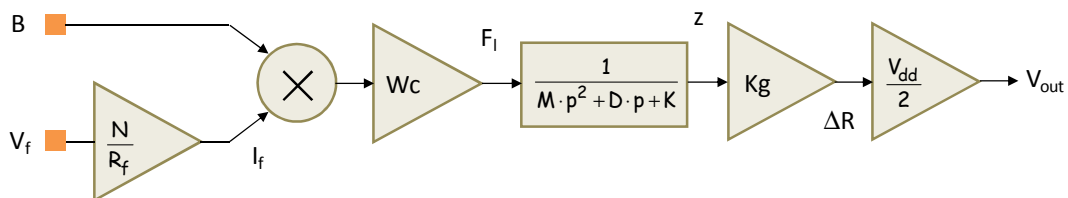


Figure 8 : Modèle « niveau 1 » du capteur de champ magnétique.

Ce modèle « niveau 1 » a montré ses limites dès lors que nous avons abordé la conception de systèmes robustes aux dispersions de procédés et aux phénomènes parasites observés en caractérisation. Les travaux de Vincent Berouille, puis de Norbert Dumas ont permis de compléter ce modèle avec les paramètres nécessaires à la mise en place d'une véritable approche de conception système. Les différents travaux ayant conduit au développement du modèle « niveau 2 » sont détaillés dans les sections suivantes.

#### 4.2.2. Optimisation géométrique

La question du dimensionnement de la structure U-Shape se pose dès que l'on envisage son utilisation au sein d'une application spécifique. Pour le concepteur, les degrés de liberté dans la dimension verticale du capteur sont quasiment nuls. En effet, les propriétés des couches déposées sur le substrat sont entièrement contrôlées par le procédé CMOS (matériaux et épaisseurs) et dans la mesure où l'élément sensible utilise tous les matériaux disponibles à des fins fonctionnelles (poly, métal et les couches diélectriques nécessaires à leur isolation), il est préférable de considérer qu'il n'existe pas de possibilités d'optimisation à ce niveau tant que l'on souhaite rester dans une logique « faible coût ». Il reste donc à lier le dimensionnement « 2D » du capteur à ses performances : sensibilité, résolution, bande passante, consommation...

La figure 9 définit les différents paramètres géométriques relatifs au dimensionnement du capteur piézorésistif, qui constituent les degrés de liberté du concepteur au niveau layout. Ces paramètres concernent la géométrie de la structure mécanique et de la bobine embarquée.

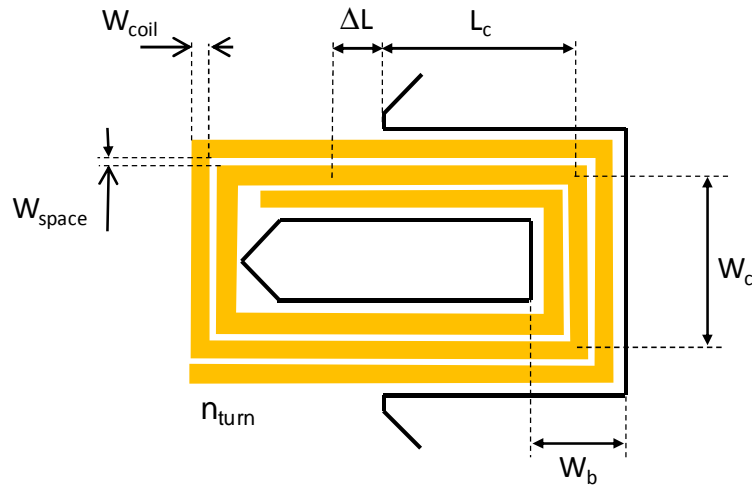


Figure 9 : Paramètres géométriques du magnétomètre U-Shape.

Prenons pour commencer le paramètre  $W_b$ , correspondant à la largeur des bras du cantilever. La fonction principale associée à cette dimension est le passage du courant d'excitation (qui affecte directement la sensibilité). En faisant l'hypothèse que cette largeur est entièrement utilisée pour le passage d'un courant que l'on prendra aussi élevé que l'autorise la densité de courant ( $d_{max}$ ) admissible dans l'aluminium CMOS on peut écrire :

$$I = C_1 W_b$$

Avec  $C_1 = d_{max} = 2,4 \text{ mA}/\mu\text{m}$  une première constante technologique.

La sensibilité statique s'exprime alors sous la forme :

$$S_{stat} = \frac{L_c \times C_1 W_b \times W_c}{C_2 W_b} = \frac{C_1}{C_2} L_c W_c$$

Le terme au numérateur représente le moment fléchissant résultant de l'application de la force de Laplace. Le terme au dénominateur représente une raideur intrinsèque à la section de la poutre, proportionnelle à sa largeur  $W_b$ . On introduit ainsi une seconde constante technologique  $C_2$ . En première approximation, la sensibilité du capteur en statique est donc proportionnelle à sa surface (à consommation constante).

La sensibilité à la résonance peut s'exprimer comme le produit de la sensibilité statique par le coefficient de qualité de la poutre suspendue :

$$S_{res} = \frac{C_1}{C_2} L_c W_c \times \frac{k}{D \omega_0} \text{ avec } \omega_0 = \sqrt{\frac{k}{M}}$$



A ce stade, nous faisons de nouvelles hypothèses :

- La structure est « carrée » :  $L_c = W_c$
- La largeur des bras est petite devant les dimensions extérieures du U-Shape :  $W_b \ll L_c, W_c$

Il résulte de ces hypothèses :

$$k \propto \frac{W_b}{L_c^3} \qquad M \propto W_b L_c \qquad D \propto W_b L_c$$

Et finalement, en faisant l'hypothèse d'une intégration du capteur dans un pont de Wheatstone à deux éléments sensibles :

$$S_{res,V} = Cte \approx 1,2 \text{ V/T} @ V_{dd} = 5V$$

En conclusion, il apparaît que la sensibilité à la résonance ne dépend pas au premier ordre du dimensionnement du capteur. Ce résultat surprenant s'explique très simplement par une variation du coefficient de qualité dans le sens opposé à la variation de la sensibilité statique lorsque l'on modifie la taille de la structure. La valeur annoncée de 1,2 V/T reste toutefois théorique puisque les hypothèses formulées plus haut ne seront jamais parfaitement vérifiées. Par contre, ce résultat montre qu'il est inutile d'envisager des capteurs trop grands. Le dimensionnement peut alors être abordé à l'aide de critères différents que sont la consommation et la bande passante.

Le tableau 1 récapitule les sensibilités à la résonance, absolues et relatives au courant consommé dans la bobine d'excitation, calculées pour différentes tailles de cantilever. On observe que toutes les sensibilités obtenues restent dans le même ordre de grandeur, en accord avec nos prévisions.

Tableau 1 : Sensibilités absolues et relatives du magnétomètre pour différentes géométries.

		Wb		
		60 μm	80 μm	120 μm
Lc= Wc	320 μm			0,59 V/T 385 V/T.A
	520 μm		0,61 V/T 435 V/T.A	0,8 V/T 269 V/T.A
	720 μm	0,52 V/T 432 V/T.A	0,7 V/T 328 V/T.A	0,92 V/T 191 V/T.A

Pour la conception de la boussole, qui sera exposée plus tard dans ce manuscrit, notre choix s'est porté sur le capteur le plus petit de cette évaluation. Une photographie de ce capteur est montrée figure 10 et ses principales caractéristiques sont récapitulées dans le tableau 2.

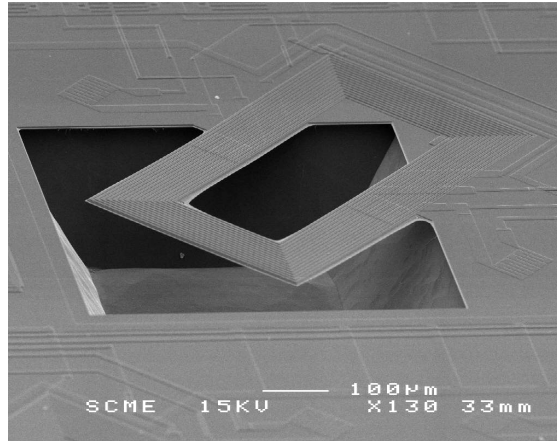


Figure 10 : Photographie MEB du capteur de champ magnétique retenu pour l'application boussole.

Tableau 2 : Caractéristiques du cantilever pour l'application boussole (figure 10).

Désignation	Symbole	Valeur mesurée	Unité
Raideur	K	7,79	N/m
Masse	M	$4,03 \cdot 10^{-10}$	kg
Coefficient d'amortissement	D	$9,34 \cdot 10^{-7}$	kg/s
Coefficient de qualité	Q	60	
Fréquence de résonance	$f_0$	22,1	kHz
Temps de réponse à 5%	$\tau_r$	2,75	ms
Puissance dissipée	P	17,9	mW
Sensibilité	S	0,311	V/T
Sensibilité relative à l'excitation	$S_{rel}$	202,3	$V \cdot T^{-1} \cdot A^{-1}$

#### 4.2.3. Etude des effets parasites (modèle niveau 2)

Comme mentionné précédemment, le modèle comportemental « niveau 1 » ne permet pas de développer une approche de conception en vue de l'industrialisation. En effet, ni les incertitudes du procédé de fabrication, ni les effets parasites n'y sont représentés. L'étude d'un modèle « niveau 2 » a nécessité de nouvelles campagnes de caractérisation. Ces campagnes ont été conduites respectivement par Vincent Beroulle concernant l'effet des dispersions de fabrication et par Norbert Dumas concernant les effets parasites.

##### Dispersion du procédé de fabrication

Nous avons exposé plus tôt que les paramètres fonctionnels de la structure mécanique (masse, raideur et coefficient de qualité) reposent sur un ensemble de paramètres technologiques (module d'Young, densités, épaisseurs...) que nous ne sommes pas en mesure de caractériser de façon détaillée. Dans une première approche, nous avons montré qu'en intégrant seulement les

incertitudes du fondeur sur l'épaisseur des couches déposées, on obtient un écart-type pessimiste sur la constante de raideur de la poutre suspendue, et par conséquent sur la fréquence de résonance.

Pour aller plus loin dans la prise en compte des dispersions du procédé de fabrication, nous avons conduit la caractérisation systématique des paramètres fonctionnels (masse, raideur, coefficient d'amortissement) sur un ensemble de 100 structures, avec 4 géométries différentes<sup>2</sup>. Les dispersions relevées sont alors intégrées sous la forme d'un écart-type à l'intérieur du modèle comportemental. Cette information permet de lancer des analyses Monte Carlo dans l'environnement CAO de conception et ainsi d'évaluer la robustesse d'une architecture de système.

A titre d'exemple, la figure 11 montre la distribution relevée sur la fréquence de résonance d'une structure U-Shape identique à nos véhicules de test. La fréquence de résonance théorique se situe aux alentours de 10kHz. Un écart type de 10% est observé sur un même lot de fabrication. Des dispersions supérieures sont donc à prévoir d'un lot à l'autre. Le tableau 3 présente des résultats de caractérisation obtenus sur les paramètres du modèle KMD.

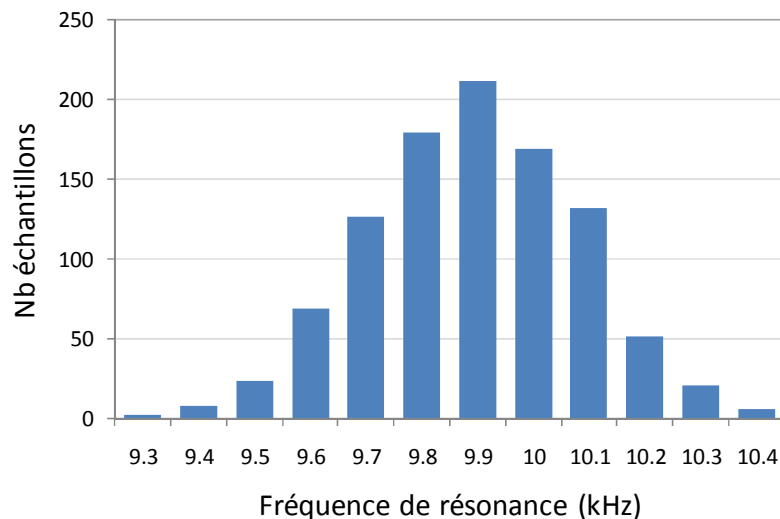


Figure 11 : Dispersion de la fréquence de résonance obtenu par analyse de Monte Carlo sur une population de 1000 individus en prenant les dispersions caractérisées du procédé de fabrication (épaisseurs des couches CMOS).

Tableau 3 : Moyennes et écart-types caractérisés pour les paramètres K,M,D, sur un lot de 25 cantilevers.

Paramètre	Moyenne	Ecart type (%)
K (N/m)	2.4	10,3
M (kg)	$7,53 \cdot 10^{-10}$	6.9
D (N.s/m)	$7.19 \cdot 10^{-7}$	7.4

<sup>2</sup> Latorre L., Berouille V., Dardalhon M., Nouet P., Presseq F., Oudea C., Characterization of CMOS MEMS Technology Scatterings, ISTFA'2001, November 11-15, Santa-Clara, CA, USA, 2001, pp. 373-377.

Si la structure doit être excitée à sa fréquence de résonance (c'est le cas dans l'application boussole), le système doit être robuste à cette incertitude et donc capable de s'y adapter, automatiquement ou via une procédure de calibration<sup>3</sup>. Les dispersions du procédé de fabrication entraînent d'autres incertitudes comme par exemple l'offset lié au désappariement des résistances formant le pont de Wheatstone, que nous avons étudié séparément.

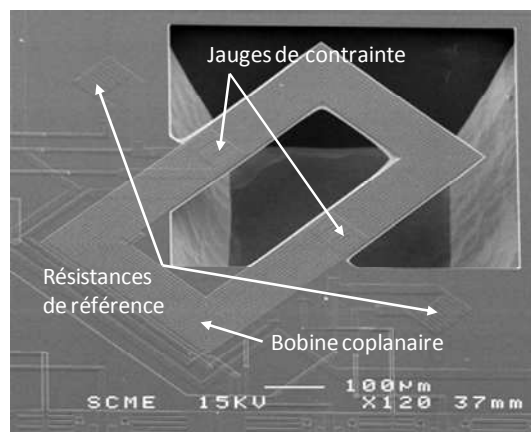
### Etude des effets parasites

Au cours des différentes campagnes de caractérisation, plusieurs phénomènes parasites ont été observés, introduisant des écarts significatifs entre le comportement idéal du capteur et celui observé expérimentalement. La section précédente a abordé le cas des incertitudes introduites par le procédé CMOS au niveau du composant mécanique. A ces incertitudes, il faut ajouter :

- L'effet des incertitudes du procédé CMOS sur la partie électronique du système, et en particulier sur les résistances utilisées comme jauges des contraintes,
- Les dispersions liées à la gravure du substrat qui apparaissent au niveau des structures suspendues, et notamment le phénomène de relâchement des contraintes,
- Les effets parasites d'origine thermique (statiques et dynamiques),
- Les couplages parasites.

### Etude de l'offset

Les jauges de contraintes sont placées dans un pont de Wheatstone de façon à rendre le circuit relativement insensible aux variations de la température ambiante et de la tension d'alimentation. Le pont de Wheatstone est ainsi formé de 2 jauges de contraintes localisées sur le cantilever à proximité de l'encastrement et de 2 résistances de référence déposées sur le substrat (figure 12).



*Figure 12 : La disposition des éléments électriques du capteur favorise l'apparition d'offset dans le pont de Wheatstone.*

<sup>3</sup> Beroulle V., et al., Impact of Technology Spreading on MEMS design Robustness, SOC Design Methodologies, Kluwer Academic Publishers, pp. 241-251, 2002, ISBN : 1-4020-7148-5.

L'offset résulte d'un déséquilibre entre les valeurs nominales de ces 4 résistances. Dans le cas d'un pont avec 2 résistances sensibles à la contrainte il s'écrit simplement :

$$V_{Offset} = \frac{V_{dd} \Delta R}{2 R}$$

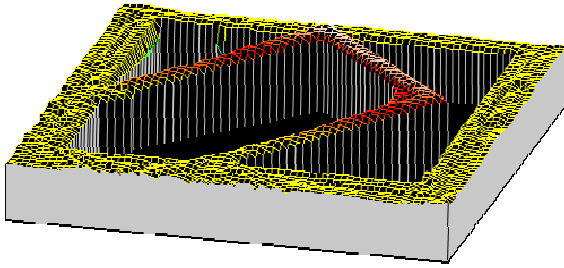
Outre l'effet « statique » de l'offset que nous pourrions filtrer sans trop de difficulté dans le cas d'un signal porté par la résonance de la structure (cas de la boussole), le déséquilibre du pont de Wheatstone entraîne par ailleurs une dégradation significative du taux de réjection du bruit d'alimentation (Power Supply Rejection Ratio ou PSRR). Le PSRR est lié à l'offset par la relation :

$$PSRR = 20 \log_{10} \left( \frac{V_{Offset}}{V_{dd}} \right)$$

Par exemple, un offset de 10mV entraîne un PSRR d'environ -54dB pour un pont de Wheatstone alimenté en 5V, soit une atténuation du bruit d'un facteur 500. Avec une alimentation qui présenterait une densité spectrale de bruit « raisonnable » de 10µV/VHz, la contribution du bruit d'alimentation dans la densité spectrale du bruit mesuré en sortie sera de l'ordre de 20nV/VHz. Avec un capteur dont le niveau de bruit intrinsèque reste inférieur à 10nV/VHz, le déséquilibre du pont de Wheatstone, et ses conséquences sur le PSRR peuvent devenir le facteur limitant la résolution du système.

La réalisation d'un pont de Wheatstone équilibré est toutefois difficile dans le contexte de notre capteur. Les dispersions de valeur entre les 4 résistances formant le pont ont trois origines identifiées :

- **Le désappariement lié aux incertitudes du procédé CMOS** : typiquement, l'écart entre deux résistances en polysilicium reste inférieur à 1%. Une analyse de Monte Carlo donne alors un offset de 2mV sur la base de l'écart type (l'offset moyen étant nul). A  $3\sigma$ , l'offset doit rester inférieur à 6mV. Notons toutefois que la topologie du capteur ne permet pas les précautions d'usage au niveau du dessin des masques (structures « dummy », placement « common-centroid », etc.)
- **Le phénomène de relaxation des contraintes dans la structure suspendue** : Le procédé de dépôt des différentes couches CMOS produit un niveau de contraintes mécaniques dans les matériaux. Lorsque l'empilement de ces couches est libéré du substrat, le gradient de contrainte vertical produit une déformation de la poutre (courbure) qui modifie l'état de contraintes à l'intérieur des jauges. L'état d'équilibre est atteint lorsque la valeur moyenne du gradient de contrainte vertical s'annule dans l'épaisseur de la poutre suspendue (d'où le nom de « relaxation de contraintes »). Par effet piézorésistif, la valeur des résistances embarquées dans le cantilever diffère alors de la valeur des résistances de référence situées au dessus du substrat. A partir d'une analyse de profils (figure 13) sur nos échantillons de test, nous avons extrait les rayons de courbure des structures libérées en différents points et calculé le gradient de contrainte correspondant. Ainsi, à l'aide de modèles simples, nous avons estimé la variation relative de résistance suite à la libération de la structure à environ -0,5% en moyenne. L'offset correspondant vaut 12,5mV en valeur absolue (alimentation 5V).



#	1	2	3	4	5	6
r (mm)	3,3	3,0	2,1	2,5	3,3	2,2
r <sub>moyen</sub> (mm)	2,5					

Figure 13 : Image extraite de la mesure de profil permettant d'extraire les rayons de courbure des poutres suspendues et de déduire le gradient de contraintes résiduelles correspondant.

- La résistance thermique du cantilever** : la structure suspendue est isolée thermiquement du substrat. Les puissances dissipées par effet Joule au niveau des jauges de contraintes ( $P_j$ ) et de la bobine d'excitation ( $P_f$ ) provoquent une élévation de la température du cantilever relativement à la température du substrat comme montré qualitativement sur les thermographies infrarouges figure 14. La résistance nominale des jauges augmente alors proportionnellement au coefficient de température du polysilicium ( $TCR_{poly}$ ). La variation relative de résistance qui résulte des effets thermiques peut se calculer de la façon suivante :

$$\frac{\Delta R}{R} = TCR_{poly} \times R_{th}(P_j + P_f)$$

Où  $R_{th} \approx 1800^\circ\text{C}/\text{W}$  représente la résistance thermique de la partie mécanique suspendue (équivalente, mesurée au niveau des jauges) et  $TCR_{poly} = 0.9 \cdot 10^{-3} \text{ }^\circ\text{C}^{-1}$  le coefficient de température du polysilicium donné par le fondeur.

En mode normal d'opération, les puissances dissipées dans les jauges et dans la bobine sont du même ordre de grandeur  $P_j = P_f \approx 7\text{mW}$ . L'élévation de température observée au niveau des jauges atteint  $26^\circ\text{C}$ . Elle conduit à un écart de valeur de résistance de  $+2,34\%$  et à un offset significatif de  $60\text{mV}$  environ. On notera finalement que la variation de résistance par effet thermique est de signe opposé à la variation liée à la relaxation des contraintes. Il y a donc un léger effet de compensation. La figure 15 donne une idée qualitative des facteurs contribuant à l'offset en sortie du pont de Wheatstone. On pourra retenir que  $67\%$  de l'offset est d'origine thermique.

Nous avons validé ces résultats expérimentalement en conduisant une étude statistique des offsets sur différents lots de capteurs : structures gravées, non-gravées, et utilisant un « dummy » cantilever qui permet de mettre les résistances de référence dans les mêmes conditions de contraintes et de température que les jauges afin d'obtenir de meilleures performances au niveau du PSRR.

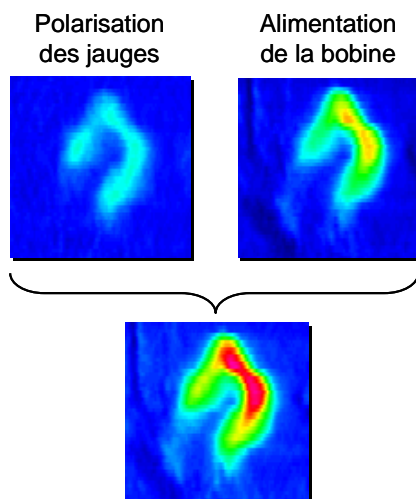


Figure 14 : Thermographie IR du cantilever U-Shape en fonction des éléments polarisés.

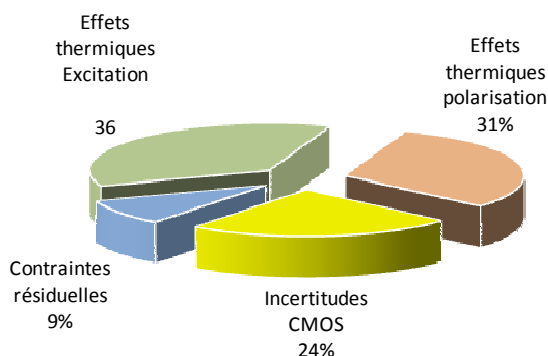


Figure 15 : Les facteurs contribuant à l'offset du capteur de champ magnétique.

A titre d'illustration, la figure 16 montre la distribution des offsets caractérisés sur un lot de 40 structures non-libérées et 20 structures libérées avec comme seule puissance dissipée celle nécessaire à la polarisation du pont de Wheatstone ( $P_j$ ). En moyenne, l'offset relevé sur les puces non gravées est nul, et l'écart-type mesuré de 5,7mV confirme l'hypothèse pessimiste formulée plus tôt concernant les dispersions CMOS. Sur le lot de puces gravées, on observe le même écart-type, ce qui confirme le caractère déterministe des effets thermiques et des contraintes résiduelles. L'offset moyen de 25mV est cohérent avec l'analyse précédente dans la mesure où la puissance dissipée dans la bobine d'excitation est nulle<sup>4</sup>.

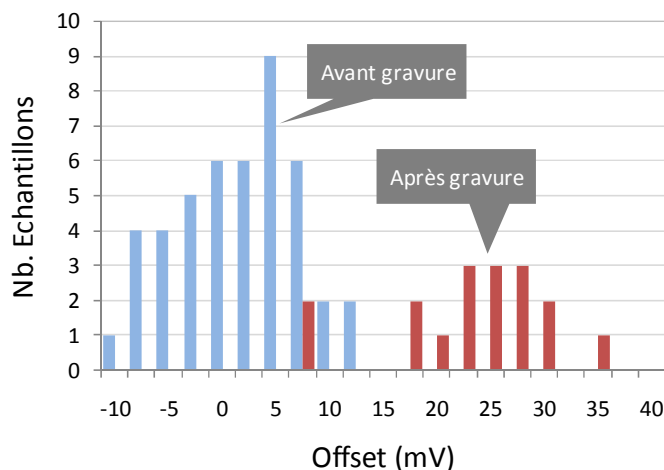


Figure 16 : Etude statistique de l'offset sur des lots de capteurs avant et après gravure.

<sup>4</sup> Dumas N., Latorre L., Nouet P., Analysis of offset and noise in CMOS piezoresistive sensors using a magnetometer as a case study, Sensors and Actuators A: Physical, Vol. 132, 8 November 2006, Pages 14-20.

Nous avons montré par ailleurs que l'utilisation d'une « dummy » structure permet une réduction significative de l'offset en éliminant notamment les effets thermiques [Neu04] et ceux liés à la relaxation de contraintes. La structure proposée et les résultats de caractérisation sont présentés figure 17. Dans une application boussole nécessitant deux cantilevers orthogonaux, cette stratégie peut être mise en œuvre sans surcoût en surface silicium.

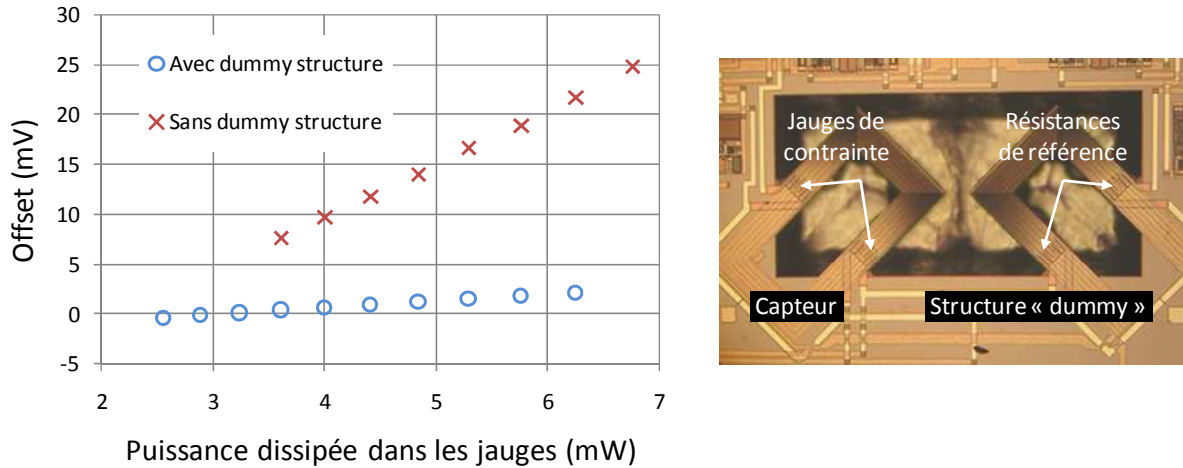


Figure 17 : Utilisation d'un cantilever « dummy » (immobile) pour réduire l'offset du magnétomètre U-Shape.

### Effets thermiques dynamiques et modèle complet

La figure 18 montre la réponse en fréquence de la structure U-Shape à une excitation sinusoïdale appliquée sur la bobine coplanaire, en présence d'un champ magnétique continu calibré  $B$ . A basse fréquence, le signal mesuré en sortie est principalement d'origine thermique. A partir de 35Hz, la fonction de transfert thermique présente une pente d'atténuation de -20db/décade correspondant à celle d'un système du 1<sup>er</sup> ordre.

La résonance du cantilever est observée pour des fréquences de signal d'entrée correspondant à 12kHz et 24kHz environ. Le capteur utilisé ici est celui dont les caractéristiques sont résumées dans le tableau 2. La fréquence de résonance mécanique est proche de 24kHz. Le pic mesuré autour de cette fréquence correspond donc sans ambiguïté à la mise en résonance du capteur par la force de Laplace. En effet, la force de Laplace s'écrit :

$$F_{Laplace} = I_f W_c B = I_{f0} \sin(\omega t) W_c B$$

La puissance thermique dissipée dans la bobine s'écrit quant à elle :

$$P_f = R_f I_f^2 = \frac{R_f I_{f0}^2}{2} (1 - \cos(2\omega t))$$

Avec  $R_f$  la résistance de la bobine d'excitation.



La puissance thermique s'exprime donc sous la forme d'un terme continu, qui va entraîner un offset au niveau du pont de Wheatstone, et d'un terme fréquentiel en  $2\omega$ . Ce terme fréquentiel est à l'origine de la résonance observée à  $f=f_0/2$ . Physiquement, le mécanisme d'excitation est lié au caractère hétérogène de la poutre suspendue, constituée de matériaux aux coefficients de dilatation différents les uns des autres (effet « bilame »).

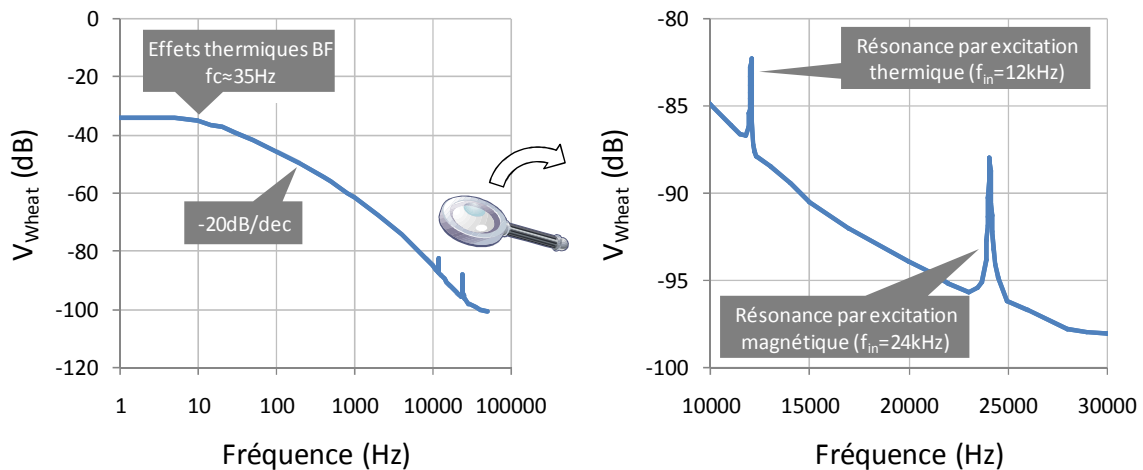


Figure 18 : Effets thermiques dynamiques : Etude en fréquence de la structure U-Shape en présence d'un champ magnétique extérieur.

En fonctionnement normal, l'excitation thermique peut être considérée comme inutile au mieux, et parasite au pire. Nous verrons plus loin dans ce manuscrit qu'il est très facile de supprimer la composante fréquentielle du signal thermique par la conception d'un driver approprié. Par contre, la possibilité de provoquer la résonance de la structure mécanique en l'absence de champ magnétique par le seul moyen d'une excitation thermique, entièrement contrôlable électriquement, permet d'envisager des procédures de test et de calibration très intéressantes.

### Modèle « niveau 2 »

La figure 19 montre en conclusion la dernière évolution du modèle comportemental de la structure U-Shape. Ce modèle reprend les éléments du modèle idéal et intègre les différents phénomènes décrits au long de cette section ainsi que les sources de bruit et le couplage capacitif qui existe entre la bobine et les jauges de contrainte. Les dispersions caractérisées peuvent de plus être attachées à chacun des paramètres concernés de façon à permettre l'analyse statistique.

Ce modèle constitue un outil puissant pour aborder les problèmes de conception robuste qui seront développés dans la suite du manuscrit.

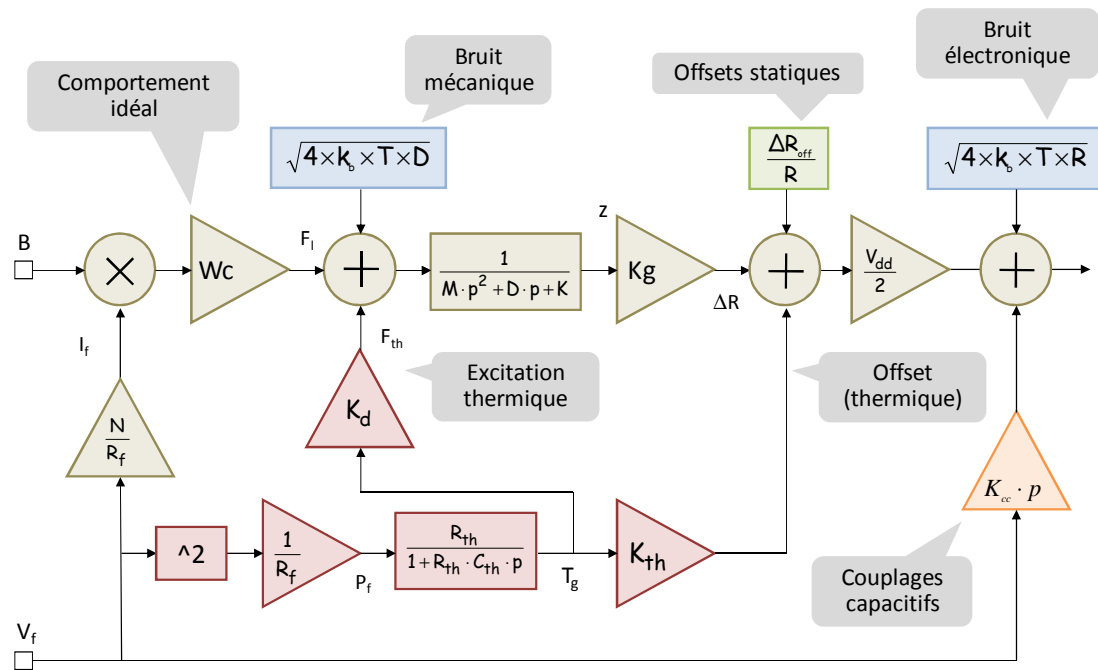


Figure 19 : Le modèle comportemental « niveau 2 » de la structure U-Shape intégrant les effets parasites.

### 4.3. Capteurs piézorésistifs : Application à la mesure d'accélération

La technologie FSBM ne permet pas de suspendre d'importantes masses sismiques c'est pourquoi peu d'accéléromètres s'appuyant sur ce procédé de fabrication ont été étudiés jusque là. Aboubacar Chaehoi a dès les premiers mois de sa thèse conduit une série d'expériences visant à caractériser la sensibilité aux vibrations des poutres cantilevers utilisées pour la mesure du champ magnétique. Ayant alors obtenu quelques résultats intéressants, nous avons choisi de mener une étude approfondie sur la réalisation de capteurs d'accélération piézorésistifs sur la base de simples poutres suspendues.

Le calcul au premier ordre de la performance atteignable avec ce type de capteur donne un résultat très représentatif du contexte général de nos études : une sensibilité particulièrement faible mais un niveau de bruit faible également, ce qui permet d'envisager une performance globale intéressante pour peu que l'on sache réaliser un traitement du signal adéquat.

#### 4.3.1. Approche théorique de la faisabilité

Considérons une structure très simple représentée figure 20, constituée d'un plateau carré de  $200\mu\text{m}$  de côté suspendu au bout d'une poutre cantilever de  $500\mu\text{m}$  de longueur. La connaissance des paramètres technologiques (tableau 4) que sont les épaisseurs  $t_i$  des couches CMOS, et les densités massique  $d_i$  de chacun des matériaux (figure 21) constitutifs de la structure suspendue [Ams2], [Pet82], [Hos00], [Sen01] nous permet de calculer la masse par unité de surface que l'on estime à  $13,8\text{g}/\text{m}^2$ . Ainsi, le plateau constitue une masse de  $0,56\ \mu\text{g}$  attachée en bout de bras,

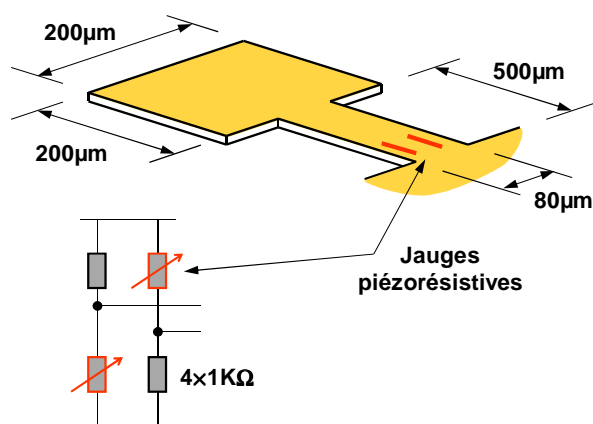
produisant une force de seulement  $5,6 \cdot 10^{-9}$  N/g. Sachant que la constante de raideur du bras avoisine 1,2 N/m, la flèche qui résulte d'une accélération d'1g est de l'ordre de 4,6nm, soit un mouvement d'amplitude particulièrement faible.

Les caractéristiques statiques en fléchissement  $R_{\text{jauge}}=f(z)$  de poutres cantilevers semblables permet d'estimer le coefficient de transfert électromécanique, englobant le facteur de jauge du polysilicium CMOS qui ne fait pas parti des paramètres technologiques donnés par le fondeur. Ainsi, en faisant l'hypothèse d'un pont de Wheatstone équilibré avec 4 résistances de  $1\text{k}\Omega$  dont deux ont la fonction de jauges de contraintes, la tension de sortie en fonction de la flèche appliquée sur le bras est de 450V/m. La sensibilité qui en résulte pour notre accéléromètre est donc de  $2\mu\text{V/g}$ , ce qui est évidemment très en dessous des sensibilités publiées sur d'autres technologies d'accéléromètres.

Pour compléter l'étude, il est nécessaire d'envisager la performance du capteur en terme de résolution, et donc de considérer le bruit dans l'élément sensible. Dans notre cas, il existe deux sources de bruit : le bruit électrique dans les résistances du pont de Wheatstone et le bruit mécanique lié à l'agitation thermique de l'air environnant le capteur. Plusieurs études ont montré que le bruit mécanique peut être négligé devant le bruit présent dans les résistances [Gab93], [Har00]. Le modèle de bruit couramment utilisé pour les résistance est un bruit blanc, de densité spectrale  $N=\sqrt{4kTR}$  où k est la constante de Boltzmann, T(K) la température et R( $\Omega$ ) la valeur de la résistance.

La densité spectrale de bruit exprimée en sortie du pont de Wheatstone est donc de 8nV/ $\sqrt{\text{Hz}}$ . Si l'on intègre ce bruit sur une bande passante correspondant à la fréquence de résonance du capteur (on suppose que le capteur fonctionne à des fréquences inférieures à sa fréquence de résonance) le bruit RMS calculé en sortie se situe aux alentours de 0.68  $\mu\text{V}_{\text{rms}}$  pour une fréquence de résonance de 7,4 kHz. Rapporté à la sensibilité précédemment calculée de 2  $\mu\text{V/g}$  la résolution du capteur avoisine les 0,5 g. Cette résolution intrinsèque de la structure peut s'avérer suffisante pour un grand nombre d'applications. De plus, la bande passante peut être réduite davantage par un filtrage électronique, ce qui aura pour effet d'améliorer la résolution.

Le tableau associé à la figure 20 récapitule l'ensemble des résultats discutés précédemment.



Masse sismique (plateau)	0,56 $\mu\text{g}$
Constante de raideur du bras	1,2 N/m
Flèche	4,6 nm/g
Sensibilité	2 $\mu\text{V/g}$
Densité spectrale de bruit	8 nV/ $\sqrt{\text{Hz}}$
Bande passante	7.4 kHz
Bruit rms	0.68 $\mu\text{V}$
Résolution théorique	0,5 g

Figure 20 : Cas d'étude pour un accéléromètre piézorésistif CMOS.

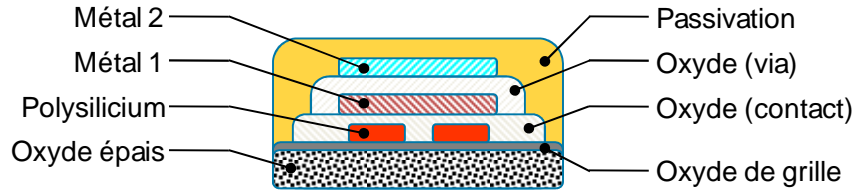


Figure 21 : Section de poutre suspendue CMOS et matériaux constitutifs.

Tableau 4 : Propriétés des matériaux constitutifs d'une poutre suspendue CMOS-AMS 0,8 $\mu$ m.

Matériau	Epaisseur $t_i$ ( $\mu$ m)	Module d'Young $E_i$ (GPa)	Densité Massique $d_i$ ( $\text{kg/m}^3$ )
Oxyde épais	0,6	70	2500
Polysilicium	0,4	162	2300
Oxyde de Contact	0,6	90	2500
Métal 1	0,6	72	2700
Oxyde de Via	1	81	2500
Métal 2	1	74	2700
Passivation	1	131	3100

Cette étude préliminaire<sup>5</sup> montre que la poutre piézorésistive CMOS/FSBM peut être considérée comme une solution pour la mesure d'une accélération hors-plan (axe z) dans la conception d'une unité de mesure inertielle. Le challenge se situe au niveau de la conception du circuit de traitement qui doit être en mesure d'offrir une amplification significative du signal tout en respectant les contraintes de bruit.

#### 4.3.2. Résultats expérimentaux

L'approche théorique a été validée par la réalisation de prototypes (figure 22) en technologie CMOS que nous avons caractérisé à l'aide d'un pot vibrant (figure 23). Le prototype présenté comprend deux structures de test afin de disposer de largeur de cantilever différentes ( $A=80\mu\text{m}$  et  $B=40\mu\text{m}$ ), assortis chacun d'un pont de Wheatstone pour le conditionnement des jauges de contraintes et d'un circuit d'amplification programmable ( $G=20, 100, 1000$ ). On notera également la présence d'une ligne métallique faisant le tour du plateau et pouvant être utilisée pour la génération d'une force électromagnétique à des fins de caractérisation mécanique. Le dispositif a été baptisé « T-Shape », d'après son apparence et par esprit de continuité...

<sup>5</sup> Chaehoi A, Latorre L., Baglio S, Nouet P., Piezoresistive CMOS Beams for Inertial Sensing, IEEE SENSORS'03, Oct. 22-24, Toronto, Canada, 2003, pp. 451-456.

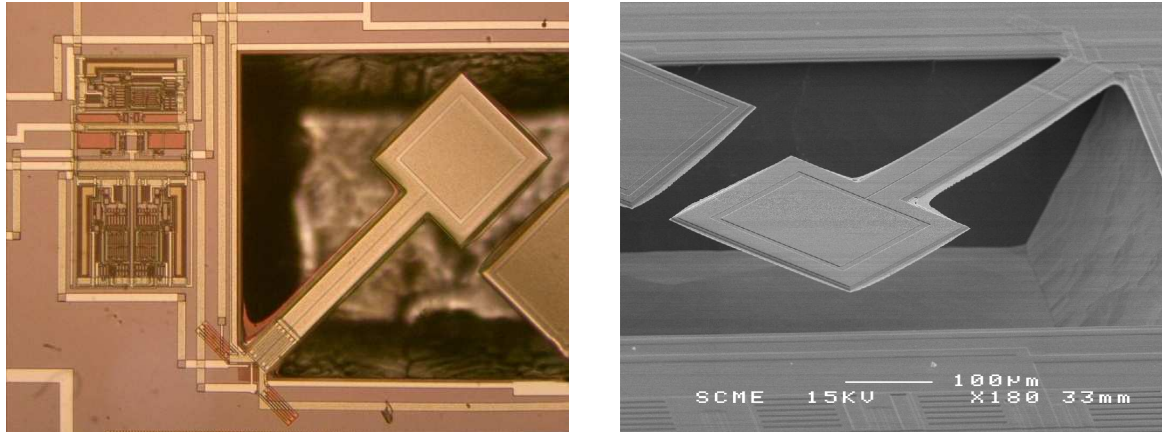


Figure 22 : Photographies au microscope optique et MEB des prototypes d'accéléromètres piézorésistifs (le circuit d'amplification apparaît à gauche de la cavité).

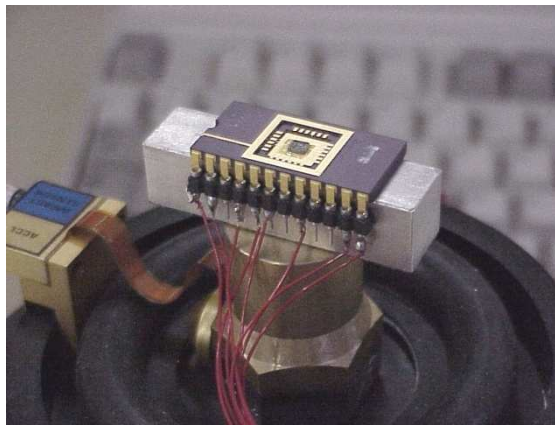


Figure 23 : L'accéléromètre monté sur pot vibrant pour la caractérisation.

Les figures 24 et 25 montrent les résultats de mesures obtenus sur ces premiers véhicules de test. Le tableau 5 regroupe les sensibilités et fréquences de résonance trouvées expérimentalement en comparaison des résultats issus de modélisation (analytique et par éléments finis). Les fréquences de résonance ont été mesurées sous pot vibrant et à l'aide de la force de Laplace, utilisant pour cela la ligne métallique prévue à la conception. Les réponses en fréquence obtenues sous les deux types d'excitation ont produit des résultats très semblables, nous confortant dans l'utilisation d'un modèle de simulation simplifié, faisant notamment l'hypothèse d'une force inertielle équivalente, appliquée ponctuellement au centre du plateau. Ce modèle a par ailleurs fait l'objet d'une intégration en Verilog-A.

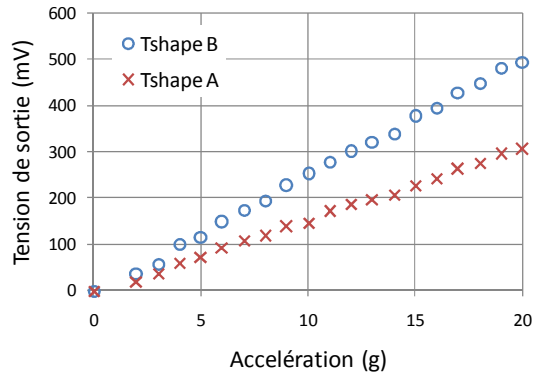


Figure 24 : Etude de la sensibilité des accéléromètres sur pot vibrant à 100Hz (G=1000).

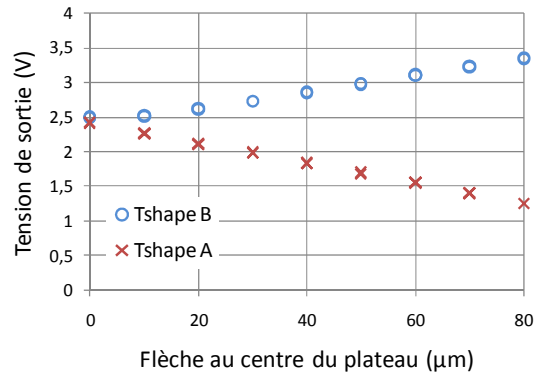


Figure 25 : Etude de la tension de sortie en fonction de la flèche imposée au plateau (G=1000).

Tableau 5 : Comparaison des sensibilités et fréquences de résonance calculées et mesurées.

	Modèle		ANSYS		Caractérisation	
	A	B	A	B	A	B
T-Shape						
Sensibilité (nm/g)	13,2	25,1	13,4	25,5	13,4	25,5
Sensibilité@ G=1000 (mV/g)	13,3	27,8			14,1	22,4
F <sub>res</sub> (kHz)	4,33	3,15	4,3	3,06	4,8	3,2

A l'issue de ces travaux<sup>6</sup>, d'autres structures ont été imaginées de façon à augmenter la sensibilité du capteur en optimisant le rapport  $M/k$ , à taille de cavité constante. Des prototypes ont été réalisés dans ce sens (figure 26). Cette optimisation permet d'améliorer la sensibilité d'un facteur 2, ce qui représente un intérêt relativement modeste.

A ce stade de l'étude, nous n'avons pas réellement conclu sur la résolution atteignable par les capteurs de type T-Shape ainsi que sur les domaines d'application. En effet, nos prototypes embarquent un amplificateur d'instrumentation réalisé à l'aide d'amplificateurs opérationnels de bibliothèque standard disposant de performances plutôt limitées au niveau du bruit basse fréquence. Dès lors, il nous a été difficile de réaliser des mesures de résolution pertinentes et l'ordre de grandeur de la résolution obtenue avoisinait modestement le g. Toutefois une étude en simulation, s'appuyant sur l'utilisation d'un amplificateur faible bruit (utilisé par ailleurs sur le magnétomètre) nous a permis d'estimer une résolution de l'ordre de 63mg.

Par la suite, les travaux d'Aboubacar Chaehoi se sont orientés vers les capteurs inertiels thermiques qui semblaient alors plus intéressants en termes de performances. Aujourd'hui, l'expérience accumulée au niveau des interfaces électroniques pour capteurs nous permet de considérer à nouveau l'utilisation du capteur T-Shape dans de nouvelles applications, et notamment en détection de chocs.

<sup>6</sup> Chaehoi A., Latorre L., Nouet P., Design of CMOS Cantilevers for Inertial Sensing, EUSPEN'05, 8-11 Mai, Montpellier, France, 2005, pp341-344.

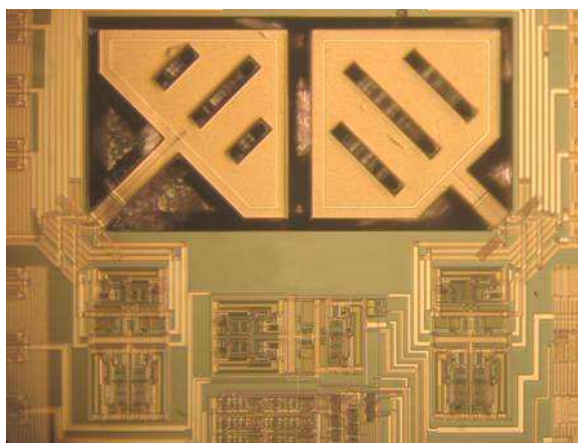


Figure 26 : Réalisation d'un accéléromètre piézorésistif avec une optimisation du ratio  $M/K$  afin d'augmenter la sensibilité.

## 4.4. Capteurs thermiques

Le second domaine d'application de la technologie FSBM concerne les dispositifs thermiques. En effet, la possibilité d'isoler thermiquement une structure du substrat grâce au procédé de gravure a conduit à la réalisation de différents types de transducteurs : capteurs de débit, capteurs infrarouge, capteurs chimiques contrôlés thermiquement et accéléromètres. Nous nous sommes intéressés à ces derniers car nous avons vu plus tôt que les structures piezoresistive n'offraient que des performances limitées, notamment pour des applications basses fréquences, de type inclinomètre.

Aboubacar Chaehoi, dans la seconde moitié de sa thèse, a développé les premiers véhicules de caractérisation et donné naissance à un premier niveau de modélisation concernant les accéléromètres convectifs. Par la suite, Olivier Leman a repris cette étude en orientant son travail vers des aspects plus « système et électronique intégrée » qui seront présentés dans une seconde partie.

### 4.4.1. Principe de fonctionnement de l'accéléromètre convectif

Un accéléromètre convectif simple est constitué de trois poutres parallèles, isolées thermiquement du substrat à l'aide d'une gravure en volume comme montré figure 27 [leu97] [leu98]. Chacune de ces trois poutres embarque une résistance. La poutre centrale est utilisée comme élément chauffant. Un transfert de chaleur entre l'élément central et les deux détecteurs s'opère alors par superposition des phénomènes de conduction et de convection. Le phénomène de convection est sensible à l'accélération subie par le dispositif. Ainsi, une accélération latérale se traduit par une différence de température entre les deux détecteurs que l'on pourra mesurer après avoir conditionné les résistances de détection. Ce phénomène est illustré sur la figure 28 qui montre les isothermes dans une coupe transversale du capteur lorsqu'il est soumis à une accélération latérale  $g$ .

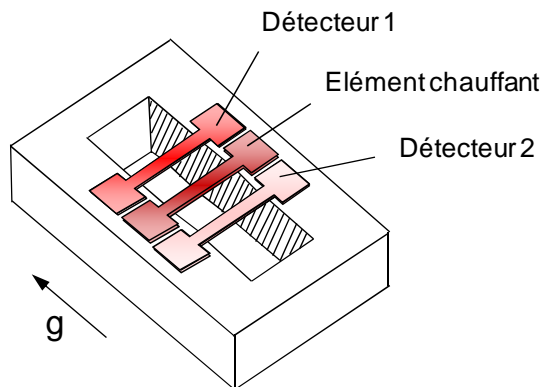


Figure 27 : Structure de l'accéléromètre convectif à 3 ponts.

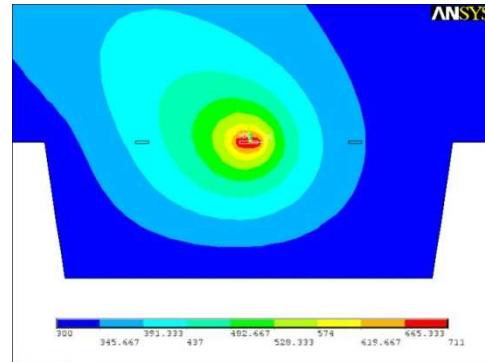


Figure 28 : Simulation FEM de l'accéléromètre convectif soumis à une accélération.

#### 4.4.2. Prototypage et caractérisation

Les premiers prototypes d'accéléromètres thermiques ont été réalisés dans le cadre de la thèse d'Aboubacar Chaehoi en 2004. Ils implémentent la structure à 3 ponts, un conditionnement des détecteurs sous la forme d'un pont de Wheatstone et un amplificateur d'instrumentation<sup>7</sup>. L'étage d'amplification de gain  $G$  programmable est identique à celui implanté sur les accéléromètres piézorésistifs, ce qui a permis d'accélérer la conception. Nous verrons par la suite que comme dans le cas des T-Shapes, cet amplificateur limite la performance du circuit, en particulier à cause d'un bruit significatif en basse fréquence. Deux capteurs ont été conçus, de tailles différentes afin de pouvoir disposer d'une première étude paramétrique.

La structure montrée figure 29 est constituée de trois ponts dans lesquels sont logés les résistances de chauffe (pont du milieu) et de détection (pont latéraux). Les dimensions de l'élément chauffant sont  $40 \times 1040 \mu\text{m}^2$ , celles des détecteurs sont  $30 \times 700 \mu\text{m}^2$  et la distance qui les sépare est de  $200 \mu\text{m}$ . La profondeur de la cavité est d'environ  $300 \mu\text{m}$ . Les résistances suspendues sont en polysilicium. Une couche d'aluminium a été conservée sur l'élément chauffant pour uniformiser la température au milieu des ponts où s'effectue le maximum d'échanges convectifs. Pour améliorer le transfert de chaleur, la zone située au-dessus de la couche d'aluminium reste sans oxyde de passivation.

Les premiers résultats de mesures ont été obtenus avec une puissance de chauffe de  $35 \text{mW}$  ( $7 \text{mA}$  dans  $700 \Omega$ ). Dans ces conditions, la température moyenne de la résistance de chauffe atteint  $438^\circ\text{C}$ . Cette valeur est déduite de la mesure de la valeur de la résistance de chauffe et du coefficient thermique du polysilicium ( $\text{TCR}_{\text{poly}} = 0,09\%/^\circ\text{C}$ ). La figure 30 montre la tension relevée en sortie d'amplificateur ( $G=1000$ ), en statique, pour différentes inclinaisons du circuit (gamme  $\pm 1\text{g}$ ). La sensibilité correspondante est de  $375 \text{mV/g}$ , que l'on peut également exprimer sous la forme d'une différence de température entre les détecteurs de  $1,53^\circ\text{C/g}$ .

<sup>7</sup> Chaehoi A., Mailly F., Latorre L., Nouet P., Experimental and finite-element study of convective accelerometer on CMOS, Sensors and Actuators A: Physical, Volume 132, Issue 1, 8 November 2006, Pages 78-84.



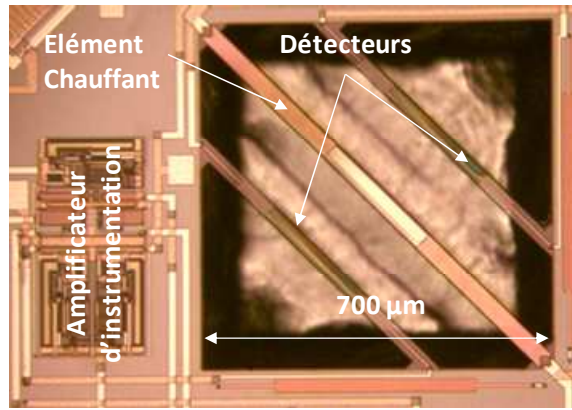


Figure 29 : Photographie du prototype d'accéléromètre thermique.

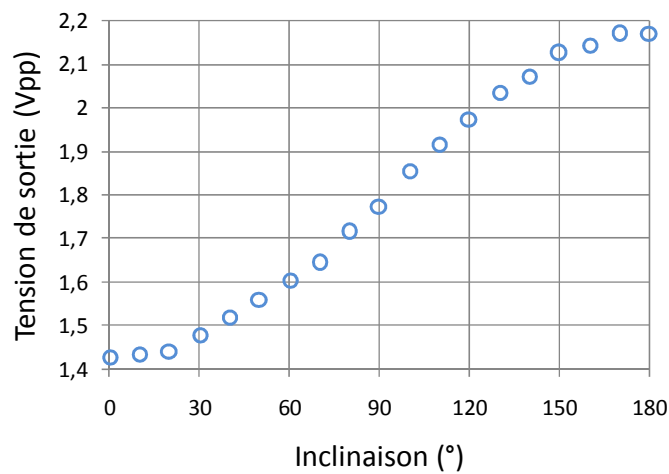


Figure 30 : Résultat de caractérisation de l'accéléromètre convectif sur la gamme  $\pm 1g$  (inclinomètre).

Sans autre forme de traitement électronique particulier, la résolution obtenue est de  $1,7^\circ$  autour de  $90^\circ$  ( $30mg$ ) ce qui constitue déjà une performance encourageante si l'on se place dans un contexte d'applications faible-coût.

Différentes études expérimentales ont été conduites sur ce capteur, notamment l'étude de la réponse en fréquence et de la linéarité sur la gamme  $0-10g$  à l'aide du pot vibrant. Toutefois, compte tenu des limites de nos moyens de caractérisation (fréquence minimale du pot vibrant à  $40Hz$ ), l'étude comportementale du capteur a également reposé sur l'élaboration d'un modèle analytique que je présente ci-après.

### 4.4.3. Modélisation

Le modèle proposé<sup>8</sup> pour l'accéléromètre thermique est représenté figure 31. On distingue 4 sections représentant chacune un phénomène physique élémentaire. Chaque section fera l'objet d'une description détaillée.

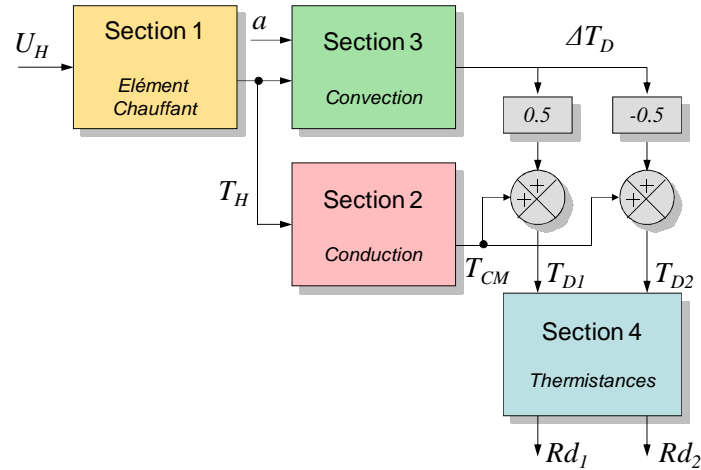


Figure 31 : Modèle comportemental de l'accéléromètre convectif.

#### Section 1 : Élément chauffant

La section 1 décrit l'échauffement de la poutre centrale en réponse à une tension électrique appliquée à ses bornes. Le modèle associé est une simple relation de proportionnalité entre la puissance électrique  $P_H$  dissipée dans l'élément chauffant et l'élévation de sa température relativement à la température ambiante :

$$\Delta T_H = T_H - T_{amb} = R_{th} P_H$$

Le terme  $R_{th}$  est la résistance thermique de l'élément chauffant en K/W. Sur le prototype présenté précédemment, cette résistance a été mesurée autour de 10800K/W.

#### Section 2 : Transfert de chaleur par conduction

La section 2 représente le phénomène de conduction thermique dans l'air, et permet de calculer la température des éléments détecteurs au point de repos. La modélisation de ce bloc s'appuie sur la calibration d'un modèle géométrique simplifié (modèle cylindrique) [Hol01] à l'aide de simulations par éléments finis (figure 28). Ce modèle fait l'hypothèse que le pont chauffant est un cylindre de longueur infinie et de rayon  $r_1$ . Il permet de calculer la température  $T_{CM}$  dans la cavité, à une distance  $r$  de l'élément chauffant :

$$T_{CM} + \gamma \frac{T_{CM}^2}{2} = \frac{(T_H - T_{amb}) + (\gamma/2)(T_H^2 - T_{amb}^2)}{\ln(r_2/r_1)} \ln\left(\frac{r}{r_1}\right) + T_H + \gamma \frac{T_H^2}{2}$$

<sup>8</sup> Leman O., Chaehoi A., Maily F., Latorre L., Nouet P., Modeling of a CMOS Convective Accelerometer for HDL Integration, ESSDERC'06, Sept. 18-22, Montreux, Switzerland, 2006, pp. 134-137.

où  $r_1$  représente ici la demi-largeur de la poutre chauffante, et  $r_2$  la distance entre le centre de cette poutre et le bord de la cavité. Le modèle est donc valide pour  $r_1 < r < r_2$ .  $\gamma=9.73.10^{-3}K^{-1}$  représente le coefficient de variation de la conductivité thermique de l'air à 0K. Ce modèle donne des résultats très proches de ceux obtenus avec un modèle à éléments finis (figure 32).

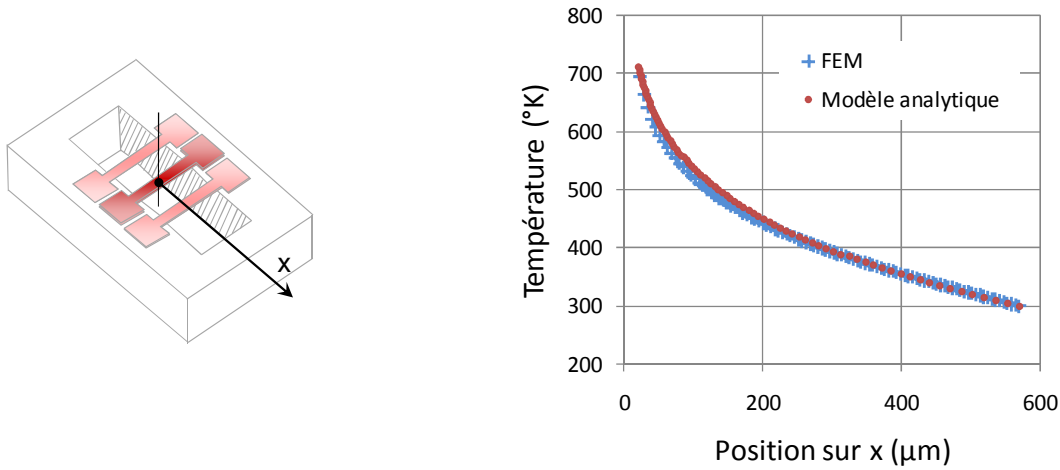


Figure 32 : Comparaison des modèles analytique (modèle cylindrique) et FEM pour le calcul du profil de température obtenu autour de l'élément chauffant (35mW) par conduction.

### Section 3 : Transfert de chaleur par convection

La section 3 contient les équations de convection qui permettent de déterminer le gradient de température le long de l'axe sensible du capteur en fonction de l'accélération subie par le système. En d'autres termes, ce modèle de convection décrit la déformation du profil de température précédemment calculé sous l'action d'une accélération. La littérature s'accorde à dire que la différence de température observée entre les détecteurs est proportionnellement liée à l'accélération par un coefficient appelé nombre de Grashof ( $G_r$ ) [Mai03], donné par :

$$G_r = \frac{\beta \rho^2 (T_H - T_{amb}) l^3}{\mu^2}$$

où  $\rho$  ( $kg.m^{-3}$ ) est la densité du gaz,  $\beta$  ( $K^{-1}$ ) est son coefficient d'expansion,  $\mu$  ( $kg.m^{-1}.s^{-1}$ ) sa viscosité et  $l$  (m) une dimension empirique. L'expression de la différence de température entre deux points situés au niveau des détecteurs en fonction de l'accélération  $a$  s'écrit alors :

$$\Delta T_D(p) = a \frac{SGr}{1 + \tau_{conv} p}$$

où  $\tau_{conv}$  (s) représente la constante de temps de convection et  $S$  (K) est un coefficient empirique représentant la sensibilité du capteur. Ces deux paramètres varient avec le volume de la cavité, la géométrie et la position des détecteurs. Une étude FEM montre que la différence de température maximale est observée à mi-chemin entre l'élément chauffant et le bord de la cavité, donnant ainsi

une indication pour le placement optimal des détecteurs. Le modèle analytique s'appuie donc sur les expressions précédentes et doit être étalonné, soit à partir de résultats FEM, soit à partir de données expérimentales. La différence de température entre les détecteurs  $\Delta T_D$  en fonction de la distance  $x$  entre les détecteurs et l'élément central peut-être approximé par un polynôme du second ordre comme montré figure 33.

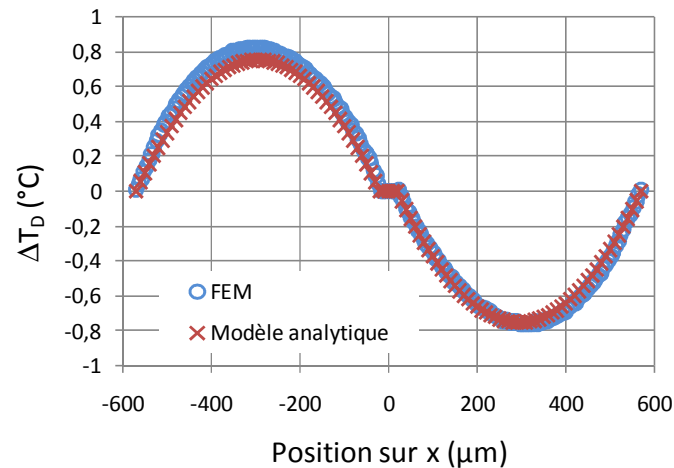


Figure 33 : Comparaison entre le modèle analytique calibré et les résultats FEM concernant les phénomènes de convection pour une accélération de 1g (modèle statique).

L'étude du régime dynamique de convection repose sur l'interprétation de résultats de caractérisation à l'aide notamment de simulations en régime transitoire de modèles par éléments finis<sup>9</sup>. La réponse du système s'apparente à celle d'un système du premier ordre, avec une fréquence de coupure avoisinant la dizaine de Hertz. Nous avons étudié les phénomènes de convection en régime transitoire (application d'un échelon d'accélération) à l'aide de simulation FEM pour différentes configuration de packaging, faisant notamment varier la taille de la cavité supérieure (capot), soit le produit  $w \times h$  sur le modèle 2D présenté figure 34.

Les résultats obtenus présentés figures 35 et 36 montrent que la sensibilité augmente avec le volume de la cavité supérieure, et que logiquement dans le même temps la bande passante diminue. En pratique, le paramètre  $w$  ne joue pas un rôle prépondérant au niveau des performances du capteur dès qu'il atteint l'ordre de grandeur de la largeur de la cavité inférieure du capteur. On pourra alors jouer sur les dimensions du capteur, ainsi que sur la hauteur du capot ( $h$ ) afin d'adapter au mieux ses performances aux besoins de l'application.

<sup>9</sup> Chaehoi A., Mailly F., Latorre L., Nouet P., Experimental and finite-element study of convective accelerometer on CMOS, Sensors and Actuators A: Physical, Volume 132, Issue 1, 8 November 2006, Pages 78-84.

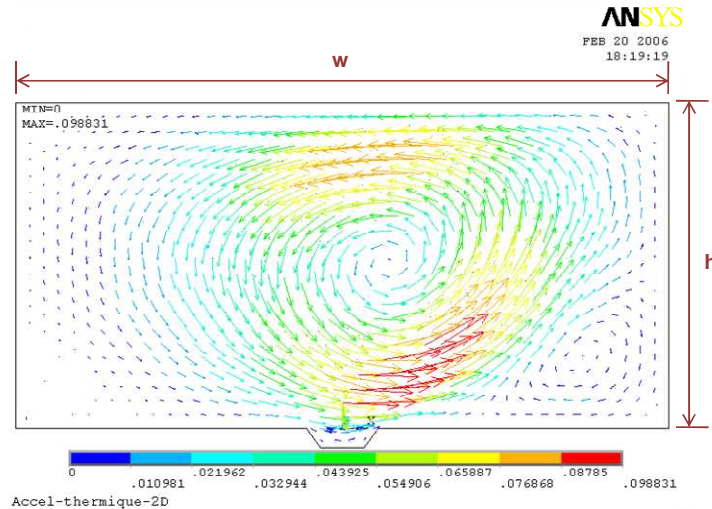


Figure 34 : Simulation FEM du phénomène de convection. La figure montre les vecteurs représentant la vitesse des particules de gaz dans la cavité.

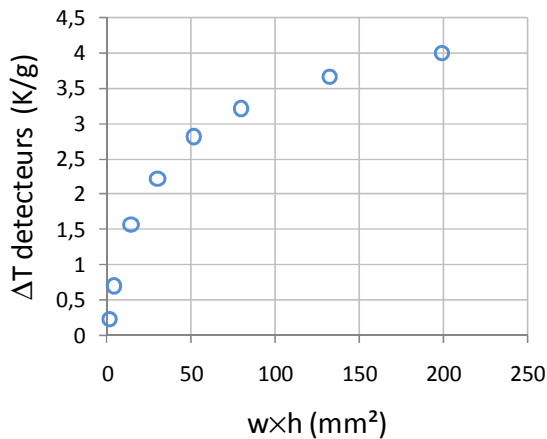


Figure 35 : Etude de la sensibilité du capteur en fonction de la taille de la cavité supérieure.

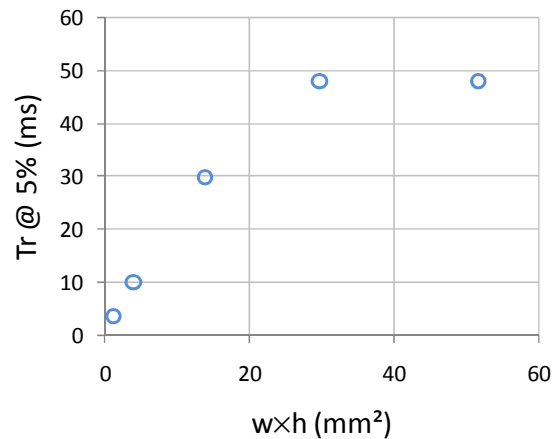


Figure 36 : Etude du temps de réponse du capteur en fonction de la taille de la cavité supérieure.

Dans le cas du prototype introduit précédemment, la sensibilité du capteur atteint  $\Delta T_D=1,5K/g$  en statique avec un capot situé à 3mm au dessus de la cavité. Le temps de réponse correspondant est de 30ms ( $\tau_{conv}\approx 10ms$ ). Avec un capot situé à 1mm, la sensibilité est réduite à  $\Delta T_D=0,4K/g$  mais la constante de temps de convection diminue.

#### Section 4 : Fonction de transfert des détecteurs

Pour finir, la section 4 traduit l'écart de température entre les détecteurs en une différence de potentiel, en tenant compte à la fois du coefficient thermique du matériau constitutif des résistances de détection, et éventuellement du type de conditionnement réalisé, qui peut être dans notre cas un habituel pont de Wheatstone. En régime dynamique, la résistance  $R_{di}$  d'un détecteur s'écrit :

$$R_{di}(p) = R_{di,nom} \left( 1 + TCR \left( T_{CM} \pm \frac{1}{2} \Delta T_D \right) \frac{1}{1 + \tau_D p} \right)$$

où  $\tau_D$  (s) représente la constante de temps des détecteurs et TCR ( $K^{-1}$ ) le coefficient thermique du matériau utilisé comme thermistance (polysilicium dans notre cas). Nous introduisons donc ici une nouvelle constante de temps ( $\tau_D$ ) qui traduit l'inertie thermique des ponts détecteurs. Cette constante de temps a été caractérisée sur les prototypes aux alentours de  $\tau_D=3,3ms$ . Dans le cas de nos véhicules de test, la réponse en fréquence sera donc limitée par le phénomène de convection (plus lent). Par contre, nous avons vu plus tôt que ce phénomène pouvait être accéléré en diminuant la taille du capteur. Il est ainsi possible d'imaginer que dans le cas de structures aux dimensions réduites, la constante de temps thermique des détecteurs devienne le facteur limitant la bande passante. Cette observation justifiera en partie l'étude de systèmes contre-réactionnés qui seront développés en seconde partie du manuscrit.

Le modèle complet ainsi élaboré constitue une aide précieuse pour la conception d'accéléromètres convectifs et permet d'estimer la sensibilité du capteur en fonction des degrés de liberté que sont les paramètres géométriques ou les conditions de polarisation. Dans le cadre d'une approche de conception « système », ce modèle peut toutefois être simplifié de façon à ne représenter que le comportement « petit signal » du MEMS, autour d'un point de fonctionnement.

Ce modèle simplifié est représenté figure 37. La première fonction de transfert regroupe les blocs 1 à 3 du modèle complet, à l'exception du régime dynamique des détecteurs décrit séparément. Le coefficient K représente la sensibilité du capteur exprimé en K/g. Le bruit thermique des résistances est finalement intégré à ce modèle de façon à permettre une analyse de la résolution du système après intégration dans son environnement microélectronique. Les paramètres correspondants à ce modèle, représentatifs du prototype caractérisé sont récapitulés dans le tableau 6.

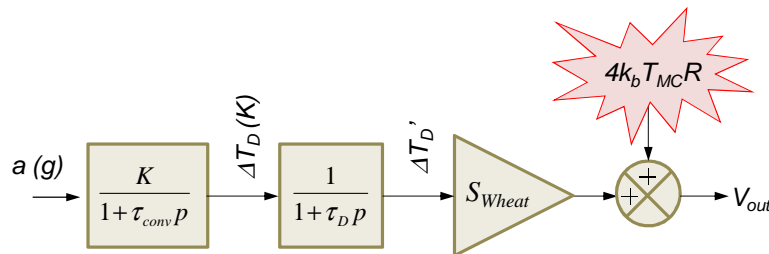


Figure 37 : Modèle simplifié « petit signal ».

Tableau 6 : Paramètres du modèle « petit signal » extraits pour le prototype.

K	1,53 K/g
$\tau_{conv}$	10 ms
$\tau_D$	3,3 ms
$S_{wheat}$	2 mV/K
$\sqrt{4k_b T_{McR}}$	34 nV/ $\sqrt{Hz}$
Sensibilité	3,1mV/g
Densité spectrale de bruit	11 $\mu$ g/ $\sqrt{Hz}$
Résolution (1-20Hz)	49 $\mu$ g <sub>rms</sub>

## 4.5. Eléments de fiabilité

### 4.5.1. Contexte

En parallèle à nos travaux en conception, nous avons lancé en 2000 une thèse concernant la fiabilité des microsystèmes silicium. Cette étude a été conduite en étroite partenariat avec le CNES et EADS-Lanceurs dont l'objectif était de développer une expertise propre dans ce domaine afin d'être en mesure d'appréhender l'arrivée sur le marché des MEMS. L'idée générale de la thèse était de mettre en place des outils méthodologiques permettant d'évaluer la fiabilité des MEMS tant au niveau des technologies de fabrication qu'au niveau système.

Le contexte de ce travail se situe dans un environnement industriel toujours d'actualité où les besoins du secteur spatial vont à l'encontre des réalités économiques du marché des MEMS. Typiquement, une application embarquée sur un lanceur ou un satellite requiert l'utilisation d'un nombre réduit de composants à forte valeur ajoutée, qualifiés pour l'environnement spatial alors que le recours à une approche de fabrication silicium pour une fonction micromécanique se justifie dans le cas de volumes de fabrication élevés, typiquement pour des applications « consumer » où la sûreté de fonctionnement n'est pas toujours d'un niveau critique.

Néanmoins, l'apparition sur le marché grand public de composants MEMS tels que les capteurs inertiels (gyroscopes, accéléromètres...) affichant des performances semblables ou supérieures à leurs équivalents macroscopiques a poussé les industriels du secteur spatial à considérer ces produits émergents dans une optique de réduction du coût des missions. Cette réduction de coût pourrait être significative compte tenu de la disponibilité de composants sur étagère (COTS) ainsi que d'une diminution significative du poids des charges embarquées que permet la miniaturisation des composants électromécaniques à l'aide de technologies de micro-usinage du silicium.

Sur le plan scientifique, cette thèse est relativement pionnière. En effet, si le problème de la fiabilité des MEMS était déjà posé, les publications restaient peu nombreuses et plutôt orientées vers la caractérisation des procédés de fabrication. On y trouve par exemple la conception et la modélisation de véhicules de test permettant l'extraction des propriétés de matériaux (ex. Module d'Young) ou de caractéristiques du procédé de fabrication (ex. contraintes résiduelles [Bou96]) associée au développement de nouvelles méthodes de caractérisation [Boe99]. D'autres études explorent plutôt les aspects analyse de défaillance, généralement en association avec un dispositif particulier. Les problèmes de collage des structures micro-usinées en surface ont fait par exemple l'objet d'une attention particulière [Spe03], tout comme la fiabilité des micro-relais électrostatiques [Spe02].

Concernant la thèse de Muriel Dardalhon, le problème général de fiabilité a été abordé sous plusieurs angles simultanément :

- le développement de structures de test élémentaires et la mise en œuvre des équipements d'analyse paramétrique afin d'évaluer la fiabilité d'un procédé de fabrication en cours d'élaboration,
- la conception de véhicules de test représentatifs du comportement d'un système complet dans une technologie de maturité plus avancée,

- le développement de procédures de test pour des prototypes en cours de développement sous différentes contraintes environnementales et fonctionnelles,
- l'utilisation de ces procédures pour l'évaluation d'un microsystème commercial ou MOTS (Mems-Off-The-Shelf). L'accéléromètre ADXL d'Analog Devices a servi de support à cette étude.

A titre d'exemple, ce manuscrit donnera un bref aperçu du travail réalisé autour de la technologie FSBM et des structures suspendues telles que nous les utilisons dans les capteurs réalisés au LIRMM<sup>10</sup>.

#### 4.5.2. Conception et fabrication d'un véhicule de test

Le cantilever U-Shape peut être considéré comme un véhicule de caractérisation remarquable qui ne nécessite pas la mise en œuvre de moyens de mesure lourds et qui est capable de fournir une quantité importante d'informations sur la technologie de fabrication. Les procédures de caractérisation que nous avons définies dans le cadre de l'étude du magnétomètre permettent en effet d'extraire différents paramètres « bas-niveau », relatifs aux propriétés mécaniques des matériaux par exemple. Partant de cette observation, nous avons conçu un véhicule de test illustré figure 38 qui embarque des structures cantilevers susceptibles d'être contraintes en flexion, et des cadres pouvant être contraints en torsion. Sur ce circuit, trois modes d'excitations ont été prévus :

- Une déformation imposée avec l'aide par exemple d'une pointe de test,
- Une force calibrée statique ou dynamique, sous la forme d'une force électromagnétique appliquée à l'aide d'un courant et d'un champ magnétique extérieur
- Un mode « résonateur », permettant d'observer d'éventuels phénomènes de fatigue à moyen terme (décalage de la fréquence de résonance, diminution de l'amplitude des oscillations...) sous différentes contraintes environnementales. Pour ce dernier mode, un circuit montrée figure 39 a été ajoutée autour de la structure mécanique afin de créer les conditions de gain et de phase propres à rendre le système oscillant à la fréquence de résonance de la partie mécanique.

---

<sup>10</sup> Dardalhon M., Berouille V., Latorre L., Nouet P., Perez G., Nicot J. M., Oudea C., Reliability analysis of CMOS MEMS structures obtained by Front Side Bulk Micromachining, Microelectronics Reliability, Vol. 42, Issues 9-11, September-November 2002, Pages 1777-1782.



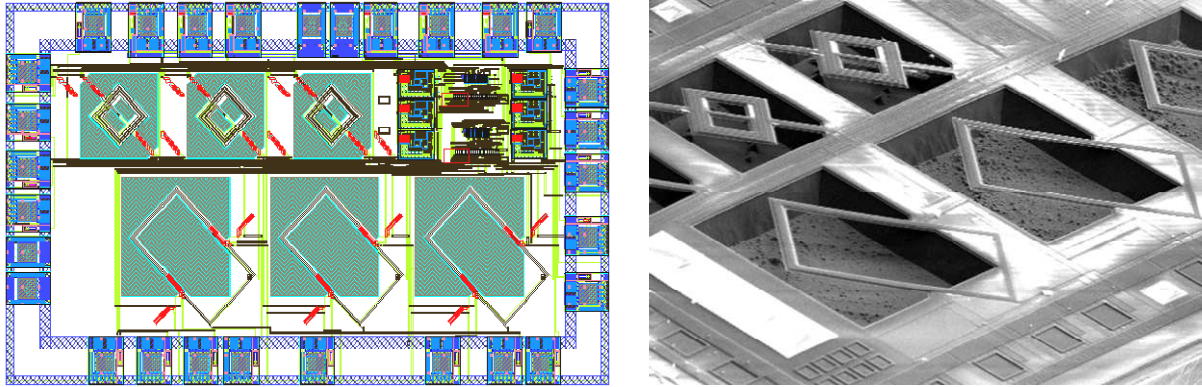


Figure 38 : Circuit de caractérisation pour l'analyse de fiabilité disposant de véhicules de test de type cantilevers (flexion) et cadres (torsion) et d'une électronique de conditionnement.

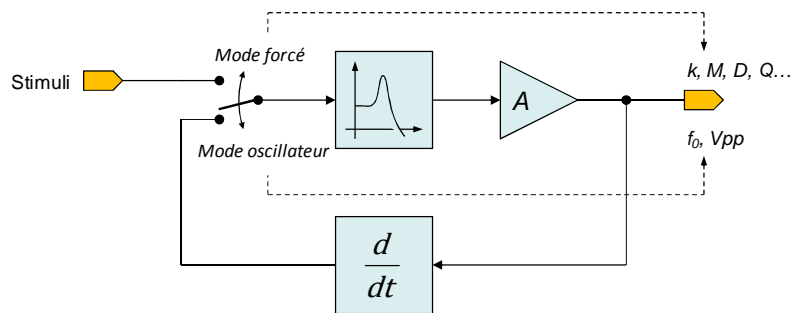


Figure 39 : Architecture permettant de configurer le dispositif MEMS en oscillateur de façon à disposer de sorties (fréquence, amplitude) pour le monitoring sur les expériences longues.

#### 4.5.3. Flot de caractérisation

Bien que relativement anciennes (1959), les procédures de test décrites dans les normes américaines de type MIL-STD-883 restent très appliquées dans le secteur aéronautique et constituent des documents de référence pour la qualification et le déverminage des composants électroniques. Nous avons donc proposé de développer un plan de test qui s'appuie sur ces procédures concernant les analyses de fiabilité. Cela comprend par exemple les essais en température, pression, les tests d'herméticité, etc.

Le détail du plan de test est représenté figure 40. Il repose sur un ensemble de 30 puces séparées en 3 lots avec des conditions différentes de packaging. Le lot principal (20 puces) est encapsulé en conformité avec les normes en vigueur dans le secteur spatial et fera l'objet d'une caractérisation complète sous différentes formes de contraintes (température, pression, humidité, ...).

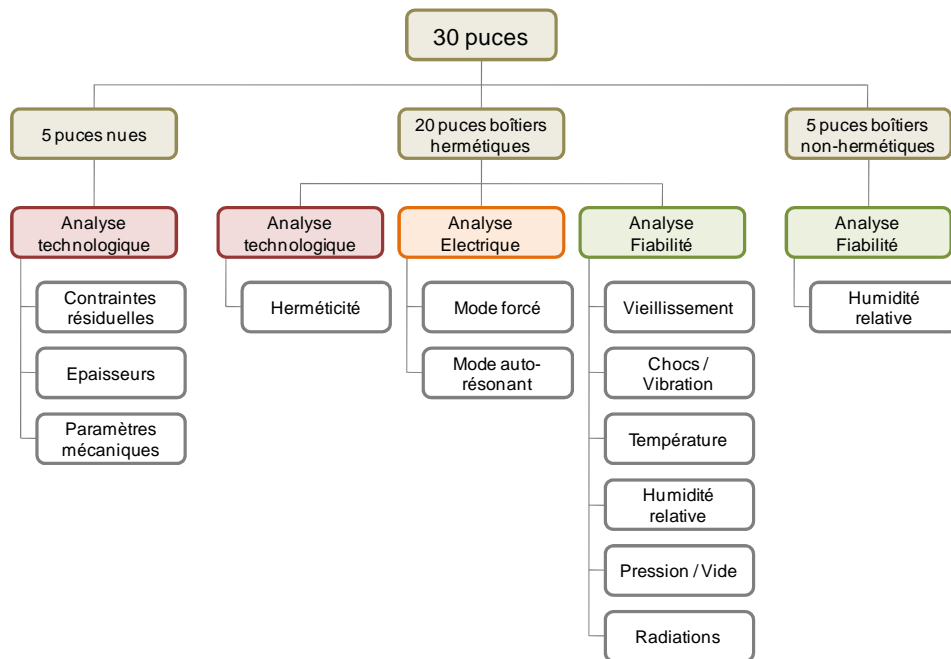


Figure 40 : Plan de test pour un lot de 30 puces. Les tests relatifs à l'analyse de fiabilité reposent sur l'application des procédures type MIL-STD-883.

#### 4.5.4. Exemples de résultats

Les analyses technologiques ont consisté en une série de mesures concernant les propriétés mécaniques et géométriques des couches déposées par le procédé CMOS. En particulier, nous avons vérifié les épaisseurs des différents matériaux présents dans les structures suspendues, les niveaux de contraintes résiduelles, les constantes de raideurs des poutres cantilever et contrôlé l'herméticité des boîtiers. Les analyses de fiabilité ont été réalisées à l'aide des modes d'excitations électriques (mode « forcé », ou mode « auto-résonant »).

La figure 41 présente l'évolution de la fréquence d'oscillation en mode « auto-résonant » de la structure U-Shape. Sur près de 600 heures de fonctionnement à 24,2 kHz, aucune dérive notable n'a été observée. La même expérience a été conduite sous cyclage thermique de -50°C à 100°C. L'expérience montre que la dérive de la fréquence de résonance en fonction de la température résulte des dérives respectives du microsysteme et de l'électronique de traitement. Sur la figure 42, la dérive en fréquence de l'oscillateur sur la plage de température ne dépasse toutefois pas 0,8%, sachant que la dérive propre à la structure mécanique ( $\approx 0,2\%$ ) compense une partie de la dérive propre à la partie électronique ( $\approx 1\%$ ).

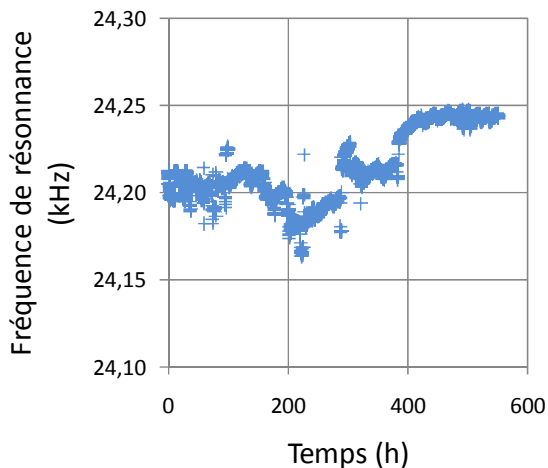


Figure 41 : Evolution de la fréquence de l'oscillateur au cours du temps (échantillon n°12)

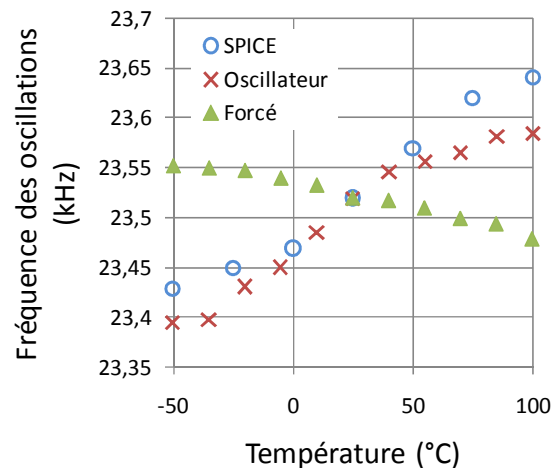


Figure 42 : Etude de la dérive de la fréquence d'oscillations en fonction de la température (échantillon n°17)

La plupart des résultats issus des analyses de fiabilité sur les MEMS développés au LIRMM se sont révélés positifs dans le sens où aucun mécanisme de défaillance n'a pu être réellement identifié. Ce résultat, certes décevant sur le plan scientifique, est compréhensible étant donné la nature même du procédé de fabrication et la conception des structures suspendues. En effet, ces microsystèmes simples échappent de fait à la majorité des mécanismes de défaillance répertoriés dans le domaine des MEMS :

- Le risque de collage (caractéristique dans le cas d'un micro-usinage en surface) est écarté dans la mesure où les parties mobiles sont très éloignées de toute partie fixe. L'humidité n'est donc pas un facteur aggravant mais peut par contre entraîner des dérives paramétriques.
- Le risque d'usure mécanique, par contact (micro-relais) ou par frottement (micro-moteur) est inexistant.
- La sensibilité aux chocs et aux vibrations est réduite compte tenu des faibles masses suspendues (c.f. étude sur l'accéléromètre piézorésistif).
- Les phénomènes d'accumulation de charge dans les diélectriques (actuation électrostatique) ou d'électro migration sont également écartés vu le niveau des tensions et courants électriques mis en œuvre.

Si intrinsèquement, le MEMS usiné en volume se montre particulièrement robuste, le problème de fiabilité se posera toutefois au niveau du packaging dont dépendent les conditions environnementales de fonctionnement du MEMS (pression, humidité).

Aujourd'hui, quelques années après ce travail de thèse, le problème de la fiabilité des MEMS reste pratiquement inchangé et de nombreuses questions sont restées sans réponse. Les avancées les plus significatives sont observées sur des dispositifs qui ont concentré le plus d'efforts ces derniers temps comme les micro-relais RF [Wol06] [Cza08]. En particulier, les problèmes de vieillissement liés au piégeage de charges dans les diélectriques commencent seulement maintenant à être traités avec

efficacité par une approche «système » (contrôle de la tension de commande) plutôt que par un travail au niveau du dispositif.

Le problème majeur restant ouvert est celui du vieillissement accéléré des microsystèmes. Les procédures de déverminage utilisées en microélectronique reposent sur le cyclage thermique. Dans le cas des MEMS, aucun facteur environnemental n'a été identifié comme un facteur d'accélération des mécanismes de défaillance en dehors de l'humidité concernant les seuls problèmes de collage.

#### **4.6. Conclusion**

Dans cette partie, j'ai décrit nos travaux concernant la conception, la modélisation et la caractérisation de dispositifs micro-usinés sur silicium. Sur l'ensemble, l'approche de fabrication s'appuie sur l'utilisation de la technologie CMOS, aboutissant à la réalisation de MEMS monolithiques. Cette technologie très « faible coût » permet la réalisation de transducteurs mécaniques de type piézorésistifs et thermiques. A travers trois exemples de dispositifs, nous avons exploré ces deux voies : magnétomètre et accéléromètre piézorésistifs et accéléromètre thermique. Pour chaque transducteur nous avons proposé des modèles de simulation qui s'appuient sur une étude théorique approfondie et de nombreuses caractérisations. La question de la fiabilité a également été abordée et même si de nombreuses questions restent ouvertes, il semble que nos capteurs bénéficient d'un niveau de robustesse intéressant. La question de l'intégration de ces dispositifs élémentaires au sein d'un système microélectronique complet fait l'objet du chapitre suivant.

## 5. Conception et test de microsystemes intégrés

### 5.1. Introduction

Ce chapitre aborde l'intégration de transducteurs MEMS au sein de systèmes microélectroniques. Le contrôle des MEMS et le conditionnement du signal sera bien sûr au cœur des préoccupations. Dans le chapitre précédent, j'ai plusieurs fois souligné le niveau de performance modeste des dispositifs obtenus par post-process d'une puce CMOS. Ce constat est lié à l'utilisation de matériaux standards et de procédés simples ne permettant pas une optimisation des performances au niveau technologique. Notre ambition sera de montrer comment il est possible, en travaillant sur les aspects « système », d'élever ce degré de performance de façon à transformer le simple capteur en une « fonction » capable de satisfaire les exigences d'une application. Cette voie est semée d'embûches car il n'existe pas à ce jour de flots standards pour la conception de microsystemes intégrés. Un autre objectif de notre travail sera donc de proposer une approche de conception, inspirée des méthodes utilisées en microélectronique de façon à réduire les temps de développement et à promouvoir la réalisation de MEMS au sein de la communauté scientifique.

Nos contributions seront illustrées à travers deux exemples de réalisation, dans le prolongement des dispositifs présentés précédemment : une micro-boussole et un accéléromètre convectif (tous deux sur CMOS). Nous avons travaillé sur ces applications en dehors de toute contrainte industrielle sans toutefois nous écarter de la réalité du marché concernant les spécifications recherchées. J'ai choisi de présenter nos activités à travers la réalisation de prototypes à différents stades d'avancement car toutes les difficultés que nous avons été amenés à contourner sont apparues au fil des réalisations.

La conception de systèmes en vue de l'industrialisation a également pris une place très importante dans notre approche. Cela suppose la réalisation de systèmes robustes aux dispersions et aux effets parasites, testables et pouvant être packagés de façon standard. La dernière section de ce chapitre sera ainsi dévolue à nos contributions dans le domaine du test des MEMS.

### 5.2. Exemple 1 : Micro-boussole CMOS

#### 5.2.1. Motivations

C'est dans le cadre de la thèse de Vincent Berouille que nous avons initialement envisagé l'utilisation du capteur piézorésistif dans une application boussole. Comme point de départ de ce développement, nous avons comparé les densités spectrales de bruit exprimées en terme de champ d'induction magnétique (entrée) des capteurs candidats à une intégration monolithique « faible coût » sur substrat CMOS à savoir : le capteur à effet Hall et le cantilever micro-usiné.

Le bruit dans un système s'exprime habituellement sous la forme d'un bruit équivalent venant se superposer au signal d'entrée alors que le système est considéré parfait. Dans le cas d'un capteur magnétique, on parlera ainsi de bruit d'induction magnétique équivalent (NEMI : Noise Equivalent Magnetic Induction). Le NEMI  $S_{NB}$  ( $T^2/Hz$ ) est donc défini comme le rapport du bruit mesuré en sortie

du capteur  $S_{NV}$  ( $V^2/Hz$ ) sur la sensibilité absolue du capteur  $S_A$  ( $V^2/T^2$ ). En terme de densité spectrale de puissance on obtient :

$$S_{NB}(f) = \frac{S_{NV}(f)}{S_A^2(f)} (T^2/Hz)$$

Les sources de bruit dans le cantilever sont d'origine électrique et mécanique. On montre que le bruit mécanique lié à l'agitation des molécules d'air autour de la structure reste négligeable [Gab93] devant le bruit thermique dans les résistances servant de jauges de contrainte et s'exprimant :

$$S_j = 4kTR$$

Avec  $k=1,38.10^{-23}$  J.K<sup>-1</sup> la constante de Boltzmann,  $T$  (K) la température et  $R$  la valeur de la résistance.

Un capteur utilisant un pont de Wheatstone fait de 4 résistances identiques  $R_0$  est équivalent à une source de Thévenin de résistance interne  $R_0$ . Par exemple, avec des jauges de  $1k\Omega$ , la densité spectrale de bruit observée en sortie du pont de Wheatstone à température ambiante avoisine  $16.10^{-18}$  V<sup>2</sup>/Hz.

Avec un capteur présentant une sensibilité statique de  $14mV/T$ , la densité spectrale de bruit exprimé en entrée se situe aux alentours de  $8,5.10^{-14}$  T<sup>2</sup>/Hz. Pour une application boussole avec une résolution cible de  $1^\circ$ , le capteur doit avoir une résolution proche de  $0,35\mu T$ . Pour atteindre cette performance avec un capteur piézorésistif utilisé en statique, le filtrage à mettre en œuvre doit limiter la bande passante du signal à  $2Hz$  environ, ce qui semble impossible à réaliser.

L'utilisation de la résonance mécanique du cantilever permet de découpler la sensibilité absolue du capteur sans amplifier le bruit dans le pont de Wheatstone. Avec une sensibilité à la résonance de l'ordre de  $0.6V/T$ , la densité spectrale de bruit en entrée atteint le niveau de  $4,6.10^{-17}$  T<sup>2</sup>/Hz. La bande passante du signal est alors limitée à quelques centaines d'Hertz ( $\approx 400$ ) par la résonance mécanique. Dans le cas idéal où l'électronique de mesure est capable de limiter sa bande passante à un intervalle de fréquence équivalent à cette limite, la résolution théorique de la boussole serait de  $0,14\mu T$ . En pratique, un filtrage avec une largeur de bande de  $3kHz$  autour de la fréquence de résonance permettrait d'atteindre une résolution de  $1^\circ$  dans une application boussole.

La figure 43 montre les densités spectrales de bruit ramenées en entrée du capteur piézorésistif et d'un capteur à effet HALL représentatif de l'état de l'art en 2000. A basse fréquence, aucune des deux solutions ne peut candidater à l'application boussole. Le capteur à effet Hall peut être envisagé à condition de mettre en œuvre un schéma de modulation/démodulation du signal afin de sortir de la zone de bruit en  $1/f$ . Néanmoins, les résolutions atteignables restent modestes. L'utilisation de la structure mécanique résonante apparaît alors comme une opportunité unique de réaliser une boussole monolithique CMOS à bas coût.

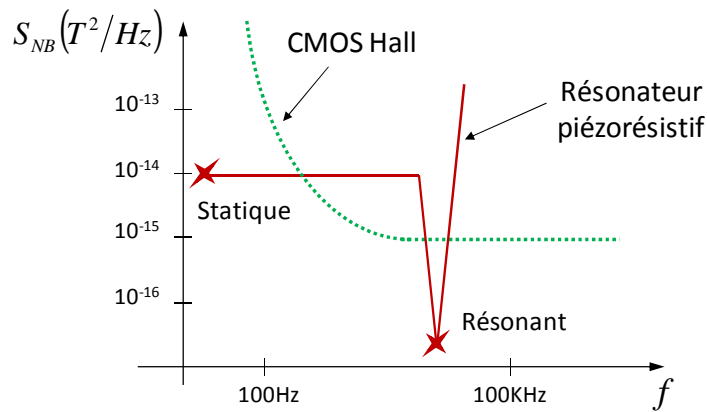


Figure 43 : Densités spectrales de bruit exprimées en entrée pour un capteur à effet Hall et une structure piézorésistive résonante.

### 5.2.2. Démonstration de la faisabilité (prototype #1)

Le premier prototype de capteur magnétique avec une résolution permettant de mesurer le champ magnétique terrestre s'appuie sur une structure U-Shape non-optimisée. La chaîne de traitement comprend un étage d'amplification suivi d'un étage de filtrage. Le gain total de l'amplification est 660 et la bande passante du filtre est de 3kHz. Compte tenu de la forte incertitude liée au procédé de fabrication sur la fréquence de résonance du capteur, un multiplieur est ajouté à l'architecture de façon à pouvoir décaler la fréquence du signal à l'intérieur de la bande passante du filtre. Ce multiplieur réalisé sous la forme d'une cellule de Gilbert constitue une première étape dans une approche de conception robuste<sup>11</sup>.

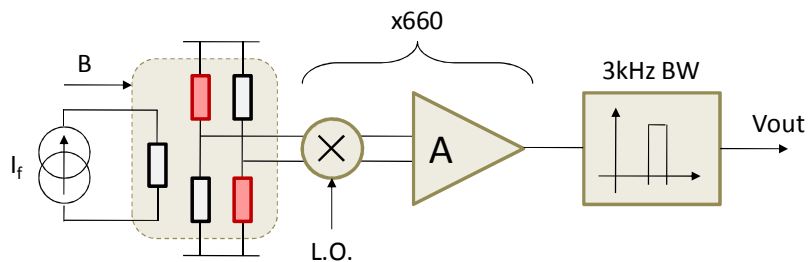


Figure 44 : Architecture du premier circuit de conditionnement pour le magnétomètre U-Shape.

Le flot de conception mis en œuvre pour la réalisation de ce premier prototype s'appuie sur l'utilisation du modèle « niveau 1 » de la structure U-Shape codé en Verilog-A, et ne comprenant pas la plupart des effets parasites qui seront modélisés par la suite. Un soin particulier à tout de même été apporté au niveau de l'amplification afin de réduire sa figure de bruit au maximum.

<sup>11</sup> Beroulle V., Bertrand Y., Latorre L., Nouet P., Micromachined CMOS Magnetic Field Sensors with Low-Noise Signal Conditioning, IEEE MEMS'2002, January 20-24, Las-Vegas, NV, USA, 2002, pp.256-259.

Un exemple intéressant de simulation obtenu avec Cadence® est montré figure 45. Il s'agit des densités spectrales de bruit observées avant et après filtrage, avec la valeur rms du bruit obtenu après intégration sur la bande 100Hz-1MHz. Le bruit est analysé à partir de modèles au niveau transistor concernant toute la partie électronique. Le modèle du capteur comprend une source de bruit blanc représentatif du bruit dans le pont de Wheatstone. La simulation montre que le filtrage permet de réduire le niveau de bruit d'un facteur 5 conduisant à une résolution de l'ordre de la dizaine de  $\mu\text{T}$ .

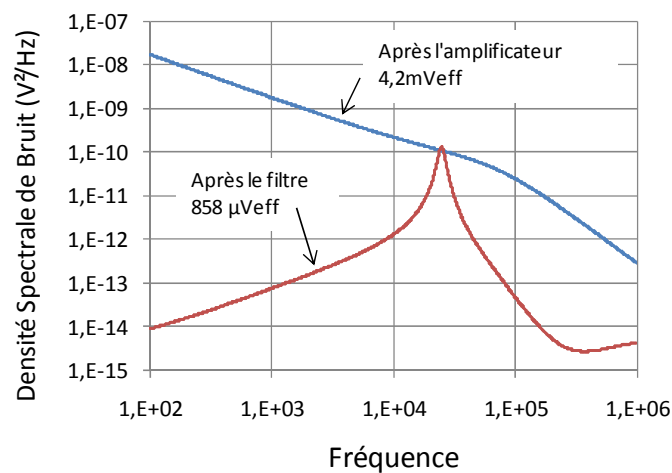


Figure 45 : Simulation du bruit dans la chaîne de conditionnement du capteur.

Le circuit fabriqué est montré sur la figure 46. On notera que la structure mécanique utilisée n'a fait l'objet d'aucune optimisation particulière (sensibilité, consommation...). Il s'agit simplement de l'un des véhicules de test utilisé lors de ma thèse dans le cadre des premières validations expérimentales. La courbe figure 47 représente l'évolution de la tension de sortie de ce circuit en fonction de l'orientation de la puce dans un plan horizontal. La faisabilité de la boussole CMOS est démontrée.

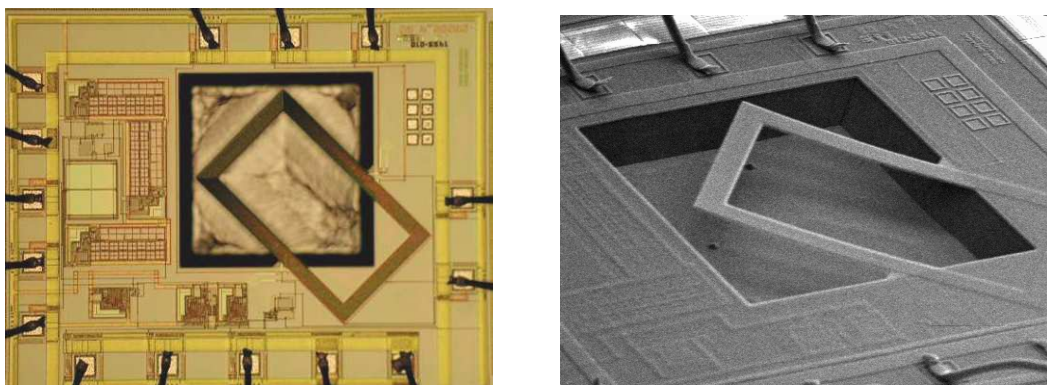


Figure 46 : Prototypage de magnétomètre CMOS intégrant la chaîne de traitement présentée figure 44 et capable de mesurer le champ magnétique terrestre.



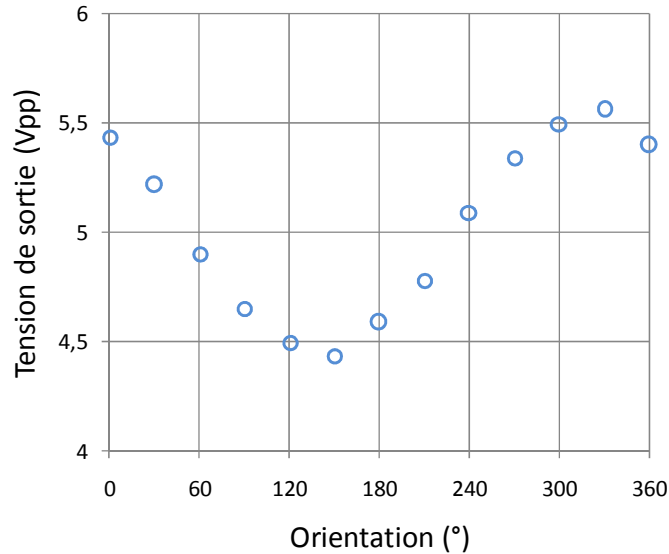


Figure 47 : Evolution de la tension de sortie du prototype en fonction de l'orientation dans le plan horizontal démontrant la faisabilité d'une boussole micro-usinée 100% CMOS.

### 5.2.3. Etude système (prototype #2)

Si les résultats obtenus avec le prototype #1 restent très encourageants, il apparaît assez rapidement que le circuit présente un certain nombre de limites qui doivent être considérées lors d'une étude système. Ces limites sont liées à l'existence de nombreux phénomènes parasites dans le capteur tels que les effets thermiques, les couplages, les offsets, les problèmes de calibration, etc... En parallèle à l'étude fondamentale de ces phénomènes, nous avons abordé la conception d'un magnétomètre 2 axes disposant des blocs fonctionnels nécessaires à la réalisation d'une fonction « boussole ».

Cette étude nous a conduit à la réalisation de nouveaux prototypes silicium embarquant 2 capteurs orthogonaux avec une pré-amplification faible bruit, et d'une carte (figure 48) disposant des différentes fonctions requises pour le traitement du signal et le calcul de l'azimut. Cette carte est équipée de la chaîne analogique nécessaire au traitement du signal, faite pour l'essentiel d'étages d'amplification et de filtrage. L'architecture du circuit de traitement est montrée figure 49.

Compte-tenu des multiples effets parasites et des incertitudes concernant à la fois les prototypes de capteurs et les composants discrets, le réglage fin d'une vingtaine de résistances ajustables est requis afin de rendre la boussole opérationnelle. Ces réglages concernent :

- L'élimination des offsets
- La correction de gain (notamment entre les axes X et Y)
- L'ajustement des fréquences d'excitation des capteurs
- L'ajustement des fréquences de coupures des filtres sur la chaîne de mesure.

La carte dispose aussi d'une interface numérique permettant le prototypage de blocs de traitement numériques implémentés à l'aide de FPGA. Plusieurs études ont été conduites que je ne

développerai pas dans ce manuscrit. Nous avons par exemple envisagé de réaliser un processeur dédié à l'application boussole, intégrant le calcul d'azimut à l'aide d'une version simplifiée de l'algorithme CORDIC. Cette étude a montré qu'une solution logicielle, s'appuyant sur l'intégration d'un petit microcontrôleur serait plus pertinente dans la mesure où la rapidité du calcul ne représente pas une contrainte dans ce type d'application.

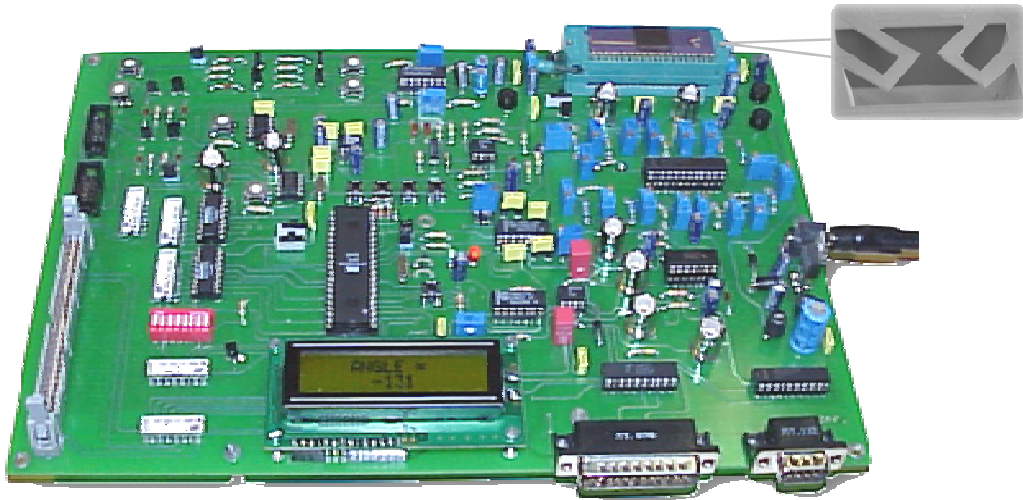


Figure 48 : Carte de développement pour l'application boussole. On remarque la présence de nombreux trimmers nécessaires à la compensation des effets parasites et des dispersions de composants.

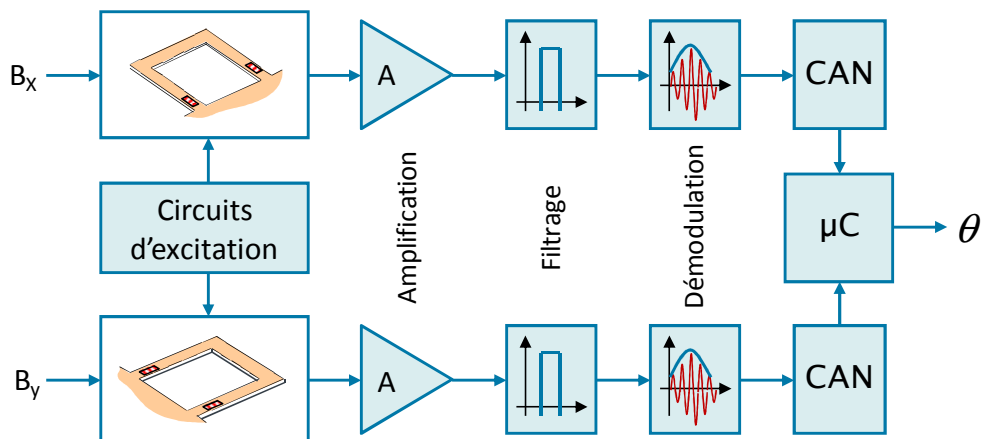


Figure 49 : Architecture de la chaîne de traitement du signal embarquée sur la carte de développement.

A l'aide du microcontrôleur présent sur la carte de développement, nous avons réalisé le calcul d'azimut et constaté qu'une étape de calibration était nécessaire compte tenu des disparités d'offset et de sensibilité sur les deux axes de mesure x et y. Nous avons alors travaillé sur des algorithmes d'étalonnage semi-automatiques basés sur une détection des amplitudes min et max du signal sur chaque axe, pendant une rotation de la carte sur 360°. Les améliorations apportées suite à cette calibration sont montrées figure 50. Dans le contexte d'une application, on peut imaginer que la boussole se (re)calibre en permanence au fil du temps et des mesures effectuées dans toutes les directions.

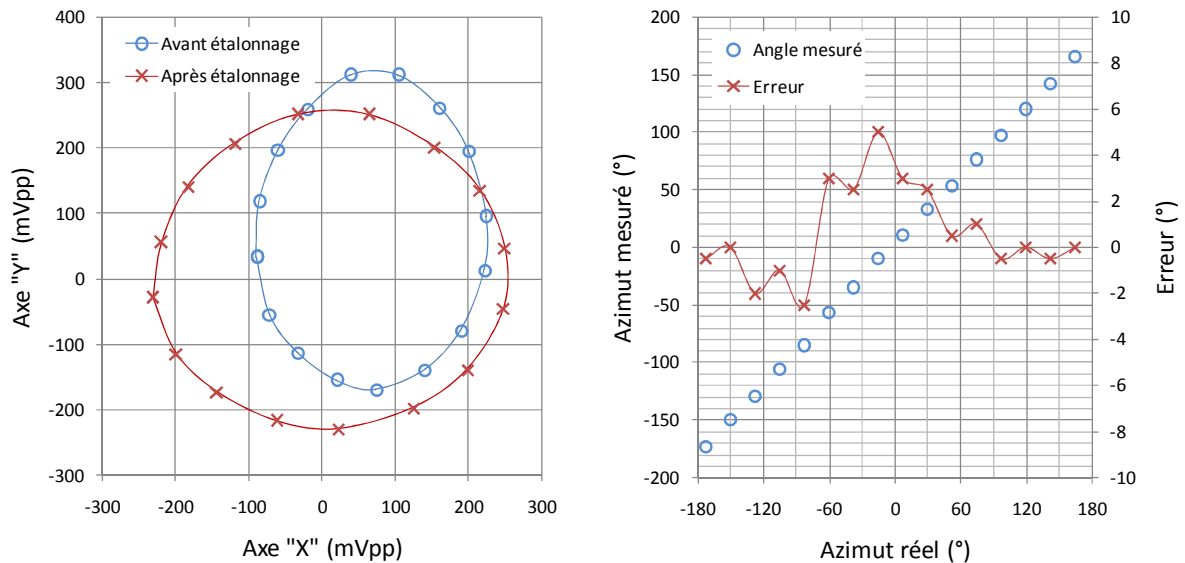


Figure 50 : Diagramme de calibration (avant/après) et erreur sur la mesure de l'azimut (précision) après étalonnage.

#### 5.2.4. Intégration CMOS (prototype #3)

Le démonstrateur sur carte a permis de spécifier le cahier des charges pour l'intégration CMOS de la fonction « boussole ». Ce cahier des charges s'exprime ainsi :

##### - Optimiser la résolution du capteur

- Par une amplification "faible-bruit" intégrée. Avec une sensibilité intrinsèque du capteur de  $0.59V/T$ , la tension de sortie de l'élément sensible à  $20\mu T$  (amplitude du champ magnétique terrestre) correspond à  $12\mu V$ . Pour une sortie 5V pleine échelle, l'amplification à concevoir doit afficher un gain de 400 000.
- Par un filtrage sélectif du signal afin de rejeter un maximum de bruit autour de la fréquence de résonance du capteur. Pour atteindre une résolution de  $1^\circ$  sur la boussole, la résolution de la chaîne de mesure doit approcher les  $0,15\mu V$ . Le filtre correspondant devrait avoir une bande passante de 640Hz ( $Q=35$ ).

##### - Eliminer l'effet de l'offset

- Dû au désappariement des jauges, dont l'origine est liée aux dispersions du procédé de fabrication, aux mécanismes de relaxation de contraintes ainsi qu'aux effets thermiques.
- Dû aux étages d'amplification et de filtrage

- **Traiter les effets thermiques dynamiques**
  - Eliminer ces effets en fonctionnement normal
  - Tirer un bénéfice de l'excitation thermique dans le cadre d'une procédure de test et de calibration
- **Développer une approche de conception en vue de l'industrialisation**
  - Traitement par conception des incertitudes concernant le capteur ( fréquence de résonance, sensibilité) et l'électronique de traitement (dispersion sur les gains, les fréquences de coupure)
  - Définition de la procédure de calibration, ou d'auto-calibration.
  - Conception en vue du test.

Avant d'arrêter le choix d'une architecture, plusieurs solutions ont fait l'objet d'une étude comparative. L'utilisation du capteur en régime auto-résonant, par l'utilisation d'une boucle créant les conditions d'oscillation (comme cela avait été fait pour le véhicule de test de fiabilité) semblait séduisante a priori mais pose des problèmes de réalisation. En effet, pour les faibles champs magnétiques, le gain de boucle nécessaire devient trop élevé et le système oscille à des fréquences inopportunes. Un exemple de capteur de champ magnétique auto-résonant a toutefois été proposé un peu plus tard [sun06], disposant d'une sortie en fréquence et de performances intéressantes. Une autre stratégie visant à rendre le système robuste à l'incertitude sur la fréquence de résonance consiste à placer le capteur au sein d'une boucle à asservissement de phase (PLL) [Bar03]. La phase du signal d'excitation est comparée à celle du signal de sortie et un oscillateur est commandé de façon à maintenir un déphasage de 90° caractéristique de la résonance du système mécanique. Là encore, si la solution fonctionne sur le papier, le mauvais rapport signal/bruit que l'on observe pour de faibles champs magnétiques ne permet pas le verrouillage du système. La solution finalement retenue est donc un circuit en boucle ouverte intégrant la possibilité d'ajuster la fréquence d'excitation des deux cantilevers.

Concernant le conditionnement des jauges et le circuit de lecture deux approches ont été étudiées. La première architecture<sup>12</sup> décrite figure 51 s'appuie sur un schéma de modulation en fréquence. L'idée est d'utiliser la jauge dans un oscillateur à relaxation et de venir mesurer la profondeur de modulation de fréquence. Pour cela, un processeur digital a été conçu. Il s'agit d'un compteur/décompteur permettant d'intégrer la différence de fréquence observée en sortie d'oscillateur. L'oscillateur à relaxation est ainsi utilisé comme horloge du compteur. Le mode (comptage ou décomptage) est piloté directement par le signal d'excitation du cantilever décalé de 90° afin d'être en phase avec le mouvement de la structure mécanique.

L'intérêt principal de cette approche réside dans l'élimination de l'offset associé à un conditionnement des jauges à l'aide d'un pont de Wheatstone. La mesure différentielle permet en outre de s'affranchir au premier ordre des dérives en température. La conversion A/D est réalisée au plus près de la jauge, permettant de rendre le système insensible à la plupart des sources de bruit. Le bruit de l'oscillateur (jitter) peut être filtré par intégration sur un grand nombre de périodes.

---

<sup>12</sup> Dilillo L., Berouille V., Dumas N., Latorre L., Nouet P., An A/D Interface for Resonant Piezoresistive MEMS Sensor, ISIE'04, 4-7 Mai, Ajaccio, France, 2004, Vol. 1, p. 83-88.

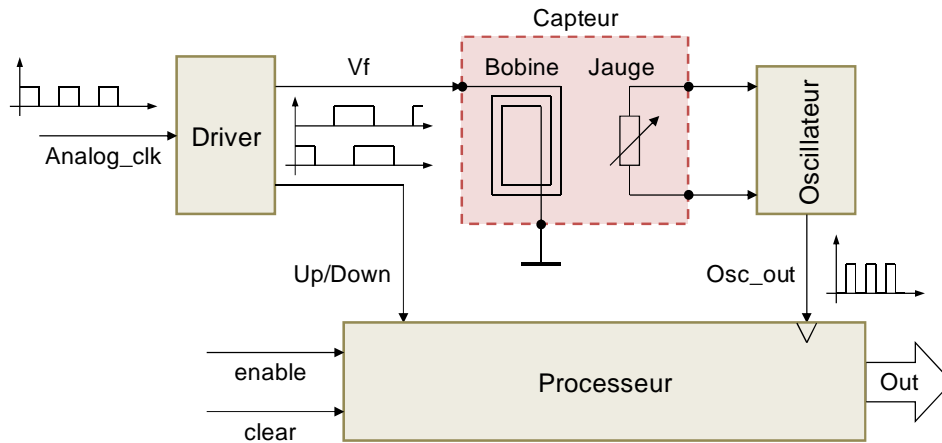


Figure 51 : Proposition d'une architecture de traitement pour la boussole basée sur la conversion résistance/fréquence au niveau des jauges.

Pour obtenir de bonnes résolutions, avec un temps de réponse correct, la fréquence centrale de l'oscillateur (porteuse) doit être très grande devant la fréquence de résonance du capteur (signal). Aussi cette architecture peut poser des problèmes de réalisation. Un oscillateur 20MHz a été conçu et réalisé en technologie CMOS 0.8 $\mu$ m. A cette fréquence, les performances sont intéressantes mais restent comparables aux performances atteignables avec une architecture classique d'amplification/filtrage. Pour cette raison, et sans définitivement écarter la solution à base d'oscillateur, le premier prototype de boussole intégré que nous avons réalisé s'appuie sur une chaîne de traitement analogique.

La figure 52 montre le schéma de l'architecture électronique correspondant à un axe de la boussole. Deux modes de fonctionnement sont disponibles. Le mode « normal » sert à actionner le cantilever à la résonance par la force de Laplace pour réaliser la mesure du champ magnétique. Le mode « étalonnage » sert à actionner le cantilever par une force électrothermique afin de rechercher la fréquence de résonance du cantilever et d'étalonner ainsi le circuit d'excitation.

Le processeur requiert une horloge de référence. Un oscillateur à quartz peut être utilisé comme référence stable. Notons qu'une telle horloge sera souvent disponible au sein du système susceptible d'accueillir une boussole électronique. Dans ce cas, cela n'entraînera pas de coûts supplémentaires.

Côté commande, le synthétiseur de fréquence génère plusieurs signaux avec les fréquences et les phases qui sont nécessaires à l'excitation du capteur, à l'échantillonnage synchrone et à l'auto centrage du filtre passe bande. Les fréquences de ces signaux sont programmables par le chargement d'un seul registre (Nb\_in).

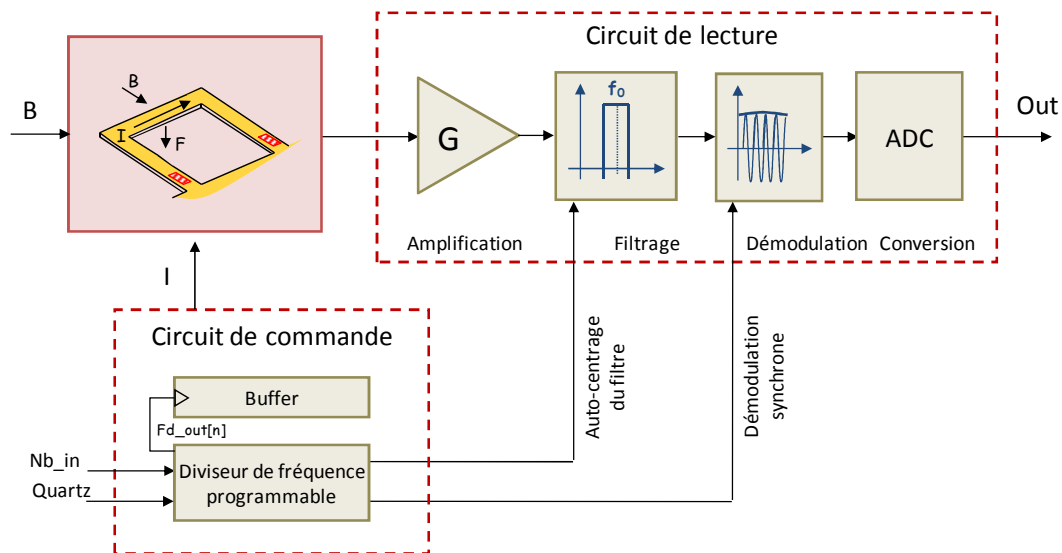


Figure 52 : Architecture de contrôle et de lecture retenue pour l'intégration de la boussole.

Le bloc en sortie du synthétiseur met en forme les signaux en fonction du mode programmé (normal ou étalonnage). En mode « normal » la tension appliquée sur la bobine du capteur est un signal carré symétrique autour de zéro de façon à générer un courant de la forme  $\pm I$  à la fréquence de résonance  $f_0$ . L'amplitude du courant est donc constante et il n'y a pas d'effets thermiques dynamiques. En mode « étalonnage », la fréquence du signal carré est  $f_0/2$  et son amplitude est décalée de façon à produire une excitation thermique.

Coté lecture, les premiers étages d'amplification sont couplés à un filtrage de l'offset statique du capteur pour prévenir la saturation des étages amplificateurs. Ce bloc assure un gain de 25000, distribué sur trois étages de gain respectifs 10, 50 et 50. Le premier étage est un LNA.

Un filtre passe bande à capacités commutées est ensuite intégré à la chaîne pour améliorer le rapport signal sur bruit et éviter le recouvrement de spectre lié à l'échantillonnage synchrone. La fréquence centrale du filtre est par conception liée à la fréquence du signal d'horloge généré par le bloc de commande. Le rapport entre la fréquence centrale du filtre et le signal d'horloge est fixé avec une précision de l'ordre de 0,1% par un rapport de capacités. Le rapport de capacité est fixé à 64 ( $2^6$ ) de façon à pouvoir disposer simplement d'une horloge en routant vers le filtre le bit opportun du registre de sortie du diviseur de fréquence. Enfin un échantillonneur bloqueur permet de démoduler et d'échantillonner le signal avant la conversion analogique numérique.

L'architecture présentée répond en grande partie aux spécifications fixées. Le mode « étalonnage » garantit le fonctionnement du cantilever à la résonance. Rappelons que l'étalonnage peut être réalisé par le fabricant ou périodiquement pendant le fonctionnement de la boussole. Cette architecture a fait l'objet d'une fabrication en technologie CMOS 0.8 $\mu\text{m}$  du fondeur AMS<sup>13</sup>. La puce réalisée occupe une surface de 10,6mm<sup>2</sup> et dissipe au total 56mW. La résolution est de 2° avec un temps de réponse de 10ms.

<sup>13</sup> Dumas N., Latorre L., Nouet P., Design of a Micromachined CMOS Compass, TRANSDUCERS'05, June 7-9, Seoul, Corea, 2005, vol. 1, pp. 405-408.

La figure 53 montre les résultats de mesures concernant la caractérisation des étages d'amplification et de filtrage<sup>14</sup>. Les figures 54 et 55 montrent respectivement la puce CMOS et le démonstrateur que nous avons fabriqué.

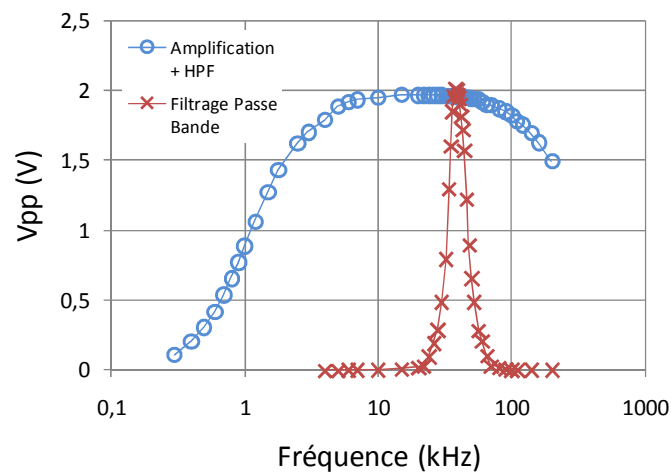


Figure 53 : Caractérisation des étages d'amplification et de filtrage. La fréquence centrale du filtre s'ajuste automatiquement à celle du signal du capteur grâce au signal d'horloge venant du synthétiseur de fréquence.

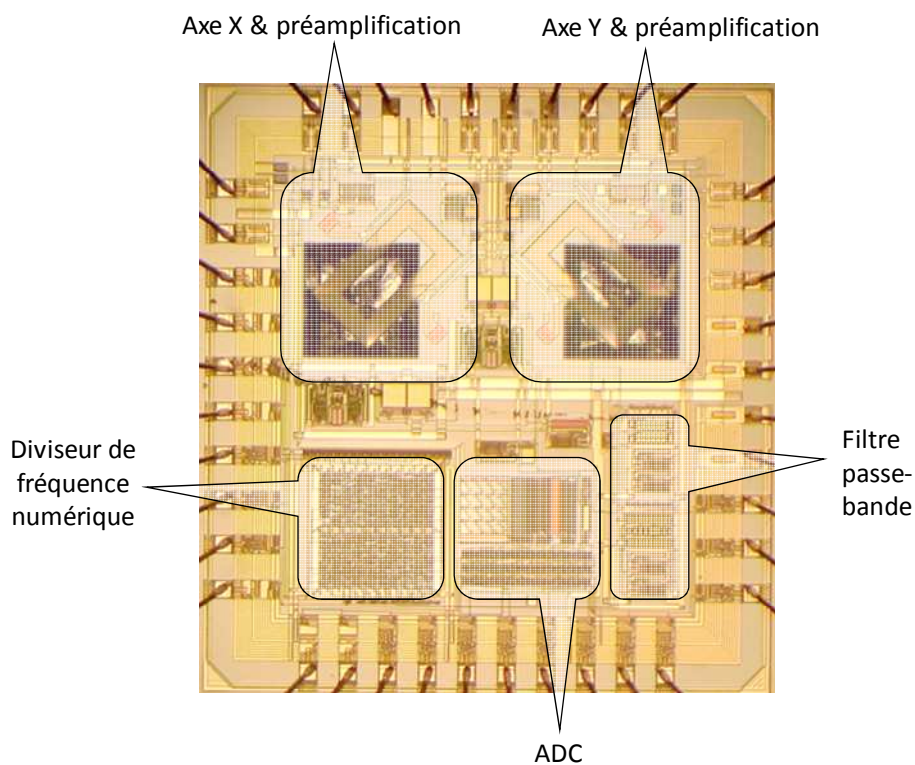


Figure 54 : Photographie du circuit intégré en technologie AMS 0.8µm. Il s'agit de la première boussole intégrée 100% CMOS faible-cût.

<sup>14</sup> Dumas N., Latorre L., Nouet P., Development of a low-cost piezoresistive compass on CMOS, Sensors and Actuators A: Physical, Vol. 130-131, 14 August 2006, Pages 302-311.



Figure 55 : Le démonstrateur « boussole » réalisé comme outil de communication et de valorisation.

### 5.3. Exemple 2 : Inclinomètre convectif CMOS

#### 5.3.1. Démonstration de la faisabilité (prototype #1)

Notre prototype silicium d'inclinomètre thermique (figure 29) a fait l'objet d'une première intégration système sur carte à l'aide de composants discrets. Le circuit réalisé s'appuie sur un schéma de traitement analogique classique (amplification, filtrage) en boucle ouverte. Afin de limiter les problèmes liés aux offsets, une modulation à 5Hz de la température de l'élément chauffant est réalisée. Le démonstrateur comprend un microcontrôleur pour le contrôle du capteur, l'acquisition des données et l'affichage de l'inclinaison sur une échelle  $\pm 30^\circ$  à l'aide de LED (figure 56). J'ai souhaité mentionner l'existence de ce démonstrateur, car avec celui présenté auparavant concernant la boussole, nous avons disposé ces dernières années d'outils de communication très intéressants qui dans certaines situations valorisent mieux notre expertise qu'une publication. A de multiples occasions (visites, journées portes ouvertes, salons nationaux...) ces objets ont permis à notre équipe de démontrer son savoir faire concernant la conception de systèmes électroniques à base de MEMS. A l'heure où la communauté admet qu'il devient difficile d'orienter les étudiants vers les filières scientifiques, une approche ludique du travail peut certainement participer à l'effort de séduction...



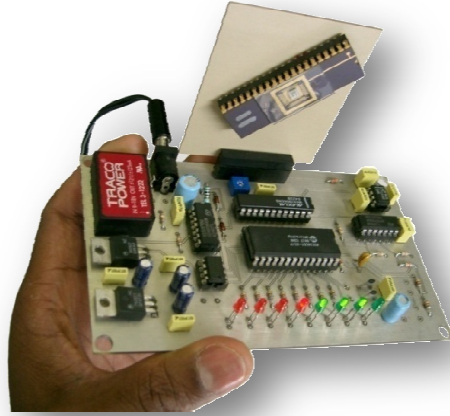


Figure 56 : Le démonstrateur d'inclinomètre thermique CMOS.

### 5.3.2. Architecture en boucle ouverte (prototype #2)

Le travail de thèse d'Olivier Leman a essentiellement porté sur la conception d'architectures électroniques en vue d'une amélioration des performances de l'accéléromètre thermique. Dans ce cadre, plusieurs approches ont été développées : chaîne de traitement classique, schéma de modulation/détection synchrone et une solution originale s'appuyant sur une structure de modulateur  $\Sigma\Delta$ .

Le modèle d'accéléromètre thermique présenté dans le chapitre précédent a fait l'objet d'une description en langage Verilog-A et a ainsi été intégré à l'environnement de conception Cadence®. Dans un premier temps, nous avons étudié les architectures classiques de conditionnement du signal, à savoir :

- Une simple amplification de gain programmable (20/100/1000), réalisée à l'aide d'un amplificateur d'instrumentation utilisant les amplificateurs opérationnels de la bibliothèque du fondeur. Cela correspond exactement à l'amplificateur intégré sur le prototype silicium.
- Une amplification améliorée à l'aide d'un étage de gain différentiel, optimisé en termes de figure de bruit (LNA, Low-Noise Amplifier).
- Un schéma de modulation de la polarisation du pont de Wheatstone suivi d'un étage de démodulation synchrone (type « chopper-stabilized amplifier »).

La figure 57 montre les résultats de simulation de bruit obtenus pour chacune des trois solutions étudiées<sup>15</sup>. L'amplificateur d'instrumentation introduit un bruit basse-fréquence ( $1/f$ ) significatif. Ainsi, en supposant un filtrage du signal dans la bande 0-100Hz, le niveau de bruit exprimé en entrée atteint  $2,33\mu\text{Vrms}$ . Rapporté à la sensibilité du capteur ( $375\mu\text{V/g}$ ) la résolution du système avoisine 6mg.

<sup>15</sup> Leman O., Chaehoi A., Mailly F., Latorre L., Nouet P., HDL Simulation of a Thermal Accelerometer for System Design, EUROSENSORS XX, Sept. 17-20, Göteborg, Sweden, 2006.

Dans le second cas, un amplificateur différentiel de gain 10, dimensionné de façon à limiter sa contribution en bruit, est placé entre le capteur et l'amplificateur d'instrumentation dont le gain vaut 100. La densité spectrale de bruit est ainsi significativement réduite à basse fréquence. Le niveau de bruit en entrée vaut alors 549nVrms et la résolution est améliorée d'un facteur 4,2 par rapport à la solution précédente.

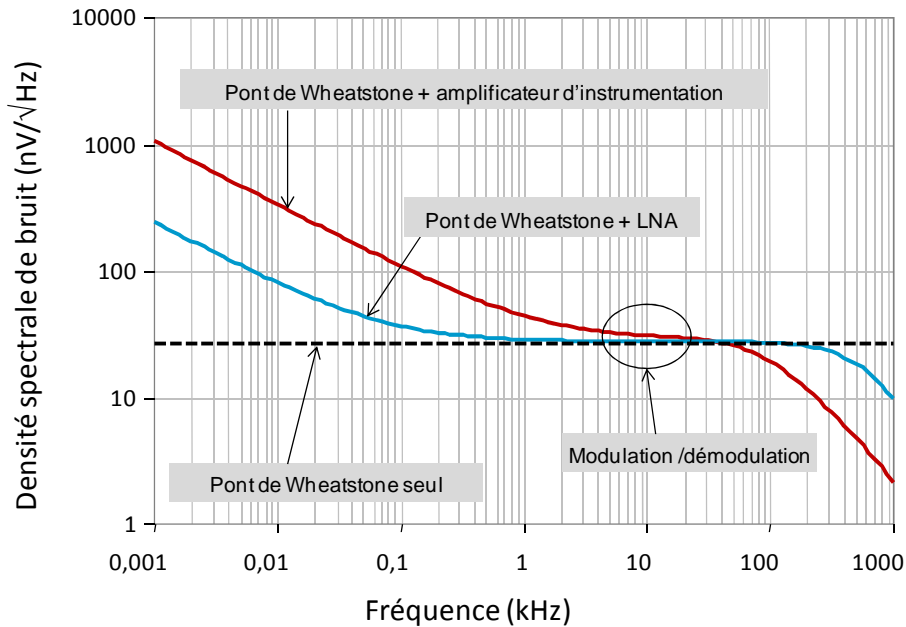


Figure 57 : Comparaison en simulation du bruit en sortie de la chaîne de traitement du signal pour trois architectures différentes.

L'objectif est d'améliorer la sensibilité du capteur sans dégrader sa résolution, la limite correspondant à la résolution intrinsèque du capteur. Cette résolution « maximum » est donnée par la densité spectrale de bruit dans les résistances formant le pont de Wheatstone, que l'on calcule comme dans le cas de la boussole :

$$S_n = \sqrt{4kTR} \text{ (V}/\sqrt{\text{Hz}})$$

Les résistances de détection ont pour valeur nominale 50kΩ, et travaillent autour d'une température de fonctionnement de 380K. La densité spectrale de bruit dans le pont de Wheatstone vaut alors 32nV/√Hz conduisant à une résolution intrinsèque proche du mg. Les résultats de simulation montrent qu'il est possible d'atteindre cette résolution à condition de décaler le signal en dehors de la région basse-fréquence perturbé par le bruit de l'électronique. C'est un problème très classique et de nombreuses solutions basées sur des schémas « modulation/démodulation » existent dans la littérature [Bil99]. C'est l'idée mise en œuvre avec la troisième architecture présentée figure 58. La structure différentielle du démodulateur permet de plus d'éliminer les tensions basse-fréquences (bruit et offset).

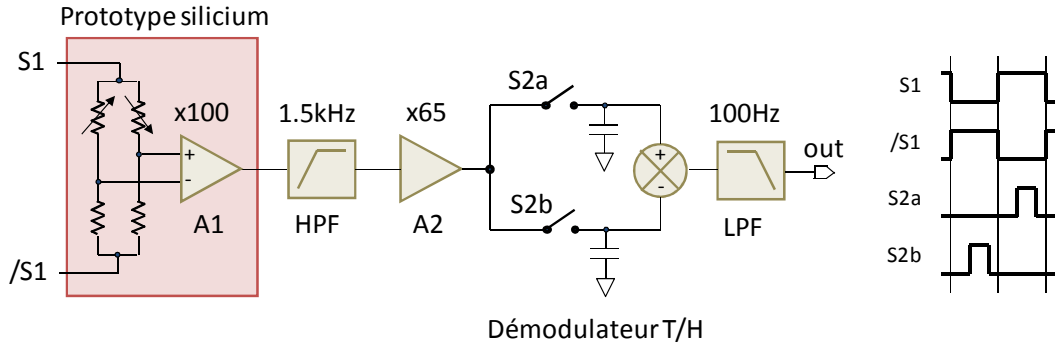


Figure 58 : Architecture de conditionnement du signal pour l'accéléromètre convectif basé sur un schéma de modulation/démodulation synchrone et élimination du bruit BF des amplificateurs.

Le tableau 7 montre les résultats obtenus pour différentes fréquences de modulation et différentes sélectivités de filtrage. Cette architecture, utilisée avec un préamplificateur faible-bruit affiche d'excellentes performances et permet d'atteindre une résolution très proche de la résolution intrinsèque du capteur.

Tableau 7 : Résultats de simulation de bruit dans différentes configurations (amplification A1 et sélectivité du filtre).

Amplificateur A1	$f_M$ (kHz)	$S_n$ (nV/ $\sqrt{Hz}$ ) Eq. en entrée	Q
#1	1	49,2	10
#1	5	38,4	50
#1	10	36,8	100
#2 (LNA)	1	32,7	10
#2 (LNA)	5	32,2	50
#2 (LNA)	10	32,1	100

### 5.3.3. Modulateur $\Sigma\Delta$ thermique (prototype #3)

Dans de nombreuses applications MEMS, la conversion A/D du signal est réalisée à l'aide d'architectures de modulateur de type Sigma-Delta. Ces systèmes fonctionnent sur le principe du sur-échantillonnage et permettent par une mise en forme appropriée du bruit de quantification d'atteindre des performances intéressantes. Nous avons souhaité évaluer cette solution dans le cadre de l'accéléromètre thermique.

Le choix d'étudier une architecture de modulateur s'appuie également sur des observations propres à l'accéléromètre convectif :

- La bande passante de l'accéléromètre est principalement limitée par les constantes de temps de convection ( $\tau_{conv}$ ) et la réponse thermique des ponts détecteurs ( $\tau_D$ ). La première constante de temps vaut  $\tau_{conv}=10ms$  dans le cas de notre prototype silicium. Cette valeur est

surtout déterminée par le volume de la cavité supérieure du capteur, et donc par les conditions de packaging. Il est possible de la réduire pour améliorer la bande passante. La seconde constante de temps ( $\tau_D = 3,3\text{ms}$ ) est liée à la géométrie des ponts détecteurs et les possibilités d'optimisation sont réduites. Une amélioration de la bande passante est cependant encore envisageable dans un schéma de régulation de la température des ponts détecteurs.

- Si une partie du signal est traitée dans le domaine thermique, il est alors possible d'utiliser la réponse thermique du système (en forme de passe-bas) pour réaliser la fonction d'intégration propre à une modulation  $\Sigma\Delta$  [Ver95]. L'idée paraît séduisante car elle permet d'économiser de la surface silicium.

Sur la base de ces observations, nous avons étudié les possibilités de régulation des éléments détecteurs pouvant s'offrir à nous sans modification significative de l'architecture du capteur.

L'échauffement des thermistances embarquées dans les ponts détecteurs est dû, d'une part aux échanges thermiques autour de l'élément chauffant (conduction et convection), et d'autre part à la polarisation de ces thermistances dans le montage en pont de Wheatstone. Avec une alimentation en 5V, la puissance dissipée par polarisation dans chaque résistance est :

$$P_{Bias} = \frac{V_R^2}{R} = \frac{2,5^2}{50 \cdot 10^3} = 125\mu\text{W} \quad (V_{dd} = 5V)$$

La puissance apportée par l'élément chauffant dans le cas de notre prototype est du même ordre de grandeur :

$$P_{Conv} = \frac{K}{R_{th}} = 140\mu\text{W/g}$$

En fonctionnement, si l'on court-circuite temporairement la thermistance du détecteur « chaud » afin de réduire à zéro la puissance électrique dissipée  $P_{Bias}$ , la thermistance se trouvant sur la même branche du pont de Wheatstone et appartenant au détecteur « froid » voit alors une différence de potentiel  $V_{DD}$  à ses bornes et dissipe alors une puissance de  $500\mu\text{W}$ . Ce mécanisme permet alors d'équilibrer la température des deux détecteurs sur une dynamique de quelques g.

Le modèle « petit signal » présenté figure 37 est alors modifié comme illustré figure 59 afin de permettre la représentation de la régulation dans le domaine thermique et ainsi l'étude du système régulé en simulation.

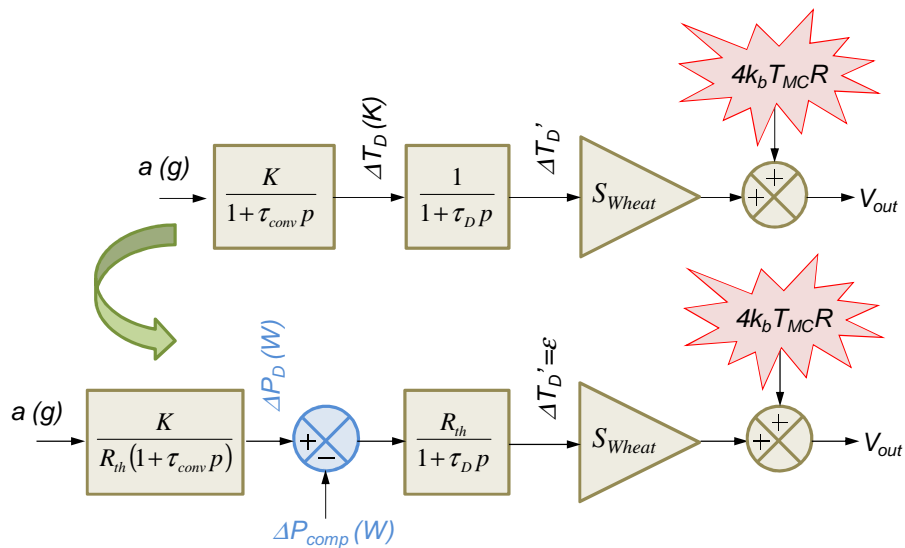


Figure 59 : Transformation du modèle « petit signal » de l'accéléromètre thermique de façon à représenter la régulation en température des détecteurs (via la puissance dissipée).

Finalement, la structure du modulateur proposé est schématisée figure 60. Le filtre de boucle est réalisé dans le domaine thermique en utilisant la réponse de type passe-bas du système convectif bien au delà de sa fréquence de coupure de façon à pouvoir assimiler sa fonction de transfert à celle d'un intégrateur pur. Le fonctionnement de ce modulateur s'apparente donc à celui d'un modulateur  $\Sigma\Delta$  du premier ordre.

Le modulateur est contrôlé par les horloges  $\phi_1$  et  $\phi_2$  qui commandent respectivement les phases de contre-réaction ou de lecture durant lesquelles le pont de Wheatstone est normalement polarisé d'une part, et l'instant d'échantillonnage de la sortie du comparateur d'autre part.

Le circuit a fait l'objet d'une réalisation sur carte afin de valider l'approche par simulation (figure 61). La simulation en régime transitoire est effectuée dans l'environnement Cadence®, en utilisant une description Verilog-A du capteur et une représentation au niveau transistor du circuit. La figure 62 montre une bonne adéquation entre les résultats de simulations et les données mesurées<sup>16</sup>.

<sup>16</sup> Leman O., Chaehoi A., Mailly F., Latorre L., Nouet P., Modeling and System-Level Simulation of a CMOS Convective Accelerometer, Solid-State Electronics (SSE) Vol. 51, Issues 11-12 (2007) 1609-1617

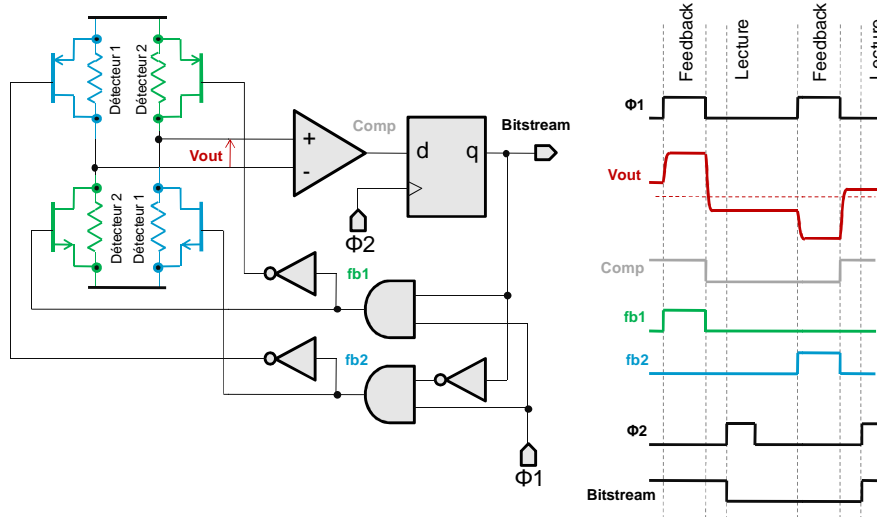


Figure 60 : Architecture du modulateur  $\Sigma\Delta$  thermique et chronogrammes des signaux de contrôle et de sortie.

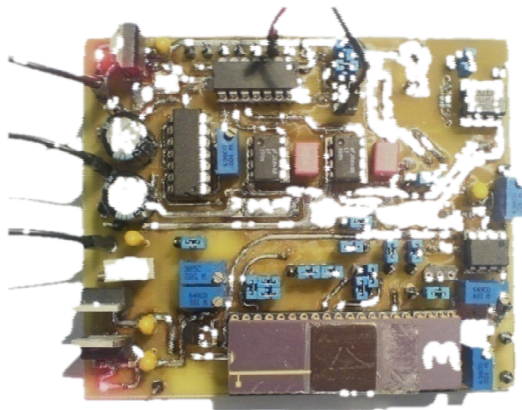


Figure 61 : Prototypage du modulateur  $\Sigma\Delta$  thermique de la figure 60.

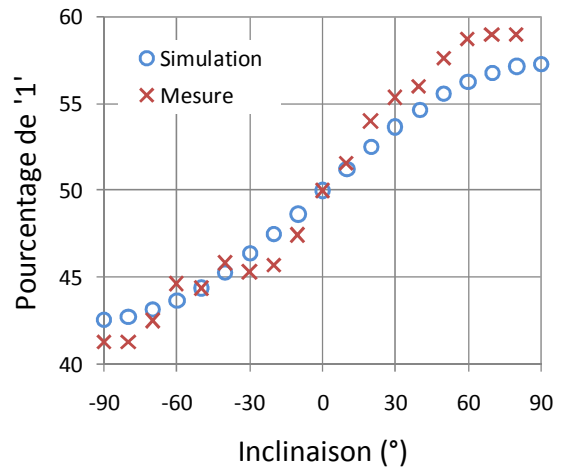


Figure 62 : Analyse du bitstream en sortie du modulateur en fonction de l'inclinaison du capteur. Comparaison entre les résultats obtenus expérimentalement et en simulation sous Cadence®.

L'étude approfondie des architectures de modulateur passe par l'analyse des propriétés spectrales du bitstream en sortie du circuit. Puisque l'objectif est d'être en mesure de prédire la résolution du capteur, il est nécessaire de prendre en compte les différents bruits et phénomènes parasites présents dans le circuit. D'un point de vue « flot de conception », cela pose un problème car les modèles de bruit concernant les parties électroniques sont intégrés dans les environnements de conception microélectronique dans le cadre de simulations « petit signal » essentiellement. De plus, la simulation en régime transitoire des systèmes sur-échantillonnés représentés au niveau transistor entraîne des temps de simulation énormes, ce qui rend le travail d'optimisation pratiquement impossible.

Nous avons contourné ces difficultés en proposant une approche d'optimisation à l'aide de Matlab®. Pour cela, des modèles de bruit ont été spécifiquement développés pour Simulink®, et en particulier

des modèles de bruit en  $1/f$  pour lesquels aucune primitive Matlab® n'est à ce jour disponible. Cette modélisation s'appuie sur une caractérisation du bruit à l'aide de Spectre® et sur une représentation dans Simulink® sous la forme d'un bruit blanc (primitive existante) mise en forme à l'aide d'une banque de filtres passe-bas du 1<sup>er</sup> ordre correctement calibrés [Lee03].

Le modèle Matlab® du modulateur  $\Sigma\Delta$  thermique est montré sur la figure 63. Il permet le calcul du spectre du bitstream avec un temps de calcul de l'ordre de la dizaine de secondes, chose impossible à envisager avec un modèle plus bas niveau. On reconnaît aisément les blocs appartenant au modèle « petit signal » du capteur.

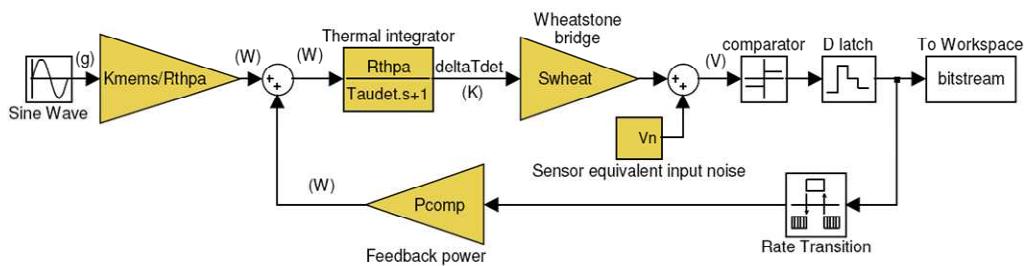


Figure 63 : Modèle Matlab Simulink® du modulateur SD thermique avec représentation du bruit en  $1/f$  des blocs à transistors.

La simulation du modèle Matlab® permet le calcul du spectre du bitstream en un temps acceptable. La figure 64 montre par exemple le spectre calculé sur une fenêtre temporelle de 30s que nous comparons au spectre mesuré sur le circuit de prototypage. Pour cette mesure, aucune accélération n'est appliquée. Avec une fréquence de modulateur fixée à 32kHz, le temps de simulation avoisine 40s sur un PC de bureau standard.

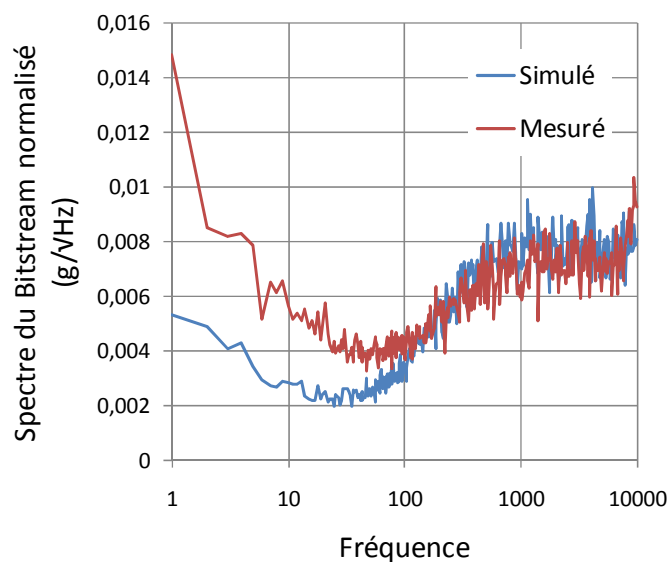


Figure 64 : Spectre du bitstream normalisé et exprimé en entrée du système. Comparaison des spectres mesurés et obtenus par simulation du modèle Matlab®.

Ces résultats montrent que la résolution reste limitée à basse fréquence par le bruit en  $1/f$  de l'amplificateur placé en sortie du pont de Wheatstone. La simulation sous-estime d'ailleurs ce bruit si on le compare à celui mesuré (dans des conditions toutefois qui sont loin d'être idéales...). A haute fréquence, le spectre obtenu résulte de la mise en forme du bruit de quantification par le modulateur  $\Sigma\Delta$ .

Les architectures de modulateurs  $\Sigma\Delta$  thermiques que nous avons explorées à ce jour<sup>17</sup> ne permettent pas d'approcher de façon satisfaisante la résolution intrinsèque du capteur thermique (de l'ordre de  $50\mu\text{g}$ ). Dans sa dernière année de thèse, Olivier étudie les possibilités d'améliorer ces solutions, par la mise en œuvre par exemple du principe de double échantillonnage corrélé ou par la réalisation d'un modulateur de second ordre. Nous pensons en effet que ces solutions permettront d'obtenir un niveau de performance intéressant.

## 5.4. Contribution au test des microsystèmes

Le département microélectronique du LIRMM regroupe un ensemble important de chercheurs experts dans le domaine du test des circuits intégrés. C'est dans cet environnement propice que nous avons abordé au fil des différentes thèses la problématique du test des microsystèmes. Nos travaux ont débuté dans le cadre de la thèse de Vincent Berouille en 2001 sur les aspects modélisation de fautes et nous avons proposé une première approche de test alternatif pour les MEMS (Oscillation Testing Methodology). Norbert Dumas, à travers son étude des phénomènes parasites dans la structure U-Shape a montré l'intérêt du stimulus électrothermique pour le test des structures suspendues. Par la suite, d'autres idées de tests alternatifs pour les MEMS ont été proposées. Par exemple, l'injection d'un signal de test de faible amplitude dans l'alimentation (bias modulation) a fait l'objet d'une collaboration interuniversitaire au niveau Européen dans le cadre du réseau d'excellence PATENT-DFMM, et fait l'objet du Post-doctorat de Frederick Mailly au LIRMM.

La réflexion concernant les problèmes de test de production des MEMS est omniprésente dans l'ensemble de nos travaux de recherche. Dans ce manuscrit, je rappellerai simplement le contexte général du test de production des MEMS et je donnerai deux exemples de travaux réalisés au laboratoire.

### 5.4.1. Contexte

Le problème du test des microsystèmes en production se pose de façon similaire à celui des circuits intégrés numériques ou analogiques. Le processus de fabrication (fonderie) est tel qu'un nombre plus ou moins important de composants fabriqués ne sont pas fonctionnels et l'objectif du test est d'identifier au plus tôt dans la chaîne de fabrication quels sont ces composants afin d'éviter d'engager des coûts supérieurs comme par exemple ceux liés à l'assemblage [Bla00b], [Ker98].

---

<sup>17</sup> Leman O., Mailly F., Latorre L., Nouet P, A Comparative Study of Conditioning Architectures for Convective Accelerometers, IEEE Sensors'2007, October 28-31, Atlanta, Georgia, USA, 2007.



Concernant le test de circuits numériques, l'industrie dispose depuis quelques décennies d'outils et méthodes issus de la recherche académique permettant d'éviter de réaliser un test fonctionnel exhaustif, d'ailleurs impossible à envisager dans le cas de circuits complexes tels que les processeurs. Ces méthodes reposent sur une approche appelée « test structurel », par opposition au « test fonctionnel », dont le principe est de vérifier par un stimulus adéquat (jeu de valeurs à présenter sur les entrées) la présence ou non de fautes préalablement identifiées et listées. Par exemple, un circuit numérique pourra être déclaré fonctionnel après avoir contrôlé que chacune de ses équipotentielles peut représenter l'état logique '0' et l'état logique '1'.

Une telle approche nécessite donc une étude permettant d'identifier la nature des défauts physiques pouvant affecter la fabrication d'un circuit, et la façon dont on peut représenter ces défauts à un niveau d'abstraction supérieur, en recherchant une compatibilité avec les outils et modèles de simulation employés. Ainsi modélisé, le défaut devient une « faute », que l'on peut répertorier et dont le test devra vérifier la présence.

Cette approche, qui a bien fonctionné jusqu'à présent dans le cas des circuits numériques, a cependant montré ses limites concernant le test des circuits analogiques, et par conséquent également dans le cas des MEMS [Mir99], que l'on peut considérer comme une simple extension de ces derniers à des domaines non purement électriques. En effet, si l'absence de défauts catastrophiques dans les circuits numériques permet de présumer du bon fonctionnement de ceux-ci, il n'en va pas de même pour les circuits analogiques et les MEMS pouvant souffrir de nombreuses dérives dites paramétriques (par exemple un décalage de fréquence de résonance, une erreur de gain...).

Une spécificité des microsystèmes tient dans la grande diversité des applications et des approches de fabrication. La figure 65 montre la part du coût du test dans le coût total du produit en fonction du niveau d'intégration du MEMS au sein du système. A une extrémité, lorsqu'un capteur simple est monté sur une carte, le coût du test de chaque composant avant assemblage ne représente qu'une part faible du coût total du système. Dans le cas d'une intégration du MEMS au niveau d'un SiP (System in Package) ou SoC (System on Chip), la réduction du coût de fabrication associée à une difficulté supérieure à réaliser le test du capteur au sein de son environnement électronique renverse la tendance et le coût du test devient alors critique dans le coût global de fabrication. Il n'est pas rare d'entendre les industriels du secteur annoncer un coût de test et calibration représentant 50% du coût de production du microsystème. Il est aussi intéressant de noter que l'assemblage de MEMS fait souvent appel à des techniques particulières et coûteuses (utilisation de cavités, environnement contrôlé, ...) et que dans ce contexte, il est important de pouvoir identifier une pièce défectueuse au plus tôt dans le flot de fabrication.

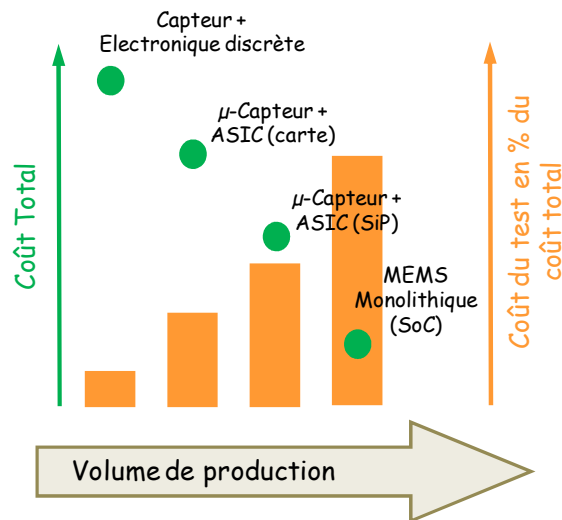


Figure 65 : Part du coût du test dans le coût de production des MEMS en fonction du degré d'intégration.

Une dernière particularité des MEMS concernant le test, et non la moindre, est la nécessité d'appliquer un stimulus physique pour la réalisation de tests fonctionnels. Le test d'un accéléromètre sous pot vibrant ou d'un magnétomètre sous champ magnétique calibré pose de nombreux problèmes pratiques dès que l'on envisage le tri de circuits au niveau wafer.

Le test de MEMS au niveau wafer avec l'application de stimuli physiques est toutefois possible. Des fournisseurs d'équipements proposent sur le marché des instruments capables par exemple d'appliquer une pression de gaz au niveau wafer afin de tester des capteurs. On trouve également d'autres formes d'excitation : vibration, chambre climatique (pression, température, humidité...). La mise en œuvre de ces équipements et le temps de test qui en découle ne permet toutefois pas de réduire de façon satisfaisante le coût du test dans un contexte de production grand volume.

Une stratégie globale de réduction du coût de test pour un microsysteme intégré s'appuie donc sur plusieurs axes de réflexion :

- Un travail d'identification des défauts possibles et leur représentation dans le modèle comportemental du MEMS afin de pouvoir envisager une approche structurée du test (vérification de la non-présence de comportement fautifs) s'appuyant sur la simulation des fautes.
- Etudier la possibilité de remplacer un stimulus physique par une excitation électrique, moins coûteuse. Pour cela, il peut s'avérer indispensable de prévoir le mécanisme d'excitation alternatif dès la conception du MEMS [Cha01b].
- Proposer des méthodes de test alternatives au test fonctionnel exhaustif, dont l'objectif sera de vérifier un certain nombre de paramètres fonctionnels du MEMS sans pour autant les extraire directement par les méthodes classiques de caractérisation.

Nous avons apporté une contribution à chacune de ces approches au cours des différentes thèses et stages de master effectués au sein de notre équipe. La suite du manuscrit présente quelques idées avancées et les résultats obtenus.

#### 5.4.2. Défauts et modèles de fautes

Les microsystèmes intégrés sont sensibles à l'ensemble des défauts identifiés dans le cadre des circuits digitaux et mixtes. Ces défauts sont soit liés à des problèmes de photolithographie (présence de poussière par exemple), pouvant affecter les composants ou leurs interconnexions, ou à des dérives du procédé de fabrication donnant lieu à des dysfonctionnements catastrophiques ou paramétriques dans le domaine électrique.

A ces défauts, s'ajoutent ceux qui entraînent spécifiquement des dysfonctionnements dans les domaines physiques de fonctionnement du MEMS : mécanique, chimique, optique, etc. Dans le cas où le transducteur opère sous environnement contrôlé (sous vide par exemple), les défauts d'herméticité du package constituent également des fautes potentielles qui ne seront toutefois pas testables avant l'assemblage final. A titre d'exemple, la figure 66 illustre quelques défauts observés sur les MEMS conduisant à des fautes catastrophiques ou paramétriques [Cou98], [Mil98b].

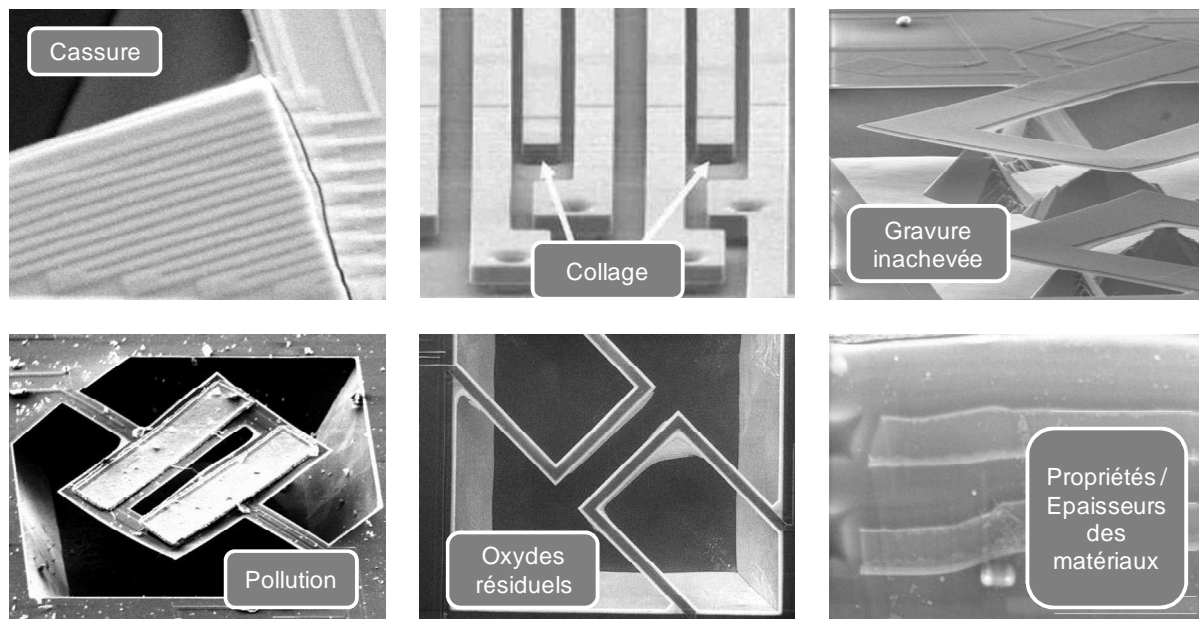


Figure 66 : Exemple de défauts entraînant des défaillances propres au domaine des MEMS.

La question de la modélisation des fautes a fait longtemps débat au sein de la communauté scientifique, opposant les partisans d'une représentation « bas niveau », très proche du défaut physique [Ros00], [Rei01] aux partisans d'une représentation plus « haut niveau », proche des spécifications fonctionnelles du système [Per97], [Cha99]. La représentation des défauts est très étroitement liée au niveau de modélisation utilisé pour décrire le microsystème sain. Dans le cas d'une approche de modélisation à éléments finis, il est possible de représenter finement un défaut

physique (une impureté, un défaut local d'épaisseur, un oxyde résiduel, ...). Cependant, une telle approche conduit à une liste démesurée de défauts potentiels que des méthodes systématiques d'injection et de simulation vont s'attacher à réduire [Kol98]. On abouti finalement à une classification des défauts selon la nature de leur conséquence sur les performances du système, ce qui donne plutôt raison à une approche de modélisation de faute à un niveau d'abstraction supérieur. Dans nos travaux, nous avons favorisé une modélisation analytique des MEMS. A ce niveau d'abstraction, il est possible par exemple de représenter une faute globalement en jouant sur les paramètres du modèles, qu'ils soient plutôt bas niveau (épaisseurs de couches, modules d'Young, densité...) ou plutôt haut niveau (constante de raideur, masse...).

Les exemples traités à la suite donnent une idée plus précise de l'utilisation que l'on peut faire du modèle de faute.

### 5.4.3. Etude de cas #1 : Test par oscillations (OTM)

Le problème du test du magnétomètre U-Shape s'est posé très tôt, avec la disponibilité des premiers prototypes fonctionnels. Les fautes catastrophiques de type cassures peuvent être testées très simplement à l'aide d'un test de continuité électrique, soit au niveau de la bobine, soit au niveau des jauges embarquées. La stratégie de test par oscillations présentée ici a pour objectif d'adresser des fautes conduisant à des dysfonctionnements d'ordre paramétriques.

L'idée du test par oscillation (Oscillation Test Methodology) a été introduite initialement dans le cadre du test de circuits analogiques [Kam94], [Kam97]. Le principe de cette technique est de transformer l'étage à tester (par exemple un filtre) en oscillateur à l'aide d'un circuit de retour adéquat et de mesurer l'amplitude et la fréquence des oscillations plutôt que les spécifications fonctionnelle de l'étage ( gain, réponse en fréquence...) En effet, l'extraction d'un diagramme de Bode est une opération à éviter absolument dans un contexte de test de production car l'architecture des testeurs industriels de circuits intégrés n'est pas adaptée à ce type de mesure.

Nous avons donc étudié la solution consistant à configurer la structure U-Shape en oscillateur<sup>18</sup>, en s'appuyant sur le circuit réalisé pour l'analyse de fiabilité présentée dans la première partie de ce manuscrit. Dans le cas présent, les deux modes de fonctionnements sont (i) le mode « normal » d'excitation du magnétomètre en boucle ouverte, et (ii) le mode « test » du circuit alors configuré en oscillateur (figure 67).

---

<sup>18</sup> Berouille V., Bertrand Y., Latorre L., Nouet P., Evaluation of the Oscillation-Based Test Methodology for Micro Electromechanical Systems, VTS'2002, April 28-May 2, Monterey, CA, USA, 2002, pp. 439-444.

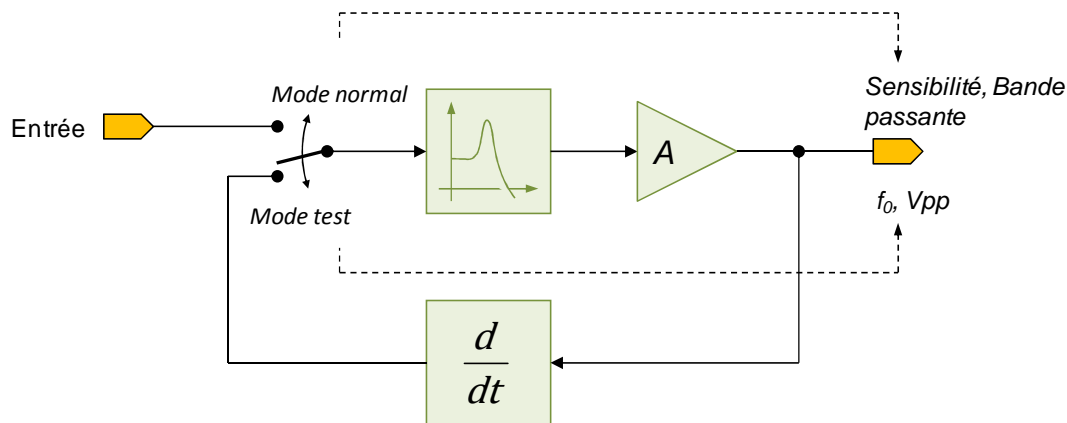


Figure 67 : Configuration du MEMS à tester en oscillateur de façon à améliorer sa testabilité.

Le capteur est intrinsèquement sain si sa sensibilité (V/T) et sa bande passante (Hz) se situent dans une fourchette acceptable. Afin de fixer cette fourchette acceptable, nous avons généré une population de MEMS à l'aide de simulations Monte Carlo et fixé un rendement de fabrication arbitraire à 68,3% (correspondant à  $\pm 1\sigma$ ). Dans cette simulation Monte Carlo, tous les paramètres bas-niveau tirés aléatoirement au sein d'une distribution Gaussienne constituent notre modèle de faute. Nous avons ici utilisé comme modèle de fautes les dispersions géométriques et les dispersions concernant les paramètres mécaniques (densités, module d'Young) des différentes couches constituant le procédé CMOS.

Après transformation du circuit en oscillateur, les paramètres mesurés par la procédure de test sont appelés « paramètres indirects » et correspondent dans notre cas à l'amplitude et à la fréquence des oscillations. Nous avons proposé deux stratégies pour déterminer la plage de valeurs acceptables sur ces paramètres indirects :

- **Une approche analytique** reposant sur l'hypothèse de faute unique : pour chaque élément de la liste de faute (par exemple l'épaisseur d'un niveau de métal), on calcule les bornes supérieures et inférieures permettant de rester dans les spécifications fonctionnelles. On utilise ensuite ces mêmes bornes pour délimiter l'intervalle de tolérance sur les paramètres indirects. Finalement, on dispose d'autant d'intervalles de tolérance que de paramètres dans la liste de fautes et l'on peut choisir de prendre l'intersection de tout ces intervalles (Approche « **Couverture de Faute** »), ce qui garantit qu'aucun circuit fautif ne sera accepté (au prix de nombreux rejets de circuits sains), ou l'union de tout ces intervalles (Approche « **Rendement** »), ce qui garantit qu'aucun circuit sain ne sera rejeté (au prix de quelques circuits fautifs acceptés). Le tableau 8 récapitule les résultats obtenus avec chacune de ces approches sur un tirage aléatoire de 100 circuits.
- **Une approche par apprentissage** dans un contexte de fautes multiples : sur la base de la population générée par l'analyse de Monte Carlo, on calcule pour chaque individu les réponses en mode normal et en mode oscillateur et on recherche l'intervalle de tolérance sur les paramètres indirects donnant au test sa performance maximale. Cette stratégie permet de rechercher un compromis entre les deux approches « rendement » et « couverture de fautes ».

Tableau 8 : Résultats obtenus sur la technique OTM.

Population de circuits à tester	
# Echantillons sains	90
# Echantillons fautifs	10
Total	100
Rendement de production avant test	90%
Approche « Rendement »	
# Echantillons sains gardés	90
# Echantillons sains rejetés	0
# Echantillons fautifs gardés	2
# Echantillons fautifs rejetés	8
Efficacité du test	98%
Couverture de fautes	80%
Approche « Couverture de fautes »	
# Echantillons sains gardés	64
# Echantillons sains rejetés	26
# Echantillons fautifs gardés	0
# Echantillons fautifs rejetés	10
Efficacité du test	74%
Couverture de fautes	100%

#### 5.4.4. Etude de cas #2 : Stimuli électrothermiques

La technique OTM permet entre autre de vérifier que la structure oscille librement mais suppose tout de même la présence d'un champ magnétique extérieur calibré. Norbert Dumas qui a travaillé sur la caractérisation du cantilever U-Shape dans le cadre de la conception de la boussole a mis en évidence des phénomènes thermiques particulièrement intéressants du point de vue du test.

L'idée générale pour vérifier que la gravure est complète est de mesurer la réponse thermique de la structure suspendue. D'une part, la structure peut être échauffée par effet Joule grâce à la bobine d'excitation ou par la simple polarisation des jauges de contraintes. D'autre part, la température de la structure suspendue est mesurable en sortie de pont de Wheatstone grâce à l'offset généré par l'augmentation locale de température au niveau des jauges. Ces phénomènes, développés dans le chapitre précédent, ont été présentés comme des effets parasites. Ils peuvent être utilisés à notre avantage pour le test<sup>19</sup>. Nous avons eu l'opportunité de valider cette technique de test par une approche expérimentale sur un lot de fabrication « raté ». En effet, sur ce lot nous avons eu (par chance !) des puces non-totalement libérées comme montré figure 68. Une première analyse par thermographie infrarouge montre de façon évidente que la présence partielle de substrat sous le capteur assure une conduction thermique de nature à limiter l'élévation de température de la structure sous gravée par rapport à la température atteinte par une structure totalement libérée, dans les mêmes conditions de polarisation.

<sup>19</sup> Dumas N., Azaïs F., Latorre L., Nouet P., Electrically-Induced Thermal Stimuli for MEMS Testing, ETS'04: 9th IEEE European Test Symposium, 23-26 Mai, Ajaccio, France, 2004, pp. 60-65.

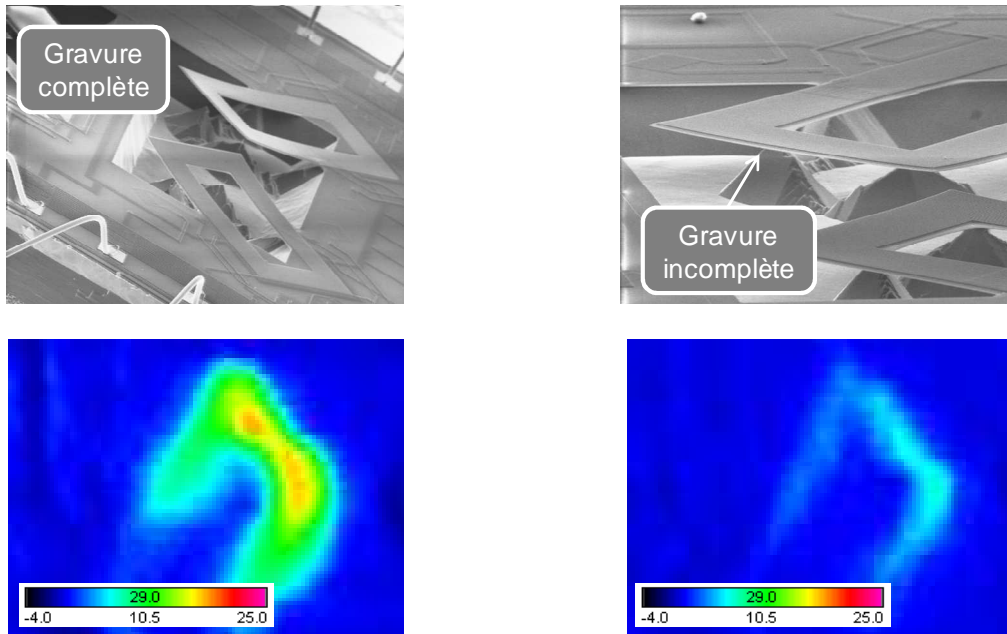


Figure 68 : Photographies MEB et thermographies IR de capteurs correctement gravés (à gauche) et non-complètement libérés (à droite).

Une simple mesure statique de l'offset du pont de Wheatstone ne permet pas un diagnostic précis à cause d'une part, du problème de dispersion de l'offset dû au procédé CMOS et, d'autre part, du problème de compensation de l'effet thermique par l'effet de relaxation de contraintes. La réponse indicielle est un moyen de contourner ce problème parce qu'elle permet de s'affranchir des effets statiques. Concernant la mise en œuvre, il s'agit de générer dans la structure un échelon de température. L'utilisation des jauges comme élément dissipateur est problématique, puisqu'elles doivent rester polarisées en statique pour pouvoir mesurer une tension en sortie du pont de Wheatstone. Par contre, la bobine peut être librement utilisée pour injecter le stimulus de test.

Avant d'appliquer l'échelon de tension aux bornes de la bobine, l'offset du pont de Wheatstone est annulé à l'aide d'un potentiomètre. L'amplitude de la réponse sur la figure 69 correspond ainsi uniquement aux effets thermiques produits par la circulation de courant dans la bobine (on s'assure pas ailleurs que le champ magnétique extérieur est nul). L'analyse des réponses révèle une différence significative entre les deux cas étudiés.

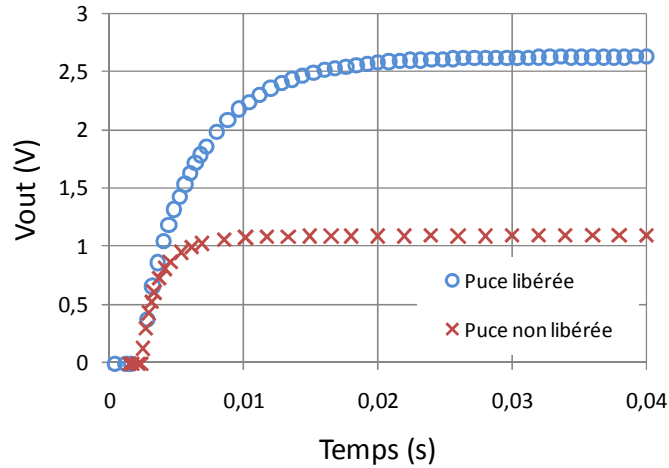


Figure 69 : Réponse thermique de structures libérées et non-complètement libérées.

Le test par réponse à un échelon est très simple à mettre en œuvre et permet donc d'envisager la vérification de la gravure à moindre coût. Nous avons cependant observé que dans le cas où la surface encore attachée au substrat se réduit, cette réponse thermique n'est pas suffisante pour déceler les circuits fautifs. Une alternative, certes plus coûteuse, consiste à vérifier si la structure peut entrer en résonance sous stimuli thermique comme cela a été montré précédemment. La figure 70 illustre la réponse thermique en fréquence de deux structures cantilevers, l'une étant libérée et l'autre étant encore faiblement attachée. Ce test permet en outre de caractériser la fréquence de résonance du capteur et son coefficient de qualité. En s'appuyant sur le modèle du cantilever, il est possible à partir de ces informations d'extraire des paramètres plus bas niveau (masse, constante de raideur, etc.).

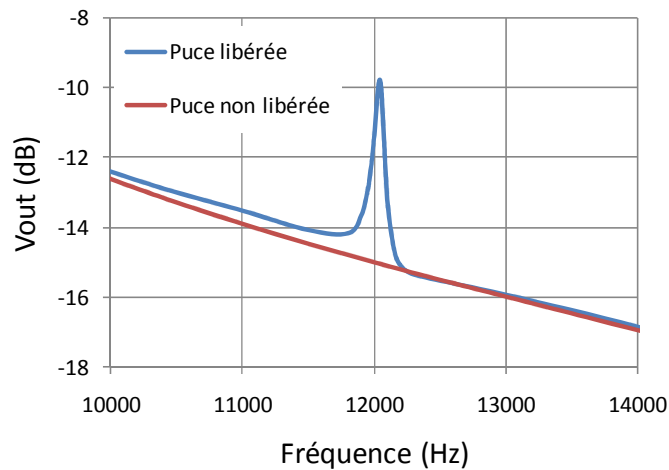


Figure 70 : Diagramme de Bode au voisinage de la fréquence de résonance thermique d'une structure libérée et non-complètement libérée.



Le circuit intégré pour l'application « boussole » intègre un synthétiseur de fréquence permettant d'ajuster la fréquence d'excitation du cantilever U-Shape. Une modification très simple de ce synthétiseur permet de produire les fréquences nécessaires au test par stimulus thermique et d'envisager la recherche automatique on-chip de la fréquence de résonance, réalisant dans le même temps le test et la calibration du capteur sans champ magnétique extérieur<sup>20</sup>. Ceci représente un intérêt considérable dans un contexte industriel.

Un stimulus électrothermique basse-fréquence permet d'extraire des informations comme la résistance et la capacité thermique de la structure suspendue qui sont liées à ses propriétés géométriques. Son utilisation a été envisagée dans le cadre d'un test en ligne (test autonome, pendant le fonctionnement du système). L'idée est de mélanger par modulation (produit) ou superposition (somme) un signal de test basse-fréquence de faible amplitude au signal d'excitation du capteur et d'observer son effet sur la sortie du système. Ce projet a été en partie supporté par le réseau d'excellence PATENT-DFMM.

## 5.5. Conclusion

Ce chapitre a présenté nos travaux relatifs à la conception de systèmes sur puce (SoC) à base de MEMS. Nous avons montré l'importance d'une approche de conception visant à améliorer à la fois la performance globale du système et son potentiel d'industrialisation en travaillant sur le traitement du bruit, sur la robustesse vis-à-vis des dispersions de fabrication et des effets parasites et enfin, sur les aspects liés à la testabilité.

Deux exemples de réalisation ont été détaillés : la première micro-boussole CMOS et l'accéléromètre thermique. Dans les deux cas, les approches de conception ont été validées par la réalisation de prototypes silicium et de démonstrateurs aboutis permettant de valoriser notre expertise.

La boussole réalisée est un véritable système mixte (MEMS, analogique et digital) permettant une mesure d'azimut avec une résolution de 2° et un temps de réponse de 10ms, ce qui est parfaitement compatible avec nombre d'applications du secteur grand public. Le point faible reste la consommation que l'on peut traiter par une stratégie de type « power management ». Le sujet de la réduction de la puissance consommée reste une préoccupation forte.

Des architectures de conditionnement pour l'accéléromètre thermique ont également été proposées ainsi qu'une approche de simulation « système » permettant une optimisation rapide. A ce jour, la meilleure performance est obtenue en utilisant un circuit relativement classique de modulation/démodulation en boucle ouverte. Toutefois, l'étude d'un modulateur  $\Sigma\Delta$  thermique permettant d'améliorer la bande passante et de disposer d'une sortie digitale reste ouverte et des pistes sont en cours d'investigation pour améliorer ses caractéristiques de rejection de bruit.

---

<sup>20</sup> Dumas N., Azaïs F., Latorre L., Nouet P., On-Chip Electro-Thermal Stimulus Generation for a MEMS-based Magnetic Field Sensor, VTS'2005, May 1-5, Palm Springs, USA, 2005, pp. 213-218.

## 6. Conclusion générale et perspectives

Ce manuscrit fait une synthèse de mes activités de recherche conduites au LIRMM depuis 2001. J'ai commencé ma thèse en 1996 en dessinant une poutre suspendue avec l'espoir qu'elle serait capable de mesurer un champ magnétique afin d'être intégrée dans un disjoncteur. Les technologies de fabrication post-CMOS étaient alors balbutiantes. A la fin de cette thèse en 1999, je recommandais quasiment d'abandonner la piste « microsystèmes » pour la mesure de champ magnétique car les performances obtenues demeuraient trop modestes. Par la suite, nous avons abordé les aspects liés au traitement du bruit dans les capteurs CMOS et de nouvelles perspectives se sont offertes à nous. Quelques années plus tard, nous proposons le premier microsystème intégré 100% CMOS « faible coût » capable de donner l'orientation du nord magnétique avec une résolution de quelques degrés. Ce document raconte un peu l'histoire de cette boussole à travers les travaux que nous avons été amenés à développer, à la fois au niveau dispositif et au niveau système. Dans le même temps, les capteurs à effet Hall ont également progressé et des solutions concurrentes commencent à voir le jour, notamment grâce à une approche de conception en tout point comparable à celle que nous avons développée [Mak05]. L'approche micro-usinée nous permet toutefois d'intégrer autour de la boussole les capteurs inertiels nécessaires à la mesure de l'orientation dans l'espace. Aujourd'hui, avec l'explosion de la téléphonie mobile, du GPS, et des produits « entertainment » les applications de la boussole ou des « IMU » (Inertial Measurement Unit) sont devenues nombreuses dans les applications « grand public » où la guerre des coûts fait rage.

En termes de perspectives à mon travail de recherche, il me semble intéressant de poursuivre les études engagées car il existe encore de nombreuses voies à explorer. Par choix de départ, nous avons orienté notre effort vers l'intégration monolithique de MEMS en technologie standard CMOS. Les raisons de ce choix sont multiples mais nous pensons que l'assemblage sur une seule et même puce du transducteur et de son électronique de conditionnement procure des avantages considérables, tant sur le plan économique, car on évite les techniques d'hybridation complexes, que sur le plan de la performance, par un traitement optimal du bruit au plus près de la source. Aujourd'hui, les techniques d'assemblage de puces ont évolué et une approche de type SiP (« System in Package ») telle que la propose la société NXP Semiconductor par exemple semble tout aussi intéressante qu'une approche de type SoC (« System on Chip »). Nous avons d'ailleurs montré que la fabrication de nos transducteurs était parfaitement compatible avec le procédé d'assemblage PiCS de NXP. Il est ainsi possible d'intégrer de façon monolithique au substrat PiCS (circuit imprimé sur silicium) des dispositifs FSBM, thermiques ou piézorésistifs, aux côtés des composants passifs (R, L, C) conçus pour les besoins en radiofréquences (figure 71).

Cette possibilité ouvre des perspectives très intéressantes, notamment en termes de coût d'intégration. Deux projets sont en cours de développement avec des premiers prototypes réalisés sur PiCS : la conception d'un capteur d'orientation s'appuyant sur notre expérience des magnétomètres et accéléromètres (figure 72), qui a été étudié par Boris Alandry au cours de sa première année de thèse, et l'étude de microphones silicium. En parallèle à l'étude de ces dispositifs, nous souhaitons avancer sur la réduction de la puissance consommée par les structures piézorésistives, travail que nous avons commencé avec la thèse d'El Mehdi Boujamaa.

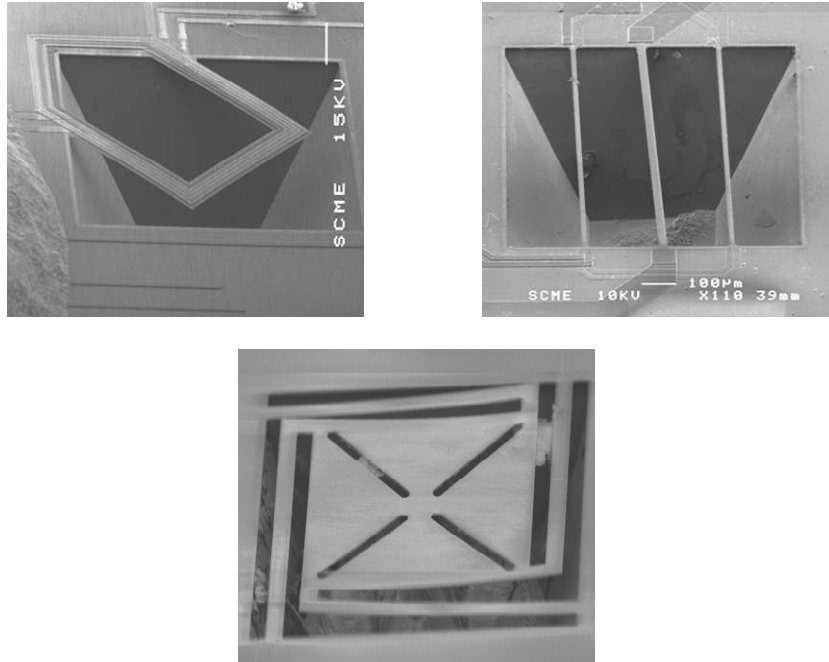


Figure 71 : Intégration de MEMS FSBM sur le substrat PiCS de la société NXP Semiconductors. Le magnétomètre U-Shape (à gauche), l'accéléromètre convectif (à droite) et un prototype de microphone silicium (en bas).

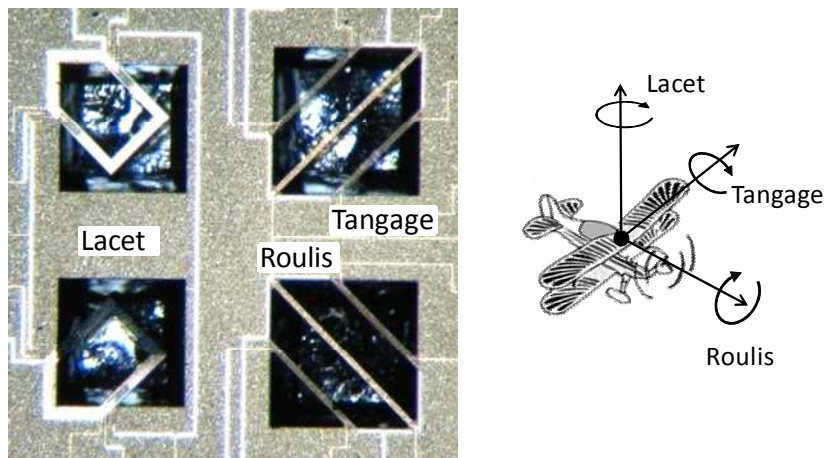


Figure 72 : Prototype PiCS d'un capteur de position basé sur l'utilisation de 2 magnétomètres et 2 accéléromètres.

Nous avons mis neuf ans (trois thèses) à réaliser la boussole, puis trois ans (une thèse) pour la fonction inclinaison. Avec l'expérience acquise et les méthodes de conception que nous avons formalisées, le temps de développement d'un système comparable se réduirait aujourd'hui à une année. Cette expertise est reconnue et nous participons actuellement à deux projets ANR. Le premier projet « MIDISPPi » (2005-2008) a pour objectif la mise en œuvre de capteurs pour la surveillance de paramètres environnementaux (humidité, température et pression) à l'intérieur de microcavités dans un contexte général de fiabilité des MEMS. Dans le cadre de ce projet nous avons proposé et réalisé

un capteur de pression basé sur le principe de la jauge « Pirani » (principe dérivé du fil chaud). Le second projet « R3MEMS » (2007-2010) concerne la conception d'une architecture de contrôle pour un réseau de micro relais RF.

Toujours dans le cadre de nos activités en microsystemes, je souhaite poursuivre l'effort d'intégration de MEMS dans diverses technologies. Un projet commun avec l'Université Catholique de Louvain nous ouvre la possibilité de concevoir des microsystemes sur une technologie CMOS SOI. Cette technologie permet la réalisation de circuits microélectronique très faible consommation. Nous avons par ailleurs saisi l'opportunité de proposer des structures à la gravure sur une technologie CMOS AMS 0,35µm ce qui est nouveau car la compatibilité de la gravure TMAH avec les procédés CMOS modernes (planarisés) n'a pas encore été démontrée.

En parallèle à ces projets, qui s'inscrivent dans la stricte continuité des activités conduites jusqu'à ce jour, j'ai lancé un nouveau sujet de recherche au LIRMM en 2008 concernant le test de circuits radiofréquences. J'encadre avec Florence Azaïs, dont la spécialité est le test de circuits analogiques et mixte, la thèse de Nicolas Pous dans le cadre d'un projet en partenariat avec la société Verigy. L'objectif de cette thèse est de proposer des méthodes et algorithmes permettant d'envisager le test de circuits RF en utilisant les ressources digitales, moins coûteuses que les ressources RF, d'un testeur industriel.

Pour conclure, je voudrais souligner la « chance » que j'ai eu, d'avoir pu travailler dans la continuité depuis une dizaine d'année, sur ce sujet passionnant que sont les microsystemes, relativement à l'abri des contraintes industrielles et de la recherche de financements. Ceci nous a procuré l'opportunité de capitaliser de la connaissance au fil des thèses et d'obtenir aujourd'hui un certain succès que l'on peut mesurer à travers nos réalisations, nos publications, notre participation à des projets et réseaux d'excellence, nos actions de valorisations avec l'industrie, etc. Ce succès n'est pas seulement le mien mais bien sûr celui d'une équipe. Je terminerai en adressant mes remerciements les plus sincères à Pascal Nouet qui a créé et qui anime cette équipe en nous procurant les conditions de travail dans lesquelles nous pouvons nous épanouir. Je remercie également mes collègues et bien sûr les doctorants pour la qualité de leurs contributions.

## 7. Références

- [Ams] Austria Microsystem, "0,8  $\mu\text{m}$  CMOS Process Parameters" AMS 0,8  $\mu\text{m}$  datasheet.
- [Bal91] H. Baltes, D. Moser, R. Lenggenhager, O. Brand, G. Watchutka, "Thermomechanical Microtransducers by CMOS technology combined with micromachining", MICRO SYSTEM Technologies 91, R. Krahn et H.Reichl, 1991.
- [Bal96] H. Baltes et al, "IC MEMS Microtransducers", IEDM Technical Digest, 1996, pp. 521-524.
- [Bal98] Baltes, H.; Paul, O.; Brand, O., "Micromachined thermally based CMOS microsensors," Proceedings of the IEEE , vol.86, no.8, pp.1660-1678, Aug 1998.
- [Bar03] C. Barthod, Y. Teisseyre, C. Géhin, G. Gautier "Resonant force sensor using a PLL electronic", Sensors and Actuators A 104, 2003, p. 143–150.
- [Bla00a] H. Blanchard, F. De Montmollin, J. Hubin, R.S. Popovic, "Highly sensitive Hall sensor in CMOS technology", Sensors and Actuators A 82, 2000, p. 144–148.
- [Bla00b] R. D. Blanton, "The challenge of MEMS TEST", International Test Conference (ITC), pp. 1133, 2000.
- [Bil99] A Billoti, G. Monreal, Chopper-stabilized amplifiers with a track-and-hold signal demodulator, IEEE Transactions on Circuits and Systems, I Fundamental Theory and Applications, Vol 46, No 4 (1999) 490-495.
- [Boe99] M.P. de Boer, T.A. Michalske, "Accurate Method for Determining Adhesion of Cantilever Beams", Journal of Applied Physics, July 15, 1999, Vol. 86, pp.817-827.
- [Bou96] M. Boutry et al., "Characterization of Residual Stress in Metallic Films on Silicon with Micromechanical Devices", Proceedings SPIE, Vol. 2879, 1996, pp.46-55.
- [Cas98] A. Castillejo, D. Veychard, S. Mir, J.M. Karam and B. Courtois; "Failure Mechanisms and Fault Classes for CMOS-Compatible Microelectromechanical Systems", IEEE Int. Test Conference, p541-550,1998.
- [Cha01a] B. Charlot, F. Parrain, S. Mir, B. Courtois "A self-testable CMOS thermopile-based infrared imager", Symposium on Design, Test, Integration and Packaging of MEMS/MOEMS (DTIP'2001), Cannes - Mandelieu, France, 25-27 Avril, 2001.
- [Cha01b] B. Charlot, S. Mir, F. Parrain, B. Courtois, "Electrically induced stimuli for MEMS self-test", 19th VLSI test symposium, VTS2001, Los Angeles, April 29, May 3, 2001.
- [Cha99] B. Charlot, S. Mir, E. F. Cota, M. Lubaszewski, B. Courtois, "Fault simulation of MEMS using HDLs", Design, Test and Microfabrication of MEMS/MOEMS, Paris, pp. 70-77, France, March-April, 1999.
- [Chu97] Chu, P.B.; Chen, J.T.; Yeh, R.; Lin, G.; Huang, J.C.P.; Warneke, B.A.; Pister, S.J., "Controlled pulse-etching with xenon difluoride," Solid State Sensors and Actuators, 1997. TRANSDUCERS '97 Chicago., 1997 International Conference on , vol.1, no., pp.665-668 vol.1, 16-19 Jun 1997.
- [Cou96] Courtois, B.; Delori, H.; Karam, J.M.; Paillotin, F.; Toriki, K., "CMP services: basic principles and developments," 2nd International Conference on ASIC, pp.417-420, 21-24 Oct 1996.
- [Cou98] A. Castillejo, D. Veychard, S. Mir, J.M. Karam, B. Courtois, "Failure Mechanisms and Fault Classes for CMOS-Compatible Microelectromechanical Systems", In IEEE International Test Conference (ITC), pp. 541-550, Washington DC, USA, Oct. 1998.
- [Cza08] Czarnecki, P.; Rottenberg, X.; Soussan, P.; Nolmans, P.; Ekkels, P.; Muller, P.; Tilmans, H.A.C.; De Raedt, W.; Puers, R.; Marchand, L.; De Wolf, I., "New insights into charging in capacitive RF MEMS

- switches," Reliability Physics Symposium, 2008. IRPS 2008. IEEE International , vol., no., pp.496-505, April 27 2008-May 1 2008.
- [Fed96] G.K. Fedder, S. Santhanam, M.L. Reed, S.C. Eagle, D.F. Guillou, M.S.-C. Lu, L.R. Carley, "Laminated high-aspect-ratio microstructures in a conventional CMOS process", Sensors and Actuators A 57, 1996, p. 103-110.
- [Fed97] Fedder, G.K., "Integrated microelectromechanical systems in conventional CMOS," Circuits and Systems, 1997. ISCAS '97., Proceedings of 1997 IEEE International Symposium on , vol.4, no., pp.2821-2824 vol.4, 9-12 Jun 1997.
- [Gab93] Thomas B. Gabrielson "Mechanical-Thermal Noise in Micromachined Acoustic and Vibration Sensors" IEEE Transactions on Electron Devices, Vol-40, N°5, pp. 903, May 1993.
- [Gan99] Gang Zhang; Huikai Xie; de Rosset, L.E.; Fedder, G.K., "A lateral capacitive CMOS accelerometer with structural curl compensation," Micro Electro Mechanical Systems, 1999. MEMS '99. Twelfth IEEE International Conference on , vol., no., pp.606-611, 17-21 Jan 1999.
- [Gra04] Graf, M.; Barretino, D.; Zimmermann, M.; Hierlemann, A.; Baltes, H.; Hahn, S.; Barsan, N.; Weimar, U., "CMOS monolithic metal-oxide sensor system comprising a microhotplate and associated circuitry," Sensors Journal, IEEE , vol.4, no.1, pp. 9-16, Feb. 2004.
- [Har00] Jonah A. Harley, Thomas W. Kenny, "1/f Noise Considerations for the Design and Process Optimization of Piezoresistive Cantilevers", Journal of Microelectromechanical Systems, Vol. 9, N°2, June 2000.
- [Hof95] Hoffman, E.; Warneke, B.; Kruglick, E.; Weigold, J.; Pister, K.S.J., "3D structures with piezoresistive sensors in standard CMOS," Micro Electro Mechanical Systems, 1995, MEMS '95, Proceedings. IEEE , vol., no., pp.288-, 29 Jan-2 Feb 1995.
- [Hol01] J.P. Holman, "Heat Transfer", 9<sup>th</sup> edition, McGraw-Hill College, 2001, ISBN 0-0724-0655-0.
- [Hos00] N. Hossain, J-W Ju, B. Warneke, K.S.J. Pister, "Characterization of the Young's Modulus of CMOS Thin Films", symposium on Mechanical Properties of Structural Films, Orlando, Florida, November 15-16, 2000.
- [Kam94] M.Slamani, B.Kaminska, "Multifrequency Testability Analysis for Analog Circuits", IEEE VLSI Test Symposium, Cherry Hill USA, 1994.
- [Kam97] K. Arabi, B. Kaminska, "Oscillation Built-In Self Test (OBIST) Scheme for Functional and Structural Testing of Analog and Mixed-Signal Integrated Circuits", International Test Conference (ITC), pp. 786-795, 1997.
- [Kar96] Karam, J.M.; Courtois, B., "From the MEMS idea to the MEMS product: CAD and foundries," proc. WESCON'96, pp.73-78, 22-24 Oct 1996.
- [Ker98] H.G. Kerckhoff, "Testing of microsystems", Microsystem Symposium, Delft, The Netherlands, pp. 27-36, 1998.
- [Kol98] A. Kolpekwar, C. Kellen, R. D. Blanton, "MEMS Fault Model Generation using CARAMEL", International Test Conference (ITC), pp. 557, Oct. 1998.
- [Lee03] T-H. Lee, G. Cho, "Monte Carlo based time-domain Hspice noise simulation for CSA-CRRC circuit", Nuclear Instruments and Methods in Physics Research A, vol. 505, 2003, pp. 328-333.
- [Leu97] Leung, A.M.; Jones, J.; Czyzewska, E.; Chen, J.; Pascal, M., "Micromachined accelerometer with no proof mass," Electron Devices Meeting, 1997. IEDM '97. Technical Digest., International , vol., no., pp.899-902, 7-10 Dec 1997.

- [Leu98] A.M. Leung, J. Jones, E. Czyzewska, J. Chen and B. Woods; "Micromachined accelerometer based on convection heat transfer"; IEEE MEMS'98; Heidelberg-Germany; 25-29 Jan. 1998; pp. 627-630.
- [Mai03] F. Maily, A. Giani, A. Martinez, R. Bonnot, P. Temple-Boyer and A. Boyer, "Micromachined thermal accelerometer", Sens. Actuators A 103 (3) (2003), pp. 359-363.
- [Mak05] Van der Meer, J.C.; Riedijk, F.R.; van Kampen, E.; Makinwa, K.A.A.; Huijsing, J.H., "A fully integrated CMOS Hall sensor with a  $3.65 \mu\text{T}/\sigma$  offset for compass applications," Solid-State Circuits Conference, 2005. Digest of Technical Papers. ISSCC. 2005 IEEE International , vol., no., pp.246-247 Vol. 1, 10-10 Feb. 2005.
- [Mil98a] V. Milanovi, E. Bowen, N. Tea, J. Suehle, B. Payne, M. Zaghloul, and M. Gaitan "Convection-based accelerometer and tilt sensor implemented in standard CMOS", International Mechanical Engineering Conference and Exposition, MEMS Symposia, Anaheim, CA, Nov. 18th, 1998.
- [Mil98b] S. L. Miller, M.S. Rodgers, G. LaVigne, J.J Sniegowski, P. Clews, D. M. Tanner, K. A. Peterson, "Failure Modes in Surface Micromachined MicroElectroMechanical Actuators", IEEE International Reliability Physics Symposium (IRPS). Reno, Nevada, pp. 17-25, 1998.
- [Mir99] S. Mir, B. Charlot, B. Courtois, "Extending fault-based testing to MEMS", European Test Workshop (ETW), Constance, Germany, 25-28 May 1999.
- [Neu04] P. Neuzil, T. Mei, "A method of suppressing self-heating signal of bolometers", IEEE Sensors Journal, vol. 4, no. 2, April, 2004.
- [Par97] J. M. Paret, "Etude et mise au point de la méthodologie de conception et de fabrication collective de microsystemes sur silicium", Thèse de doctorat, Institut National Polytechnique de Grenoble (INPG), France, Janvier 1997.
- [Par02] F. Parrain, B. Charlot., N. Galy, B. Courtois "A CMOS compatible micromachined tactile fingerprint sensor", Design, Test, Integration, and Packaging of MEMS/MOEMS (DTIP'02), Cannes-Mandelieu, France, 6-8 Mai 2002.
- [Per97] A.J. Perkins, M. Zwolinski, C.D. Chalk, B. R. Wilkins, "Fault Modeling and Simulation Using VHDL-AMS", Analog Integrated Circuits and Signal Processing, 16, 141-155, 1998.
- [Pet82] K. R. Petersen, "Silicon As Mechanical Material", Proc. of the IEEE, vol.70, 1982.
- [Pop01] R. S. Popovic, Z. Randjelovic, D. Manic, "Integrated Hall-effect magnetic sensors", Sensors and Actuators A: Physical, Volume 91, Issues 1-2, 5 June 2001, Pages 46-50.
- [Rei01] R. Reichenbach, R. Rosing, A. M. Richardson, A. P. Dorey, "Finite Element Analysis to Support Component Level Fault Modelling for MEMS", In Design, Test, Integration, and Packaging of MEMS/MOEMS, DTIP, 2001.
- [Ros00] R. Rosing, A. M. Richardson, A. P. Dorey, "A Fault Simulation Methodology for MEMS", In Design Automation and Test in Europe, DATE2000, Paris, 2000.
- [Sab01] Sabuncuoglu Tezcan, D.; Eminoglu, S.; Sevkett Akar, O.; Akin, T., "A low cost uncooled infrared microbolometer focal plane array using the CMOS n-well layer," Micro Electro Mechanical Systems, 2001. MEMS 2001. The 14th IEEE International Conference on , vol., no., pp.566-569, 2001.
- [San00] "Sandia MEMS Reliability Short Course", 2000.
- [Sch01] A. Schaufelbuehl, U. Münch, C. Menolfi, O. Brand, O. Paul, Q. Huang, H. Baltes, "256-Pixel CMOS-Integrated Thermoelectric Infrared Sensor Array", proc. MEMS'2001, pp. 200,203.

- [Sch97] M. Schneider, S. Kawahito, Y. Tadokoro and H. Baltes, "High Sensitivity CMOS MicroFluxgate Sensor", Electron Devices Meeting, ISBN: 0-7803-4100-7, Décembre 1997, p. 907-910.
- [Sei87] H. Seidel, "The mechanism of anisotropic silicon etching and its relevance for micromachining", Proc. 4<sup>th</sup> Int. Conference on Solid-state Sensors and Actuators (Transducers'87), Tokyo, Japan, June 2-5, pp. 120-125.
- [Sen01] S.D. Senturia, "Microsystem Design", Kluwer Academic Publishers, Norwell, 2001, ISBN:0-7923-7246-8
- [She96] B. Shen, W. Allegretto, M. Hu, A.M. Robinson, "CMOS Micromachined Cantilever-in-Cantilever Devices with Magnetic Actuation", IEEE Electron Devices Letters, 17/07/1996, pp. 372-374.
- [Spe02] Van Spengen, W.M.; Puers, R.; Mertens, R.; De Wolf, I., "Experimental characterization of stiction due to charging in RF MEMS," Electron Devices Meeting, 2002. IEDM '02. Digest. International , vol., no., pp. 901-904, 2002.
- [Spe03] Van Spengen, W.M.; Puers, R.; De Wolf, I., "The prediction of stiction failures in MEMS," Device and Materials Reliability, IEEE Transactions on , vol.3, no.4, pp. 167-172, Dec. 2003.
- [Sun06] Sunier, R.; Vancura, T.; Li, Y.; Kirstein, K.-U.; Baltes, H.; Brand, O., "Resonant Magnetic Field Sensor With Frequency Output," Microelectromechanical Systems, Journal of , vol.15, no.5, pp. 1098-1107, Oct 2006.
- [Tan97] R. Tangelder, G. Diemel and H. Kerckhoff, "Smart Sensor System Application: An Integrated Compass", European Design and Test Conference, Paris, France, Mars 1997, p. 195-199.
- [Tea97] Tea, N.H.; Milanovic, V.; Zincke, C.A.; Suehle, J.S.; Gaitan, M.; Zaghoul, M.E.; Geist, J., "Hybrid postprocessing etching for CMOS-compatible MEMS," Microelectromechanical Systems, Journal of , vol.6, no.4, pp.363-372, Dec 1997.
- [Tez03] Tezcan, D.S.; Eminoglu, S.; Akin, T., "A low-cost uncooled infrared microbolometer detector in standard CMOS technology," Electron Devices, IEEE Transactions on , vol.50, no.2, pp. 494-502, Feb. 2003
- [Ver95] Verhoeven H-J, Huijsing JH., "Design of thermal sigma-delta modulators for smart thermal sensors", ISCAS'95, 1995, vol. 1, 28 April-3 May; 1995. p.179-82.
- [Wol06] De Wolf, I., "Reliability of MEMS," Thermal, Mechanical and Multiphysics Simulation and Experiments in Micro-Electronics and Micro-Systems", EuroSime 7th International Conference on , vol., no., pp. 1-6, 24-26 April 2006.