HAL
open science

Méthodologie de conception de magnétomètre dans une approche mécatronique

Benoit Dubois

To cite this version:

Benoit Dubois. Méthodologie de conception de magnétomètre dans une approche mécatronique. Micro et nanotechnologies/Microélectronique. Université de Strasbourg, 2009. Français. NNT : . tel-00408674

HAL Id: tel-00408674

https://theses.hal.science/tel-00408674v1

Submitted on 31 Jul 2009

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

N° d'ordre : 147

École Doctorale MSII (ED n°269)

Mathématiques, Sciences de l'Information et de l'Ingénieur

UDS - INSA - ENGEES

THÈSE

présentée pour obtenir le grade de

Docteur de l'Université de Strasbourg

Discipline : Électronique, Électrotechnique, Automatique

(Microélectronique)

par

Dubois Benoît

Méthodologie de conception de magnétomètre dans une approche mécatronique

Soutenue publiquement le 3 juillet 2009

Membres du jury

Directeur de thèse :	Francis Braun, Professeur, InESS, Strasbourg
Rapporteur interne :	Daniel Mathiot, Professeur, InESS, Strasbourg
Rapporteur externe :	Yves Danto, Professeur, IMS, Bordeaux
Rapporteur externe :	Ian O'Connor, Professeur, INL , Lyon
Examinateur :	Jean-François Aubry, Professeur, CRAN, Nancy
Examinateur :	Jean-Baptiste Kammerer, Maître de conférences, InESS, Strasbourg
Invité :	Luc Hébrard, Professeur, InESS, Strasbourg

InESS **UMR 7163**

N° 147

28 juillet 2009

Remerciements

Je tiens tout d'abord à remercier Francis Braun, mon directeur de thèse, pour m'avoir donné la possibilité d'entreprendre mes travaux de doctorat au sein de l'Institut d'Électronique des Solides et des Systèmes.

Je remercie particulièrement Jean-Baptiste Kammerer, mon premier co-encadrant. Je le remercie pour toute l'aide qu'il m'a fournie durant ces trois années de thèse, et en particulier pour m'avoir fait profiter de ses compétences en conception analogique et modélisation de haut niveau.

Je tiens aussi à remercier Luc Hébrard, mon autre co-encadrant. Son avis critique, son expérience et ses conseils m'ont été d'une grande utilité.

Je souhaiterais remercier Daniel Mathiot, directeur du laboratoire InESS, Yves Danto, Jean-Francois Aubry et Ian O'Connor d'avoir accepté de faire partie de mon jury de thèse.

Je remercie tous mes collègues de l'InESS et plus particulièrement Pascal Leindecker, Jacques Morel, Nicolas Collin et toute la troupe des doctorants.

Je remercie également nos collègues du CRAN/A3SI, du LICM et du LPM avec qui nous avons participé au projet Cimtronic's. La coopération avec des spécialistes de disciplines différentes fut très enrichissante.

Sur un plan plus personnel, je voudrais remercier mon père et mes soeurs qui m'ont soutenu tout au long de mon cursus "scolaire" (et même plus) aussi bien moralement que financièrement. Je voudrais terminer en remerciant Amélie qui a été à mes côtés et m'a supporté pendant ces quatre dernières années.

Table des matières

Glossaire **1**

Introduction générale **3**

1 État de l'art **7**

1.1 Capteurs magnétiques intégrés 7

1.1.1 Capteur à effet Hall 8

1.1.1.1 Effet Hall 8

1.1.1.2 Capteur intégré CMOS 9

1.1.1.3 Analyse de la fiabilité du capteur à effet Hall 10

1.1.2 Capteur à jonction magnétique à effet tunnel 11

1.1.2.1 Réponse d'une MTJ 11

1.1.2.2 Capteur intégré à MTJ 13

1.1.2.3 Analyse de la fiabilité du capteur à MTJ 18

1.2 Sûreté de fonctionnement des systèmes 18

1.2.1 Sûreté de fonctionnement 19

1.2.1.1 Terminologie 19

1.2.1.2 Outils et moyens 21

1.2.2 Sûreté de fonctionnement et conception en microélectronique 24

1.3 Mécanismes de défaillance des circuits intégrés analogiques CMOS 26

1.3.1 Électromigration 27

1.3.1.1 Physique du phénomène 27

1.3.1.2 Mécanisme de défaillance 29

1.3.1.3 Conception minimisant l'électromigration 29

1.3.2 Claquage de l'oxyde de grille du transistor 32

1.3.2.1 Mécanisme du claquage d'oxyde et modèles 32

1.3.3 Negative Bias Temperature Instability (NBTI) 34

1.3.3.1 Mécanisme de défaillance et modèle 35

1.3.4 Dégradation par porteurs chauds 36
1.3.4.1 Mécanisme de défaillance et modèle 36
1.3.4.2 Dégradation induite par les porteurs chauds 37
1.3.4.3 Modèle 38
1.4 Conclusion 39
1.5 Objectifs des travaux 39

2 Vieillissement des circuits analogiques CMOS 41
2.1 Modèle de vieillissement du transistor MOS 41
2.1.1 De la physique au modèle analytique 42
2.1.2 Vérification expérimentale de l'hypothèse de linéarité 44
2.1.3 Extraction des paramètres du modèle 47
2.1.4 Modélisation VHDL-AMS du vieillissement du TMOS 50
2.2 Étude du vieillissement sur des structures de base 51
2.2.1 Transistor seul 53
2.2.2 Miroir de courant 58
2.2.2.1 Étude analytique de la dérive du courant de sortie 58
2.2.2.2 Simulation VHDL-AMS 62
2.2.2.3 Résultats expérimentaux 62
2.2.3 Comparaison entre miroir de courant et miroir de courant "cascodé" . . 65
2.2.3.1 Étude analytique 66
2.2.3.2 Simulation VHDL-AMS 69
2.2.4 Amplificateur inverseur 70
2.2.4.1 Étude analytique 70
2.2.4.2 Résultats expérimentaux 74
2.2.5 Amplificateur différentiel 79
2.2.5.1 Étude analytique 79
2.2.5.2 Simulation VHDL-AMS 81
2.3 Conclusion 91

3 Méthodologie de conception analogique pour la fiabilité 93
3.1 Méthodologie 93
3.2 Conception d'un OTA avec prise en compte du vieillissement 94
3.2.1 Étude du vieillissement de l'OTA 95
3.3 Application à la conception d'un capteur de vieillissement 109
3.3.1 Principe 110
3.3.2 Avantages et intérêt du capteur 112

3.3.3 Résultats 113
3.3.4 Extension du principe 114
3.4 Conclusion 117

Conclusion générale et perspectives **119**

Références bibliographiques **122**

Annexes **132**

A Publications **133**

B Circuits CMOS **135**
B.1 Circuits de caractérisation du modèle de vieillissement 136
B.1.1 Miroir NMOS 136
B.1.2 Miroir PMOS 137
B.1.3 Amplificateur à charge NMOS 137
B.1.4 Amplificateur à charge PMOS 138
B.2 Capteur de vieillissement 139
B.2.1 Capteur 139
B.2.2 OTA 139

C Sources VHDL-AMS **141**
C.1 tmos.vhd 141
C.2 R.vhd 147
C.3 Miroir.tb.vhd 147
C.4 MiroirCascode.tb.vhd 149
C.5 AmpliDiff.tb.vhd 150
C.6 Ota.tb.vhd 152
C.7 Capteur.tb.vhd 154

D Détails des calculs **157**
D.1 Chapitre 2.2.2.1 157
D.2 Chapitre 2.2.3.1 159

Glossaire

Amplificateur OPérationnel (AOP) Amplificateur électronique qui amplifie une différence de potentiel électrique présente à ses entrées (Operational Amplifier (OpAmp) en anglais).

CMOS Complementary MOS. Technologie de fabrication de composants électroniques intégrant des transistors NMOS et PMOS.

MOSFET ou MOS Metal Oxyde Semiconductor Field Effect Transistor. Littéralement transistor à effet de champs à structure métal-oxyde-semiconducteur. On trouve des MOSFET de type N (canal d'électron : NMOS) ou de type P (canal de trou : PMOS).

Operational Transconductance Amplifier (OTA) Litéralement amplificateur opérationnel de transconductance. Amplificateur dont la différence de potentiel électrique présente à ses entrées produit un courant de sortie.

Paramètre de transconductance (KP) Paramètre technologique permettant de déterminer la *transconductance* d'un transistor. Dans le cas du MOS, il est défini par : $KP = \mu \cdot C_{ox}$ avec μ la mobilité des porteurs du canal (e^- pour les NMOS, p^+ pour les PMOS) et C_{ox} la capacité formée par l'oxyde de grille (unité A/V^2).

Tension de seuil (V_t) Tension minimale à appliquer à un dispositif électronique pour changer son mode de fonctionnement. Pour un transistor MOS c'est la tension de grille provoquant la formation de la couche d'inversion.

Transconductance Variation du courant de sortie en fonction de la variation de la tension d'entrée d'un dispositif électronique. Pour un transistor NMOS, la relation entre transconductance (de grille) et le paramètre de transconductance est donnée par : $g_m = \frac{\partial i_{ds}}{\partial v_{gs}} = \sqrt{2KP\frac{W}{L}I_{ds}}$ (unité A/V).

VHDL-AMS Le VHDL (Very high speed integrated circuit Hardware Description Language, littéralement langage de description matériel de circuit intégré à très haute vitesse) est destiné à représenter le comportement ainsi que l'architecture d'un système électronique numérique. Le VHDL-AMS (VHDL - Analog and Mixed-Signal littéralement signaux analogiques et mixtes) est une extension du langage VHDL permettant de définir le comportement des systèmes à signaux analogiques et mixtes.

Introduction générale

La mécatronique allie l'utilisation simultanée et en étroite symbiose des techniques du génie mécanique, de l'électronique, de l'automatisme et de l'informatique pour envisager de nouvelles façons de concevoir et de produire, de créer de nouveaux produits plus performants et de nouvelles machines. Les dispositifs mécatroniques sont utilisés pour piloter des systèmes et rétroagir pour s'adapter aux conditions variables de fonctionnement, pour surveiller leur état (sollicitation, fatigue...), réaliser leur maintenance... Ce domaine très vaste reste complexe (accès aux informations, compétences en électronique et mécanique, répartition des fonctions, fiabilité et sécurité...) et nécessite des moyens importants [1].

La conception d'un élément mécatronique comportant une intégration poussée de composants issus de technologies différentes, ne se résume pas à l'adaptation de systèmes de commande électronique pilotés par ordinateur à des mécanismes existants. Elle nécessite dès le début de l'étude, l'intégration harmonieuse des différentes technologies afin de réaliser un produit compétitif et de qualité, répondant à un nombre croissant de fonctionnalités et d'exigences. De bonnes méthodes de conception sont indispensables pour mener à bien un projet. Cependant, maîtriser la conception d'un système mécatronique se révèle complexe. Le challenge est économiquement important car les défauts de conception peuvent aboutir à des réparations qui devront être prises en charge par l'industriel :

- 2005 : Toyota rappelle 160000 véhicules en raison d'une défaillance de son logiciel de contrôle moteur [2].
- 2006 : Segway rappelle l'ensemble de ses scooters électriques high-tech, suite à des incidents à répétition. Le problème a été corrigé en 15 minutes par une mise à niveau du logiciel [3].
- 2007 : Honda rappelle 81000 véhicules en raison d'une défaillance d'un capteur provoquant le déploiement complet du sac gonflable de l'airbag, quelle que soit la position du siège [4].

Et encore, les conséquences sont plus désastreuses quand nous tenons compte de l'effet sur l'image de marque.

Les systèmes mécatroniques se trouvent bien souvent intégrés dans des secteurs critiques

tels que l'aéronautique, l'automobile ou le nucléaire. Il est évident que la sécurité est un critère capital dans ces domaines. Dans ce contexte, mes travaux de thèse s'inscrivent dans le cadre d'un projet plus général portant sur la "Conception Intégrée en Mécatronique Sûre de Fonctionnement" financé par la Fondation CETIM (CEntre Technique des Industries Mécaniques). Il s'agit de développer des méthodes devant permettre et faciliter la collaboration entre personnes issues de spécialités différentes (matériaux, électronique analogique, électronique numérique, automatique, sécurité) dans le but d'aboutir à un système sûr de fonctionnement sans fixer a priori de contraintes sur un élément du système en particulier. Mon travail s'est donc effectué en collaboration étroite avec les autres laboratoires impliqués dans le projet :

- LPM : Laboratoire de Physique des Matériaux (Nancy),
- LICM : Laboratoire Interfaces Capteurs et Microélectronique (Metz),
- CRAN : Centre de Recherche en Automatique de Nancy (Nancy),
- A3SI : Automatismes et Simulation pour la Sécurité des Systèmes Industriels (Metz)

Le LPM est un laboratoire spécialisé dans les matériaux qui collaborait déjà avec l'InESS pour la réalisation de magnétomètres [5] ; il rejoignit donc naturellement le projet au coté de l'InESS pour compléter la partie capteur. Le LICM est spécialisé dans la conception des systèmes numériques [6]. L'objectif du laboratoire était le développement d'une méthodologie de conception d'architectures de processeurs sûres de fonctionnement, c'est-à-dire du cerveau du système. Les laboratoires du CRAN et de l'A3SI possèdent eux des compétences dans les systèmes industriels complexes automatisés et dans la sûreté de fonctionnement (SdF) qui furent nécessaires au pilotage du projet [7]. Dans le cadre de ce projet, leurs travaux ont porté sur les modèles théoriques et les outils informatiques associés permettant de quantifier la SdF des systèmes industriels. Typiquement, leurs travaux se concentraient sur la modélisation de grands systèmes, comme, par exemple, une chaîne de fabrication.

L'objectif de notre projet, dénommé Cimtronic's, est de développer un modèle d'un niveau d'abstraction inférieur permettant de modéliser un élément mécatronique de cette chaîne, comme, par exemple, un bras robotisé. Dans le projet, le laboratoire InESS a apporté son savoir faire dans l'intégration de systèmes instrumentaux (capteurs + électronique associée) sur silicium et a développé une méthodologie permettant de concevoir des systèmes instrumentaux sûrs de fonctionnement.

Ce mémoire se découpe en trois chapitres. Le premier rassemble les connaissances nécessaires à la réalisation de nos travaux. Nous y analysons les capteurs magnétiques qui nous ont servi de sujet d'étude pour le projet. Les principes physiques et le fonctionnement des capteurs y sont résumés. Nous nous sommes ensuite intéressés au domaine de la SdF. Ces connaissances ont été mises en application dans l'analyse des capteurs grâce aux outils et aux méthodes de la SdF. La dernière partie est consacrée à l'étude des mécanismes de défaillances des circuits in-

tégrés CMOS (Complementary Metal Oxyde Semiconductor). Les deuxième et troisième chapitres du mémoire développent les résultats de nos travaux. Dans le deuxième chapitre, nous commençons par présenter un modèle de vieillissement du transistor MOSFET (Metal Oxyde Semiconductor Field Effect Transistor) induit par le mécanisme des porteurs chauds. Nous détaillons ensuite l'étude du vieillissement de structures de bases de l'électronique analogique. En parallèle, nous proposons une méthode de conception permettant de maximiser la durée de vie d'un circuit et donc des micro-capteurs grâce à l'utilisation du modèle de vieillissement. Dans le dernier chapitre, en prenant comme exemple un OTA (Operational Transconductance Amplifier) Miller, nous montrons comment notre méthode permet de concevoir des structures complexes sûres de fonctionnement. Pour clore le manuscrit nous proposons une application originale de notre méthode de conception, à savoir un capteur de vieillissement de circuit intégré analogique CMOS.

Chapitre 1

État de l'art

Ce chapitre regroupe les principales connaissances qui ont été nécessaires pour mener à bien ma thèse de doctorat. Dans la première partie, je présente l'objet d'étude initial de mes travaux, à savoir les capteurs magnétiques ou magnétomètres. Je détaille les principes physiques et l'intégration de deux types de capteurs, déjà étudiés au laboratoire InESS, qui ont servi de support pour démarrer les travaux. La deuxième partie est consacrée à la fiabilité, ou plus généralement aux pannes. Pour traiter ce thème, nous avons choisi une approche basée sur les méthodes de la sûreté de fonctionnement. Nous proposons une série de définitions qui sont utiles à la compréhension du manuscrit et permettent d'aborder la notion de sûreté de fonctionnement. Nous examinons ensuite les méthodes utilisées pour améliorer la fiabilité des systèmes électroniques intégrés. Enfin nous terminons par l'étude des défaillances en électronique intégrée CMOS. Nous préciserons les principales causes de défaillances (mécanisme de défaillance) et la manière par laquelle un système vient à défaillir (mode de défaillance).

1.1 Capteurs magnétiques intégrés

Les capteurs magnétiques, ou magnétomètres, sont utilisés dans de nombreux domaines [8]. Par exemple, en informatique, on les utilise pour la lecture des données des disque durs, en navigation maritime ils sont utilisés comme compas, en instrumentation on les utilise pour la mesure de courant sans contact (ampèremètre, wattmètre), ou encore, associés à une source magnétique permanente (typiquement un aimant), ils permettent de réaliser des capteurs de position (et par extension de vitesse ou d'accélération). Évidemment cette liste n'est pas exhaustive. La conception de magnétomètre intégré est une des spécialités du laboratoire InESS. En particulier, le laboratoire travaille sur l'électronique associée au capteur et a mis au point plusieurs magnétomètres à effet Hall [9–11]. Un prototype de magnétomètre à jonction magnétique à effet tunnel (MTJ) innovant basé sur le principe du fluxgate a également été développé à l'In-

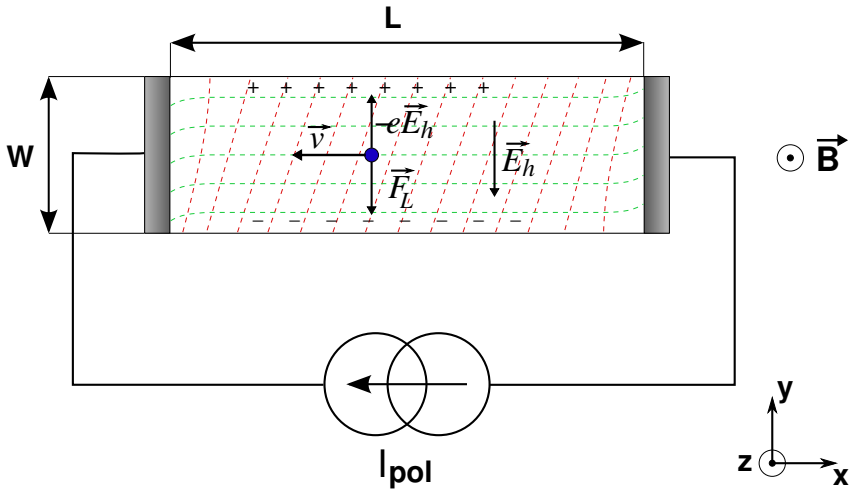


FIG. 1.1 – Effet de la force de Lorentz sur un barreau conducteur. Les lignes de courant sont en vert et les lignes équipotentielles en rouge

ESS [12, 13]. La technique de conception de ce type de capteur[1] étant maîtrisé au laboratoire, nous avons estimé qu'ils seraient un bon support pour démarrer une étude sur la méthodologie de conception de circuits intégrés analogiques sûrs de fonctionnement.

1.1.1 Capteur à effet Hall

1.1.1.1 Effet Hall

L'effet Hall, découvert en 1879 par Edwin Herbert Hall, se manifeste lorsqu'un conducteur ou un semi-conducteur parcouru par un courant est soumis à un champ magnétique. En l'absence de champ magnétique, un électron se déplace, en moyenne, en ligne droite vers les potentiels les plus positifs. Sous l'action d'un champ magnétique $\vec{B}$, les électrons sont soumis à la force de Lorentz $\vec{F}_L$:

$$\vec{F}_L = -q\vec{v} \wedge \vec{B} \tag{1.1}$$

où $q \simeq 1.6 \cdot 10^{-19} C$ est la charge élémentaire de l'électron et $\vec{v}$ est la vitesse de l'électron. L'expression nous indique que la force est orthogonale à la direction du vecteur vitesse. La force de Lorentz tend donc à dévier les lignes de courant. Considérons un barreau conducteur plus long que large ($W << L$) traversé par un courant I et soumis à un champ magnétique orthogonal $\vec{B}$ (Fig. 1.1). Comme montré précédemment, les lignes de courant tendent à être déviées sous l'action de la force de Lorentz. En conséquence, on observe une désertion d'électrons sur une des faces du barreau, c'est-à-dire une apparition de charges positives ; au contraire, des

[1] Le terme capteur doit ici être compris comme l'élément sensible associé à une électronique de conditionnement du signal.

charges négatives apparaissent sur la face opposée. Ces charges sur les faces latérales induisent un champ électrique, qu'on nomme champ de Hall ($\vec{E}_H$), qui tend à s'opposer à l'action du champ magnétique :

$$\vec{E}_H = -\frac{\vec{F}_L}{(-q)} = -\vec{v} \wedge \vec{B} \tag{1.2}$$

Si on dispose des électrodes sur les faces latérales du barreau, on peut mesurer une tension, nommée tension de Hall, qui est l'image du champ magnétique $\vec{B}$. En supposant le barreau dans le plan (x,y) (Fig. 1.1), on peut exprimer la tension de Hall en fonction de l'amplitude de la composante du champ magnétique parallèle à l'axe z [8] :

$$V_H = R_H \cdot IB_Z/t \tag{1.3}$$

où t est l'épaisseur du barreau, $R_H = -r_n/qn$ est la résistance de Hall, r_n est le facteur de diffusion des porteurs et n est la densité d'électrons. On peut noter que la résistance de Hall est d'autant plus grande que la densité de porteurs est faible. Les semi-conducteurs sont donc des candidats tout indiqués à la réalisation de capteur à effet Hall.

1.1.1.2 Capteur intégré CMOS

Pour intégrer un capteur à effet Hall en technologie CMOS, la technique la plus simple consiste à réaliser un caisson N (dans le cas d'un substrat de type P) rectangulaire muni de quatre contacts ohmiques N^{++} : deux larges contacts pour polariser le capteur et deux contacts sur les faces latérales pour mesurer la tension de Hall (Fig. 1.2). Cette technique a l'avantage d'être totalement compatible avec les technologies CMOS standard et donc de permettre la réalisation de capteurs et de circuits électroniques associés à un coût très faible. De l'équation 1.3, on peut exprimer la sensibilité d'un capteur à effet Hall :

$$\frac{V_H}{B_z} = \frac{R_H}{t} I \tag{1.4}$$

L'expression nous montre que la sensibilité est fonction des caractéristiques intrinsèques du matériau (R_H), de ses dimensions (t) et de sa polarisation (I). Si on souhaite obtenir une sensibilité constante dans le temps, il est nécessaire de polariser le capteur avec une source de courant stabilisée.

Les capteurs à effet Hall intégrés ont deux défauts principaux, l'offset et le bruit. L'offset trouve son origine dans l'effet de piezo-résistance [14] et dans les asymétries électriques (gradient de dopant) et géométriques (erreur d'alignement des masques) [15]. Ce type de capteur est donc mal adapté à la mesure de champ statique ou quasi-statique [16, 17]. Cependant

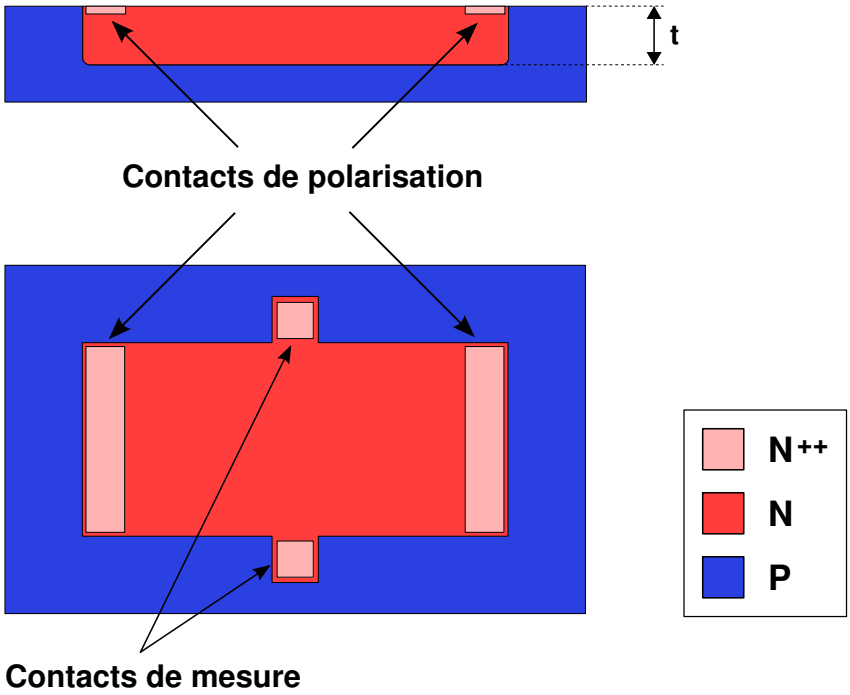


FIG. 1.2 – Structure conventionnelle d'un capteur à effet Hall rectangulaire en technologie intégré

on peut fortement atténuer le problème à l'aide de techniques de polarisations dynamiques comme la méthode du courant tournant[1] [16, 18] ou en utilisant des géométries particulières de capteur [14, 19]. L'autre principal défaut des capteurs de Hall est le bruit. Le bruit limite la résolution du capteur. Les capteurs à effet Hall étant des conducteurs, ils sont sujets à un bruit thermique dont la densité spectrale de puissance de bruit est proportionnelle à la résistance vue entre les deux électrodes de mesure. À basse fréquence, le bruit en $1/f$ est dominant. Des techniques de polarisation adaptées permettent néanmoins de diminuer le niveau de bruit en $1/f$ [20, 21].

1.1.1.3 Analyse de la fiabilité du capteur à effet Hall

Comme nous l'avons vu, le capteur à effet Hall intégré est constitué d'un caisson et d'électronique permettant d'assurer sa polarisation et le conditionnement du signal. Le caisson est réalisé dans un substrat de silicium et mis à part un défaut de fabrication, n'est soumis à aucun mécanisme suceptible de modifier significativement son comportement. Au contraire, comme nous allons le voir dans la section 1.3, l'électronique de conditionnement est succeptible de se dégrader. Nous pouvons remarquer, en particulier, l'attention particulière qui doit être menée pour assurer la constance du courant de polarisation du capteur. Si la condition n'est pas

[1] *spinning current* est le terme anglais original

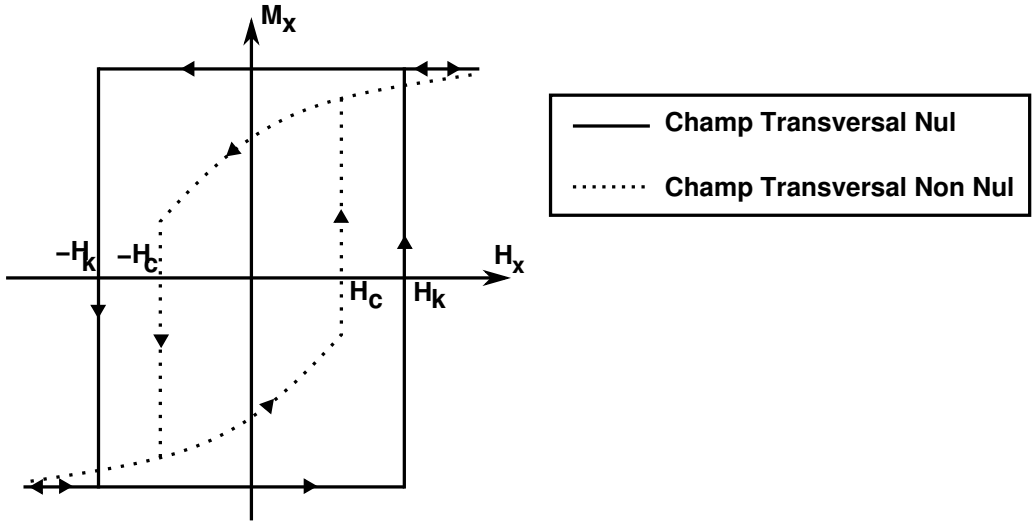


FIG. 1.3 – Aimantation d'un matériau ferromagnétique en couche mince en fonction du champ magnétique appliqué.

respectée, la sensibilité du capteur va varier proportionnellement avec le courant.

1.1.2 Capteur à jonction magnétique à effet tunnel

Une jonction magnétique à effet tunnel (MTJ : Magnetic Tunnel Junction) est une structure constituée d'au moins deux couches de matériau ferromagnétique de coercivités[1] différentes séparées par une fine couche d'isolant (typiquement 1 à 2 *nm*). Il existe plusieurs types de MTJ. Pour réaliser un magnétomètre, on utilise généralement des MTJ possédant une réponse $R(H)$ linéaire par rapport au champ magnétique. Cependant, la fabrication d'une MTJ de ce type est compliquée [22–24]. En particulier, le couplage magnétique entre couches doit être nul, ce qui n'est jamais le cas. Cela se traduit généralement par des offsets systématiques importants dans la réponse du capteur réalisé [22, 24]. De plus, la sensibilité d'un tel dispositif varie avec la température [25]. Au contraire, certaines MTJ ne semblent pas adaptées à la réalisation de magnétomètre. En effet, leur caractéristique $R(H)$ est fortement non linéaire et non bijective avec un fort hystérésis (Fig. 1.4). Le dispositif mis au point au laboratoire InESS utilise pourtant ces propriétés pour réaliser un capteur magnétique bidimensionnel basé sur le principe du fluxgate.

1.1.2.1 Réponse d'une MTJ

Dans une MTJ, les électrons peuvent traverser l'isolant par effet tunnel. Les travaux de Tedrow et Merservey dans les années 70 ont permis de démontrer que le spin d'une particule,

[1] La coercivité se rapporte à la valeur du champ coercitif d'un matériau ferromagnétique. Elle désigne l'intensité du champ magnétique qu'il est nécessaire d'appliquer pour provoquer un renversement de l'aimantation.

c'est-à-dire son moment magnétique intrinsèque, est conservé lors de l'effet tunnel [26, 27]. La transmission d'un électron par effet tunnel n'est possible que s'il existe un état libre de même énergie et de même spin de l'autre coté de l'isolant. Or dans les matériaux ferromagnétiques les populations d'électrons de spin *up* et de spin *down* sont différentes. La conduction à travers la MTJ dépend donc de l'orientation relative des vecteurs aimantations des deux couches ferromagnétiques. Elle est généralement maximale lorsque les deux vecteurs aimantations sont parallèles et minimale lorsqu'ils sont antiparallèles. De manière générale, on peut montrer que le taux de transmission varie comme $cos(\theta)$ où θ est l'angle formé par les deux vecteurs aimantations [28].

Le comportement de l'aimantation d'un matériau ferromagnétique en couche mince peut être relativement bien décrit par un modèle de type Stoner-Wohlfarth [29, 30] : en l'absence de champ magnétique, l'aimantation d'une telle couche s'oriente spontanément suivant son axe d'anisotropie (axe des x). Si on applique un champ suivant cet axe dans la direction opposée à l'aimantation, celle-ci reste dans sa position initiale jusqu'à ce que le champ appliqué atteigne une valeur critique appelée champ coercitif (H_k). Quand le champ dépasse cette valeur, l'aimantation de la couche se retourne brutalement et demeure ensuite dans cette nouvelle position. Pour revenir à l'état initial, il faut appliquer un champ magnétique d'amplitude supérieure à H_k dans le sens opposé à l'aimantation. On obtient ainsi un cycle d'hystérésis avec deux niveaux bien distincts (Fig. 1.3). Répétons la même expérience en appliquant en plus un champ statique suivant la direction perpendiculaire à l'axe d'anisotropie (axe des y). Sous l'influence du champ appliqué parallèlement à l'axe d'anisotropie, l'aimantation va commencer par tourner légèrement avant de se retourner brutalement pour une valeur de H inférieure à H_k. Le champ coercitif effectif (H_c) est réduit sous l'effet d'un champ transversal [26,27]. Cependant, le cycle d'aimantation ainsi obtenu présente toujours deux états bien distincts et reste symétrique (Fig. 1.3).

Considérons maintenant une MTJ simple formée de deux couches de matériau ferromagnétiques. Les deux couches possédant des champs coercitifs différents, les retournements des aimantations ne sont pas simultanés. On appelle couche douce la couche avec le champ coercitif le plus faible et couche dure la couche avec le champ coercitif le plus grand. La résistance d'une MTJ dépend de l'orientation relative des aimantations des couches ferromagnétiques. Si on applique un champ magnétique suivant l'axe d'anisotropie d'une jonction tunnel, on peut alors observer de brutales variations de sa résistance qui correspondent aux renversements des aimantations des deux couches. Pour étudier la réponse de la MTJ (Fig. 1.4), supposons que les deux aimantations de la jonction soient initialement parallèles, c'est-à-dire que la MTJ soit dans son état de faible résistance. Si nous appliquons un champ croissant dans le sens opposé aux deux aimantations, il ne se passe rien tant que le champ est inférieur au champ coercitif de la couche la plus douce. Lorsque la valeur du champ atteint cette valeur, la résistance de la jonc-

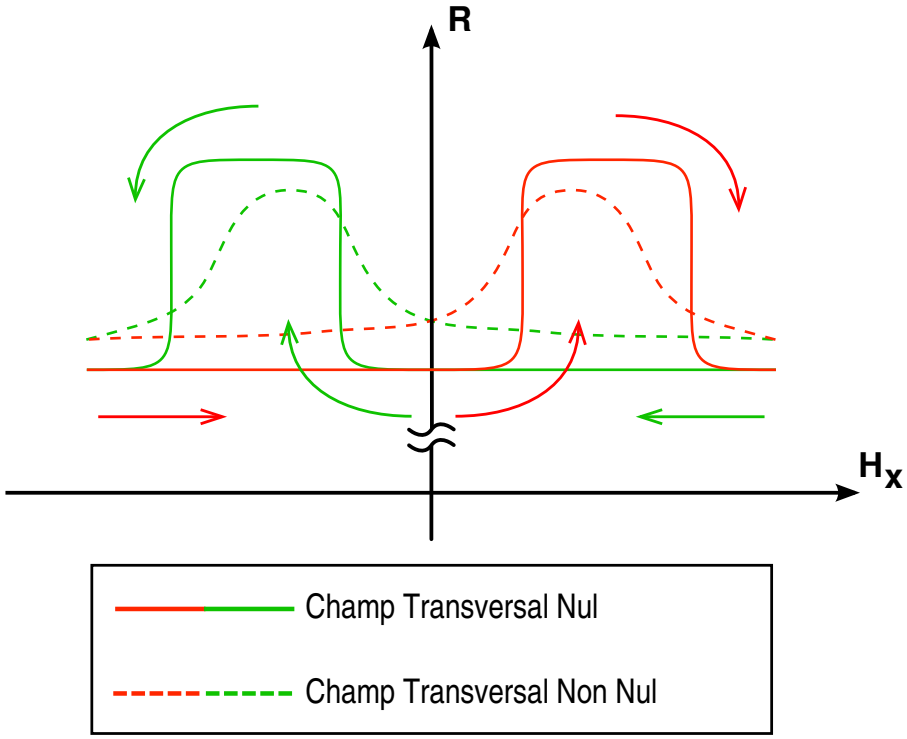


FIG. 1.4 – Caractéristique de la résistance d'une MTJ en fonction du champ appliqué parallèlement à l'axe d'anisotropie pour un champ statique transversal nul et non nul.

tion augmente brusquement. En effet, l'aimantation de la couche douce se retourne et la MTJ passe en configuration anti-parallèle. Quand ensuite le champ atteint la valeur du champ coercitif de la couche la plus dure, la résistance de la jonction diminue tout aussi brutalement. En effet, l'aimantation de la couche dure se retourne à son tour et la MTJ repasse en configuration parallèle. De manière analogue, on observe le même phénomène si on applique un champ dans le sens opposé. Si maintenant on applique en plus un champ statique perpendiculaire à l'axe d'anisotropie, les champs coercitifs effectifs des couches ferromagnétiques diminuent. Le retournement des aimantations va donc survenir pour des valeurs plus faibles du champ appliqué parallèlement à l'axe d'anisotropie. On obtient dans ce cas une réponse similaire aux courbes en pointillés sur la Fig. 1.4. On remarque que les valeurs extrêmes de la résistance de la jonction ne sont jamais atteintes car les aimantations ne sont jamais parfaitement (anti)parallèles. Les transitions sont également plus douces car les deux aimantations tournent légèrement avant de se renverser.

1.1.2.2 Capteur intégré à MTJ

Maintenant que nous avons étudié la réponse d'une jonction tunnel magnétique, nous allons pouvoir analyser le fonctionnement du magnétomètre à MTJ réalisé à l'InESS [12, 13, 31, 32].

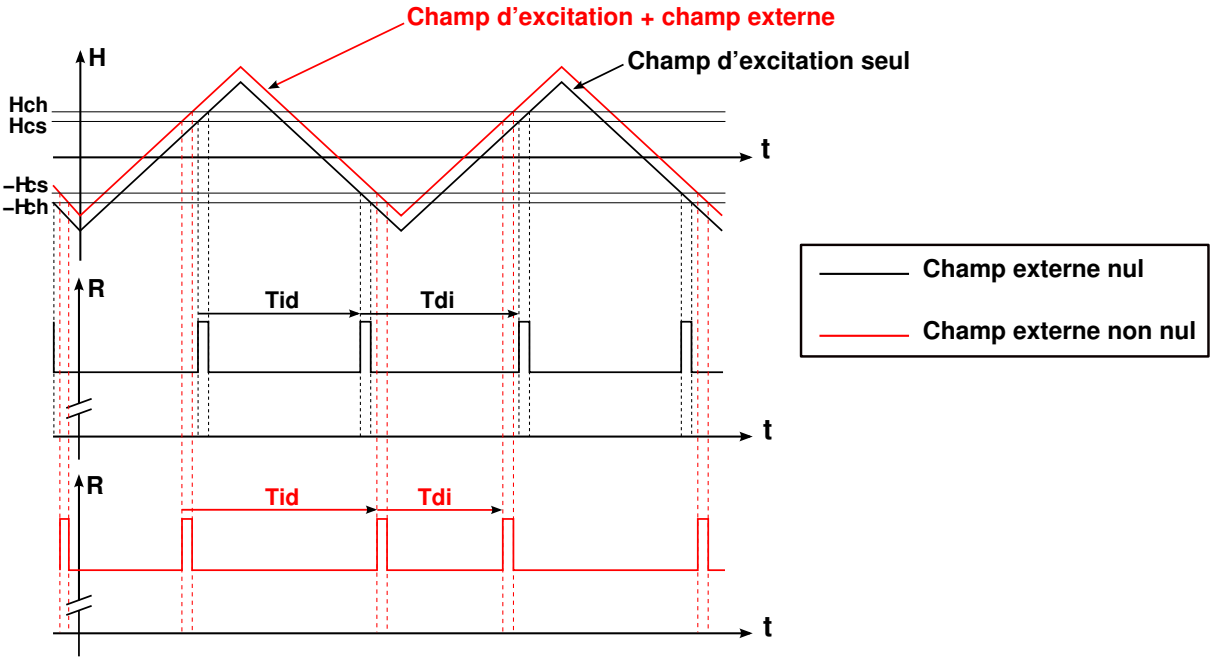


FIG. 1.5 – Principe de mesure à une dimension selon l'axe d'anisotropie de la MTJ. Les positions relatives des impulsions dépendent du champ magnétique externe. En noir : pas de champ externe, $T_{id} = T_{di}$. En rouge : un champ est appliqué parallèlement à l'axe d'anisotropie, $T_{id} > T_{di}$

Capteur 1 axe : Le capteur à MTJ est constitué de 2 éléments : une bobine d'excitation générant un champ magnétique alternatif triangulaire et la jonction magnétique à effet tunnel présentée. Le champ généré par la bobine doit être symétrique et suffisamment intense pour pouvoir renverser les aimantations des deux couches ferromagnétiques. Plaçons nous dans une phase croissante quand le champ devient positif et supposons que le champ extérieur soit nul. Les aimantations sont alors en configuration parallèle et la résistance de la jonction est donc minimale. Supposons que le sens des aimantations soit opposé à celui du champ. Quand l'intensité du champ augmente, l'aimantation de la couche la plus douce se retourne en premier (on note la valeur du champ H_{cs}) et la MTJ passe en configuration antiparallèle. La résistance de la jonction est alors maximale. Le champ continu de croître et c'est ensuite la couche la plus dure qui se retourne (on note la valeur du champ H_{ch}). La MTJ repasse en configuration parallèle et la résistance de la jonction est minimale. Vient ensuite la phase de décroissance, l'intensité du champ repasse par 0 puis atteint le seuil de retournement de la couche la plus douce ($-H_{cs}$). La MTJ passe en configuration antiparallèle et la résistance de la jonction est maximale. Quand le champ atteint l'intensité nécessaire au retournement de l'aimantation de la couche dure ($-H_{ch}$), la MTJ retrouve la configuration parallèle et son état de faible résistance. Ce schéma se répétant périodiquement, on observe une série d'impulsions similaire à celle de la Fig. 1.5. Le champ magnétique généré par les bobines étant symétrique, la durée entre deux impulsions est

constante et égale à la moitié de la période du champ d'excitation triangulaire. Répétons maintenant l'expérience en présence d'un champ extérieur positif constant et aligné avec les axes d'anisotropies des couches ferromagnétiques ; cela revient à exciter la MTJ avec un signal triangulaire muni d'une composante continue. Pendant la phase de croissance du champ, on va atteindre plus tôt les champs coercitifs de la couche douce (H_{cs}) et de la couche dure (H_{ch}). L'impulsion est donc en avance par rapport à l'expérience précédente. Durant la phase de décroissance du champ on va, par contre, atteindre plus tard les champs coercitifs de la couche douce ($-H_{cs}$) et de la couche dure ($-H_{ch}$). L'impulsion est donc en retard par rapport à l'expérience précédente. Si on compare l'évolution temporelle de la résistance de la MTJ avec et sans champ extérieur (Fig. 1.5), la durée entre une impulsion issue d'une phase de croissance et l'impulsion suivante (T_{id}) est plus courte. Par contre, la durée entre une impulsion issue d'une phase de décroissance et l'impulsion suivante (T_{di}) est plus longue. Ainsi, en calculant la différence $T_{id} - T_{di}$, on obtient une mesure du champ magnétique externe [12] :

$$\begin{cases} T_{id} &= \frac{T}{2} + \frac{2}{K} H_{ea} \\ T_{di} &= \frac{T}{2} - \frac{2}{K} H_{ea} \end{cases} \qquad \Rightarrow \qquad T_{id} - T_{di} = \frac{4}{K} H_{ea} \tag{1.5}$$

où H_{ea} est la composante du champ magnétique externe mesurée suivant l'axe d'anisotropie de la jonction, T la période du signal triangulaire et K est la valeur absolue de la pente du signal triangulaire. Cette relation nous montre que la mesure du champ est indépendante des caractéristiques de la jonction. En effet, la mesure est indépendante de H_{cs}, H_{ch} et du taux de magnétorésistance[1] de la jonction. Cela est très intéressant car le capteur est ainsi intrinsèquement très tolérant aux dispersions du procédé de fabrication de la MTJ. Cela montre également que la présence d'un champ normal à l'axe d'anisotropie de la jonction ne perturbe pas la mesure puisqu'il n'agit que sur la valeur du champ coercitif effectif. Finalement, puisque la mesure est indépendante des caractéristiques de la MTJ, cela rend le magnétomètre insensible aux grandeurs qui pourraient influer sur la MTJ, notamment la température. Pour ce dernier point, on doit juste s'assurer que la pente du signal d'excitation (K) soit indépendante de la température. Enfin, ce système de mesure permet de s'affranchir des problèmes d'offset systématique rencontrés avec les autres structures. Avec ce magnétomètre, il ne dépend que de la valeur moyenne du champ d'excitation. Là encore, on rejette le problème sur le circuit d'excitation des bobines qui doit générer un signal de valeur moyenne nulle pour supprimer l'offset systématique.

Capteur 2 axes : Nous avons vu que le champ coercitif effectif des couches ferromagnétiques dépendait de la valeur absolue du champ transversal. Quand le champ transversal varie au cours

[1] le taux de magnétorésistance est définie par $\frac{R_{max}-R_{min}}{R_{min}}$ ou $\frac{R_{max}-R_{min}}{R_{max}}$

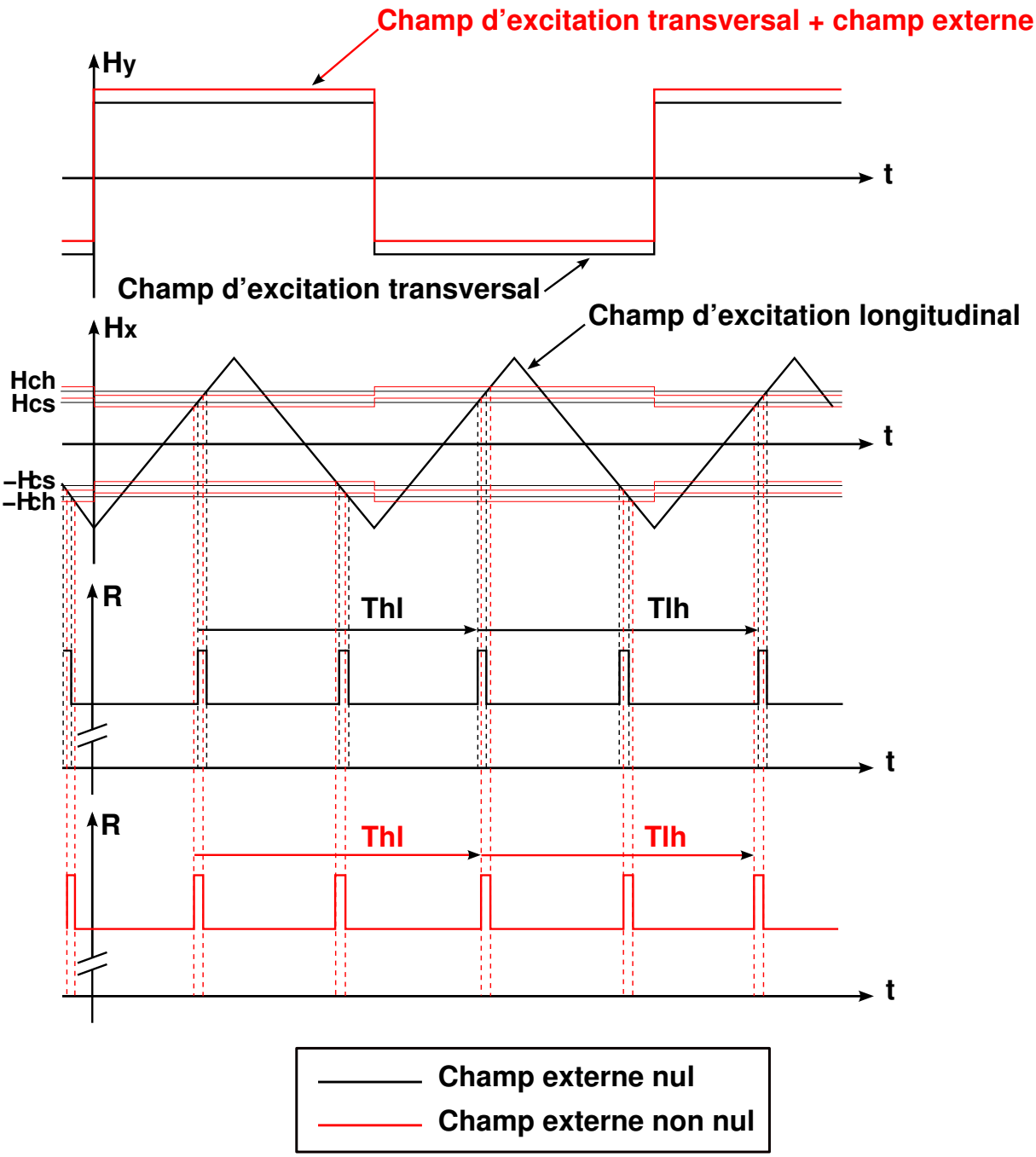


FIG. 1.6 – Principe de mesure à deux dimensions. Les positions relatives des impulsions prises deux à deux dépendent du champ magnétique externe. En noir : pas de champ externe, $T_{hl} = T_{lh}$. En rouge : un champ est appliqué parallèlement à l'axe d'anisotropie, $T_{hl} > T_{lh}$

du temps, les champs coercitifs varient donc également. La variation du champ coercitif n'a pas d'effet sur la position relative des impulsions mais provoque un décalage temporel de l'ensemble des impulsions. On peut montrer que le champ transversal ne perturbe pas la mesure selon l'axe d'anisotropie si sa fréquence reste petite devant la fréquence du signal d'excitation. Nous allons voir comment, à l'aide d'un deuxième champ magnétique alternatif transversal, il est alors possible de mesurer les deux composantes du champ magnétique externe dans le plan de la jonction. Ce champ ne doit pas perturber la mesure suivant l'axe d'anisotropie (axe des x). Pour cela, on utilise un champ alternatif carré, c'est-à-dire de valeur absolue constante. La valeur des champs coercitifs reste constante et les positions relatives des impulsions ne sont pas modifiées. Pour pouvoir mesurer la composante normale à l'axe d'anisotropie (axe des y), il faut que la fréquence du champ d'excitation transversal soit un sous multiple entier de la fréquence du champ d'excitation triangulaire. Considérons un signal d'excitation transversal de fréquence moitié de celle du signal triangulaire. Si le champ extérieur est nul, toutes les impulsions sont décalées de la même durée. La position relative des impulsions reste inchangée. Si un champ externe orienté suivant l'axe des y vient s'ajouter, le champ transversal devient asymétrique. Quand le champ transversal est positif les champs coercitifs des couches ferromagnétiques sont plus faibles que lorsque le champ transversal est négatif. Ainsi, deux impulsions sur quatre seront avancées dans le temps et les deux autres seront retardées (Fig. 1.6). Pour déduire l'intensité du champ transverse de cette séquence, il ne faut prendre en compte qu'une impulsion sur deux et mesurer la durée entre ces impulsions. On nomme T_{hl} la durée entre la première impulsion générée quand le champ carré est positif et la première impulsion générée quand le champ est négatif ; on nomme T_{lh} la durée entre la première impulsion générée quand le champ carré est négatif et la première impulsion générée quand le champ est positif. On obtient une mesure du champ suivant l'axe des y en calculant la différence $T_{hl} - T_{lh}$:

$$\begin{cases} T_{hl} & \simeq T + \frac{2A}{K} H_{ha} \\ T_{lh} & \simeq T - \frac{2A}{K} H_{ha} \end{cases} \qquad \Rightarrow \qquad T_{hl} - T_{lh} \simeq \frac{4A}{K} H_{ha} \tag{1.6}$$

où H_{ha} est la composante y du champ externe et A est l'opposé de la dérivée partielle du champ coercitif effectif de la couche douce par rapport au champ transversal calculée en $H_{ha} = H_{mc}$, où H_{mc} est l'amplitude du signal carré [12] :

$$A = -\frac{\partial H_{cs}}{\partial H_{ha}}\bigg|_{H_{mc}} > 0 \tag{1.7}$$

La sensibilité suivant l'axe y dépend donc à la fois du champ d'excitation triangulaire (K) et du champ transversal (A). Cependant, puisque A fait intervenir la dérivé partielle $\frac{\partial H_{cs}}{\partial H_{ha}}$, nous voyons que la réponse du magnétomètre suivant l'axe des y est liée à la caractéristique $H_{cs}(H_{ha})$

de la couche la plus douce. La mesure de la composante y du champ externe n'est donc pas indépendante des caractéristiques de la jonction et des grandeurs susceptibles d'influer sur les caractéristiques de la MTJ. De plus, puisque la caractéristique $H_{cs}(H_{ha})$ est non-linéaire, la réponse suivant la direction transversale sera également non-linéaire. Cependant, à l'aide d'une contre-réaction magnétique, c'est-à-dire en ajoutant une composante destinée à compenser la composante y du champ externe, il est possible de rendre la réponse suivant cet axe linéaire et indépendante des caractéristiques de la jonction. Là encore, le problème est rejeté sur l'électronique.

1.1.2.3 Analyse de la fiabilité du capteur à MTJ

Ce capteur est constitué d'un élément sensible, la MTJ, d'une électronique de polarisation et d'excitation de la jonction et d'électronique de conditionnement du signal. La MTJ est un élément très fragile. La couche d'oxyde consituant la jonction étant très fine, elle est succeptible de perdre ses caractéristiques diéléctriques quand elle est soumise à une tension trop importante. C'est ce que l'on appele le claquage d'oxyde et ce phénomène limite la fiabilité du capteur. Des études sont réalisées au niveau des matériaux pour améliorer la fiabilité intrinsèque de la jonction [33, 34]. Comme nous l'avons précisé, la sensibilité du capteur selon l'axe x est indépendante des caractéristiques de la jonction et ne dépend que de la pente du signal d'excitation. Le comportement de l'électronique d'excitation doit donc être stable dans le temps pour assurer la stabilité de la réponse du capteur. Finalement, comme pour le capteur à effet Hall, la prise en compte pour le concepteur du problème de la fiabilité est reportée sur l'électronique du capteur.

1.2 Sûreté de fonctionnement des systèmes

Nous venons de présenter les capteurs qui ont servi de sujet d'étude à nos travaux. Notre démarche initiale visait à aborder leurs conceptions avec une approche "sûreté de fonctionnement" (SdF). La SdF propose différents outils et méthodes pour analyser un système. Le résultat de l'étude doit permettre d'identifier les points faibles du système. Dans cette partie, nous proposons de définir la SdF et les notions associées. Puis nous présentons les méthodes et outils retenus pour étudier les problèmes de fiabilité de nos magnétomètres. Pour finir, nous présentons les diverses approches proposées en conception microélectronique pour améliorer la SdF.

1.2.1 Sûreté de fonctionnement

La sûreté de fonctionnement est parfois définie comme la science des défaillances et des pannes. Cette définition est certes imprécise et réductrice, mais elle permet de saisir l'objet d'étude de cette discipline. Une définition plus formelle pourrait être la suivante : aptitude d'une entité à satisfaire une ou plusieurs fonctions requises dans des conditions données, le concept pouvant englober la fiabilité, la disponibilité, la maintenabilité, la sécurité... ou des combinaisons de ces aptitudes. Mais cette définition a le défaut d'utiliser des notions qui peuvent être inconnues ou mal comprises par le lecteur. C'est pourquoi, en guise d'introduction à la sûreté de fonctionnement, nous allons commencer par définir le vocabulaire utilisé.

1.2.1.1 Terminologie

Ces définitions sont inspirées des normes AFNOR (Association Française de NORmalisation) et sont agrémentées des informations que j'ai pu collecter sur le sujet dans d'autres sources [35–39]. Le présent manuscrit n'étant pas destiné aux spécialistes de la SdF, je me suis permis quelques raccourcis et simplifications pour faciliter l'appréhension des notions importantes.

Système, sous-système, composant... : Un système est une association de sous-systèmes constituant un tout organique complexe destiné à remplir une *fonction générale*. Un sous-système est une association de composants destinés à remplir une ou plusieurs *fonctions opérationnelles* au sein d'un système. Un composant est un élément ou un ensemble d'éléments destinés à remplir une *fonction particulière* dans un sous-système ou un système. Si la majorité des gens s'accorderont sur cette proposition de hiérarchisation d'un système à plusieurs niveaux, les difficultés apparaissent généralement dans le "découpage" d'un niveau hiérarchique si on n'a pas pris soin de bien définir le niveau de détail désiré.

Fonction : La fonction est l'action d'un produit ou de l'un de ses constituants exprimée exclusivement en terme de finalité. Une règle syntaxique, conventionnelle dans le domaine de la SdF, stipule qu'on formule une fonction par un verbe à l'infinitif suivi d'un ou plusieurs compléments.

Défaillance : La défaillance est la cessation de l'aptitude d'une entité à accomplir une fonction requise, qui passe dans l'état de panne. Deux types de défaillances sont définies. La défaillance par dérive ou dégradation (défaillance partielle et progressive), par exemple la puissance émise par une diode électroluminescente diminue progressivement au cours du temps et au dessous d'un certain seuil la diode fonctionne encore mais doit être estimée défectueuse. La

défaillance catalectique (défaillance soudaine et complète), par exemple le collage d'une sortie logique à 1 ou 0 par court-circuit.

Fiabilité : La fiabilité est l'aptitude d'une entité à accomplir les fonctions requises dans des conditions données pendant une durée donnée. Elle est caractérisée par la probabilité que l'entité accomplissant ces fonctions à l'instant initial les accomplisse toujours à un instant donné.

Maintenabilité : La maintenabilité est l'aptitude d'une entité à être remise en état par une maintenance donnée. Un circuit intégré n'étant pas réparable, cet attribut de la SdF n'a pas vraiment de sens en microélectronique. Le problème est reporté vers le concepteur du système utilisant le circuit qui doit penser à en prévoir le changement.

Disponibilité : La disponibilité est l'aptitude d'une entité à être en état d'accomplir les fonctions requises dans les conditions données, en supposant que la fourniture des moyens extérieurs nécessaires soit assurée. Basiquement, la disponibilité est une synthèse de la fiabilité et de la maintenabilité. Pour un système non réparable, comme un circuit intégré, elle ne se distingue pas de la fiabilité.

Sécurité : La sécurité est l'aptitude d'une entité à ne pas causer de dommages dans des conditions données, ou à ne pas faire apparaître dans des conditions données des événements critiques ou catastrophiques. Un apport essentiel de la SdF est d'intégrer la sécurité au même titre que la fiabilité, la maintenabilité et la disponibilité comme critère d'évaluation d'une entité.

Risque : Un risque est un événement redouté évalué en terme de fréquence et de gravité. En sûreté de fonctionnement, il s'agit d'identifier les événements indésirables, d'évaluer la fréquence de leurs survenues et de quoi elle dépend, d'évaluer la gravité de leurs survenues et de quoi elle dépend, de prendre ses décisions en fonction de leurs impacts sur le triplet *événement, fréquence, gravité* qu'on appelle risque. On admet qu'il y a une équivalence entre un événement rare et grave et un événement fréquent et bénin. Pourtant décider à combien de jambes cassées équivaut un mort n'a rien d'objectif, c'est l'expression d'un choix de valeurs de société. Pour un évènement donné, on a deux approches possibles pour réduire le risque : soit on en réduit la fréquence et on fait de la prévention, soit on en réduit la gravité et on fait de la protection.

Mécanisme de défaillance : Un mécanisme de défaillance est un processus physique, chimique ou autre qui entraîne une défaillance. On pourrait être tenté de confondre la notion avec la cause de la défaillance, mais le terme mécanisme traduit mieux l'évolution d'un phénomène

qui peut être long et complexe avant d'aboutir à la défaillance (ex : frottement, décharge électrostatique...).

Mode de défaillance : Le mode de défaillance est la manière par laquelle un système vient à ne plus remplir sa fonction. C'est la façon dont la défaillance se manifeste et qui correspond à une perte totale ou partielle de fonctions assurées par le système. Il est relatif à une fonction et s'exprime en termes physiques (ex : rupture, fuite, court-circuit...).

On remarque la précision des définitions et le formalisme inhérent à l'approche sûreté de fonctionnement. La SdF cherche à quantifier ou classer les données, même très subjectives, pour les traiter dans un cadre théorique, l'objectif étant de pouvoir accorder un *niveau de confiance justifié* dans un système.

1.2.1.2 Outils et moyens

Analyse fonctionnelle : D'après la norme AFNOR NF X 50-151, l'analyse fonctionnelle est une démarche qui consiste à rechercher, ordonner, caractériser, hiérarchiser et valoriser les fonctions du produit (matériel, logiciel, processus, service) attendues par l'utilisateur. L'analyse fonctionnelle est utilisée en début de projet pour créer (conception) ou améliorer (modification) un produit. À partir des besoins clients, l'étude doit aboutir à une solution technique. L'analyse fonctionnelle est un outil d'aide à la conception via une démarche structurée (méthode de raisonnement), mais également un outil de communication avec le client. L'objectif global est de concevoir un produit répondant aux attentes de toutes les parties (client/producteur). On va donc mettre en oeuvre des méthodes pour concevoir un produit qui répond aux besoins exprimés par le client (voir Fig. 1.7) tout en optimisant l'efficacité du projet de conception. On cherche à éviter les coûts engendrés par une modification du produit qui augmentent rapidement dans le cycle de vie du produit [40]. En effet, on sait que le coût d'une modification d'un produit en cours d'étude est bien inférieur au coût d'une modification quand le produit est déjà en production, qui est lui même bien inférieur au coût d'une modification due à un retour client. Il est important de noter que l'analyse fonctionnelle sert de base à d'autres études comme l'Analyse des Modes de Défaillance de leurs Effets et de leurs Criticités (AMDEC) ou à la rédaction du cahier des charges fonctionnel. Les différentes étapes d'une analyse fonctionnelle sont [37, 41, 42] :

- Expression et description des besoins : c'est ici que l'on va définir les fonctions principales, c'est-à-dire pourquoi le produit est créé.
- Analyse de l'environnement ou milieu d'utilisation : on définit les fonctions de contraintes, c'est-à-dire quelles sont les contraintes auxquelles le système doit satisfaire qu'elles

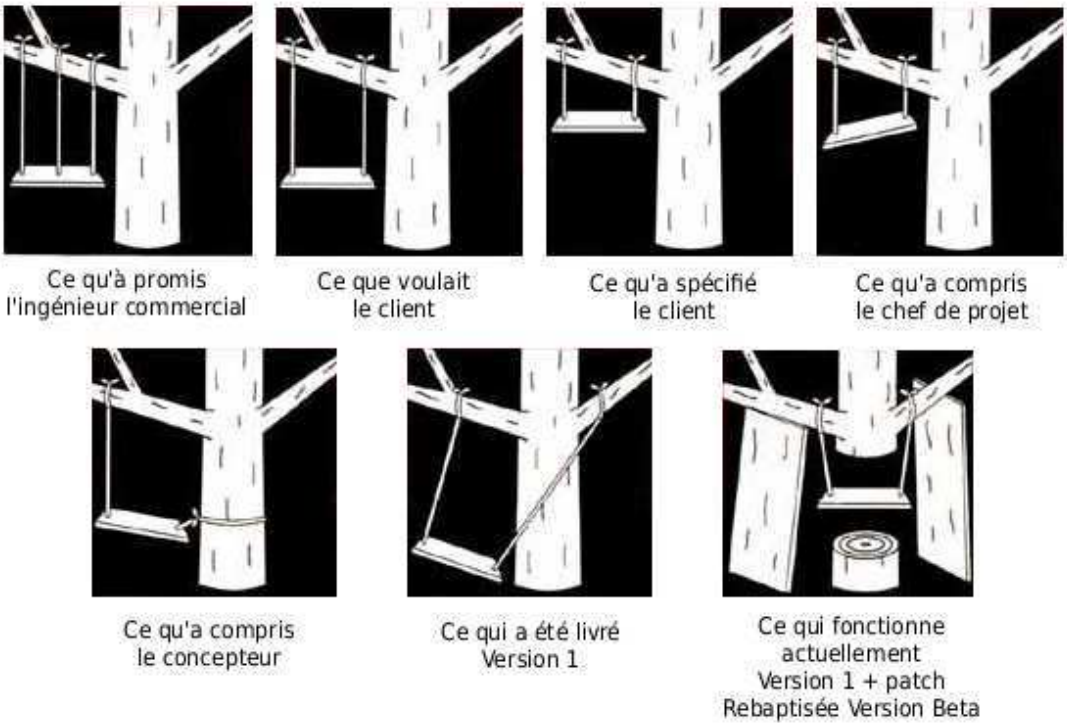


FIG. 1.7 – Illustration de l'inadéquation besoin/solution (source : [40])

soient d'ordre environnementales, législatives (normes, brevets...) ou techniques (interchangeabilité avec une pièce existante, technologie imposée...).

– Expression, puis hiérarchisation, des fonctions de service et des contraintes : les fonctions doivent être définies en termes de *finalité* sans aucun a priori de solutions.
– Établissement éventuel de la structure interne du produit à l'aide de blocs-diagrammes fonctionnels (Fig. 1.8) : la fonction déterminée est décomposée en sous-fonctions de plus en plus simples auxquelles on apporte des solutions techniques.

On identifie deux phases distinctes dans l'étude : l'analyse fonctionnelle des besoins qui va permettre d'obtenir les données nécessaires à la conception du système et l'analyse fonctionnelle du produit qui permettra de caractériser le fonctionnement interne de la solution technique dégagée. Pour finir, notons qu'il existe plusieurs méthodes d'analyse fonctionnelle qui sont plus ou moins adaptées à un domaine de compétence. On peut par exemple citer la méthode des Intéracteurs en mécanique, la méthode S.A.D.T. (SADT : Structured Analysis Design Technique) en automatique ou la méthode Merise en informatique. À ma connaissance, il n'existe pas de méthode dédiée à l'électronique.

AMDE(C) : L'AMDE (AMDE(C) : Analyse des Modes de Défaillance et de leurs Effets (et de leurs Criticités)) est une méthode inductive qui part des défaillances élémentaires des compo-

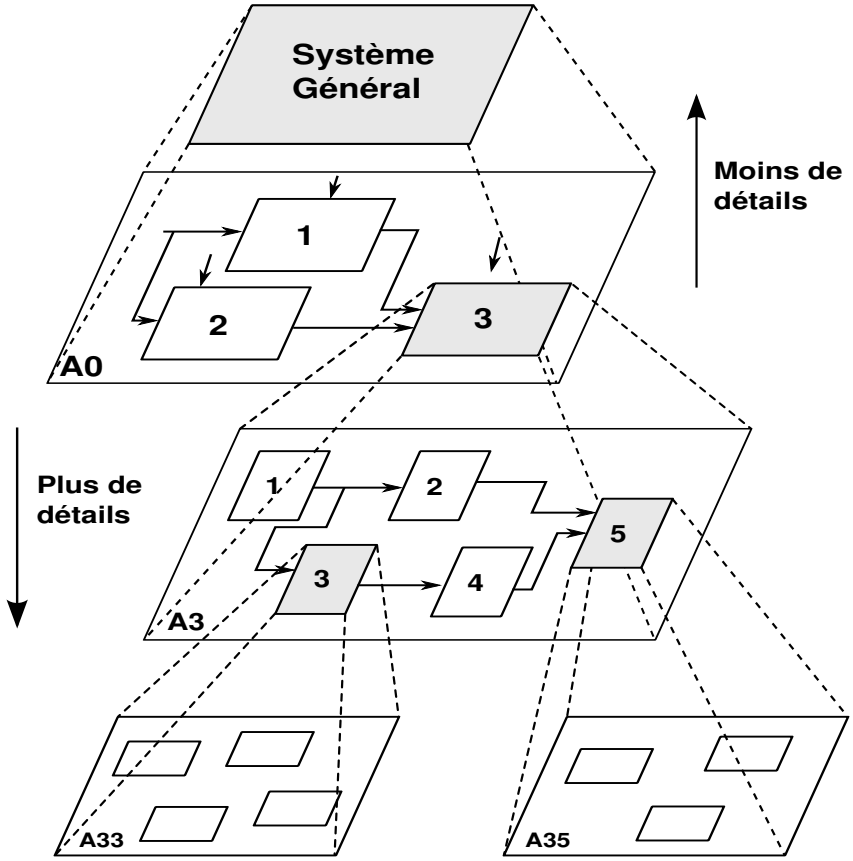


FIG. 1.8 – Exemples de bloc diagramme

sants pour en déduire ce qui en résulte et donc à quelles situations dues à ces défaillances il faut s'attendre. L'AMDEC ajoute une dimension d'évaluation de la gravité (Criticité) de ces situations [43]. L'AMDE(C) cherche à identifier les problèmes auxquels exposent les défaillances internes du système étudié. L'objectif est multiple [43] :

- évaluer la gravité des situations auxquelles il faudra peut-être faire face,
- évaluer globalement les risques auxquels les défaillances des composants exposent,
- identifier et hiérarchiser les faiblesses du système,
- prévoir la maintenance corrective nécessaire,
- évaluer l'intérêt de modifications de la conception ou de la maintenance préventive pour réduire ces risques,
- prévoir des mesures d'exploitation adaptées aux situations à venir,
- hiérarchiser l'importance des règles d'exploitation et de maintenance.

Typiquement une AMDE(C) se déroule en cinq étapes [44] :

- L'*initialisation* qui permet de préparer l'analyse. Tout d'abord il faut exprimer les besoins de l'étude, en essayant de répondre à la question : pourquoi fait-on cette étude ? Puis il faut en poser les limites : on s'attachera à décrire le produit, la phase du projet et les

possibilités de remise en cause par l'analyse. Plus formellement, c'est également lors de cette étape que l'on définit le groupe de travail et que l'on planifie les réunions,
- L'*analyse fonctionnelle* que nous avons déjà présentée,
- L'*analyse des défaillances*,
- La *cotation des défaillances* où on hiérarchise et on quantifie les pannes selon plusieurs critères (fréquence d'apparition, gravité, probabilité de non détection...),
- Les *actions correctives à mener* qui concluent sur les solutions dégagées par l'étude.

Si l'AMDEC est un outil très intéressant pour la sûreté de fonctionnement, il faut tout de même avoir conscience de ses limites. Elle ne permet pas, par exemple, d'avoir une vision croisée des pannes possibles et de leurs conséquences (deux pannes surviennent en même temps sur deux sous-systèmes, quelle est la conséquence sur le système tout entier ?).

1.2.2 Sûreté de fonctionnement et conception en microélectronique

Dans le monde de la conception en microélectronique, la sûreté de fonctionnement n'est pas une approche naturellement utilisée : la plupart des concepteurs n'en ont jamais entendu parler. On peut d'ailleurs noter la (quasi ?) absence de ce domaine dans la formation académique en électronique. La réalité est plus nuancée. Avec le développement de systèmes de plus en plus complexes, les applications de plus en plus nombreuses dans des secteurs critiques et une qualité de fabrication des dispositifs de plus en plus difficile à obtenir, on demande au concepteur de participer à la qualité du produit final. Auparavant tous les efforts étaient portés sur le développement du processus de fabrication, à la charge des ingénieurs filières[1] de proposer des dispositifs fiables. C'est ce partage des responsabilités qui, à mon sens, a provoqué la dérive de l'approche fiabiliste vers une approche sûre de fonctionnement. Le concepteur ne pouvant pas agir sur la fiabilité intrinsèque des dispositifs, il a fallu trouver d'autres approches comme, par exemple, l'ajout de fonctions dédiées au test. Une telle fonction n'améliore pas la fiabilité, mais peut prévenir une panne, on améliore ici la sécurité, voir la maintenabilité (une panne peut provoquer des dégâts qui rendent difficile le remplacement du composant défectueux). Ce changement se manifeste depuis quelques années par le développement de nouvelles méthodes : la conception en vue du test (DfT : Design for Testability) et la conception pour la fiabilité (DfR : Design for Reliability) [45–48].

La DfT désigne l'ensemble les techniques de conception visant à faciliter le test des circuits intégrés. Cela se traduit par la prise en compte lors du développement de deux facteurs :
- Faciliter l'analyse du composant : en cas de mauvais fonctionnement on peut ainsi étudier le problème pour en tenir compte dans la conception ou la fabrication [49, 50].

[1] Ingénieurs chargés de définir les différentes étapes technologiques permettant de réaliser un produit donné (composant électronique, optique, ou capteur).

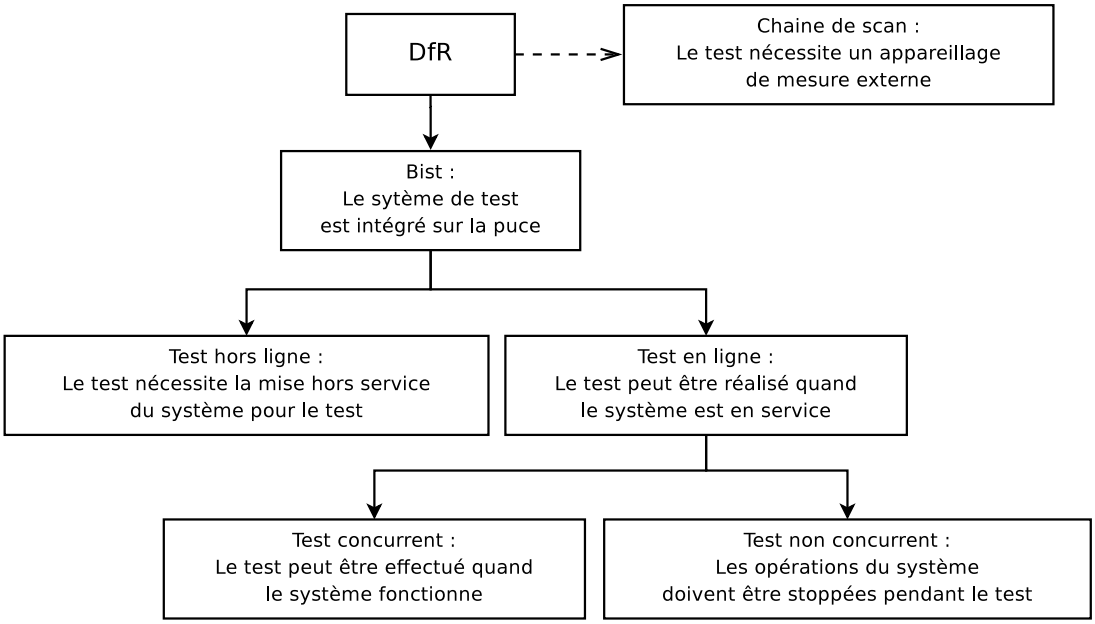


FIG. 1.9 – Description des relations entre les principales déclinaisons d'auto-tests intégrés

– Réduire le temps de test en production : le prix des équipements de test et le temps qui y est consacré devient si important que le coût du test devient une part non négligeable du coût de revient final de la puce [51, 52].

On peut séparer la méthode en deux catégories : les circuits intégrant un système de type "boundary-scan" (littéralement, scrutation des frontières) et ceux avec un système de test autonome embarqué (BIST : Built In Self Test). La technique de boundary-scan permet d'améliorer le contrôle et l'observabilité du circuit sous test, c'est-à-dire de permettre d'appliquer une entrée particulière et d'observer son résultat sur chaque sous-partie du circuit. La norme JTAG (Join Test Action Group ou IEEE 1149.1) [53] est l'exemple d'implantation de technique de boundary-scan le plus connu. Le BIST ou auto-test consiste à intégrer sur la puce un système de stimuli et un analyseur qui compare la réponse du circuit au stimuli avec une réponse typique (appelée signature) [54–56]. Les techniques d'auto-test sont un sujet de recherche fécond depuis une vingtaine d'années de telle sorte qu'un nombre important de déclinaisons différentes ont été proposées. Sur la Fig. 1.9, j'ai recensé et spécifié les relations entre les principales déclinaisons de BIST. Enfin, si cette méthode donne de bons résultats sur les circuits numériques, il en est tout autrement sur les circuits analogiques ou mixtes. Ceci est dû en grande partie au fait qu'il n'existe aucune méthode généraliste pour tester un circuit analogique et par extension des capteurs.

On désigne par DfR l'ensemble des techniques où la fiabilité est prise en compte dès la conception. On trouve trois méthodes principales. La première est la redondance [57] : en multipliant les composants réalisant la même fonction ou en prévoyant un chemin de secours, on

augmente la probabilité de réaliser la fonction correctement. La redondance a néanmoins un coût et n'est pas triviale à mettre en oeuvre. Une des maximes de nos confrères de la sûreté de fonctionnement était d'ailleurs que plus un système est complexe, plus il a de possibilités de tomber en panne. Une autre technique est de sur-dimensionner les composants, comme par exemple en choisissant des pistes d'interconnexions aux dimensions bien supérieures au minimum imposé par les règles de dessin. Enfin, c'est l'approche retenue pour nos travaux, on peut utiliser ses connaissances de la physique de dégradation pour concevoir un système en réduisant sa probabilité de défaillance. La plupart des travaux ont abouti à la mise au point de simulateurs de vieillissement intégrés dans des simulateurs électriques de type Spice [58, 59]. Toutefois, ce type de simulateur n'est pas adapté à la simulation de circuits complexes à cause de la charge de calcul occasionnée. Pour des circuits plus compliqués, une modélisation comportementale du vieillissement est proposée dans [60–62]. Certains groupes [63, 64] ont une approche plus "analytique". Cependant leurs résultats ne permettent pas de quantifier la robustesse d'un circuit, ils donnent plutôt des conseils de conception. C'est ce point en particulier que nous avons essayé d'améliorer par nos travaux.

Finalement, j'aimerais également citer une autre méthode ayant pour objectif d'améliorer la conception, la conception pour la fabrication (DfM : Design for Manufacturability). La DfM désigne l'ensemble des règles de conceptions visant à améliorer la fabrication, c'est-à-dire qui améliore le rendement de fabrication. La DfM partage certaines règles avec la DfR, comme par exemple le sur-dimmensionnement de la taille des pistes. Le moyen est le même, les objectifs sont par contre différents : en DfR on veut éviter que la ligne se détruise, alors qu'en DfM on veut qu'elle soit convenablement gravée. La DfM n'est pas une méthode permettant d'améliorer, a priori, la sûreté de fonctionnement d'un système, mais elle permet, en général, d'allonger la durée de vie du circuit.

1.3 Mécanismes de défaillance des circuits intégrés analogiques CMOS

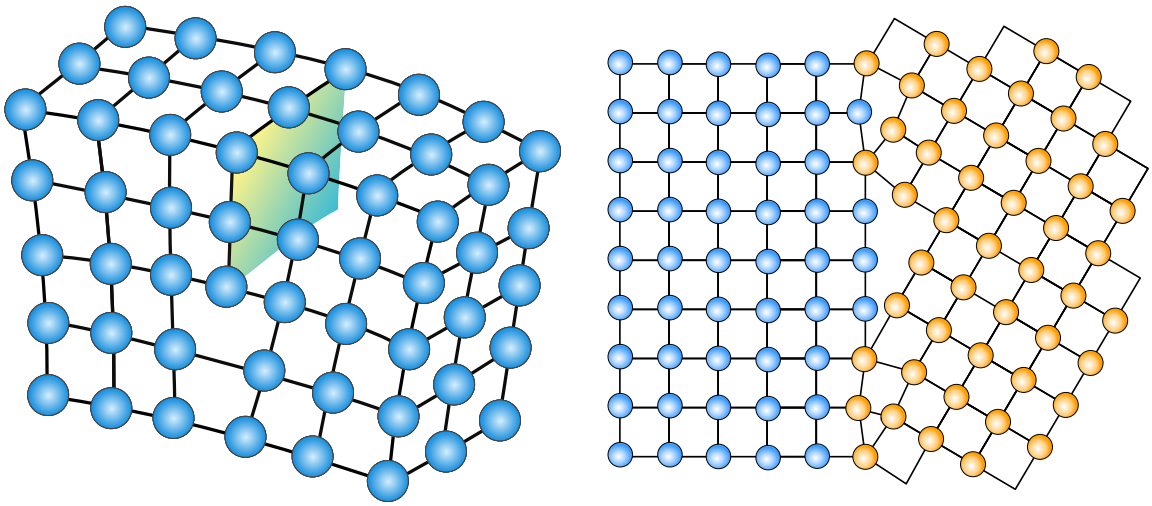
Les progrès des techniques de fabrication en microélectronique permettent de répondre à une demande croissante pour des circuits de plus en plus rapides et de plus en plus complexes. Cette évolution ne peut cependant pas se faire au détriment de la fiabilité. Dans le précédent chapitre, nous avons étudié la sûreté de fonctionnement et des méthodes de conception permettant d'améliorer la fiabilité d'un circuit. Une des approches consiste à prendre en compte les mécanismes qui vont amener un circuit à défaillir pendant la conception. C'est cette démarche que nous avons retenue pour nos travaux. Dans cette partie une liste non exhaustive des mécanismes

de défaillances pouvant affecter les circuits intégrés analogiques CMOS (Complementary Metal Oxyde Semiconductor) est détaillée. La liste des mécanismes présentés ici se limite à ceux sur lesquels le concepteur peut agir. Des mécanismes comme la contamination ionique ou la corrosion, qui sont typiquement des problèmes de spécialistes du composant, ne seront donc pas traités ici.

1.3.1 Électromigration

On peut définir l'électromigration comme le transport de matière dans un conducteur induit par le passage d'un courant électrique. Le phénomène a été découvert en 1861 [65] par le physicien français Gerardin [66]. Cependant, il n'est devenu un sujet d'intérêt que depuis les années 60 avec l'émergence des circuits intégrés commerciaux, c'est-à-dire quand le phénomène est devenu préoccupant pour la fiabilité des lignes d'interconnexions[1]

1.3.1.1 Physique du phénomène



(a) Dislocation (b) Joint de grain

FIG. 1.10 – Défauts favorisant la diffusion de métal par électromigration

Quand on applique une différence de potentiels à une interconnexion, les électrons circulent du plus faible potentiel (cathode) vers le plus haut potentiel (anode). Les atomes de métaux

[1] Dans une ligne électrique "aérienne" (comprendre non intégré) la densité de courant admissible est limitée à $10^4 A \cdot cm^{-2}$ à cause de l'effet Joule qui provoquerait la fusion du conducteur. Dans un circuit intégré, le courant est conduit par des lignes constituées de fines couches de métal en contact avec du silicium qui joue le rôle de radiateur. Ceci permet d'atteindre (et même dépasser) les densités de courant nécessaires pour que l'électromigration devienne significative qui sont de l'ordre de $10^6 A \cdot cm^{-2}$.

commencent alors à se déplacer sous l'influence du flux d'électrons qui entre en interaction avec le réseau cristallin. Ce phénomène est appelé échange de quantité de mouvement (momentum exchange en anglais). En supposant que la direction du flux d'électrons est positive, la force induite par le flux d'électron peut être exprimée par :

$$F_{elec} = -q^* E = -Z^* e \rho j \tag{1.8}$$

où $q^* = Z^* e$ est la charge atomique effective, Z^* est le numéro atomique effectif, e est la charge de l'électron, $E = \rho j$ est le champ électrique, ρ est la résistivité du métal et j la densité de courant.

Le déplacement des atomes est facilité par la présence d'imperfections dans le cristal. Les régions de discontinuités dans la structure cristalline (dislocation, Fig. 1.10(a)) ou les interfaces entre les cristaux (joint de grains, Fig1.10(b)) sont, par exemple, des zones privilégiées pour la diffusion des atomes de métal. Quand une interconnexion est terminée par une barrière de diffusion comme le tungstène (W) ou le tantale (Ta), le déplacement des atomes provoque une contrainte de traction au niveau de la cathode où les atomes désertent et une contrainte de compression au niveau de l'anode où les atomes s'accumulent [67]. Le gradient de stress résultant induit une force mécanique qui s'oppose à la force "électronique". Cette force peut s'exprimer par :

$$F_{meca} = \Omega \frac{d\sigma}{dx} \tag{1.9}$$

où Ω est le volume atomique, σ est le stress mécanique et x est la longueur de la ligne.

D'après le modèle de Korhonen [68], le flux atomique J_a peut être exprimé en fonction de F_{elec} et F_{meca} :

$$\begin{aligned} J_a &= \frac{DC_a}{kT}(F_{elec} + F_{meca}) \\ &= \frac{DC_a}{kT}(-Z^* e \rho j + \Omega \frac{d\sigma}{dx}) \\ &= -\frac{DC_a}{kT}(Z^* e \rho j - \Omega \frac{d\sigma}{dx}) \end{aligned} \tag{1.10}$$

où C_a est la concentration atomique, D est la diffusivité atomique, k est la constante de Boltzmann et T est la température. Cette équation montre que $|F_{elec}|$ doit être supérieur à $|F_{meca}|$ pour que le flux des électrons provoque un déplacement de matière. L'influence de la température est par contre masquée puisque la température favorise l'électromigration contrairement à ce que l'équation pourrait faire penser. En effet, la diffusion est un processus activé thermiquement qui varie exponentiellement avec la température ($\propto e^{-A/T}$).

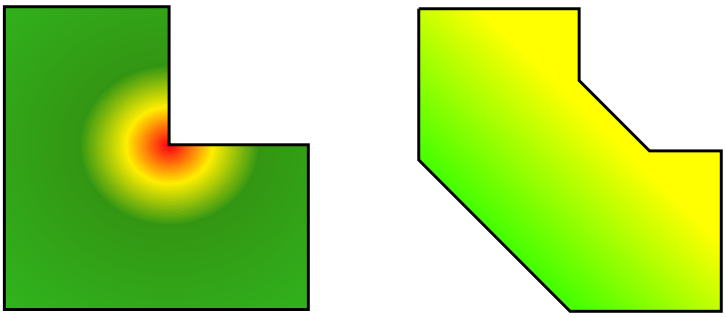


FIG. 1.11 – Densité de courant dans un coin d'interconnexion

1.3.1.2 Mécanisme de défaillance

La diffusion des atomes de métal n'est pas un problème en soit. Pour qu'un défaut apparaisse il faut que la quantité de matière arrivant dans une région soit supérieure ou inférieure à la quantité de matière la quittant. Si plus de matière arrive qu'il n'en part, l'accumulation de matière peut aboutir à un court-circuit ou à la rupture de la couche de passivation provoquant ainsi une opportunité de corrosion. Si plus de matière part qu'il n'en arrive, on observe une augmentation de la résistance de la ligne voir une ouverture de la ligne. Dans les lignes, les défauts apparaissent donc dans les zones de discontinuité du flux de matière comme les contacts avec le silicium ou aux vias (connexions entre les différents niveaux de métallisation) [69].

1.3.1.3 Conception minimisant l'électromigration

L'approche conventionnelle utilisée pour assurer un degré de fiabilité suffisant reste encore actuellement basée sur un modèle empirique mis au point par Black en 1969. Ce modèle permet d'estimer la durée de vie moyenne avant défaillance (MTTF : Mean Time To Failure en anglais) d'une ligne soumis à l'électromigration [70] :

$$MTTF = Aj^{-n}exp\left(\frac{\Delta H}{kT}\right) \tag{1.11}$$

avec A une constante déterminée empiriquement, ΔH l'énergie d'activation et n une constante comprise entre 1 et 2. La densité de courant et la température apparaissent, assez naturellement, comme les paramètres critiques influant sur la durée de vie des interconnexions. Couplé à une approche statistique (notamment avec un modèle de distribution des défaillances), ce modèle est encore largement usité dans l'industrie. En effet, il continue de montrer de bons résultats et est un bon indicateur de la robustesse d'une technologie.

Ce type de modèle permet d'établir des règles de conceptions qui sont ensuite implantées dans les outils de CAO. Ainsi un concepteur est prévenu lorsque la densité de courant dans une ligne est trop importante pour assurer une durée de vie convenable. Néanmoins le concepteur

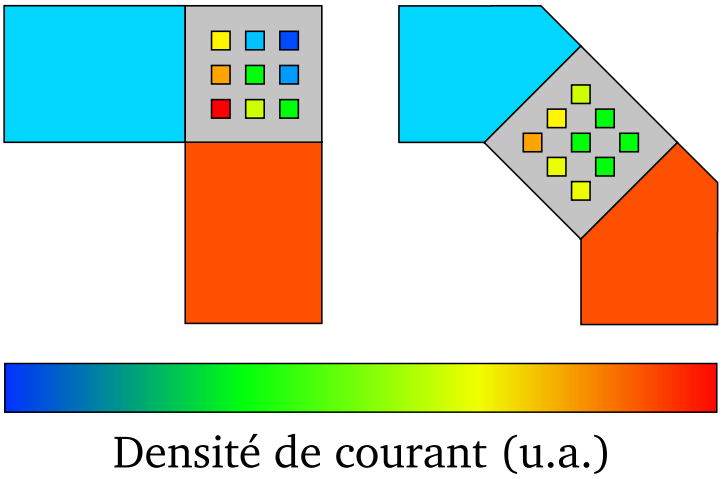


FIG. 1.12 – Densité de courant dans un via

peut (devrait) respecter certaines règles pour s'assurer que les connexions vieilliront dans de bonnes conditions. Premièrement, une bonne pratique à appliquer est de répartir au mieux la densité de courant dans les lignes [71]. Par exemple, les angles à 90°ou les vias sont des zones de fort gradient de densité de courant. Il faut proscrire au maximum les angles à 90°dans les interconnexions et préférer l'utilisation d'angles de 135°ou 150°(Fig. 1.11). La conception de "matrices de vias" nécessite également des précautions pour améliorer la distribution de la densité de courant. La disposition des vias doit être organisée de façon à minimiser les gradients de densité de courant [71]. Sur la Fig. 1.12 on peut voir un exemple de disposition commune et une disposition plus adéquate à employer préférentiellement.

Une autre piste à suivre est l'utilisation de lignes à structure dites *bambou*. Cette dénomination est tirée de la forme des joints de grain du matériau semblable à la tige de la plante (Fig. 1.13(a)). Généralement, les lignes sont formées de matériaux polycristallin semblable à la Fig. 1.13(b). Le problème de ce type de ligne est que les joints de grains sont des zones privilégié pour le transport de matière. Une structure bambou, avec ses joints de grains perpendiculaires au flux d'électrons et donc au flux de matière, est bien plus résistante à l'électromigration [72]. Pour former des interconnexions avec cette structure, on doit choisir la largeur de sorte qu'elle soit de l'ordre de grandeur, ou inférieure, à la taille moyenne d'un grain du matériau utilisé. Pour ne pas augmenter la densité de courant, on répartira le flux d'électron sur plusieurs lignes (Fig. 1.14).

Enfin on peut profiter de l'effet de la longueur de Blech [73] pour améliorer la fiabilité de la ligne. Il existe une limite maximale de longueur de piste en dessous de laquelle l'électromigration ne peut pas se produire que l'on nomme longueur de Blech. Pour comprendre le phénomène, il faut prendre en compte les contraintes mécaniques induites par le déplace-

(a) Structure bambou (b) Structure polycristalline

FIG. 1.13 – Configuration cristalline dans une ligne électrique

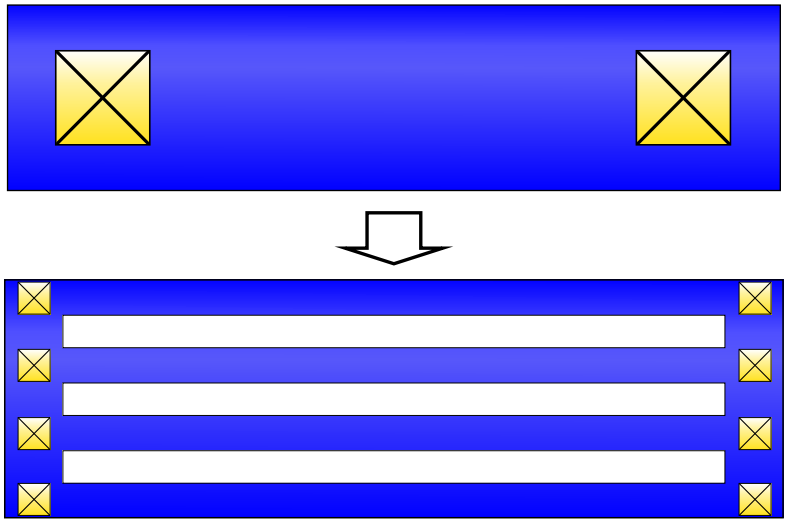


FIG. 1.14 – Passage d'une ligne polycristalline en bambou

ment de matière dans une ligne. Les régions où la matière s'accumule vont être soumises à une compression qu'on peut modéliser par une force s'opposant au déplacement de matière par électromigration. Cette force va avoir tendance à réduire, voir annuler, le déplacement de matière. De manière plus formelle, il existe un couple densité de courant (j) - longueur de ligne (L) pour lequel la ligne n'est pas sujette à l'électromigration. Cette approche semble très séduisante puisqu'elle permettrait d'obtenir des lignes à durée de vie "infinie". Cependant la mise en pratique est compliquée sur des circuits complexes et, à ma connaissance, la méthode n'est pas employée sur des circuits commerciaux.

Des travaux proposent d'intégrer toutes ces contraintes et d'automatiser le respect des règles de conception pour tenir compte de l'électromigration dans les outils de CAO. Dans [74,75] Allam *et al* présentent un outil de simulation de la fiabilité basé sur le respect du couple $(jL)_{critique}$ dans les interconnexions. Un des points les plus intéressants de ses travaux est le couplage avec un autre outil de simulation thermique qu'ils ont également développé, permettant de prendre en compte l'effet de la température. Lienig propose également un outil intéressant qui s'attache à détecter les zones fortement sollicitées par l'électromigration [69] et d'harmoniser la distribution des densités de courants. Les avantages de son outil sont de proposer automatiquement une

solution de remplacement minimisant les contraintes et d'être intégré dans un environnement commercial.

Pour conclure, si aucun outil ne fait encore actuellement autorité, le phénomène et les mécanismes de dégradation sont assez bien connus et les concepteurs peuvent (devraient) utiliser les règles simples permettant d'assurer une conception prenant en compte ce problème de fiabilité.

1.3.2 Claquage de l'oxyde de grille du transistor

Le claquage d'oxyde (oxyde breakdown en anglais) correspond à la perte des propriétés isolantes d'une couche d'oxyde causée par l'application d'un champ électrique dans cette couche. Dans un circuit, les propriétés des couches d'oxyde (conventionnellement du SiO_2) sont utilisées pour remplir de nombreuses fonctions : diélectrique dans les capacités, pour isoler les pistes des différents niveaux de métallisation (interconnexions), ou, ce qui nous intéresse ici, comme oxyde de grille entre le poly-silicium et le silicium dans les transistors MOS. Ce phénomène, aussi connu sous le nom de TDDB (Time Dependent Dielectric Breakdown, claquage du diélectrique dépendant du temps en français), est un problème majeur de fiabilité depuis le début de l'industrie du semi-conducteur [76]. Au fur et à mesure que la réduction des épaisseurs d'oxyde se poursuit, les chercheurs continuent à découvrir des phénomènes nouveaux. Pour l'instant plusieurs théories permettent d'expliquer le claquage et aucun consensus ne semble encore atteint au vu de la littérature qui abonde encore sur le sujet.

1.3.2.1 Mécanisme du claquage d'oxyde et modèles

On sépare les phénomènes de claquage d'oxyde en deux catégories : les défaillances d'origine extrinsèque et les défaillances d'origine intrinsèque. Les défaillances d'origine extrinsèque sont provoquées par des défauts macroscopiques comme un amincissement de l'oxyde, des impuretés métalliques, des défauts d'empilement atomique... qui peuvent être éliminés en améliorant le procédé de fabrication [77]. Généralement ces défaillances provoquées par des défauts extrinsèques ont tendance à se produire au début du cycle de vie du dispositif. Les défaillances intrinsèques sont celles qui provoqueraient un claquage dans un oxyde sans défaut, autrement dit les défaillances qu'on ne peut pas supprimer. On peut considérer que le mécanisme de claquage d'oxyde est un processus en trois phases [78, 79] : une période d'usure du dispositif, le claquage en lui même, suivi éventuellement d'une phase où les dégâts causés au dispositif s'étendent.

Définissons d'abord ce qu'on appelle l'usure d'un oxyde. L'usure correspond à la génération de défauts dans l'oxyde qui lui font perdre ses propriétés diélectriques. On trouve dans la littérature trois principaux modèles qui décrivent le processus :

Le modèle de libération d'hydrogène (Hydrogen Release Model en anglais) développé par DiMaria *et al* [80] d'après les observations du comportement d'un oxyde pendant et après un stress. Il postule que des électrons énergétiques créent des dommages dans l'oxyde par interaction avec le réseau cristallin ou avec une seconde espèce comme l'hydrogène.

Le modèle d'injection de trous par l'anode (Anode Hole Injection Model en anglais), proposé par Schuegraf et Hu au milieu des années 90 [81] et communément nommé modèle en $1/E$. Il fait l'hypothèse qu'une fraction des électrons entrant par l'anode ont une énergie suffisante pour créer un "trou chaud" (hot hole en anglais) qui peut retourner ensuite dans l'oxyde et provoquer un défaut.

Le modèle thermochimique (Thermochemical Model en anglais), proposé par Mc Pherson *et al* à la fin des années 90 [82, 83], est une tentative de développement d'un modèle empirique basé sur l'analyse de différentes données comme la libération d'hydrogène, ou la génération de défauts. Il est également connue comme le modèle en E, puisque le taux de défaillance est ici proportionnel au champ électrique. Dans ce modèle, on suppose que les pièges sont générés uniformément dans l'oxyde sous l'application d'un champ électrique

La phase de claquage correspond à la phase de perte des, ou d'une partie des propriétés diélectriques. En effet, les travaux font maintenant la distinction entre claquages "durs" (Hard BreakDown an anglais) et claquages "mous" (Soft BreakDown en anglais). Cette distinction s'est imposée pour classer les claquages en fonction de l'amplitude de la perte des propriétés diélectriques et de l'impact sur la fonctionnalité du circuit. Typiquement, un circuit peut supporter un ou plusieurs claquages mous et continuer à être fonctionnel [84]. Le modèle de claquage le plus populaire est le modèle de percolation [85]. Dans cette approche les défauts de l'oxyde sont assimilés à des sphères qui sont distribués aléatoirement[1] dans l'oxyde (état en sortie de fabrication). Quand le nombre de défauts augmente, les sphères proches les unes des autres peuvent se transférer des charges entre elles. Quand le nombre de défauts devient trop important, un chemin reliant les deux extrémités de l'oxyde peut apparaître et provoquer un claquage (Fig. 1.15).

La troisième phase regroupe les dommages qui peuvent être occasionnés à la suite du claquage proprement dit. En effet, le claquage peut s'accompagner d'une brusque augmentation du courant traversant l'oxyde et donc de chaleur dégagée par effet Joule. Ce phénomène peut induire des modifications structurelles du dispositif [86, 87]. On peut citer la migration des mé-

[1] On utilise des distributions statistiques pour modéliser le phénomène de claquage d'oxyde

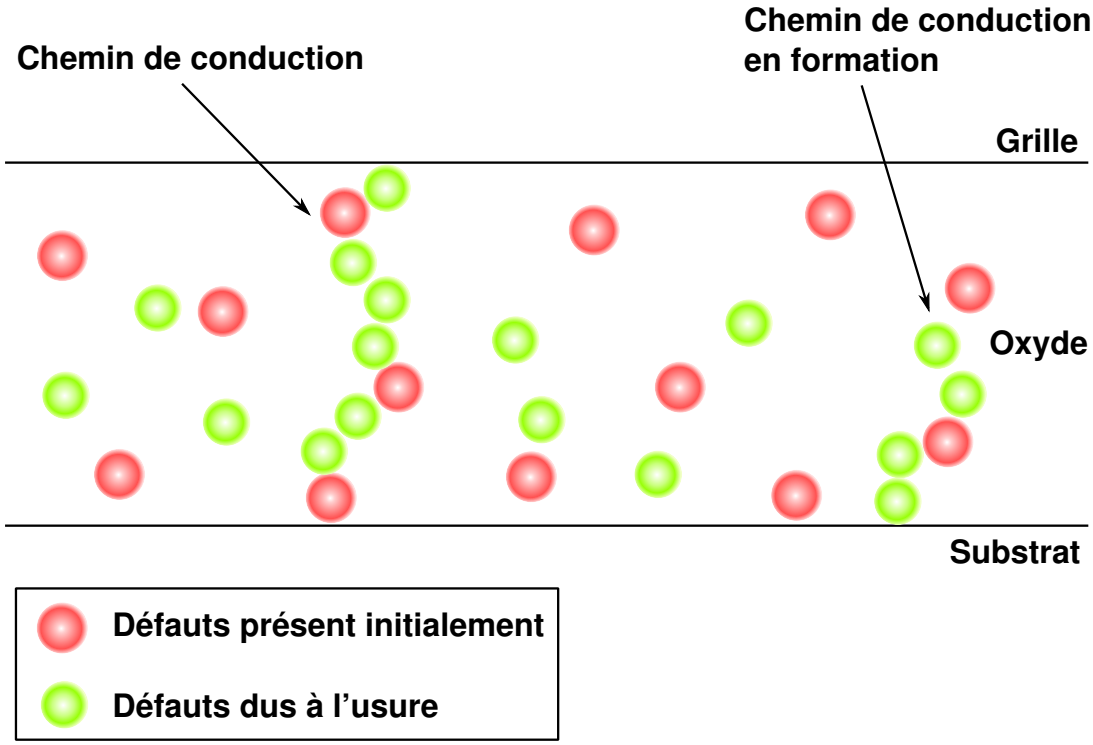


FIG. 1.15 – Description du mécanisme de percolation dans un oxyde de grille

taux constituant les contacts de drain ou de source jusqu'au chemin de percolation, ou encore la fusion du silicium polycristallin de la grille et de la silicide de l'oxyde.

Concluons par un point sur les règles de conception à adopter. Si aucune modélisation n'est encore définitivement acceptée, elles se rejoignent sur un point : pour un dispositif donné, le phénomène est amplifié par l'augmentation de la tension. Le concepteur a donc tout intérêt à limiter la tension aux bornes d'un isolant quand cela est possible.

1.3.3 Negative Bias Temperature Instability (NBTI)

Le terme NBTI date de la fin des années 60, début du MOSFET sur silicium. À cette époque, on était confronté à des problèmes de contamination ionique extrinsèque (ion sodium Na^+, ion chlorure Cl^-, ion potassium K^+) dans les dispositifs MOS. La contamination était problématique puisque les ions pouvaient diffuser à travers la grille et provoquer ainsi la dérive des paramètres électriques du MOS [88]. Les ions mobiles répondant très bien à la température et à un champ électrique, on appliquait une contrainte NBT (Negative Bias Temperature) pour révéler la contamination ionique du dispositif, c'est-à-dire qu'on appliquait un potentiel négatif sur la grille dans une enceinte à haute température. L'apparition de charges est aléatoire et rendait incontrôlable les paramètres électriques. On parlait d'instabilité des paramètres électriques sous contraintes NBT, ou NBTI (NBT Instability) en anglais. Par la suite on a continué à utiliser ce

terme pour qualifier toutes les dérives électriques sous contrainte NBT. C'est en 1967 que les premiers travaux ont montré que la création de défauts chargés pouvait être d'origine intrinsèque au dispositif [89] et que ces défauts étaient fortement liés à l'interface Si-SiO_2. Dans les travaux actuels, le terme NBTI est utilisé uniquement pour les phénomènes d'origine intrinsèque. Par analogie, on parle de PBTI (Positive BTI) pour qualifier les contraintes avec un potentiel positif sur la grille.

1.3.3.1 Mécanisme de défaillance et modèle

Nous allons présenter le modèle de Réaction-Diffusion (R-D) qui est accepté comme un des modèles décrivant le mieux le mécanisme de génération de défauts à l'interface Si-SiO_2 [89–92]. L'hypothèse de départ est la présence d'un grand nombre de liaisons Si-H sur un dispositif vierge.

$$Si_3 - SiH$$

Deux autres éléments participent à la dégradation NBTI : les trous du canal d'inversion (h^+) et des espèces hydrogénées (OH, H ou H_2O par exemple). Lors de l'application d'une contrainte NBT, les trous du canal d'inversion et les espèces hydrogénées (A) réagissent avec la liaison Si-H pour produire un ion H^+ ou une entité hydrogénée chargée positivement (ici noté B^+) et une liaison pendante SiO_2-Si· selon la réaction :

$$Si_3 - SiH + A + h^+ \rightleftharpoons Si_3 - Si\cdot + B^+$$

Cette étape est la partie qui concerne la réaction du mécanisme. Elle est limitée par la réaction de dissociation de la liaison Si-H. La deuxième partie du mécanisme correspond à la diffusion de l'espèce hydrogénée. Sous l'effet du champ électrique, l'espèce hydrogénée chargée positivement diffuse à travers l'oxyde. La réaction est limitée par la diffusion de l'espèce hydrogénée. Finalement l'espèce hydrogénée forme une charge dans l'oxyde tandis que la liaison pendante SiO_2-Si· restante forme un état d'interface.

Les charges dans l'oxyde modifient la tension de seuil du transistor. La variation suit une loi en puissance n-ième, avec n inférieur ou égal à 0.25 [93]. On peut exprimer la variation temporelle de la tension de seuil par l'équation suivante :

$$\Delta V_t = A e^{\gamma \varepsilon_{ox}} e^{-E_a/kT} t^n \tag{1.12}$$

où A est une constante, γ un facteur pour le champ électrique ε_{ox} et E_a l'énergie d'activation.

Il est intéressant de noter que le phénomène NBTI est bien plus marqué sur les transistors PMOS que sur les transistors NMOS [93]. Autre point important, le phénomène est plus cri-

tique dans les circuits numériques que dans les circuits analogiques. En effet, les conditions d'un stress NBT correspondent parfaitement au cas d'un transistor de sortie PMOS dans une porte logique bloquée à l'état haut. On rencontre rarement ce cas dans les circuits analogiques, hormis dans des cas précis comme un comparateur ou lorsque le circuit sort de sa dynamique de fonctionnement normale [94]. On peut donc négliger le phénomène dans la plupart des circuits analogiques CMOS au "profit" du phénomène de dégradation par porteurs chauds que nous allons étudier maintenant.

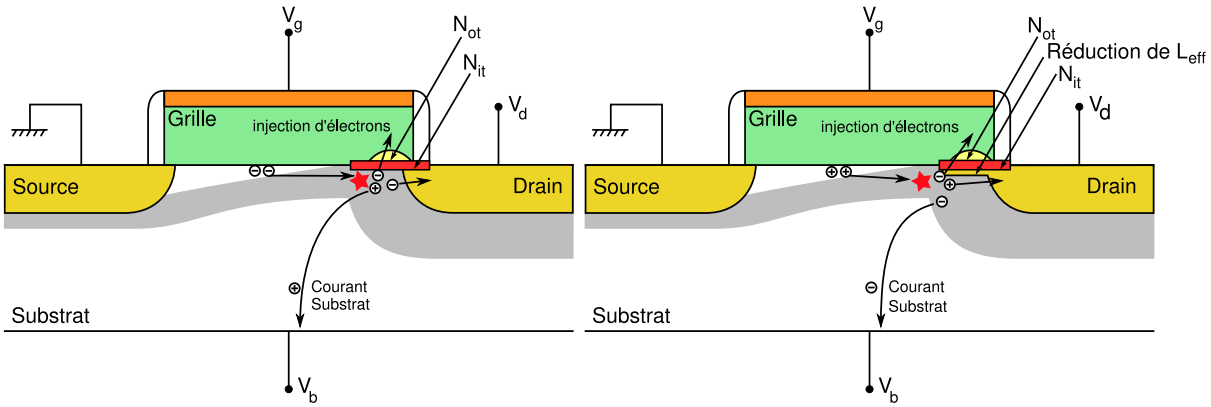
1.3.4 Dégradation par porteurs chauds

Commençons par définir un porteur chaud (Hot carriers en anglais) : on appelle porteur chaud, tout porteur de charge ayant acquis une énergie cinétique importante, c'est-à-dire ayant été fortement accéléré sous l'effet d'un champ électrique intense. Le régime de porteurs chauds est mis à profit dans certains dispositifs pour programmer les mémoires non volatiles (Flash EEPROM) [95]. Pour les transistors MOSFETs ce phénomène est indésirable et peut entraîner des défaillances de fonctionnement des circuits [96–100]. L'expression dégradation par porteurs chauds regroupe les phénomènes de dégradation du transistor induits par ces porteurs fortement énergétiques.

1.3.4.1 Mécanisme de défaillance et modèle

Pour les transistor NMOS le mécanisme est décrit par le modèle de l'électron chanceux (LEM : Lucky Electron Model en anglais) [101, 102]. Typiquement, en régime saturé, la région désertée entre le point de pincement et le drain est une zone de champ électrique intense (Fig. 1.16(a)). Les électrons traversant cette zone se trouvant fortement accélérés, ils peuvent acquérir l'énergie nécessaire pour générer une paire électron-trou lors de collisions avec les atomes de silicium (ionisation par impact). Les électrons générés dans la ZCE (Zone de Charge d'Espace) peuvent se réorienter vers l'oxyde de grille. Certains électrons ont assez d'énergie (transmise lors de la collision) pour franchir la barrière de potentiel entre le semi-conconducteur et l'oxyde de grille. La majeure partie des porteurs participent au courant de grille, mais certains peuvent se retrouver piégés dans des défauts cristallins à l'interface Si-SiO_2 ou dans l'oxyde [103–105]. Les charges piégées à l'interface Si-SiO_2 ou dans l'oxyde modifient les caractéristiques électriques des transistors, ce qui peut aboutir à la défaillance du circuit. Dans le même temps, les trous formés sont repoussés dans le substrat participant ainsi au courant de substrat. C'est la raison pour laquelle la mesure du courant de substrat est utilisée comme indicateur du taux de génération de porteurs chauds.

Pour les dispositifs PMOS, Van Den Bosh, Groeseneken et Maes [106] ont mis au point un



(a) Transistor NMOS (b) Transistor PMOS

FIG. 1.16 – Génération et injection de porteurs chauds

modèle similaire au LEM, celui du trou chanceux (LHM : Lucky Hole Model en anglais). Quand le transistor est polarisé en mode de saturation, les trous sont injectés dans la zone désertée près du drain. Comme avec le LEM, s'il acquiert assez d'énergie un trou peut générer une paire électron-trou par ionisation d'impact. Les électrons générés dans la ZCE du drain peuvent être re-dirigés vers l'oxyde et s'y retrouver piégés. Si la densité d'électrons piégés est suffisamment grande, la charge négative excessive attirera des trous vers l'interface Si-SiO_2. Ces charges positives au bord du drain forment une "prolongation" du drain (Fig. 1.16(b)). Ce phénomène a pour conséquence de réduire la longueur effective L_{eff} du transistor et une réduction de la valeur absolue de la tension de seuil.

1.3.4.2 Dégradation induite par les porteurs chauds

Comme nous venons de le voir, des porteurs chauds se retrouvent piégés à l'interface Si-SiO_2 ou dans l'oxyde de grille des transistors MOS, ce qui modifie le comportement du dispositif MOS. C'est ce qu'on appelle la dégradation par porteurs chauds des transistors. Nous avons également vu que le mécanisme de dégradation était différent pour les NMOS et les PMOS. Nous allons maintenant voir que les dégradations occasionnées sont différentes dans le cas du NMOS et du PMOS.

Parmi les caractéristiques principales modifiées du NMOS, les études rapportent [102, 107, 108] une augmentation de la tension de seuil (V_t) et de la conductance de sortie (g_{ds}), ainsi qu'une baisse de la transconductance (g_m). Pour le PMOS [109–111], comme nous l'avons vu la dégradation par porteurs chauds aboutit à la réduction de la longueur de grille effective (L_{eff}). Par contre, contrairement au NMOS, on observe une réduction de la valeur absolue de la tension de seuil ($|V_{th}|$). Des travaux [112, 113] ont également montré que les porteurs chauds

augmentaient le niveau de bruit Flicker (ou bruit en $1/f$) aussi bien pour les transistors de type n que de type p.

Un autre point important, les transistors NMOS et PMOS ne se dégradent pas à la même vitesse. En effet, pour être injectés vers l'oxyde les porteurs doivent dépasser la barrière de potentiel entre le silicium et le dioxyde de silicium qui est, à champ nul, de $\sim 4.8\,eV$ [106] pour les PMOS et $\sim 3.2\,eV$ pour les NMOS [101]. À taux d'ionisation équivalent, la dégradation dans les NMOS devrait donc être plus importante que dans les PMOS. Néanmoins la mobilité des trous dans le $Si0_2$ est moins importante que celle des électrons. Ainsi, les trous ont une plus forte probabilité d'être piégés dans l'oxyde [114]. Mais finalement, les études montrent qu'à taux d'ionisation équivalent, la dégradation est plus importante dans les NMOS [113, 115, 116]. Le phénomène devient néanmoins un problème significatif à étudier dans les transistors PMOS submicroniques [117].

1.3.4.3 Modèle

Le LEM est basé sur deux principes [101, 102]. La variation des paramètres du transistor (g_m, V_{th}...) est proportionnelle à la densité moyenne d'états d'interface et les états d'interface sont générés par des électrons chauds. On peut exprimer le premier principe ainsi :

$$\Delta P \propto N_{it} \tag{1.13}$$

avec P un paramètre quelconque du transistor et N_{it} la densité d'états d'interface. Un modèle pour la génération d'états d'interface a été proposé par Hu [102] :

$$\left(\frac{\delta N_{it}}{\delta t}\right) = K\,\frac{e^{-V_c/(V_{ds}-V_{ds_{sat}})}}{1+AN_{it}}\,\frac{I_{ds}}{W} \tag{1.14}$$

où A et K sont des paramètres dépendant de la technologie, $V_{ds_{sat}} = V_{gs} - V_t$ est la tension de saturation, V_{ds} est la tension drain source, I_{ds} le courant drain source, W est la largeur du transistor et V_c est une tension proportionnelle à l'énergie nécessaire pour qu'un électron crée un état d'interface. Ce modèle aboutit à une variation des paramètres en puissance n-ième :

$$\begin{aligned} N_{it} &\propto \left(\frac{I_{ds}}{W} e^{-V_c/(V_{ds}-V_{ds_{sat}})} t\right)^n \\ \Rightarrow \Delta P &\propto t^n \end{aligned} \tag{1.15}$$

Les études s'accordent sur des valeurs de n comprises entre 0.35 et 1 [59, 101, 118]. Ce modèle, moyennant quelques modifications, est encore utilisé dans l'industrie microélectronique pour estimer les effets induits par la dégradation par porteurs chauds.

1.4 Conclusion

Dans ce premier chapitre, nous avons présenté les différents points constituant le cadre d'étude de nos travaux. Nous avons présenté deux types de capteurs magnétiques : le capteur à effet Hall et le capteur à MTJ. Le laboratoire possédant déjà une expertise dans la conception de ce type de magnétomètre, leurs choix se sont imposés naturellement pour démarrer nos travaux. Ces capteurs ont servi de support d'étude dans notre approche de type sûreté de fonctionnement. La notion de sûreté de fonctionnement et les outils associés ont été traité dans la section 1.2 de ce chapitre. Nous en avons profité pour définir clairement la durée de vie dans le cas des circuits analogiques. La section est complétée par les différentes méthodes de conception déjà utilisées en microélectronique pour améliorer la sûreté d'un système. Enfin le chapitre se termine par l'étude des principaux mécanismes de défaillance affectant les circuits intégrés analogiques CMOS. Pour chaque mécanisme nous avons décrit le mécanisme de défaillance et les modèles associés. À chaque fois, nous nous sommes efforcés de faire le lien entre la conception et l'intensité du mécanisme considéré.

1.5 Objectifs des travaux

Le but de cette thèse est l'analyse des méthodes de conception du point de vue de la sûreté de fonctionnement. Mon travail a consisté à traduire les contraintes liées à la conception de systèmes sûrs de fonctionnement en termes de caractéristiques métrologiques du magnétomètre à concevoir (sensibilité, dynamique, résolution,...) et inversement. Comme je l'ai expliqué dans l'introduction, cette approche nous a conduit à étudier des méthodes permettant de quantifier les attributs de la sûreté de fonctionnement et en particulier la fiabilité de l'électronique associée à l'élément sensible du magnétomètre. L'aspect mécatronique impose également d'étudier des méthodes permettant d'apporter des fonctionnalités nouvelles comme, par exemple, des circuits capables d'informer le reste du système sur le bon ou le mauvais fonctionnement du magnétomètre.

Le suite du manuscrit est composée de deux parties. Dans la première, nous présentons un modèle de vieillissement du transistor MOS. Nous utilisons le modèle pour étudier la dégradation de différentes structures de base de l'électronique analogique (miroir de courant, étage de gain...). Nous montrons également que le modèle peut être utilisé pour améliorer la fiabilité de ces structures. Dans la seconde partie du manuscrit, nous présentons notre méthodologie de conception appliquée à la conception d'un amplificateur opérationnel à transconductance. Nous montrons comment les résultats obtenues sur les structures de base permettent d'améliorer la fiabilité d'une structure "complexe". Enfin, nous terminons en présentant l'autre aspect de notre

méthodologie. Dans cette approche nous ne cherchons pas à minimiser le vieillissement d'un circuit, mais nous cherchons à le contrôler afin de réaliser un capteur de vieillissement. Le manuscrit se termine par une conclusion générale incluant aussi les perspectives ouvertes par ces travaux.

Chapitre 2

Vieillissement des circuits analogiques CMOS

Dans cette partie, nous présentons un modèle de vieillissement analytique du transistor MOS basé sur la physique. Ce modèle repose sur la dégradation induite par les porteurs chauds et est adapté aux conditions opérationnelles des circuits analogiques. Ensuite nous étudions l'impact du vieillissement sur des structures de base de l'électronique analogique (miroir de courant, étage de gain...). Finalement nous montrons comment on peut utiliser le modèle de vieillissement pour évaluer la dérive des caractéristiques électriques d'un circuit et déterminer les conditions de polarisation qui minimisent cette dérive.

2.1 Modèle de vieillissement du transistor MOS

Le vieillissement du transistor MOS se traduit par une variation de ses paramètres électriques. Typiquement les performances du transistor vont se dégrader. Par exemple, on peut voir sur la Fig. 2.1 la réduction du courant de drain provoquée par le vieillissement d'un transistor. Le vieillissement des transistors provoque donc une dérive des caractéristiques électriques des circuits. Les conditions opérationnelles des circuits analogiques induisent une dérive essentiellement provoquée par le phénomène des porteurs chauds [113]. Nous avons donc mis au point un modèle de vieillissement du transistor induit par les porteurs chauds. Ce modèle est développé pour guider le concepteur dans ses choix durant la phase de *pré-dimensionnement* d'un circuit, c'est-à-dire avant l'optimisation des dimensions des transistors grâce aux outils de simulation CAO. C'est la raison pour laquelle le modèle est prévu pour être intégré au modèle SPICE Level 1 ; ce modèle comportemental du transistor est en effet celui qui est généralement utilisé pour mettre en équation les performances d'un circuit en fonction des paramètres des transistors qui le composent.

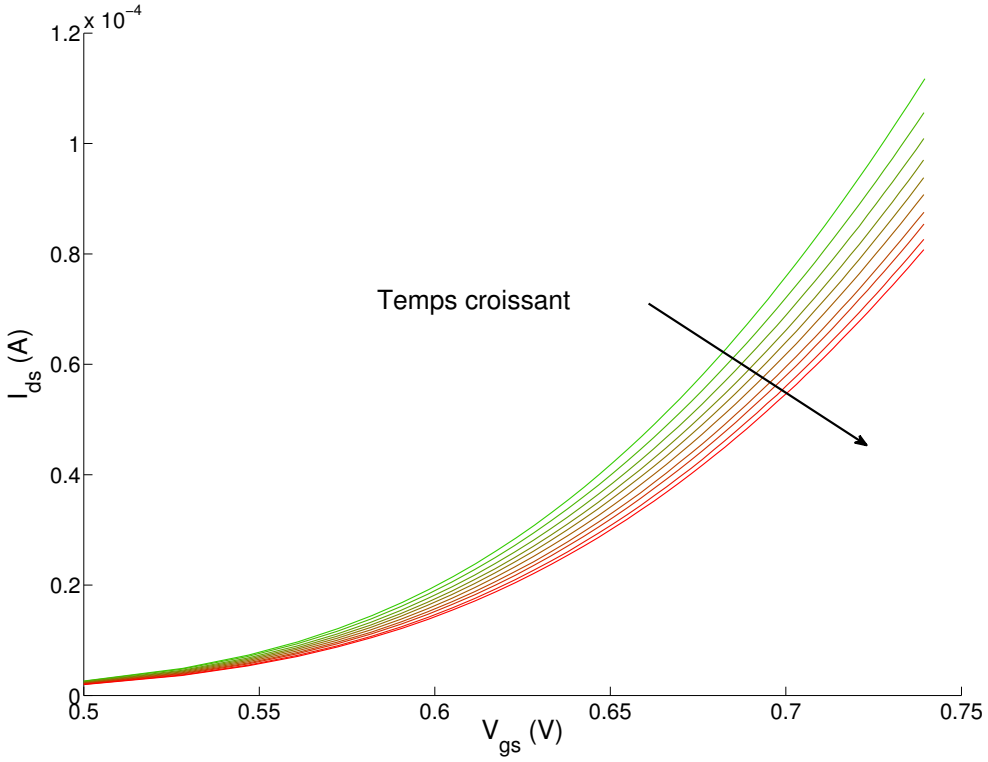


FIG. 2.1 – Illustration du vieillissement d'un transistor - Évolution de la caractéristique $I_{ds} = f(V_{gs})$ d'un transistor NMOS de dimensions $W/L = 16\mu m/0.4\mu m$ soumis à une tension $V_{ds_{Stress}} = 5.5V$ et à un courant $I_{ds_{Stress}} = 1.5mA$ pendant 9 heures.

2.1.1 De la physique au modèle analytique

Le vieillissement d'un transistor MOS se caractérise par la dérive temporelle de ses paramètres électriques. Cette dérive est essentiellement due à l'augmentation de la densité d'états à l'interface Oxyde-Semiconducteur (N_{it}) ou de la densité de charge dans l'oxyde (N_{ot}). Dans notre étude nous ne feront pas de distinction entre N_{it} et N_{ot}. Dans les circuits analogiques le mécanisme de dégradation principal est celui des porteurs chauds [113]. Pour évaluer la dégradation par porteurs chauds sur les paramètres d'un transistor MOS, nous nous sommes basés sur le modèle de l'électron chanceux (LEM) [102,119]. Dans ce modèle la dégradation est attribuée à l'augmentation des états d'interface et la variation des paramètres électriques du transistor est proportionnelle à la variation de la densité d'états d'interface. En particulier deux paramètres du transistor très importants pour la conception de circuits analogiques, la transconductance (KP) et la tension de seuil (V_t), sont sensibles à la variation de N_{it}. On peut appliquer les principes du

LEM à ces deux paramètres :

$$\begin{aligned} \Delta KP &\propto \Delta N_{it} \\ \Delta V_t &\propto \Delta N_{it} \end{aligned} \tag{2.1}$$

Dans [102], Hu propose un modèle de génération de la densité d'états d'interface :

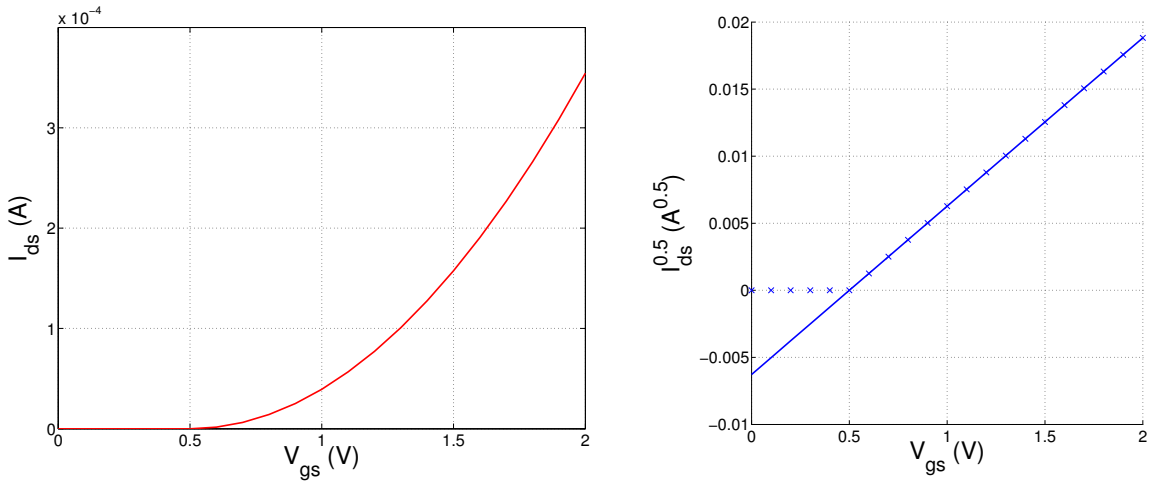
$$\left(\frac{\delta N_{it}}{\delta t}\right) = K \frac{e^{-V_c/(V_{ds}-V_{ds_{sat}})}}{1+AN_{it}} \frac{I}{W} \tag{2.2}$$

où A et K sont des paramètres dépendant de la technologie, $V_{ds_{sat}} = V_{gs} - V_t$ est la tension de saturation, V_{ds} est la tension appliquée entre le drain et la source, I est le courant drain source, W est la largeur du canal et V_c est une tension proportionnelle à l'énergie nécessaire pour créer un état d'interface. On remarque que le taux de création d'états d'interface dépend des conditions de polarisation (densité de courant I/W, tension drain source V_{ds} et tension $V_{ds_{sat}}$) mais aussi de la densité d'états d'interface elle-même. Cependant, la variation relative de la densité d'états d'interface étant très faible, nous pouvons considérer le terme $(1+AN_{it})$ comme constant et égal à $(1+AN_{it_0})$ où N_{it_0} est la densité d'états d'interface initiale. De manière analogue, nous supposons que V_{ds}, $V_{ds_{sat}}$ et I restent constants et égaux à leur valeur initiale notée, respectivement, V_{ds_0}, $V_{ds_{sat_0}}$ et I_0. En intégrant ces approximations, le taux de génération d'états d'interface devient constant :

$$\left(\frac{\delta N_{it}}{\delta t}\right) = K \frac{e^{-V_c/(V_{ds_0}-V_{ds_{sat_0}})}}{1+AN_{it_0}} \frac{I_0}{W} = \text{cste} \tag{2.3}$$

Ces approximations sont d'autant plus justifiées que des études ont montré la grande sensibilité des circuits CMOS analogiques à la dégradation [97, 108, 113]. Dans [97] Thewes *et al* indiquent que dans les circuits analogiques de hautes précisions (amplificateur opérationnel haute précision, convertisseur analogique/numérique haute résolution...), au début des années 90, la dérive maximale du courant de drain tolérée était de 1%, à comparer au 10% retenue comme critère dans les applications numériques. Dans les process modernes, les 1% étant difficiles à obtenir, on utilise un critère global sur la dérive de 10% et on ajoute un nouveau critère : la différence de dégradation des dispositifs stressés de façon similaire doit être inférieure à 1%. Si on intègre l'équation (2.3), on obtient l'expression de N_{it} en fonction du temps :

$$\begin{cases} N_{it(t)} = & N_{it_0} + \Delta N_{it(t)} \\ \Delta N_{it(t)} \simeq & K \frac{e^{-V_c/(V_{ds_0}-V_{ds_{sat_0}})}}{1+AN_{it_0}} \frac{I_0}{W} t \end{cases} \tag{2.4}$$



(a) $I_{ds} = f(V_{gs})$ (b) $\sqrt{I_{ds}} = f(V_{gs})$

FIG. 2.2 – Identification de la caractéristique $I_{ds} = f(V_{gs})$ du transistor à une droite affine $y = ax + b$

En combinant (2.1) et l'équation précédente, on obtient

$$\begin{aligned} \Delta KP(t) &= \Gamma_k t \\ \Delta V_t(t) &= \Gamma_v t \end{aligned} \tag{2.5}$$

Avec

$$\begin{aligned} \Gamma_k &= B_k \frac{I_0}{W} e^{-V_c/(V_{ds_0} - V_{ds_{sat_0}})} \\ \Gamma_v &= B_v \frac{I_0}{W} e^{-V_c/(V_{ds_0} - V_{ds_{sat_0}})} \end{aligned} \tag{2.6}$$

où B_k, B_v et V_c sont des constantes dépendantes de la technologie. Les paramètres Γ_k et Γ_v représentent, respectivement, les vitesses de dérive de la transconductance et de la tension de seuil. Nous remarquons que les dérives sont d'autant plus importantes que la densité de courant et que la tension drain-source sont élevées. Ces expressions montrent bien l'influence de la polarisation du transistor et donc l'influence de la conception, sur la dégradation.

2.1.2 Vérification expérimentale de l'hypothèse de linéarité

Pour valider notre modèle expérimentalement, nous avons conçu un circuit de test en technologie AMS 0.35μm composé de transistors de tailles variées. Les dispositifs ont été stressés électriquement (courant drain source fort et tension drain source élevée) pour accélérer le

vieillissement et nous avons mesuré périodiquement l'évolution des paramètres. Les tests ont été réalisés avec un analyseur de paramètres Agilent 4156C.

Procédure d'extraction : Pour rester cohérent avec notre approche, nous nous sommes limités à l'extraction des paramètres V_t et KP du modèle SPICE Level 1. La procédure d'extraction est la suivante. On commence par relever la caractéristique $I_{ds} = f(V_{gs})$ en s'assurant que la tension V_{ds} soit suffisante pour que le transistor soit en régime saturé. Puis, on rejette les couples $(I_{ds}, f(V_{gs}))$ pour lesquels le transistor n'est pas saturé, c'est-à-dire pour lesquels la tension V_{gs} est inférieure à la tension de seuil du transistor. On calcule ensuite la fonction $\sqrt{I_{ds}} = f(V_{gs})$:

$$\sqrt{I_{ds}} = \sqrt{\frac{KP}{2}\frac{W}{L}}|V_{gs} - V_t| \tag{2.7}$$

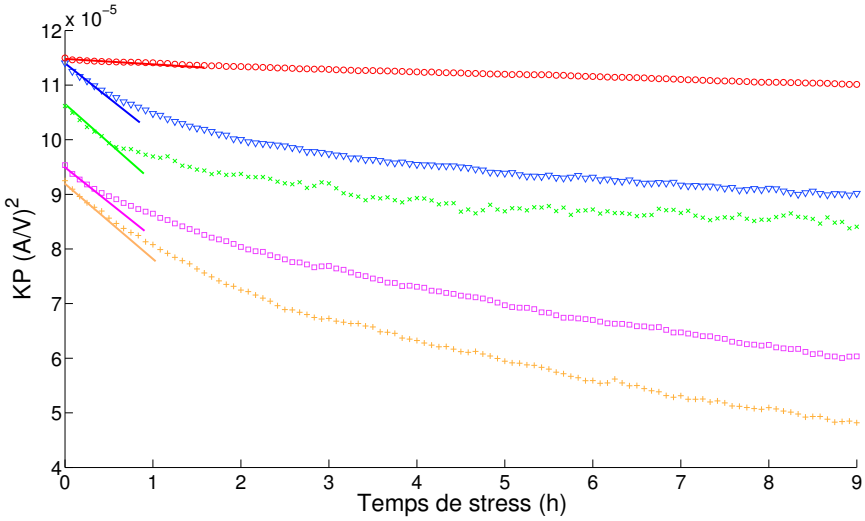
On identifie la caractéristique obtenue à une droite affine $y = ax + b$ (voir Fig. 2.2), d'où :

$$\begin{cases} a &= \sqrt{\frac{KP}{2}\frac{W}{L}} \\ b &= -a \cdot V_t \end{cases} \tag{2.8}$$

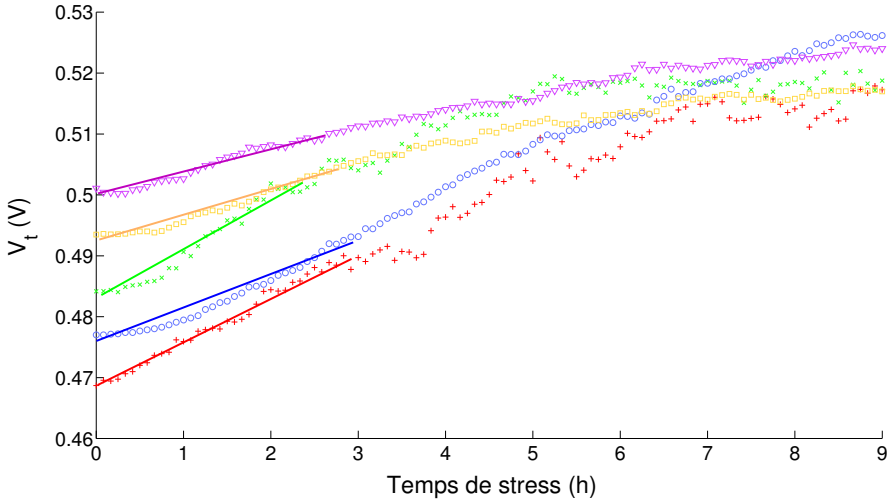
Finalement on en déduit KP et V_t :

$$\begin{cases} KP &= 2a^2\frac{L}{W} \\ V_t &= \frac{-b}{a} \end{cases} \tag{2.9}$$

Résultats : On peut observer des exemples de dérives de la transconductance et de la tension de seuil sur la Fig. 2.3. Les mesures ont été effectuées sur des transistors de tailles différentes ($W/L\,(\mu m) = 0.4/0.4\,(\times 2)$, $0.4/2$, $2/2$ et $16/16$) et pour différentes conditions de stress ($0.5\,mA < I_{ds} < 2\,mA$ et $5\,V < V_{ds} < 8.5\,V$). Première observation, la transconductance suit une évolution en t^n, alors que l'évolution de la tension de seuil est globalement linéaire (au bruit de mesure près). Notre hypothèse, de linéarité de la dérive des paramètres du transistor, semble donc erronée. Si on s'intéresse à la dérive des paramètres en valeurs relatives, la dérive de la transconductance est beaucoup plus marquée que la dérive de la tension de seuil. On observe des variations relatives de la transconductance de l'ordre de 40% et de l'ordre de seulement 4% pour la tension de seuil. Il faut se rappeler que nous faisons l'hypothèse de linéarité sur des dérives faibles (de l'ordre de 10% maximum). Pour des dérives faibles, comme on peut le voir sur la Fig. 2.4, on peut raisonnablement identifier la variation de la transconductance à un comportement linéaire.



(a) $KP(t)$



(b) $V_t(t)$

FIG. 2.3 – Dérive temporelle des paramètres KP et V_t sur des transistors MOS soumis à un stress électrique - Dimensions (μm) $W/L = 0.4/0.4\,(\times 2)$, $0.4/2$, $2/2$ et $16/16$ - Conditions de stress $0.5\,mA < I_{ds} < 2\,mA$ et $5\,V < V_{ds} < 8.5\,V$

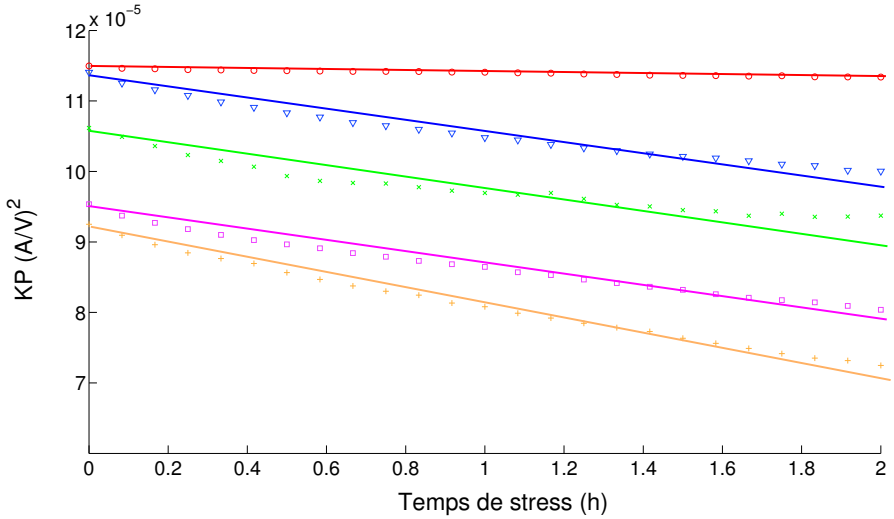


FIG. 2.4 – Dérive temporelle de la transconductance sur des transistors MOS soumis à un stress électrique - Dimensions (μm) $W/L = 0.4/0.4\,(\times 2)$, $0.4/2$, $2/2$ et $16/16$ - Conditions de stress $0.5\,mA < I_{ds} < 2\,mA$ et $5\,V < V_{ds} < 8.5\,V$

2.1.3 Extraction des paramètres du modèle

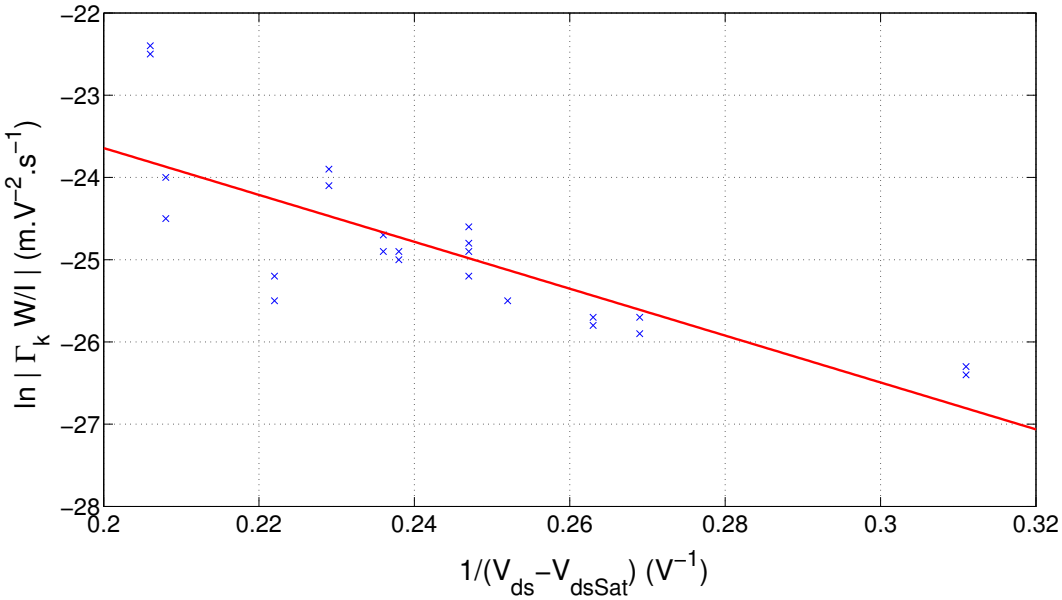
Procédure d'extraction : La première étape consiste à mesurer la vitesse de dérive de V_t et de KP (c'est-à-dire Γ_v et Γ_k) pour différentes conditions de stress (c'est-à-dire différents V_{ds}, V_{gs} et I_{ds}). Au chapitre §2.1.2, nous avons vu que l'on peut extraire l'évolution de $V_t(t)$ et $KP(t)$ en relevant périodiquement la caractéristique $I_{ds} = f(V_{gs})$ du transistor. La mesure de la pente des courbes $V_t(t)$ et $KP(t)$ nous donne directement la valeur de Γ_v et Γ_k. En répétant l'opération pour différentes conditions de stress, on peut déterminer la valeur de V_c en mesurant la pente de la caractéristique $\ln|W/I \cdot \Gamma_v|$ ou $\ln|W/I \cdot \Gamma_k|$ en fonction de $1/(V_{ds} - V_{ds_{sat}})$. En effet, d'après (2.6) on a :

$$\ln\left|\frac{W}{I}\Gamma_{v,k}\right| = \ln\left|B_{v,k}\right| - \frac{V_c}{V_{ds} - V_{ds_{sat}}} \tag{2.10}$$

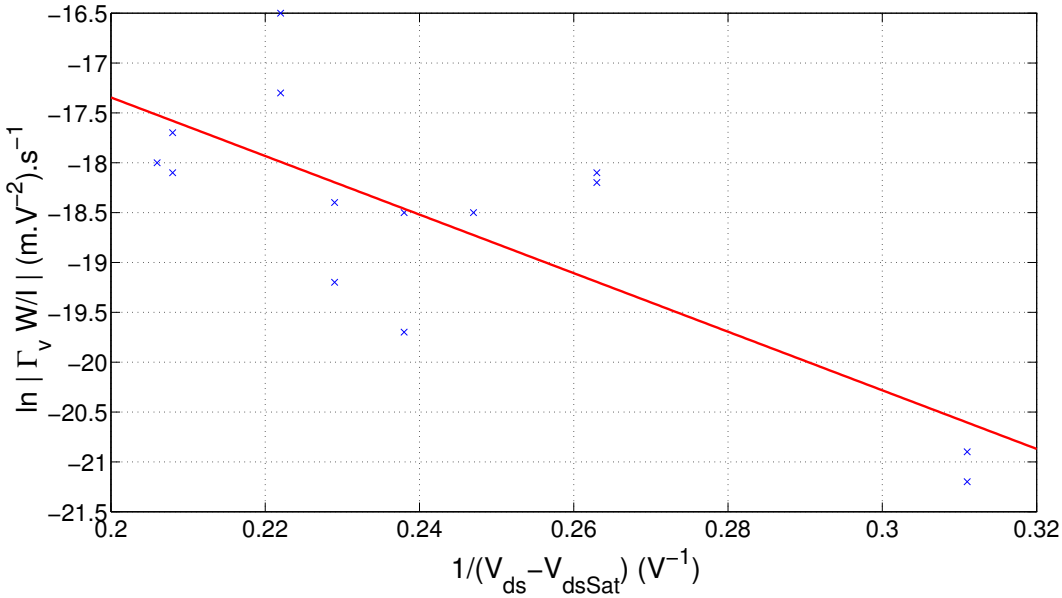
Enfin, par extrapolation linéaire des caractéristiques précédentes, on détermine les deux valeurs $V_{ds}^{v,k}$ pour lesquelles $\ln|W/I \cdot \Gamma_{v,k}| = 0$. Les paramètres B_v et B_k peuvent ainsi être calculés à partir de l'expression suivante :

$$|B_{v,k}| = \exp\left(\frac{V_c}{V_{ds}^{v,k} - V_{ds_{sat}}}\right) \tag{2.11}$$

Résultats Les paramètres B_v, B_k et V_c du modèle ont été extrait sur une technologie AMS $0.35\,\mu m$. La campagne de mesure a été menée sur une gamme variée de transistors avec des grilles de longueurs comprises entre $0.35\,\mu m$ et $16\,\mu m$ et une largeur comprise entre $0.4\,\mu m$ et



(a)



(b)

FIG. 2.5 – Extraction des paramètres de vieillissement du modèle - La courbe rouge correspond à la droite obtenue par régression linéaire

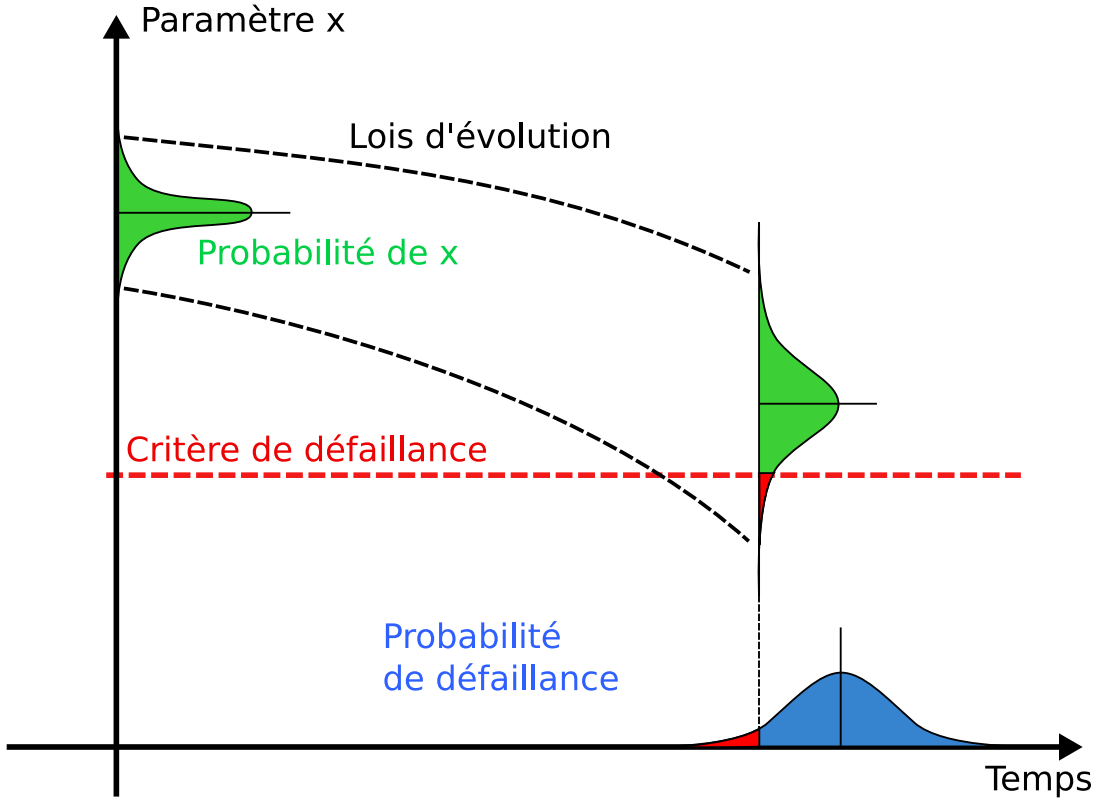


FIG. 2.6 – Illustration de l'aspect statistique du phénomène de dispersion sur la dérive d'un paramètre

$16\mu m$. Nous avons effectué des mesures sur une gamme de tensions grille-source variant entre 1 et 5 volt et une gamme de tensions drain-source variant entre 4 et 10 volt. Ces tests ont été réalisés avec un analyseur de paramètres Agilent 4156C. Enfin la durée des mesures varie entre 4h et 48h en fonction des transistors et des conditions de stress. Les résultats de la campagne pour l'extraction des paramètres B_k et B_v sont représentés sur la Fig. 2.5(a) et la Fig. 2.5(b) respectivement. On remarque que les données de la Fig. 2.5(b) sont moins corrélées que celles de la Fig. 2.5(a), elles sont également moins nombreuses. Cela est dû à la difficulté d'extraction de la vitesse de dérive de la tension de seuil Γ_v. En effet, nous avons vu (§2.1.2) que la dérive relative de la tension de seuil est bien inférieure à celle de la transconductance. De ce fait la dérive de V_t se retrouvait parfois noyée dans le bruit de mesure, rendant impossible l'extraction d'un Γ_v correct. Nous supposons qu'un autre phénomène, plus global, a perturbé les tests. Au vue des conditions de stress appliquées aux dispositifs, la vitesse des porteurs devait parfois saturer. Dans ce régime, la vitesse des porteurs n'est plus proportionelle au champ électrique dans le canal. Autrement dit, leur vitesse n'est plus proportionnelle à la différence de potentiels entre le drain et la source. Or dans notre modèle la dégradation est fonction de l'énergie cinétique (Le taux de degradation est fonction de la différence $V_{ds} - V_{ds_{sat}}$.). Cette incertitude sur la vitesse

$V_c\ (V)$	$B_v\ (V \cdot s^{-1})$	$B_k\ (A \cdot V^{-2} \cdot s^{-1})$
28.6	$7.60 \cdot 10^{-6}$	$-1.81 \cdot 10^{-8}$
$\sigma_{V_c}\ (V)$	$\sigma_{B_v}\ (V \cdot s^{-1})$	$\sigma_{B_k}\ (A \cdot V^{-2} \cdot s^{-1})$
0.650	$2.10 \cdot 10^{-6}$	$7.09 \cdot 10^{-9}$

TAB. 2.1 – Résultat de l'extraction des paramètres du modèle de vieillissement

des porteurs explique, en partie, la dispersion observée dans nos résultats expérimentaux. Les valeurs des paramètres du modèle ainsi que les incertitudes correspondantes sont consignées dans le tableau 2.1. On voit que les écart-types qui y sont consignés sont assez élevés. Pour obtenir de meilleurs résultats nous avons manqué d'échantillons de test. En effet, une série de problèmes, nous a contraint à rejeter un grand nombre de nos résultats de manipulations. Il faut garder à l'esprit que le test de vieillissement est destructif et chaque test raté correspond donc à un circuit qui ne peut plus être réutilisé. De plus, les manipulations sont parfois très longues, jusqu'à une semaine pendant les premières mises au point. La procédure de test ne peut donc être améliorée qu'au même rythme ! Le test de vieillissement s'est donc révélé bien plus compliqué qu'escompté. Il n'est cependant pas étonnant d'obtenir des mesures très dispersées dans un test de vieillissement. Dans ce type de test, il existe une dispersion sur les paramètres du modèle du transistor mais également sur les paramètres du modèle de vieillissement du transistor, donc une dispersion sur la dérive des paramètres. La Fig. 2.6 illustre ce phénomène. Nous connaissons les limites de notre approche et nous sommes conscients qu'une étude du vieillissement doit prendre en compte la nature statistique du phénomène. Cependant nous pensons que ce travail peut, préférablement, être effectué en simulation comme cela est proposé dans [62].

2.1.4 Modélisation VHDL-AMS du vieillissement du TMOS

Nous avons vu que notre hypothèse sur la dérive linéaire des paramètres est justifiée (voir §2.1.2). Néanmoins nous n'avions pas d'outil pour quantifier l'erreur introduite par la linéarisation. La simulation informatique et le langage VHDL-AMS nous ont semblé appropriés pour ce travail. Ce langage est parfaitement adapté à la modélisation de systèmes physiques [120]. Nous avons donc écrit un modèle de transistor MOS basé sur le modèle Spice Level 1, dans lequel nous prenons en compte le vieillissement. L'estimation de la dérive des paramètres est basée sur l'équation (2.2). L'équation est, toutefois, effectivement implantée comme le produit de deux termes :

```
...
-- degradation
Gamma   == Ids*exp(-Vc/(Vds-Vdsat))/W;
```

```
Nit'dot == K*Gamma/(1.0+A*Nit);
```

La tension de seuil et la transconductance effectives sont définies comme la somme de leurs valeurs initiales (`Vt`,`KP`) et de leurs variations (`(Nit-Nit0)*Bvt`, `(Nit-Nit0)*Bkp`) :

```
-- effective Vt and KP
Vteff   == Vt+(Nit-Nit0)*Bvt;
Kpeff   == (Kp+(Nit-Nit0)*Bkp)*W/L;
```

On remarque que dans notre définition de la transconductance effective, on inclut également le rapport W/L. Enfin, on implante les équations du modèle Spice Level 1 :

```
-- SPICE Level 1 equations
Vdsat   == Vgs - Vteff;
Idssat  == 0.5 * Kpeff * Vdsat**2;
...
```

Dans ce modèle, aucune approximation (linéarisation) n'est faite puisque la vitesse de variation de la densité d'états d'interface (`Nit'dot`) est évaluée par le simulateur à chaque itération. Les simulations avec ce modèle sont donc plus précises et reflètent mieux les dérives réelles. Le paramétrage du modèle est basé sur les paramètres extraits dans §2.1.3.

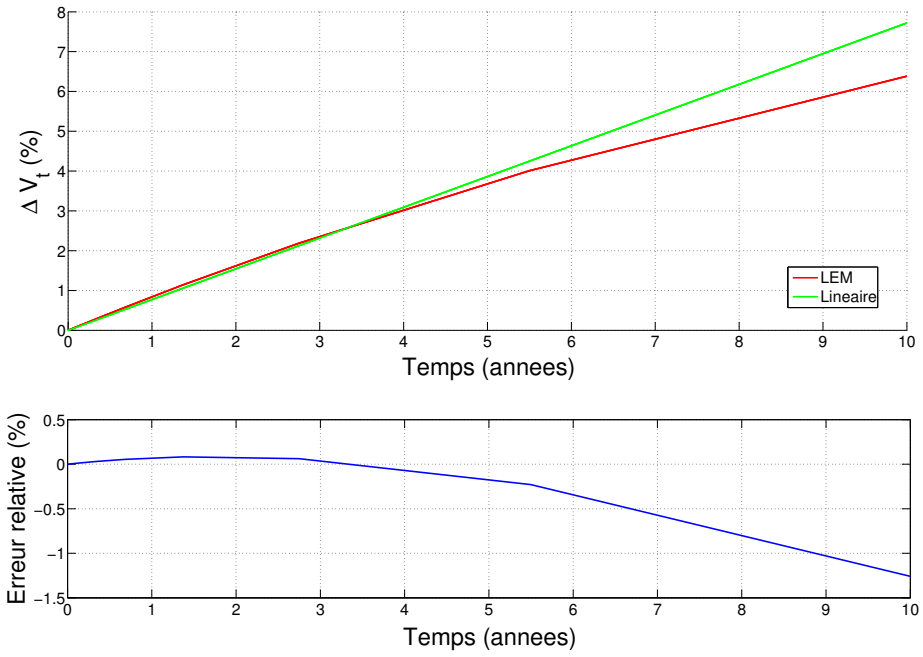
Nous nous sommes laissés la possibilité de simuler le vieillissement du TMOS avec une dérive des paramètres linéaires[1] ; cette option nous permet de vérifier l'erreur introduite par nos approximations dans nos études analytiques. Nous pouvons voir l'erreur introduite sur la dérive des paramètres du transistor en linéarisant le modèle sur la Fig. 2.7. Nous voyons que pour des dérives de l'ordre de 5 %, l'erreur relative entre les deux modèles est inférieure à 1 %, le modèle linéaire est donc adapté à la modélisation des faibles dérives des paramètres du transistor, ce qui valide notre approche.

Nous avons voulu aussi vérifier dans quelle mesure le modèle non-linéarisé permettait de modéliser la dérive sur le "long terme" des paramètres du transistor. Sur la Fig. 2.8, nous avons comparé la simulation de l'évolution de la tension de seuil et de la transconductance du transistor de sortie ($M2$) d'un miroir de courant (Fig. 2.13) avec des données expérimentales. Nous pouvons voir que notre simulation modélise relativement bien le comportement réel du vieillissement d'un transistor.

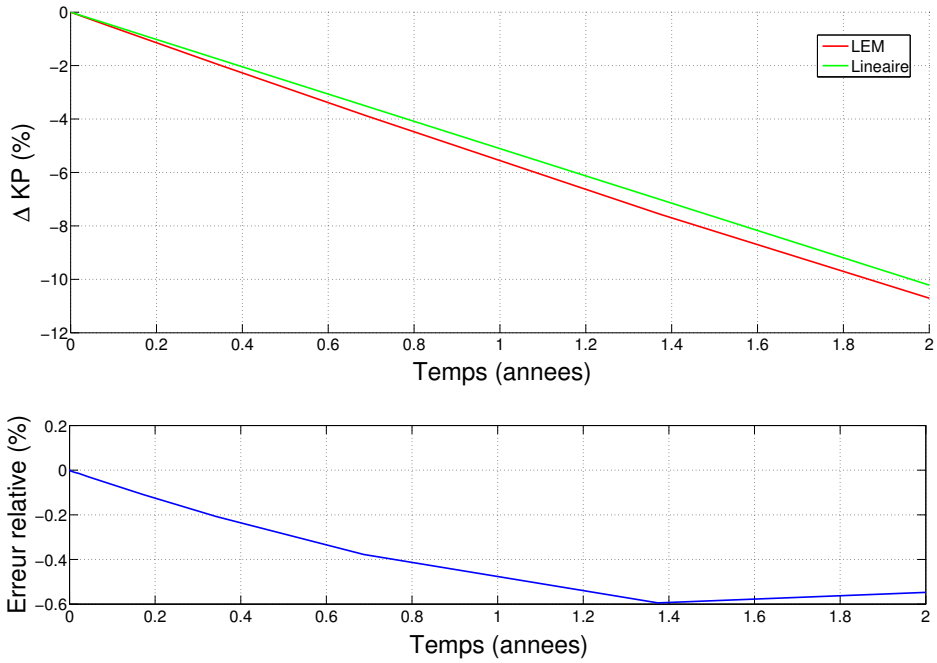
2.2 Étude du vieillissement sur des structures de base

Nous allons maintenant montrer comment le modèle de vieillissement du transistor MOS peut être utile pour prendre en compte le phénomène de dégradation par porteurs chauds des

[1] voir listing complet du modèle Annexe C



(a) $\Delta V_t(t)$



(b) $\Delta KP(t)$

FIG. 2.7 – Dérive temporelle de la transconductance et de la tension de seuil d'un transistor - Comparaison de l'évolution entre la simulation VHDL-AMS et notre modèle linéarisé - Transistor polarisé par deux sources de tension parfaites V_{gs} et V_{ds}

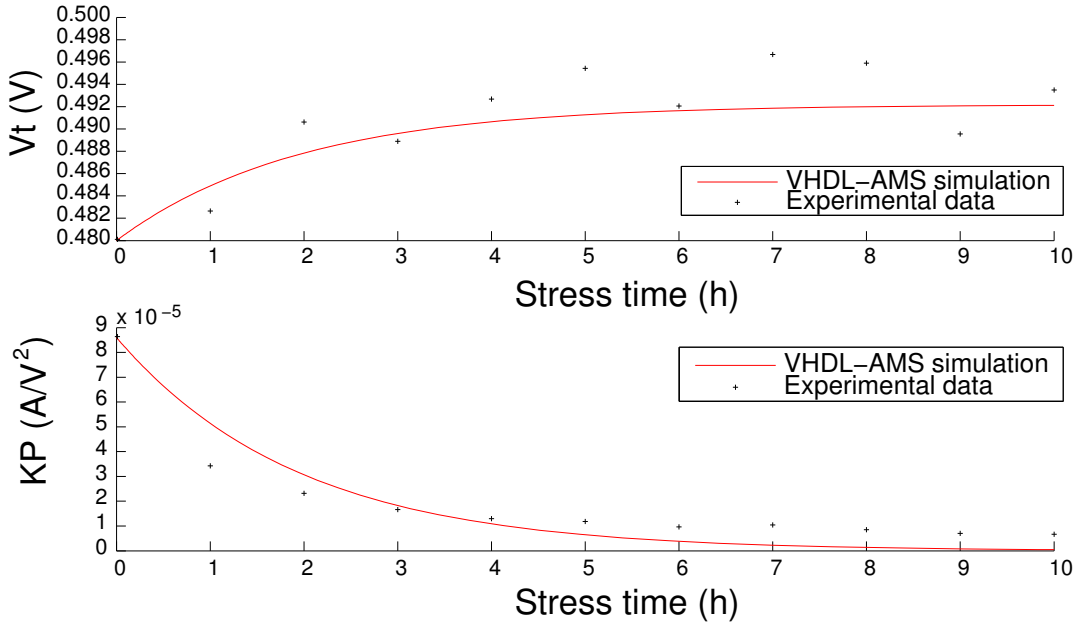


FIG. 2.8 – Dérive de la tension de seuil (figure du dessus) et de la transconductance (figure du dessous) du transistor de sortie ($M2$) d'un miroir de courant (Fig. 2.13) - Dimensions $W/L = 2\mu m/2\mu m$ - Conditions de stress : $V_{ds} = 8V$ et $I_1 = 1mA$

transistors pendant la conception d'un circuit analogique. Nous commençons par étudier l'impact du vieillissement sur la brique de base d'un circuit, le transistor. Nous étudierons ensuite des structures simples comme le miroir de courant ou l'étage de gain. Les résultats nous permettront de mieux appréhender, par la suite, le comportement de circuit complexe face au vieillissement. L'étude de l'OTA Miller sera détaillée au chapitre suivant à titre d'exemple.
Pour l'étude analytique des circuits, nous avons utilisé le modèle SPICE level 1. Ce choix est motivé par notre volonté d'unir prise en compte du vieillissement et simplicité mathématique. Nous cherchons à dégager des tendances plutôt qu'à obtenir de la précision et ceci afin de dégager des guides de conduites simples à mettre en oeuvre pendant la conception. Notre modèle de vieillissement reflète d'ailleurs bien cet objectif. Quand un concepteur a besoin de précision il a classiquement recours à l'utilisation d'outils CAO, mais cette approche sort du cadre de nos travaux. Par ailleurs, puisque nous cherchons à évaluer des variations très lentes du point de fonctionnement, nous négligeons dans cette étude les différentes capacités.

2.2.1 Transistor seul

On distingue deux cas d'étude pour un transistor seul [97]. Le transistor peut imposer un courant dans le circuit, ce que l'on nommera polarisation en tension, ou alors le courant du transistor peut être imposé par une source extérieure, ce que l'on nommera polarisation en

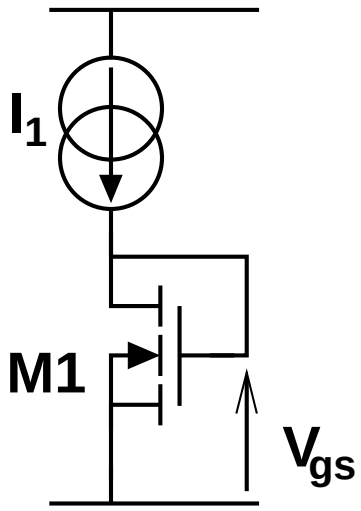


FIG. 2.9 – Transistor polarisé par une source de courant constante I_1

courant.

Transistor polarisé en courant : Nous allons étudier l'impact du vieillissement quand un transistor est polarisé *en courant*. La manière la plus simple de polariser un transistor en courant est de le monter en diode (Fig. 2.9). Dans cette configuration la différence de tension entre la grille et la source est donnée par :

$$V_{gs} = V_t + \sqrt{\frac{2I_1L_1}{KPW_1}} \tag{2.12}$$

où I_1 est le courant imposé par la source de courant et W_1 et L_1 sont la largeur et la longueur du transistor $M1$. Pour prendre en compte la dérive de V_t et KP on introduit les termes ΔV_t et ΔKP dans l'expression (2.12) :

$$V_{gs} = V_{t_0} + \Delta V_{t1} + \sqrt{\frac{2I_1L_1}{(KP_0 + \Delta KP_1)W_1}} \tag{2.13}$$

Les indices 0 indiquent que l'on parle de la valeur du terme à l'état initial, c'est-à-dire sans vieillissement. Nous avons spécifié que nous nous attachions à étudier les faibles dérives. La variation relative de la transconductance est donc faible ($\Delta KP_1 \ll KP_0$) et nous pouvons linéa-

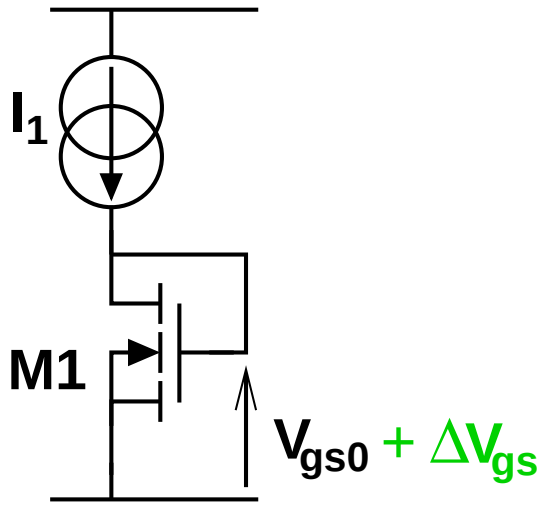


FIG. 2.10 – Impact de la dégradation par porteurs chauds sur un transistor polarisé par une source de courant constante I_1 : la tension grille source a tendance à augmenter sous l'effet du vieillissement

riser la relation précédente avec un développement limité à l'ordre 1 :

$$\begin{aligned} V_{gs} &\simeq V_{t_0} + \Delta V_{t1} + \underbrace{\sqrt{\frac{2IL}{KP_0 W}}}_{V_{gs_0}-V_{t_0}} \left(1 - \frac{\Delta KP_1}{2KP_0}\right) \\ &\simeq V_{gs_0} + \Delta V_{t1} - \frac{V_{gs_0} - V_{t_0}}{2KP_0} \Delta KP_1 \\ &\simeq V_{gs_0} + \Delta V_{gs} \end{aligned} \tag{2.14}$$

En insérant l'équation (2.5) dans (2.14), on obtient une loi donnant l'évolution temporel de la tension V_{gs} :

$$\begin{aligned} V_{gs(t)} &\simeq V_{gs_0} + \left(\Gamma_{v1} - \frac{V_{gs_0} - V_{t_0}}{2KP_0} \Gamma_{k1}\right) t \\ &\simeq V_{gs_0} + \theta_{V1} t \end{aligned} \tag{2.15}$$

où θ_{V1} est la vitesse de dérive de la tension V_{gs} induite par le vieillissement du transistor M_1. Attardons nous un instant sur le terme θ_{V1}. Il est intéressant de remarquer qu'il est toujours positif. En effet, nous avons vu que la tension de seuil augmentait ($\Gamma_{v1} > 0$) et que la transconductance diminuait ($\Gamma_{k1} < 0$) avec le vieillissement. Puisque le facteur $(V_{gs_0} - V_{t_0})/2KP_0$ est positif, ΔV_{gs} est une somme de deux termes positifs ΔV_{t1} et $-(V_{gs_0} - V_{t_0})/2KP_0 \cdot \Delta KP_1$. Conclusion : *le vieillissement d'un transistor polarisé en courant provoque une augmentation de sa tension grille-source* (Fig. 2.10). Pour donner un ordre de grandeur, la vitesse de dérive

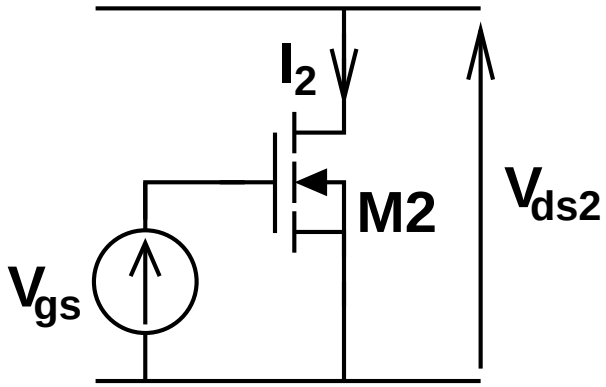


FIG. 2.11 – Transistor polarisé par des sources de tensions constantes V_{gs} et V_{ds2}

de la tension V_{gs} d'un transistor de $1\,\mu m$ de largeur et de $0.7\,\mu m$ de longueur, polarisé par un courant de $1\,\mu A$ est de $\theta_V = 2.4 \cdot 10^{-30} V/s = 7.5 \cdot 10^{-23} V/an$. La dérive est faible mais nous sommes ici dans un cas très favorable : dans un montage en diode, les tensions drain-source et grille-source du transistor sont les mêmes. La dérive des paramètres du transistor étant proportionelle à $exp(\frac{-V_c}{V_{ds}-V_{dsSat}}) = exp(\frac{-V_c}{V_t})$, la dégradation est faible. Si on effectue le calcul avec le même transistor polarisé par un courant de $1\,\mu A$ et avec une tension drain-source de $1.65\,Volt$, la dérive de la tension est de $\theta_V = 1.8 \cdot 10^{-13} V/s = 5.8 \cdot 10^{-6} V/an$. La dérive reste faible mais diffère de 17 ordres de grandeur avec le résultat précédent. Le problème peut donc être plus préoccupant avec une tension drain-source plus élevée ou dans une technologie moins robuste.

Transistor polarisé en tension : Le deuxième cas d'étude correspond à un transistor polarisé par deux sources de tension V_{gs} et V_{ds} (Fig. 2.11). Dans cette configuration le transistor M_2 se comporte comme un générateur de courant I_2 commandé par la tension V_{gs} :

$$I_2 = \frac{KP}{2}\frac{W_2}{L_2}(V_{gs} - V_t)^2 \tag{2.16}$$

où W_2 et L_2 sont la largeur et la longueur du transistor $M2$. La prise en compte du vieillissement se déroule de manière analogue à l'étude précédente en introduisant les termes ΔV_t et ΔKP dans l'expression de I_2 :

$$I_2 = \frac{KP_0 + \Delta KP_2}{2}\frac{W_2}{L_2}\left(V_{gs_0} - (V_{t_0} + \Delta V_{t2})\right)^2 \tag{2.17}$$

Les dérives de KP_2 et V_{t2} étant considérées comme faibles, nous pouvons exprimer I_2 à l'aide d'un développement limité à l'ordre 1 :

$$I_2 \simeq \frac{KP_0}{2}\left(1 + \frac{\Delta KP_2}{KP_0}\right)\frac{W_2}{L_2}(V_{gs} - V_{t_0})^2\left(1 - \frac{2\Delta V_{t2}}{V_{gs} - V_{t_0}}\right) \tag{2.18}$$

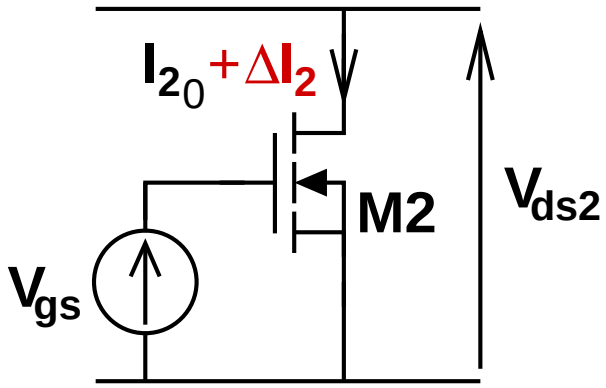


FIG. 2.12 – Impact de la dégradation sur un transistor polarisé par des sources de tensions constantes V_{gs} et V_{ds2} : le courant I_2 a tendance à diminuer

Pour les mêmes raisons on peut négliger les termes d'ordre 2 :

$$\begin{aligned} I_2 &\simeq \underbrace{\frac{KP_0}{2}\frac{W_2}{L_2}(V_{gs}-V_{t_0})^2}_{I_{2_0}}\left(1+\frac{\Delta KP_2}{KP_0}-\frac{2\Delta V_{t2}}{V_{gs}-V_{t_0}}\right) \\ &\simeq I_{2_0}+\Delta I_2 \end{aligned} \tag{2.19}$$

On peut finalement estimer la dérive du courant en combinant les équations (2.5) et (2.19) :

$$\begin{aligned} I_{2(t)} &\simeq I_{2_0}+I_{2_0}\left(\frac{\Gamma_{k2}}{KP_0}-2\frac{\Gamma_{v2}}{V_{gs_0}-V_{t_0}}\right)t \\ &\simeq I_{2_0}+\theta_{I2}t \end{aligned} \tag{2.20}$$

où θ_{I2} est la vitesse de dérive du courant I_2 induit par le vieillissement du transistor M_2. L'étude du signe de θ_{I2} montre que $I_2(t)$ diminue dans le temps. En effet θ_{I2} est la somme des deux termes négatifs $I_{2_0}\cdot\Delta KP_2/KP_0$ et $-I_{2_0}\cdot 2\Delta V_{t2}/(V_{gs}-V_{t_0})$. Conclusion : *le vieillissement d'un transistor polarisé en tension provoque une baisse du courant drain-source* (Fig. 2.12). À titre d'exemple, la vitesse de dérive du courant d'un transistor de $1\,\mu m$ de largeur et de $0.7\,\mu m$ de longueur, polarisé par une tension grille-source de $0.7\,Volt$ et une tension drain-source de $1.65\,Volt$ est de $\theta_I = -1.3\cdot 10^{-17}\mu A/s = -4.0\cdot 10^{-10}\mu A/an$. Si la dérive est trop importante, on peut la réduire en limitant la tension drain-source ou en augmentant la largeur, et donc la longueur, du transistor.

En général, dans la littérature on associe vieillissement avec diminution du courant de saturation. Mais cette vision est trop restrictive et n'est pas toujours représentative de l'impact du vieillissement dans un circuit. L'étude des deux configurations du transistor nous a permis de mettre en exergue la dualité tension grille-source / courant de saturation. Cette notion est impor-

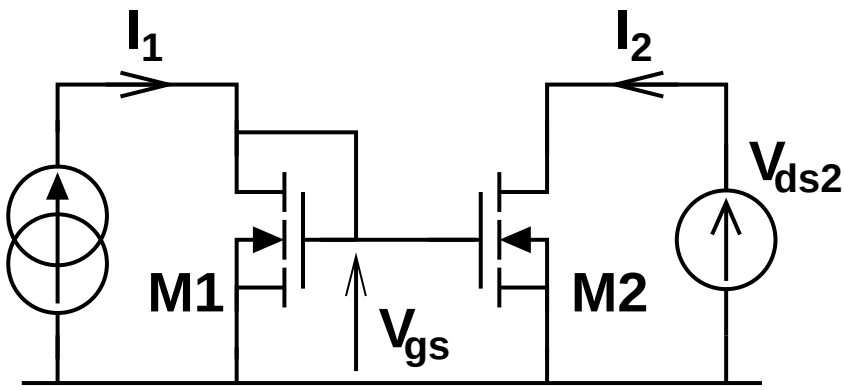


FIG. 2.13 – Miroir de courant polarisé par une source de courant constante I_1 et une source de tension constante V_{ds2}

tante pour comprendre les mécanismes de défaillance que l'on va observer dans des structures plus complexes.

2.2.2 Miroir de courant

L'étude du miroir de courant va nous permettre d'illustrer parfaitement notre méthode de conception pour la fiabilité. Nous avons choisi un miroir de courant polarisé par une source de courant I_1 en entrée et une source de tension V_{ds2} en sortie (Fig. 2.13). On remarque que le miroir de courant est la simple combinaison des deux structures précédemment étudiées.

2.2.2.1 Étude analytique de la dérive du courant de sortie

La fonction de ce circuit est de recopier en sortie un courant I_2 proportionnel au courant d'entrée I_1. Le mode de défaillance de ce circuit correspond à une dérive du courant de sortie ($I_2(t)$) supérieure à un critère de défaillance fixé ($(\Delta I_2)_{Max}$), que l'on peut exprimer formellement par :

$$|I_{2(t)} - I_{2_0}| \geq |\Delta I_2|_{Max} \tag{2.21}$$

Approche conventionnelle et calcul de la durée de vie : Commençons par étudier la dérive du courant I_2. Supposons que seul le transistor $M1$ est sujet au vieillissement. Comme nous l'avons vu, la tension V_{gs} va avoir tendance à augmenter, ce qui va induire une augmentation du courant I_2 dans la branche de sortie. Supposons maintenant que seul le transistor $M2$ est sujet au vieillissement. Puisque le transistor $M2$ est polarisé à tension constante, son courant drain-source c'est-à-dire le courant I_2 va avoir tendance à baisser. On voit donc que les vieillissements des transistors ont des effets opposés. L'étude analytique qui suit va nous permettre de formaliser ce résultat.

Par rapport au cas du transistor polarisé en tension, ici la tension grille-source du transistor $M2$ n'est pas constante. Introduisons donc un terme représentant la dérive de la tension V_{gs} dans l'équation (2.17) :

$$I_2 = \frac{KP_0 + \Delta KP_2}{2}\frac{W_2}{L_2}(V_{gs_0} + \Delta V_{gs} - V_{t_0} - \Delta V_{t2})^2 \tag{2.22}$$

En linéarisant l'expression et en négligeant le second ordre, on obtient

$$I_2 \simeq I_{2_0}(1 + \frac{\Delta KP_2}{KP_0} + \frac{2\Delta V_{gs}}{V_{gs_0} - V_{t_0}} - \frac{2\Delta V_{t2}}{V_{gs_0} - V_{t_0}}) \tag{2.23}$$

Or d'après (2.14) on a

$$\Delta V_{gs} = \Delta V_{t1} - \frac{V_{gs_0} - V_{t_0}}{2KP_0}\Delta KP_1 \tag{2.24}$$

L'équation (2.23) devient finalement

$$I_2 \simeq I_{2_0} + I_{2_0}(\frac{\Delta KP_2 - \Delta KP_1}{KP_0} - 2\frac{\Delta V_{t2} - \Delta V_{t1}}{V_{gs_0} - V_{t_0}}) \tag{2.25}$$

L'interprétation de cette équation est relativement simple : la dérive du courant I_2 est provoquée par la dérive de la transconductance et de la tension de seuil des transistors $M1$ et $M2$. Pour que le courant ne dérive pas au cours du temps, la dérive des transconductances et des tensions de seuil doivent se compenser, autrement dit le vieillissement du transistor $M1$ doit être le même que celui du transistor $M2$. En fait, *on peut annuler la dérive de la fonction en équilibrant les dérives des transistors entre eux*. Le terme "annuler" est excessif, étant données les simplifications et hypothèses de travail, "limiter" est plus approprié.

La combinaison des équations (2.5) et (2.25) permet d'obtenir la loi donnant l'évolution temporel du courant I_2 :

$$\begin{aligned} I_{2(t)} &\simeq I_{2_0} + I_{2_0}(\frac{\Gamma_{k2} - \Gamma_{k1}}{KP_0} - 2\frac{\Gamma_{v2} - \Gamma_{v1}}{V_{gs_0} - V_{t_0}})t \\ &\simeq I_{2_0} + \theta_{I2}t \end{aligned} \tag{2.26}$$

où θ_{I2} est la vitesse de dérive du courant I_2 induit par le vieillissement des transistors M_1 et M_2. Cette équation permet d'estimer la durée de vie τ du circuit i.e. la durée pendant laquelle le courant respecte la condition (2.21) :

$$\begin{aligned} \tau &= \frac{I_2(\tau) - I_{2_0}}{\theta_{I2}} = \frac{\Delta I_2}{\theta_{I2}} \\ &= \frac{\Delta I_2}{I_{2_0}}\frac{1}{\frac{\Gamma_{k2} - \Gamma_{k1}}{KP_0} - 2\frac{\Gamma_{v2} - \Gamma_{v1}}{V_{gs_0} - V_{t_0}}} \end{aligned} \tag{2.27}$$

L'équation montre que la durée de vie est proportionnelle à la dérive du courant I_2 tolérée et inversement proportionnelle à la différence entre les vitesses de dérive des paramètres (Γ_{xx}) des transistors $M1$ et $M2$. Finalement pour calculer la durée de vie on remplace les termes Γ_{xx} par les expressions données en (2.6) :

$$\tau = \frac{(\Delta I_2)_{Max}}{I_{2_0}} \frac{1}{(\frac{B_k}{KP_0} - \frac{2B_v}{V_{gs_0}-V_{t_0}})(\frac{I_{2_0}}{W_2} e^{-V_c/(V_{ds2_0}-V_{ds2_{Sat0}})} - \frac{I_{1_0}}{W_1} e^{-V_c/V_t})} \tag{2.28}$$

Avec cette estimation de la durée de vie, deux solutions s'offrent à nous. Soit on est satisfait et on valide la conception, soit la durée de vie calculée est trop faible et, dans ce cas, il faut modifier son circuit. L'équation précédente, bien qu'un peu "lourde", permet de comprendre comment on doit intervenir pour améliorer la durée de vie. Les termes $(I_{2_0}/W_2)exp(-V_c/(V_{ds2_0} - V_{ds2_{Sat0}}))$ et $(I_{1_0}/W_1)exp(-V_c/V_t)$ sont les images des dégradations des transistors $M2$ et $M1$: ils sont proportionnels à la vitesse de dérive des paramètres KP et V_t. L'objectif visé est d'annuler les termes. Pour y parvenir, nous avons deux leviers à notre disposition, la tension drain source et la densité de courant des transistors. Nous allons voir comment, à l'aide de notre modèle et d'une approche adéquate, on peut sélectionner les couples courant/tension maximisant la durée de vie.

Conception pour la fiabilité : Nous avons vu que d'un coté le vieillissement du transistor $M2$ avait tendance à faire diminuer le courant I_2 mais que, de l'autre, le vieillissement du transistor $M1$ avait tendance à augmenter la tension de saturation du transistor $M2$ et donc à augmenter le courant I_2. Les vieillissements individuels des transistors semblent se compenser pour assurer la continuité de la fonctionnalité du circuit, c'est-à-dire avoir un courant de sortie I_2 constant et proportionnel au courant d'entrée I_1. Nous allons maintenant voir comment optimiser la conception pour que le circuit atteigne la durée de vie souhaitée.

Supposons que l'on souhaite concevoir un miroir de courant ne devant pas dévier de plus de $|\Delta I_2|_{Max}$ pendant une durée τ_{min}. De l'équation (2.26), on peut exprimer la condition sur θ_{I2} permettant de respecter ces conditions :

$$\begin{aligned} \theta_{I2} &= \frac{(\Delta I_2)_{Max}}{\tau_{min}} \\ &= \left(\frac{B_k}{KP_0} - \frac{2B_v}{V_{gs_0} - V_{t_0}}\right)\left(\frac{I_{2_0}}{W_2} e^{\frac{-V_c}{V_{ds2_0} - V_{ds2_{Sat0}}}} - \frac{I_{1_0}}{W_1} e^{\frac{-V_c}{V_t}}\right) I_{2_0} \end{aligned} \tag{2.29}$$

Le rapport de proportionnalité entre les courants d'entrée et de sortie étant donné par :

$$\frac{I_{2_0}}{I_{1_0}} = \frac{W_2}{L_2}\frac{L_1}{W_1} \tag{2.30}$$

L'équation (2.29) peut s'exprimer sous la forme[1] :

$$\frac{(\Delta I_2)_{Max}}{\tau_{min}} = \Big(\frac{B_k}{KP_0} - \frac{2B_v}{V_{gs_0} - V_{t_0}}\Big)\Big(\frac{L_1}{L_2} e^{\frac{V_c}{V_{t_0}} \frac{1}{1+V_{t_0}/(V_{ds2_0} - V_{ds2_{Sat0}})}} - 1\Big)\frac{I_{2_0} I_{1_0}}{W_1} e^{\frac{-V_c}{V_{t_0}}} \tag{2.31}$$

On peut alors en déduire une condition sur le rapport L_1/L_2 :

$$\frac{L_1}{L_2} = \Big(\underbrace{\frac{(\Delta I_2)_{Max}}{\tau_{min}}}_{\theta_{I_2}} \frac{1}{I_{2_0}} \frac{1}{\frac{B_k}{KP_0} - \frac{2B_v}{V_{gs_0} - V_{t_0}}} \frac{W_1}{I_{1_0}} e^{\frac{V_c}{V_{t_0}}} + 1\Big) e^{\frac{-V_c}{V_{t_0}} \frac{1}{1+V_{t_0}/(V_{ds2_0} - V_{ds1_0})}} \tag{2.32}$$

Puisque le rapport des courants doit respecter l'égalité (2.30), la condition sur le rapport des longueurs impose une condition sur le rapport des largeurs :

$$\frac{W_2}{W_1} = \frac{I_{2_0}}{I_{1_0}} \frac{L_2}{L_1} \tag{2.33}$$

On peut aussi pousser le principe à l'extrême et donner la condition qui donnerait une durée de vie infinie. Plus raisonnablement, on parlera plutôt de condition qui maximise la durée de vie. Formellement cela consiste à chercher une condition pour que la dérive du courant soit nulle, c'est-à-dire $\theta_{I2} = 0$. À partir de l'équation (2.29), on peut trouver la condition suivante sur le rapport L_1/L_2 :

$$\frac{L_1}{L_2} = exp \frac{-V_c}{V_{t_0}} \frac{1}{1 + V_{t_0}/(V_{ds2_0} - V_{ds1_0})} \tag{2.34}$$

Cette équation permet en fait de trouver les contraintes à imposer au miroir pour que les deux transistors vieillissent de la même manière. On pourrait maintenant se demander quel est l'intérêt d'utiliser les résultats de l'équation (2.32). Pourquoi tolérer une dérive si on peut tout aussi simplement l'annuler. Les calculs montrent que le rapport L_2/L_1 (et par conséquent W_2/W_1) imposé par l'équation (2.34) peut être très grand. Si, par contre, on tolère une dérive du courant pendant une durée donnée (Éq. (2.32)), on peut relâcher la contrainte sur le rapport L_2/L_1, c'est-à-dire diminuer L_2/L_1. On pourra donc diminuer la surface occupée par les transistors si on accepte de perdre en fiabilité.

Pour terminer l'étude théorique et pour montrer la souplesse de notre méthode, on peut aussi imaginer imposer une condition sur la tension drain source du transistor $M2$ pour obtenir la dégradation tolérée :

$$V_{ds2_0} - V_{ds1_0} = \frac{-V_c}{ln\Big(\frac{\theta_{I2}}{\frac{B_k}{KP_0} - \frac{2B_v}{V_{gs_0} - V_{t_0}}} \frac{W_2}{I_2^2} + \frac{I_1}{I_2}\frac{W_2}{W_1}\Big)} - V_t \tag{2.35}$$

[1] Détail du calcul donné en Annexe D

Cette expression peut paraître compliquée et par suite la prise en compte de la fiabilité dans la conception peut paraître également compliquée. Mais il faut noter que la démarche se résume finalement à un simple calcul numérique.

L'étude analytique suppose que les potentiels et les courants du miroir sont statiques. Cette hypothèse peut ne pas être appropriée au niveau du potentiel de drain du transistor $M2$ (V_{d_2}), par exemple quand le miroir sert à polariser un étage de gain. Une solution serait de "cascoder" le transistor $M2$ pour fixer la tension V_{ds_2}. Cette solution a, par contre, l'inconvénient de diminuer la dynamique de sortie du montage.

2.2.2.2 Simulation VHDL-AMS

Nous avons simulé l'évolution du courant de sortie I_2 avec le modèle VHDL-AMS (LEM) pour valider notre étude analytique. Dans un premier temps nous avons simulé un miroir conçu de façon conventionnelle, puis en utilisant notre approche pour la fiabilité. Les conditions opérationnelles et les dimensions des transistors ont été consignées dans le tableau 2.2. Nous avons choisi comme critère de fin de vie une dérive de 10% du courant de sortie. Nos calculs nous ont permis d'estimer la durée de vie du premier circuit à

$$\tau = 0.364 \text{ ans} \tag{2.36}$$

tandis qu'une contrainte sur la durée de vie de 10 ans a été retenue pour le deuxième circuit. Les résultats de simulation sont présentés sur la figure 2.14. On constate que, dans les deux cas, la variation de I_2 est quasi-linéaire. Les durées de vie relevées, correspondant à une dérive de 10% de I_2, sont de 0.390 ans et 10.4 ans, soit des erreurs relatives d'environ 8% et 4%, respectivement. Ces résultats de simulations montrent d'une part que notre approche analytique est valide, c'est-à-dire que pour de faibles variations, on peut modéliser la dérive du courant de sortie d'un miroir par un comportement linéaire sans introduire une trop grande erreur. Ils montrent surtout l'efficacité de notre méthode consistant à minimiser la dérive globale du circuit par une maîtrise des dérives locales des transistors appairés.

2.2.2.3 Résultats expérimentaux

Nous avons réalisé des tests de vieillissement sur une série de miroirs de dimensions variées (9 configurations de miroir différentes) et dans différentes conditions de stress. Quelques résultats sont présentés sur la Fig .2.15. Les courbes du graphique supérieur représentent l'évolution du courant de sortie (I_2) des miroirs de courant. Les courbes de la figure inférieure représentent

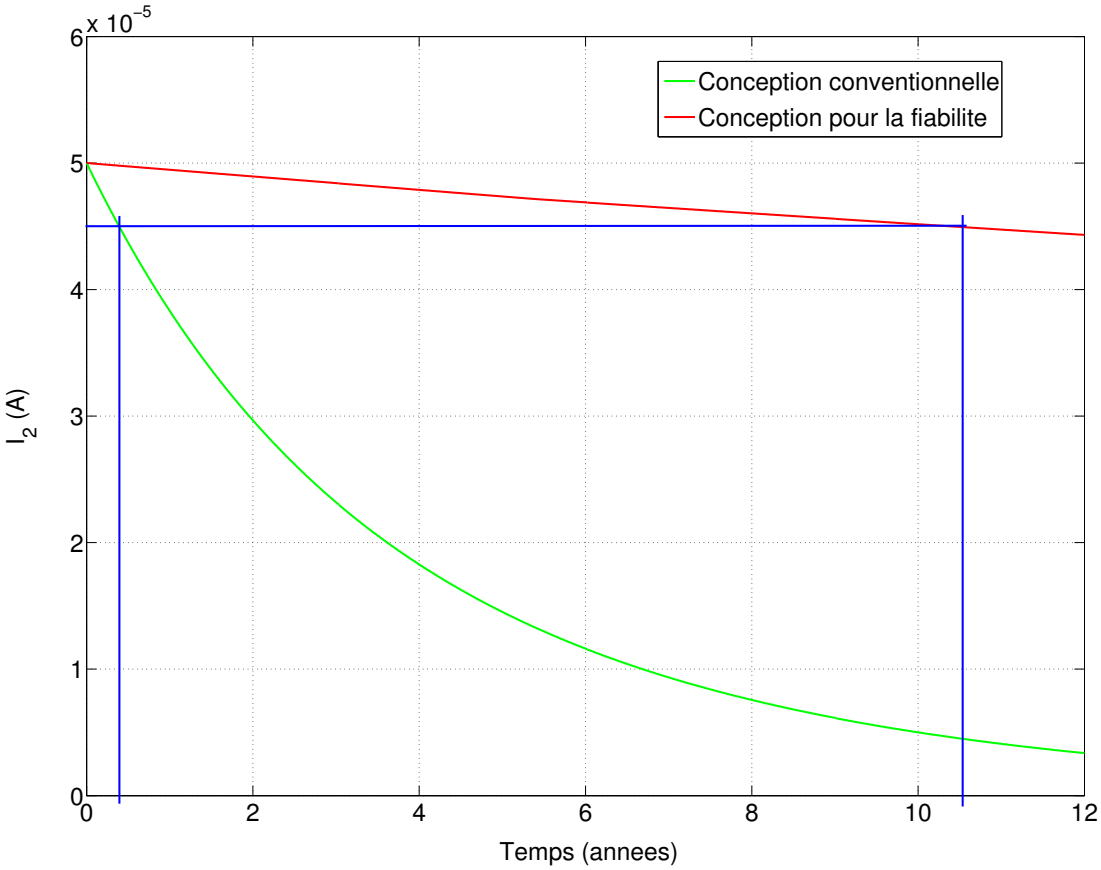


FIG. 2.14 – Simulation VHDL-AMS de l'évolution du courant de sortie d'un miroir de courant (I_2) et de la durée de vie d'un miroir de courant - Comparaison entre les deux méthodes de conception

Paramètre	Conception conventionnelle	Conception pour la fiabilité
$I1$ (μA)	50	50
$I2$ (μA)	50	50
V_{ds1} ($Volt$)	0.84	0.84
V_{ds2} ($Volt$)	2.5	2.5
W_1 (μm)	1.45	1.45
L_1 (μm)	0.35	0.35
W_2 (μm)	1.45	40.1
L_2 (μm)	0.41	8.8

TAB. 2.2 – Comparaison du résultat de la conception d'un miroir de courant avec une approche de conception conventionnelle et une approche de conception pour la fiabilité.

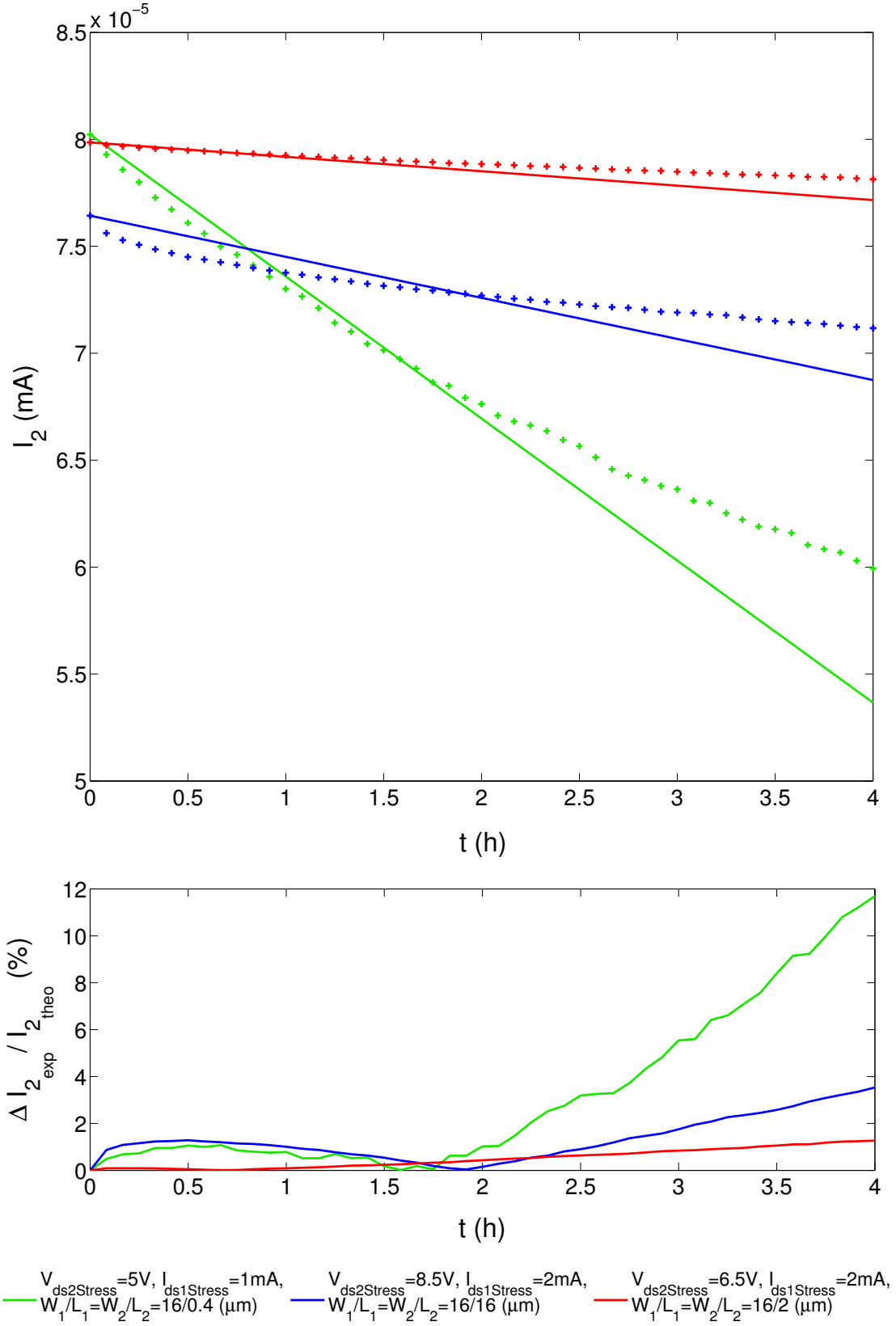


FIG. 2.15 – Étude expérimentale de l'évolution du courant de sortie (I_2) d'un miroir de courant - Sur le graphique du dessus les croix représentent les données expérimentales et les lignes les courbes théoriques déterminées grâce à l'étude analytique

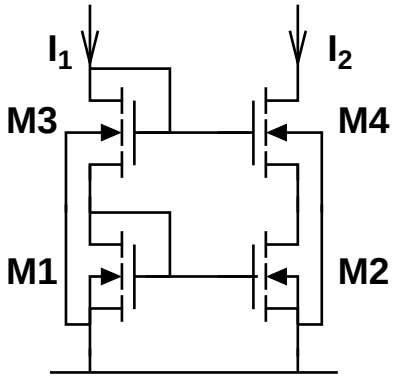


FIG. 2.16 – Schéma type d'un miroir de courant "cascodé"

l'erreur relative entre les données expérimentales et l'étude analytique :

$$Erreur\ Relative = \frac{I_{2_{\text{expérimentale}}} - I_{2_{\text{théorique}}}}{I_{2_{\text{théorique}}}} \tag{2.37}$$

On peut voir que, globalement, l'erreur relative augmente avec la dérive du courant. Sur la figure on observe une erreur maximale de 12%, mais il faut aussi tenir compte de la dérive relative du courant

$$Dérive\ Relative = \frac{I_{2_{\text{expérimentale}}} - I_{2_0}}{I_{2_0}} \tag{2.38}$$

qui atteint alors 25%. Si on ne tient compte que des dérives inférieures à 10%, l'erreur relative ne dépasse pas 2%. On peut donc en conclure que les résultats de l'étude analytique nous permettent de prédire assez fidèlement l'évolution du courant de sortie du miroir tant que la dérive reste faible.

Pour conclure, nous avons montré que notre modèle de vieillissement permettait d'estimer la durée de vie d'un circuit. Nous avons également montré qu'il permettait d'user d'une approche de conception pour la fiabilité. La méthode est relativement souple puisque nous pouvons agir sur les dimensions ou sur la polarisation du circuit pour en augmenter la durée de vie.

2.2.3 Comparaison entre miroir de courant et miroir de courant "cascodé"

L'objectif dans cette partie est de comparer, du point de vue de la résistance au vieillissement, deux structures de miroir de courant : le miroir de courant "simple" que nous venons d'étudier et le miroir de courant "cascodé" (Fig. 2.16).

2.2.3.1 Étude analytique

Calcul de la dérive du courant dans le miroir "cascodé" : Pour simplifier l'étude nous supposerons tous les transistors identiques. Le circuit étant symétrique, les courants d'entrée et de sortie sont les mêmes. Dans la branche d'entrée ($M1 - M3$) le courant est imposé par une source extérieure. Dans la branche de sortie ($M2 - M4$) c'est le transistor $M2$ qui contrôle le courant. On remarque que les potentiels aux bornes des transistors $M1$ et $M2$ sont identiques :

$$V_{gs2} = V_{gs1} = V_{ds1} = V_{ds2} \tag{2.39}$$

D'après les résultats obtenus au chapitre précédent, le triplet (I_{ds_0}, V_{gs_0}, V_{ds_0}) étant identique pour $M1$ et $M2$, la dérive du courant de sortie devrait être nulle. Pour étudier la dérive du courant de sortie dans ce circuit, on doit tenir compte dans le modèle du transistor de la variation de courant induite par la modulation de la longueur du canal

$$I_{ds2} = \frac{KP_2}{2}\frac{W_2}{L_2}(V_{gs2} - V_{t2})^2(1 + \lambda_2 V_{ds2}) \tag{2.40}$$

où $\lambda_2 = \frac{1}{V_E L_2}$ et où V_E est une constante technologique. En effet, la tension grille-source des transistors $M1$ et $M2$ est identique, c'est donc la différence entre les tensions drain-source qui va être la cause principale de la différence entre les courants. La tension drain-source du transistor $M2$ dépend de la polarisation des autres transistors :

$$V_{ds2} = V_{ds1} + V_{gs3} - V_{gs4} \tag{2.41}$$

On voit que les tensions V_{ds1} et V_{ds2} sont égales si la différence $V_{gs_3} - V_{gs_4}$ est nulle. Nous allons donc chercher à déterminer la variation de I_{ds2} en fonction de la variation de la différence $V_{gs3} - V_{gs4}$:

$$\frac{\partial I_{ds2}}{\partial(V_{gs3} - V_{gs4})} = \frac{\partial I_{ds2}}{\partial V_{ds2}} \cdot \frac{\partial V_{ds2}}{\partial(V_{gs3} - V_{gs4})} \tag{2.42}$$

de (2.40) on déduit

$$\frac{\partial I_{ds2}}{\partial V_{ds2}} = \frac{KP_{2_0}}{2}\frac{W_2}{L_2}(V_{gs2_0} - V_{t2_0})^2\lambda_2 \tag{2.43}$$

et de (2.41) on déduit

$$\frac{\partial V_{ds2}}{\partial(V_{gs3} - V_{gs4})} = 1 \tag{2.44}$$

d'où

$$\frac{\partial I_{ds2}}{\partial(V_{gs3} - V_{gs4})} = \frac{KP_{2_0}}{2}\frac{W_2}{L_2}(V_{gs2_0} - V_{t2_0})^2\lambda_2 \tag{2.45}$$

sachant que

$$\begin{aligned} dI_{ds2} &= \frac{\partial I_{ds2}}{\partial(V_{gs3}-V_{gs4})} d(V_{gs3}-V_{gs4}) \\ &= \frac{\partial I_{ds2}}{\partial(V_{gs3}-V_{gs4})} (dV_{gs3}-dV_{gs4}) \end{aligned} \tag{2.46}$$

on en déduit ΔI_{ds2} :

$$\begin{aligned} \Delta I_{ds2} &= \frac{\partial I_{ds2}}{\partial(V_{gs3}-V_{gs4})} (\Delta V_{gs3}-\Delta V_{gs4}) \\ &= \frac{KP_{2_0}}{2}\frac{W_2}{L_2}(V_{gs2_0}-V_{t2_0})^2\lambda_2(\Delta V_{gs3}-\Delta V_{gs4}) \end{aligned} \tag{2.47}$$

Puisque les transistors $M3$ et $M4$ sont polarisés en courant, le terme ΔV_{gs} peut être évalué à partir de la relation (2.14). Et comme $V_{gs3_0} = V_{gs4_0}$, on obtient finalement l'expression de ΔI_{ds2} en fonction de la dérive des paramètres des transistors :

$$\Delta I_{ds2} = \frac{KP_{2_0}}{2}\frac{W_2}{L_2}(V_{gs2_0}-V_{t2_0})^2\lambda_2\left(\Delta V_{t3}-\Delta V_{t4}-\frac{V_{gs3_0}-V_{t_0}}{2KP_0}(\Delta KP_3-\Delta KP_4)\right) \tag{2.48}$$

L'expression (2.47) montre que la dérive du courant est nulle si la dérive des transistors $M3$ et $M4$ est identique, c'est-à-dire si le miroir est complètement symétrique (transistors+polarisations). Si par contre la dégradation de $M3$ est supérieure à celle de $M4$, la quantité $\Delta V_{gs3_0} > \Delta V_{gs4_0}$ et le courant augmente. Au contraire, si la dégradation de $M3$ est inférieure à celle de $M4$, le courant diminue.

Calcul du rapport des dérives de courant : Comparons maintenant la dérive du courant de sortie d'un miroir simple et d'un miroir "cascodé". Pour que la comparaison soit valable, on supposera les miroirs dans des conditions similaires, c'est-à-dire que les tailles des transistors (W/L), le courant d'entrée (I_{2_0}) et la tension de sortie (V_{out}) des deux structures sont les mêmes. Pour éviter les confusions, les termes se référant au miroir de courant simple seront indicés d'un *'s'*. Dans ces conditions, le rapport entre la dérive de courant du miroir "cascodé" et la dérive du miroir simple est :

$$\frac{\Delta I_{ds2_{mcc}}}{\Delta I_{ds2_{mcs}}} = \frac{\frac{KP_{2_0}}{2}\frac{W_2}{L_2}(V_{gs2_0}-V_{t2_0})^2\lambda_2\left(\Delta V_{t3}-\Delta V_{t4}-\frac{V_{gs3_0}-V_{t_0}}{2KP_0}(\Delta KP_3-\Delta KP_4)\right)}{I_{2s_0}\left(\frac{\Delta KP_{2s}-\Delta KP_{1s}}{KP_0}-2\frac{\Delta V_{t2s}-\Delta V_{t1s}}{V_{gs1s_0}-V_{t_0}}\right)} \tag{2.49}$$

Les transistors ont les mêmes dimensions et sont parcourus par le même courant, la tension grille-source des transistors est donc la même (on la note V_{gs_0}). De plus comme $KP_{2_0}/2 \cdot W_2/L_2 \cdot$

$(V_{gs2_0} - V_{t2_0})^2 \simeq I_{2s_0}$, l'expression (2.49) devient :

$$\frac{\Delta I_{ds2_{mcc}}}{\Delta I_{ds2_{mcs}}} \simeq \frac{\lambda_2\left(\Delta V_{t3} - \Delta V_{t4} - \frac{V_{gs_0}-V_{t_0}}{2KP_0}(\Delta KP_3 - \Delta KP_4)\right)}{\left(\frac{\Delta KP_{2s}-\Delta KP_{1s}}{KP_0} - 2\frac{\Delta V_{t2s}-\Delta V_{t1s}}{V_{gs_0}-V_{t_0}}\right)} \tag{2.50}$$

En introduisant notre modèle de vieillissement (2.5), l'expression devient :

$$\frac{\Delta I_{ds2_{mcc}}}{\Delta I_{ds2_{mcs}}} \simeq \lambda_2 \frac{\left(B_v - \frac{V_{gs_0}-V_{t_0}}{2KP_0}B_k\right)\left(\frac{I_{3_0}}{W_3}e^{-V_c/V_{t_0}} - \frac{I_{4_0}}{W_4}e^{-V_c/(V_{ds4_0}-V_{ds4_{Sat0}})}\right)t}{\left(\frac{B_k}{KP_0} - 2\frac{B_v}{V_{gs_0}-V_{t_0}}\right)\left(\frac{I_{2_0}}{W_2}e^{-V_c/(V_{ds2s_0}-V_{ds2s_{Sat0}})} - \frac{I_{1_0}}{W_1}e^{-V_c/V_{t_0}}\right)t} \tag{2.51}$$

Or

$$\frac{B_v - \frac{V_{gs_0}-V_{t_0}}{2KP_0}B_k}{\frac{B_k}{KP_0} - 2\frac{B_v}{V_{gs_0}-V_{t_0}}} = \frac{\frac{2KP_0B_v-(V_{gs_0}-V_{t_0})B_k}{2KP_0}}{\frac{B_k(V_{gs_0}-V_{t_0})-2B_vKP_0}{KP_0(V_{gs_0}-V_{t_0})}} = -\frac{V_{gs_0}-V_{t_0}}{2} \tag{2.52}$$

Tous les transistors ayant les mêmes dimensions, le rapport des courants des miroirs est de 1. On peut donc supposer que les courants d'entrée et de sortie des miroirs sont égaux et que les densités de courant dans les transistors sont les mêmes. De plus, sachant que :

$$\begin{aligned} V_{ds4_0} - V_{ds4_{Sat0}} &= (V_{out} - V_{gs_0}) - (V_{gs0} - V_{t_0}) = V_{out} - 2V_{gs_0} + V_{t_0} \\ V_{ds2s_0} - V_{ds2s_{Sat0}} &= V_{out} - (V_{gs_0} - V_{t_0}) = V_{out} - V_{gs_0} + V_{t_0} \end{aligned} \tag{2.53}$$

On peut alors montrer que[1] :

$$\frac{\left(\frac{I_{3_0}}{W_3}e^{-V_c/V_{t_0}} - \frac{I_{4_0}}{W_4}e^{-V_c/(V_{ds4_0}-V_{ds4_{Sat0}})}\right)t}{\left(\frac{I_{2_0}}{W_2}e^{-V_c/(V_{ds2s_0}-V_{ds2s_{Sat0}})} - \frac{I_{1_0}}{W_1}e^{-V_c/V_{t_0}}\right)t} \simeq -\frac{1 - e^{\frac{V_c}{V_{t_0}}\frac{1}{1+V_{t_0}/(V_{out}-2V_{gs_0})}}}{1 - e^{\frac{V_c}{V_{t_0}}\frac{1}{1+V_{t_0}/(V_{out}-V_{gs_0})}}} \tag{2.54}$$

Finalement l'équation (2.51) se met sous la forme :

$$\frac{\Delta I_{ds2_{mcc}}}{\Delta I_{ds2_{mcs}}} \simeq \lambda_2 \cdot \frac{V_{gs_0} - V_{t_0}}{2} \cdot \frac{1 - e^{\frac{V_c}{V_{t_0}}\frac{1}{1+V_{t_0}/(V_{out}-2V_{gs_0})}}}{1 - e^{\frac{V_c}{V_{t_0}}\frac{1}{1+V_{t_0}/(V_{out}-V_{gs_0})}}} \tag{2.55}$$

On peut analyser l'expression comme un produit de 3 termes :

- Le premier terme λ_2 traduit l'influence de la modulation de la longueur du canal. Plus le phénomène est prononcé, plus la variation de la tension drain-source du transistor $M2$ dans le miroir "cascodé" provoque une variation du courant $I_{ds2_{mcc}}$ et donc plus le rapport des dérives de courant augmente.
- Le terme $V_{gs_0} - V_{t_0}$ est la tension de saturation des transistors. Dans le cas du miroir de

[1] Détail du calcul dans l'Annexe D

courant “cascodé” la dérive du courant est indépendante des tensions de saturation des transistors $M1$, $M2$ et $M3$ puisque :

$$\begin{cases} \Delta I_{ds2} & \propto exp(\frac{-V_c}{V_{ds2}-V_{ds2_{Sat}}}) \\ V_{ds2_{mcc}} - V_{ds2_{Satmcc}} & = V_t \end{cases} \Rightarrow \quad \Delta I_{ds2_{mcc}} \propto exp(\frac{-V_c}{V_t}) \tag{2.56}$$

Par contre dans le cas du miroir de courant simple, la dérive du courant dépend de la tension de saturation de $M2$. Plus elle est forte, moins la dérive de $I_{ds2_{mcs}}$ est importante et donc plus le rapport des dérives de courant est grand.

– Enfin le dernier terme traduit la différence de stress entre les deux structures. On peut montrer que ce rapport est toujours inférieur à 1. En effet, du fait de sa structure la tension drain source imposée au transistor de sortie du miroir de courant “cascodé” est inférieure à celle du miroir simple. D’après l’équation (2.56), on voit que la dérive augmente quand la tension V_{ds} augmente. Le stress imposé au miroir de courant “cascodé” est donc inférieur au stress imposé au miroir de courant simple ; c’est pourquoi le terme est toujours inférieur à 1.

Dans le cas général ($I_1 \neq I_2$, transistors de dimensions différentes), on peut montrer[1] que le rapport des dérives des courants de sortie s’exprime par :

$$\frac{\Delta I_{ds2_{mcc}}}{\Delta I_{ds2_{mcs}}} \simeq -\lambda_2 \cdot \frac{B_v - \frac{V_{gs3_0}-V_{t_0}}{2KP_0}B_k}{\frac{B_k}{KP_0} - 2\frac{B_v}{V_{gs1_0}-V_{t_0}}} \cdot \frac{W_1}{W_3} \frac{1 - \frac{L_3}{L_4} e^{\frac{V_c}{V_{t_0}} \frac{1}{1+V_{t_0}/(V_{out}-V_{gs1_0}-V_{gs3_0})}}}{1 - \frac{L_1}{L_2} e^{\frac{V_c}{V_{t_0}} \frac{1}{1+V_{t_0}/(V_{out}-V_{gs1})}}} \tag{2.57}$$

2.2.3.2 Simulation VHDL-AMS

Nous avons simulé la dérive du courant de sortie de deux miroirs de courant respectant les hypothèses formulées en début du chapitre précédent. Les résultats de simulation sont visibles sur la Fig. 2.17. Sur la durée de la simulation, la moyenne du rapport des dérives instantanées est de $2.3 \cdot 10^{-4}$. Le rapport de la dérive des courants théoriques calculé à partir de l’équation (2.55) est de $1.9 \cdot 10^{-4}$. Les résultats sont donc en accords. La différence entre les deux est due principalement aux approximations sur le courant de sortie dans le miroir simple ($I_{outCascode}$ est un peu différent de $I_{outSimple}$ car ils ne sont pas polarisés à la même tension drain-source) et à la tension grille-source du transistor $M4$ (V_{ds4} est un peu différent de la tension grille-source des autres transistors car il n’est pas polarisé à la même tension drain-source que les autres).

Ces résultats montrent que la dérive d’un miroir de courant peut être limitée de manière très importante si on utilise une structure "cascode". Évidement cette solution a l’inconvénient de limiter la dynamique de sortie du montage et ne peut pas être retenue à chaque fois.

[1] Détail du calcul dans l’Annexe D

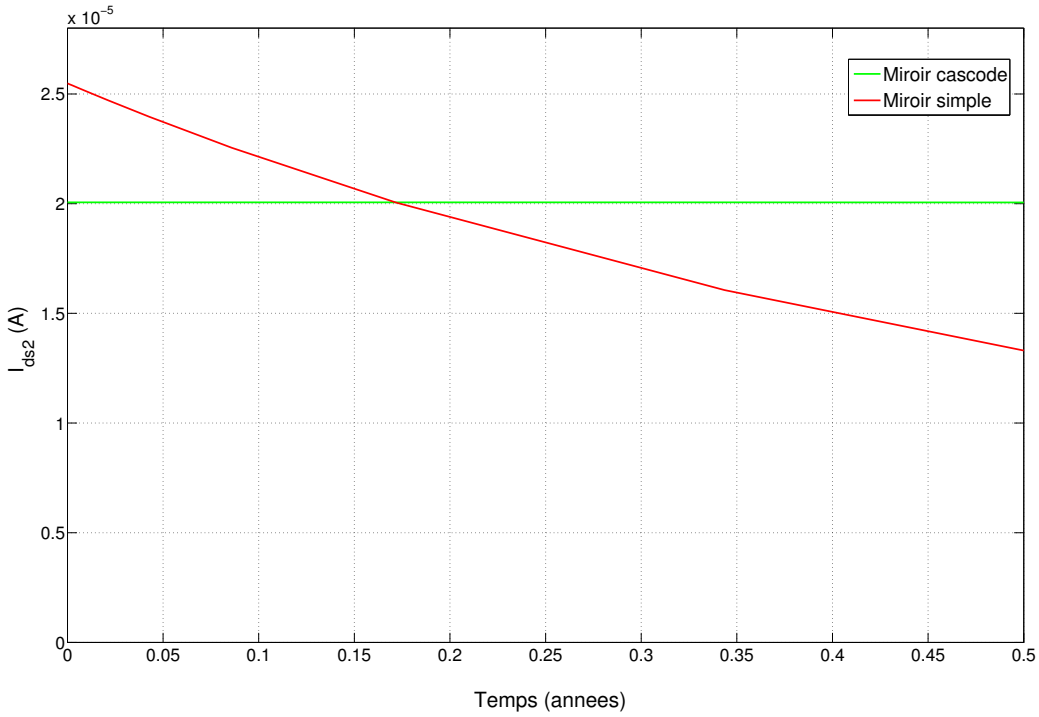


FIG. 2.17 – Simulation de la dérive du courant de sortie I_2 dans un miroir de courant simple et un miroir de courant "cascodé" - $V_{out} = 2.8V$, $I_1 = 20\mu A$, $W/L = 1.4\mu m/0.35\mu m$

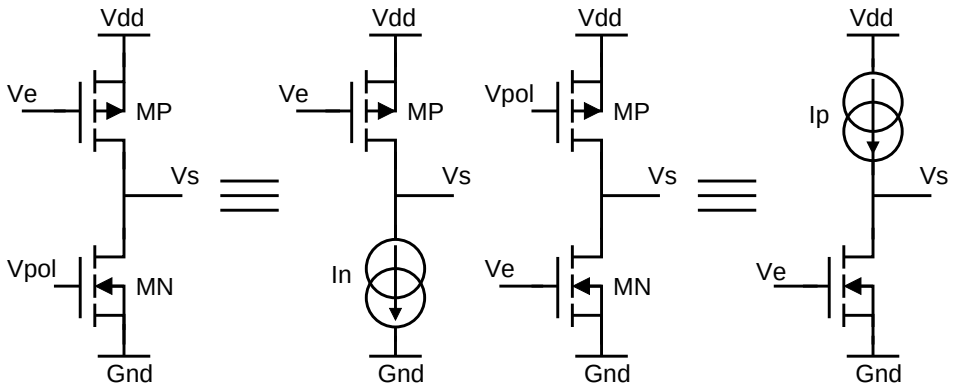
2.2.4 Amplificateur inverseur

Nous allons maintenant étudier la dérive du gain et de la tension de basculement d'un étage de gain. Nous avons analysé les deux types de configuration possibles, à savoir un amplificateur avec comme charge active un transistor de type PMOS (Fig. 2.18(a)) ou de type NMOS (Fig. 2.18(b)).

2.2.4.1 Étude analytique

Dérive du gain : Commençons par étudier l'impact du vieillissement sur le gain d'un étage amplificateur. L'expression du gain dans un amplificateur à charge NMOS est donnée par :

$$\begin{aligned} A_{vi} &= \frac{g_{m_P}}{g_{ds_N} + g_{ds_P}} \\ &= \frac{\sqrt{2KP_P W_P / L_P I_N}}{\lambda_N I_N + \lambda_P I_N} \end{aligned} \tag{2.58}$$



(a) Charge active de type PMOS (b) Charge active de type NMOS

FIG. 2.18 – Amplificateur inverseur à charge active

nous en déduisons la dérive du gain en fonction de la dérive des paramètres électriques de l'amplificateur :

$$\begin{aligned} A_{vi} &\simeq \underbrace{\frac{\sqrt{2W_P/L_P}}{\lambda_N+\lambda_P}\sqrt{\frac{KP_{P0}}{I_{N0}}}}_{A_{vi_0}}\left(1+\frac{\Delta KP_P}{2KP_{P0}}-\frac{\Delta I_N}{2I_{N0}}\right) \\ &\simeq A_{vi0}+\frac{A_{vi_0}}{2}\left(\frac{\Delta KP_P}{KP_{P0}}-\frac{\Delta I_N}{I_{N0}}\right) \end{aligned} \tag{2.59}$$

Dans le cas de l'amplificateur à charge PMOS nous obtenons une expression analogue :

$$A_{vi} \simeq A_{vi_0}+\frac{A_{vi_0}}{2}\left(\frac{\Delta KP_N}{KP_{N0}}-\frac{\Delta I_P}{I_{P0}}\right) \tag{2.60}$$

L'expression montre que la dérive du gain peut être annulée en compensant la baisse de la transconductance par une baisse du courant de polarisation. La baisse de la transconductance caractérisant la dégradation du transistor d'entrée du montage et la baisse du courant de polarisation, provenant de la dégradation du transistor de polarisation, l'équation montre que les dégradations des transistors se compensent et tendent naturellement à minimiser la dérive de la fonction. On peut néanmoins chercher à maîtriser au mieux la dérive. Il faut donc l'évaluer. Pour cela, nous pouvons réutiliser nos résultats précédents. Nous pourrions exprimer la dérive en nous basant sur l'étude du transistor polarisé par une source de tension. Néanmoins, un étage de gain de ce type est généralement polarisé par un miroir de courant (voir Fig. 2.19(a) pour l'exemple), on retiendra donc cette approche. Ainsi en exprimant la dérive du courant grâce à l'équation (2.26) et la dérive de la transconductance directement avec les équations du modèle

(équations (2.5) et (2.6)), nous obtenons l'expression de la dérive temporelle du gain :

$$A_{vi} \simeq A_{vi_0} + \frac{A_{vi_0}}{2}\Big(\frac{B_{k_P}}{KP_{P0}}\frac{I_N}{W_P}e^{-V_{c_P}/(V_{dsP_0}-V_{dsP_{sat_0}})} - \frac{\theta_{IN}}{I_{N0}}\Big)\cdot t \tag{2.61}$$

avec

$$\theta_{IN} = \Big(\frac{B_{k_N}}{KP_{N0}} - \frac{2B_{v_N}}{V_{gsE_0}-V_{t_0}}\Big)\Big(\frac{I_{N_0}}{W_N}e^{-V_{c_N}/(V_{dsN_0}-V_{dsN_{Sat0}})} - \frac{I_{E_0}}{W_E}e^{-V_{c_N}/V_t}\Big)I_{N_0} \tag{2.62}$$

où l'indice E se rapporte au transistor d'entrée du miroir de courant. De façon similaire, on trouve pour l'amplificateur à charge PMOS :

$$A_{vi} \simeq A_{vi_0} + \frac{A_{vi_0}}{2}\Big(\frac{B_{k_N}}{KP_{N0}}\frac{I_{P_0}}{W_N}e^{-V_{c_N}/(V_{dsN_0}-V_{dsN_{sat_0}})} - \frac{\theta_{IP}}{I_{P0}}\Big)\cdot t \tag{2.63}$$

avec

$$\theta_{IP} = \Big(\frac{B_{k_P}}{KP_{P0}} - \frac{2B_{v_P}}{V_{gsE_0}-V_{t_0}}\Big)\Big(\frac{I_{P_0}}{W_P}e^{-V_{c_P}/(V_{dsP_0}-V_{dsP_{Sat0}})} - \frac{I_{E_0}}{W_E}e^{-V_{c_P}/V_t}\Big)I_{P_0} \tag{2.64}$$

Les équations (2.61) et (2.63) permettent de calculer la durée de vie du circuit (il suffit d'isoler t) et de trouver la condition à respecter pour contrôler la dérive du gain. Par exemple, pour l'étage de gain à charge NMOS, nous commençons par déterminer la dérive du courant de polarisation θ_{IN} qui permet d'obtenir une dérive du gain tolérée $A_{vi_{max}}$ dans un temps donné τ_{min} :

$$\theta_{IN} = \frac{2I_{N_0}}{A_{vi_0}}\Big(\frac{A_{vi_0}}{2}\frac{B_{k_P}}{KP_{P0}}\frac{I_{N_0}}{W_P}e^{-V_{c_P}/(V_{dsP_0}-V_{dsP_{sat_0}})} - \frac{\Delta A_{vi_{max}}}{\tau_{min}}\Big) \tag{2.65}$$

Nous pouvons ensuite déduire la condition sur le miroir de courant qui garantit la dérive du courant de polarisation "désirée" à partir de l'équation (2.62) :

$$\frac{L_E}{L_N} = \Big(\frac{\theta_{IN}}{I_{N_0}}\frac{1}{\frac{B_k}{KP_{N0}} - \frac{2B_v}{V_{gsE_0}-V_{t_0}}}\frac{W_E}{I_{E_0}}e^{\frac{V_c}{V_{t_0}}} + 1\Big)e^{\frac{-V_c}{V_{t_0}}\frac{1}{1+V_{t_0}/(V_{dsN_0}-V_{dsE_0})}} \tag{2.66}$$

Cette équation est obtenue de manière similaire à l'équation (2.32) dans l'étude du miroir de courant. Nous pouvons également chercher la condition sur la dérive du courant de polarisation qui permet de maximiser la durée de vie. Par exemple pour l'étage de gain à charge NMOS, on obtient :

$$\theta_{IN} = \frac{B_{k_P}}{KP_{P0}}\frac{I_{N_0}^2}{W_P}e^{-V_{c_P}/(V_{dsP_0}-V_{dsP_{sat_0}})} \tag{2.67}$$

Comme nous venons de le voir, il faut ensuite déduire la condition sur le miroir de courant qui garantit la dérive du courant de polarisation que l'on vient de calculer grâce à l'équation (2.66). La démarche et les résultats pour un étage de gain à charge PMOS sont similaires.

Dans ces exemples, nous avons montré que le contrôle de la dérive du gain revient à contrôler la dérive d'un miroir de courant. Nous pouvons donc utiliser la méthode proposée pour l'étude du miroir de courant.

Tension de basculement : La tension de basculement (V_{basc}) est définie comme la tension d'entrée de l'amplificateur pour laquelle la tension de sortie est égale à $V_{DD}/2$. Dans le cas d'un amplificateur à charge NMOS on a :

$$\begin{aligned} V_{basc} &= V_{dd} + V_{gs_P|I_N=I_P} \\ &= V_{dd} - \sqrt{\frac{2L_P I_N}{KP_P W_P}} + V_{t_P} \end{aligned} \tag{2.68}$$

En prenant en compte le vieillissement, nous obtenons :

$$\begin{aligned} V_{basc} &\simeq V_{dd} - \underbrace{\sqrt{\frac{2L_P I_{N0}}{KP_{P0} W_P}}}_{-V_{dsP_{Sat0}}} \left(1 + \frac{\Delta I_N}{2I_{N0}} - \frac{\Delta KP_P}{2KP_{P0}}\right) + V_{t_{P0}} + \Delta V_{t_P} \\ &\simeq V_{basc_0} + \Delta V_{t_P} + \frac{V_{dsP_{Sat0}}}{2}\left(\frac{\Delta I_N}{I_{N0}} - \frac{\Delta KP_P}{KP_{P0}}\right) \end{aligned} \tag{2.69}$$

De manière équivalente nous trouvons pour un amplificateur à charge PMOS :

$$V_{basc} \simeq V_{basc_0} + \Delta V_{t_N} + \frac{V_{dsN_{Sat0}}}{2}\left(\frac{\Delta I_P}{I_{P0}} - \frac{\Delta KP_N}{KP_{N0}}\right) \tag{2.70}$$

Comme pour l'étude du gain, les équations nous indiquent le lien qui existe entre la dérive de la tension de basculement et la dérive du courant. Nous allons donc procéder de manière analogue et réutiliser les résultats de l'étude du miroir de courant. Dans le cas de l'amplificateur à charge NMOS, on trouve :

$$V_{basc} \simeq V_{basc_0} + \left[\frac{V_{dsP_{Sat0}}}{2}\frac{\theta_{IN}}{I_{N0}} + \left(B_{v_P} - \frac{V_{dsP_{Sat0}}}{2KP_{N0}} B_{k_P}\right)\frac{I_{N_0}}{W_P} e^{-V_{c_P}/(V_{dsP_0} - V_{dsP_{sat_0}})}\right] \cdot t \tag{2.71}$$

avec θ_{IN} défini par (2.62). Pour l'amplificateur à charge PMOS, on trouve :

$$V_{basc} \simeq V_{basc_0} + \left[\frac{V_{dsN_{Sat0}}}{2}\frac{\theta_{IP}}{I_{P0}} + \left(B_{v_N} - \frac{V_{dsN_{Sat0}}}{2KP_{N0}} B_{k_N}\right)\frac{I_{P_0}}{W_N} e^{-V_{c_N}/(V_{dsN_0} - V_{dsN_{sat_0}})}\right] \cdot t \tag{2.72}$$

avec θ_{IP} défini par (2.64). De ces deux dernières équations, nous pouvons également déduire la durée de vie du circuit. Nous pouvons déduire la condition sur la dérive du courant (θ_{Ix}) qui permet de contrôler la dérive de la tension de basculement ($V_{basc_{max}}$, τ_{min}), par exemple pour

l'amplificateur à charge NMOS :

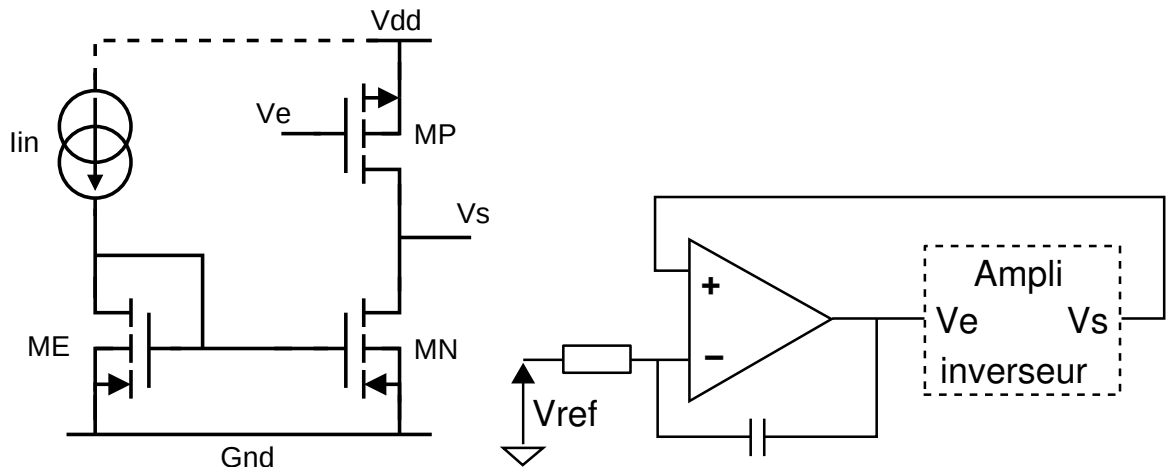
$$\theta_{IN} = \frac{2I_{N0}}{V_{dsP_{Sat0}}}\left(\frac{\Delta V_{basc_{max}}}{\tau_{min}} - \left(B_{v_P} - \frac{V_{dsP_{Sat0}}}{2KP_{N0}}B_{k_P}\right)\frac{I_{N_0}}{W_P}e^{-V_{c_P}/(V_{dsP_0}-V_{dsP_{sat_0}})}\right) \tag{2.73}$$

Nous pouvons enfin déterminer la condition à respecter pour maximiser la durée de vie. Dans le cas de l'amplificateur à charge NMOS, la condition sur θ_{IN} est donnée par :

$$\theta_{IN} = \frac{2}{V_{dsP_{Sat0}}}\left(B_{v_P} - \frac{V_{dsP_{Sat0}}}{2KP_{P0}}B_{k_P}\right)\frac{I_{N_0}^2}{W_P}e^{-V_{c_P}/(V_{dsP_0}-V_{dsP_{sat_0}})} \tag{2.74}$$

Finalement, comme nous venons de le voir avec l'étude du gain, il faut ensuite déduire la condition sur le miroir de courant qui garantit la dérive du courant de polarisation que l'on vient de calculer grâce à l'équation (2.66). On pourra déterminer des expressions équivalentes pour un amplificateur à charge PMOS.

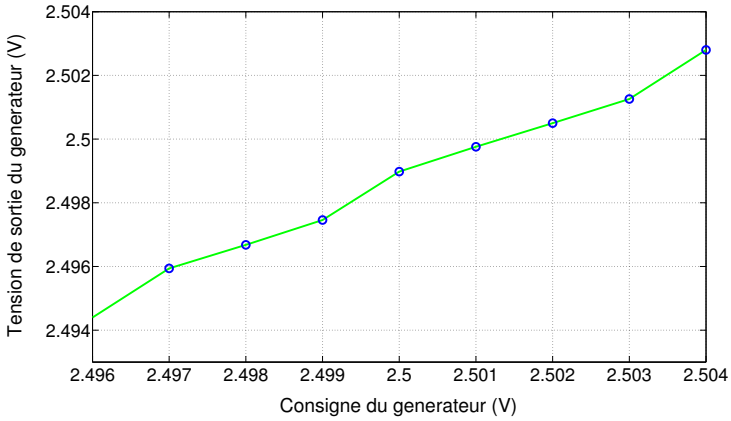
2.2.4.2 Résultats expérimentaux



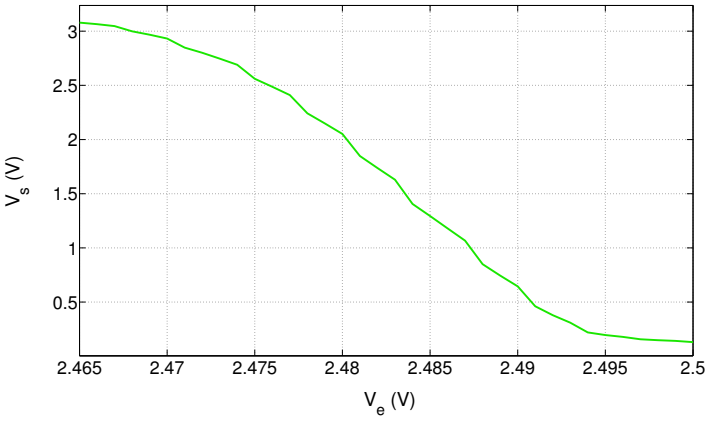
(a) Inverseur à charge active de type NMOS (b) Montage utilisé pour polariser l'amplificateur pendant les phases de stress

FIG. 2.19 – Structures utilisées pour l'étude expérimentale de l'amplificateur inverseur

Les structures expérimentales sont constituées d'un étage de gain polarisé par un miroir de courant comme celui que nous pouvons voir sur la Fig. 2.19(a). Nous avons prévu des structures de test nous permettant d'étudier la dérive des amplificateurs à charge NMOS et PMOS. Malheureusement nous nous sommes heurtés à des difficultés expérimentales qui ne nous ont pas permis d'obtenir des résultats exploitables pour les amplificateurs à charge NMOS. Les valeurs du gain et de la tension de basculement sont extraites de la caractéristique $V_s = f(V_e)$ de l'ampli-



(a) Tension de sortie effective du générateur de tension de l'analyseur de paramètres en fonction de la consigne appliquée



(b) Caractéristique $V_s = f(V_e)$ typique d'un amplificateur à charge NMOS obtenue avec l'analyseur de paramètres

FIG. 2.20 – Illustration de l'erreur introduite par les générateurs de tension de l'analyseur de paramètres configuré avec une dynamique de sortie de $5V$

ficateur. La gamme de la tension d'entrée utile pour la caractérisation est celle où l'on observe la tension de sortie varier. Elle est centrée sur environ $2.5V$ pour un amplificateur à charge NMOS et sur environ $0.7V$ pour un amplificateur à charge PMOS. La dynamique de sortie des générateurs de tension de l'analyseur de paramètres sont paramètrables et la résolution de la tension générée dépend de la dynamique choisie. La dynamique utilisée pour caractériser l'amplificateur à charge PMOS est de $\pm 2V$ et est de $\pm 20V$ pour l'amplificateur à charge NMOS. La résolution associée est de $100\mu V$ pour l'amplificateur à charge PMOS et est de $1mV$ pour l'amplificateur à charge NMOS. Quand nous avons utilisé ce générateur pour caractériser l'amplificateur à charge NMOS, l'erreur sur la tension d'entrée (Fig. 2.20(a)) s'est matérialisée par des "ondulations" sur la tension de sortie. Ce défaut est particulièrement critique sur la zone de

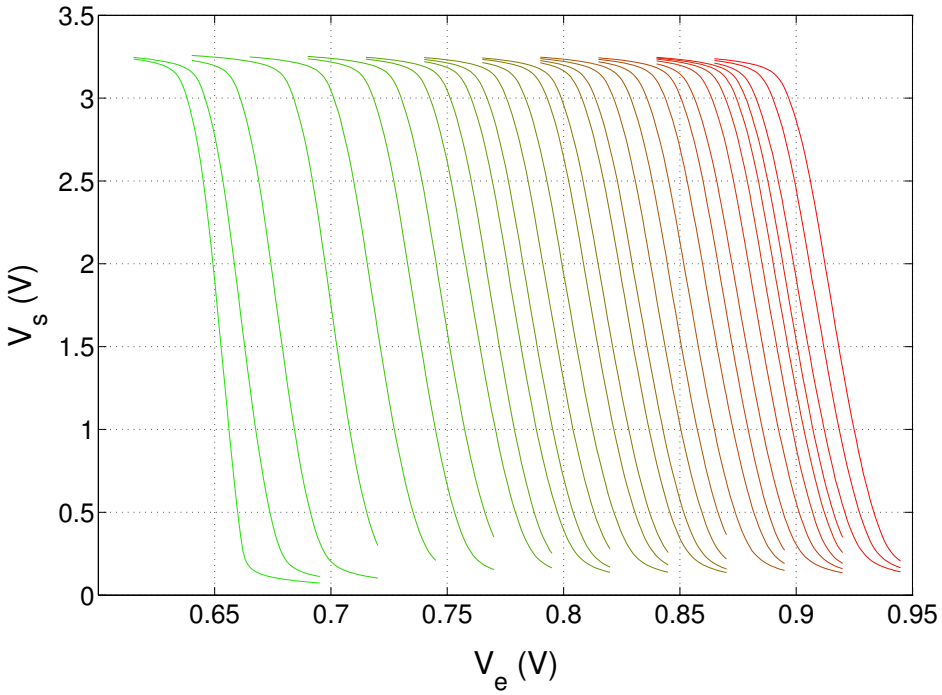
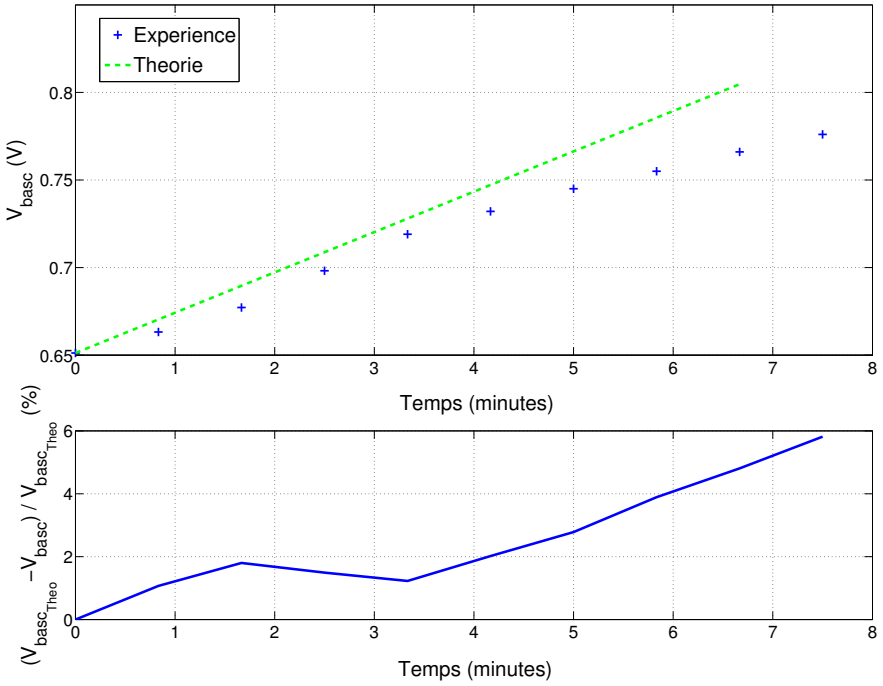


FIG. 2.21 – Évolution de la caractéristique entrée/sortie d'un amplificateur à charge active PMOS - Les caractérisations ont été effectuées toutes les minutes pendant 30 minutes - La couleur verte représente la caractéristique du dispositif frais et la couleur rouge la caractéristique du dispositif après vieillissement - Conditions de stress : $V_{dd} = 10V$, $V_{ref} = 6V$ et $I_{ds} = 1mA$

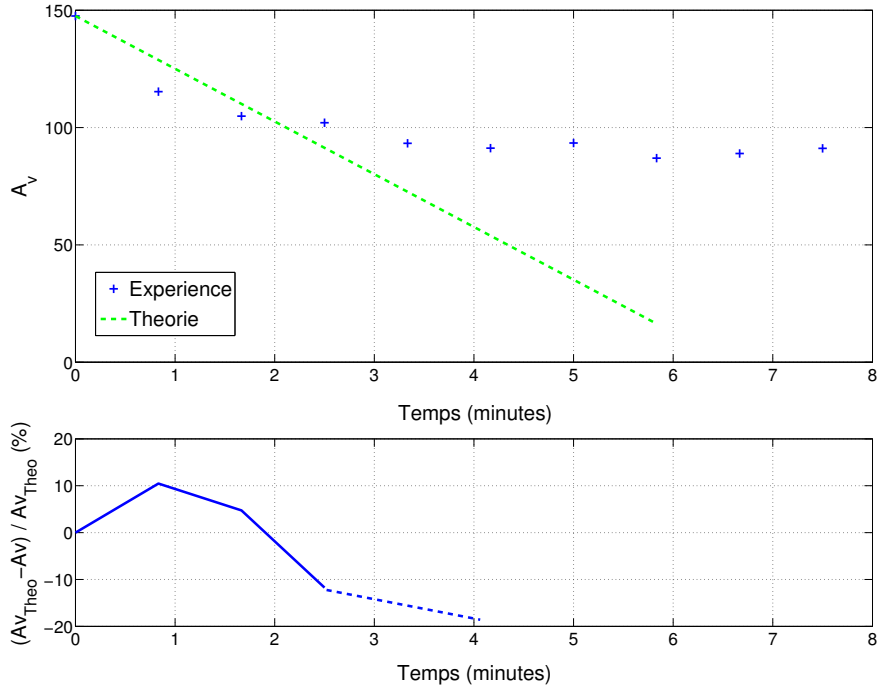
fonctionnement linéaire de l'amplificateur (Fig. 2.20(b)) qui est utilisée pour extraire le gain et la tension de basculement de l'amplificateur.

Nous avons essayé de corriger l'erreur (correction de la tension d'entrée, approximation analytique de la caractéristique $V_s = f(V_e)$ de l'amplificateur) mais les résultats n'ont pas été plus satisfaisants.

Le vieillissement étant lié à la tension drain-source des transistors, notre étude nécessite de pouvoir contrôler la tension drain-source des transistors MN et MP, c'est-à-dire la tension de sortie, Pour contrôler la tension de sortie de l'étage de gain, nous avons utilisé le montage intégrateur de la Fig. 2.19(b). Dans ce montage, l'amplificateur opérationnel asservit la tension de sortie V_s à V_{ref} en imposant le potentiel adéquat sur V_e. Comme nous l'avons vu, dans la technologie que nous avons utilisée, le vieillissement des transistors PMOS est négligeable devant celui des transistors NMOS. Nos résultats théoriques peuvent donc être simplifiés en ne tenant pas compte de la dégradation des transistors PMOS. Si on ne tient compte que de la dégradation du transistor NMOS, l'expression du gain d'un amplificateur à charge PMOS se



(a) Graphique supérieur : dérive de la tension de basculement - Graphique inférieur : erreur relative entre données expérimentales et données théoriques



(b) Graphique supérieur : dérive du gain - Graphique inférieur : erreur relative entre données expérimentales et données théoriques. La courbe n'est pas représentée entièrement car l'erreur devient trop importante

FIG. 2.22 – Dérive temporelle des paramètres d'un amplificateur à charge PMOS

simplifie ainsi :

$$A_{vi} \simeq A_{vi0} + \frac{A_{vi0}}{2}\frac{\Delta KP_N}{KP_{N0}} \tag{2.75}$$

soit en fonction du temps :

$$A_{vi} \simeq A_{vi0} + \frac{A_{vi0}}{2}\frac{B_{k_N}}{KP_{N0}}\frac{I_{P_0}}{W_N}e^{-V_{c_N}/(V_{dsN_0}-V_{dsN_{sat_0}})} \cdot t \tag{2.76}$$

Sachant que la variation de la transconductance est négative, le gain d'un amplificateur à charge PMOS aura tendance à diminuer avec le temps. L'expression modifiée de la dérive de la tension de basculement s'exprime quant à elle par :

$$V_{basc} \simeq V_{basc_0} + \Delta V_{t_N} - \frac{V_{dsN_{Sat0}}}{2}\frac{\Delta KP_N}{KP_{N0}} \tag{2.77}$$

soit en fonction du temps :

$$V_{basc} \simeq V_{basc_0} + \left(B_{v_N} - \frac{V_{dsN_{Sat0}}}{2}\frac{B_{k_N}}{KP_{N0}}\right)\frac{I_{P_0}}{W_N}e^{-V_{c_N}/(V_{dsN_0}-V_{dsN_{Sat0}})} \cdot t \tag{2.78}$$

La tension de seuil augmente dans le temps alors que la transconductance va diminuer. La tension de basculement d'un amplificateur à charge PMOS aura donc tendance à augmenter avec le temps.

Sur la Fig. 2.21, nous pouvons observer l'évolution temporelle de la caractéristique entrée/sortie d'un amplificateur à charge PMOS. Globalement, nous remarquons nettement l'évolution de la tension de basculement qui, comme prévu, augmente dans le temps ; la variation du gain n'est, par contre, pas très visible. Sur les figures 2.22(a) et 2.22(b), nous avons comparé les dérives expérimentales des paramètres de l'amplificateur à leurs dérives théoriques sur les huit premières minutes de l'expérience. L'étude analytique permet de bien décrire le comportement de la tension de basculement au cours du temps. L'erreur entre l'étude analytique et l'expérience atteint les 6 % pour une variation de 20 % de la tension de basculement. Pour une variation de 10 %, l'erreur est inférieur à 2 %. Pour ce qui concerne le gain de l'amplificateur, nous pouvons déjà remarquer que sa dérive est bien plus rapide. Au bout de deux minutes, la variation du gain est de presque 50 % alors qu'elle n'est que d'environ 6 % pour la tension de basculement. Encore une fois, notre méthode cherche à estimer les faibles variations. Pour évaluer l'erreur par rapport à la théorie, nous avons ajusté la courbe $A_v(t)$ à une fonction polynomiale (non représentée sur la figure). L'erreur correspondante à une variation de 10 % du gain ainsi obtenue est d'environ 6 %. Notre étude analytique permet donc d'estimer la dérive des paramètres de l'amplificateur avec les critères de précision que nous nous étions imposés.

2.2.5 Amplificateur différentiel

Nous nous intéressons maintenant à l'étude du vieillissement de l'étage différentiel (Fig. 2.23). Cette structure est très utilisée puisqu'elle constitue l'étage d'entrée d'un amplificateur opérationnel à transconductance (OTA). Nous allons étudier la dérive du gain et la dérive du point de polarisation de sortie.

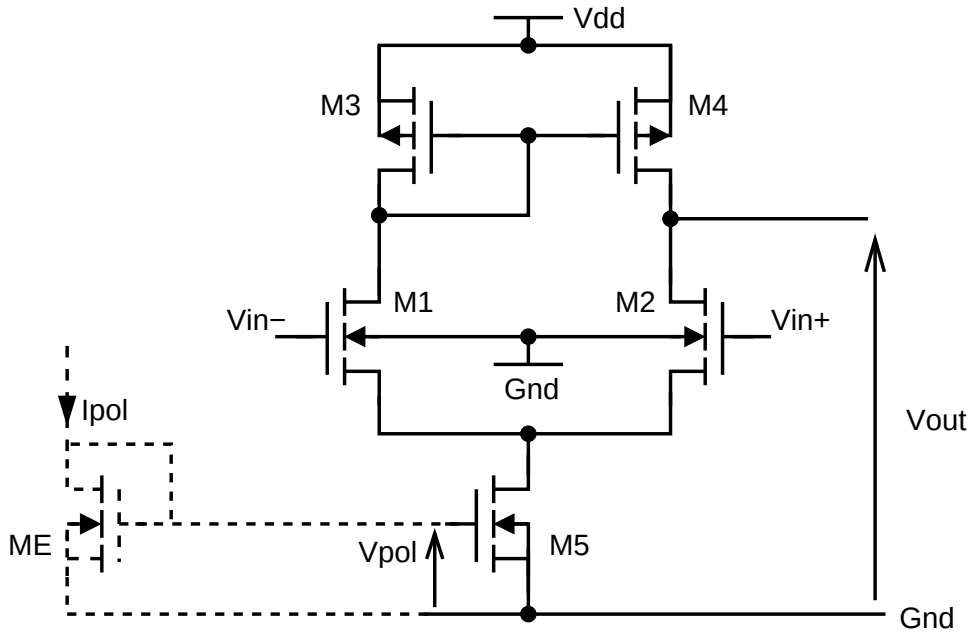


FIG. 2.23 – Schéma de l'amplificateur différentiel étudié

2.2.5.1 Étude analytique

Dérive du gain : L'expression du gain d'un étage différentiel est donnée par :

$$\begin{aligned} A_{vd} &= -\frac{1}{2}\frac{g_{m1}+g_{m2}}{g_{ds1}+g_{ds4}} \\ &= -\frac{1}{2}\frac{\sqrt{KP_1W_1/L_1I_5}+\sqrt{KP_2W_2/L_2I_5}}{\lambda_1 I_5/2+\lambda_4 I_5/2} \\ &= -\frac{1}{2}\frac{\sqrt{KP_1W_1/L_1}+\sqrt{KP_2W_2/L_2}}{(\lambda_1+\lambda_4)\sqrt{I_5}/2} \end{aligned} \tag{2.79}$$

Si on suppose que les transistors $M1$ et $M2$ sont dans les mêmes conditions de polarisation, leurs vieillissements sont similaires et on a $KP_1 = KP_2 = KP_0 + \Delta KP_{12}$. En prenant en compte

le vieillissement, l'expression du gain différentiel devient :

$$\begin{aligned} A_{vd} &= \underbrace{-\frac{1}{2}\frac{\sqrt{KP_0W_1/L_1}+\sqrt{KP_0W_2/L_2}}{(\lambda_1+\lambda_4)\sqrt{I_{5_0}}/2}}_{A_{vd0}} \cdot \sqrt{\frac{1+\Delta KP_{12}/KP_0}{1+\Delta I_5/I_{5_0}}} \\ &\simeq A_{vd0}\Big(1+\frac{\Delta KP_{12}}{2KP_0}-\frac{\Delta I_5}{2I_{5_0}}\Big) \\ &\simeq A_{vd0}+\frac{A_{vd0}}{2}\Big(\frac{\Delta KP_{12}}{KP_0}-\frac{\Delta I_5}{I_{5_0}}\Big) \end{aligned} \tag{2.80}$$

Ici nous voyons que l'on peut annuler la dérive du gain en compensant la dérive de la transconductance des transistors $M1$ et $M2$ par la variation du courant de polarisation I_5. Le transistor $M5$ est généralement le transistor de sortie d'un miroir de courant. Pour étudier la dérive temporelle du courant I_5, nous allons donc utiliser les résultats de notre étude sur le vieillissement du miroir de courant. En exprimant les termes ΔKP_{12} grâce à (2.5) et ΔI_5 grâce à (2.26), la dérive du gain de l'étage de différentiel peut se mettre sous la forme :

$$A_{vd} \simeq A_{vd0}+\frac{A_{vd0}}{2}\Big(\frac{B_{k_N}}{KP_0}\frac{I_{5_0}}{2W_1}e^{-V_{c_N}/(V_{ds1_0}-V_{ds1_{sat_0}})}-\frac{\theta_5}{I_{5_0}}\Big)\cdot t \tag{2.81}$$

où θ_{I_5} est la dérive du courant I_5 et où l'indice E se rapporte au transistor d'entrée du miroir de courant. Cette équation nous permet de déterminer la durée de vie du circuit. L'équation permet également de déduire la condition à respecter sur la dérive du courant I_5 pour que le gain dérive d'une valeur $\Delta A_{vd_{max}}$ dans un temps τ_{min} :

$$\theta_{I_5} = \frac{2I_{5_0}}{A_{vd0}}\Big(\frac{A_{vd0}}{4}\frac{B_{k_N}}{KP_0}\frac{I_{5_0}}{W_1}e^{-V_{c_N}/(V_{ds1_0}-V_{ds1_{sat_0}})}-\frac{\Delta A_{vd_{max}}}{\tau_{min}}\Big) \tag{2.82}$$

Enfin, nous pouvons aussi déduire la condition sur la dérive du courant I_5 qui minimise la dérive du gain :

$$\theta_{I_5} = \frac{B_{k_N}}{KP_0}\frac{I_{5_0}^2}{2W_1}e^{-V_{c_N}/(V_{ds1_0}-V_{ds1_{sat_0}})} \tag{2.83}$$

Une fois la condition sur θ_{I_5} trouvée, nous pouvons nous référer à l'étude du miroir de courant pour, par exemple, la traduire en condition sur le rapport des longueurs des transistors du miroir de courant :

$$\frac{L_E}{L_5} = \Big(\frac{\theta_{I_5}}{I_{5_0}}\frac{1}{\frac{B_k}{KP_{N0}}-\frac{2B_v}{V_{gsE_0}-V_{t_0}}}\frac{W_E}{I_{E_0}}e^{\frac{V_c}{V_{t_0}}}+1\Big)e^{\frac{-V_c}{V_{t_0}}\frac{1}{1+V_{t_0}/(V_{ds5_0}-V_{dsE_0})}} \tag{2.84}$$

Point de repos en sortie : Passons à l'étude de l'évolution du point de repos de sortie de l'étage différentiel. Le point de repos correspond à la tension drain-source du transistor $M4$. Si

on suppose le circuit parfaitement symétrique, la tension V_{ds_4} est égale à la tension drain source du transistor $M3$ qui est polarisé en "diode", d'où $V_{ds_4} = V_{ds_3} = V_{gs_3}$. Finalement, nous pouvons déterminer le point de fonctionnement de sortie de l'étage différentiel par :

$$V_{OUT} = V_{DD} - \sqrt{\frac{I_5 L_3}{KP_3 W_3}} + V_{t3} \tag{2.85}$$

Si maintenant nous tenons compte du vieillissement, l'expression devient :

$$\begin{aligned} V_{OUT} &\simeq V_{DD} - \underbrace{\sqrt{\frac{I_{5_0} L_3}{KP_{3_0} W_3}}}_{-V_{ds3_{Sat0}}} \left(1 + \frac{\Delta I_5}{2I_{5_0}} - \frac{\Delta KP_3}{2KP_{3_0}}\right) + V_{t3_0} + \Delta V_{t3} \\ &\simeq V_{OUT_0} + \Delta V_{t3} + \frac{V_{ds3_{Sat0}}}{2}\left(\frac{\Delta I_5}{I_{5_0}} - \frac{\Delta KP_3}{KP_{3_0}}\right) \end{aligned} \tag{2.86}$$

En exprimant cette équation en fonction du temps, nous obtenons :

$$V_{OUT} \simeq V_{OUT_0} + \left[\frac{V_{ds3_{Sat0}}}{2}\frac{\theta_5}{I_{5_0}} + \left(B_{v_P} - \frac{V_{ds3_{Sat0}}}{2KP_{3_0}} B_{k_P}\right)\frac{I_{5_0}}{2W_3} e^{-V_{c_P}/(V_{ds3_0} - V_{ds3_{sat_0}})}\right] \cdot t \tag{2.87}$$

Nous pouvons déduire la durée de vie du circuit de cette expression. Nous pouvons également en déduire une condition à respecter sur la dérive du courant I_5 pour contrôler la dérive du point de repos de sortie :

$$\theta_{I_5} = \frac{2I_{5_0}}{V_{ds3_{Sat0}}}\left[\frac{\Delta Vout_{max}}{\tau_{min}} - \left(B_{v_P} - \frac{V_{ds3_{Sat0}}}{2KP_{3_0}} B_{k_P}\right)\frac{I_{5_0}}{2W_3} e^{-V_{c_P}/(V_{ds3_0} - V_{ds3_{sat_0}})}\right] \tag{2.88}$$

Ou encore nous pouvons chercher une condition maximisant la durée de vie du circuit :

$$\theta_{I_5} = \frac{1}{V_{ds3_{Sat0}}}\left(B_{v_P} - \frac{V_{ds3_{Sat0}}}{2P_{3_0}} B_{k_P}\right)\frac{I_5^2}{W_3} e^{-V_{c_P}/(V_{ds3_0} - V_{ds3_{sat_0}})} \tag{2.89}$$

Comme nous l'avons vu pendant l'étude du gain, nous pouvons traduire cette condition en contraintes sur la conception du miroir de courant (Eq.(2.84)).

2.2.5.2 Simulation VHDL-AMS

Nous n'avons pas prévu d'étage différentiel dans les structures de test pour une raison pratique et économique : le nombre de pads sur le chip aurait été trop important. En effet, un étage différentiel nécessite au minimum 4 pads (2 pour les entrées, 1 pour la sortie et 1 pour la polarisation), multipliés par le nombre de structures de test désiré, nous aurions été contraint d'augmenter considérablement la surface du chip et donc le coût du circuit. Nous ne fournirons

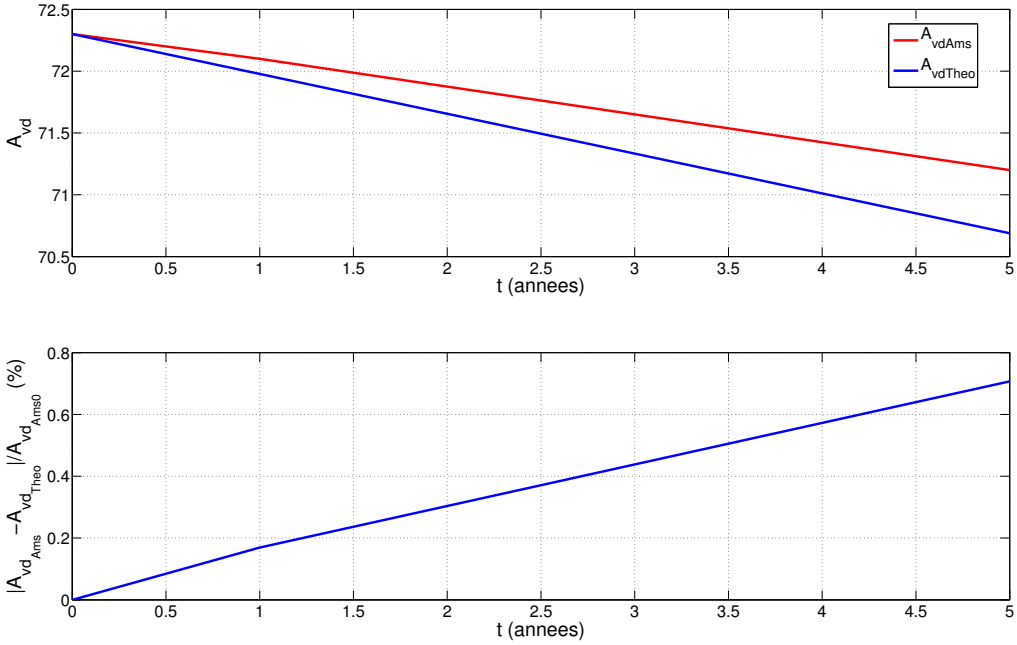


FIG. 2.24 – Graphique supérieur : dérive du gain de l'étage différentiel - Graphique inférieur : erreur relative entre la dérive simulée et la dérive théorique

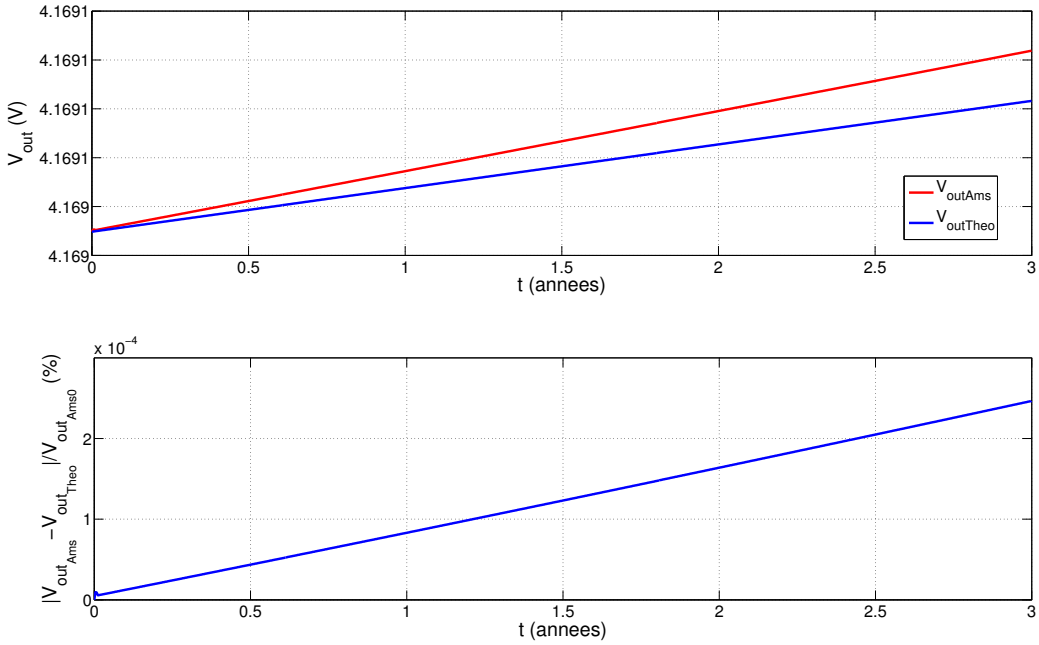


FIG. 2.25 – Graphique supérieur : dérive du point de repos de l'étage différentiel - Graphique inférieur : erreur relative entre la dérive simulée et la dérive théorique

donc que les résultats de simulations VHDL-AMS. La structure de test, dont les dimensions sont données dans la table 2.3, est polarisée par un courant I_{pol} de $3\mu A$, la tension d'alimentation V_{DD} est de $5V$ et nous fixons, dans un premier temps, la tension de mode commun du dispositif à $V_{DD}/2$ c'est-à-dire $2.5V$.

Approche conventionnelle : Les résultats de simulation sont visibles sur les figures 2.24 et 2.25. Première remarque, la faible dérive des paramètres nous indique que l'étage différentiel est relativement robuste au vieillissement, en tous cas plus résistant que l'étage de gain "simple". Intuitivement nous comprenons que l'effet des porteurs chauds y est moins important car, ici, la tension d'alimentation est répartie aux bornes de trois transistors au lieu de deux. Nous voyons que l'étude analytique semble prédire les tendances de la dérive du gain et du point de repos de sortie. Malgré tout, les différences avec la simulation sont élevées au regard des faibles dérives des paramètres. L'erreur relative entre la simulation et l'étude analytique de la dérive du gain est inférieure à $0.8\,\%$ mais pour une dérive de $1.5\,\%$. Encore pire, l'erreur relative entre la simulation et l'étude analytique de la tension de repos atteint $2.5\,\%$ pour une dérive de $1.7 \cdot 10^{-3}\%$ (équivalent à une dérive de $8.5 \cdot 10^{-3}\%$ de V_{ds4}[1]), c'est à dire une dérive très faible. L'erreur provient principalement de l'estimation de la dérive du courant I_5. Dans cette configuration de test, $M1$ et $M2$ sont les transistors les plus stressés et les dérives des paramètres des autres transistors sont négligeables. En particulier la dérive de I_5 est induite par la dérive de la tension drain-source de $M5$, provoquée par la dérive de la tension grille-source des transistors $M1$ et $M2$. Pour être clair, notre estimation de la dérive de I_5, dans ce cas précis, est erronée. C'est pourquoi nous observons une erreur si importante dans l'estimation du point de repos de sortie. Au contraire, la dérive du gain est mieux évaluée car elle dépend de la dérive de la transconductance du transistor $M1$ qui elle est correctement évaluée. Nous avons réévalué la dérive du courant I_5 en fonction de la dérive de la tension drain-source de $M5$[2] :

$$\Delta I_5 = \frac{I_{5_0}}{V_e L_5} \Delta V_{ds5} \tag{2.90}$$

avec

$$\Delta V_{ds5} = -\Delta V_{gs1} \simeq -\Delta V_{t1} + \frac{V_{gs1_0} - V_{t_0}}{2KP_0} \Delta KP_1 \tag{2.91}$$

Avec cette approche, nous obtenons une bien meilleure estimation de la dérive de V_{out}, puisque nous réduisons l'erreur entre la simulation et le calcul analytique à $1 \cdot 10^{-4}\,\%$ (Fig. 2.26). Nous avons également réévalué la dérive du gain mais, comme nous l'avions vérifié par le calcul,

[1] La dérive semble d'autant plus faible qu'elle est relative à la dérive du point de repos. Nous avons vu qu'elle correspond à la dérive de V_{ds4}. Dans la suite nous indiquerons donc également la dérive relative à V_{ds4}.

[2] Pour la démarche analytique, on peut se référer au chapitre sur l'étude du miroir "cascode".

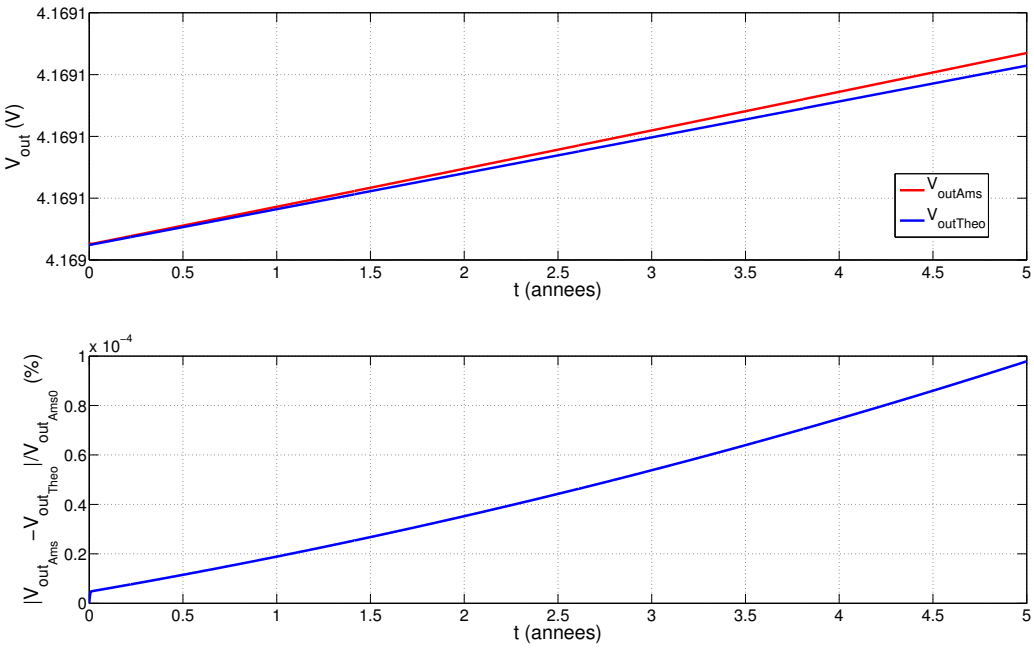


FIG. 2.26 – Graphique supérieur : dérive du point de repos de l'étage différentiel après correction de l'estimation de la dérive du courant I_5 - Graphique inférieur : erreur relative entre la dérive simulée et la dérive théorique

nous n'obtenons pas de meilleurs résultats ; la dérive du gain induite par la dérive du courant est négligeable devant la dérive de la transconductance de $M1$. Nous aurions pu détecter notre erreur sans la simulation et utiliser directement la bonne approche pour le calcul de la dérive de I_5. En effet, une analyse rapide du circuit nous indique que le taux de dégradation (proportionnel à Γ_k et Γ_v) des transistors $M1$ et $M2$ est bien supérieur (au moins 20 fois) à celui des autres transistors. Il en découle que la dérive de ses paramètres a toutes les chances d'être prédominante sur la dérive des paramètres du circuit. Plus formellement, nous aurions pu évaluer la part prédominante dans la dérive de I_5 :

$$\Delta I_5 = \Delta I_5|_{\text{intrinsèque } M5} + \Delta I_5|_{\Delta V_{ds5}} \tag{2.92}$$

où $\Delta I_5|_{\text{intrinsèque } M5}$ se réfère à la dérive du courant provoquée par la dérive des paramètres du transistor $M5$, c'est-à-dire l'expression de ΔI_5 "classique" (Eq.2.25), et $\Delta I_5|_{\Delta V_{ds5}}$ se réfère à la dérive du courant I_5 induite par la dérive de ΔV_{ds5} (Eq.(2.90)).

La tension drain-source des transistors $M1$ (et $M2$) et $M5$ étant liées à la tension de mode commun (V_{mc}), le taux de dégradation des transistors y est également lié. Nous nous sommes donc intéressés à l'influence de la tension de mode commun sur la dérive des paramètres. Nous

avons considéré deux cas : des tensions de mode commun de $V_{DD}/2 - 500\,mV$ et $V_{DD}/2 + 500\,mV$ soit $2.0\,V$ et $3.0\,V$. Les résultats montrent une forte dépendance de la dégradation avec la tension de mode commun.

Les figures 2.27 et 2.28 présentent les dérives de gain et du point de repos pour $V_{mc} = 2.0\,V$. Dans ce cas, la tension drain-source du transistor $M1$ augmente tandis que celle du transistor $M5$ diminue. L'impact du vieillissement de $M1$ sur la dérive du circuit est donc encore plus marqué et plus dominant que dans le cas précédent. C'est pourquoi la baisse du gain est assez importante (pratiquement 25 % de dérive). La différence avec l'étude analytique est raisonnable puisque l'erreur avec la simulation est d'environ 1 % pour 10 % de dérive du gain. La dérive du point de repos reste faible (environ $1.6 \cdot 10^{-2}$ %, équivalent à une dérive de $8 \cdot 10^{-2}$% de V_{ds4}), puisque, comme dans le cas précédent, elle est induite par la dérive du courant I_5, elle même provoquée par la variation de la tension grille-source de $M1$ (Eq. (2.90) et (2.91)). La dérive du point de repos est néanmoins plus importante que dans le cas précédent, puisque le transistor $M1$ s'est plus dégradé et donc sa tension grille-source a plus dérivé.

Les figures 2.29 et 2.30 présentent les dérives de gain et du point de repos pour $V_{mc} = 3.0\,V$. Dans ce cas, la tension drain-source du transistor $M5$ augmente tandis que celle du transistor $M1$ diminue. L'impact du vieillissement de $M1$ sur la dérive du circuit est donc moins marqué, nous pouvons même le négliger devant l'impact du vieillissement de $M5$. Le vieillissement de $M5$ va provoquer une baisse du courant I_5. C'est pourquoi, ici, le gain du circuit augmente. La différence entre la simulation et l'étude analytique est raisonnable : l'erreur d'estimation du gain par rapport à la simulation est d'environ 1.3 % pour 10 % de dérive et l'erreur d'estimation du point de repos par rapport à la simulation est d'environ 0.12 % pour 0.65 % de dérive (équivalente à une dérive de 3.2% de V_{ds4}).

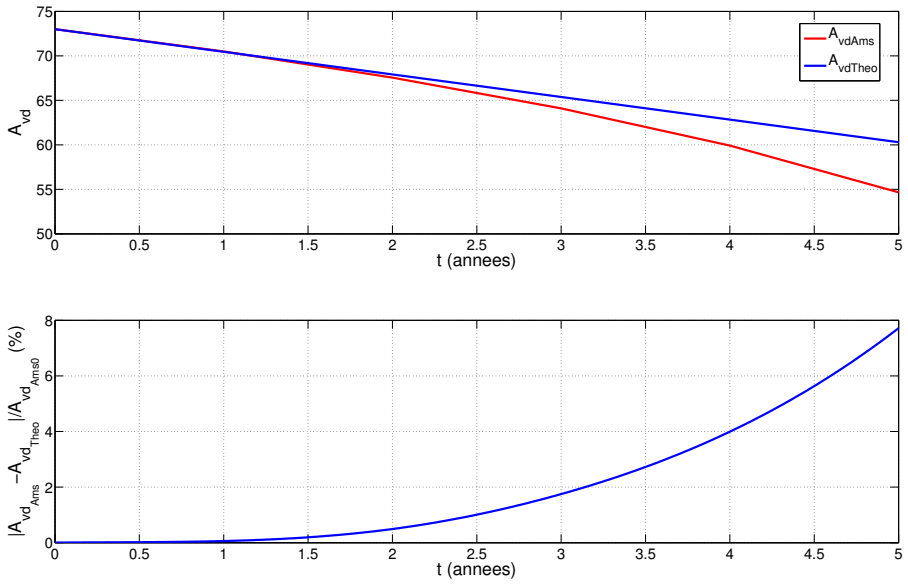


FIG. 2.27 – Graphique supérieur : dérive du gain de l'étage différentiel avec une tension de mode commun de 2.0 Volts - Graphique inférieur : erreur relative entre la dérive simulée et la dérive théorique

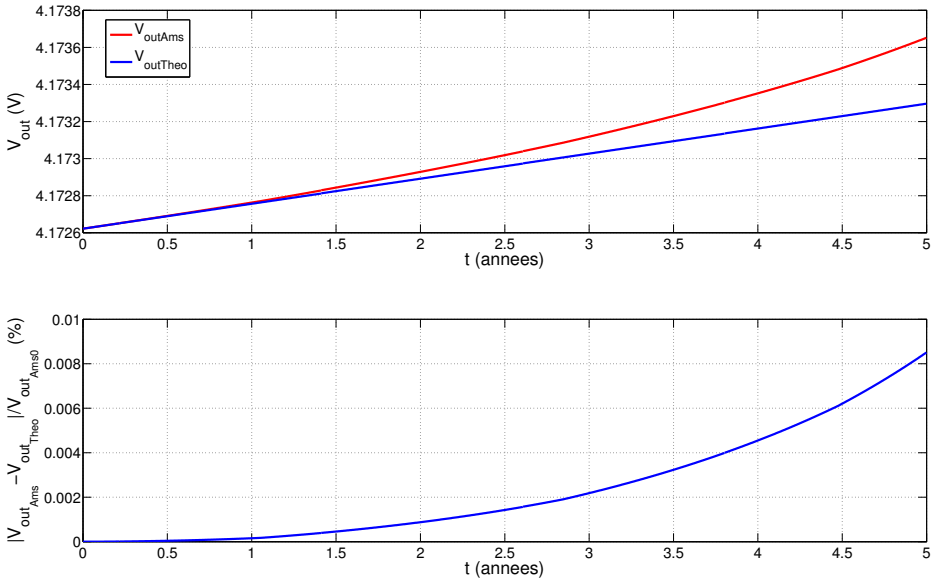


FIG. 2.28 – Graphique supérieur : dérive du point de repos de l'étage différentiel avec une tension de mode commun de 2.0 Volts - Graphique inférieur : erreur relative entre la dérive simulée et la dérive théorique

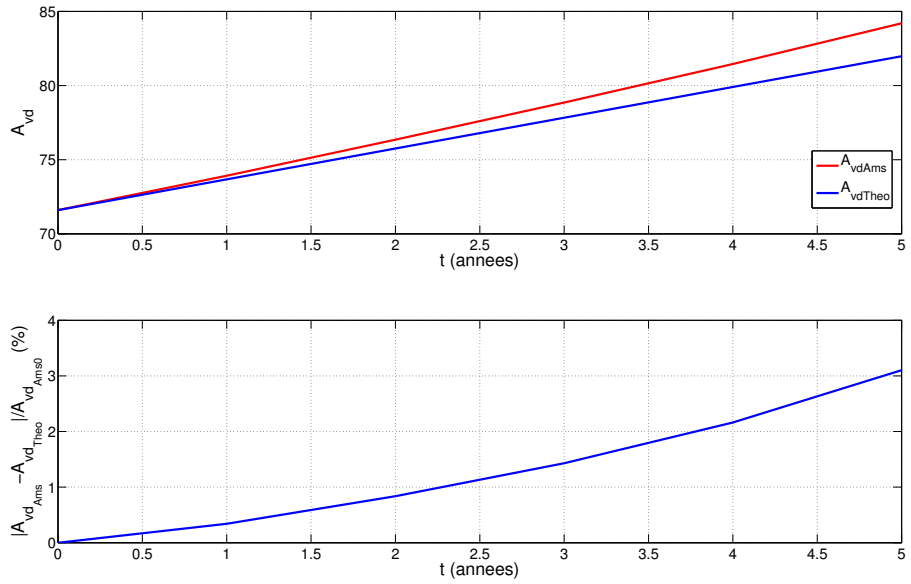


FIG. 2.29 – Graphique supérieur : dérive du gain de l'étage différentiel avec une tension de mode commun de 3.0 Volts - Graphique inférieur : erreur relative entre la dérive simulée et la dérive théorique

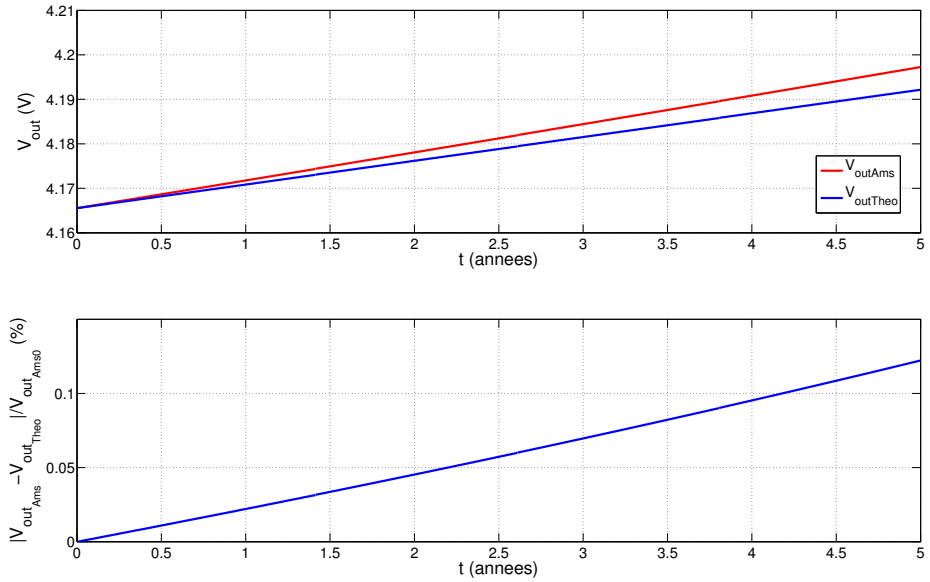


FIG. 2.30 – Graphique supérieur : dérive du point de repos de l'étage différentiel avec une tension de mode commun de 3.0 Volts - Graphique inférieur : erreur relative entre la dérive simulée et la dérive théorique

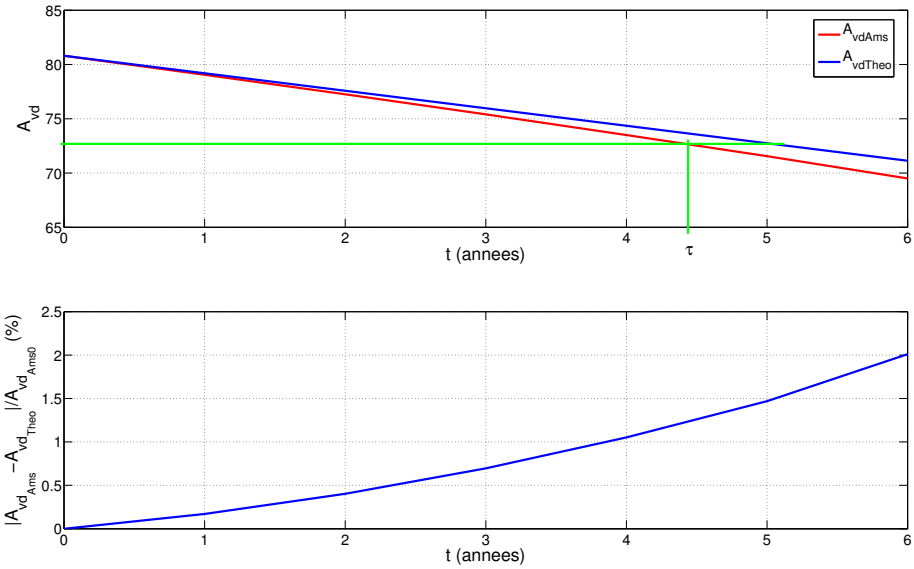


FIG. 2.31 – Graphique supérieur : dérive du gain de l'étage différentiel avec une approche pour la fiabilité $V_{mc} = 2.0$ Volts - Graphique inférieur : erreur relative entre la dérive simulée et la dérive théorique

Conception pour la fiabilité : Les dérives des paramètres de l'étage différentiel avec une tension de mode commun $V_{mc} = 2.5V$ étant faible, une approche de conception pour la fiabilité n'est pas nécessaire. Nous présentons donc uniquement les résultats pour les tensions de mode commun de $2.0V$ et $3.0V$. L'ensemble des résultats du dimensionnement des transistors est consigné dans le tableau 2.3.

Nous venons de voir que pour une tension $V_{mc} = 2.0V$, c'est la dégradation des transistors de la paire d'entrée, $M1$ et $M2$, qui provoquent la dérive des paramètres du circuit. Nous avons également vu que la dérive du point de repos est très faible. Nous allons donc chercher à corriger la dérive du gain. Notre objectif est de limiter la dérive du gain à 10 % de sa valeur nominale, soit $\Delta A_{vd} = 7.3$, sur une durée $\tau = 5$ ans. La dérive du courant I_5 étant très faible, nous pouvons négliger le terme θ_5 dans l'équation (2.81) :

$$A_{vd} \simeq A_{vd0} + \frac{A_{vd0}}{2}\frac{B_{k_N}}{KP_0}\frac{I_{5_0}}{2W_1}e^{-V_{c_N}/(V_{ds1_0}-V_{ds1sat_0})} \cdot t \tag{2.93}$$

Nous pouvons en déduire la contrainte sur la largeur des transistors $M1$ et $M2$ qui permet d'atteindre notre objectif :

$$W_1 \simeq \frac{A_{vd0}}{\Delta A_{vd}}\frac{B_{k_N}}{KP_0}\frac{I_{5_0}}{4}e^{-V_{c_N}/(V_{ds1_0}-V_{ds1sat_0})} \cdot \tau \tag{2.94}$$

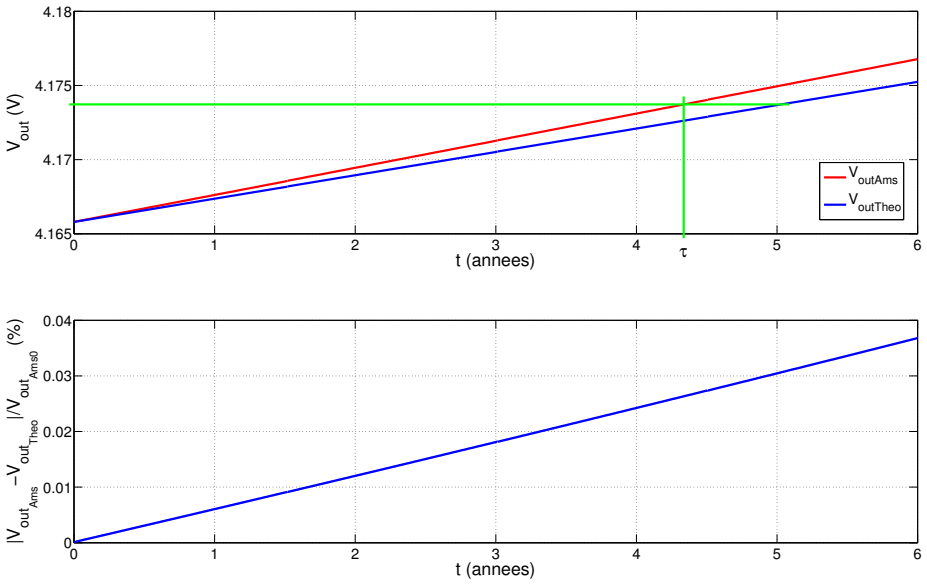


FIG. 2.32 – Graphique supérieur : dérive du point de repos de l'étage différentiel avec une approche pour la fiabilité $V_{mc} = 3.0$ Volts - Graphique inférieur : erreur relative entre la dérive simulée et la dérive théorique

Le calcul nous donne une largeur $W_1 = 2.58\mu m$. Pour respecter le rapport W_1/L_1 nous augmentons la longueur du transistor $M1$ dans les mêmes proportions. Le résultat de la simulation est visible sur la Fig. 2.31. Nous pouvons commencer par remarquer que le gain nominal est passé de 73 à 80.8. En augmentant L_1 nous avons diminué la conductance de sortie de $M1$ ($g_{ds1} \propto 1/L_1$). Or le gain est proportionnel à $\frac{1}{g_{ds1}+g_{ds4}}$. En augmentant L_1, nous avons donc également augmenté le gain. Toutefois, la démarche reste valable si le critère de fin de vie reste une dérive de 10% du gain initial c'est-à-dire du gain avant vieillissement du circuit. En effet, dans l'équation (2.94), la largeur de $M1$ est déterminée par rapport à la dérive relative du gain ($\frac{A_{vd0}}{\Delta A_{vd}}$) et non par rapport à sa dérive absolue. C'est pourquoi, d'après nos calculs analytiques, nous obtenons bien une dérive de 10% en 5 ans. En simulation, nous trouvons une durée de vie de $\tau = 4.4$ ans. La durée de vie est inférieure à celle escomptée car le taux de dégradation de $M1$ augmente au cours du temps. En outre, pour diminuer la dérive du gain, nous avons diminué le taux de dégradation de $M1$ et par la même diminué la dérive du courant I_5 induite par la dégradation de $M1$. C'est pourquoi la dérive du point de repos a également été réduite et passe de $1mV$ à $300\mu V$.

Nous avons vu que pour une tension $V_{mc} = 3.0V$, c'est la dégradation du transistor polarisant la structure, $M5$, qui provoque la dérive des paramètres du circuit. Nous avons vu que la dérive du gain est alors positive, ce qui n'est pas un problème en soi. Nous allons donc nous intéresser

uniquement à la correction de la dérive du point de repos. Notre objectif est de limiter la dérive du point de repos à 1 % (équivalente en dérive de V_{ds4}) de sa valeur nominale, soit $\Delta V_{out} = 8.3mV$, sur une durée $\tau = 5$ ans. La dégradation de $M3$ étant très faible, nous pouvons négliger les termes s'y rapportant dans l'équation (2.87) :

$$V_{OUT} \simeq V_{OUT_0} + \frac{V_{ds3_{Sat0}}}{2} \frac{\theta_5}{I_{5_0}} \cdot t \tag{2.95}$$

Ce qui nous permet d'exprimer la contrainte sur la dérive du courant I_5 permettant d'atteindre notre objectif :

$$\theta_5 \simeq \frac{2\Delta V_{OUT}}{V_{ds3_{Sat0}}} \frac{I_{5_0}}{\tau} \tag{2.96}$$

Nous pouvons ensuite en déduire la contrainte sur les dimensions du transistor $M5$ grâce aux équations (2.32) et (2.33). Le calcul nous donne une largeur $W_5 = 1.35\mu m$. Nous ajustons ensuite L_5 pour conserver le courant I_5 initial. Le résultat de la simulation est visible sur la figure 2.32 La durée de vie obtenue en simulation est de $\tau = 4.3$ ans. Le calcul analytique, lui, donne bien une durée de vie de 5 ans. La différence peut paraître importante pour une si faible dérive. Toutefois il faut se souvenir que la dérive du point de repos est proportionnelle à la dérive du courant I_5 (Eq.2.95). L'erreur sur l'estimation de I_5 se reporte donc en erreur sur le point de repos. Or, dans cette configuration de test, la dérive du courant est de presque 10 % avec une erreur d'estimation d'environ 1 %. Finalement l'erreur sur l'estimation de la dérive du point de repos entre la simulation et l'étude analytique est cohérente au regard de l'erreur sur l'estimation du courant.

Pour conclure, nous venons de voir que la dégradation de l'étage différentiel est fortement corrélée avec la tension de mode commun. Les transistors constituant la paire différentielle d'entrée, $M1$ et $M2$, sont les plus stressés pour les tensions de mode commun inférieures ou

Paramètre	Conception conventionnelle	Conception pour la fiabilité avec $V_{mc} = 2.0V$	Conception pour la fiabilité avec $V_{mc} = 3.0V$
W_1, W_2 (μm)	1.0	2.58	1.0
L_1, L_2 (μm)	2.0	5.16	2.0
W_3, W_4 (μm)	0.6	0.6	0.6
L_3, L_4 (μm)	0.5	0.5	0.5
W_5 (μm)	0.4	0.4	1.35
L_5 (μm)	0.7	0.7	2.14
W_E (μm)	0.4	0.4	0.4
L_E (μm)	0.65	0.65	0.65

TAB. 2.3 – Dimensions des transistors de l'étage différentiel utilisées lors des simulations

égales à $V_{DD}/2$. Pour les tensions de mode commun supérieures à $V_{DD}/2$, c'est le transistor qui polarise la structure, $M5$, qui est le plus stressé. Le point de fonctionnement en entrée du circuit n'est pas forcément défini à la conception. La dynamique d'entrée en mode commun par contre l'est. Ainsi, l'étude des deux cas extrêmes de la tension de mode commun permet de dimensionner le circuit pour répondre à tous les cas de figure que le circuit peut rencontrer. Cette approche amène toutefois à un dimensionnement conservatif, c'est-à-dire avec des transistors qui seront sur-dimensionnés. Si on peut estimer le point de fonctionnement d'entrée du circuit, on pourra optimiser la conception et agir uniquement sur les dimensions des transistors critiques.

2.3 Conclusion

Dans ce chapitre, nous avons présenté un modèle analytique de vieillissement du transistor MOS basé sur la dégradation par porteurs chauds. Ce modèle décrit la relation entre les conditions de fonctionnement d'un transistor (courant qui le traverse et différence de potentiels à ses bornes) et la dérive de sa tension de seuil et de sa transconductance. Le modèle est basé sur un modèle physique que nous avons linéarisé pour obtenir des équations manipulables analytiquement. Nous avons montré expérimentalement que ce modèle était valable pour les faibles dérives (de l'ordre de 10 %) de la tension de seuil et de la transconductance. Nous avons exposé les résultats d'une campagne de mesures qui nous a permis d'extraire les paramètres du modèle de vieillissement. Enfin nous avons présenté l'implantation du modèle de vieillissement en langage VHDL-AMS.

En combinant notre modèle avec le modèle de transistor MOS Spice Level 1, nous avons pu étudier l'impact du vieillissement sur des structures de base de l'électronique analogique (miroir de courant, étage de gain...). Nous avons montré comment ce modèle pouvait être utile pour estimer la dérive des caractéristiques électriques d'un circuit, comme par exemple la dérive d'un courant de polarisation. Nous avons également fait le lien entre la dérive des caractéristiques électriques d'un circuit (courants, tensions) et ses caractéristiques fonctionnelles (par exemple le gain). Nous avons confronté nos résultats analytiques et pratiques, et nous avons vérifié que notre approche est valide pour des faibles dérives. Enfin nous avons montré comment le modèle pouvait être utilisé pour améliorer, dès la phase de conception, la fiabilité des structures étudiées. Cette approche a été validée par simulation VHDL-AMS.

Chapitre 3

Méthodologie de conception analogique pour la fiabilité

Nous venons d'étudier l'impact du vieillissement sur des structures de bases de l'électronique analogique. Nous avons vu comment évoluaient ces structures au cours du temps et comment déterminer les conditions de polarisation qui minimisent les dérives. Nous allons maintenant montrer comment nous pouvons utiliser ces résultats pour évaluer la dérive des caractéristiques fonctionnelles de circuits complexes, choisir une architecture adaptée, dimensionner le circuit et déterminer les conditions de polarisation pour lesquelles l'impact des porteurs chauds est minimal. Nous terminerons avec une application originale de notre méthode : la conception d'un capteur de vieillissement. Mais pour commencer, nous présentons notre méthodologie de conception pour la fiabilité.

3.1 Méthodologie

La phase préliminaire à la conception d'un circuit et de manière générale de tout système, consiste en une phase d'analyse permettant de répertorier les spécifications de ce circuit (par exemple sous forme d'un cahier des charges). Le résultat doit (devrait) énumérer toutes les contraintes et performances attendues du circuit qu'on regroupe sous le terme de spécifications. Les spécifications d'un circuit sont liées à son usage. Nous savons que nous ne pouvons pas augmenter toutes les performances caractéristiques d'un système et que certaines contraintes sont difficiles à concilier. Ainsi l'application va déterminer les spécifications qui seront les plus importantes. La prise en compte du vieillissement dans la conception du circuit se traduit par l'ajout de contraintes sur la dérive des spécifications nominales. Si nous voulons éviter de compliquer inutilement la conception, nous devons restreindre l'étude aux spécifications les plus sensibles au vieillissement i.e. qui risquent de sortir des caractéristiques du cahier des

charges. Le problème est qu'il faut les détecter.

Une première approche consiste à concevoir le circuit de manière conventionnelle, puis à contrôler la dérive des paramètres qui ont des valeurs nominales proches des spécifications. Typiquement, si la spécification du gain d'un OTA indique un minimum de $90dB$ et qu'après conception on atteint les $90,2dB$, nous avons intérêt à nous assurer que le vieillissement du circuit ne provoquera pas une dérive excessive du gain qui le placerait rapidement hors des spécifications. Cette approche ne permet pas de détecter les spécifications sensibles au vieillissement et doit être complétée par une méthode systématique.

Intuitivement, un concepteur peut repérer rapidement les transistors les plus soumis au stress (forte densité de courant et différence $V_{ds} - V_{ds_{Sat}}$ élevée). Néanmoins, il vaut mieux opter pour une approche plus systématique qui permettrait la détection exhaustive des points critiques et qui s'intègrerait dans une analyse de la sûreté de fonctionnement de type AMDEC (§ 1.2.1.2). Pour cela, il est nécessaire de repérer les transistors les plus soumis à la dégradation. Les paramètres Γ_v et Γ_k (Eq. 2.6) quantifient le taux de dégradation du transistor à partir de la connaissance des points DC. En calculant ces paramètres pour chaque transistor, nous obtenons une "cartographie" du taux de dégradation initial des transistors du circuit. Un concepteur peut relier la dégradation d'un transistor et son incidence sur la fonctionnalité du circuit comme nous l'avons fait sur les structures de base au chapitre 2. Ainsi, la "cartographie" du circuit lui permet d'orienter les actions correctives à mener sur sa conception pour améliorer la fiabilité du circuit lors du dimensionnement manuel de ce dernier. Pour finir, le concepteur valide par simulation toutes les spécifications de son circuit, y compris celle liées à la fiabilité. Comme exemple, nous allons maintenant décrire la conception d'un OTA.

3.2 Conception d'un OTA avec prise en compte du vieillissement

L'étude des différentes structures de base nous a permis de comprendre l'évolution des courants et tensions dans différentes configurations. Nous avons vu comment on pouvait user du modèle de dégradation du TMOS pour limiter ou "annuler" la dérive des caractéristiques sur ces circuits simples. À présent, nous allons voir comment on peut utiliser ces règles de conception pour contrôler la dérive des caractéristiques d'un OTA Miller (Fig. 3.1). Un OTA Miller est composé d'un étage différentiel d'entrée ($M1$ et $M2$) polarisé par un miroir de courant ($M6 - M5$). L'étage de sortie est un étage amplificateur à charge NMOS (MP et MN) polarisé par un miroir de courant ($M6 - MN$). La capacité C_C permet de compenser l'OTA pour ajuster sa marge de phase.

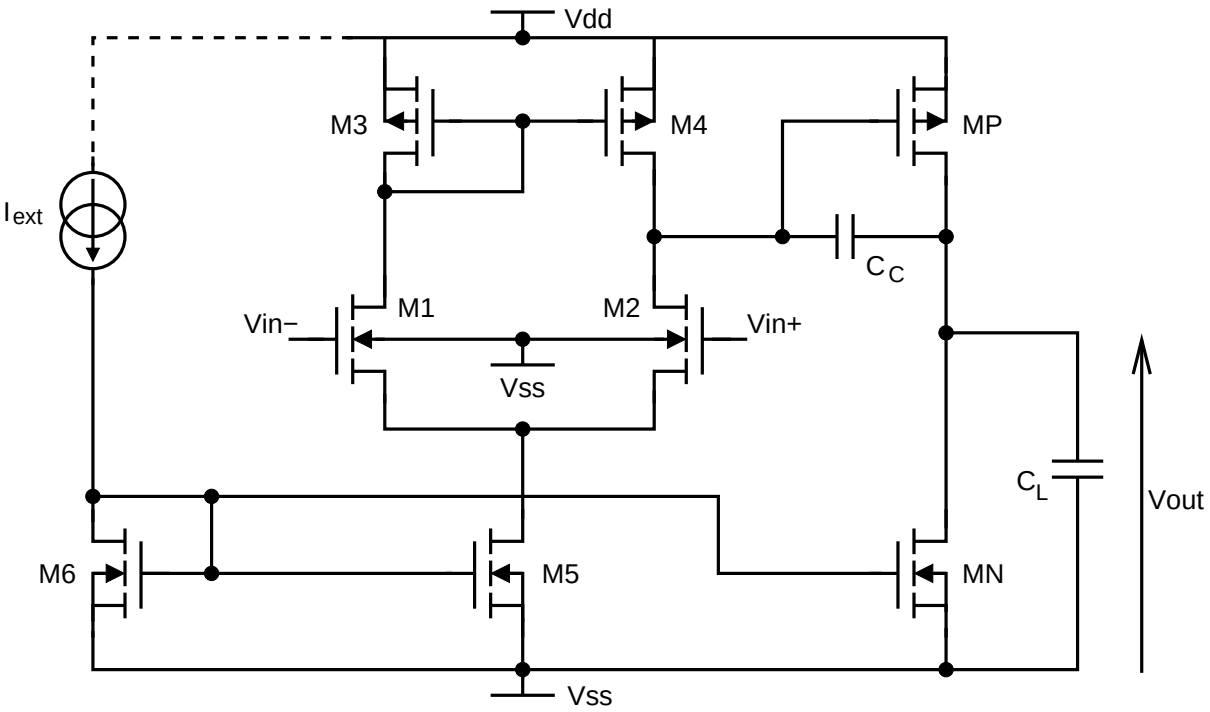
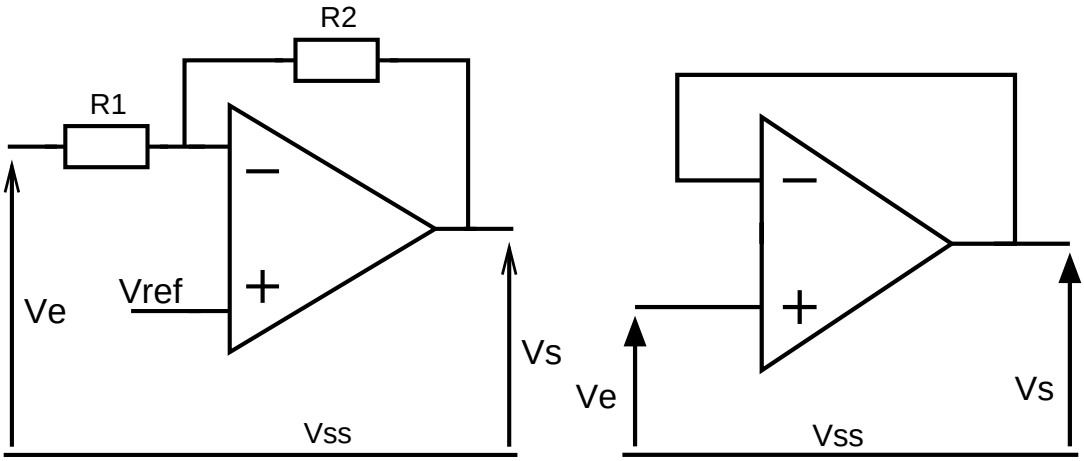


FIG. 3.1 – Vue schématique d'un OTA Miller

3.2.1 Étude du vieillissement de l'OTA

La fonction attribuée à un OTA peut être réalisée par quelques montages spécifiques. Le montage choisi va modifier les contraintes électriques appliquées à l'OTA et donc également l'étude de la dégradation. Par exemple, la sortie d'un OTA utilisé en boucle ouverte (i.e. utilisé en comparateur) est la plupart du temps à V_{SS} ou V_{DD}. Suivant l'état de la sortie, les contraintes appliquées à l'étage de sortie sont bien différentes. Dans notre approche nous déterminons la dégradation des transistors en fonction des points DC. On ne peut donc pas estimer la dégradation de la sortie avec notre méthode, notre approche n'est pas adaptée à ce type de cas. Au contraire, la sortie d'un OTA contre-réactionné varie typiquement autour de $0V$, le circuit étant supposé alimenté de manière symétrique : $V_{DD} = -V_{SS}$. Une remarque analogue peut être mentionnée au niveau de l'entrée d'un OTA. Dans certains montages, le mode commun d'entrée peut être fixe, comme par exemple dans un montage amplificateur inverseur (Fig. 3.2(a)), ou évoluer avec le signal d'entrée, comme par exemple dans un montage suiveur (Fig. 3.2(b)). Pour déterminer correctement la dégradation d'un montage où le mode commun d'entrée n'est pas fixe, nous devons connaître les conditions opératoires du circuit dans le système global.

Considérons un OTA polarisé par un courant I_{ext} de $3\mu A$ et une tension d'alimentation symétrique $V_{DD} = -V_{SS} = 2.5V$. Les dimensions des transistors sont répertoriées dans la table 3.1. Nous étudierons l'influence de la tension de mode commun d'entrée du dispositif pour une



(a) OTA en montage amplificateur inverseur (b) OTA en montage suiveur

FIG. 3.2 – Exemples de configurations d'OTA où la tension de mode commun en entrée de l'OTA est fixe (a) ou variable (b).

gamme de tension de $\pm 0.5\,V$. Dans un premier temps, nous allons étudier l'évolution des courants et tensions dans l'OTA en boucle ouverte. Nous verrons ensuite l'effet de la contre-réaction sur le vieillissement de l'OTA.

Étude en boucle ouverte : Nous allons nous intéresser à la dérive de l'offset systématique. L'offset systématique est défini comme la tension différentielle qui doit être appliquée entre les entrées de l'OTA pour que le signal de sortie soit nul. Par conséquent, si l'offset d'un OTA n'est pas nul et que les entrées sont fixées au même potentiel, le signal de sortie n'est pas nul. L'offset systématique résulte du décalage entre le potentiel au repos (point de polarisation) en sortie de l'amplificateur différentiel (V_{sd_4}) et le potentiel en entrée de l'étage de gain nécessaire pour obtenir une tension de sortie nulle (V_{sg_P}) (Fig. 3.3). Ce décalage induit une tension d'offset équivalente en entrée définie comme $V_{Off_{IN}} = V_{dec}/A_{vd}$ où A_{vd} est le gain de l'étage différentiel. Ainsi l'offset systématique est nul si :

$$V_{dec} = V_{sd_4} - V_{sg_P} = 0. \tag{3.1}$$

L'étude du vieillissement va donc consister à étudier la fonction :

$$\Delta V_{dec} = \Delta V_{sd_4} - \Delta V_{sg_P} \tag{3.2}$$

Lors de l'étude de l'étage de gain, nous avons défini le point de basculement comme $V_{basc} = V_{dd} - V_{sg_P}$ alors que pendant l'étude de la paire différentielle, nous avons défini le point

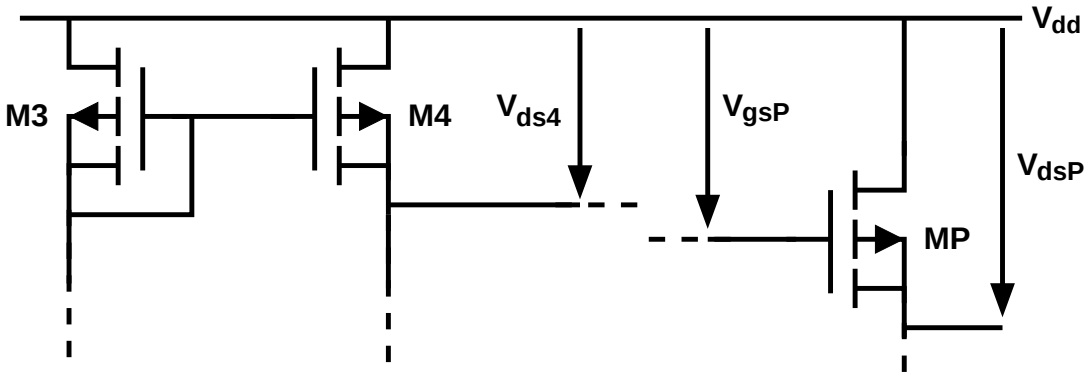


FIG. 3.3 – Illustration du lien entre le décalage des potentiels en sortie de l'étage différentiel et en entrée de l'étage de gain et l'offset systématique de l'OTA.

de repos en sortie comme $V_{out} = V_{dd} - V_{sd_4}$, d'où :

$$\begin{cases} \Delta V_{sd_4} & = -\Delta V_{out} \\ \Delta V_{sg_P} & = -\Delta V_{basc} \end{cases} \tag{3.3}$$

Et donc

$$\Delta V_{dec} = \Delta V_{basc} - \Delta V_{out} \tag{3.4}$$

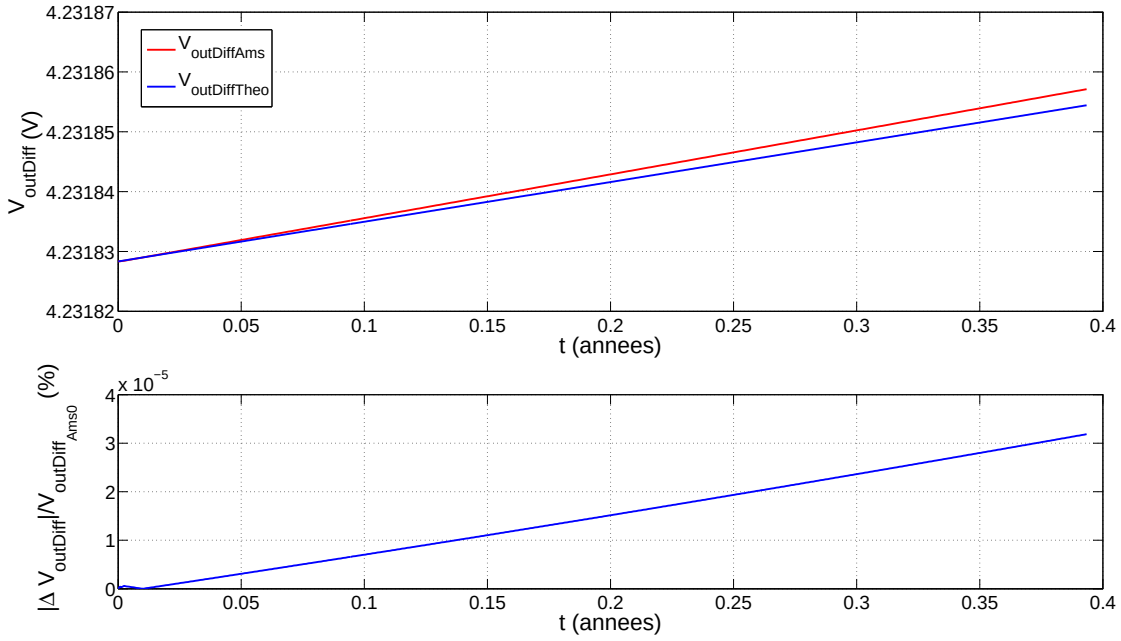
Ceci nous permet d'utiliser les résultats obtenus au chapitre 2 et nous pouvons donc substituer le terme ΔV_{basc} par l'équation (2.69) et le terme ΔV_{out} par l'équation (2.86), l'expression précédente devient alors :

$$\Delta V_{dec} \simeq \Delta V_{t_P} + \frac{V_{dsP_{Sat0}}}{2}\left(\frac{\Delta I_N}{I_{N0}} - \frac{\Delta KP_P}{KP_{P0}}\right) - \Delta V_{t3} - \frac{V_{ds3_{Sat0}}}{2}\left(\frac{\Delta I_5}{I_{5_0}} - \frac{\Delta KP_3}{KP_{3_0}}\right) \tag{3.5}$$

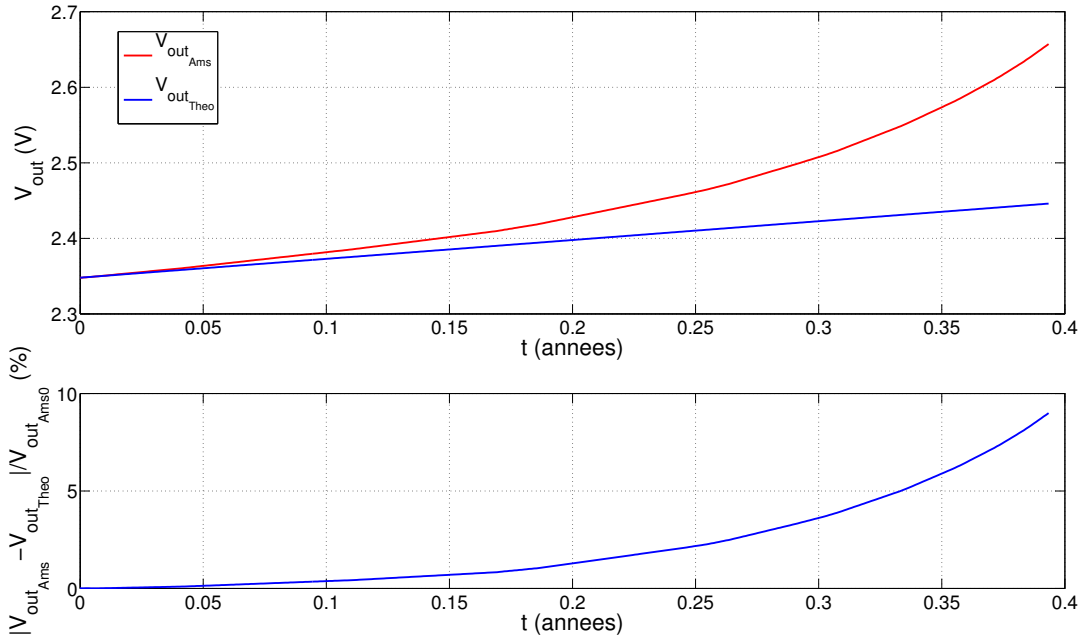
Avec $V_{ds_{satP_0}}$ défini comme $V_{ds_{P_0}} - V_{t_P}$ et $V_{ds_{sat3_0}}$ défini comme $V_{ds_{3_0}} - V_{t3}$. Or $V_{ds_{satP_0}} = V_{ds_{sat3_0}}$ d'où :

$$\Delta V_{dec} \simeq \Delta V_{t_P} - \Delta V_{t3} + \frac{V_{dsP_{Sat0}}}{2}\left(\frac{\Delta I_N}{I_{N0}} - \frac{\Delta I_5}{I_{5_0}} + \frac{\Delta KP_3}{KP_{3_0}} - \frac{\Delta KP_P}{KP_{P0}}\right) \tag{3.6}$$

L'expression montre que, naturellement, les dérives des transistors tendent à se compenser minimisant ainsi la dérive de V_{dec} : les couples de termes (ΔV_{t_P}, ΔV_{t3}), (ΔI_N, ΔI_5) et (ΔKP_3, ΔKP_P) varient dans le même sens. Pour que ΔV_{dec} soit nul, il faut néanmoins que les grandeurs dérivent à la même vitesse. Nous pouvons exprimer la dérive des paramètres des transistors $M3$ et MP en fonction des contraintes appliquées à ces transistors (Eq. 2.5 et 2.6). Pour exprimer la dérive des courants I_5 et I_N, nous allons simplement utiliser les résultats de notre étude sur la dérive du courant de sortie du miroir de courant (Eq. 2.26). Finalement, en combinant les équations (3.6),

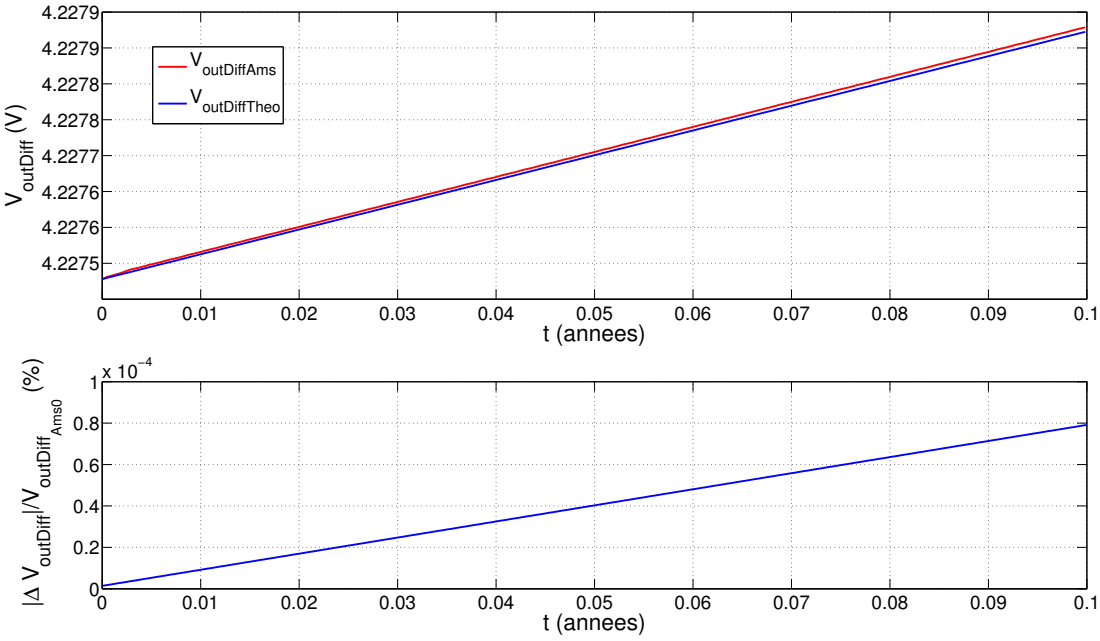


(a) $V_{outDiff}$

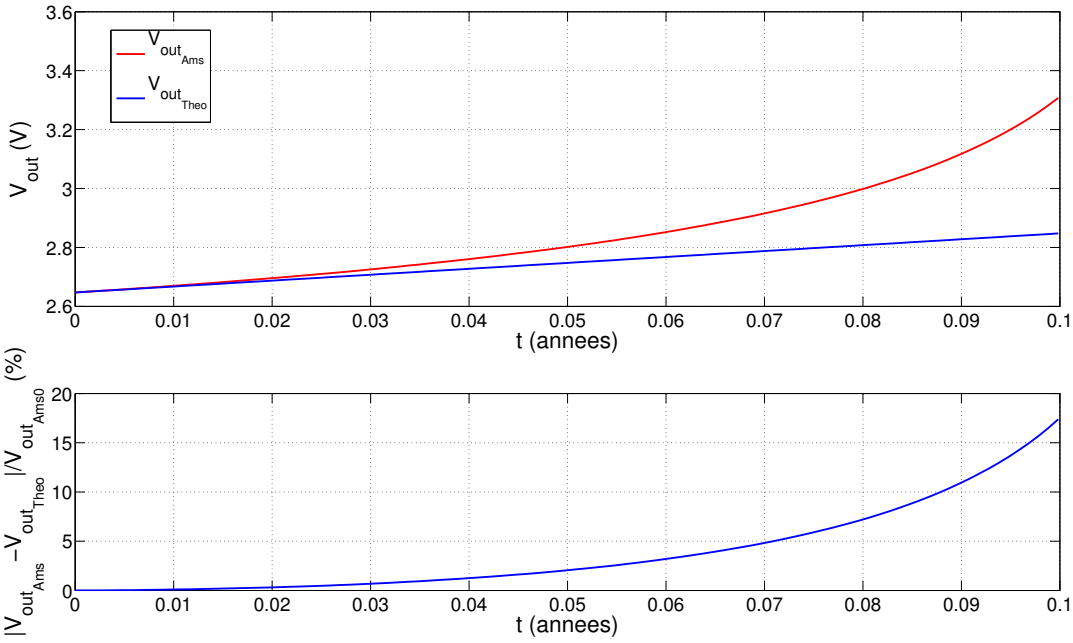


(b) V_{out}

FIG. 3.4 – Simulation de la tension de “sortie” de l’étage différentiel $V_{outDiff}$ et de la tension de sortie V_{out} d’un OTA en Boucle Ouverte avec une tension de mode commun de $2.0V$



(a) $V_{outDiff}$



(b) V_{out}

FIG. 3.5 – Simulation de la tension de "sortie" de l'étage différentiel $V_{outDiff}$ et de la tension de sortie V_{out} d'un OTA en Boucle Ouverte avec une tension de mode commun de $3.0V$

(2.5) et (2.26), nous obtenons l'expression de la dérive temporelle de V_{dec} :

$$\Delta V_{dec} \simeq \left[\left(\frac{V_{dsP_{sat0}}}{2KP_{P0}}B_{k_P} - B_{v_P}\right)\left(\frac{I_{5_0}}{2W_3}e^{\frac{-V_c}{V_t}} - \frac{I_{N_0}}{W_P}e^{\frac{-V_c}{V_{dsP_0}-V_{dsP_{Sat0}}}}\right) + \frac{V_{dsP_{sat0}}}{2}\left(\frac{\theta_{IN}}{I_{N_0}} - \frac{\theta_{I5}}{I_{5_0}}\right)\right] \cdot t \quad (3.7)$$

où θ_{IN} représente la vitesse de dérive du courant I_N et θ_{I5} représente celle du courant I_5.

Comparons ensuite ces résultats analytiques avec une simulation VHDL-AMS. Étant donné qu'il n'est pas immédiat d'obtenir la tension d'offset équivalente en entrée, nous observerons plutôt la dérive de la sortie pour évaluer la dérive de l'offset. Dans ce cas, la dérive de la tension de sortie est donnée par :

$$V_{out} = V_{out0} + \Delta V_{dec} \cdot A_{vi0} \quad (3.8)$$

Nous fixons, dans un premier temps, la tension de mode commun à $2.0V$. Les résultats de simulation de la dérive de la tension de "sortie" de l'étage différentiel $V_{outDiff}$ et de la tension de sortie de l'OTA V_{out} sont représentées sur la figure 3.4. Nous pouvons vérifier l'accord entre les résultats de simulation et l'étude analytique.

Nous fixons à présent la tension de mode commun à $3.0V$. Les résultats de simulation sont présentés sur la figure 3.5. Nous remarquons que la dérive est plus marquée et sort du domaine de validité de notre modèle. Néanmoins sur la partie "linéaire" de la dérive (jusqu'à environ 0.08 ans) nous observons un bon accord entre la simulation et l'étude analytique.

L'étude de la dérive de l'OTA en boucle ouverte nous a permis de vérifier que la dérive d'un système complexe est bien la combinaison des dérives des blocs élémentaires. Nous allons maintenant étudier le vieillissement d'un OTA dans un système contre-réactionné.

Étude du système contre-réactionné Nous utiliserons l'OTA dans sa configuration contre-réactionnée la plus simple, le montage suiveur de tension (Fig. 3.2(b)). Nous allons étudier la dérive du gain intrinsèque et de l'offset systématique de l'OTA. En montage suiveur, la différence de potentiels entre les deux entrées différentielles de l'OTA est égale à l'offset systématique du circuit. De plus, la dérive du potentiel de sortie de l'étage différentiel (V_{ds_4}) est égale à ΔV_{dec}. Ainsi, l'extraction de l'offset systématique et de la tension de déclage de l'OTA est facilitée en simulation.

Approche conventionnelle : Le gain de l'OTA est égal au produit du gain de la paire différentielle d'entrée par le gain de l'étage amplificateur de sortie :

$$A_v = A_{vd} \cdot A_{vi} \quad (3.9)$$

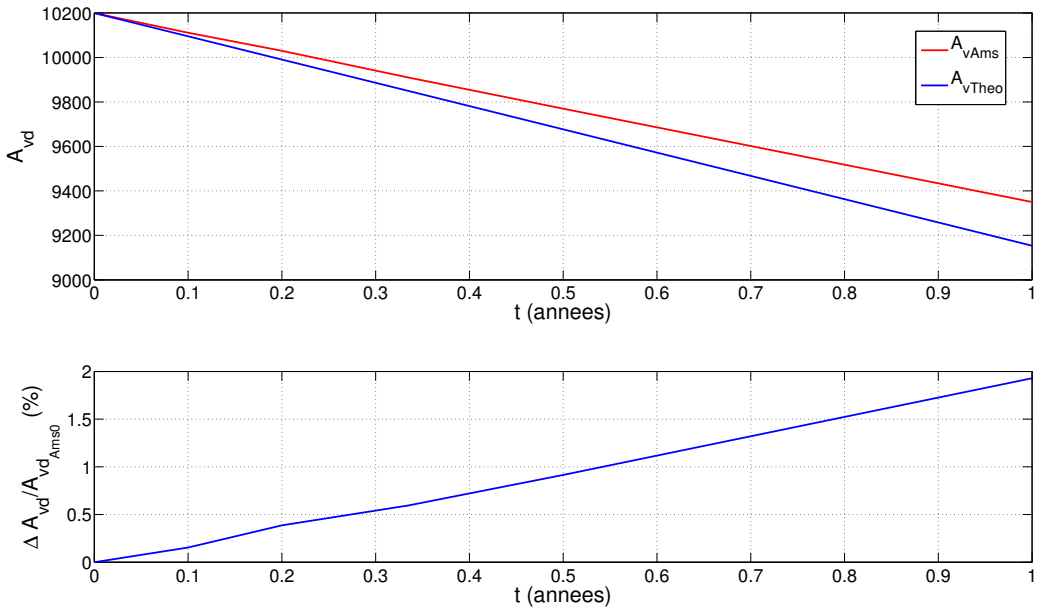


FIG. 3.6 – Simulation de l'évolution du gain d'un OTA avec une tension de mode commun de $2.0V$

La dérive du gain de l'OTA peut donc s'exprimer en fonction de la dérive du gain de la paire différentielle et de l'étage de gain :

$$A_v = \underbrace{A_{vd_0} \cdot A_{vi_0}}_{A_{v_0}} \left(1 + \frac{\Delta A_{vd}}{A_{vd_0}} + \frac{\Delta A_{vi}}{A_{vi_0}} + \underbrace{\frac{\Delta A_{vd} \Delta A_{vi}}{A_{vd_0} A_{vi_0}}}_{\text{négligeable}}\right) \simeq A_{v_0}\left(1 + \frac{\Delta A_{vd}}{A_{vd_0}} + \frac{\Delta A_{vi}}{A_{vi_0}}\right) \tag{3.10}$$

Nous voyons que la dérive du gain de l'OTA est fonction de la somme de la dérive du gain de l'étage différentiel (2.80) et de l'étage de sortie (2.59). Nous pouvons en déduire l'expression de la dérive du gain en fonction de la dérive des paramètres électriques du circuit :

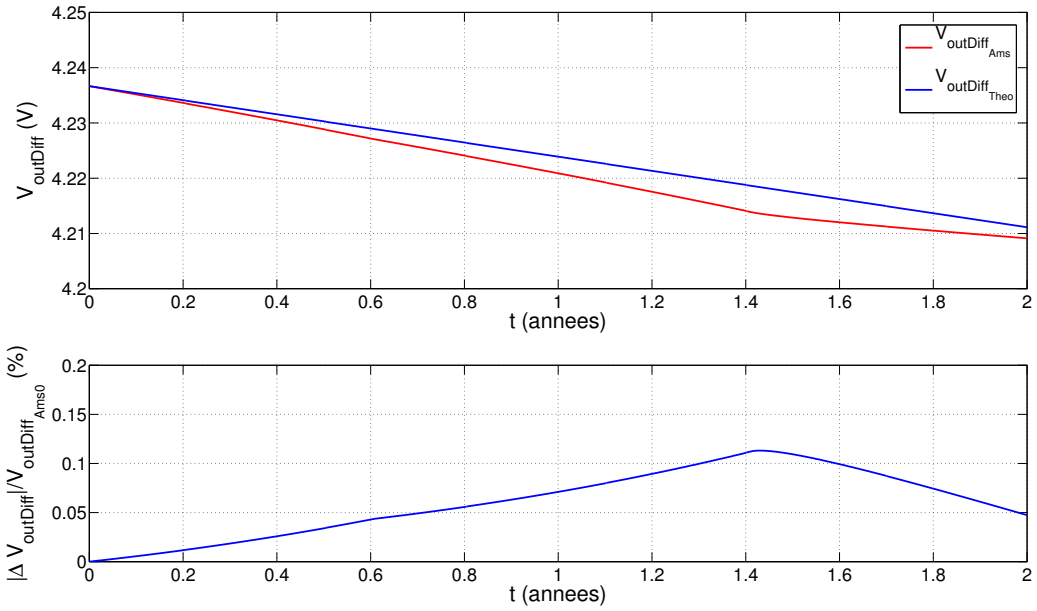
$$A_v \simeq A_{v_0} + \frac{A_{v_0}}{2}\left(\frac{\Delta KP_{12}}{KP_{N0}} - \frac{\Delta I_5}{I_{5_0}} + \frac{\Delta KP_P}{KP_{P0}} - \frac{\Delta I_N}{I_{N_0}}\right) \tag{3.11}$$

En combinant cette équation avec les expressions du modèle de vieillissement, nous obtenons :

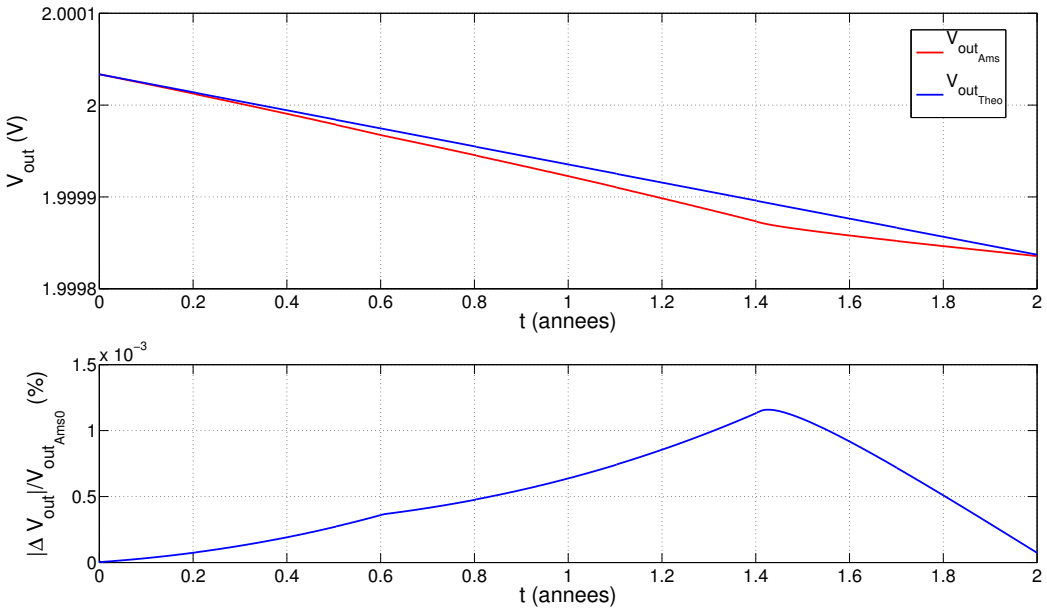
$$A_v \simeq A_{v_0} + \frac{A_{v_0}}{2}\left(\frac{B_{k_n}}{KP_{N0}} \frac{I_{5_0}}{2W_{12}} e^{\frac{-V_c}{V_{ds12_0} - V_{ds12_{Sat0}}}} - \frac{\theta_{I5}}{I_{5_0}} + \frac{B_{k_p}}{KP_{P0}} \frac{I_{N_0}}{W_N} e^{\frac{-V_c}{V_{dsN_0} - V_{dsN_{Sat0}}}} - \frac{\theta_{IN}}{I_{N_0}}\right) \cdot t \tag{3.12}$$

où θ_{I5} et θ_{IN} ont la même signification que celle qu'ils ont dans l'équation (3.7).

Nous fixons, dans un premier temps, la tension de mode commun du dispositif à $2.0V$. Les



(a) $V_{outDiff}$



(b) V_{out}

FIG. 3.7 – Simulation de l'évolution de l'offset d'un OTA avec une tension de mode commun de $2.0V$

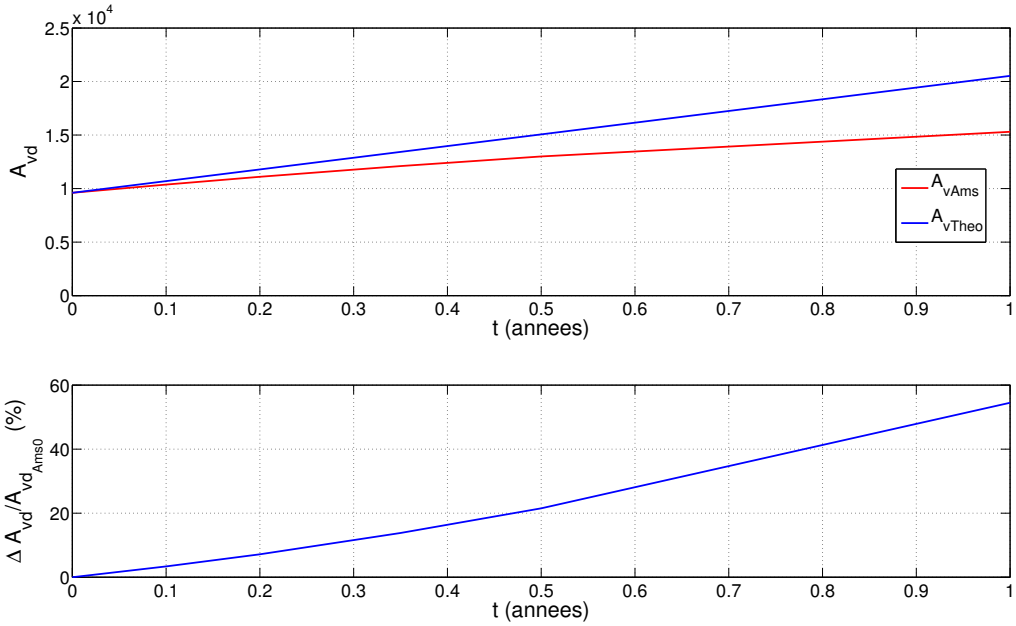
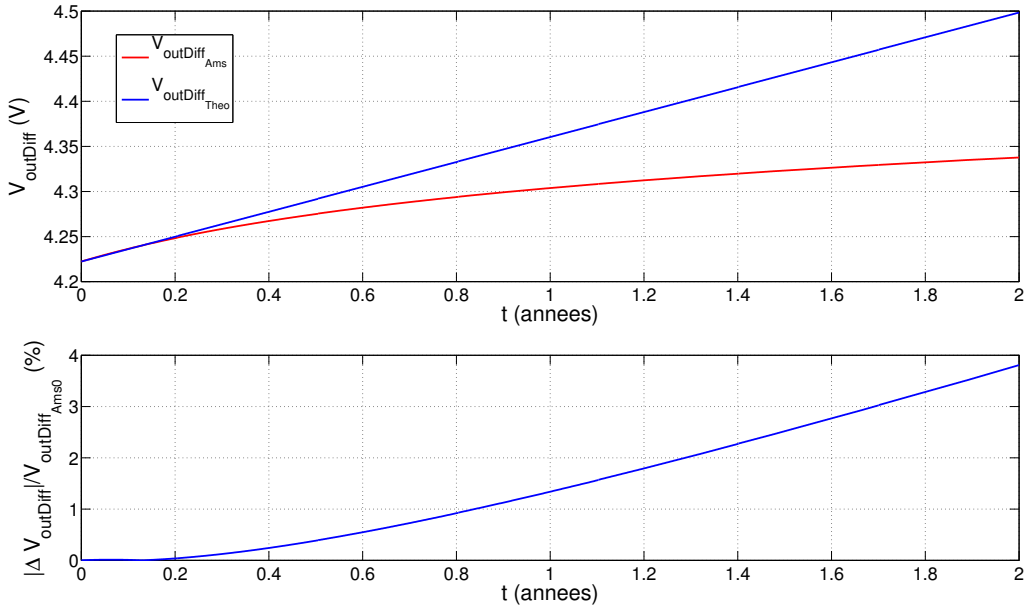


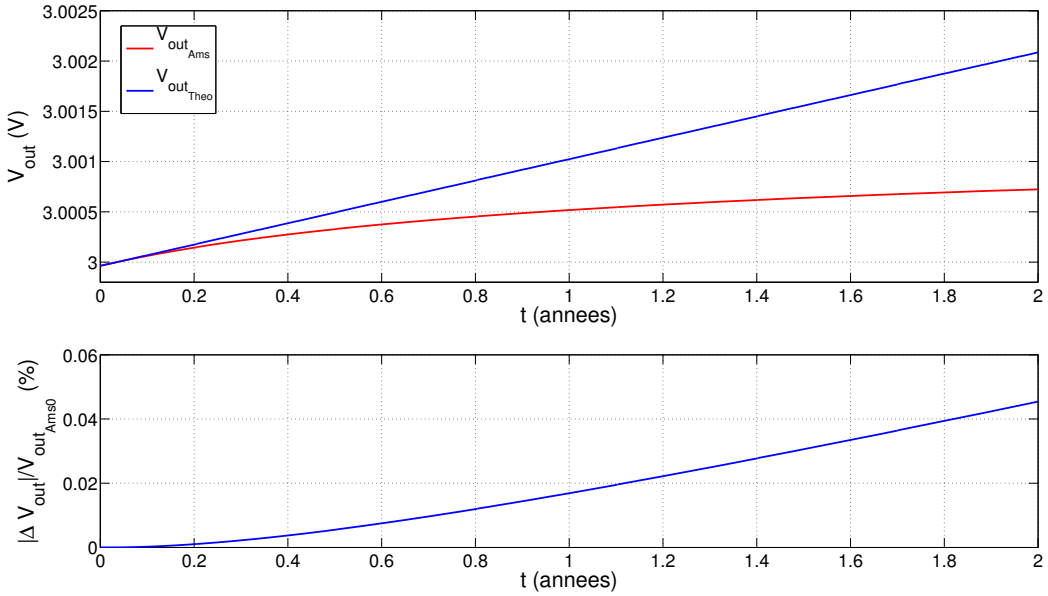
FIG. 3.8 – Simulation de l'évolution du gain de l'OTA avec une tension de mode commun de $3.0V$

résultats des simulations de la dérive du gain et de l'offset sont visibles, respectivement, sur les figures 3.6 et 3.7. La dérive du gain est bien évaluée par l'étude analytique. Sur la durée de simulation, on observe une dérive d'environ 8 % pour une erreur inférieure à 2 %. Sur la figure 3.7, on voit que la tendance de la dérive de l'offset est bonne, mais on remarque une "cassure" aux environs de 1.4 ans de simulation. En effet, avant 1.4 ans, la dérive est dominée par la dégradation du transistor MP. Au bout de 1.4 ans, le transistor est très dégradé et ses paramètres ne dérivent presque plus. Après 1.4 ans, c'est la dégradation des transistors de la paire d'entrée de l'OTA ($M1$ et $M2$) qui domine et vient "compenser" la dégradation de MP. Mais il faut noter que, au bout des 1.4 années, le transistor MP peut être considéré comme "détruit", avec une dérive de plus de 50 % de sa transconductance. À ce niveau de dégradation, le circuit ne serait certainement plus fonctionel. Pour l'offset, l'étude analytique est bien en accord avec la simulation et nous n'observons pas de phénomène particulier. On relève une dérive de l'offset de 3.5 % pour une erreur d'un peu plus de 0.1 %.

À présent nous étudions le vieillissement de l'OTA avec une tension de mode commun de $3.0V$. Les résultats sont visibles sur les figures 3.8 et 3.9. Globalement, les dérives sont plus marquées pour $V_{mc} = 3.0V$, et nous remarquons que le gain a tendance à augmenter. La dérive de la tension de sortie de l'étage différentiel est bien estimée analytiquement avec moins de 4 % d'erreur pour une dérive simulée de 15 %. De son côté, le gain varie considérablement (50 %). Cette tendance était prévue par l'étude analytique. Tout d'abord, l'étude de l'étage différentiel



(a) $V_{outDiff}$



(b) V_{out}

FIG. 3.9 – Simulation de l'évolution de l'offset d'un OTA avec une tension de mode commun de $3.0V$

nous avait montré que le gain de cette étage augmentait avec le vieillissement pour une tension de mode commun supérieure à $V_{DD}/2$. Ensuite l'équation (2.81) montre que la dérive du gain de l'étage de gain est proportionelle à $\frac{\Delta KP_P}{KP_{P0}} - \frac{\Delta I_N}{I_{N_0}}$. Dans nos conditions de simulation ($3V$ imposé en sortie de l'OTA) $\Delta KP_P/KP_{P0}$ est négligeable devant $\Delta I_N/I_{N_0}$. $\Delta I_N/I_{N_0}$ étant négatif, la dérive du gain de l'étage de gain est positive. Les dérives du gain de l'étage différentiel et de l'étage de gain étant positives, la dérive du gain de l'OTA est positive.

Conception pour la fiabilité : Nous allons maintenant chercher à minimiser les dérives dans l'OTA. Nous allons commencer à nous intéresser au cas où la tension de mode commun est de $3V$. L'augmentation du gain n'est pas considérée comme une dégradation et nous ne nous intéressons ici qu'à l'étude de la dérive de l'offset systématique. D'après l'équation (3.7), nous pouvons estimer la dérive du courant I_N qui permet de limiter la dérive de l'offset :

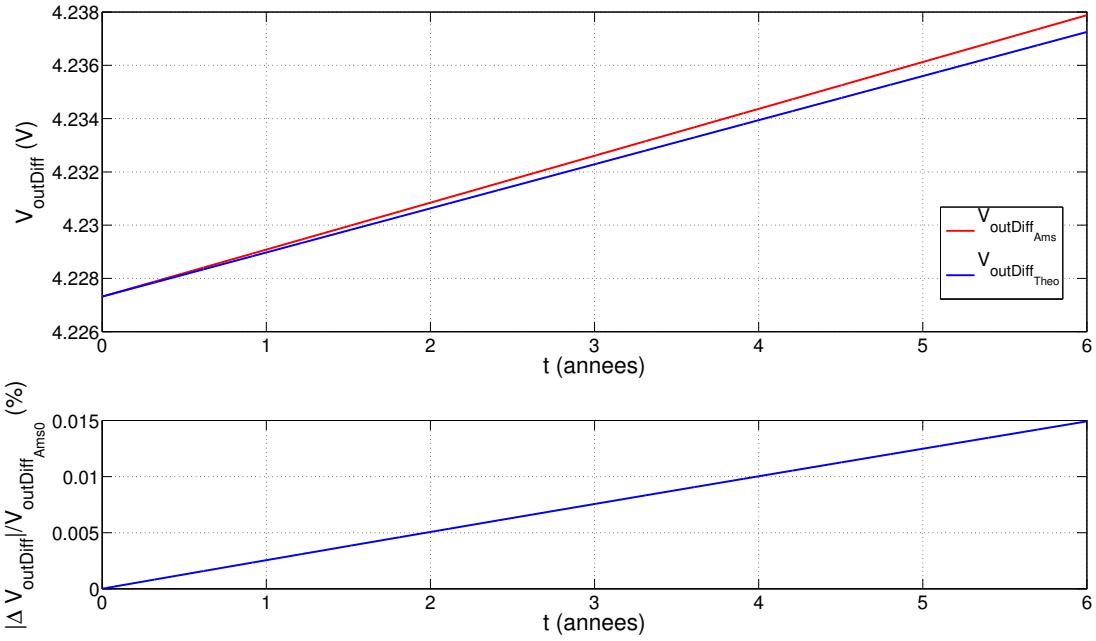
$$\theta_{IN} \simeq \left[\frac{\Delta V_{dec}}{\tau} - \left(B_{v_P} - \frac{V_{dsP_{Sat}} B_{KP}}{2KP_{P_0}}\right)\frac{I_{N_0}}{W_P} e^{-V_{c_N}/(V_{dsp_0} - V_{dsp_{sat_0}})} + \frac{V_{dsP_{Sat}}\theta_5}{2I_{5_0}}\right]\frac{2I_{N_0}}{V_{dsP_{Sat}}} \tag{3.13}$$

Nous pouvons ensuite déduire de l'équation (2.32) les contraintes à imposer sur les dimensions du miroir de courant $M6 - MN$. En combinant le résultat avec l'équation (2.33), on détermine le rapport W_N/W_6 qui permet d'imposer la bonne dérive du courant I_N. Par exemple, pour une dérive de V_{dec} de $0.1\,\%$ ($5\,mV$) sur 5 ans, nous trouvons :

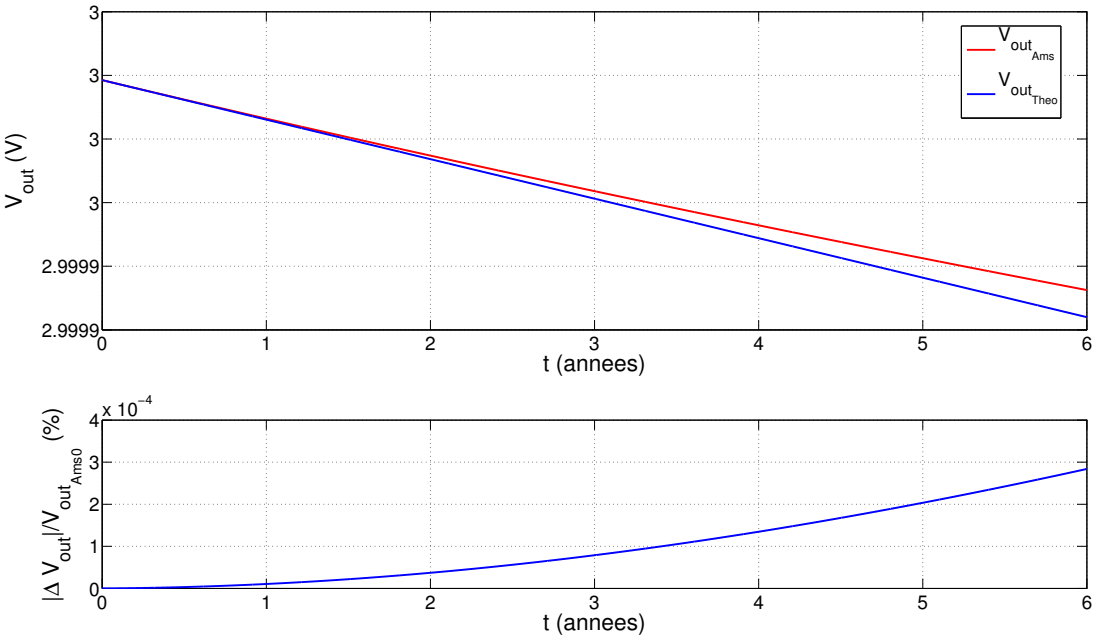
$$\frac{W_N}{W_6} = 67.07 \quad \Longrightarrow \quad W_N = 67.07\,\mu m \tag{3.14}$$

Cette condition nous impose également d'augmenter dans les mêmes proportions L_N, W_P et L_P. Les dimensions sont répertoriées dans le tableau 3.1. Le résultat de la simulation est visible sur la figure 3.10.

Passons à l'étude du vieillissement quand la tension de mode commun d'entrée du montage est de $2.0V$. Il n'est pas souhaitable d'utiliser la même approche pour minimiser la dérive de l'offset. En effet, le calcul nous donne un rapport W_N/W_6 de 0.016. Le transistor $M6$ constituant l'étage de polarisation, modifier ses dimensions remet en cause une bonne partie de la conception. C'est pourquoi, dans ce type de cas, on préfère modifier le transistor MN. Le résultat de l'étude analytique impose donc de diminuer la taille de MN. En d'autres termes, nous forçons I_N à dériver pour compenser le vieillissement de MP. Il est donc préférable de minimiser le vieillissement de MP pour que le potentiel d'entrée "idéal" de l'étage de sortie dérive moins.



(a) $V_{outDiff}$



(b) V_{out}

FIG. 3.10 – Simulation de l'évolution de l'offset d'un OTA conçu avec une approche pour la fiabilité avec une tension de mode commun de $3.0V$

Ainsi, on peut imposer les contraintes sur MP en exprimant l'équation (3.13) par rapport à W_P :

$$W_P \simeq \left(B_{v_P} - \frac{V_{dsP_{Sat}} B_{K_P}}{2KP_{P_0}}\right) \frac{I_{N_0} e^{-V_{c_N}/(V_{dsp_0} - V_{dsp_{sat_0}})}}{\frac{\Delta V_{dec}}{\tau} - \frac{V_{dsP_{Sat}} \theta_N}{2I_{N_0}}} \tag{3.15}$$

Avec les mêmes contraintes que pour le calcul précédent, nous trouvons :

$$W_P = 131.49\,\mu m \tag{3.16}$$

À nouveau, nous devons augmenter dans les mêmes proportions l'ensemble des dimensions des transistors constituant l'étage de gain W_N, L_N et L_P. Le résultat de la simulation est visible sur la figure 3.11.

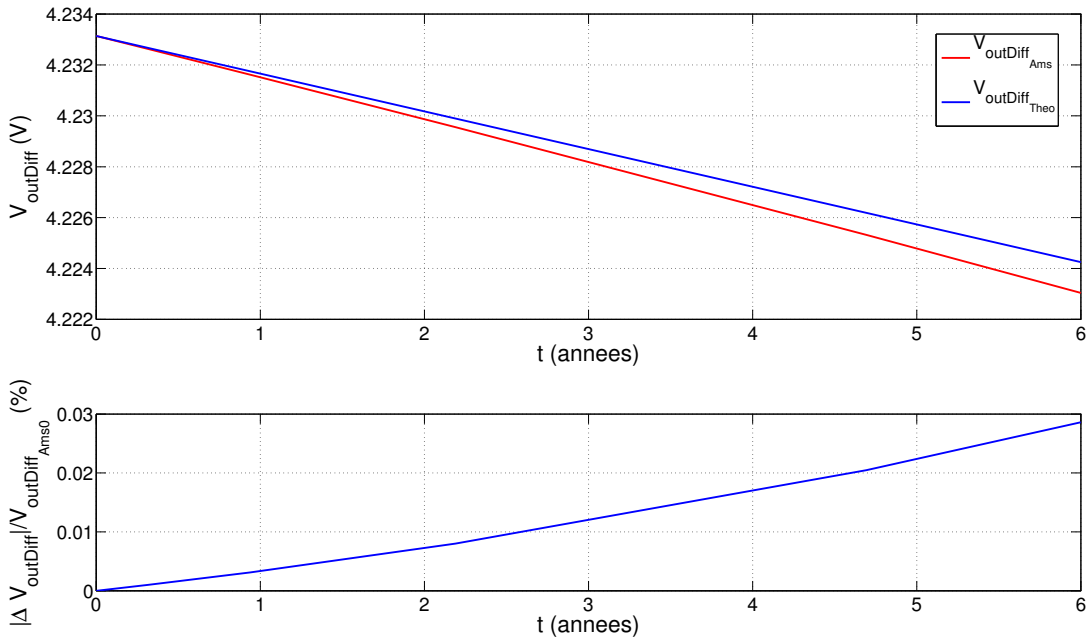
Nous passons maintenant à l'étude de la dérive du gain. Tout d'abord une remarque importante, maintenant que nous avons modifié les dimensions des transistors MN et MP, le gain de l'OTA a changé. En effet, en augmentant les longueurs des transistors nous avons diminué leurs conductances de sortie (g_{ds}). Le gain de l'étage de sortie étant proportionnel à $\frac{1}{g_{dsN}+g_{dsP}}$ (Eq. 2.58), il augmente ainsi que le gain global de l'OTA. Par conséquent, le gain nominal est passé de 10200 à 52900. Une telle augmentation risque de rendre l'OTA instable en raison de la chute du courant dans l'étage de sortie. Il sera donc sans doute nécessaire d'augmenter la capacité de compensation C_C, ce qui aura pour effet de baisser la bande passante de l'OTA. Ce phénomène illustre un problème typique en conception, la dualité entre les spécifications, ici la fiabilité et la vitesse du système. Pour l'étude analytique de la dérive du gain, nous nous référons à l'équation (3.12) dans laquelle nous négligeons les termes se rapportant à la dérive de I_5, celle-ci étant effectivement négligeable car la tension drain source de $M5$ est faible. Le contrôle de la dérive de l'offset nous ayant contraint à modifier les dimensions de MN et MP, nous choisissons d'exprimer la contrainte sur les dimensions du transistor $M1$ (et $M2$) qui permettent de respecter la contrainte sur la dérive du gain. Ainsi, en exprimant l'équation (3.12) par rapport à W_1, on obtient :

$$W_1 \simeq \frac{I_{N_0} \frac{B_{k_P}}{KP_{N_0}} e^{-V_{c_N}/(V_{ds1_0} - V_{ds1_{sat_0}})}}{\frac{2\Delta A_{vd}}{\tau A_{vd0}} + \frac{\theta_N}{I_{N_0}} - \frac{B_{k_P}}{KP_{P_0}} \frac{I_{N_0}}{W_P} e^{-V_{c_N}/(V_{dsp_0} - V_{dsp_{sat_0}})}} \tag{3.17}$$

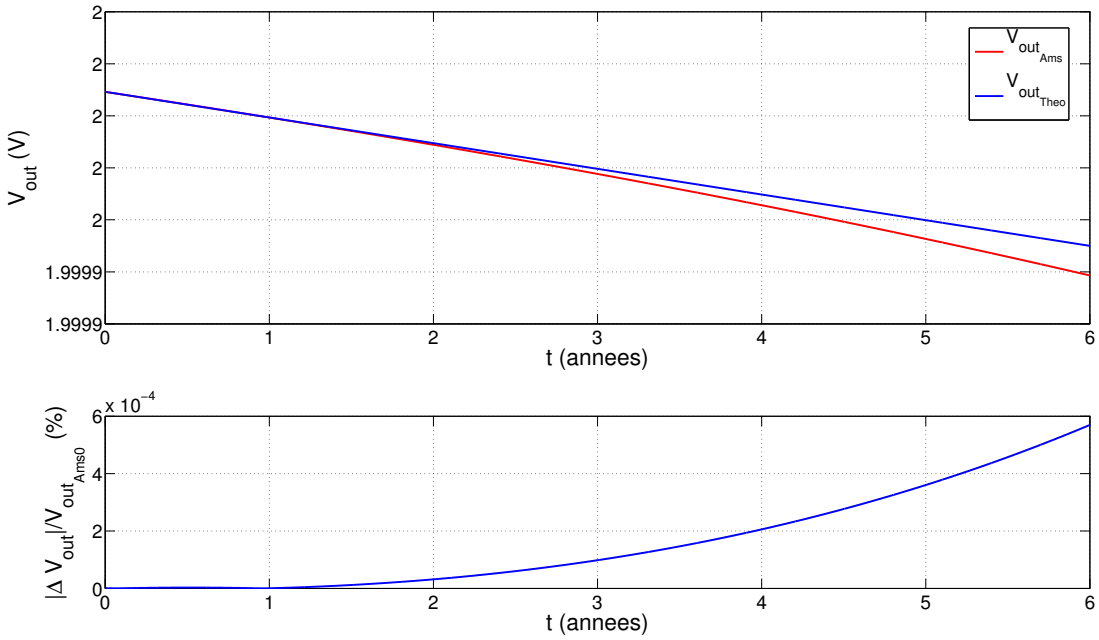
Par exemple, pour une dérive du gain de 3.8 % (2000) en 5 ans, nous trouvons

$$W_{1,2} = 3.46\,\mu m \tag{3.18}$$

et nous augmentons en conséquence les largeurs des transistors $M1$ et $M2$. Le résultat de simulation est visible sur la figure 3.12. Nous remarquons tout d'abord que le gain initial est passé de 52900 à 60900. L'augmentation est provoquée par l'augmentation des longueurs des transis-



(a) $V_{outDiff}$



(b) V_{out}

FIG. 3.11 – Simulation de l'évolution de l'offset d'un OTA conçu avec une approche pour la fiabilité avec une tension de mode commun de $2.0V$

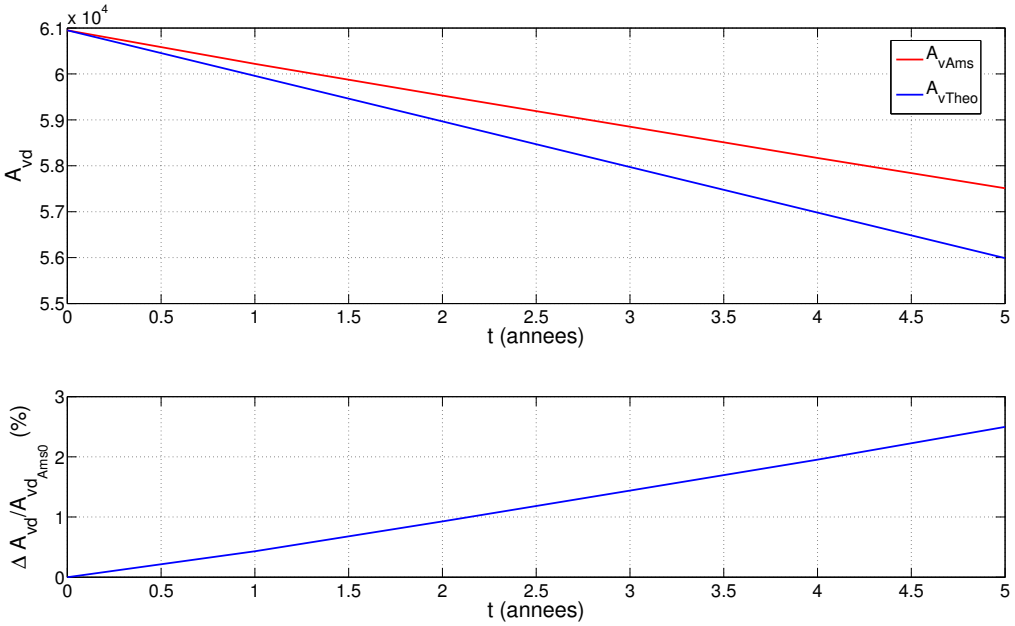


FIG. 3.12 – Simulation de l'évolution du gain d'un OTA conçu avec une approche pour la fiabilité avec une tension de mode commun de $2.0V$

tors $M1$, $M2$. Comme pour l'étage de sortie, le gain de l'étage différentiel est proportionnel à l'inverse de la conductance de sortie des transistors ($\frac{1}{g_{ds2}+g_{ds4}}$ *Cf.* Eq. 2.79). Le gain de l'étage différentiel augmentant, le gain global de l'OTA augmente aussi. Au niveau de la dégradation de l'OTA, la dérive obtenue est de 5.5%. Bien que le gain ait augmenté, cette valeur est du même ordre de grandeur que la derive prévue. En effet, on remarque que dans l'équation (3.17) c'est la dérive relative du gain qui est prise en compte ($\Delta A_{vd}/A_{vd0}$). Finalement, les dimensions des transistors de l'OTA sont répertoriées dans le tableau 3.1.

3.3 Application à la conception d'un capteur de vieillissement

Dans les sections précédentes nous avons présenté un modèle de vieillissement analytique et une méthode pour concevoir des circuits pour la fiabilité. Cette méthode consiste à contrebalancer les dérives des transistors entre elles afin de minimiser la dérive des caractéristiques du circuit. Néanmoins un circuit vieillit au cours du temps et le besoin d'estimer ce vieillissement se fait donc sentir. Pour cela, nous proposons un capteur innovant permettant d'estimer l'usure effective du circuit. Ce capteur offre un grand intérêt pour les applications où la fiabilité est un paramètre critique, mais pas seulement. La mesure du vieillissement peut être utilisée pour

Paramètre	Conception conventionnelle	Conception pour la fiabilité avec $V_{mc} = 2.0V$	Conception pour la fiabilité avec $V_{mc} = 3.0V$
W_1, W_2 (μm)	1.0	3.46	1.0
L_1, L_2 (μm)	2.0	6.6	2.0
W_3, W_4 (μm)	0.6	0.6	0.6
L_3, L_4 (μm)	0.5	0.5	0.5
W_5 (μm)	0.4	0.4	0.4
L_5 (μm)	0.7	0.7	0.7
W_6 (μm)	1.0	1.0	1.0
L_6 (μm)	0.65	0.65	0.65
W_N (μm)	3.76	31.96	67.07
L_N (μm)	0.35	5.76	16.70
W_P (μm)	15.0	131.49	266.91
L_P (μm)	0.35	5.76	16.70

TAB. 3.1 – Dimensions des transistors de l'OTA

la mise en oeuvre de techniques de compensation de dérives dans les circuits de précision, en instrumentation ou simplement dans tous les circuits où l'on désire accroître la fiabilité. Il sera également un outil précieux pour des services de maintenance, pour aider à prévenir les pannes ou planifier les opérations de maintenance.

3.3.1 Principe

La notion de couple *dérive-vieillissement* n'a de sens que pour une application visée. Une dérive de courant donnée peut signifier la fin de vie d'un circuit dans un cas et pas dans un autre. C'est pourquoi un capteur est dédié à une application donnée. Le principe consiste à utiliser deux circuits de même fonctionnalité mais présentant des vitesses de dérive différentes ; une mesure du vieillissement peut alors être obtenue à partir de la différence des signaux générés par ces deux circuits. Nous avons choisi d'utiliser deux miroirs de courant car il est aisé de réaliser la différence de deux courants à l'aide d'un troisième miroir. Comme nous l'avons vu précédemment, nous pouvons prévoir la dérive du courant de sortie d'un miroir de courant si on connaît ses conditions de polarisation. Inversement, il nous est possible d'ajuster les dimensions ainsi que les conditions de polarisation dans le but d'obtenir une vitesse de dérive donnée. Pour concevoir le capteur nous utilisons deux miroirs délivrant des courants initiaux identiques mais présentant des vitesses de dérives différentes, c'est-à-dire avec des tensions de polarisation et des dimensions différentes.

Un exemple de structure de capteur est proposé sur la figure 3.13. Les transistors $M1$, $M2$, $M3$, $M4$ et la résistance Rin constituent l'étage de polarisation du circuit. Ils permettent de fixer

le courant de polarisation I_0. Le transistor $M3$ fixe le potentiel sur la grille de $M9$ et le transistor $M2$ fixe le potentiel de grille de $M8$. Les transistors $M1$ et $M5$ constituent le premier miroir, celui dont le courant de sortie dérive (I_1). Les transistors $M1$ et $M7$ constituent eux la structure de référence, c'est-à-dire le miroir dont la dérive du courant de sortie (I_2) est négligeable par rapport au premier. Le transistor $M8$ "cascode" $M7$ afin d'en limiter la tension drain source. Le miroir $M6$-$M10$ copie le courant I_1 en I_1'. Pour que la copie soit la meilleure possible, les tensions drain source de $M6$ et $M10$ doivent être les mêmes. De plus, nous évitons ainsi le vieillissement du miroir (Le même courant et les mêmes potentiels rend le miroir théoriquement insensible au vieillissement.). C'est le rôle du transistor $M9$ qui "cascode" $M10$. Enfin, en connectant la sortie à un noeud de basse impédance, nous obtenons la différence entre I_1' et I_2.

Les dimensions des couples de transistor $M1$-$M7$ et $M2$-$M8$ sont identiques. Les tensions drain-source V_{ds1} et V_{ds7} sont les mêmes et ainsi le courant I_2 est égal à I_0. La dérive du courant de sortie du miroir $M1$-$M7$ est donc théoriquement nulle, ce sera le paramètre de référence. Les dimensions de $M5$ sont inférieures à celles de $M1$, mais ajustées de façon à obtenir un courant I_1 égale à I_0. De plus, la tension drain-source de $M5$ est plus élevée que celle de $M1$. Le courant de sortie du miroir $M1$-$M5$ va donc dériver avec le temps. Nous obtenons donc deux miroirs de courant avec des courants initiaux identiques mais avec des vitesses de dérive différentes. La différence entre I_1 et I_2 donne donc une mesure du vieillissement du circuit.

Nous présentons sur le tableau 3.2, un dimensionnement retenu pour concevoir un capteur de test. Les tailles indiquées pour le transistor $M5$ correspondent à un capteur conçu pour dériver de $5\mu A$ en 15 jours sous une tension de $10V$. On peut remarquer que nous avons choisi de "grandes tailles" pour les transistor (sauf pour $M5$) afin de nous affranchir des effets du vieillissement sur les transistors, mais également pour minimiser les problèmes induits par les disparités en fabrication.

Paramètre	Dimension
W_5 (μm)	20.9
L_5 (μm)	0.9
W_1, W_7 (μm)	170.0
L_1, L_7 (μm)	10.0
W_2, W_8 (μm)	30.0
L_2, L_8 (μm)	1.0
W_3, W_9 (μm)	30.0
L_3, L_9 (μm)	1.0
W_4, W_6, W_{10} (μm)	100.0
L_4, L_6, L_{10} (μm)	5.0

TAB. 3.2 – Exemple de dimensionnement des transistors du capteur de vieillissement

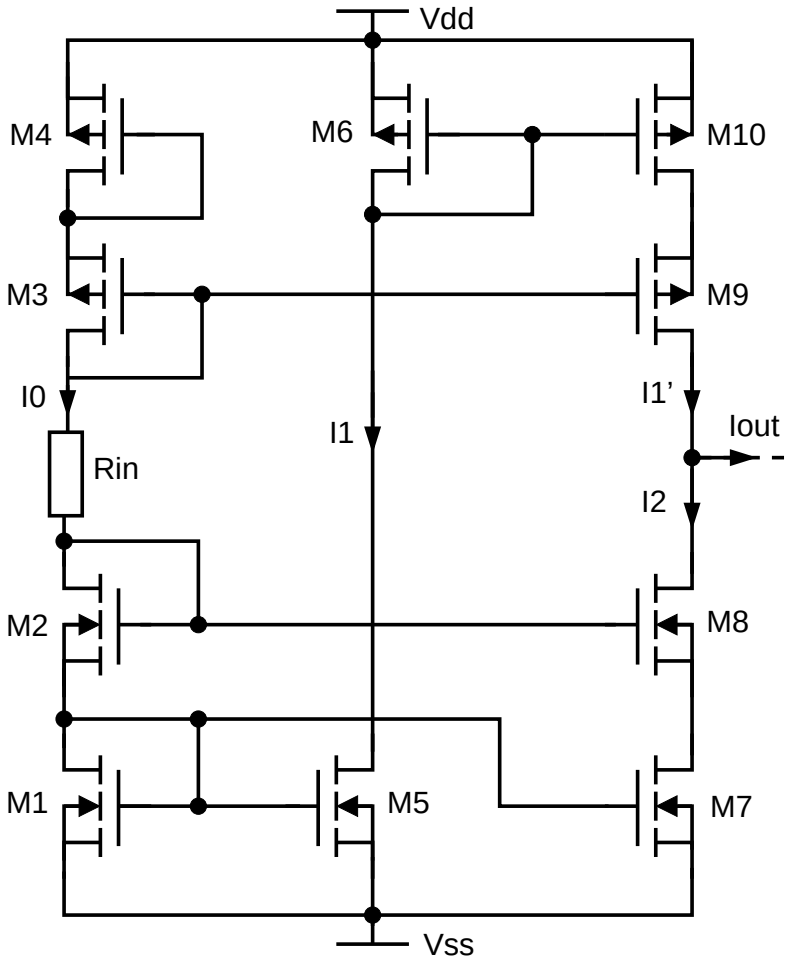


FIG. 3.13 – Schéma électrique du capteur de vieillissement.

3.3.2 Avantages et intérêt du capteur

L'avantage majeur du capteur est de délivrer une image de l'usure effective du circuit. En effet le capteur est prévu pour prendre place sur le même substrat que le circuit dont il doit évaluer le vieillissement. Cette proximité implique que le capteur et le circuit ont la même histoire. Par conséquent les facteurs qui peuvent influer sur la durée de vie du circuit (température, radiation, sous/sur-tension...) impactent également le capteur. Un autre atout du capteur est sa simplicité : seulement 6 transistors pour la partie active, plus 4 autres transistors et une résistance pour la partie polarisation. Enfin, le capteur est totalement compatible avec les technologies standard CMOS puisqu'il n'est fait que de transistors MOS.

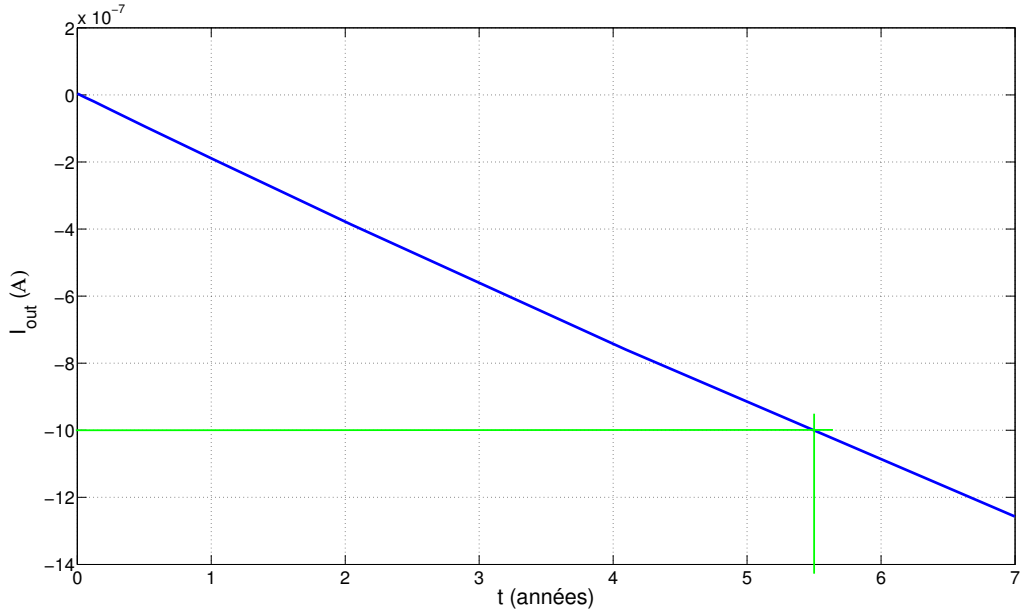


FIG. 3.14 – Simulation de l'évolution temporelle du courant de sortie du capteur de vieillissement.

3.3.3 Résultats

Dans un premier temps, nous avons validé le comportement du capteur en simulation. Nous avons dimensionné le circuit de façon à ce que la dérive du courant I_{out} soit de $1\mu A$ après 5 années. La Fig. 3.14 représente la simulation de l'évolution du courant de sortie du capteur reliée à un noeud de faible impédance. Nous remarquons que le courant de sortie dérive de $1\,\mu A$ après $5,5$ années. La différence s'explique par le mécanisme suivant : le vieillissement du transistor $M5$ provoque la réduction du courant de drain I_1 et donc induit une baisse du taux de dégradation du transistor $M5$. Le transistor $M5$ vieillit donc de moins en moins vite et le courant I_1 dérive de moins en moins vite. Ce phénomène peut être pris en compte en réduisant les dimensions de $M5$. Ceci revient finalement à concevoir un capteur pour une durée inférieure à dérive constante ou pour une dérive supérieure à durée constante.

Le comportement du circuit validé en simulation, nous avons conçu un circuit de test. Le circuit a été réalisé en technologie $AMS0.35\mu m$, c'est-à-dire la même technologie que celle qui a été utilisée pour extraire les paramètres du modèle de vieillissement. Nous avons intégré 4 capteurs par circuit devant produire des dérives du courant I_{out} différentes. Chaque capteur est prévu en double sur le circuit. Le layout du circuit est visible en annexe B.2. Lors des tests, seules les sorties des 3 capteurs dérivant le plus rapidement ont été réellement observables. La mesure du dernier capteur, prévu pour dériver sur un très long terme ne s'est pas révélée pertinente car les variations étaient trop faibles sur la durée du test. Pour observer la dérive des

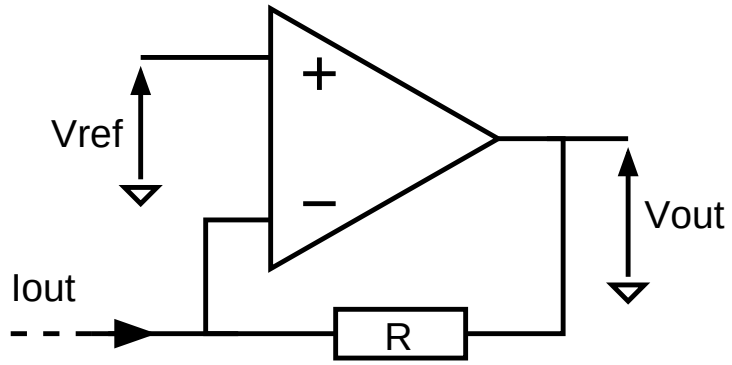


FIG. 3.15 – Montage utilisé pour la conversion courant/tension lors des mesures

capteurs, le courant est converti en tension à l'aide du montage de la Fig. 3.15. Le montage est inverseur. Puisque le courant de sortie du capteur doit baisser, la tension de sortie du montage doit augmenter. Les mesures sont effectuées avec une centrale d'acquisition Agilent 34970A. La centrale dispose de 8 entrées de mesure. Nous relevons les tensions de sorties de 5 montages et 3 entrées sont réservées au monitoring de la manipulation (tension d'alimentation du circuit...). Les résultats obtenus (Fig. 3.16) avec ce circuit ne sont pas ceux escomptés. Comme espéré, nous observons une courte phase de croissance du signal de sortie du capteur qui précède une décroissance plus lente. Tous les capteurs suivent ce motif. La première phase est similaire pour tous les capteurs. Dans la deuxième phase, nous observons par contre des vitesses de dérive différentes pour chaque capteur. Les signaux qui dérivent le plus rapidement correspondent aux capteurs qui ont été conçus pour dériver le plus rapidement. Cela nous laisse penser qu'un phénomène unique affecte les capteurs. Au vue des conditions de stress appliquées au dispositif (fort courant, forte tension), et de la variation progressive des sorties, nous pensons à une augmentation de résistance induite par le mécanisme d'électromigration. Une ligne soumis à un stress trop important a dû se dégrader progressivement et augmenter la résistance en un point du circuit (1re phase). Après destruction de la ligne et donc modification du comportement du circuit, les capteurs montre un comportement "cohérent" puisque, bien que les signaux ne dérivent pas dans le sens espéré, nous observons des vitesses de dérive plus grande sur les sorties des capteurs prévues pour dériver plus rapidement. Le claquage d'oxyde/diélectrique est écarté car nous n'observons pas de "sauts" sur les signaux de sortie qui sont caractéristiques de ce mécanisme. Enfin, ce comportement a été observé sur tous les circuits testés.

3.3.4 Extension du principe

Dans la version de base du capteur (Fig. 3.13) la polarisation du transistor $M5$ est fixée à la conception et est donc statique. Ce type de capteur convient pour évaluer la dégradation de

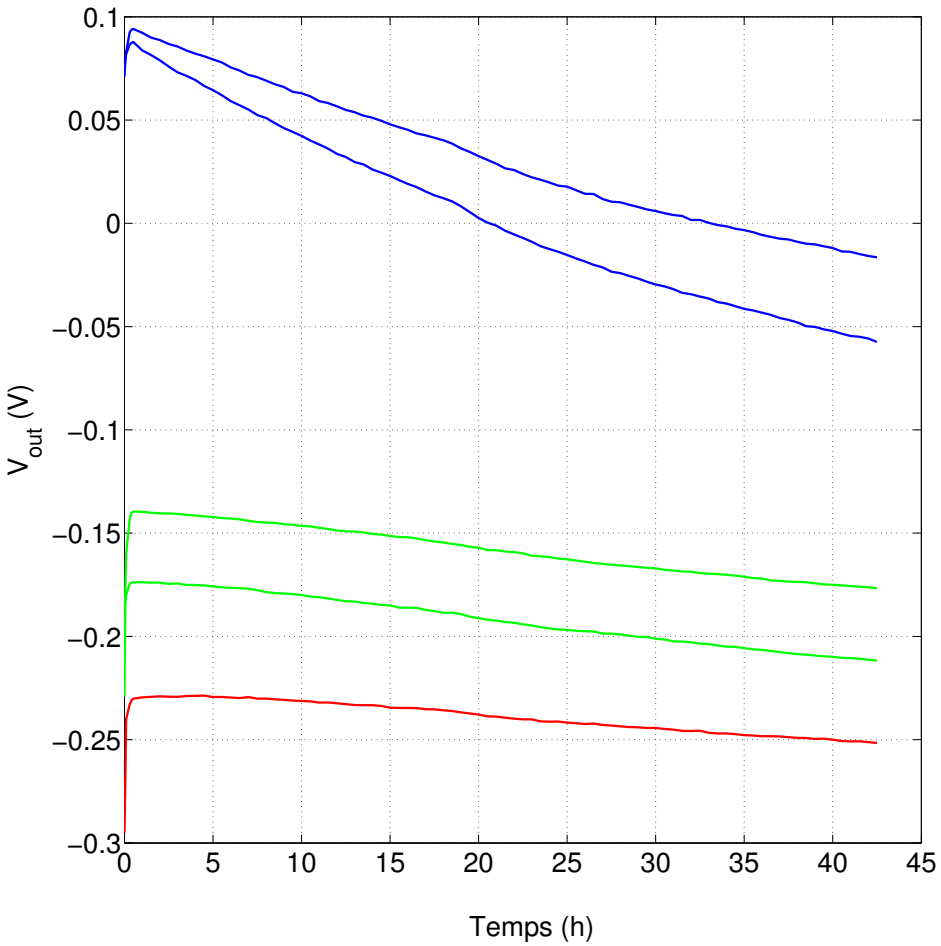


FIG. 3.16 – Mesure de la dérive du courant - La tension de stress ($V_{DD} - V_{SS}$) est fixée à $10V$ - Pour la mesure, le courant est converti en tension ($1\mu A \Leftrightarrow 0.1V$) - Des couleurs identiques indiquent que les capteurs sont similaires

circuits fonctionnant en mode quasi-statique. Néanmoins les potentiels et courants instantanés évoluent autour du point de polarisation. Le stress appliqué aux transistors évolue donc également au cours du temps. Pour prendre en compte ces variations et ainsi obtenir une estimation plus fine du degré d'usure réel du circuit, il faut pouvoir contrôler le taux de vieillissement instantanée du capteur. Nous savons que le taux de vieillissement est directement lié au taux de dérive du courant I_1. L'étude de la dérive de I_1 est similaire à l'étude de la dérive du courant de sortie du miroir de courant. Nous pouvons donc contrôler le taux de vieillissement du capteur en ajustant la tension V_{ds5}. Pour cela, nous proposons de modifier le schéma électrique du capteur en introduisant un transistor supplémentaire MC entre les transistors $M5$ et $M6$ (Fig. 3.17). Ce transistor monté en cascode impose le potentiel de drain du transistor $M5$ et permet ainsi de

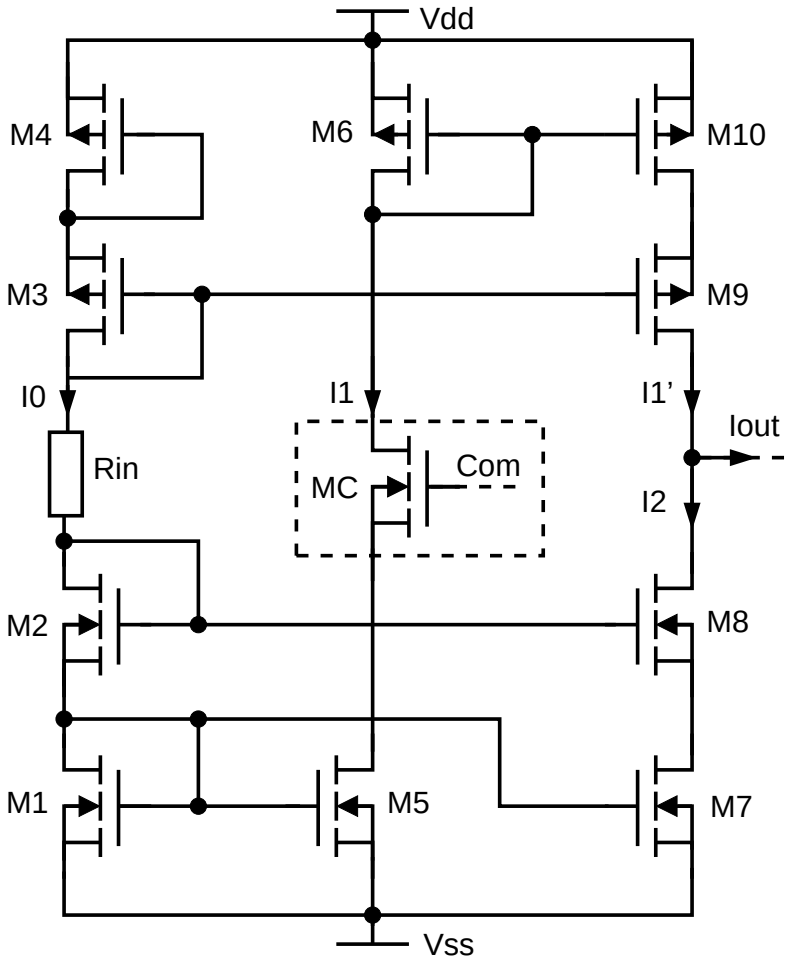


FIG. 3.17 – Schéma électrique du capteur de vieillissement “amélioré”

modifier la tension V_{ds5}.

Cette modification est intéressante car elle s’inscrit dans les nouvelles démarches adoptées dans la gestion de la maintenance. Traditionnellement les procédures de maintenance dans l’industrie suivent deux directions. Premièrement, la maintenance est effectuée à intervalles réguliers quand la production est arrêtée ou ralentie. Les pièces sont changées régulièrement avant que leur casse ne provoque un incident plus grave. C’est une perte d’argent et de temps, mais c’est souvent un moindre mal. C’est ce qu’on appelle la maintenance préventive. La seconde approche est de simplement réagir à une panne lorsqu’elle arrive. Cela signifie que l’équipe de maintenance doit être prête à intervenir 24 heures/24 et que des sommes sont immobilisées dans un stock de pièces détachées. La panne entraîne une perte de production, avec son inévitable coût, un glissement dans les délais de livraison qui répercute sur la crédibilité et l’image de la société, sans compter les accidents corporels qui peuvent en résulter. C’est ce qu’on appelle la maintenance corrective. Cependant une nouvelle approche scientifique se généralise dans la

gestion de la maintenance : la “maintenance conditionnelle”. Ce type de maintenance préventive est basé sur la détection et la surveillance d’indicateurs de dégradations qui déclenchent, en cas de dépassement de seuils, des interventions de changement de pièces d’usure avant une éventuelle casse qui pourrait s’avérer très coûteuse. Actuellement les techniques les plus utilisées dans l’industrie sont l’analyse vibratoire, la tribologie (science du frottement) et la thermographie par infra-rouges [121].

Par exemple, notre capteur peut être utilisé pour estimer la dégradation d’un moteur électrique ou thermique. Si nous relions le port *COM* au capteur de vitesse de rotation d’un moteur, le taux de dérive du courant de sortie instantané du capteur est fonction de la vitesse de rotation instantanée du moteur. Ainsi, la sortie du capteur donne un indice de l’état de dégradation réelle du moteur. Le principe peut se généraliser à tout système dont le taux de vieillissement n’est pas constant au cours de sa vie, à partir du moment où nous avons accès à une information électrique image du taux de vieillissement instantané.

3.4 Conclusion

Dans ce chapitre, nous avons présenté notre méthodologie de conception analogique pour la fiabilité. Nous avons proposé une méthode systématique permettant de déterminer les transistors les plus soumis au vieillissement dans un circuit complexe. Le concepteur est ainsi guidé dans les actions correctives à mener pour améliorer la fiabilité du système.
Nous avons ensuite montré comment on pouvait étudier la fiabilité d’un système complexe comme un assemblage de structures élémentaires. En utilisant comme exemple la conception d’un amplificateur opérationnel à transconductance, nous avons déterminé la dérive des paramètres du circuit et en avons déduit sa durée de vie. Nous avons ensuite montré comment agir sur la conception pour améliorer la fiabilité du circuit. Notre méthode permet de déterminer précisément les modifications à apporter au circuit comme, par exemple, en imposant le rapport des largeurs entre 2 transistors. Cette approche a été validée grâce à des simulations VHDL-AMS.
Enfin nous avons présenté une autre approche qui consiste à contrôler la dérive des paramètres d’un circuit. Cette approche nous a donné l’idée de mettre au point un capteur de vieillissement innovant. Le capteur délivre un courant proportionnel à la différence de dérive du courant de sortie de deux miroirs : un miroir avec une vitesse de dérive du courant contrôlée et un second avec une vitesse de dérive du courant négligeable au regard du premier miroir. Ce capteur possède comme avantage majeur d’être intégrable directement au côté du circuit sous monitoring et donc de “subir” la même histoire (température, stress électrique...) que ce circuit. Le principe du capteur a été vérifié en simulation. Par contre l’étude expérimentale ne nous a pas donné satisfaction. Nous avons néanmoins identifié les problèmes qui ont vraisemblablement conduit à

ce résultat. Nous avons également proposé une amélioration du capteur permettant de modifier la vitesse de dérive instantanée du courant. La modification permet au capteur d'étendre son champ d'application à l'ensemble des systèmes dont le taux de vieillissement n'est pas constant au cours de leur utilisation, à partir du moment où nous avons accès à une information électrique image du taux de vieillissement instantané. Ainsi, ce type de capteur peut s'intégrer dans une politique de maintenance conditionnelle.

Conclusion générale et perspectives

Les systèmes mécatroniques se trouvent souvent intégrés dans des secteurs critiques (aviation, automobile...) où l'on doit pouvoir garantir la sûreté de fonctionnement d'un système. La démarche mécatronique nécessite une approche globale et non un cloisonnement entre les parties mécanique, électronique et informatique, au risque d'atteindre des surcoûts rédhibitoires. Notre étude, en collaboration avec plusieurs autres équipes de recherche, a participé à la mise au point d'une méthodologie de conception pour les systèmes mécatroniques sûrs de fonctionnement.

Pendant la première partie des travaux, nous avons voulu comprendre comment prendre en compte la sûreté de fonctionnement durant la conception d'un circuit intégré analogique. Actuellement, le concepteur a bien à sa disposition quelques outils (CAO) qui lui permettent d'évaluer la fiabilité de son circuit, mais il ne dispose pas de méthodes lui permettant d'introduire la fiabilité comme contrainte dès la conception. Nous nous sommes donc basés sur les méthodes de la sûreté de fonctionnement pour mettre au point une méthode adaptée à la conception analogique. Cette approche nous a amené à étudier les différents mécanismes de défaillance susceptibles d'affecter la fiabilité d'un circuit analogique. Nous avons ensuite isolé le mécanisme principal de dégradation : le mécanisme des porteurs chauds.

Notre première contribution à l'étude de la fiabilité des circuits intégrés analogiques fut la mise au point d'un modèle analytique de dégradation du transistor MOS par le mécanisme des porteurs chauds. Ce modèle décrit le comportement de la tension de seuil et de la transconductance au cours du temps pour des transistors polarisés dans des conditions analogiques, c'est-à-dire saturés. La description analytique du modèle est simple (le modèle est caractérisé par seulement trois paramètres) car il se veut simple d'emploi (le modèle est intégré dans les équations, bien connues des concepteurs, du modèle de transistor Spice Level 1). Nous avons vérifié expérimentalement que ce modèle est valable pour les faibles dérives des paramètres électriques (de l'ordre de 10 %). Enfin, nous avons implanté le modèle de vieillissement du transistor MOS en langage VHDL-AMS.

Nous avons ensuite utilisé le modèle de dégradation pour étudier l'impact du vieillissement sur des structures de base de l'électronique analogique (miroir de courant, amplificateur, paire

différentielle). Nous avons ainsi étudié la variation des caractéristiques électriques des circuits (dérive des courant et tension) en fonction de la dérive des paramètres électriques du transistor. Cette modélisation permet deux approches. Premièrement nous pouvons évaluer la dérive temporelle des paramètres électriques. Mais surtout nous pouvons déterminer les modifications à apporter au circuit pour contrôler la dérive temporelle des paramètres. Enfin, nous présentons une approche originale consistant à équilibrer les dérives des paramètres des TMOS pour limiter la dérive des caractéristiques essentielles d'un circuit.

En considérant un circuit complexe comme un assemblage de ces structures de base, nous avons étudié la dérive des caractéristiques fonctionnelles d'un OTA en fonction des dérives des caractéristiques de ses "sous-circuits". Nous avons montré comment on peut utiliser les résultats précédents pour évaluer, ou limiter, la dérive des caractéristiques fonctionnelles. Finalement, puisque nous pouvons évaluer la durée de vie d'un circuit et que nous savons comment modifier sa conception pour en améliorer la fiabilité, nous avons les moyens d'échanger des informations pertinentes avec le spécialiste de la SdF. Nous donnons ainsi la possibilité au concepteur analogique d'avoir une participation globale dans l'étude de la fiabilité d'un système. Enfin, nous proposons une application innovante de notre méthode de conception dans le cadre de la mise au point d'un capteur de vieillissement. Dans ce capteur, nous plaçons deux circuits dans des conditions initiales identiques mais qui ont des vitesses de dérive de leurs paramètres différentes. La mesure du vieillissement est déduite de la mesure de la différence des deux dérives.

Nos travaux futurs vont consister d'une part à perfectionner le modèle et d'autre part à finaliser notre méthode de conception pour les systèmes complexes. Dans nos travaux, nous formulons un certain nombre d'hypothèses qui nous ont permis de simplifier notre étude. Ces hypothèses sont parfois justifiées parfois moins. Nous pensons, par exemple, qu'il serait intéressant d'étudier l'impact d'un signal alternatif sur la dégradation d'un transistor. Idéalement, pour éviter de compliquer le modèle, cette étude devrait aboutir à l'adjonction d'un terme correcteur dans les équations du modèle. Pour tester la pérennité de notre approche, il serait également intéressant de qualifier notre modèle sur des technologies plus récentes. Les travaux montrent que les transistors PMOS sont plus sensibles au phénomène de NBTI qu'à celui de porteurs chauds dans les circuits numériques. Nous pourrions vérifier que l'assertion se confirme dans le cas des circuits analogiques et, le cas échéant, modifier le modèle de dégradation du PMOS. Néanmoins, puisque nous avons rencontré de nombreux problèmes lors de nos manipulations, il serait raisonnable de commencer une nouvelle série de tests pour extraire les paramètres du modèle de vieillissement de façon plus précise. Enfin, dans la dernière partie, nous présentons notre capteur de vieillissement. Les résultats des tests de vieillissement ne correspondent pas aux résultats analytiques espérés. Nous avons néanmoins identifié l'origine probable des erreurs. Après avoir modifié la conception en conséquence, nous devrions tester à nouveau le

capteur dans sa version standard, mais aussi dans sa version “améliorée”.

Références bibliographiques

[1] “Mécatronique,” Source wikipédia au 15/06/08. Disponible [En ligne] : http ://fr.wikipedia.org/wiki/Mécatronique

[2] “Forbes,” Site web du magazine économique américain Forbes. Disponible [En ligne] : http ://www.forbes.com/2005/10/14/toyota-prius-recall-cx_cn_1014autofacescan03.html

[3] “USA Today,” Site web du quotidien national américain USA Today. Disponible [En ligne] : http ://www.usatoday.com/news/nation/2006-09-14-segway_x.htm

[4] “MSNBC,” Site web de la chaîne d’informations MSNBC. Disponible [En ligne] : http ://www.msnbc.msn.com/id/16674614/ ?GT1=8921

[5] “LPM,” Site web du laboratoire LPM. Disponible [En ligne] : http ://www.lpm.u-nancy.fr/

[6] “LICM,” Site web du laboratoire LICM. Disponible [En ligne] : http ://www.licm.sciences.univ-metz.fr/

[7] “CRAN,” Site web du laboratoire CRAN. Disponible [En ligne] : http ://www.cran.uhp-nancy.fr/

[8] S. M. Sze, *Semiconductor sensors*. John Wiley & Sons, 1994.

[9] V. Frick, L. Hébrard, P. Poure, et F. Braun, “Cmos microsystem front-end for microtesla resolution magnetic field measurement,” *Analog Integrated Circuits and Signal Processing*, no. 36, 2003.

[10] J.-B. Kammerer, L. Hébrard, V. Frick, P. Poure, et F. Braun, “Horizontal hall effect sensor with high maximum absolute sensitivity,” *IEEE Sensors Journal*, vol. 3, no. 6, 2003.

[11] ——, “Hall effect sensors integrated in standard technology and optimized with on-chip circuitry,” *The European Physical Journal - Applied Physics*, no. 36, 2006.

[12] J.-B. Kammerer, L. Hébrard, M. Hehn, F. Braun, P. Alnot, et A. Schuhl, “A two-axis magnetometer using a single magnetic tunnel junction,” *IEEE Sensors Journal*, vol. 4, no. 3, Juin 2004.

[13] ——, “Compact modeling of a magnetic tunnel junction using VHDL-AMS : computer aided design of a two-axis magnetometer,” *Proceeding of the IEEE Sensors*, vol. 3, Octobre 2004.

[14] C. Muller-Schwanneke, F. Jost, K. Marx, S. Lindenkreuz, et K. von Klitzing, “Offset reduction in silicon Hall sensors,” *Sensors and Actuators A*, vol. 81, 2000.

[15] G. Boero, M. Demierre, P.-A. Besse, et R. Popović, “Micro-Hall devices : performance, technologies and applications,” *Sensors and Actuators A*, vol. 106, 2003.

[16] R. Popović, J. Flanagan, et P.-A. Besse, “The future of magnetic sensors,” *Sensors and Actuators A*, vol. 56, 1996.

[17] P. Ripka, “Noise an stability of magnetic sensor,” *Journal of Magnetism and Magnetic Material*, vol. 157-158, 1996.

[18] A. Bilotti, G. Monreal, et R. Vig, “Monolithic magnetic Hall effect sensor using dynamic quadrature offset cancellation,” *IEEE Journal of Solid State Circuits*, vol. 32, no. 5, 1997.

[19] J.-B. Kammerer, L. Hébrard, et F. Braun, “A hall effect sensors network insensitive to mechanical stress,” *Proceeding of the 3rd IEEE International Conference on Sensors*, no. 36, 2004.

[20] V. Frick, J. Pascal, J. Blondé, et L. Hébrard, “Chopper stabilized CMOS integrated front-end for magnetic field measurement,” *32nd Annual Conference of the IEEE Industrial Electronics Society (IECON’06)*, pp. 3090–309, Novembre 2006.

[21] L. Hébrard, J.-B. Kammerer, et F. Braun, “A chopper stabilized biasing circuit suitable for cascaded wheatstone-bridge-like sensors,” *IEEE Transaction on Circuits and Systems*, no. 52, 2005.

[22] C. Giebeler, D. J. Adelerhofa, A. E. T. Kuipera, J. B. A. van Zona, D. Oelgeschlägerb, et G. Schulz, “Robust GMR sensors for angle detection and rotation speed sensing,” *Sensors and Actuators A : Physical*, vol. 91, no. 1-2, pp. 16–20, Juin 2001.

[23] M. Tondra, J. M. Daughton, C. Nordman, D. Wang, et J. Taylor, “Micromagnetic design of spin dependent tunnel junctions for optimized sensing performance,” *Journal of Applied Physics*, vol. 87, no. 9, pp. 4679–4681, Mai 2000.

[24] D. Lacour, H. Jaffrès, F. N. V. Dau, F. Petroff, A. Vaurès, et J. Humbert, “Field sensing using the magnetoresistance of IrMn exchange-biased tunnel junctions,” *Journal of Applied Physics*, vol. 91, no. 7, pp. 4655–4658, 2002.

[25] J. S. Moodera, L. R. Kinder, T. M. Wong, et R. Meservey, “Large magnetoresistance at room temperature in ferromagnetic thin film tunnel junctions,” *Physical Review Letters*, vol. 74, no. 16, pp. 3273–3276, Avril 1995.

[26] P. M. Tedrow et R. Meservey, “Spin-dependent tunneling into ferromagnetic nickel,” *Physical Review Letters*, vol. 26, no. 4, pp. 192–195, Janvier 1971.

[27] ——, “Spin polarization of electrons tunneling from films of fe, co, ni, and gd,” *Physical Review B*, vol. 7, no. 1, pp. 318–326, Janvier 1973.

[28] J. S. Moodera et G. Mathon, “Spin polarized tunneling in ferromagnetic junctions,” *Journal of Magnetism and Magnetic Materials*, vol. 200, no. 1, pp. 248–273, Octobre 1999.

[29] E. Stoner et W. E. P., “A mechanism of magnetic hysteresis in heterogeneous alloys,” *Philosophical Transactions of the Royal Society of London*, vol. A 240, no. 826, pp. 599–642, Mai 1948.

[30] X. Liu, C. Ren, et G. Xiao, “Magnetic tunnel junction field sensors with hard-axis bias field,” *Journal of Applied Physics*, vol. 92, no. 8, pp. 4722–4725, 2002.

[31] G. Malinowski, M. Hehn, J. Kammerer, M. Sajieddine, E. Jouguelet, L. Hébrard, P. Alnot, F. Braun, et A. Schuhl, “Flux-gate like 2d magnetometer based on a single magnetic tunnel junction,” *European Physical Journal Applied Physics*, vol. 30, 2005.

[32] U. Kurban, J. Kammerer, M. Hehn, F. Montaigne, L. Hébrard, et P. French, “Design and modeling of a micro-fluxgate sensor without pick-up coil,” *20th Eurosensors Conference*, no. 3, Septembre 2006.

[33] J. Akerman, M. DeHerrera, J. Slaughter, R. Dave, J. Sun, J. Martin, et S. Tehrani, “Intrinsic reliability of alox-based magnetic tunnel junctions,” *Magnetics, IEEE Transactions on*, vol. 42, no. 10, pp. 2661–2663, Octobre 2006.

[34] T. Mihara, Y. Kamakura, M. Morifuji, et K. Taniguchi, “Degradation of magnetic tunnel junctions with thin alox barrier,” *Science and Technology of Advanced Materials*, vol. 8, pp. 225–229, 2007.

[35] Y. Mortureux, “La sûreté de fonctionnement : démarches pour maîtriser les risques,” *Techniques de l’Ingénieur*, Avril 2002.

[36] P. Chapouille, “Fiabilité. maintenabilité,” *Techniques de l’Ingénieur*, Juin 1980.

[37] C. Martin, J.-C. Bocquet, et D. , “Interchangeabilité de méthodes de Conception dans le cadre de la Conception intégrée,” *Séminaire du collège d’études et de recherche en design de conception de produits, CONFERE*, Juillet 1999.

[38] Y. Mortureux, “La sûreté de fonctionnement : méthodes pour maîtriser les risques,” *Techniques de l’Ingénieur*, Janvier 2005.

[39] “Fiabilité,” cour de fiabilité du DESS SMTII de l’Université de Franche-Comté. Disponible [En ligne] : http ://electronique.univ-fcomte.fr/enseignement/dess/fiabilte.pdf

[40] R. Bachelet, “OUTILS PROJET : Analyse Fonctionnelle,” cour de l’école Centrale de Lille. Disponible [En ligne] : http ://rb.ec-lille.fr/l/Projets/Projet_Analyse_fonctionnelle.pdf

[41] “Analyse fonctionnelle,” cour en ligne de l’Université Henri Poincaré de Nancy. Disponible [En ligne] : http ://www.cyber.uhp-nancy.fr/demos/MAIN-002/general/toc.html

[42] V. Capron et R. Bachelet, “Guide de l’Analyse Fonctionnelle.” Disponible [En ligne] : http ://rb.ec-lille.fr/l/Analyse_fonctionnelle/RemiBacheletGuideDe_l_AF.PDF

[43] Y. Mortureux, “Amde(c),” *Techniques de l’Ingénieur*, Octobre 2005.

[44] “Amdec,” cour en ligne de l’Université Henri Poincaré de Nancy. Disponible [En ligne] : http ://www.cyber.uhp-nancy.fr/demos/MAIN-003/general/toc.html

[45] R. H. Tu, E. Rosenbaum, W. Y. Chan, C. C. Li, E. Minami, K. Quader, P. K. Ko, et C. Hu, “Berkeley Reliability Tool - BERT,” *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 12, no. 10, pp. 1524–1534, Octobre 1993.

[46] L. Oshiro et R. Radojcic, “A design reliability methodology for cmos vlsi circuits,” *Integrated Reliability Workshop, Final Report*, pp. 34–39, Octobre 1995.

[47] S. Minehane, R. Duane, P. O’Sullivan, K. G. McCarthy, et A. Mathewson, “Design for reliability,” *Microelectronics Reliability*, vol. 40, pp. 1285–1294, Juin 2000.

[48] I. Kim, R. V. Pucha, R. S. Peak, et S. K. Sitaraman, “System-design-for-reliability tools for highly integrated electronic packaging systems,” *Electronic Components and Technology Conference, Proceedings*, pp. 1809–1814, Juin 2007.

[49] C. Pyron, R. Bangalore, D. Belete, J. Goertz, A. Razdan, et D. Younger, “Silicon symptoms to solutions : applying design for debug techniques,” *Proceedings of the International Test Conference*, pp. 664–672, 2002.

[50] X. Gu, W. Wang, K. Li, H. Kim, et S. Chung, “Re-using dft logic for functional and silicon debugging test,” *Proceedings of the International Test Conference*, pp. 648–656, 2002.

[51] E. H. Volkerink, A. Khoche, J. Rivoir, et K. D. Hilliges, “Test economics for multi-site test with modern cost reduction techniques,” *Proceedings of the IEEE VLSI Test Symposium*, pp. 411–416, 2002.

[52] S. Davidson, A. Ambler, et H. Davidson, “Behavioral test economics,” *IEEE International Test Conference*, pp. 1–9, Octobre 2006.

[53] *IEEE standard test access port and boundary-scan architecture*, 2001, IEEE 1149.1-2001.

[54] C.-A. Chen et S. Gupta, "Efficient BIST TPG design and test set compaction via input reduction," *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 17, no. 8, pp. 692–705, Août 1998.

[55] B. Charlot, S. Mir, F. Parrain, et B. Courtois, "Generation of electrically induced stimuli for mems self-test," in *Journal of Electronic Testing : Theory and Applications*, 2001, pp. 17–6.

[56] N. A. Touba, "Survey of test vector compression techniques," *IEEE Design and Test of Computers*, vol. 23, no. 4, pp. 294–303, Avril 2006.

[57] J. R. Sklaroff, "Redundancy management technique for space shuttle," *IBM Journal on Research and Development*, 1976.

[58] C. Hu, "The berkeley reliability simulator bert : an ic reliability simulator," *Microelectronics Reliability*, vol. 23, no. 2, pp. 97–102, Avril 1992.

[59] P. Chen, L. Wu, G. Zhang, et Z. Liu, "A unified compact scalable ΔId model for hot carrier reliability simulation," *International Reliability Physics Symposium Proceedings (IRPS)*, pp. 243–248, 1999.

[60] B. Mongellaz, F. Marc, C. Bestory, et Y. Danto, "A CMOS analogue function VHDL-AMS behavioral ageing model," *IEEE International Symposium on Industrial Electronics*, vol. 1, pp. 187–192, May 2004.

[61] F. Marc, B. Mongellaz, C. Bestory, H. Levi, et Y. Danto, "Improvement of aging simulation of electronic circuits using behavioral modeling," *IEEE Transactions on Device and Materials Reliability*, vol. 6, no. 2, pp. 228–234, Juin 2006.

[62] C. Bestory, F. Marc, et H. Levi, "Statistical analysis during the reliability simulation," *Microelectronics Reliability*, vol. 47, no. 9-11, pp. 1353–1357, 2007.

[63] H. Le, P. J. Marcoux, W. Jiang, et J. E. Chung, "On The Methodology of Assessing Hot-Carrier Reliability of Analog Circuits," *IEEE IRW Final Report*, pp. 20–23, 2000.

[64] E. Xiao, "A design technique to reduce hot carrier effect," *Integrated Reliability Workshop (IRW) Final Report*, 2003.

[65] M. Gerardin, 1681, compte Rendue de l'Académie des Sciences.

[66] "Préface de l'IRPS 2005," *International Reliability Physics Symposium*, 2005.

[67] P.-C. Wang, G. S. C. III, I. C. Noyan, et C.-K. Hu, "Electromigration-induced stress in aluminum conductor lines measured by x-ray microdiffraction," *Applied Physics Letters*, vol. 72, no. 11, pp. 1296–1298, 1998.

[68] M. A. Korhonen, P. Børgesen, K. N. Tu, et C.-Y. Li, "Stress evolution due to electromigration in confined metal lines," *Journal of Applied Physics*, vol. 73, no. 8, pp. 3790–3799, 1993.

[69] J. Lienig, “Introduction to electromigration-aware physical design,” *Proceedings of the International Symposium on Physical Design (ISPD)*, vol. 44, Avril 2006.

[70] J. R. Black, “Electromigration - A brief survey and some recent results,” *IEEE Transactions on Electron Devices*, vol. 16, no. 4, Avril 1969.

[71] L. Jens, “Introduction to electromigration-aware physical design,” *Proceedings of the International Symposium on Physical Design*, pp. 39–46, 2006.

[72] D. Kwon, H. Park, et C. Lee, “Electromigration resistance-related microstructural change with rapid thermal annealing of electroplated copper films,” *Thin Solid Films*, vol. 475, no. 1-2, Mars 2005.

[73] I. Blech, “Electromigration in thin aluminum films on titanium nitride,” *Journal of Applied Physics*, vol. 47, no. 4, Avril 1976.

[74] S. M. Alam, C. L. Gan, F. L. Wei, C. V. Thompson, et D. E. Troxel, “Circuit-level reliability requirements for cu metallization,” *IEEE Transactiond on Device and Materials Reliability*, vol. 5, no. 3, Septembre 2005.

[75] S. M. Alam, D. E. Troxel, et C. V. Thompson, “Thermal aware cell-based full-chip electromigration reliability analysis,” *Proceeding of Great Lakes Symposium on VLSI*, Avril 2005.

[76] N. Klein, “The mechanism of self-healing electrical breakdown in mos structures,” *IEEE Transactions on Electron Devices*, vol. 13, no. 11, pp. 788–805, 1966.

[77] T. Hori, *Gate dielectrics and MOS ULSIs : Principles, Technologies, and Applications*. Springer, 1997.

[78] M. Depas, T. Nigam, et M. M. Heyns, “Soft breakdown of ultra-thin gate oxide layers,” *IEEE Transactions on Electron Devices*, vol. 43, no. 9, pp. 1499–1504, Septembre 1996.

[79] N. Nafria, J. Suné, et X. Aymerich, “Exploratory observations of post-breakdown conduction in polycrystalline-silicon and metal-gated thin-oxide metal-oxide-semiconductor capacitors,” *Journal of Applied Physics*, vol. 73, no. 1, pp. 205–215, 1993.

[80] D. J. DiMaria, “Defect production, degradation, and breakdown of silicon dioxide films,” *Solid-State Electronics*, vol. 41, no. 7, pp. 957–965, Juillet 1997.

[81] K. F. Schuegraf et C. Hu, “Hole injection sio2 breakdown model for very low voltage lifetime extrapolation,” *IEEE Transactions on Electron Devices*, vol. 41, no. 5, pp. 761–767, 1994.

[82] J. W. McPherson et H. C. Mogul, “Underlying physics of the thermochemical E model in describing low-field time-dependent dielectric breakdown in sio2 thin films,” *Journal of Applied Physics*, vol. 84, no. 3, pp. 1513–1523, 1998.

[83] J. W. McPherson et R. B. Khamankar, “Molecular model for intrinsic time-dependent dielectric breakdown in sio2 dielectrics and the reliability implications for hyper-thin gate oxide,” *Semiconductor Science and Technology*, vol. 15, no. 5, pp. 462–470, 2000.

[84] M. Alam, B. Weir, et P. Silverman, “A study of soft and hard breakdown - Part II : Principles of area, thickness, and voltage scaling,” *IEEE Transactions on Electron Devices*, vol. 49, no. 2, pp. 239–246, Février 2002.

[85] R. Degraeve, G. Groeseneken, R. Bellens, M. Depas, et H. Maes, “A consistent model for the thickness dependence of intrinsic breakdown in ultra-thin oxides,” *International Electron Devices Meeting*, pp. 863–866, 1995.

[86] C. Tung, K. Pey, W. Lin, et M. Radhakrishnan, “Polarity-dependent dielectric breakdown-induced epitaxy (DBIe) in si mosfets,” *IEEE Electron Device Letters*, vol. 23, no. 9, pp. 526–528, Septembre 2002.

[87] C. Tung, K. Pey, W. Lin, M. Radhakrishnan, W. H. Lin, F. Palumbo, et S. Lombardo, “Percolation path and dielectric-breakdown-induced-epitaxy evolution during ultrathin gate dielectric breakdown transient,” *Applied Physics Letters*, vol. 83, no. 11, pp. 2223–2225, 2003.

[88] E. H. Snow, E. H. Grove, B. E. Deal, et C. T. Sah, “Ion transport phenomena in insulating films,” *Journal of Applied Physics*, vol. 36, no. 5, pp. 1664–1673, 1965.

[89] B. E. Deal, M. Sklar, et E. H. Grove, A.S.and Snow, “Characteristic of the surface-state charge (q_{ss}) of thermally oxidized silicon,” *Solid-State Science*, vol. 114, no. 3, pp. 266–274, Mars 1967.

[90] C. E. Blat, E. H. Nicollian, et E. H. Poindexter, “Mechanism of negative-bias-temperature instability,” *Journal of Applied Physics*, vol. 69, no. 3, pp. 1712–1720, Février 1991.

[91] S. Ogawa et N. Shiono, “Generalized diffusion-reaction model for the low-field charge-buildup instability at the si-sio2 interface,” *Physical review B : Condensed matter*, vol. 51, no. 7, pp. 4218–4230, Mars 1995.

[92] M. A. Alam et S. Mahapatra, “A comprehensive model of pmos nbti degradation,” *Microelectronics Reliability*, vol. 45, no. 1, pp. 77–81, 2005.

[93] D. K. Schrodera, “Negative bias temperature instability : What do we understand ?” *Microelectronics Reliability*, vol. 47, no. 6, pp. 841–852, Juin 2007.

[94] C. Schlünder, R. Brederlow, B. Ankele, W. Gustin, K. Goser, et R. Thewes, “Effects of inhomogeneous negative bias temperature stress on p-channel MOSFETs of analog and RF circuits,” *Microelectronics Reliability*, vol. 45, no. 1, pp. 39–46, 2005.

[95] S. M. Sze, *Modern Semiconductor Device Physics*. John Whiley & Sons, 1998.

[96] W. Weber, M. Brox, T. Kunemund, H. M. Muhlhoff, et D. Schmitt-Landsieldel, “Dynamic Degradation in MOSFET’s - Part II : Application in the Circuit Environment,” *IEEE Transactions on Electron Devices*, vol. 38, no. 8, pp. 1859–1867, Août 1991.

[97] R. Thewes et W. Weber, “Effects of Hot-Carrier Degradation in Analog CMOS Circuits,” *Microelectronic Engineering*, vol. 36, pp. 285–292, Février 1997.

[98] X. Xuan et A. Chatterjee, “Sensitivity and Reliability Evaluation for Mixed-Signal ICs under Electromigration and Hot-Carrier Effects,” *Proceedings of IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems*, 2001.

[99] Q. Li, W. Li, J. Zhang, et J. S. Yuan, “Soft Breakdown and Hot Carrier Reliability of CMOS RF Mixer and Redesign,” *IEEE Radio Frequency Integrated Circuits Symposium*, pp. 399–402, 2002.

[100] *Critical Reliability Challenges for ITRS*, Mars 2003.

[101] S. Tam, P.-K. Ko, et C. Hu, “Lucky electron model of channel hot electron injection in MOSFET’s,” *IEEE Transactions on Electron Devices*, vol. 31, pp. 1116–1125, Septembre 1984.

[102] C. Hu, S. C. Tam, F.-C. Hsu, P.-K. Ko, T.-Y. Chan, et K. W. Terrill, “Hot-Electron-Induced MOSFET Degradation–Model, Monitor, and Improvement,” *IEEE Transactions on Electron Devices*, vol. 32, no. 2, pp. 375–385, Février 1985.

[103] I. C. Chen, S. Holland, et C. Hu, “Electron-trap generation by recombination of electrons and holes in sio_2,” *Journal of Applied Physics*, vol. 61, no. 9, pp. 4544–4548, 1987.

[104] D. Saha, D. Varghese, et M. S., “Role of anode hole injection and valence band hole tunneling on interface trap generation during hot carrier injection stress,” *IEEE Electron Device Letters*, vol. 27, no. 7, pp. 585–587, Juillet 2006.

[105] P. Samanta, “Mechanisms for generation of oxide trapped charges in ultrathin silicon dioxide films during electrical stress,” *Solid-State Electronics*, vol. 52, pp. 255–258, 2008.

[106] G. V. d. Bosh, G. Groeseneken, et H. E. Maes, “Critical analysis of the substrate hot-hole injection technique,” *Solid-State Electronics*, vol. 37, no. 3, pp. 393–399, Mars 1994.

[107] M. Brox et W. Weber, “Dynamic Degradation in MOSFET’s - Part I : The Physical Effects,” *IEEE Transactions on Electron Devices*, vol. 38, no. 8, pp. 1852–1858, Août 1991.

[108] S. Naseh, M. J. Deen, et C.-H. Chen, “Hot-carrier reliability of submicron NMOSFETs and integrated NMOS low noise amplifiers,” *Microelectronics Reliability*, vol. 46, pp. 201–212, 2006.

[109] C. C. Li, K. Quader, E. Minami, C. Hu, et P. K. Ko, "A new bi-directional PMOSFET hot-carrier degradation model for circuit reliability simulation," *International Electron Devices Meeting (IEDM)*, pp. 547–550, 1992.

[110] R. Thewes, M. Brox, K. F. Goser, et W. Weber, "Hot-Carrier Degradation of p-MOSFET's Under Analog Operation," *IEEE Transactions on Electron Devices*, vol. 44, p. 607, 1997.

[111] T. Di Gilio, "étude de la fiabilité porteurs chauds et des performances des technologies CMOS 0.13 μm -2nm," Thèse de Doctorat, Université de Provence, Octobre 2006.

[112] R. Brederlow, W. Weber, D. Schmitt-Landsiedel, et R. Thewes, "Hot carrier degradation of the low frequency noise of MOS transistors under analog operating conditions," *Proceeding of the International Reliability Physics Symposium (IRPS)*, 1999.

[113] R. Thewes, R. Brederlow, C. Schlunder, P. Wieczorek, B. Ankele, A. Hesener, S. Holz J.and Kessel, et W. Weber, "MOS Transistor Reliability under Analog Operation," *Microelectronics Reliability*, vol. 40, no. 8, pp. 1545–1554, Août 2000.

[114] M. Saxena, S. Haldar, M. Gupta, et R. Gupta, "Physics-based analytical modeling of potential and electrical field distribution in dual material gate (dmg)-mosfet for improved hot electron effect and carrier transport efficiency," *IEEE Transactions on Electron Devices*, vol. 49, no. 11, p. 1928, Novembre 2002.

[115] S. Wolf, *Silicon Processing for the VLSI Era - Volume III - The Submicron MOSFET*. Lattice Press, 1995.

[116] M. Shur, *Introduction to Electronic Devices*. John Wiley & Sons, 1996.

[117] R. Woltjer, A. Hamada, et E. Takeda, "Time dependence of p-mosfet hot-carrier degradation measured and interpreted consistently over ten orders of magnitude," *IEEE Transactions on Electron Devices*, vol. 40, pp. 392–401, Novembre 1993.

[118] F. Mu, M. Xu, C. Tan, et X. Duan, "A new lifetime prediction method for hot-carrier degradation in n-mosfets with ultrathin gate oxides under Vg=Vd," *Microelectronics Reliability*, vol. 41, no. 11, pp. 1909–1913, 2001.

[119] F.-C. Hsu et S. Tam, "Relationship Between MOSFET Degradation and Hot-Electron-Induced Interface-State Generation," *IEEE Electron Device Letters*, vol. 5, no. 2, pp. 50–52, Février 1984.

[120] E. Christen et K. Bakalar, "VHDL-AMS - a hardware description language for analog and mixed-signal applications," *IEEE Transactions on Circuits and Systems II : Analog and Digital Signal Processing*, vol. 46, no. 10, pp. 1263–1272, Octobre 1999.

[121] B. Méchin, "Introduction aux méthodes de maintenance," *Techniques de l'Ingénieur*, Octobre 2005.

Annexe A

Publications

Revue

[1] B. Dubois, J.B. Kammerer, L. Hébrard et F. Braun, “Modelling of hot-carrier degradation and its application for analog design for reliability”, *Microelectronics Journal*, 2008, disponible en ligne.

Conférences internationales avec comité de lecture

[1] B. Dubois, J.B. Kammerer, L. Hébrard et F. Braun, "Ageing sensor for analog application", *Joint IEEE NEWCAS TAISA 2009 Conference*, 28 juin - 1er juillet 2009.

[2] B. Dubois, J.B. Kammerer, L. Hébrard et F. Braun, "Analytical Modeling of Hot-Carrier Induced Degradation of MOS Transistor for Analog Design for Reliability", *Proceedings of the IEEE ISQED 2007*, avril 2007, p.53-58.

Conférences nationales avec comité de lecture

[1] B. Dubois, J.B. Kammerer, L. Hébrard et F. Braun, “Dimensionnement de circuit analogique pour la fiabilité”, *XIèmes Journées Nationales du Réseau Doctoral de Microélectronique*, mai 2008.

[2] H.Belhadaoui, B. Dubois, M. Jallouli, J.B. Kammerer, F. Monteiro, J.F. Aubry, B. Lepley, F. Braun, O. Malasse, L. Hébrard, M. Hehn, D. Diou, A. Dandache, S. Piestrak, H. Medromi, K. Hamidi, V. Idasiak, "Instrumentation sûre de fonctionnement - Une synergie multidisciplinaire", *4ème Colloque Interdisciplinaire en Instrumentation*, octobre 2007.

[3] B. Dubois, J.B. Kammerer, L. Hébrard et F. Braun, "Modélisation analytique de la dégradation des transistors MOS par porteurs chauds pour la conception analogique pour la fiabilité", *Xèmes Journées Nationales du Réseau Doctoral de Microélectronique*, mai 2007.

Communications sans comité de lecture

[2] B. Dubois, J.B. Kammerer, L. Hébrard et F. Braun, "Méthode de conception analogique pour la fiabilité pour le concepteur", *Colloque national du GDR SoC-SiP*, juin 2007.

[1] B. Dubois, J.B. Kammerer, L. Hébrard et F. Braun, "Prise en compte du vieillissement en conception analogique", *Journée du GDR SoC-SiP 'Conception tolérante aux fautes, défauts et dispersions'*, février 2007.

Brevet

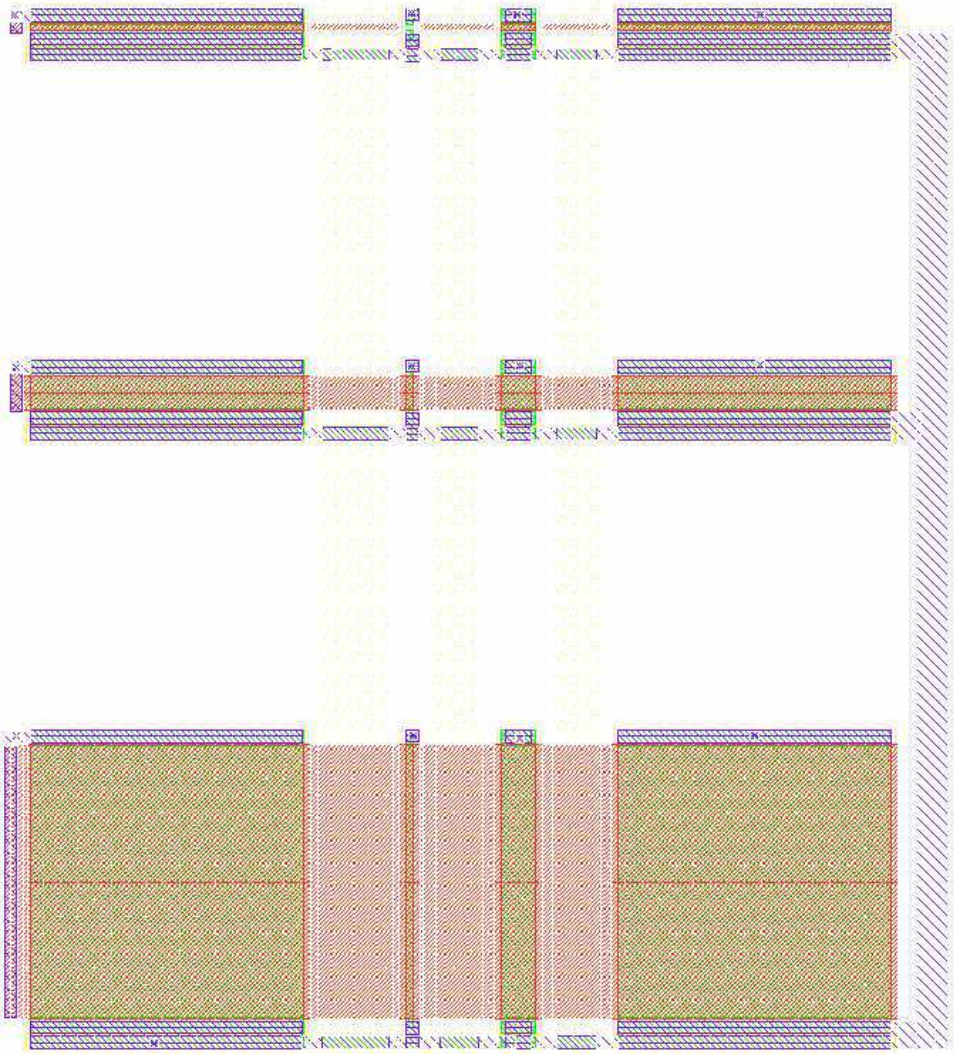
[1] J.B. Kammerer, B. Dubois, "Capteur de vieillissement pour un circuit intégré de microélectronique ou analogue", 2008, En cours de dépot.

Annexe B

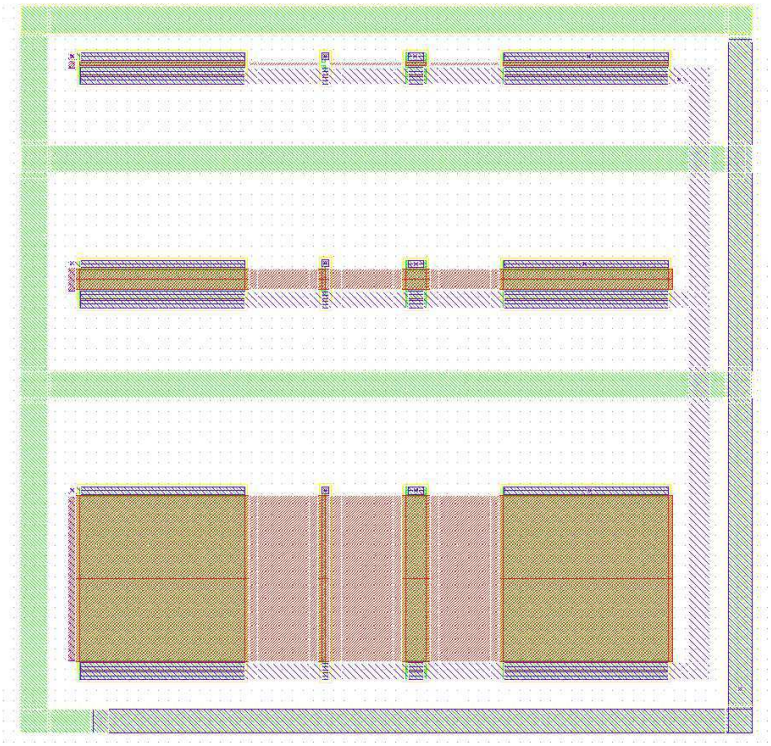
Circuits CMOS

B.1 Circuits de caractérisation du modèle de vieillissement

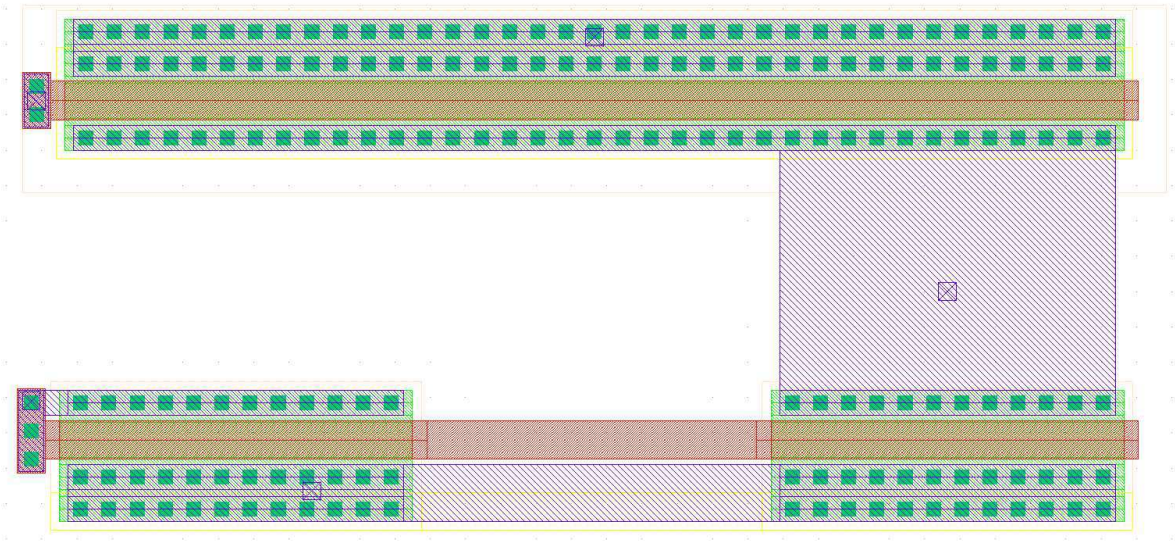
B.1.1 Miroir NMOS



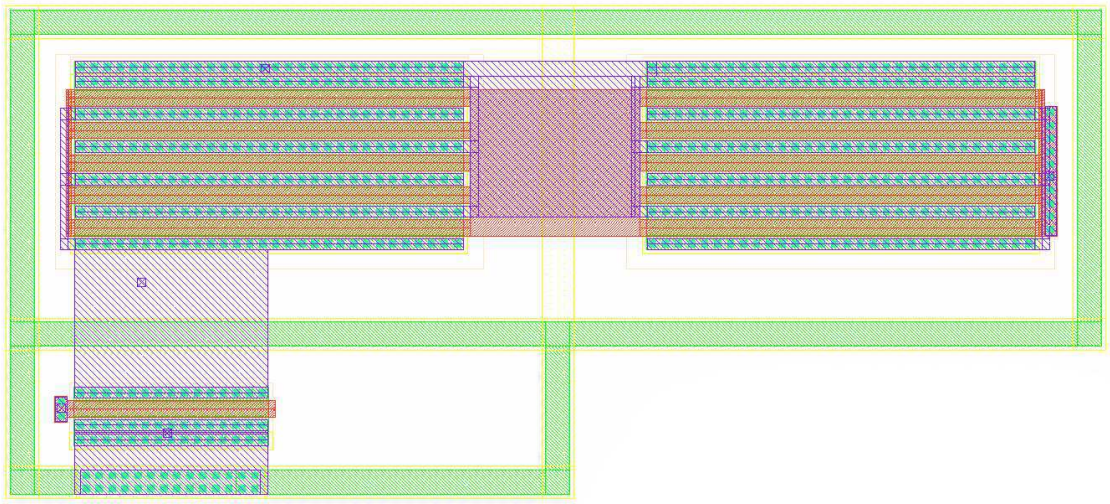
B.1.2 Miroir PMOS



B.1.3 Amplificateur à charge NMOS

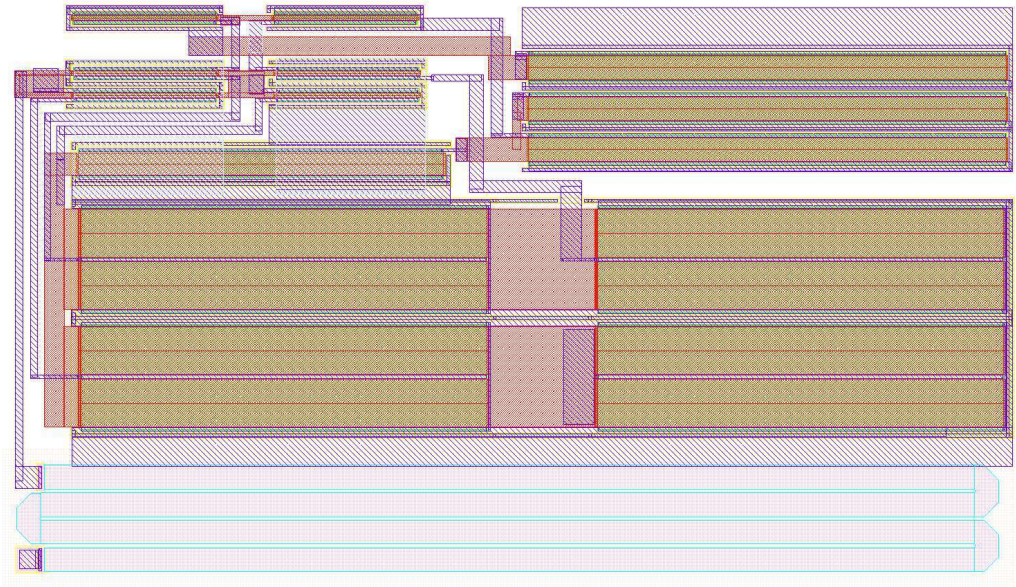


B.1.4 Amplificateur à charge PMOS

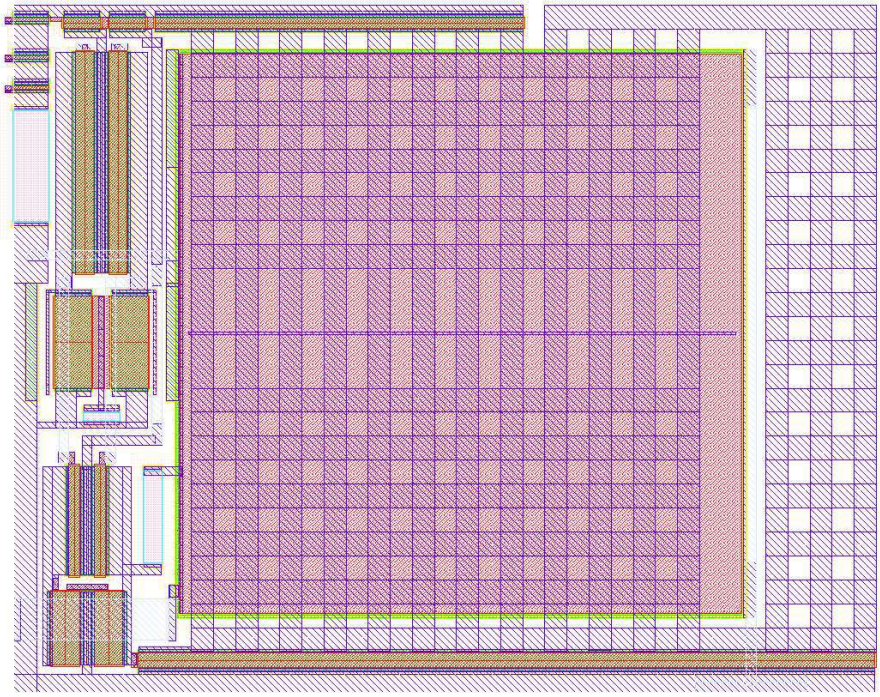


B.2 Capteur de vieillissement

B.2.1 Capteur



B.2.2 OTA



Annexe C

Sources VHDL-AMS

C.1 tmos.vhd

```
library ieee;
library Disciplines;

use Disciplines.electromagnetic_system.all;
use ieee.math_real.all;
use work.all;

entity nmos3 is
  generic (W    : real := 20.0;         -- ţm
           L    : real := 8.0;          -- ţm
           Vt   : real := 0.50;         -- V
           Kp   : real := 180.0e-6;     -- A/Vš
           Ve   : real := 20.0;         -- V/ţm
           Gds0 : real := 1.0e-9;       -- S
           Vc   : real := 28.6;         -- V
           A    : real := 1.0e-15;      -- 1/mš/s
           Bvt  : real := 7.6e-6;       -- V.mš/s
           Bkp  : real := -1.81e-8;     -- A.mš
           K    : real := 2.0e6;        -- ţm/(A.mš)
           Nit0 : real := 1.0e15;       -- 1/mš
           Time_Scale : real := 31536000.0); -- s/year
  port (terminal G, D, S : electrical;
        signal Ageing : in boolean);    -- Ageing control pin
```

```
begin
end;
--------------------------------------------------------------------------------
architecture v1_0 of nmos3 is
  -- smooth_min functions
  -- this function returns min(p,x)
  -- this function provides a continuous first derivative
  pure function smooth_min(x,p,K:real) return real is
    variable v,a : real;
  begin
    a := exp(K*(x-p))+1.0-exp(-K*p);
    v := x-log(a)/K;
  return v;
  end smooth_min;
  -- this function returns max(m,x)
  -- this function provides a continuous first derivative
  pure function smooth_max(x,m,K:real) return real is
    variable v,b : real;
  begin
    b := exp(K*(m-x))+1.0;
    v := x-log(1.0/b)/K;
  return v;
  end smooth_max;
  -- Ids calculation function
  pure function IMOS(Kpeff, Vgs, Vt, Vds: real) return real is
    variable Ilin   : real;
    variable Isat   : real;
    variable Vdssat : real;
    variable K      : real;
    variable I      : real;
    variable ret    : real;
  begin
    Vdssat := smooth_max(Vgs-Vt,0.0,10.0);
    Ilin := Vdssat*Vds;
    Isat := (Vdssat**2)/2.0;
    K    := 6.0/(Vdssat**2+0.1);
```

```
    I    := smooth_min(Ilin,Isat,K);
    ret  := Kpeff*I;
    return ret;
  end;
  -- smoothing_function for aging calculation
  pure function Aging_smooth(Vage : real) return real is
    variable V : real;
    constant a : real := 2.0e-3;
  begin
    if(Vage > a) then
      V := sqrt(a**2+Vage**2);
    else
      V := a;
    end if;
    return V;
  end;
  -- electrical parameters
  quantity Vgs across Igs through G to S;
  quantity Vds across Ids,Ileak through D to S;
  quantity Vteff      : real;
  quantity Kpeff      : real;
  -- age parameters
  quantity Gamma      : real;
  quantity Nit        : real := Nit0;
begin
  -- degradation
  Gamma   == Ids*exp(-Vc/Aging_smooth(Vds-Vgs+Vteff))/W;
  if(Ageing) use
    if(domain=quiescent_domain) use
      Nit == Nit0;
    else
      Nit'dot == Time_Scale*K*Gamma/(1.0+A*Nit)*sign(now);
    end use;
  else
    Nit'dot == 0.0;
  end use;
```

```
  -- effectives Vt and Kp
  Vteff   == Vt+(Nit-Nit0)*Bvt;
  Kpeff   == W/L*(Kp+(Nit-Nit0)*Bkp);
  -- Simple MOS equations
  Igs     == 0.0;
  Ids     == (1.0+Vds/(Ve*L))*IMOS(Kpeff,Vgs,Vteff,Vds);
  Ileak   == Gds0*Vds;
  -- reverse diode
  Rev_diode: entity diode
    port map (K => D, A => S);
  end;
--------------------------------------------------------------------------------
--------------------------------------------------------------------------------
entity pmos3 is
  generic (W    : real := 20.0;         -- ţm
           L    : real := 8.0;          -- ţm
           Vt   : real := -0.65;        -- V  ** Signe opposé au NMOS
           Kp   : real := 60.0e-6;      -- A/Vš
           Ve   : real := 20.0;         -- V/ţm
           Gds0 : real := 1.0e-9;      -- S
           Vc   : real := 28.6;         -- V
           A    : real := 1.0e-15;      -- 1/mš/s
           Bvt  : real := 7.6e-6;       -- V.mš/s ** Signe opposé au NMOS
           Bkp  : real := -1.81e-8;     -- A.mš
           K    : real := 2.0e6;        -- ţm/(A.mš)
           Nit0 : real := 1.0e15;       -- 1/mš
           Time_Scale : real := 31536000.0);-- s/year
  port (terminal G, D, S : electrical;
        signal Ageing : in boolean);    -- Ageing control pin
begin
end;
--------------------------------------------------------------------------------
architecture v1_0 of pmos3 is
  -- smooth_min functions
  -- this function returns min(p,x)
  -- this function provides a continuous first derivative
```

```
pure function smooth_min(x,p,K:real) return real is
  variable v,a : real;
begin
  a := exp(K*(x-p))+1.0-exp(-K*p);
  v := x-log(a)/K;
return v;
end smooth_min;
-- this function returns max(m,x)
-- this function provides a continuous first derivative
pure function smooth_max(x,m,K:real) return real is
  variable v,b : real;
begin
  b := exp(K*(m-x))+1.0;
  v := x-log(1.0/b)/K;
return v;
end smooth_max;
-- Ids calculation function
pure function IMOS(Kpeff, Vgs, Vt, Vds: real) return real is
  variable Ilin   : real;
  variable Isat   : real;
  variable Vdssat : real;
  variable K      : real;
  variable I      : real;
  variable ret    : real;
begin
  Vdssat := smooth_max(Vgs-Vt,0.0,10.0);
  Ilin := Vdssat*Vds;
  Isat := (Vdssat**2)/2.0;
  K    := 6.0/(Vdssat**2+0.1);
  I    := smooth_min(Ilin,Isat,K);
  ret  := Kpeff*I;
  return ret;
end;
-- smoothing_function for aging calculation
pure function Aging_smooth(Vage : real) return real is
  variable V : real;
```

```
    constant a : real := 2.0e-3;
  begin
    if(Vage > a) then
      V := sqrt(a**2+Vage**2);
    else
      V := a;
    end if;
    return V;
  end;
  -- electrical parameters
  quantity Vgs across Igs through G to S;
  quantity Vds across Ids,Ileak through D to S;
  quantity Vteff      : real;
  quantity Kpeff      : real;
  -- age parameters
  quantity Gamma      : real;
  quantity Nit        : real := Nit0;
begin
  -- degradation
  Gamma   == -Ids*exp(-Vc/Aging_smooth(-Vds+Vgs-Vteff))/W;
  if(Ageing) use
    if(domain=quiescent_domain) use
      Nit == Nit0;
    else
      Nit'dot == Time_Scale*K*Gamma/(1.0+A*Nit)*sign(now);
    end use;
  else
    Nit'dot == 0.0;
  end use;
  -- effectives Vt and Kp
  Vteff   == Vt+(Nit-Nit0)*Bvt;
  Kpeff   == W/L*(Kp+(Nit-Nit0)*Bkp);
  -- Simple MOS equations
  Igs     == 0.0;
  Ids     == -(1.0-Vds/(Ve*L))*IMOS(Kpeff,-Vgs,-Vteff,-Vds);
  Ileak   == Gds0*Vds;
```

```
  -- reverse diode
  Rev_diode: entity diode
    port map (K => S, A => D);
end;
```

C.2 R.vhd

```
library ieee;
library Disciplines;

use Disciplines.electromagnetic_system.all;
use ieee.math_real.all;

entity diode is
  generic (Iss  : real := 1.0e-14;       -- A
           Ut   : real := 0.027);        -- V
  port (terminal A, K : electrical);
begin
end;

architecture ideal of diode is
  quantity Vak across Iak through A to K;
begin
  Iak == Iss*(exp(Vak/Ut)-1.0);
end;
```

C.3 Miroir.tb.vhd

```
library Disciplines;
library ieee;

use ieee.math_real.all;
use Disciplines.electromagnetic_system.all;
use work.all;

entity mirror_tb is
```

```
end;


architecture Mirror_time of mirror_tb is
  -- Comparaison entre une conception conventionnelle
  -- et une conception pour la fiabilité
  terminal Iref1, Output2 : electrical;
  terminal Iref3, Output4 : electrical;
  quantity Vin1  across Iin1  through Iref1   to electrical_ground;
  quantity Vout2 across Iout2 through Output2 to electrical_ground;
  quantity Vin3  across Iin3  through Iref3   to electrical_ground;
  quantity Vout4 across Iout4 through Output4 to electrical_ground;

  signal Ageing : boolean := TRUE;

begin
  -- Conception conventionnelle
  M1 : entity nmos3(v1_0)
    generic map (W => 1.45, L => 0.35)
    port map (G => Iref1, D => Iref1, S => electrical_ground, Ageing => Ageing);
  M2 : entity nmos3(v1_0)
    generic map (W => 1.45, L => 0.4083)
    port map (G => Iref1, D => Output2, S => electrical_ground, Ageing => Ageing);
  Iin1  == -50.0e-6;
  Vout2 == 2.5;
  -- Conception pour la fiabilité
  M3 : entity nmos3(v1_0)
    generic map (W => 1.45, L => 0.35)
    port map (G => Iref3, D => Iref3, S => electrical_ground, Ageing => Ageing);
  M4 : entity nmos3(v1_0)
    generic map (W => 40.1, L => 8.770)
    port map (G => Iref3, D => Output4, S => electrical_ground, Ageing => Ageing);
  Iin3  == -50.0e-6;
  Vout4 == 2.5;
end;
```

C.4 MiroirCascode.tb.vhd

```
library Disciplines;
library ieee;

use ieee.math_real.all;
use Disciplines.electromagnetic_system.all;
use work.all;

entity mirrorCascode_tb is
end;

architecture MirrorCascode_time_MccVsMcs of mirrorCascode_tb is
  -- Simulation du vieillissement d un miroir cascode
  -- et d un miroir simple
  terminal Iin1, Vout1, A, B : electrical;
  quantity V1 across I1 through Iin1  to electrical_ground;
  quantity V2 across I2 through Vout1 to electrical_ground;
  terminal Iin2, Vout2 : electrical;
  quantity V1s across I1s through Iin2  to electrical_ground;
  quantity V2s across I2s through Vout2 to electrical_ground;

  signal Ageing : boolean := TRUE;

begin
  M1 : entity nmos3(v1_0)
    generic map (W => 1.4, L => 0.35)
    port map (G => A, D => A, S => electrical_ground, Ageing => Ageing);
  M2 : entity nmos3(v1_0)
    generic map (W => 1.4, L => 0.35)
    port map (G => A, D => B, S => electrical_ground, Ageing => Ageing);
  M3 : entity nmos3(v1_0)
    generic map (W => 1.4, L => 0.35)
    port map (G => Iin1, D => Iin1, S => A, Ageing => Ageing);
  M4 : entity nmos3(v1_0)
    generic map (W => 1.4, L => 0.35)
    port map (G => Iin1, D => Vout1, S => B, Ageing => Ageing);
```

```
  I1 == -20.0e-6;
  V2 == 2.8;

  M1s : entity nmos3(v1_0)
    generic map (W => 1.4, L => 0.35)
    port map (G => Iin2, D => Iin2, S => electrical_ground, Ageing => Ageing);
  M2s : entity nmos3(v1_0)
    generic map (W => 1.4, L => 0.35)
    port map (G => Iin2, D => Vout2, S => electrical_ground, Ageing => Ageing);
  I1s == -20.0e-6;
  V2s == 2.8;

end;
```

C.5 AmpliDiff.tb.vhd

```
library Disciplines;
library ieee;

use ieee.math_real.all;
use Disciplines.electromagnetic_system.all;
use work.all;

entity ampliDiff_tb is
end;

-- Etage differentiel
-- Etude de la derive temporelle
architecture ampliDiff_VinCst_time of ampliDiff_tb is
   terminal Vdd, Iext, Output, Vp, Vm    : electrical;
   terminal Ap, Am, Ac                   : electrical;
   terminal Xp, Xm, L, S                 : electrical;
   quantity Vin   across Iin   through Iext to Vdd;
   quantity Vbias across Ibias through Vdd  to electrical_ground;
   quantity VPQ   across IP    through L    to electrical_ground;
   quantity Vpsp  across Ipsp  through S    to Xp;
```

```
  quantity Vpsm  across Ipsm  through Xm   to S;
  quantity Vpsq  across Ipsq  through S    to electrical_ground;

  signal Ageing : boolean := FALSE;
  signal Age    : boolean := FALSE;

begin
 NM1 : entity nmos3(v1_0)
   generic map (W => 5.0, L => 1.0)
   port map (G => Vm, D => Am, S => Ac, Ageing => Ageing);
 NM2 : entity nmos3(v1_0)
   generic map (W => 5.0, L => 1.0)
   port map (G => Vp, D => Output, S => Ac, Ageing => Ageing);
 PM3 : entity pmos3(v1_0)
   generic map (W => 2.0, L => 1.40)
   port map (G => Am, D => Am, S => Vdd, Ageing => Ageing);
 PM4 : entity pmos3(v1_0)
   generic map (W => 2.0, L => 1.40)
   port map (G => Am, D => Output, S => Vdd, Ageing => Ageing);
 NM5 : entity nmos3(v1_0)
   generic map (W => 4.5, L => 1.50)
   port map (G => Iext, D => Ac, S => electrical_ground, Ageing => Ageing);
 NMin: entity nmos3(v1_0)
   generic map (W => 4.5, L => 1.50)
   port map (G => Iext , D => Iext, S => electrical_ground, Ageing => Ageing);
 Sw1 : entity switch(ideal)
   port map(S=>Vm, T=>L, F=>Xm, Ctrl=>Ageing);
 Sw2 : entity switch(ideal)
   port map(S=>Vp, T=>L, F=>Xp, Ctrl=>Ageing);

 Vbias   == 5.0;
 Iin     == -45.0e-6;
 VPQ     == Vbias/2.0 + 0.7;            -- mode commun stress
 Vpsp    == sin(now*MATH_2_PI)*1.0e-6;  -- signal sinusoidal carac
 Vpsm    == sin(now*MATH_2_PI)*1.0e-6;  -- signal sinusoidal carac
 Vpsq    == Vbias/2.0 + 0.7;            -- mode commun carac
```

```
 break on Ageing;

 toto: process
   begin
     wait for 3 sec;
     Ageing <= TRUE;
     wait for 5 sec;
     Ageing <= FALSE;
     wait;
   end process;
 end;
```

C.6 Ota.tb.vhd

```
library Disciplines;
library ieee;

use ieee.math_real.all;
use Disciplines.electromagnetic_system.all;
use work.all;

entity ota_tb is
end;

architecture AOP_suiveur_derive7 of ota_tb is
  terminal Vdda, Iext, Output, Vp, Vm : electrical;
  terminal Ap, Am, Ac                 : electrical;
  terminal L, S, G, O                 : electrical;
  quantity Vin across Iin through Iext to electrical_ground;
  quantity Vdd across Idd through Vdda to electrical_ground;
  quantity Vmc across Imc through G to electrical_ground;
  quantity Vpm across Ipm through G to S;
  quantity Vpp across Ipp through L to G;
  quantity Vdc across Idc through O to electrical_ground;
```

```
  signal Age    : boolean := false;
  signal SwitchCtl : boolean := true;   -- CR
--  signal SwitchCtl : boolean := false;  --BO
  signal Ageing : boolean := false;
  signal Voff   : real    := 0.0;
begin

  NM1 : entity nmos3(v1_0)
    generic map (W => 1.0, L => 2.0)
    port map (G => Vm, D => Am, S => Ac, Ageing => Ageing);
  NM2 : entity nmos3(v1_0)
    generic map (W => 1.0, L => 2.0)
     port map (G => Vp, D => Ap, S => Ac, Ageing => Ageing);
  PM3 : entity pmos3(v1_0)
    generic map (W => 0.60, L => 0.50)
    port map (G => Am, D => Am, S => Vdda, Ageing => Ageing);
  PM4 : entity pmos3(v1_0)
    generic map (W => 0.60, L => 0.50)
    port map (G => Am, D => Ap, S => Vdda, Ageing => Ageing);
  NM5 : entity nmos3(v1_0)
    generic map (W => 0.40, L => 0.70)
    port map (G => Iext, D => Ac, S => electrical_ground, Ageing => Ageing);
  PM6 : entity pmos3(v1_0)
    generic map (W => 131.49, L => 2.4)
    port map (G => Ap, D => Output, S => Vdda, Ageing => Ageing);
  NM7 : entity nmos3(v1_0)
    generic map (W => 31.96, L => 2.4)
    port map (G => Iext, D => Output, S => electrical_ground, Ageing => Ageing);
  NM8 : entity nmos3(v1_0)
    generic map (W => 1.0, L => 0.65)
    port map (G => Iext, D => Iext, S => electrical_ground, Ageing => Ageing);

  Sw1 : entity switch(ideal)
    port map(S => Vm, T => Output, F => S, Ctrl => SwitchCtl);
  Sw2 : entity switch(ideal)
    port map(S => Vp, T => O, F => L, Ctrl => SwitchCtl);
```

```
  Vdd == 5.0;
  Iin == -3.0e-6;
  Vmc == Vdd/2.0 + 0.500;                    -- mode commun carac
  Vpp == sin(MATH_2_PI*now)*1.0e-6 + Voff ;
  Vpm == sin(MATH_2_PI*now)*1.0e-6;
  Vdc == Vmc;                                -- mode commun stress

  break on Ageing;

  toto : process
   begin
     SwitchCtl <= false;
     Voff <= 0.0;
     wait for 2.25 sec;                 -- carac avant vieillissement
     SwitchCtl <= true;
     wait for 0.25 sec;                 -- tempo
     Ageing <= true;
     wait for 2.0 sec;                  -- vieillissement
     Ageing <= false;
     SwitchCtl <= false;
     Voff <= 46.0e-6;
     wait;                              -- carac après vieillissement
  end process;
end;
```

C.7 Capteur.tb.vhd

```
library Disciplines;
library ieee;

use ieee.math_real.all;
use Disciplines.electromagnetic_system.all;
use work.all;

entity sensor_tb is
```

```
end;

architecture Capteur_analog_time of sensor_tb is
  terminal Vdd, Output, Vss     : electrical;
  terminal A, B, C, D, E, F, G  : electrical;
  quantity Valimp across Ialimp through Vdd to electrical_ground;
  quantity Valimn across Ialimn through Vss to electrical_ground;
  signal Ageing : boolean := TRUE;

begin
  Valimp == 2.50;
  Valimn == -2.50;

  M1 : entity nmos3(v1_0)
    generic map (W => 11.11, L => 1.00)
    port map (G => A, D => A, S => Vss, Ageing => Ageing);
  M2 : entity nmos3(v1_0)
    generic map (W => 11.11, L => 1.00)
    port map (G => B, D => B, S => A, Ageing => Ageing);
  P3 : entity pmos3(v1_0)
    generic map (W => 33.33, L => 1.00)
    port map (G => C, D => C, S => D, Ageing => Ageing);
  P4 : entity pmos3(v1_0)
    generic map (W => 33.33, L => 1.00)
    port map (G => D, D => D, S => Vdd, Ageing => Ageing);
  M5 : entity nmos3(v1_0)
    generic map (W => 10.0, L => 2.6187)
    port map (G => A, D => E, S => Vss, Ageing => Ageing);
  P6 : entity pmos3(v1_0)
    generic map (W => 33.33, L => 1.0)
    port map (G => E, D => E, S => Vdd, Ageing => Ageing);
  M7 : entity nmos3(v1_0)
    generic map (W => 11.11, L => 1.00)
    port map (G => A, D => F, S => Vss, Ageing => Ageing);
  M8 : entity nmos3(v1_0)
    generic map (W => 11.11, L => 1.00)
```

```
    port map (G => B, D => electrical_ground, S => F, Ageing => Ageing);
  P9 : entity pmos3(v1_0)
    generic map (W => 33.33, L => 1.00)
    port map (G => C, D => electrical_ground, S => G, Ageing => Ageing);
  P10: entity pmos3(v1_0)
    generic map (W => 33.33, L => 1.00)
    port map (G => E, D => G, S => Vdd, Ageing => Ageing);
  Rin : entity R(ideal)
    generic map (R => 31.613e3)
    port map (A => B, B => C);

end;
```

Annexe D

Détails des calculs

D.1 Chapitre 2.2.2.1

Démontrons l'égalité suivante :

$$\boxed{\frac{(\Delta I_2)_{Max}}{\tau_{min}} = \left(\frac{B_k}{KP_0} - \frac{2B_v}{V_{gs_0} - V_{t_0}}\right)\left(\frac{L_1}{L_2} e^{\frac{V_c}{V_{t_0}} \frac{1}{1+V_{t_0}/(V_{ds2_0} - V_{ds2_{Sat0}})}} - 1\right)\frac{I_{2_0} I_{1_0}}{W_1} e^{\frac{-V_c}{V_{t_0}}}}$$

D'après (2.29), on a :

$$\frac{(\Delta I_2)_{Max}}{\tau_{min}} = \left(\frac{B_k}{KP_0} - \frac{2B_v}{V_{gs_0} - V_{t_0}}\right)\left(\frac{I_{2_0}}{W_2} e^{\frac{-V_c}{V_{ds2_0} - V_{ds2_{Sat0}}}} - \frac{I_{1_0}}{W_1} e^{\frac{-V_c}{V_t}}\right) I_{2_0} \tag{D.1}$$

Et on sait que $\frac{I_{2_0}}{W_2} = \frac{I_{1_0}}{W_1}\frac{L_1}{L_2}$, d'où :

$$\frac{I_{2_0}}{W_2} e^{\frac{-V_c}{V_{ds2_0} - V_{ds2_{Sat0}}}} - \frac{I_{1_0}}{W_1} e^{\frac{-V_c}{V_t}} = \frac{I_{1_0}}{W_1}\left(\frac{L_1}{L_2} e^{\frac{-V_c}{V_{ds2_0} - V_{ds2_{Sat0}}}} - e^{\frac{-V_c}{V_t}}\right) \tag{D.2}$$

Or

$$\begin{aligned}\frac{L_1}{L_2}exp\big(\frac{-V_c}{V_{ds2}-V_{ds2_{sat}}}\big)-exp\big(\frac{-V_c}{V_t}\big) &= exp\big(\frac{-V_c}{V_t}\big)\left(\frac{L_1}{L_2}exp\big(\frac{V_c}{V_t}\big)\,exp\big(\frac{-V_c}{V_{ds2}-V_{ds2_{sat}}}\big)-1\right)\\ &= exp\big(\frac{-V_c}{V_t}\big)\left(\frac{L_1}{L_2}exp\big(\frac{V_c}{V_t}-\frac{V_c}{V_{ds2}-V_{ds2_{sat}}}\big)-1\right)\\ &= exp\big(\frac{-V_c}{V_t}\big)\left(\frac{L_1}{L_2}exp\Big[\frac{V_c}{V_t}\big(1-\frac{V_t}{V_c}\frac{V_c}{V_{ds2}-V_{ds2_{sat}}}\big)\Big]-1\right)\\ &= exp\big(\frac{-V_c}{V_t}\big)\left(\frac{L_1}{L_2}exp\Big[\frac{V_c}{V_t}\big(\frac{V_{ds2}-V_{ds2_{sat}}-V_t}{V_{ds2}-V_{ds2_{sat}}}\big)\Big]-1\right)\end{aligned} \tag{D.3}$$

Avec

$$\begin{cases}V_{ds2}-V_{ds2_{sat}}-V_t &= V_{ds2}-(V_{gs2}+V_t)-V_t\\ V_{gs2}=V_{gs1} &= V_{ds1}\end{cases} \Rightarrow V_{ds2}-V_{ds2_{sat}}-V_t = V_{ds2}-V_{ds1} \tag{D.4}$$

D'où

$$\begin{aligned}\frac{L_1}{L_2}exp\big(\frac{-V_c}{V_{ds2}-V_{ds2_{sat}}}\big)-exp\big(\frac{-V_c}{V_t}\big) &= exp\big(\frac{-V_c}{V_t}\big)\left(\frac{L_1}{L_2}exp\Big[\frac{V_c}{V_t}\big(\frac{V_{ds2}-V_{ds1}}{V_{ds2}-V_{ds1}+V_t}\big)\Big]-1\right)\\ &= exp\big(\frac{-V_c}{V_t}\big)\left(\frac{L_1}{L_2}exp\Big[\frac{V_c}{V_t}\big(\frac{1}{1+\frac{V_t}{V_{ds2}-V_{ds1}}}\big)\Big]-1\right)\end{aligned} \tag{D.5}$$

Et finalement

$$\frac{(\Delta I_2)_{Max}}{\tau_{min}} = \left(\frac{B_k}{KP_0}-\frac{2B_v}{V_{gs_0}-V_{t_0}}\right)\left(\frac{L_1}{L_2}e^{\frac{V_c}{V_{t_0}}\frac{1}{1+V_{t_0}/(V_{ds2_0}-V_{ds2_{Sat0}})}}-1\right)\frac{I_{2_0}I_{1_0}}{W_1}e^{\frac{-V_c}{V_{t_0}}} \tag{D.6}$$

D.2 Chapitre 2.2.3.1

Démontrons l'égalité suivante :

$$\boxed{\frac{\left(\frac{I_{3_0}}{W_3}e^{-V_c/V_{t_0}} - \frac{I_{4_0}}{W_4}e^{-V_c/(V_{ds4_0}-V_{ds4_{Sat0}})}\right)t}{\left(\frac{I_{2_0}}{W_2}e^{-V_c/(V_{ds2s_0}-V_{ds2s_{Sat0}})} - \frac{I_{1_0}}{W_1}e^{-V_c/V_{t_0}}\right)t} = -\frac{1-e^{\frac{V_c}{V_{t_0}}\frac{1}{1+V_{t_0}/(V_{out}-2V_{gs_0})}})}{1-e^{\frac{V_c}{V_{t_0}}\frac{1}{1+V_{t_0}/(V_{out}-V_{gs_0})}}}}$$

$$\frac{\left(\frac{I_{3_0}}{W_3}e^{-V_c/V_{t_0}} - \frac{I_{4_0}}{W_4}e^{-V_c/(V_{ds4_0}-V_{ds4_{Sat0}})}\right)t}{\left(\frac{I_{2_0}}{W_2}e^{-V_c/(V_{ds2s_0}-V_{ds2s_{Sat0}})} - \frac{I_{1_0}}{W_1}e^{-V_c/V_{t_0}}\right)t} \simeq \frac{\left(e^{-V_c/V_{t_0}} - e^{-V_c/(V_{ds4_0}-V_{ds4_{Sat0}})}\right)t}{\left(e^{-V_c/(V_{ds2s_0}-V_{ds2s_{Sat0}})} - e^{-V_c/V_{t_0}}\right)t} \tag{D.7}$$

Car la densité de courant est la même dans tous les transistors (même dimensions et même courant). D'après (D.3), on sait que

$$exp\left(\frac{-V_c}{V_{t_0}}\right) - exp\left(\frac{-V_c}{V_{ds}-V_{ds_{sat}}}\right) = exp\left(\frac{-V_c}{V_{t_0}}\right)\left(1 - exp\left[\frac{V_c}{V_{t_0}}\left(\frac{V_{ds}-V_{ds_{sat}}-V_{t_0}}{V_{ds}-V_{ds_{sat}}}\right)\right]\right) \tag{D.8}$$

D'où

$$\frac{\left(\frac{I_{3_0}}{W_3}e^{-V_c/V_{t_0}} - \frac{I_{4_0}}{W_4}e^{-V_c/(V_{ds4_0}-V_{ds4_{Sat0}})}\right)t}{\left(\frac{I_{2_0}}{W_2}e^{-V_c/(V_{ds2s_0}-V_{ds2s_{Sat0}})} - \frac{I_{1_0}}{W_1}e^{-V_c/V_{t_0}}\right)t} \simeq \frac{exp\left(\frac{-V_c}{V_{t_0}}\right)\left(1 - e^{\frac{V_c}{V_{t_0}}\left(\frac{V_{ds4}-V_{ds4_{sat}}-V_{t_0}}{V_{ds4}-V_{ds4_{sat}}}\right)}\right)}{exp\left(\frac{-V_c}{V_{t_0}}\right)\left(e^{\frac{V_c}{V_{t_0}}\left(\frac{V_{ds2s}-V_{ds2s_{sat}}-V_{t_0}}{V_{ds2s}-V_{ds2s_{sat}}}\right)} - 1\right)} \tag{D.9}$$

Or

$$\begin{cases} V_{ds4_0} & = Vout - V_{ds2_0} = Vout - V_{gs0} \\ V_{ds4_{Sat0}} & = V_{gs4_0} - V_{t_0} = V_{gs0} - V_{t_0} \end{cases} \tag{D.10}$$

D'où

$$\begin{aligned} \frac{V_{ds4}-V_{ds4_{sat}}-V_{t_0}}{V_{ds4}-V_{ds4_{sat}}} &= \frac{(Vout - V_{gs0}) - (V_{gs0} - V_{t_0}) - V_{t_0}}{(Vout - V_{gs0}) - (V_{gs0} - V_{t_0})} \\ &= \frac{Vout - 2V_{gs0}}{Vout - 2V_{gs0} + V_{t_0}} \\ &= \frac{1}{1 + V_{t_0}/(V_{out} - 2V_{gs_0})} \end{aligned} \tag{D.11}$$

et de manière similaire

$$\begin{cases} V_{ds2s_0} & = V_{out} - V_{gs0} \\ V_{ds2s_{Sat0}} & = V_{gs0} - V_{t_0} \end{cases} \Rightarrow \frac{V_{ds2}-V_{ds2_{sat}}-V_{t_0}}{V_{ds2-V_{ds2_{sat}}}} = \frac{1}{1 + V_{t_0}/(V_{out} - V_{gs_0})} \tag{D.12}$$

avec V_{gs0} la tension grille-source des transistors $M2$ et $M4$ (même dimensions, même courants, donc même tensions grille-source). Finalement l'expression (D.9) devient :

$$\frac{\left(\frac{I_{3_0}}{W_3}e^{-V_c/V_{t_0}} - \frac{I_{4_0}}{W_4}e^{-V_c/(V_{ds4_0}-V_{ds4_{Sat0}})}\right)t}{\left(\frac{I_{2_0}}{W_2}e^{-V_c/(V_{ds2s_0}-V_{ds2s_{Sat0}})} - \frac{I_{1_0}}{W_1}e^{-V_c/V_{t_0}}\right)t} \simeq -\frac{\left(1-e^{\frac{V_c}{V_{t_0}}\frac{1}{1+V_{t_0}/(V_{out}-2V_{gs_0})}}\right)}{\left(e^{\frac{V_c}{V_{t_0}}\frac{1}{1+V_{t_0}/(V_{out}-V_{gs_0})}}-1\right)} \tag{D.13}$$

Et enfin, on trouve :

$$\frac{\left(\frac{I_{3_0}}{W_3}e^{-V_c/V_{t_0}} - \frac{I_{4_0}}{W_4}e^{-V_c/(V_{ds4_0}-V_{ds4_{Sat0}})}\right)t}{\left(\frac{I_{2_0}}{W_2}e^{-V_c/(V_{ds2s_0}-V_{ds2s_{Sat0}})} - \frac{I_{1_0}}{W_1}e^{-V_c/V_{t_0}}\right)t} \simeq -\frac{1-e^{\frac{V_c}{V_{t_0}}\frac{1}{1+V_{t_0}/(V_{out}-2V_{gs_0})}})}{1-e^{\frac{V_c}{V_{t_0}}\frac{1}{1+V_{t_0}/(V_{out}-V_{gs_0})}}} \tag{D.14}$$

Démontrons l'égalité suivante :

$$\boxed{\frac{\Delta I_{ds2_{mcc}}}{\Delta I_{ds2_{mcs}}} = -\lambda_2 \cdot \frac{B_v - \frac{V_{gs3_0}-V_{t_0}}{2KP_0}B_k}{\frac{B_k}{KP_0} - 2\frac{B_v}{V_{gs1_0}-V_{t_0}}} \cdot \frac{W_3}{W_1} \frac{1 - \frac{L_3}{L_4} e^{\frac{V_c}{V_{t_0}} \frac{1}{1+V_{t_0}/(V_{out}-V_{gs1_0}-V_{gs3_0}+V_{t_0})}}}{1 - \frac{L_1}{L_2} e^{\frac{V_c}{V_{t_0}} \frac{1}{1+V_{t_0}/(V_{out}-V_{gs1_0}+V_{t_0})}}}}$$

D'après (2.51), on a :

$$\frac{\Delta I_{ds2_{mcc}}}{\Delta I_{ds2_{mcs}}} \simeq \frac{\lambda_2 \left(B_v - \frac{V_{gs3_0}-V_{t_0}}{2KP_0}B_k\right)\left(\frac{I_{3_0}}{W_3}e^{-V_c/V_{t_0}} - \frac{I_{4_0}}{W_4}e^{-V_c/(V_{ds4_0}-V_{ds4_{Sat0}})}\right)t}{\left(\frac{B_k}{KP_0} - 2\frac{B_v}{V_{gs1_0}-V_{t_0}}\right)\left(\frac{I_{2_0}}{W_2}e^{-V_c/(V_{ds2s_0}-V_{ds2s_{Sat0}})} - \frac{I_{1_0}}{W_1}e^{-V_c/V_{t_0}}\right)t} \tag{D.15}$$

Or, on sait que :

$$\begin{cases} \frac{I_4}{W_4} & = \frac{I_3}{W_3}\frac{L_3}{L_4} \\ \frac{I_2}{W_2} & = \frac{I_1}{W_1}\frac{L_1}{L_2} \\ I_3 & = I_1 = I_{in} \end{cases} \tag{D.16}$$

D'où

$$\begin{aligned} \frac{\frac{I_{3_0}}{W_3}e^{-V_c/V_{t_0}} - \frac{I_{4_0}}{W_4}e^{-V_c/(V_{ds4_0}-V_{ds4_{Sat0}})}}{\frac{I_{2_0}}{W_2}e^{-V_c/(V_{ds2s_0}-V_{ds2s_{Sat0}})} - \frac{I_{1_0}}{W_1}e^{-V_c/V_{t_0}}} &= \frac{\frac{I_3}{W_3}}{\frac{I_1}{W_1}} \frac{\left(e^{-V_c/V_{t_0}} - \frac{L_3}{L_4}e^{-V_c/(V_{ds4_0}-V_{ds4_{Sat0}})}\right)}{\left(\frac{L_1}{L_2}e^{-V_c/(V_{ds2s_0}-V_{ds2s_{Sat0}})} - e^{-V_c/V_{t_0}}\right)} \\ &= \frac{W_1}{W_3} \frac{\left(e^{-V_c/V_{t_0}} - \frac{L_3}{L_4}e^{-V_c/(V_{ds4_0}-V_{ds4_{Sat0}})}\right)}{\left(\frac{L_1}{L_2}e^{-V_c/(V_{ds2s_0}-V_{ds2s_{Sat0}})} - e^{-V_c/V_{t_0}}\right)} \end{aligned} \tag{D.17}$$

De manière analogue au calcul précédent, on montre que :

$$\frac{e^{-V_c/V_{t_0}} - \frac{L_3}{L_4}e^{-V_c/(V_{ds4_0}-V_{ds4_{Sat0}})})}{\frac{L_1}{L_2}e^{-V_c/(V_{ds2s_0}-V_{ds2s_{Sat0}})} - e^{-V_c/V_{t_0}}} = -\frac{1 - \frac{L_3}{L_4} e^{\frac{V_c}{V_{t_0}} \frac{1}{1+V_{t_0}/(V_{out}-V_{gs1_0}-V_{gs3_0})}}}{1 - \frac{L_1}{L_2} e^{\frac{V_c}{V_{t_0}} \frac{1}{1+V_{t_0}/(V_{out}-V_{gs1_0})}}} \tag{D.18}$$

Et enfin, on trouve :

$$\frac{\Delta I_{ds2_{mcc}}}{\Delta I_{ds2_{mcs}}} = -\lambda_2 \cdot \frac{B_v - \frac{V_{gs3_0}-V_{t_0}}{2KP_0}B_k}{\frac{B_k}{KP_0} - 2\frac{B_v}{V_{gs1_0}-V_{t_0}}} \cdot \frac{W_1}{W_3} \frac{1 - \frac{L_3}{L_4} e^{\frac{V_c}{V_{t_0}} \frac{1}{1+V_{t_0}/(V_{out}-V_{gs1_0}-V_{gs3_0})}}}{1 - \frac{L_1}{L_2} e^{\frac{V_c}{V_{t_0}} \frac{1}{1+V_{t_0}/(V_{out}-V_{gs1_0})}}} \tag{D.19}$$

Résumé : L'ingénierie des systèmes mécatroniques nécessite la conception simultanée et pluri-disciplinaire des différents sous-systèmes mécanique, électronique et informatique. Dans ce contexte, ces travaux de thèse s'inscrivent dans le cadre d'un projet plus général portant sur la "Conception Intégrée en Mécatronique Sûre de Fonctionnement". Il s'agissait de développer des méthodes devant permettre et faciliter la collaboration entre personnes de spécialités différentes dans le but d'aboutir à un système sûr de fonctionnement sans fixer *a priori* de contraintes sur un élément du système en particulier. Dans la première partie, nous présentons donc un modèle de vieillissement du transistor MOSFET induit par le mécanisme des porteurs chauds. Nous détaillons ensuite l'étude du vieillissement de structures de bases de l'électronique analogique. Nous proposons une méthodologie de conception permettant de maximiser la durée de vie d'un circuit, donc des micro-capteurs, grâce à l'utilisation du modèle de vieillissement. Dans la deuxième partie, en prenant comme exemple un OTA Miller, nous montrons comment notre méthode permet de concevoir des structures complexes sûres de fonctionnement. Pour clore le manuscrit nous proposons une application originale de notre méthode de conception : un capteur de vieillissement de circuit intégré analogique CMOS.

Mots clés : CMOS, modèle compact, vieillissement, conception analogique, fiabilité, dimensionnement des transistors, méthodologie, DfR.

Summary : The engineering of mechatronic systems requires the simultaneous and multi-disciplinary design of the mechanical, electronic and software sub-systems. In this context, this thesis work is part within the framework on "Conception Intégrée en Mécatronique Sûre de Fonctionnement". The goal was to develop methods that allow and facilitate collaboration between people from different specialties in order to achieve a safe system for operation without setting *a priori* constraints on a system in particular. In the first section, we present a hot carrier induced MOSFET degradation model. We then describe the aging study of basic analog structures. We propose a design methodology to maximize the life of a circuit, and therefore micro-sensors, using the aging model. In the second part, taking as example a Miller OTA, we show how our method allows to design safe complex structures. To finish the manuscript we propose an original application of our design method : an analog aging sensor for CMOS integrated circuit.

Key words : CMOS, compact model, aging, analog design, reliability, transistor sizing, methodology, DfR.