Méthodologie de conception nanowatt dédiée aux applications Smart-Card

Francois Rudolff

▶ **To cite this version:**

Francois Rudolff. Méthodologie de conception nanowatt dédiée aux applications Smart-Card. Micro et nanotechnologies/Microélectronique. Université de Provence - Aix-Marseille I, 2008. Français. NNT : . tel-00408728

HAL Id: tel-00408728
https://theses.hal.science/tel-00408728

Submitted on 1 Aug 2009

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

N° d'ordre : Année 2008

THESE

présentée devant

L'Université de Provence

Aix-Marseille I

pour obtenir le grade de

DOCTEUR

Ecole doctorale de « Sciences pour l'Ingénieur : Mécanique, Physique, Micro et Nanoélectronique »

Spécialité : Micro et Nanoélectronique

par

François RUDOLFF

Méthodologie de conception nanowatt dédiée aux applications Smart-Card

Commission d'examen :

Président :	Pascal NOUET	LIRMM, Montpellier
Rapporteurs :	Paul JESPERS	UCL, Louvain-la-Neuve, Belgique
	Nacer ABOUCHI	CPE Lyon, Villeurbanne
Examinateurs :	Hervé BARTHELEMY	IM2NP-USTV, Toulon
	Andréas KAISER (Directeur de thèse)	IEMN-ISEN, Lille
	Edith KUSSENER (Encadrante)	IM2NP-ISEN, Toulon
Invités :	Gaëtan BRACMARD (Encadrant Industriel)	ATMEL, Rousset

Remerciements

Les travaux présentés dans ce manuscrit ont été réalisés à l'Institut Matériaux Microélectronique et Nanosciences de Provence (IM2NP anciennement L2MP) situé à l'Institut Supérieur de l'Electronique et du Numérique de Toulon (ISEN-Toulon) et en collaboration avec la société ATMEL-Rousset.
Je remercie Messieurs Michel Lanoo et Rachid Bouchakour, respectivement ancien directeur du L2MP et nouveau Directeur du L2MP puis de l'IM2NP, de m'avoir accueilli dans leur laboratoire.

Je remercie Monsieur Bernard Petitprez, Directeur de l'ISEN-Toulon, d'avoir mis à notre disposition les moyens nécessaires à la réalisation de ces travaux et de m'avoir permis d'enseigner dans son école.

Je tiens à remercier Monsieur Pascal Nouet d'avoir accepté la présidence du jury chargé d'examiner mon travail.

J'exprime ma profonde reconnaissance à Messieurs Nacer Abouchi et Paul Jespers et qui m'ont fait l'honneur d'être les rapporteurs de cette thèse. Leurs remarques, critiques et suggestions ont largement contribué à l'amélioration de ce mémoire. Je les en remercie sincèrement.

Je remercie Monsieur Hervé Barthélemy d'avoir accepté de participer, en tant qu'examinateur, à la commission d'examen, ainsi que pour son écoute attentive comme chef de l'équipe Conception de Circuits Intégrés.
Je remercie mon directeur de thèse, Monsieur Andreas Kaiser, pour sa confiance et les conseils prodigués.

J'adresse toute ma gratitude à mon encadrante, Madame Edith Kussener-Combier, pour sa disponibilité, sa patience, son soutien de tous les instants et son souci permanent d'assurer le déroulement de mon travail dans les meilleures conditions. Nos discussions toujours fructueuses m'ont permis de clarifier ma démarche et de contourner d'importants écueils. Ses encouragements et son enthousiasme m'ont aidé à surmonter mes doutes. Je l'en remercie chaleureusement. Encore un grand merci pour cette opportunité qu'elle m'a offerte.

Je remercie mon encadrant industriel, Monsieur Gaëtan Bracmard, chef du service Custom Cells Design de la division Secure Microcontroleur Solution, pour la grande liberté qu'il m'a octroyée dans mon exploration du domaine des « nanowatt » et dans les choix de recherches au cours de ces trois années. Ses remarques avisées et sa sensibilité aux exigences de la modélisation indissociable de l'expérience, ont été autant d'atouts pour réussir à répondre à la problématique soulevée. Je le remercie pour sa confiance, son soutien ainsi que son souci de me fournir les matériaux nécessaires au bon déroulement de ce travail de recherche.

Je remercie Monsieur Laurent Paris, directeur du service Design de la division Secure Microcontroleur Solution (SMS), de m'avoir offert l'opportunité d'exprimer ma créativité sur un sujet aussi riche, mêlant physique du transistor et conception de circuits.
Je tiens également à remercier Messieurs Alain Bravaix et Didier Goguenheim, tant pour la chaleur de leur accueil au sein de l'équipe Micro et Nanoélectronique du IM2NP-ISEN, que pour la qualité et la richesse de leur enseignement. Je remercie en particulier Monsieur Didier Goguenheim pour m'avoir aiguillé sur la

voie de la recherche et pour son enthousiasme si communicatif.

Je remercie l'Agence Nationale de la Recherche et de la Technologie (ANRT) et la société ATMEL-Rousset d'avoir soutenu financièrement ces travaux via la convention CIFRE 965/2004, dans le cadre du projet d'envergure européenne EREVNA.
Mes pensées vont également aux membres du personnel de l'ISEN-Toulon que j'ai côtoyé pendant ces trois années et qui ont su rendre cette période moins fastidieuse par leur gentillesse et la convivialité de certains moments partagés.

Je remercie les membres du laboratoire IM2NP.

J'adresse mes remerciements aux personnes travaillant dans la division Secure Microcontroleur Solution où j'ai passé une partie de ces trois années, et en particulier à l'ensemble de l'équipe Custom Cell au sein de laquelle je poursuis mon exploration du monde de la conception analogique.

Enfin, je remercie ma famille et mes amis. Vous avez été un soutien indispensable tout au long de ces trois années. Merci.

Table des matières

Remerciements iii

Table des matières ix

Table des figures xiii

Liste des tableaux xvi

Liste des acronymes xix

Liste des symboles xxi

I INTRODUCTION 1
- I.1 Produits sécurisés et carte à puce . . . 1
  - I.1.1 Présentation de l'objet . . . 1
  - I.1.2 Contraintes et technologie . . . 1
- I.2 Enjeux de la conception analogique pour produits sécurisés . . . 2
  - I.2.1 Contexte industriel : développement et fabrication . . . 2
  - I.2.2 Exigences du marché : évolution de la technologie et applications émergentes . . . 3
  - I.2.3 Produits sécurisés : les attaques . . . 3
- I.3 Objectifs et enjeux de la thèse . . . 5
  - I.3.1 Problématique de conception nanowatt . . . 5
  - I.3.2 Cahier des charges pour la conception nanowatt . . . 6
  - I.3.3 Démarche adoptée . . . 7

II MODELES DE TRANSISTOR MOS 9
- II.1 Introduction . . . 9
- II.2 Modèle de référence, modèles classiques, modèles avancés . . . 9
  - II.2.1 Fondements physiques et classification des modèles . . . 9
    - II.2.1.1 Concepts physiques et approximations . . . 10
    - II.2.1.2 Modèle de référence : modèle en feuille de charge . . . 13
    - II.2.1.3 Classification des modèles de simulation de circuits . . . 15
  - II.2.2 Modèles utilisés en conception analogique classique . . . 16
    - II.2.2.1 Modèle de forte inversion SPICE 1 et 3 (SI Strong Inversion) . . . 17
    - II.2.2.2 Modèle faible inversion . . . 19
  - II.2.3 Modèles avancés . . . 20
    - II.2.3.1 Modèles couvrant l'ensemble de l'inversion . . . 20
      - II.2.3.1.a Les modèles compacts avancés . . . 20
      - II.2.3.1.b Les modèles compacts en potentiel de surface . . . 20
      - II.2.3.1.c Les modèles compacts en charge . . . 21
    - II.2.3.2 Origine du modèle EKV . . . 21

II.2.3.3 Modèle EKV2.0 . . . 22
II.2.3.4 Concept d'inversion . . . 26
II.2.3.5 Modèle EKV3.0/ACM . . . 27
II.2.3.5.a Origines . . . 27
II.2.3.5.b Concepts et courant de drain . . . 27
II.2.3.5.c Transconductances . . . 29
II.2.3.5.d Capacités intrinsèques . . . 29
II.2.3.6 Tableaux de synthèse . . . 29
II.3 Comparaison des noyaux . . . 31
II.3.1 Prédiction du courant de Drain . . . 32
II.3.2 Prédiction du potentiel de Grille . . . 34
II.3.3 Niveau d'inversion . . . 35
II.3.4 Transconductance de grille . . . 36
II.4 Phénomènes physiques perturbant le fonctionnement idéal du transistor MOS . . . 36
II.4.1 Effets de petites dimensions sur la tension de seuil . . . 38
II.4.2 Saturation de vitesse . . . 38
II.4.3 Modulation de longueur du canal . . . 39
II.4.4 Influence de l'épaisseur d'oxyde . . . 40
II.4.5 Influence de la structure technologique . . . 40
II.4.6 Réduction de la mobilité . . . 42
II.4.6.1 Influence du champ électrique vertical . . . 42
II.4.6.2 Mobilité en conduction et en saturation . . . 44
II.4.7 Récapitulatif des effets du second ordre à considérer . . . 45

III METHODOLOGIE DE CONCEPTION ANALOGIQUE NANOWATT 49
III.1 Introduction . . . 49
III.2 Conception classique . . . 50
III.2.1 Besoins du concepteur . . . 50
III.2.1.1 Rôle du concepteur . . . 50
III.2.1.2 Spécifications en conception analogique . . . 50
III.2.1.3 Modélisation du transistor . . . 51
III.2.1.4 Phénomènes physiques perturbateurs . . . 51
III.2.1.5 Déviations . . . 52
III.2.1.5.a Influence de la température . . . 52
III.2.1.5.b Influence du procédé de fabrication : les variations « process » 53
III.2.1.5.c Influence du procédé de fabrication : le « mismatch » . . . 53
III.2.1.5.d Phénomène de bruit . . . 54
III.2.2 Démarche de conception et limitations . . . 54
III.3 Méthodes avancées de conception analogique . . . 60
III.3.1 Fondement commun des méthodes existantes . . . 60
III.3.2 Méthode de conception de circuits autopolarisés . . . 61
III.3.3 Méthodes de conception de circuits à polarisation fixée . . . 63
III.3.3.1 Méthode gm/I_D . . . 63
III.3.3.2 Méthode basée sur le niveau d'inversion IC . . . 68
III.3.3.3 Outil de Conception PAD (Procedural Analog Design) . . . 73
III.3.4 Synthèse des caractéristiques et de la portée de l'existant . . . 77
III.4 Concepts clés de la méthodologie de conception nanowatt . . . 79
III.4.1 Principes fondamentaux de la méthodologie . . . 80
III.4.2 Choix des équations statiques et petit signal . . . 85
III.4.3 Effets du second ordre intégrés . . . 89

III.4.4 Déviations définies sur l'ensemble de l'inversion . . . 90
III.4.4.1 Variations en température . . . 90
III.4.4.2 Variations du procédé de fabrication . . . 90
III.4.4.3 Phénomène de bruit . . . 91
III.4.4.4 Variations de la tension d'alimentation . . . 92
III.5 Briques pour la conception nanowatt : extraction et construction des abaques . . . 92
III.5.1 Généralités et extraction de paramètres usuels . . . 92
III.5.2 Evaluation du modèle de simulation : comparaison par rapport aux mesures . . . 94
III.5.2.1 Courant de drain statique . . . 95
III.5.2.2 Transconductance de grille . . . 99
III.5.3 Modélisation de l'effet CLM . . . 101
III.5.4 Dépendance de la tension de seuil avec les dimensions du transistor MOS . . . 102
III.5.5 Extraction du profil de dopage . . . 103
III.5.6 Modélisation de la mobilité et du courant spécifique . . . 104
III.5.6.1 Abaque de mobilité . . . 105
III.5.6.2 Influence du potentiel de source sur la mobilité à faible champ . . . 106
III.5.7 Etude de cas : transistor long (L>40μm) . . . 107
III.5.8 Prédiction du courant de drain . . . 109
III.5.8.1 Conduction . . . 110
III.5.8.2 Saturation . . . 110
III.6 Procédure globale de conception nanowatt . . . 111
III.6.1 Procédure de conception de la solution initiale nanowatt . . . 112
III.6.2 Dimensionnement de circuits nanowatt autopolarisés . . . 115
III.6.2.1 Système d'équations . . . 116
III.6.2.2 Plan de conception . . . 116
III.6.2.3 Programmation . . . 118
III.6.3 Dimensionnement de circuits nanowatt à polarisation fixée . . . 118
III.6.3.1 Système d'équations . . . 118
III.6.3.2 Plan de conception . . . 119
III.6.3.3 Programmation . . . 120
III.6.3.4 Plan de conception nanowatt de l'amplificateur source commune . . . 120
III.6.4 Synthèse des caractéristiques de la méthodologie . . . 120

IV CIRCUITS NANOWATT **125**
IV.1 Introduction . . . 125
IV.2 Contraintes industrielles . . . 125
IV.2.1 Contexte technologique . . . 125
IV.2.2 Variations liées au procédé de fabrication . . . 126
IV.2.3 Fonctionnement normal . . . 127
IV.2.4 Attaques . . . 128
IV.3 Circuits nanowatt autopolarisés : conception, simulation et résultats expérimentaux . . . 129
IV.3.1 Mise en œuvre de la méthodologie . . . 131
IV.3.2 Référence de tension Self-Cascode . . . 132
IV.3.2.1 Modélisation du circuit . . . 132
IV.3.2.1.a Description générale . . . 132
IV.3.2.1.b Dépendance en température . . . 134
IV.3.2.1.c Dépendance en procédé de fabrication . . . 137
IV.3.2.1.d Dépendance en désappariement . . . 137
IV.3.2.2 Conception et simulation du circuit . . . 138
IV.3.2.3 Dessin des masques . . . 140

IV.3.2.4 Résultats expérimentaux . . . 141
IV.3.3 Référence de courant Oguey nanowatt . . . 142
IV.3.3.1 Modélisation du circuit . . . 143
IV.3.3.1.a Description générale . . . 143
IV.3.3.1.b Démarche d'étude des déviations . . . 146
IV.3.3.1.c Dépendance en température . . . 146
IV.3.3.1.d Dépendance en procédé de fabrication . . . 148
IV.3.3.1.e Dépendance en désappariement . . . 149
IV.3.3.1.f Dépendance en tension d'alimentation . . . 150
IV.3.3.1.g Schéma petit signal et gain courant/tension d'alimentation . . . 151
IV.3.3.2 Conception et simulation du circuit . . . 152
IV.3.3.3 Dessin des masques . . . 156
IV.3.3.4 Résultats expérimentaux . . . 156
IV.3.4 Référence de courant Camacho-Galeano nanowatt . . . 161
IV.3.4.1 Modélisation du circuit . . . 161
IV.3.4.1.a Description générale . . . 161
IV.3.4.1.b Démarche d'étude des déviations . . . 164
IV.3.4.1.c Dépendance en température . . . 164
IV.3.4.1.d Dépendance en procédé de fabrication . . . 165
IV.3.4.1.e Dépendance en désappariement . . . 165
IV.3.4.1.f Dépendance en tension d'alimentation . . . 166
IV.3.4.1.g Schéma petit signal et gain courant/tension d'alimentation . . . 166
IV.3.4.2 Conception et simulation du circuit . . . 167
IV.3.4.3 Dessin des masques . . . 171
IV.3.4.4 Résultats expérimentaux . . . 171
IV.3.5 Performances des références de courant optimisées . . . 175
IV.4 Circuits nanowatt à polarisation fixée : conception et simulation . . . 177
IV.4.1 Mise en œuvre de la méthodologie . . . 177
IV.4.2 OTA, AOP et comparateur nanowatt . . . 178
IV.4.3 Conclusion . . . 179

V CONCLUSION ET PERPECTIVES 181
V.1 Conclusion . . . 181
V.2 Perspectives . . . 183

ANNEXE 185
A - OTA et AOP nanowatt . . . 185
A.1 - Modélisation des circuits . . . 185
A.1.1 - OTA charge miroir . . . 186
A.1.1 - AOP Miller compensé . . . 190
A.2 - Conception et simulation des circuits . . . 192
B - Comparateur nanowatt . . . 201
B.1 - Modélisation du circuit . . . 202
B.2 - Conception et simulation du circuit . . . 202

Valorisation 209
1 - Conférences internationales avec actes . . . 209
2 - Conférences nationales avec actes . . . 209

Bibliographie 211

Index **214**

Résumé **223**

Table des figures

II.1 Structure d'un transistor NMOS 10
II.2 Répartition des charges et diagramme de bandes du transistor NMOS en régime d'accumulation 11
II.3 Répartition des charges et diagramme de bandes du transistor NMOS en régime de déplétion 11
II.4 Répartition des charges et diagramme de bandes du transistor NMOS en régime d'inversion 11
II.5 Définition du potentiel de surface et du potentiel de quasi-Fermi 12
II.6 Courant de drain en saturation du modèle EKV 2.0 et des asymptotes de faible et de forte inversion 22
II.7 Schéma petit signal du transistor MOS 26
II.8 Courant de drain en saturation des différents noyaux. 33
II.9 Comparaison du courant de drain en saturation des différents noyaux avec le modèle de feuille de charge. 33
II.10 Potentiel de Grille en saturation des différents noyaux. 34
II.11 Comparaison du potentiel de Grille en saturation des différents noyaux avec le modèle de feuille de charge. 35
II.12 Ecart des niveaux d'inversion des modèles EKV 2.0 et 3.0 35
II.13 Transconductance de grille normalisée des différents noyaux. 36
II.14 Comparaison de la transconductance de grille normalisée en saturation des différents noyaux avec le modèle de feuille de charge 37
II.15 Influence de la longueur du transistor sur la tension de seuil V_{T0} 38
II.16 Vitesse de dérive des porteurs de charge en fonction du champ électrique latéral 39
II.17 Coefficient d'effet de modulation de longueur du canal en fonction du niveau d'inversion pour L=2μ m 40
II.18 Profil de dopage 41
II.19 Dépendance en champ effectif de la mobilité 43
II.20 Influence du potentiel de source à faible champ effectif sur la mobilité 44
II.21 Dépendance en X_{eff} de la mobilité 45

III.1 Démarche générale de conception 55
III.2 Procédure de conception de la solution initiale 57
III.3 Amplificateur source commune 58
III.4 Schéma petit signal de l'amplificateur source commune 58
III.5 Plan de conception classique de l'amplificateur source commune 59
III.6 Caractérististiques $I_{ref}(V_{ref})$ des références de courant autopolarisées 61
III.7 Principe des références de courant autopolarisées à résistance active 62
III.8 Procédure de conception de la solution initiale gm/I_D 65
III.9 Plan de conception gm/I_D de l'amplificateur source commune 67
III.10 Procédure de conception de la solution initiale Binkley 69
III.11 Procédure de conception de la solution initiale PAD 76
III.12 Charge d'inversion normalisée de source des modèles EKV 2.0 et 3.0 86

III.13 Ecart des charges d'inversion normalisées de source des modèles EKV 2.0 et 3.0 86
III.14 Paramètre $X_{s,d}$ pour les modèles EKV 2.0 et 3.0 87
III.15 Ecart du paramètre $X_{s,d}$ pour les modèles EKV 2.0 et 3.0 87
III.16 Influence du niveau d'inversion sur la transconductance de grille EKV3.0 88
III.17 Ecart de la transconductance de grille EKV3.0 selon le niveau d'inversion 88
III.18 Bancs de mesures, plaques et modules de test 93
III.19 Courant de drain en conduction expérimental et simulé en modèle standard 96
III.20 Courant de drain en conduction expérimental et simulé en modèle faible inversion 96
III.21 Courant de drain en saturation expérimental et simulé en modèle standard 97
III.22 Courant de drain en saturation expérimental et simulé en modèle faible inversion 97
III.23 Comparaison du courant de drain en conduction expérimental et simulé (nominal) 98
III.24 Comparaison du courant de drain en saturation expérimental et simulé (nominal) 98
III.25 Transconductance de grille en saturation expérimentale et simulée en modèle standard . . . 99
III.26 Transconductance de grille en saturation expérimentale et simulée en modèle faible inversion 100
III.27 Comparaison de la transconductance de grille en saturation expérimentale et simulée . . . 100
III.28 Caractéristiques $I_D(V_D)$ expérimentale et simulée en modèle faible inversion 101
III.29 Coefficient d'effet CLM expérimental et modèle BSIM3v3 faible inversion pour $L = 2\mu m$ 102
III.30 Influence du profil de dopage sur la transconductance de grille en saturation 104
III.31 Influence du profil de dopage vertical sur la mobilité extraite 105
III.32 Influence de la mobilité sur le courant spécifique 107
III.33 Courant de drain en saturation à grande longueur de grille 108
III.34 Comparaison du courant de drain en saturation à grande longueur de grille 109
III.35 Prédiction du courant de drain en conduction 110
III.36 Prédiction du drain en saturation 110
III.37 Procédure de conception de la solution initiale nanowatt 113
III.38 Abaque de dimensions 116
III.39 Abaque technologique 117
III.40 Abaque de solutions du transistor élémentaire 117
III.41 Plan de conception résumé des circuits nanowatt autopolarisés 117
III.42 Plan de conception résumé des circuits nanowatt à polarisation fixée 119
III.43 Plan de conception nanowatt de l'amplificateur source commune 121

IV.1 Photographies du prototype de test : wafer et prototype 130
IV.2 Référence de tension Self-Cascode 132
IV.3 Dépendance linéaire en température de la référence de tension Self-Cascode en forte inversion 135
IV.4 Plan de conception de la référence de tension Self-Cascode 139
IV.5 Caractéristiques simulées et mesurées de la référence de tension Self-Cascode WI 140
IV.6 Caractéristiques simulées et mesurées de la référence de tension Self-Cascode MI 141
IV.7 Layout des références de tension Self-Cascode 142
IV.8 Référence de courant originelle 142
IV.9 Référence de courant Oguey 143
IV.10 Schéma petit signal de la référence de courant Oguey 151
IV.11 Plan de conception de la référence de courant Oguey 153
IV.12 Caractéristique simulée en modèle standard de la référence de courant Oguey 1μA 155
IV.13 Caractéristique simulée en modèle standard de la référence de courant Oguey 50nA 156
IV.14 Layout de la référence de courant Oguey 1μA 157
IV.15 Layout de la référence de courant Oguey 50nA 157
IV.16 Caractéristique mesurée et simulée en modèle faible inversion de la référence de courant Oguey 1μA 158

IV.17 Caractéristique mesurée et simulée en modèle faible inversion de la référence de courant Oguey 50nA . . . 158
IV.18 Dispersion de la référence de courant Oguey 50nA . . . 159
IV.19 Attaque en tension d'alimentation sur la référence de courant Oguey 50nA . . . 160
IV.20 Schéma de la référence de courant Camacho-Galeano . . . 161
IV.21 Schéma petit signal de la référence de courant Camacho-Galeano . . . 167
IV.22 Plan de conception de la référence de courant Camacho-Galeano . . . 168
IV.23 Caractéristique simulée en modèle standard de la référence de courant Camacho-Galeano 1uA . . . 170
IV.24 Caractéristique simulée en modèle standard de la référence de courant Camacho-Galeano 50nA . . . 171
IV.25 Layout de la référence de courant Camacho-Galeano 1uA . . . 172
IV.26 Layout de la référence de courant Camacho-Galeano 50nA . . . 172
IV.27 Caractéristique mesurée et simulée en modèle faible inversion de la référence de courant Camacho-Galeano 1uA . . . 173
IV.28 Caractéristique mesurée et simulée en modèle faible inversion de la référence de courant Camacho-Galeano 50nA . . . 174
IV.29 Dispersion de la référence de courant Camacho-Galeano 50nA . . . 175
IV.30 Attaque en tension d'alimentation sur la référence de courant Camacho-Galeano 50nA . . . 175

A.1 Schéma de l'OTA charge miroir . . . 186
A.2 Schéma de l'AO Miller . . . 187
A.3 Comparaison des expressions de la tension de mode commun supérieure CMR_{sup} . . . 188
A.4 Comparaison des expressions de la tension de mode commun inférieure CMR_{inf} . . . 189
A.5 Schéma petit signal de l'OTA charge miroir . . . 189
A.6 Schéma petit signal de l'AO Miller . . . 192
A.7 Plan de conception de l'OTA charge miroir . . . 196
A.8 Plan de conception de l'AO Miller . . . 197
B.9 Schéma du comparateur . . . 201
B.10 Schéma petit signal du comparateur . . . 202
B.11 Plan de conception du comparateur . . . 205

Liste des tableaux

II.1 Caractéristiques du noyau des modèles compacts analytiques les plus utilisés ou les plus récents . . . 16
II.2 Equations EKV statiques . . . 30
II.3 Equations EKV petit signal . . . 31
II.4 Effets du second ordre et justification de leur prise en compte éventuelle . . . 46

III.1 Caractéristiques générales des méthodologies de conception avancées . . . 78
III.2 Méthodologies de conception avancées : modélisation des effets du second ordre et déviations intégrées . . . 79
III.3 Cahier des charges et notions associées . . . 83
III.4 Cahier des charges et concepts fondamentaux . . . 84
III.5 Caractéristiques générales de la méthodologie de conception nanowatt . . . 122
III.6 Méthodologie de conception nanowatt : modélisation des effets du second ordre et déviations intégrées . . . 122

IV.1 Caractéristiques des transistors HV de la technologie AT0.15μm (ATMEL). . . . 126
IV.2 Dimensions des éléments constitutifs des références de tension Self-Cascode fabriquées . . 140
IV.3 Performances des références de tension Self-Cascode mesurées . . . 142
IV.4 Dimensions des éléments constitutifs de la référence de courant Oguey fabriquée de 1 μA . 154
IV.5 Dimensions des éléments constitutifs de la référence de courant Oguey fabriquée de 50 nA 155
IV.6 Performances des références de courant Oguey mesurées . . . 160
IV.7 Dimensions des éléments constitutifs de la référence de courant Camacho-Galeano fabriquée de 1 μA . . . 169
IV.8 Dimensions des éléments constitutifs de la référence de courant Camacho-Galeano fabriquée de 50 nA . . . 170
IV.9 Performances des références de courant Camacho-Galeano mesurées . . . 174
IV.10 Dimensions des éléments constitutifs des références de courant Oguey et Camacho-Galeano optimisées . . . 176
IV.11 Performances des références de courant Oguey et Camacho-Galeano optimisées . . . 176

A.1 Expressions des performances de l'OTA . . . 190
A.2 Expressions des déviations de l'OTA . . . 191
A.3 Largeur en limite d'espace de conception de l'OTA . . . 191
A.4 Slew Rate en limite d'espace de conception de l'OTA . . . 191
A.5 Gain en limite d'espace de conception de l'OTA . . . 192
A.6 Fréquence de coupure et produit gain bande de l'OTA pour le Slew Rate maximum . . . 192
A.7 Expressions des performances de l'AO Miller . . . 193
A.8 Expressions des déviations de l'AO Miller . . . 194
A.9 Cahier des charges de l'OTA. . . . 194
A.10 Cahier des charges de l'AO Miller. . . . 195

A.11 Dimensions des éléments constitutifs des OTA et AO 199
A.12 Performances des OTA et AO 200
B.13 Expressions des performances du comparateur de type Miller 203
B.14 Expressions des déviations du comparateur de type Miller 204
B.15 Cahier des charges du comparateur. 204
B.16 Dimensions des éléments constitutifs du comparateur 207
B.17 Performances du comparateur 208

Liste des acronymes

Acronyme	Définition	Page
AC	Alternative Current	16
ACM	Advanced Compact MOSFET Model	21
AICSP	Analog Integrated Circuits and Signal Processing	21
ANRT	Agence Nationale de la Recherche	iv
AT0.15μm	Technologie ATMEL 0.15μm	126
AO	Amplificateur Opérationnel	185
ASI	Asynchronous Serial Interface	xxiv
BSIM3v3	Berkeley Short-channel IGFET Model 3 version 3	7
BSIM5	Berkeley Short-channel IGFET Model 5	16
CAD	Computer Aided Design	223
CAO	Conception Assistée par Ordinateur	73
CCI	Conception de Circuits Intégrés	5
CIFRE	Convention Industrielle de Formation par la REcherche	iv
CLM	Channel Length Modulation	39
CMC	Compact Model Council	21
CMOS	Complementary Metal Oxide Semi-conductor	2
CMRR	Common Mode Rejection Ratio	50
CPU	Central Processing Unit	22
CS	Charge Sharing	38
CSM	Charge Sheet Model	14
DC	Direct Current	16
DFA	Differential Fault Analysis	4
DIBL	Drain Induced Barrier Lowering	37
DRC	Design Rule Check	129
DRM	Design Rule Manual	130
EEPROM	Electrically Erasable Programmable Read Only Memory	2
EKV	Enz Krummenacher Vittoz	16
EKV2.0	Enz Krummenacher Vittoz version 2.0	21
EKV3.0	Enz Krummenacher Vittoz version 3.0	21
EPFL	Ecole Polytechnique Fédérale de Lausanne	73
GBW	Gain Band Width	50
GDSII	Graphic Data System II	129
GSM	Global System for Mobile communication	3
HV	High Voltage	125
ICMR	Input Common Mode Range	50
IEC	International Electrotechnical Commission	1
IM2NP	Institut Matériaux Microélectronique Nanosciences de Provence	iii
ISEN	Institut Supérieur d'Electronique et du Numérique	iii

ISO	International Standard Organisation	1
L2MP	Laboratoire Matériaux et Microélectronique de Provence	iii
LDD	Lowly Doped Drain	38
LDR	Load Regulation	128
LV	Low Voltage	183
LVS	Layout Versus Schematic	129
LWT	Linear With Temperature	134
MATLAB	MATLAB lociciel de calcul numérique (The Mathworks)	32
MI	Moderate Inversion	3
MM9	MOS Model 9 (Philips)	20
MM11	MOS Model 11 (Philips)	20
MOS	Metal Oxide Semi-conductor	2
MOSFET	Metal Oxide Semi-conductor Field Effect Transistor	10
NCE	Narrow Channel Effect	38
NMOS	N-type MOS	10
N	Semi-conducteur de type N.	10
OCEAN	Open Command Environment for Analysis	111
OTA	Operational Transconductance Amplifier	66
P	Semi-conducteur de type P.	91
PAD	Procedural Analog Design	73
PMOS	P-type MOS	10
PSD	Power Spectral Density	54
PVC	Poly Vinyl Chloride	1
PSP	Pennsylvania State Philips	16
PSRR+	Power Supply Rejection Ratio +	128
PSRR	Power Supply Rejection Ratio	50
PTAT	Proportional to Absolute Temperature	132
RSCE	Reverse Short Channel Effect	38
RF	Radio Frequency/Radio Fréquence	50
SDM	Static Design Methodology	115
SCE	Short Channel Effect	38
SI	Strong Inversion	11
SMS	Secure Microcontroler Solution	iii
SOI	Silcon On Insulator	182
SP	Surface Potential	20
SPICE	Simulation Program with Integrated Circuit Emphasis	16
SR	Slew Rate	50
THD	Total Harmonic Distorsion	51
UCL	Université Catholique de Louvain	63
WI	Weak Inversion	16

Liste des symboles

Symbole	Unité	Description	Page
a	-	Coefficient de proportionnalité modèle faible inversion.	19
$\cong$	-	Peut être approximé par l'expression	134
$\approx$	-	Est approximativement égal à la valeur	12
$\propto$	-	Est proportionnel égal à la valeur	135
$a_{V_{T0}}$	V/K	Coefficient de dépendance en température de la tension de seuil.	52
α	-	Coefficient de proportionnalité modèle de profil de dopage.	42
A_{V0}	-	Gain en tension basse fréquence.	50
$A_{V_{T0}}$	mV.μm	Coefficient de proportionnalité du désappariement ou « mismatch » en tension de seuil.	53
A_{GAMMA}	$\sqrt{V}.\mu m$	Coefficient de proportionnalité du désappariement ou « mismatch » en coefficient d'effet substrat.	71
$A_{K_{n0}}$	$\%.\mu m$	Coefficient de proportionnalité du désappariement ou « mismatch » en facteur de transconductance.	53
A_P	-	Coefficient de proportionnalité du paramètre P de désappariement ou « mismatch ».	91
$AUX1$	-	Contact auxiliaire n°1 d'une carte à puce.	2
$AUX2$	-	Contact auxiliaire n°2 d'une carte à puce.	2
β	A/V^2	Facteur de transconductance.	18
β_i	A/V^2	Facteur de transconductance du transistor i.	134
β_0	A/V^2	Facteur de transconductance d'un transistor carré.	18
β_{0_i}	A/V^2	Facteur de transconductance carré du transistor i.	137
$\beta_{0_{Ni}}$	A/V^2	Facteur de transconductance carré du transistor NMOS i.	143
β_{0_P}	A/V^2	Facteur de transconductance carré d'un transistor PMOS.	143
BCS	-	Meilleur cas (« Best CaSe ») de déviation du procédé de fabrication ou « process ».	95
CLK	-	Contact réservé au signal d'horloge.	2
CMR_{sup}	V	Tension d'entrée de mode commun supérieure.	186
CMR_{inf}	V	Tension d'entrée de mode commun inférieure.	186
$CMRR$	dB	Taux de réjection de mode commun.	187
C_c	F	Capacité de compensation.	185
C_{gs}	F	Capacité grille-source du transistor.	58
C_{gd}	F	Capacité grille-drain du transistor.	58
C_{gb}	F	Capacité grille-substrat du transistor.	58

C_{db}	F	Capacité drain-substrat.	58
C_{gsi}	F	Capacité intrinsèque grille-source du transistor.	26
C_{gdi}	F	Capacité intrinsèque grille-drain du transistor.	26
C_{gbi}	F	Capacité intrinsèque grille-substrat du transistor.	26
C_{dbi}	F	Capacité intrinsèque drain-substrat du transistor.	26
C_{sbi}	F	Capacité intrinsèque source-substrat du transistor.	26
C_i	F	Capacité au noeud i.	187
C_{in}	F	Capacité d'entrée.	58
C_{out}	F	Capacité de sortie.	58
C_l	F	Capacité de charge.	56
C'_{ox}	F/cm^2	Capacité surfacique d'oxyde de Grille.	12
C'_{ox_n}	F/cm^2	Capacité surfacique d'oxyde de Grille d'un transistor NMOS.	187
C'_{ox_p}	F/cm^2	Capacité surfacique d'oxyde de Grille d'un transistor PMOS.	187
c_i	-	Capacité intrinsèque normalisée du transistor.	29
c_{gsi}	-	Capacité intrinsèque grille-source normalisée du transistor.	29
c_{gdi}	-	Capacité intrinsèque grille-drain normalisée du transistor.	29
c_{gbi}	-	Capacité intrinsèque grille-substrat normalisée du transistor.	29
c_{dbi}	-	Capacité intrinsèque drain-substrat normalisée du transistor.	29
c_{sbi}	-	Capacité intrinsèque source-substrat normalisée du transistor.	29
$c_{gd_{Ni}}$	-	Capacité intrinsèque grille-drain normalisée du transistor NMOS i.	187
$c_{db_{Ni}}$	-	Capacité intrinsèque drain-substrat normalisée du transistor NMOS i.	187
$c_{gs_{Pi}}$	-	Capacité intrinsèque grille-source normalisée du transistor PMOS i.	187
$c_{gd_{Pi}}$	-	Capacité intrinsèque grille-drain normalisée du transistor PMOS i.	187
$c_{gb_{Pi}}$	-	Capacité intrinsèque grille-substrat normalisée du transistor PMOS i.	187
$c_{db_{Pi}}$	-	Capacité intrinsèque drain-substrat normalisée du transistor PMOS i.	187
∂	-	Opérateur dérivée partielle.	12
$\delta\beta_0$	A/V^2	Variation élémentaire du facteur de transconductance.	137
$\delta\beta_{0_i}$	A/V^2	Variation élémentaire du facteur de transconductance du transistor i.	137
$\delta\beta_{0_{Ni}}$	A/V^2	Variation élémentaire du facteur de transconductance du transistor NMOS i.	148
δI_D	A	Source de courant équivalente modélisant le bruit thermique.	54
δI_{D_i}	A	Variation élémentaire du courant du transistor i. .	136
δi_{f_i}	-	Variation élémentaire du niveau d'inversion	

		du transistor i.	136
δI_{ref}	A	Variation élémentaire du courant de référence.	147
δI_S	A	Variation élémentaire du courant de normalisation.	136
δI_{S_i}	A	Variation élémentaire du courant de normalisation du transistor i.	147
Δf	Hz	Bande passante du modèle de bruit thermique.	54
δT	K	Variation élémentaire de la température.	135
δV_{ref}	V	Variation élémentaire de la tension de référence.	136
δV_{dd}	V	Variation élémentaire de la tension d'alimentation.	150
$E_{\parallel}$	V/m	Champ électrique latéral.	38
$E_{\perp}$	V/m	Champ électrique vertical.	38
E_c	V/m	Champ électrique critique.	38
E_{eff}	V/m	Champ électrique effectif vertical.	43
E_g	V	Gap du silicium.	23
ϵ	-	Constante du modèle de profil de dopage.	42
ϵ_{ox}	0.0345E-9 F/cm	Constante diélectrique du SiO_2.	13
ϵ_{si}	0.104E-9 F/cm	Constante diélectrique du Si.	12
η	-	Coefficient de champ effectif EKV 3.0.	43
η_s	-	Facteur de pente SPICE 3.	18
F	-	Fonction d'interpolation d'Oguey-Cserveny.	25
f	Hz	Fréquence.	54
f_t	Hz	Fréquence de transition.	50
f_c	Hz	Fréquence de coupure.	50
f_{pi}	Hz	Fréquence du pôle i.	200
f_z	Hz	Fréquence du zéro z.	200
G	$-$	Fonction d'interpolation des transconductances EKV.	25
GBW	Hz ou rad/s	Produit gain bande passante.	58
G_p	$-$	Fonction d'expression du profil de dopage normalisé.	42
γ_{I_D}	$-$	Rapport des courants de drain de la référence de tension self-cascode.	133
γ_n	$\sqrt{V}$	Coefficient d'effet substrat.	13
γ_n^*	$\sqrt{V}$	Coefficient d'effet substrat incluant le profil de dopage.	42
g_{ds}	S	Conductance drain/source.	18
g_m	S	Transconductance de grille.	18
gm_{Ni}	S	Transconductance de grille du transistor NMOS i.	151
gm_P	S	Transconductance de grille d'un transistor PMOS.	151
gm_{Pi}	S	Transconductance de grille du transistor PMOS i.	187
g_{mb}	S	Transconductance de substrat.	18
g_{md}	S	Conductance de drain.	25
g_d	S	Conductance de drain.	**??**
gd_{Ni}	S	Conductance de drain du transistor NMOS i.	151
gd_P	S	Conductance de drain d'un transistor PMOS.	151
gd_{Pi}	S	Conductance de drain du transistor PMOS i.	187
g_{ms}	S	Transconductance de source.	25
gms_{Ni}	S	Transconductance de source du transistor NMOS i.	151
gm/I_D	V^{-1}	Rapport transconductance sur courant de drain.	36
$(gm/I_D)_{Ni}$	V^{-1}	Rapport transconductance sur courant de drain du transistor NMOS i.	195
$(gm/I_D)_{Pi}$	V^{-1}	Rapport transconductance sur courant de drain du transistor PMOS i.	198

GND	-	Contact de masse d'une carte à puce.	2
$I^{'}$	A	Courant adimensionnel.	64
$I_D^{'}$	A	Courant adimensionnel dans la méthodologie proposée par Binkley et al.	72
I_{bias}	A	Courant de polarisation.	185
$ICMR$	V	Plage de tension d'entrée de mode commun.	186
IC	-	Niveau d'inversion.	26
IC_{Ni}	-	Niveau d'inversion du transistor NMOS i.	195
IC_{Pi}	-	Niveau d'inversion du transistor PMOS i.	195
I_D	A	Courant de drain.	14
I_{D_i}	A	Courant de drain du transistor i.	132
$I_{D_{Ni}}$	A	Courant de drain du transistor NMOS i.	145
$I_{D_{Pi}}$	A	Courant de drain du transistor PMOS i.	195
$I_{D_{sat}}$	A	Courant de drain de saturation.	40
I_{D0}	A	Courant de drain modèle faible inversion.	19
I/O	-	Port de communication ASI.	2
I_{dd}	A	Courant d'alimentation.	194
I_{diff}	A	Courant de diffusion.	15
I_{drift}	A	Courant de conduction.	15
I_F	A	Courant direct.	22
i_f	-	Courant direct normalisé.	24
i_{f_i}	-	Courant direct normalisé du transistor i.	133
I_0	A	Courant technologique ou valeur du courant de normalisation carré en milieu d'inversion modérée.	70
I_{0_N}	A	Courant technologique ou valeur du courant de normalisation carré en milieu d'inversion modérée pour un transistor NMOS.	162
I_{0_P}	A	Courant technologique ou valeur du courant de normalisation carré en milieu d'inversion modérée pour un transistor PMOS.	187
I_{poli}	A	Courant de polarisation i .	132
I_R	A	Courant inverse.	22
i_r	-	Courant inverse normalisé.	24
i_{r_i}	-	Courant inverse normalisé du transistor i.	145
I_{ref}	A	Courant de référence.	62
i_{ref}	A	Courant de référence petit signal.	151
I_S	A	Courant spécifique ou de normalisation.	22
I_{Si}	A	Courant de normalisation du transistor i.	134
$I_{S_{Ni}}$	A	Courant de normalisation du transistor NMOS i.	145
$I_{S_{Pi}}$	A	Courant de normalisation du transistor PMOS i.	145
$I_{S_{thNi}}$	A	Courant de normalisation du transistor NMOS i négligeant l'effet CLM.	146
$I_{S_{thPi}}$	A	Courant de normalisation du transistor PMOS i négligeant l'effet CLM.	146
I_{S0}	A	Courant spécifique ou de normalisation carré.	28
k	-	Coefficient de température de la mobilité.	52
k_B	1.381E-23J/K	Constante de Boltzmann.	12
k_{comp}	-	Overdrive d'un comparateur.	203
K_F	USI	Coefficient du modèle de bruit de Flicker.	54
K_n	A/V^2	Facteur de transconductance.	18

K_{n0}	A/V^2	Facteur de transconductance d'un transistor carré.	18
K_{vsat}	-	Facteur d'inclusion de la saturation de vitesse du modèle EKV.	39
L	m	Longueur de grille d'un transistor MOS.	10
Li	m	Longueur du transistor i.	138
L_{Ni}	m	Longueur du transistor NMOS i.	195
L_{Pi}	m	Longueur du transistor PMOS i.	195
L_{max}	m	Valeur maximale de L.	131
L_{min}	m	Valeur minimale de L.	131
$L_{max_{Vth0}}$	m	Longueur maximale impactant la tension de seuil.	131
λ	V^{-1}	Coefficient d'effet Early.	39
λ_i	V^{-1}	Coefficient d'effet Early du transistor i.	134
$\lambda_{L=2\mu m}$	V^{-1}	Coefficient d'effet Early d'un transistor de $2\mu m$ de longueur.	177
λ_{Ni}	V^{-1}	Coefficient d'effet Early du transistor NMOS i.	146
λ_P	V^{-1}	Coefficient d'effet Early d'un transistor PMOS.	146
λ_{Pi}	V^{-1}	Coefficient d'effet Early du transistor PMOS i.	195
λ_c	-	Coefficient intervenant dans le modèle de saturation de vitesse du modèle EKV.	39
λ_F	nm	Distance d'atténuation tunnel du modèle de bruit de Flicker.	91
m	-	Coefficient de correction de Ψ_0.	27
m_{comp}	-	Coefficient intervenant dans t_p pour un comparateur.	203
$M\Phi$	$^\circ$	Marge de phase.	50
μ_n	cm^2/V.s	Mobilité des porteurs.	13
μ_0	cm^2/V.s	Mobilité faible champ des porteurs.	39
$\mu_{0_{Ni}}$	cm^2/V.s	Mobilité faible champ du transistor NMOS i.	143
μ_{0_P}	cm^2/V.s	Mobilité faible champ d'un transistor PMOS.	143
μ_C	cm^2/V.s	Mobilité des porteurs sous l'effet de Coulomb.	42
μ_{PH}	cm^2/V.s	Mobilité des porteurs sous l'effet des phonons.	42
μ_{SR}	cm^2/V.s	Mobilité des porteurs sous l'effet de rugosité de surface.	43
μ_{eff}	cm^2/V.s	Mobilité effective des porteurs.	43
∇	-	Opérateur nabla.	12
Ni	-	Transistor NMOS i.	132
N_{On}	-	Transistor NMOS de démarrage des références de courant.	143
n_e	cm^{-3}	Densité d'électrons.	12
n	-	Pente sous le seuil.	19
n_0	-	Pente sous le seuil en milieu d'inversion modérée.	71
n_q	-	Facteur de linéarisation de la charge d'inversion.	27
$n_{q_{Ni}}$	-	Facteur de linéarisation de la charge d'inversion du transistor NMOS i.	145
n_{q_P}	-	Facteur de linéarisation de la charge d'inversion d'un transistor PMOS.	145
n_v	-	Facteur de pente.	28
n_{v_n}	-	Facteur de pente d'un transistor NMOS.	192
n_{v_p}	-	Facteur de pente d'un transistor NMOS.	192
N_a	cm^{-3}	Concentration de dopant accepteurs.	12

N_a^*	cm^{-3}	Profil de dopage.	42
$N_{elem_{max}}$	-	Nombre maximal de transistors élémentaires en parallèle.	131
n_i	1.45E10cm^{-3}	Concentration intrinsèque de porteurs.	12
NOM	-	Cas nominal de déviation du procédé de fabrication ou « process ».	95
N_T	cm^{-3}	Densité volumique de pièges dans l'oxyde par unité d'énergie.	91
p_h	cm^{-3}	densité de trous.	12
P	-	Paramètre de désappariement ou « mismatch ».	91
p_i	rad/s	Pôle du noeud i.	190
Pi	-	Transistor PMOS i.	143
π	3.14...	π.	57
P_{diss}	W	Puissance consommée.	50
Φ_F	V	Potentiel de Fermi.	12
ϕ_F	-	Potentiel de Fermi normalisé.	27
ψ	V	Potentiel électrostatique par rapport au substrat.	12
Ψ_0	V	Potentiel de surface à l'équilibre en forte inversion.	23
Ψ_P	V	Potentiel de surface de pincement.	27
ψ_p	-	Potentiel de surface de pincement normalisé.	27
ψ_s	V	Potentiel de surface.	11
Ψ_{si}	V	Potentiel de surface image de la profondeur d'implantation du modèle de profil de dopage.	42
ψ_{sD}	V	Potentiel de surface au drain.	15
ψ_{sS}	V	Potentiel de surface à la source.	15
$Profil(V_G)$	-	Profil de dopage normalisé.	42
$PSRR^+$	dB	Taux de réjection du rail d'alimentation positif.	187
$PSRR^-$	dB	Taux de réjection du rail d'alimentation négatif.	187
q	1.609E-19 C	Charge élémentaire de l'électron.	12
Q_0	C/cm^2	Coefficient de normalisation de la charge.	27
Q'_b	C/cm^2	Charge surfacique de substrat.	14
Q'_i	C/cm^2	Charge surfacique d'inversion.	14
q_i	-	Charge d'inversion normalisée.	27
q_I	-	Charge d'inversion intégrale normalisée.	91
q_{is}	-	Charge d'inversion normalisée de source.	86
q_d	-	Charge d'inversion normalisée de drain.	28
q_s	-	Charge d'inversion normalisée de source.	28
$q_{s,d}$	-	Charge d'inversion normalisée de source ou de drain.	28
Q'_{SC}	C/cm^2	Charge totale surfacique dans le semi-conducteur.	12
R_{OUT}	ω	Résistance de sortie.	56
$\rho(x,y)$	C/cm^3	Densité volumique de charge.	11
RST	-	Contact de réinitialisation d'une carte à puce.	2
S	-	Rapport de la largeur W sur la longueur L ou aspect ratio du transistor.	131
S_{Ni}	-	Rapport de la largeur W sur la longueur L ou aspect ratio du transistor NMOS i.	132
S_{Pi}	-	Rapport de la largeur W sur la longueur L ou aspect ratio du transistor PMOS i.	144
$S_{I_{th}}$	A^2/Hz	Densité spectrale de puissance de bruit thermique en courant.	54

$S_{V_{th}}$	V^2/Hz	Densité spectrale de puissance de bruit thermique en tension.	54
$S_{V_{Flicker}}$	V^2/Hz	Densité spectrale de puissance de bruit de Flicker en tension.	54
SiO_2	-	Dioxyde de Silicium	10
Si/SiO_2	-	Interface Silicium/Dioxyde de Silicium	10
$\sigma_{V_{T0}}$	mV	Désappariement ou « mismatch » en tension de seuil.	53
$\frac{\sigma_{K_{n0}}}{K_{n0}}$	%	Désappariement ou « mismatch » en facteur de transconductance.	53
$\frac{\sigma_{\beta_0}}{\beta_0}$	%	Désappariement ou « mismatch » en facteur de transconductance.	137
$\frac{\sigma_{I_D}}{I_D}$	%	Désappariement ou « mismatch » en courant.	53
$\frac{\sigma_{I_{D_i}}}{I_{D_i}}$	%	Désappariement ou « mismatch » en courant du transistor i.	137
$\frac{\sigma_{I_{D_{Ni}}}}{I_{D_{Ni}}}$	%	Désappariement ou « mismatch » en courant du transistor NMOS i.	149
σ_{V_G}	mV	Désappariement ou « mismatch » en tension de grille.	53
SR	$V/\mu s$	Vitesse de basculement ou Slew Rate.	58
T	K	Température.	12
T_0	K	Température de référence en générale ambiante.	52
t_{ox}	m	Epaisseur d'oxyde d'un dispositif MOS.	10
t_p	s	temps de propagation d'un comparateur.	201
$t_{p_{min}}$	s	temps de propagation minimal.	201
U_T	V	Tension thermodynamique.	12
U_{T0}	V	Tension thermodynamique à la température de référence T_0.	136
v	m/s	Vitesse de saturation.	38
V_{AL}	V/μm	Tension d'Early par unité de longueur dans la méthodologie proposée par Binkley et al.	70
V_{ch}	V	Potentiel de quasi-Fermi.	12
v_{ch}	-	Potentiel de quasi-Fermi normalisé.	27
V_{cc}	V	Tension d'alimentation supérieure d'une carte à puce.	2
V_{dd}	V	Tension d'alimentation supérieure.	1
$V_{dd_{min}}$	V	Tension d'alimentation supérieure minimale de fonctionnement d'un circuit.	150
v_{dd}	V	Tension d'alimentation petit signal.	151
V_{DB}	V	Tension Drain/Subtrat.	10
V_D	V	Tension Drain/Subtrat.	10
v_d	-	Tension Drain/Subtrat normalisée.	24
v_{db}	V	Tension Drain/Subtrat petit signal.	26
V_{DS}	V	Tension drain source.	16
$V_{DS_{sat}}$	V	Tension de saturation.	16
$V_{D_{sati}}$	V	Tension de saturation du transistor i.	134
$V_{DS_{satNi}}$	V	Tension de saturation du transistor NMOS i.	146
$V_{DS_{satPi}}$	V	Tension de saturation du transistor PMOS i.	186
$V_{DS_{satP}}$	V	Tension de saturation d'un transistor PMOS.	146
$V_{DS_{sat_{vsat}}}$	V	Tension de saturation incluant l'effet de saturation de vitesse.	39

V_{ea}	V/μm	Tension d'Early par unité de longueur.	58
v_{eq}	V	Source de tension de bruit équivalente.	186
$v_{flicker}$	V	Source de tension de bruit de Flicker.	186
V_{FB}	V	Tension de bandes plates.	10
$V_{FB_{th}}$	V	Tension de bandes plates théorique.	23
V_{GB}	V	Tension Grille/Subtrat.	10
v_g	-	Tension Grille/Subtrat normalisée.	24
v_{gb}	V	Tension Grille/Subtrat petit signal.	26
$v_{gb_{Ni}}$	V	Tension Grille/Subtrat petit signal du transistor NMOS i.	151
$v_{gb_{Pi}}$	V	Tension Grille/Subtrat petit signal du transistor PMOS i.	189
v_{gb_P}	V	Tension Grille/Subtrat petit signal d'un transistor PMOS.	151
V_G	V	Tension Grille/Subtrat.	10
V_{Gi}	V	Tension Grille/Subtrat du transistor i.	134
$V_{G_{Ni}}$	V	Tension Grille/Subtrat du transistor NMOS i.	146
V_{GS}	V	Tension Grille/Source.	18
V_{in}	V	Tension d'entrée.	58
V_i^*	V	Tension de normalisation du modèle de profil de dopage.	41
V_i	V	Tension image de la profondeur d'implantation du modèle de profil de dopage.	41
V_{IH}	V	Différence des signaux d'entrée pour basculer la sortie d'un comparateur à V_{OH}.	201
V_{IL}	V	Différence des signaux d'entrée pour basculer la sortie d'un comparateur à V_{OL}.	201
$V_{IH} - V_{IL}$	V	Résolution d'un comparateur.	201
$V_{in_{min}}$	V	Résolution d'un comparateur.	203
V_{offset}	V	Tension de décalage ou d'offset.	50
V_{out}	V	Tension de sortie.	58
V_{OH}	V	Etat de sortie haut.	201
V_{OL}	V	Etat de sortie bas.	201
VO_{max}	V	Tension de sortie maximale.	187
VO_{min}	V	Tension de sortie minimale.	187
VO_s	V	Dynamique de sortie.	187
V_P	V	Tension de Pincement.	21
$V_{P_{Ni}}$	V	Tension de Pincement du transistor NMOS i.	145
v_p	-	Tension de Pincement normalisée.	24
V_{pp}	V	Tension de programmation de l'EEPROM d'une carte à puce.	2
V_{ref}	V	Tension de référence.	62
v_{sat}	m/s	Vitesse des porteurs de charge.	38
V_{SB}	V	Tension Source/Subtrat.	10
V_S	V	Tension Source/Subtrat.	10
v_s	-	Tension Source/Subtrat normalisée.	24
v_{sb}	V	Tension Source/Subtrat petit signal.	26
V_{ss}	V	Tension d'alimentation inférieure.	125
v_{th}	V	Source de tension de bruit thermique.	186
V_T	V	Tension de seuil en un point du canal d'un	

		transistor MOS.	17
V_{T0}	V	Tension de seuil à potentiel de canal nul d'un transistor.	17
V_{T0_n}	V	Tension de seuil à potentiel de canal nul d'un transistor NMOS.	186
$V_{T0_{Ni}}$	V	Tension de seuil à potentiel de canal nul du transistor NMOS i.	186
$V_{T0_{Pi}}$	V	Tension de seuil à potentiel de canal nul du transistor PMOS i.	186
v_{t0}	-	Tension de seuil à potentiel de canal nul normalisée d'un transistor.	28
W	m	Largeur de grille d'un transistor MOS.	10
Wi	m	Largeur du transistor i.	138
W_{Ni}	m	Largeur du transistor NMOS i.	195
W_{Pi}	m	Largeur du transistor PMOS i.	195
W_{max}	m	Valeur maximale de W.	131
W_{min}	m	Valeur minimale de W.	131
$W_{elem_{max}}$	m	Largeur maximale des transistors élémentaires.	131
$W_{elem_{min}}$	m	Largeur minimale des transistors élémentaires.	131
$\frac{W}{L}$	-	Rapport de la largeur W sur la longueur L du transistor ou aspect ratio.	59
W/L	-	Rapport de la largeur W sur la longueur L du transistor ou aspect ratio.	64
$(W/L)_{Ni}$	-	Rapport de la largeur W sur la longueur L du transistor ou aspect ratio du transistor NMOS i.	195
$(W/L)_{Pi}$	-	Rapport de la largeur W sur la longueur L du transistor ou aspect ratio du transistor PMOS i.	195
W_i	m	Profondeur d'implantation.	41
W_{zce}	m	Largeur de la zone de charge d'espace ou de déplétion.	41
WCS	-	Pire cas (« Worst CaSe ») de déviation du procédé de fabrication ou « process ».	95
$x(V_G)$	-	Profondeur normalisée du modèle de profil de dopage.	41
X_{eff}	-	Variable d'expression de la mobilité à faible champ effectif.	44
$\chi_{f,r}$	-	Variable d'expression des capacités intrinsèques du transistor.	29
$X_{s,d}$	-	Variable d'expression des capacités intrinsèques du transistor $\chi_{f,r}$ renotée et indicée en source et drain.	86
z	rad/s	Zéro.	193

Chapitre I

INTRODUCTION

I.1 Produits sécurisés et carte à puce

I.1.1 Présentation de l'objet

Le succès de la « carte à puce » (*« Smart Card »* dans la littérature anglaise) dans les secteurs bancaires et de la téléphonie mobile, découle de ses capacités d'identification et d'authentification de son porteur légitime ainsi que de stockage de données confidentielles. Ces propriétés lui permettent aujourd'hui de s'imposer comme le support universel de l'identité dans les domaines de la santé, de l'abonnement (transports, télévision, ...), du contrôle d'accès ou de l'identité (cartes d'identité, passeports biométriques).
Elle se présente sous la forme d'un support fin de petite dimension embarquant un circuit intégré dont le rôle est de conserver des informations, de les exploiter et les communiquer. La taille de la mémoire embarquée est donc un élément essentiel motivant l'utilisation de technologies à forte densité, mais impliquant une tension d'alimentation V_{dd} en dessous du volt. Par ailleurs, les cartes à puces étant destinées à des applications nomades, leur consommation est limitée alors que les fonctionnalités demandées deviennent plus nombreuses, ce qui nécessite de diminuer la consommation de chaque fonction élémentaire. Ainsi, le concepteur est amené à dimensionner des cellules analogiques fonctionnant à $V_{dd} < 1V$ et consommant de 10 à 100nA.

Si, la carte à puce présente un intérêt indéniable en matière d'identification, elle est un support contraignant dont les caractéristiques sont définies par des normes visant à assurer l'interopérabilité entre les cartes et les lecteurs, indépendamment du pays.

I.1.2 Contraintes et technologie

Les caractéristiques des cartes à puce sont standardisées par des normes internationales qui définissent leur interface de communication, leur alimentation et leur surface.

Les standards ISO/IEC 7810 [1] et ISO/IEC 7816-1 [2] définissent, entre autres, les caractéristiques physiques et mécaniques du support. Ainsi, la carte à puce est un support de faible épaisseur se présentant généralement sous la forme d'une petite carte en PVC de $0.76\ mm$ d'épaisseur, ce qui interdit l'utilisation de composants discrets. De plus, les contraintes mécaniques afférentes aux procédés d'encartage et d'utilisation limitent la surface du circuit intégré à $25\ mm^2$.

Les cartes à puce se répartissent en deux catégories selon le type d'interface de communication : les cartes à contact et les cartes sans contact.
Dans le cas des cartes à contact, l'accès au circuit intégré se fait par l'intermédiaire de 8 plots métalliques.

La carte est alimentée par le lecteur, de façon asymétrique, via les contacts V_{cc} (potentiel électrique le plus élevé) et GND (potentiel électrique le plus faible). Le lecteur fourni également le signal d'horloge par l'intermédiaire du contact CLK. L'entrée numérique RST permet de réinitialiser le circuit. Le port de communication série I/O est de type bidirectionnel semi-duplex. Le protocole de communication associé est décrit par le standard ISO 7816-3 [2]. La programmation des mémoires de type EEPROM nécessite des tensions généralement supérieures à celle supportée par le reste du circuit. Jusqu'à la fin des années 1990, le contact V_{pp} était utilisé à cet effet. Il ne l'est plus depuis l'intégration des pompes de charge, structures permettant de générer ces niveaux de tension en interne. Enfin, les contacts $AUX1$ et $AUX2$ n'ont pas de fonction particulière. Les caractéristiques des paramètres électriques (fréquence du signal d'horloge, tension d'alimentation, etc) dépendent de l'application et de la norme associée. Le courant maximum de consommation est compris entre 30 et 65mA en statique, donc le concepteur cherche à diminuer la consommation d'énergie des circuits analogiques pour la réserver au cœur logique, plus gourmand en énergie.

Dans le cas des cartes sans contact, l'énergie et les données sont véhiculées par des champs électromagnétiques. Le module de communication radio-fréquence (RF) est intégré à la puce, et associé à une antenne embarquée dans le corps de la carte.

Cependant, l'évolution de la technologie CMOS a permis d'augmenter considérablement la complexité et les performances des circuits électroniques embarqués, depuis son introduction en 1963. En effet, depuis lors la technologie CMOS a vu sa densité d'intégration doubler tous les 18 mois. Les procédés de fabrication actuels permettent d'intégrer plus d'un milliard de transistors par puce. Dans le même temps, la fréquence de transition d'un transistor MOS est passée de quelques mégahertz à plus de $100\ GHz$, tandis que le coût de fabrication en volume a chuté de 1 \$ par transistor à moins de 0.1 μ\$ par transistor. L'accroissement de la densité d'intégration et la diminution des coûts de fabrication ont favorisé la pénétration commerciale de la technologie CMOS. A l'heure actuelle, la majorité des circuits pour cartes à puce repose entièrement sur cette technologie.

I.2 Enjeux de la conception analogique pour produits sécurisés

L'objet carte à puce est un système complexe embarquant un circuit digital, le plus souvent un microcontrôleur, de la mémoire et des circuits analogiques. La surface occupée par la mémoire et la circuiterie digitale est prépondérante par rapport à celle allouée aux circuits analogiques du circuit intégré. Or les fonctionnalités étant toujours plus nombreuses, en particulier celles relatives à la sécurité des informations, le concepteur cherche à réduire la surface de chaque fonction analogique élémentaire, tout en minimisant la consommation de chaque bloc, le courant consommé par la carte étant limité par les normes.

La problématique de conception de circuits analogiques pour circuits sécurisés regroupe trois catégories de contraintes qui sont présentées successivement :

- les contraintes de réduction des coûts de développement et de fabrication induites par le contexte industriel,
- les contraintes technologiques découlant des exigences du marché,
- les contraintes propres aux produits sécurisés.

I.2.1 Contexte industriel : développement et fabrication

D'un point de vue industriel, la rentabilité est primordiale. Elle va de pair avec la production de circuits à faible coût, conséquence d'une concurrence exacerbée dans le domaine des produits microélectroniques, ce qui nécessite la réduction des coûts de fabrication et de développement des circuits intégrés.
Réduire les coûts de développement signifie diminuer la durée de conception d'un circuit, ce qui raccourcit

en outre le délai de mise sur le marché des produits. Par ailleurs diminuer les coûts de fabrication implique d'optimiser la surface des circuits en regard des spécifications électriques du cahier des charges et de réduire les marges de sécurité afin d'éviter le surdimensionnement des dispositifs.

Ainsi, de manière générale, l'objectif de la conception de circuits analogiques est de dimensionner un circuit en un minimum de temps et d'assurer que la solution obtenue est optimisée, pour un cahier des charges circuit donné. Le travail du concepteur est alors compliqué par l'évolution des contraintes technologiques découlant des exigences du marché.

I.2.2 Exigences du marché : évolution de la technologie et applications émergentes

La demande du marché motive la miniaturisation des circuits intégrés et l'augmentation des performances, ce qui entraine l'évolution de la technologie et donc la diminution de la tension d'alimentation afin de maintenir la fiabilité des dispositifs, en gardant les champs électriques constants. L'évolution de la technologie CMOS conduit à une tension d'alimentation en dessous de 1 Volt, ce qui complique la conception de circuits analogiques. En effet, à performances équivalentes, une faible tension d'alimentation limite le nombre de transistors saturés que l'on peut empiler entre la masse et l'alimentation. Il est possible de polariser les transistors en inversion faible mais les performances des circuits en seront nettement diminuées. En régime d'inversion forte, la tension de saturation minimale des transistors est égale à 300mV. Donc, pour une tension d'alimentation de 1 Volt, le nombre de transistors empilés est limité à 2 si l'on considère qu'un des transistors est connecté en diode. L'inversion forte est donc incompatible avec une faible tension d'alimentation.
La solution est alors de polariser les transistors entre les deux régimes : il s'agit de *« l'inversion modérée »* (MI *Moderate Inversion* dans la littérature anglaise) où un compromis entre performances et tension d'alimentation est possible.

Par ailleurs, l'émergence d'applications peu gourmandes en énergie impose une faible consommation de l'ordre de 10 à 100nA, par circuits élémentaires, afin de diminuer la consommation globale de la partie analogique des circuits intégrés.

En résumé, il s'agit de concevoir des circuits à technologie donnée (CMOS ATMEL $0.18\mu m$ et $0.15\mu m$), pour des spécifications de tension d'alimentation (V_{dd} <1V) et de plage de courants consommés imposées (10-100nA). La conception de circuits analogiques destinés à être embarqués sur des circuits carte à puce implique le respect de spécifications propres à ce domaine, relevant de l'aspect sécuritaire.

I.2.3 Produits sécurisés : les attaques

Les informations contenues dans la mémoire des cartes à puce sont cryptées. Selon le niveau de confidentialité des informations, qui dépend du domaine d'application, le cryptage est réalisé par des circuits différents. Ainsi, les cartes à puce sont scindées en deux catégories : les cartes à mémoire (carte téléphonique, carte de stationnement, etc.) et les cartes à microprocesseur (carte bancaire, carte GSM, carte de santé, passeport biométrique, etc.). Les cartes à mémoire comportent généralement une mémoire non-volatile et un bloc logique sécuritaire (algorithme de cryptage câblé). Plus sophistiquées, les cartes à microprocesseurs sont de véritables micro-ordinateurs de poche destinés à accroître la sécurité des échanges d'information par la programmation d'algorithmes de cryptage complexes et paramétrables.
L'utilisation de la carte à puce dans l'authentification des transactions bancaires, a suscité l'intérêt d'individus ou pirates qui, attirés par l'appât du gain, tentent de pénétrer les données confidentielles et de falsifier les cartes pour accéder frauduleusement aux comptes bancaires. Ils tentent de pénétrer les informations confidentielles contenues dans la carte, en faisant appel à une batterie de techniques basée sur la cryptanal-

yse qui consiste à retrouver un message en se passant de la clé de cryptage.

Les produits sécurisés subissent donc des tentatives d'accès, ou *« attaques »*, aux informations confidentielles qu'ils renferment, de la part de pirates qui font appel à un ensemble de techniques basé sur la cryptanalyse. Face aux techniques de piratage de plus en plus sophistiquées, les concepteurs sont obligés de développer sans cesse de nouvelles protections ou contremesures. Ainsi, le concepteur doit respecter les spécifications propres aux produits sécurisés relatives à leur fonctionnement normal, mais aussi contrecarrer les efforts de piratage.

Les attaques sur les cartes à puce se divisent en deux catégories [3, 4] : les attaques invasives et les attaques non-invasives. Les attaques invasives reposent sur l'analyse et la modification de l'intérieur du système. L'accession aux couches profondes du microcontrôleur se traduit généralement par la détérioration du circuit, voir par sa destruction complète [5]. A l'opposé, les attaques non invasives se contentent de manipuler et d'observer le système depuis l'extérieur, sans altération physique de la carte. Le pirate cherche à provoquer une fuite d'information en perturbant le circuit.
Les attaques non-invasives se divisent en deux catégories : les attaques logiques et les attaques sur les canaux cachés (« side channel attacks »). Les attaques logiques agissent uniquement par l'intermédiaire du port de communication légitime (I/O), tandis que les attaques sur les canaux cachés exploitent tous les autres canaux.

L'implémentation électronique d'une fonction cryptographique dégrade fortement son potentiel sécuritaire. L'activité d'un composant électronique engendre des variations de nombreuses grandeurs physiques. A fortiori, dans le cas d'une architecture complexe, ces variations sont corrélées à l'activité du système et aux données qu'il manipule. Ces variations sont visibles sur les canaux cachés. Le pirate cherche à perturber le système par injection de fautes via la modification des signaux nécessaires au fonctionnement de la puce (tensions d'alimentation, fréquence du signal d'horloge, etc.), ou en plaçant cette dernière dans un environnement agressif (température, radiations électromagnétiques, lumière, rayons X, etc.). Ainsi, le système peut être placé dans un état de fonctionnement imprévu pouvant conduire à la divulgation d'informations secrètes. Par exemple, l'attaque DFA [6] repose sur la comparaison de textes chiffrés valides, obtenus dans des conditions normales, et de textes chiffrés erronés obtenus par injection de fautes.
Les attaques non invasives par canal caché, qui nous intéressent plus particulièrement dans le cadre des circuits analogiques élémentaires, concernent les points d'accès analogiques à savoir l'alimentation et la température.
D'autres type d'attaques sur les canaux cachés, comme les attaques par analyse du courant de consommation, nécessitent une contremesure plus élaborée, faisant intervenir des blocs complexes possédant une fonction système évoluée comme une alimentation sécurisée à base de régulateurs de tension masqueurs de signaux de consommation [7].

Le concepteur essaie d'anticiper la sensibilité globale d'un circuit, en limitant celle des blocs élémentaires qui le constituent. Pour cela, il doit prendre en compte la sensibilité des circuits aux variations de température ou de tension d'alimentation dans leur dimensionnement et maitriser les lois de variation impliquées.
Dans ce travail, nous nous limitons aux attaques sur le canal d'alimentation. Le comportement des circuits fabriqués soumis à de telles attaques est présenté au chapitre IV en §IV.2.4, afin de montrer l'importance d'insensibiliser les circuits à ce type d'attaques c'est à dire assurer leur robustesse aux attaques en tension d'alimentation.

I.3 Objectifs et enjeux de la thèse

I.3.1 Problématique de conception nanowatt

L'objectif de la conception de circuits est de dimensionner une solution optimisée, en un minimum de temps, pour un cahier des charges circuit donné. La conception de circuit fait appel à un outil appelé méthodologie de conception qui systématise le dimensionnement de circuits et réduit ainsi la durée de conception.

Une méthodologie de conception de circuits est un outil de dimensionnement de circuits, associant des concepts à des procédures, pour aboutir à une solution optimisée.
La procédure générale de conception de circuits analogiques se décompose en cinq étapes.

- la caractérisation de la technologie,
- la faisabilité,
- le dimensionnement de la solution initiale,
- l'optimisation à partir de la solution initiale à l'aide d'un simulateur électrique,
- la validation de la solution optimisée à l'aide d'un simulateur électrique.

Elle est commune à l'ensemble des méthodologies de conception de circuits analogiques existantes. Chaque étape de la procédure générale de conception fait appel à une procédure et à des concepts, et sa durée dépend de la méthodologie utilisée.
Cependant les exigences industrielles de réduction des coûts de fabrication et de conception des circuits, du fait d'une concurrence toujours plus féroce, sont de moins en moins bien remplies par l'utilisation de la méthodologie de conception standard, aussi bien en terme de durée de conception qu'en terme d'optimisation de solution. En effet, l'étape d'optimisation de la solution initiale à l'aide d'un simulateur électrique est devenue prépondérante et occupe une grande part du temps conception sans pour autant garantir la convergence vers une solution optimisée.
Par ailleurs, les méthodologies de conception avancées existantes, utilisent les régimes d'inversion *faible* et *modérée* pour diminuer la consommation des circuits et dimensionner des solutions optimisées, en organisant l'exploration de l'espace de conception, mais échouent à dimensionner des circuits fonctionnant à faible tension d'alimentation.

Ainsi, les méthodologies de conception de circuits analogiques à disposition du concepteur, sont inadaptées au dimensionnement optimisé de circuits analogiques sous spécifications nanowatt (faible tension d'alimentation - au plus 1 Volt - et faible consommation - quelques dizaines à quelques centaines de nanoampères -).

L'absence d'outil de conception de circuits analogiques apte à répondre à cette problématique de conception de circuits analogiques sous spécifications nanowatt, a motivé le développement d'une méthodologie de conception analogique nanowatt. Le travail de thèse présenté dans ce manuscrit traite de l'élaboration de cette méthodologie de conception de circuits analogiques nanowatt, et de son application au domaine de la carte à puce.
Il a été mené au sein de l'équipe *Conception de Circuits Intégrés* (CCI) du l'Institut Matériaux Microélectronique et Nanosciences de Provence (IM2NP - UMR CNRS 6137), à l'Institut Supérieur de l'Electronique et du Numérique de Toulon (ISEN-Toulon) et en collaboration avec la division Secure Microcontroler Solutions (SMS) de la société ATMEL-Rousset. Cette étude a été supportée financièrement par la société ATMEL-Rousset au moyen d'une convention CIFRE dans le cadre du projet européen EREVNA.

Le préalable au développement d'un tel outil est la définition des spécifications qu'il doit respecter autrement dit l'établissement de son cahier des charges.

I.3.2 Cahier des charges pour la conception nanowatt

L'élaboration d'une méthodologie de conception de circuits analogiques nanowatt nécessite la définition des caractéristiques qu'un tel outil doit posséder pour répondre à la problématique. Aux caractéristiques générales d'une méthodologie de conception de circuits analogiques s'additionnent celles, plus spécifiques, impliquées par les contraintes de nature technologiques et applicatives. Les spécifications du domaine des produits sécurisés, relatives aux attaques, relèvent d'un aspect purement circuit et sont traitées à architecture fixée. Elles n'interviennent pas dans la définition du cahier des charges de la méthodologie de conception.

Tout d'abord, l'outil développé se doit de satisfaire aux exigences de réduction des coûts de conception et de fabrication, liées au contexte industriel.
Du point de vue industriel, la durée de conception doit être la plus petite possible, ce qui exige une méthodologie rapide. L'optimisation des solutions, au regard du cahier des charges circuit, est nécessaire afin de minimiser la surface silicium des circuits et donc les coûts de fabrication.
De plus, une méthodologie s'utilise indépendamment de la technologie, pour des raisons de coûts de développement, ce qui implique sa robustesse au changement de technologie. Le portage des circuits en est facilité. Néanmoins, lors d'un changement de technologie des effets avancés nouveaux peuvent intervenir aussi elle doit pouvoir évoluer sans difficulté par l'adjonction de ces effets (évolution technologique).
L'évolution de la méthodologie au niveau circuit signifie que la procédure de dimensionnement d'un circuit doit pouvoir évoluer facilement au gré des spécifications ou des améliorations portées à l'architecture. Cela participe à la diminution de la durée de la conception.

Par ailleurs, une méthodologie de conception analogique est un outil à destination des concepteurs de circuits analogiques. Aussi, une méthodologie doit rester simple à utiliser et adopter une forme conventionnelle s'inspirant de la méthodologie classique, familière au concepteur, afin d'éviter le dépaysement du concepteur. De plus, une méthodologie pédagogique, alliée à une vue synthétique de l'ensemble des solutions, éclaire le concepteur sur le fonctionnement des architectures. Ainsi, le choix de la solution la plus adaptée au cahier des charges est facilité et l'optimisation des circuits est favorisée.
A ces caractéristiques générales s'ajoutent celles de faible tension d'alimentation $V_{dd} \leq 1V$) et de faibles consommation (I_{dd}=10-100nA) découlant des contraintes de nature technologiques et applicatives.
Les caractéristiques que la méthodologie de conception nanowatt doit respecter sont les suivantes :

- assurer des circuits fonctionnant avec une tension d'alimentation $V_{dd} \leq 1V$,
- assurer un courant consommé I_{dd} compris entre 10 et 100nA,
- présenter la Robustesse technologique,
- supporter l'Evolution technologique,
- assurer une Solution optimisée,
- la Rapidité,
- la Simplicité,
- permettre l'Evolution des circuits,
- être Pédagogique,
- être Synthétique,
- être de Forme conventionnelle.

L'objectif étant de fournir au concepteur un outil de recherche de solutions précises et optimisées le plus simple possible, cet outil doit donc assurer une prédiction correcte du comportement des circuits tout en étant simple d'utilisation.
Ainsi, comme toute méthodologie de conception analogique, elle repose sur une modélisation du transistor MOS à base d'équations ou d'abaques, voire des deux, en intégrant les phénomènes perturbant le fonctionnement classique du transistor (que l'on qualifie d'*effets du second ordre*), indispensables à une prédiction correcte du comportement du transistor dans un premier temps, et des circuits dans un second temps.
Or la méthodologie doit s'inspirer de la démarche classique de conception qui utilise les équations d'une

modélisation analytique simple pour décrire les circuits et ainsi les dimensionner. Par ailleurs, les spécifications nanowatt nécessitent la description du régime d'inversion modérée. Par conséquent, le modèle de transistor doit être valide en inversion modérée, analytique mais simple et comme son comportement doit être assez proche de celui du transistor MOS, les phénomènes du second ordre sont à décrire. La modélisation des phénomènes du second ordre doit aussi satisfaire à l'exigence de simplicité.

I.3.3 Démarche adoptée

Les méthodologies de conception existantes reposent sur une modélisation du transistor, aussi le préalable à l'élaboration d'une méthodologie de conception nanowatt est le choix d'une modélisation compatible avec les spécifications de la méthodologie de conception nanowatt, en particulier valide en l'inversion modérée.
Ainsi, le premier chapitre aborde la modélisation du transistor MOS et plus particulièrement les modélisations compactes disponibles pour le concepteur. Après une brève description de la physique du transistor MOS, sur laquelle repose l'ensemble des modèles existants, le *modèle de feuille de charge* formulé en potentiel de surface, sera détaillé. Il est destiné à servir de référence pour les modèles étudiés par la suite. Nous présenterons ensuite succinctement les différentes catégories de modèles utilisés en conception de circuits, en nous focalisant sur les modèle compacts analytiques utilisés en CAO (Conception Assistée par Ordinateur).
Puis, nous détaillerons le modèle retenu et le comparerons avec les modèles classiquement utilisés par les concepteurs lors de la mise en équations des circuits. Enfin, les principaux effets du second ordre seront explicités.

Dans un second chapitre, nous proposerons une procédure de conception de circuits autopolarisés et une procédure de conception de circuits à polarisation fixée. Au préalable, les méthodologies de conceptions existantes seront présentées, nous expliquerons en quoi elles ne répondent que partiellement au problème posé.
Les concepts clé de la méthodologie développée seront alors définis. Les procédures d'extraction des paramètres de modélisation seront présentées avant de détailler les procédures de conception proprement dites.

Les procédures proposées dans le second chapitre seront utilisées dans le troisième chapitre pour concevoir des circuits respectant les spécifications de faible consommation sous faible tension d'alimentation. La procédure de conception de circuits autopolarisés sera illustrée sur des références de tension et de courant compactes en technologie CMOS standard (substrat ou « bulk » dans la littérature anglaise) $0.15\mu m$fournie par ATMEL. Les résultats de caractérisation électrique des circuits implémentés sur silicium seront confrontés aux simulations électriques Spectre (modèle BSIM3v3) réalisées via la plate-forme de conception Virtuoso de l'environnement Cadence. Puis la procédure de conception de circuits à polarisation fixée sera utilisée pour le dimensionnement d'amplificateurs opérationnels ainsi que de comparateurs, en technologie ATMEL CMOS $0.15\mu m$. Les circuits dimensionnés n'ayant pas été implémentés sur silicium, seul les résultats de simulations électriques seront comparés aux spécifications du cahier des charges.

Chapitre II

MODELES DE TRANSISTOR MOS

II.1 Introduction

Les modèles utilisés en conception de circuits sont le plus souvent des modèles formulés de manière analytique. Ils contiennent des équations basées sur la physique ainsi que des paramètres d'ajustement leur conférant un degré d'empirisme variable [8].
Notons qu'il existe d'autres types de modèles : les modèles empiriques, peu adaptables à une technologie différente, et les modèles physiques numériques, trop coûteux en temps de calcul pour être utilisés dans la simulation de circuits.
Les modèles utilisés dans les simulateurs électriques de circuits (Spectre, Eldo ...) en CAO (Conception Assistée par Ordinateur) sont les *modèles compacts analytiques*. Les noyaux des modèles compacts analytiques de transistor MOS comprennent des équations décrivant le comportement statique du transistor (courant de drain en fonction des tensions appliquées au dispositif ...) et des équations décrivant son comportement dynamique (transconductances, conductance, capacités en fonction de la polarisation appliquée au dispositif ...).
En général, le concepteur utilise les équations du noyau d'un modèle pour décrire analytiquement les circuits. Cependant, la plupart des *modèles de simulation électrique* sont inutilisables pour dimensionner un circuit à la main.
Dans un souci d'analyse des circuits, indispensable dans une méthodologie, nous nous sommes orientés vers les modèles compacts analytiques afin de disposer d'équations. Par ailleurs, pour notre application faible tension d'alimentation, seul la polarisation des transistors en inversion modérée permettrait de concevoir des circuits avec des performances acceptables (§.I.2.2 et I.3.2).

A ce stade, nous pouvons définir les propriétés que le modèle doit posséder :
- les équations du noyau sont valables en inversion modérée, voire de l'inversion faible à l'inversion forte,
- les équations du noyau sont en nombre raisonnable,
- les équations du noyau sont simples et permettent d'établir les équations des circuits,
- les paramètres sont peu nombreux et explicitement liés à la physique du transistor MOS.

II.2 Modèle de référence, modèles classiques, modèles avancés

II.2.1 Fondements physiques et classification des modèles

Le comportement du transistor MOS est défini à l'aide de concepts physiques sur lesquels reposent aussi bien les modèles compacts analytiques et que les modèles physiques numériques.
Pour une meilleure compréhension de l'origine et des limites de validité des modèles présentés, ces con-

cepts fondamentaux vont être décrits. Le transistor est supposé idéal de manière à se concentrer sur son fonctionnement sans l'influence de phénomènes physiques perturbateurs.

II.2.1.1 Concepts physiques et approximations

Le terme *transistor MOS* (Metal Oxide Semiconductor) est le diminutif de MOSFET (*Metal Oxide Semiconductor Field-Effect Transistor*), ce qui indique qu'il s'agit d'un composant constitué d'une couche isolante d'oxyde (SiO_2), d'épaisseur t_{ox} reposant sur un matériau semi-conducteur. La couche isolante est elle-même recouverte d'une couche conductrice (métal ou polysilicium fortement dopé) appelée électrode de *Grille*. En outre, de part et d'autre de la grille, deux zones fortement dopées sont formées par implantation dans le substrat. Il s'agit de la Source et du Drain. La région située en dessous de la grille, entre la *Source* et le *Drain*, est appelée *canal*. Elle est définie par sa longueur notée *L* et sa largeur notée *W*. Il existe deux types de transistors MOS. Le transistor NMOS (substrat de type P), représenté à la Fig.II.1, et le transistor PMOS (substrat de type N), en général obtenu par implantation d'une zone dopée N dans le substrat dopé P. Dans l'ensemble de l'étude qui va suivre les équations et les descriptions se rapporteront à un transistor de type NMOS, le comportement d'un transistor de type PMOS étant similaire, il sera aisé de transposer l'ensemble des propos par simple changement de signe des charges et des potentiels).
Les tensions référencées par rapport au substrat seront notées indifféremment : V_{GB} ou V_G, V_{DB} ou V_D, V_{SB} ou V_S.

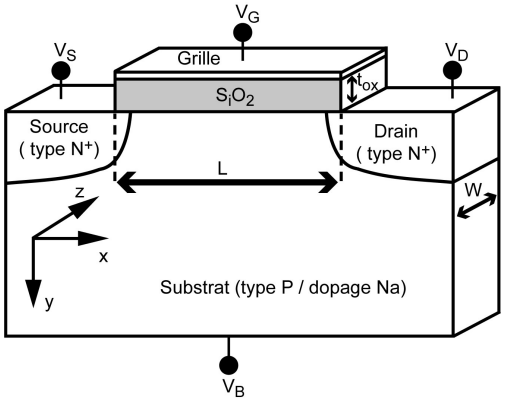

Fig. II.1 – Structure d'un transistor NMOS

Le transistor présente trois régimes de fonctionnement possibles : l'*accumulation*, la *déplétion* et l'*inversion*. Afin de simplifier l'étude des différents régimes, la source et le drain sont considérés à la masse et donc connectés au substrat (NMOS). Le transistor se comporte alors comme une simple capacité MOS. Selon la valeur du potentiel de grille, la structure de bandes près de l'interface isolant-semiconducteur change.

Pour une tension de grille suffisamment négative (en pratique en dessous d'une tension appelée *tension de bandes plates* et notée V_{FB}), une fine couche de charges positives (les trous) est formée en surface, à l'interface Si/SiO_2. Le transistor est en régime d'accumulation Fig.II.2.

Lorsque la tension de grille augmente jusqu'à atteindre la valeur V_{FB}, la courbure des bandes devient de plus en plus faible jusqu'à l'absence de courbure.
Pour une tension de grille plus élevée que V_{FB}, les bandes se courbent dans le sens opposé à celui du régime d'accumulation. Les trous sont repoussés, et une charge négative apparait. Elle est appelée *charge de déplétion*. Le transistor est alors en régime de déplétion Fig.II.3.

Cette zone d'absence de trous s'étend de plus en plus en profondeur au fur et à mesure que la tension de grille augmente, jusqu'à ce que la courbure des bandes soit suffisante pour qu'une couche de charges

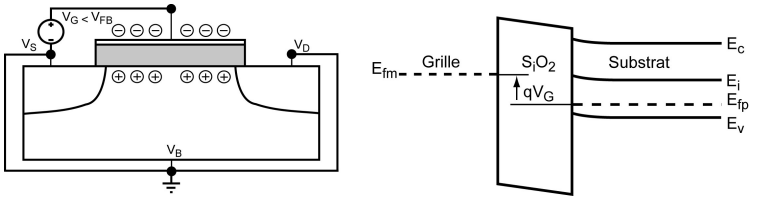

Fig. II.2 – Répartition des charges et diagramme de bandes du transistor NMOS en régime d'accumulation

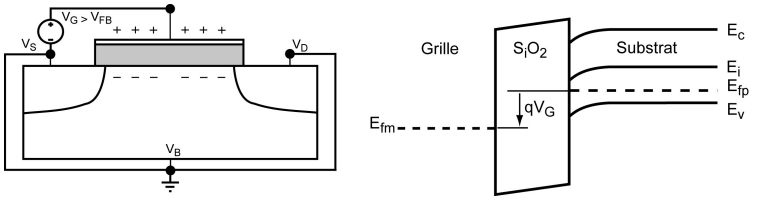

Fig. II.3 – Répartition des charges et diagramme de bandes du transistor NMOS en régime de déplétion

mobiles négatives (les électrons) se forme en surface. La surface du semi-conducteur de type P se comporte comme un matériau de type N d'où le nom de *couche d'inversion* pour la couche conductrice. L'ensemble des charges de la couche d'inversion est appelé la *charge d'inversion*. La présence de cette couche d'inversion a pour effet de masquer presque complètement le potentiel de grille à la zone de déplétion, si bien que celle-ci n'est plus que faiblement dépendante du potentiel de grille. Le transistor est alors en régime d'inversion Fig.II.4.

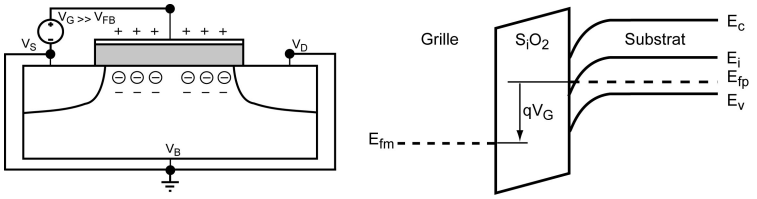

Fig. II.4 – Répartition des charges et diagramme de bandes du transistor NMOS en régime d'inversion

Le transistor est dit en régime d'*inversion forte* (appelée Strong Inversion dans la littérature anglaise et notée SI) lorsque la densité de charges mobiles est supérieure à la densité de charges fixes de la zone de déplétion.

Après cette explication qualitative du fonctionnement du transistor MOS, nous allons présenter les équations physiques qui décrivent la répartition des charges en fonction des potentiels appliqués aux terminaisons de la structure MOS, en commençant par expliciter les grandeurs importantes qui interviennent dans les diagrammes de bandes Fig.II.5 comme le *potentiel de surface* ψ_s.

Le potentiel de surface correspond au potentiel électrostatique à l'interface Si/SiO_2 par rapport au substrat considéré comme neutre. Il représente l'importance de la courbure de bandes en terme de potentiel.

L'objectif de ce qui suit est d'établir une relation entre le potentiel de surface et les potentiels électriques appliqués au transistor.

Pour un substrat dopé de type P, on définit la densité volumique de charges $\rho(x, y)$ par :

$$\rho(x, y) = q.(p_h(x, y) - n_e(x, y) - N_a) \tag{II.1}$$

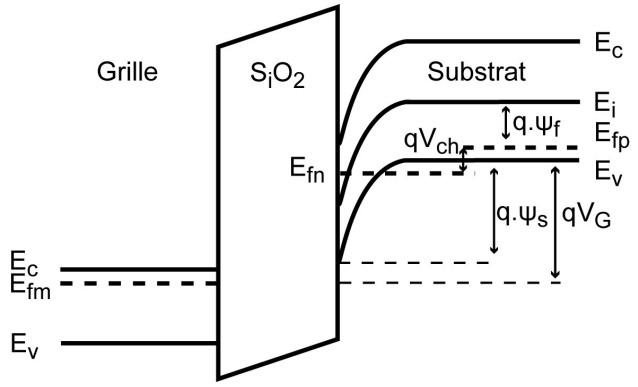

Fig. II.5 – Définition du potentiel de surface et du potentiel de quasi-Fermi

avec N_a la concentration de dopants accepteurs. Les densités d'électrons et de trous, respectivement n_e et p_h, sont données par les statistiques de Maxwell-Boltzmann :

$$n_e(x,y) \approx N_a.\exp\left(\frac{\psi(x,y) - V_{ch}(x) - 2\Phi_F}{U_T}\right) \tag{II.2}$$

et

$$p_h(x,y) \approx N_a.\exp\left(\frac{-\psi(x,y)}{U_T}\right) \tag{II.3}$$

où $\psi(x,y)$ correspond au potentiel électrostatique par rapport à la zone neutre du substrat et $U_T = \frac{k_B T}{q}$ à la tension thermodynamique. Φ_F est le potentiel de Fermi dans le substrat défini par $U_T.\ln\left(\frac{N_a}{n_i}\right)$ avec n_i la concentration intrinsèque de porteurs. V_{ch} correspond au potentiel des électrons dans le canal plus connu sous le nom de potentiel de quasi-Fermi. Il varie de V_{SB}, à la source, à V_{DB}, au drain. La relation, valable en tout point du substrat, qui lie la densité volumique de charge au potentiel électrostatique, est appelée l'équation de Poisson et s'écrit :

$$\nabla^2\psi = -\frac{\rho(x,y)}{\epsilon_{si}} \tag{II.4}$$

En supposant que la variation de la composante du champ électrique le long du canal est plus faible que celle de la composante du champ électrique perpendiculaire au canal, l'équation (II.4) se simplifie. Cette hypothèse, appelée *l'approximation du canal graduel*, est valable pour un transistor long et s'écrit $\partial^2\psi/\partial x^2 << \partial^2\psi/\partial y^2$. L'équation de Poisson se réécrit comme suit :

$$\frac{\partial^2\psi}{\partial y^2} = \frac{qN_a}{\epsilon_{si}}.\left[-\exp\left(\frac{-\psi(x,y)}{U_T}\right) + \exp\left(\frac{\psi(x,y) - V_{ch}(x) - 2\Phi_F}{U_T}\right) + 1\right] \tag{II.5}$$

Par application de la loi de Gauss, la charge totale surfacique dans le semi-conducteur, notée Q'_{SC} est obtenue en supposant que ψ et $\partial\psi/\partial y$ sont nuls à l'infini (en profondeur), c'est à dire dans la zone neutre du substrat, et en utilisant [9] :

$$\partial^2\psi/\partial y^2 = \frac{1}{2}.\partial(\partial\psi/\partial y)^2/\partial y \tag{II.6}$$

Dans le cas du régime d'inversion, la charge surfacique dans le semi-conducteur s'écrit :

$$Q'_{SC} = -\gamma_n C'_{ox}\sqrt{\psi_s + U_T.[\exp\left(\frac{-\psi_s}{U_T}\right) - 1] + U_T.\exp\left(\frac{-V_{ch}(x) - 2\Phi_F}{U_T}\right)[\exp\left(\frac{\psi_s}{U_T}\right) - 1]} \tag{II.7}$$

où C'_{ox} est la capacité surfacique d'oxyde de Grille :

$$C'_{ox} = \frac{\epsilon_{ox}}{t_{ox}} \tag{II.8}$$

et γ_n est le coefficient d'effet substrat :

$$\gamma_n = \frac{\sqrt{2q\epsilon_{si}N_a}}{C'_{ox}} \tag{II.9}$$

En appliquant la loi de Gauss de l'interface Grille/SiO_2 à l'interface Si/SiO_2, l'équation fondamentale du MOS, reliant la charge dans le semi-conducteur avec la tension de grille, est obtenue :

$$Q'_{SC} = -C'_{ox}.(V_{GB} - V_{FB} - \psi_s) \tag{II.10}$$

En associant cette équation avec l'équation (II.7), une relation implicite liant la tension de grille, le potentiel de canal et le potentiel de surface $\psi_s(V_{GB}, V_{ch})$ est établie :

$$(V_{GB}-V_{FB}-\psi_s)^2 = \psi_s+U_T.\left[\exp\left(\frac{-\psi_s}{U_T}\right)-1\right]+U_T.\exp\left(\frac{-V_{ch}(x)-2\Phi_F}{U_T}\right)\left[\exp\left(\frac{\psi_s}{U_T}\right)-1\right] \tag{II.11}$$

L'équation (II.11) ne peut pas être résolue analytiquement si bien que l'obtention du potentiel de surface pour un couple (V_{GB}, V_{ch}) n'est possible qu'itérativement par l'emploi d'une méthode de résolution numérique. Cependant cette relation est valable du régime d'accumulation au régime d'inversion ce qui permet de prédire avec précision les caractéristiques électriques du transistor MOS. Elle est utilisée dans le cadre du *modèle en feuille de charge* formulé en potentiel de surface afin de valider les modèles de simulation de circuits.

II.2.1.2 Modèle de référence : modèle en feuille de charge

Il s'agit ici de définir le *modèle en feuille de charge* formulé en potentiel de surface. Il sert par la suite de modèle de référence, valide sur l'ensemble du régime d'inversion, de l'inversion faible à forte, pour déterminer la précision intrinsèque du noyau de chaque modèle compact analytique sélectionné.

Le transistor considéré est toujours de type NMOS, son dopage substrat N_a est uniforme et ses dimensions sont suffisamment grandes pour pouvoir négliger les effets de petites dimensions.
Le fonctionnement du dispositif MOS est décrit à l'aide d'un système d'équations différentielles couplées :

- l'équation de Poisson pour les potentiels électrostatiques,
- l'équation de courant pour les électrons (ici on considère le cas du NMOS),
- les équations de continuité pour les électrons et les trous.

Les inconnues du système à résoudre dépendent de coordonnées spatiales, cependant le système peut être simplifié en se limitant à un problème bidimensionnel (plan xy).
Toutefois, le système est encore trop complexe pour obtenir des solutions analytiques, ce qui nécessite de faire des hypothèses simplificatrices supplémentaires [9] :

- *l'approximation du canal graduel* (déjà évoquée dans le paragraphe précédent) : on considère que les variations de la composante du champ électrique le long du canal sont plus faibles que celles de la composante du champ électrique perpendiculaire au canal,
- le courant des porteurs minoritaires (trous) est négligé par rapport au courant des porteurs majoritaires (électrons),
- le courant de drain est supposé constant en tous points du canal (les phénomènes de recombinaison sont négligés),
- le courant circule uniquement dans la direction x du canal (le potentiel de quasi-Fermi des électrons est constant dans la direction y),
- la mobilité des électrons μ_n est considérée constante.

Tout d'abord, ces hypothèses permettent d'exprimer le courant de drain I_D, en un point du canal, sous la forme [9, 10] :

$$I_D(x) = \mu_n.W.(-Q'_i(x)).\frac{dV_{ch}}{dx} \tag{II.12}$$

où Q'_i est la densité de porteurs mobiles par unité de surface dans le canal appelée charge d'inversion en un point du canal. Elle est définie par :

$$Q_i^{'}(x) = q \int_0^{\infty} n(x,y)dy \tag{II.13}$$

Puis, l'expression du courant est intégrée le long du canal, et une formule intégrale du courant de drain est obtenue à l'aide des hypothèses de courant constant et de mobilité constante en tous points du canal :

$$I_D = -\mu_n . \frac{W}{L} . \int_{V_{SB}}^{V_{DB}} Q_i^{'}(x).dV_{ch} \tag{II.14}$$

Cette formulation montre que l'obtention d'une expression analytique du courant de drain nécessite une formulation explicite de la charge d'inversion.

Le principe de *modèle en feuille de charge (CSM Charge Sheet Model)* est alors introduit. Il repose sur une hypothèse supplémentaire concernant l'épaisseur de la couche d'inversion. L'épaisseur de la couche d'inversion étant supposée nulle, la chute de potentiel au travers de la dite couche est négligeable et le potentiel à la frontière entre les zones d'inversion et de déplétion est égal au potentiel de surface.

De plus, étant donné que la zone de déplétion est dépourvue de porteurs mobiles (hypothèse de déplétion totale), la charge dans le semi-conducteur peut être scindée en une charge d'inversion exclusivement localisée dans le canal, et en une charge de substrat Q'_b, située dans le substrat, immédiatement en dessous du canal. Par conséquent, en régime d'inversion, la charge dans le semi-conducteur $Q_{SC}^{'}$ s'exprime en fonction de Q'_b et Q'_i :

$$Q_{SC}^{'} = Q_i^{'} + Q_b^{'} \tag{II.15}$$

Par ailleurs, la densité volumique de charge de substrat est égale à $N_a - p$, et donc la charge dans le substrat Q'_b, appelée aussi *charge de déplétion*, est définie par :

$$Q_b^{'}(x) = -q \int_0^{\infty} (N_a - p)dy \tag{II.16}$$

En outre, le potentiel au travers de la zone de déplétion est égal au potentiel de surface (hypothèse de feuille de charge).Par conséquent, la charge de déplétion est obtenue de la même façon que la charge surfacique dans le semi-conducteur (II.7) :

$$Q_b^{'}(x) = -\gamma_n . C_{ox}^{'} . \sqrt{\psi_s(x)} \tag{II.17}$$

Cette équation est valable à la fois en déplétion et en inversion car en régime de déplétion, la couche d'inversion est absente et le potentiel au travers de la zone de déplétion est directement égal au potentiel de surface.
En régime d'inversion, la charge d'inversion Q'_i s'exprime en fonction de $Q_{SC}^{'}$ et Q'_b :

$$Q_i^{'}(x) = Q_{SC}^{'} - Q_b^{'}(x) \tag{II.18}$$

En combinant (II.18) et (II.10), la charge d'inversion en un point du canal s'écrit :

$$Q_i^{'}(x) = -C_{ox}^{'} . (V_{GB} - V_{FB} - \psi_s) - Q_b^{'}(x) = -C_{ox}^{'} . (V_{GB} - V_{FB} - \psi_s)\gamma_n . C_{ox}^{'} . \sqrt{\psi_s(x)} \tag{II.19}$$

Par ailleurs, l'expression (II.12) s'exprime en fonction du potentiel de surface comme suit :

$$I_D(x) = W.\mu_n.(-Q_i^{'}(x)).\frac{dV_{ch}}{d\psi_s}.\frac{d\psi_s}{dx} \tag{II.20}$$

et se décompose en un courant de conduction (drift) $I_{drift} = \mu_n.W.(-Q_i^{'}(x)).\frac{d\psi_s}{dx}$ et un courant de diffusion $I_{diff} = \mu_n.W.U_T.\frac{dQ_i^{'}(x)}{dx}$, moyennant un réarrangement mathématique [9] :

$$I_D(x) = \mu_n.W.[-Q_i^{'}(x).\frac{d\psi_s}{dx} + U_T.\frac{dQ_i^{'}(x)}{dx}] \tag{II.21}$$

Le courant de diffusion domine en faible inversion et le courant de conduction domine en forte inversion.

Les équations de courant de diffusion I_{diff} et de conduction I_{drift} sont des équations différentielles couplées et ne peuvent être résolues séparément. Cependant en considérant qu'une seule des deux composantes est présente, elles peuvent être intégrées séparément par rapport au potentiel de surface, en supposant connus les potentiels de surface aux extrémités du canal, à savoir à la source ψ_{sS} et au drain ψ_{sD}. Cette approximation est appelée *l'approximation drift-diffusion*. On obtient pour le courant de diffusion :

$$I_{diff} = \mu_n.C_{ox}^{'}.\frac{W}{L}.U_T.[\gamma_n.(\psi_{sD}^{1/2} - \psi_{sS}^{1/2}) + (\psi_{sD} - \psi_{sS})] \tag{II.22}$$

et pour le courant de conduction :

$$I_{drift} = \mu_n.C_{ox}^{'}.\frac{W}{L}.[(V_G - V_{FB})(\psi_{sD} - \psi_{sS}) - \frac{1}{2}(\psi_{sD}^2 - \psi_{sS}^2) - \frac{2}{3}\gamma_n.(\psi_{sD}^{3/2} - \psi_{sS}^{3/2})] \tag{II.23}$$

Le courant de drain $I_D = I_{diff} + I_{drift}$ est parfaitement connu en additionnant les équations (II.22) et (II.23). Cette formulation se simplifie dans deux cas limites :

- en inversion forte où le courant de diffusion est négligeable devant le courant de conduction et le courant de drain se simplifie en $I_D = I_{drift}$,
- en inversion faible où le courant de diffusion domine le courant de conduction et le courant de drain est simplifiée en $I_D = I_{diff}$.

Cependant les expressions des courants de diffusion et de conduction sont fonction des potentiels de surface source ψ_{sS} et drain ψ_{sD}. Il est indispensable de connaître ces potentiels. Il faut alors procéder à une résolution itérative de l'équation implicite en potentiel de surface (II.11) pour les couples de tension $(V_G, V_{ch}) = (V_G, V_S)$ et $(V_G, V_{ch}) = (V_G, V_D)$. Ce *modèle en feuille de charge* formulé en potentiel de surface n'est pas utilisable comme modèle de simulation car l'inversion numérique de l'équation implicite en potentiel de surface nécessite un temps de calcul élevé, incompatible avec la simulation de circuits. Ce modèle peut en revanche être utilisé comme modèle de référence pour valider un modèle ou comparer des modèles car il est fortement lié à la physique du transistor MOS. Il représente une bonne approximation du fonctionnement du transistor MOS par rapport à la résolution numérique du modèle de Pao-Shah, proposé à la fin des années 1960 [11, 12], qui sert à valider les modèles compacts de transistor MOS [10, 13].
Le modèle présenté prédit correctement la charge d'inversion et le courant de drain excepté pour les dopages substrat très élevés [13] (supérieur à $10^{18} cm^{-3}$).

II.2.1.3 Classification des modèles de simulation de circuits

Les modèles compacts analytiques implantés dans les simulateurs de conception de circuits reposent sur les concepts physiques et approximations développés dans le paragraphe précédent.
L'objectif des modèles compacts analytiques est d'éviter la résolution de l'équation implicite en potentiel de surface au moyen d'une approximation analytique adaptée au régime de fonctionnement du MOS que le concepteur souhaite utiliser. Ils sont donc issus des équations physiques fondamentales mais comportent un degré d'empirisme variable et sont valables sur un domaine de fonctionnement particulier.

En conception de circuit, les transistors fonctionnent en régime d'inversion. En pratique, l'inversion est décomposée en trois sous régimes : l'inversion faible (Weak Inversion WI), l'inversion modérée (Moderate

Inversion MI) et l'inversion forte (Strong Inversion SI).

Quelque soit le régime d'inversion, le transistor peut être en *mode de conduction*, lorsque la tension V_{DS} est faible, ou en *mode de saturation*, pour une tension V_{DS} suffisamment grande, supérieure à une tension appelée *tension de saturation* et notée $V_{DS_{sat}}$. Le *mode de conduction*, à ne pas confondre avec le courant de conduction de l'approximation Drift-Diffusion (II.23), est également appelé *mode linéaire* car le courant de drain est proportionnel à la tension V_{DS}, lorsque celle-ci est très faible. Le transistor est alors dit *conducteur*. Le *mode de saturation* survient lorsque la tension V_{DS} est suffisante pour entrainer le pincement du canal au niveau du drain, c'est à dire pour annuler la charge d'inversion au niveau du drain. Le transistor est dit *saturé*.

Une valeur de tension de grille, appelée *tension de seuil* et notée V_T, permet de définir les limites entre les sous régimes d'inversion.

Les modèles compacts analytiques se rangent en trois catégories, selon l'approximation analytique sur laquelle reposent les équations de leur noyau (Tab.II.1) :

- les modèles en tension de seuil V_T comme les modèles SPICE (1,2,3) et BSIM3v3,
- les modèles en charge $Q_i^{'}$ comme les modèles EKV et BSIM5,
- les modèles en potentiel de surface ψ_s comme le modèle PSP.

Dans les modèles en tension de seuil utilisés en simulation de circuits dans l'industrie, la transition entre l'inversion faible et l'inversion forte est assurée au moyen de fonctions de lissage, ce qui entraine une modélisation incorrecte de l'inversion modérée, régime intermédiaire que nous souhaitons exploiter.
Les modèles de simulation de circuits modélisent d'une part le comportement statique (DC) où les tensions appliquées au dispositif restent constantes, et d'autre part le comportement dynamique (AC) où les tensions varient avec le temps. La prédiction du comportement statique dépend de la détermination du courant de drain et des charges, tandis que la prédiction du comportement dynamique dépend de la détermination des capacités et des paramètres petits signaux (transconductances). Le comportement dynamique du transistor MOS est dû aux effets capacitifs, donc il dépend des charges et ainsi le comportement dynamique peut être obtenu directement à partir du comportement statique. Il est donc indispensable de décrire précisément les charges au sein du dispositif ce qui est le cas avec un modèle formulé en potentiel de surface ou en charges. Le modèle BSIM5 (Tab.II.1) est proche du modèle EKV mais sa formulation de courant de drain est légèrement plus complexe. D'après le tableau (II.1), le modèle EKV semble le plus adapté à nos besoins, car il propose une formulation simple du courant de drain (contrairement au modèle PSP formulé en potentiel de surface), où son nombre de paramètres est raisonnable tout en restant valable sur l'ensemble de l'inversion.

	SPICE 1,2,3	**BSIM 3v3**	**BSIM 5**	**EKV 3.0**	**PSP**
Approximation	V_T	V_T	$Q_i^{'}$	$Q_i^{'}$	ψ_s
Régime couvert	SI	SI+WI	WI, MI, SI	WI, MI, SI	WI, MI, SI
Formulation	Simple	Complexe	$\approx$ Simple	Simple	Complexe
Paramètres	$<$20	$<$80	-	$<$30	$<$80
Courant DC	Drift	Drift	Drift-diff	Drift-diff	Drift-diff
Référence	Source	Source	Substrat	Substrat	Substrat
Symétrie	Non	Non	Oui	Oui	Oui

Tab. II.1 – Caractéristiques du noyau des modèles compacts analytiques les plus utilisés ou les plus récents

II.2.2 Modèles utilisés en conception analogique classique

Les modèles analytiques compacts implantés dans les simulateurs de circuits permettent de prédire avec une bonne précision, sur un domaine de fonctionnement particulier, le comportement du transistor, et plus

généralement des circuits. Ils décrivent le comportement du transistor à l'aide d'un nombre élevé d'équations et de paramètres, ces derniers étant souvent éloignés de la physique.
De manière usuelle, le concepteur utilise les équations du noyau d'un modèle analytique pour décrire les circuits. Un tel modèle peut être qualifié de *modèle de dimensionnement*. Le concepteur dispose d'un modèle valable en forte inversion et d'un modèle valable en faible inversion.
En effet, le transistor est modélisé correctement pour le régime d'inversion faible et pour le régime d'inversion forte. La description du comportement du transistor, bien que moins précise qu'un modèle de simulation électrique, est suffisante pour dimensionner les transistors d'un circuit. De plus les paramètres de ces modèles de dimensionnement (tension de seuil, coefficient de transconductance, coefficient d'effet substrat, tension d'Early) ont un sens physique prononcé ce qui permet une bonne compréhension du comportement des circuits.

Nous allons présenter les modèles utilisés par les concepteurs dans le dimensionnement des circuits. Il s'agit du modèle de forte inversion de SPICE et du modèle de faible inversion, qui sont tous deux des modèles en tension de seuil. La modélisation des effets du second ordre n'est pas abordée ici, seul les équations du noyau des modèles décrivant le fonctionnement idéal du transistor sont données.

Au préalable, il est important de rappeler la délimitation de l'inversion faible et forte en termes de charge d'inversion et de potentiel de surface.
L'inversion forte survient lorsqu'en un point du canal la charge d'inversion $Q_i^{'}$ est plus élevée que la charge de déplétion $Q_b^{'}$ (II.17). En général, il s'agit de la source pour un transistor polarisé en direct ($V_{DS} \geq 0$). L'inversion faible correspond à une charge d'inversion négligeable par rapport à la charge de déplétion, mais toujours présente. Dans ce cas, les termes en exponentiel dans l'expression de la charge totale dans le semi-conducteur (II.7) sont négligeables d'où $Q_{SC}^{'} \approx Q_b^{'}$. En terme de potentiel de surface, l'inversion faible correspond à $\Phi_F < \psi_s < 2\Phi_F$ et la limite d'inversion forte est $\psi_s > 2\Phi_F$ (la limite en inversion forte provient du terme en exponentiel contenant $2\Phi_F$, dominant en inversion forte, dans (II.7)).

II.2.2.1 Modèle de forte inversion SPICE 1 et 3 (SI Strong Inversion)

Le modèle **SPICE level 1** (SPICE signifie « Simulation Program with Integrated Circuit Emphasis ») a été développé à l'Université de Californie à Berkley à la fin des années 1960. Les tensions sont référencées par rapport au potentiel de source comme pour tous les modèles SPICE (cf II.1). Les équations de courant de drain de forte inversion reposent sur le concept de *tension de seuil*. A l'aide de la linéarisation du potentiel de surface en fonction de V_{ch} (le potentiel de canal), $\psi_s(x) = 2\Phi_F + V_{ch}(x)$ (cette approximation est valable uniquement en inversion forte) et de (II.19), la tension de seuil en un point du canal V_T est définie comme la tension V_G en dessous de laquelle la charge d'inversion $Q_i^{'}$ est négligeable devant la charge de déplétion $Q_b^{'}$:

$$V_T = V_{FB} + 2\Phi_F + V_{ch}(x) - \frac{Q_b^{'}}{C_{ox}^{'}} \tag{II.24}$$

En inversion forte, la charge de déplétion varie peu, elle est prise égale à sa valeur en limite d'inversion forte lorsque $\psi_s = 2\Phi_F$, ce qui donne $Q_b^{'} = \gamma_n . C_{ox}^{'} . \sqrt{2\Phi_F}$. Cette considération revient à négliger la dépendance de la charge de déplétion en V_{ch}. L'expression générale de la tension de seuil (II.24) est alors reformulée en $V_T = V_{T0} + V_{ch}(x)$ avec :

$$V_{T0} = V_{FB} + 2\Phi_F + \gamma_n . \sqrt{2\Phi_F} \tag{II.25}$$

L'expression de la charge d'inversion (II.19) se simplifie à l'aide de la tension de seuil et de la charge de déplétion en :

$$Q_i^{'}(x) = -C_{ox}^{'} . [V_{GB} - V_T(V_{ch}(x))] \tag{II.26}$$

Le courant de drain en conduction, peut donc être calculé en forte inversion, à l'aide de l'intégrale du courant de drain (II.14) et de la charge d'inversion (II.26) :

$$I_D = \mu_n.C'_{ox}.\frac{W}{L}.[(V_{GS} - V_{T0}) - \frac{V_{DS}}{2}].(V_{DS}) \tag{II.27}$$

La saturation du transistor se défini comme le pincement du canal, c'est à dire le moment où la charge d'inversion devient nulle au niveau du drain, d'où la relation $V_{GB} - V_T(V_{DS}) = V_{GS} - V_{T0} - V_{DSsat} = 0$ (II.19).

La tension de drain de saturation en forte inversion est donc $V_{DSsat} = V_{GS} - V_{T0}$ ce qui donne l'expression du courant de drain en saturation à l'aide de (II.27) :

$$I_D = \mu_n.C'_{ox}.\frac{W}{L}.\frac{(V_{GS} - V_{T0})^2}{2} \tag{II.28}$$

Les paramètres petits signaux, à savoir la transconductance de grille g_m, la conductance drain/source g_{ds} et la transconductance de bulk (substrat) g_{mb}, sont obtenus par dérivation :

– en conduction

$$g_m = \frac{\partial I_D}{\partial V_{GS}} = \mu_n.C'_{ox}.\frac{W}{L}V_{DS} \tag{II.29}$$

$$g_{ds} = \frac{\partial I_D}{\partial V_{DS}} = \mu_n.C'_{ox}.\frac{W}{L}.[(V_{GS} - V_{T0}) - V_{DS}] \tag{II.30}$$

– puis en saturation

$$g_m = \sqrt{2\mu_n.C'_{ox}.\frac{W}{L}I_D} \tag{II.31}$$

$$g_{ds} = 0 \tag{II.32}$$

Le modèle **SPICE level 3** prend en compte l'effet substrat à l'aide d'un coefficient η_s, correspondant au facteur de pente sous le seuil retrouvé plus loin dans le modèle EKV. L'approximation du potentiel de surface en fonction du potentiel de canal $\psi_s(x) = 2\Phi_F + V_{ch}(x)$, valable en forte inversion, permet d'exprimer la charge de déplétion en fonction du potentiel de canal $Q'_b = \gamma_n.C'_{ox}.\sqrt{2\Phi_F + V_{ch}(x)}$. La dépendance en V_{ch} de la charge de déplétion est linéarisée d'où $V_T = V_{T0} + \eta_s.V_{ch}(x)$ avec $\eta_s = 1 + \frac{\gamma_n}{2\sqrt{2\Phi_F - V_{BS}}}$ et

$$V_{T0} = V_{FB} + 2\Phi_F + \gamma_n.\sqrt{2\Phi_F - V_{BS}} \tag{II.33}$$

L'équation du courant de drain en conduction, valable en forte inversion, est obtenue de la même façon que pour le modèle SPICE 1 :

$$I_D = \mu_n.C'_{ox}.\frac{W}{L}.[(V_{GS} - V_{T0}) - \eta_s.\frac{V_{DS}}{2}].(V_{DS}) = \beta.[(V_{GS} - V_{T0}) - \eta_s.\frac{V_{DS}}{2}].(V_{DS}) \tag{II.34}$$

La tension de drain de saturation en forte inversion est $V_{DSsat} = \frac{V_{GS} - V_{T0}}{\eta_s}$ d'où le courant de drain en saturation, valable en forte inversion :

$$I_D = \mu_n.C'_{ox}.\frac{W}{L}.\frac{(V_{GS} - V_{T0})^2}{2\eta_s} = \beta.\frac{(V_{GS} - V_{T0})^2}{2\eta_s} \tag{II.35}$$

Dans les modèles SPICE, β est appelée facteur de transconductance et se note parfois K_n : $\beta = \mu_n C'_{ox}\frac{W}{L}$. β_0 est le facteur de transconductance pour un transistor carré et peut également se noter K_{n0} : $\beta_0 = \mu_n C'_{ox}$.

A nouveau les paramètres petits signaux sont calculés par dérivation :

– en conduction

$$g_m = \mu_n.C'_{ox}.\frac{W}{L}V_{DS} \tag{II.36}$$

$$g_{ds} = \mu_n.C'_{ox}.\frac{W}{L}.[(V_{GS} - V_{T0}) - \eta_s.V_{DS}] \tag{II.37}$$

$$g_{mb} = \frac{\partial I_D}{\partial V_{BS}} = -(\eta_s - 1)g_m \tag{II.38}$$

– puis en saturation

$$g_m = \sqrt{\frac{2\mu_n.C'_{ox}.\frac{W}{L}I_D}{\eta_s}} \tag{II.39}$$

$$g_{ds} = 0 \tag{II.40}$$

$$g_{mb} = -(\eta_s - 1)g_m \tag{II.41}$$

Remarque :

– les expressions du modèle SPICE level 1 se retrouvent à partir du modèle SPICE level 3, en prenant η_s égal à 1,
– les équations d'inversion forte de ces deux modèles sont valides pour une tension de grille supérieure à $V_{T0} + 300mV$.

II.2.2.2 Modèle faible inversion

Dès 1967 [14], les résultats expérimentaux ont montré que le courant de drain est une fonction exponentielle du potentiel de grille du type $\exp(\frac{qVG}{nkT})$, pour des potentiels de grille faibles devant la tension de seuil. Ce régime d'inversion est appelé l'inversion faible ou régime d'inversion sous le seuil. Dans ce régime, le phénomène de diffusion des charges mobiles est dominant. Le courant de drain dépend uniquement de sa composante de diffusion celle de conduction étant négligeable. Il a nécessité une formulation séparée, obtenue en 1972 par Swanson et Meindl [10, 14]. Cette formulation est proche de celle du courant d'un transistor bipolaire.

$$I_D = a.\mu_n.C'_{ox}.\frac{W}{L}.U_T^2.\exp(\frac{V_G - V_{T0}}{n.U_T})(1 - \exp(-\frac{V_D}{U_T})) \tag{II.42}$$

avec n la pente sous le seuil et a un coefficient de proportionnalité.

En 1977, Vittoz et Felrath proposent une extension [15], pour $V_S \neq 0$, des modèles déjà proposés. Le modèle proposé pour l'inversion faible est symétrique en source et drain. Les tensions sont référencées par rapport au substrat et n est considéré constant [15], ce qui donne pour le courant de drain en conduction :

$$I_D = I_{D0}.\frac{W}{L}.\exp(\frac{V_G}{n.U_T})(\exp(-\frac{V_S}{U_T}) - \exp(-\frac{V_D}{U_T})) \tag{II.43}$$

avec un coefficient I_{D0} qui dépend de la tension de seuil, de n, de la mobilité et de la capacité surfacique d'oxyde :

$$I_{D0} = a.\mu_n.C'_{ox}.\frac{W}{L}.U_T^2.\exp(\frac{-V_{T0}}{n.U_T}) \tag{II.44}$$

Pour une tension de drain/source V_{DS} supérieure à la tension de saturation $V_{DS_{sat}} = 4U_T \approx 100mV$ le courant de saturation s'écrit :

$$I_D = I_{D0}.\frac{W}{L}.\exp\left(\frac{V_G}{n.U_T}\right)\exp\left(-\frac{V_S}{U_T}\right) \tag{II.45}$$

Par la suite, Vittoz et Felrath ont défini un modèle petit signal et un modèle de bruit pour le régime sous le seuil, ce qui leur a permis de dimensionner des circuits dans ce régime de fonctionnement particulier adapté à la très faible consommation [14–16].

Les équations d'inversion faible sont valides pour une tension de grille inférieure à $V_{T0} - 200mV$.

II.2.3 Modèles avancés

II.2.3.1 Modèles couvrant l'ensemble de l'inversion

II.2.3.1.a Les modèles compacts avancés

Les modèles susceptibles d'être utilisés pour concevoir indépendamment du régime d'inversion doivent être définis au moins sur l'ensemble de l'inversion et fournir des équations analytiques utilisables pour la mise en équations des circuits tout en gardant un lien fort avec la physique du dispositif. En particulier, le lien entre les paramètres du dispositif MOS (courant de drain, transconductances, capacités...) et les variables utilisées habituellement par le concepteur, à savoir les tensions au niveau des terminaisons du transistor MOS, doit être clair.
Les modèles pouvant satisfaire ces contraintes sont les modèles compacts de troisième et quatrième génération [8] utilisés pour simuler les circuits. Les modèles compacts définis sur l'ensemble de l'inversion se rangent en deux catégories :

- les modèles reposant sur une expression analytique approchée du potentiel de surface, solution explicite de (II.11). Ces modèles sont appelés *modèles en potentiel de surface*,
- les modèles reposant sur la linéarisation de la charge d'inversion en fonction du potentiel de surface ou du potentiel de canal (potentiel de quasi Fermi). Ces modèles sont appelés *modèles en charge*.

Ces modèles sont tous de type drift-diffusion (conduction-diffusion) car ils séparent le courant de drain en un courant de conduction et un courant de dérive. Les tensions sont référencées par rapport au potentiel de substrat. De plus, les modèles présentés sont appelés modèles symétriques car la source et le drain jouent un rôle similaire dans les équations.

II.2.3.1.b Les modèles compacts en potentiel de surface

Les modèles compacts en potentiel de surface les plus connus sont les modèles SP (« Surface Potential » développé par Pennsylvania State University) et PSP (développé par Pennsylvania State University et Philips) [17]. Le modèle PSP est le successeur des modèles MM9 (Mosfet Model 9) [18], et MM11 (Mosfet Model 11) [19], mais son fondement physique est radicalement différent du modèle MM9. En effet, comme le modèle SP, il est formulé en terme de potentiel de surface ce qui facilite l'inclusion d'effets complexes comme l'influence du profil de dopage et permet de prédire le comportement du transistor, lorsque qu'un paramètre physique change, sans besoin de recaractériser la technologie.

Les modèles SP et PSP reposent sur une formulation explicite du potentiel de surface en fonction des tensions appliquées sur les terminaisons du dispositif MOS. Cependant le jeu d'équations du noyau est difficilement exploitable pour la mise en équations des circuits, et les paramètres du modèle sont aussi peu explicites que dans les modèles MM9 [18] et MM11 [19]. De plus la détermination du potentiel de surface doit être extrêmement précise pour que le comportement du transistor soit correctement prédit.

Ces modèles ont donc un sens physique plus prononcé que les autres modèles compacts utilisés en conception de circuits. Ils décrivent avec précision le comportement des transistors aussi bien en régime statique qu'en régime dynamique, ce qui garantit, quelque soit le régime d'inversion, la fiabilité des simulations de circuit devenue indispensable en particulier en conception analogique. Cependant la complexité de leurs équations est telle que ces modèles n'ont pas été retenus.
A titre d'information, en Décembre 2005, le CMC (Compact Model Council), organisation chargée de définir le standard industriel en matière de modèle, a élu PSP comme nouveau standard pour la modélisation compacte du transistor MOSFET.

II.2.3.1.c Les modèles compacts en charge

Les modèles compacts en charge proposent des équations avec un lien clair entre tensions et courant de drain. Les modèles les plus avancés sont les modèles EKV3.0 [20, 21] et ACM [22, 23], dont les noyaux sont identiques à un facteur constant près, ainsi que le modèle BSIM5 (BSIM acronisme de « Berkley Short-Channel IGFET Model ») [13, 24] qui est très proche de ces deux modèles. Ces modèles sont basés sur le calcul de la charge d'inversion et non du potentiel de surface ce qui nécessite une précision plus faible que dans le cas des modèles en potentiel de surface [24].

Le modèle EKV introduit *le concept de niveau d'inversion* [25] particulièrement adapté pour la conception des circuits car les paramètres statiques et dynamiques du transistor MOS sont exprimables à l'aide de cet unique paramètre. De plus les variables sont normalisées.
Malheureusement l'expression des tensions en fonction du courant de drain de saturation n'est pas réversible, si bien que le courant de drain de saturation n'est pas une fonction explicite des tensions. Pour connaître le courant, à tensions données, il est nécessaire d'inverser numériquement l'expression des tensions en fonction du courant (calcul itératif). Ceci est pénalisant aussi bien en terme de mise en équations des circuits, qu'en terme de temps de calcul si l'on souhaite utiliser des programmes d'aide au dimensionnement des circuits (l'inversion numérique est gourmande en temps de calcul).
Cependant, la version initiale du modèle EKV [25], *notée EKV2.0*, propose des équations qui sont réversibles, ce qui permet une mise en équations aisée des circuits et évite une inversion numérique couteuse en temps de calcul. Bien qu'il ne soit pas un modèle en charge, il n'en n'est pas moins valable sur l'ensemble de l'inversion car il repose sur la linéarisation de la charge en fonction du potentiel de canal (potentiel de quasi Fermi).

II.2.3.2 Origine du modèle EKV

L'acronisme EKV provient des noms des personnes qui ont publié la première version, dite 2.0, de ce modèle en 1995 dans AICSP : Enz, Krummenacher et Vittoz.

Cette version est l'aboutissement d'un long cheminement. Elle reprend différents concepts introduits en modélisation au fil des années. En 1977, P. Jespers (1977) publie un modèle de courant de drain de forte inversion basé sur les idées de O. Memelink [14]. Ce modèle est basé sur la charge d'inversion et intègre le facteur de pente comme pour le modèle d'inversion faible. Il est symétrique en source et drain et ses tensions sont référencées par rapport au substrat.
Puis en 1979, J.-D. Chatelain introduit les concepts de *tension de Pincement* $V_P = \frac{V_G - V_{T0}}{n}$ (Pinch-off voltage) et de partage du courant de drain en un *courant direct*, contrôlé par la grille et la source, et en un *courant inverse* contrôlé par la grille et le drain [14].

Enfin, en 1982, H. Oguey et S. Cserveny reprennent le concept de tension de pincement et proposent une formulation du courant de drain, continue de la faible à la forte inversion, en introduisant une fonction d'interpolation et un coefficient de normalisation des composantes directe et inverse du courant [14].

II.2.3.3 Modèle EKV2.0

Le modèle EKV 2.0 [14, 25] est un modèle de transistor MOS analytique dédié à la conception de circuits faible tension et faible consommation. Ce modèle compact fourni des équations de courant de drain continues, en conduction comme en saturation, sur l'ensemble de l'inversion (inversion faible, modérée et forte).
Le choix de la version 2.0 du modèle EKV, dans cette étude, est motivé par la réversibilité analytique des équations de courant par rapport aux versions plus récentes, ce qui est appréciable pour la mise en équations des circuits, ainsi que pour le gain en temps de calcul CPU.
Les équations du noyau (courant de drain et transconductances) du modèle EKV 2.0 sont issues de la même approche consistant à lier les asymptotes d'inversion faible et forte au moyen d'une fonction d'interpolation appropriée. Ainsi, le modèle EKV 2.0 assure une transition continue entre les asymptotes de faible et de forte inversion comme l'illustre la figure II.6 représentant le courant de drain en saturation en fonction de la tension de grille.

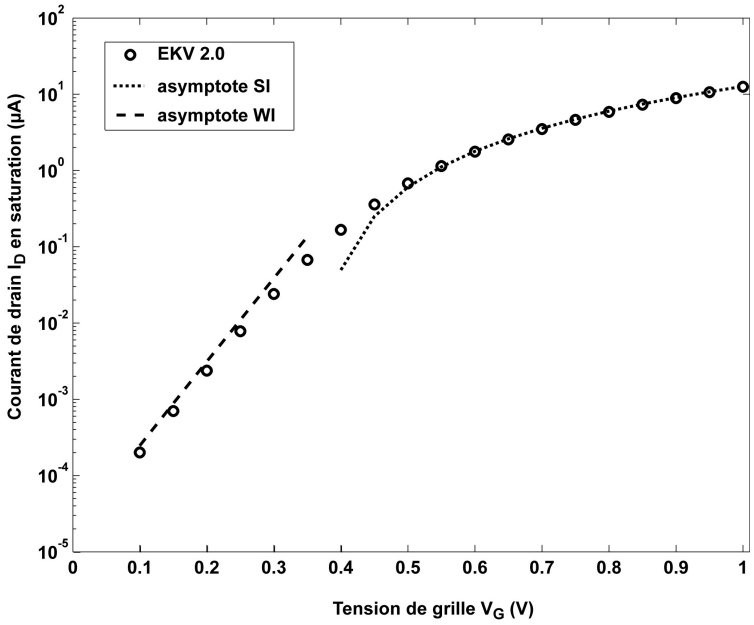

Fig. II.6 – Courant de drain en saturation du modèle EKV 2.0 et des asymptotes de faible et de forte inversion

Le modèle EKV2.0 repose sur trois concepts fondamentaux repris de différentes modélisations antérieures :
- la tension de pincement V_P,
- la décomposition du courant de drain en un courant direct I_F et un courant inverse I_R,
- la normalisation des variables : les tensions sont normalisées à l'aide de la tension thermodynamique U_T, les courants sont normalisés à l'aide du courant spécifique I_S.

En outre les tensions sont référencées par rapport au substrat et la formulation du modèle est symétrique en drain et source.
Ainsi l'expression intégrale du courant de drain (II.14) peut se diviser en deux pour faire apparaitre les courants direct et inverse :

$$I_D = \mu_n . C'_{ox} . \frac{W}{L} . \left(\int_{V_{SB}}^{\infty} \left(-\frac{Q'_i(x)}{C'_{ox}} \right) . dV_{ch} - \int_{V_{DB}}^{\infty} \left(-\frac{Q'_i(x)}{C'_{ox}} \right) . dV_{ch} \right) = I_F - I_R \qquad \text{(II.46)}$$

Le *courant direct*, I_F représente l'action de la grille et de la source sur la charge du canal, tandis que le *courant inverse* I_R représente l'action de la grille et du drain sur la charge du canal.
L'inversion faible et l'inversion forte sont modélisées de manière séparée, et une fonction d'interpolation (ou fonction de lissage) est utilisée pour assurer la continuité entre ces deux régimes afin d'obtenir des expressions valables sur l'ensemble de l'inversion. Cependant l'expression du courant de drain n'est pas exactement valide en inversion modérée au sens strict car les courants de diffusion et de conduction sont considérés séparément. Ainsi, le courant de drain est considéré exclusivement égal au courant de diffusion en inversion faible, et au courant de conduction en inversion forte.

Chaque composante du courant de drain est calculée à partir de l'intégration de la charge d'inversion par rapport au potentiel de canal V_{ch}. L'expression de la charge d'inversion est établie séparément pour l'inversion forte et l'inversion faible.
En inversion forte, le potentiel de surface est approximé par $\psi_s(x) = \Psi_0 + V_{ch}(x)$ avec $\Psi_0 = 2\Phi_F + L\,U_T$. Le terme $L\,U_T$ est un paramètre d'ajustement dans le modèle EKV2.0, en revanche dans la version EKV3.0, il est exprimé analytiquement donc parfaitement déterminé (II.77). A l'aide de (II.10), la charge d'inversion s'exprime sous la forme :

$$Q_i^{'}(x) = -C_{ox}^{'}.(V_G - V_T(V_{ch})) \tag{II.47}$$

où V_T est la tension de seuil en un point du canal :

$$V_T = V_{T0} + V_{ch}(x) + \gamma_n.(\sqrt{\Psi_0 + V_{ch}(x)} - \sqrt{\Psi_0}) \tag{II.48}$$

et V_{T0} s'exprime $V_{T0} = V_{FB} + \Psi_0 + \gamma_n.\sqrt{\Psi_0}$.

La tension de bandes plates théorique est définie par $V_{FB_{th}} = \frac{E_g}{2} - \Phi_F$. Elle permet donc d'exprimer la tension de bandes plates réelle comme $V_{FB} = V_{FB_{th}} + \delta V_{T0}$ en prenant en compte le décalage en tension dû à l'implant d'ajustement de V_{T0}.
La tension de pincement est définie comme le potentiel de canal pour lequel la charge d'inversion devient nulle (négligeable devant la charge de déplétion) à potentiel de grille donné [25]. Le point du canal considéré est alors en limite d'inversion forte et (II.47) donne une relation entre le potentiel de grille et le potentiel de canal défini comme V_P. Cette relation liant V_G, V_P et V_{T0}, s'écrit :

$$V_G = V_{T0} + V_P + \gamma_n.[\sqrt{\Psi_0 + V_P} - \sqrt{\Psi_0}] \tag{II.49}$$

D'où l'expression de la tension de pincement générale [25] :

$$V_P = V_G - V_{T0} - \gamma_n.[\sqrt{V_G - V_{T0} + (\sqrt{\Psi_0} + \frac{\gamma_n}{2})^2} - (\sqrt{\Psi_0} + \frac{\gamma_n}{2})] \tag{II.50}$$

La tension de pincement est approximée par :

$$V_P = \frac{V_G - V_{T0}}{n} \tag{II.51}$$

avec n :

$$n = 1 + \frac{\gamma_n}{2\sqrt{\Psi_0 + V_P}} \tag{II.52}$$

Au moyen d'un développement limité, une relation linéaire entre la charge d'inversion et le potentiel de canal est établie avec (II.47) et (II.50). Cette relation est valable en forte inversion :

$$Q_i^{'}(x) = -C_{ox}^{'}.n.(V_P - V_{ch}(x)) \tag{II.53}$$

Par ailleurs, en régime d'inversion, ψ_s est considéré grand par rapport à U_T, ce qui permet de simplifier l'expression (II.7) de $Q_{SC}^{'}$ [9, 25] en :

$$Q'_{SC} = -\gamma_n C'_{ox}\sqrt{\psi_s(x) + U_T.\exp\left(\frac{\psi_s(x) - V_{ch}(x) - 2\Phi_F}{U_T}\right)} \tag{II.54}$$

La charge d'inversion est définie en un point du canal à l'aide de (II.18) et (II.17), par :

$$Q'_i(x) = -\gamma_n C'_{ox}[\sqrt{\psi_s(x) + U_T.\exp\left(\frac{\psi_s - V_{ch}(x) - 2\Phi_F}{U_T}\right)} - \sqrt{\psi_s(x)}] \tag{II.55}$$

En faible inversion, ψ_s est plus petit que $2\Phi_F + V_{ch}$ ce qui permet de simplifier cette expression de Q'_i à l'aide d'un développement limité :

$$Q'_i(x) = -C'_{ox}.\frac{\gamma_n}{2\sqrt{\psi_s(x)}}.U_T.\exp\left(\frac{\psi_s(x) - V_{ch}(x) - 2\Phi_F}{U_T}\right) \tag{II.56}$$

De plus, le potentiel de surface est approximé par $\psi_s(x) = \Psi_0 + V_P$ en faible inversion [25], d'où l'expression de Q'_i :

$$Q'_i(x) = -C'_{ox}.(n-1).U_T.(\exp\left(\frac{\Psi_0 - 2\Phi_F}{U_T}\right))(\exp\left(\frac{V_P - V_{ch}(x)}{U_T}\right)) \tag{II.57}$$

En inversion faible et en inversion forte la charge d'inversion est fonction de $V_P - V_{ch}$ et après intégration à l'aide de (II.46), le courant de drain dans ces deux régimes s'écrit en fonction du courant normalisé direct i_f et du courant normalisé inverse i_r :

$$I_D = I_S(i_f - i_r) = I_S(F(v_p - v_s) - F(v_p - v_d)) \tag{II.58}$$

où I_S est le courant de normalisation (ou courant spécifique), i_f et i_r dépendent des tensions normalisées de pincement v_p (représentant l'influence de la tension de grille), de source v_s et de drain v_d. Le courant de normalisation est défini par :

$$I_S = 2n\mu_n C'_{ox} U_T^2 \frac{W}{L} = 2n\beta U_T^2 \tag{II.59}$$

où n est le facteur de pente, μ_n la mobilité, C'_{ox} la capacité surfacique d'oxyde de la grille, U_T la tension thermodynamique et $W/L = S$ l'aspect ratio du transistor. Les tensions normalisées s'écrivent $v_p = \frac{V_P}{U_T}$, $v_s = \frac{V_S}{U_T}$, $v_d = \frac{V_D}{U_T}$ et $v_g = \frac{V_G}{U_T}$.

En mode saturé, le courant inverse devient négligeable devant le courant direct, l'expression du courant de drain se simplifie sous la forme :

$$I_D = I_S \cdot i_f \tag{II.60}$$

Par intégration, en utilisant (II.46), (II.53) et (II.57), les expressions des courants normalisés direct et inverse sont obtenues à l'aide du courant I_S :

– en inversion forte

$$i_{f,r} = \left(\frac{v_p - v_{s,d}}{2}\right)^2 \tag{II.61}$$

– et en inversion faible

$$i_{f,r} = \exp\left(v_p - v_{s,d}\right) \tag{II.62}$$

Le courant de drain obtenu pour l'inversion faible correspond exclusivement au courant de diffusion car sa formulation repose sur l'hypothèse que seul le phénomène de diffusion est présent. Le courant de drain obtenu pour l'inversion forte correspond exclusivement au courant de conduction car sa formulation repose sur l'hypothèse que seul le phénomène de conduction est présent. L'équation (II.58) est généralisable à l'ensemble de l'inversion, en utilisant la fonction d'interpolation simplifiée d'Oguey-Cserveny. Cette fonction est utilisée pour assurer la continuité entre les régimes d'inversion faible et d'inversion forte, afin

d'obtenir une expression du courant de drain valable sur l'ensemble de l'inversion, de la saturation à la conduction [25]. Hors de l'inversion modérée, elle converge vers l'asymptote de faible inversion ou de forte inversion. Elle est notée F et s'écrit :

$$F(v) = \ln\left[1 + \exp\left(\frac{v}{2}\right)\right] \tag{II.63}$$

Les courants normalisés direct et inverse du modèle EKV2.0, valables sur l'ensemble de l'inversion, de la saturation à la conduction sont exprimées à l'aide cette fonction :

$$i_{f,r} = F(v_p - v_{s,d}) = \ln^2\left[1 + \exp\left(\frac{v_p - v_{s,d}}{2}\right)\right] \tag{II.64}$$

Ainsi, le modèle EKV2.0 décrit le courant de drain de manière continue de l'inversion faible à l'inversion forte.

Les transconductances de grille, de drain et de source, respectivement g_m, g_{md} et g_{ms}, sont modélisées sur l'ensemble de l'inversion à l'aide d'une fonction d'interpolation liant les asymptotes de faible et de forte inversion. Elles sont utilisées pour décrire le comportement petit signal du transistor MOS au travers de son schéma petit signal présenté à la figureII.7. La transconductance de drain g_{md} correspond à la transconductance de drain g_{ds} définie dans les modèles SPICE. La transconductance de source est définie par :

$$g_{ms} = -\frac{\partial I_D}{\partial V_{SB}} \tag{II.65}$$

La transconductance de grille s'exprime en fonction des transconductances de drain et de source : $g_m = \frac{g_{ms} - g_{md}}{n}$.
Pour obtenir une fonction d'interpolation indépendante des dimensions du transistor, les expressions des transconductances en saturation sont normalisées à leur valeur maximum, atteinte en inversion faible [25] :

$$\begin{aligned} g_m &= \frac{I_S \cdot i_f}{n U_T} \\ g_{ms} &= \frac{I_S \cdot i_f}{U_T} \\ g_{md} &= \frac{I_S \cdot i_r}{U_T} \end{aligned} \tag{II.66}$$

Cette fonction d'interpolation, notée $G(i)$ est obtenue par dérivation de la fonction d'interpolation large signal (II.63) :

$$G(i) = \frac{1 - \exp\left(-\sqrt{i}\right)}{\sqrt{i}} \tag{II.67}$$

En inversion faible et forte, elle converge vers les asymptotes de faible et de forte inversion :

$$\begin{array}{ll} G(i) = 1 & \text{en faible inversion} \\ G(i) = \frac{1}{\sqrt{i}} & \text{en forte inversion} \end{array} \tag{II.68}$$

Les transconductances normalisées en saturation sont alors exprimées en termes de courant direct et inverse normalisés en utilisant la fonction d'interpolation G(i) :

$$\begin{aligned} \frac{g_m n U_T}{I_S \cdot i_f} &= \frac{g_{ms} U_T}{I_S \cdot i_f} = G(i_f) \\ \frac{g_{md} U_T}{I_S \cdot i_r} &= G(i_r) \end{aligned} \tag{II.69}$$

Les transconductances normalisées en conduction s'écrivent :

$$\begin{aligned} \frac{g_m n U_T}{I_S \cdot i_f} &= G(i_f) - \frac{G(i_r) i_r}{i_f} \\ \frac{g_{ms} U_T}{I_S \cdot i_f} &= G(i_f) \\ \frac{g_{md} U_T}{I_S \cdot i_r} &= G(i_r) \end{aligned} \tag{II.70}$$

Les concepteurs peuvent utiliser ces équations, pour décrire analytiquement les circuits, comme ils le font habituellement avec les équations d'inversion forte ou faible. Dans le cas où ils se limitent à la faible inversion ou à la forte inversion, ils disposent d'équations normalisées au formalisme commun.

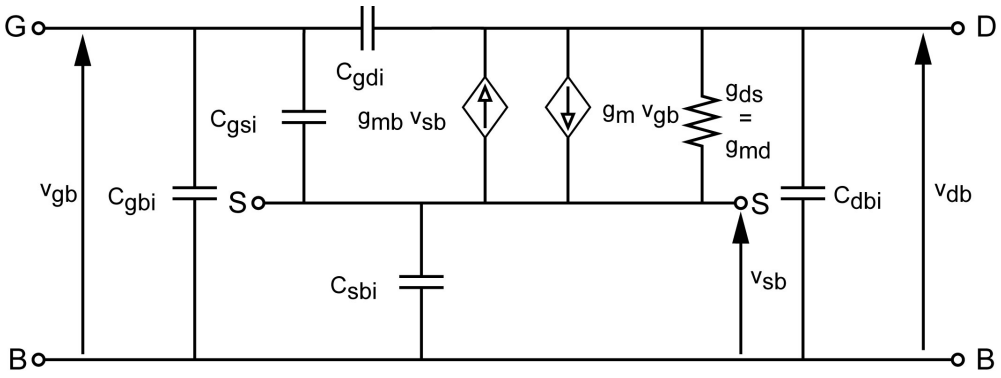

Fig. II.7 – Schéma petit signal du transistor MOS

II.2.3.4 Concept d'inversion

Le modèle EKV introduit le concept de niveau d'inversion IC ou coefficient d'inversion :

$$IC = \frac{I_D}{I_S} = \frac{I_D}{I_{S0}\frac{W}{L}} \quad \text{en saturation} \tag{II.71}$$

Le niveau d'inversion est un concept particulièrement puissant, puisque avec un seul paramètre, le comportement du transistor saturé est décrit sur l'ensemble de la plage d'inversion, de la faible à la forte inversion. Le concept de niveau d'inversion permet de prédire qualitativement en termes de performances l'effet d'un changement de taille.

De manière générale, le niveau d'inversion correspond à $IC = i_f$ en conduction comme en saturation. Le transistor est en inversion modérée pour IC comprit entre 0.1 et 10. L'inversion forte correspond à IC supérieur à 10, et l'inversion faible à IC inférieur à 0.1 [25].
Cependant, le niveau d'inversion prend tout son sens en saturation. En effet, les caractéristiques principales du transistor MOS sont explicitées en fonction de IC et de ses dimensions (tension de saturation, transconductances, conductance, mismatch en courant, mismatch en tension ...) [26]. Ainsi la tension de saturation $V_{DS_{sat}}$ s'exprime [26] comme :

$$V_{DS_{sat}} = U_T(\sqrt{1 + 4IC} + 3) \tag{II.72}$$

Cette expression tend bien vers $4U_T$ en inversion faible et vers $2U_T\sqrt{IC} \approx V_P - V_S \approx V_{GS} - V_T$ en inversion forte. De plus, le rapport transconductance/courant normalisé $G(IC) = \frac{gmnU_T}{I_D}$ est une caractéristique universelle du transistor MOS en saturation, indépendante de la polarisation, de la température et de la technologie (pour un transistor long).

II.2.3.5 Modèle EKV3.0/ACM

II.2.3.5.a Origines

Le respect de la conservation de la charge au sein du transistor est nécessaire pour prédire correctement les capacités et donc le comportement dynamique du dispositif.
Cet impératif a motivé le développement d'un modèle basé sur les charges d'où le nom de modèle de contrôle de charge (« continuous charge-controlled model » dans la littérature anglaise).
Dès 1987, Maher et Mead ont proposé un modèle reposant sur une linéarisation de la relation $Q_i(\psi_s)$, reprise en 1995 par A.Cunha, M.Schneider et C.Galup-Montoro pour le modèle ACM. En 1998, l'équipe ACM reprend le concept de courant direct I_F et inverse I_R, et obtient une formulation non réversible en tensions et courants direct et inverse.
Cette formulation est alors adoptée dans EKV dès 1997 [27–29], avec la définition originale du courant de normalisation I_S, différent d'un facteur 4 avec celle du modèle ACM [14].
La nouvelle formulation en charge du modèle EKV permet de respecter le principe de conservation de la charge et d'assurer une description correcte du comportement dynamique du transistor.
Les versions plus récentes du modèle EKV conserveront ce caractère.

II.2.3.5.b Concepts et courant de drain

Le modèle EKV3.0 est la version la plus récente du modèle EKV [20, 30, 31]. Il est basé sur le concept de linéarisation de la charge en fonction du potentiel de surface [20, 21]. Ce modèle est plus physique que la version 2.0, mais le gain en précision implique des expressions de courant direct et inverse non réversibles, et donc une formulation non réversible du courant de drain en saturation. Le concepteur est alors pénalisé pour la mise en équations des circuits.

Les équations du modèle EKV3.0 proviennent de la dérivation rigoureuse des expressions de la charge d'inversion formulées en potentiel de surface [32].
De manière similaire à la définition de V_P du modèle EKV2.0, le potentiel de surface de pincement Ψ_P est défini comme le potentiel de surface pour lequel la charge d'inversion est nulle, à V_G donnée. A partir de (II.19) et de (II.17), il vient :

$$\Psi_P = V_G - V_{FB} - \gamma_n^2.(\sqrt{\frac{(V_G - V_{FB})}{\gamma_n^2} + \frac{1}{4}} - \frac{1}{2}) \tag{II.73}$$

La charge d'inversion en fonction du potentiel de surface est approximée par :

$$Q_i^{'}(\psi_s) = n_q.C_{ox}^{'}.(\psi_s - \Psi_p) \tag{II.74}$$

avec n_q, facteur de linéarisation de la charge d'inversion, défini par :

$$n_q = 1 + \frac{\gamma_n}{2\sqrt{\Psi_0 + \frac{V_P}{2}}} \tag{II.75}$$

A l'aide de la relation précédente et de (II.55), on obtient, par linéarisation [32], une équation liant la charge d'inversion normalisée $q_i = \frac{Q_i^{'}}{Q_0}$ aux différents potentiels normalisés $v_{ch} = \frac{V_{ch}}{U_T}$, $\psi_p = \frac{\Psi_P}{U_T}$ et $\phi_F = \frac{\Phi_F}{U_T}$:

$$\psi_p - v_{ch} - 2\phi_F - m = \ln(q_i) + 2q_i \tag{II.76}$$

avec le coefficient de normalisation de la charge $Q_0 = -2n_q.C_{ox}^{'}.U_T$ et m le coefficient de correction de Ψ_0, défini comme paramètre d'ajustement dans le modèle EKV2.0 :

$$m = \ln(\frac{4n_q\sqrt{\psi_p}}{\gamma_n}) \tag{II.77}$$

V_P s'exprime en fonction de Ψ_p comme $V_P = \Psi_p - \Psi_0$ avec $\Psi_0 = 2\Phi_F + m.U_T$. (II.76) est alors reformulée :

$$v_p - v_{ch} = \ln(q_i) + 2q_i \tag{II.78}$$

où v_p peut être approximée par :

$$v_p = \frac{V_P}{U_T} \approx \frac{v_g - v_{t0}}{n_v} \tag{II.79}$$

avec $v_{t0} = \frac{V_{T0}}{U_T}$ et n_v, le facteur de pente :

$$n_v = 1 + \frac{\gamma_s}{2\sqrt{\Psi_0 + V_P}} = 1 + \frac{\gamma_s}{2\sqrt{\Psi_P}} \tag{II.80}$$

Par ailleurs la reformulation de (II.21) à l'aide de (II.74) donne une nouvelle expression du courant de drain :

$$I_D(x) = -2n_q.\mu_n.C'_{ox}.U_T^2.W.[q_i(x) + 1].\frac{dq_i(x)}{dx} \tag{II.81}$$

Cette formulation locale du courant de drain (valable en tout point du canal) est indépendante du potentiel de surface. Elle est exprimée à l'aide de variables réduites. En intégrant cette équation le long du canal, le courant de drain est formulé en charge :

$$I_D = I_S.[i_f - i_r] = I_S.[(q_s^2 + q_s) - (q_d^2 + q_d)] \tag{II.82}$$

De même que dans la version 2.0 du modèle EKV, le courant de drain est séparé en un courant direct (i_f) et un courant inverse (i_r) (II.58), mais le courant de normalisation I_S est maintenant défini par :

$$I_S = 2n_q\mu_n C'_{ox}U_T^2\frac{W}{L} = 2n_q\beta U_T^2 \tag{II.83}$$

Le courant de normalisation s'écrit également $I_S = I_{S0}\frac{W}{L}$ avec I_{S0} le courant de normalisation carré correspondant au courant de normalisation d'un transistor carré ($W = L$) :

$$I_{S0} = 2n_q\mu_n C'_{ox}U_T^2 = 2n_q\beta_0 U_T^2 \tag{II.84}$$

Les charges d'inversion normalisées de source et drain sont fonction de i_f et i_r, via la relation :

$$q_{s,d} = \frac{\sqrt{1 + 4i_{f,r}} - 1}{2} \tag{II.85}$$

Les expressions liant tensions et courants direct et inverse proposées dans le modèle EKV 3.0 ne sont pas réversibles. Les tensions sont exprimées en termes de charges d'inversion normalisées de source ou de drain :

$$v_p - v_{s,d} = \ln q_{s,d} + 2q_{s,d} \tag{II.86}$$

ou en terme de courants normalisés direct et inverse :

$$v_p - v_{s,d} = \ln\left(\frac{\sqrt{1 + 4i_{f,r}} - 1}{2}\right) + 2\left(\frac{\sqrt{1 + 4i_{f,r}} - 1}{2}\right) \tag{II.87}$$

Le facteur de pente n du modèle EKV2.0 (II.52) est différencié en deux facteurs. Le facteur n_q intervient dans le facteur de normalisation de la charge et le courant de normalisation tandis que n_v apparait dans l'expression simplifiée de la tension de pincement.
Les expressions des courants normalisés direct et inverse en faible et forte inversion sont identiques à celles proposées par le modèle EKV2.0.
La tension de saturation peut s'exprimer, en modèle EKV3.0 (comme pour EKV2.0), en fonction de la charge d'inversion normalisée de source :

$$V_{DS_{sat}} = U_T(2q_s + 4) \tag{II.88}$$

II.2.3.5.c Transconductances

De la même façon que dans la version 2.0 du modèle EKV, les transconductances normalisées sont exprimées en termes de courant direct et inverse ((II.69) et (II.70)) en utilisant une fonction G(i) commune. La fonction G(i) du modèle EKV3.0 est donnée par :

$$G(i) = \frac{2}{\sqrt{1+4i}+1} = \frac{1}{1+q_i} \approx \frac{1-\exp\left(-\sqrt{i}\right)}{\sqrt{i}} \tag{II.89}$$

Le modèle EKV3.0 dérivant d'une approche physique rigoureuse, l'expression $G(i)$ de ce modèle est plus exacte que celle du modèle EKV2.0.
Par ailleurs, la transconductance de grille s'exprime en fonction des transconductances de drain et de source avec le coefficient n_v : $g_m = \frac{(g_{ms}-g_{md})}{n_v}$. Par conséquent le coefficient n qui intervient dans l'expression de la transconductance normalisée de grille g_m est remplacé par le coefficient n_v :

$$\frac{g_m n_v U_T}{I_S i_f} = G(i_f) - \frac{G(i_r) i_r}{i_f} \tag{II.90}$$

II.2.3.5.d Capacités intrinsèques

Le modèle EKV3.0 est défini en charge ce qui permet d'obtenir une formulation explicite et exacte des capacités intrinsèques, contrairement au modèle EKV2.0 dont les expressions des capacités sont compliquées et in fine peu fiables. Dans le modèle EKV3.0, les capacités intrinsèques sont définies à l'aide d'une variable, $\chi_{f,r}$, fonction des courants normalisés direct et inverse :

$$\chi_{f,r} = \frac{\sqrt{1+4i_{f,r}}}{2} = q_{s,d} + \frac{1}{2} \tag{II.91}$$

Les expressions des capacités intrinsèques normalisées $c_i = \frac{C_i}{C'_{ox}WL}$ sont :

$$c_{gsi} = \frac{2}{3}[1 - \frac{\frac{1}{2}\chi_f + \chi_r + \chi_r^2}{(\chi_f + \chi_r)^2}] \tag{II.92}$$

$$c_{gdi} = \frac{2}{3}[1 - \frac{\chi_f^2 + \chi_f + \frac{1}{2}\chi_r}{(\chi_f + \chi_r)^2}] \tag{II.93}$$

$$c_{gbi} = \frac{n_v - 1}{n_v}.(1 - c_{gsi} - c_{gdi}) \tag{II.94}$$

$$c_{dbi} = (n_v - 1).c_{gdi} \tag{II.95}$$

$$c_{sbi} = (n_v - 1).c_{gsi} \tag{II.96}$$

II.2.3.6 Tableaux de synthèse

Les équations des modèles EKV 2.0 et 3.0 présentées dans les tableaux de synthèse du présent paragraphe sont celles utilisées dans le paragraphe suivant (§.II.3) se rapportant à la comparaison des noyaux des modèles étudiés. Elles servent également à la description du comportement du transistor dans les méthodologies développées au chapitre suivant (§III).

La modélisation de la tension de pincement V_P retenue pour le modèle EKV 2.0 est celle de la version 3.0 (§III). Cette formulation de V_P intègre le paramètre m correspondant à un paramètre d'ajustement dans

la version 2.0 du modèle EKV, et elle est exprimée en potentiel de surface de pincement Ψ_p ce qui facilite la prise en compte d'effets du second ordre avancés, comme le profil de dopage (cf.§ II.4.5), garantissant la qualité de la modélisation au fil des changements de technologie. Il en découle que, par souci de cohérence, le coefficient n du modèle EKV2.0 est différencié en n_v et n_q comme pour la version 3.0. Les expressions du courant de normalisation I_S et de la transconductance de grille normalisée sont corrigées en conséquence. Ainsi, les expressions des capacités intrinsèques (cf §II.2.3.5) et du champ effectif (cf § II.4.6) introduites dans le modèle EKV3.0 sont utilisables, sans modifications, avec le modèle EKV2.0.
Cette différenciation de n, dégrade la prédiction de courant de drain du modèle EKV2.0 en inversion faible (l'erreur de prédiction passe 5% de à 10%), mais elle n'a pas d'incidence en inversion modérée, zone d'inversion visée par le présent travail.

Le tableau II.2 regroupe les expressions du courant de drain des modèles EKV2.0 et EKV3.0, ainsi que les asymptotes d'inversion faible et forte formulées selon le formalisme EKV.

	WI	**SI**	**EKV2.0**	**EKV3.0**
I_D	$I_S.[i_f - i_r]$ en conduction et $I_S.i_f$ en saturation			
$i_{f,r}$	$\exp(v_p - v_{s,d})$	$\left(\frac{v_p - v_{s,d}}{2}\right)^2$	$\ln^2\left[1 + \exp\left(\frac{v_p - v_{s,d}}{2}\right)\right]$	$q_{s,d}^2 + q_{s,d}$ avec $v_p - v_{s,d} = \ln q_{s,d} + 2q_{s,d}$
I_S	$2n_q\mu_n C'_{ox}U_T^2\frac{W}{L}$			
v_p	$\frac{V_P}{U_T}$ avec $V_P = \Psi_p - \Psi_0$ et $\Psi_0 = 2\Phi_F + m.U_T$			
$v_{s,d}$	$\frac{V_{S,D}}{U_T}$			
n_q	$1 + \frac{\gamma_n}{2\sqrt{\Psi_0 + \frac{V_P}{2}}}$			
n_v	$1 + \frac{\gamma_s}{2\sqrt{\Psi_0 + V_P}}$			

Tab. II.2 – Equations EKV statiques

Les modèles SPICE 1 et 3 (§ II.2.2.1) sont proches de l'asymptote de forte inversion car, à tension de grille élevée, la définition de V_P se confond avec son approximation $\frac{V_G - V_{T0}}{n.U_T}$, qui apparait dans les expressions des modèles SPICE (en forte inversion $\eta \approx n$ pour le modèle SPICE 3), d'autant plus qu'en forte inversion n est constant. Le terme en $\frac{V_G - V_{T0}}{n.U_T}$ apparait dans l'expression du modèle de faible inversion utilisé en conception (§ II.2.2.2), or cette formulation approchée de V_P suffit à éloigner le modèle de faible inversion de l'asymptote de faible inversion en raison de son comportement exponentiel.
Par ailleurs, hors de l'inversion modérée, le courant de drain EKV2.0 converge rapidement vers les asymptotes d'inversion faible, ou forte, et donc respectivement, vers le courant de diffusion, ou vers le courant de conduction, au contraire du courant de drain EKV3.0, en raison de la structure purement mathématique de

la fonction d'interpolation utilisée dans la définition des courants normalisés direct et inverse EKV2.0. En revanche, la fonction d'interpolation intervenant dans la définition des courants normalisés direct et inverse du modèle EKV3.0, est issue d'une approche physique rigoureuse, incluant les courants de diffusion et de conduction sur l'ensemble de l'inversion, au travers respectivement des termes $\ln q_{s,d}$ et $q_{s,d}$ de (II.86). En effet, le terme $\ln q_{s,d}$, lié au courant de diffusion, n'est pas négligeable, sur une partie de l'inversion forte devant le terme $q_{s,d}$, lié au courant de conduction, et réciproquement, celui-ci n'est pas négligeable sur une partie de l'inversion faible devant le terme $\ln q_{s,d}$. Ceci est illustré dans le paragraphe suivant (§II.3.1).
Le tableau II.3 regroupe les expressions des transconductances normalisées des modèles EKV2.0 et EKV 3.0, ainsi que des asymptotes d'inversion faible et forte formulées selon le formalisme EKV [33]. Les transconductances de drain normalisées sont exprimées à l'aide de fonctions d'interpolation G(i) peu sensibles aux écarts entre les niveaux d'inversion des modèles EKV 2.0 et 3.0, si bien que le comportement asymptotique des deux modèles est relativement proche. Ceci est illustré dans le paragraphe suivant (§II.3.4).

	WI	**SI**	**EKV2.0**	**EKV3.0**
$\frac{g_m n_v U_T}{I_S i_f}$	$G(i_f) - \frac{G(i_r).i_r}{i_f}$ en conduction et $G(i_f)$ en saturation			
$\frac{g_{ms} U_T}{I_S i_f}$	$G(i_f)$			
$\frac{g_{md} U_T}{I_S i_r}$	$G(i_r)$			
$G(i)$	1	$\frac{1}{\sqrt{i}}$	$\frac{1-\exp(-\sqrt{i})}{\sqrt{i}}$	$\frac{2}{\sqrt{1+4i}+1} = \frac{1}{1+q_i}$

Tab. II.3 – Equations EKV petit signal

II.3 Comparaison des noyaux

Dans cette partie, la qualité de prédiction des modèles présentés est étudiée. De plus leur plage de validité est identifiée en terme de tension de grille, mais surtout en terme de niveau d'inversion, car ce dernier est un paramètre indépendant de la technologie, ce qui permet de définir des limites de validité invariantes avec la technologie. Les limites d'utilisation des modèles classiques utilisés par les concepteurs pour le dimensionnement des circuits sont mises en évidence par rapport au cahier des charges stipulant une tension d'alimentation inférieure à 1V et impliquant la polarisation des transistors en inversion modérée.

Les différents modèles présentés sont comparés par rapport au modèle de feuille de charge formulé en potentiel de surface qui sert donc de référence en raison de ses bases physiques solides qui lui valent d'être considéré comme une référence fiable :

– le modèle SPICE 3 (ou modèle de Forte Inversion) est utilisé en conception classique pour le dimensionnement à la main des circuits avant la phase de simulation, en raison de la simplicité de ses équations. Il est défini à partir de la tension de seuil V_{T0} et il est valable uniquement en forte inversion, c'est à dire pour de fortes valeurs de tension grille/source. Il se rapproche de l'asymptote de forte inversion des modèles EKV (§ II.2.3.6),

– le modèle de faible inversion est utilisé pour dimensionner des circuits destinés à des applications très faible consommation. Il suit une loi en courant de type exponentielle comme le transistor bipolaire. Il est reformulé à l'aide du formalisme EKV en :

$$I_D = I_{D0}.\frac{W}{L}.\exp\left(\frac{V_G}{n_v.U_T}\right)\left(\exp\left(-\frac{V_S}{U_T}\right) - \exp\left(-\frac{V_D}{U_T}\right)\right) \tag{II.97}$$

avec I_{D0} défini à partir de I_S (identification du coefficient a) comme :

$$I_{D0} = 2.n_q.\mu_n.C'_{ox}.\frac{W}{L}.U_T^2.\exp\left(\frac{-V_{T0}}{n_v.U_T}\right) \tag{II.98}$$

Les coefficients n_q et n_v sont pris égaux à leurs valeurs maximales atteintes en faible inversion ;

– les modèles EKV 2.0 et 3.0 décrivent le comportement du transistor sur l'ensemble de l'inversion à l'aide d'équations analytiques simples. Ils introduisent un paramètre central à partir duquel les paramètres électriques et les performances du transistor sont explicitées.
Le modèle EKV3.0 est issu d'une approche physique rigoureuse basée sur la charge d'inversion, au contraire du modèle EKV2.0 défini à partir d'une fonction d'interpolation mathématique assurant la transition entre l'inversion faible et l'inversion forte. Aussi, le modèle EKV3.0 est plus exact que le modèle EKV2.0.
La définition retenue pour la tension de pincement V_P est celle du modèle EKV3.0 (II.79) pour garantir la qualité de modélisation au fil des changements de technologie (§ II.2.3.6). La différenciation de n, dégrade la prédiction de courant de drain du modèle EKV2.0 en inversion faible (l'erreur de prédiction passe de 5% à 10%), mais elle n'a pas d'incidence en inversion modérée, zone d'inversion visée par le présent travail.

II.3.1 Prédiction du courant de Drain

Pour chaque modèle, le courant de drain en saturation a été calculé, à l'aide de l'outil MATLAB (The Mathworks), à partir des équations déjà présentées et des valeurs nominales des paramètres technologiques de la technologie ATMEL $0.15\mu m$ (dopage du canal, tension de seuil, épaisseur d'oxyde, mobilité), sans considération d'effets du second ordre, afin d'évaluer la qualité de prédiction intrinsèque du noyau de chaque modèle.

Afin de comparer les différents noyaux, nous utiliserons un protocole identique. Ainsi, le courant est calculé pour un transistor carré (W = L) monté en diode ($V_G = V_D$) sur une plage de tension de grille comprise entre 100mV (pour garantir la saturation du transistor car la tension de saturation minimale en faible inversion vaut 100mV) et 1V, avec une tension de source nulle.

Le résultat des calculs sont présentés sur la figure (II.8). Les limites d'inversion en terme de tension de grille sont indiquées avec la limite de faible inversion pour $V_G < V_{T0} - 200mV$ et la limite de forte inversion pour $V_G > V_{T0} + 300mV$.

On constate que le modèle EKV 3.0 est très proche du modèle de feuille de charge sur l'ensemble de l'inversion (II.8 et II.9) en raison de sa formulation en charge dérivée d'une approche physique rigoureuse, incluant les composantes de diffusion et de conduction du courant sur l'ensemble de l'inversion. En revanche, les modèles SPICE 3 (modèle de forte inversion) et EKV 2.0 sont éloignés du modèle de feuille de charge en forte inversion car le courant de diffusion est négligé devant le courant de conduction dans la modélisation. Le modèle SPICE est proche de l'asymptote d'inversion forte EKV (§II.2.3.6) vers laquelle le modèle EKV2.0 converge rapidement en inversion forte, du fait de la fonction d'interpolation qui le définit (§II.2.3.3 et §II.2.3.6), ce qui explique la similarité de comportement des deux modèles en inversion forte.

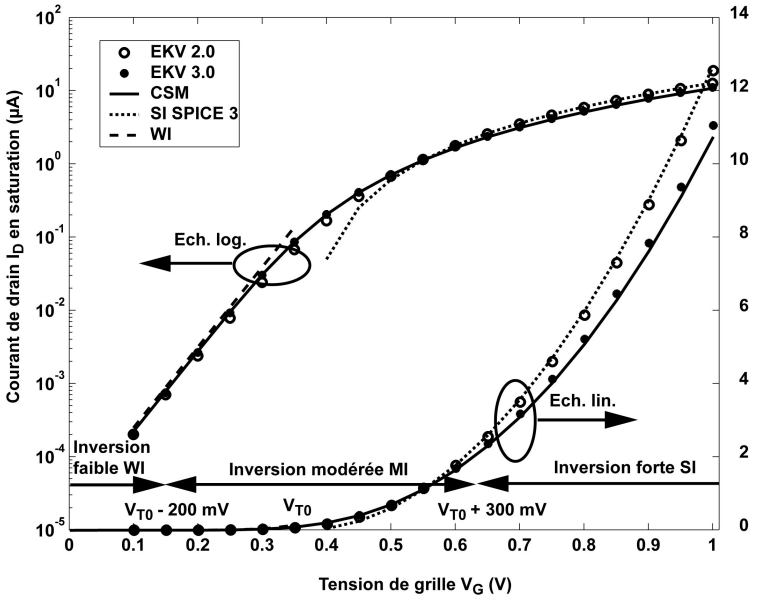

Fig. II.8 – Courant de drain en saturation des différents noyaux.

Lorsque la tension de grille décroit vers la tension de seuil (en dessous de $V_{T0} + 300mV$), le modèle de forte inversion s'éloigne fortement du modèle CSM, ce qui signifie que la région d'inversion modérée est très mal modélisée par les équations de forte inversion. Le niveau d'inversion sur la figure (II.9) est celui calculé avec le modèle EKV 3.0 car l'écart entre ce modèle et le modèle CSM est très faible ce qui permet de considérer le niveau d'inversion comme fiable.

En inversion forte, les modèles EKV2.0 et forte inversion, sont éloignés du modèle CSM. Pour $IC \geq 20$,

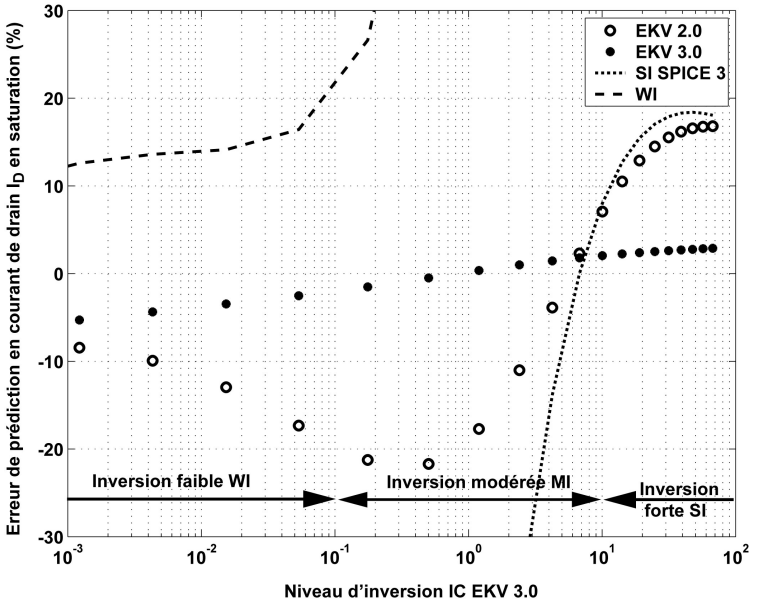

Fig. II.9 – Comparaison du courant de drain en saturation des différents noyaux avec le modèle de feuille de charge.

leur écart par rapport au modèle CSM est élevé ($\geq 15\%$) mais varie peu (Fig.II.9). La courbe d'écart entre le modèle de forte inversion et le modèle CSM montre que le modèle d'inversion forte s'éloigne du modèle EKV2.0, et donc de l'asymptote d'inversion forte, pour $IC \approx 7$ proche de la limite d'inversion

forte $IC = 10$ précédemment introduite (§ II.2.3.4). Le modèle d'inversion forte est donc utilisable en toute rigueur au dessus de $IC = 20$, en surestimant le coefficient de transconductance K_n pour compenser d'autant l'erreur constante, mais son emploi à partir $IC \geq 10$ est possible en prenant un coefficient de transconductance K_n fonction de IC. Dans la pratique les concepteurs se servent d'une table de valeurs de K_n indexée en V_{GS} ce qui permet d'inclure également l'effet de réduction de mobilité sous l'action du champ électrique vertical.
Le modèle de faible inversion s'éloigne du modèle CSM au dessus de $IC = 0.1$, limite d'inversion faible précédemment définie (§ II.2.3.4) et donc de plage d'utilisation du modèle de faible inversion. Le modèle EKV2.0 ne converge pas vers le modèle de faible inversion car celui-ci utilise une définition approximative de la tension de pincement.

L'erreur maximale du modèle EKV2.0 est de 20% en inversion modérée, tandis que l'erreur du modèle EKV3.0 est inférieure à 5% sur l'ensemble de l'inversion, ce qui montre la qualité de la modélisation de ce modèle. Néanmoins, le modèle EKV2.0 prédit mieux le courant en inversion modérée que les modèles de faible et de forte inversion. L'utilisation de ce modèle sur l'ensemble de l'inversion apporte un gain par rapport aux modèles de faible et de forte inversion.

II.3.2 Prédiction du potentiel de Grille

Les valeurs de courant de saturation obtenues au paragraphe précédent avec le modèle CSM ont été utilisées pour calculer le potentiel de grille (cf Fig.II.10). L'écart entre les modèles EKV et le modèle CSM

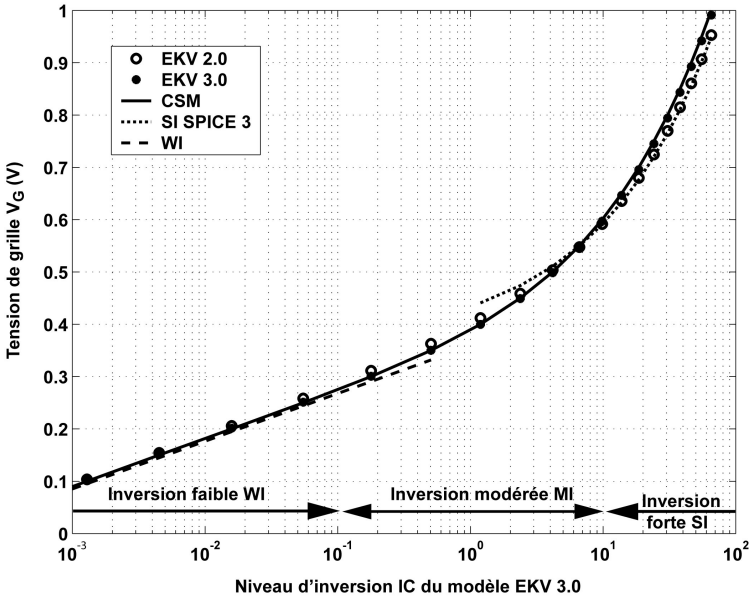

Fig. II.10 – Potentiel de Grille en saturation des différents noyaux.

est faible sur l'ensemble de l'inversion, ce qui montre qu'à courant donné les modèles prédisent correctement la tension de grille (cf Fig.II.11). La forme logarithmique des équations liant les potentiels au courant direct ou inverse normalisés explique ce faible écart. Les modèles EKV sont meilleurs que les modèles d'inversion forte et faible en inversion modérée (erreur $< 4\%$).

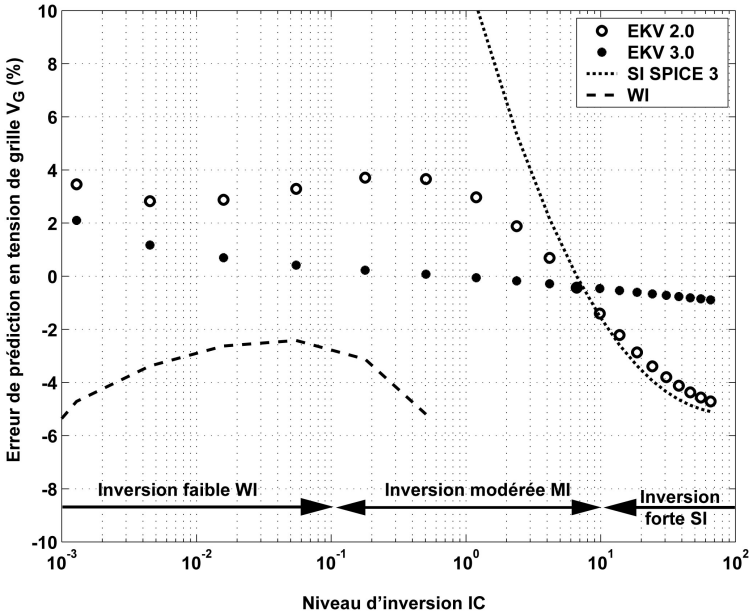

Fig. II.11 – Comparaison du potentiel de Grille en saturation des différents noyaux avec le modèle de feuille de charge.

II.3.3 Niveau d'inversion

Le modèle EKV3.0 prédit de manière fiable le comportement statique du transistor. Le niveau d'inversion qu'il prédit peut être considéré exact et servir de point de comparaison.
Ainsi, la courbe présentée (Fig.II.12) ici, montre l'écart entre le niveau d'inversion du modèle EKV2.0 et le modèle EKV3.0. L'erreur maximum en niveau d'inversion du modèle EKV2.0 est approximativement de 20%, et se situe en dessous du milieu de l'inversion modérée ($IC = 1$), ce qui est à rapprocher de l'erreur en courant puisque le niveau d'inversion est un courant de drain de saturation normalisé.

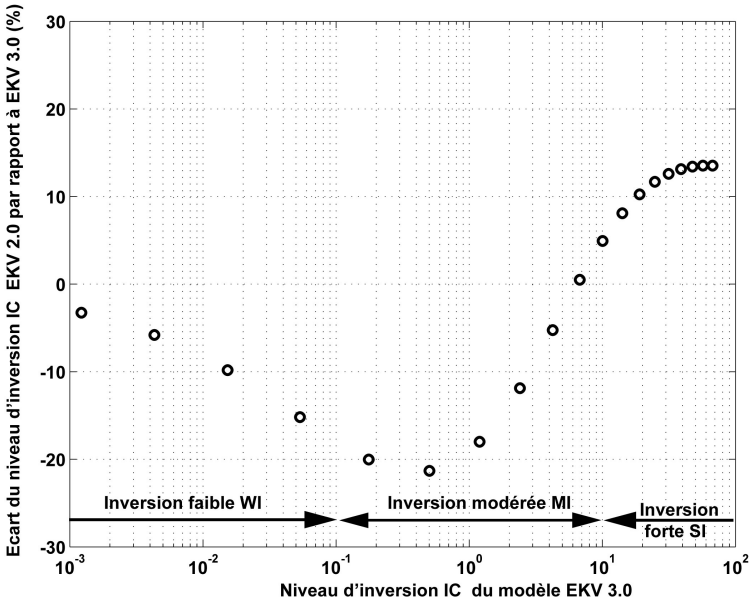

Fig. II.12 – Ecart des niveaux d'inversion des modèles EKV 2.0 et 3.0

II.3.4 Transconductance de grille

La caractéristique gm/I_D (rapport de la transconductance de grille sur le courant, en saturation) est indépendante des dimensions du transistor ((II.69) et Tab.(II.3)). Il s'agit d'une caractéristique « universelle » [34] commune à tous les transistors d'un même type (NMOS ou PMOS) issus d'une même filière de fabrication. Elle est utilisée pour le dimensionnement de circuits dynamiques tel que les amplificateurs [35].
Les courbes ont été tracées en fonction du niveau d'inversion prédit par le modèle EKV3.0. Le modèle EKV3.0 prédit correctement le ratio gm/I_D par rapport au modèle de référence CSM (Fig.II.13), et le modèle EKV2.0 s'en écarte sensiblement moins que dans le cas du courant de drain. Ici, les limites de validité

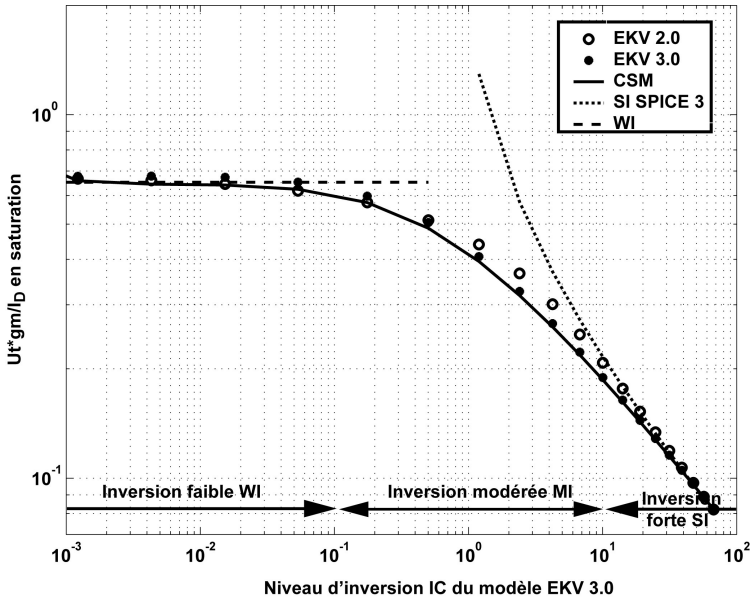

Fig. II.13 – Transconductance de grille normalisée des différents noyaux.

des modèles d'inversion forte et faible se situeraient respectivement autour de $IC = 10$ et $IC = 0.1$, ce qui correspond aux valeurs précédemment annoncées (§ II.2.3.4).
L'erreur de prédiction commise par EKV2.0 est plus faible (Fig.II.14) que pour le courant de drain ($< 15\%$), tandis que l'erreur d'EKV3.0 est toujours aussi faible ($< 5\%$).

Le modèle EKV3.0 peut être considéré comme une bonne représentation du comportement transistor, aussi bien en continu qu'en dynamique. Il peut servir de modèle de référence.
Il est à noter que l'erreur commise par le modèle EKV2.0 en inversion modérée est assez importante mais plus faible que celle commise avec les modèles d'inversion forte ou faible. Il faudra le garder à l'esprit lors de la définition de la méthodologie et du choix des équations.

II.4 Phénomènes physiques perturbant le fonctionnement idéal du transistor MOS

Le comportement idéal du transistor vient d'être décrit à l'aide de différents modèles compacts de type physique numérique ou analytique.
Cependant le dispositif réel est le siège de divers phénomènes physiques perturbant ce fonctionnement idéal, ce qui tend à fausser la prédiction du courant de drain. Il est nécessaire d'intégrer des effets du second ordre à la description du transistor pour améliorer la prédiction du courant de drain.

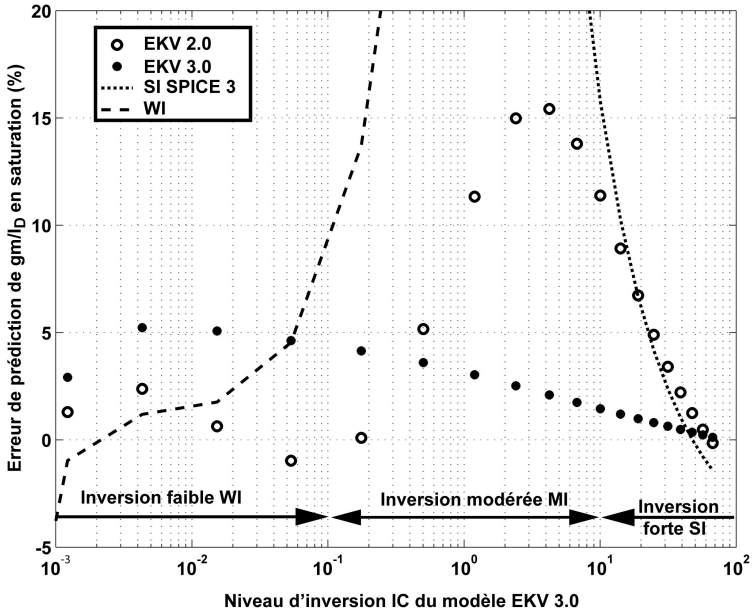

Fig. II.14 – Comparaison de la transconductance de grille normalisée en saturation des différents noyaux avec le modèle de feuille de charge

Il est inutile de modéliser l'ensemble des effets perturbateurs puisque le but recherché est de décrire un comportement cohérent avec la réalité et non de reproduire cette réalité. L'outil développé doit permettre le dimensionnement de circuits optimisés ensuite avec un simulateur électrique. Cet outil ne doit en aucun cas être confondu avec un simulateur électrique.

Les contraintes de conception sont différentes dans le monde de la conception numérique et dans celui de la conception analogique. Pour un concepteur de circuits analogiques les longueurs de transistor MOS peuvent être plus importantes qu'en conception numérique.
De plus, les paramètres de carte modèle des transistors utilisés sont garantis fiables, dans une optique de conception analogique, au dessus de $2\mu m$.
Ainsi, on suppose que les dimensions minimales des transistors seront supérieures à $2\mu m$. L'effet de la largeur de grille du transistor est supposé négligeable pour les largeurs considérées ($W \geq 2\mu m$), même si ce n'est pas vrai en toute rigueur, mais cette hypothèse a permis de simplifier l'implémentation logicielle de la méthodologie développée.
Les effets abordés sont fonction, pour certains, de la longueur de grille du transistor. Par ailleurs, la longueur des transistors étant supérieure à $2\mu m$, cela permet de négliger l'effet d'abaissement de la barrière de potentiel de drain (DIBL Drain Induced Barrier Lowering).
Les niveaux de tension considérés sont suffisamment faibles ($\leq 1V$) par rapport aux dimensions considérées ($L \geq 2\mu m$) pour négliger les effets de porteurs chauds.
En pratique, un concepteur tient compte d'un certain nombre d'effets dans les calculs de dimensionnement des transistors :

- la réduction de la mobilité sous l'effet du champ électrique vertical (tension V_G) et du champ électrique latéral (tension V_{DS}),
- l'effet de modulation de longueur du canal qui modifie la conductance de drain en saturation intervenant dans le gain intrinsèque d'un transistor ainsi que dans la dépendance en tension d'alimentation d'un circuit,
- la dépendance de la tension de seuil en longueur et en largeur.

D'autres effets, négligeables en inversion forte, interviennent en inversion faible et modérée. Ainsi, la tension de pincement est également affectée, en inversion faible et modérée, par la non-uniformité du dopage

vertical [31].
Enfin, l'évolution de la technologie conduisant à une épaisseur d'oxyde de plus en faible, des phénomènes quantiques apparaissent et modifient la tension de pincement [31]. L'ensemble de ces effets va être présenté.

II.4.1 Effets de petites dimensions sur la tension de seuil

Selon la technologie utilisée, la forte diminution de la longueur du transistor influe sur la tension de seuil V_{T0}. Une diminution de V_{T0}, correspond au contrôle d'une partie des charges du canal par la source et le drain. Il s'agit du phénomène de partage des charges (CS Charge Sharing) ou effet canal court (SCE Short Channel Effect). Dans le cas d'une augmentation de V_{T0} (Fig.II.15), il s'agit de l'effet canal court inverse (RSCE Reverse Short Channel Effect). Il s'explique par l'influence des profils de dopage longitudinaux en dessous de la grille, près de la source et du drain (LDD Lowly Doped Drain) [31], dont le rôle est de contrer la formation de porteurs chauds. Un second phénomène, appelé effet canal étroit (NCE Narrow Channel Effect), augmente la tension de seuil V_{T0} lorsque la largeur du transistor diminue de manière importante. L'effet de la largeur de grille du transistor est supposé négligeable pour les largeurs considérées ($W \geq 2\mu m$).
Pour les dimensions considérées, la tension de seuil peut varier de plus de 10%, et affecter significativement la tension de pincement [31].

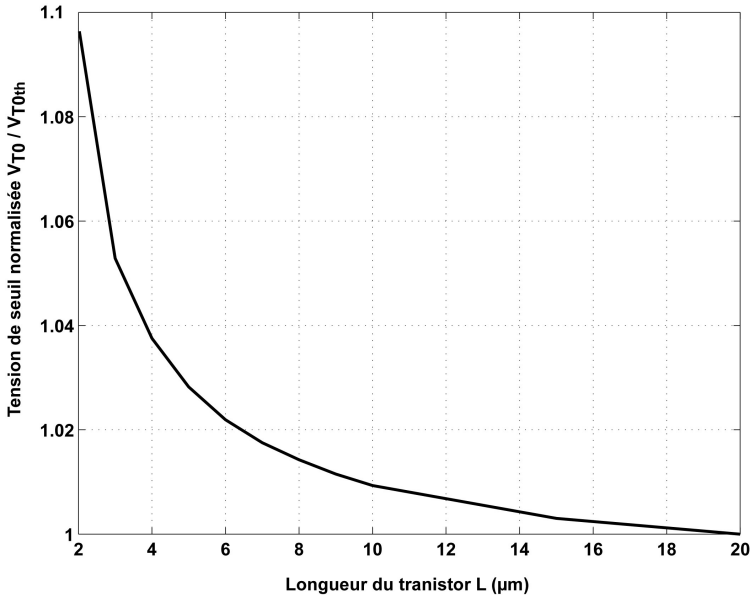

Fig. II.15 – Influence de la longueur du transistor sur la tension de seuil V_{T0}

II.4.2 Saturation de vitesse

La vitesse des porteurs de charge v est proportionnelle au champ électrique latéral $E_{\parallel}$ produit par la tension drain-source. Le coefficient de proportionnalité correspond à la mobilité des porteurs μ, fonction comme nous le verrons plus loin du champ électrique vertical $E_{\perp}$ c'est à dire de la tension grille substrat. Cependant, au-delà d'une valeur E_c de champ $E_{\parallel}$, appelé champ critique, la vitesse v sature à une valeur appelée vitesse de saturation v_{sat} (Fig.II.16). Ce phénomène, appelé *saturation de vitesse*, affecte le courant de drain, en le diminuant progressivement de la conduction à la saturation, par rapport à sa valeur idéale. La saturation du transistor résulte alors de la compétition entre trois effets, car V_{DS} augmentant :

- les porteurs libres sont fortement accélérés par le champ électrique latéral,
- moins de porteurs sont disponibles dans le canal (pincement),
- les porteurs atteignent leur vitesse limite de saturation.

De plus, la saturation du transistor intervient pour une tension de drain plus faible. Ainsi, la tension de saturation $V_{DS_{sat}}$ diminue par rapport à la valeur théorique prédite par (II.72).

La saturation de vitesse diminue la mobilité des porteurs de charge sous l'effet de $E_{\|}$. Elle dépend de la longueur du transistor. Ce phénomène affecte les transistors courts et polarisés en inversion forte où la tension de saturation est élevée. La vitesse de saturation est constante pour un type de matériau et une orientation de substrat donné, si bien que le champ critique dépend de la valeur de la mobilité selon la relation $v_{sat} = \mu_0 E_c$.

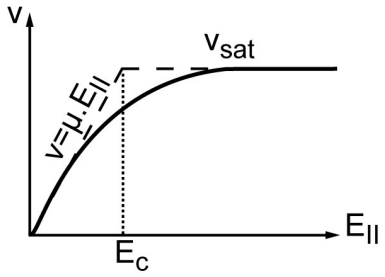

Fig. II.16 – Vitesse de dérive des porteurs de charge en fonction du champ électrique latéral

Trois modèles de saturation de vitesse, fonction des courants direct et inverse, sont proposés dans [36], mais seul le troisième modèle permet d'inclure simplement le phénomène dans les équations de courant de drain et de tension de saturation sous la forme d'un facteur multiplicatif K_{vsat} :

$$K_{vsat} = \frac{1}{1 + \frac{1}{2}\lambda_c(\sqrt{i_f} - \sqrt{i_r})} \tag{II.99}$$

avec λ_c :

$$\lambda_c = \frac{2\mu U_T}{v_{sat} L} \tag{II.100}$$

La mobilité, qui intervient dans le coefficient K_{vsat}, correspond à la mobilité de conduction très faible champ $E_{\|}$. A l'aide de ce coefficient correcteur, les équations de courant de drain et de tension de saturation sont reformulées :

$$I_D = I_S.K_{vsat}.[i_f - i_r] \tag{II.101}$$

$$V_{DS_{sat_{vsat}}} = V_{DS_{sat}} - U_T \lambda_c K_{vsat} i_f \tag{II.102}$$

II.4.3 Modulation de longueur du canal

L'effet de modulation de la longueur du canal (CLM Channel Length Modulation) intervient lorsque le transistor est saturé. Il est également appelé effet Early ou effet CLM. Il correspond au déplacement vers la source du point de pincement du canal (côté drain) sous l'influence du champ électrique latéral produit par la tension V_{DS}. Tout se base comme si la longueur du transistor était réduite linéairement sous l'influence de V_{DS}.
Ainsi, cet effet est modélisé classiquement par un coefficient de proportionnalité λ liant le potentiel de drain avec le courant de drain de saturation (II.103). L'inverse de λ est appelée tension d'Early.

$$I_D = I_{D_{sat}}[1 + \lambda(V_{DS} - V_{DS_{sat}})] \tag{II.103}$$

Le courant $I_{D_{sat}}$ correspond au courant de saturation I_D obtenu en saturation avec les équations du noyau d'un modèle décrivant le comportement idéal du transistor, sans intégration de l'effet CLM.
On constate expérimentalement que λ est proportionnel à $\frac{1}{L}$ pour un transistor PMOS et à $\frac{1}{\sqrt{L}}$ pour un transistor NMOS.
Le coefficient λ est fonction du niveau d'inversion IC [34, 37] et de la longueur de grille du transistor (Fif.II.17), ce qui donne pour un transistor NMOS : $\lambda_L(IC) = \lambda_{L_0}(IC)\sqrt{\frac{L_0}{L}}$

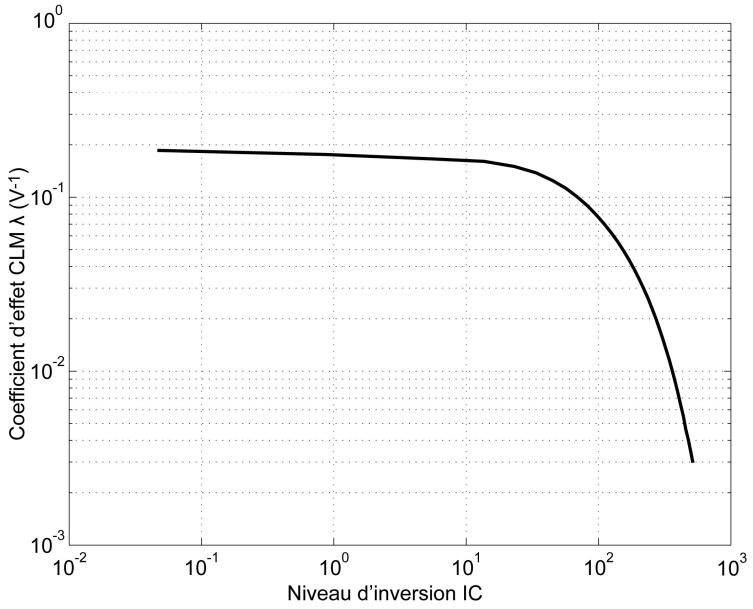

Fig. II.17 – Coefficient d'effet de modulation de longueur du canal en fonction du niveau d'inversion pour L=2μ m

Le coefficient d'effet CLM sert à exprimer la conductance de drain en saturation g_{ds} qui intervient dans le gain intrinsèque d'un transistor ainsi que dans la dépendance en tension d'alimentation d'un circuit :

$$g_{ds} = g_{md} = \lambda I_{D_{sat}} \tag{II.104}$$

II.4.4 Influence de l'épaisseur d'oxyde

La forte réduction de l'épaisseur d'oxyde induite par les lois de mise à l'échelle et la forte augmentation de densité des dispositifs CMOS entrainent l'apparition d'effets pouvant être négligés jusqu'alors. En effet, lorsque l'épaisseur de l'oxyde de grille devient très faible (de l'ordre du nanomètre), les porteurs de charge peuvent passer au travers de l'oxyde par effet tunnel. Un tel phénomène est un effet de la physique quantique, d'où le terme d'*effets quantiques*. Le courant de grille peut être non négligeable devant le courant de drain, ce qui signifie que le courant entrant dans le transistor n'est plus égal au courant sortant, modifiant ainsi le comportement du transistor.
Ces effets affectent directement la tension de pincement [31].

L'effet de polydéplétion de la grille en polysilicium est une autre conséquence de la réduction de l'épaisseur d'oxyde [8].

II.4.5 Influence de la structure technologique

Au fur et à mesure de l'évolution des technologies, la structure du transistor a été modifiée.
Près de la source et du drain, des zones moins dopées (LDD Lowly Doped Drain) ont été mises en place de

manière à contrer le phénomène de porteurs chauds susceptible de dégrader le dispositif et d'en diminuer la fiabilité. La densité de dopant dépend des coordonnées spatiales. Nous supposerons que le canal est suffisamment long (L $> 10\mu m$) pour :

- négliger l'influence des zones faiblement dopées près de la source et du drain. Leur influence sur la tension de seuil a déjà été abordée précédemment et est négligée sur l'effet CLM,
- considérer que la densité de dopant dans le canal dépend uniquement de la distance à l'interface Si/SiO_2. On parle alors de profil de dopage.

Le profil de dopage du caisson, en dessous de la grille, est loin d'être constant (Fig.II.18). Il peut être implanté près de la surface (profil de type *step*) ou plus en profondeur (profil de type *rétrograde*) pour contrer la diminution de la tension de seuil des transistors courts (effet *SCE* Short Channel Effect).

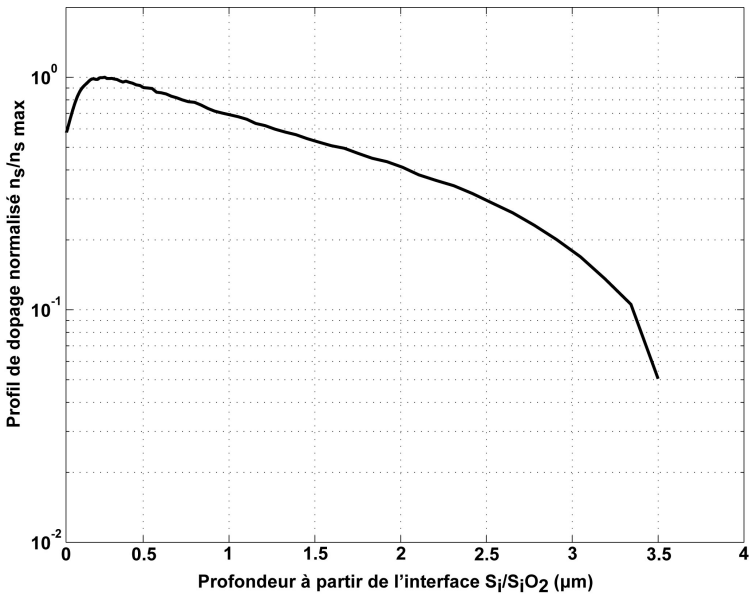

Fig. II.18 – Profil de dopage

Le profil de dopage du caisson est pris en compte au moyen du coefficient d'effet substrat γ dans lequel le dopage moyen du canal N_a est remplacée par le profil de dopage.

La dépendance en profondeur du profil de dopage est ramenée à une dépendance en tension V_G [38, 39] en normalisant cette dernière par une tension de normalisation V_i^* :

$$x(V_G) = \frac{V_G}{V_i^*} \tag{II.105}$$

La variable obtenue $x(V_G)$ correspond à une profondeur normalisée. Elle est utilisée comme variable pour définir le profil de dopage.

La tension V_i^* s'exprime en fonction de la tension de seuil [39] :

$$V_i^* = V_{T0} + V_i + \gamma_n.(\sqrt{\Psi_0 + V_i} - \sqrt{\Psi_0}) \tag{II.106}$$

avec une tension V_i qui dépend du dopage moyen N_a et de W_i la profondeur d'implantation du profil :

$$V_i = \frac{qN_aW_i^2}{2\epsilon_{si}} - \Psi_0 \tag{II.107}$$

La profondeur d'implantation peut être remplacée par la largeur de la zone de déplétion W_{zce}, prise en limite d'inversion forte, qui s'exprime $W_{zce} = \sqrt{\frac{2\Phi_F 2\epsilon_{si}}{qN_a}}$. On a donc $W_i = W_{zce}$.

Le profil de dopage normalisé $Profil(V_G)$ s'exprime alors par :
$Profil(V_G) = \frac{1}{1+\frac{1}{2}(G_p+\sqrt{G_p^2+4\epsilon^2})}$ avec $G_p = \alpha(x-1)$, $\alpha = 0.32$ et $\epsilon = 1\%$.

Un profil de dopage extrait à partir de la caractéristique gm/I_D, peut être également utilisé. La procédure d'extraction sera explicitée dans le chapitre suivant (§III). Le dopage N_a est alors dépendant de V_G et devient $N_a^*(V_G) = N_a.Profil$. On définit un nouveau coefficient d'effet substrat γ_n noté γ_n^*, dépendant de V_G :

$$\gamma_n^* = \frac{\sqrt{2q\epsilon_{si}N_a^*}}{C'_{ox}} \tag{II.108}$$

A l'aide de ce coefficient, la tension de pincement V_P est reformulée [39], mais la structure de l'expression proposée pour un dopage quelconque, est différente de l'équation initiale formulée pour un dopage constant, car l'expression de V_i^* (II.106) est fonction de V_{T0}. Il en est de même pour l'équation de V_P.
Nous proposons alors une expression de V_i^*, plus condensée que celle proposée (II.106) dans [39], en remplaçant V_i par $\Psi_{si} = V_i + \Psi_0 = \frac{q*N_a*W^2{}_i}{2\epsilon_{si}}$:

$$V_i^* = V_{FB} + \Psi_{si} + \gamma_n\sqrt{(}\Psi_{si}) \tag{II.109}$$

Cette équation est formulée en potentiel de surface, ce qui lui donne un sens physique plus prononcé, et permet de conserver la structure de l'expression (II.110) de Ψ_p ainsi que celle de V_P.
Un simple changement de notation suffit pour indiquer que le coefficient d'effet substrat dépend du potentiel de Grille, c'est à dire du profil de dopage. Le coefficient γ_n est alors remplacé par γ_n^* dans l'ensemble des expressions ((II.73) et (II.79)) :

$$\Psi_p = V_G - V_{FB} - \gamma_n^{*2}.(\sqrt{\frac{(V_G - V_{FB})}{\gamma_n^{*2}} + \frac{1}{4}} - \frac{1}{2}) \tag{II.110}$$

Cette formulation permet de prendre en compte de manière simple le profil de dopage sans modifier les équations du modèle EKV.

Le profil de dopage intervient clairement dans l'expression de V_P. Il a une influence directe sur le niveau d'inversion en inversion faible et modérée IC [31] .
Par ailleurs, la version la plus récente du modèle EKV prend en compte l'influence du profil de dopage [40] mais aucune formulation n'est officiellement proposée, si bien que nous avons choisi une modélisation plus ancienne [39].

II.4.6 Réduction de la mobilité

II.4.6.1 Influence du champ électrique vertical

La mobilité des porteurs de charge circulant dans le canal, est affectée par le champ électrique vertical $E_\perp$, produit par la tension grille-substrat V_{GB}. Il s'agit du phénomène de réduction de la mobilité sous l'effet du champ électrique vertical. Trois phénomènes physiques coexistant modifient la vitesse des porteurs traversant le canal [41]. Selon la valeur du champ électrique $E_\perp$, l'un ou l'autre des phénomènes prédominent sur les deux autres (Fig.II.19) :

- à faible champ, le phénomène de Coulomb est prépondérant. Il résulte de l'interaction coulombienne entre les porteurs de charge et les charges fixes présentes. La mobilité correspondante est la mobilité de μ_C (C pour Coulomb),
- à champ moyen, les porteurs de charge sont fortement ralentis par les vibrations du réseau cristallin (les phonons). La mobilité correspondante est notée μ_{PH} (PH pour Phonon),

– à champ élevé, les porteurs sont plaqués à l'interface $Si/Si0_2$. Leur progression est fortement gênée par la rugosité de la surface, conséquence des imperfections de fabrication. La mobilité correspondant au phénomène de rugosité de surface est notée μ_{SR} (SR pour Surface Roughness).

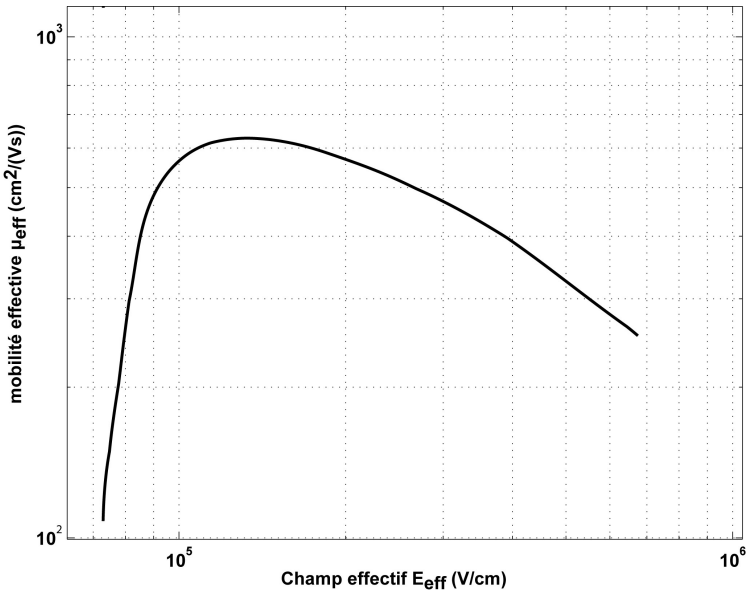

Fig. II.19 – Dépendance en champ effectif de la mobilité

D'après la règle de Mathiesen [41, 42], la mobilité effective μ_{eff} résultante est l'inverse de la somme des inverses de ces trois mobilités :

$$\mu_{eff}(x) = \frac{1}{\frac{1}{\mu_C} + \frac{1}{\mu_{PH}} + \frac{1}{\mu_{SR}}} \tag{II.111}$$

La mobilité peut être décrite comme une fonction du champ électrique effectif vertical, noté E_{eff}, dépendant des potentiels de grille, de source et de drain [24, 30, 31, 43, 44]. Le champ électrique effectif est défini dans le modèle EKV [43] par :

$$E_{eff}(x) = \frac{Q_b^{'}(x) + \eta Q_i^{'}(x)}{\epsilon_{si}} \tag{II.112}$$

où $Q_b^{'}$ et $Q_i^{'}$ sont respectivement la charge de déplétion et la charge d'inversion. η est une constante égale à $1/2$ pour un transistor NMOS et $1/3$ pour un transistor PMOS.

En conduction, lorsque que la tension drain-source est faible ($V_{DS} = 50mV$), les charges sont quasiment constantes le long du canal et peuvent être assimilées aux charges intégrales exprimées à l'aide de $\chi_{f,r}$ (II.91) :

$$Q_i^{'} = -Q_0[\frac{2}{3}.\frac{\chi_f^2 + \chi_f.\chi_r + \chi_r^2}{\chi_f + \chi_r} - \frac{1}{2}] \tag{II.113}$$

$$Q_b^{'} = -\gamma_n.C_{ox}^{'}.\sqrt{\Psi_0 + V_P} - \frac{n_q - 1}{n_q}.Q_i^{'} \tag{II.114}$$

Le champ effectif est donc constant le long du canal tout comme la mobilité. La mobilité locale peut être extraite en fonction du champ effectif :

$$\mu_{eff} = \frac{I_D}{2n_q C'_{ox} U_T^2 \frac{W}{L}(i_f - i_r)} \tag{II.115}$$

Le maximum de la mobilité en conduction correspond à la mobilité faible champ μ_0 usuellement utilisée dans les modèles.
La courbe de mobilité effective en fonction du champ effectif est dépendante du potentiel de source à faible champ effectif, où la mobilité de Coulomb domine. Ceci est illustré sur la figure (II.20).

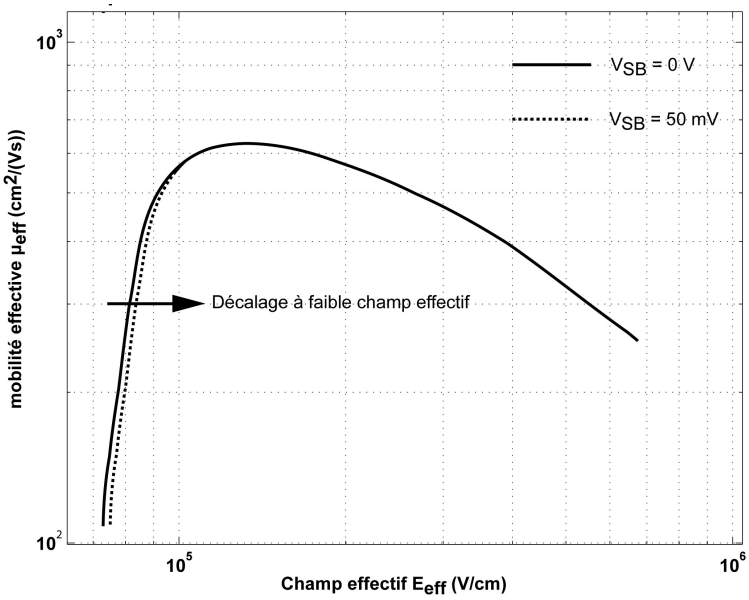

Fig. II.20 – Influence du potentiel de source à faible champ effectif sur la mobilité

Cette dépendance est prise en compte à l'aide de la mobilité de Coulomb, proportionnelle à $(1 + \xi Q'_i)^2$ [31], ce qui peut se reformuler en fonction de Q'_i et Q'_b [24, 44] :

$$X_{eff} = (1 + \frac{Q'_i}{Q'_b})^2 \tag{II.116}$$

La procédure de calcul est explicitée dans le chapitre suivant (§III.5.6.2). La courbe de mobilité est alors unique pour les faibles valeurs de X_{eff} (cf Fig.II.21).

La mobilité peut varier de plus de 20% de l'inversion faible à l'inversion forte ce qui implique que le courant spécifique I_S varie d'autant sur l'ensemble de l'inversion.

II.4.6.2 Mobilité en conduction et en saturation

Il a été vu au paragraphe précédent qu'à faible tension V_{DS}, la mobilité effective μ_{eff} est constante le long du canal et donc que la modélisation en champ électrique effectif E_{eff}, utilisée dans le modèle EKV3.0 est exploitable directement pour calculer la mobilité, en prenant les charges intégrales de déplétion et d'inversion.

Cependant lorsque la tension V_{DS} augmente, la charge d'inversion du côté du drain devient plus faible que du côté de la source. En d'autres termes, la charge d'inversion n'est plus constante le long du canal.

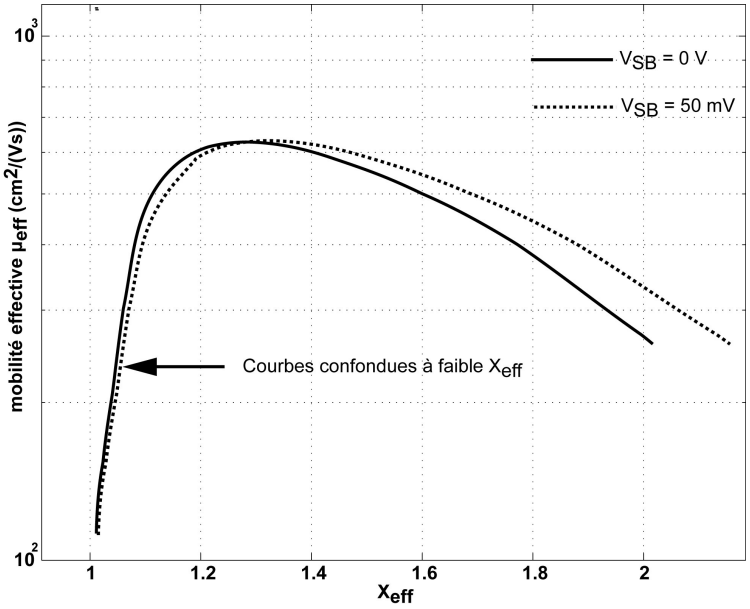

Fig. II.21 – Dépendance en X_{eff} de la mobilité

Les charges d'inversion intégrale et en un point quelconque du canal ne peuvent plus être confondues et la mobilité ne peut pas être calculée à partir de la mobilité extraite en fonction de E_{eff}, à $V_{DS} = 50mV$. Le phénomène atteint son apogée en saturation, la charge d'inversion au niveau du drain étant négligeable devant celle au niveau de la source. Pour obtenir la mobilité en saturation, il est nécessaire d'extraire celle-ci en saturation en fonction de E_{eff} à l'aide de l'équation (II.115) ou de la calculer à partir de la mobilité de conduction par intégration le long du canal [31].

II.4.7 Récapitulatif des effets du second ordre à considérer

Les principaux effets du second ordre perturbant le fonctionnement classique du transistor MOS sont présentés dans le tableau (II.4). La justification de leur prise en compte éventuelle est donnée dans le tableau (II.4), pour chaque effet.

En considérant, les niveaux de courant envisagés (au minimum de l'ordre du nano-Ampère), on peut négliger certain effets et s'abstenir de les modéliser. Le courant de grille mesuré expérimentalement en technologie $0.15\mu m$ ne dépasse pas la dizaine de pico-Ampères, ce qui permet de négliger les effets impactant le courant de grille comme les effets quantiques (§ II.4.4). De même, la mesure du courant de substrat a permis de négliger les effets entrainant des fuites par le substrat, puisque là aussi le courant ne dépasse pas la dizaine de pico-Ampères.
Par ailleurs, en conception traditionnelle, les concepteurs prennent en compte les effets du second ordre suivants :

– l'effet de réduction de la mobilité sous l'action du champ électrique vertical a impact important sur mobilité et donc sur le facteur de transconductance K_{n0} (ou β_0) des modèles SPICE utilisés par les concepteurs, ainsi que sur le courant de normalisation I_S, des modèles EKV (§ II.4.6). Les concepteurs intègrent cet effet dans leurs calculs de dimensionnement au moyen d'une table de valeurs de K_{n0}, indexée en tension grille/source V_{GS}, directement proportionnelle, en forte inversion, au champ électrique vertical effectif,

– l'effet CLM intervient directement dans la définition de la conductance de drain en saturation ainsi que dans la dépendance en tension d'alimentation (§ II.4.3). Il est pris en compte en conception classique à l'aide d'une table de valeurs de coefficient d'effet CLM λ, indexée en tension grille/source V_{GS}. Ces valeurs sont extraites pour une faible longueur de grille afin d'avoir une résolution maximale puisque λ est considéré inversement proportionnel à L par les concepteurs

– la dépendance de la tension de seuil V_{T0} avec les dimensions (effet RSCE et SCE) (§ II.4.1) est prise en compte avec des tables de valeurs de V_{T0} indexées en largeur W et en longueur L de grille .

Ainsi, ces trois effets ont déjà un impact suffisant en conception classique pour être pris en compte dans les calculs de dimensionnement. Leur importance étant aussi grande en inversion faible et modérée, ils seront également pris en compte.

De plus, le profil de dopage a une influence directe sur le niveau d'inversion en inversion faible et modérée IC [31]. En effet, à de faibles tensions de grille la zone de charge d'espace est peu étendue en profondeur, si bien que les fluctuations du dopage en dessous de l'oxyde de grille, résultant de l'opération d'implantation, impliquent une variation importante de la valeur moyenne de la charge de déplétion. En revanche, pour des tensions de grille élevées, les fluctuations sont moyennées sur une profondeur plus importante et la charge d'inversion masque l'influence du potentiel de grille à la charge de déplétion. Ainsi, cet effet doit être pris en compte en inversion faible et modérée. Le profil de dopage est intégré à la tension de pincement V_P (§ II.4.5), paramètre important du modèle EKV, retenu comme modèle de conception.

Enfin, la saturation de vitesse intervient en forte inversion pour des longueurs de grille inférieures à $5\mu m$. Elle a un effet non négligeable sur le courant de drain et la tension de saturation drain source $V_{DS_{sat}}$ (§ II.4.2). Il est important d'en tenir compte pour des transistors, de faible longueur de grille, polarisés en forte inversion.

	Prise en compte	**Justification**
Réduction de la mobilité	Oui	Impacte I_S et donc I_D > 20 %
CLM	Oui	Impacte g_D et dépendance en V_{dd}
RSCE et SCE	Oui	V_{T0} varie de plus de 10 % pour $2\mu m < L < 5\mu m$
Profil de dopage	Oui	Impacte V_P en WI et MI
Saturation de vitesse	Oui en SI	Impacte I_D et $V_{DS_{sat}}$
Effets quantiques	Non	$<< I_{D_{min}}$
Fuite de substrat	Non	$<< I_{D_{min}}$

Tab. II.4 – Effets du second ordre et justification de leur prise en compte éventuelle

Chapitre III

METHODOLOGIE DE CONCEPTION ANALOGIQUE NANOWATT

III.1 Introduction

L'objectif de ce travail était d'élaborer une méthode de conception de circuits analogiques en technologie CMOS fonctionnant à faible tension d'alimentation (V_{dd}<1V) et consommant peu (10-100nA).
Le préalable à la définition d'une nouvelle méthodologie de conception est la description de la problématique de conception de circuits analogiques et l'analyse des méthodologies existantes. Cette analyse doit être effectuée au regard du cahier des charges de conception nanowatt découlant des contraintes industrielles et des exigences du marché. Elle permet d'identifier les besoins du concepteur et ses habitudes de procéder dont il faudra s'inspirer pour conserver, dans la mesure du possible, une démarche de forme conventionnelle et ainsi éviter de rebuter le concepteur.
L'utilisation d'une modélisation simple du transistor, intégrant les principaux effets physiques perturbateurs, pour le dimensionnement des circuits est habituelle en conception. Partant de ce constat, nous avons défini, au chapitre d'introduction, les propriétés que devait posséder la modélisation pour répondre à la problématique posée.
Le chapitre précédent, consacré aux modèles de transistor MOS a permis d'identifier une modélisation, continue sur l'inversion, compatible avec les contraintes de la conception de circuits, qui est utilisée dans la méthodologie de conception nanowatt élaborée. Cette modélisation intègre les principaux effets physiques perturbateurs indispensables pour prédire correctement le comportement du transistor et assurer la prédictivité de la méthodologie.

Ainsi, une première partie de ce chapitre décrit les différents aspects de la conception de circuits analogiques et les illustre dans le cadre de la démarche de conception classique. Elle met d'ailleurs en évidence les limites de la méthodologie de conception traditionnelle pour répondre au cahier des charges de la conception nanowatt, établi au chapitre d'introduction.
Puis, les méthodes de conception avancées seront présentées, ainsi que leurs limitations vis à vis du cahier des charges et des besoins qui en découlent. Ainsi, l'analyse de ces méthodes permet de dégager les concepts qui les sous-tendent, source d'inspiration pour la définition d'une méthodologie de conception compatible avec les exigences du cahier des charges. Les principes de la méthodologie de conception nanowatt développée et les procédures associées seront alors explicités dans la dernière partie de ce chapitre.

III.2 Conception classique

La présentation de la démarche de conception classique sert à introduire les différents aspects de la conception de circuits autant qu'à mettre en évidence les faiblesses de l'approche traditionnelle.
La problématique de conception de circuits analogiques suscite des besoins, comblés par la mise en place de différents moyens mis à disposition du concepteur.
Les besoins du concepteur, communs à toute démarche de conception, vont être illustrés dans le cadre de la démarche de conception classique. Ces besoins découlent du rôle du concepteur et des contraintes variées qu'il doit respecter.

III.2.1 Besoins du concepteur

III.2.1.1 Rôle du concepteur

Le rôle du concepteur est de choisir une architecture et d'en dimensionner les transistors en réponse aux spécifications imposées par le cahier des charges.

Les inconnues d'un circuit à dimensionner sont les dimensions W et L des transistors ainsi que les valeurs de polarisation si le circuit est polarisé par une référence externe au circuit (courants ou tension de polarisation), tel qu'un amplificateur. Dans le cas contraire le circuit est dit autopolarisé.

III.2.1.2 Spécifications en conception analogique

En conception analogique, les spécifications rencontrées par le concepteur sont variées et nombreuses. Elles font intervenir des notions issues de différents domaines, de la théorie des circuits au traitement du signal [35]. L'essentiel de ces notions concernent les structures d'amplification.
Les performances statiques rencontrées sont :

- la plage de mode commun d'entrée (ICMR pour « Input Common Mode Range » dans la littérature anglaise) donne la plage de variation des tensions d'entrée en mode commun,
- la tension de décalage V_{offset} explicite le déséquilibre entre les deux entrées d'un amplificateur différentiel,
- la puissance consommée P_{diss}.

Les performances dynamiques se rangent en performances petit signal et en performances large signal comme la vitesse de basculement (SR pour « Slew Rate ») qui correspond à la vitesse maximale d'un circuit lors du basculement de l'entrée d'un niveau de tension d'alimentation à l'autre. Les performances petit signal les plus souvent rencontrées sont :

- le gain en tension basse fréquence A_{V0},
- la fréquence de transition f_t est la fréquence de coupure de la fonction de transfert en courant du transistor (courant de sortie sur courant d'entrée). Cette notion est significative en Radio-Fréquence (RF),
- la fréquence de coupure f_c,
- le produit gain bande GBW (« Gain Band Width » dans la littérature anglaise),
- le taux de réjection de mode commun CMRR (« Common Mode Rejection Ratio » dans la littérature anglaise) quantifie la sensibilité d'un circuit aux variations identiques de ses entrées,
- le taux de réjection de la tension d'alimentation PSRR (« Power Supply Rejection Ratio » dans la littérature anglaise) qui caractérise la dépendance en tension d'alimentation des circuits. Cette notion est utilisée dans le chapitre suivant pour étudier le comportement des circuits en attaque sur la tension d'alimentation,
- la marge de phase $M\Phi$ quantifie la stabilité d'un circuit,

– le bruit correspond au bruit généré par le circuit,
– le taux de distorsion harmonique THD.

Afin de dimensionner la solution initiale, le concepteur doit disposer d'un modèle de transistor ainsi que d'une description des phénomènes physiques perturbateurs et des déviations, gages d'une solution optimisée.

III.2.1.3 Modélisation du transistor

La démarche classique de conception de circuits analogiques consiste à dimensionner les transistors d'un circuit à partir des spécifications du cahier des charges et d'équations décrivant le comportement du circuit, puis d'optimiser la solution calculée à l'aide d'un simulateur électrique (Spectre, Eldo...). Ainsi, il s'agit pour le concepteur d'établir des relations entre les performances du circuit et les paramètres électriques du transistor.
Pour cela, le concepteur dispose de schémas électriques large signal et petit signal du transistor (Fig. II.7) associés à l'ensemble des paramètres électrique du transistor. A partir de ces schémas, le concepteur établit ceux du circuit complet et en déduit les relations entre les performances du circuit et les paramètres électriques du transistor. Il lui reste à expliciter les paramètres électriques du transistor dans ces relations.
Ainsi, pour dimensionner un circuit, le concepteur a besoin d'une modélisation décrivant le fonctionnement du transistor à l'aide d'équations liant les paramètres électriques statiques (courant de drain, tensions) et petit signal du transistor (conductance de drain, transconductances, capacités) à ses paramètres physiques, dépendant de la technologie utilisée.

Les équations du circuit sont établies à la main. Aussi le modèle de transistor doit posséder une partie des propriétés définies dans l'introduction du chapitre précédent :
– les équations du noyau sont en nombre raisonnable,
– les équations du noyau sont simples et permettent d'établir les équations des circuits,
– les paramètres sont peu nombreux et explicitement liés à la physique du transistor MOS.

En conception classique, le concepteur utilise en général les équations d'inversion forte des modèles SPICE (§ II.2.2.1), alors que pour des applications faible consommation, il se sert des équations de faible inversion (§II.2.2.2). Le modèle EKV permet au concepteur d'utiliser un formalisme commun pour les modélisations des régimes d'inversion faible et forte [33, 45–47].

La modélisation du transistor est à compléter par la description des phénomènes physiques perturbant le comportement idéal du transistor, à savoir :
– la réduction de la mobilité sous l'action du champ électrique vertical,
– l'effet CLM définissant la conductance de drain en saturation,
– l'effet de petites dimensions sur la tension de seuil,

et par les déviations liées au bruit, à la température ou au procédé de fabrication, dégradant la prédiction de la modélisation tel que :
– le bruit généré par le transistor,
– les variations de la température,
– le désappariement (« mismatch » dans la littérature anglaise),
– les variations du procédé de fabrication (« process » dans la littérature anglaise).

III.2.1.4 Phénomènes physiques perturbateurs

Le comportement idéal du transistor est perturbé par des phénomènes physiques considérés comme étant du second ordre dans les modélisations simplifiées. Cependant leur impact sur la prédiction du courant drain, par exemple, est loin d'être négligeable. Ainsi, le concepteur en tient compte et complète la modéli-

sation du transistor, en utilisant des tables de coefficients indexées en tension et en dimensions.

En conception traditionnelle, le concepteur prend en compte les effets du second ordre suivants [35] :
– l'effet de réduction de la mobilité sous l'action du champ électrique vertical impacte fortement la mobilité et donc le facteur de transconductance K_{n0} (ou β_0) des modèles SPICE utilisés par le concepteur (§ II.4.6). Le concepteur intègre cet effet dans ses calculs de dimensionnement au moyen d'une table de valeurs de K_{n0}, indexée en tension grille/source V_{GS}, directement proportionnelle, en forte inversion, au champ électrique vertical effectif,

– l'effet de modulation de la longueur du canal, noté CLM, intervient directement dans la définition de la conductance de drain en saturation ainsi que dans la dépendance en tension d'alimentation (§ II.4.3). Il est pris en compte en conception classique à l'aide d'une table de valeurs de coefficient d'effet CLM λ, indexée en tension grille/source V_{GS}. Ces valeurs sont extraites pour une faible longueur de grille afin d'avoir une résolution maximale puisque λ est supposé inversement proportionnel à L,

– la dépendance de la tension de seuil V_{T0} avec les dimensions (effet RSCE et SCE) (§ II.4.1) est prise en compte avec des tables de valeurs de V_{T0} indexées en largeur W et en longueur L de grille .

III.2.1.5 Déviations

Le comportement du transistor est affecté par le changement des paramètres technologiques sous l'effet des variations du procédé de fabrication (« process »), du désappariement (« mismatch ») et de la température. Il est également sensible au bruit qu'il génère.
Ces variations statiques (« mismatch », variations « process », température) et dynamiques (bruit) des transistors induisent des déviations à l'échelle d'un circuit complet, aussi le concepteur doit les évaluer.

III.2.1.5.a Influence de la température

Les paramètres physiques du transistor influencés par la température sont la tension de seuil V_{T0} et le facteur de transconductance K_{n0} via la mobilité μ_0 :
– la tension de seuil suit une loi en température du type

$$V_{T0}(T) = V_{T0}(T_0) - a_{V_{T0}}(T - T_0) \tag{III.1}$$

avec $a_{V_{T0}}$ le coefficient de dépendance en température, supposé positif et T_0 une température quelconque, en général prise égale à la température ambiante de 298K, soit 25˚C,
– la température intervient dans le facteur de transconductance au niveau de la mobilité μ_n comme

$$\mu_n(T) = \mu_n(T_0).\left(\frac{T_0}{T}\right)^k \tag{III.2}$$

avec k le coefficient de température de la mobilité tel que $0 < k < 2$ [48].

Pour étudier la dépendance en température d'un circuit, le concepteur emploie la méthode des petites variations ou méthode variationnelle, en considérant que les variations en température sont assez faibles. Ainsi, il obtient les relations liant les déviations des paramètres du circuit (courant de drain, gain...) à la variation de température, par dérivation en température des équations statiques du circuit.

Les variations « process » et le « mismatch » sont deux phénomènes différents bien que tout deux liés à la fabrication du transistor.

III.2.1.5.b Influence du procédé de fabrication : les variations « process »

Pour commencer, les variations « process » correspondent à une variation en moyenne des paramètres physiques du transistor comme l'épaisseur d'oxyde, le niveau de dopage et les défauts à l'interface Si/SiO2. Elles impactent la tension de seuil V_{T0} et le facteur de transconductance $K_{n0} = \beta_0$ sous la forme de variations identiques pour l'ensemble des transistors d'un type donné d'une même plaque, d'un même lot.
Pour un transistor donné, elles prennent une valeur parmi un continuum de valeurs.
En toute rigueur, les variations « process » ne sont pas suffisamment faibles pour utiliser la méthode des petites variations. Cependant, son application donne des indications sur les tendances locales, et permet d'établir des critères de minimisation. A notre connaissance, la littérature est assez pauvre sur l'étude générale de l'impact des variations « process » sur les circuits.
Pour étudier leur influence, le concepteur considère que la variation maximale est assez faible pour utiliser la méthode des petites variations. Il dérive les équations statiques du circuit par rapport à la tension de seuil et au facteur de transconductance.

III.2.1.5.c Influence du procédé de fabrication : le « mismatch »

Le « mismatch » concerne deux transistors de mêmes dimensions, d'un même circuit, et ayant, en théorie, un comportement électrique identique. En réalité, la fabrication induit des variations locales du dopage et de l'épaisseur d'oxyde, non nulles en moyenne, bien que nulles en moyenne à grande échelle. Ainsi, deux transistors de dimensions identiques ont des valeurs de tension de seuil et de facteur de transconductance légèrement différentes, ce qui occasionne une déviation du courant statique et donc des paramètres qui en découlent. Les variations sont assez faibles pour recourir à la méthode des petites variations.
Les variations de « mismatch » suivent, pour un transistor donné, une distribution de valeurs dont la dispersion est inversement proportionnelle à la racine carrée de la surface du transistor (produit $W.L$) :

– le « mismatch » en tension de seuil est défini, en mV, par

$$\sigma_{V_{T0}} = \frac{A_{V_{T0}}}{\sqrt{WL}} \tag{III.3}$$

– le « mismatch » en facteur de transconductance s'exprime, en $\%$, comme :

$$\frac{\sigma_{K_{n0}}}{K_{n0}} = \frac{A_{K_{n0}}}{\sqrt{WL}} \tag{III.4}$$

– le « mismatch » en courant est alors exprimé, en $\%$, comme une fonction des « mismatch » en tension de seuil et en facteur de transconductance :

$$\frac{\sigma_{I_D}}{I_D} = \sqrt{(\frac{\sigma_{K_{n0}}}{K_{n0}})^2 + \frac{2.K_{n0}\frac{W}{L}}{\eta_s.I_D}\sigma^2_{V_{T0}}} \tag{III.5}$$

– réciproquement, le « mismatch » en tension de grille s'exprime, en mV, comme une fonction des « mismatch » en tension de seuil et en facteur de transconductance :

$$\sigma_{V_G} = \sqrt{\sigma^2_{V_{T0}} + (\frac{\sigma_{K_{n0}}}{K_{n0}})^2 + \frac{\eta_s.I_D}{2.K_{n0}\frac{W}{L}}(\frac{\sigma_{K_{n0}}}{K_{n0}})^2} \tag{III.6}$$

III.2.1.5.d Phénomène de bruit

Par ailleurs, les grandeurs en sortie des circuits sont en général affectées par le bruit, en particulier le bruit généré par les composants des circuits. Ainsi, le bruit, au sein d'un transistor, est décomposé en un bruit thermique et un bruit de Flicker [36, 49, 50] décrits sous la forme suivante :

– le flux des porteurs de charges à travers une barrière de potentiel fluctue de façon aléatoire en raison des collisions de ces porteurs avec le réseau cristallin du semi-conducteur. Par conséquent le courant fluctue et ses variations sont modélisées sous la forme d'une source de courant. Ces fluctuations ou bruit sont appelées bruit de grenaille (« shot noise » dans la littérature anglaise). Si la relation d'Einstein, liant constante de diffusion et mobilité des porteurs, est supposée valide, le bruit de grenaille est assimilé au bruit thermique.
Le bruit thermique est alors représenté par une source de courant équivalente δI_D, en parallèle avec la source de courant du schéma petit signal, de densité spectrale de puissance (PSD pour « Power Spectral Density » dans la littérature anglaise) sur une bande passante en fréquence Δf :

$$S_{I_{th}} = \frac{\overline{\delta I_D^2}}{\Delta f} = 2\eta_s k_B T \tag{III.7}$$

ou par une source de tension équivalente ramenée à la grille en divisant par le carré de la transconductance g_m, de densité spectrale de puissance

$$S_{V_{th}} = \frac{S_{I_{th}}}{g_m^2} = \frac{2\eta_s k_B T}{g_m^2} \tag{III.8}$$

– l'origine du bruit de Flicker est controversé, mais il est communément admis qu'il provient du piégeage/dépiégeage de charges au niveau des défauts de l'interface Si/Si02. Le bruit de Flicker est modélisé par une source de tension équivalente, ramenée à la grille, de densité spectrale de puissance à une fréquence f :

$$S_{V_{Flicker}} = 4k_B T.\frac{K_F}{W.L.f} \tag{III.9}$$

Le bruit de Fliker est inversement proportionnel à la fréquence (en $1/f$), aussi sa densité spectrale de puissance est plus élevée à faible fréquence et domine la densité spectrale de puissance du bruit thermique.

A partir de ces différents moyens, mis à disposition du concepteur, celui-ci peut dimensionner un circuit dans le cadre de la démarche de conception standard, explicitée en détails dans ce qui suit. Cependant, les propriétés de la démarche de conception standard montreront ses limitations la rendant incapable de répondre au cahier des charges de la méthodologie de conception nanowatt.

III.2.2 Démarche de conception et limitations

La démarche classique de conception de circuits analogique consiste à dimensionner les transistors du circuit choisi à l'étape de faisabilité, à partir des spécifications du cahier des charges et d'équations décrivant le comportement du circuit, puis d'optimiser la solution à l'aide d'un simulateur électrique (Spectre, Eldo...) par améliorations successives (Fig. (III.1)).

Il est à remarquer qu'une fois le schéma électrique (« schematic » dans la littérature anglaise) validé, le circuit est dessiné lors de l'étape de dessin des masques (ou « layout » dans la littérature anglaise), puis à nouveau testé par extraction du schéma électrique équivalent, à partir du circuit dessiné. Le schéma électrique extrait est complété des résistances et capacités parasites, par rapport au schéma électrique initial,

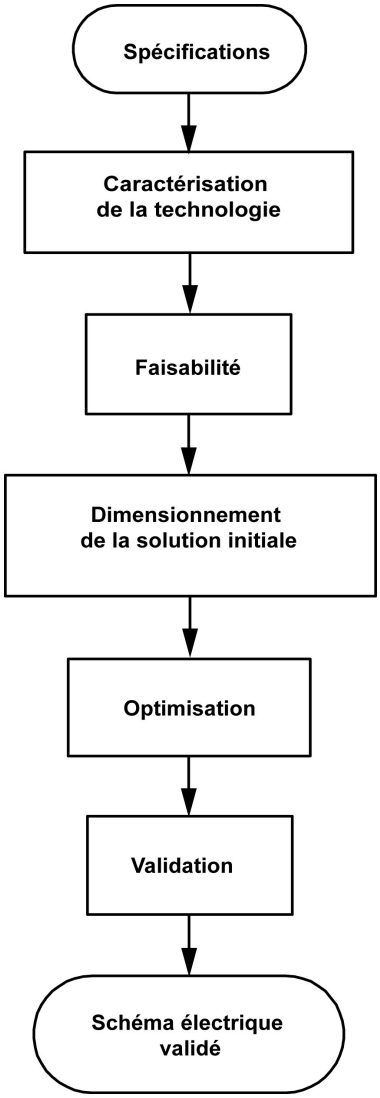

Fig. III.1 – Démarche générale de conception

afin de valider le comportement du circuit dessiné au regard du cahier des charges du circuit. En cas de déviations significatives, le schéma électrique du circuit est modifié par ajout de capacités de compensation par exemple.

Avant de commencer l'étape de simulation, le concepteur procède au dimensionnement manuel d'une solution servant de base de travail, appelée « solution initiale ». Pour dimensionner la solution initiale, il dispose de moyens de modéliser le comportement du circuit à partir de celui du transistor :

- les équations décrivant le comportement du circuit, appelées équations de conception ou encore équations comportementales, qui sont issues de l'analyse symbolique. L'analyse symbolique consiste à établir les relations entre les spécifications du cahier des charges et les paramètres électriques du transistor (transconductances, conductance et capacités d'une part et courant statique d'autre part), à partir des schémas petit et large signal (DC/AC) du circuit, obtenus après partition de l'architecture en blocs élémentaires
- un modèle de transistor décrivant simplement le fonctionnement du transistor à l'aide d'équations liant les paramètres électriques statiques (courant de drain, tensions) et petits signaux du transistor (conductance de drain et transconductances) à ses paramètres physiques, dépendant de la technologie

utilisée. Le concepteur dispose des modèles SPICE pour la forte inversion et du modèle de faible inversion.

Dans les équations de conception, les paramètres électriques sont explicités avec le modèle de transistor choisi, en introduisant les dimensions des transistors, les courants de polarisation et les paramètres technologiques.

Le concepteur obtient alors le système d'équations liant les spécifications du cahier des charges aux inconnues à calculer, à savoir les dimensions des transistors et les polarisations (courant ou tension). Une solution est déterminée (la solution initiale) en résolvant ce système par l'établissement d'un plan de conception. Au besoin, le concepteur simplifie le système en fixant des degrés de liberté et en choisissant des valeurs arbitraires pour certaines des inconnues. Il calcule alors les performances et réitère, si nécessaire, pour respecter les spécifications du cahier des charges. La procédure de conception de la solution initiale est présentée sur la figure (III.2).

Le concepteur simule la solution obtenue et modifie alors itérativement les dimensions et polarisations du circuit, pour respecter le cahier des charges, sans garantie de convergence vers une solution acceptable, car l'exploration de l'espace de conception n'est pas maitrisée avec le simulateur. En outre, dans la pratique, le concepteur s'accorde une marge de sécurité importante sur les performances pour garantir une solution fonctionnelle ce qui va à l'encontre du principe d'optimisation car il risque de surdimensionner le circuit en termes de surface et de consommation.

Dans la littérature, la procédure de dimensionnement qui vient d'être décrite est explicitée pour des architectures particulières. Dans le cas des références de courant statiques autopolarisées, telle que la référence de courant Oguey, le système d'équations est simplifié sous des conditions d'inversion particulières, afin d'obtenir une formulation explicite du courant de référence en fonction des dimensions des transistors et des paramètres technologiques (§ IV.3.3). Par ailleurs, parmi les méthodes de conception d'amplificateurs, les plus complètes en raison de l'importance des structures d'amplification en conception analogique, nous pouvons citer celles proposées par Allen et Holdberg dans [50].

A titre d'exemple nous illustrons la procédure de conception classique via un amplificateur « source commune » (Fig. III.3). Cet exemple sera repris pour expliciter les méthodes de conception avancées, présentées dans la section suivante lorsque cela s'y prêtera.

Cet amplificateur est constitué d'un transistor polarisé par une source de courant I_D et chargé par une capacité C_l, connectée au drain. Son substrat et sa source sont reliés à la masse du circuit. L'entrée de l'amplificateur est la grille. Le schéma petit signal de l'amplificateur « source commune » (Fig.III.4) est obtenu à partir de celui du transistor élémentaire (Fig.II.7) en rajoutant la capacité de charge et en fusionnant la source et le substrat, ce qui permet de supprimer la source de courant commandée par la tension source/substrat v_{sb}.

Pour cet amplificateur, les principales spécifications ou performances sont exprimées en fonction des paramètres du transistor pour obtenir les équations de conception :

– le gain en basse fréquence :

$$A_{V0} = \frac{g_m}{g_{ds}} = g_m.R_{OUT} \tag{III.10}$$

– la fréquence de transition

$$f_t = \frac{g_m}{2\pi C_{in}} \tag{III.11}$$

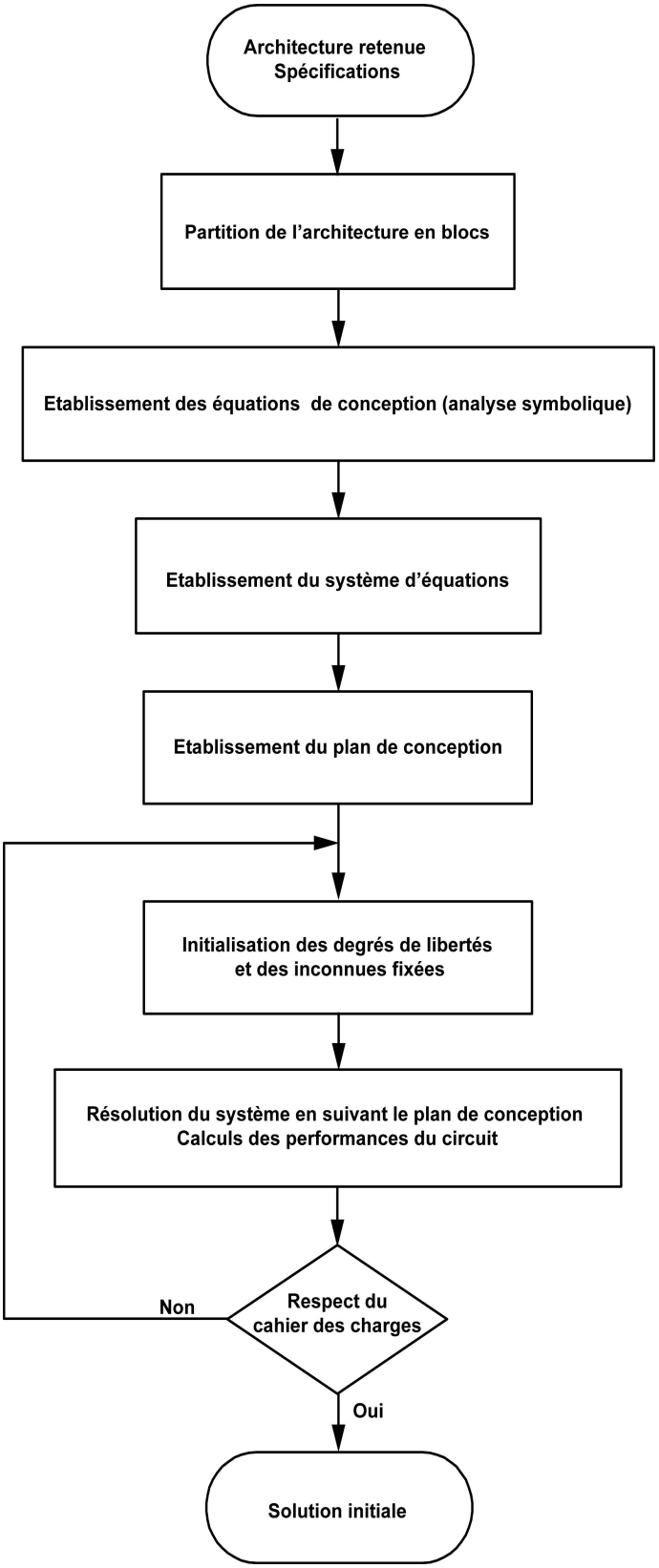

Fig. III.2 – Procédure de conception de la solution initiale

définie à l'aide de la capacité d'entrée :

$$C_{in} = C_{gb} + C_{gs} \tag{III.12}$$

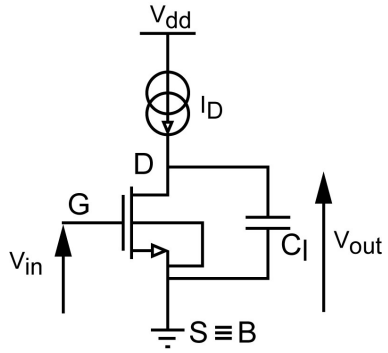

Fig. III.3 – Amplificateur source commune

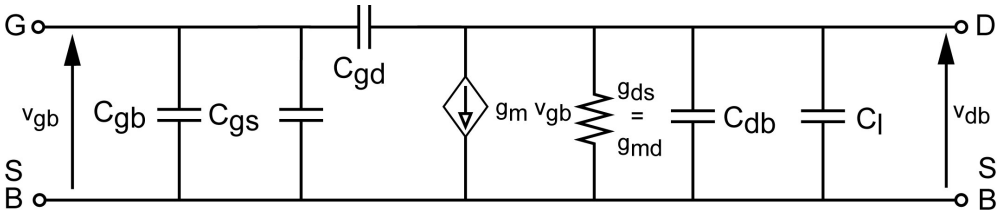

Fig. III.4 – Schéma petit signal de l'amplificateur source commune

– le produit gain bande :

$$GBW = A_{V0}.f_c = \frac{g_m}{2\pi C_{out}} \tag{III.13}$$

défini avec la capacité de sortie :

$$C_{out} = C_{gd} + C_{db} + C_l \approx C_l \tag{III.14}$$

et la capacité de charge C_l,

– la fréquence de coupure définie avec la capacité et la conductance de sortie :

$$f_c = \frac{g_{ds}}{2\pi C_{out}} \tag{III.15}$$

– le Slew-Rate :

$$SR = \frac{I_D}{C_{out}} \tag{III.16}$$

Les paramètres électriques du transistor sont explicités en forte inversion à l'aide du modèle SPICE 3 (§ II.2.2.1) pour obtenir le système d'équations décrivant le circuit :

– la transconductance de grille

$$g_m = \sqrt{\frac{2.\mu_n.C'_{ox}.\frac{W}{L}.I_D}{\eta_s}} = \sqrt{\frac{2.K_{n0}.\frac{W}{L}.I_D}{\eta_s}} \tag{III.17}$$

– la conductance de drain exprimée avec la tension d'Early par unité de longueur V_{ea}

$$g_{ds} = \frac{I_D}{V_{ea}.L} \tag{III.18}$$

– l'aspect ratio

$$\frac{W}{L} = \frac{\eta_s.(2.\pi.GBW.C_l)^2}{2.K_{n0}.I_D} \tag{III.19}$$

A partir de ces équations, un plan de conception est établi (Fig.III.5), adapté à partir du plan de conception de l'OTA proposé par Allen et Holdberg dans [50]. Le concepteur choisit une valeur arbitraire du courant

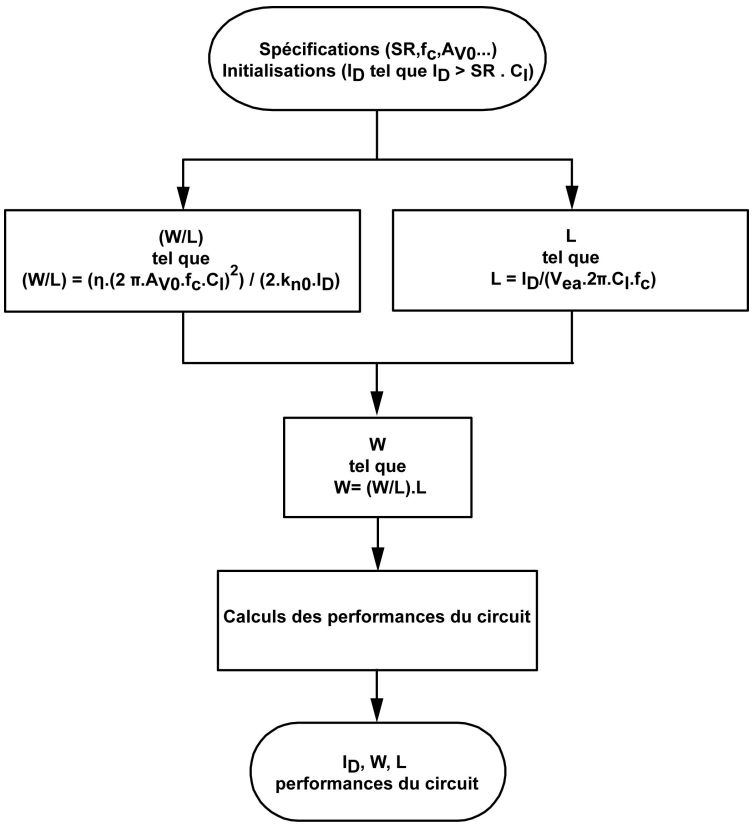

Fig. III.5 – Plan de conception classique de l'amplificateur source commune

de polarisation I_D supérieure ou égale à la valeur limite respectant la spécification de Slew-Rate, calculée avec la capacité de sortie $C_{out} \approx C_l$. Puis, il déduit la longueur de transistor L correspondant au courant choisi, à partir de la spécification de fréquence de coupure f_c et de l'expression de la conductance de sortie g_{ds}. Enfin, il obtient la largeur du transistor W, à partir de la spécification de gain basse fréquence A_{V0} et de l'expression de la transconductance de grille g_m, en connaissant g_{ds}, I_D et L.

A partir de ces dimensions et de ce courant de polarisation, le concepteur commence la phase de simulation et le processus d'itération sur les dimensions et le courant de polarisation du transistor, jusqu'à respect du cahier des charges. La durée de la procédure de conception est mal contrôlée car le courant et la largeur du transistor sont des points d'entrée arbitraires ne garantissant ni la convergence du processus ni l'optimalité de la solution finale quand elle existe.

Des méthodologies essaient de palier aux défaillances de la conception traditionnelle en se basant sur des logiciels d'optimisation effectuant des simulations électriques multiples jusqu'à la convergence vers les spécifications, écartant ainsi toute approche physique du problème [35]. Ces méthodologies ne garantissent pas l'unicité et l'optimalité de la solution dimensionnée par le concepteur, quand elle existe. La maitrise de

la durée de conception n'est pas non plus assurée. En outre, la précision des modèles n'est pas avérée, en particulier en inversion modérée, comme c'est le cas avec BSIM3v3, standard actuel de l'industrie [34].

En résumé, la méthodologie de conception traditionnelle est basée sur une compréhension intuitive du comportement du circuit et une modélisation simplifiée du comportement du transistor, limitée aux régimes de faible et forte inversion. Ainsi, l'expérience du concepteur et donc sa formation sont déterminantes pour dimensionner une solution respectant les spécifications du cahier des charges.
Il en résulte un risque sur la qualité des solutions ce qui est incompatible avec les contraintes industrielles. Ce risque est d'autant plus important que la marge de manœuvre entre les spécifications et les possibilités de la technologie est de plus en plus mince, au fil des évolutions technologiques. En effet, la miniaturisation des circuits et l'augmentation des performances, à la demande du marché, conduit à une réduction des dimensions caractéristiques de la technologie et de la tension d'alimentation en dessous de 1 volt, ce qui entraîne une dégradation des performances des architectures analogiques classiques et augmente donc encore les difficultés de conception [35].

A titre d'illustration, la diminution de la tension d'alimentation limite le recours au régime d'inversion forte et l'empilement de transistors, si bien que, même pour des applications classiques, l'inversion modérée devient un compromis incontournable et la modélisation fiable de ce régime est indispensable autant que le développement de méthodologies de conception systématiques garantie de solutions optimales et de maitrise des coûts de conception.

III.3 Méthodes avancées de conception analogique

III.3.1 Fondement commun des méthodes existantes

Avec la procédure de conception classique, la durée de conception est aléatoire car la convergence vers une solution est erratique voire incertaine. De plus, la solution n'est pas forcément optimisée en regard des spécifications du cahier des charges, d'autant plus que les concepteurs s'accordent une marge de sécurité importante sur les performances pour garantir une solution fonctionnelle.

Les défaillances de la méthode de conception classique sont incompatibles avec l'exigence industrielle de réduction des coûts de fabrication et de conception des produits, conséquence d'une concurrence toujours plus féroce. En effet, la réduction des coûts de conception est synonyme de réduction de la durée de conception et d'optimisation de la surface des circuits. Pour ce faire, en améliorant la prédiction de la méthodologie de conception et en globalisant l'exploration de l'espace des solutions, garantie d'optimisation, la marge de sécurité peut être réduite et le surdimensionnement des dispositifs évité.

Ainsi, en réponse aux enjeux de la conception analogique moderne, un premier effort a porté sur l'organisation de la conception par introduction du principe de plan de conception. Le plan de conception est établi à partir des équations de conception issues de l'analyse symbolique [35, 50, 51]. Plus récemment, l'élaboration de modèles orientés vers la conception analogique, tels que le modèle EKV [25], a permis de couvrir tous les régimes de fonctionnement de manière précise à l'aide d'une formulation analytique simple mais fortement liée à la physique des dispositifs. Ces modèles ont été rapidement complétés par des guides de bonnes pratiques pour les concepteurs désireux de concevoir des circuits sans contraintes d'inversion [33, 46, 47], proposant entre autre une formulation générale du « mismatch » et du bruit.

Ces progrés en systématisation de la conception analogique et en modélisation ont initié, dans les années 1990, les concepts sur lesquels reposent les méthodes avancées de conception présentées. L'objectif initial de développement de méthodes de conception avancées est de faciliter le travail du concepteur en lui

fournissant une démarche de conception systématisée et efficace [35].

Ces méthodes ont été élaborées dans un souci de conception systématique et globale afin de réduire le temps, et donc le coût de conception par rapport à la démarche de conception classique. Elles organisent l'effort de conception et guident le concepteur vers une solution optimisée. Elles limitent ainsi le recours au simulateur à la phase finale d'ajustement éventuel et de validation. La durée de la phase simulation, prépondérante en conception classique, est ainsi diminuée.
Les méthodes de conception avancées reposent sur un modèle ou une modélisation continue au travers de la plage d'inversion. L'utilisation d'une telle modélisation permet au concepteur d'explorer la totalité de l'espace de conception et d'effectuer les compromis de conception adéquats pour obtenir une solution optimisée. Elle permet en outre de répondre à des spécifications faible consommation.
Les méthodologies avancées de conception utilisent tout ou partie des équations du modèle EKV (ou ACM), développées dans une optique de conception analogique, et le concept de niveau d'inversion IC qui permet l'évaluation de nombreux critères de performances et apporte une vision cohérente de la conception facilitant les compromis de conception [52].

Les méthodes avancées de conception destinées aux circuits d'amplification ont été les premières à être développées, en raison de l'importance des structures d'amplification en conception analogique, et sont donc les plus abouties. Elles utilisent la caractéristique universelle gm/I_D [35, 37, 52, 53].

Par ailleurs, dans la littérature les circuits sont classés en deux catégories :
– les circuits statiques comme les références de courant,
– les circuits dynamiques notamment les amplificateurs.

Les circuits de type référence de courant, essentiel des structures étudiées dans le présent rapport, assurent une fonction statique mais leur dépendance aux variations dynamiques de la tension d'alimentation est un aspect important de leurs performances. Or ces architectures sont autopolarisées au contraire des circuits dynamiques comme les amplificateurs, dont la polarisation est fixe. De ce fait nous choisissons une répartition des circuits axée sur la démarche de conception, différente de celle habituellement adoptée dans la littérature :
– les circuits autopolarisés de type référence de courant,
– les circuits à polarisation fixée comme le miroir de courant ou l'amplificateur.

Les méthodes avancées de circuits autopolarisés sont présentées avant les méthodes avancées de conception de circuits à polarisation fixée.

III.3.2 Méthode de conception de circuits autopolarisés

Les architectures autopolarisées reposent sur le croisement de caractéristiques comme le montre les figures de principe (III.6, III.7). En l'occurrence, pour les références de courant autopolarisées, étudiées lors de ces travaux, il s'agit de deux courbes : $I_{ref_1}(V_{ref})$ et $I_{ref_2}(V_{ref})$. Ces deux caractéristiques se

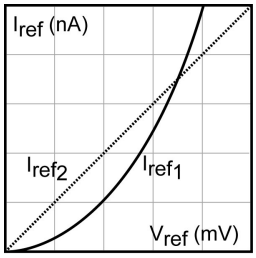

Fig. III.6 – Caractérististiques $I_{ref}(V_{ref})$ des références de courant autopolarisées

rapportent aux deux blocs principaux constituant la référence de courant considérée, à savoir une référence

de tension et une résistance active polarisée par la référence mentionnée. Les inconnues à dimensionner sont les dimensions W et L des transistors de chaque bloc.
La mise en équations du circuit résulte en un système analytique de deux équations décrivant chacune l'un

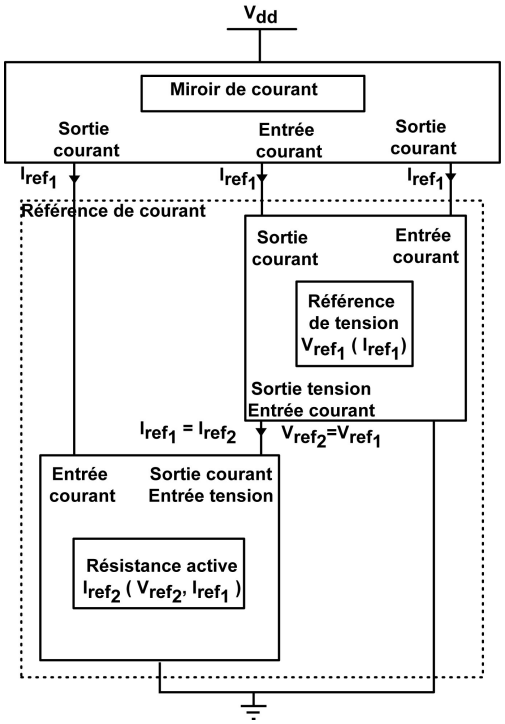

Fig. III.7 – Principe des références de courant autopolarisées à résistance active

des deux blocs cités. Ces équations établies à partir de l'équation de courant de drain d'un modèle continu sur l'ensemble de l'inversion, tel que le modèle EKV, sont liées entre elles par I_{ref} et V_{ref} [54, 55].

Les équations implicites et non linéaires sont simplifiables pour des régimes d'inversion bien choisis pour chaque bloc ou pour un point particulier de l'inversion. Le système peut alors être résolu analytiquement. Une expression explicite du courant en fonction des dimensions des transistors et des paramètres technologiques est alors obtenue.

Dans le chapitre suivant, une mise en application sera effectuée sur deux références de courant Oguey et Camacho-Galeano. Pour la référence de courant Oguey [56], la résistance active est considérée en inversion forte, et la référence de tension est supposée en inversion faible (Fig.IV.9). La référence de courant Camacho-Galeano (Fig.IV.20), proposée dans [57, 58], est dimensionnée à l'aide d'une méthodologie désignée par « méthode de Camacho-Galeano », dans la suite de cette étude, du nom de l'auteur en premier nom sur l'article de référence. Cette méthodologie utilise le modèle ACM (pendant du modèle EKV3.0) pour l'établissement du système d'équations, car ce modèle est valable sur l'ensemble de l'inversion. Les transistors de la référence de tension sont polarisés en inversion faible pour imposer une valeur particulière de référence de tension uniquement dépendante de leurs dimensions. De plus, une valeur particulière est prise pour le niveau d'inversion ($IC = \frac{3}{4}$). Ainsi, le système d'équations est simplifié et le dimensionnement des transistors est facilité. Le courant de normalisation utilisé est considéré constant et pris à sa valeur en milieu d'inversion modérée.
L'origine de la dépendance en tension d'alimentation est identifiée. La sensibilité du courant à la tension d'alimentation, via la variation de la tension de référence, est décrite comme une fonction du niveau d'inversion. En outre, la méthodologie Camacho-Galeano prend en compte le mismatch à l'aide de la même

relation liant la variation du courant à la variation en tension d'alimentation.

Le dimensionnement des transistors est valable pour un point particulier de l'inversion du transistor conducteur de la résistance active, simplifiant le système d'équations. Ainsi, la méthode Camacho-Galeano [57, 58] est compatible avec des spécifications faible consommation, mais la fixation d'un niveau d'inversion en particulier pour le transistor en conduction, jouant le rôle de résistance active, réduit artificiellement l'espace des solutions, ce qui va à l'encontre d'une optique d'optimisation des circuits (surface silicium ...). En outre, le courant de normalisation I_S est pris constant et égal à sa valeur en milieu d'inversion modérée ce qui fausse la prédictivité de la méthodologie puisque la réduction de mobilité n'est pas prise en compte.

Par conséquent, il n'existe pas de procédure de conception globale et systématique pour les circuits autopolarisés dans la littérature. Une partie du travail présenté dans ce manuscrit a été consacré à combler ce manque.

Le concepteur dispose de méthodologies avancées de conception de circuits à polarisation fixée largement détaillées dans la littérature, qui vont être présentées.

III.3.3 Méthodes de conception de circuits à polarisation fixée

Les inconnues d'un circuit à dimensionner sont la taille (W et L) des transistors ainsi que les valeurs de polarisation (courants I_D ou tension de polarisation V_{GS}, V_{DS}).

Dans cette étude, les méthodes de conception de circuits à polarisation fixée ont pour objectif de faciliter la tâche du concepteur. Elles s'appliquent aux circuits polarisés en courant. Aussi elles sont principalement dédiées aux architectures d'amplification, largement développées en conception intégrée analogique, sans exclure toutefois les structures de recopie de courant comme les miroirs de courant. Ainsi, ces méthodes de conception sont les premières à avoir été développées, et sont donc les plus abouties.
Elles sont élaborées dans un souci de conception systématique et globale afin de réduire le temps, et donc le coût, de conception par rapport à la démarche de conception classique. Elles organisent l'effort de conception et guident le concepteur vers une solution optimisée. Elles limitent ainsi le recours au simulateur à la phase finale d'ajustement et à la validation.

Elles reposent toutes sur une modélisation continue au travers de la plage d'inversion car elles utilisent tout ou partie des équations du modèle EKV. L'utilisation d'une telle modélisation permet ainsi au concepteur d'effectuer les compromis de conception adéquats pour obtenir une solution optimisée. Elle permet en outre de répondre à des spécifications faible consommation.

Il existe trois méthodes développées dans la littérature répondant à ces contraintes. Les trois méthodes décrites font intervenir le ratio gm/I_D [26, 35, 37, 52, 59–61] qui est une caractéristique universelle du transistor [34], indépendante de la polarisation (en saturation), de la température et de la technologie (transistor à canal long). Les caractéristiques des méthodologies sont rassemblées sous forme de tableaux (cf §III.3.4).

III.3.3.1 Méthode gm/I_D

La méthodologie gm/I_D a été développée au sein du laboratoire de microélectronique de l'UCL (Université Catholique de Louvain) et fournie au concepteur une démarche de conception systématisée basée sur la caractéristique gm/I_D. Elle ne permet pas de dimensionner les circuits autopolarisés.

Le but recherché lors de sa mise au point était de faciliter la tâche du concepteur en lui fournissant une démarche de conception systématisée, de type déductive et descendante. Les concepts fondateurs et

le principe de la méthode gm/I_D sont présentés dans [35, 62, 63]. Cette méthodologie fait appel à une modélisation continue sur l'ensemble de l'inversion définissant une variable de conception unique gm/I_D. Cette modélisation permet au concepteur d'établir une procédure de conception structurée, nommée plan de conception. Il est initialisé par les spécifications et aboutit aux dimensions des transistors de l'architecture étudiée, d'où la qualification de démarche déductive descendante. La méthodologie laisse toute latitude au concepteur de réaliser les compromis adéquats en fixant les degrés de liberté. Ainsi, à partir des spécifications, le concepteur détermine les valeurs des dimensions et des courants de polarisation des transistors permettant d'atteindre les performances requises. La méthodologie assure une solution presque optimale et évite au concepteur les simulations nombreuses et incertaines caractérisant la procédure de conception classique. La recherche de solution est automatisable car elle est directement basée sur les spécifications du circuit.

La méthodologie gm/I_D s'affranchit des limitations de la conception classique en associant l'analyse symbolique avec la caractéristique gm/I_D, rapport transconductance de grille/courant du transistor. Les équations de conception issues de l'analyse symbolique sont reformulées de manière à faire apparaître le rapport gm/I_D.

La caractéristique gm/I_D en fonction de $I^{'}$, courant normalisé par l'aspect ratio W/L (ou courant adimensionnel $I^{'} = I_D/(W/L)$), est indépendante des dimensions du transistor, mais dépend uniquement des paramètres de la technologie. Cette caractéristique « universelle » [34] est commune à tous les transistors d'un même type (NMOS ou PMOS) issus d'une même filière de fabrication [35, 63]. Ainsi, la détermination du courant de polarisation et de gm/I_D fixe le rapport W/L de manière certaine. Le rapport gm/I_D peut être défini sur l'ensemble de l'inversion à l'aide d'un modèle approprié, comme celui proposé par le modèle EKV2.0, ou par des caractéristiques expérimentales, (avantage certain lorsque aucun modèle fiable n'est disponible). Dans le modèle EKV, la caractéristique gm/I_D est fonction du niveau d'inversion IC qui renferme la notion de courant adimensionnel, via le courant de normalisation I_S (II.59). Le rapport gm/I_D est défini sur une plage délimitée et dont les bornes sont liées à la physique du transistor. De plus, le rapport gm/I_D conditionne les performances principales du transistor et donc sa valeur est bornée par les spécifications [35]. Ainsi, il remplace avantageusement l'inconnue W/L difficile à déterminer. Il constitue une variable de conception unique ou plus exactement un couple unique de variables univoques entre elles (gm/I_D,$I^{'}$).

Remarque : les valeurs de L admissibles ne sont pas fixées, ce qui peut se révéler problématique au moment de la phase de dessin des masques, si celle-ci n'a pas été anticipée (choix de valeurs entières sauf dimension minimum pour les inverseurs ou cas particulier demandant une vitesse très élevée).

La procédure de dimensionnement proposée par la méthode gm/I_D est présentée à la figure (III.8). Après avoir partitionné l'architecture, le concepteur établit les équations de conception du circuit étudié en fonction des paramètres électriques petits et larges signaux des transistors.
Elles peuvent être obtenues par des techniques d'analyse symbolique qui permettent la dérivation d'expressions analytiques liant spécifications et paramètres électriques des dispositifs. Il reformule ces équations en faisant apparaitre le rapport gm/I_D quand cela est possible.

A la phase de mise en équations, suit une phase d'identification des degrés de liberté. Plus faible sera-t-elle, plus la complexité du système d'équations sera réduite. Il reste alors à parcourir l'espace de conception en balayant la plage des valeurs de gm/I_D. Pour chacune de ces valeurs, le concepteur déduit la longueur de transistor, via la spécification de gain en tension basse fréquence.
Pour chaque couple de valeurs ($I^{'} = I_D/(W/L)$, gm/I_D), il calcule le courant de polarisation correspondant, via la spécification de fréquence de transition et de capacité de charge.
Enfin, le rapport du courant de polarisation sur le courant « adimensionnel », $I^{'} = I_D/(W/L)$ détermine le rapport W/L. La largeur du transistor est déduite à partir de la longueur de transistor et de (W/L).

Il reste alors à calculer les performances du circuit à partir des valeurs de courant de polarisation et des dimensions obtenues pour les comparer avec les spécifications.
L'ensemble des performances de l'amplificateur peut être calculé à partir des courants de polarisations, des dimensions des transistors et des valeurs gm/I_D associées. Le concepteur a la possibilité de changer tout ou partie des valeurs des degrés de liberté pour affiner l'estimation initiale.

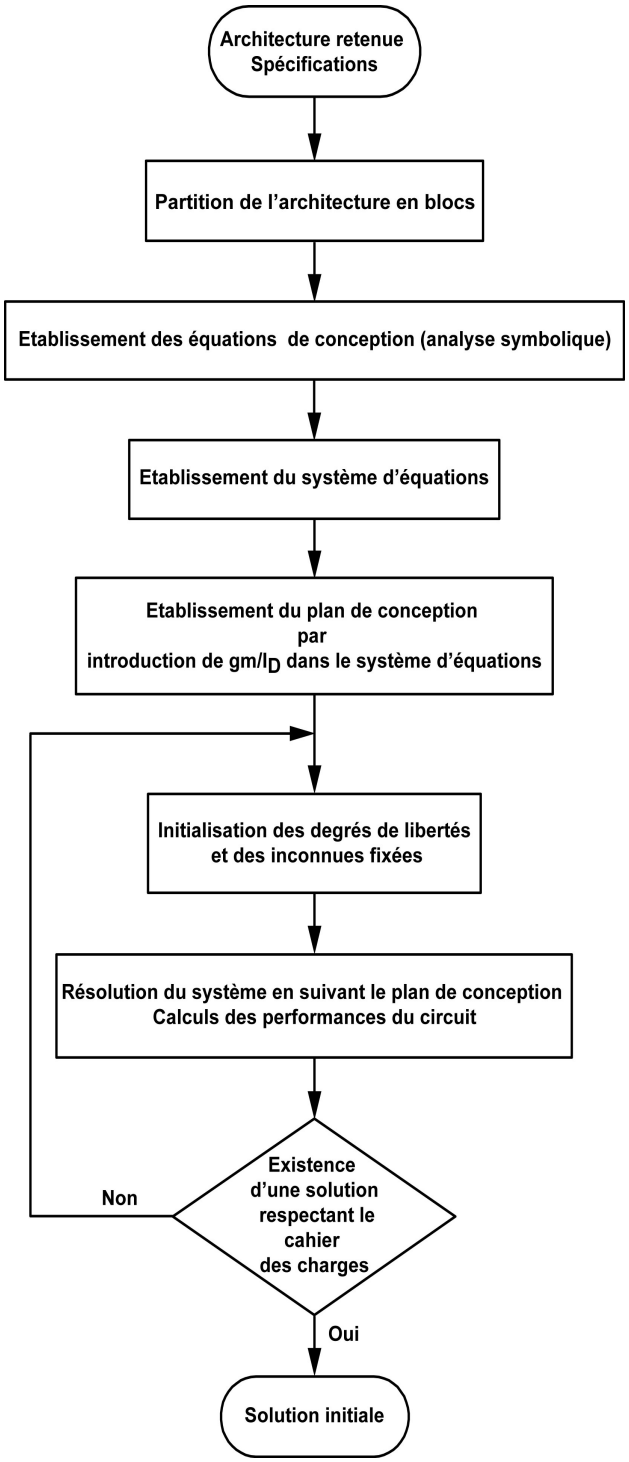

Fig. III.8 – Procédure de conception de la solution initiale gm/I_D

Après l'illustration de la procédure de conception classique sur l'amplificateur « source commune » (Fig. III.3), cet exemple est repris pour expliciter la méthode gm/I_D [35, 62, 63].

Les équations de conception de l'amplificateur « source commune », présentées en §III.2.2, sont reformulées en introduisant le rapport gm/I_D :

– le gain en basse fréquence en introduisant (III.18) :

$$A_{V0} = \frac{g_m}{I_D}\frac{I_D}{g_{ds}} = \frac{g_m}{I_D}.V_{ea}.L \tag{III.20}$$

– le produit gain bande défini comme :

$$GBW = \frac{g_m}{I_D}\frac{I_D}{2\pi C_{out}} \tag{III.21}$$

avec la capacité de sortie :

$$C_{out} = C_{gd} + C_{db} + C_l \approx C_l \tag{III.22}$$

et C_l la capacité de charge.

A partir de ces équations, un plan de conception basé sur le rapport gm/I_D est établi (Fig.(III.9)).

Pour chaque valeurs de gm/I_D, le concepteur déduit la longueur du transistor L, à spécification de gain en tension basse fréquence A_{V0} fixée. Par ailleurs, pour chaque couple de valeurs ($I^{'} = I_D/(W/L)$, gm/I_D), il calcule le courant de polarisation correspondant, via les spécifications de produit gain bande GBW et de capacité de charge C_l. Enfin, le rapport W/L est calculé à partir du courant de polarisation et du courant « adimensionnel », $I^{'} = I_D/(W/L)$. La largeur W du transistor est déduite de la longueur du transistor L et de (W/L).

Il reste au concepteur à choisir parmi les solutions en calculant les performances de l'amplificateur à partir des valeurs de courant de polarisation et de dimensions associées à chaque valeur de gm/I_D. A l'aide de la spécification de Slew-Rate, liant la capacité de charge et le courant de polarisation, il détermine le courant de polarisation et donc la solution.

A partir des dimensions et du courant de polarisation, le concepteur commence la phase de simulation et compare les performances du circuit au cahier des charges. En cas d'écart avec le cahier des charges, il peut recommencer le dimensionnement en modifiant certaines des spécifications ou inclure les capacités parasites. La durée de la procédure de conception est contrôlée car le courant et les dimensions du transistor sont directement déduits des spécifications, ce qui garantit l'optimalité de la solution.

La méthodologie gm/I_D présente des atouts indéniables pour la conception de circuits à polarisation fixée, aussi bien pour répondre à des spécifications standard qu'à des contraintes très basse consommation. En résumé, la méthodologie gm/I_D offre les avantages suivants d'être :

– Descendante (« top-down » dans la littérature anglaise) : elle part de considérations systèmes, les spécifications, pour aboutir à la détermination des dimensions et des polarisations des transistors,
– Globale : elle autorise l'investigation simultanée des performances qui peuvent être dérivées des variables de conception. Ainsi, la fréquence de transition, la fréquence de coupure, le produit gain bande passante et le gain sont directement exprimables en fonction de gm/I_D et donc calculables pour chaque valeur de gm/I_D. Il en est de même avec les variables qui en découlent comme le courant de polarisation, si bien qu'une grande diversité de spécifications dynamiques, petit et large signal sont calculables (marge de phase, temps d'établissement, SR, distorsion, mismatch, bruit, CMRR, PSRR, ICMR),
– Systématique : la méthode gm/I_D a été appliquée à de nombreuses architectures classiques comme l'OTA [51, 63, 64], les étages de gain cascode [65] ou les comparateurs [66],

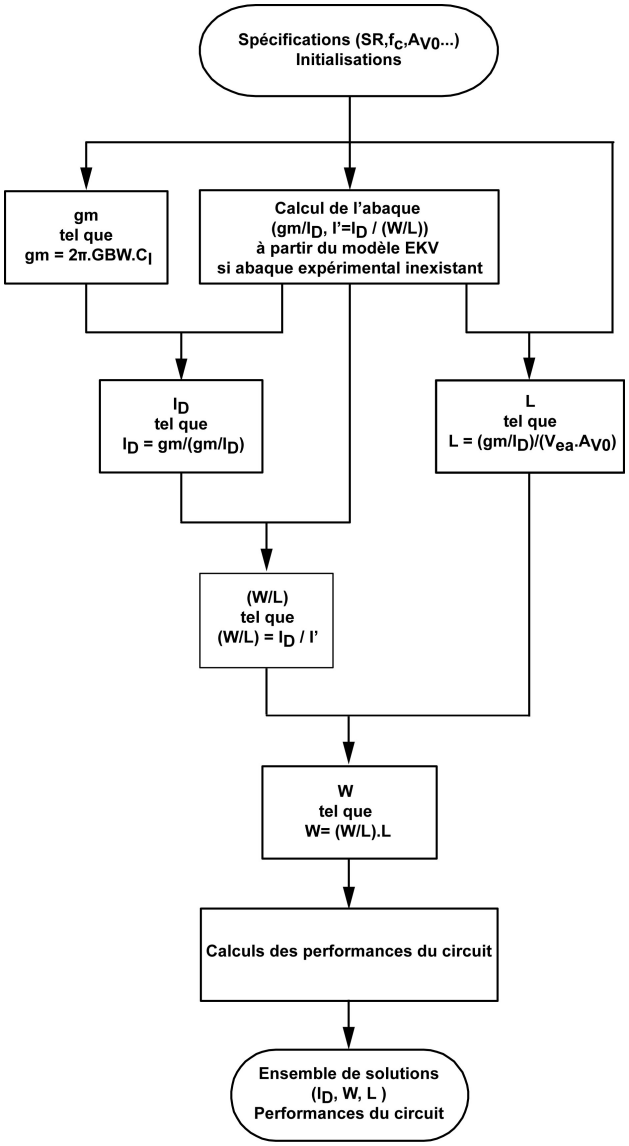

Fig. III.9 – Plan de conception gm/I_D de l'amplificateur source commune

– Pédagogue : elle offre une démarche systématique, applicable à toute architecture d'amplificateur même relativement complexe, ainsi qu'une compréhension en profondeur du fonctionnement des circuits. L'expertise requise du concepteur et l'appel à son intuition sont réduits et remplacés par une approche systématique, autorisant des essais successifs, basée sur la physique et illustrant clairement les performances de l'architecture. Les compromis de conception et les limitations de l'architecture peuvent être compris rapidement, au contraire de la méthode classique qui laisse le concepteur sans recours si l'effort de conception ne converge pas. Même si la dérivation d'équations symbolique peut être longue, elle est faite une seule fois pour une architecture donnée [51, 63],
– Efficace : la méthodologie assure une solution presque optimale à spécifications données. La méthodologie peut même conduire à des circuits fonctionnels et optimisés du premier coup si les modèles de composants et de circuits sont suffisamment précis. L'inversion modérée est couverte par l'utilisation d'une caractéristique gm/I_D formulée avec le modèle EKV ou mesurée, ce qui assure la fiabilité de la synthèse et le meilleur compromis entre bande passante et consommation, intéressant pour les applications faible puissance,

- Simple : elle requiert peu de paramètres technologiques en cas d'utilisation de la modélisation EKV de gm/I_D. L'utilisation d'une caractéristique expérimentale n'en nécessite aucun,
- Automatisable : son aptitude à l'automatisation découle de la mise en place d'un plan de conception ou algorithme, structurant la démarche, avec des valeurs initiales (les spécifications), des degrés de liberté paramétrisés et une variable de conception centrale (gm/I_D) ayant une plage de valeurs déterminée. Ainsi, la totalité de l'espace de conception peut être couvert en un temps de calcul CPU raisonnable, au moyen d'un logiciel de calcul numérique tel que MATLAB (The Mathworks), ce qui assure une conception rapide. L'interprétation est facilitée par des paramètres au sens physique prononcé et peu nombreux, comme ceux du modèle EKV,
- Polyvalente : elle s'adapte à des spécifications standard (micropuissance [63] aussi bien que faible consommation. Elle a été utilisée avec succès pour des applications très basse consommation comme le « pacemaker » dans le domaine médical [67]. De nombreuses conditions de fonctionnement peuvent être couvertes , températures élevées [64], hautes fréquences [64].

Cependant, la méthodologie gm/I_D présente certains inconvénients car :
- elle est axée sur la conception de circuits dynamiques de type amplificateurs, basés sur une polarisation fixée,
- la modélisation de l'effet CLM utilisé est trop simplifiée,
- la modélisation des capacités intrinsèques du transistor est rudimentaire. Elle n'intègre pas la dépendance en niveau d'inversion de ces capacités,
- elle ne prend pas en compte explicitement la dépendance en niveau d'inversion de la tension de saturation du transistor ce qui la rend incomplète pour le dimensionnement de circuits sous spécification de faible tension d'alimentation,
- L'espace des solutions est artificiellement réduit lorsque les spécifications sont prises au sens strict alors qu'elles définissent souvent des valeurs limites. Ainsi, l'espace des solutions est réduction ce qui va à l'encontre d'une optique d'optimisation des circuits (surface minimum ...). Le risque de surdimensionnement en surface n'est pas négligeable.

La méthode gm/I_D peut être améliorée en utilisant les équations du modèle EKV dans leur ensemble, valables sur toute la plage d'inversion, au lieu de se contenter de la modélisation de la caractéristique gm/I_D, car le modèle EKV est formulé à l'aide d'un paramètre central, le niveau d'inversion IC, variable de conception commune désignée. Ce modèle apporterait des expressions de capacité et une modélisation complète de l'effet CLM, définies sur l'ensemble de l'inversion. L'utilisation des spécifications et de la caractéristique gm/I_D pour définir les limites de l'espace des solutions, et le paramétrage de tout ou partie des spécifications, éviteraient de réduire l'espace des solutions.

III.3.3.2 Méthode basée sur le niveau d'inversion IC

La méthodologie proposée dans [26] sera désignée par « méthode de Binkley », dans la suite de cette étude, du nom de l'auteur en premier nom sur l'article de référence.
Elle s'applique aux architectures à polarisation fixée, comme les circuits d'amplification, mais elle ne permet pas de dimensionner les circuits autopolarisés.

Son objectif est de guider le concepteur dans sa recherche d'une solution en lui donnant les moyens d'explorer l'espace de fonctionnement du transistor dans son ensemble et d'effectuer les compromis adéquats sur les performances de chaque transistor d'un circuit. Ainsi, la solution dimensionnée selon la procédure présentée sur la figure (III.10), sera presque optimale avant que le concepteur commence les simulations. La méthodologie épargne au concepteur les affres de simulations multiples et aléatoires qui sont inhérents à l'approche de conception traditionnelle et engendrent des temps de conception incertains ainsi que des

solutions non optimisées. Ainsi, elle évalue les performances du transistor mais pas celles d'un circuit complet.

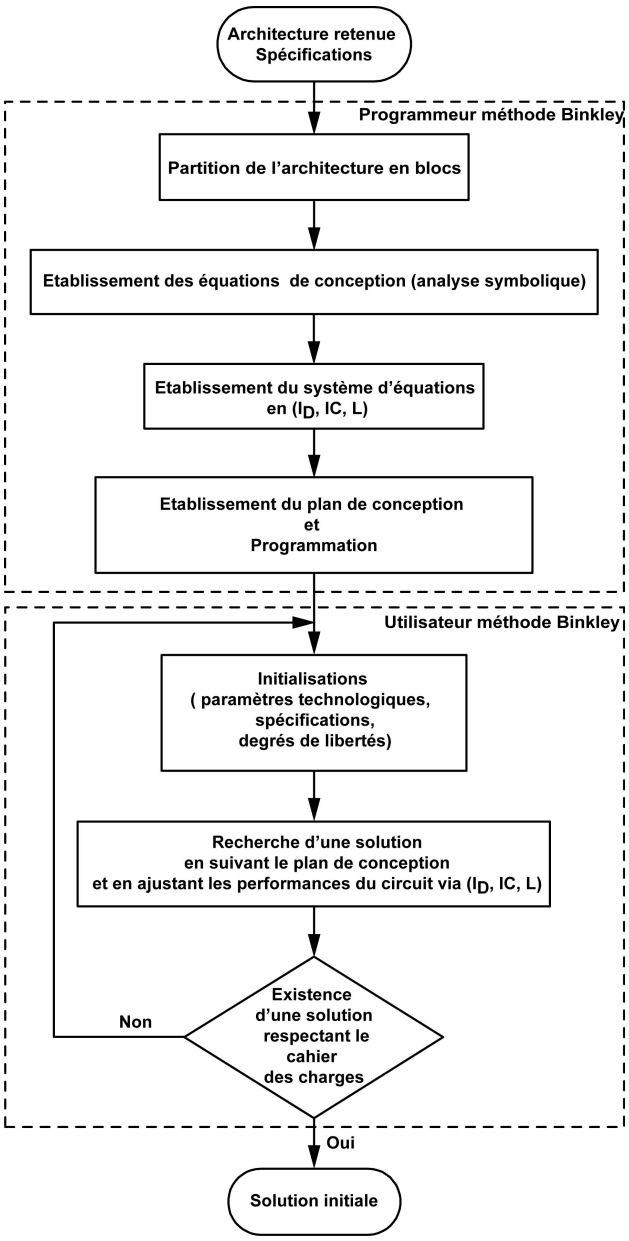

Fig. III.10 – Procédure de conception de la solution initiale Binkley

La méthodologie repose sur une modélisation du transistor valable sur l'ensemble de l'inversion. A partir de cette modélisation et de variables de conception pertinentes, elle explicite les paramètres électriques et les performances du transistor. Ainsi, les paramètres électriques et les performances du transistor peuvent être évalués sur l'ensemble de l'espace de fonctionnement du transistor et le concepteur a la possibilité d'effectuer les compromis nécessaires sur les performances du transistor.

Les paramètres électriques se rapportent au transistor fonctionnant en mode saturé et sont définis à l'aide du modèle EKV, choisi en raison de sa fiabilité sur l'ensemble de l'inversion. De plus, ce modèle permet d'exprimer les paramètres électriques du transistor saturé à l'aide d'une variable unique, le niveau

d'inversion IC.

Cependant la définition du niveau d'inversion utilisée dans cette méthodologie est simplifiée, par rapport à la définition originale (II.71), en prenant une valeur particulière du courant de normalisation carré I_{S0}. La valeur retenue correspond au milieu d'inversion modérée. Ainsi, le niveau d'inversion IC est défini à partir du courant de drain statique I_D, par :

$$IC = \frac{I_D}{I_0 \frac{W}{L}} \tag{III.23}$$

avec I_0 le courant technologique qui correspond à la valeur particulière du courant de normalisation carré I_{S0} (II.84) prise en milieu d'inversion modérée. Le courant technologique s'écrit alors :

$$I_0 = 2n_0\mu_0 C'_{ox} U_T^2 \tag{III.24}$$

avec μ_0 la valeur de mobilité faible champ électrique et n_0 la pente sous le seuil en milieu d'inversion modérée.

Le niveau d'inversion suffit pour définir les paramètres électriques statiques, familiers en conception classique tels que :

- la tension grille/source V_{GS} reliée au niveau d'inversion à l'aide de l'expression, liant le courant direct normalisé et les potentiels, proposée dans le modèle EKV 2.0 (II.64),
- la tension drain/source de saturation $V_{DS_{sat}}$ obtenue à partir de la relation liant la charge d'inversion normalisée de drain ou de source $q_{s,d}$ avec les potentiels appliqués aux terminaisons du transistor (II.86) et d'une approximation de la charge d'inversion normalisée de drain q_d : $q_d = K.q_s$ avec $K = \frac{2}{100}$. Ainsi, cette approximation est injectée dans l'expression de la tension V_{DS} en fonction des charges d'inversion normalisées de drain et de source issue du modèle EKV3.0 :

$$\frac{V_D - V_S}{U_T} = ln(\frac{q_s}{q_d}) + 2(q_s - q_d) = ln(\frac{1}{K}) + \approx 2q_s + 4 \tag{III.25}$$

ce qui se simplifie en

$$V_{DS_{sat}} = U_T(\sqrt{1 + 4IC} + 3) \tag{III.26}$$

De plus, le modèle EKV donne l'expression du ratio de la transconductance de grille sur le courant de drain statique en fonction uniquement du niveau d'inversion (II.69). Par ailleurs, le ratio de la conductance de sortie sur le courant de drain statique gds/I_D (noté λ coefficient d'effet CLM) est défini en fonction de la longueur L et de la tension d'Early par unité de longueur V_{AL}. Outre les paramètres petits signaux, les performances du transistor sont évaluées sous la forme :

- du gain intrinsèque, rapport de la transconductance de grille gm et de la conductance de sortie.
- de la fréquence de transition intrinsèque, rapport de la transconductance de grille sur les capacités intrinsèques.
- des « mismatch » en courant et en tension évalués à partir des « mismatch » de tension de seuil, de facteur de transconductance et de coefficient d'effet substrat.
- du bruit thermique et du bruit de Flicker ramenés à la grille.

Les expressions employées pour les « mismatch » et les bruits sont celles utilisées en conception traditionnelle (§ III.2.1.5). La méthodologie mêle l'utilisation d'équations des modèles EKV 2.0 et 3.0.

Les variables de conception utilisées par la méthodologie sont le niveau d'inversion IC, le courant de drain statique I_D et la longueur du transistor L.
Les expressions des paramètres et des performances calculés sont exprimées à l'aide de ces trois variables ainsi que des paramètres physiques propres à la technologie employée. Les paramètres physiques sont le courant technologique I_0, la tension d'Early par unité de longueur V_{AL}, la capacité surfacique d'oxyde C'_{ox},

la pente sous le seuil en milieu d'inversion modérée n_0 ainsi que les coefficients classiques intervenant dans les modélisations du mismatch et du bruit ($A_{V_{T0}}$, $A_{K_{n0}}$, A_{GAMMA}, K_F).

La méthodologie se caractérise par le calcul des paramètres électriques et des performances du transistor à l'aide du niveau d'inversion et non des potentiels présents aux terminaisons du transistor. Elle permet de calculer en simultané, outre les performances du transistor, sa largeur W qui est donc une conséquence des variables imposées en entrée. La largeur du transistor W est donc le principal résultat de sortie de la méthodologie. La largeur W est ainsi liée explicitement à des variables en entrée et des performances en sortie ce qui guide le concepteur dans sa démarche et lui permet d'effectuer son choix de conception en toute connaissance de cause.
Le concepteur balaye l'espace de fonctionnement du transistor à l'aide des trois variables de conception librement fixées. Il atteint les performances souhaitées par rétroaction intuitive sur les variables d'entrée. Il peut commencer par un balayage en L à IC et I_D fixés puis finir par un balayage en IC à L et I_D fixés.

La méthodologie proposée est implémentée sous forme logicielle pour automatiser l'évaluation simultanée des paramètres et des performances du transistor, ce qui facilite la conception de circuits.
L'architecture du logiciel permet au concepteur de choisir entre différents types de modélisation du transistor (modèles commerciaux existants de type SPICE - BSIM, EKV -, modèles personnalisés, ou données expérimentales indexées en niveau d'inversion) et associe la modélisation retenue aux équations de conception propre à la méthodologie.
Son interface regroupe le réglage interactif des variables de conception et la présentation cohérente des résultats ce qui permet une conception intuitive par rétroaction manuelle sur les variables pour atteindre un compromis entre les paramètres électriques et les performances du transistor, calculés en instantané.

Aucune version d'évaluation de ce logiciel n'est cependant disponible et aucune architecture classique n'est proposée, hormis le transistor isolé correspondant à l'amplificateur « source commune ».

La méthodologie de Binkley est illustrée sur l'amplificateur « source commune ».

Les équations de conception de l'amplificateur « source commune », présentées en §III.2.2, sont reformulées en introduisant les variables de conception I_D, IC et L :

– le gain en basse fréquence en introduisant (III.18) et gm/I_D du modèle EKV3.0 :

$$A_{V0} = \frac{2.V_{ea}.L}{n.U_T(\sqrt{1+4.IC}+1)} \tag{III.27}$$

– la fréquence de transition définie à l'aide de la capacité d'entrée $C_{in} = C_{gb} + C_{gs}$:

$$f_t = \frac{g_m}{2\pi C_{in}} = \frac{\frac{IC}{\sqrt{1+4.IC}+1}.\frac{I_0}{n.U_T}}{2\pi C'_{in}.L^2} \tag{III.28}$$

Le concepteur fixe une valeur de courant de polarisation en rapport avec les spécifications du cahier des charges, puis il balaye manuellement l'espace de conception à L fixé en bougeant le niveau d'inversion et réciproquement, jusqu'à atteindre les spécifications.

A partir des dimensions et du courant de polarisation, le concepteur commence la phase de simulation et compare les performances du circuit au cahier des charges. En cas d'écart avec le cahier des charges, il peut modifier les variables de conception et redimensionner l'amplificateur.

L'exploration de l'espace de conception est libre mais cohérente aussi la procédure de conception est contrôlée.

La méthodologie de Binkley s'appuie sur une modélisation valable sur l'ensemble de l'inversion, à l'instar de la méthodologie gm/I_D. De plus, le balayage en niveau d'inversion est équivalent au balayage en gm/I_D effectué dans la méthode gm/I_D. En effet, le modèle EKV décrit la caractéristique gm/I_D comme une fonction univoque du niveau d'inversion IC, aussi à chaque valeur de IC correspond une unique valeur de gm/I_D. De plus, le niveau d'inversion IC est lié au courant adimensionnel $I_D^{'} = \frac{I_D}{\frac{W}{L}}$ par le courant technologique $IC = \frac{I_D^{'}}{I_0}$.

Cependant la démarche est opposée puisque la méthode gm/I_D part des performances du transistor (les spécifications) pour aboutir aux dimensions et au courant de polarisation du transistor, alors que la méthode de Binkley calcule les performances du transistor à partir du courant de polarisation et de la longueur du transistor.

La démarche n'est donc pas de type déductif, mais de type intuitif, avec une exploration de l'espace de conception certes libre mais néanmoins organisée. Outre la représentation graphique des performances, le concepteur est informé des limites de conception définies à partir des spécifications, utilisées comme valeurs frontières, ce qui délimite l'espace de conception sans réduire l'espace des solutions et augmente les possibilités de trouver un compromis entre les performances.

La méthode de Binkley enrichit l'ensemble d'expressions proposées par la méthode gm/I_D, en explicitant des paramètres électriques du transistor familiers en conception, comme la tension grille/source et la tension drain/source de saturation $V_{DS_{sat}}$, ainsi que des performances du transistor supplémentaires comme le bruit ou le mismatch.

Elle possède des qualités déjà citées pour la méthode gm/I_D, comme l'efficacité puisqu'elle facilite les compromis de conception, réduit la marge d'erreur et donc la marge de sécurité ce qui rend possible le dimensionnement de solutions optimales.
Son caractère pédagogique repose sur l'exploration intuitive de l'espace de fonctionnement du transistor, éclairant le concepteur sur le fonctionnement du transistor. Elle assure l'investigation de l'ensemble des performances et paramètres électriques du transistor, sur la totalité de l'inversion et offre ainsi une vision globale et cohérente de l'espace de conception.
Elle s'adapte à des spécifications variées standard ou faible consommation, et tient compte de la dépendance en niveau d'inversion de la tension de saturation du transistor ce qui la rend compatible avec les faibles tensions d'alimentation.
Elle requiert peu de paramètres technologiques.

En outre, à IC fixé, la longueur du transistor L peut être déduite du gain, s'il est spécifié, de la même manière que dans la méthode gm/I_D.
La définition proposée pour la fréquence de transition intrinsèque correspond à la fréquence de transition de la fonction de transfert en courant du transistor (courant de sortie sur courant d'entrée). Cette notion est significative en Radio-Fréquence (RF). Contrairement à la méthode gm/I_D, le courant de drain n'intervient pas dans la fréquence de transition car le transistor n'est chargé que par ses capacités intrinsèques et non par une capacité de charge externe, d'où le qualificatif « intrinsèque » pour la fréquence de transition. Les capacités intrinsèques sont fonction de la surface du transistor WL ce qui permet d'éliminer le courant de drain statique de l'expression de la fréquence de transition intrinsèque. La fréquence de transition intrinsèque est alors uniquement dépendante du niveau d'inversion IC et de la longueur du transistor L comme le gain intrinsèque. Si le gain est fixé, la fréquence de transition est une conséquence du gain donc elle ne peut être spécifiée et réciproquement.

Pour un transistor chargé en sortie par une capacité externe fixée par les spécifications, la fréquence de transition ne peut être simplifiée et elle reste une fonction du niveau d'inversion aussi bien que du courant

de drain et de la longueur du transistor. Le courant de drain fixé en entrée remplace alors la spécification en fréquence de transition (ou produit gain bande noté GBW pour Gain Band Width) de la méthode gm/I_D. Dans ce cas, I_D et L remplacent les spécifications de gain et de fréquence de transition imposées dans la méthode gm/I_D. La méthodologie de Binkley peut être adaptée pour être similaire à la méthode gm/I_D dans la démarche.

A l'instar de la méthode gm/I_D, le concepteur peut établir un plan de conception d'une architecture plus complexe en s'inspirant du concept de balayage en niveau d'inversion et des expressions proposées.

Cependant la méthodologie, ne prend pas en compte la réduction de la mobilité sous l'effet du champ électrique vertical qui affecte fortement le courant de normalisation carré (Fig. II.19 et III.31). La prédiction du niveau d'inversion, à courant de drain et dimensions données, est faussée. Ainsi, le niveau d'inversion réel est différent de celui imposé, et la prédiction des paramètres et des performances évalués par la méthodologie est affectée. Toutefois, les paramètres électriques et les performances fonction du niveau d'inversion, atténuent l'impact d'une variation du niveau d'inversion, du fait de la structure de leurs expressions.

En outre, la modélisation de l'effet Early est rudimentaire puisque le coefficient proposé est indépendant du niveau d'inversion. De plus la saturation de vitesse est modélisée dans les modèles personnalisés mais sa modélisation n'est pas intégrée dans la méthodologie proposée.

Les modèles du bruit de Flicker et des capacités intrinsèques sont indépendants de IC.
En inversion modérée, le courant de normalisation carré I_{S0} varie raisonnablement. En se limitant à l'inversion modérée, il peut être considéré constant et égal à sa valeur en milieu d'inversion modérée I_0, sans engendrer une erreur significative pour IC et l'ensemble des paramètres évalués à partir du niveau d'inversion. Le courant de polarisation I_D est imposé, aussi il n'est pas affecté par les variations de I_{S0}.

Par ailleurs, en inversion modérée le coefficient d'effet CLM est presque constant (II.17).
Ainsi, la prédiction de la méthodologie semble correcte en se limitant à l'utilisation de transistors en inversion modérée.
Enfin, cette méthodologie n'automatise pas la conception car le concepteur effectue un balayage manuel de l'espace de conception.

Cette méthodologie se caractérise par le calcul des paramètres électriques et des performances du transistor à l'aide du niveau d'inversion utilisé comme variable d'entrée. La méthode qui va être présentée maintenant utilise certes une modélisation basée sur le niveau d'inversion, mais les variables d'entrée sont les dimensions et le courant de polarisation du transistor. Le niveau d'inversion est effectivement utilisé comme variable de calcul interne dans la détermination des paramètres électriques et des performances du transistor.

III.3.3.3 Outil de Conception PAD (Procedural Analog Design)

Le logiciel de conception PAD est un outil de conception de circuits assisté par ordinateur (CAO) développé au sein du laboratoire d'électronique STI/IMM/LEG de l'EPFL (Ecole Polytechnique Fédérale de Lausanne).

Un ensemble d'architectures classiques toutes basées sur l'application d'une polarisation est proposé, comme les circuits d'amplification. La polarisation est fixée en entrée ce qui interdit l'étude de structures autopolarisées, reposant sur l'intersection de caractéristiques, comme les références de courant.

Dans ce qui suit, la méthodologie implémentée dans le logiciel PAD sera assimilée par abus de langage à l'outil de conception PAD. Cet outil, directement utilisable par le concepteur, facilite le travail de ce dernier en systématisant la phase de conception et lui fait gagner du temps lors de la conception. Ainsi, l'outil PAD offre une approche système de la conception de circuits favorable au portage de circuits d'une technologie à une autre.

L'outil PAD organise donc l'exploration de l'espace de conception sans restriction. Pour commencer, les spécifications sont utilisées pour définir les valeurs limites des paramètres électriques et non pour bloquer des degrés de liberté. Ainsi, le concepteur est informé de la marge disponible pour chaque paramètre qu'il ajuste librement. Puis, l'outil PAD visualise l'interaction des paramètres entre eux. Le concepteur y gagne une compréhension approfondie du fonctionnement des circuits ainsi que la matérialisation claire des limitations propres à chaque architecture. Il est alors à même d'effectuer les compromis nécessaires en termes de performances et de dimensionner une solution presque optimale avant de commencer les simulations, en suivant la procédure de la figure (III.11).
Ainsi, cet outil lui évite l'errance de simulations multiples et aléatoires qui va de pair avec la démarche de conception traditionnelle synonyme de durée de conception mon maitrisée ainsi que de solutions non optimisées.
Les paramètres physiques propres à la technologie sont initialisables et le concepteur est guidé étapes par étapes dans le dimensionnement de l'architecture choisie. Les performances du circuit complet sont évaluées dans la phase finale de conception.

Il s'inspire des méthodes gm/I_D et de Binkley en reprenant le concept de systématisation de la conception s'appuyant sur une modélisation du transistor définie sur l'ensemble de l'inversion.

Les variables de conception choisies sont les dimensions et le courant de polarisation du transistor. Les architectures sont partitionnées en blocs élémentaires. Les blocs élémentaires sont dimensionnés successivement.

Les performances du circuit et celles de chaque bloc sont exprimées en fonction des paramètres électriques des transistors et des variables de conception, à l'aide des équations de conception issues de l'analyse symbolique. Les performances de chaque bloc, ainsi que les paramètres électriques et les performances des transistors du bloc, sont calculés en simultané à l'aide de la modélisation utilisée.

L'ensemble des calculs est instantané à chaque changement de l'une des variables de conception. Ainsi l'outil PAD peut être qualifié de simulateur instantané.
L'exploration de l'espace des solutions est assurée par balayage en dimensions (W, L) et en courant de polarisation des transistors.

L'outil PAD utilise les équations du modèle EKV 2.6 [27] en particulier celles relatives au courant de drain statique, aux transconductances et aux capacités intrinsèques. Ces équations sont identiques à celles du modèle EKV3.0, excepté l'expression de la tension de saturation $V_{DS_{sat}}$ [27] qui est différente de celle utilisée dans la méthode de Binkley (II.72).

Le choix du modèle EKV est motivé par son rattachement fort à la physique du transistor et par sa simplicité découlant du fait qu'il soit un modèle dédié à la conception de circuits analogiques [61]. Les transistors sont supposés en mode saturé, néanmoins les tensions de drain de saturation sont calculées à titre informatif pour le concepteur.
Le niveau d'inversion IC est utilisé en interne pour évaluer les paramètres électriques et les performances de chaque transistor, sur l'ensemble de l'espace de fonctionnement du transistor. Il est calculé à partir des variables de conception, à savoir le courant de polarisation et les dimensions du transistor concerné, via le courant de normalisation I_S défini à l'aide des paramètres technologiques rentrés en début de procédure de conception.
Les paramètres électriques du transistor se rangent en :

- paramètres statiques comme le niveau d'inversion, la tension de saturation drain/source, la tension d'Early,
- paramètres petit signal comme la transconductance de grille, la conductance de sortie,
- paramètres dynamiques comme les capacités intrinsèques et de recouvrement.

Les expressions des performances du transistor utilisées sont celles implémentées par les méthodologies de Binkley et gm/I_D. Les performances calculées pour chaque transistor sont :

- le gain en tension basse fréquence,
- le produit gain-bande GBW,
- la fréquence de transition f_t,
- le bruit ramené à la grille (composé du bruit thermique et du bruit de Flicker),
- le mismatch en courant,
- la surface.

Les performances évaluées au niveau circuit sont :

- le gain en tension basse fréquence A_{V0},
- le produit gain-bande GBW,
- le Slew-Rate (vitesse de basculement) SR,
- la plage de mode commun d'entrée ICMR,
- la tension d'offset (V_{offset}),
- la dynamique de sortie,
- le PSRR,
- le CMRR,
- les pôles,
- la marge de phase,
- le bruit total ramené en entrée.

Il automatise l'évaluation des paramètres et des performances du transistor, ce qui facilite la conception de circuits. Il se présente sous la forme d'une interface interactive regroupant les variables d'entrée, à savoir les courants de polarisation et les dimensions des transistors, et les performances calculées.

La conception est décomposée en plusieurs étapes suivant la subdivision de l'architecture en sous-circuits.
Après, l'initialisation des paramètres physiques propres à chaque technologie et des spécifications (capacité de charge, consommation, performances de vitesse, le gain ...), chaque partie de l'architecture est dimensionnée et ses performances évaluées. Les performances de l'ensemble du circuit sont calculées lors de l'étape finale.
A chaque étape le concepteur est renseigné sur la définition des valeurs limites des paramètres électriques, calculées à partir des spécifications, ainsi que sur l'objectif de l'étape et sur le paramètre à optimiser.
Le concepteur est libre de ses réglages mais il est alerté en cas d'impossibilité de conception, à savoir le dépassement, par un des paramètres électriques ou une des variables de conception, d'une limite conseillée.
Les expressions utilisées pour les différentes architectures, proposées dans le manuel d'utilisation [60] du logiciel, proviennent de l'analyse symbolique des circuits. Elles complètent les équations proposées par les méthodologies gm/I_D et Binkley.

Au début du dimensionnement de l'amplificateur « source commune » à l'aide de l'outil PAD, le concepteur fixe une valeur de courant de polarisation en rapport avec les spécifications du cahier des charges, puis il balaye manuellement l'espace de conception à L fixé en bougeant la largeur du transistor et réciproquement, jusqu'à atteindre les spécifications.

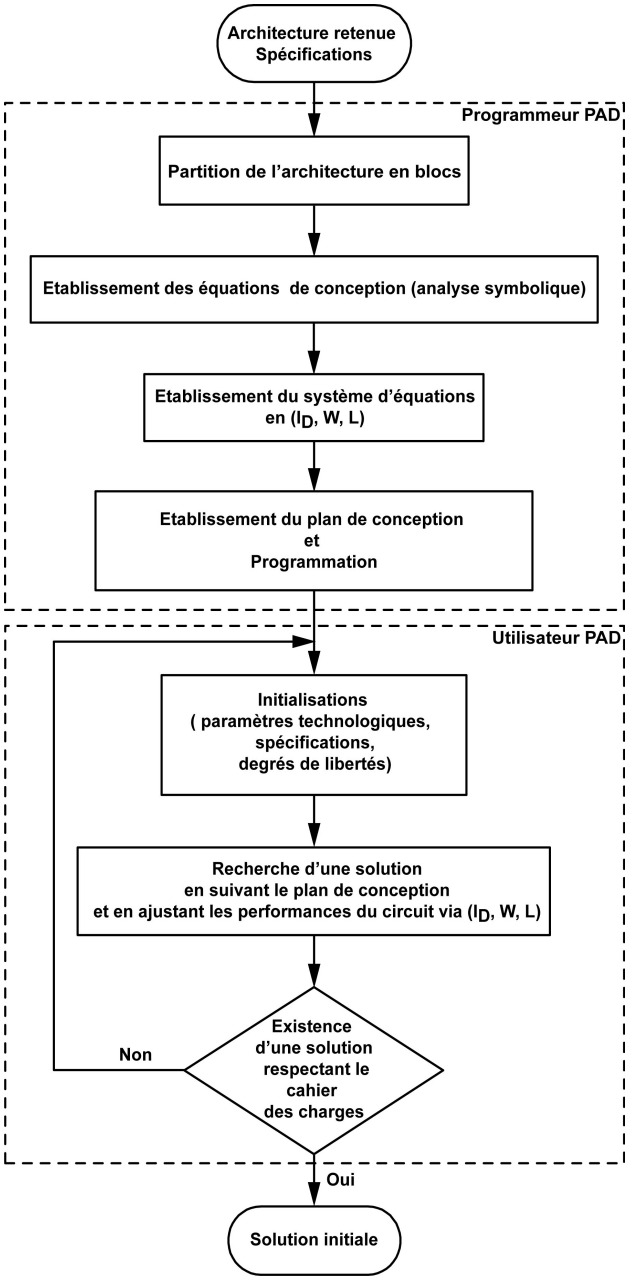

Fig. III.11 – Procédure de conception de la solution initiale PAD

A partir des dimensions et du courant de polarisation, le concepteur commence la phase de simulation et compare les performances du circuit au cahier des charges. En cas d'écart avec le cahier des charges, il peut modifier les variables de conception et redimensionner l'amplificateur.

L'exploration de l'espace de conception est libre mais cohérente aussi la procédure de conception est contrôlée.

L'outil de conception PAD présente ainsi de nombreux avantages par rapport aux méthodes présentées précédemment, tout en conservant l'essentiel de leurs qualités. En effet, il regroupe les expressions utilisées par les méthodologies de Binkley et gm/I_D et propose des équations de conception pour l'essentiel des architectures classiques. De plus, il prend en compte les capacités intrinsèques avec une modélisation va-

lable sur l'ensemble de l'inversion, tout en assurant une exploration complète de l'espace des solutions via les variables de conception (dimension (W, L) et courant de polarisation du transistor). Enfin, la démarche proposée est interactive et pédagogique avec l'explication à chaque étape des paramètres à optimiser et des spécifications impliquées ainsi qu'un affichage clair des paramètres spécifiques de chaque bloc et généraux des transistor.

Cependant il présente quelques désagréments pour le concepteur comme l'initialisation des paramètres technologiques basés sur le modèle EKV2.6 :

- le concepteur doit disposer du fichier de librairie du modèle EKV contenant les paramètres EKV2.6 de la technologie. Dans le cas contraire, il lui est difficile de renseigner l'ensemble des paramètres technologiques, mis à part les plus courants, sans avoir accès à l'outil d'extraction des paramètres à partir de BSIM3V3 (standard de l'industrie) décrit dans [61],
- l'impossibilité de sauvegarder les paramètres technologiques séparément du fichier de conception, oblige le concepteur à dupliquer un fichier de conception existant de la même architecture et de réinitialiser chaque étape de conception postérieure à l'initialisation des paramètres.

De plus, l'implémentation d'autres architectures à polarisation fixée (comparateur ...) est impossible puisque le code n'est pas en accès libre. Par ailleurs, l'outil PAD n'automatise pas la conception car l'exploration de l'espace des solutions est manuelle.

Les paramètres électriques du transistor sont peu sensibles à une déviation du niveau d'inversion, à partir duquel ils sont définis. Ainsi, l'absence d'intégration de la réduction de mobilité (paramètre technologique absent), occasionne une déviation du niveau d'inversion, via le courant de normalisation I_S, sans effet sur les paramètres électriques du transistor et donc sur la capacité de prédiction des performances de la méthodologie. Ceci est d'autant plus vrai si le concepteur travaille en inversion modérée où I_S varie peu, mais exclut de prédire le courant de drain statique à potentiels fixés car la réduction de la mobilité impacterait la prédiction du courant de drain, via le courant de normalisation I_S.

Dans le registre de la modélisation, un autre point négatif concerne les capacités de recouvrement qui sont indépendantes de la polarisation ce qui pourrait se révéler problématique en terme de prédiction avec les technologies futures [8]. De plus, la modélisation de l'effet CLM du modèle EKV2.6 est complexe ce qui ne permet pas une compréhension intuitive du phénomène. En outre, l'outil est dédié aux applications nécessitant une grande dynamique sans considération de tension d'alimentation [60]. Ainsi, l'expression de la plage de mode commun est issue d'une approximation incompatible avec une faible tension d'alimentation qui exige une modélisation précise en inversion faible et modérée. Enfin, la seule possibilité pour le concepteur d'étudier l'influence de la température ou des variations process est de changer les valeurs des paramètres technologiques adéquats (température, dopage, tension de seuil, facteur de transconductance ...). Il ne peut donc pas optimiser sa solution en variation process ou en température, avant la phase de simulation.

III.3.4 Synthèse des caractéristiques et de la portée de l'existant

Les méthodologies de conception avancées, qui ont été présentées, s'appuient sur une modélisation du transistor continue au travers de l'inversion (modèle EKV ou ACM), indispensable à une exploration globale de l'espace de conception dans une optique de conception organisée et de recherche de solutions optimisées vis à vis des spécifications du cahier des charges du circuit.

L'objectif de ces méthodologies est clairement de simplifier le travail du concepteur et par là même de réduire les coûts de conception, comme évoqué lors de l'établissement du cahier des charges de la

méthodologie de conception nanowatt.

Les caractéristiques respectives de ces méthodologies sont synthétisées dans deux tableaux. Le premier (Tab.III.1) reprend les caractéristiques générales des méthodologies. Le second (III.2) concerne les déviations et les effets du second ordre qu'elles intègrent. Leurs qualités et leurs défauts ont été mis en évidence.

Propriétés	**Camacho-Galeano**	gm/I_D	**Binkley**	**PAD**
Type d'architecture	autopolarisée	polarisée	polarisée	polarisée
Choix d'architecture	Non	Oui	Non	Oui
$V_{dd} \leq 1V$	Oui	Non	Oui	Non
I_{dd} 10-100nA	Oui	Oui	Oui	Oui
Prédictive	Non	Oui en MI	Oui en MI	Oui en MI
Balayage espace solutions	manuel automatisable	manuel automatisable	manuel	manuel
Espace des solutions	restreint	à spécifications fixées	entier	entier
Simplicité d'utilisation	Oui	Oui	Oui logiciel indisponible	Oui logiciel d'évaluation
Pédagogique	Oui	Oui	Oui	Oui
Solutions optimisées	Non	Oui à spécification fixées	Oui	Oui
Changement des paramètres technologiques	Oui	Oui	Oui	Oui
Modèle transistor	ACM/EKV3.0	mesures/EKV2.0	EKV2.0/3.0	EKV2.6

Tab. III.1 – Caractéristiques générales des méthodologies de conception avancées

Si elles remplissent toutes certaines des spécifications requises comme la portabilité d'une technologie à une autre, la simplicité de mise en œuvre ou l'aspect pédagogique, qui vont de pair avec la réduction des coûts de conception, elles diffèrent sur certaines comme l'automatisation de la recherche de solution. En effet, les méthodologies Camacho-Galeano et gm/I_D sont automatisables, via un logiciel de calcul numérique tel MATLAB (The Mathworks), au contraire de la méthode de Binkley et de l'outil PAD, qui nécessitent un balayage manuel de l'espace de conception par le concepteur et allongent la phase de conception.

Il en est de même pour l'aspect optimisation puisque seul les outils de conception de circuits à polarisation fixée offrent une exploration globale de l'espace de conception. Les méthodologies de conception de circuits à polarisation fixée utilisent l'ensemble de l'inversion dont l'inversion modérée. En revanche, la méthode Camacho-Galeano restreint la valeur d'inversion du transistor conducteur, ce qui limite grandement son intérêt. Par ailleurs, la spécification de consommation en courant (de 10nA à 100nA) est atteignable par l'ensemble des méthodologies. Mais seul les méthodes de Binkley et Camacho-Galeano sont compatibles avec la contrainte de faible tension d'alimentation.

Aucune des méthodologies ne prend en compte les variations process ou les variations de température. La modélisation du mismatch est trop simplifiée lorsqu'elle existe et seul l'outil PAD ainsi que la

méthodologie Camacho-Galeano modélisent la sensibilité aux variations de la tension d'alimentation.

La modélisation des effets d'ordre deux comme l'effet CLM ou le bruit est trop simplifiée. Les effets de réduction de mobilité, de saturation de vitesse et du profil de dopage ne sont pas intégrés.

Propriétés	**Camacho-Galeano**	**gm/I_D**	**Binkley**	**PAD**
Réduction de mobilité	Non	Non	Non	Non
CLM	Non	rudimentaire	rudimentaire	Oui
Saturation de vitesse	Non	Non	Non	Oui
Effet petites dimensions	Non	Non	Non	Oui
Variations en V_{dd}	Oui	Non	Non	Oui
Variations en température	Non	Non	Non	Non
Variations process	Non	Non	Non	Non
Mismatch	Non	Non	simplifié	simplifié
Bruit	Non	Non	simplifié	simplifié

Tab. III.2 – Méthodologies de conception avancées : modélisation des effets du second ordre et déviations intégrées

Ainsi, aucune des méthodologies ne remplit l'ensemble des spécifications du cahier des charges de la méthodologie de conception nanowatt. En particulier, il n'existe aucune méthode globale de conception de circuits autopolarisés dans la littérature, encore moins une méthode adressant des spécifications nanowatt. En ce qui concerne les méthodes de conception de circuits à polarisation fixée (en courant), aucune des méthodes avancées de conception ne répondant à l'ensemble des spécifications du cahier des charges de la méthodologie de conception nanowatt, il convient de s'inspirer de leurs concepts et de rassembler leurs équations, en les complétant au besoin, afin d'obtenir une méthode répondant au cahier des charges.
La méthodologie élaborée lors de ce travail de thèse va être développée dans ce qui suit, en commençant par les concepts sur lesquels s'appuient cette méthodologie.

III.4 Concepts clés de la méthodologie de conception nanowatt

Les méthodologies de conception qui viennent d'être détaillées ne sont pas utilisables pour dimensionner des circuits respectant des spécifications nanowatt ce qui a nécessité de construire une nouvelle méthode de conception. En effet, les méthodologies avancées de conception de circuits, qui sont disponibles dans la littérature, ne remplissent pas l'ensemble des spécifications du cahier des charges de la méthodologie de conception nanowatt, rappelé dans l'introduction du présent chapitre.
Ainsi, la méthodologie avancée de conception de circuits autopolarisés qui a été présentée, utilise une modélisation du transistor continue sur l'inversion, mais restreint l'espace des solutions, en fixant des contraintes d'inversion pour les différents blocs de l'architecture.
De plus, la modélisation classique, trop simplifiée, néglige un phénomène du second ordre important, la réduction de mobilité sous l'influence du champ électrique vertical, ce qui dégrade la prédiction du courant et donc de la méthodologie.
Le concept de modélisation du transistor continue sur l'inversion est à retenir et à compléter pour assurer une description précise et simple de l'architecture sans contraintes d'inversion ce qui permet d'assurer l'objectif d'optimisation en balayant la totalité de l'espace de conception.

Enfin, les méthodes de conception de circuits à polarisation fixée respecte seulement une partie des spécifications du cahier des charges. Cependant, il convient de s'inspirer de leurs concepts, de conserver

les équations de ces méthodologies, et les compléter au besoin, afin d'obtenir une méthode de conception de circuits répondant au cahier des charges.

Une nouvelle méthode de conception a été élaborée à partir des concepts qui vont être détaillés maintenant.

III.4.1 Principes fondamentaux de la méthodologie

Comme déjà introduit, une méthodologie de conception est un outil à destination du concepteur, qui utilise des concepts, associés à des procédures, pour aboutir à une solution optimisée, dans le respect des contraintes industrielles et des exigences du marché. L'un des aspects importants à garder à l'esprit est de conserver une approche familière au concepteur, en s'inspirant de la méthodologie classique, pour éviter de le dérouter et faciliter l'accès à l'outil.
La procédure de conception générale, présentée au chapitre d'introduction, comporte différentes étapes, dont celle de dimensionnement de la solution initiale.
Suite à la répartition des circuits en circuits autopolarisés et circuits à polarisation fixée, deux procédures de dimensionnement ont été développées :

- la procédure de conception nanowatt de circuits autopolarisés,
- la procédure de conception nanowatt de circuits à polarisation fixée.

Avant d'expliciter ces deux procédures, nous décrivons les concepts utilisés ainsi que les procédures liées à l'étape de caractérisation de la technologie (extraction des paramètres fondamentaux de la modélisation), qui est récurrente à chaque changement de technologie.

La définition des concepts est précédée de l'identification de l'origine des durées excessives et de la perte de qualité du dimensionnement de solutions, dans le cadre de la méthodologie de conception standard, indispensable pour parvenir à réduire les coûts de conception.
Ainsi, chaque étape de la procédure de conception générale est analysée au regard des spécifications du cahier des charges de la méthodologie de conception nanowatt, dégagées au chapitre d'introduction, exceptées les spécifications de tension d'alimentation et de courant, afin d'identifier pour chacune d'elles les spécifications non respectées et l'implication en termes de coûts de conception.
Une fois les défaillances de chaque étape mises en évidence, des améliorations peuvent être apportées en termes de gain de temps et de qualité de solution, en s'inspirant des méthodes de conception existantes, pour réduire la durée de conception et obtenir des solutions optimisées.

De fait, *l'étape d'extraction*, effectuée à chaque changement de technologie, est effectuée manuellement en conception classique mais elle est relativement rudimentaire, puisque réalisée principalement à partir des paramètres de la carte modèle du modèle de simulation et d'extraction à partir de simulations simples. Aussi, il est important de ne pas compliquer cette étape pour le concepteur et, au besoin, lui fournir une extraction automatisée pour éviter toutes pertes de temps.
Lors de *l'étape de faisabilité* le concepteur emploie une partie des équations utilisées lors de l'étape de dimensionnement de la solution initiale. Cette étape est manuelle mais peut se révéler fastidieuse.
L'une des *étapes* essentielle est celle du *dimensionnement* de la solution initiale. La méthode de conception standard utilise une modélisation du transistor simple, autorisant le dimensionnement manuel des solutions. Toutefois, elle ne permet pas de dimensionner une solution optimisée. En effet, la méthodologie de conception classique manque de pédagogie et n'apporte pas une vue synthétique des compromis de conception possibles, d'où une durée de dimensionnement incertaine. Elle affecte les coûts de développement en terme de qualité de solution aussi bien qu'en terme de durée.

En outre, la perte de temps liée à *l'étape d'optimisation*, étape réalisée à partir de la solution initiale à l'aide d'un simulateur électrique, est encore plus importante. De fait, pour obtenir une solution respectant les spécifications du circuit, le concepteur réalise des simulations multiples avec ajustements successifs et aléatoires des paramètres du circuit, engendrant une durée incertaine du processus de conception et donc un coût en temps non maitrisé. De plus, la démarche ne garantit pas l'optimalité de la solution.

Par conséquent, la réduction et la maitrise de la durée de la phase d'optimisation permettrait de réduire les coûts de conception. La réduction du nombre de simulations à l'étape optimisation ne peut s'atteindre que par une solution initiale déjà quasi-optimale. Cela aurait pour conséquence une étape d'optimisation presque inexistante, le simulateur servant pour la retouche finale de la solution dimensionnée, voire l'utilisation du simulateur limitée à *l'étape de validation* ce qui apporterait effectivement la maitrise de la durée de conception et de la qualité de la solution.

Ainsi, de l'analyse des étapes de la procédure globale de conception, découle l'idée de dimensionner une solution quasi optimisée dès l'étape de dimensionnement de la solution initiale. Le dimensionnement d'une solution quasi optimisée nécessite l'exploration globale et maitrisée de l'espace de conception, impossible à effectuer avec un simulateur.

L'examen du cahier des charges de la méthodologie de conception nanowatt, permet la définition des moyens adéquats à mettre en place, pour dimensionner une solution quasi optimisée.
Afin de garantir un choix de solution optimal sur toute la plage d'inversion, la méthodologie doit être en mesure d'assurer la couverture de l'inversion modérée et l'étape de dimensionnement de la solution initiale doit aboutir à une solution quasi-optimisée, ce qui nécessite de pouvoir dimensionner les transistors d'un circuit, sans contraintes d'inversion, de balayer l'ensemble de l'espace de conception, sans simulateur, et de décrire avec précision le comportement du transistor.
De plus, la spécification de tension d'alimentation V_{dd} ($V_{dd} < 1V$) exige une description du transistor valable en inversion modérée (MI) pour réaliser un compromis acceptable entre les différentes spécifications du circuit.
De même le courant de consommation I_{dd} visé est compris entre 10 et 100 nA ce qui nécessite une polarisation des transistors en inversion modérée (MI), et donc une description du transistor adaptée.
Une modélisation du transistor continue sur l'inversion permet l'accès à l'inversion modérée et donc de concevoir des circuits fonctionnant sous faible tension d'alimentation, sans dégrader significativement les performances dynamiques. Par ailleurs, l'inversion modérée est adaptée à des spécifications faible courant sans compromettre le coût de fabrication par une surface prohibitive.
En outre, la description précise du comportement du transistor permettra au concepteur de réduire la marge de sécurité qu'il s'accorde et d'éviter le surdimensionnement des dispositifs qui découle d'une marge de sécurité trop importante.
Ainsi, il est nécessaire de faire appel à la description des phénomènes perturbateurs affectant le comportement idéal du transistor. Les phénomènes perturbateurs à inclure comprennent les effets du second ordre (réduction de la mobilité...) et les déviations (procédé de fabrication, température, bruit, tension d'alimentation).
Un tel modèle valable sur l'ensemble de l'inversion, associé à la description des phénomènes perturbateurs, donne l'accès à l'ensemble de l'espace de conception et assure le dimensionnement d'une solution quasi-optimisée sans ambiguïté, en regard des spécifications du circuit et pour une technologie donnée, par l'exploration de la totalité de l'espace de conception sans contraintes d'inversion et sans simulateur.
Ainsi, ces exigences de modélisation du transistor sont à concilier avec la spécification de robustesse de la méthodologie. Le choix d'un modèle de transistor analytique et basé sur la physique, associé à une description des effets perturbateurs exprimée à l'aide de variables physiques, permet d'espérer une relative insensibilité de la méthodologie au changement de technologie [8], et facilite, au besoin, l'adaptation de la description du transistor par ajout d'effets physiques nouveaux, et donc l'évolution technologique de la

méthodologie.

La simplicité de la méthodologie est obtenue par l'emploi d'une modélisation du transistor sous forme d'équations analytiques simples incluant les effets du second ordre complexes au moyen d'abaques indexés à l'aide d'une variable appropriée à chaque effet (champ électrique effectif E_{eff}, niveau d'inversion IC). Le sens physique de ces variables d'indexation doit être prononcé pour assurer la robustesse au changement de technologie. Les abaques sont construits à partir de mesures ou de simulations. La simplicité des équations de la modélisation facilite la mise en équations des circuits lors de l'étape de dimensionnement. En conception classique, le concepteur utilise déjà des équations analytiques simples et emploie des abaques pour modéliser les effets du second ordre (tension d'Early pour l'effet CLM et facteur de transconductance pour la réduction de mobilité sous l'influence du champ électrique vertical). L'utilisation d'abaques évite une extraction complexe des paramètres relatifs aux effets du second ordre et facilite leur mise en œuvre. Les abaques permettent de garder la simplicité des équations analytiques, en particulier celles de courant de drain, et donc, la recherche de solutions est plus rapide.

L'évolution de la méthodologie, d'un point de vue circuit, est favorisée par la mise en place d'une variable de conception centrale, facilitant l'introduction de nouvelles spécifications circuit et la description de nouvelles architectures ou d'améliorations.
L'aspect synthétique de la méthodologie s'obtient en associant la notion de variable de conception centrale avec l'affichage des résultats de dimensionnement sous forme de graphes ou de tables, donnant ainsi une vue globale de l'ensemble des solutions.
Une variable de conception centrale, à partir de laquelle les performances du transistor, et donc celles du circuit, sont exprimées, permet au concepteur d'organiser le dimensionnement des circuits en l'associant à une partition des architectures pour établir un plan de conception. Ainsi, l'exploration de l'espace de conception est particulièrement efficace. En outre, une modélisation du transistor basée sur des équations analytiques simples incluant des paramètres physiques, facilite la compréhension profonde du fonctionnement du transistor et des circuits. L'association de ces éléments permet une conception déductive et remplit l'exigence de pédagogie.

Les notions qui viennent d'être dégagées (Tab.III.3) à partir des spécifications sont regroupées sous la forme de concepts généraux (Tab.III.4), mis en œuvre dans la méthodologie développée, afin d'atteindre les objectifs fixés par le cahier des charges de conception nanowatt. Les concepts retenus des méthodologies existantes sont :

- une modélisation du transistor continue sur l'inversion, qui rend possible le dimensionnement sans contraintes d'inversion,
- la modélisation des phénomènes perturbateurs (effets du second ordre et variations), qui apporte la précision à la modélisation du transistor et assure la prédiction de la méthodologie,
- le concept d'abaque, qui facilite la modélisation de certains effets du second ordre,
- l'utilisation d'un logiciel de calcul numérique qui permet l'automatisation des procédures et facilite un dimensionnement optimisé.

Le modèle du transistor est le point central, vers lequel l'essentiel des spécifications du cahier des charges convergent. Son choix est essentiel car il constitue l'ossature principale de la méthodologie, ce qui justifie qu'une partie du chapitre précédent (§II) soit consacrée à l'étude des modèles utilisables par le concepteur et définis en inversion modérée. Dans un souci de conserver une approche familière au concepteur, les caractéristiques du modèle sont celles détaillées au §III.2.1, établies à partir des besoins du concepteur, auxquelles se rajoute celle de la validité du modèle sur l'ensemble de l'inversion :

- les équations du noyau sont valables en inversion modérée, voire de l'inversion faible à l'inversion forte,
- les équations du noyau sont en nombre raisonnable,
- les équations du noyau sont simples et permettent d'établir les équations des circuits,

Spécifications	**Notions**
$V_{dd} \leq 1V$	MI
I_{dd} 10-100nA	MI
Robustesse technologique	modèle basé sur la physique, effets d'ordre 2 avec variables physiques
Evolution technologique	modèle basé sur la physique équations analytiques
Solution optimisée	dimensionnement sans contraintes d'inversion phénomènes perturbateurs, balayage espace de conception
Rapidité	modèle réversible, automatisation
Simplicité	équations analytiques et simples abaques des effets d'ordre 2 avec variables d'indexation
Evolution circuit	variable de conception centrale programmation du dimensionnement
Pédagogique	paramètres physiques, équations simples variable de conception centrale, partition des architectures plan de conception
Synthétique	variable de conception centrale affichage des résultats (graphes, tables)
Forme conventionnelle	paramètres transistor usuels (physique, électrique) phénomènes perturbateurs abaques modélisant les effets d'ordre 2

Tab. III.3 – Cahier des charges et notions associées

– les paramètres sont peu nombreux et explicitement liés à la physique du transistor MOS.

Les propriétés ainsi définies sont celles utilisées au chapitre précédent (§II), consacré à l'étude des modèles utilisables par le concepteur pour le dimensionnement de la solution initiale.
Le chapitre précédent a permis d'identifier le modèle EKV comme modèle basé sur la physique, défini sur l'ensemble de l'inversion et utilisable par le concepteur. En outre ce modèle introduit un concept puissant, le niveau d'inversion IC, avec lequel l'ensemble des paramètres, statiques ou petits signaux, du transistor peuvent être décrits. Le niveau d'inversion est la variable centrale de conception recherchée avec laquelle toutes les performances du transistor sont exprimées (V_{DSsat},...). Il apporte la cohérence nécessaire à l'exploration de l'espace de conception et facilite la recherche de solutions optimisées.
Le concept de niveau d'inversion permet de prédire qualitativement en termes de performances l'effet d'un changement de taille. Les expressions analytiques simples du modèle EKV et le concept d'inversion autorisent l'optimisation manuelle des solutions. Ainsi le niveau d'inversion apporte la pédagogie nécessaire à la méthodologie.
Nous choisissons dans les versions disponibles du modèle EKV, les équations réversibles pour faciliter la description analytique des circuits et l'automatisation du dimensionnement, sans impacter la prédiction du comportement du transistor :

– les équations de courant de drain EKV 2.0,
– l'équation du ratio transconductance sur courant de drain statique gm/I_D du modèle EKV 3.0.

Ce modèle est déjà employé dans les méthodes de conception avancées ce qui en conforte le choix.

L'intégration des effets du second ordre (cf §II.4) pris en compte dans les versions récentes du modèle EKV, ainsi que des améliorations, est rendue possible pour les versions antérieures du fait de la formulation des modèles EKV en terme de courant réduit $i_{f,r}$, c'est à dire en terme de niveau d'inversion.

Spécifications	**Modélisation continue sur l'inversion**	**Phénomènes perturbateurs**	**Abaque**	**Logiciel de calcul numérique**
$V_{dd} \leq 1V$	MI	-	-	-
I_{dd} 10-100nA	MI	-	-	-
Robustesse technologique	bases physiques	effets d'ordre 2 avec variables physiques	variables d'indexation physiques	-
Evolution technologique	bases physiques équations analytiques	-	-	-
Solution optimisée	dimensionnement sans contraintes d'inversion	phénomènes perturbateurs	-	balayage espace de conception
Rapidité	équations réversibles	-	extraction	automatisation
Simplicité	équations analytiques simples	-	effets d'ordre 2 avec variables d'indexation	-
Evolution circuit	variable de conception centrale	-	-	programmation du dimensionnement
Pédagogique	paramètres physiques équations simples variable de conception centrale	-	-	partition des architectures plan de conception
Synthétique	variable de conception centrale	-	-	affichage des résultats (graphe, table)
Forme conventionnelle	paramètres transistor usuels (physique, électrique)	phénomènes perturbateurs	table modélisant les effets d'ordre 2	-

Tab. III.4 – Cahier des charges et concepts fondamentaux

A ce propos, il soutient la comparaison par rapport aux modèles compacts analytiques en potentiel de surface qui du fait de leur formulation en potentiel de surface, intègrent aisément un grand nombre d'effets avancés, avec une bonne aptitude au changement de technologie.
La modélisation choisie pour les effets du second ordre ainsi que les procédures d'extraction sont explicitées dans la section suivante ($\S III.5$).

Par ailleurs, le dimensionnement d'un circuit est réalisé à l'aide d'un logiciel de calcul numérique, en l'occurrence MATLAB, qui exécute le plan de conception obtenu à partir du système d'équations du circuit associé à la modélisation des effets du second ordre sous forme d'abaques indexés.
L'automatisation du dimensionnement permet un gain dans la durée de conception et la qualité des solutions obtenues. L'outil de calcul numérique diminue la durée de conception à l'étape de dimensionnement de la solution initiale, et permet une description plus précise du transistor sans alourdir l'étape de caractérisation de la technologie. L'utilisation d'un tel logiciel apporte la systématisation des procédures d'extraction et

de conception. Contrairement aux logiciels comme l'outil PAD, le code peut évoluer simplement au gré des besoins du concepteur ce qui renforce la souplesse d'utilisation de la méthodologie. De plus, le travail supplémentaire de programmation est compensé par l'organisation du dimensionnement et la vision synthétique de l'ensemble des solutions, sous forme graphique.
En outre, pour une architecture donnée la programmation est réutilisable directement lors du changement de technologie, ce qui permet un gain de temps au final. La programmation apporte donc souplesse et évolutivité à la méthodologie tout en autorisant le traitement de gros volumes de données.
L'avantage d'utiliser un outil de calcul numérique est de pouvoir prendre en compte des effets avancés complexes, modifiant le comportement du transistor de manière non négligeable.
Cependant il ne s'agit nullement de développer un simulateur, mais plutôt un outil d'aide à la conception destiné à faire gagner du temps au concepteur dans sa recherche de solutions ainsi qu'à lui apporter une meilleure vision de l'espace des solutions ainsi que du comportement des circuits. Cet outil correspond à la rigueur à un calculateur rapide comme celui implémenté dans l'outil PAD (§.III.3.3.3). L'utilisation d'un logiciel de calcul numérique a déjà été proposé dans le cadre de la méthode gm/I_D (§.III.3.3.1).
L'ensemble des programmes de dimensionnement des circuits, associés aux méthodologies développées, et d'extraction des paramètres a été implémenté sous l'outil MATLAB.

En résumé, la méthodologie repose sur l'association, au moyen d'un logiciel de calcul numérique, des équations du circuit (obtenues à partir des équations de la modélisation EKV) avec des abaques intégrant simplement les principaux effets du second ordre modélisés dans les versions plus récentes du modèle EKV [34, 36].

III.4.2 Choix des équations statiques et petit signal

Parmi les méthodologies avancées qui ont été décrites, certaines utilisent un modèle unique pour décrire le comportement du transistor, comme le modèle EKV2.6 pour l'outil PAD (§III.3.3.3), et d'autres mélangent des équations de différents modèles, comme les modèles EKV2.0 et 3.0 pour la méthode de Binkley (§ III.3.3.2).
Nous nous sommes inspirés de la seconde approche, en utilisant les équations des modèles EKV2.0 et EKV3.0 les plus pratiques à utiliser pour le concepteur d'un point de vue analytique, et donc les moins pénalisantes en temps de calcul. Cependant, pour garantir la prédictibilité de la méthodologie développée, nous avons adapté une partie des concepts du modèle EKV3.0 au modèle EKV2.0, ce qui conserve la cohérence de la modélisation et évite une perte de précision. Il s'agit de décrire :

- le courant de drain statique en fonction des potentiels appliqués aux différentes électrodes du transistor (source, drain, grille et substrat),
- la tension de drain de saturation.

Le modèle choisi, pour les équations du courant de drain statique et du niveau d'inversion, est le modèle EKV2.0. Il est ancien, mais la formulation analytique du courant de drain statique proposée est simple et les équations de courant de drain statique sont réversibles, ce qui facilite l'établissement des expressions analytiques des circuits, utiles pour l'étude comportementale de ces derniers. De plus, cette réversibilité diminue fortement le temps de calcul nécessaire pour dimensionner un circuit, tout en facilitant l'étude analytique des circuits. Cependant, une inversion numérique performante permettrait d'utiliser la formulation du modèle EKV3.0 pour le courant de drain.

L'expression de la tension de pincement V_P, intervenant dans la formulation des courants normalisés direct et inverse, et donc du niveau d'inversion, est empruntée au modèle EKV3.0, car elle est exprimée en potentiel de surface de pincement ψ_P, ce qui facilite l'introduction de phénomènes physiques perturbateurs, comme le profil de dopage, et assure l'évolutivité de la modélisation. De plus, cette formulation fixe une valeur déterminée de constante d'ajustement de ψ_0 avec l'introduction du coefficient m du modèle EKV3.0

(II.77). De plus, par souci de cohérence, le facteur de pente n du modèle EKV2.0 (II.52) est séparé en n_v et n_q, introduits dans le modèle EKV3.0 (cf §II.2.3.5).

L'écart entre le niveau d'inversion des modèles EKV 2.0 et EKV 3.0 (Fig.II.12), pour des potentiels identiques, impacte la charge d'inversion de source q_{is} ou de drain beaucoup plus (Fig.III.12 et III.13) que le paramètre $\chi_{f,r}$ renoté $X_{s,d}$ (Fig.III.14 et III.15), utilisé dans la définition de la charge d'inversion intégrale et donc dans les définitions du champ électrique effectif E_{eff} et du paramètre X_{eff}.

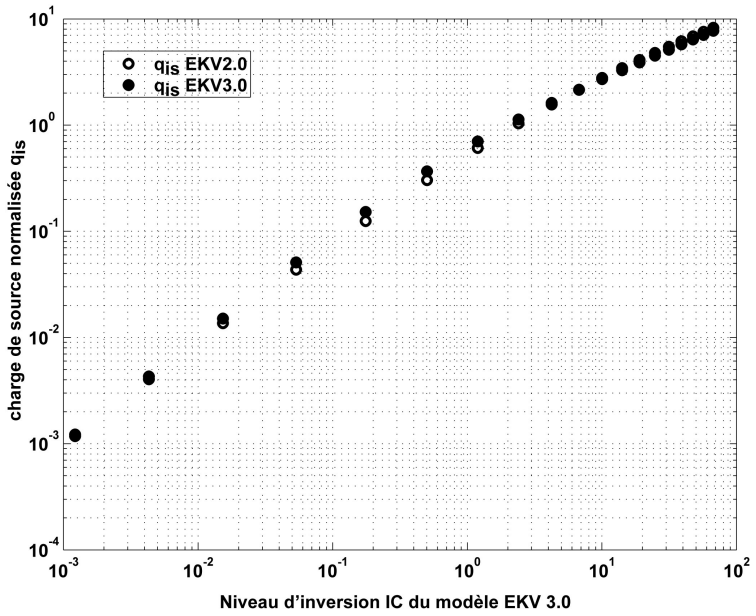

Fig. III.12 – Charge d'inversion normalisée de source des modèles EKV 2.0 et 3.0

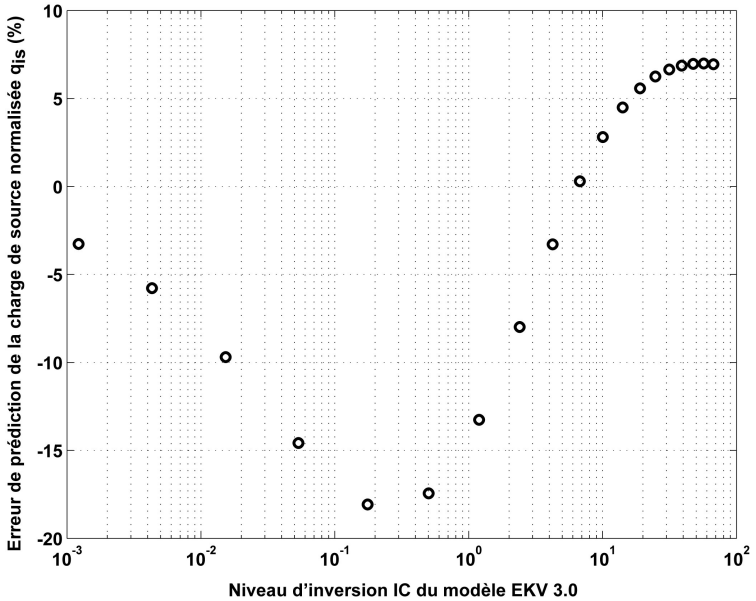

Fig. III.13 – Ecart des charges d'inversion normalisées de source des modèles EKV 2.0 et 3.0

En d'autres termes les variables principales intervenant dans la description de la réduction de la mobilité sous l'effet du champ électrique vertical sont peu affectées par l'utilisation du niveau d'inversion EKV 2.0.

La prédiction du courant de drain statique n'est pas affectée par l'écart entre les niveaux d'inversion EKV 2.0 et 3.0 car le champ électrique effectif E_{eff}, et donc la mobilité, dépend du niveau d'inversion. Là aussi, l'écart en niveau d'inversion est compensé, ce qui justifie l'utilisation de la formulation EKV2.0 pour les équations statiques. Le raisonnement est aussi applicable en conduction avec les courants normalisés direct et inverse. Ceci est illustré en §.III.5.8.

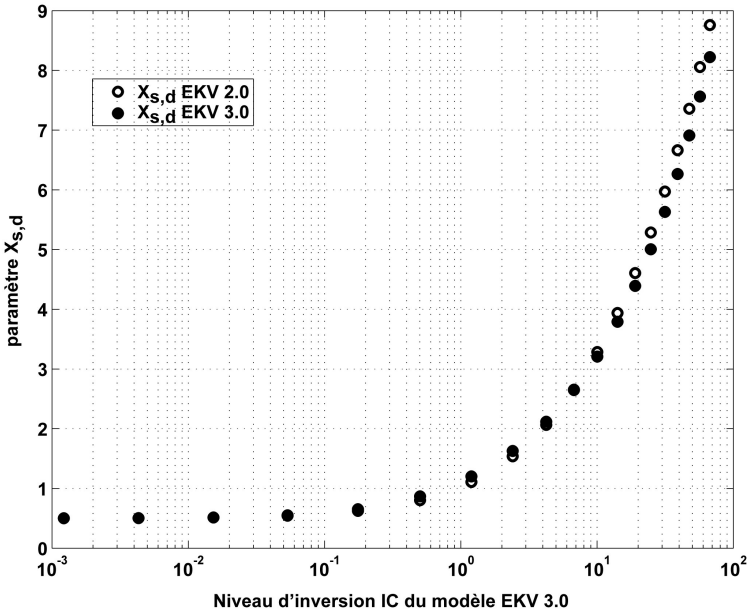

Fig. III.14 – Paramètre $X_{s,d}$ pour les modèles EKV 2.0 et 3.0

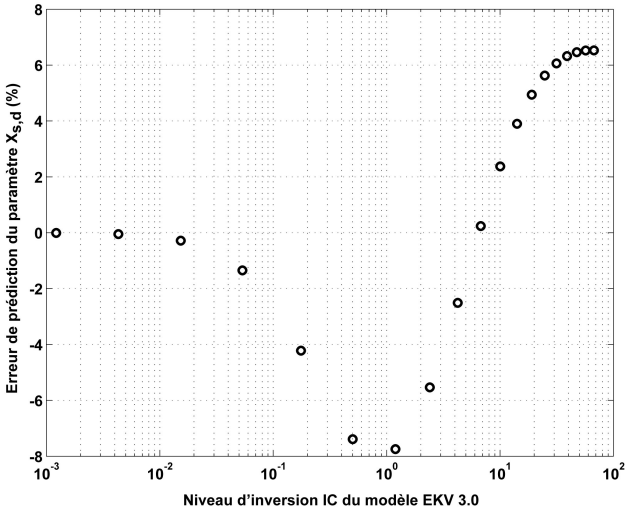

Fig. III.15 – Ecart du paramètre $X_{s,d}$ pour les modèles EKV 2.0 et 3.0

Cette faible sensibilité (écart $\leq 8\%$ sur l'inversion contre 18% pour q_{is}) s'explique par la forme du paramètre $X_{s,d}$, somme de termes positifs. Par conséquent, les paramètres EKV3.0 du transistor formulés sous la forme d'une somme de termes positifs faisant intervenir le paramètre $X_{s,d}$ sont peu sensibles à l'écart entre les niveaux d'inversion EKV2.0 et EKV3.0.
Il en est ainsi pour les expressions de la tension de saturation de drain $V_{DS_{sat}}$, du ratio transconductance de

grille sur courant de drain statique gm/I_D et des capacités intrinsèques.

Ainsi, l'écart entre les niveaux d'inversion EKV2.0 et EKV3.0, a peu d'impact sur l'expression de $V_{DS_{sat}}$ (II.72).

Par ailleurs, le concepteur exprime les paramètres petit signal du transistor en fonction des paramètres électriques et physiques du transistor. La formulation retenue pour le ratio transconductance de grille sur courant de drain statique gm/I_D est celle du modèle EKV3.0 car l'équation est réversible. En outre, elle est peu sensible à l'écart entre les niveaux d'inversion EKV2.0 et EKV3.0 (Fig.III.16).

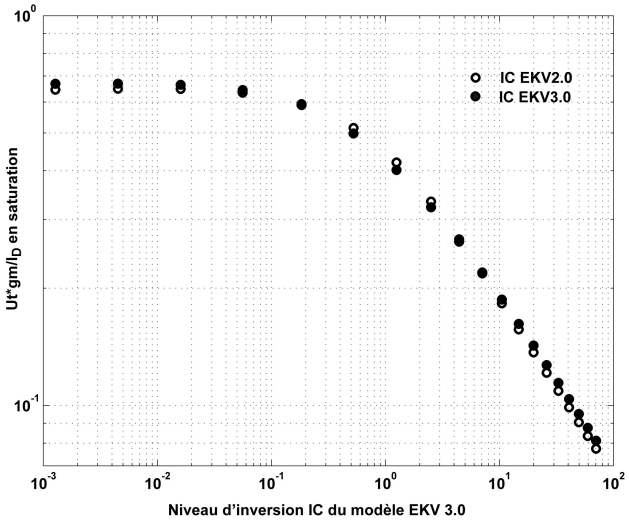

Fig. III.16 – Influence du niveau d'inversion sur la transconductance de grille EKV3.0

L'écart entre les courbes gm/I_D EKV3.0 calculées avec les niveaux d'inversion EKV 2.0 et 3.0 est inférieur à 6% sur l'ensemble de l'inversion (Fig.III.17). La méthode de Binkley utilise également cette formulation.

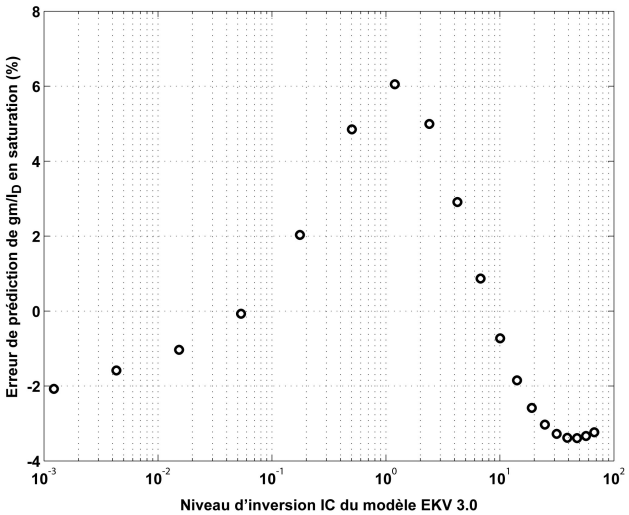

Fig. III.17 – Ecart de la transconductance de grille EKV3.0 selon le niveau d'inversion

Le concepteur se sert également des capacités intrinsèques lors de l'établissement des équations des circuits. Les équations utilisées pour les capacités intrinsèques sont celles proposées par le modèle EKV3.0

car elles sont simples et également peu sensibles à l'écart entre les niveaux d'inversion EKV2.0 et EKV3.0.

III.4.3 Effets du second ordre intégrés

Les phénomènes physiques, perturbant notablement le comportement intrinsèque du transistor, sont intégrés de manière à assurer la prédictivité de la modélisation et donc de la méthodologie.
L'intégration des effets du second ordre, pris en compte dans les versions du modèle EKV plus récentes, est rendue possible pour les versions antérieures du fait de la formulation des modèles EKV en terme de courant normalisé $i_{f,r}$, c'est à dire en terme de niveau d'inversion.
Cependant, il a fallu prendre une formulation de la tension de pincement en terme de potentiel de surface de pincement ψ_P pour introduire des phénomènes physiques perturbateurs comme le profil de dopage. En outre, cette formulation en potentiel de surface ouvre la voie à l'introduction de phénomènes physiques plus complexes, sans modifier la modélisation, au risque de l'alourdir, ce qui est un gage d'évolutivité de la modélisation et par conséquent de la méthodologie.

Les effets du second ordre pris en compte sont :
- la saturation de vitesse,
- le profil de dopage,
- la réduction de la mobilité sous l'influence du champ électrique vertical,
- l'effet CLM,
- la dépendance de la tension de seuil avec la longueur du transistor. L'effet de la largeur de grille du transistor est supposé négligeable pour les largeurs considérées ($W \geq 2\mu m$), même si ce n'est pas vrai en toute rigueur, mais cette hypothèse a permis de simplifier l'implémentation logicielle de la méthodologie développée.

Chacun d'eux a été décrit au chapitre précédent. Une partie de ces effets sont complexes à modéliser, mais les variables d'influence sont connues, aussi ils sont modélisés sous forme d'abaque, ce qui facilite leur intégration dans la procédure de dimensionnement et évite une procédure d'extraction lourde, apanage des modèles de simulations.
Les équations de courant de drain EKV2.0 sont ainsi améliorées par l'intégration, notamment, de la réduction de la mobilité sous l'influence du champ électrique vertical [31] et de l'effet de modulation de longueur du canal (effet CLM), ainsi que par l'emprunt au modèle EKV3.0, de la formulation de la tension de pincement en potentiel de surface.

Cette modélisation sous forme d'abaque existe déjà en conception classique. Elle offre l'avantage de faciliter l'étape d'extraction et de réduire le temps de calcul lors de la phase de dimensionnement. La seule contrainte est de choisir, pour chaque phénomène physique, une variable adaptée d'indexation d'abaque :
- le profil de dopage est indexé en tension $V_G - V_{T0}$ et normalisé à la valeur nominale du dopage dans le canal, donnée par la carte modèle du modèle de simulation BSIM3v3. Il est pris en compte via le potentiel de surface de pincement (II.110),
- la mobilité est indexée en champ effectif et normalisée à la valeur nominale de la mobilité faible champ μ_0, donnée par la carte modèle du modèle de simulation BSIM3v3,
- l'effet CLM est indexé en niveau d'inversion,
- la tension de seuil est indexée en longueur de grille du transistor.

Seul la saturation de vitesse est prise en compte à l'aide du coefficient de saturation de vitesse formulé en courants normalisés direct et inverse, proposé au chapitre précédent(II.99). La valeur prise pour la vitesse des porteurs à saturation v_{sat}, qui intervient dans le coefficient λ_c, est celle proposée dans la carte modèle des paramètres extraits du modèle de simulation BIM3v3.

III.4.4 Déviations définies sur l'ensemble de l'inversion

Enfin, l'étude des dérives des circuits sous l'effet de la température, des procédés de fabrication, du bruit ou de la tension d'alimentation nécessitent également des équations définies, sans contraintes d'inversion, au niveau du transistor :

- la modélisation du comportement en température des paramètres sensibles à la température,
- la description des variations en « process » et en « mismatch »,
- le bruit généré par le transistor,
- les paramètres sensibles à la tension d'alimentation.

III.4.4.1 Variations en température

L'influence de la température sur le comportement du transistor est prise en compte au travers des paramètres de tension de seuil V_{T0} et de mobilité μ_n. Toutefois, elle sera supposée négligeable sur les facteurs n_q et n_v [36]. Les dépendances en température de la tension de seuil et de la mobilité présentées en §III.2.1.5, sont valables sans contraintes d'inversion, de même que la démarche d'étude.

III.4.4.2 Variations du procédé de fabrication

Les facteurs n_q et n_v sont peu affectés par les variations de procédé de fabrication aussi ils sont considérés constants lors de l'étude en variations « process » et en « mismatch » [36].
La démarche d'étude de l'influence des variations process est inchangée par rapport à celle préconisée dans le paragraphe consacré à la méthodologie de conception classique (§III.2.1.5).
Les modélisations utilisées pour définir le « mismatch » sont plus générales que celles proposées dans le cadre de la méthodologie de conception classique. Elles sont valables sur l'ensemble de l'inversion. Elles ont été établies à partir de la modélisation ACM/EKV3.0 du transistor [49], pour deux transistors identiques de dimensions (W,L), en considérant le profil de dopage constant pour simplifier les formulations :

- le « mismatch » en tension de seuil, en mV, est défini par

$$\sigma_{V_{T0}} = \frac{A_{V_{T0}}}{\sqrt{WL}} \tag{III.29}$$

- le « mismatch » en courant de normalisation I_{S0} correspond à celui du facteur de transconductance et s'exprime, en $\%$, comme :

$$\frac{\sigma_{K_{n0}}}{K_{n0}} = \frac{A_{K_{n0}}}{\sqrt{WL}} \tag{III.30}$$

  Le « mismatch » en courant de normalisation ou en transconductance s'exprime en fonction de β_0, car K_{n0} est égal à β_0 :

$$\frac{\sigma_{\beta_0}}{\beta_0} = \frac{A_{\beta_0}}{\sqrt{WL}} \tag{III.31}$$

- le « mismatch » en courant est alors exprimé, en $\%$, comme une fonction des « mismatch » en tension de seuil et en facteur de transconductance [49] :

$$\frac{\sigma_{I_D}}{I_D} = \sqrt{(\frac{\sigma_{\beta_0}}{\beta_0})^2 + \left[\frac{1}{n_q^2 U_T^2}\frac{1}{i_f - i_r} ln\left(\frac{1+i_f}{1+i_r}\right)\right]\sigma_{V_{T0}}^2} \tag{III.32}$$

  Cette formulation résulte du calcul de la valeur moyenne intégrale des fluctuations de charge d'inversion, sur le canal du transistor, à partir de la densité locale de charges, décrite par une distribution statistique [49].

– le « mismatch » en tension de grille s'exprime alors, en mV, en fonction du « mismatch » en courant :

$$\sigma_{V_G} = \frac{I_D}{gm}\frac{\sigma_{I_D}}{I_D} \tag{III.33}$$

Pour deux transistors de dimensions différentes (W1, L1) et (W2, L2), un paramètre de « mismatch » $P = \frac{A_P}{\sqrt{WL}}$ fonction des dimensions (tension de seuil, courant de normalisation ...) devient

$$P = \frac{A_P}{\sqrt{2}}\sqrt{\frac{1}{W1L1} + \frac{1}{W2L2}} \tag{III.34}$$

Le « mismatch » en courant et le « mismatch » en tension, dépendent à la fois du produit $W \cdot L$, la surface du transistor, et du niveau d'inversion IC. Une diminution du niveau d'inversion a tendance à faire augmenter le « mismatch » à produit $W \cdot L$ fixé. A niveau d'inversion fixé, une augmentation de la surface du transistor fait diminuer le « mismatch ». Ainsi un compromis pour le « mismatch » peut être atteint en jouant à la fois sur la surface et le niveau d'inversion.

III.4.4.3 Phénomène de bruit

Au même titre que l'étude des variations en température, les modélisations utilisées pour définir le bruit sont plus générales que celles proposées dans le cadre de la méthodologie de conception classique et sont valables sur l'ensemble de l'inversion. Elles ont été établies à partir de la modélisation ACM/EKV3.0 du transistor en calculant la valeur moyenne intégrale sur le canal du transistor, de la densité locale de porteurs de charge, décrite par une distribution statistique [36, 49] :

– le bruit thermique est représenté par une source de courant équivalente δI_D, en parallèle avec la source de courant du schéma petit signal, de densité spectrale de puissance (PSD pour « Power Spectral Density » dans la littérature anglaise) proportionnelle à la charge intégrale Q_i, sur une bande passante en fréquence Δf :

$$S_{I_{th}} = \frac{\overline{\delta I_D^2}}{\Delta f} = 4k_BT\frac{\mu_n}{L^2}|Q_i| = 4k_BT\mu_n\frac{W}{L}|Q_0|\,q_I = 4k_BT(2n_q\beta U_T)q_I \tag{III.35}$$

avec la charge d'inversion normalisée q_I découlant de (II.113)

$$q_I = \frac{2}{3}.\frac{\chi_f^2 + \chi_f.\chi_r + \chi_r^2}{\chi_f + \chi_r} - \frac{1}{2} \tag{III.36}$$

ou par une source de tension équivalente, ramenée à la grille, de densité spectrale de puissance

$$S_{V_{th}} = \frac{S_{I_{th}}}{g_m^2} \tag{III.37}$$

– le bruit de Flicker est représenté par une source de courant équivalente, ramenée à la grille, de densité spectrale de puissance à une fréquence f :

$$\frac{S_{I_{Flicker}}}{I_D^2} = \frac{q^4N_T\lambda_F}{WL(n_qC'_{ox})^2k_BT}\frac{1}{f}\left[\frac{1}{i_f - i_r}ln\left(\frac{1+i_f}{1+i_r}\right)\right] \tag{III.38}$$

Le coefficient λ_F correspond à la distance d'atténuation tunnel, lié à l'effet tunnel au niveau de l'oxyde de grille et vaut environ 0.1nm [36]. La densité volumique de pièges dans l'oxyde par unité d'énergie N_T est évaluée près du niveau de Fermi. Elle est comprise entre 10^{-17} et $10^{-16}eV^{-1}.cm^{-3}$. Le modèle présenté correspond à celui de McWorther [36], pour lequel les termes découlant des fluctuations de mobilité ont été négligés. Pour décrire correctement le bruit de Flicker en inversion forte,

il faudrait rajouter le bruit généré par les résistances d'accès au drain et à la source [36], ce qui n'est pas fait ici afin d'alléger la modélisation et puisque la plage d'inversion qui nous intéresse principalement est l'inversion modérée.
Le bruit peut se modéliser par une source de tension équivalente, ramenée à la grille, de densité spectrale de puissance à une fréquence f :

$$S_{V_{Flicker}} = \frac{S_{I_{Flicker}}}{g_m^2} \tag{III.39}$$

III.4.4.4 Variations de la tension d'alimentation

Les variations de la tension d'alimentation interviennent via la conductance drain/source g_{ds} qui dépend du coefficient de l'effet CLM λ. Les variations sont d'autant plus importantes que λ est élevé, c'est à dire que le transistor est polarisé en inversion faible ou que sa longueur de grille est faible.

III.5 Briques pour la conception nanowatt : extraction et construction des abaques

III.5.1 Généralités et extraction de paramètres usuels

Dans cette section sont présentées les procédures d'extraction des différents paramètres utilisés dans la modélisation retenue pour les méthodologies élaborées.

Toutes les procédures d'extraction utilisées s'appliquent aussi bien à des courbes expérimentales que simulées, ce qui permet de se passer de la phase de caractérisation électrique lorsqu'aucun transistor de test n'est disponible. Elles ont été implémentées sous l'outil MATLAB de manière à automatiser la procédure d'extraction et permettre un gain de temps lors de l'étape d'extraction inhérente à chaque changement de technologie. Dans la mesure du possible, elles ont été simplifiées pour éviter un temps de calcul élevé et ne pas alourdir cette étape par rapport à la méthodologie de conception classique. L'utilisation d'abaques contribue largement à cet allègement.

Les technologies ATMEL $0.18\mu m$, $0.15\mu m$ et $0.13\mu m$ ont été caractérisées sur les bancs de mesures sous pointes du laboratoire de caractérisation électrique de l'ISEN-TOULON, antenne du laboratoire IM2NP (cf Fig.III.18). Les bancs de mesures utilisés sont équipés d'analyseurs HP4156 commandés par ordinateur à l'aide de programmes HTBASIC, via une interface HPIB. Les transistors caractérisés se présentaient sous forme de modules ou de plaques (cf Fig.III.18). Ils sont de type oxyde épais, supportant des tensions élevées (d'où le qualificatif de « high voltage » dans la littérature anglaise), et de type oxyde mince, supportant de faible tension, au maximum la tension de la technologie (d'où le qualificatif de « low voltage » dans la littérature anglaise).

Pour faciliter leur mise au point, les méthodologies de conception ont été développées à partir de caractérisations de transistors de forte épaisseur d'oxyde (oxyde d'épaisseur 25nm), ce qui permet de limiter l'effet de structure technologique (profil de dopage vertical et près de la source et du drain) et de négliger les courants parasites liés à la faible épaisseur d'oxyde (oxyde d'épaisseur 3.3nm). Ainsi, les concepts fondamentaux des méthodologies et les procédures d'extraction de paramètres ont été plus facilement validés. L'extension des méthodologies aux transistors de type oxyde mince demande un simple affinage de l'extraction des paramètres, sans remise en cause des concepts ou des procédures de conception élaborés.

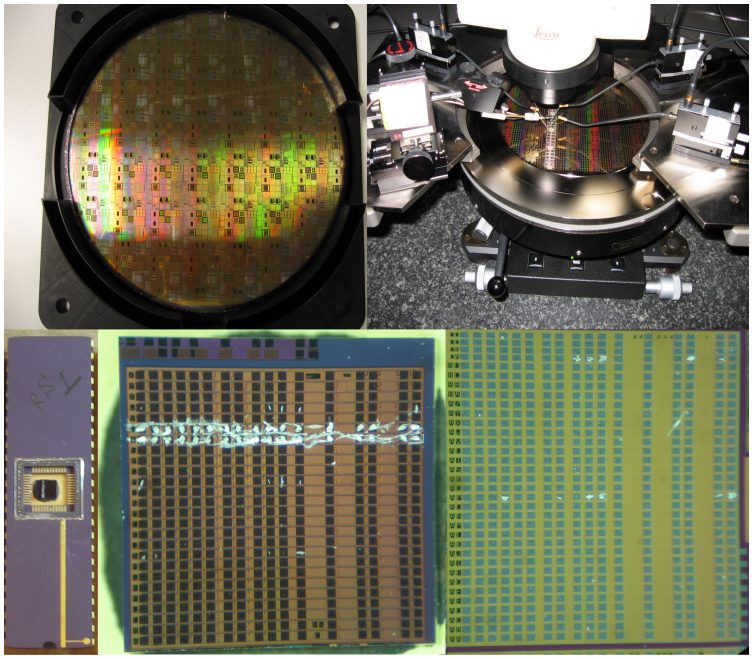

Fig. III.18 – Bancs de mesures, plaques et modules de test

Pour chaque technologie utilisée, certains paramètres physiques du transistor, caractéristiques de chaque technologie, sont usuellement extraits en technologie MOS. Les paramètres extraits, à partir de courbes expérimentales, suivant des procédures classiques de caractérisation électrique, sont les suivants :

- la tension de seuil V_{T0} est extraite à partir de la courbe $I_D(V_G)$, à V_{DS} fixée égale à 50mV et V_{BS} égale 0V. La tangente à cette courbe, au point d'inflexion, coupe l'axe des abscisses en $V_{T0} + \frac{V_{DS}}{2}$,
- le coefficient d'effet substrat γ est la pente de la courbe $V_T(\sqrt{\Psi_0 + V_{BS}} - \sqrt{\Psi_0})$, obtenue itérativement par dichotomie sur les valeurs du dopage et donc de Ψ_0. Les valeurs V_T de cette courbe sont extraites suivant la même procédure que pour V_{T0}, à partir de courbes $I_D(V_G)$, à V_{DS} fixée égale à 50mV et à différentes valeurs de V_{BS},
- le dopage moyen dans le canal N_a est obtenu lors de la procédure de calcul de γ, si l'épaisseur d'oxyde t_{ox} est supposée connue (par exemple valeur de la carte modèle ou mesure C(V)),
- le coefficient d'effet CLM λ est extrait à partir de la pente de la courbe $I_D(V_D)$, à V_G fixée, en saturation à savoir pour $V_{DS} \geq V_{DS_{sat}}$.

Ces paramètres sont utilisés dans le modèle EKV (§II.2.3.3 et II.2.3.5), modèle retenu pour les méthodes élaborées.
De plus, la connaissance de leurs valeurs permet de qualifier le transistor caractérisé par rapport aux déviations de fabrication.

Par ailleurs, les courbes expérimentales obtenues servent à évaluer la qualité de prédiction du modèle de simulation utilisé par le simulateur électrique, en particulier en inversion modérée.

Le simulateur mis à disposition par l'industriel utilise le modèle BSIM3v3 [68] qui est un standard industriel. Pour pouvoir valider, avec le simulateur disponible, les circuits dimensionnés à l'aide de la méthodologie développée, il est important de connaître le domaine de validité du modèle de simulation.
Dans le cas de BSIM3v3, la littérature met en garde contre son manque de prédictivité dans la région d'inversion modérée, zone de transition entre l'inversion faible et l'inversion modérée [34, 43, 53]. En particulier, la caractéristique gm/I_D en fonction du courant de drain.

Les capacités intrinsèques du transistor sont globalement mal modélisées dans le modèle BSIM3v3 au contraire des modèles SP et EKV [69], ce qui est préjudiciable pour prédire le comportement dynamique des circuits en inversion modérée.
En outre il est impossible d'obtenir des résultats cohérents en changeant la valeur de paramètres clés comme l'épaisseur d'oxyde ce qui n'est pas le cas avec des modèles avancés comme SP et EKV. Cette impossibilité est due à la corrélation forte entre de nombreux paramètres du modèle [69].

Dans un premier temps, il s'agit d'évaluer la qualité de prédiction du modèle de simulation et de déterminer ses limites de validité en termes de tension de grille et de niveau d'inversion, car ce dernier est un paramètre indépendant de la technologie, ce qui permet de définir des limites de validité invariantes avec la technologie. Pour cela on comparera les résultats de simulation avec des mesures expérimentales de courant de drain et de caractéristique gm/I_D.

III.5.2 Evaluation du modèle de simulation : comparaison par rapport aux mesures

Dans la majorité des modèles utilisés comme standard dans l'industrie, la transition entre l'inversion faible et l'inversion forte est assurée au moyen de fonctions de lissage ce qui entraine une modélisation incorrecte du régime intermédiaire que l'on souhaite exploiter : l'inversion modérée.

L'inversion modérée peut être correctement modélisée en effectuant une extraction des paramètres du modèle BSIM3v3 pour une plage de tensions de grille restreinte, autour de la tension de seuil, mais le modèle ne peut pas décrire correctement à la fois l'inversion faible et modérée [34].

Les paramètres de la carte modèle BSIM3v3 issue d'une telle extraction ont été mis à notre disposition par l'industriel. Le jeu de paramètres extraits pour les faibles valeurs de tension de grille est appelé « carte modèle faible inversion » par opposition au jeu de paramètres extraits pour l'ensemble de la plage de fonctionnement en tension de grille (de 0V à V_{dd}) appelé « carte modèle standard » assurant une description correcte du comportement du transistor en forte inversion.

Par abus de langage, lorsque le modèle utilise la « carte modèle faible inversion » (respectivement la « carte modèle standard »), il sera appelé « modèle de faible inversion » (respectivement « modèle standard »).

La connaissance des limites de validité du modèle de simulation associé à une carte modèle doit permettre une analyse critique de l'écart entre la simulation d'un circuit et la prédiction des méthodologies de conception mises en place.

Par ailleurs, l'un des objectifs est d'utiliser le modèle de simulation associé à une carte modèle pour extraire les paramètres utilisés par les méthodologies. C'est pourquoi, l'évaluation de la qualité de prédiction du modèle associé à une carte modèle apporte des informations sur la pertinence de la prédiction des méthodologies.

Il est nécessaire de comparer les extractions effectuées avec les données de simulation et celles effectuées avec les données expérimentales, pour valider l'extraction avec le modèle de simulation associé à une carte modèle.

III.5.2.1 Courant de drain statique

Les paramètres de la modélisation retenue sont essentiellement extraits à partir de caractéristiques statiques courant/tension. De plus, il est important de déterminer les limites de validité des modèles de simulation disponibles.

Par ailleurs, la validation d'un circuit avec un simulateur fait appel à différents moyens d'examiner le comportement du circuit lors de déviations liées aux procédés de fabrication. Parmi ces moyens le concepteur dispose de l'analyse en coin (« corner analysis » dans la littérature anglaise) qui consiste à changer, pour chaque composant d'un circuit (transistors NMOS, PMOS, résistances...), les valeurs de paramètres de la carte modèle liées au procédé de fabrication en leur appliquant les tolérances de fabrication conduisant aux cas de fonctionnement extrêmes. Les simulations ont été effectuées pour les cas extrêmes du transistor NMOS, qui sont le pire cas noté WCS pour « worst case » (transistor lent), le meilleur cas noté BCS pour « best case » (transistor rapide), ainsi que pour le cas moyen noté NOM pour nominal.

Les modèles de simulations standard et faible inversion sont comparés par rapport aux résultats expérimentaux, en conduction avec la courbe de courant de drain $I_D(V_G)$ et en saturation avec la courbe de courant de drain en saturation $I_D(V_G = V_D)$. Afin d'assurer une comparaison valide des courbes simulées avec les courbes mesurées, servant de référence, ces dernières sont ramenées à des courbes nominales équivalentes (cas « process nominal »).

Pour s'affranchir de l'impact de la déviation associée à la tension de seuil V_{T0} sur les courbes mesurées et les ramener à des courbes nominales équivalentes, toutes les courbes de courant de drain et d'erreur en courant de drain sont tracées en fonction de $V_G - V_{T0}$. Les courbes simulées sont interpolées en fonction de $V_G - V_{T0}$ calculé pour la courbe mesurée afin de permettre le calcul des écarts en fonction du niveau d'inversion.

Les valeurs de tension de seuil prises pour le tracé des courbes simulées sont les mêmes pour les modèles standard et faible inversion. Elles ont été extraites selon la méthode décrite précédemment. En effet, pour un transistor identique la tension de seuil diffère selon le modèle utilisé. Or, la tension de seuil est extraite en conduction à partir de la partie de la courbe $I_D(V_G)$ correspondant à l'inversion forte. Donc pour cette partie de la courbe $I_D(V_G)$ le modèle standard est supposé exact, par conséquent la valeur de tension de seuil extraite de la courbe simulée avec ce modèle correspond à la réalité physique. La tension de seuil extraite pour le modèle faible inversion n'est pas fiable car ce modèle n'est pas supposé décrire correctement le comportement du transistor en inversion forte.

De plus, pour rendre les courbes de mesures équivalentes à des courbes nominales, la déviation du facteur de transconductance K_n, doit être compensée. Le coefficient de correction est le rapport du courant de drain de saturation simulé avec le modèle standard en nominal, pris en forte inversion à une valeur $V_G - V_{T0}$, sur le courant de drain de saturation mesuré, pris en forte inversion à la même valeur $V_G - V_{T0}$. Le courant de drain mesuré est multiplié par ce coefficient ce qui ramène les courbes de courant de drain en saturation $I_D(V_G = V_D)$ et en conduction $I_D(V_G)$ à des courbes nominales équivalentes.
La courbe de courant de drain en conduction $I_D(V_G)$ simulée pour le cas nominal est proche de la courbe mesurée en modèle standard (Fig.III.19) pour une tension $V_G - V_{T0}$ supérieure à $250mV$, ce qui montre que le modèle standard est valide, pour la saturation, uniquement en inversion forte.
En revanche, celle simulée en modèle faible inversion (Fig.III.20) est proche de la courbe mesurée pour une tension $V_G - V_{T0}$ comprise entre $50mV$ et $600mV$, ce qui montre que le modèle faible inversion est valide, pour la conduction, sur une plage comprenant une grande partie de l'inversion modérée et une partie de l'inversion forte près de l'inversion modérée mais excluant l'inversion faible.

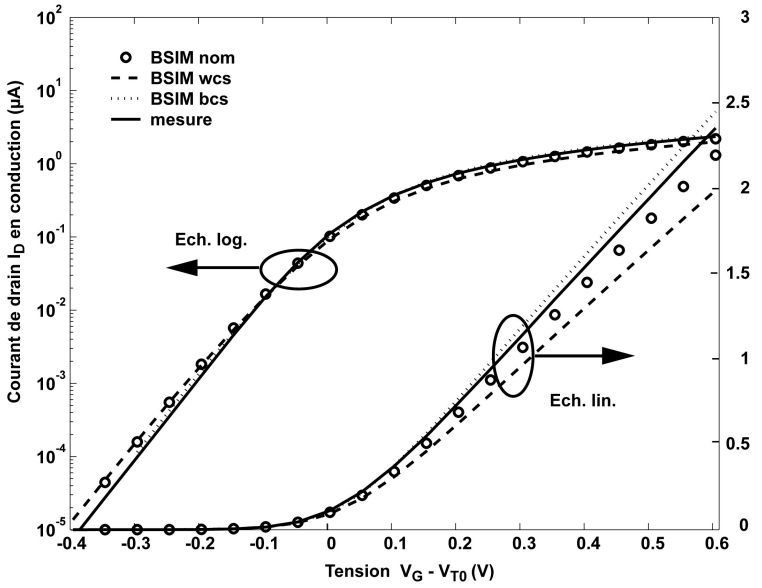

Fig. III.19 – Courant de drain en conduction expérimental et simulé en modèle standard

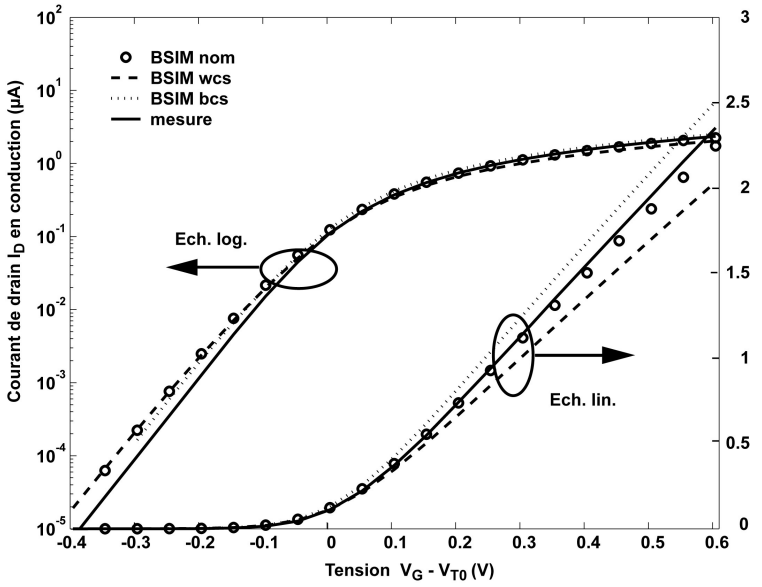

Fig. III.20 – Courant de drain en conduction expérimental et simulé en modèle faible inversion

La courbe de courant de drain en saturation $I_D(V_G = V_D)$ simulée en modèle standard (Fig.III.21) pour le cas nominal est proche de la courbe mesurée pour une tension $V_G - V_{T0}$ supérieure à $100mV$, c'est à dire une tension de grille V_G supérieure à $V_{T0} + 100mV$, ce qui montre que le modèle standard est valide, pour la saturation, en inversion forte et sur une toute petite partie de l'inversion modérée. Pour celle simulée en modèle faible inversion (Fig.III.22) est proche de la courbe mesurée pour une tension $V_G - V_{T0}$ comprise entre $-50mV$ et $600mV$, ce qui montre que le modèle faible inversion est valide, pour la saturation, sur une plage comprenant une grande partie de l'inversion modérée et une partie de l'inversion forte près de l'inversion modérée mais excluant l'inversion faible.

Les courbes d'écart en $\%$ entre les courbes de courant de drain en saturation et en conduction simulées pour le cas nominal et les courbes mesurées sont tracées en fonction du niveau d'inversion IC EKV3.0.

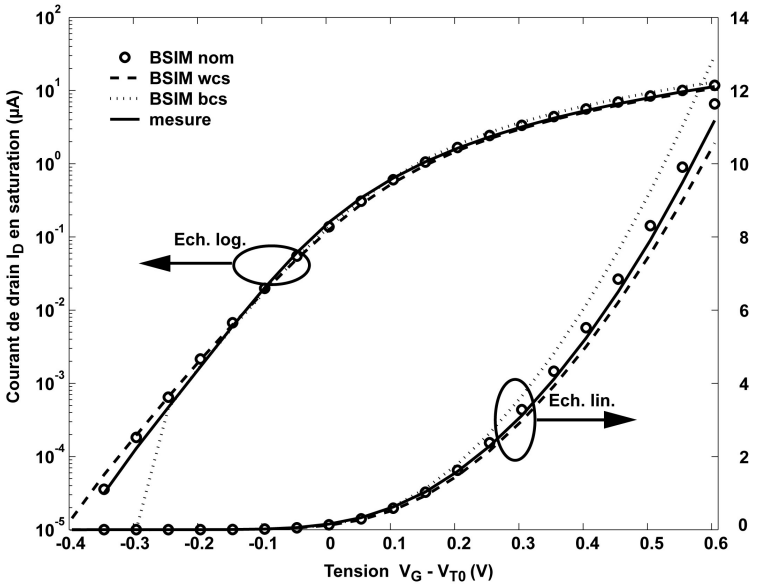

Fig. III.21 – Courant de drain en saturation expérimental et simulé en modèle standard

Ces courbes permettent la détermination des limites de validité statiques des modèles standards et faible inversion en terme de niveau d'inversion.

L'écart de courant de drain en conduction $I_D(V_G)$ est inférieur à 8% en modèle standard pour un niveau

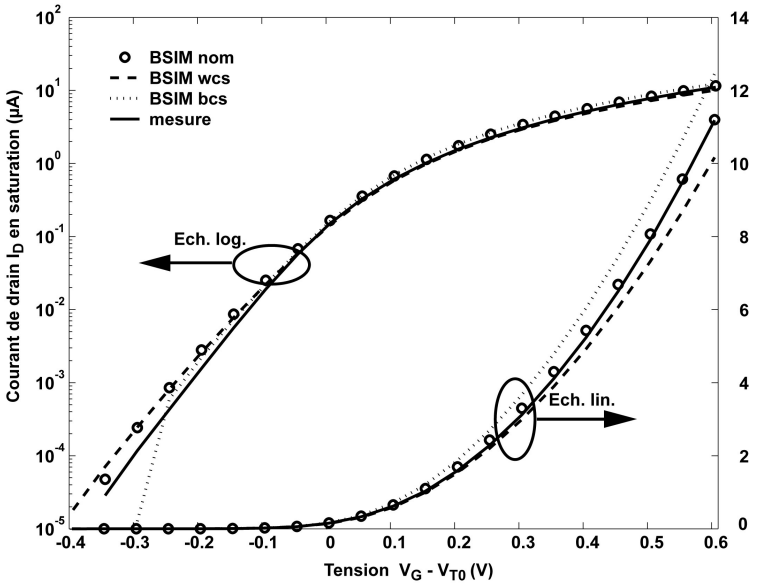

Fig. III.22 – Courant de drain en saturation expérimental et simulé en modèle faible inversion

d'inversion de IC supérieur à 10 alors qu'en modèle faible inversion (Fig.III.23), il est inférieur à 5% pour un niveau d'inversion IC compris entre 1 et 60 ce qui confirme que pour la conduction, le modèle standard n'est valide qu'en inversion forte et que le modèle faible inversion ne couvre pas l'ensemble de l'inversion modérée. Aucun des deux ne couvre l'inversion faible.

L'écart de courant de drain en saturation $I_D(V_G = V_D)$ en modèle standard (Fig.III.24) est inférieur à 5% pour un niveau d'inversion de IC supérieur à 3, alors qu'en modèle faible inversion (Fig.III.24) il est inférieur à 6% pour un niveau d'inversion IC compris entre 0.6 et 60, ce qui confirme les conclusions déjà

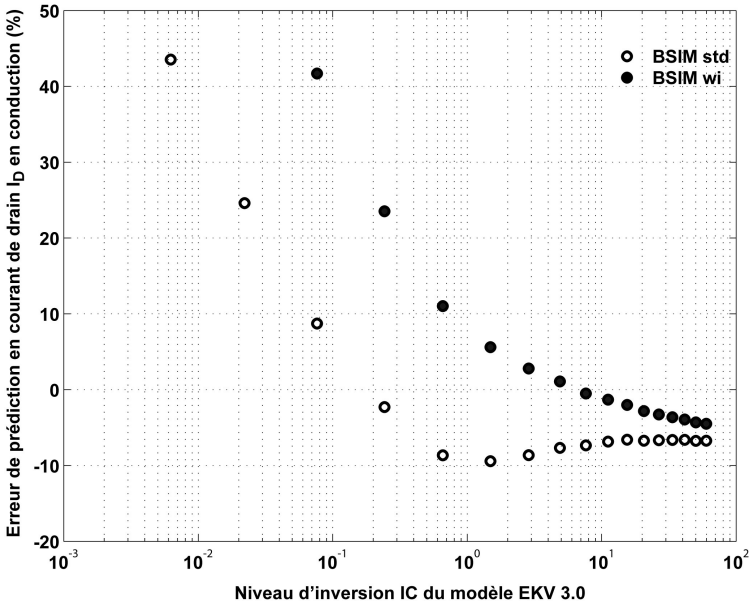

Fig. III.23 – Comparaison du courant de drain en conduction expérimental et simulé (nominal)

faites à partir des courbes de courant de drain. Ainsi, le modèle standard n'est valide qu'en inversion forte et le modèle faible inversion ne couvre pas l'ensemble de l'inversion modérée, de plus aucun des deux ne couvre l'inversion faible.

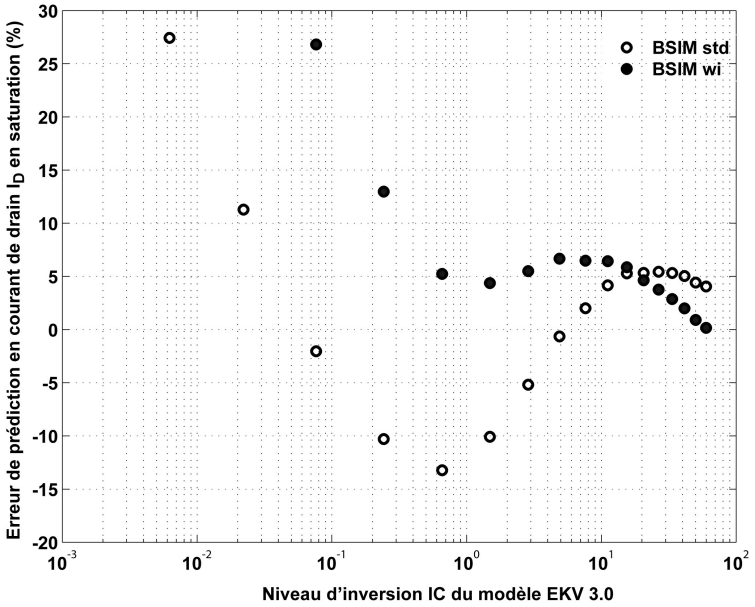

Fig. III.24 – Comparaison du courant de drain en saturation expérimental et simulé (nominal)

En statique, le modèle standard est valable pour IC supérieur à 10 et le modèle faible inversion est valable pour IC compris entre 1 et 60.

III.5.2.2 Transconductance de grille

Les modèles de simulations standard et faible inversion sont comparés par rapport aux résultats expérimentaux, en saturation avec la caractéristique de transconductance de grille sur le courant de drain gm/I_D en saturation. Les simulations sont effectuées pour les cas extrêmes du transistor NMOS (« worst case », « best case ») ainsi que pour le cas nominal. Afin d'assurer une comparaison valide des courbes simulées avec la courbe mesurée, servant de référence, les courbes sont tracées en fonction du niveau d'inversion IC EKV3.0 calculé pour chacune des courbes, ainsi l'impact de la déviation associée à la tension de seuil est évité. Les courbes simulées sont interpolées en fonction du niveau d'inversion calculé pour la courbe mesurée afin de permettre le calcul des écarts en fonction du niveau d'inversion.

La caractéristique gm/I_D simulée en modèle standard (Fig.III.25) pour le cas nominal est proche de la courbe mesurée pour un niveau d'inversion IC supérieur à 10 ce qui montre que le modèle standard est valide, pour la saturation en petit signal, uniquement en inversion forte.
Les cas « process » extrêmes suivent le cas nominal en restant dans les tolérances de fabrication pour la même valeur de niveau d'inversion .

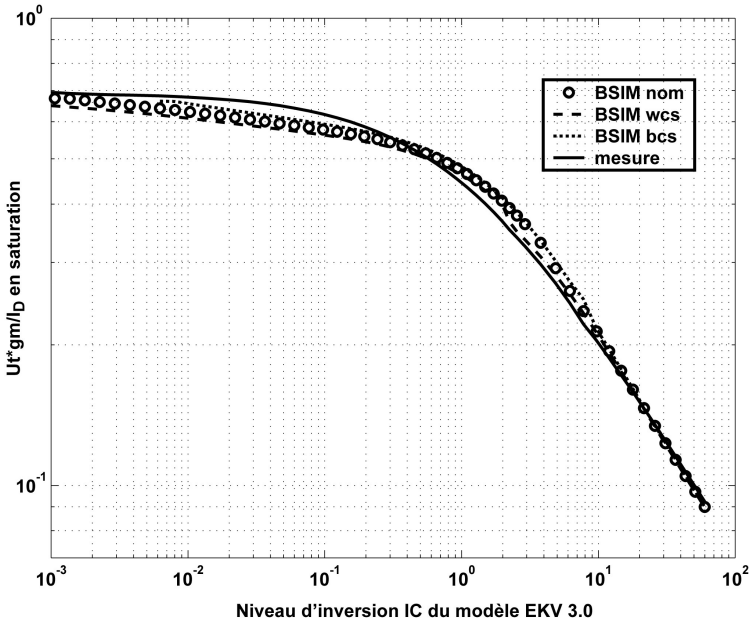

Fig. III.25 – Transconductance de grille en saturation expérimentale et simulée en modèle standard

La caractéristique gm/I_D simulée en modèle faible inversion (Fig.III.26) pour le cas nominal est proche de la courbe mesurée pour un niveau d'inversion IC supérieur à 0.3, ce qui montre que le modèle faible inversion est valide, pour la saturation en petit signal, sur une partie de l'inversion modérée et en inversion forte mais pas en inversion faible. Les cas « process » extrêmes suivent le cas nominal en restant dans les tolérances de fabrication pour les même valeurs de niveau d'inversion .

Les courbes d'écart en $\%$ entre les courbes gm/I_D en saturation mesurées et simulées sont tracées en fonction du niveau d'inversion IC EKV3.0. Ces courbes permettent la détermination des limites de validité petit signal des modèles standard et faible inversion (Fig.III.27) en terme de niveau d'inversion.

L'écart de gm/I_D en modèle standard (Fig.III.27) est inférieur à 5% pour un niveau d'inversion de IC supérieur à 10, ce qui montre que le modèle standard est valide, pour la saturation en petit signal, uniquement en inversion forte. L'écart de gm/I_D en modèle faible inversion (Fig.III.27) est inférieur à 5% pour un niveau d'inversion IC compris entre 0.3 et 60, ce qui montre que le modèle faible inversion est valide,

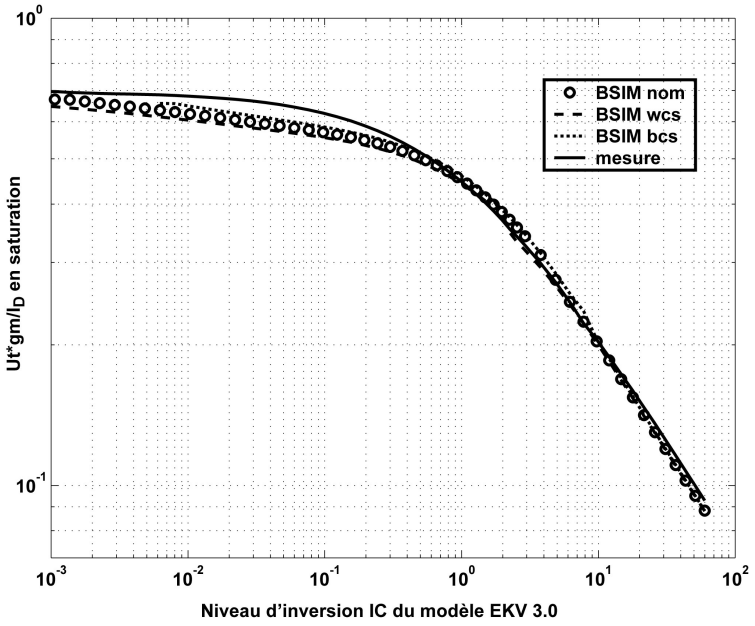

Fig. III.26 – Transconductance de grille en saturation expérimentale et simulée en modèle faible inversion

pour la saturation en petit signal, en inversion modérée et sur une partie de l'inversion forte mais pas en inversion faible.
Ainsi en petit signal, le modèle standard est valable pour IC supérieur à 10 et le modèle faible inversion est valable pour IC compris entre 0.3 et 60.

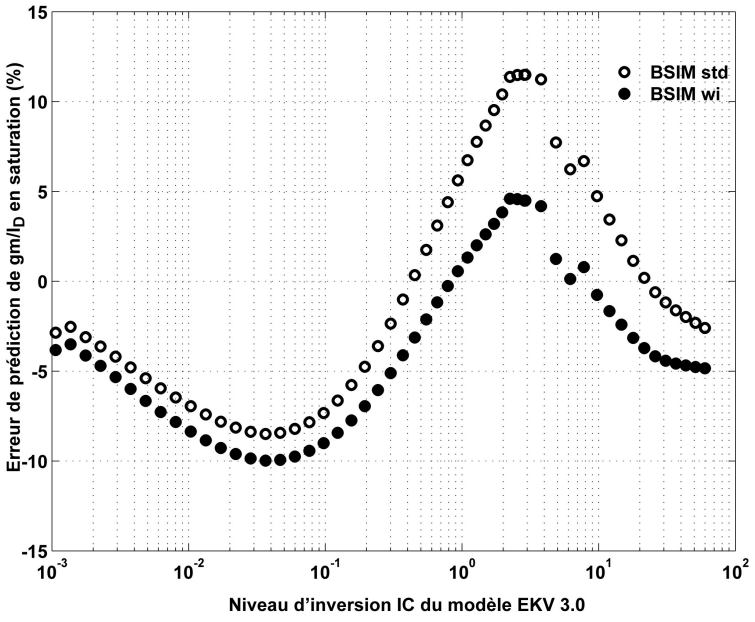

Fig. III.27 – Comparaison de la transconductance de grille en saturation expérimentale et simulée

III.5.3 Modélisation de l'effet CLM

L'effet CLM survient dès que le transistor devient saturé. Il traduit le déplacement du point de pincement du canal, sous l'action du potentiel de drain, lorsque celui-ci dépasse la tension de saturation de drain (§.II.4.3). L'effet CLM est pris en compte au moyen d'un abaque $\lambda(IC)$ obtenu par extraction du coefficient d'effet CLM pour un transistor saturé de grande largeur et de faible longueur (L$= 2\mu m$ et W =10 ou 20 μm).
Le coefficient d'effet CLM λ sert à le modéliser. Il correspond au ratio conductance de drain sur courant de drain statique $g_D/I_{D_{sat}}$. Dans le chapitre précédent, nous avons vu que λ peut être considéré comme une fonction du niveau d'inversion. Nous retiendrons cette modélisation pour la suite de la présente étude. En conception classique, ce coefficient est extrait sous la forme d'une table indexée en V_{GS} qui est directement liée au niveau d'inversion en forte inversion.

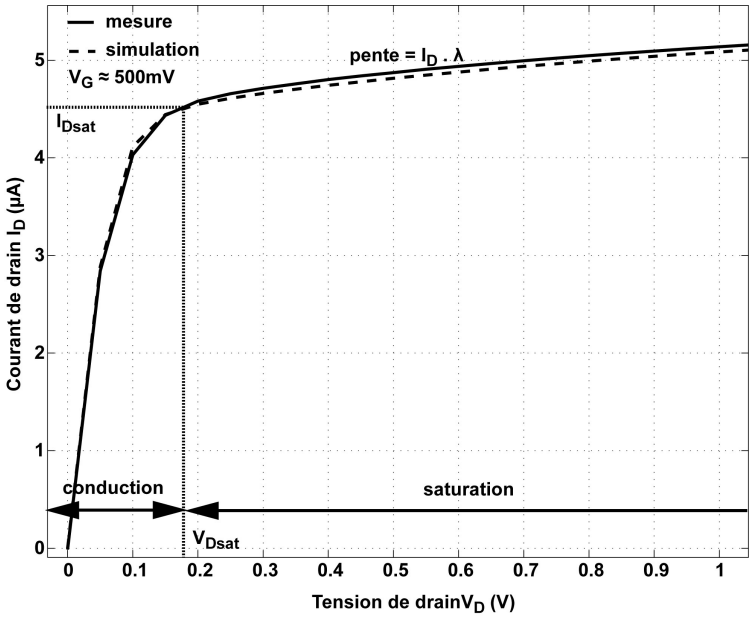

Fig. III.28 – Caractéristiques $I_D(V_D)$ expérimentale et simulée en modèle faible inversion

Le transistor est polarisé par deux sources de tension. L'une d'elles fixe le potentiel de grille pendant que l'autre fait varier le potentiel de drain. Ainsi, le transistor décrit les deux régimes de fonctionnement : la conduction et la saturation. En pratique, le potentiel de source du transistor est laissé nul pour avoir une plage de niveau d'inversion la plus large possible.
Les valeurs du potentiel de grille suivent une répartition en logarithme décimal, offrant une distribution des valeurs de λ relativement uniforme (cf Fig.III.29). En effet, λ est fonction du niveau d'inversion qui est lui même lié au potentiel de grille suivant une loi du type $\ln(1 + \exp())$.
La longueur du transistor est choisie la plus faible possible, sans pour autant que l'influence de la structure latérale du transistor soit prépondérante. Ainsi une longueur de $2\mu m$ offre un bon compromis entre résolution, λ dépend de l'inverse de la longueur du transistor, et influence de la structure du transistor près du drain. La largeur du transistor doit être suffisante pour s'affranchir de son influence sur les paramètres physiques du transistor comme la tension de seuil. Une largeur de 10 ou 20 μm, est suffisante.

L'abaque $\lambda(IC)$ est obtenu à partir d'un réseau de caractéristiques $I_D(V_D)$ à différentes valeurs de V_G. Ces caractéristiques sont issues de mesures sous pointes réalisées sur échantillons ou de simulations effectuées avec le modèle BSIM3v3, sous Cadence. Les paramètres du modèle de simulation sont ceux extraits pour la faible inversion, qui permettent une description du transistor plus proche de la réalité en

inversion modérée (§III.5.2.1). Le coefficient λ est extrait pour chaque valeur de V_G, à partir de la pente de la caractéristique $I_D(V_D)$ en saturation (cf Fig.III.28), à savoir pour $V_D \geq V_{Dsat}$, et de la valeur du courant de drain en début de saturation $I_{D_{sat}}$. La valeur $I_{D_{sat}}$ est la valeur du courant de drain lorsque $V_D = V_{Dsat}$. La valeur de V_{Dsat} est soit estimée théoriquement, à partir du niveau d'inversion, à l'aide de (II.72), soit le début de la saturation est localisé, ce qui donne directement le couple de $(V_{Dsat}, I_{D_{sat}})$. Le début de la saturation correspond au début de la zone linéaire de faible pente après la forte courbure, transition entre la conduction et la saturation.

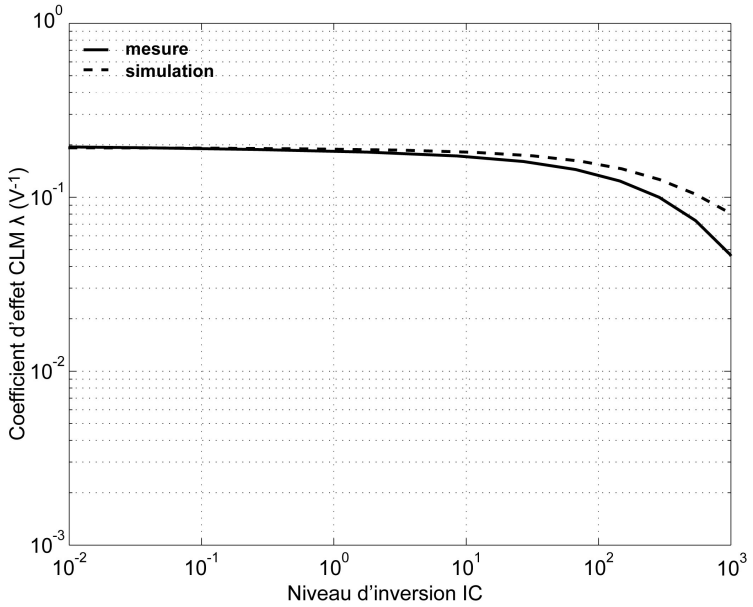

Fig. III.29 – Coefficient d'effet CLM expérimental et modèle BSIM3v3 faible inversion pour $L = 2\mu m$

Le coefficient λ est d'autant plus élevé que le transistor est polarisé en inversion faible ou que sa longueur de grille est faible. Pour un niveau d'inversion quelconque, le coefficient λ est obtenu par interpolation en niveau d'inversion de l'abaque $\lambda(IC)$. Le passage à une longueur de grille quelconque L est obtenu en multipliant par $\sqrt{\frac{L_0}{L}}$ pour un transistor de type N et par $\frac{L_0}{L}$ pour un transistor de type P, avec $L_0 = 2\mu m$.

III.5.4 Dépendance de la tension de seuil avec les dimensions du transistor MOS

La dépendance de la tension de seuil avec les dimensions du transistor MOS est limitée à la prise en compte de l'influence de la longueur de grille L (§.II.4.1), au moyen d'un abaque $V_{T0}(L)$ obtenu par extraction de la tension de seuil pour un transistor en conduction de grande largeur ($W = 10$ ou $20\mu m$) et de faible longueur (L comprise entre $2\mu m$ et $10\mu m$). Cette dépendance survient dès que la longueur du transistor diminue en dessous de 10μ. Il traduit le contrôle d'une partie du canal par les potentiels de source et de drain (§.II.4.1). En conception classique, cette dépendance est prise en compte au moyen d'une table indexée en longueur de grille.

L'abaque $V_{T0}(L)$ est obtenu à partir d'un réseau de caractéristiques $I_D(V_G, V_{DS} = 50mV)$ à différentes valeurs de L. Le transistor est polarisé par deux sources de tension. L'une d'elles fixe le potentiel de drain pendant que l'autre fait varier le potentiel de grille. Les caractéristiques sont issues de simulations effectuées avec le modèle BSIM3v3, sous Cadence, car le modèle de simulation permet un accès à une plage de longueurs de grille dont nous ne disposions pas avec nos échantillons.

De plus, le simulateur est censé décrire correctement la dépendance en dimensions de la tension de seuil. Les paramètres choisis sont ceux de l'extraction standard, supposé décrire plus correctement le transistor pour une extraction de la tension de seuil. En effet, la tension de seuil est extraite en conduction à partir de la partie de la courbe $I_D(V_G, V_{DS} = 50mV)$ correspondant à l'inversion forte. Donc pour cette partie de la courbe $I_D(V_G)$ le modèle standard est supposé exact, par conséquent la valeur de tension de seuil extraite de la courbe simulée avec ce modèle correspond à la réalité physique.

En pratique, la longueur de grille varie de 2 à $10\mu m$ avec un pas de $1\mu m$. Toutes les valeurs sont entières car les dimensions des transistors sont prises à des valeurs entières afin de faciliter le dessin des masques. Pour des valeurs supérieures à $10\mu m$, la valeur de tension de seuil est celle du transistor carré de dimensions $W = L = 20\mu m$. La tension de seuil V_{T0} est extraite à partir de la courbe $I_D(V_G)$, à V_{DS} fixée égale à 50mV.

Dans le cas de la technologie employée, la tension de seuil augmente avec la diminution de la longueur de grille du transistor (cf Fig.II.15).

III.5.5 Extraction du profil de dopage

Le profil de dopage du caisson, en dessous de la grille du transistor, influence le comportement du transistor en inversion faible et modérée (cf §II.4.5). Il est pris en compte au moyen du coefficient d'effet substrat γ dans lequel le dopage moyen du canal N_a est remplacé par le profil de dopage. Il intervient par l'intermédiaire du paramètre de tension de pincement V_P et a donc une influence directe sur le niveau d'inversion en inversion faible et modérée IC [31]. Il est modélisé sous la forme d'un abaque en tension $V_G - V_{T0}$.

L'ajustement d'un profil préétabli est difficile car le profil de dopage réel est différent d'un profil idéal en marche d'escalier (« step » dans la littérature anglaise), en particulier à faible profondeur c'est à dire à faible tension de grille. Le profil de dopage réel se rapproche plus d'un profil rétrograde par la forme, mais il est moins décalé en profondeur. Par conséquent, nous avons préféré extraire le profil de dopage à partir de caractéristiques expérimentales. Il est normalisé avec la valeur de dopage moyen du canal N_a, extraite selon la procédure indiquée en §III.5.1, et indexé en $V_G - V_{T0}$, ainsi il peut être employé aussi bien avec les paramètres extraits à partir de simulations qu'avec ceux obtenus à partir des caractéristiques mesurées.

Comme le profil de dopage influence le niveau d'inversion via la tension de pincement V_P, l'idée est d'extraire le niveau d'inversion à partir de la caractéristique universelle gm/I_D qui est directement fonction du niveau d'inversion et dont le modèle EKV3.0 donne une description réversible analytique issue d'une dérivation physique rigoureuse.
En toute rigueur, cette caractéristique dépend également du coefficient n_v, qui est fonction de V_G via ψ_p, et elle est donc influencée par le profil de dopage. Cependant, la dépendance en profil de dopage de n_v peut se négliger car ce coefficient varie assez peu sur l'ensemble de la plage d'inversion. Ainsi, n_v est calculé avec un dopage constant égal à N_a.
Par ailleurs, pour s'affranchir des effets perturbateurs autres que le profil de dopage ou la réduction de mobilité, à laquelle la caractéristique gm/I_D est peu sensible, les dimensions du transistor caractérisé doivent être assez grandes. En pratique, un transistor carré de dimensions $W = L =$10 ou $20\mu m$ convient très bien.

Le transistor est connecté en diode, et la caractéristique gm/I_D est calculée (Fig.III.30) à partir de la courbe $I_D(V_D = V_G)$.

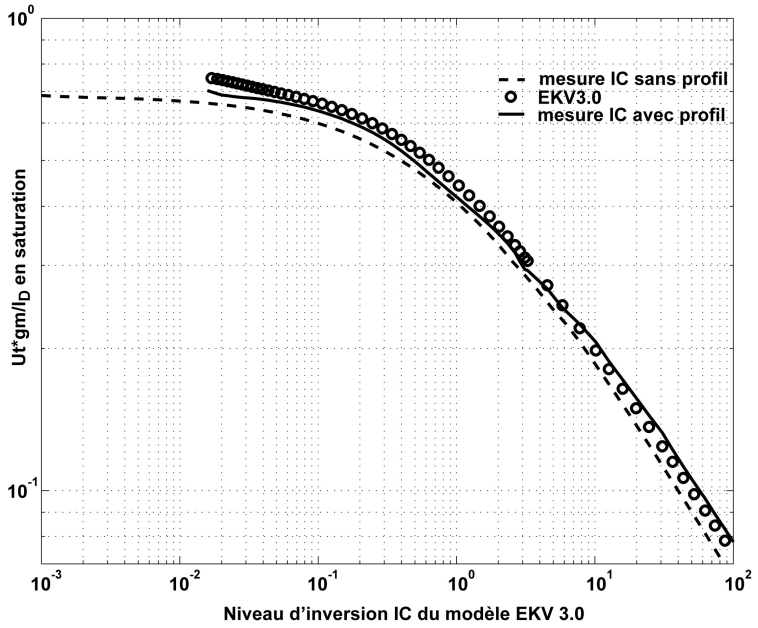

Fig. III.30 – Influence du profil de dopage sur la transconductance de grille en saturation

A partir de cette caractéristique $gm/I_D(V_G)$ et du coefficient $n_v(V_G)$ calculé, le niveau d'inversion IC est extrait en fonction de la tension de grille, à l'aide de l'expression de gm/I_D en saturation II.2.3.6. Puis, la relation EKV 3.0 liant la tension de pincement et le niveau d'inversion (II.85) est employée pour obtenir $V_P(V_G)$. Cette table sert à extraire itérativement le dopage pour chaque valeur de tension de grille par résolution numérique de l'expression de V_P définie à partir de (II.110). La table de dopage fonction de la tension de grille est alors normalisée avec la valeur de dopage moyen du canal N_a et indexée en $V_G - V_{T0}$.

Cette procédure peut être améliorée en très faible inversion, où la caractéristique gm/I_D ne dépend pratiquement plus que du coefficient n_v, en extrayant la pente de la caractéristique, proportionnelle à $1/n_v$. Cependant, la caractéristique étant très bruitée en très faible inversion, il est nécessaire d'augmenter le nombre de points de mesure à faibles valeurs de V_G et de filtrer soigneusement la courbe. La tension minimale de grille étant imposée à 100mV par la connexion en diode du transistor caractérisé, si le concepteur souhaite polariser un transistor, saturé mais non connecté en diode, à une tension de grille plus faible, il devra imposer une tension de drain d'au moins 100mV pendant la variation de la tension de grille.

L'importance du profil de dopage est illustrée par l'influence directe du profil de dopage sur l'extraction de la mobilité en saturation (§.II.4.6.2), via le niveau d'inversion (Fig. III.31). La figure (III.30) montre son influence sur la caractéristique gm/I_D. Pour un potentiel de grille quelconque, le dopage est obtenu par interpolation en tension de grille de l'abaque de profil de dopage après dénormalisation.

III.5.6 Modélisation de la mobilité et du courant spécifique

Dans le chapitre précédent (§.II.4.6), où le phénomène de réduction de la mobilité sous l'influence du champ électrique vertical est détaillé, la mobilité est considérée comme une fonction exclusive du champ effectif excepté en inversion faible où le potentiel de source a une influence prépondérante, prise en compte à l'aide du paramètre X_{eff}. En conception classique, la réduction de la mobilité sous l'influence du champ électrique vertical est prise en compte sous la forme d'une table de coefficient de transconductance K_n indexée en tension V_{GS} qui, en forte inversion, est directement liée au champ électrique vertical.

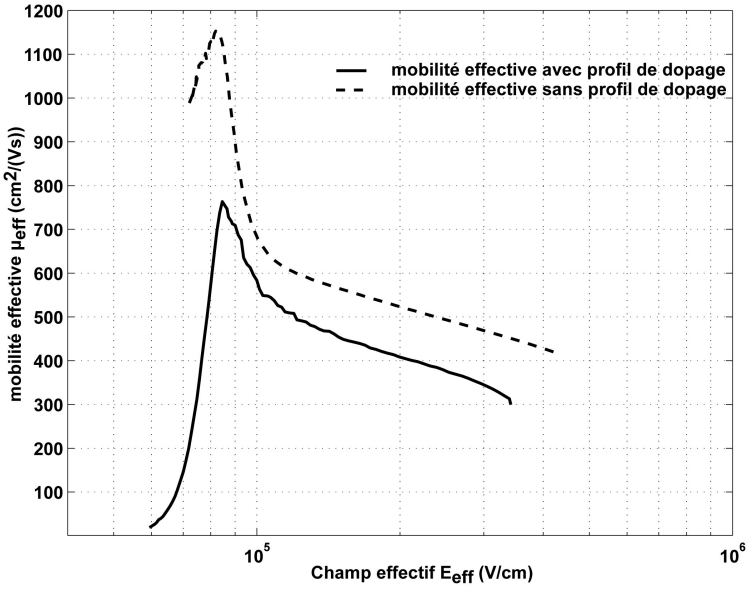

Fig. III.31 – Influence du profil de dopage vertical sur la mobilité extraite

En conception analogique, les concepteurs utilisent des transistors polarisés en conduction et en saturation. Aussi la mobilité doit être modélisée dans ces modes de fonctionnement.
Les transistors polarisés en conduction sont faiblement conducteurs, en général la tension entre le drain et la source vaut au plus 100mV en forte inversion et 50mV en faible inversion. Ainsi, la mobilité, en conduction, peut être considérée indépendante de la tension drain/source. Nous avons donc choisi d'extraire un abaque de mobilité pour la conduction, en fixant la tension drain/source à une valeur représentant un compromis entre la très faible conduction et la conduction moyenne, ainsi qu'un abaque pour la saturation.Selon le mode de fonctionnement du transistor, la mobilité, qui intervient dans le courant de normalisation I_S, est directement calculée par interpolation en champ effectif E_{eff} et X_{eff} de l'abaque de mobilité approprié $\mu_n(E_{eff}, X_{eff})$.

III.5.6.1 Abaque de mobilité

Les abaques de mobilité $\mu_n(E_{eff}, X_{eff})$ sont obtenus à partir des caractéristiques $I_D(V_G)$ à $V_{DS} = 50mV$, pour la mobilité en conduction, et $I_D(V_D = V_G)$, pour la mobilité en saturation. Ces caractéristiques sont issues de mesures sous pointes réalisées sur échantillons ou de simulations effectuées avec le modèle BSIM3v3, sous Cadence. Les paramètres du modèle de simulation sont ceux extraits pour la faible inversion, qui permettent une description du transistor plus proche de la réalité en inversion modérée (§III.5.2.1).

Le transistor est choisi carré de grandes dimensions ($W = L = 10$ ou $20\mu m$) afin de s'affranchir des effets perturbateurs autres que la réduction de la mobilité.
Les valeurs du potentiel de grille V_G suivent une répartition linéaire avec un pas suffisamment fin pour permettre une interpolation fiable par la suite (entre 1 et 50 mV). Pour la conduction la valeur minimale de V_G est de 0V et la tension drain/source de 50mV sert à assurer la conduction du transistor. Pour la saturation le transistor est connecté en diode or la tension drain/source minimale pour la saturation en faible inversion est de 100mV, ce qui fixe la valeur minimale de V_G à 100mV, pour assurer la saturation du transistor.

La mobilité est extraite à partir du courant de drain à l'aide de l'expression (II.115). Il s'agit de la mobilité intervenant dans le courant de normalisation I_S. En saturation, l'équation (II.115) est simplifiée en

considérant i_r négligeable devant i_f ($i_r \approx 0$). La valeur de tension drain/source choisie pour l'extraction de l'abaque de conduction représente un compromis entre la très faible conduction et la conduction moyenne. Par ailleurs, l'extraction de la tension de seuil se fait usuellement avec une tension drain/source de 50mV ce qui permet de réaliser deux extractions à partir de la caractéristiques $I_D(V_G)$.

Les transistors sont supposés en conduction suffisamment faible pour confondre les charges d'inversion locales et intégrales. Le champ effectif E_{eff} et le paramètre X_{eff} sont calculés avec la charge d'inversion intégrale (II.113) à la place de la charge d'inversion locale $q_{s,d}$, et la mobilité extraite peut être à assimilée à la mobilité locale. Ainsi, l'abaque obtenu correspond à la loi de mobilité locale (§II.4.6).

L'extraction de l'abaque de conduction peut être améliorée en fixant une tension drain/source beaucoup plus faible, de 10mV, soit 10% de la plus faible valeur de tension de saturation (faible inversion). Une autre possibilité d'amélioration consiste à fixer une tension drain/source à 10% de la tension drain/source de saturation calculée à partir du niveau d'inversion ou calculée telle que le rapport des courants normalisés inverse et direct soit fixé à 0.9. Ces solutions exigent une caractéristique spécifique mais garantissent un état de très faible conduction du transistor et donc une charge d'inversion vraiment uniforme le long du canal ce qui autorise pleinement l'assimilation de la mobilité extraite avec la mobilité locale (§II.4.6) .

Pour la saturation, le champ effectif local est assimilé au champ effectif global calculé à partir de la charge d'inversion intégrale (cf Eq.(II.113)). La mobilité n'est pas uniforme le long du canal aussi la mobilité extraite correspond à une mobilité intégrale le long du canal.

L'extraction de l'abaque de saturation peut être améliorée en fixant la tension drain/source indépendamment du potentiel de grille, à la tension drain/source de saturation calculée à partir du niveau d'inversion (cf Eq.(II.72)) telle que $I_D(V_{DS} = V_{DS_{sat}}, V_G)$ ou encore l'extraction peut être réalisée à partir d'une caractéristique $I_D(V_D)$ à différentes valeurs de V_G, au point de début de saturation :

$$\mu_{eff} = \frac{I_D(V_{DS} = V_{DS_{sat}})}{2n_q C'_{ox} U_T^2 \frac{W}{L} IC} \tag{III.40}$$

Une fois le champ effectif E_{eff} et le paramètre X_{eff} calculés, les tables sont formées en associant E_{eff}, X_{eff} et mobilité extraite : (E_{eff}, X_{eff}, μ_{eff}).

La mobilité intervient directement dans l'expression du courant de normalisation I_S, or elle est affectée par le champ électrique vertical, par conséquent le courant de normalisation est affecté par le phénomène de réduction de la mobilité sous l'influence du champ électrique vertical ce qui est illustré sur la figure (III.32).

III.5.6.2 Influence du potentiel de source sur la mobilité à faible champ

La dépendance de la mobilité avec le potentiel de source en faible inversion est pris en compte à l'aide du paramètre X_{eff}.
A $V_S \neq 0V$, les abaques de mobilité sont obtenus par modification de la partie faible inversion des abaques extraits à $V_S = 0V$ au moyen d'une interpolation en X_{eff} des abaques de mobilité extraits à $V_S = 0V$. Cependant, la partie faible inversion des abaques extraits à $V_S = 0V$ doit être délimitée. Pour cela, deux abaques de mobilité $\mu_n(E_{eff}, X_{eff})$ sont extraits selon la procédure déjà décrite à partir des caractéristiques $I_D(V_G)$ à $V_{DS} = 50mV$ et $I_D(V_D = V_G)$ obtenues pour une valeur non nulle de potentiel de source.

Le point limite $(E_{eff}, X_{eff}, \mu_n)$, en dessous duquel l'influence du potentiel de source est considérée prépondérante devant celle du champ électrique effectif vertical, est déterminé empiriquement. Ce point

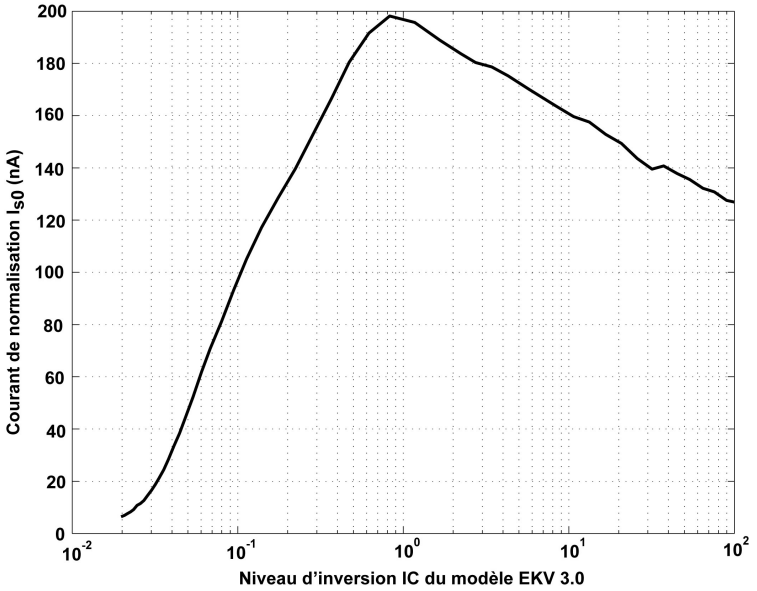

Fig. III.32 – Influence de la mobilité sur le courant spécifique

correspond à la valeur de mobilité au dessous de laquelle les courbes de mobilité en champ effectif associées à $V_S = 0V$ et $V_S \neq 0V$ se séparent. Cette valeur correspond à un point de la courbe de mobilité en champ effectif situé avant le milieu d'inversion modérée, où la mobilité est maximale, c'est à dire à plus faible champ effectif que le maximum de mobilité.

III.5.7 Etude de cas : transistor long (L>40μm)

Les contraintes de fabrication limitent la longueur maximale des transistors à $40\mu m$. Cette limitation est due aux imperfections des procédés de fabrication qui n'assurent pas, sur longue distance, l'uniformité des paramètres physiques comme l'épaisseur d'oxyde, le dopage mais aussi la régularité des dimensions (effet optique et gravure), transformant ainsi un rectangle dessiné en un trapèze fabriqué. Cette limitation est préjudiciable pour conserver des performances acceptables à courant faible. En effet, pour polariser des transistors en inversion modérée à faible courant, il est nécessaire d'utiliser de grande longueur de grille.

L'idée est d'associer des transistors en série pour obtenir un transistor équivalent de grande longueur de grille. Le pendant en largeur est déjà connu mais ne pose aucun problème de compréhension, alors que scinder un canal en plusieurs morceaux signifie introduire des résistances d'accès parasites entre les différentes parties du canal.
Outre l'utilisation de l'inversion modérée à faible courant, le gain est une résolution plus élevée du rapport W/L, avec l'emploi de transistors larges, ce qui enrichit l'espace des solutions.

Les transistors élémentaires sont choisis identiques pour leur assurer des paramètres physiques identiques et donc un comportement électrique lui aussi identique.
En effet leur appariement est aisé selon les techniques de dessin des masques (répartition en matrice), ce qui compense les variations aléatoires et linéaires liées à la fabrication. Les transistors élémentaires sont supposés de longueur suffisante pour négliger l'influence de la longueur de grille sur le comportement du transistor. La largeur de grille importe peu du moment qu'elle est identique pour l'ensemble des transistors élémentaires. L'ensemble de ces contraintes permet en outre d'appairer plusieurs transistors de grandes longueurs de grille.

Les résultats obtenus en simulation, à partir d'un schéma électrique (« schematics » en littérature anglaise), montrent une déviation importante, supérieure à 10%, en inversion modérée (tensions de grille autour de la tension de seuil), entre l'association série de plusieurs transistors élémentaires et le transistor unique de longueur équivalente (cf Fig.III.33). Les courbes de simulation correspondent à une association de 10 transistors élémentaires et au transistor unique équivalent. Le résultat est déjà vrai pour une structure à 2 et 3 transistors. Les courbes présentées correspondent à une association de 10 transistors élémentaires de dimensions $(W = 10\mu m, L = 15\mu m)$, ce qui correspond à un transistor équivalent de dimensions $(W = 10\mu m, L = 150\mu m)$ lui aussi caractérisé. Une structure hybride a également été fabriquée. Il s'agit de l'association série de deux transistors l'un saturé, de dimensions $(W = 10\mu m, L = 15\mu m)$ et l'autre conducteur de dimensions $(W = 10\mu m, L = 135\mu m)$. La longueur équivalente est de $L = 150\mu m$.

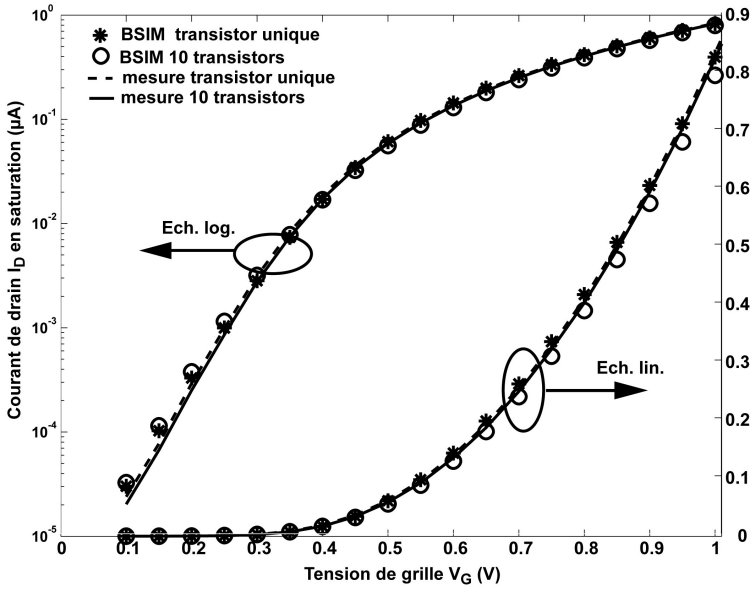

Fig. III.33 – Courant de drain en saturation à grande longueur de grille

Or dans la littérature, il est suggéré qu'une telle différence n'a pas de rapport avec la réalité et résulte d'une défaillance du modèle de simulation [70]. Le test d'association de transistors en série sert d'ailleurs à la validation des modèles via des structures de type « R2R » [70]. En clair, une association série de transistors se comporte de la même manière que le transistor unique de longueur équivalente en supposant qu'un transistor de grande longueur de grille ne soit pas déformé par rapport au dessin des masques.

Aussi, pour clarifier la situation et une fois encore déterminer la limite de validité des simulations effectuées avec les paramètres disponibles de carte modèle, des structures de test spécifiques ont été caractérisées à leur retour de fabrication. Les structures sont connectées en diode (drain du transistor supérieur connecté à l'ensemble des grilles des transistors constituant la structure de test).

Les caractéristiques des structures caractérisées présentent un faible écart (<5$\%$) en inversion modérée (IC>4), au contraire des structures simulées, ce qui implique que le modèle de simulation est inadapté pour la simulation de transistors uniques de grande longueur de grille (cf Fig.III.34). L'écart entre les structures caractérisées pour IC inférieur à 4, s'explique par l'impact plus important du désappariement. En effet, la courbe d'écart en courant de drain des structures caractérisées est de la même forme que la loi de « mismatch » proposée dans [49]. De plus, le courant simulé pour la structure « 10 transistors » dévie de moins de 5%, pour IC supérieur à 0.5 par rapport à la mesure. Cette limite correspond à celle déjà établie avec le modèle faible inversion, pour un transistor unique de faible longueur de grille. Ainsi, un transistor de grande

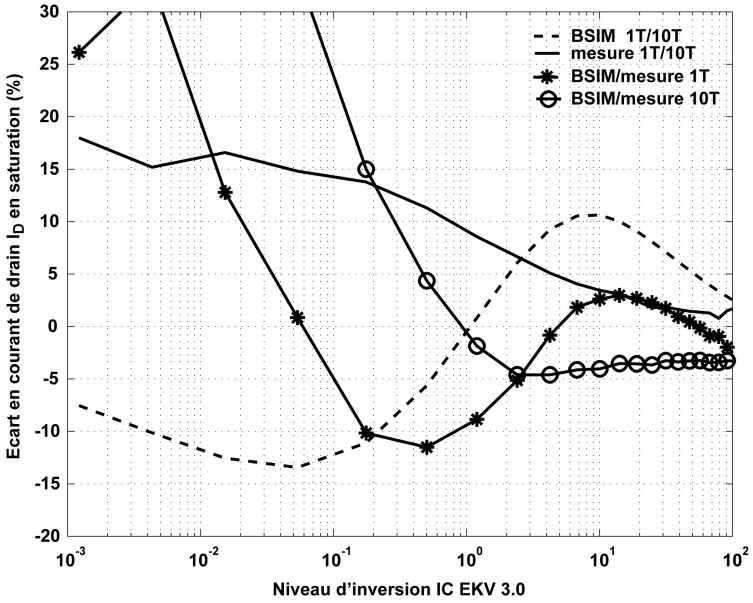

Fig. III.34 – Comparaison du courant de drain en saturation à grande longueur de grille

longueur de grille peut être scindé en transistors plus petits si la longueur des transistors élémentaires est suffisante pour négliger les effets du second ordre liés à la longueur. Cela ouvre la voie à la décomposition des transistors en longueur et en largeur. Le modèle de simulation utilisant les paramètres modèle de faible inversion, est prédictif pour une tension de grille supérieure à $V_{T0} - 50mV$, c'est à dire pour un niveau d'inversion plus grand que 0.5.

III.5.8 Prédiction du courant de drain

La prédiction correcte du courant de drain est une condition nécessaire pour dimensionner des circuits autopolarisés, à la différence des circuits à polarisation en courant fixée pour lesquels un écart en niveau d'inversion a moins d'incidence sur la prédiction des performances, fonction du niveau d'inversion (cf.§ III.4.2). En effet, les circuits autopolarisés reposent sur l'intersection de caractéristiques de fonctionnement courant/tension, ce qui rend indispensable une prédiction du courant aussi bien en conduction (résistance active) qu'en saturation.

L'objectif ici est de montrer que la modélisation parvient à prédire le comportement du transistor, en conduction comme en saturation, pour les cas extrêmes de variation de procédé de fabrication (cas « process ») à partir des paramètres extraits à partir du cas nominal, en appliquant les tolérance de fabrication aux paramètres fondamentaux V_{T0} et C'_{ox} via t_{ox} regroupables en V_{T0} et $K_n = \mu_n.C'_{ox}$.

Les caractéristiques présentées sont issues de simulations effectuées avec le modèle BSIM3v3, sous Cadence. Les paramètres du modèle de simulation sont ceux extraits pour la faible inversion, qui permettent une description du transistor plus proche de la réalité en inversion modérée (§III.5.2.1). Le transistor est choisi carré de grandes dimensions ($W = L = 20\mu m$) afin de s'affranchir des effets perturbateurs autres que la réduction de la mobilité.

III.5.8.1 Conduction

En conduction, pour une caractéristique $I_D(V_G)$ à $V_{DS} = 50mV$ (Fig.III.35), la modélisation prédit correctement le courant pour les trois cas process : le nominal, le meilleur (BCS) et le pire cas process (WCS).

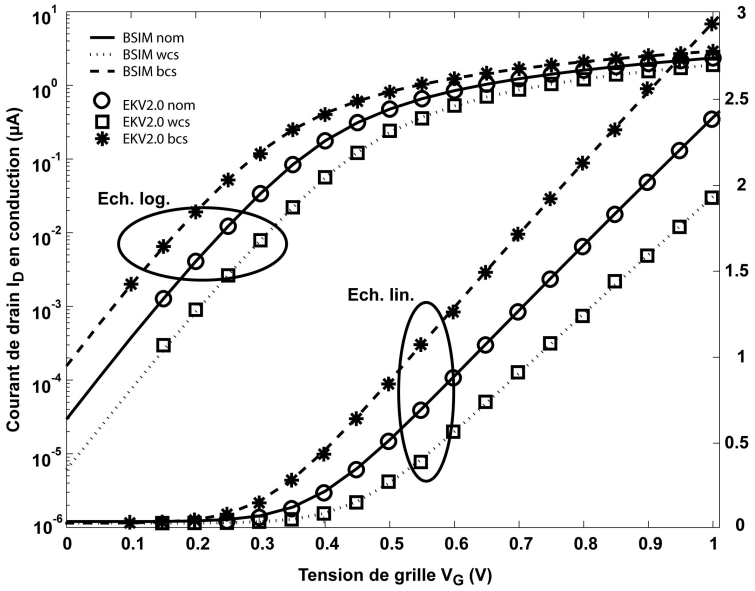

Fig. III.35 – Prédiction du courant de drain en conduction

III.5.8.2 Saturation

En saturation, pour une caractéristique $I_D(V_D = V_G)$ (Fig.III.36), la modélisation prédit correctement le courant pour les trois cas process : le nominal, le meilleur (BCS) et le pire cas process (WCS).

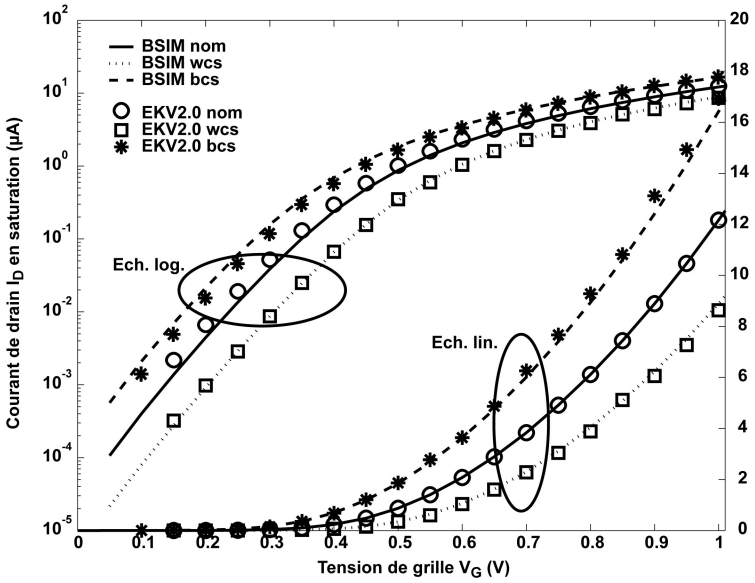

Fig. III.36 – Prédiction du drain en saturation

III.6 Procédure globale de conception nanowatt

Les concepts présentés au §III.4 sont associés, de manière cohérente, aux équations et aux procédures décrites aux §III.4.2, §III.4.3, §III.4.4 et §III.5, dans le cadre d'une démarche de conception globale pour former la méthodologie de conception nanowatt. Cette démarche de conception est détaillée dans la présente section.

Les principes et équations utilisés sont généraux, aussi la méthodologie développée a une portée plus générale que la conception de circuits respectant des spécifications nanowatt. Ainsi elle peut être employée pour le dimensionnement de circuits avec des spécifications standard, ce qui est d'ailleurs illustré dans le chapitre suivant (§IV) sur des références de courant autopolarisées de 1μA.
L'idée initiale de développement d'un outil de conception de circuits répondant à des spécifications nanowatt, faible tension d'alimentation et faible courant de consommation, a débouché sur la mise à disposition du concepteur d'une méthodologie de conception applicable à spécifications aussi bien standard que nanowatt.

La procédure globale de conception utilisée dans la méthodologie de conception nanowatt reprend la répartition en cinq étapes de la procédure classique, mais change la composition et la durée de chaque étape, hormis celle de la validation, qui reste inchangée.
L'étape de caractérisation de la technologie regroupe les procédures d'extraction de paramètres et d'abaques, explicitées au §III.5. Ces procédures ont été implémentées sous l'outil MATLAB afin d'automatiser l'étape de caractérisation et éviter d'allonger la durée de cette étape par rapport à la méthodologie classique.
Les caractéristiques simulées, qui sont utilisées, sous forme de fichier texte, par les procédures d'extraction, peuvent être générées automatiquement en utilisant un outil d'automatisation de simulations, tel OCEAN sous Cadence, et ainsi l'étape de caractérisation est complètement automatisée. La robustesse au changement de technologie de la modélisation, qui provient de la définition de la modélisation continue sur l'inversion, basée sur de solides fondements physiques et intégrant les principaux phénomènes perturbateurs, garantit celle de l'étape d'extraction. De plus, les bases physiques du modèle utilisé facilitent l'intégration d'effets perturbateurs supplémentaires et ainsi l'évolution de la modélisation et de la méthodologie.

L'étape de faisabilité consiste à évaluer les possibilités d'une architecture au regard d'un cahier des charges. Le concepteur cherche à délimiter la plage de dimensions des transistors et à estimer la plage de tension d'alimentation atteignable. Pour réaliser cette étude, en général manuelle, il dispose du concept de niveau d'inversion, liant courant de drain et dimensions via le courant de normalisation I_S. Il peut ainsi évaluer les différentes performances du transistor à partir du niveau d'inversion, dont la tension drain/source de saturation. Le courant de normalisation I_S est approximé par sa valeur de milieu d'inversion modérée I_0 ce qui est suffisant pour une première estimation des possibilités d'une architecture, d'autant plus que le compromis entre les performances est atteint en inversion modérée où le courant de normalisation varie raisonnablement peu.
Lorsqu'une architecture n'est pas compatible avec les spécifications du cahier des charges, le concepteur examine une autre architecture ou change les spécifications du cahier des charges ou encore améliore l'architecture existante.
Cette étape est automatisable par programmation sous l'outil MATLAB, ce qui permettrait de balayer l'espace de conception plus rapidement et de synthétiser les compromis de conception possibles sous forme graphique, à spécifications circuit fixées, et ainsi d'appréhender globalement la problématique de conception.

La méthodologie repose sur l'association, au moyen d'un logiciel de calcul numérique, des équations du circuit (obtenues à partir des équations de la modélisation EKV) avec des abaques intégrant simplement les principaux effets du second ordre modélisés dans les versions plus récentes du modèle EKV [34, 36].

Elle rend possible le dimensionnement automatisé d'une solution quasi-optimisée dès l'étape de dimensionnement. Cependant un logiciel de calcul numérique doit être utilisé ce qui ajoute un travail de programmation pour le concepteur.
Ainsi, *l'étape de dimensionnement* comprend, outre la phase classique de mise en équations, une phase de programmation qui prend du temps au concepteur, mais n'a pas besoin d'être refaite en cas de changement de technologie si le programme existe déjà. En effet, il suffit au concepteur de changer les paramètres et les abaques obtenus lors de l'étape de caractérisation, par extraction à partir de données simulées ou expérimentales.
De plus, cette étape peut permettre de se passer de celle de faisabilité ou de la raccourcir, une fois le programme de dimensionnement disponible car celui-ci peut servir d'outil d'aide à la décision, lors de l'étape de faisabilité. En effet, il permet l'évaluation rapide des possibilités de l'architecture décrite. La procédure de dimensionnement utilisée dans cette étape est détaillée au §III.6.1. L'effort de conception est reporté sur l'étape de dimensionnement de la solution initiale qui s'en trouve rallongée lors du premier dimensionnement d'une architecture. Cependant, le concepteur y gagne la compréhension profonde du comportement des circuits et la maitrise de leur conception. Il est alors à même de se consacrer à une vision système de la conception de circuits. L'étape de dimensionnement de la solution initiale est devenue l'étape prépondérante au contraire de la méthodologie de conception classique, pour laquelle l'étape d'optimisation est centrale.

L'étape d'optimisation est une étape de retouche. En effet, l'utilisation d'une modélisation simple et précise associée à un logiciel de calcul numérique, tel MATLAB, permet d'explorer de manière maitrisée l'ensemble de l'espace de conception et de calculer l'ensemble des solutions compatibles avec les spécifications du cahier des charges. Ainsi, les solutions calculées sont déjà quasi-optimisées. Le simulateur ne sert plus qu'à la retouche finale et à la validation de la solution initiale choisie, ce qui permet un gain de temps conséquent pour le concepteur sur l'étape d'optimisation, et au final sur la durée de conception d'un circuit.

Le concept d'inversion et les équations de fonctionnement du circuit permettent une retouche manuelle en prédisant l'impact d'un changement de dimensions ou de polarisation.

L'intérêt de la méthodologie est de n'utiliser le simulateur que pour l'ajustement final de la solution, en phase d'optimisation, et ainsi réduire le coût de développement des circuits en réduisant le nombre de simulations (d'un millier à une dizaine).

La méthodologie de conception développée facilite l'étape d'extraction, effectuée à chaque changement de technologie et améliore les étapes de faisabilité, de dimensionnement et d'optimisation. Nous allons détailler la procédure de conception de la solution initiale nanowatt, avant d'expliciter les particularités de dimensionnement des circuits autopolarisés d'une part, et des circuits à polarisation fixée d'autre part.

III.6.1 Procédure de conception de la solution initiale nanowatt

A partir de l'architecture retenue à l'étape de faisabilité, le concepteur procède au dimensionnement du circuit en commençant par *l'étape de dimensionnement* de la solution initiale, avant de simuler la solution quasi-optimale obtenue et de la retoucher si nécessaire. Pour cela, il suit la procédure de conception de la solution initiale, utilisée dans la méthodologie de conception nanowatt. Cette procédure, présentée à la figure (III.37), se décompose en plusieurs phases :

- la partition de l'architecture en blocs élémentaires
- l'établissement des équations de conception
- l'établissement du système d'équations décrivant le circuit dont les équations reliant la sensibilité de la variable d'intérêt (le courant par exemple) aux variations des paramètres électriques ou physiques (température, procédé de fabrication, tension d'alimentation...).

– l'établissement du plan de conception
– la programmation de la recherche de solutions, incluant la mise en place de critères de sélection des solutions
– le dimensionnement proprement dit et le choix de la solution à tester en simulation.

Tout d'abord, le concepteur *partitionne le circuit* en blocs élémentaires réalisant une fonction propre et repère les transistors à appairer pour affranchir le circuit des variations linéaires de procédés de fabrication (transistors des miroirs de courant, des paires différentielles ...).
La phase de *mise en équations* du circuit continue par l'établissement des équations de conception à partir

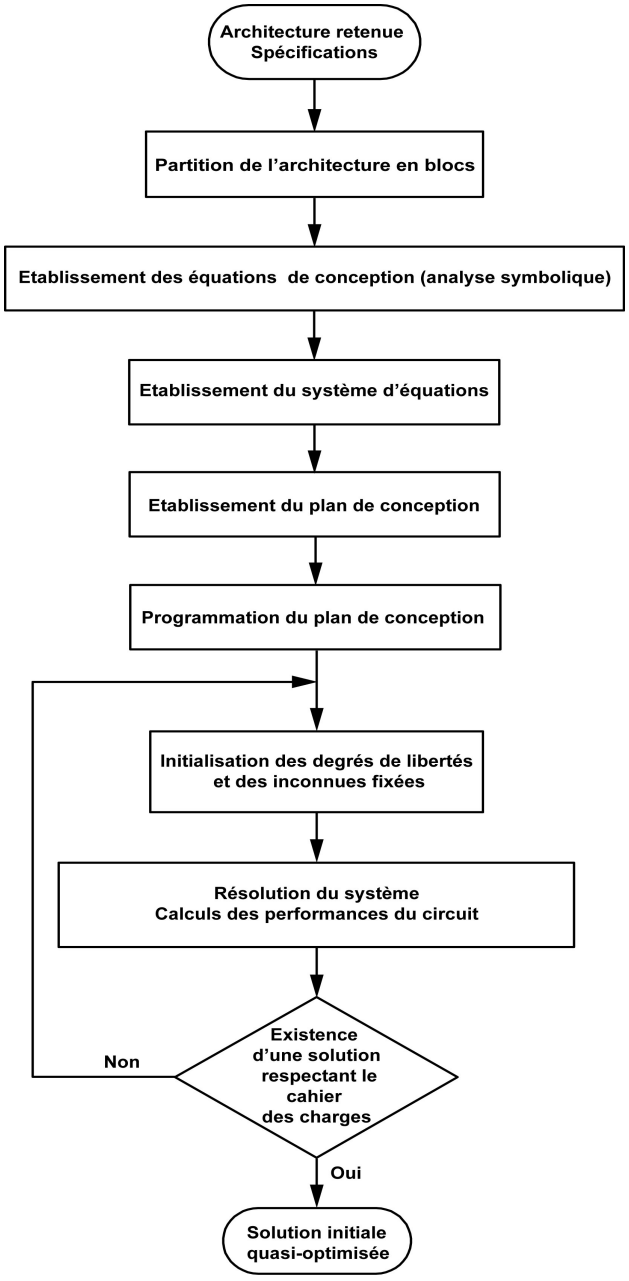

Fig. III.37 – Procédure de conception de la solution initiale nanowatt

des schémas large signal et petit signal du circuit et des spécifications du cahier des charges.

Puis le concepteur explicite les paramètres électriques statiques et petit signal, en fonction des variables de conception, dans les équations de conception. A partir des équations obtenues et des déviations spécifiées dans le cahier des charges, il établit les équations comportementales décrivant la sensibilité de la variable d'intérêt (le courant par exemple) aux variations des paramètres électriques ou physiques (température, procédé de fabrication, tension d'alimentation...).
Les éléments décrits au §III.4, §III.4.2, §III.4.3, §III.4.4 et §III.5 constituent une boite à outils dans laquelle le concepteur est libre de venir piocher au gré de ses besoins selon les spécifications circuit ou l'architecture étudiée. Ainsi *le système d'équations* du circuit est formé.
Cependant, il est différent pour les circuits autopolarisés et ceux à polarisation fixée. Cette différence provient de celle des principes sur lesquels les circuits reposent, à savoir le croisement de caractéristiques pour les uns et la fixation de la polarisation pour les autres, ce qui change, la nature du système d'équations, implicite pour les circuits autopolarisés et explicite pour les circuits à polarisation fixée, et donc la mise en œuvre de la résolution du système.
A partir du système d'équations établi, *le plan de conception* est élaboré. Il décrit la résolution du système d'équations pour répondre aux spécifications du cahier des charges. Il s'agit de l'algorithme de résolution implémenté dans le programme de dimensionnement qui est développé pour être exécuté par le logiciel de calcul numérique, en l'occurrence MATLAB.
Le plan de conception tient compte des contraintes dimensionnelles recouvrant la notion de fabricabilité ou de solution fabricable. En effet, les modèles de simulation analogiques sont valides pour $L \geq 2\mu m$ et $W \geq 2\mu m$, et les possibilités de fabrication imposent une longueur $L \leq 40\mu m$ pour garantir qu'un rectangle dessiné soit un rectangle fabriqué et non un trapèze.
De plus pour des questions de facilité de fabrication (résolution optique), les dimensions sont choisies par pas de $1\mu m$.
Enfin, l'appairage des transistors garantit un « mismatch » minimal. Il est réalisé à l'aide de techniques de dessins des masques barycentriques (« layout common centroïd »), compensant du même coup les variations linéaires de fabrication, mais qui implique de décomposer les transistors à appairer en transistors élémentaires, identiques au sein d'un même bloc. Ces transistors élémentaires ont la même longueur de grille que les transistors à appairer et leur largeur est le plus grand commun multiple des largeurs des transistors à appairer dans une optique de minimisation du nombre de transistors à connecter. En outre, le nombre de transistors élémentaires pour chaque transistor à appairer est pair, sauf pour l'un des transistors si c'est nécessaire, afin de réaliser un layout « common centroïd ».
Par ailleurs, les spécifications du cahier des charges du circuit impliquent le choix de critères de sélection des solutions calculées (surface du circuit, déviations en température, « process » ...).

La différence de système d'équations des circuits autopolarisés et à polarisation fixée aboutit à un plan de conception différent, basé sur le croisement d'abaques et le balayage en dimensions pour trouver les solutions compatiblesw avec le cahier des charges, dans le cas des circuits autopolarisés, et construit sur la déduction des dimensions à partir du cahier des charges, dans le cas des circuits à polarisation fixée. Ainsi, il en résulte une programmation différente.

La phase de programmation de la recherche de solutions, correspond à l'implémentation du plan de conception.
Les caractéristiques électriques de chaque transistor sont calculées sous forme d'abaques indexés en fonction des variables de conception principales. Le programme doit gérer la compatibilité des caractéristiques électriques entre chaque transistor et le calcul des performances de chaque transistor ainsi que celles du circuit pour chaque solution calculée.
Le programme inclut la mise en place de la sélection des solutions à partir des critères de sélection choisis pour le tri des solutions, puis le classement de l'ensemble de solutions selon l'importance des spécifications.
Par ailleurs, la durée d'exécution du programme de dimensionnement d'une architecture est soumise à la manière d'implémenter le plan de conception, à savoir au choix du pas de calcul et de la plage de varia-

tion des variables de conception qui définissent les dimensions des tables calculées pour les paramètres des transistors et du circuit, ainsi qu'à la réversibilité des équations et à l'interpolation des abaques modélisant les effets du second ordre.

L'ajout d'un travail de programmation pour le concepteur allonge la durée de l'étape de dimensionnement de la solution initiale lorsqu'une architecture est étudiée pour la première fois, cependant lors d'un portage, le changement de technologie étant aisé via les abaques de paramètres de technologie et d'effets perturbateurs, calculés à l'étape de caractérisation, l'étape de dimensionnement se résume au changement des paramètres et à l'exécution du programme, d'où un gain de temps considérable.
Mais, le gain immédiat est la forte réduction de la durée de l'étape d'optimisation du fait de la quasi-optimalité de la solution initiale qui résulte de l'exploration maitrisée de l'espace de conception.

La phase de dimensionnement proprement dite se résume à l'analyse de l'ensemble de solutions calculé et au choix de la solution à tester en simulation. Le dimensionnement est entièrement automatisé avec un logiciel de calcul numérique, en l'occurrence MATLAB, qui offre une exploration souple et évolutive de l'espace de conception par ajout de critères de sélection ou modification des spécifications et donne une vision globale de l'espace des solutions au regard du cahier des charges.
Si la solution existe, elle est trouvée presque en instantané. Au besoin, un simple changement de spécification est aisé.
Dans le cas où les spécifications du cahier des charges ne sont pas complètement atteintes par la solution simulée celle-ci peut être ajustée manuellement à l'aide des équations du circuit, ce qui est facilité par le concept de niveau d'inversion, ou redimensionnée par rebouclage à l'aide du programme de dimensionnement avec réajustement des spécifications.
Le concepteur peut programmer la délimitation du périmètre de conception par rapport au cahier des charges.

La méthodologie de conception développée utilise des concepts communs pour le dimensionnement de circuits autopolarisés et à polarisation fixée. Cependant les systèmes d'équations étant différents pour ces deux catégories de circuits, les phases qui en découlent le sont et donc les particularités de dimensionnement de chaque catégorie doivent être explicitées.

III.6.2 Dimensionnement de circuits nanowatt autopolarisés

Les particularités de dimensionnement des circuits autopolarisés sont explicitées dans la présente section.
Les circuits autopolarisés, qui réalisent en général une fonction statique de type référence de courant ou de tension, reposent sur l'intersection des caractéristiques de fonctionnement de deux des blocs qui les composent. Aussi, la procédure de dimensionnement de la solution initiale diffère de celle des circuits à polarisation fixée, dès la phase préalable de mise en équations, qui emploie un ensemble d'équations plus restreint que pour celle des circuits à polarisation fixée.
Cette procédure de dimensionnement de circuits nanowatt autopolarisés a été publiée en tant que méthodologie à part entière sous le nom de « Static Design Methodology »(SDM Méthodologie de Conception Statique) [54, 71–74].
Elle est illustrée au chapitre suivant (§IV.3) sur des références de courant autopolarisées sous spécifications standard et nanowatt. La méthodologie SDM, basée sur des abaques et principalement sur un abaque de mobilité, automatise le dimensionnement de circuits autopolarisés avec précision et simplicité.

III.6.2.1 Système d'équations

Un circuit autopolarisé réalise en général une fonction statique, aussi les équations statiques du modèle EKV, à savoir le courant de drain statique EKV2.0 en conduction et saturation, la définition du niveau d'inversion, la tension de saturation drain/source fonction du niveau d'inversion) sont utilisées lors de sa mise en équations. En outre, son comportement en tension d'alimentation est étudié ce qui nécessite d'exprimer la spécification de PSRR à l'aide des paramètres électriques petit signal de ses transistors par l'intermédiaire de son schéma petit signal. Par ailleurs, ses performances vis à vis des déviations (température, procédé de fabrication ...) sont évaluées pour chaque solution calculée d'où l'emploi des modélisations de ces déviations. Les équations de bases nécessaires sont en nombre restreint.
Après partition de l'architecture en sous blocs, les équations de conception sont établies. Puis les paramètres électriques dans les équations de conception sont explicités en fonction des variables de conception qui sont, pour les circuits autopolarisés, le niveau d'inversion IC, les tensions et les dimensions des transistors.
De ces équations sont tirées les équations comportementales du circuit utilisées pour évaluer sa sensibilité aux déviations (température, process ...) et ainsi sélectionner les solutions calculées.
Ce type d'architecture est basé sur le croisement des caractéristiques de fonctionnement de deux des blocs qui la constituent, ainsi son système d'équations, non linéaire, est implicite. Les inconnues sont les dimensions des transistors.

Il est à noter que les équations de courant de drain EKV2.0 sont améliorées par l'intégration de la réduction de la mobilité sous l'influence du champ électrique vertical [31] et de l'effet de modulation de longueur du canal (effet CLM), au moyen d'abaques, ainsi que par l'emprunt au modèle EKV3.0, de la formulation de la tension de pincement en potentiel de surface.

III.6.2.2 Plan de conception

Le plan de conception commence par fixer la valeur de V_{dd} à atteindre.
Puis la résolution passe par un balayage en dimensions pour trouver les solutions compatibles avec le cahier des charges, ainsi la définition d'un abaque en dimension (W, L, S=W/L) est nécessaire (cf figure III.38).

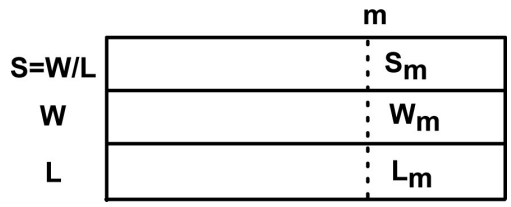

Fig. III.38 – Abaque de dimensions

A partir du système d'équations, pour le transistor « S=W/L=1 »un abaque technologique en feuillets liant l'ensemble des paramètres EKV est calculé (N_a^*, V_P, ..., I_{S0}, i_f, i_r, λ pour $L = 2\mu m$, V_{DSsat}, I_D/S) fournissant ainsi une description EKV de ce transistor. Cet abaque est indexé en tension sur un espace (V_G, V_D, V_S) comme indiqué sur la figure III.39. Le calcul de i_f, i_r, I_{S0} et λ nécessite l'interpolation des abaques de profil dopage, de mobilité et d'effet CLM.
Au contraire de méthodologies existantes (méthode de Binkley), le courant de drain et les paramètres de chaque transistor sont calculés sur des plages de tension et non directement sur une plage de niveau d'inversion, ce qui améliore la précision du courant de drain.

Pour chaque bloc élémentaire, les dimensions, de l'abaque de dimensions, compatibles avec l'abaque technologique et les spécifications sont sélectionnées et associées aux valeurs correspondantes de l'abaque

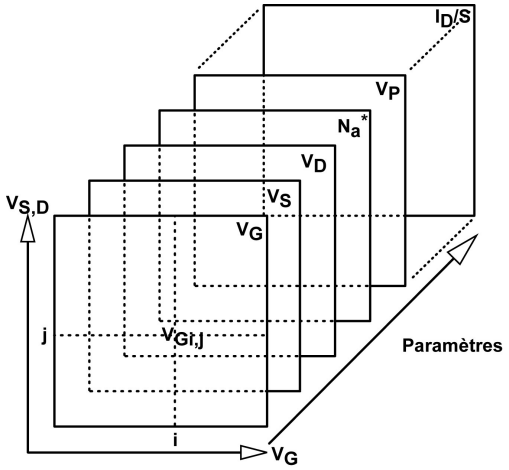

Fig. III.39 – Abaque technologique

technologique pour former un abaque solution au niveau transistor élémentaire (bloc élémentaire) ainsi que l'illustre la figure III.40.

Puis les solutions sont déterminées par l'intersection des abaques solution des blocs élémentaires dont le

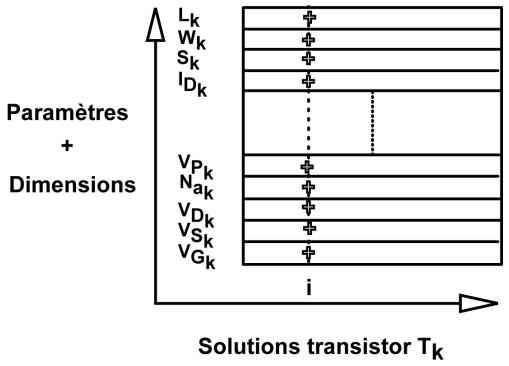

Fig. III.40 – Abaque de solutions du transistor élémentaire

croisement des caractéristiques définit le fonctionnement du circuit.

Cette intersection n'est réalisable qu'à l'aide d'un logiciel de calcul numérique. Une fois les solutions compatibles déterminées, les performances du circuit correspondantes sont calculées, puis elles sont triées selon les spécifications du circuit. Il en résulte un ensemble de solutions liant toutes les inconnues. Il reste à choisir la meilleure solution. La figure III.41 résume la résolution numérique du système d'équations.

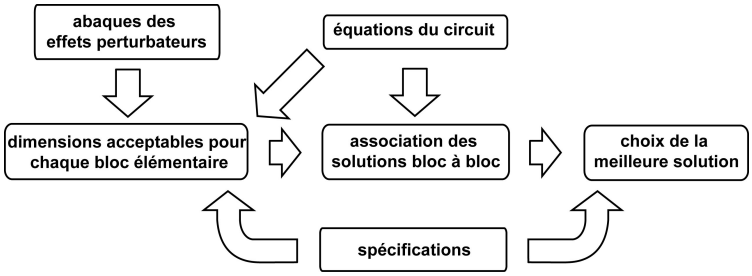

Fig. III.41 – Plan de conception résumé des circuits nanowatt autopolarisés

III.6.2.3 Programmation

Le programme met en œuvre le plan de conception élaboré. Pour cela, pour chaque transistor un abaque technologique liant l'ensemble des paramètres EKV (N_a^*, V_P, ..., I_{S0}, i_f, i_r, λ pour $L = 2\mu m$, V_{DSsat}, I_D/S) d'un transistor carré ($W = L$), est cré. Cet abaque est indexé en tension selon un espace (V_G, V_D, V_S) préalablement défini.

Pour chaque bloc du circuit, les éléments d'un abaque de dimensions (W, L, S), préalablement construit à partir des contraintes de dimensions, sont testés avec les valeurs des abaques technologiques des transistors et les solutions compatibles à la fois avec les spécifications et la notion de solution fabricable, sont rassemblées sous la forme d'un abaque regroupant les éléments des abaques technologiques et les dimensions. Les largeurs des transistors appairés ont été décomposées en largeurs élémentaires.

L'intersection des abaques solutions des blocs élémentaires dont les caractéristiques se croisent est réalisée et les solutions compatibles sont rassemblées sous la forme d'un abaque regroupant les éléments des abaques solutions des blocs élémentaires.

Les caractéristiques des transistors sont alors lissées à l'aide des équations du circuit, et les performances du circuit sont calculées pour chaque solution, et servent à sélectionner les solutions en fonction des spécifications du circuit.
Les solutions sont affichées sous la forme d'une table regroupant les dimensions des transistor ainsi que les performances du circuit et des transistors de chaque bloc.

Le calcul des abaques technologiques nécessite l'interpolation des abaques modélisant les effets du second ordre (mobilité, λ ...). Le mode de fonctionnement des transistors (saturé ou conducteur) est testé pour s'assurer qu'un transistor est dans le bon mode de fonctionnement. La tension de seuil dépend de la longueur du transistor pour $L \leq 10\mu m$, ce qui nécessite le calcul d'un abaque technologique pour chacune des valeurs de L correspondante (pas de $1\mu m$).

La méthodologie repose sur l'association, au moyen d'un logiciel de calcul numérique, des équations du circuit (obtenues à partir des équations de courant de drain EKV2.0) avec des abaques intégrant simplement les principaux effets du second ordre modélisés dans les versions plus récentes du modèle EKV [34, 36].

III.6.3 Dimensionnement de circuits nanowatt à polarisation fixée

Les particularités du dimensionnement des circuits à polarisation fixée sont explicitées dans la présente section.
Les circuits à polarisation fixée réalisent en général une fonction dynamique de type amplification. La phase préalable de mise en équations emploie un ensemble d'équations assez large à l'image de la diversité des spécifications pour ces circuits.

III.6.3.1 Système d'équations

Les équations de base utilisées lors de la description analytique d'un circuit à polarisation fixée sont d'une part les équations statiques du modèle EKV, à savoir le courant de drain statique EKV2.0 en saturation, car les transistors sont tous saturés, la définition du niveau d'inversion, la tension de saturation drain/source fonction du niveau d'inversion, et d'autre part le rapport gm/I_D, le schéma petit signal du transistor, avec les expressions des capacités, et la modélisation des déviations.

Une fois le circuit partitionné en blocs élémentaires, les équations de conception sont établies à partir du schéma petit signal du circuit. Pour une architecture classique, le concepteur peut utiliser les expressions proposées par l'outil PAD [60].
Les équations décrivant la sensibilité du circuit aux déviations sont ensuite exprimées à l'aide des modélisations des déviations, en fonction des variables de conception, qui sont, pour les circuits à polarisation fixée, le rapport gm/I_D, le niveau d'inversion IC et les dimensions de certains transistors.
Les équations de conception sont reformulée à l'aide du rapport gm/I_D et du niveau d'inversion.Le système d'équations obtenu est explicite. Les inconnues du circuit sont les dimensions et les polarisations des transistors.

III.6.3.2 Plan de conception

La caractéristique gm/I_D permet la définition des limites de performances à partir des spécifications et donc la détermination de l'existence de l'espace des solutions. Son existence (ensemble non vide) signifie qu'une solution optimale est atteignable.

Le plan de conception est inspiré de la procédure gm/I_D proposée par Flandre [35, 62, 63].
Il est construit sur le principe de déduction des dimensions des transistors à partir des spécifications du cahier des charges et des équations du circuit formulées en gm/I_D et en niveau d'inversion IC.
La principale différence vient de la prise en compte de la dépendance en niveau d'inversion du coefficient d'effet CLM au moyen de l'abaque $\lambda(IC)$ et de l'abaque utilisé pour gm/I_D qui est indexé en niveau d'inversion IC comme ($I_C = \frac{I_D}{I_{S0}W/L}$, gm/I_D). Les deux abaques sont couplés.
Pour chaque valeur de gm/I_D, et donc de niveau d'inversion, les dimensions des transistors sont calculées, en fixant au besoin des degrés de liberté, qui peuvent être sous forme de paramètres variables lors de la programmation. A chaque solution, les performances du circuit sont calculées et les solutions peuvent sélectionnée selon les spécifications du circuit.

Toutefois, afin de s'assurer qu'aucune solution meilleure n'existe hors de l'espace de conception délimité par les spécifications prises au sens strict, les spécifications sont mises sous forme de paramètres variables, et un balayage en spécification est réalisé en faisant varier de 10% les spécifications du cahier des charges susceptibles d'améliorer le fonctionnement du circuit. Ainsi, la procédure proposée est un intermédiaire entre l'exploration de l'espace de conception sans contraintes comme dans le cas de la méthode de Binkley ou de PAD, et l'application stricte des spécifications dans la méthode gm/I_D.

La figure III.42 résume la résolution numérique du système d'équations.

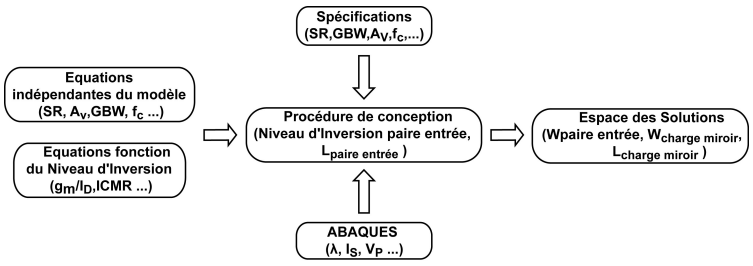

Fig. III.42 – Plan de conception résumé des circuits nanowatt à polarisation fixée

III.6.3.3 Programmation

Le calcul des solutions est facilité par le caractère explicite du système d'équations décrivant le circuit qui amène une résolution déductive ce qui évite la difficulté de l'intersection d'abaques. Cependant, l'interpolation de l'abaque modélisant l'effet CLM est à gérer. De plus, les transistors étant supposés saturés, il est impératif de s'assurer de la saturation de chacun d'entre eux. Certaines performances (ICMR) font intervenir la tension de seuil aussi la dépendance en longueur de la tension de seuil doit être prise en compte pour $L \leq 10\mu m$, pour chacune des valeurs de L correspondante (pas de $1\mu m$). Et les solutions calculées doivent respecter les conditions de fabricabilité sur les dimensions, au besoin en introduisant un abaque en dimension (W, L, W/L) et en le parcourant en longueur L.

Pour chaque solution les performances sont recalculées en introduisant les capacités parasites. Les solutions sont de nouveau sélectionnées selon les spécifications du circuit.
Les solutions et les performances associées sont affichées sous forme graphique.

III.6.3.4 Plan de conception nanowatt de l'amplificateur source commune

Le plan de conception proposé à la figure (III.43) ressemble à celui élaboré à l'aide de la méthodologie gm/I_D (cf Fig.III.9) au §III.3.3.1. Les changements portent sur l'abaque de gm/I_D indexé en niveau d'inversion IC, ce qui donne ($I_C = \frac{I_D}{I_{S0}W/L}$, gm/I_D), et sur la prise en compte de la dépendance en niveau d'inversion du coefficient d'effet CLM au moyen de l'abaque $\lambda(IC)$ extrait à $L = 2\mu m$.

Pour chaque valeur de gm/I_D, la longueur du transistor L est déduite, à l'aide de l'abaque $\lambda(IC)$, à spécification de gain en tension basse fréquence A_{V0} fixée.
Par ailleurs, pour chaque couple de valeurs ($I_C = \frac{I_D}{I_{S0}W/L}$, gm/I_D), le courant de polarisation correspondant est calculé, via les spécifications de produit gain bande GBW et de capacité de charge C_l.
Enfin, le rapport W/L est calculé à partir du courant de polarisation et du courant « adimensionnel », $I_C = \frac{I_D}{I_{S0}W/L}$. La largeur W du transistor est déduite de la longueur du transistor L et de (W/L).
Il reste au concepteur à choisir parmi les solutions en calculant les performances de l'amplificateur à partir des valeurs de courant de polarisation et de dimensions associées à chaque valeur de gm/I_D. A l'aide de la spécification de Slew-Rate, liant la capacité de charge et le courant de polarisation, il détermine le courant de polarisation et donc la solution.

III.6.4 Synthèse des caractéristiques de la méthodologie

L'objectif de cette méthodologie clairement défini de simplifier le travail du concepteur et par là même de réduire les coûts de conception, est atteint.
Elle assure la portabilité d'une technologie à une autre. Elle est simple de mise en œuvre, même si elle implique une part de programmation. Sa qualité de pédagogie découle du concept d'inversion ainsi que de la simplicité et du sens physique prononcé du modèle EKV.

La méthodologie de conception nanowatt élaborée, s'appuie sur une modélisation du transistor continue au travers de l'inversion associant :

- les équations réversibles des modèles EKV2.0 et 3.0, gages de simplicité et de faible temps de calcul,
- l'intégration des effets perturbateurs principaux, assurant la précision de la modélisation, et ainsi la prédictibilité de la méthodologie,
- la modélisation des effets perturbateurs les plus complexes, sans altération de leur contenu physique, sous forme d'abaques indexés à l'aide de variables ayant un sens physique prononcé, ce qui allège le temps de calcul et garantit la robustesse de la méthodologie vis à vis de l'évolution technologique.

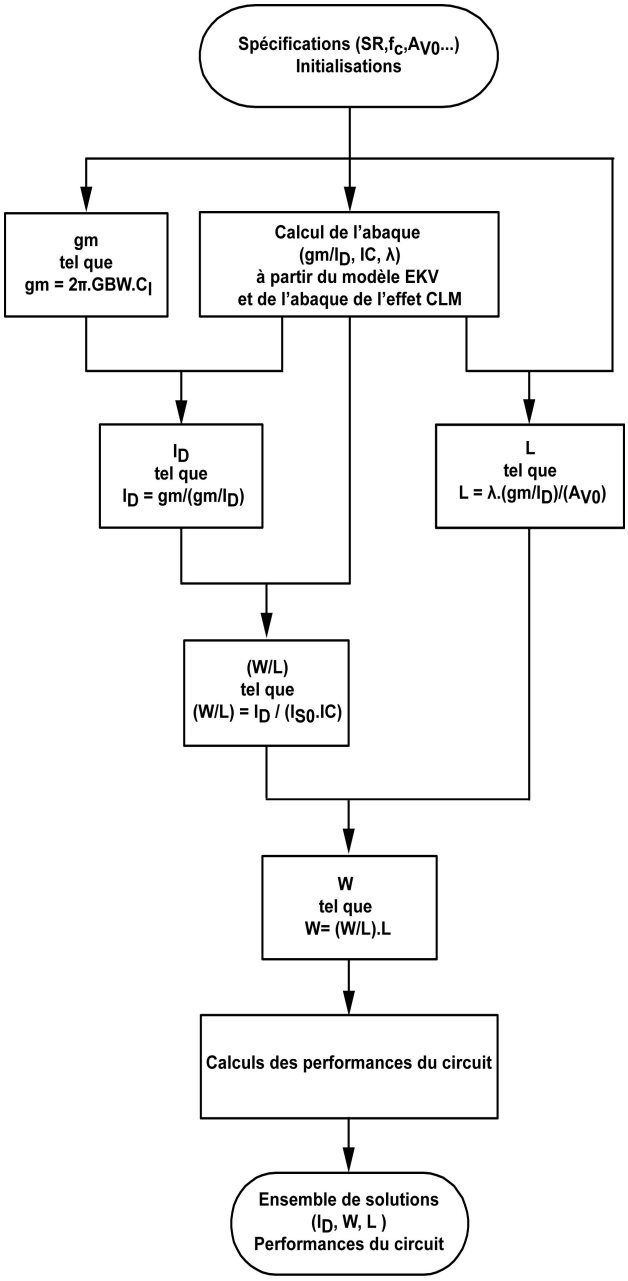

Fig. III.43 – Plan de conception nanowatt de l'amplificateur source commune

Une telle modélisation rend possible l'exploration globale et automatique de l'espace de conception. Associée à un logiciel de calcul numérique, elle permet donc d'atteindre rapidement des solutions optimisées vis à vis des spécifications du cahier des charges d'un circuit, ce qui est favorable à la réduction des coûts de conception, via une forte diminution des simulations. Sa simplicité est renforcée par l'emploi d'un langage de haut niveau pour la programmation (MATLAB) facilitant la personnalisation des procédures de dimensionnement et la délimitation des possibilités d'une topologie, ainsi que la gestion des paramètres technologiques stockés sous forme de tables.

La méthodologie offre au concepteur la possibilité d'étudier, sans contraintes d'inversion, l'impact des procédés de fabrication (process et mismatch), de la température et de la tension d'alimentation, sur les

circuits. Les caractéristiques respectives de cette méthodologie sont synthétisées dans deux tableaux III.5 et III.6 (déviations).

Propriétés	**Méthodologie de conception nanowatt**
Type d'architecture	autopolarisée/polarisée
Choix d'architecture	Oui
$V_{dd} \leq 1V$	Oui
I_{dd} 10-100nA	Oui
Prédictive	Oui en WI/MI/SI
Balayage espace solutions	automatisé
Espace des solutions	entier (circuits autopolarisés) à 10% des spécifications fixées (circuits polarisés)
Simplicité d'utilisation	Oui logiciel de calcul numérique
Pédagogique	Oui
Solutions optimisées	Oui (circuits autopolarisés) Oui à 10% des spécifications fixées (circuits polarisés)
Changement des paramètres technologiques	Oui
Modèle transistor	EKV2.0/3.0

Tab. III.5 – Caractéristiques générales de la méthodologie de conception nanowatt

Propriétés	**Méthodologie de conception nanowatt**
Réduction de mobilité	Oui
CLM	Oui
Saturation de vitesse	Oui en option
Effet petites dimensions	dépendance en L de V_{T0} pas de DIBL ni de NCE
Variations en V_{dd}	Oui
Variations en température	Oui
Variations process	Oui
Mismatch	Oui
Bruit	Oui

Tab. III.6 – Méthodologie de conception nanowatt : modélisation des effets du second ordre et déviations intégrées

Ainsi, cette méthodologie remplit l'ensemble des spécifications du cahier des charges de la méthodologie de conception nanowatt. En particulier, elle rend possible la conception globale de circuits autopolarisés sous spécifications nanowatt. La prédiction de la méthodologie est illustré au chapitre suivant (§IV), en particulier sur des références de courant testées à leur retour de fabrication.
En ce qui concerne la conception de circuits à polarisation fixée (en courant), elle répond à l'ensemble des spécifications du cahier des charges de la méthodologie de conception nanowatt.

Chapitre IV

CIRCUITS NANOWATT

IV.1 Introduction

La méthodologie de conception nanowatt présentée au chapitre précédent (§III) est illustrée dans le présent chapitre sur des circuits autopolarisés aux contraintes basses tensions. La mise en pratique de la méthodologie est réalisée via des références de courant testées, et sur des circuits à polarisation fixée. Sa capacité à dimensionner des circuits sous spécifications nanowatt est assurée via la validation par simulation puis par réalisation et test sur silicium.

Le préalable à toute conception de circuit est de définir les contraintes propres au domaine industriel dans lequel s'inscrit ce travail, qui recouvre aussi bien la présentation des outils de simulation électrique utilisés pour la validation des solutions que les spécifications propres au domaine d'application, à savoir les produits sécurisés ou carte à puce.

IV.2 Contraintes industrielles

IV.2.1 Contexte technologique

Les outils de simulation utilisés ainsi que les contraintes de fabrication et les déviations que subissent les circuits en condition de fonctionnement normal ou lors d'attaques, déterminent en premier lieu le choix des structures étudiées.
Ainsi, l'ensemble des circuits a été simulé, via la plate-forme de conception Virtuoso de l'environnement Cadence, en technologie ATMEL standard (substrat ou « bulk » dans la littérature anglaise) $0.15\mu m$ avec Spectre (Cadence), à partir des jeux de paramètres standard et faible inversion BSIM3v3 fournis par ATMEL. La technologie utilisée impose une alimentation asymétrique à savoir la tension d'alimentation basse V_{ss} telle que $V_{ss} = 0V$.

Les transistors utilisés sont de type haute tension (noté HV dans la nomenclature ATMEL), à savoir de $V_{dd} = 7V$ bien que l'objectif soit de concevoir des circuits à tension d'alimentation en dessous de 1V ($V_{dd} < 1V$). Leur utilisation permet de limiter les déviations inhérentes aux technologies avancées, et ainsi faciliter la validation de la méthodologie en s'affranchissant d'un effet avancé imparfaitement modélisé. Leurs caractéristiques sont décrites dans le tableau IV.1. Ces transistors sont ceux utilisés lors du développement de la méthodologie pour faciliter sa mise au point, en limitant l'effet de structure technologique (profil de dopage vertical et près de la source et du drain) et en négligeant les courants parasites liés à la faible épaisseur d'oxyde (oxyde d'épaisseur 3.3nm). Ainsi, les concepts fondamentaux de la méthodologie et les procédures d'extraction de paramètres ont été plus facilement validées.

L'extension de la méthodologie aux transistors de type oxyde mince demande un simple affinage de l'extraction des paramètres, sans remise en cause des concepts ou des procédures de conception élaborés.

Paramètre	Symbole	Valeur (typique)		Unité
		NMOS	PMOS	
Longueur de grille minimale.	L_{min}	1.2	1.2	μm
Largeur de grille minimale.	W_{min}	0.9	0.9	μm
Epaisseur d'oxyde de grille.	t_{ox}	25	25	nm
Tension d'alimentation.	V_{dd}	7	7	V
Tension de seuil (10x10).	V_{T0}	360	-375	mV
Mobilité (10x10).	μ_0	635	278	$cm^2/(V.s)$

Tab. IV.1 – Caractéristiques des transistors HV de la technologie AT0.15μm (ATMEL).

Les paramètres modèles des transistors utilisés sont garantis fiables à une dispersion près de $\pm 10\%$, dans une optique de conception analogique, pour des dimensions L et W au dessus de $2\mu m$. Ainsi, les dimensions minimales des transistors seront définies supérieures à $2\mu m$. La longueur maximale fabricable sans qu'un rectangle dessiné devienne un trapèze fabriqué est de $40\mu m$. En outre pour des raisons de facilité de fabrication nous choisissons un pas en dimension de $1\mu m$.

Pour dimensionner approximativement les transistors, dans une optique nanowatt nous avons vu l'importance des différents niveaux d'inversion. Ainsi à titre indicatif, le courant de normalisation de milieu d'inversion modérée I_0 peut être utilisé, soit 204nA pour les NMOS et 102nA pour les PMOS.

IV.2.2 Variations liées au procédé de fabrication

Les performances d'un circuit dépendent directement des caractéristiques de ses éléments constitutifs (composants, paramètres technologiques et électriques associés). Or, les paramètres technologiques des composants intégrés sont sensibles aux variations du procédé de fabrication (« variations process »), et au désappariement (« mismatch »). Certains de ces paramètres, comme l'épaisseur d'oxyde ou le niveau de dopage, peuvent présenter une tolérance relativement élevée (parfois supérieure à 10 $\%$), d'où l'importance de leur prise en compte.

Les variations liées à la fabrication font partie de « la vie normale du produit », aussi il est indispensable d'en tenir compte et de minimiser leur impact sur les circuits en les compensant. La compensation est de trois ordres :

- les techniques de dessin des masques appropriées de type centre de gravité commun (« common centroïd »), adaptées pour contrer les variations linéaires (les gradients de procédé à « grande » échelle - effet de distance),
- la polarisation adéquate des transistors dans les différents blocs des circuits,
- l'utilisation de surfaces suffisantes.

Les variations « process » et le « mismatch » sont deux phénomènes différents bien que tout deux liés à la fabrication du transistor. Elles correspondent à une variation en moyenne des paramètres physiques du transistor comme l'épaisseur d'oxyde, le niveau de dopage et les défauts à l'interface Si/SiO2.
L'étude de leur influence sur les circuits est réalisée à l'aide de simulations de type analyse en coin (« corner analysis » dans la littérature anglaise) qui consistent à changer, pour chaque composant d'un circuit (transistors NMOS, PMOS, résistances...), les valeurs de paramètres de la carte modèle liés au procédé de fabrication (tension de seuil, mobilité, etc...) en leur appliquant les tolérances de fabrication conduisant

aux cas extrêmes (transistor lent correspondant au pire cas - « worst case »-, transistor rapide au meilleur cas - pour « best case »- de type 2 ou 3 σ) par opposition au cas moyen (nominal). Bien que relativement pessimiste, cette méthode permet de vérifier rapidement si le circuit respecte les spécifications du cahier des charges.
Pour le calcul des déviations des circuits, liées aux variations process, nous prenons une variation réaliste de 10% sur les paramètres de mobilité et de tension seuil.

La notion de désappariement (ou « mismatch ») concerne deux transistors de même dimensions, d'un même circuit, et devant assurer, en théorie, un comportement électrique identique. En réalité, la fabrication induit des variations locales du dopage et de l'épaisseur d'oxyde, non nulles en moyenne pour des dimensions microniques, bien que nulles en moyenne à grande échelle. Ainsi, deux transistors de dimensions identiques ont des valeurs de tension de seuil et de facteur de transconductance légèrement différentes, ce qui occasionne une déviation du courant statique et donc des paramètres qui en découlent.
L'appairage des transistors, associé à un choix adapté de la surface et du niveau d'inversion IC, garantit un mismatch minimal. Il est réalisé à l'aide de techniques de dessins des masques barycentriques (« layout common centroïd »), compensant les variations linéaires de fabrication ainsi que les variations locales. Ceci implique de décomposer les transistors à appairer en transistors élémentaires, identiques au sein d'un même bloc, de sorte que les variations globales aient des répercussions identiques sur chacun d'entre eux.
L'analyse Monte-Carlo permet d'étudier l'influence du « mismatch ». Elle peut également être utilisée pour l'étude des variations « process » mais si elle est plus réaliste, cette méthode distributive nécessite cependant des temps de simulations plus élevés.

Pour le calcul des déviations des circuits, liées au « mismatch », nous prenons les déviations de la technologie utilisée, fournies par l'industriel.

IV.2.3 Fonctionnement normal

Outre les variations de procédés de fabrication, le fonctionnement d'un circuit est affecté par la température et les variations de la tension d'alimentation que l'on considère comme un fonctionnement normal. Les variations de température que les circuits peuvent voir lors de la vie normale du produit sont liées à la qualité des lecteurs (alimentation de très mauvaise qualité), avec lesquels le produit sécurisé communique, et à l'environnement d'utilisation.
Le produit est garanti fonctionnel sur la plage de température - 40˚C à + 80˚C, cependant les circuits sont testés sur la plage de température -50˚C à +125˚C. Toutefois la source de perturbations peut être interne. En effet, les éléments d'un même circuit présentent généralement des températures de fonctionnement différentes. Du fait de la présence de transistors de puissance pour les circuits d'alimentation ou d'entrée/sortie, les circuits sont le siège de gradients de température qui sont une source supplémentaire de mismatch et provoquent un stress mécanique, ce qui dégrade la fiabilité des circuits.

Ainsi le circuit s'autoperturbe thermiquement mais également électriquement par injection de bruit sous forme de pics (« glitch » dans la littérature anglaise) sur l'alimentation lors des transitions sur les entrées/sorties par exemple. Lors de la phase de démarrage lente et chaotique, la tension d'alimentation fournie par un lecteur présente en général des rebonds importants. Le produit est remis à zéro (« reset » dans la littérature anglaise) durant la phase de démarrage tant que l'alimentation n'est pas stabilisée, cependant les circuits analogiques doivent fonctionner. Il s'en suit une phase de régime établi ou permanent pendant laquelle la tension d'alimentation est très bruitée. Cela provient du type de régulateur de tension employé par le lecteur [7]. Les régulateurs à découpage sont généralement plus « bruyants » que leurs homologues linéaires.
Les caractéristiques du bruit dépendent du type de régulateur employé par le lecteur. Lorsque ce dernier est

un régulateur à découpage, son bruit de sortie résulte principalement du mécanisme de commutation. Dans ce cas, le spectre du bruit s'étale autour de la fréquence de commutation. Cette dernière est généralement comprise entre 1 KHz et 1 MHz.
Si le régulateur du lecteur est un régulateur linéaire, les caractéristiques du bruit d'alimentation dépendent, entre autres, de son facteur de réjection de l'alimentation, le PSRR+ (« Power Supply Rejection Ratio » dans la littérature anglaise) et de son facteur de régulation aval, le LDR (« Load Regulation » dans la littérature anglaise). En particulier, si son LDR est de mauvaise qualité, le bruit est alors fonction des caractéristiques du courant de charge et donc du circuit alimenté. Son spectre étant centré sur la fréquence de fonctionnement de la carte, entre 1 KHz et 1 MHz, le PSRR+ des circuits doit être suffisamment élevé sur cette plage de fréquence.

IV.2.4 Attaques

Une carte à puce ou plus généralement n'importe quel produit sécurisé est susceptible de subir des attaques visant à pénétrer les informations confidentielles contenues dans la mémoire du circuit intégré. Compte tenu de l'environnement de ce travail la notion de sécurisation des informations est un élément important à prendre en considération. Ainsi, les différents type d'attaques, invasives ou non, ayant été définies au chapitre d'introduction en §I.2.3, nous allons préciser dans quelle mesure nous les abordons dans notre étude.

Les tentatives de perturbation volontaires du produit sont perpétrées dans le but d'induire des fautes de la partie logique du système et ainsi déduire des informations sur l'algorithme utilisé pour le cryptage voire les clefs secrètes de cryptage. Nous nous intéressons ici aux attaques susceptibles de perturber le fonctionnement des circuits analogiques sans détériorer le produit c'est à dire sans l'ouvrir, ce qui exclu tout accès direct aux nœuds du circuit intégré.

Notre objectif n'est pas de concevoir des blocs réalisant une fonction complexe de protection des informations ou de l'alimentation du cœur logique, réclamant une approche système, mais plutôt de limiter la sensibilité des circuits élémentaires aux attaques, concourant ainsi à l'amélioration de la sécurité de l'ensemble du produit et des marges de manœuvre.
Les attaques perturbant directement les circuits analogiques sont les attaques en tension d'alimentation et en température, seul canaux directement accessibles sans détériorer le circuit intégré. Le travail du concepteur est de limiter la sensibilité du produit à ces perturbations.
Ainsi, il est impératif de définir les attaques en termes de forme et de dynamique (amplitude et durée). La température étant une grandeur dont la propagation est assez lente, l'aspect dynamique est assez limité. Le respect du cahier des charges en termes de tenue en température lors de la vie normale du produit est en général suffisant. En revanche, les grandeurs électriques se propagent beaucoup plus vite aussi la sensibilité des circuits aux variations dynamiques de la tension d'alimentation doit être étudiée attentivement et un gabarit de test en attaque de tension d'alimentation est à définir.
Une attaque en tension d'alimentation est définie par un signal carré, superposé au signal d'alimentation statique, dont la fréquence ainsi que les transitions sont contrôlées en pente et en amplitude.
La méthodologie de conception nanowatt développée est utilisée pour le dimensionnement d'architectures autopolarisées et à polarisation fixée sous spécifications nanowatt en respectant les contraintes industrielles énoncées, relatives aux exigences générales de l'industrie autant qu'à celles particulières du domaine des produits sécurisés. Les circuits dimensionnés ont été simulés afin de valider l'aptitude de la méthodologie à prédire le comportement des circuits et ainsi à dimensionner des solutions optimisées à cahier des charges circuit fixé. Pour commencer, la méthodologie de conception nanowatt est appliquée au dimensionnement d'architectures autopolarisées.

IV.3 Circuits nanowatt autopolarisés : conception, simulation et résultats expérimentaux

Nous rappelons que la méthodologie de conception nanowatt développée diffère selon le type de circuits, autopolarisés ou à polarisation fixée, au niveau de la procédure de dimensionnement de la solution initiale.

Les circuits présentés dans la présente section illustrent la mise en œuvre de la méthodologie sur les architectures autopolarisées et sa capacité à dimensionner des solutions optimisées au regard du cahier des charges circuit. Dans un premier temps, des solutions ont été dimensionnées sans spécifications particulières en termes de déviations (température, déviation de procédé de fabrication, tension d'alimentation), afin de valider expérimentalement la capacité de la méthodologie à dimensionner des solutions fonctionnant à faible tension d'alimentation, sous spécifications de consommation standard et nanoampère. Les solutions dimensionnées ont fait l'objet d'un envoi en fabrication. Dans un second temps, les références de courant étudiées ont été dimensionnées avec des spécifications en déviations mais elles ont été validées seulement en simulation.

Les circuits envoyés en fabrication sont au nombre de six, soit :
- deux références de tensions de type Self-Cascode
- deux références de courant de type Oguey
- deux références de courant de type Camacho-Galeano

Les circuits fabriqués ont été conçus en technologie ATMEL CMOS $0.15\mu m$. Ils ont été intégrés sur un prototype réalisé dans le cadre d'une opération multi-projets menée au sein de la société ATMEL. Le dessin des masques (fichier GDSII) a été réalisé sous l'environnement Layout-XL de la plateforme Cadence Virtuoso. La vérification du layout (DRC, extraction et LVS) a été effectuée à l'aide des outils Assura (et Diva). Enfin, les circuits rétro-annotés ont été simulés avec Spectre (simulations post-layout). Le dessin des masques ainsi que la validation post-layout ont été réalisés, sous mon encadrement, par une stagiaire d'école d'ingénieurs lors de son stage de fin d'études.

Les circuits ont été dimensionnés dans un souci de fiabilité et de simplification du dessin des masques, en subdivisant les transistors à appairer en un nombre adéquat de transistors élémentaires identiques. L'intérêt est d'ôter les sources de dérives par rapport à la méthodologie. Outre l'attention apportée aux transistors à appairer, d'autres précautions sont prises lors du dessin des masques, en dessinant chaque layout en suivant des règles visant, d'une part, à maximiser la fiabilité et les performances et d'autre part, à minimiser la sensibilité aux déviations locales et globales du procédé de fabrication :
- Les composants requérant un appariement précis sont découpés en éléments unitaires identiques, de sorte que les variations globales aient des répercussions identiques sur chacun d'entre eux [75].
- Les dimensions des éléments unitaires identiques sont pris grandes par rapport aux tailles minimales de la technologie afin de limiter l'influence des fluctuations locales.
- Un élément compact subit des déviations plus uniformes en tout point de sa structure. Pour cette raison, l'aspect ratio des éléments unitaires est pris aussi faible que possible (i.e., proche de l'unité).
- Les longueurs des pistes de polysilicium sont réduites au minimum afin de limiter les résistances séries, de minimiser la taille des capacités parasites et d'empêcher l'effet d'antenne [76].
- Les éléments unitaires sont orientés dans la même direction de sorte que les porteurs présentent des mobilités identiques. En outre, si les éléments se trouvent à proximité d'une source de chaleur (transistors de puissance, etc.), ils doivent être disposés parallèlement au gradient thermique [77].
- Pour que les gradients (thermiques, de procédé de fabrication, etc.) aient un effet identique sur tous les composants, les éléments constitutifs de ces derniers sont interdigitalisés et placés à proximité les uns des autres suivant une disposition à barycentre commun (« common centroid ») [75].

- Si la surface l'autorise, des éléments factices (« dummies ») sont placés en périphérie de la matrice, afin que tous les éléments d'intérêt présentent un voisinage identique. Cette technique vise à minimiser l'impact des effets de bord [76].
- Afin de limiter les effets de couplage, les pistes métalliques sont routées à l'extérieur des zones actives. Dans la même optique, les pistes d'un niveau métallique donné sont routées perpendiculairement aux pistes des niveaux adjacents [78].
- Afin de réduire le bruit d'alimentation, des capacités de découplage sont placées à proximité des cellules bruyantes [76].
- Pour limiter le bruit substrat, chaque cellule contient une densité importante de prises substrats à faible résistance série. Chaque élément unitaire d'une cellule est entouré d'un anneau de garde (« guard-ring »). Cette mesure permet également de limiter le risque d'effet thyristor parasite (« latch-up »). De plus, les cellules analogiques sensibles sont entourées d'un second anneau de garde (« double guard-ring ») et placées à distance des cellules bruyantes (blocs digitaux, convertisseurs à capacités commutées, etc.) [76].
- Enfin, afin d'augmenter la fiabilité, les contacts et les vias sont doublés, et la largeur des pistes est prise systématiquement supérieure aux minima fixés par le DRM [78].

Le prototype réalisé, présenté sur la figure (IV.1) a été mis en boitier de test à vingt exemplaires. Les circuits ne sont pas directement visibles en raison de la couche de blindage qui couvre l'ensemble du prototype. Les boitiers ont été divisés équitablement entre les quatre membres de l'équipe Analog Custom Cell de la division SMS d'ATMEL Rousset. Les références de courant de nos cinq exemplaires ont été testées dans le laboratoire de test du groupe Analog Custom Cell, sur plaque de test, par mesure de la tension aux bornes d'une résistance de charge, à l'aide d'un oscilloscope numérique. Par ailleurs un wafer (Fig.IV.1) du même lot a été mis à disposition, et neuf échantillons ont été mesurés sous pointes, dans le laboratoire de caractérisation électrique de l'IM2NP situé au sein de l'ISEN-Toulon.
Les caractéristiques des références de courant et de tension ont été mesurées à l'aide d'un analyseur HP4156, puis traitées avec l'outil MATLAB. Les courbes ainsi obtenues sont réparties au sein de chaque sous-section correspondante.
La qualité du lot a pu être évaluée par la mesure des tensions de seuil de transistors NMOS et PMOS de grandes dimensions ($W = L = 10\mu m$). Les transistors NMOS sont intermédiaires entre un cas process nominal et un pire cas, tandis que les transistors PMOS sont au delà du pire cas process, ce qui affectera peu les circuits car ils n'interviennent que dans des miroirs de courants. En outre les « via » de ce lot sont qualifiés de résistifs (résistance de 1kΩ).

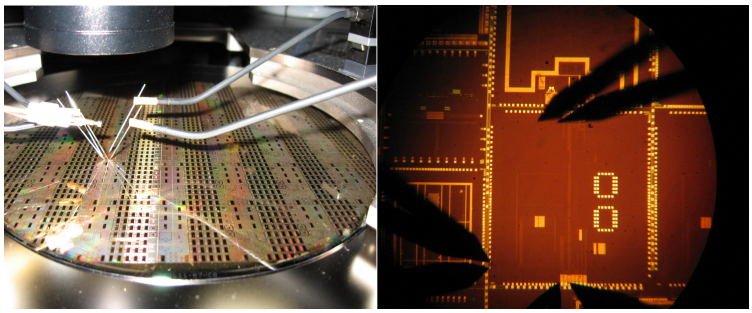

Fig. IV.1 – Photographies du prototype de test : wafer et prototype

La procédure de conception de circuits nanowatt appliquée aux circuits autopolarisés est brièvement rappelée.

IV.3.1 Mise en œuvre de la méthodologie

La méthodologie de conception nanowatt appliquée à un circuit autopolarisé commence par le dimensionnement d'une solution initiale en suivant la procédure de dimensionnement de la solution initiale des circuits autopolarisé définie au §III.6.2 du chapitre §III.
La procédure de dimensionnement de la solution initiale des circuits autopolarisés commence par la description du circuit et l'établissement de son système d'équations valable sur l'ensemble de l'inversion à l'aide des équations de courant de drain du modèle EKV2.0, de l'expression de la tension de saturation drain/source. A ces équations s'ajoutent celles utilisées pour l'étude des déviations en température, mismatch et process ainsi que celles afférentes au schéma petit signal pour l'étude en tension d'alimentation.
Puis, l'élaboration du plan de conception d'un circuit, ou algorithme de résolution, utilise les relations établies pour dimensionner les solutions compatibles avec le cahier des charges circuit. Dans le cas des circuits autopolarisé, l'espace de conception est parcourue en associant un abaque de dimensions (W, L, S=W/L) avec les abaques technologiques, construits pour chaque transistor. Un abaque technologique lie l'ensemble des paramètres EKV (N_a^*, V_P, ..., I_{S0}, i_f, i_r, λ pour L=2μm, V_{DSsat}, I_D/S) d'un transistor carré (W=L). Il est indexé en tension selon un espace (V_G, V_D, V_S) préalablement défini. Le calcul de i_f, i_r, I_{S0} et λ nécessite l'interpolation des abaques de profil dopage, de mobilité et d'effet CLM.
Le point essentiel, une fois les abaques technologiques obtenus pour chaque transistor ou bloc de transistors, est de réaliser l'intersection de ces tables pour chaque élément de l'abaque de dimensions.

L'abaque de dimensions (W, L, S=W/L) est construit à partir des contraintes de dimensions $L_{min} = 2\mu m$, $L_{max} = 20\mu m$ ou $40\mu m$ et $W_{min} = 2\mu m$. La largeur maximale de transistor est choisie à $W_{max} = 400\mu m$. Les dimensions sont toutes entières en μm pour faciliter le travail de dessin des masques. Les largeurs de transistors sont choisies multiples d'une largeur élémentaire entière quelconque comprise entre $W_{elem_{min}} = 2\mu m$ et $W_{elem_{max}} = 20\mu m$, leur multiplicité étant limitée à $N_{elem_{max}} = 40$ transistors en parallèle. Une telle décomposition facilite le regroupement en matrice des transistors appairés.Des valeurs de rapport W/L sont redondantes, aussi elles peuvent être éliminées si souhaité pour alléger l'abaque de dimensions, en dehors des faibles valeurs de L affectant la tension de seuil. L'abaque peut encore se réduire en choisissant une répartition logarithmique des valeurs de S. De plus la dépendance L de la tension de seuil est prise en compte via une table de valeurs de tension de seuil indexée en L de $2\mu m$ à $L_{max_{Vth0}} = 10\mu m$ par pas de $1\mu m$.

Le plan de conception est alors implémenté sous l'outil MATLAB et les solutions, calculées à partir du cahier des charges circuit, sont présentées sous la forme d'une table associant performances du circuit ainsi que dimensions et caractéristiques des transistors. La dépendance en tension d'alimentation des références de courant, du fait de l'effet CLM, est un élément important. Le comportement du circuit en tension d'alimentation peut être calculé à dimensions fixées.
Enfin, la solution sélectionnée est testée par simulation, puis validée et dans le cas contraire améliorée. A ce propos, il est important de garder à l'esprit les limites de validité des modèles de simulation, en régime statique, afin de tester des solutions dont les niveaux d'inversion sont compatibles avec ces limites. Les limites de validité des modèles de simulation ont été établies par comparaison avec des caractéristiques tirées de l'expérience. Ainsi, les caractéristiques de courant de drain en conduction et saturation ont permis de montrer que le modèle de simulation faible inversion était valide pour IC compris entre 1 et 60, ce qui permet de valider en simulation les solutions dimensionnées respectant cette plage d'inversion. Toutefois la limite inférieure peut être abaissé à 0.6 voire à 0.1 pour les transistors en saturation, pour peu qu'une déviation de 10% soit tolérable.

IV.3.2 Référence de tension Self-Cascode

L'architecture de type Self-Cascode, originellement proposée dans [16], est un circuit particulier à la fois autopolarisé et à polarisation fixée. Ce circuit est décrit par un système d'équations implicites tout en étant polarisé par deux références de courant, aussi il a été dimensionné à l'aide de la procédure de dimensionnement de circuits autopolarisés. De plus cette structure est utilisée comme résistance active dans la référence de courant Camacho-Galeano étudiée dans la présente section.

La référence de tension de type Self-Cascode (Fig.IV.2) est constituée de deux transistors empilés dont les grilles sont reliées ensemble au drain du transistor supérieur (N1), ainsi connecté en diode. Le drain du transistor inférieur (N2) est relié à la source du transistor supérieur et son potentiel constitue la référence de tension V_{ref}. La structure est polarisée par deux références de courant I_{pol1} et I_{pol2}, respectivement connectées au drain de N1 et à celui de N2.
En fonctionnement normal, le transistor supérieur est naturellement saturé, étant en diode, tandis que le transistor inférieur est conducteur.

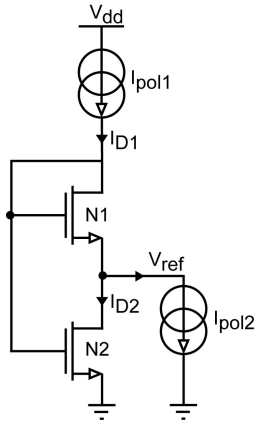

Fig. IV.2 – Référence de tension Self-Cascode

IV.3.2.1 Modélisation du circuit

IV.3.2.1.a Description générale

Cette structure est habituellement utilisée en faible inversion (WI), où N1 et N2 sont respectivement supposés en saturation et en conduction [16]. L'utilisation des équations asymptotiques d'inversion faible, en considérant des tensions de seuil et des mobilités identiques pour les transistors, (II.43),(II.45) conduit à :

$$V_{ref} = U_T \, ln \left(1 + \frac{I_{D_2} S_{N1}}{I_{D_1} S_{N2}} \right) \tag{IV.1}$$

où U_T est la tension thermodynamique, S_{N1} et S_{N2} sont les rapports W/L respectifs des transistors N1 et N2.
Ainsi, lorsque les deux transistors sont en inversion faible (WI), la valeur de référence de tension ne dépend plus que du rapport des dimensions des transistors et de la température. Le dimensionnement du circuit est alors direct. La structure est dite « PTAT » c'est à dire proportionnelle à la température absolue (Proportional To Absolute Temperature dans la littérature anglaise).
L'équation (IV.1) montre que la tension de référence V_{ref} obtenue est très peu sensible aux variations de niveaux de courant, lorsque les transistors N1 et N2 sont en faible inversion (WI).

La dépendance en tension d'alimentation du circuit intervient par l'intermédiaire de l'effet CLM via le coefficient d'effet CLM associé λ. L'expression de la tension de référence (IV.1) est reformulée en tenant compte de cet effet en :

$$V_{ref} = U_T\, ln\left(1 + \frac{I_{D_2} S_{N1}}{I_{D_1} S_{N2}}(1 + \lambda_1(V_{G1} - V_{D_{sat1}}))\right) \tag{IV.2}$$

L'équation (IV.2) montre que, du fait de la connexion en diode du transistor N1, la tension de référence est très peu sensible à l'effet CLM et sera peu sensible aux variations de tension d'alimentation V_{dd}. Dans le pire cas $\lambda = 0.2V^{-1}$, $V_G = 200mV$ d'où un impact maximal de 2% lorsque les transistors N1 et N2 sont en faible inversion. L'expression (IV.1) suffit donc à décrire correctement la référence de tension en inversion faible.

En raison de la polarisation des transistors en faible inversion, le transistor N2 est maintenu en conduction si la référence de tension Self-Cascode PTAT est plus petite que $4U_T$, valeur correspondant à la tension de saturation drain/source en faible inversion. Ce circuit est donc particulièrement adapté aux fortes contraintes de tension d'alimentation ($V_{dd} < 1V$) mais, selon la technologie et le courant visé, l'utilisation de la faible inversion conduit à une surface silicium trop importante.

Afin d'optimiser la surface, par utilisation de l'inversion modérée, nous proposons l'utilisation des équations de courant de drain EKV2.0 afin d'établir une formulation de V_{ref} valide sans contraintes de niveau d'inversion. L'inversion de l'équation du courant direct normalisé (Tab.II.2) conduit à :

$$V_{ref} = V_P - 2U_T\, ln\left(e^{\sqrt{i_{f_1}}} - 1\right) \tag{IV.3}$$

En considérant que les tensions de seuil sont identiques pour les deux transistors, la tension de pincement V_P est identique pour les deux transistors et il vient :

$$V_{ref} = 2U_T\, ln\left(\frac{e^{\sqrt{i_{f_2}}} - 1}{e^{\sqrt{i_{f_1}}} - 1}\right) \tag{IV.4}$$

L'hypothèse d'identité des tensions de seuil implique, lors de la phase de conception, de choisir une longueur de grille identique pour les transistors et de les appairer en s'assurant qu'ils soient scindables en transistors élémentaires de largeur identique et regroupables dans une matrice common centroïd de transistors, de manière à compenser les variations systématiques.

L'expression précédente s'écrit également :

$$V_{ref} = 2U_T\left[ln\left(e^{\sqrt{i_{f_2}}} - 1\right) - ln\left(e^{\sqrt{i_{f_1}}} - 1\right)\right] \tag{IV.5}$$

Ces équations sont complétées par la définition du rapport des courants de drain γ_{I_D} :

$$\gamma_{I_D} = I_{D_2}/I_{D_1} \tag{IV.6}$$

ce qui s'exprime avec les courants de polarisation de la structure en :

$$\gamma_{I_D} = 1 + I_{pol2}/I_{pol1} \tag{IV.7}$$

Par ailleurs, le courant de drain circulant dans le transistor conducteur N2 s'exprime comme la différence entre les courants normalisés direct et inverse :

$$I_{D_2} = I_{S2}(i_{f_2} - i_{r_2}) = I_{S2}(i_{f_2} - i_{f_1}) \tag{IV.8}$$

car i_{r_2} et i_{f_1} sont égaux. Comme N1 est saturé, son courant inverse peut être considéré négligeable devant le courant direct. Par conséquent, son courant normalisé direct i_{f_1} est aussi son niveau d'inversion I_{C_1}, qui peut s'approximer par :

$$i_{f_1} \cong \frac{I_{D_1}}{I_{S1}} \tag{IV.9}$$

Les courants de normalisation I_{S1} et I_{S2} s'expriment en fonction de β qui est égal à $\mu_n C'_{ox} W/L$ en :

$$\begin{array}{l} I_{S1} = 2n_q\beta_1 U_T^2 \\ I_{S2} = 2n_q\beta_2 U_T^2 \end{array} \tag{IV.10}$$

Lorsque l'effet CLM est pris en compte, le courant de normalisation de N1 se reformule en :

$$I_{S1} = 2n_q\beta_1 U_T^2(1 + \lambda_1(V_{G1} - V_{D_{sat1}})) \tag{IV.11}$$

et ainsi, en prenant en compte l'effet CLM, le courant normalisé direct, s'exprime comme :

$$i_{f_1} \cong \frac{I_{D_1}}{2n_q\beta_1 U_T^2(1 + \lambda_1(V_{G1} - V_{D_{sat1}}))} \tag{IV.12}$$

L'impact de l'effet CLM sur le niveau d'inversion du transistor N1 est peu élevé. En effet, en considérant que dans le pire cas, $\lambda = 0.2V^{-1}$, $V_G = 1V$ et $V_{D_{sat}} = V_G - V_{T0}$ (inversion forte), l'impact maximal est de 7%. En outre, en inversion forte, la loi de tension en fonction du courant est en racine carrée ce qui atténue encore l'influence de l'effet CLM sur la structure. Ainsi, la structure peut être considérée peu sensible à la tension d'alimentation dans un circuit, quelque soit le régime d'inversion, et le courant de normalisation peut s'approximer par $I_{S1} = 2n_q\beta_1 U_T^2$ et l'expression de la référence de tension devient :

$$V_{ref} = 2U_T \left[ln\left(e^{\sqrt{\frac{I_{D_2}}{I_{S2}} + \frac{I_{D_1}}{I_{S1}}}} - 1 \right) - ln\left(e^{\sqrt{\frac{I_{D_1}}{I_{S1}}}} - 1 \right) \right] \tag{IV.13}$$

La formulation générale de la tension de référence, valable sur l'ensemble de l'inversion, est utilisée pour l'étude du comportement de la structure aux variations de température, de process et de mismatch.

IV.3.2.1.b Dépendance en température

La structure Self-Cascode est PTAT sous hypothèses de faible inversion pour les deux transistors et de conduction pour le transistor N2. Cependant, la formulation EKV 2.0 permet de démontrer que la structure Self-Cascode a un comportement linéaire avec la température (LWT « Linear With Temperature » dans la littérature anglaise) en forte inversion (SI). Or le comportement PTAT étant un cas particulier de comportement LWT, par continuité, la structure Self-Cascode est LWT de l'inversion forte à l'inversion faible, c'est à dire sans contraintes d'inversion. Par conséquent, une telle structure est LWT en inversion modérée.

La dépendance en température de i_{f_1} se manifeste par l'intermédiaire de U_T et de β, en considérant que le facteur de pente n_q peut être supposé indépendant de la température [36]. Si la dépendance en température de U_T est évidente, celle de β, en raison de la mobilité, est affectée par plusieurs mécanismes [36, 48]. Ces effets combinés peuvent être approximés en modélisant la dépendance en température de la mobilité par ((III.2)) :

$$\mu_n(T) = \mu_n(T_0).\left(\frac{T_0}{T}\right)^k \tag{IV.14}$$

avec k dépendant de la concentration de dopants [48] et T_0 la température de référence, en général prise égale à la température ambiante 298K :

$$\begin{cases} k \approx 2 \text{ for } N_b = 10^{16} cm^{-3} \\ k \approx 1 \text{ for } N_b = 10^{18} cm^{-3} \end{cases} \tag{IV.15}$$

Par ailleurs, l'équation (IV.5) s'approxime en forte inversion (SI) par :

$$V_{ref} \cong 2U_T \left(\sqrt{i_{f_2}} - \sqrt{i_{f_1}} \right) \tag{IV.16}$$

Ainsi, la dépendance en température de V_{ref} est proportionnelle à ((II.64), IV.8 et IV.9) :

$$V_{ref} \propto T^{\frac{k}{2}} \left(\sqrt{\frac{2I_{D_2}}{n_q \mu_{n_2}(T_0) C'_{ox} T_0^k \frac{W_2}{L_2}} + \frac{2I_{D_1}}{n_q \mu_{n_1}(T_0) C'_{ox} T_0^k \frac{W_1}{L_1}}} - \sqrt{\frac{2I_{D_1}}{n_q \mu_{n_1}(T_0) C'_{ox} T_0^k \frac{W_1}{L_1}}} \right) \tag{IV.17}$$

Aussi, lorsque N_a vaut $10^{16} cm^{-3}$, la structure Self-Cascode fournit une référence de tension PTAT non seulement en faible inversion (WI), mais aussi en forte inversion (SI). Ainsi, par continuité, la structure Self-Cascode est PTAT sans contraintes d'inversion lorsque N_a vaut $10^{16} cm^{-3}$.

Malheureusement lorsque N_a est supérieur à $10^{16} cm^{-3}$ ($\alpha < 2$), ce n'est plus le cas. Cependant, la figure (IV.3) montre que l'erreur commise en considérant $T^{0.5} \cong aT + b$, sur la plage de température d'intérêt (-40 à 125 °C) est négligeable. La structure Self-Cascode peut donc être considérée LWT en forte inversion (SI), bien que PTAT en faible inversion (WI).

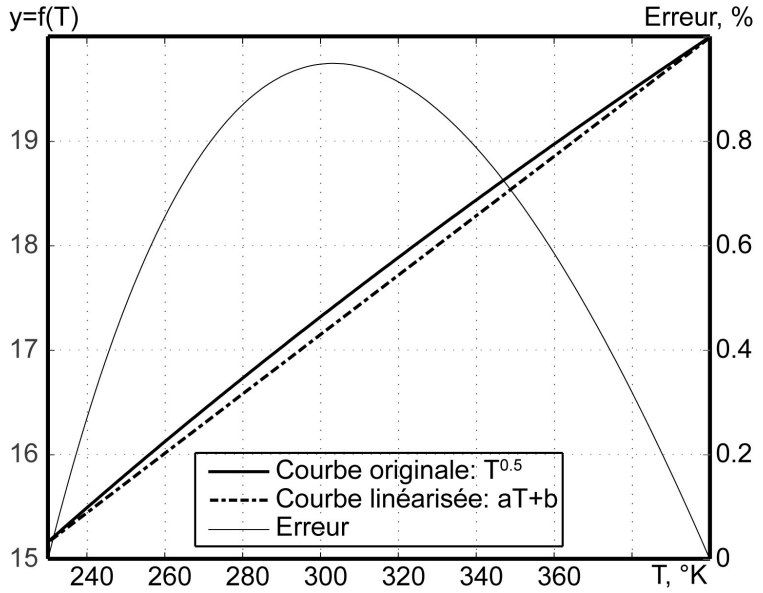

Fig. IV.3 – Dépendance linéaire en température de la référence de tension Self-Cascode en forte inversion

Sachant que dans le cas le plus défavorable correspondant à un dopage élevé ($N_a = 10^{18} cm^{-3}$) et à une polarisation des transistors en inversion forte, la référence de tension présente un comportement LWT, sa dépendance en température est LWT sans contraintes d'inversion et pour un dopage quelconque. Ainsi, son comportement en température est de la forme $aT + b$. En supposant $T = T_0 + \delta T$, la pente de la dépendance en température est obtenue par différenciation (cf §III.4.4.2) selon les niveaux d'inversion à partir de (IV.5) :

$$\frac{\delta V_{ref}}{V_{ref}(T_0)} = \frac{\delta T}{T_0} + \frac{U_{T0}}{V_{ref}(T_0)} \cdot \left(\frac{1}{G(i_{f_2}(T_0))} \frac{\delta i_{f_2}}{i_{f_2}(T_0)} - \frac{1}{G(i_{f_1}(T_0))} \frac{\delta i_{f_1}}{i_{f_1}(T_0)} \right) \tag{IV.18}$$

La fonction $G(i_f)$ correspond à celle utilisée dans la définition des transconductances EKV. L'utilisateur a le choix entre celle de la version 2.0 (II.67) et celle de la version 3.0 (II.89).
Cette expression est explicitée en différenciant les niveaux d'inversion

$$\begin{array}{l} i_{f_1} = \frac{I_{D1}}{I_{S1}} \\ i_{f_2} = \frac{I_{D2}}{I_{S2}} + i_{f_1} \end{array} \tag{IV.19}$$

en :

$$\begin{array}{l} \delta i_{f_1} = \frac{\delta I_{D1}}{I_{S1}} - \frac{I_{D1}}{I_{S1}}\frac{\delta I_{S1}}{I_{S1}} \\ \delta i_{f_2} = \frac{\delta I_{D2}}{I_{S2}} - \frac{I_{D2}}{I_{S2}}\frac{\delta I_{S2}}{I_{S2}} + \delta i_{f_1} \end{array} \tag{IV.20}$$

L'équation (IV.18) est alors explicitée, d'où une nouvelle expression de la pente de la dépendance en température :

$$\begin{aligned} \frac{\delta V_{ref}}{V_{ref}(T_0)} = \frac{\delta T}{T_0} + \frac{U_{T0}}{V_{ref}(T_0)}\Bigg(\frac{1}{G(i_{f_2}(T_0))}\Bigg(\frac{i_{f_2}(T_0)-i_{f_1}(T_0)}{i_{f_2}(T_0)}\Big(\frac{\delta I_{D_2}}{I_{D_2}(T_0)} - \frac{\delta I_{S_2}}{I_{S_2}}\Big) + \frac{i_{f_1}(T_0)}{i_{f_2}(T_0)} \\ \Big(\frac{\delta I_{D_1}}{I_{D_1}(T_0)} - \frac{\delta I_{S_1}}{I_{S_1}(T_0)}\Big)\Bigg) - \frac{1}{G(i_{f_1}(T_0))}\left(\frac{\delta I_{D_1}}{I_{D_1}(T_0)} - \frac{\delta I_{S_1}}{I_{S_1}(T_0)}\right)\Bigg) \end{aligned} \tag{IV.21}$$

Si les références de courant sont supposées idéales, elles sont indépendantes des variations de température et donc $\delta I_{D_1} = \delta I_{D_2} = 0$. De plus la variation en température du courant de normalisation est obtenue à l'aide de (IV.14) :

$$\delta I_S = I_S(T_0)(2-k)\frac{\delta T}{T_0} \tag{IV.22}$$

Ainsi, l'expression (IV.18) se simplifie en :

$$\frac{\delta V_{ref}}{V_{ref}(T_0)} = \frac{\delta T}{T_0}.\left(1 - \frac{(2-k)U_{T0}}{V_{ref}(T_0)}\Big(\frac{1}{G(i_{f_2}(T_0))} - \frac{1}{G(i_{f_1}(T_0))}\Big)\right) \tag{IV.23}$$

A partir de la pente (IV.23), la loi en température de la référence de tension est exprimée à l'aide de $aT+b$ en remplaçant δT par $T - T_0$:

$$\begin{aligned} V_{ref}(T) = \frac{T}{T_0}.\left(V_{ref}(T_0) - (2-k)U_{T0}\Big(\frac{1}{G(i_{f_2}(T_0))} - \frac{1}{G(i_{f_1}(T_0))}\Big)\right) \\ + (2-k)U_{T0}\left(\frac{1}{G(i_{f_2}(T_0))} - \frac{1}{G(i_{f_1}(T_0))}\right) \end{aligned} \tag{IV.24}$$

Cette relation peut être également obtenue par approximation linéaire, à partir de (IV.5), (IV.8) et (IV.9). La référence de tension est bien linéaire avec la température si elle est polarisée par des références de courant indépendantes avec la température. Le résultat est conservé si les références de courant sont elles aussi LWT (cf (IV.21)).

La pente (IV.23) permet de définir la sensibilité de la référence de tension à la température :

$$\frac{1}{\delta T}\frac{\delta V_{ref}}{V_{ref}(T_0)} = \frac{1}{T_0}.\left(1 - \frac{(2-k)U_{T0}}{V_{ref}(T_0)}\Big(\frac{1}{G(i_{f_2}(T_0))} - \frac{1}{G(i_{f_1}(T_0))}\Big)\right) \tag{IV.25}$$

Après l'étude du comportement de la structure Self-Cascode en température, son comportement en procédé de fabrication va être abordé.

IV.3.2.1.c Dépendance en procédé de fabrication

La formulation générale de la tension de référence, valable sur l'ensemble de l'inversion, est de nouveau utilisée pour l'étude du comportement de la structure aux variations process. La dépendance de la tension de référence aux variations process, sans contraintes d'inversion, est obtenue, par différenciation selon les niveaux d'inversion (cf §III.4.4.2), à partir de (IV.5) et (IV.8) :

$$\frac{\delta V_{ref}}{V_{ref}} = \frac{U_T}{V_{ref}}.\left(\frac{1}{G(i_{f_2})}\frac{\delta i_{f_2}}{i_{f_2}} - \frac{1}{G(i_{f_1})}\frac{\delta i_{f_1}}{i_{f_1}}\right) \tag{IV.26}$$

Cette expression est explicitée en différenciant les expressions des niveaux d'inversion i_{f_1} et i_{f_2} (IV.20) d'où :

$$\begin{aligned}\frac{\delta V_{ref}}{V_{ref}} = \frac{U_T}{V_{ref}}\Bigg(&\frac{1}{G(i_{f_2})}\left(\frac{i_{f_2}-i_{f_1}}{i_{f_2}}(\frac{\delta I_{D_2}}{I_{D_2}} - \frac{\delta I_{S_2}}{I_{S_2}}) + \frac{i_{f_1}}{i_{f_2}}(\frac{\delta I_{D_1}}{I_{D_1}} - \frac{\delta I_{S_1}}{I_{S_1}})\right)\\ &- \frac{1}{G(i_{f_1})}\left(\frac{\delta I_{D_1}}{I_{D_1}} - \frac{\delta I_{S_1}}{I_{S_1}}\right)\Bigg)\end{aligned} \tag{IV.27}$$

Les références de courant imposent les courants dans la référence de tension, aussi ces courants sont indépendants des variations process de la structure et donc $\delta I_{D_1} = \delta I_{D_2} = 0$ ce qui permet de simplifier à nouveau l'expression. De plus, la dépendance en variation process des courants de normalisation est celle β_0 car nous avons vu au chapitre précédent que n_q varie peu avec le procédé de fabrication. Ainsi, l'équation (IV.27) devient :

$$\frac{\delta V_{ref}}{V_{ref}} = \frac{U_T}{V_{ref}}\frac{1}{G(i_{f_2})}\left(\frac{i_{f_2}-i_{f_1}}{i_{f_2}}(-\frac{\delta\beta_{0_2}}{\beta_{0_2}}) + \frac{i_{f_1}}{i_{f_2}}(-\frac{\delta\beta_{0_1}}{\beta_{0_1}})\right) - \frac{1}{G(i_{f_1})}\left(-\frac{\delta\beta_{0_1}}{\beta_{0_1}}\right) \tag{IV.28}$$

En notant $\frac{\delta\beta_0}{\beta_0}$ la variation process commune du paramètre β_0, (IV.28) devient :

$$\frac{\delta V_{ref}}{V_{ref}} = \frac{U_T}{V_{ref}}\left(\frac{1}{G(i_{f_1})} - \frac{1}{G(i_{f_2})}\right)\frac{\delta\beta_0}{\beta_0} \tag{IV.29}$$

Suite à l'étude du comportement de la structure Self-Cascode en procédé de fabrication, nous allons expliciter sa sensibilité au désappariement des transistors.

IV.3.2.1.d Dépendance en désappariement

La dépendance de la tension de référence au « mismatch », sans contraintes d'inversion, est obtenue, à partir de l'expression du « mismatch » en courant (III.32) appliquée au transistor N1 en ramenant le « mismatch » en courant à un « mismatch » en tension de source par multiplication avec la transconductance de source gms du transistor N1 :

$$\frac{\delta V_{ref}}{V_{ref}} = \frac{U_T}{V_{ref}}\frac{1}{G(i_{f_1})}\frac{\sigma_{I_{D_1}}}{I_{D_1}} \tag{IV.30}$$

avec

$$\frac{\sigma_{I_{D_1}}}{I_{D_1}} = \sqrt{(\frac{\sigma_{\beta_0}}{\beta_0})^2 + \left[\frac{1}{n_q^2 U_T^2}\frac{1}{i_{f_1}} ln\left(\frac{1+i_{f_1}}{1+i_{r_1}}\right)\right]\sigma_{V_{T0}}^2} \tag{IV.31}$$

Le courant normalisé inverse i_{r_1} est pris égal à 1% du courant normalisé direct i_{f_1}. Les coefficients de mismatch en tension de seuil $\sigma_{V_{T0}}$ et en facteur de transconductance $\frac{\sigma_{\beta_0}}{\beta_0}$ dépendent des dimensions des deux transistors N1 et N2 selon $P = \frac{A_P}{\sqrt{2}}\sqrt{\frac{1}{W1\cdot L2} + \frac{1}{W1\cdot L2}}$.

IV.3.2.2 Conception et simulation du circuit

La méthodologie a été utilisée pour le dimensionnement de deux références de tension envoyées par la suite en fabrication. Les références doivent délivrer une tension déterminée V_{ref}pour des courants de polarisation nanowatt fixés.
Le cahier des charges circuit choisi pour les deux références est le suivant :

- I_{D1} =100nA soit I_{pol1} =100nA
- I_{D2} =50nA soit I_{pol2} =50nA
- V_{ref} = 50mV à température ambiante (25˚C)

Les courants sont dans la plage 10-100nA. Afin de rester dans des conditions de consommation nanowatt, la tension de grille ne doit pas dépasser 1V.
Le rapport des courants de drain γ_{I_D} est imposé constant ce qui est le cas lorsque la structure est utilisée comme résistance active dans la référence de courant Camacho-Galeano. Le rapport γ_{I_D} est égal 1/2.
Le plan de conception utilisé (Fig.IV.4) pour dimensionner les références de tension Self-Cascode, commence par la création de la table de dimensions à partir des contraintes de dimensions préalablement explicitées (§IV.3.1).
Puis la plage de tension de grille est définie sur une plage de 100mV, correspondant à la tension de grille minimale d'un transistor diode si V_{ref} est supposée nulle, à 1V). Des limites de niveau d'inversion sont à leur tour définies, afin de délimiter la recherche de solutions. Une surface maximale admissible est fixée ainsi qu'un nombre maximal de transistors élémentaires pour la matrice regroupant les transistors N1 et N2.
Alors, les abaques technologiques (N_a^*, V_P, ..., I_{S0}, i_f, i_r, λ pour $L = 2\mu m$, V_{DSsat}, I_D/S) de chaque transistor sont calculés sur l'espace de tension de grille à V_{ref} fixée par le cahier des charges ainsi que pour chaque valeur de longueur de grille influençant significativement la tension de seuil.
A partir de l'abaque technologique du transistor N1 et de l'abaque de dimensions, la largeur W1 de ce transistor est déterminée. Pour chaque valeur S=W/L, le produit de S avec les valeurs de courant du transistor carré $I_{D1}/S1$ est calculé. Si le courant résultant correspond au courant I_{D1} du cahier des charges, dans une tolérance de 3%, les valeurs correspondantes des deux abaques sont sélectionnées. La largeur du transistor N2 est alors déterminée, en supposant identiques les longueurs des deux transistors (notées L1 et L2), par le ratio du courant I_{D2}, sur le courant de drain du transistor carré $I_{D2}/S2$ connaissant L et la tension de grille. La valeur de W2 retenue correspond à l'entier le plus proche.
Les largeurs W1 et W2 sont décomposées en transistors élémentaires. La solution gardée est, si elle existe, celle permettant des transistors élémentaires identiques pour N1 et N2, ainsi qu'une décomposition compatible avec une répartition « common centroïd ». Le processus est itéré sur l'ensemble des dimensions de l'abaque de dimensions. Une fois terminé, la tension V_{ref} et les performances du circuit sont recalculées pour chaque solution compatible, à partir des expressions générales proposées au §IV.3.2.1, puis les solutions restantes sont sélectionnées avec une tolérance de 5% sur V_{ref}. Enfin, les solutions sont triées selon un niveau d'inversion i_{f_2} croissant.

Des solutions ont été dimensionnées pour le cahier des charges proposé. Les solutions retenues sont présentées dans le tableau (IV.2).

Au moment du dimensionnement des structures envoyées en fabrication, les domaines de validité des modèles de simulation n'étaient pas encore identifiés précisément.Les abaques de paramètres utilisés par la méthodologie de conception (SDM) sont ceux extraits à partir du modèle faible inversion. En outre, nous ne disposions pas encore des expressions des performances en température, process et mismatch, aussi les

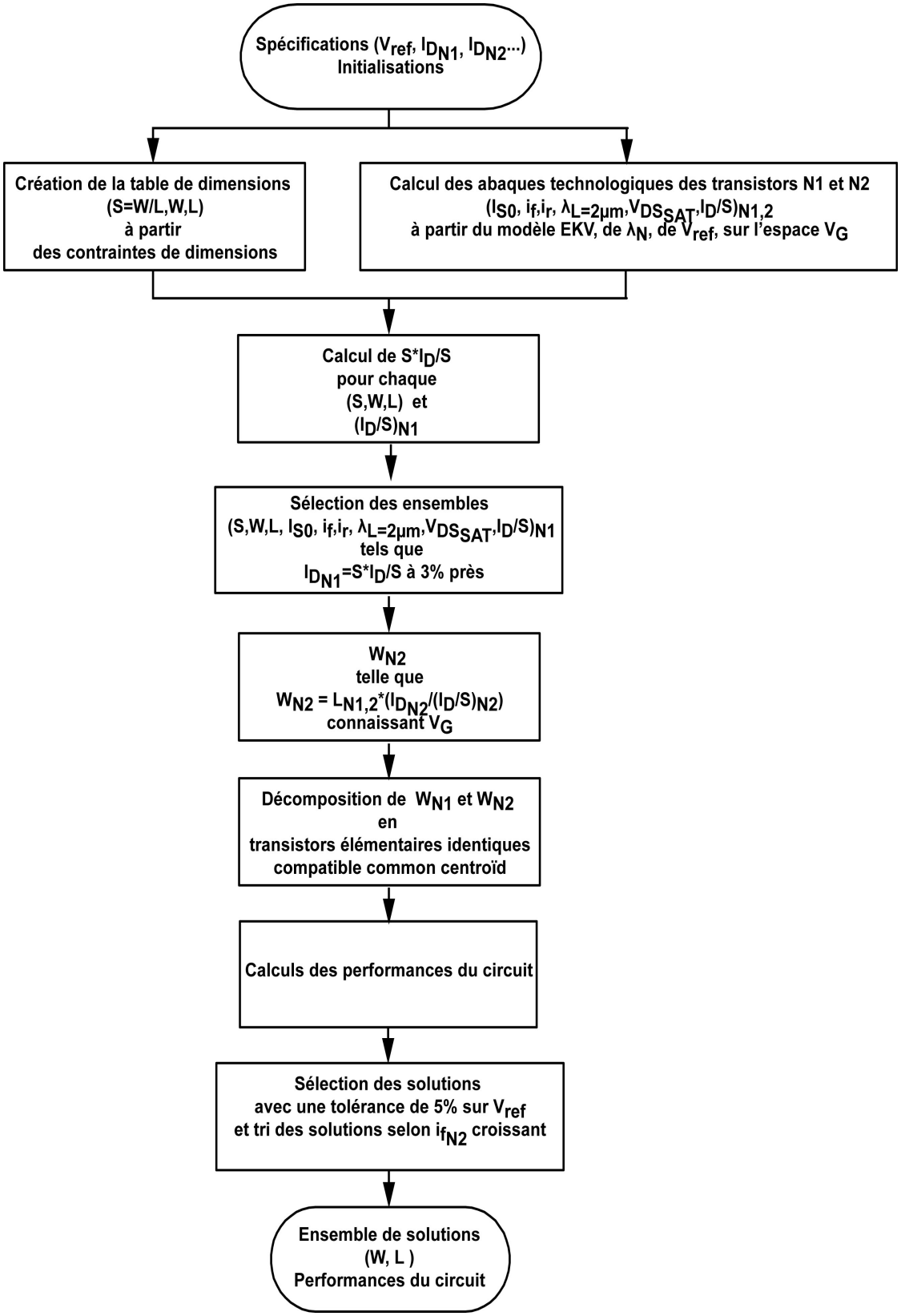

Fig. IV.4 – Plan de conception de la référence de tension Self-Cascode

solutions n'ont pas été retenues sur ces critères et leurs performances ont été calculées a posteriori.

	Référence en faible inversion		Référence en inversion modérée	
	N1	N2	N1	N2
Niveau d'inversion IC	0.05	0.25	0.41	1.13
Tension de Grille	330mV		403mV	
W [μm]	64	8	14	4
L [μm]	8		31	
S=W/L	8	1	0.45	0.13
Surface [μm^2]	576		558	
W_{elem} [μm]	8		2	
N_{elem}	8	1	7	2
Surface Layout [μm^2]	1634		2240	

Tab. IV.2 – Dimensions des éléments constitutifs des références de tension Self-Cascode fabriquées

Les deux solutions dimensionnées présentent bien, en simulation (modèle faible inversion), un comportement linéaire avec la température (Fig.IV.5 et IV.6), et à température ambiante (T=25˚C) les référence de tension sont proches de la valeur souhaitée de 50mV. Les performances calculées à l'aide de la méthodolo-

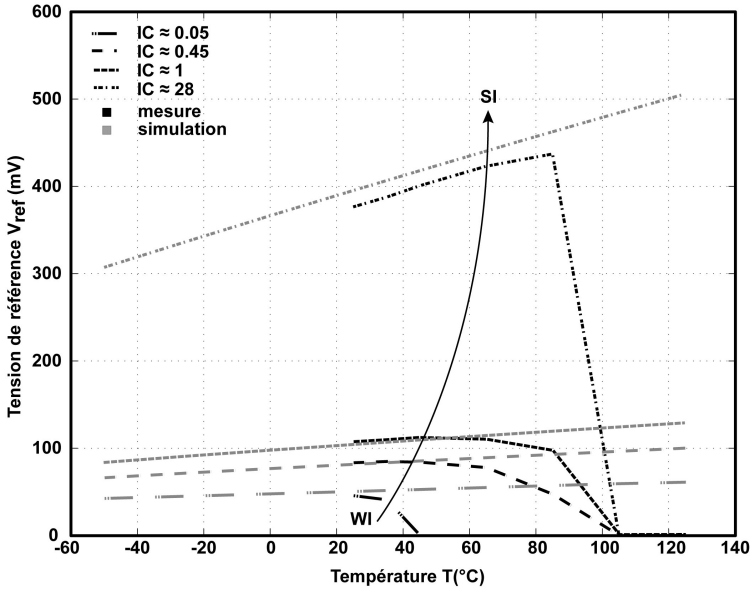

Fig. IV.5 – Caractéristiques simulées et mesurées de la référence de tension Self-Cascode WI

gie et celles obtenues en simulation sont issues de paramètres faible inversion. Elles sont présentées avec les résultats expérimentaux au tableau (IV.3).

IV.3.2.3 Dessin des masques

Les layout des deux références de tension dimensionnées et envoyées en fabrication sont proposées à la figure (IV.7). Le dessin de gauche correspond à la référence faible inversion (WI) et celle de droite à la référence inversion modérée (MI).

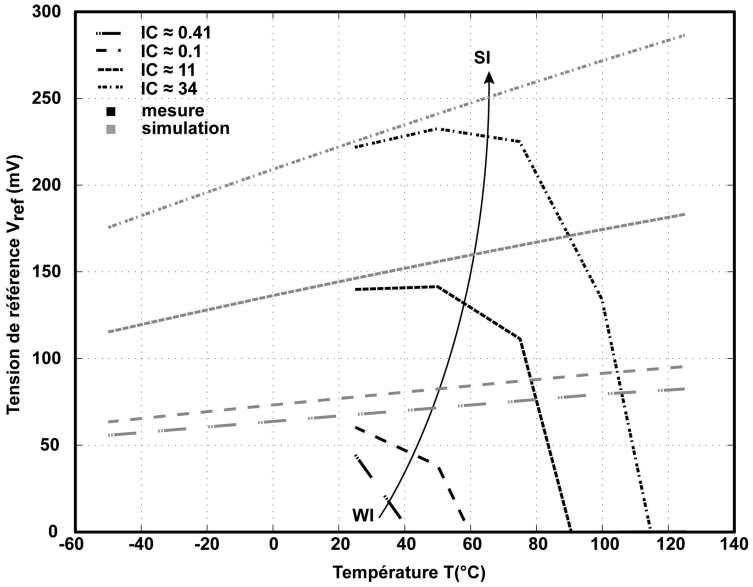

Fig. IV.6 – Caractéristiques simulées et mesurées de la référence de tension Self-Cascode MI

IV.3.2.4 Résultats expérimentaux

Les références de tension fabriquées ont été caractérisées en température pour différents niveaux de courant de polarisation, en gardant le ratio des courants constant et égal à 1/2, afin de balayer la plage d'inversion. Un échantillon de chaque référence a été mesuré avec analyseur HP4156 sur un banc chauffant de caractérisation électrique sous pointes (wafer) pour une plage de température comprise entre 25˚C et 125˚C. La tension de référence V_{ref} est tracée (cf Fig.IV.5 et IV.6) en fonction de la température pour différents niveaux d'inversion i_{f_1} du transistor inférieur N1.
Les courbes expérimentales (Fig.IV.5 et IV.6) illustrent le comportement PTAT en inversion faible (WI) et LWT en inversion modérée (MI) et forte (SI), pour la référence de tension dite « en inversion faible ». A température élevée, les références de tension caractérisées dévient fortement de la caractéristique obtenue en simulation. La température à partir de laquelle cette déviation se produit augmente avec le niveau d'inversion du transistor N1. Cette chute est généralement attribuée dans la littérature à des fuites substrat [16]. Cette chute se retrouve en simulation pour des courants plus faibles, ce qui peut s'interpréter par des fuites plus importantes sur l'échantillon caractérisé. Pour la référence de tension dite « en inversion modérée », les résultats expérimentaux ne concordent pas avec la simulation en inversion faible et modérée, excepté en inversion forte, ce qui peut s'expliquer par des fuites substrat, très importantes, pour l'échantillon caractérisé.
Les performances des références de tension ont été calculées avec la méthodologie et déterminées en simulation en utilisant les paramètres faible inversion. La valeur des références de tension est correctement prédite par la méthodologie à 25˚C. De plus, la sensibilité en température des références de tension simulées avec le modèle faible inversion est correctement prédite par la méthodologie de conception (SDM)(cf Tab.IV.3). Ainsi, la modélisation en température est validée, de même que la modélisation de la sensibilité en process.

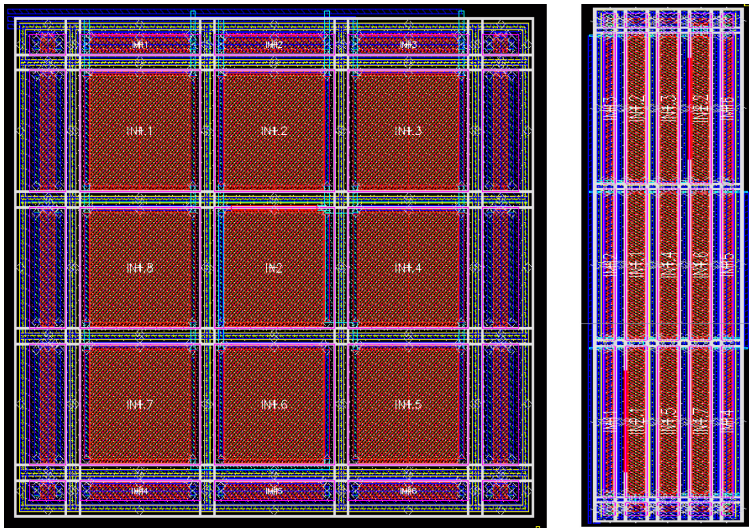

Fig. IV.7 – Layout des références de tension Self-Cascode

Performances	**Référence WI**			**Référence MI**		
	SDM	**simulation (nominal)**	**mesure**	**SDM**	**simulation (nominal)**	**mesure**
V_{ref} à $T = 25^{\circ}C$	50.1mV	51mV	45.5mV	47.9mV	49.9mV	44.4mV
Sensibilité de V_{ref} à T°C (%/°C)	0.32	0.22	-	0.27	0.24	-
Sensibilité de V_{ref} au process (%)	0.8	3	-	3.6	4.8	-
Sensibilité de V_{ref} au mismatch (%)	1.93	-	-	2	-	-

Tab. IV.3 – Performances des références de tension Self-Cascode mesurées

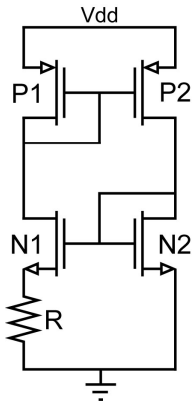

Fig. IV.8 – Référence de courant originelle

IV.3.3 Référence de courant Oguey nanowatt

La référence de courant Oguey dérive de l'architecture classique (cf Fig.IV.8), également autopolarisée, composée d'une référence de tension polarisant une résistance. Les transistors de la référence de tension

sont dimensionnés de manière à être en régime d'inversion faible ou forte.
La référence de courant de type Oguey (cf Fig.IV.9) est constituée d'une référence de tension (N1 et N2) polarisant le drain d'un transistor en conduction (N4) jouant le rôle d'une résistance active. La référence de

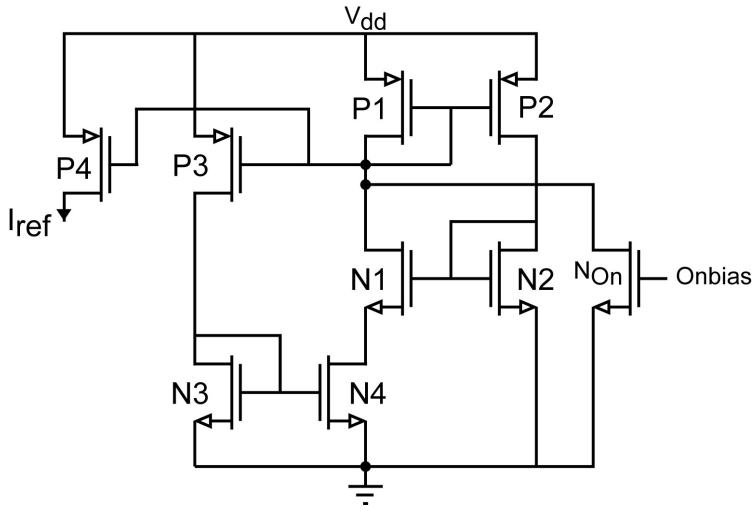

Fig. IV.9 – Référence de courant Oguey

tension est composée d'un transistor saturé (N1), dont la source polarise le drain du transistor conducteur, polarisé par un transistor saturé (N2) connecté en diode (grille et drain reliés ensemble), lui-même polarisé par le courant circulant dans la résistance, à l'aide d'un miroir de courant (P1 et P2). La grille du transistor conducteur est polarisée par l'intermédiaire d'un transistor saturé (N3) connecté en diode (grille et drain reliés ensemble) lui-même polarisé par le courant circulant dans la résistance, à l'aide d'un miroir de courant (P1 et P3). De ce fait, l'architecture est dite autopolarisée.
Le transistor P4 recopie le courant de référence afin de polariser un circuit extérieur. Le transistor N_{On} sert à démarrer la référence de courant en reliant la grille des transistors PMOS du miroir de courant à la masse, par application d'une tension de grille positive suffisante sur « Onbias », ce qui force le courant dans ces transistors et donc dans les branches de la référence de courant.

IV.3.3.1 Modélisation du circuit

IV.3.3.1.a Description générale

L'architecture se décompose en trois blocs de transistors appairés :
- la référence de tension constituée de deux transistors (N1 et N2).
- la résistance active formée de deux transistors (N3 et N4).
- le bloc de recopie du courant (miroir de courant) comprenant un transistor par branche et au moins un transistor de sortie permettant de polariser un circuit externe, soit au moins quatre transistors (P1, P2, P3 et P4).

Les transistors de chaque bloc doivent être regroupés en une matrice common centroïd de transistors, pour compenser les variations systématiques [49].
Les éléments associés aux transistor NMOS (respectivement PMOS) sont indicés à l'aide de Ni (respectivement Pi), avec $i = \{1, 2, 3, 4\}$. Cependant les transistors PMOS étant identiques, leur facteur de transconductance carré commun se note $\beta_{0_P} = \mu_{0_P} C'_{ox}$. Pour les transistors NMOS il est noté $\beta_{0_{Ni}} = \mu_{0_{Ni}} C'_{ox}$.

Les transistors de la référence de tension dans l'architecture proposée par Oguey sont dimensionnés pour être en régime d'inversion faible. A l'aide des équations d'inversion faible (II.43) et (II.45), en supposant

de plus que les tensions de seuil et les mobilités sont identiques pour les transistors appairés, il vient :

$$V_{ref} = V_{S_{N1}} = U_T ln\left(\frac{S_{P2}S_{N1}}{S_{P1}S_{N2}}\right) \tag{IV.32}$$

Ainsi la référence de tension est PTAT (Proportional To Absolute Temperature) et la valeur de tension générée ne dépend que des dimensions des transistors qui la constituent. De plus, le caractère PTAT de la référence de tension, facilite l'étude du comportement en température de la référence de courant.
Par ailleurs, les transistors formant la résistance active polarisée sont dimensionnés afin d'être en inversion forte et en supposant que les tensions de seuil et les mobilités soient identiques pour les transistors. Les équations de courant de drain d'inversion forte permettent d'établir :

$$I_{ref} = I_{D_{N4}} = \beta_{0_{N4}} S_{N4} V_{ref}\left(\sqrt{\frac{S_{P3}I_{ref}}{S_{P1}\beta_{0_{N3}}S_{N3}}} - \frac{\eta_s V_{ref}}{2}\right) \tag{IV.33}$$

Ainsi, le système d'équations décrivant l'architecture est linéaire du second degré et sa résolution donne une expression explicite du courant de référence en fonction des dimensions des transistors de la structure et des paramètres technologiques :

$$I_{ref} = \eta_s \beta_{0_{N4}} S_{N4}\left(\frac{S_{P3}S_{N4}}{S_{P1}S_{N3}} - \frac{1}{2} + \sqrt{\frac{S_{P3}S_{N4}}{S_{P1}S_{N3}}\left(\frac{S_{P3}S_{N4}}{S_{P1}S_{N3}} - 1\right)}\right)V_{ref}^2 \tag{IV.34}$$

Le dimensionnement du circuit est alors direct. La dérive moyenne du procédé de fabrication ou variation process, peut être étudiée aisément, à partir des équations de la référence de courant et de la référence de tension.

La variation du courant de référence, au delà de la tension d'alimentation minimale de fonctionnement, est liée aux conductances des transistors saturés non diode de l'architecture (le transistor N1 de la référence de tension ainsi que les transistors P2, P3 et P4 des miroirs de courant). En pratique, plus leur conductance est faible moins la référence de courant est affectée par la tension d'alimentation, or une conductance faible est obtenue pour des transistors de grande longueur et de niveau d'inversion élevé, ce qui est favorable à l'utilisation de transistors de grande longueur de grille.
Cette architecture est facile à dimensionner dans les conditions de régimes d'inversion énoncées. Les dérives induites par la variation de la température, le « mismatch », la dérive moyenne du procédé de fabrication (ou variation process) ou la tension d'alimentation, sont aisément calculables. Ainsi, elle peut être utilisée pour réaliser des références de courant sur une plage très large, de l'ordre du nanoampère à la dizaine de microampères.
Cependant, la tension d'alimentation minimale de fonctionnement envisageable est largement supérieure au volt. Elle correspond à la plus grande des tensions de saturation calculées pour chacune des trois branches de l'architecture, à partir des tensions de saturation des transistors et des tensions de grille des transistors diode. Pour une technologie standard, elle ne peut être inférieure à 1,2V.

En revanche, les équations du modèle EKV2.0 permettent de décrire le circuit sans contraintes d'inversion.
La référence de tension V_{ref} est exprimée en fonction des niveaux d'inversion de chaque transistor qui la compose :

$$V_{ref} = V_{S_{N1}} = 2U_T ln\left(\frac{e^{\sqrt{i_{f_{N2}}}} - 1}{e^{\sqrt{i_{f_{N1}}}} - 1}\right) \tag{IV.35}$$

ou encore

$$V_{ref} = V_{S_{N1}} = 2U_T\left(ln(e^{\sqrt{i_{f_{N2}}}} - 1) - ln(e^{\sqrt{i_{f_{N1}}}} - 1)\right) \tag{IV.36}$$

Cette équation a la même forme que celle de la structure Self-Cascode (§IV.3.2.1). Elle a donc le même comportement en température. Par conséquent il s'agit d'une référence de tension LWT si elle est polarisée par des références de courant indépendantes de la température ou LWT.
Les courants de normalisation sont notés $I_{S_{Ni}}$ pour les NMOS, et $I_{S_{Pi}}$ pour les PMOS, avec $i = \{1, 2, 3, 4\}$ et s'expriment en fonction de β_0 en $I_{S_{Ni,Pi}} = 2n_{q_{Ni,P}}\beta_{0_{Ni,P}}S_{Ni,Pi}U_T^2$, si l'effet CLM est négligé.

La référence de tension PTAT s'exprime en fonction du courant de normalisation de chaque transistor et du courant cible noté $I_{ref} = I_{D_{N1}}$:

$$V_{ref} = V_{S_{N1}} = 2U_T ln\left(\frac{e^{\sqrt{\frac{I_{S_{P2}}I_{ref}}{I_{S_{P1}}I_{S_{N2}}}}} - 1}{e^{\sqrt{\frac{I_{ref}}{I_{S_{N1}}}}} - 1}\right) \tag{IV.37}$$

En supposant l'effet CLM négligeable pour les transistors PMOS, leurs courant de normalisation sont de la forme $I_{S_{Pi}} = 2n_{q_P}\beta_{0_P}S_{Pi}U_T^2$, en notant n_{q_P} et β_{0_P} les paramètres communs, d'où :

$$V_{ref} = V_{S_{N1}} = 2U_T ln\left(\frac{e^{\sqrt{\frac{S_{P2}I_{ref}}{S_{P1}I_{S_{N2}}}}} - 1}{e^{\sqrt{\frac{I_{ref}}{I_{S_{N1}}}}} - 1}\right) \tag{IV.38}$$

Par ailleurs, le courant traversant le transistor N4 de la résistance active s'exprime comme la différence entre les courants normalisés direct et inverse :

$$I_{D_{N4}} = I_{S_{N4}}(i_{f_{N4}} - i_{r_{N4}}) = I_{S_{N4}}(i_{f_{N3}} - i_{r_{N4}}) \tag{IV.39}$$

en prenant les expressions suivantes pour $i_{f_{N4}}$, $i_{r_{N4}}$ et $V_{P_{N4}}$:

$$\begin{aligned} i_{f_{N4}} &= ln^2(1 + e^{\frac{V_{P_{N4}}}{2U_T}}) \\ i_{r_{N4}} &= ln^2(1 + e^{\frac{V_{P_{N4}} - V_{ref}}{2U_T}}) \\ V_{P_{N4}} &= V_{P_{N3}} = 2U_T ln(e^{\sqrt{i_{f_3}}} - 1) \end{aligned} \tag{IV.40}$$

En outre, N3 étant saturé, son courant normalisé direct $i_{f_{N3}}$ est égal à :

$$i_{f_{N3}} = \frac{I_{D_{N3}}}{I_{S_{N3}}} = \frac{I_{S_{P3}}I_{D_{N4}}}{I_{S_{P1}}I_{S_{N3}}} \tag{IV.41}$$

Par conséquent, le courant $I_{ref} = I_{D_{N4}}$ est solution de l'équation suivante :

$$I_{ref} = \frac{I_{S_{N4}}}{\frac{I_{S_{P3}}I_{S_{N4}}}{I_{S_{P1}}I_{S_{N3}}} - 1} ln^2\left[1 + e^{\frac{-V_{ref}}{2U_T}}\left(e^{\sqrt{\frac{I_{S_{P3}}I_{ref}}{I_{S_{P1}}I_{S_{N3}}}}} - 1\right)\right] \tag{IV.42}$$

L'effet CLM étant supposé négligeable pour les transistors PMOS, il vient :

$$I_{ref} = \frac{I_{S_{N4}}}{\frac{S_{P3}I_{S_{N4}}}{S_{P1}I_{S_{N3}}} - 1} ln^2\left[1 + e^{\frac{-V_{ref}}{2U_T}}\left(e^{\sqrt{\frac{S_{P3}I_{ref}}{S_{P1}I_{S_{N3}}}}} - 1\right)\right] \tag{IV.43}$$

Les équations (IV.42) et (IV.43)) ne sont pas explicites en I_{ref}, ce qui nécessite de faire appel à un logiciel de calcul numérique pour les résoudre.
Les équations obtenues sont plus complexes que celles proposées par Oguey et Aebisher [56], mais elles rendent possible la polarisation des transistors sans contraintes d'inversion. Le niveau d'inversion idéal dépendra des spécifications et de la technologie.

IV.3.3.1.b Démarche d'étude des déviations

L'architecture étudiée est une référence de courant et en tant que telle, sa sensibilité aux différentes déviations doit être la plus faible possible. Aussi, les différentes dépendances sont étudiées pour chaque bloc au moyen de la méthode des petites variations, avant d'être étendues au circuit complet. Les équations utilisées sont celles formulées en courant direct et inverse normalisé. Afin de simplifier l'étude des déviations en « process » et « mismatch », les transistors PMOS de recopie sont supposés parfaitement appairés et donc insensibles aux variations. Pour l'étude du circuit en tension d'alimentation, les courants de normalisation sont reformulés pour faire apparaître la dépendance en tension d'alimentation via l'effet CLM. Les transistors connectés en diode sont supposés peu sensibles à l'effet CLM (cf §IV.3.2.1), aussi seul les transistors saturés P2, P3 et N1 sont concernés :

$$\begin{aligned} I_{S_{P2}} &= 2n_{q_P}\beta_{0_P}S_{P2}U_T^2(1+\lambda_P(V_{dd}-V_{G_{N2}}-V_{DS_{satP}})) \\ &= I_{S_{thP2}}(1+\lambda_P(V_{dd}-V_{G_{N2}}-V_{DS_{satP}})) \\ I_{S_{P3}} &= 2n_{q_P}\beta_{0_P}S_{P3}U_T^2(1+\lambda_P(V_{dd}-V_{G_{N3}}-V_{DS_{Psat}})) \\ &= I_{S_{thP3}}(1+\lambda_P(V_{dd}-V_{G_{N3}}-V_{DS_{satP}})) \\ I_{S_{N1}} &= 2n_{q_{N1}}\beta_{0_{N1}}S_{N1}U_T^2(1+\lambda_{N1}(V_{dd}-V_{G_P}-V_{ref}-V_{DS_{satN1}})) \\ &= I_{S_{thN1}}(1+\lambda_{N1}(V_{dd}-V_{G_P}-V_{ref}-V_{DS_{satN1}})) \end{aligned} \tag{IV.44}$$

Les courants de normalisation indicés avec « th » correspondent aux courants de normalisation négligeant l'effet CLM. Les coefficients d'effet CLM des transistors PMOS sont identiques (même niveau d'inversion et longueur identique), aussi ils sont notés λ_P. Il en est de même pour les tensions de saturation drain/source de ces transistors, notées $V_{DS_{satP}}$.

Le comportement de la référence de courant Oguey aux différentes déviations va être étudié, en commençant par expliciter sa déviation en température.

IV.3.3.1.c Dépendance en température

Le premier bloc étudié, vis à vis des différentes variations, est la référence de tension. La dépendance en température de ce bloc est obtenue en utilisant la méthode de différenciation à l'instar de la référence de tension Self-Cascode (§IV.3.2.1) :

En supposant $T = T_0 + \delta T$, la pente de la dépendance en température est obtenue par différenciation (cf §III.4.4.2) selon les niveaux d'inversion à partir de (IV.36) :

$$\frac{\delta V_{ref}}{V_{ref}(T_0)} = \frac{\delta T}{T_0} + \frac{U_{T0}}{V_{ref}(T_0)} \cdot \left(\frac{1}{G(i_{f_{N2}}(T_0))} \frac{\delta i_{f_{N2}}}{i_{f_{N2}}(T_0)} - \frac{1}{G(i_{f_{N1}}(T_0))} \frac{\delta i_{f_{N1}}}{i_{f_{N1}}(T_0)} \right) \tag{IV.45}$$

La fonction $G(i_f)$ correspond à celle utilisée dans la définition des transconductances EKV. L'utilisateur a le choix entre celle de la version 2.0 (II.67) et celle de la version 3.0 (II.89).
Cette expression est explicitée en différenciant les niveaux d'inversion

$$\begin{aligned} i_{f_{N1}} &= \frac{I_{D_{N1}}}{I_{S_{N1}}} \\ i_{f_{N2}} &= \frac{I_{D_{N2}}}{I_{S_{N2}}} \end{aligned} \tag{IV.46}$$

en :

$$\begin{aligned} \delta i_{f_{N1}} &= \frac{\delta I_{D_{N1}}}{I_{S_{N1}}} - \frac{I_{D_{N1}}}{I_{S_{N1}}} \frac{\delta I_{S_{N1}}}{I_{S_{N1}}} \\ \delta i_{f_{N2}} &= \frac{\delta I_{D_{N2}}}{I_{S_{N2}}} - \frac{I_{D_{N2}}}{I_{S_{N2}}} \frac{\delta I_{S_{N2}}}{I_{S_{N2}}} \end{aligned} \tag{IV.47}$$

Par ailleurs, les courants $I_{D_{N1}}$ et $I_{D_{N2}}$ s'écrivent :

$$\begin{array}{l} I_{D_{N1}} = I_{ref} \\ I_{D_{N2}} = \frac{S_{P2} I_{ref}}{S_{P1}} \quad \text{effet CLM négligé} \end{array} \tag{IV.48}$$

L'équation (IV.45) est alors explicitée en :

$$\begin{aligned} \frac{\delta V_{ref}}{V_{ref}(T_0)} = \frac{\delta T}{T_0} + \frac{U_{T0}}{V_{ref}(T_0)} \Bigg[& \frac{1}{G(i_{f_{N2}}(T_0))} \left(\frac{\delta I_{ref}}{I_{ref}(T_0)} - \frac{\delta I_{S_{N2}}}{I_{S_{N2}}} \right) \\ & - \frac{1}{G(i_{f_{N1}}(T_0))} \left(\frac{\delta I_{ref}}{I_{ref}(T_0)} - \frac{\delta I_{S_{N1}}}{I_{S_{N1}}(T_0)} \right) \Bigg] \end{aligned} \tag{IV.49}$$

L'expression (IV.49) se simplifie à l'aide de la variation en température du courant de normalisation (IV.15) explicitée au §IV.3.2.1 :

$$\frac{\delta V_{ref}}{V_{ref}(T_0)} = \frac{\delta T}{T_0} + \frac{U_{T0}}{V_{ref}(T_0)} \left(\frac{1}{G(i_{f_{N2}}(T_0))} - \frac{1}{G(i_{f_{N1}}(T_0))} \right) \left(\frac{\delta I_{ref}}{I_{ref}(T_0)} - (2-k)\frac{\delta T}{T_0} \right) \tag{IV.50}$$

La référence de tension est bien linéaire avec la température si elle est polarisée par des références de courant indépendantes avec la température. Le résultat est conservé si les références de courant sont elles aussi LWT.

A présent le comportement du bloc résistance active est étudié vis à vis de la variation de la température. La dépendance en température de ce bloc est obtenue en utilisant la méthode de différenciation à l'instar de la référence de tension Self-Cascode (§IV.3.2.1) :

En supposant $T = T_0 + \delta T$, la dépendance en température est obtenue par différenciation (cf §III.4.4.2) du courant de la résistance active, selon les courants normalisés à partir de (IV.39) et (IV.41) :

$$\begin{aligned} \frac{\delta I_{ref}}{I_{ref}(T_0)} = & \frac{(I_{S_{N4}} i_{r_{N4}} G(i_{r_{N4}}))(T_0)}{I_{ref}(T_0)} \delta(\frac{V_{ref}}{U_T}) + \frac{\delta I_{S_{N4}}}{I_{S_{N4}}(T_0)} \\ & + \frac{I_{S_{N4}}(T_0)}{I_{ref}(T_0)} \left(i_{f_{N3}} - \frac{G(i_{r_{N4}}(T_0))}{G(i_{f_{N3}}(T_0))} i_{r_{N4}(T_0)} \right) \frac{\delta i_{f_{N3}}}{i_{f_{N3}}(T_0)} \end{aligned} \tag{IV.51}$$

Cette expression est explicitée en différenciant le niveau d'inversion $i_{f_{N3}} = \frac{I_{D_{N3}}}{I_{S_{N3}}}$ en :

$$\delta i_{f_{N3}} = \frac{\delta I_{D_{N3}}}{I_{S_{N3}}} - \frac{I_{D_{N3}}}{I_{S_{N3}}} \frac{\delta I_{S_{N3}}}{I_{S_{N3}}} \tag{IV.52}$$

Par ailleurs, les courants $I_{D_{N3}}$ et $I_{D_{N4}}$ ainsi que le courant inverse $i_{r_{N4}}$, s'expriment :

$$\begin{array}{ll} I_{D_{N3}} = \frac{S_{P3} I_{ref}}{S_{P1}} & \text{(effet CLM négligé)} \\ I_{D_{N4}} = I_{ref} & \\ i_{r_{N4}} = \left(\frac{S_{P3} I_{S_{N4}}}{S_{P1} I_{S_{N3}}} - 1 \right) \frac{I_{ref}}{I_{S_{N4}}} & \end{array} \tag{IV.53}$$

Ainsi (IV.51) devient :

$$\begin{aligned} \frac{\delta I_{ref}}{I_{ref}(T_0)} = & \frac{\frac{\delta V_{ref}}{U_{T0}} - \frac{V_{ref}(T_0)}{U_{T_0}} \frac{\delta T}{T_0} + \frac{1}{G(i_{f_{N3}}(T_0))} \frac{\delta I_{S_{N3}}}{I_{S_{N3}}(T_0)}}{\frac{1}{G(i_{f_{N3}}(T_0))} - \frac{1}{G(i_{r_{N4}}(T_0))}} \\ & + \frac{\frac{1}{1 - \frac{S_{P1} I_{S_{N3}}(T_0)}{S_{P3} I_{S_{N4}}(T_0)}} \left(\frac{\delta I_{S_{N4}}}{I_{S_{N4}}(T_0)} - \frac{\delta I_{S_{N3}}}{I_{S_{N3}}(T_0)} \right) - \frac{\delta I_{S_{N4}}}{I_{S_{N4}}(T_0)}}{G(i_{r_{N4}}(T_0)) \left(\frac{1}{G(i_{f_{N3}}(T_0))} - \frac{1}{G(i_{r_{N4}}(T_0))} \right)} \end{aligned} \tag{IV.54}$$

De plus la variation en température du courant de normalisation est $\delta I_S = I_S(T_0)(2-k)\frac{\delta T}{T_0}$. Ainsi, l'expression se simplifie en :

$$\frac{\delta I_{ref}}{I_{ref}(T_0)} = \frac{\frac{\delta V_{ref}}{U_{T0}} - \frac{V_{ref}(T_0)}{U_{T_0}}\frac{\delta T}{T_0} + \left(\frac{1}{G(i_{f_{N3}}(T_0))} - \frac{1}{G(i_{r_{N4}}(T_0))}\right)(2-k)\frac{\delta T}{T_0}}{\frac{1}{G(i_{f_{N3}}(T_0))} - \frac{1}{G(i_{r_{N4}}(T_0))}} \tag{IV.55}$$

Les dépendances en température des deux principaux blocs de l'architecture ont été exprimées. A partir des expressions obtenues, la déviation en température de l'architecture complète peut être décrite. Ainsi, la dépendance en température du courant délivré par la structure est obtenue en associant (IV.55) à (IV.50) le terme δI_{ref} étant négligé pour la référence de tension :

$$\frac{\delta I_{ref}}{I_{ref}(T_0)} = \frac{\left(\frac{1}{G(i_{f_{N3}}(T_0))} - \frac{1}{G(i_{r_{N4}}(T_0))}\right) - \left(\frac{1}{G(i_{f_{N2}}(T_0))} - \frac{1}{G(i_{f_{N1}}(T_0))}\right)}{\frac{1}{G(i_{f_{N3}}(T_0))} - \frac{1}{G(i_{r_{N4}}(T_0))}}(2-k)\frac{\delta T}{T_0} \tag{IV.56}$$

Après l'étude du comportement de la référence de courant en température, son comportement en procédé de fabrication va être abordé.

IV.3.3.1.d Dépendance en procédé de fabrication

La formulation générale de la tension de référence, valable sur l'ensemble de l'inversion, est de nouveau utilisée pour l'étude du comportement de la structure aux variations process. La dépendance de la tension de référence aux variations process, sans contraintes d'inversion, est obtenue, par différenciation selon les niveaux d'inversion (cf §III.4.4.2), à partir de (IV.36) :

$$\frac{\delta V_{ref}}{V_{ref}} = \frac{U_T}{V_{ref}}.\left(\frac{1}{G(i_{f_{N2}})}\frac{\delta i_{f_{N2}}}{i_{f_{N2}}} - \frac{1}{G(i_{f_{N1}})}\frac{\delta i_{f_{N1}}}{i_{f_{N1}}}\right) \tag{IV.57}$$

L'expression (IV.57) est explicitée en différenciant les niveaux d'inversion $i_{f_{N1}}$ et $i_{f_{N2}}$ (cf (IV.47)) d'où :

$$\frac{\delta V_{ref}}{V_{ref}} = \frac{U_T}{V_{ref}}\left[\frac{1}{G(i_{f_{N2}})}\left(\frac{\delta I_{ref}}{I_{ref}} - \frac{\delta I_{S_{N2}}}{I_{S_{N2}}}\right) - \frac{1}{G(i_{f_{N1}})}\left(\frac{\delta I_{ref}}{I_{ref}} - \frac{\delta I_{S_{N1}}}{I_{S_{N1}}}\right)\right] \tag{IV.58}$$

De plus, l'expression se simplifie en fonction des variations de β_0 en :

$$\frac{\delta V_{ref}}{V_{ref}} = \frac{U_T}{V_{ref}}\left[\left(\frac{1}{G(i_{f_{N2}})} - \frac{1}{G(i_{f_{N1}})}\right)\frac{\delta I_{ref}}{I_{ref}} - \left(\frac{1}{G(i_{f_{N2}})}\frac{\delta\beta_{0_{N2}}}{\beta_{0_{N2}}} - \frac{1}{G(i_{f_{N1}})}\frac{\delta\beta_{0_{N1}}}{\beta_{0_{N1}}}\right)\right] \tag{IV.59}$$

En notant $\frac{\delta\beta_0}{\beta_0}$ la variation process commune du paramètre β_0, (IV.59) devient :

$$\frac{\delta V_{ref}}{V_{ref}} = \frac{U_T}{V_{ref}}\left(\frac{1}{G(i_{f_{N2}})} - \frac{1}{G(i_{f_{N1}})}\right)\left(\frac{\delta I_{ref}}{I_{ref}} - \frac{\delta\beta_0}{\beta_0}\right) \tag{IV.60}$$

Par ailleurs, la dépendance du courant de la résistance active aux variations process s'obtient par différenciation (cf §III.4.4.2), selon les courants normalisés, à partir de (IV.39) et (IV.41) :

$$\frac{\delta I_{ref}}{I_{ref}} = \frac{(I_{S_{N4}} i_{r_{N4}} G(i_{r_{N4}}))}{I_{ref}}\frac{\delta V_{ref}}{U_T} + \frac{\delta I_{S_{N4}}}{I_{S_{N4}}} + \frac{I_{S_{N4}}}{I_{ref}}\left(i_{f_{N3}} - \frac{G(i_{r_{N4}})}{G(i_{f_{N3}})}i_{r_{N4}}\right)\frac{\delta i_{f_{N3}}}{i_{f_{N3}}} \tag{IV.61}$$

Cette expression est explicitée en différenciant le niveau d'inversion $i_{f_{N3}}$, ainsi (IV.61) devient :

$$\frac{\delta I_{ref}}{I_{ref}} = \frac{\frac{\delta V_{ref}}{U_T} + \frac{1}{G(i_{f_{N3}})}\frac{\delta I_{S_{N3}}}{I_{S_{N3}}} + \frac{1}{G(i_{r_{N4}})}\left[\frac{1}{1-\frac{S_{P1}I_{S_{N3}}}{S_{P3}I_{S_{N4}}}}\left(\frac{\delta I_{S_{N4}}}{I_{S_{N4}}} - \frac{\delta I_{S_{N3}}}{I_{S_{N3}}}\right) - \frac{\delta I_{S_{N4}}}{I_{S_{N4}}}\right]}{\frac{1}{G(i_{f_{N3}})} - \frac{1}{G(i_{r_{N4}})}} \tag{IV.62}$$

Cette expression se simplifie en fonction de la variation process commune du paramètre β_0, notée $\frac{\delta\beta_0}{\beta_0}$:

$$\frac{\delta I_{ref}}{I_{ref}} = \frac{\frac{\delta V_{ref}}{U_T} + \left(\frac{1}{G(i_{f_{N3}})} - \frac{1}{G(i_{r_{N4}})}\right)\frac{\delta\beta_0}{\beta_0}}{\frac{1}{G(i_{f_{N3}})} - \frac{1}{G(i_{r_{N4}})}} \tag{IV.63}$$

De même que pour la dépendance en température, la dépendance en process du courant délivré par la structure est obtenue en associant (IV.63) à (IV.60) le terme δI_{ref} étant négligé pour la référence de tension :

$$\frac{\delta I_{ref}}{I_{ref}} = \frac{\left(\frac{1}{G(i_{f_{N3}})} - \frac{1}{G(i_{r_{N4}})}\right) - \left(\frac{1}{G(i_{f_{N2}})} - \frac{1}{G(i_{f_{N1}})}\right)}{\frac{1}{G(i_{f_{N3}})} - \frac{1}{G(i_{r_{N4}})}}\frac{\delta\beta_0}{\beta_0} \tag{IV.64}$$

Suite à l'étude du comportement de la référence de courant en procédé de fabrication, nous allons expliciter sa sensibilité au désappariement des transistors.

IV.3.3.1.e Dépendance en désappariement

L'étude du mismatch s'effectue au niveau de chaque bloc de transistors appairés d'un circuit, et les déviations sont reportées aux autres blocs, au contraire des variations process qui sont appliquées à l'ensemble des blocs d'un circuit.

La dépendance de la tension de référence au mismatch, sans contraintes d'inversion, est obtenue, à partir de l'expression du mismatch en courant (III.32) appliquée au transistor N1 en ramenant le mismatch en courant à un mismatch en tension de source par multiplication avec la transconductance de source g_{ms} du transistor N1 :

$$\delta V_{ref} = \frac{U_T}{G(i_{f_{N1}})}\frac{\sigma_{I_{D_{N1}}}}{I_{D_{N1}}} \tag{IV.65}$$

avec

$$\frac{\sigma_{I_{D_{N1}}}}{I_{D_{N1}}} = \sqrt{(\frac{\sigma_{\beta_0}}{\beta_0})^2 + \left[\frac{1}{n_q^2 U_T^2}\frac{1}{i_{f_{N1}}} ln\left(\frac{1+i_{f_{N1}}}{1+i_{r_{N1}}}\right)\right]\sigma_{V_{T0}}^2} \tag{IV.66}$$

Le courant normalisé inverse $i_{r_{N1}}$ est pris égal à 1% du courant normalisé direct $i_{f_{N1}}$. Les coefficients de mismatch en tension de seuil $\sigma_{V_{T0}}$ et en facteur de transconductance $\frac{\sigma_{\beta_0}}{\beta_0}$ dépendent des dimensions des deux transistors N1 et N2 selon $P = \frac{A_P}{\sqrt{2}}\sqrt{\frac{1}{W_{N1}L_{N1}} + \frac{1}{W_{N2}L_{N2}}}$.

Puis, la dépendance du courant de la résistance active au mismatch, sans contraintes d'inversion, est obtenue, à partir de l'expression du mismatch en courant (III.32) appliquée au transistor N4 en négligeant la variation du potentiel de grille sous l'effet de la variation de courant induite par le mismatch :

$$\frac{\sigma_{I_{D_{N4}}}}{I_{D_{N4}}} = \sqrt{(\frac{\sigma_{\beta_0}}{\beta_0})^2 + \left[\frac{1}{n_q^2 U_T^2}\frac{1}{i_{f_{N4}} - i_{r_{N4}}} ln\left(\frac{1+i_{f_{N4}}}{1+i_{r_{N4}}}\right)\right]\sigma_{V_{T0}}^2} \tag{IV.67}$$

Les coefficients de mismatch en tension de seuil $\sigma_{V_{T0}}$ et en facteur de transconductance $\frac{\sigma_{\beta_0}}{\beta_0}$ dépendent des dimensions des deux transistors N3 et N4 selon $P = \frac{A_P}{\sqrt{2}}\sqrt{\frac{1}{W_{N3}L_{N3}} + \frac{1}{W_{N4}L_{N4}}}$.

Enfin, la dépendance en mismatch du courant délivré par la structure est obtenue en associant (IV.67) et (IV.65). Le lien entre $\frac{\delta I_{ref}}{I_{ref}}$ et δV_{ref} est obtenu à partir de (IV.63) en négligeant le terme $\delta\beta_0$:

$$\frac{\delta I_{ref}}{I_{ref}} = \sqrt{\left(\frac{\frac{1}{G(i_{f_{N1}})}\frac{\sigma_{I_{D_{N1}}}}{I_{D_{N1}}}}{\frac{1}{G(i_{f_{N3}})} - \frac{1}{G(i_{r_{N4}})}}\right)^2 + \left(\frac{\sigma_{I_{D_{N4}}}}{I_{D_{N4}}}\right)^2} \tag{IV.68}$$

IV.3.3.1.f Dépendance en tension d'alimentation

Pour l'étude du comportement de la structure aux variations de tension d'alimentation, la variation de la référence de tension (IV.57) établie pour l'étude en process, est reprise. Les variations des niveaux d'inversion sont changées, en introduisant la dépendance en tension d'alimentation, via les courants de normalisation (IV.44) :

$$\begin{array}{l} I_{S_{N1}} = I_{S_{thN1}}(1 + \lambda_{N1}(V_{dd} - V_{G_P} - V_{ref} - V_{DS_{satN1}})) \\ I_{S_{P2}} = I_{S_{thP2}}(1 + \lambda_P(V_{dd} - V_{G_{N2}} - V_{DS_{satP}})) \end{array} \tag{IV.69}$$

Ainsi, les niveaux d'inversion $i_{f_{N2}}$ et $i_{f_{N1}}$ sont différenciés, sous hypothèse de variations négligeables des potentiels de grille et des tensions de saturation drain/source, en :

$$\begin{array}{l} \delta i_{f_{N1}} = \frac{\delta I_{D_{N1}}}{I_{S_{N1}}} - \frac{I_{D_{N1}}}{I_{S_{N1}}}\frac{\delta I_{S_{N1}}}{I_{S_{N1}}} \\ \delta i_{f_{N2}} = \frac{\delta I_{D_{N2}}}{I_{S_{N2}}} = \frac{\delta I_{ref} I_{S_{P2}} + I_{ref} I_{S_{thP2}} \lambda_P \delta V_{dd}}{I_{S_{N2}} I_{S_{P1}}} \end{array} \tag{IV.70}$$

L'expression de $\delta i_{f_{N1}}$ est réarrangée en :

$$\delta i_{f_{N1}} = \frac{\delta I_{ref}}{I_{S_{N1}}} - \frac{I_{ref}}{I_{S_{N1}}}\frac{I_{S_{thN1}}\lambda_{N1}(\delta V_{dd} - \delta V_{ref})}{I_{S_{N1}}} \tag{IV.71}$$

La variation de tension d'alimentation δV_{dd} peut être vue comme la variation de tension d'alimentation au delà de la tension d'alimentation minimale $V_{dd_{min}}$ à partir de laquelle la référence de courant fonctionne, ce qui s'écrit $V_{dd} = V_{dd_{min}} + \delta V_{dd}$. Par conséquent, (IV.57) devient :

$$\frac{\delta V_{ref}}{V_{ref}} = \frac{U_T}{V_{ref}}\left[\frac{1}{G(i_{f_{N2}})}\left(\frac{\delta I_{ref}}{I_{ref}} + \lambda_P \delta V_{dd}\right) - \frac{1}{G(i_{f_{N1}})}\left(\frac{\delta I_{ref}}{I_{ref}} - \lambda_{N1}(\delta V_{dd} - \delta V_{ref})\right)\right] \tag{IV.72}$$

Cette expression devient :

$$\frac{\delta V_{ref}}{V_{ref}} = \frac{U_T}{V_{ref}}\frac{\left[\left(\frac{1}{G(i_{f_{N2}})} - \frac{1}{G(i_{f_{N2}})}\right)\frac{\delta I_{ref}}{I_{ref}} + \left(\lambda_P \frac{1}{G(i_{f_{N2}})} - \lambda_{N1}\frac{1}{G(i_{f_{N1}})}\right)\delta V_{dd}\right]}{1 + \frac{\lambda_{N1} U_T}{G(i_{f_{N1}})}} \tag{IV.73}$$

Pour l'étude du comportement de la résistance active aux variations de tension d'alimentation, la variation du courant de la résistance active (IV.61) établie pour l'étude en process, est reprise. Les variations des courants normalisés sont changées, en introduisant la dépendance en tension d'alimentation, via les courants de normalisation (IV.44) :

$$I_{S_{P3}} = I_{S_{thP3}}(1 + \lambda_P(V_{dd} - V_{G_{N3}} - V_{DS_{satP}})) \tag{IV.74}$$

Ainsi, le niveau d'inversion $i_{f_{N3}}$ est différencié, sous hypothèse de variations négligeables du potentiel de grille et de la tension de saturation drain/source, en :

$$\delta i_{f_{N3}} = \frac{\delta I_{D_{N3}}}{I_{S_{N3}}} = \frac{\delta I_{ref} I_{S_{P3}} + I_{ref} I_{S_{thP3}} \lambda_P \delta V_{dd}}{I_{S_{N3}} I_{S_{P1}}} \tag{IV.75}$$

Par conséquent, (IV.61) devient :

$$\frac{\delta I_{ref}}{I_{ref}} = \frac{\frac{\delta V_{ref}}{U_T} - \left(\frac{1}{G(i_{f_{N3}})} - \frac{1}{G(i_{r_{N4}})} \frac{1}{1-\frac{S_{P1} I_{S_{N3}}}{S_{P3} I_{S_{N4}}}} \right) \lambda_P \delta V_{dd}}{\frac{1}{G(i_{f_{N3}})} - \frac{1}{G(i_{r_{N4}})}} \tag{IV.76}$$

De même que pour les autres déviations, la dépendance en tension d'alimentation du courant délivré en sortie par la structure est obtenue en associant (IV.76) à (IV.73), le terme δI_{ref} étant négligé pour la référence de tension, et en considérant que l'impédance d'entrée de la charge connectée sur le transistor P4 est négligeable par rapport à la résistance de sortie du transistor P4 :

$$\frac{\delta I_{ref}}{I_{ref}} = \left(\frac{\left(\frac{\lambda_P}{G(i_{f_{N2}})} - \frac{\lambda_{N1}}{G(i_{f_{N1}})} \right) - \left(1 + \frac{\lambda_{N1} U_T}{G(i_{f_{N1}})} \right) \left(\frac{\lambda_P}{G(i_{f_{N3}})} - \frac{\lambda_P}{G(i_{r_{N4}})} \frac{1}{1-\frac{S_{P1} I_{S_{N3}}}{S_{P3} I_{S_{N4}}}} \right)}{\left(1 + \frac{\lambda_{N1} U_T}{G(i_{f_{N1}})} \right) \left(\frac{1}{G(i_{f_{N3}})} - \frac{1}{G(i_{r_{N4}})} \right)} + \lambda_P \right) \delta V_{dd} \tag{IV.77}$$

IV.3.3.1.g Schéma petit signal et gain courant/tension d'alimentation

Le comportement de l'architecture suite à une perturbation de la tension d'alimentation est quantifié à l'aide du gain courant/tension d'alimentation dont l'expression est établie à partir du schéma petit signal du circuit (Fig.IV.10) :

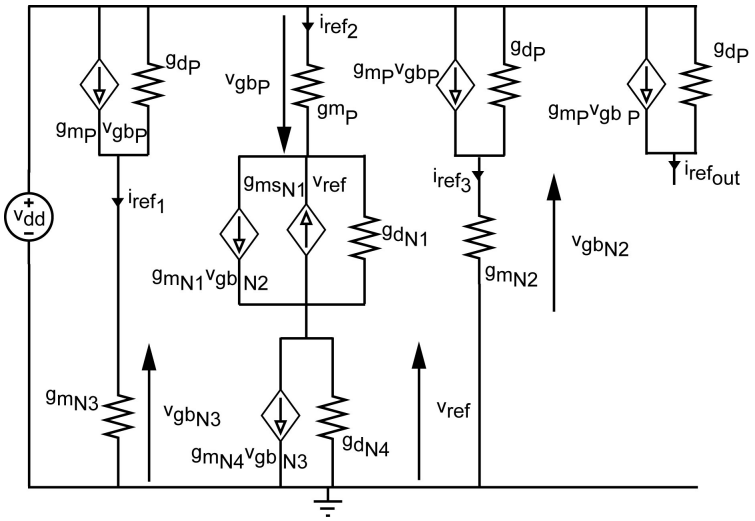

Fig. IV.10 – Schéma petit signal de la référence de courant Oguey

Le gain courant/tension d'alimentation est :

$$\frac{i_{ref}}{v_{dd}} = gd_P \left(1 - \frac{\frac{gm_P}{gd_P} \left(1 + \frac{gm_{N1}}{gd_{N1}} (1 + \frac{gm_{N2}}{gd_P})^{-1} - \frac{gms_{N1} gm_{N4}}{gd_{N1} gd_{N4}} (1 + \frac{gm_{N3}}{gd_P})^{-1} \right)}{1 + \frac{gm_P}{gd_P} \left(\frac{gm_{N1}}{gd_{N1}} (1 + \frac{gm_{N2}}{gd_p})^{-1} - \frac{gms_{N1}}{gd_{N1}} (1 + \frac{gm_{N3}}{gd_P})^{-1} \right) + (\frac{gm_P}{gd_{N1}} - \frac{gm_P gms_{N1}}{gd_{N1} gd_{N4}})} \right) \tag{IV.78}$$

La notation des conductances de drain de la forme g_d au lieu de g_{md} ou d_{ds} permet une expression plus compacte. Ce choix est retenu pour l'ensemble du présent chapitre.

IV.3.3.2 Conception et simulation du circuit

La méthodologie a été utilisée pour le dimensionnement de deux références de courant envoyées par la suite en fabrication. Les références devaient délivrer un courant déterminé à partir d'une tension d'alimentation minimale inférieure à 1V.
Le cahier des charges circuit choisi pour les deux références est le suivant :

- $I_{ref} = 1\mu A/100nA$ à température ambiante (25°C)

- $V_{dd} \leq 1V$

Une des références de courant a un courant de polarisation dans la plage 10-100nA pour une tension d'alimentation inférieure à 1V, ce qui l'inscrit dans des conditions de consommation nanowatt. L'autre référence doit respecter une spécification de courant standard, afin de valider l'utilisation de la méthodologie pour dimensionner des circuits fonctionnant en dessous d'1V d'alimentation pour des spécifications standard.
La méthodologie permet de travailler sur l'ensemble de l'inversion. Ainsi, pour respecter des spécifications faible tension, il suffit de changer le niveau d'inversion des transistors PMOS constituant les miroirs de recopie ainsi que celui des transistors N3 et N4 constituant la résistance active, de façon à minimiser leur tension de saturation et donc la tension de fonctionnement minimale de la référence de courant.

Le plan de conception utilisé (Fig.IV.11) pour dimensionner les références de courants Oguey débute par le dimensionnement des transistors du miroir de courant du bloc de recopie du courant. Les transistors PMOS sont dimensionnés en utilisant le courant de normalisation de milieu d'inversion modérée I_0. Les dimensions des transistors PMOS sont choisies de façon à minimiser l'effet CLM et donc la dépendance en tension d'alimentation de la référence de courant, par le choix d'une longueur de grille suffisante. Afin de simplifier le dessin des masques, les transistors PMOS sont supposés identiques, y compris le transistor P4 de recopie du courant de référence.
Puis, le transistor N_{On} est dimensionné de sorte à laisser passer un courant de fuite négligeable, devant le courant de référence cible I_{ref}, à l'état bloqué lorsque le potentiel de grille Onbias est nul (W= $20\mu m$ et L=$2\mu m$).

Le dimensionnement des autres blocs commence par la création de la table de dimensions à partir des contraintes de dimensions préalablement explicitées (§IV.3.1).
Puis les plages de tensions sont définies :

- la tension de grille est comprise entre 100mV (tension de grille minimale d'un transistor diode) et 900mV (tension d'alimentation minimale moins la tension de saturation minimale nécessaire pour les transistors du miroir de courant).
- les tensions de source du transistor N1 (V_{ref}) et de drain du transistor N4 (V_{ref}) sont comprises entre 0 et 100mV (tension de saturation de drain en inversion faible).

Des limites de niveau d'inversion sont définies pour les transistors N2 et N3, afin de délimiter la recherche de solutions. Une surface maximale admissible est fixée pour le circuit.

Un abaque technologique (N_a^*, V_P, ..., I_{S0}, i_f, i_r, λ pour $L = 2\mu m$, V_{DSsat}, I_D/S) est calculé sur un espace de tensions défini pour chaque transistor :

- (V_G) pour N2 et N3
- (V_G,V_S) pour N1
- (V_G,V_D) pour N4

Par croisement des abaques technologiques, le bloc référence de tension est dimensionné. A partir de l'abaque technologique du transistor N2 et de l'abaque de dimensions, la largeur W2 de ce transistor est

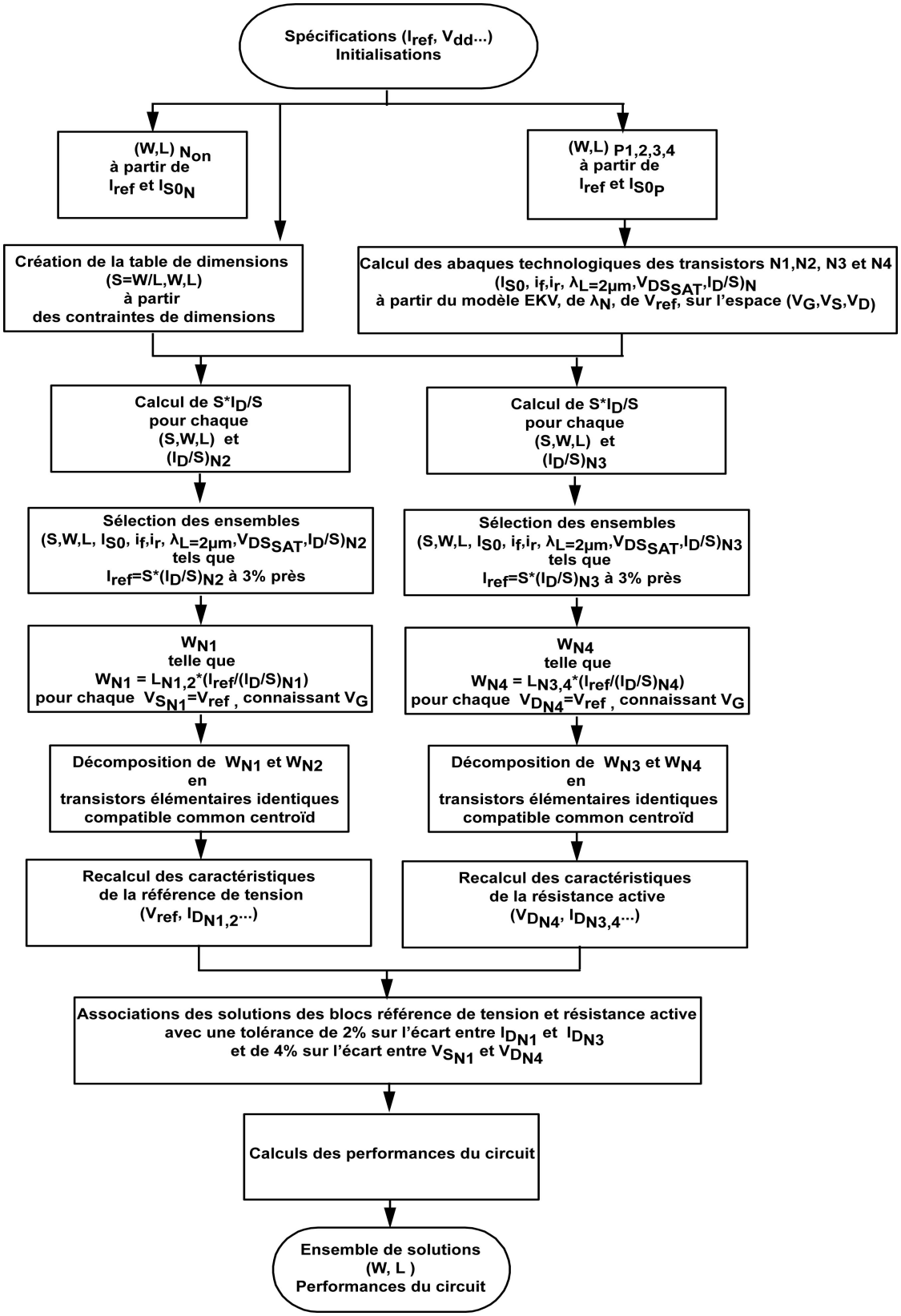

Fig. IV.11 – Plan de conception de la référence de courant Oguey

déterminée. Pour chaque valeur S=W/L, le produit de S avec les valeurs de courant du transistor carré

$I_{D_{N2}}/S_{N2}$ est calculé, et si le courant résultant correspond au courant I_{ref} du cahier des charges, dans une tolérance de 3%, les valeurs correspondantes, dont la tension de grille, des deux abaques sont sélectionnées. A tension de grille donnée, la largeur du transistor N1 est alors déterminée, pour chaque valeur de tension de source de N1 (V_{ref}), en supposant identiques les longueurs des deux transistors, par le ratio du courant I_{ref}, sur le courant de drain du transistor carré $I_{D_{N1}}/S_{N1}$ connaissant L et la tension de grille. Les valeurs de W1 retenues correspondent aux entiers les plus proches.
Les largeurs W1 et W2 sélectionnées selon la démarche décrite dans le plan de conception de la référence de tension Self-Cascode garantissent l'appairage des transistors. Le processus est itéré sur l'ensemble des valeurs de tension de grille et donc de dimensions de l'abaque de dimensions. Une fois terminé, I_{ref}, V_{ref} et les caractéristiques de la référence de tension sont recalculées pour chaque solution compatible, à partir des expressions générales proposées au §IV.3.3.1.
De même que pour le bloc référence de tension, les dimensions compatibles pour le bloc résistance active sont déterminées en commençant par la largeur W3 du transistor N3. Puis, celle du transistor N4 est calculée pour chaque valeur de tension de drain de N4 (V_{ref}). Les transistors sont alors appairés.
Les tables de solutions des blocs référence de tension et résistance active sont croisées. A solution du bloc de référence de tension donnée, les solutions du bloc résistance active lui sont associées si l'écart entre le courant de N1 avec ceux de N3 est dans une tolérance de 2%, et si l'écart entre la tension de source de N1 avec celle de drain de N4 est dans une tolérance de 4%. Enfin, les performances du circuit sont calculées pour chaque solution compatible, à partir des expressions générales proposées au §IV.3.3.1.

Des solutions ont été dimensionnées pour le cahier des charges précédemment indiqué. Les solutions retenues sont présentées dans les tableaux (IV.4) et (IV.5).
De même que pour la référence de tension Self-Cascode, les domaines de validité des modèles de simu-

	N1	**N2**	**N3**	**N4**	N_{On}	**P1,2,3,4**
Niveau d'inversion IC	0.25	0.99	6.2	6.2	-	8
Tension de Grille	396mV		522mV		-	-562mV
W [μm]	240	60	12	24	20	24
L [μm]	13		15		2	15
S=W/L	18.46	4.62	0.8	1.6	10	1.6
Surface [μm^2]	5920					
W_{elem} [μm]	20		6		-	8
N_{elem}	12	3	2	4	-	3
Surface Layout [μm^2]	11844					

Tab. IV.4 – Dimensions des éléments constitutifs de la référence de courant Oguey fabriquée de 1 μA

lation n'étaient pas encore identifiés précisément au moment du dimensionnement des structures envoyées en fabrication. De plus la méthodologie a été validée sur une structure Oguey existante utilisant le modèle de faible inversion, respectivement le modèle standard, pour la référence de tension (transistors N1 et N2) respectivement la résistance active (transistors N3 et N4). Ainsi, les abaques de paramètres utilisés par la méthodologie de conception (SDM) sont ceux extraits à partir du modèle standard pour les transistors N3 et N4, polarisés en inversion modérée près de la forte inversion, et ceux extraits à partir du modèle faible inversion pour les autres transistors, polarisés en inversion modérée près de la faible inversion.
En outre, les expressions des performances en tension d'alimentation, température, process, mismatch et PSRR, n'étaient pas encore établies aussi les solutions n'ont pas été retenues sur ces critères et leurs performances ont été calculées a posteriori.

	N1	**N2**	**N3**	**N4**	N_{On}	**P1,2,3,4**
Niveau d'inversion IC	0.16	0.37	1.05	1.05	-	1.4
Tension de Grille	348mV		409mV		-	-427mV
W [μm]	18	8	4	8	20	5
L [μm]	14		19		2	15
S=W/L	1.28	0.57	0.21	0.42	10	0.33
Surface [μm^2]	932					
W_{elem} [μm]	2		2		-	5
N_{elem}	9	4	2	4	-	1
Surface Layout [μm^2]	4200					

Tab. IV.5 – Dimensions des éléments constitutifs de la référence de courant Oguey fabriquée de 50 nA

Les transistors sont polarisés en inversion modérée ce qui permet d'optimiser la surface du circuit et de respecter la spécification de faible tension d'alimentation.

Les niveaux d'inversion choisis sont inférieurs à 1 pour les transistors N1 et N2, ce qui semble incompatible avec les limites de validité du modèle de simulation faible inversion (§III.5.2.1). Cependant, les transistors concernés (N1 et N2) sont saturés donc la limite de validité inférieure à prendre est celle de la saturation à savoir 0.6, voire 0.1 si une déviation de 10% est considérée comme acceptable.
Les transistors du miroir de courant ne peuvent pas être répartis dans une matrice common centroïd mais seulement dans une matrice pseudo common centroïd.

Les transistors du miroir de courant de la référence de courant 50nA ne peuvent pas être répartis dans une matrice common centroïd.

Les références de courant dimensionnées ont été simulées, en fonction de la tension d'alimentation, avec le modèle standard, pour les transistors N3 et N4, et avec le modèle faible inversion pour les autres transistors (Fig.IV.12 etIV.13). Les courbes calculées par la méthodologie concordent avec les courbes

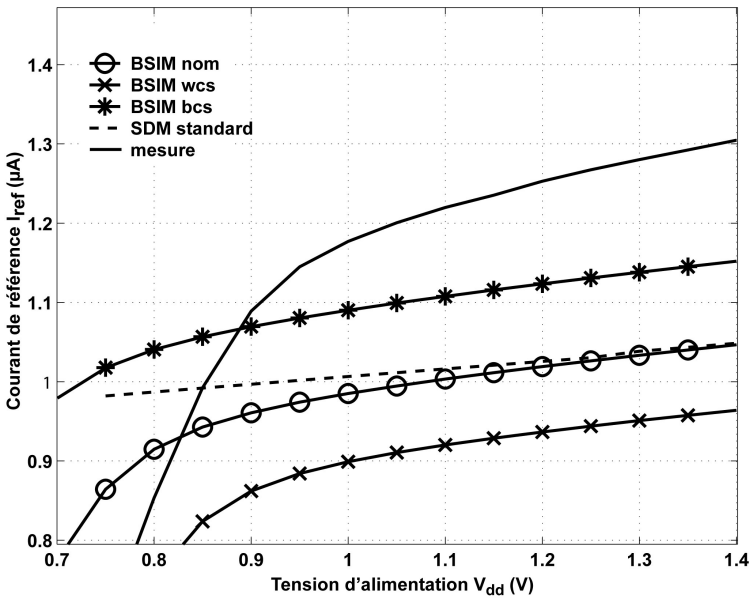

Fig. IV.12 – Caractéristique simulée en modèle standard de la référence de courant Oguey 1μA

simulées dans le cas process nominal. Les références démarrent bien en dessous d'1V d'alimentation et

délivrent bien le courant spécifié par le cahier des charges, à la tension d'alimentation minimale. Cependant elles sont dépendantes de la tension d'alimentation. Leurs performances obtenues en simulation avec les paramètres faible inversion sont résumées au tableau (IV.6), avec celles obtenues expérimentalement.
Une référence de courant 50nA a été dimensionnée par la suite dans une optique d'optimisation en choi-

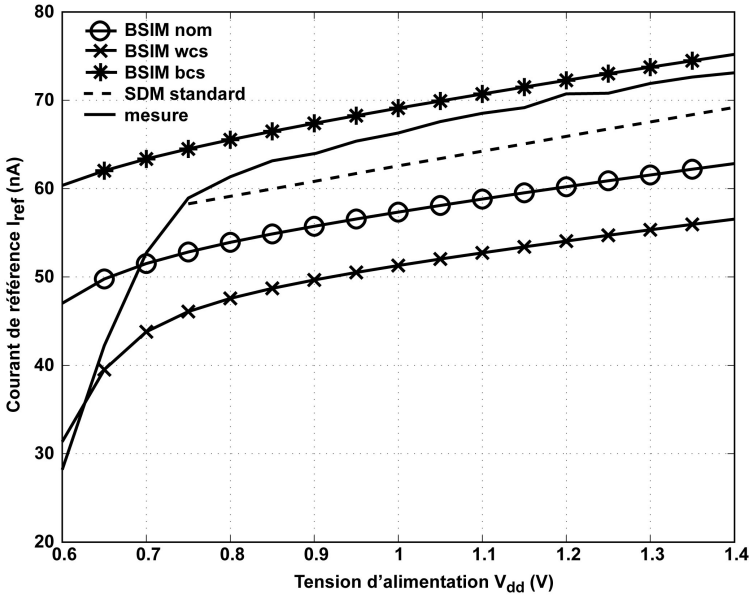

Fig. IV.13 – Caractéristique simulée en modèle standard de la référence de courant Oguey 50nA

sissant la meilleure solution parmi celles dimensionnées avec la méthodologie selon les performances calculées pour chaque solution, à l'aide des expressions de sensibilité en tension d'alimentation, température, process, mismatch et du PSRR. Les dimensions et les performances sont détaillées au (§IV.3.5).

IV.3.3.3 Dessin des masques

Les layout des deux références de courant Oguey dimensionnées et envoyées en fabrication sont proposés sur les figures (IV.14) et (IV.15).

Les différents blocs ont été disposés de façon à obtenir les layout les plus compacts possibles ce qui réduit les variations des paramètres technologiques entre blocs et donc réduit la sensibilité des références de courant à ces variations.
La figure (IV.14) correspond à la référence de courant de 1μA et la figure (IV.15) à la référence de courant de 50 nA.

IV.3.3.4 Résultats expérimentaux

Les références de courant fabriquées ont été caractérisées en tension d'alimentation à température ambiante (25°C). Parmi les neuf échantillons qui ont été mesurés sous pointes, en imposant une tension de drain au transistor P4, via un analyseur HP4156, et une rampe de tension d'alimentation de pente négative, sur la plaque mise à disposition, cinq échantillons se sont révélés fonctionnels pour les deux références de courant avec des valeurs comprises entre 1.15μA et 1.44μA pour la référence de 1μA, et entre 40nA et 60nA pour la référence de 50nA. Par ailleurs, les références de courant de nos cinq exemplaires en boitiers ont été testées, en imposant une rampe de tension d'alimentation de pente négative, par la mesure de la tension aux bornes d'une résistance de charge connectée au transistor P4, à l'aide d'un oscilloscope numérique.

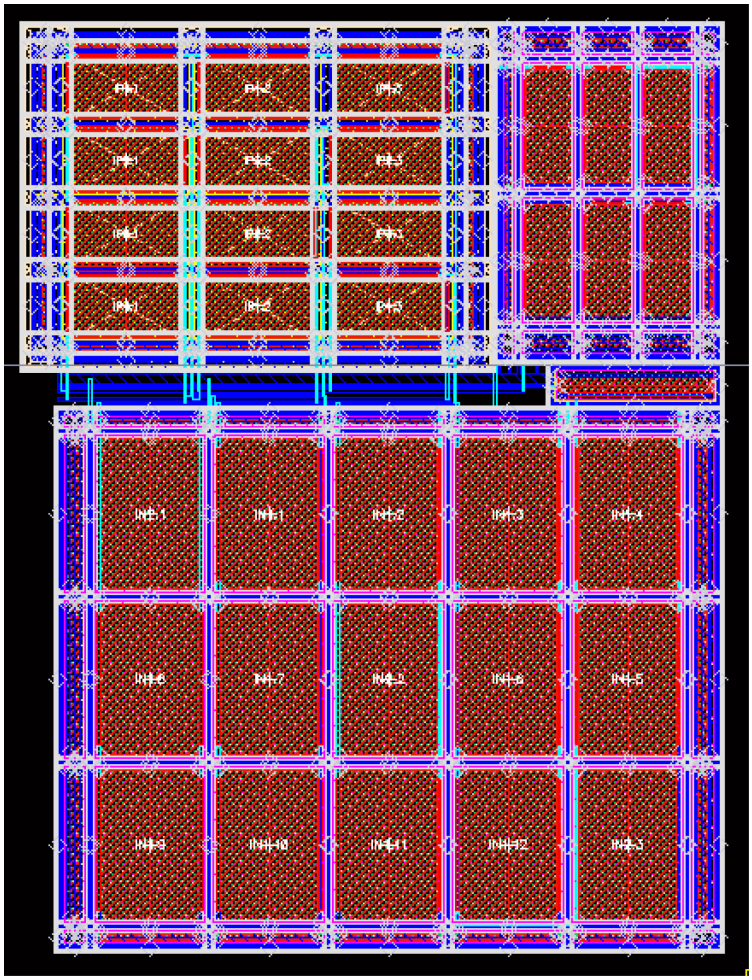

Fig. IV.14 – Layout de la référence de courant Oguey 1μA

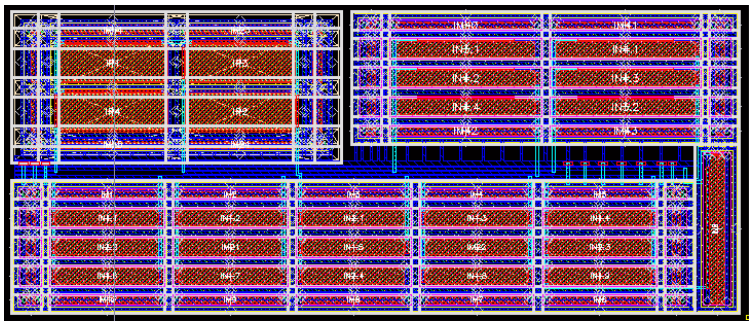

Fig. IV.15 – Layout de la référence de courant Oguey 50nA

Les valeurs obtenues sont comprises entre 1.15μA et 1.23μA pour la référence de 1μA, et entre 40nA et 60nA pour la référence de 50nA.
Les références caractérisées se sont toutes révélées fonctionnelles en dessous de 1V de tension d'alimentation (tension d'alimentation minimale comprise entre 0.7V et 0.95V).

Les courbes expérimentales illustrent le comportement des références de courant en tension d'alimentation, pour la référence de courant 1μA (Fig.IV.16) et la référence de courant 50nA (Fig.IV.17).

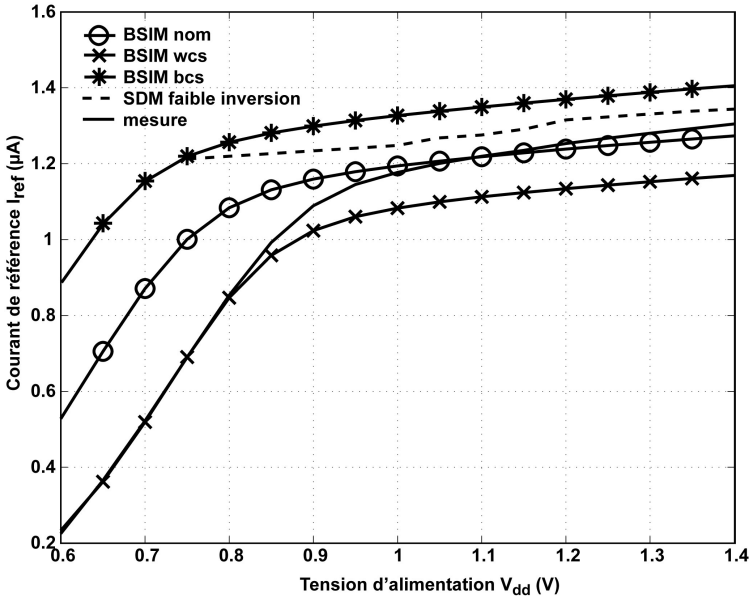

Fig. IV.16 – Caractéristique mesurée et simulée en modèle faible inversion de la référence de courant Oguey 1μA

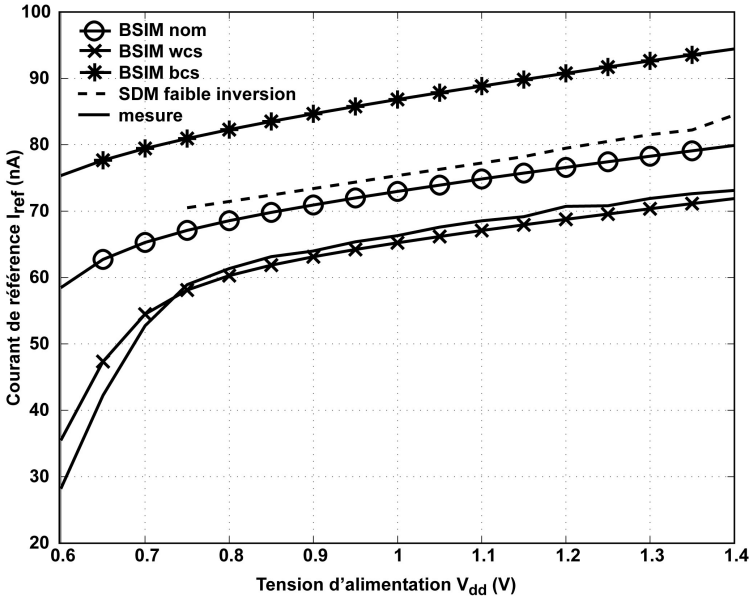

Fig. IV.17 – Caractéristique mesurée et simulée en modèle faible inversion de la référence de courant Oguey 50nA

Les courbes expérimentales sont décalées par rapport aux courbes obtenues avec la méthodologie (SDM) ainsi qu'en simulation, même dans les cas process extrêmes (Fig.IV.12 et IV.13). Ces décalages sont dus, pour une faible part, aux déviations de procédé de fabrication constatées sur ce lot (résistance de « via » élevée, transistors PMOS au delà du pire cas process), mais elles sont expliquées principalement par le choix, lors de la conception, des paramètres extraits à partir du modèle standard pour les transistors N3 et N4, réalisant la résistance active polarisée. Ainsi les caractéristiques calculées par la méthodologie, avec ces paramètres extraits, sont décalées par rapport à la réalité, de même que les simulations effectuées avec le modèle standard pour les transistors N3 et N4. Les courbes calculées par la méthodologie avec les paramètres extraits à partir du modèle faible inversion, ainsi que celles simulées avec le modèle faible in-

version pour l'ensemble des transistors, correspondent aux courbes expérimentales (Fig.IV.16 et Fig.IV.17).

Par ailleurs, les valeurs expérimentales sont très étalées pour la référence de courant 50nA ce qui s'explique par la sensibilité de l'architecture à l'appairage des miroirs de courant. Cette sensibilité est illustrée par des simulations (Fig.IV.18) en « mismatch » de type Montecarlo, à process fixé, forçant un appairage parfait pour tout ou partie des transistors appairés, les autres étant « common centroïd ». Les écarts entre les courbes montrent l'impact prépondérant des miroirs par rapport aux blocs « référence de tension » et « résistance active ». L'étalement est accru par l'absence d'appairage des miroirs de courant.

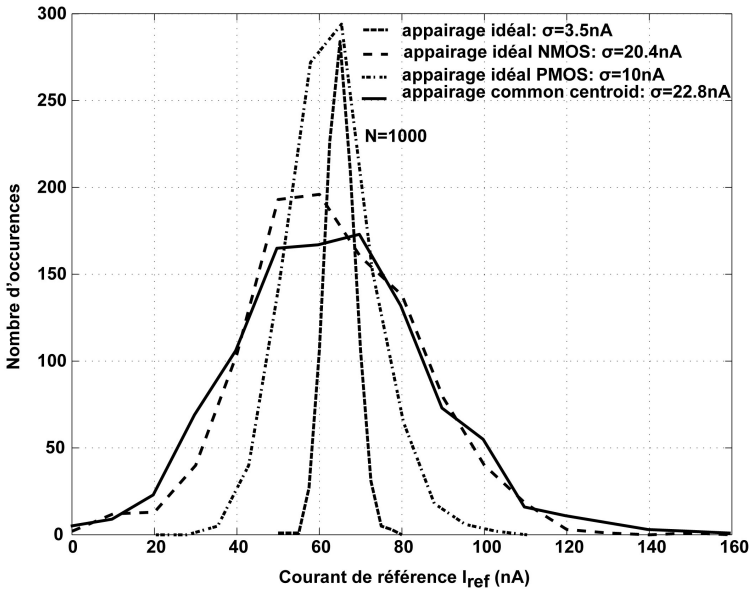

Fig. IV.18 – Dispersion de la référence de courant Oguey 50nA

Les valeurs expérimentales de la référence de courant de 1μA sont moins dispersées car le niveau d'inversion et les surfaces des transistors, en particulier ceux du miroir de courant, sont plus importants que ceux de la référence de courant de 50nA, ce qui diminue la sensibilité au désappariement. En outre les transistors du miroir de courant sont appairés partiellement (matrice pseudo « common centroïd »).
Les performances des références de courant ont été calculées avec la méthodologie et déterminées en simulation en utilisant les paramètres faible inversion. Les mesures expérimentales ont montrée que les références de courant fonctionnent en dessous d'1V d'alimentation, comme observé en simulation. En outre, les courants des références caractérisées corrèlent d'une part avec les valeurs calculées avec la méthodologie, et d'autre part avec celles simulées. Ainsi, non seulement la démarche proposée pour le dimensionnement de circuit fonctionnant en dessous du volt est validée, mais également la validité du modèle de simulation est confirmée sur la plage d'inversion modérée. Nous avons donc démontré qu'il est possible de réaliser des circuits nanowatt fonctionnant en dessous d'1V d'alimentation.
De plus, la sensibilité en tension d'alimentation et la sensibilité en température des références de courant sont correctement prédites par la méthodologie de conception (cf Tab.IV.6). La sensibilité des références de courant au désappariement a été calculée pour une déviation de « 1 σ » en considérant les miroirs de courant parfaitement appairés. Les valeurs calculées sont proches de celles issues de simulation, obtenues en forçant un appairage parfait des miroirs de courant (coefficient de corrélation unitaire), ce qui n'est pas le cas en réalité, même pour un appairage « common centroïd ». L'expression proposée pour la sensibilité au désappariement (IV.68) devrait être modifiée pour inclure la dépendance au désappariement des miroirs de courant, qui intervient principalement dans la dépendance des références de courant en « mismatch ». En revanche, la méthodologie sous-estime le PSRR et la sensibilité des références de courant au « process ».

Il est à remarquer que les références de courant ne sont pas protégées contre une attaque en tension d'alimentation basse fréquence. Ainsi, la modélisation de la sensibilité statique en tension d'alimentation est validée, de même que celle en température et en « mismatch ».

Performances	**Référence 1μA**			**Référence 50nA**		
	SDM	**simulation (nominal)**	**mesure**	**SDM**	**simulation (nominal)**	**mesure**
I_{ref} à $V_{dd_{min}}$	1.22μA	1.16μA	1.17μA	70nA	67nA	61.nA
$V_{dd_{min}}$ (V)	0.9	0.9	0.990	0.750	0.750	0.800
Sensibilité de I_{ref} à V_{dd} (%/V)	22	20	32	37	31	39
PSRR (nA/V)	73	366		8	22	
Sensibilité de I_{ref} à T°C (%/°C)	0.08	0.09	-	0.07	0.05	-
Sensibilité de I_{ref} au process (%)	5	13	-	4	13	-
Sensibilité de I_{ref} au mismatch (%)	2.2	3	-	12.5	14.4	-

Tab. IV.6 – Performances des références de courant Oguey mesurées

Les références de courant en boitier doivent être soumises prochainement à une variation de tension d'alimentation superposée à une tension d'alimentation statique correspondant à la tension d'alimentation minimum $V_{dd_{min}}$. Cette variation représente une attaque en tension d'alimentation. Elle permet de déterminer leur PSRR à partir des valeurs du courant en régime établi. La simulation de cette attaque sur la référence 50nA (Fig.IV.19) montre déjà la grande sensibilité de référence de courant à la tension d'alimentation. En particulier, elle illustre son comportement lors d'une attaque en tension d'alimentation, à savoir

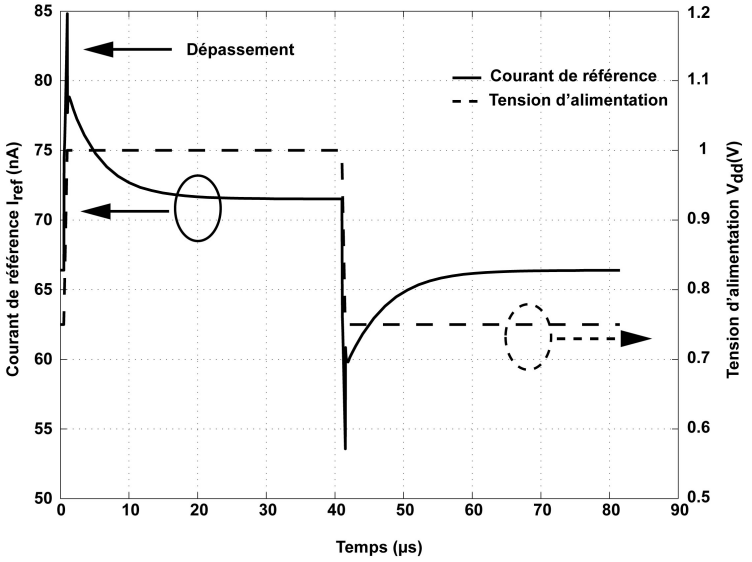

Fig. IV.19 – Attaque en tension d'alimentation sur la référence de courant Oguey 50nA

la présence d'un régime transitoire du courant comportant un dépassement significatif (>50% du courant en régime établi). La forte dépendance en tension d'alimentation de la référence de courant 50nA pour

une perturbation basse fréquence demande à être confirmée expérimentalement. La forte sensibilité des références de courant à la tension d'alimentation est principalement causée par les miroirs de courant. Pour optimiser cette architecture, les structures de recopie devraient être cascodées, au détriment d'une perte en tension d'alimentation minimale.

IV.3.4 Référence de courant Camacho-Galeano nanowatt

La référence de courant de type Camacho-Galeano (cf Fig.IV.20) est constituée d'une référence de tension polarisant (N1 et N2) le drain du transistor inférieur (N4), d'une structure Self-Cascode (N3 et N4). Ce transistor (N4), supposé en conduction, joue le rôle d'une résistance active. La référence de tension est identique à celle utilisée dans la référence de courant de type Oguey. Le courant circulant dans la résistance est utilisé pour polariser le transistor diode de la référence de tension, à l'aide d'un miroir de courant (P1 et P2). La grille des transistors de la structure Self-Cascode est polarisée par le courant circulant dans la résistance, à l'aide d'un miroir de courant (P1 et P3). De ce fait, l'architecture est dite autopolarisée.

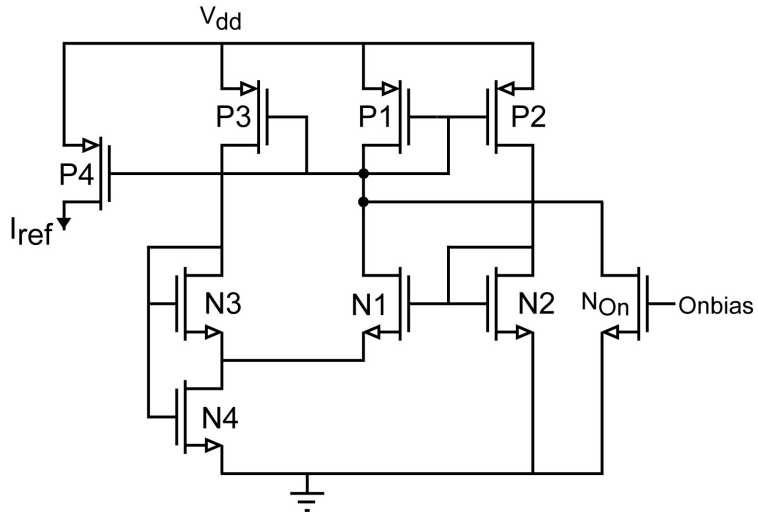

Fig. IV.20 – Schéma de la référence de courant Camacho-Galeano

Elle dérive de l'architecture classique proposée par Oguey, également autopolarisée, basée sur une référence de tension polarisant une résistance active.
Le transistor P4 recopie le courant de référence afin de polariser un circuit extérieur. Le transistor N_{On} sert à démarrer la référence de courant en reliant la grille des transistors PMOS du miroir de courant à la masse, par application d'une tension de grille positive suffisante sur Onbias, ce qui force le courant dans ces transistors et donc dans les branches de la référence de courant.

IV.3.4.1 Modélisation du circuit

IV.3.4.1.a Description générale

L'architecture se décompose en trois blocs de transistors appairés :
- la référence de tension constituée de deux transistors (N1 et N2)
- la résistance active formée de deux transistors (N3 et N4)
- le miroir de courant comprenant un transistor par branche et au moins un transistor de sortie permettant de polariser un circuit externe, soit au moins quatre transistors (P1, P2, P3 et P4)

Les éléments associés aux transistor NMOS (respectivement PMOS) sont indicés à l'aide de Ni (respectivement Pi), avec $i = \{1, 2, 3, 4\}$. Cependant les transistors PMOS étant identiques, leur facteur de transconductance carré commun se note $\beta_{0_P} = \mu_{0_P} C'_{ox}$. Pour les transistors NMOS, il est noté $\beta_{0_{Ni}} = \mu_{0_{Ni}} C'_{ox}$. Les courants de normalisation sont notés $I_{S_{Ni}}$ (où i = 1, 2 ,3 ou 4). Les rapports W/L sont désignés par S_{Pi} pour les transistors PMOS et S_{Ni} pour les transistors NMOS.

Les équations de la référence de courant proposées dans [57,58], initialement établies à l'aide du modèle ACM (pendant du modèle EKV3.0), ont été reformulées selon le formalisme EKV. Dans la méthodologie ou approche de Camacho-Galeano, les transistors de la référence de tension sont dimensionnés de manière à être en régime d'inversion faible, d'où la description suivante :

$$V_{ref} = V_{S_{N1}} = U_T ln\left(\frac{S_{P2} S_{N1}}{S_{P1} S_{N2}}\right) \tag{IV.79}$$

La référence de tension est donc PTAT (« Proportional To Absolute Temperature ») et la valeur de tension générée ne dépend que des dimensions des transistors qui la constituent. Le caractère PTAT de la référence de tension, facilite l'étude du comportement en température de la référence de courant.
De plus, les transistors formant la résistance active polarisée sont dimensionnés en fixant un niveau d'inversion particulier $i_{f_{N3}} = IC_{N3} = \frac{3}{4}$ pour le transistor en saturation (N3), ce qui simplifie le système d'équations décrivant le circuit et le dimensionnement des transistors est facilité. Le courant de normalisation utilisé est considéré constant et pris à sa valeur en milieu d'inversion modérée I_{0_N}.
Le courant traversant N3 et celui traversant N4 sont notés respectivement $I_{D_{N3}}$ et $I_{D_{N4}}$. Ils s'expriment comme :

$$\begin{aligned} I_{D_{N3}} &= I_{0_N} S_{N3} i_{f_{N3}} \\ I_{D_{N4}} &= I_{0_N} S_{N4} (i_{f_{N4}} - i_{f_{N3}}) \end{aligned} \tag{IV.80}$$

Or les courants traversant les transistors de la structure Self-Cascode sont reliés au courant de référence comme suit :

$$\begin{aligned} I_{D_{N3}} &= \frac{S_{P3}}{S_{P1}} I_{ref} \\ I_{D_{N4}} &= (1 + \frac{S_{P3}}{S_{P1}}) I_{ref} \end{aligned} \tag{IV.81}$$

Ainsi, les dimensions des transistors N3 et N4 sont calculées avec :

$$\begin{aligned} S_{N3} &= \frac{S_{P3}}{S_{P1}} \frac{I_{ref}}{I_{0_N} \frac{3}{4}} \\ \frac{S_{N4}}{S_{N3}} &= \frac{\frac{3}{4}(1 + \frac{S_{P1}}{S_{P3}})}{i_{f_{N4}} - \frac{3}{4}} \end{aligned} \tag{IV.82}$$

en prenant $i_{f_{N4}}$ solution de :

$$ln\left(\frac{S_{P2} S_{N1}}{S_{P1} S_{N2}}\right) + 1 = ln\left(\sqrt{1 + 4 i_{f_{N4}}} - 1\right) + \sqrt{1 + 4 i_{f_{N4}}} - 1 \tag{IV.83}$$

L'équation a été obtenue à partir de la formulation EKV3.0 des niveaux d'inversion de N3 et N4, en considérant $i_{f_{N3}} = \frac{3}{4}$, ce qui donne une relation liant explicitement le courant de référence aux dimensions des transistors.

La dérive moyenne du procédé de fabrication ou variation process, peut être étudiée aisément, à partir des équations de la référence de courant et de la référence de tension.
De même que pour la référence de courant Oguey, la variation du courant de référence, au delà de la tension d'alimentation minimale de fonctionnement, implique le transistor N1 de la référence de tension ainsi que

les transistors P2, P3 et P4 des miroirs de courant, ce qui est favorable à l'utilisation de transistors de grande longueur de grille.
Cette architecture est facile à dimensionner dans les conditions de régimes d'inversion énoncées. Les dérives induites par la variation de la température, le mismatch, la dérive moyenne du procédé de fabrication (ou variation process) ou la tension d'alimentation, sont aisément calculables.
A l'instar de la référence de courant précédente, la tension d'alimentation minimale correspond à la plus grande des tensions de saturation calculées pour chacune des trois branches de l'architecture, à partir des tensions de saturation des transistors et des tensions de grille des transistors diode.
Cependant, la tension d'alimentation minimale de fonctionnement envisageable est largement supérieure au volt.De plus, le courant de normalisation I_{0_N} utilisé dans les équations ne prend pas en compte la réduction de la mobilité, sous l'influence du champ électrique vertical, or cet effet est non négligeable, ce qui dégrade la prédiction de la méthodologie de dimensionnement.

En revanche, les équations qui suivent, valides sans contraintes de niveau d'inversion, sont dérivées des expressions EKV2.0. Les expressions obtenues pour la référence de tension de l'architecture Oguey (§IV.3.3.1) sont valables dans le cas de la référence Camacho-Galeano, sans changement de notation, de même que les expressions de sensibilité aux différentes variations (température ...).
Le courant de drain du transistor N4, jouant le rôle de résistance active, est lié au courant de référence I_{ref} par :

$$I_{D_{N4}} = (1 + \frac{I_{S_{P3}}}{I_{S_{P1}}})I_{ref} \tag{IV.84}$$

Par ailleurs, le courant traversant le transistor N4 de la résistance active s'exprime comme la différence entre les courants normalisés direct et inverse :

$$I_{D_{N4}} = I_{S_{N4}}(i_{f_{N4}} - i_{r_{N4}}) = I_{S_{N4}}(i_{f_{N4}} - i_{f_{N3}}) \tag{IV.85}$$

avec :

$$\begin{aligned} i_{f_{N4}} &= ln^2(1 + e^{\frac{V_{P_{N4}}}{2U_T}}) \\ i_{f_{N3}} &= ln^2(1 + e^{\frac{V_{P_{N3}} - V_{ref}}{2U_T}}) \\ V_{P_{N4}} &= V_{P_{N3}} = 2U_T ln(e^{\sqrt{i_{f_{N4}}}} - 1) \end{aligned} \tag{IV.86}$$

En outre, N3 étant saturé, son courant normalisé direct $i_{f_{N3}}$ est égal à :

$$i_{f_{N3}} = \frac{I_{D_{N3}}}{I_{S_{N3}}} = \frac{I_{S_{P3}} I_{ref}}{I_{S_{P1}} I_{S_{N3}}} \tag{IV.87}$$

Par conséquent, le courant $I_{ref} = I_{D_{N1}}$ est solution de l'équation suivante :

$$I_{ref} = \frac{I_{S_{N4}}}{1 + \frac{I_{S_{P3}}}{I_{S_{P1}}} + \frac{I_{S_{P3}} I_{S_{N4}}}{I_{S_{P1}} I_{S_{N3}}}} ln^2 \left[1 + e^{\frac{V_{ref}}{2U_T}} \left(e^{\sqrt{\frac{I_{S_{P3}} I_{ref}}{I_{S_{P1}} I_{S_{N3}}}}} - 1 \right) \right] \tag{IV.88}$$

En supposant l'effet CLM négligeable pour les transistors PMOS, leurs courants de normalisation sont de la forme $I_{S_{P_i}} = 2n_{q_P} \beta_{0_P} S_{P_i} U_T^2$ d'où :

$$I_{ref} = \frac{I_{S_{N4}}}{1 + \frac{S_{P3}}{S_{P1}} + \frac{S_{P3} I_{S_{N4}}}{S_{P1} I_{S_{N3}}}} ln^2 \left[1 + e^{\frac{V_{ref}}{2U_T}} \left(e^{\sqrt{\frac{S_{P3} I_{ref}}{S_{P1} I_{S_{N3}}}}} - 1 \right) \right] \tag{IV.89}$$

L'équation (IV.88) (comme (IV.89)) est non explicite en I_{ref}, ce qui nécessite de faire appel à un logiciel de calcul numérique pour la résoudre.

Les équations obtenues sont plus complexes que celles proposées par Camacho-Galeano [57,58], mais elles rendent possible la polarisation des transistors sans contraintes d'inversion, en tenant compte de la réduction de mobilité sous l'effet du champ électrique vertical via le courant de normalisation $I_{S_{Ni}}$. Le niveau d'inversion idéal dépendra des spécifications et de la technologie.

IV.3.4.1.b Démarche d'étude des déviations

L'architecture étudiée est une référence de courant aussi, sa sensibilité aux différentes déviations doit être la plus faible possible. De même que lors de l'étude la référence Oguey, pour chaque type de déviation, la sensibilité de l'architecture est étudiée en commençant par l'étude de chaque bloc au moyen de la méthode des petites variations, avant d'être étendue au circuit complet.
Pour l'étude du circuit en tension d'alimentation, les courants de normalisation sont reformulés pour faire apparaître la dépendance en tension d'alimentation via l'effet CLM. Les transistors connectés en diode sont supposés peu sensibles à l'effet CLM (cf §IV.3.2.1), aussi seul les transistors saturés P2, P3 et N1 sont concernés. Leurs expressions sont identiques à celles utilisées pour la référence de courant Oguey(IV.44).

La dépendance aux différentes variations de la référence de tension a déjà été étudiée pour la référence de courant Oguey, aussi il reste à obtenir celle de la structure Self-Cascode avant d'évaluer celle de l'architecture complète. Nous commençons par l'étude du comportement de la référence de courant en température.

IV.3.4.1.c Dépendance en température

La dépendance en température du bloc résistance active est obtenue en utilisant la méthode de différenciation à l'instar de la référence de tension Self-Cascode (§IV.3.2.1) :

En supposant $T = T_0 + \delta T$, la dépendance en température est obtenue par différenciation (cf §III.4.4.2) du courant de la résistance active, selon les courants normalisés à partir de (IV.85) :

$$\begin{aligned}\frac{\delta I_{ref}}{I_{ref}(T_0)} = \frac{\delta I_{S_{N4}}}{I_{S_{N4}}(T_0)} + \frac{1}{1+\frac{I_{S_{P3}}(T_0)}{I_{S_{P1}}(T_0)}}\frac{I_{S_{N4}}(T_0)}{I_{ref}(T_0)}\Bigg[(i_{f_{N4}}G(i_{f_{N4}}))(T_0)\delta(\frac{V_{ref}}{U_T}) \\ + \left(\frac{G(i_{f_{N4}}(T_0))}{G(i_{f_{N3}}(T_0))}i_{f_{N4}(T_0)} - i_{f_{N3}(T_0)}\right)\frac{\delta i_{f_{N3}}}{i_{f_{N3}}(T_0)}\Bigg]\end{aligned} \tag{IV.90}$$

Cette expression est explicitée en différenciant le niveau d'inversion $i_{f_{N3}} = \frac{I_{D_{N3}}}{I_{S_{N3}}}$ en :

$$\delta i_{f_{N3}} = \frac{\delta I_{D_{N3}}}{I_{S_{N3}}} - \frac{I_{D_{N3}}}{I_{S_{N3}}}\frac{\delta I_{S_{N3}}}{I_{S_{N3}}} \tag{IV.91}$$

Par ailleurs, les courants $I_{D_{N3}}$ et $I_{D_{N4}}$ s'écrivent :

$$\begin{aligned} I_{D_{N3}} &= \frac{S_{P3}I_{ref}}{S_{P1}} \qquad \text{(effet CLM négligé)} \\ I_{D_{N4}} &= (1+\frac{I_{S_{P3}}}{I_{S_{P1}}})I_{ref}\end{aligned} \tag{IV.92}$$

Ainsi l'équation (IV.90) devient :

$$\frac{\delta I_{ref}}{I_{ref}(T_0)} = \frac{\frac{\delta V_{ref}}{U_{T0}} - \frac{V_{ref}(T_0)}{U_{T_0}}\frac{\delta T}{T_0} + \left(\frac{1}{G(i_{f_{N4}}(T_0))} - \frac{1}{G(i_{f_{N3}}(T_0))}\right)(2-k)\frac{\delta T}{T_0}}{\frac{1}{G(i_{f_{N4}}(T_0))} - \frac{1}{G(i_{f_{N3}}(T_0))}} \tag{IV.93}$$

Les dépendances en température des deux principaux blocs de l'architecture ont été exprimées. Ainsi, la dépendance en température de l'architecture complète peut être décrite en associant (IV.93) à (IV.50) le terme δI_{ref} étant négligé pour la référence de tension :

$$\frac{\delta I_{ref}}{I_{ref}(T_0)} = \frac{\left(\frac{1}{G(i_{f_{N4}}(T_0))} - \frac{1}{G(i_{f_{N3}}(T_0))}\right) - \left(\frac{1}{G(i_{f_{N2}}(T_0))} - \frac{1}{G(i_{f_{N1}}(T_0))}\right)}{\frac{1}{G(i_{f_{N4}}(T_0))} - \frac{1}{G(i_{f_{N3}}(T_0))}}(2-k)\frac{\delta T}{T_0} \tag{IV.94}$$

Après l'étude du comportement de la référence de courant en température, son comportement en procédé de fabrication va être abordé.

IV.3.4.1.d Dépendance en procédé de fabrication

La dépendance du courant de la résistance active aux variations process s'obtient par différenciation (cf §III.4.4.2), selon les courants normalisés, à partir de (IV.85) et (IV.87) :

$$\frac{\delta I_{ref}}{I_{ref}} = \frac{\delta I_{S_{N4}}}{I_{S_{N4}}} + \frac{1}{1+\frac{I_{S_{P3}}}{I_{S_{P1}}}}\frac{I_{S_{N4}}}{I_{ref}}\left[(i_{f_{N4}}G(i_{f_{N4}}))\delta(\frac{V_{ref}}{U_T}) + \left(\frac{G(i_{f_{N4}})}{G(i_{f_{N3}})}i_{f_{N4}} - i_{f_{N3}}\right)\frac{\delta i_{f_{N3}}}{i_{f_{N3}}}\right] \tag{IV.95}$$

Après simplification, l'expression devient :

$$\frac{\delta I_{ref}}{I_{ref}} = \frac{\frac{\delta V_{ref}}{U_T} + \left(\frac{1}{G(i_{f_{N4}})} - \frac{1}{G(i_{f_{N3}})}\right)\frac{\delta\beta_0}{\beta_0}}{\frac{1}{G(i_{f_{N4}})} - \frac{1}{G(i_{f_{N3}})}} \tag{IV.96}$$

De même que pour la dépendance en température, la dépendance en process du courant délivré par la structure est obtenue en associant (IV.96) à (IV.60) le terme δI_{ref} étant négligé pour la référence de tension :

$$\frac{\delta I_{ref}}{I_{ref}} = \frac{\left(\frac{1}{G(i_{f_{N4}})} - \frac{1}{G(i_{f_{N3}})}\right) - \left(\frac{1}{G(i_{f_{N2}})} - \frac{1}{G(i_{f_{N1}})}\right)}{\frac{1}{G(i_{f_{N4}})} - \frac{1}{G(i_{f_{N3}})}}\frac{\delta\beta_0}{\beta_0} \tag{IV.97}$$

Suite à l'étude du comportement de la référence de courant en procédé de fabrication, sa sensibilité au désappariement des transistors va être explicitée.

IV.3.4.1.e Dépendance en désappariement

La dépendance du courant de la résistance active au mismatch, sans contraintes d'inversion, est obtenue, à partir de l'expression du mismatch en courant (III.32) appliquée au transistor N4 en négligeant la variation du potentiel de grille sous l'effet de la variation de courant, conséquence du mismatch :

$$\frac{\sigma_{I_{D_{N4}}}}{I_{D_{N4}}} = \sqrt{(\frac{\sigma_{\beta_0}}{\beta_0})^2 + \left[\frac{1}{n_q^2U_T^2}\frac{1}{i_{f_{N4}} - i_{f_{N3}}}ln\left(\frac{1+i_{f_{N4}}}{1+i_{f_{N3}}}\right)\right]\sigma_{V_{T0}}^2} \tag{IV.98}$$

Les coefficients de mismatch en tension de seuil $\sigma_{V_{T0}}$ et en facteur de transconductance $\frac{\sigma_{\beta_0}}{\beta_0}$ dépendent des dimensions des deux transistors N3 et N4 selon $P = \frac{A_P}{\sqrt{2}}\sqrt{\frac{1}{W_{N3}L_{N3}} + \frac{1}{W_{N4}L_{N4}}}$.

Puis, la dépendance en mismatch du courant délivré par la structure est obtenue en associant (IV.98) et (IV.65). Le lien entre $\frac{\delta I_{ref}}{I_{ref}}$ et δV_{ref} est obtenu à partir de (IV.96) en négligeant le terme $\delta\beta_0$:

$$\frac{\delta I_{ref}}{I_{ref}} = \sqrt{\left(\frac{\frac{1}{G(i_{f_{N1}})}\frac{\sigma_{I_{D_{N1}}}}{I_{D_{N1}}}}{\frac{1}{G(i_{f_{N4}})} - \frac{1}{G(i_{f_{N3}})}}\right)^2 + \left(\frac{\sigma_{I_{D_{N4}}}}{I_{D_{N4}}}\right)^2} \tag{IV.99}$$

Nous allons exprimer la sensibilité de la référence de courant à la tension d'alimentation.

IV.3.4.1.f Dépendance en tension d'alimentation

Pour l'étude du comportement de la structure aux variations de tension d'alimentation, la variation du courant de la résistance active (IV.95) établie pour l'étude en process, est reprise. Les variations des courants normalisés sont changées, en introduisant la dépendance en tension d'alimentation, via les courants de normalisation (IV.44) :

$$I_{S_{P3}} = I_{S_{thP3}}(1 + \lambda_P(V_{dd} - V_{G_{N3}} - V_{DS_{satP}})) \tag{IV.100}$$

Ainsi, le niveau d'inversion $i_{f_{N3}}$ est différencié, sous hypothèse de variations négligeables du potentiel de grille et de la tension de saturation drain/source, en :

$$\delta i_{f_{N3}} = \frac{\delta I_{D_{N3}}}{I_{S_{N3}}} = \frac{\delta I_{ref} I_{S_{P3}} + I_{ref} I_{S_{thP3}} \lambda_P \delta V_{dd}}{I_{S_{N3}} I_{S_{P1}}} \tag{IV.101}$$

et la dépendance en tension d'alimentation s'exprime sous la forme :

$$\frac{\delta I_{ref}}{I_{ref}} = \frac{\frac{\delta V_{ref}}{U_T} - \left(\frac{1}{G(i_{f_{N4}})} - \frac{1}{G(i_{f_{N3}})} - \frac{1}{G(i_{f_{N4}})}\frac{1}{1+\frac{S_{P3}}{S_{P1}}\left(1+\frac{I_{S_{N4}}}{I_{S_{N3}}}\right)}\right)\lambda_P \delta V_{dd}}{\frac{1}{G(i_{f_{N4}})} - \frac{1}{G(i_{f_{N3}})}} \tag{IV.102}$$

Finalement, la dépendance en tension d'alimentation du courant délivré par la structure est obtenue en associant (IV.102) à (IV.73) le terme δI_{ref} étant négligé pour la référence de tension, et en considérant que l'impédance d'entrée de la charge connectée sur le transistor P4 est négligeable par rapport à la résistance de sortie du transistor P4 :

$$\begin{aligned}\frac{\delta I_{ref}}{I_{ref}} = \Bigg[&\frac{\lambda_P \frac{1}{G(i_{f_{N2}})} - \lambda_{N1}\frac{1}{G(i_{f_{N1}})}}{\left(1+\frac{\lambda_{N1}U_T}{G(i_{f_{N1}})}\right)\left(\frac{1}{G(i_{f_{N4}})} - \frac{1}{G(i_{f_{N3}})}\right)} - \frac{1}{\frac{1}{G(i_{f_{N4}})} - \frac{1}{G(i_{f_{N3}})}}\left(\frac{1}{G(i_{f_{N4}})} - \frac{1}{G(i_{f_{N3}})}\right. \\ &\left. - \frac{1}{G(i_{f_{N4}})}\frac{1}{1+\frac{S_{P3}}{S_{P1}}\left(1+\frac{I_{S_{N4}}}{I_{S_{N3}}}\right)}\right)\lambda_P + \lambda_P\Bigg]\delta V_{dd}\end{aligned} \tag{IV.103}$$

Pour finir cette étude du comportement de l'architecture aux déviations, nous allons établir le schéma petit signal de la référence de courant avant d'expliciter son gain courant/tension d'alimentation.

IV.3.4.1.g Schéma petit signal et gain courant/tension d'alimentation

Le comportement de l'architecture suite à une perturbation de la tension d'alimentation est quantifié à l'aide du gain courant/tension d'alimentation dont l'expression est établie à partir du schéma petit signal du circuit (Fig.IV.21) :

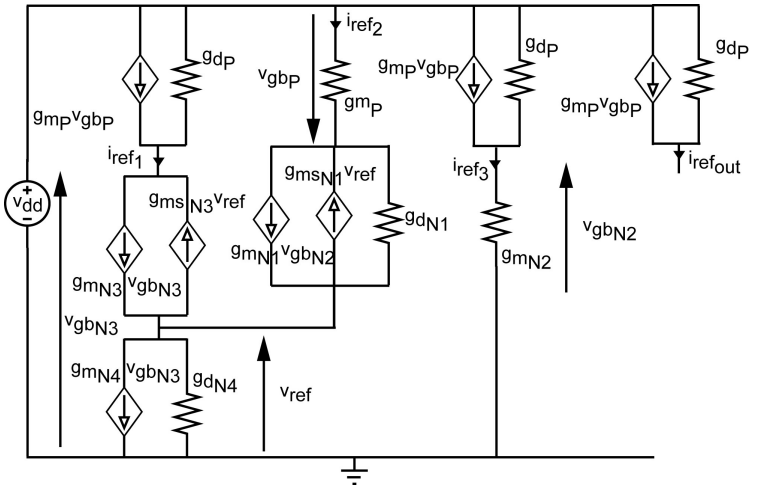

Fig. IV.21 – Schéma petit signal de la référence de courant Camacho-Galeano

Le gain courant/tension d'alimentation est :

$$\frac{i_{ref}}{v_{dd}} = gd_P\Bigg[1-\frac{gm_P}{gd_P}\left(1+\frac{gm_{N1}}{gm_{N2}gd_{N1}}\left(\frac{1}{gd_P}+\frac{1}{gm_{N2}}\right)^{-1}\right)$$
$$\left(1+\frac{gm_P}{gd_P}\frac{gm_{N1}}{gm_{N2}gd_{N1}}\left(\frac{1}{gd_P}+\frac{1}{gm_{N2}}\right)^{-1}+\frac{gms_{N1}}{gd_{N1}gd_{N4}}\left(1+\frac{n_{v_{N4}}gm_{N4}}{gd_{N4}}\frac{1}{1-\frac{n_{v_{N4}}gm_{N4}}{gd_{N4}}}\right)\right.$$
$$\left(1+\frac{gd_P}{gm_{N3}-gms_{N3}\frac{gm_{N4}}{gd_{N4}}}(1-\frac{gms_{N3}}{gd_{N4}})\right)^{-1}\left(gd_P(\frac{gm_P}{gd_P}-\frac{n_{v_{N4}}gm_P}{gd_{N4}-n_{v_{N4}}gm_{N4}})\right)$$
$$\left.-gm_{N4}gm_P\frac{gms_{N1}}{gd_{N1}gd_{N4}}\frac{1}{1-\frac{n_{v_{N4}}gm_{N4}}{gd_{N4}}}\frac{n_{v_{N4}}}{gd_{N4}}\right)^{-1}\Bigg] \tag{IV.104}$$

IV.3.4.2 Conception et simulation du circuit

De façon identique à la référence de courant Oguey, deux références de courant envoyées par la suite en fabrication, ont été dimensionnées en suivant le même cahier des charges et des objectifs identiques concernant la méthodologie.
En outre les spécifications faible tension sont respectées ici aussi en changeant le niveau d'inversion des transistors PMOS constituant les miroirs de recopie ainsi que celui des transistors N3 et N4 constituant la résistance active.

Le plan de conception utilisé (Fig.IV.22) pour dimensionner les références de courants commence comme celui proposé pour les références Oguey par le dimensionnement des transistors du miroir de courant du bloc de recopie du courant. Les transistors PMOS sont dimensionnés en utilisant le courant de normalisation de milieu d'inversion modérée I_0. Les dimensions des transistors PMOS sont choisies de façon à minimiser l'effet CLM et donc la dépendance en tension d'alimentation de la référence de courant, par le choix d'une longueur de grille suffisante. Afin de simplifier le dessin des masques, les transistors PMOS sont supposés identiques, y compris le transistor P4 de recopie du courant de référence. Le coefficient γ_{I_D} vaut alors 2. Puis, le transistor N_{On} est dimensionné de sorte à laisser passer un courant de fuite négligeable, devant le courant de référence cible I_{ref}, à l'état bloqué lorsque le potentiel de grille Onbias est nul (W= 20μm et L=2 μm).
La table de dimensions est également crée au début du plan de conception.

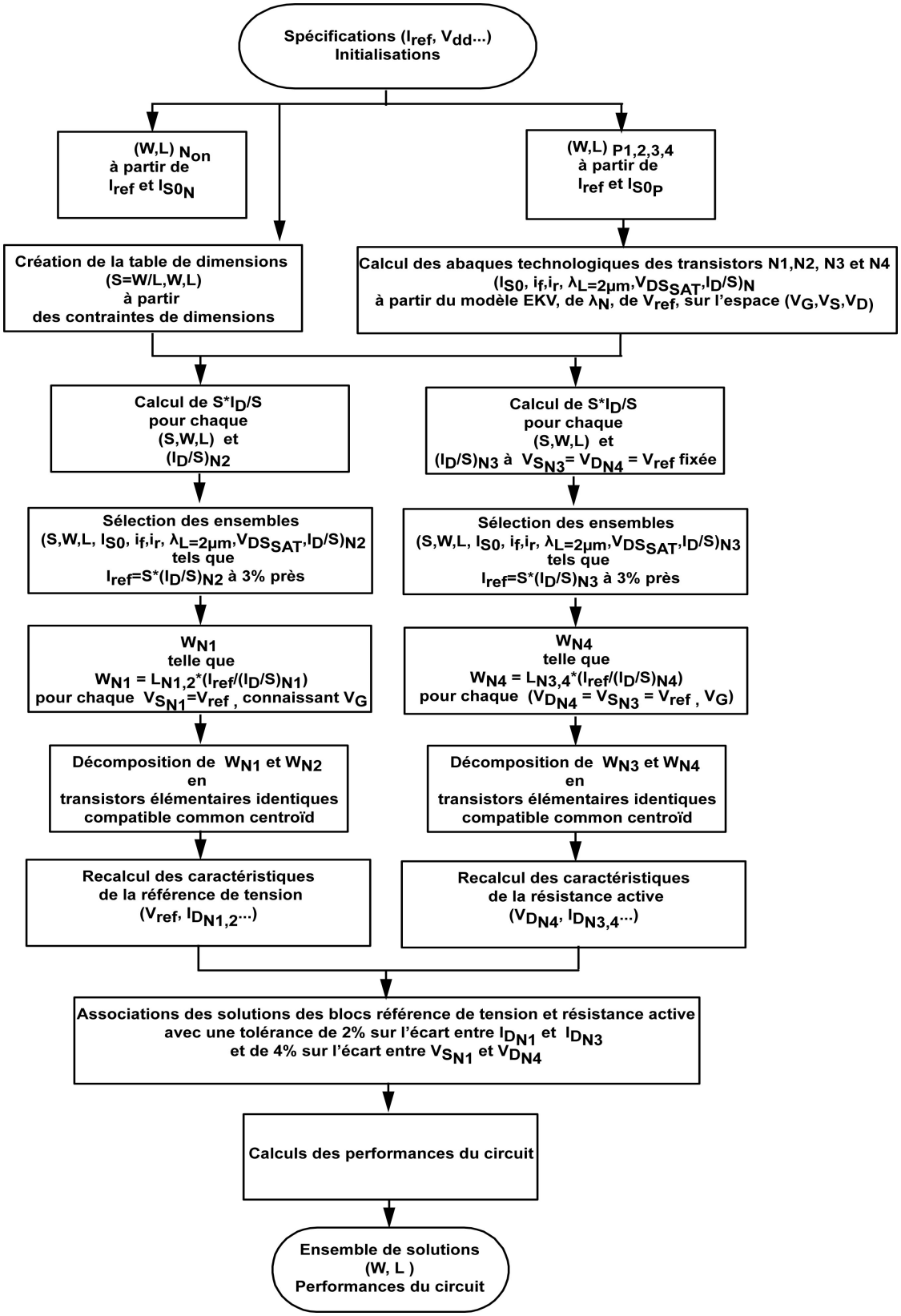

Fig. IV.22 – Plan de conception de la référence de courant Camacho-Galeano

Les plages de tension sont alors définies :
- la plage de tension de grille est identique à celle choisie pour la référence de courant Oguey.
- les tensions de source des transistors N1 et N3 (V_{ref}) ainsi la tension de drain du transistor N4 (V_{ref}) sont comprises entre 0V et 100mV (tension de saturation de drain en inversion faible).

Des limites de niveau d'inversion sont également définies pour les transistors N2 et N3, de même qu'une limite de surface.
Alors, les abaques technologiques (N_a^*, V_P, ..., λ pour $L = 2\mu m$, V_{DSsat}, I_D/S) de chaque transistor sont calculés sur l'espace de tensions ((V_G) pour N2, (V_G,V_S) pour N1, (V_G,V_S) pour N3, (V_G,V_D) pour N4).
Puis les dimensions compatibles pour le bloc de référence de tension sont déterminées par croisement des abaques technologiques correspondants, selon la même démarche que pour la référence de tension de la structure de type Oguey. Les caractéristiques de la référence de tension sont recalculées pour chaque solution compatible, à partir des expressions générales proposées au §IV.3.4.1.
Ensuite, les dimensions compatibles pour le bloc résistance active sont déterminées de même que pour le bloc référence de tension. A partir de l'abaque technologique du transistor N3 et de l'abaque de dimensions, la largeur W3 de ce transistor est déterminée à tension de source $V_{S_{N3}} = V_{ref}$ fixée. La largeur du transistor N4 est alors déterminée en supposant identiques les longueurs des deux transistors, par $\gamma_{I_D} \cdot I_{ref}$ le ratio du courant sur le courant de drain du transistor carré $I_{D_{N4}}/S_{N4}$ connaissant L et la tension de grille. La valeur de W4 retenue correspond à l'entier le plus proche.
Les transistors N3 et N4 sont appairés. Ensuite, le processus est itéré sur l'ensemble des valeurs de tension de grille et donc de dimensions de l'abaque de dimensions, puis pour chaque valeur de tension de drain de N4 (V_{ref}). Une fois terminé, I_{ref}, V_{ref} et les caractéristiques de la résistance active sont recalculées pour chaque solution compatible, à partir des expressions générales proposées au §IV.3.4.1.
Les tables de solutions des blocs référence de tension et résistance active sont croisées. A solution du bloc de référence de tension donnée, les solutions du bloc résistance active lui sont associées si l'écart entre le courant de N1 avec ceux de N3 est dans une tolérance de 2%, et si l'écart entre la tension de source de N1 avec celle de drain de N4 est dans une tolérance de 4%. Enfin, les performances du circuit sont calculées pour chaque solution compatible, à partir des expressions générales proposées au §IV.3.4.1.

Les solutions dimensionnées pour le cahier des charges précédemment indiqué sont présentées dans les tableaux (IV.7) et (IV.8).
Elles ont été dimensionnées avec les abaques de paramètres déjà utilisés pour la référence de courant

	N1	**N2**	**N3**	**N4**	N_{On}	**P1,2,3,4**
Niveau d'inversion IC	0.16	0.65	6.9	11.4	-	8
Tension de Grille	373mV		585mV		-	-562mV
W [μm]	192	48	8	24	20	24
L [μm]	7		11		2	15
S=W/L	27.4	6.8	0.7	2.2	10	1.6
Surface [μm^2]	3512					
W_{elem} [μm]	16		4		-	8
N_{elem}	12	3	2	6	-	3
Surface Layout [μm^2]	8245					

Tab. IV.7 – Dimensions des éléments constitutifs de la référence de courant Camacho-Galeano fabriquée de 1 μA

Oguey, extraits à partir du modèle standard pour les transistors N3 et N4, polarisés en inversion modérée près de la forte inversion, et ceux extraits à partir du modèle faible inversion pour les autres transistors, polarisés en inversion modérée près de la faible inversion.

En outre, nous ne disposions pas non plus, pour la référence de courant Camacho-Galeano, des expressions des performances en tension d'alimentation, température, process, mismatch et PSRR, d'où le calcul a posteriori des performances pour les solutions retenues.
Les transistors sont polarisés en inversion modérée ce qui permet d'optimiser la surface du circuit et de

	N1	**N2**	**N3**	**N4**	N_{On}	**P1,2,3,4**
Niveau d'inversion IC	5.45E-2	0.15	1	2	-	1.4
Tension de Grille	309mV		436mV		-	-427mV
W [μm]	44	16	4	8	20	5
L [μm]	12		18		2	15
S=W/L	3.66	1.33	0.22	0.44	10	0.33
Surface [μm^2]	1276					
W_{elem} [μm]	4		2		-	5
N_{elem}	11	4	2	4	-	1
Surface Layout [μm^2]	4235					

Tab. IV.8 – Dimensions des éléments constitutifs de la référence de courant Camacho-Galeano fabriquée de 50 nA

respecter la spécification de faible tension d'alimentation.

Le niveau d'inversion choisi pour N1 est inférieur à 0.6 mais ce transistor est saturé, donc le modèle de simulation faible inversion (§III.5.2.1) reste valide si une déviation de 10% est considérée comme acceptable.
Les transistors du miroir de courant ne peuvent pas être répartis dans une matrice common centroïd mais seulement dans une matrice pseudo common centroïd.

Le transistor N1 est polarisé à un très faible niveau d'inversion du transistor N1, pour lequel le modèle de simulation de faible inversion n'est pas prédictif.
Les transistors du miroir de courant ne peuvent pas être répartis dans une matrice common centroïd.
Les références de courant dimensionnées ont été simulées, en fonction de la tension d'alimentation, avec le

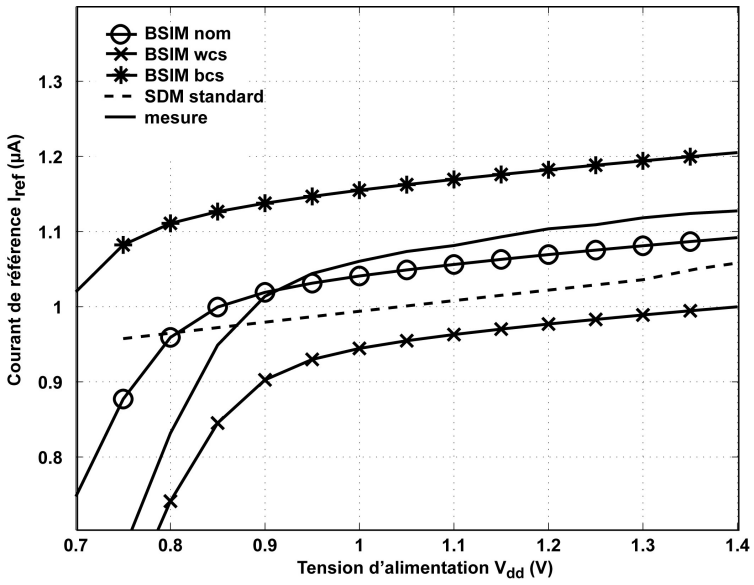

Fig. IV.23 – Caractéristique simulée en modèle standard de la référence de courant Camacho-Galeano 1uA

modèle standard, pour les transistors N3 et N4, et avec le modèle faible inversion pour les autres transistors (Fig.IV.23 et IV.24). Les courbes calculées par la méthodologie correspondent aux courbes simulées dans le cas process nominal. Les références démarrent bien en dessous d'1V d'alimentation et délivrent bien le courant spécifié par le cahier des charges, à la tension d'alimentation minimale. Cependant elles sont dépendantes de la tension d'alimentation. Leurs performances obtenues en simulation avec les paramètres faible inversion sont résumées au tableau (IV.9), avec celles obtenues expérimentalement.
La référence de courant 50nA offre un compromis acceptable entre les différentes performances. Il n'est

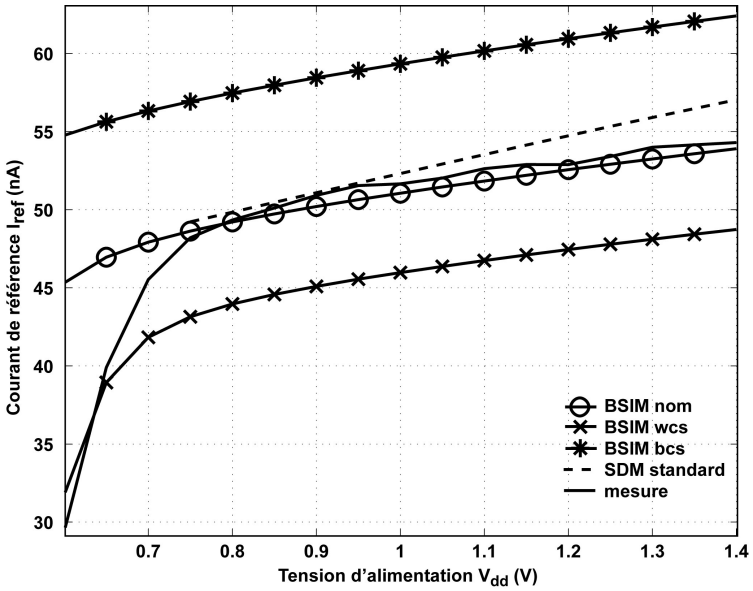

Fig. IV.24 – Caractéristique simulée en modèle standard de la référence de courant Camacho-Galeano 50nA

pas nécessaire de dimensionner une solution optimisée.

IV.3.4.3 Dessin des masques

Les layout des deux références de courant Camacho-Galeano dimensionnées et envoyées en fabrication sont proposés sur les figures (IV.25) et (IV.26).

Les différents blocs ont été disposés de façon à obtenir les layout les plus compacts possibles ce qui réduit les variations des paramètres technologiques entre blocs et donc réduit la sensibilité des références de courant à ces variations.
La figure (IV.25) correspond à la référence de courant de 1μA et la figure (IV.26) à la référence de courant de 50nA.

IV.3.4.4 Résultats expérimentaux

Les références de courant Camacho-Galeano fabriquées ont été caractérisées en tension d'alimentation dans les mêmes conditions que les références de courant précédentes. Parmi les neuf échantillons qui ont été mesurés sous pointes, quatre échantillons se sont révélés fonctionnels pour les deux références de courant avec trois valeurs à 1.03μA et une 1.30μA pour la référence de 1μA, et entre 30nA et 50nA pour la référence de 50nA. Par ailleurs, les valeurs obtenues pour les références de nos cinq boitiers sont comprises entre 0.97μA et 1.07μA pour la référence de 1μA, et entre 40nA et 60nA pour la référence de 50nA.
De même que les références Oguey précédentes, les références caractérisées se sont révélées fonctionnelles

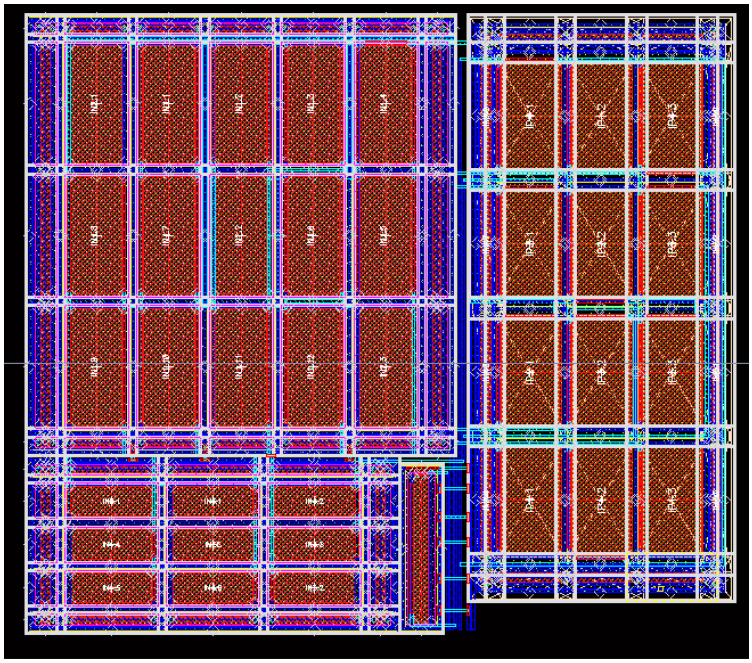

Fig. IV.25 – Layout de la référence de courant Camacho-Galeano 1uA

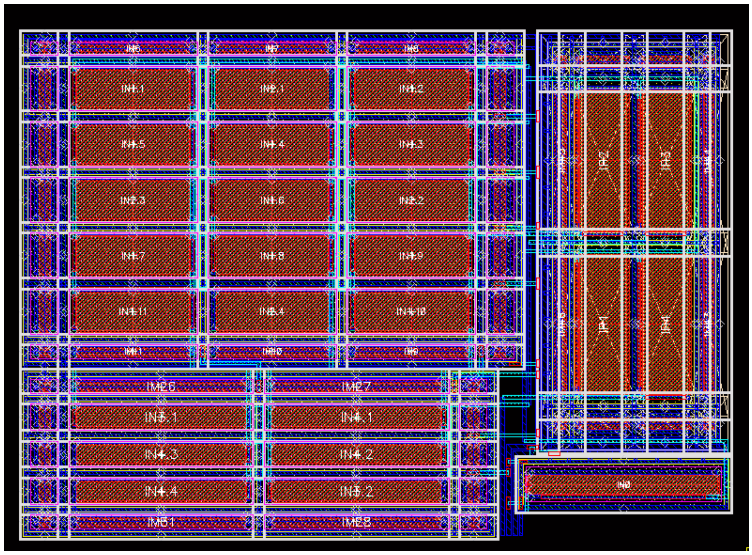

Fig. IV.26 – Layout de la référence de courant Camacho-Galeano 50nA

en dessous de 1V de tension d'alimentation (tension d'alimentation minimale comprise entre 0.7 et 0.95V).

Les courbes expérimentales illustrent le comportement des références de courant en tension d'alimentation, pour la référence de courant 1μA (Fig.IV.27) et la référence de courant 50nA (Fig.IV.28).

Les courbes expérimentales sont décalées, mais plus faiblement que celles obtenues avec les références de courant Oguey, par rapport aux courbes obtenues avec la méthodologie (SDM) ainsi qu'en simulation, même dans les cas process extrêmes (Fig.IV.23 et IV.24). L'explication de ces décalages est identique à celle proposée pour les références de courant Oguey, à savoir qu'ils sont principalement expliqués par le choix des paramètres extraits à partir du modèle standard, et dans une moindre mesure ils sont consécutifs à la qualité du lot. A l'instar des références précédentes, les courbes calculées par la méthodologie avec les

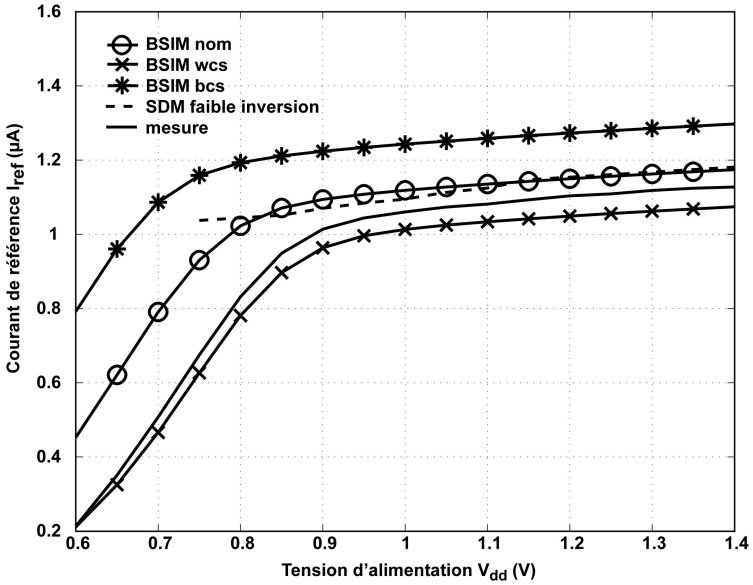

Fig. IV.27 – Caractéristique mesurée et simulée en modèle faible inversion de la référence de courant Camacho-Galeano 1uA

paramètres extraits à partir du modèle faible inversion, ainsi que celles simulées avec le modèle faible inversion pour l'ensemble des transistors, correspondent aux courbes expérimentales (Fig.IV.27 et Fig.IV.28).

Par ailleurs, de même que pour la référence de courant Oguey, la sensibilité à l'appairage des miroirs de courant est illustrée par des simulations (Fig.IV.29) en « mismatch » de type Montecarlo effectuées dans les même conditions, et explique l'étalement des valeurs expérimentales de la référence de courant 50nA. Cependant, les écarts sont plus faibles que pour la référence de courant de type Oguey car dans la référence de courant de type Camacho-Galeano, la structure jouant le rôle de résistance active est une référence de tension comme la structure qui la polarise, ce qui diminue la sensibilité de l'architecture aux variations de procédés de fabrication.
De même que pour la référence de courant Oguey de 1μA, les valeurs expérimentales de la référence de courant de 1μA sont moins dispersées en raison de l'appairage partiel et de la surface des transistors du miroir de courant.
Les performances des références de courant ont été calculées avec la méthodologie et déterminées en simulation en utilisant les paramètres faible inversion. L'adéquation des mesures expérimentales avec les simulations, à savoir des références de courant fonctionnant en dessous d'1V d'alimentation et des valeurs de courant cohérentes avec celles obtenues par calcul et simulation, confirme la capacité de la méthodologie à concevoir des circuits nanowatt fonctionnant en dessous d'1V d'alimentation. Pour les références de courant Camacho-Galeano également, la sensibilité en tension d'alimentation et la sensibilité en température des références de courant sont correctement prédites par la méthodologie de conception (cf Tab.IV.9). La sensibilité des références de courant au désappariement a été calculée avec les même sconsidérations sur les miroirs de courant que dans le cas des références de courant Oguey. De même que pour les références de courant précédentes les valeurs calculées sont proches de celles issues de simulation, obtenues en forçant un appairage parfait des miroirs de courant (coefficient de corrélation unitaire). L'expression proposée pour la sensibilité au désappariement (IV.99) devrait elle aussi être modifiée pour inclure la dépendance au désappariement des miroirs de courant, qui intervient principalement dans la dépendance des références de courant en « mismatch ». En revanche, la méthodologie sous-estime le PSRR et la sensibilité des références de courant au « process ». Il est à remarquer que les références de courant Camacho-Galeano ne sont pas non plus protégées contre une attaque en tension d'alimentation basse fréquence. Ainsi, la modélisation de la sensibilité statique en tension d'alimentation est validée, de même que celle en température et en « mis-

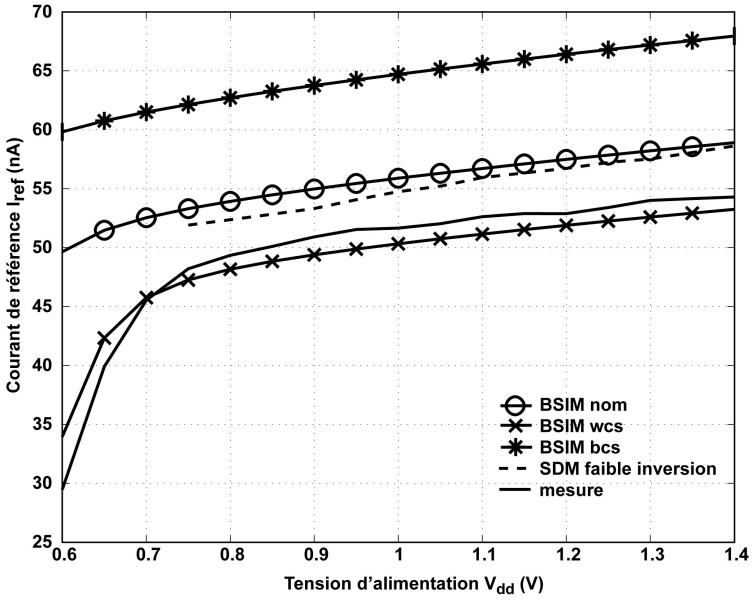

Fig. IV.28 – Caractéristique mesurée et simulée en modèle faible inversion de la référence de courant Camacho-Galeano 50nA

match ».

Performances	Référence 1μA			Référence 50nA		
	SDM	**simulation (nominal)**	**mesure**	**SDM**	**simulation (nominal)**	**mesure**
I_{ref} à $V_{dd_{min}}$	1.05μA	1.09μA	1.04μA	52nA	53nA	50nA
$V_{dd_{min}}$ (V)	0.9	0.9	0.950	0.75	0.75	0.85
Sensibilité de I_{ref} à V_{dd} (%/V)	24	12	23	13	17	16
PSRR (nA/V)	14	160		0.6	12	
Sensibilité de I_{ref} à T°C (%/°C)	0.1	0.1	-	0.13	0.07	-
Sensibilité de I_{ref} au process (%)	7	12	-	8	12	-
Sensibilité de I_{ref} au mismatch (%)	3	2.6	-	7	7.5	-

Tab. IV.9 – Performances des références de courant Camacho-Galeano mesurées

De même que les références précédentes, les références de courant Camacho-Galeano en boitier seront soumises prochainement à une variation de tension d'alimentation superposée à une tension d'alimentation statique, représentant une attaque en tension d'alimentation, afin de déterminer leur PSRR. La forte dépendance en tension d'alimentation de la référence de courant 50nA pour une perturbation basse fréquence est montrée en simulation (Fig.IV.30).
Ici aussi, cette forte dépendance en tension d'alimentation est principalement causée par les miroirs de courant, et l'optimisation de cette architecture passe par des structures de recopie cascodées, au détriment

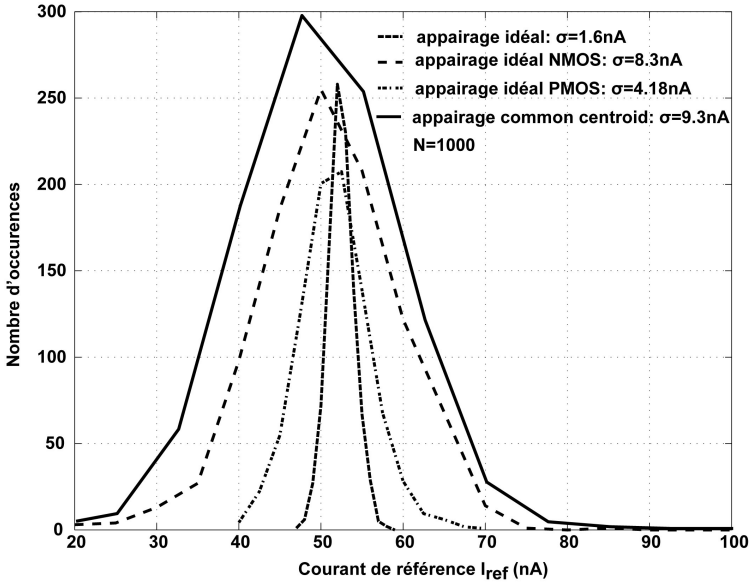

Fig. IV.29 – Dispersion de la référence de courant Camacho-Galeano 50nA

d'une perte en tension d'alimentation minimale.

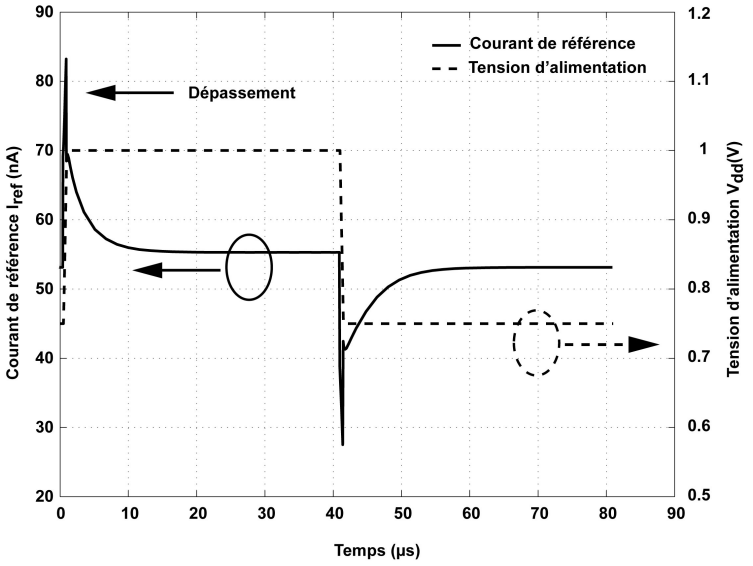

Fig. IV.30 – Attaque en tension d'alimentation sur la référence de courant Camacho-Galeano 50nA

IV.3.5 Performances des références de courant optimisées

La sensibilité aux différentes déviations d'une référence de courant doit être la plus faible possible. La référence de courant Camacho-Galeano 50nA déjà dimensionnée réalise un compromis acceptable entre les différentes performances, ainsi il n'a pas été nécessaire de dimensionner une nouvelle solution. Les dimensions et performances de la solution dimensionnée sont reprises. Aussi, seul la référence de courant Oguey de 50nA a été redimensionnée, dans une optique d'optimisation. Il a été choisi la meilleure solution parmi celles dimensionnées avec la méthodologie selon les performances calculées pour chaque solution, à l'aide des expressions de sensibilité en tension d'alimentation, température, « process » et « mismatch ».

La sensibilité en tension d'alimentation étant importante du fait de la structure du miroir de courant, elle ne peut être réduite à des valeurs acceptables sans cascoder le miroir de courant. Aussi, l'optimisation vis à vis de cette déviation se transforme en limitation de la sensibilité de la référence à la tension d'alimentation. Les dimensions sont détaillées au tableau (IV.10).

	Référence Oguey					**Référence Camacho-Galeano**				
	N1	**N2**	**N3**	**N4**	**P1,2,3,4**	**N1**	**N2**	**N3**	**N4**	**P1,2,3,4**
Niveau d'inversion IC	0.4	0.94	2	2	1.4	5.45E-2	0.15	1	2	1.4
Tension de Grille	385mV		434mV		-427mV	309mV		436mV		-427mV
W [μm]	18	8	4	8	5	44	16	4	8	5
L [μm]	30		29		15	12		18		15
S=W/L	0.6	0.26	0.13	0.27	0.33	3.66	1.33	0.22	0.44	0.33
Surface [μm^2]	1468					1276				
W_{elem} [μm]	2		2		5	4		2		5
N_{elem}	9	4	2	4	1	11	4	2	4	1

Tab. IV.10 – Dimensions des éléments constitutifs des références de courant Oguey et Camacho-Galeano optimisées

Les performances des références sont résumées au tableau (IV.11). Les performances calculées avec la méthodologie et celles obtenues en simulation sont issues de paramètres faible inversion. Les références démarrent bien en dessous d'1V d'alimentation et délivrent bien un courant proche de celui spécifié par le cahier des charges, à la tension d'alimentation minimale. Cependant elles sont dépendantes de la tension d'alimentation.

La sensibilité en tension d'alimentation des références de courant est correctement prédite par la méthodologie de conception (cf Tab.IV.11).

Performances	**Référence Oguey**		**Référence Camacho-Galeano**	
	SDM	**simulation (nominal)**	**SDM**	**simulation (nominal)**
I_{ref} à $V_{dd_{min}}$	55nA	56nA	52nA	53nA
$V_{dd_{min}}$ (V)	0.75	0.75	0.75	0.75
Sensibilité de I_{ref} à V_{dd} (%/V)	37	30	13	17
PSRR (nA/V)	4	24	0.6	12
Sensibilité de I_{ref} à T°C (%/°C)	0.05	0.05	0.13	0.07
Sensibilité de I_{ref} au process (%)	4	12	8	12
Sensibilité de I_{ref} au mismatch (%)	8	7.5	7	7.5

Tab. IV.11 – Performances des références de courant Oguey et Camacho-Galeano optimisées

IV.4 Circuits nanowatt à polarisation fixée : conception et simulation

Les circuits présentés dans la présente section illustrent la mise en œuvre de la méthodologie sur les architectures à polarisation fixée et sa capacité à dimensionner des solutions optimisées au regard du cahier des charges circuit. Des solutions ont été dimensionnées sous spécifications de faible tension d'alimentation, de consommation nanoampère. Les solutions ont été validées en simulation.
Les architecture étudiées sont au nombre de trois :

- l'amplificateur de transconductance
- l'amplificateur opérationnel de type Miller
- le comparateur basé sur l'architecture d'amplificateur opérationnel de type Miller

La procédure de conception de circuits nanowatt appliquée aux circuits à polarisation fixée est brièvement rappelée.

IV.4.1 Mise en œuvre de la méthodologie

De façon similaire à la méthodologie de conception nanowatt appliquée à un circuit autopolarisé, le dimensionnement d'une solution initiale suit la procédure de dimensionnement de la solution initiale des circuits à polarisation fixée définie au §III.6.3 du chapitre §III.
La procédure de dimensionnement de la solution initiale des circuits à polarisation fixée commence par la description du circuit et l'établissement de son système d'équations valable sur l'ensemble de l'inversion à l'aide, d'une part des équations statiques du modèle EKV, à savoir le courant de drain statique EKV2.0 en saturation, car les transistors sont tous saturés, la définition du niveau d'inversion, la tension de saturation drain/source fonction du niveau d'inversion, et d'autre part du rapport gm/I_D (modèle EKV3.0), du schéma petit signal du transistor, avec les expressions des capacités, et de la modélisation des déviations.

L'élaboration du plan de conception d'un circuit, ou algorithme de résolution, utilise les relations établies, pour dimensionner les solutions compatibles avec le cahier des charges circuit. Dans le cas des circuits à polarisation fixée, l'espace de conception est parcourue en associant deux abaques fonction du niveau d'inversion IC : (I_C,gm/I_D) et $\lambda_{L=2\mu m}(IC)$. Les valeurs de niveau d'inversion IC suivent une répartition logarithmique. Le courant de normalisation est au choix fixé à sa valeur de milieu d'inversion modérée, et noté I_0, ou calculé pour chaque valeur de niveau d'inversion des abaques par interpolation d'un abaque de courant de normalisation formé pour une plage de valeurs de tension de grille. Il est alors noté I_{S0}. Les coefficients n_v et n_q du modèle EKV, sont fixés à leur valeur de milieu d'inversion modérée afin de simplifier la résolution. Pour chaque solution les performances sont recalculées en introduisant les capacités parasites.
De plus la dépendance de la tension de seuil en longueur de grille L est prise en compte via une table de valeurs de tension de seuil indexée en L de $2\mu m$ à $L_{max_{V_{T0}}} = 10\mu m$ par pas de $1\mu m$.

Le plan de conception est alors implémenté sous MATLAB et les solutions, calculées à partir du cahier des charges circuit, sont présentées sous la forme de graphiques associant les performances du circuit aux dimensions et caractéristiques des transistors. Enfin, la solution sélectionnée est testée par simulation et validée ou améliorée. A ce propos, il est important de garder à l'esprit les limites de validité des modèles de simulation, en petit signal, afin de tester des solutions dont les niveaux d'inversion soient compatibles avec ces limites. Les limites de validité des modèles de simulation ont été établies par comparaison avec des caractéristiques tirées de l'expérience. Ainsi, la caractéristique gm/I_D a permis de montrer que le modèle de simulation faible inversion était valide pour IC compris entre 0.3 et 60, ce qui permet de valider les dimensionnements effectués à l'aide du simulateur.
Malheureusement nous n'avons pas eu l'opportunité d'envoyer les circuits dimensionnés en fabrication.

Les architectures étudiées, avec la méthodologie de conception développée, sont toutes basées sur une paire différentielle en entrée.

IV.4.2 OTA, AOP et comparateur nanowatt

Les architectures d'amplification les plus utilisées sont basées sur une paire différentielle en entrée.

L'amplificateur de transconductance opérationnel (OTA pour « Operational Transconductance Amplifier » dans la littérature anglaise), représenté à la figure (A.1), est composé d'une paire différentielle (N1 et N2) polarisée par une référence de courant I_{bias} via un miroir de courant (N3 et N4) et chargée par un miroir de courant (P1 et P2). La paire différentielle est composée de deux transistors NMOS reliés ensemble par leurs sources, reliées au drain du transistor N4 appartenant au miroir de courant polarisant la paire différentielle. Les drains des transistors N1 et N2 sont respectivement reliés aux drains des transistors P1 et P2 constituant le miroir de courant chargeant la paire différentielle. Le rôle de l'OTA est de délivrer à la capacité de charge C_l de l'OTA, placée aux drains de N2 et P2, un courant proportionnel à la tension différentielle appliquée entre les grilles des transistors N1 et N2. Un tel amplificateur est naturellement stable (marge de phase $\geq 45^{\circ}$), aussi il n'a pas besoin d'être compensé.

L'amplificateur opérationnel Miller est composé de deux étages cascadés (Fig.A.2). Le premier étage est un OTA chargé par un miroir de courant, identique à celui déjà décrit. Le second étage est un amplificateur « source commune » (P3) polarisé par miroir de courant (N3 et N5). La grille du transistor d'amplification (P3) est connectée à la place de la capacité de charge de l'OTA charge miroir. La source du transistor P3 est connectée au drain du transistor N5 appartenant au miroir de courant polarisant l'amplificateur « source commune ». Le rôle de l'AO Miller est de délivrer à la capacité de charge C_l de l'AO, placée aux drains de P3 et N5, une tension proportionnelle à la tension différentielle appliquée entre les grilles des transistors N1 et N2. L'amplificateur est stabilisé par l'ajout d'une capacité de compensation C_c, appelée capacité Miller, entre l'entrée et la sortie du second étage. Cette capacité a pour objectif d'augmenter la marge de phase de l'amplificateur, naturellement instable. L'amplificateur est alors dit compensé.

Un comparateur est un circuit qui compare deux signaux analogiques et délivre un signal binaire basé sur la comparaison. Un signal binaire est censé ne prendre que deux valeurs, cependant la transition entre les deux états binaires définit une région de transition que le comparateur doit traverser rapidement [50].
Un comparateur est caractérisé, du point de vue statique, par :

- ses états de sortie haut V_{OH} et bas V_{OL} définis par les niveaux logiques de la circuiterie numérique.
- ses différences de signaux d'entrée limites pour basculer la sortie à V_{OH} ou V_{OL}, notées respectivement V_{IH} ou V_{IL}.
- sa résolution $V_{IH} - V_{IL}$ est définie comme le changement en entrée permettant le basculement de la sortie. Elle est reliée à l'écart entre les niveaux logiques par le gain statique du comparateur A_{V0} :

$$V_{IH} - V_{IL} = \frac{V_{OH} - V_{OL}}{A_{V0}} \tag{IV.105}$$

- le décalage d'entrée en tension V_{offset} (« input offset voltage » dans la littérature anglaise)
- le ICMR de même que pour les amplificateurs. Le ICMR est la plage de tension d'entrée de mode commun pour laquelle les transistors restent en saturation.
- le bruit qui induit une incertitude de la région de transition (bruit de phase).

D'un point de vue dynamique, un comparateur est caractérisé par le retard entre excitation en entrée et réponse en sortie, appelé temps de propagation t_p. Ce retard varie en fonction de l'amplitude du signal

d'entrée dans la limite de la valeur définie par le Slew-Rate comme :

$$t_{p_{min}} = \frac{V_{OH} - V_{OL}}{2.SR} \tag{IV.106}$$

Notons que plus l'amplitude est élevée en entrée plus le retard est faible. Le comparateur le plus souvent utilisé reprend la structure d'amplificateur opérationnel Miller composée de deux étages cascadés (Fig.B.9), sans capacité de compensation afin de garder une bande passante élevée et garantir la réponse du circuit la plus rapide possible. Le comparateur est dit en « boucle ouverte ». Le premier étage est un OTA chargé par un miroir de courant, identique à celui déjà décrit. Le second étage est un amplificateur « source commune » (P3) polarisé par miroir de courant (N3 et N5). La grille du transistor d'amplification (P3) est connectée à la place de la capacité de charge de l'OTA charge miroir. La source du transistor P3 est connectée au drain du transistor N5 appartenant au miroir de courant polarisant l'amplificateur « source commune ». Le comparateur est chargé par une capacité C_l, placée aux drains de P3 et N5.

Les trois architectures décrites sont étudiées en détail en annexe (cf §ANNEXE). Après leur mise en équation, la méthodologie de conception proposée est utilisée dans cette partie d'annexe pour dimensionner des circuits respectant des spécifications de consommation nanowatt.

IV.4.3 Conclusion

Ces circuits, dont le dimensionnement est proposé en annexe (cf §ANNEXE), n'ont pu être réalisé par manque de temps. De plus une prise en compte du pôle de la charge active Miroir de Courant et du zéro associé (≈2 fois le pôle) est indispensable pour des applications basses puissance et ceci pourrait être un point de démarrage de travaux futurs portant sur des amplificateurs. Les tailles des différents constituants de ces circuits ont été choisi de sorte à ne pas en tenir compte (cf tables A.11 et B.16).
Toutefois la méthodologie a déjà montré des résultats satisfaisants via la comparaison avec la simulation.

Chapitre V

CONCLUSION ET PERPECTIVES

V.1 Conclusion

L'objectif de cette étude était d'élaborer une méthodologie de conception de circuits analogiques nanowatt dédiée aux applications Smart-Card.
L'introduction a permis d'élaborer le cahier des charges d'une telle méthodologie à partir des contraintes inhérentes à l'industrie des circuits intégrés et de celles découlant des exigences du marché, de nature technologique et applicative. En outre, les spécifications propres au domaine de la carte à puce ou Smart-Card, concernant les attaques, ont été détaillées. Il est apparu qu'elles étaient décorrélées de la méthodologie elle-même, aussi nous avons choisi de les traiter lors du dimensionnement de chaque circuit comme des spécifications faisant partie intégrante du cahier des charges circuit, sans toutefois oublier de définir les outils de modélisation à inclure dans la méthodologie pour étudier leur impact sur le comportement des circuits.

Le premier chapitre est consacré à l'étude des modèles de transistor MOS compacts analytiques et continus au travers de l'inversion, un modèle analytique simple et défini en inversion modérée étant indispensable à l'élaboration d'une telle méthodologie de conception. Outre un modèle adapté, le modèle EKV, validé par comparaison à une référence physique fiable, ce chapitre a permis de définir une modélisation simple et physiquement cohérente de chaque effet physique perturbateur, affectant notablement le comportement idéal du transistor MOS. Ainsi, le modèle retenu, associé à la modélisation des principaux effets perturbateurs, fournit une modélisation simple mais précise du transistor MOS, apte à être utilisée pour dimensionner les transistors d'un circuit.

Le second chapitre présente la méthodologie de conception de circuits analogiques nanowatt développée. Dans un état de l'art préliminaire, nous avons passé en revue les différentes méthodes de conception de circuits analogiques proposées dans la littérature, en commençant par la méthodologie de conception classique, clairement inadaptée aux enjeux de la conception de circuits analogiques actuels. Puis, une répartition des architectures en circuits autopolarisés et circuits à polarisation fixées a été définie avant d'examiner les méthodes de conception les plus avancées. Prises individuellement, aucune d'entre elles ne permet d'atteindre simultanément tous les objectifs fixés par le cahier des charges de la méthodologie, ce qui a mis en évidence la nécessité de développer une nouvelle méthode de conception en s'inspirant de l'existant. La méthodologie de conception développée a ensuite été présentée. Elle a été élaborée avec un souci permanent de simplicité et de souplesse d'utilisation. Elle associe le modèle EKV, modèle analytique du transistor MOS, à des abaques modélisant les phénomènes physiques perturbateurs prépondérant à partir de la connaissance des variables clé mises en jeu. Elle reprend en cela le concept utilisé dans les modèles empiriques ou semi-empiriques. Elle n'est cependant en aucun cas un modèle mais une méthode de conception de circuits reprenant la philosophie des procédures de conception classiques, et en la généralisant au moyen d'un outil de calcul numérique, MATLAB.

Ainsi, elle rend possible l'exploration de l'espace de conception sans contraintes d'inversion et permet d'atteindre rapidement des solutions optimisées vis à vis des spécifications du cahier des charges d'un circuit, ce qui est favorable à la réduction des coûts de conception, via une forte diminution des simulations.
La construction des abaques ne nécessite pas impérativement de caractériser expérimentalement une technologie, pour peu que l'on accorde un degré de confiance suffisant au modèle implanté dans le simulateur électrique.
Le passage d'une technologie à l'autre est très simple, puisqu'un nombre limité d'extractions est nécessaire et l'implémentation logicielle des procédures d'extraction rend cette phase très rapide. Les procédures de calculs développées pour une topologie sont indépendantes de la technologie, si bien que le changement de technologie est immédiat. Un simple changement d'abaques et de paramètres de modélisation suffit.
Ainsi, la méthodologie est robuste au changement de technologie. Au besoin, les bases physiques du modèle utilisé, permettent d'inclure simplement des effets physiques avancés, via le potentiel de surface de pincement. Toutefois, pour faciliter la validation des concepts utilisés dans la méthodologie, les transistors utilisés sont des transistors haute tension (HV oxyde épais) d'une technologie CMOS standard (substrat) $0.15\mu m$ ce qui permet de s'affranchir des certains effets de structures technologiques. Les concepts développés restent cependant applicables à une technologie CMOS SOI.
Le domaine de validité, en terme d'inversion, de chaque modèle de simulation disponible pour les transistors haute tension de cette technologie (modèle standard et modèle faible inversion) a été déterminé afin de valider en simulation les circuits dimensionnés par la suite.

La méthodologie développée a été appliquée à des architectures autopolarisées et à polarisation fixée, sous spécifications nanowatt et standard, dans le troisième et dernier chapitre. Les transistors qui ont été utilisés sont des transistors haute tension (HV oxyde épais) de la technologie CMOS standard $0.15\mu m$.
Des références de tension et de courant ont été dimensionnées sous spécification faible tension d'alimentation, sans optimisation vis à vis des déviations (tension d'alimentation, température, process, mismatch, attaque), pour des consommations standard et nanoampère. Elles ont été caractérisées expérimentalement à leur retour de fabrication. Malgré une déviation des références de courant par rapport au cahier des charges, expliquée par un choix de modèle de simulation, et donc d'abaques, inadapté (standard au lieu de faible inversion) pour certains des transistors, ainsi qu'un étalement important des valeurs de références de courant autour de la valeur nominale, attribué à un appairage déficient des miroirs de courant, en particulier pour les références de courant nanoampère, les mesures ont confirmé l'aptitude de la méthodologie au dimensionnement de circuits sous spécifications nanowatt. Puis la méthodologie a été employée, avec succès, au dimensionnement de circuits sous spécifications nanowatt pour un cahier des charges industriel comprenant l'optimisation vis à vis des déviations ainsi que les contraintes relatives aux attaques, propres au produit carte à puce.
Les circuits à polarisation fixée dimensionnés sous spécifications nanowatt sont limités en rapidité par le faible niveau de courant.

Pour résumer, la méthodologie développée permet de dimensionner des circuits fonctionnant sous faible tension d'alimentation quelque soit leur consommation. Elle est donc utilisable pour dimensionner des circuits sous spécifications standard. L'exploration de l'espace de conception sans contraintes d'inversion implique que les solutions dimensionnées sont optimisées au regard du cahier des charges ce qui est favorable à la réduction des coûts de conception. La méthodologie est utilisable aussi bien pour dimensionner une architecture que pour en choisir une. Elle permet d'étudier l'impact de tel ou tel changement de paramètres technologiques (épaisseur d'oxyde ...) sur les possibilités d'une architecture.
Les circuits respectant des spécifications nanowatt peuvent être utilisés dans des modes de fonctionnement particuliers comme l'état de veille pendant lequel le circuit doit très peu consommer mais pour lequel la rapidité n'est pas primordiale, ce qui est le cas des circuits à polarisation fixée qui sont très lents.

Les possibilités offertes par la méthodologie développée sont nombreuses, mais avant tout elle nécessite quelques compléments et ajustements pour être optimale.

V.2 Perspectives

La méthodologie n'a pas été testée pour des transistors de type faible tension (LV oxyde mince) par manque de temps. Il faudrait effectuer l'extraction des abaques à partir de caractérististiques expérimentales et améliorer au besoin la modélisation du transistor en introduisant les effets quantiques et de polydéplétion via le potentiel de surface de pincement [36]. De plus, la précision de la méthodologie peut être améliorée en utilisant la version 3.0 du modèle EKV, mais il est alors nécessaire d'implémenter en langage C, pour des raisons de temps de calcul, l'inversion numérique de l'équation liant potentiels et courants.

Par ailleurs, les circuits à polarisation fixée étudiés pour des spécifications nanowatt, se sont révélés limités en gain, pour l'OTA, et en stabilité, pour l'AOP Miller. Ainsi, pour obtenir des performances acceptables sans soucis de stabilité, il faudrait utiliser une architecture de type repliée (« folded » dans la littérature anglaise) ou voire repliée cascodée même si ce n'est pas favorable à une très faible tension d'alimentation. Malheureusement, par manque de temps, ces architectures n'ont pas été implémentées. Le concepteur peut parfaitement appliquer la méthode de conception développée à ces architectures d'autant que les équations les décrivant sont fournies dans [60].
A ce propos, la prédiction du produit gain bande et différents pôles peut être améliorée en introduisant la modélisation des capacités de recouvrement proposée dans [8]. En outre, la procédure de balayage de l'espace de conception des circuits à polarisation fixée pourrait garantir des solutions optimisées en prenant les spécifications comme valeurs limites.

Cette méthodologie appelle l'étude d'architectures complexes sans contraintes d'inversion, ainsi que le dimensionnement de circuits sous des spécifications de consommation encore plus faible.

ANNEXE

Dans l'ensemble de l'étude qui suit, le pôle du second ordre introduit par la charge active du Miroir de Courant (transistors P1 et P2) n'a pas été pris en compte. Il est néanmoins à noter que la prise en compte de ce pôle du second ordre, et du zéro associé (≈2 fois le pôle), peut s'avérer nécessaire pour le passage à des applications nanowatt. Toutefois, cette partie étant une mise en application de la méthodologie sur des circuits de type amplificateurs, les tailles des différents constituants de ces circuits ont été choisi de sorte à ne pas en tenir compte (cf tables A.11 et B.16).

A - OTA et AOP nanowatt

Les architectures d'amplification les plus utilisées sont basées sur une paire différentielle en entrée.

L'amplificateur de transconductance opérationnel (OTA pour « Operational Transconductance Amplifier » dans la littérature anglaise), représenté à la figure (A.1), est composé d'une paire différentielle (N1 et N2) polarisée par une référence de courant I_{bias} via un miroir de courant (N3 et N4) et chargée par un miroir de courant (P1 et P2). La paire différentielle est composée de deux transistors NMOS reliés ensemble par leurs sources, reliées au drain du transistor N4 appartenant au miroir de courant polarisant la paire différentielle. Les drains des transistors N1 et N2 sont respectivement reliés aux drains des transistors P1 et P2 constituant le miroir de courant chargeant la paire différentielle. Le rôle de l'OTA est de délivrer à la capacité de charge C_l de l'OTA, placée aux drains de N2 et P2, un courant proportionnel à la tension différentielle appliquée entre les grilles des transistors N1 et N2. Un tel amplificateur est naturellement stable (marge de phase $\geq 45^{\circ}$), aussi il n'a pas besoin d'être compensé.

L'amplificateur opérationnel Miller est composé de deux étages cascadés (Fig.A.2). Le premier étage est un OTA chargé par un miroir de courant, identique à celui déjà décrit. Le second étage est un amplificateur « source commune » (P3) polarisé par miroir de courant (N3 et N5). La grille du transistor d'amplification (P3) est connectée à la place de la capacité de charge de l'OTA charge miroir. La source du transistor P3 est connectée au drain du transistor N5 appartenant au miroir de courant polarisant l'amplificateur « source commune ». Le rôle de l'AO Miller est de délivrer à la capacité de charge C_l de l'AO, placée aux drains de P3 et N5, une tension proportionnelle à la tension différentielle appliquée entre les grilles des transistors N1 et N2. L'amplificateur est stabilisé par l'ajout d'une capacité de compensation C_c, appelée capacité Miller, entre l'entrée et la sortie du second étage. Cette capacité a pour objectif d'augmenter la marge de phase de l'amplificateur, naturellement instable. L'amplificateur est alors dit compensé.

A.1 - Modélisation des circuits

Les expressions décrivant les circuits sont celles proposées dans le manuel d'utilisation de l'outil PAD pour chaque architecture classique [60], excepté pour les paramètres suivants :

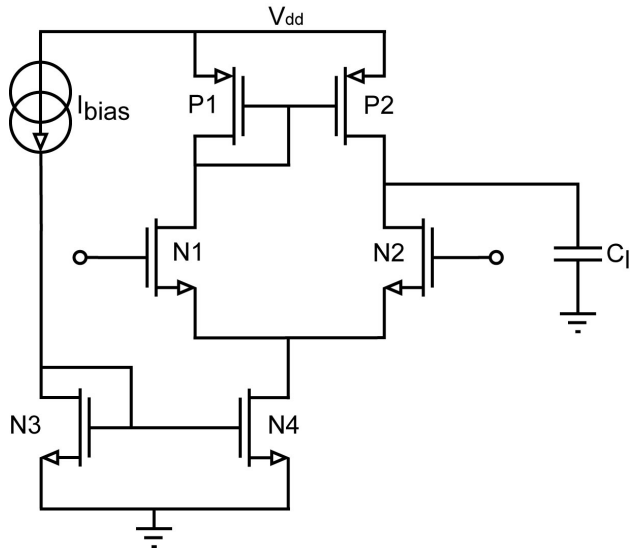

Fig. A.1 – Schéma de l'OTA charge miroir

– la tension (d'entrée) de mode commun supérieure CMR_{sup}, la tension (d'entrée) de mode commun inférieure CMR_{inf} et la plage de tension de mode commun d'entrée ICMR telle que $ICMR = CMR_{sup} - CMR_{inf}$. Les expressions des paramètres relatifs à l'entrée des deux architectures (CMR_{sup}, CMR_{inf} et $ICMR$) sont identiques, puisque l'étage d'entrée de l'AO Miller correspond à l'OTA. Celles proposées pour CMR_{sup} et CMR_{inf} diffèrent des formulations proposées dans [60], établies en considérant les transistors PMOS en forte inversion et $V_{GS_{N1,2}} = V_{T0_n}$. Le paramètre CMR_{sup} proposé pour PAD est :

$$CMR_{sup} = V_{dd} - \left|V_{T0_{P1,2}} + V_{DS_{satP1,2}}\right| - V_{DS_{satN1,2}} + V_{T0_{N1,2}} \tag{A.1}$$

Le paramètre CMR_{inf} proposé pour PAD est :

$$CMR_{inf} = V_{ss} + V_{DS_{satN4}} + V_{T0_{N1,2}} \tag{A.2}$$

Elles sont comparées sur les figures (A.3) et (A.4).

– les expressions des mismatch, qui utilisent la formulation proposée dans [49], rappelée au §III.4.4.2
– les expressions du bruit, qui utilisent la formulation proposée dans [49] et rappelée au §III.4.4.3. Le bruit est modélisé pour chaque transistor du circuit par une source de tension équivalente v_{eq} telle que $v_{eq}^2 = {v_{th}}^2 + {v_{flicker}}^2$ avec $v_{th}^2 = S_{V_{th}}.\Delta f$ et $v_{flicker}^2 = S_{V_{Flicker}}.\Delta f$, en prenant les expressions des densités spectrales de puissance de (§III.4.4.3).

– le décalage en tension ramené en entrée V_{offset}, utilisant les expressions de mismatch, est lui aussi reformulé.

pour lesquels des expressions plus générales ou plus exactes sont proposées.

Les équations des architectures sont présentées dans les tableaux (A.1) et (A.7).

A.1.1 - OTA charge miroir

L'OTA étudié est partitionné en trois bloc distincts, dimensionnés successivement :
– le miroir de polarisation dont les transistors (N3 et N4) sont à appairer.

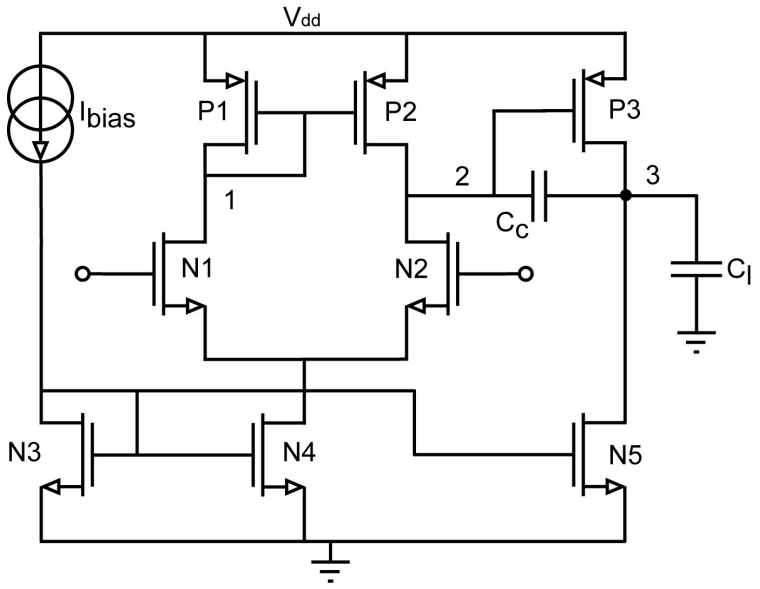

Fig. A.2 – Schéma de l'AO Miller

– la paire différentielle dont les transistors (N1 et N2) sont à appairer.
– le miroir de charge dont les transistors (P1 et P2) sont à appairer.

Les éléments associés aux transistors NMOS (respectivement PMOS) sont indicés à l'aide de Ni (respectivement Pi), avec $i = \{1, 2, 3, 4\}$.
Les équations des performances petit signal découlent du schéma petit signal de l'OTA proposé à la figure (A.5). Les équations des performances et des déviations de l'OTA sont rassemblées dans les tableaux (A.1) et (A.2). index$CMRR$

L'espace de conception de l'OTA, est définie, à partir du système d'équations (Tab.A.1), compte tenu d'une part des contraintes nanowatt et des possibilités d'intégration de la technologie utilisée en terme de capacité fabricable (capacité polysilicium 2.3fF/μm^2 et MOS 1.35 fF/μm^2), et d'autre part des possibilité de la technologie MOS en terme de rapport gm/I_D.
Le courant circulant dans les transistors de la paire différentielle et du miroir de charge permet de définir les largeurs de ces transistors compte tenu des longueurs utilisées (L comprise entre $2\mu m$ et $40\mu m$), en considérant les limites de l'inversion modérée (IC compris entre 0.1 et 10), les niveaux de courant envisagés (la moitié de 10nA-100nA soit 5nA-50nA) et les courants de normalisation de milieu d'inversion modérée ($I_{0_N} = 204nA$, pour les transistors NMOS, et $I_{0_P} = 102nA$, pour les transistors PMOS). Les largeurs présentées au tableau (A.3) ont été obtenues avec l'expression $I_D = I_{0_{N,P}}.W/L.IC$.
Pour un courant de 5nA, la largeur nécessaire, en limite d'inversion forte (IC=10), est inférieure à $2\mu m$, la largeur minimale autorisée, quelque soit la longueur utilisée.

Le niveau d'inversion maximal est donc de 10, quelque soit le transistor et le courant (dans la limite de 50nA).
Par ailleurs, la capacité surfacique d'oxyde des transistors utilisés étant de 1.35 fF/μm^2, la capacité minimale équivalente d'une charge de type inverseur est d'environ 15fF, en considérant des transistors de dimensions minimales ($2\mu m \cdot 2\mu m$) et en ajoutant les capacités parasites. Une capacité de charge standard est de l'ordre de 5pF. Pour la plage de courant envisagée (10nA-100nA), correspondant au courant consommé et donc au courant maximal pouvant circuler dans la charge, le Slew Rate est calculé à différentes valeurs de capacités de charge. Les résultats sont présentés au tableau (A.4).

Le Slew Rate le plus élevé est atteint pour le courant le plus élevé et la capacité la plus faible. Il vaut 6.6V/μs ce qui est faible par rapport à des valeurs standard comprises entre 10V/μs et 20V/μs. Les

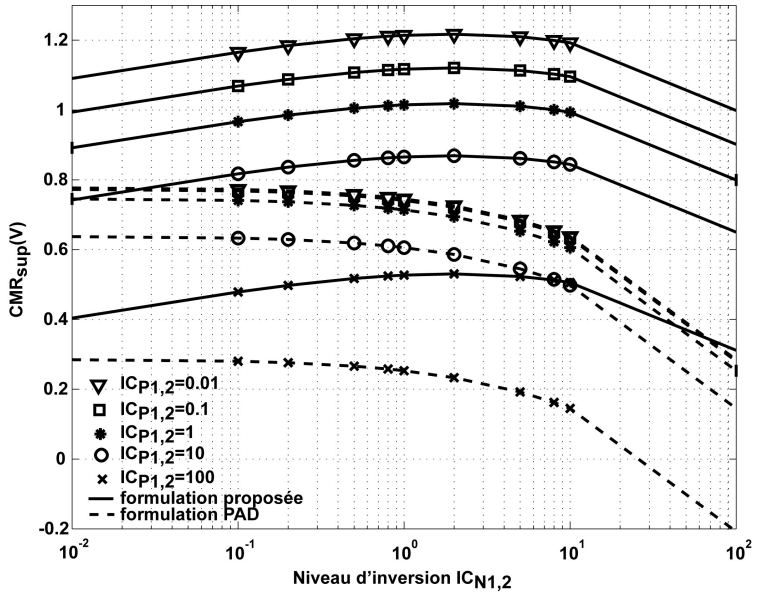

Fig. A.3 – Comparaison des expressions de la tension de mode commun supérieure CMR_{sup}

capacités pilotables pour les niveaux de courant envisagés, sont assez faibles et les performances de vitesse peu élevées. Les circuits seront donc assez lents.
Les expressions de la fréquence de coupure f_c et du produit gain bande GBW sont reformulées en fonction du Slew Rate SR :

– la fréquence de coupure f_c :

$$f_c = \frac{1}{2\pi}(\lambda_{N1,2} + \lambda_{P2})\frac{SR}{2} \tag{A.3}$$

– le produit gain bande GBW :

$$GBW = \frac{1}{2\pi}(gm/I_D)_{N1,2}\frac{SR}{2} \tag{A.4}$$

Le gain en tension devient en fonction du rapport gm/I_D, des longueurs des transistors et des coefficients d'effets CLM :

$$A_{V0} = \frac{-(gm/I_D)_{N1,2}}{\lambda_{N1,2} + \lambda_{P2}} \tag{A.5}$$

En inversion modérée, le coefficient d'effet CLM des transistors PMOS est presque constant et vaut $0.155V^{-1}$ à $L = 2\mu m$. Celui des transistors NMOS est compris entre $0.15V^{-1}$ à IC=10, et $0.19V^{-1}$ à IC=0.1, soit sa valeur en inversion faible, à $L = 2\mu m$. Aussi, le gain se reformule en inversion modérée (et faible) avec les coefficients d'effet CLM à $L = 2\mu m$:

$$A_{V0} = \frac{-(gm/I_D)_{N1,2}}{\lambda_{N1,2_{L=2\mu m}}\sqrt{\frac{2\mu m}{L_{N1,2}}} + \lambda_{P2_{L=2\mu m}}\frac{2\mu m}{L_{P2}}} \tag{A.6}$$

Il est à remarquer, qu'en inversion modérée, l'essentiel de la variation des coefficients d'effet CLM découle de la variation de longueur, et qu'en inversion faible ces coefficients sont indépendants du niveau d'inversion.
Pour les limites des plages de longueurs et de niveau d'inversion, le gain est calculé à l'aide de l'expression de gm/I_D EKV3.0 (Tab.II.3) avec $n_v = 1.35$. Le ratio gm/I_D vaut $7.7V^{-1}$ pour IC=10 et $26.2V^{-1}$ pour IC=0.1. Le ratio maximal est obtenu en faible inversion et vaut $28.6V^{-1}$ valeur proche de celle en limite d'inversion faible, ce qui montre que la polarisation des transistors en inversion faible n'est pas nécessaire.

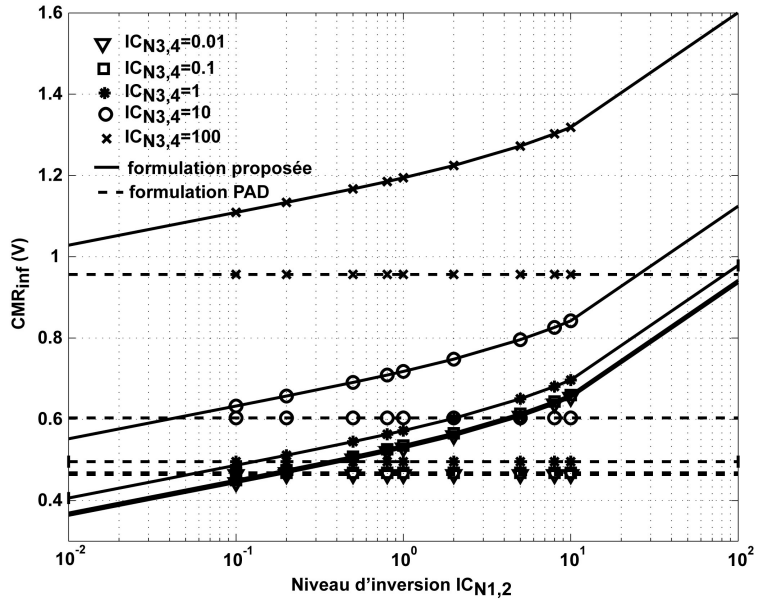

Fig. A.4 – Comparaison des expressions de la tension de mode commun inférieure CMR_{inf}

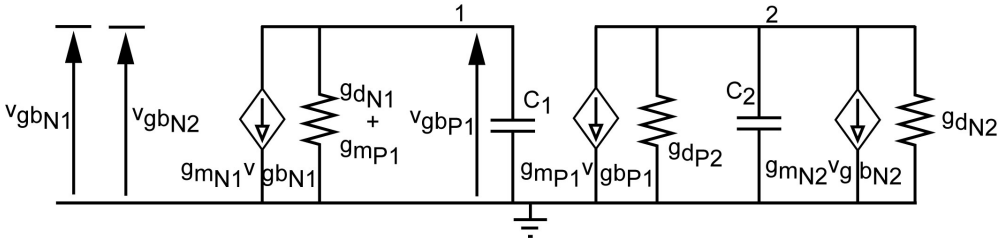

Fig. A.5 – Schéma petit signal de l'OTA charge miroir

Le gain est calculé avec des longueurs identiques de transistor PMOS et NMOS. Le gain maximal est obtenu pour $L = 40\mu m$ (cf tab.A.5) et vaut 55dB, ce qui est assez faible par rapport aux valeurs de gain atteintes en conception classique, de l'ordre de 70 à 100dB.

De plus, la fréquence de coupure f_c et le produit gain bande GBW sont calculés aux limites de la plage d'inversion modérée et de la plage de longueurs, pour le plus grand Slew-Rate atteignable. La fréquence de coupure max pouvant être atteinte, compte tenu des niveaux de courants, est de 181kHz. Le produit gain bande max est de 13MHz (cf tab.A.6).

Ainsi, les fréquences caractéristiques du circuit sont faibles par rapport à un cahier des charges standard, ce qui montre que l'architecture ne peut pas atteindre des performances élevées en terme de rapidité.

En outre, la tension (d'entrée) de mode commun supérieure CMR_{sup} et la tension (d'entrée) de mode commun inférieure CMR_{inf} sont évaluées sur une plage de valeurs de niveau d'inversion de N1 et N2, pour différentes valeurs de niveau d'inversion de P1 et P2, à niveau d'inversion fixé pour N4 à IC=0.1 pour minimiser CMR_{inf}. Les formulations proposées par PAD sont comparées avec celles que nous proposons sur les figures A.3 et A.4.

Les valeurs atteintes en inversion modérée sont assez faibles, ce qui est principalement dû à la faible tension d'alimentation. La plage de ICMR disponible est donc réduite. L'utilisation de deux paires différentielles PMOS et NMOS en parallèle est nécessaire pour étendre cette plage.

Performance	Expression(s)
Slew Rate SR	$\frac{I_{D_{N4}}}{C_l}$
GBW	$GBW = \frac{gm_{N1,2}}{2\pi C_l}$
Puissance consommée P_{diss}	$P_{diss} = (V_{dd} - V_{ss})\, 2I_{D_{N4}}$
Gain A_{V0}	$A_{V0} = \frac{-gm_{N1,2}}{gd_{N1,2}+gd_{P2}}$
CMR_{sup}	$CMR_{sup} = n_{v_{N1,2}}\big(V_{dd} + (V_P - V_S)_{N1,2} - V_{DS_{satN1,2}} - \big\lvert n_{v_{P1,2}}(V_P - V_S)_{P1,2} + V_{T0_{P1,2}}\big\rvert\big) + V_{T0_{N1,2}} - (n_{v_{N1,2}} - 1)V_{ss}$
CMR_{inf}	$CMR_{inf} = n_{v_{N1,2}}(V_{DS_{satN4}} + (V_P - V_S)_{N1,2}) + V_{ss} + V_{T0_{N1,2}}$
$ICMR$	$ICMR = CMR_{sup} - CMR_{inf}$
VO_{max}	$VO_{max} = V_{dd} - \lvert V_{DS_{satP1,2}}\rvert$
VO_{min}	$VO_{min} = V_{ss} + V_{DS_{satN1,2}} + V_{DS_{satN3,4}}$
VO_s	$VO_s = VO_{max} - VO_{min}$
$CMRR$	$CMRR = 2\frac{gm_{N1,2}gm_{P1,2}}{gd_{N4}gd_{P2}}$
$PSRR^+$	$PSRR^+ = \frac{gm_{N1,2}}{gd_{N1,2}+gd_{P2}}$
$PSRR^-$	$PSRR^- = \frac{gm_{N1,2}}{gd_{N1,2}+gd_{P2}}$
p_1	$p_1 = \frac{gm_{P1}}{C_1}$ avec $C_1 = (c_{db_{N1}} + c_{gd_{N1}})C'_{ox_n}(WL)_{N1,2} + \big(c_{gs_{P1}} + c_{gb_{P1}} + c_{db_{P1}} + c_{gs_{P2}} + c_{gb_{P2}} + c_{gd_{P2}}A_{V0_{out}}\big)C'_{ox_p}(WL)_{P1,2}$ et $A_{V0_{out}} = \frac{gm_{P1,2}}{gd_{N1,2}+gd_{P2}}$
p_2	$p_2 = 2\pi f_c = \frac{gd_{N1,2}+gd_{P2}}{C_2}$ avec $C_2 = C_l + (c_{db_{P2}} + c_{gd_{P2}})C'_{ox_p}(WL)_{P1,2} + (c_{db_{N2}} + c_{gd_{N2}})C'_{ox_n}(WL)_{N1,2}$
$M\Phi$	$M\Phi = 180 + \frac{180}{\pi}(-\arctan(\frac{2\pi GBW}{p_1}) - \arctan(\frac{2\pi GBW}{p_2}))$

Tab. A.1 – Expressions des performances de l'OTA

Le gain en tension peut être amélioré par l'ajout d'un second étage, au détriment de la consommation, comme l'AO Miller qui est étudié maintenant. En outre, cette architecture nécessite l'ajout d'une capacité de compensation pour assurer sa stabilité.

A.1.1 - AOP Miller compensé

L'AO Miller étudié est partitionné en quatre blocs distincts, dimensionnés successivement :
- le miroir de polarisation dont les transistors (N3 et N4) sont à appairer avec le transistor N5.
- la paire différentielle dont les transistors (N1 et N2) sont à appairer.
- le miroir de charge dont les transistors (P1 et P2) sont à appairer avec le transistor P3.
- l'étage amplificateur de sortie (N5 et P3)

Les éléments associés aux transistor NMOS (respectivement PMOS) sont indicés à l'aide de Ni (respectivement Pi), avec $i = \{1, 2, 3, 4, 5\}$. Les équations des performances petit signal découlent du schéma petit signal de l'OTA proposé à la figure (A.6). Les équations des performances et des déviations de l'AO

Déviations	**Expression(s)**
mismatch en courant (miroir de courant)	$\frac{\sigma_{I_D}}{I_D} = \sqrt{(\frac{\sigma_{\beta_0}}{\beta_0})^2 + \left[\frac{1}{n_q^2 U_T^2}\frac{1}{i_f - i_r} ln\left(\frac{1+i_f}{1+i_r}\right)\right]\sigma_{V_{T0}}^2}$ avec $\frac{\sigma_{\beta_0}}{\beta_0} = \frac{A_{\beta_0}}{\sqrt{WL}}$ et $\sigma_{V_{T0}} = \frac{A_{V_{T0}}}{\sqrt{WL}}$
mismatch en tension (paire différentielle)	$\sigma_{V_G} = \frac{I_D}{gm}\frac{\sigma_{I_D}}{I_D}$ avec $\frac{\sigma_{I_D}}{I_D} = \sqrt{(\frac{\sigma_{\beta_0}}{\beta_0})^2 + \left[\frac{1}{n_q^2 U_T^2}\frac{1}{i_f - i_r} ln\left(\frac{1+i_f}{1+i_r}\right)\right]\sigma_{V_{T0}}^2}$ $\frac{\sigma_{\beta_0}}{\beta_0} = \frac{A_{\beta_0}}{\sqrt{WL}}$ et $\sigma_{V_{T0}} = \frac{A_{V_{T0}}}{\sqrt{WL}}$
bruit équivalent	$v_{eq}^2 = v_{eqN1}^2 + v_{eqN2}^2 + \left(\frac{gm_{P1,2}}{gm_{N1,2}}\right)^2 (v_{eqP1}^2 + v_{eqP2}^2)$ avec $v_{eq}^2 = v_{th}^2 + v_{flicker}^2$
V_{offset}	$V_{offset}^2 = \sigma_{V_{G_{N1,2}}}^2 + \left(\frac{gm_{P1,2}}{gm_{N1,2}}\right)^2 \sigma_{V_{G_{P1,2}}}^2$ avec $\sigma_{V_G} = \frac{I_D}{gm}\frac{\sigma_{I_D}}{I_D}$ $\frac{\sigma_{I_D}}{I_D} = \sqrt{(\frac{\sigma_{\beta_0}}{\beta_0})^2 + \left[\frac{1}{n_q^2 U_T^2}\frac{1}{i_f - i_r} ln\left(\frac{1+i_f}{1+i_r}\right)\right]\sigma_{V_{T0}}^2}$ $\frac{\sigma_{\beta_0}}{\beta_0} = \frac{A_{\beta_0}}{\sqrt{WL}}$ et $\sigma_{V_{T0}} = \frac{A_{V_{T0}}}{\sqrt{WL}}$

Tab. A.2 – Expressions des déviations de l'OTA

I_D	**Transistor N1,2**				**Transistor P1,2**			
	$L = 2\mu m$		$L = 40\mu m$		$L = 2\mu m$		$L = 40\mu m$	
	IC=0.1	**IC=10**	**IC=0.1**	**IC=10**	**IC=0.1**	**IC=10**	**IC=0.1**	**IC=10**
5nA	<1μm	<1μm	9.7μm	<1μm	<1μm	<1μm	19.6μm	<1μm
50nA	4.8μm	<1μm	96μm	<1μm	9.8μm	<1μm	196μm	1.95μm

Tab. A.3 – Largeur en limite d'espace de conception de l'OTA

Miller sont rassemblées dans les tableaux (A.7) et (A.8). Les performances atteignables avec cette architecture, compte tenu, d'une part des contraintes nanowatt, et d'autre part des possibilités d'intégration de la technologie utilisée en terme de capacité, sont assez faibles. A l'instar de l'OTA, l'AO Miller sera assez lent (Slew Rate faible), offrira un ICMR peu élevé et sera difficilement stabilisable pour des performances acceptables.
Ainsi, pour obtenir des performances acceptables sans souci de stabilité, il faudrait utiliser une architecture de type repliée (« folded » dans la littérature anglaise) ou voire repliée cascodée même si ce n'est pas favorable à une très faible tension d'alimentation et une faible consommation.
Malheureusement, par manque de temps, ces architectures n'ont pas été implémentées. Le concepteur peut parfaitement appliquer la méthode de conception développée à ces architectures d'autant que les équations

Capacité C_l	I_D	
	5nA	**50nA**
15fF	0.67V/μs	6.6V/μs
150fF	0.067V/μs	0.66V/μs
5pF	0.002V/μs	0.02V/μs

Tab. A.4 – Slew Rate en limite d'espace de conception de l'OTA

gain A_{V0}	$L = 2\mu m$		$L = 40\mu m$	
	IC=0.1	**IC=10**	**IC=0.1**	**IC=10**
A_{V0} linéaire	75.9	25.3	572	187
A_{V0} dB	37.6	28	55	45

Tab. A.5 – Gain en limite d'espace de conception de l'OTA

Performance	**IC**	
	IC=0.1	**IC=10**
GBW (MHz)	13	4
f_c (kHz) à $L = 2\mu m$	181	160
f_c (kHz) à $L = 40\mu m$	26	28

Tab. A.6 – Fréquence de coupure et produit gain bande de l'OTA pour le Slew Rate maximum

les décrivant sont fournies dans [60]. Il suffit au concepteur de changer les expressions des tensions de mode commun d'entrée (ICMR) ainsi que celles des mismatch et du bruit, en s'inspirant de celles établies pour l'OTA et AO Miller.

A.2 - Conception et simulation des circuits

La méthodologie a été utilisée pour le dimensionnement d'un OTA et d'un AO Miller fonctionnant à 1 Volt de tension d'alimentation et polarisés par un courant I_{bias} d'au plus 50nA, afin de s'inscrire dans des conditions de consommation nanowatt.
La caractéristique gm/I_D a permis la définition des limites de performances atteignables à partir des spécifications de tension d'alimentation et de courant de consommation. Ainsi, le cahier des charges de l'OTA, choisi à partir de l'espace de conception délimité, est présenté dans le tableau (A.9). Pour l'AO Miller, le cahier des charges choisi est décrit dans le tableau (A.10). Le gain est plus élevé car le circuit est composé de deux étages de gain cascadés. Pour les deux architectures, le plan de conception débute par la définition de la plage de niveau d'inversion IC, en prenant dix valeurs par décade entre 10^{-4} et 10^3. Une plage de longueurs de grille pour les transistors N1 et N2 (transistors de la paire différentielle) est également fixée ainsi que les valeurs de tension de seuil associées.
Puis une plage de tension de grille est définie pour le calcul des abaques de courant de normalisation en fonction du niveau d'inversion. La tension de grille est comprise entre 100mV (tension de grille minimale d'un transistor diode) et 2V (<7V tension d'alimentation maximale de la technologie utilisée).
Le coefficient n_v du modèle EKV est fixé à sa valeur de milieu d'inversion modérée, à savoir $n_{v_n} = 1.35$, pour les transistors NMOS, et $n_{v_p} = 1.2$, pour les transistors PMOS afin de simplifier la résolution.
Le courant de normalisation de milieu d'inversion modérée est égal à $I_{0_N} = 204nA$, pour les transis-

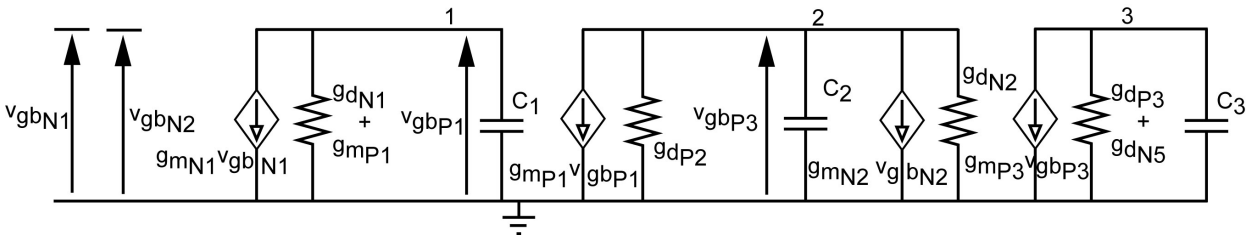

Fig. A.6 – Schéma petit signal de l'AO Miller

Performance	Expression(s)
Slew Rate SR	$\frac{I_{D_{N5}}}{C_c}$
GBW	$GBW = \frac{gm_{N1,2}}{2\pi C_c}$
Puissance consommée P_{diss}	$P_{diss} = (V_{dd} - V_{ss})\,(2I_{D_{N4}} + I_{D_{N5}})$
Gain A_{V0}	$A_{V0} = \frac{gm_{N1,2}}{gd_{N1,2}+gd_{P2}} \frac{gm_{P3}}{gd_{N5}+gd_{P3}}$
CMR_{sup}	$CMR_{sup} = n_{v_{N1,2}}\big(V_{dd} + (V_P - V_S)_{N1,2} - V_{DS_{satN1,2}} - \big\lvert n_{v_{P1,2}}(V_P - V_S)_{P1,2} + V_{T0_{P1,2}}\big\rvert\big) + V_{T0_{N1,2}} - (n_{v_{N1,2}} - 1)V_{ss}$
CMR_{inf}	$CMR_{inf} = n_{v_{N1,2}}(V_{DS_{satN4}} + (V_P - V_S)_{N1,2}) + V_{ss} + V_{T0_{N1,2}}$
$ICMR$	$ICMR = CMR_{sup} - CMR_{inf}$
VO_{max}	$VO_{max} = V_{dd} - \lvert V_{DS_{satP3}}\rvert$
VO_{min}	$VO_{min} = V_{ss} + V_{DS_{satN5}}$
VO_s	$VO_s = VO_{max} - VO_{min}$
$CMRR$	$CMRR = 2\frac{gm_{N1,2}gm_{P1,2}}{gd_{N4}gd_{P2}}$
$PSRR^+$	$PSRR^+ = \frac{gm_{N1,2}gm_{P3}}{(gd_{N1,2}+gd_{P2})gd_{P3}}$
$PSRR^-$	$PSRR^- = \frac{gm_{N1,2}gm_{P3}}{(gd_{N1,2}+gd_{P2})gd_{N5}}$
z	$z = \frac{gm_{P3}}{C_c}$
p_1	$p_1 = \frac{gm_{P1}}{C_1}$ avec $C_1 = (c_{db_{N1}} + c_{gd_{N1}})C'_{ox_n}(WL)_{N1,2} + \big(c_{gs_{P1}} + c_{gb_{P1}} + c_{db_{P1}} + c_{gs_{P2}} + c_{gb_{P2}} + c_{gd_{P2}}A_{V0_1}\big)C'_{ox_p}(WL)_{P1,2}$ et $A_{V0_1} = \frac{gm_{P1,2}}{gd_{N1,2}+gd_{P2}}$
p_2	$p_2 = \frac{gd_{N1,2}+gd_{P2}}{C_2}$ avec $C_2 = (c_{db_{P2}} + c_{gd_{P2}})C'_{ox_p}(WL)_{P1,2} + (c_{db_{N2}} + c_{gd_{N2}})C'_{ox_n}(WL)_{N1,2} + A_{V0_2}C_c + (c_{gs_{P3}} + c_{gb_{P3}} + c_{gd_{P3}}A_{V0_2})C'_{ox_p}(WL)_{P3}$ et $A_{V0_2} = \frac{gm_{P3}}{gd_{N5}+gd_{P3}}$
p_3	$p_3 = \frac{gm_{P3}}{C_3}$ avec $C_3 = (c_{db_{P3}} + c_{gd_{P3}})C'_{ox_p}(WL)_{P3} + (c_{db_{N5}} + c_{gd_{N5}})C'_{ox_n}(WL)_{N5} + C_l + C_c$
$M\Phi$	$M\Phi = 180 - \frac{180}{\pi}(\arctan(\frac{2\pi GBW}{z}) + \arctan(\frac{2\pi GBW}{p_1}) + \arctan(\frac{2\pi GBW}{p_2})) + \arctan(\frac{2\pi GBW}{p_3})$

Tab. A.7 – Expressions des performances de l'AO Miller

tors NMOS, et à $I_{0_P} = 102nA$, pour les transistors PMOS. Les abaques de courant de normalisation (IC,I_{S0}) sont éventuellement calculés pour chaque type de transistors sur la plage de tension de grille V_G, en négligeant l'effet du potentiel de source pour les transistor NMOS afin de simplifier la procédure de dimensionnement, ainsi que pour chaque valeur de longueur de grille influençant significativement la tension de seuil.

Déviation	Expression(s)
mismatch en courant (miroir de courant)	$\frac{\sigma_{I_D}}{I_D} = \sqrt{(\frac{\sigma_{\beta_0}}{\beta_0})^2 + \left[\frac{1}{n_q^2 U_T^2}\frac{1}{i_f - i_r} ln\left(\frac{1+i_f}{1+i_r}\right)\right]\sigma^2_{V_{T0}}}$ avec $\frac{\sigma_{\beta_0}}{\beta_0} = \frac{A_{\beta_0}}{\sqrt{WL}}$ et $\sigma_{V_{T0}} = \frac{A_{V_{T0}}}{\sqrt{WL}}$
mismatch en tension (paire différentielle)	$\sigma_{V_G} = \frac{I_D}{gm}\frac{\sigma_{I_D}}{I_D}$ avec $\frac{\sigma_{I_D}}{I_D} = \sqrt{(\frac{\sigma_{\beta_0}}{\beta_0})^2 + \left[\frac{1}{n_q^2 U_T^2}\frac{1}{i_f - i_r} ln\left(\frac{1+i_f}{1+i_r}\right)\right]\sigma^2_{V_{T0}}}$ $\frac{\sigma_{\beta_0}}{\beta_0} = \frac{A_{\beta_0}}{\sqrt{WL}}$ et $\sigma_{V_{T0}} = \frac{A_{V_{T0}}}{\sqrt{WL}}$
bruit équivalent	$v^2_{eq} = v^2_{eq_{N1}} + v^2_{eq_{N2}} + \left(\frac{gm_{P1,2}}{gm_{N1,2}}\right)^2 (v^2_{eq_{P1}} + v^2_{eq_{P2}}) + \frac{v^2_{eq_{P3}} + (gm_{N5}/gm_{P3})^2 v^2_{eq_{N5}}}{\left(gm_{N1,2}/(gd_{N1,2}+gd_{P2})\right)^2}$ avec $v^2_{eq} = v^2_{th} + v^2_{flicker}$
V_{offset}	$V^2_{offset} = \sigma^2_{V_{G_{N1,2}}} + \left(\frac{gm_{P1,2}}{gm_{N1,2}}\right)^2 \sigma^2_{V_{G_{P1,2}}}$ avec $\sigma_{V_G} = \frac{I_D}{gm}\frac{\sigma_{I_D}}{I_D}$ $\frac{\sigma_{I_D}}{I_D} = \sqrt{(\frac{\sigma_{\beta_0}}{\beta_0})^2 + \left[\frac{1}{n_q^2 U_T^2}\frac{1}{i_f - i_r} ln\left(\frac{1+i_f}{1+i_r}\right)\right]\sigma^2_{V_{T0}}}$ $\frac{\sigma_{\beta_0}}{\beta_0} = \frac{A_{\beta_0}}{\sqrt{WL}}$ et $\sigma_{V_{T0}} = \frac{A_{V_{T0}}}{\sqrt{WL}}$

Tab. A.8 – Expressions des déviations de l'AO Miller

Paramètre	Symbole	Valeur(s)	Unité
Tension d'alimentation	V_{dd}	1	V
(alimentation asymétrique).	V_{ss}	0	V
Courant de consommé.	I_{dd}	100	nA
Courant de polarisation.	I_{bias}	50	nA
Gain en tension.	A_{V0}	50	dB
Produit gain bande.	GBW	80	kHz
Capacité de charge.	C_l	1	pF
Tension de mode commun supérieure.	CMR_{sup}	1.1	V
Tension de mode commun inférieure.	CMR_{inf}	0.5	V

Tab. A.9 – Cahier des charges de l'OTA.

Le *plan de conception* utilisé (Fig.A.7) *pour dimensionner l'OTA* est inspiré des procédures proposées par Allen [50] et Flandre [35, 62, 63].
Il est construit sur le principe de déduction des dimensions des transistors à partir des spécifications du cahier des charges et des équations du circuit formulées en gm/I_D et en niveau d'inversion IC (cf §**??**).

La transconductance $gm_{N1,2}$ des transistors N1 et N2 est calculée avec les spécifications de GBW et de capacité de charge C_l via l'équation :

$$gm_{N1,2} = 2\pi GBW C_l \tag{A.7}$$

Puis, pour chaque valeur de gm/I_D (abaque (IC, gm/I_D)), le courant de drain $I_{D_{N1,2}}$ est déduit à partir de $gm_{N1,2}$. Le rapport $(W/L)_{N1,2}$ est obtenu à partir du courant $I_{D_{N1,2}}$, de $IC_{N1,2}$ et du courant de

Paramètre	Symbole	Valeur(s)	Unité
Tension d'alimentation	V_{dd}	1	V
(alimentation asymétrique).	V_{ss}	0	V
Courant de consommé.	I_{dd}	100	nA
Courant de polarisation.	I_{bias}	10	nA
Gain en tension.	A_{V0}	100	dB
Produit gain bande.	GBW	70	kHz
Capacité de charge.	C_l	1	pF
Marge de phase.	$M\Phi$	≥ 45	$^\circ$
Tension de mode commun supérieure.	CMR_{sup}	1.1	V
Tension de mode commun inférieure.	CMR_{inf}	0.45	V
Tension de sortie maximale.	VO_{max}	0.9	V

Tab. A.10 – Cahier des charges de l'AO Miller.

normalisation. Le courant de normalisation, à IC donné, est calculé par interpolation en niveau d'inversion de l'abaque (IC,I_{S0}) des transistor NMOS, ou choisi égal à I_{0_N} pour simplifier la procédure de dimensionnement. La largeur $W_{N1,2}$ des transistors N1 et N2 est déduite à partir de $(W/L)_{N1,2}$ pour chaque valeur fixée de longueur $L_{N1,2}$ des transistors N1 et N2. Par ailleurs, $\lambda_{N1,2}(IC_{N1,2})$ est calculé sur l'espace ($IC_{N1,2}$,$L_{N1,2}$), à l'aide de l'abaque $\lambda_N(IC)$. Ainsi, à spécification de gain en tension basse fréquence A_{V0} fixée, $\lambda_{P1,2}(IC_{P1,2})$ est obtenu avec $\lambda_{N1,2}(IC_{N1,2})$ et $(gm/I_D)_{N1,2}$, via l'équation :

$$\lambda_{P1,2} = (gm/I_D)_{N1,2}\frac{1}{A_{V0}} - \lambda_{N1,2} \tag{A.8}$$

En outre, le niveau d'inversion $IC_{P1,2}$ des transistors P1 et P2 est déduit de la tension de pincement $V_{P_{N1,2}}$ calculée via la spécification de tension de mode commun supérieure CMR_{sup}, connaissant $IC_{N1,2}$ et en supposant la tension de seuil $V_{T0_{P1,2}}$ des transistors P1 et P2 égale à sa valeur nominale grandes dimensions. Alors, la longueur $L_{P1,2}$ des transistors P1 et P2 est le résultat du rapport de $\lambda_{P1,2}$ et de

$$\lambda_P(IC_{P1,2}) \cdot L_{P1,2} \tag{A.9}$$

calculée par interpolation de l'abaque $\lambda_P(IC)$ à partir de $IC_{P1,2}$. De plus, le rapport $(W/L)_{P1,2}$ est obtenu à partir du courant $I_{D_{P1,2}} = I_{D_{N1,2}}$, de $IC_{P1,2}$ et du courant de normalisation. Le courant de normalisation, à IC donné, est calculé par interpolation en niveau d'inversion de l'abaque (IC,I_{S0}) des transistor PMOS, ou choisi égal à I_{0_P} pour simplifier la procédure de dimensionnement. La largeur $W_{P1,2}$ des transistors P1 et P2 est déduite à partir de $(W/L)_{P1,2}$ pour chaque valeur de longueur $L_{P1,2}$.

Le rapport $(W/L)_{N4}$ est obtenu à partir du niveau d'inversion IC_{N4} du transistor N4 de polarisation, lui même calculé via la spécification de tension de mode commun inférieure CMR_{inf}, connaissant $IC_{N1,2}$ et en supposant la tension de seuil $V_{T0_{N1,2}}$ égale à sa valeur nominale grandes dimensions. La longueur de N4 est choisie de façon à minimiser l'influence des variations de tension de mode commun en entrée, via l'effet CLM, autrement dit maximiser le CMRR.
Enfin, les performances du circuit (marge de phase,...) sont calculées pour chaque solution compatible, à partir des expressions générales proposées au §**??**ainsi que des dimensions, du niveau d'inversion des transistors et de leur courant de polarisation. Le gain en tension A_{V0} est recalculé et les pôles du circuit sont obtenus, à partir des capacités équivalentes des différents nœuds, ce qui permet de déduire le produit gain

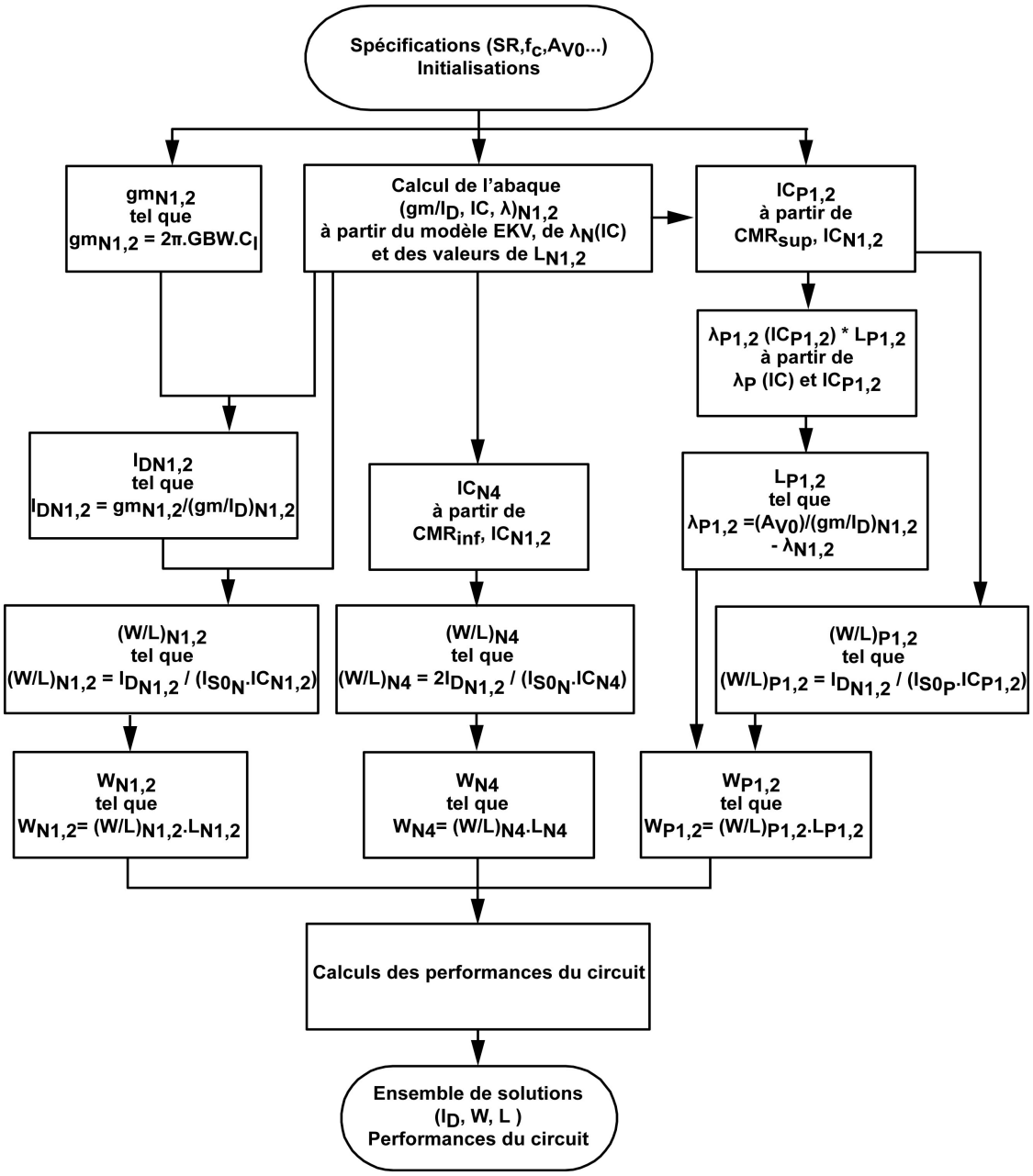

Fig. A.7 – Plan de conception de l'OTA charge miroir

bande GBW réel et la marge de phase.

Les abaques de paramètres utilisés par la méthodologie de conception sont ceux extraits à partir du modèle faible inversion pour l'ensemble des transistors.
L'ordre des étapes de calcul de $(W/L)_{N1,2}$ et de $(W/L)_{P1,2}$ est indifférent dans les procédures de dimensionnement d'Allen et de Flandre, mais dans la procédure définie ici, le dimensionnement de $(W/L)_{N1,2}$ doit précéder celui de $(W/L)_{P1,2}$.

Des solutions ont été dimensionnées pour le cahier des charges précédemment indiqué. A chaque solution, les performances du circuit ont été calculées et les solutions sélectionnées selon les spécifications du

circuit. La solution retenue est présentée dans le tableau (A.11).

Les spécifications du cahier des charges ont été prises au sens strict, comme dans la méthode gm/I_D. Toutefois, afin de s'assurer qu'aucune solution meilleure existe en dehors de l'espace de conception délimité par les spécifications prises au sens strict, les spécifications sont mises sous forme de paramètres variables, et un balayage en spécification peut être réalisé en faisant varier de 10% les spécifications du cahier des charges susceptibles d'améliorer le fonctionnement du circuit.

Le *plan de conception* utilisé (Fig.A.8) *pour dimensionner l'AO Miller* est inspiré des procédures proposées par Allen [50] et Flandre [35, 62, 63].
Il reprend le plan de conception de l'OTA car, l'AO Miller est un OTA auquel un second étage d'amplification a été ajouté. Les hypothèses suivantes, reprises de la procédure proposée par Allen [50], permettent

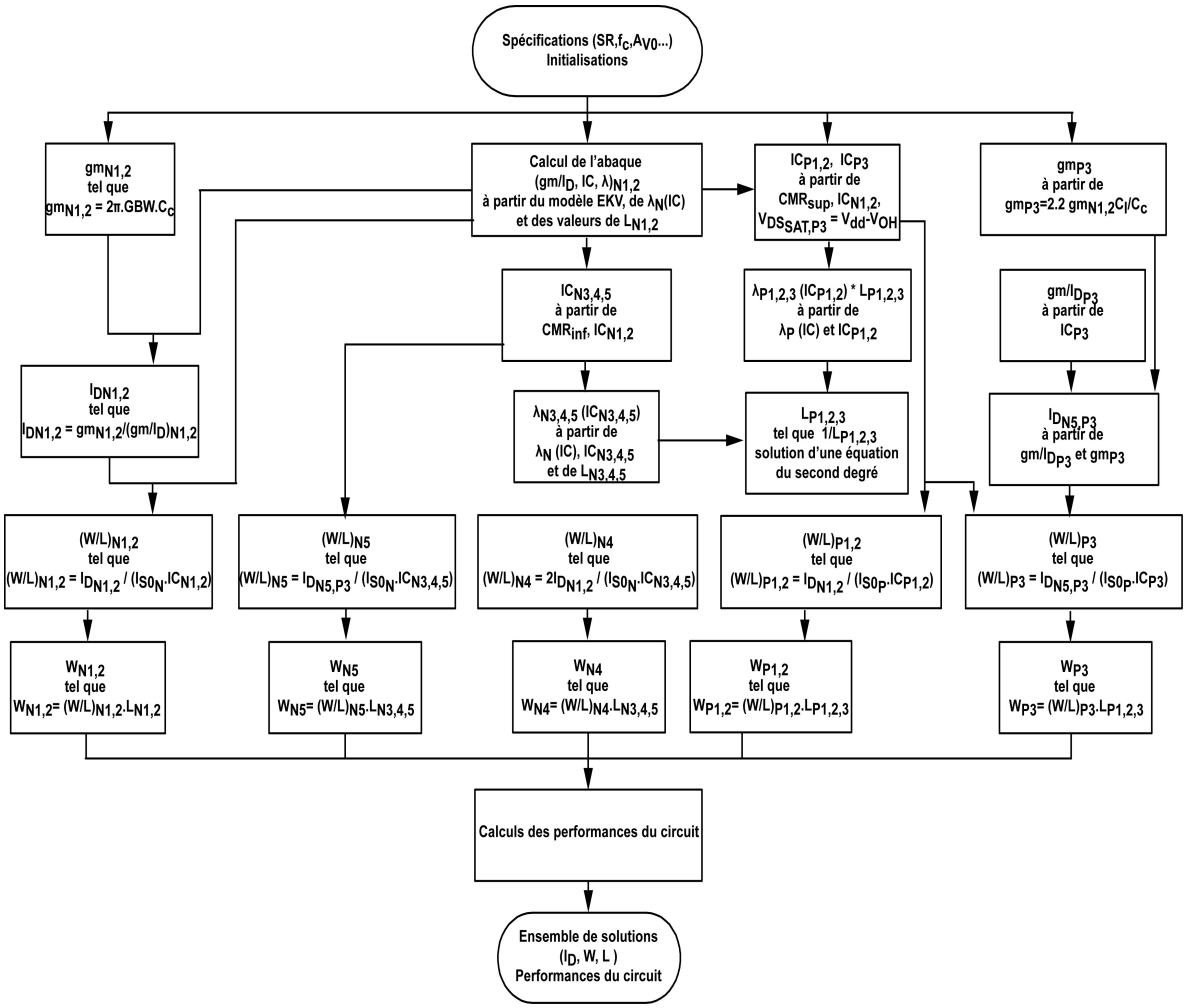

Fig. A.8 – Plan de conception de l'AO Miller

de simplifier le calcul des solutions :

– la marge de phase est garantie égale à 60°, par placement du second pôle p_2 du circuit, tel que $p_2 = \frac{gm_{P3}}{2\pi C_l}$, à 2.2 fois le produit gain bande GBW, qui s'exprime comme

$$GBW = \frac{gm_{N1,2}}{2\pi C_c} \tag{A.10}$$

ce qui implique que la capacité de compensation C_c respecte la relation suivante :

$$C_c \geq \frac{2.2}{10} C_l \tag{A.11}$$

– le second pôle étant à 2.2 fois le produit gain bande GBW, la transconductance gm_{P3} de P3 respecte la relation :

$$gm_{P3} = 2.2 gm_{N1,2} \frac{C_l}{C_c} \tag{A.12}$$

– le niveau d'inversion du transistor P3 est fixé par la spécification de tension de sortie maximale VO_{max}. De plus, la longueur de P3 est identique à celles de P1 et P2, afin d'appairer ensemble ces transistors.
– les transistors N4 et N5 sont choisis de même longueur de grille et appairés. Leur tension de grille étant commune, leur niveau d'inversion est identique. Ainsi, leurs coefficients d'effet CLM λ sont identiques.

Le plan de conception de l'AO Miller repose lui aussi sur le principe de déduction des dimensions des transistors à partir des spécifications du cahier des charges et des équations du circuit formulées en gm/I_D et en niveau d'inversion IC (cf§**??**).

De la même façon que pour l'OTA, la largeur $W_{N1,2}$ des transistors N1 et N2 est déterminée pour chaque valeur de l'abaque (IC, gm/I_D), connaissant la transconductance $gm_{N1,2}$ définie à partir de GBW et de C_c la capacité de compensation :

$$gm_{N1,2} = 2\pi GBW C_c \tag{A.13}$$

avec C_c initialisée par :

$$C_c \geq \frac{2.2}{10} C_l \tag{A.14}$$

Par ailleurs, le niveau d'inversion $IC_{P1,2}$ des transistors P1 et P2 est calculé selon la même procédure que dans le cas de l'OTA. Puis, le rapport $(W/L)_{N4}$ est obtenu de la même manière que pour l'OTA.
Ainsi, $\lambda_{N3,4,5}(IC_{N3,4,5})$ est calculé à partir de $IC_{N3,4,5}$ et $L_{N3,4,5}$. Par ailleurs, $\lambda_{N1,2}(IC_{N1,2})$ est calculé sur l'espace ($IC_{N1,2}$,$L_{N1,2}$), à l'aide de l'abaque $\lambda_N(IC)$. Puis, le niveau d'inversion IC_{P3} du transistor P3 est obtenu à partir de la tension de saturation $V_{DS_{satP3}}$ et de la spécification de niveau de sortie haut V_{0H}. En outre, les coefficients $\lambda_{P1,2}(IC_{P1,2}) \cdot L_{P1,2}$ et $\lambda_{P3}(IC_{P3}) \cdot L_{P3}$ sont calculés par interpolation de l'abaque $\lambda_P(IC)$ à partir de $IC_{P1,2}$ et IC_{P3}. Alors, à spécification de gain en tension basse fréquence A_{V0} fixée, les ratios (gm/I_D) sont déterminés à partir des niveaux d'inversion et $L_{P1,2,3}$ est solution de l'équation :

$$(\lambda_{N1,2} + \frac{\lambda_{P1,2}}{L_{P1,2,3}})(\frac{\lambda_{P3}}{L_{P1,2,3}} + \lambda_{N3,4,5}) = (gm/I_D)_{N1,2}(gm/I_D)_{P3}\frac{1}{A_{V0}} \tag{A.15}$$

De plus, le rapport $(W/L)_{P1,2}$ est obtenu à partir du courant $I_{D_{P1,2}} = I_{D_{N1,2}}$, de $IC_{P1,2,3}$ et du courant de normalisation. Le courant de normalisation, à IC donné, est calculé par interpolation en niveau d'inversion de l'abaque (IC,I_{S0}) des transistor PMOS, ou choisi égal à I_{0_P} pour simplifier la procédure de dimensionnement. La largeur $W_{P1,2}$ des transistors P1 et P2 est déduite à partir de $(W/L)_{P1,2}$ pour chaque valeur de longueur $L_{P1,2,3}$.
Le courant $I_{D_{N5,P3}}$ commun à P3 et N5 est calculé à partir de gm_{P3}, tel que

$$gm_{P3} = 2.2 gm_{N1,2} \frac{C_l}{C_c} \tag{A.16}$$

et de $(gm/I_D)_{P3}(IC_{P3})$. Connaissant IC_{P3} et $IC_{N3,4,5}$ ainsi que les courants de normalisation, les rapports $(W/L)_{P3}$ et $(W/L)_{N5}$ sont obtenus. Il en découle les largeurs W_{P3} et W_{N5} à partir de $L_{P1,2,3}$ et $L_{N3,4,5}$.

Enfin, de même que pour l'OTA, les performances du circuit (marge de phase,...) sont calculées pour chaque solution compatible, à partir des expressions générales proposées au §**??**.

Comme pour l'OTA, le circuit est dimensionné en utilisant pour l'ensemble des transistors les abaques de paramètres du modèle faible inversion.
L'ordre des étapes de dimensionnement de $(W/L)_{N1,2}$ et $(W/L)_{P1,2}$ est identique à celui de l'OTA, le pre-

	OTA charge miroir			**AO Miller**				
	N1,2	**N3,4**	**P1,2**	**N1,2**	**N3,4**	**N5**	**P1,2**	**P3**
gm/I_D (V^{-1})	20	23	25.5	25.3	23		29	19.5
I_D [nA]	25	50	25	5	10	80	5	80
Niveau d'inversion IC	0.61	0.31	0.33	0.15	0.33		0.1	1.05
Tension de Grille	>520mV	345mV	-348mV	>460mV	348mV		-298mV	-404mV
W [μm]	4	16	6	5	3	24	4	6
L [μm]	20	20	8	30	20		8	
S=W/L	0.2	0.8	0.75	0.16	0.15	1.2	0.5	0.75
Surface [μm^2]	896			1012				
W_{elem} [μm]	2	4	3	5	3		2	
N_{elem}	2	4	2	1	1	8	2	3

Tab. A.11 – Dimensions des éléments constitutifs des OTA et AO

mier étage étant similaire. En outre, le dimensionnement de $(W/L)_{N1,2}$ doit précéder celui de $(W/L)_{P1,2}$, à la différence de la procédure de dimensionnement d'Allen, pour laquelle l'ordre est indifférent.
La solution retenue, parmi celles dimensionnées pour le cahier des charges proposé précédemment, est présentée dans le tableau (A.11). A l'instar de l'OTA, les spécifications ont été prises au sens strict et l'existence d'une meilleure solution, hors de l'espace de conception délimité, peut être vérifiée de la façon déjà proposée, par un balayage en spécifications.

Les transistors sont polarisés en inversion modérée ce qui permet d'optimiser la surface du circuit et de respecter la spécification de faible tension d'alimentation.

Les solutions dimensionnées pour l'OTA et l'AO Miller ont été simulées avec le modèle faible inversion pour l'ensemble des transistors. Leurs performances sont résumées au tableau (A.12), avec celles obtenues avec la méthodologie de conception nanowatt. Les performances calculées avec la méthodologie et celles obtenues en simulation sont issues de paramètres faible inversion.
Les circuits ont été soumis à une variation de tension d'alimentation superposée à une tension d'alimentation statique de 1V, simulant une attaque en tension d'alimentation, afin de déterminer leur PSRR.
Les circuits fonctionnent sous 1V d'alimentation. Les performances essentielles (gain, produit gain bande, marge de phase, fréquence de coupure, Slew Rate, plage de mode commun, dynamique de sortie) des deux circuits corrèlent avec les valeurs obtenues à l'aide de la méthodologie. Les procédures de dimensionnement mises en place permettent donc de dimensionner des circuits d'amplification ayant un gain correct (50 à

Performances	OTA charge miroir		AO Miller	
	méthodologie	**simulation (nominal)**	**méthodologie**	**simulation (nominal)**
I_{dd} (nA)	100	100	100	100
V_{dd} (V)	1	1	1	1
P_{diss} (nW)	100	100	100	100
A_{V0} (dB)	50	50	104	104
GBW (kHz)	80	70	70	52
f_{p1} (kHz)	507	-	363	
$f_{p2} = f_c$ (Hz)	233	200	0.44	2.36
f_{p3} (kHz)	-	-	191	-
f_z (kHz)	-	-	867	-
M_Φ (°)	81	87	54	57
SR (V/μs)	0.05	0.05	0.0347	0.0347
C_c (fF)	-	-	288	288
CMR_{sup} (V)	1.09	1.14	1.11	1.19
CMR_{inf} (V)	0.52	0.526	0.46	0.44
$ICMR$ (V)	0.57	0.614	0.65	0.75
$CMRR$ (dB)	116	108	120	87
$V_{OH}(V)$	0.88	0.98	0.86	0.9
$V_{OL}(V)$	0.24	0.29	0.12	0.15
dynamique de sortie (V)	0.64	0.69	0.75	0.75
$PSRR^+$ (dB)	34	49.8	107	76
$PSRR^-$ (dB)	34	49.8	114	76
V_{offset} (mV)	3.6	1	3.3	0.3
mismatch courant (%)	6	1.6	7.8	3.4
mismatch tension (mV)	2	-	1.2	-
bruit équivalent (V^2/Hz)	0.1E-12	-	0.38E-12	-

Tab. A.12 – Performances des OTA et AO

100dB), stables (marge de phase supérieure à 45°), fonctionnant à faible tension d'alimentation et polarisés par de faible courant, certes au prix de performances dynamiques réduites (produit gain bande inférieur à 100kHz, Slew Rate inférieur à 0.05V/μs). Nous avons ainsi montré que le dimensionnement d'amplificateurs nanowatt fonctionnant à faible tension d'alimentation est possible. La généralité des principes rend la méthodologie adaptable à n'importe quelle architecture d'amplification. Cependant, la sensibilité en tension d'alimentation des circuits n'est pas correctement prédite par la méthodologie de conception (cf Tab.A.12). Il en est de même pour le CMRR de l'AO Miller.

B - Comparateur nanowatt

Un comparateur est un circuit qui compare deux signaux analogiques et délivre un signal binaire basé sur la comparaison. Un signal binaire est censé ne prendre que deux valeurs, cependant la transition entre les deux états binaires définit une région de transition que le comparateur doit traverser rapidement [50].
Un comparateur est caractérisé, du point de vue statique, par :

- ses états de sortie haut V_{OH} et bas V_{OL} définis par les niveaux logiques de la circuiterie numérique.
- ses différences de signaux d'entrée limites pour basculer la sortie à V_{OH} ou V_{OL}, notées respectivement V_{IH} ou V_{IL}.
- sa résolution $V_{IH} - V_{IL}$ est définie comme le changement en entrée permettant le basculement de la sortie. Elle est reliée à l'écart entre les niveaux logiques par le gain statique du comparateur A_{V0} :

$$V_{IH} - V_{IL} = \frac{V_{OH} - V_{OL}}{A_{V0}} \tag{B.17}$$

- le décalage d'entrée en tension V_{offset} (« input offset voltage » dans la littérature anglaise)
- le ICMR de même que pour les amplificateurs. Le ICMR est la plage de tension d'entrée de mode commun pour laquelle les transistors restent en saturation.
- le bruit qui induit une incertitude de la région de transition (bruit de phase).

D'un point de vue dynamique, un comparateur est caractérisé par le retard entre excitation en entrée et réponse en sortie, appelé temps de propagation t_p. Ce retard varie en fonction de l'amplitude du signal d'entrée dans la limite de la valeur définie par le Slew-Rate comme :

$$t_{p_{min}} = \frac{V_{OH} - V_{OL}}{2.SR} \tag{B.18}$$

Notons que plus l'amplitude est élevée en entrée plus le retard est faible. Le comparateur le plus souvent utilisé reprend la structure d'amplificateur opérationnel Miller composée de deux étages cascadés (Fig.B.9), sans capacité de compensation afin de garder une bande passante élevée et garantir la réponse du circuit la plus rapide possible. Le comparateur est dit en « boucle ouverte ». Le premier étage est un OTA chargé

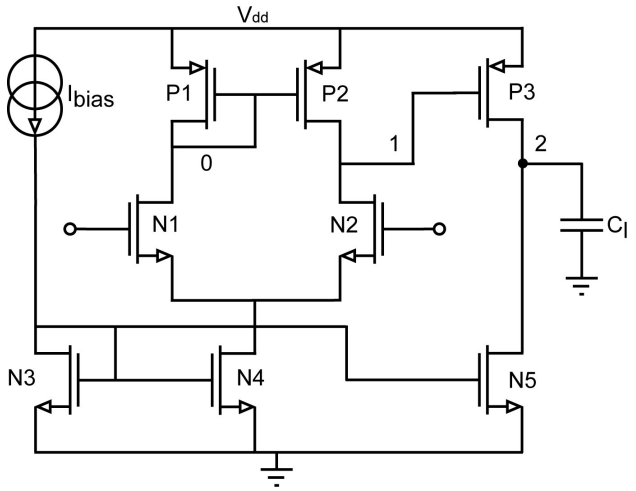

Fig. B.9 – Schéma du comparateur

par un miroir de courant, identique à celui déjà décrit. Le second étage est un amplificateur « source commune » (P3) polarisé par miroir de courant (N3 et N5). La grille du transistor d'amplification (P3) est connectée à la place de la capacité de charge de l'OTA charge miroir. La source du transistor P3 est connectée au drain du transistor N5 appartenant au miroir de courant polarisant l'amplificateur « source commune ». Le comparateur est chargé par une capacité C_l, placée aux drains de P3 et N5.

B.1 - Modélisation du circuit

Le comparateur étudié est partitionné en quatre blocs distincts, dimensionnés successivement :
- le miroir de polarisation dont les transistors (N3 et N4) sont à appairer avec le transistor N5.
- la paire différentielle dont les transistors (N1 et N2) sont à appairer.
- le miroir de charge dont les transistors (P1 et P2) sont à appairer avec le transistor P3.
- l'étage amplificateur de sortie (N5 et P3)

Les éléments associés aux transistor NMOS (respectivement PMOS) sont indicés à l'aide de Ni (respectivement Pi), avec $i = \{1, 2, 3, 4\}$.
Les équations des performances petit signal découlent du schéma petit signal du comparateur proposé à la figure (B.10). La capacité du nœud « 0 », notée C_0, correspond à la capacité C_1 de l'AO Miller.
Les équations des performances et des déviations du comparateur de type Miller sont rassemblées dans les

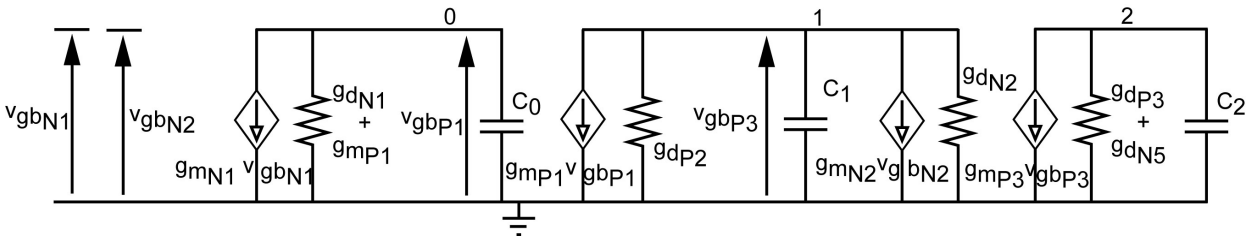

Fig. B.10 – Schéma petit signal du comparateur

tableaux (B.13) et (B.14).

De même que pour l'OTA, les contraintes nanowatt et la technologie utilisée induisent de faibles performances. A l'instar de l'OTA, le comparateur sera assez lent (Slew Rate faible) et offrira un ICMR peu élevé.
Le gain peut être amélioré en utilisant une architecture de type repliée (« folded » dans la littérature anglaise) ou voire repliée cascodée même si ce n'est pas favorable à une très faible tension d'alimentation et une faible consommation. Par ailleurs, le paramètre ICMR peut être amélioré en utilisant un étage d'entrée à deux paires différentielles (NMOS et PMOS), ce qui doublerait le courant consommé. Enfin, une architecture ayant une sortie de type « push-pull » permet de piloter une capacité de charge plus grande et constitue un système d'ordre 1, plus facile à dimensionner.
Malheureusement, par manque de temps, ces architectures n'ont pas été implémentées. Le concepteur peut parfaitement appliquer la méthode de conception développée à ces architectures.

B.2 - Conception et simulation du circuit

La méthodologie a été utilisée pour le dimensionnement d'un comparateur de type AO Miller non compensé fonctionnant à 1V de tension d'alimentation et polarisé par un courant I_{bias} d'au plus 50nA, afin de s'inscrire dans des conditions de consommation nanowatt.
Le cahier des charges circuit choisi pour le comparateur est dans le tableau (B.15).

La méthodologie permet de travailler sur l'ensemble de l'inversion, de l'inversion faible à l'inversion forte. Le plan de conception débute par la définition de la plage de niveau d'inversion IC, en prenant dix valeurs par décade entre 10^{-4} et 10^{3}. Une plage de longueurs de grille pour les transistors N1 et N2 (transistors de la paire différentielle) est également fixée ainsi que les valeurs de tension de seuil associées.
Puis une plage de tension de grille est définie pour le calcul des abaques de courant de normalisation en fonction du niveau d'inversion. La tension de grille est comprise entre 100mV (tension de grille minimale d'un transistor diode) et 2V (<7V tension d'alimentation maximale de la technologie utilisée).
Le coefficient n_v du modèle EKV est fixé à sa valeur de milieu d'inversion modérée, à savoir $n_{v_n} = 1.35$,

Performance	Expression(s)
Slew Rate SR	$\frac{I_{D_{N5}}}{C_l}$
Puissance consommée P_{diss}	$P_{diss} = (V_{dd} - V_{ss})\,(2I_{D_{N4}} + I_{D_{N5}})$
Gain A_{V0}	$A_{V0} = \frac{gm_{N1,2}}{gd_{N1,2}+gd_{P2}} \frac{gm_{P3}}{gd_{N5}+gd_{P3}}$
p_1	$p_1 = \frac{gd_{N1,2}+gd_{P2}}{C_1}$ avec $C_1 = (c_{db_{P2}} + c_{gd_{P2}})C'_{ox_p}(WL)_{P1,2} + (c_{db_{N2}} + c_{gd_{N2}})C'_{ox_n}(WL)_{N1,2}$ $+(c_{gs_{P3}} + c_{gb_{P3}} + c_{gd_{P3}}A_{V0_2})C'_{ox_p}(WL)_{P3}$ et $A_{V0_2} = \frac{gm_{P3}}{gd_{N5}+gd_{P3}}$
p_2	$p_2 = \frac{gd_{N5}+gd_{P3}}{C_2}$ avec $C_2 = (c_{db_{P3}} + c_{gd_{P3}})C'_{ox_p}(WL)_{P3}$ $+(c_{db_{N5}} + c_{gd_{N5}})C'_{ox_n}(WL)_{N5} + C_l$
V_{OH}	$V_{OH} = V_{dd} - \lvert V_{DS_{satP3}}\rvert$
V_{OL}	$V_{OL} = V_{ss} + V_{DS_{satN5}}$
$V_{in_{min}} = V_{IH} - V_{IL}$	$V_{IH} - V_{IL} = \frac{V_{OH}-V_{OL}}{A_{V0}}$
t_p	$t_p = \frac{1}{p_1\sqrt{m_{comp}.k_{comp}}}$ avec $k_{comp} = \frac{V_{in}}{V_{in_{min}}}$ et $m_{comp} = \frac{p_2}{p_1}$ dans la limite de $t_p = \frac{V_{0H}-V_{0L}}{SR}$
CMR_{sup}	$CMR_{sup} = n_{v_{N1,2}}\big(V_{dd} + (V_P - V_S)_{N1,2} - V_{DS_{satN1,2}}$ $-\big\lvert n_{v_{P1,2}}(V_P - V_S)_{P1,2} + V_{T0_{P1,2}}\big\rvert\big) + V_{T0_{N1,2}} - (n_{v_{N1,2}} - 1)V_{ss}$
CMR_{inf}	$CMR_{inf} = n_{v_{N1,2}}(V_{DS_{satN4}} + (V_P - V_S)_{N1,2}) + V_{ss} + V_{T0_{N1,2}}$
$ICMR$	$ICMR = CMR_{sup} - CMR_{inf}$
$CMRR$	$CMRR = 2\frac{gm_{N1,2}gm_{P1,2}}{gd_{N4}gd_{P2}}$
$PSRR^+$	$PSRR^+ = \frac{gm_{N1,2}gm_{P3}}{(gd_{N1,2}+gd_{P2})gd_{P3}}$
$PSRR^-$	$PSRR^- = \frac{gm_{N1,2}gm_{P3}}{(gd_{N1,2}+gd_{P2})gd_{N5}}$

Tab. B.13 – Expressions des performances du comparateur de type Miller

pour les transistors NMOS, et $n_{v_p} = 1.2$, pour les transistors PMOS afin de simplifier la résolution.
Le courant de normalisation de milieu d'inversion modérée est égal à $I_{0_N} = 204nA$, pour les transistors NMOS, et à $I_{0_P} = 102nA$, pour les transistors PMOS. Les abaques de courant de normalisation (IC,I_{S0}) sont éventuellement calculés pour chaque type de transistors sur la plage de tension de grille V_G, en négligeant l'effet du potentiel de source pour les transistor NMOS afin de simplifier la procédure de dimensionnement, ainsi que pour chaque valeur de longueur de grille influençant significativement la tension de seuil.

Le plan de conception utilisé (Fig.B.11) pour dimensionner le comparateur de type AO Miller non compensé est inspiré des procédures proposées par Allen [50]. L'architecture étudiée présente deux pôles ce qui complique la détermination du temps de propagation et donc le dimensionnement du circuit. Allen propose deux procédures, chacune correspondant à un cas particulier :

Déviation	**Expression(s)**
mismatch en courant (miroir de courant)	$\frac{\sigma_{I_D}}{I_D} = \sqrt{(\frac{\sigma_{\beta_0}}{\beta_0})^2 + \left[\frac{1}{n_q^2 U_T^2}\frac{1}{i_f - i_r} ln\left(\frac{1+i_f}{1+i_r}\right)\right]\sigma_{V_{T0}}^2}$ avec $\frac{\sigma_{\beta_0}}{\beta_0} = \frac{A_{\beta_0}}{\sqrt{WL}}$ et $\sigma_{V_{T0}} = \frac{A_{V_{T0}}}{\sqrt{WL}}$
mismatch en tension (paire différentielle)	$\sigma_{V_G} = \frac{I_D}{gm}\frac{\sigma_{I_D}}{I_D}$ avec $\frac{\sigma_{I_D}}{I_D} = \sqrt{(\frac{\sigma_{\beta_0}}{\beta_0})^2 + \left[\frac{1}{n_q^2 U_T^2}\frac{1}{i_f - i_r} ln\left(\frac{1+i_f}{1+i_r}\right)\right]\sigma_{V_{T0}}^2}$ $\frac{\sigma_{\beta_0}}{\beta_0} = \frac{A_{\beta_0}}{\sqrt{WL}}$ et $\sigma_{V_{T0}} = \frac{A_{V_{T0}}}{\sqrt{WL}}$
bruit équivalent	$v_{eq}^2 = v_{eq_{N1}}^2 + v_{eq_{N2}}^2 + \left(\frac{gm_{P1,2}}{gm_{N1,2}}\right)^2 (v_{eq_{P1}}^2 + v_{eq_{P2}}^2) + \frac{v_{eq_{P3}}^2 + (gm_{N5}/gm_{P3})^2 v_{eq_{N5}}^2}{\left(gm_{N1,2}/(gd_{N1,2}+gd_{P2})\right)^2}$ avec $v_{eq}^2 = v_{th}^2 + v_{flicker}^2$
V_{offset}	$V_{offset}^2 = \sigma_{V_{G_{N1,2}}}^2 + \left(\frac{gm_{P1,2}}{gm_{N1,2}}\right)^2 \sigma_{V_{G_{P1,2}}}^2$ avec $\sigma_{V_G} = \frac{I_D}{gm}\frac{\sigma_{I_D}}{I_D}$ $\frac{\sigma_{I_D}}{I_D} = \sqrt{(\frac{\sigma_{\beta_0}}{\beta_0})^2 + \left[\frac{1}{n_q^2 U_T^2}\frac{1}{i_f - i_r} ln\left(\frac{1+i_f}{1+i_r}\right)\right]\sigma_{V_{T0}}^2}$ $\frac{\sigma_{\beta_0}}{\beta_0} = \frac{A_{\beta_0}}{\sqrt{WL}}$ et $\sigma_{V_{T0}} = \frac{A_{V_{T0}}}{\sqrt{WL}}$

Tab. B.14 – Expressions des déviations du comparateur de type Miller

Paramètre	Symbole	Valeur(s)	Unité
Tension d'alimentation	V_{dd}	1	V
(alimentation asymétrique).	V_{ss}	0	V
Courant de consommé.	I_{dd}	100	nA
Courant de polarisation.	I_{bias}	10	nA
Capacité de charge.	C_l	1	pF
Temps de propagation.	t_p	10	μs
Résolution.	$V_{in_{min}} = V_{IH} - V_{IL}$	4.7	μV
Etat de sortie haut.	V_{OH}	0.86	V
Etat de sortie bas.	$V_{OL} = V_{OL_{max}}$	0.12	V
Overdrive.	$k_{comp} = \frac{V_{in}}{V_{in_{min}}}$	1	–
Tension de mode commun supérieure.	CMR_{sup}	1.1	V
Tension de mode commun inférieure.	CMR_{inf}	0.45	V

Tab. B.15 – Cahier des charges du comparateur.

- la procédure pour une réponse « Slewing » pour que le Slew Rate soit atteint dès que la tension différentielle d'entrée vaut la résolution $V_{in_{min}}$
- la procédure pour une réponse linéaire pour que le temps de réponse puisse être diminué par augmentation de la tension différentielle d'entrée au delà de $V_{in_{min}}$

Nous choisissons d'adapter la première procédure, la seconde pouvant elle aussi être adaptée en s'inspirant des modifications proposées pour la première.

Les hypothèses suivantes, reprises de la procédure proposée par Allen [50], permettent de simplifier le

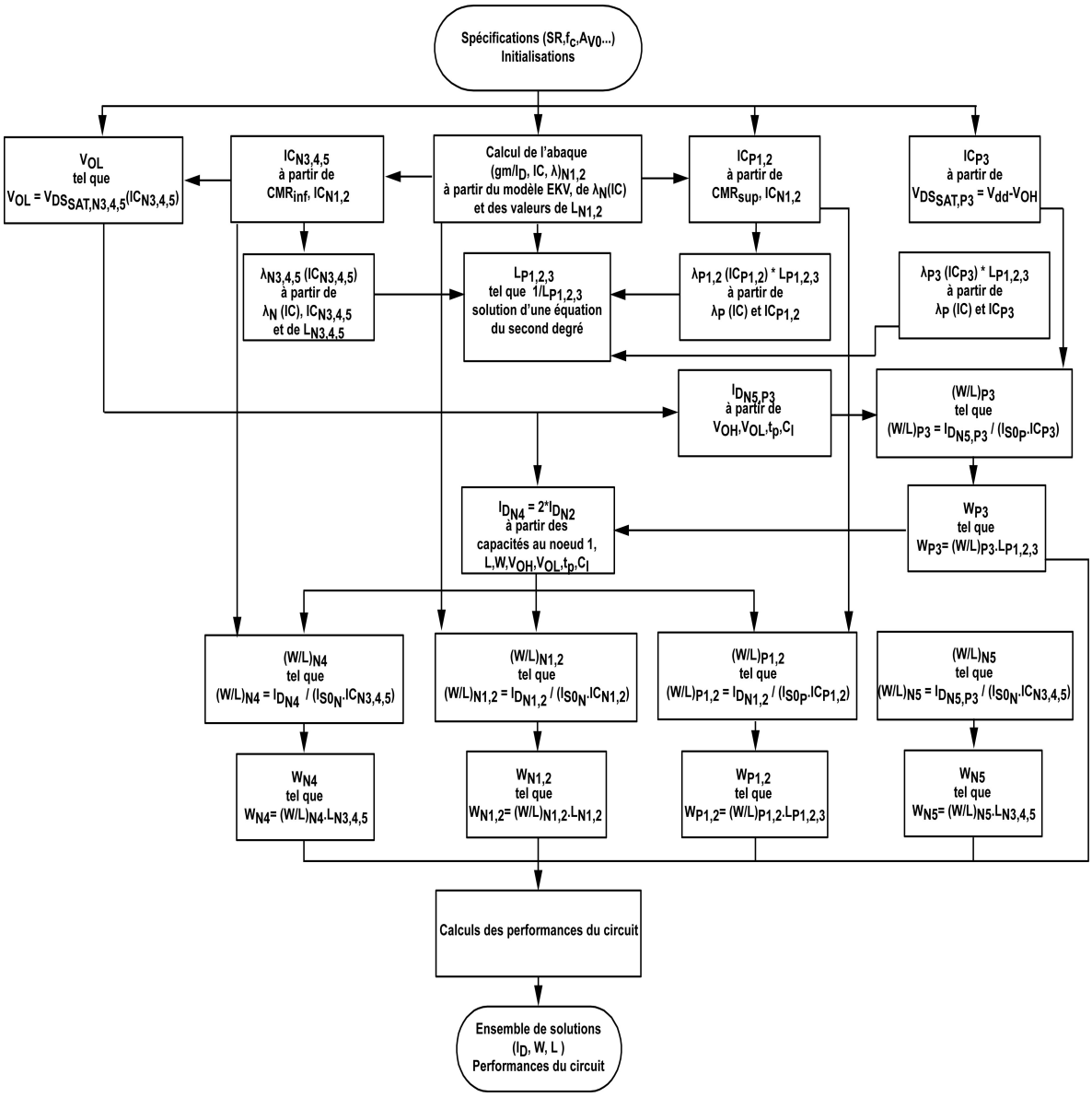

Fig. B.11 – Plan de conception du comparateur

calcul des solutions :

- le Slew Rate en sortie vaut $SR = \frac{V_{0H}-V_{0L}}{t_p}$ ce qui correspond au pire cas de vitesse de sortie.
- le Slew Rate du premier étage vaut $SR_1 = \frac{I_{D_{N4}}}{C_1} = \frac{V_{0H}-V_{0L}}{t_p}$ ce qui correspond au pire cas de vitesse de sortie du premier étage.
- La longueur de P3 est identique à celles de P1 et P2, afin d'appairer ensemble ces transistors et diminuer les erreurs de recopie. Ainsi, leurs coefficients d'effet CLM λ sont identiques.
- les transistors N4 et N5 sont choisis de même longueur de grille et appairés. Leur tension de grille étant commune, leur niveau d'inversion est identique. Ainsi, leurs coefficients d'effet CLM λ sont identiques.

Le plan de conception reprend le principe de déduction des dimensions des transistors à partir des spécifications du cahier des charges et des équations du circuit formulées en gm/I_D et en niveau d'inversion IC

(cf§**??**).

La longueur $L_{N3,4,5}$ a été fixée au départ de façon à minimiser l'influence des variations de tension de mode commun en entrée, via l'effet CLM, autrement dit maximiser le $CMRR$.
Les valeurs de niveau d'inversion $IC_{N1,2}$ sont prises dans l'abaque (IC, gm/I_D). Pour chacune de ces valeurs, le niveau d'inversion $IC_{N3,4,5}$ du transistor N4 de polarisation est calculé via la spécification de tension de mode commun inférieure CMR_{inf} en supposant la tension de seuil $V_{T0_{N1,2}}$ égale à sa valeur nominale grandes dimensions. En outre, le niveau d'inversion $IC_{P1,2}$ des transistors P1 et P2 est déduit de la tension de pincement $V_{P_{N1,2}}$ calculée via la spécification de tension de mode commun supérieure CMR_{sup}, connaissant $IC_{N1,2}$ et en supposant la tension de seuil $V_{T0_{P1,2}}$ des transistors P1 et P2 égale à sa valeur nominale grandes dimensions. Le niveau d'inversion du transistor N5 étant égal à celui de N4, le niveau de sortie bas V_{0L} est déduit de sa tension de saturation $V_{DS_{satN5}}$ et comparé avec la spécification de niveau de sortie bas qu'il ne doit pas dépasser.
A partir de ces valeurs de niveau de sortie bas, le courant $I_{D_{N5,P3}}$ est calculé avec la formulation du Slew Rate en sortie :

$$SR = \frac{V_{0H} - V_{0L}}{t_p} = \frac{I_{D_{N5,P3}}}{C_2} \tag{B.19}$$

ainsi que les spécifications de temps de propagation t_p, de niveau de sortie V_{0H} et de la capacité de charge C_l pour la capacité de sortie C_2. Par ailleurs, le niveau d'inversion IC_{P3} du transistor P3 est obtenu à partir de la tension de saturation $V_{DS_{satP3}}$ et de la spécification de niveau de sortie haut V_{0H}. Il vient alors le rapport $(W/L)_{P3}$.

De même, le rapport $(W/L)_{N5}$ est déduit de $I_{D_{N5,P3}}$ et de $IC_{N3,4,5}$. Il vient alors la largeur W_{N5} à partir de $L_{N3,4,5}$.
De plus, $\lambda_{N3,4,5}(IC_{N3,4,5})$ est calculé à partir de $IC_{N3,4,5}$ et $L_{N3,4,5}$. Le coefficient $\lambda_{N1,2}(IC_{N1,2})$ est calculé sur l'espace ($IC_{N1,2}$,$L_{N1,2}$), à l'aide de l'abaque $\lambda_N(IC)$.
En outre, les coefficients $\lambda_{P1,2}(IC_{P1,2}) \cdot L_{P1,2}$ et $\lambda_{P3}(IC_{P3}) \cdot L_{P3}$ sont calculés par interpolation de l'abaque $\lambda_P(IC)$ à partir de $IC_{P1,2}$ et IC_{P3}. Alors, à spécification de gain en tension basse fréquence A_{V0} fixée, les ratios (gm/I_D) sont déterminés à partir des niveaux d'inversion et $L_{P1,2,3}$ est solution de l'équation :

$$(\lambda_{N1,2} + \frac{\lambda_{P1,2}}{L_{P1,2,3}})(\frac{\lambda_{P3}}{L_{P1,2,3}} + \lambda_{N3,4,5}) = (gm/I_D)_{N1,2}(gm/I_D)_{P3}\frac{1}{A_{V0}} \tag{B.20}$$

Il en découle la largeur W_{P3}.

A partir des valeurs de niveau de sortie bas, le courant $I_{D_{N4}}$ est calculé avec la formulation du Slew Rate en sortie du premier étage :

$$SR_1 = \frac{I_{D_{N4}}}{C_1} = \frac{V_{0H} - V_{0L}}{t_p} \tag{B.21}$$

ainsi que les spécifications de temps de propagation t_p, de niveau de sortie V_{0H} en utilisant l'expression de la capacité de sortie du premier étage C_1, reformulée en fonction des niveaux d'inversion, des courants de normalisation, des capacités intrinsèques et des longueurs de transistors. L'expression de $I_{D_{N4}}$ est :

$$I_{D_{N4}} = \frac{(c_{gs_{P3}} + c_{gb_{P3}} + c_{gd_{P3}}A_{V0_2})C'_{ox_p}(WL)_{P3}}{\frac{t_p}{V_{0H}-V_{0L}} - \left((c_{db_{P2}} + c_{gd_{P2}})C'_{ox_p}\frac{L^2_{P1,2}}{2I_{S0p}IC_{P1,2}} + (c_{db_{N2}} + c_{gd_{N2}})C'_{ox_n}\frac{L^2_{N1,2}}{2I_{S0n}IC_{N1,2}}\right)} \tag{B.22}$$

avec

$$A_{V0_2} = -(gm/I_D)_{P3}\frac{1}{\lambda_{N5} + \lambda_{P3}} \tag{B.23}$$

Le courant de normalisation, à IC donné, est calculé par interpolation en niveau d'inversion de l'abaque (IC,I_{S0}) des transistor NMOS, ou choisi égal à I_{0_N} ou I_{0_P} pour simplifier la procédure de dimensionnement.

La largeur $W_{N1,2}$ des transistors N1 et N2 est déduite à partir de $(W/L)_{N1,2}$ pour chaque valeur fixée de longueur $L_{N1,2}$ des transistors N1 et N2. A partir de $I_{D_{N4}}$, les rapports $(W/L)_{N4}$, $(W/L)_{N1,2}$ et $(W/L)_{P1,2}$ sont obtenus ainsi que les largeurs W_{N4}, $W_{N1,2}$ et $W_{P1,2}$.
La capacité C_1 peut alors être calculée.

De même que pour l'OTA et l'AO Miller, les performances du circuit sont finalement calculées pour chaque solution en utilisant les expressions générales du circuit (§**??**) et les abaques de paramètres utilisés par la méthodologie de conception sont ceux extraits à partir du modèle faible inversion pour l'ensemble des transistors.
Dans la procédure de dimensionnement d'Allen, la capacité C_1 est fixée arbitrairement pour le calcul de $I_{D_{N4}}$, puis validée ou modifiée a posteriori avec rebouclage de la procédure. Ici ce n'est pas le cas, grâce au niveau d'inversion des différents transistors, le courant $I_{D_{N4}}$ est calculé en utilisant l'expression de la capacité C_1 formulée en fonction des niveaux d'inversion, des courants de normalisation, des capacités intrinsèques et des longueurs de transistors.

A partir du cahier des charges indiqué précédemment, les solutions compatibles sont dimensionnées. La solution retenue est présentée dans le tableau (B.16). De la même façon que pour les circuits précédents,

	N1,2	**N3,4**	**N5**	**P1,2**	**P3**
gm/I_D (V^{-1})	25.3	23		29	19.5
I_D [nA]	5	10	80	5	80
Niveau d'inversion IC	0.15	0.33		0.1	1.05
Tension de Grille	>460mV	348mV		-298mV	-404mV
W [μm]	5	3	24	4	6
L [μm]	30	20		8	
S=W/L	0.16	0.15	1.2	0.5	0.75
Surface [μm^2]	1012				
W_{elem} [μm]	5	3		2	
N_{elem}	1	1	8	2	3

Tab. B.16 – Dimensions des éléments constitutifs du comparateur

les spécifications du cahier des charges ont été prises au sens strict. Toutefois, un balayage en spécifications permettrait de s'assurer qu'aucune solution meilleure n'existe.

Les transistors sont polarisés en inversion modérée ce qui permet d'optimiser la surface du circuit et de respecter la spécification de faible tension d'alimentation.

Le comparateur dimensionné a été simulé avec le modèle faible inversion pour l'ensemble des transistors. Ses performances sont résumées au tableau (B.17), avec celles obtenues avec la méthodologie de conception nanowatt.
Les performances calculées avec la méthodologie sont issues de paramètres faible inversion.

Performances	**Méthodologie**	**Simulation (nominal)**
I_{dd} (nA)	100	100
$V_{dd_{min}}$ (V)	1	1
P_{diss} (nW)	100	100
A_{V0} (dB)	104	104
f_{p1} (kHz)	318	-
f_{p2} (Hz)	212	-
f_{p3} (kHz)	244	-
t_p (μs)	9.5	7.2
C_2 (pF)	1.022	1.03
SR (V/μs)	0.08	0.075
Vin_{min} (μV)	4.7	4.96
CMR_{sup} (V) CMR_{inf} (V) $ICMR$ (V)	1.11 0.46 0.65	1.19 0.448 0.742
$CMRR$ (dB)	120	183
$V_{OH}(V)$ 0.86 $V_{OL}(V)$	0.8 0.12	 0.2
$PSRR^+$ (dB) $PSRR^-$ (dB)	107 114	74 -
mismatch courant (%)	7.8	3.4
mismatch tension (mV)	1.2	-
bruit équivalent (V^2/Hz)	0.38E-12	-

Tab. B.17 – Performances du comparateur

Le circuit a été soumis à une variation de tension d'alimentation superposée à une tension d'alimentation statique de 1V, simulant une attaque en tension d'alimentation, afin de déterminer son PSRR.
Le circuit fonctionne sous 1V d'alimentation. Les performances essentielles (gain, temps de propagation, Slew Rate, résolution, plage de mode commun, niveaux de sortie) du circuit sont cohérentes avec les valeurs prédites par la méthodologie. La procédure de dimensionnement proposée est validée, ce qui montre la faisabilité du dimensionnement de comparateur nanowatt fonctionnant à faible tension d'alimentation. De même que pour l'OTA et l'AO Miller, les performances dynamiques sont dégradées (Slew Rate inférieur à 0.1V/μs), mais le gain reste acceptable (100dB). Cependant, la sensibilité en tension d'alimentation du circuit n'est pas correctement prédite par la méthodologie de conception (cf Tab.B.17). Il en est de même pour le CMRR.

Valorisation

1 - Conférences internationales avec actes

- François Rudolff, Fabrice Guigues and Edith Kussener, "Static design methodology dedicated to low power analog circuits", in *Proceedings of SPIE, Microelectronics : Design, Technology and Packaging II*, vol.6035, 2005.
- F. Guigues, F. Rudolff and E. Kussener, "STATIC ANALOG DESIGN METHODOLOGY", in *Proceedings of the 2006 Nanotechnology Conference and Trade Show*, NSTI, Compact Modeling, vol.3,pp. 864-867, 2006.
- F. Rudolff, E. Kussener and G. Bracmard, "CAD methodology for Analog Static CMOS Design Automation", in *Proceedings of the 2007 14th IEEE International Conference on Electronics, Circuits and Systems*, IEEE, 2007.
- F. Rudolff, G. Bracmard and E. Kussener, "700 mV - Référence de courant auto-polarisée sans contrainte d'inversion", in *Proceedings of FTFC'08*, Louvain La Neuve, Belgique, 2008.

2 - Conférences nationales avec actes

- F. Guigues, F. Rudolff and E. Kussener, "STATIC ANALOG DESIGN METHODOLOGY APPLIED TO SELF CASCODE PTAT VOLTAGE REFERENCE", in *Proceedings of FTFC'05*, Paris, France, 2005.
- F. Rudolff, G. Bracmard and E. Kussener, "METHODE DE CONCEPTION STATIQUE ANALOGIQUE NANOWATT", in *Proceedings of FTFC'07*, Paris, France, 2007.
- F. Rudolff, G. Bracmard and E. Kussener, "CURRENT REFERENCE WITHOUT INVERSION CONSTRAINT FOR LOW POWER APPLICATIONS BY USING CAD TOOL", in *Proceedings of SAME'08*, Sophia Antipolis, France, 2008.

Bibliographie

[1] *Identification cards - Physical characteristics*. International Organization for Standardization Std. ISO/IEC, 1985, vol. 7810.

[2] *Identification cards - Integrated circuit cards*. International Organization for Standardization Std. ISO/IEC, 1987, vol. 7816.

[3] J.-F. Dhem and N. Feyt, "Hardware and software symbiosis helps smartcard evolution," *IEEE Micro*, vol. 21, no. 6, pp. 14–25, 2001.

[4] H. Bar-El, "Known attacks against smartcards," *White Paper*, 2003.

[5] R. Anderson and M. Kuhn, "Tamper resistance - a cautionary note," in *Proceedings of the 2nd USENIX Workshop on Electronic Commerce*. EPFL, 1996, pp. 1–11.

[6] E. Biham and A. Shamir, "Differential fault analysis of secret key cryptosystems," in *Lecture Notes in ComputerScience*, vol. 1294. Springer-Verlag, 1997, pp. 513–525.

[7] V. Télandro, "Conception d'un système d'alimentation intégré dédié à la sécurisation des cartes à puce," Université de Provence), Aix-Marseille, France, Tech. Rep., 2007.

[8] F. Prégaldiny, "Etude et modélisation du comportement électrique des transistors mos fortement submicroniques," Université Louis Pasteur (ULP), Strasbourg, France, Tech. Rep., 2003.

[9] Y. Tsividis, *Operation and Modeling of the MOS Transistor*. 2nd ed. Mc-Graw-Hill, 1999.

[10] C.-T. Sah, "A history of mos transistor compact modeling," in *Proceedings of the 2005 Nanotechnology Conference and Trade Show*, ser. Compact Modeling, NSTI, Ed., 2005, pp. 347–390.

[11] ——, "Characteristics of the metal-oxide-semiconductor transistor," vol. ED-11(7), July 1964, pp. 324–345.

[12] H. C. Pao and C.-T. Sah, "Characteristics of the metal-oxide-semiconductor transistor," vol. 9(10), October 1966, pp. 927–937.

[13] C. G.-M. e. a. C. Enz, "Advanced compact models for mosfets," in *Proceedings of the 2005 Nanotechnology Conference and Trade Show*, ser. Compact Modeling, NSTI, Ed., 2005.

[14] E. Vittoz, "Origins of the EKV model," in *EKV Users' Meeting/Workshop*. EPFL, 2004.

[15] E. Vittoz and J. Fellrath, "CMOS analog circuits based on weak inversion operation," *IEEE J. Solid-State Circuits*, vol. 12, no. 3, pp. 224–231, 1977.

[16] A. Vittoz and O. Neyroud, "A low-voltage CMOS bandgap reference," *IEEE J. Solid-State Circuits*, vol. 14, no. 3, pp. 573–577, 1979.

[17] G. G. R. van Langevelde et al, "Psp 101.0," The Pennsylvania State University and Philips Research, Tech. Rep., 2006.

[18] "Mos model 9, level 903," Philips Electronics, Nederland, Tech. Rep., 2004.

[19] R. van Langevelde, "Mos model 11, level 1102," Philips Electronics, Nederland, Tech. Rep., 2006.

[20] M. Bucher, C. Enz, F. Krummenacher, J. Sallese, C. Lallement, and A. Porret, "The EKV 3.0 compact MOS transistor Model : accounting for deep-submicron aspects," *Nanotech 2002*, vol. 1, pp. 670–673, 2002.

[21] C. Enz, M. Bucher, A. Porret, J. Sallese, and F. Krummenacher, "The foundations of the EKV MOS transistor charge-based Model ," *Nanotech 2002*, 2002.

[22] M. S. A.Cunha and C. Galup-Montoro, "Derivation of the unifed charge control model and parameter extraction procedure," *Solid-State Electronics*, vol. 43, pp. 481–485, 1999.

[23] A. C. e. a. C. Galup-Montoro, M. Schneider, "Theory, development, and applications of the advanced compact mosfet (acm) model," in *Proceedings of the 2003 MSM meeting*, 2003.

[24] e. a. J. He, X. Xi, "Bsim5," in *Proceedings of the 2005 CMC meeting*, June 2004.

[25] C. C. Enz, F. Krummenacher, and E. A. Vittoz, "An analytical MOS transistor model valid in all regions of operation and dedicated to low-voltage and low-current," *Analog Integrated Circuits and Signal Processing*, vol. 8, pp. 83–114, 1995.

[26] D. Binkley, C. Hoper, S. Trucker, B. Moss, J. Rochelle, and D. Foty, "A CAD methodology for optimizing transistor current and sizing in analog CMOS design," *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 22, no. 2, pp. 225–237, 2003.

[27] M. Bucher, C. Lallement, C. Enz, F. Théodoloz, and F. Krummenacher, "The EPFL-EKV mosfet model equations for simulation," Swiss Federal Institute of Technology (EPFL), Lausanne, Switzerland, Tech. Rep., 1997.

[28] W. Grabinski, M. Bucher, J.-M. Sallese, and F. Krummenacher, "Compact modeling of ultra deep submicron CMOS devices," in *ICSES*, 2000.

[29] W. Grabinski, M. Bucher, and F. Krummenacher, "The EKV model parameter extraction based its IC-CAP USERC implementation," 1999.

[30] M. Bucher, F. Krummenacher, and A. Bazigos, "EKV3.0 MOS transistor model for advanced analog IC design," in *EKV Users' Meeting/Workshop*. EPFL, 2004.

[31] M. Bucher, "Review of the EKV3.0 MOSFET model," in *Nanotech 2004*, 2004.

[32] J.-M. Sallese, M. Bucher, F. Krummenacher, and P. Fazan, "Inversion charge linearization in mosfet modeling and rigorous derivation of the EKV compact model," *Solid-State Electronics*, vol. 47, pp. 677–683, 2003.

[33] C. C. Enz and E. A. Vittoz, "Mos transistor modeling for low-voltage and low-power analog ic design," *Microelectronic Engineering*, vol. 39, pp. 59–76, 1997.

[34] M. Bucher, D. Kazazis, and F. Krummenacher, "Geometry- and bias-dependance of normalized transconductance in deep submicron cmos," in *Nanotech 2004*, 2004.

[35] D. Flandre, "Méthodologie gm/id : un chaînon entre l'analyse symbolique et la synthèse de circuits analogiques basse puissance," Laboratoire de microélectronique, Université Catholique de Louvain (UCL), Louvain, Belgique, Tech. Rep.

[36] C. C. Enz and E. A. Vittoz, *Charge-based MOS Transistor Modeling*. John Wiley & Sons, 2006.

[37] M. B. David M. Binkley and D. Foty, "Design-oriented characterization of cmos over the continuum of inversion level and channel length," in *Proceedings of the 2000 7th IEEE International Conference on Electronics, Circuits and Systems*, IEEE, Ed., 2000, pp. 161–164.

[38] C. Lallement, C. Enz, and M. Bucher, "Simple solutions for modelling the non-uniform substrate doping," *ISCAS 96*, vol. 4, pp. 436–439, 1996.

[39] C. Lallement, M. Bucher, and C. Enz, "Modelling and characterization of non-uniform substrate doping," *Solid-State-Electronics*, vol. 41, pp. 1857–1861, 1997.

[40] E. K. Matthias Bucher, Antonios Bazigos and F. Krummenacher, "Recent advances in the ekv3 mos transistor model," in *Nanotech 2006*, 2006.

[41] J. R. Hauser, "Extraction of experimental mobility data for mos devices," *IEEE Transactions on Electron devices*, vol. 43, no. 11, pp. 1981–1988, November 1996.

[42] X. Z. e. a. S. Chiah, "Source-drain symmetry in unified regional mosfet model," *IEEE Electron Device Letters*, vol. 25, no. 5, pp. 311–313, 2004.

[43] M. Bucher, F. Théodoloz, and F. Krummenacher, "The EKV mosfet model for circuit simulation," Swiss Federal Institute of Technology (EPFL), Lausanne, Switzerland, Tech. Rep., October 1998.

[44] R. van Langevelde et al, "Introduction to the psp mosfet model," in *Proceedings of the 2005 MOS-AK meeting*, September 2005.

[45] M. Kayal, "Transistor-level analog ic design course," STI-IMM-LEG Laboratory, Swiss Federal Institute of Technology (EPFL), Lausanne, Switzerland, Tech. Rep., 2005-2006.

[46] C. Enz and A. Vittoz, "CMOS low power analog circuit design," in *Emerging Technologies : Designing Low Power Digital Systems*, R. Cavin and W. Liu, Eds. IEEE Press, 1996, pp. 79–133.

[47] ——, "CMOS low-power analog circuit design," *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, pp. 79–133, 1996.

[48] S. M. Sze, *Semiconductor devices : Physics and Technology*. 2nd ed. John Wiley & Sons, 1981.

[49] C. Galup-Montoro and M. C. Schneider, *MOSFET MODELING FOR CIRCUIT ANALYSIS AND DESIGN*. World Scientific Publishing Co. Pte. Ltd, 2007.

[50] P. E. Allen and D. R. Holberg, *CMOS Analog Circuit Design*. 2nd ed. Oxford University Press, 2002.

[51] F. S. e. a. D. Flandre, "Design automation of cmos otas using symbolic analysis and gm/id methodology," Microelectronics Laboratory, Université Catholique de Louvain (UCL), Leuven, Belgium, Tech. Rep.

[52] D. Foty, D. Binkley, and M. Bucher, "Starting over : gm/i_d-based mosfet modeling as a basis for modernized analog design methodologies," in *MSM Modeling and Simulation of Microsystems*, 2002.

[53] ——, "gm/i_d-based mosfet modeling and modern analog design," in *MIXDES, Wraclaw, Poland*, 2002.

[54] F. Rudolff, E. Kussener, and G. Bracmard, "Cad methodology for analog static cmos design automation," in *Proceedings of the 2007 14th IEEE International Conference on Electronics, Circuits and Systems*, IEEE, Ed., 2007.

[55] F. Guigues, E. Kussener, A. Malherbe, and B. Duval, "Sub-1v oguey's current reference without resistance," in *Proceedings of the 2006 13th IEEE International Conference on Electronics, Circuits and Systems*, IEEE, Ed., 2006.

[56] H. Oguey and D. Aebischer, "CMOS current reference without resistance," *IEEE J. Solid-State Circuits*, vol. 32, no. 7, pp. 1132–1135, 1997.

[57] E. M. Camacho-Galeano, C. Galup-Montoro, and M. C. Schneider, "Design of an ultra-low-power current source," in *ISCAS*, 2004, pp. 333–336.

[58] ——, "A 2-nW 1.1-V self-biased current reference in CMOS technology," *IEEE Trans. Circuits Syst. II, Exp. Briefs*, vol. 52, no. 2, pp. 333–336, February 2005.

[59] C. Galup-Montoro, M. C. Schneider, and R. M. Coitinho, "Resizing rules for mos analog-design reuse," *IEEE Design & Test of Computers*, pp. 50–58, March-April 2002.

[60] D. Stefanovic, "Procedural analog design (pad) tool presentation," STI-IMM-LEG Laboratory, Swiss Federal Institute of Technology (EPFL), Lausanne, Switzerland, Tech. Rep., 2004.

[61] M. K. Danica Stefanovic and M. Pastre, "Pad : A new interactive knowledge-based analog design approach," *Analog Integrated Circuits and Signal Processing*, vol. 42, pp. 291–299, 2005.

[62] D. Flandre, "Section 1 : The intrinsic common-source mos gain stage," Université Catholique de Louvain (UCL), Leuven, Belgium, Tech. Rep.

[63] F. Silveira, D. Flandre, and P. G. A. Jespers, "A gm/i_d based methodology for the design of cmos analog circuits and its application to the synthesis of a silicon-on-insulator micropower ota," *IEEE J. Solid-State Circuits*, vol. 31, no. 9, pp. 1314–1319, 1996.

[64] J.-P. Eggermont, D. D. Ceuster, D. Flandre, B. Gentinne, P. G. A. Jespers, and J.-P. Colinge, "Design of soi cmos operational amplifiers for applications up to 300°c," *IEEE J. Solid-State Circuits*, vol. 31, no. 2, pp. 179–186, 1996.

[65] D. Flandre, A. Viviani, J.-P. Eggermont, B. Gentinne, and P. G. A. Jespers, "Improved synthesis of gain-boosted regulated-cascode CMOS stages using symbolic analysis and gm/id methodology," *IEEE J. Solid-State Circuits*, vol. 32, no. 7, pp. 1006–1012, 1997.

[66] M. Barú, O. de Oliveira, and F. Silveira, "A 2v rail-to-rail micropower cmos comparator a completer," IEEE, Ed., 1996, pp. 161–164.

[67] F. Silveira and D. Flandre, *Low Power Analog Cmos for Cardiac Pacemaker*. Kluver Academic Publisher, 2004.

[68] W. L. et al, "Bsim3v3.2.2 mosfet model users′ manual," University of California, Berkeley, CA 94720, Tech. Rep., 1999.

[69] P. Bendix, "Detailed comparison of the sp2001, ekv, and bsim3 models," in *Proceedings of the 2002 Nanotechnology Conference and Trade Show*, ser. Compact Modeling, NSTI, Ed., 2002.

[70] e. a. M. Bucher, A. Bazigos, "Ekv3.0 mosfet model next generation standard model evaluation phase ii : Cv, iv and rf," in *Proceedings of the 2005 CMC meeting*, March 2005.

[71] F. Guigues, F. Rudolff, and E. Kussener, "Static analog design methodology applied to self cascode PTAT voltage reference," in *FTFC'05, Paris, France*, 2005.

[72] F. Rudolff, F. Guigues, and E. Kussener, "Static design methodology dedicated to low power analog circuits," in *Microelectronics : Design, Technology and Packaging II*, ser. Proceedings of SPIE, vol. 6035, 2005.

[73] F. Guigues, F. Rudolff, and E. Kussener, "Static analog design methodology," in *Proceedings of the 2006 Nanotechnology Conference and Trade Show*, ser. Compact Modeling, NSTI, Ed., vol. 3, 2006, pp. 864–867.

[74] F. Rudolff, G. Bracmard, and E. Kussener, "Methode de conception statique analogique nanowatt," in *FTFC'07, Paris, France*, 2007.

[75] A. Hastings, *The Art of Analog Layout*. Prentice Hall, Inc., 2005.

[76] C. Saint and J. Saint, *IC Mask Design*. McGraw-Hill Science/Engineering/Math, 2002.

[77] F. Maloberti, *Analog Design for CMOS VLSI Systems*. Springer, Oct. 2001.

[78] D. Clein, *CMOS IC Layout : Concepts, Methodologies, and Tools*. Elsevier, 1999.

Index

$(W/L)_{Ni}$, 195
$(W/L)_{Pi}$, 195
$(gm/I_D)_{Ni}$, 195
$(gm/I_D)_{Pi}$, 198
$AUX1$, 2
$AUX2$, 2
A_P, 91
A_{GAMMA}, 71
$A_{K_{n0}}$, 53
A_{V0}, 50
$A_{V_{T0}}$, 53
CLK, 2
CMR_{inf}, 186
CMR_{sup}, 186
C'_{ox_n}, 187
C'_{ox_p}, 187
C'_{ox}, 12
C_c, 178, 185
C_i, 187
C_l, 56
C_{dbi}, 26
C_{db}, 58
C_{gbi}, 26
C'_{gb}, 58
C'_{gdi}, 26
C_{gd}, 58
C'_{gsi}, 26
C_{gs}, 58
C_{in}, 58
C_{out}, 58
C_{sbi}, 26
E_c, 38
E_g, 23
$E_\perp$, 38
E_{eff}, 43
F, 25
G, 25
GBW, 58
G_p, 42
I/O, 2
IC, 26
$ICMR$, 186
IC_{Ni}, 195
IC_{Pi}, 195
I', 64
I'_D, 72
I_D, 14
I_F, 22
I_R, 22
I_S, 22
I_{0_N}, 162
I_{0_P}, 187
I_0, 70
I_{D0}, 19
I_{D_i}, 132
$I_{D_{Ni}}$, 145
$I_{D_{Pi}}$, 195
$I_{D_{sat}}$, 40
I_{S0}, 28
$I_{S_{Ni}}$, 145
$I_{S_{Pi}}$, 145
$I_{S_{thNi}}$, 146
$I_{S_{thPi}}$, 146
I_{Si}, 134
I_{bias}, 178, 185
I_{dd}, 6, 194
I_{diff}, 15
I_{drift}, 15
I_{poli}, 132
I_{ref}, 62
K_F, 54
K_n, 18
K_{n0}, 18
K_{vsat}, 39
L, 10
L_{Ni}, 195
L_{Pi}, 195
$L_{max_{Vth0}}$, 131
L_{max}, 131
L_{min}, 131
$M\Phi$, 50
N, 10
N_a^*, 42
N_T, 91
N_a, 12
N_{On}, 143
$N_{elem_{max}}$, 131
P, 10, 91
$PSRR^+$, 187
$PSRR^-$, 187
P_{diss}, 50
$Profil(V_G)$, 42
Q'_{SC}, 12
Q_0, 27
Q'_b, 14
Q'_i, 14
RST, 2
R_{OUT}, 56
SR, 58
$S_{I_{th}}$, 54
S_{Ni}, 132
S_{Pi}, 144
$S_{V_{Flicker}}$, 54

$S_{V_{th}}$, 54
Si/SiO_2, 10
SiO_2, 10
T, 12
T_0, 52
U_T, 12
U_{T0}, 136
VO_s, 187
VO_{max}, 187
VO_{min}, 187
V_i^*, 41
V_D, 10
V_G, 10
V_P, 21
V_S, 10
V_T, 17
V_i, 41
V_{AL}, 70
V_{DB}, 10
$V_{DS_{satNi}}$, 146
$V_{DS_{satPi}}$, 186
$V_{DS_{satP}}$, 146
$V_{DS_{satvsat}}$, 39
$V_{DS_{sat}}$, 16
V_{DS}, 16
$V_{D_{sati}}$, 134
$V_{FB_{th}}$, 23
V_{FB}, 10
V_{GB}, 10
V_{GS}, 18
$V_{G_{Ni}}$, 146
V_{Gi}, 134
V_{IH}, 178, 201
$V_{IH} - V_{IL}$, 178, 201
V_{IL}, 178, 201
V_{OH}, 178, 201
V_{OL}, 178, 201
$V_{P_{Ni}}$, 145
V_{SB}, 10
V_{T0_n}, 186
$V_{T0_{Ni}}$, 186
$V_{T0_{Pi}}$, 186
V_{T0}, 17
V_T, 16
V_{ch}, 12
$V_{dd_{min}}$, 150
V_{dd}, 1
V_{ea}, 58
$V_{in_{min}}$, 203
V_{in}, 58
V_{offset}, 50
V_{out}, 58
V_{pp}, 2
V_{ref}, 62
V_{ss}, 125
W, 10
W/L, 64
W_i, 41
W_{Ni}, 195
W_{Pi}, 195
$W_{elem_{max}}$, 131
$W_{elem_{min}}$, 131
W_{max}, 131
W_{min}, 131
W_{zce}, 41
X_{eff}, 44
$X_{s,d}$, 86
Δf, 54
Φ_F, 12
Ψ_0, 23
Ψ_P, 27
Ψ_{si}, 42
α, 42
$\approx$, 12
β, 18
β_0, 18
β_i, 134
β_{0_i}, 137
$\beta_{0_{Ni}}$, 143
β_{0_P}, 143
$\chi_{f,r}$, 29
$\cong$, 134
δI_D, 54
δI_{D_i}, 136
δI_{S_i}, 147
δI_S, 136
δI_{ref}, 147
δT, 135
δV_{dd}, 150
δV_{ref}, 136
$\delta\beta_{0_i}$, 137
$\delta\beta_{0_{Ni}}$, 148
$\delta\beta_0$, 137
δi_{f_i}, 136
ϵ, 42
ϵ_{ox}, 13
ϵ_{si}, 12
η, 43
η_s, 18
$\frac{W}{L}$, 59
$\frac{\sigma_{I_D}}{I_D}$, 53
$\frac{\sigma_{I_{D_i}}}{I_{D_i}}$, 137
$\frac{\sigma_{I_{D_{Ni}}}}{I_{D_{Ni}}}$, 149
$\frac{\sigma_{K_{n0}}}{K_{n0}}$, 53
$\frac{\sigma_{\beta_0}}{\beta_0}$, 137
γ_n^*, 42
γ_n, 13
γ_{I_D}, 133
λ, 39
λ_F, 91
λ_P, 146
λ_c, 39
λ_i, 134
$\lambda_{L=2\mu m}$, 177
λ_{Ni}, 146
λ_{Pi}, 195
μ_0, 39
μ_C, 42
μ_n, 13
$\mu_{0_{Ni}}$, 143
μ_{0_P}, 143
μ_{PH}, 42

μ_{SR}, 43
μ_{eff}, 43
∇, 12
∂, 12
ϕ_F, 27
π, 57
$\propto$, 135
ψ, 12
ψ_p, 27
ψ_s, 11
ψ_{sD}, 15
ψ_{sS}, 15
$\rho(x, y)$, 11
σ_{V_G}, 53
$\sigma_{V_{T0}}$, 53
a, 19
$a_{V_{T0}}$, 52
c_i, 29
$c_{db_{Ni}}$, 187
$c_{db_{Pi}}$, 187
c_{dbi}, 29
$c_{gb_{Pi}}$, 187
c_{gbi}, 29
$c_{gd_{Ni}}$, 187
$c_{gd_{Pi}}$, 187
c_{gdi}, 29
$c_{gs_{Pi}}$, 187
c_{gsi}, 29
c_{sbi}, 29
f, 54
f_c, 50
f_t, 50
f_z, 200
f_{pi}, 200
g_d, 151
g_m, 18
g_{ds}, 18
g_{mb}, 18
g_{md}, 25
g_{ms}, 25
gd_P, 151
gd_{Ni}, 151
gd_{Pi}, 187
gm/I_D, 36
gm_P, 151
gm_{Ni}, 151
gm_{Pi}, 187
gms_{Ni}, 151
i_{f_i}, 133
i_f, 24
i_{r_i}, 145
i_{ref}, 151
i_r, 24
k, 52
k_B, 12
k_{comp}, 203
m, 27
m_{comp}, 203
n, 19
n_0, 71
n_e, 12
n_i, 12
n_q, 27
n_v, 28
n_{q_P}, 145
$n_{q_{Ni}}$, 145
n_{v_n}, 192
n_{v_p}, 192
p_h, 12
p_i, 190
q_I, 91
q_d, 28
q_i, 27
q_s, 28
q_{is}, 86
$q_{s,d}$, 28
t_p, 178, 201
t_{ox}, 10
$t_{p_{min}}$, 179, 201
v, 38
v_d, 24
v_g, 24
v_p, 24
v_s, 24
v_{ch}, 27
v_{db}, 26
v_{dd}, 151
v_{eq}, 186
$v_{flicker}$, 186
v_{gb_P}, 151
$v_{gb_{Ni}}$, 151
$v_{gb_{Pi}}$, 189
v_{gb}, 26
v_{sat}, 38
v_{sb}, 26
v_{t0}, 28
v_{th}, 186
$x(V_G)$, 41
z, 193
épaisseur d'oxyde, 10
équation de Poisson, 12
équation fondamentale du MOS, 13

AC, 16
accumulation, 10
ACM, 21
AICSP, 21
alimentation asymétrique, 125
Allen, 59
amplificateur de transconductance opérationnel, 178, 185
    cahier des charges, 194
    conception et simulation, 194
    espace de conception, 187
    expressions des déviations, 191
    expressions des performances, 190
    marge de phase, 178, 185
    modélisation, 186
    plan de conception, 196
    schéma, 186
    schéma petit signal, 189
    stabilité, 178, 185
amplificateur opérationnel Miller, 178, 185
    cahier des charges, 195
    capacité de compensation, 178, 185

capacité Miller, 178, 185
conception et simulation, 197
expressions des déviations, 194
expressions des performances, 193
modélisation, 190
plan de conception, 197
schéma, 187
schéma petit signal, 192
stabilité, 178, 185
amplificateur source commune, 56
plan de conception gm/I_D, 67
plan de conception classique, 59
plan de conception nanowatt, 121
schéma, 58
schéma petit signal, 58
analyse en coin, 95
analyse Monte-Carlo, 127
AO, 178, 185
AOP Miller compensé, 190
approximation drift-diffusion, 15
approximation du canal graduel, 12
ASI, xxiv
asymptote d'inversion faible, 22
asymptote d'inversion forte, 22
AT0.15μm, 126
attaques, 3

BCS, 95
bruit, 54
de Flicker, 54
de grenaille, 54
thermique, 54
BSIM3v3, 7
caractéristiques des transistors, 126
carte modèle, 94
limites de validité, 94
paramètres faible inversion, 94
paramètres standard, 94
technologie AT0.15μm, 126
BSIM5, 16

CAD, 223
canal, 10
CAO, 7, 73
capacités intrinsèques, 29
carte à puce, 1
carte modèle, 94
champ électrique effectif vertical, 43
champ électrique latéral, 38
champ électrique vertical, 42
champ critique, 38
Channel length Modulation, 39
charge d'inversion, 11
charge de déplétion, 10
Charge Sharing, 38
Charge Sheet Model, 14
Chatelain, 21
circuits, 61
à polarisation fixée, 61
autopolarisés, 61
dynamiques, 61
statiques, 61
circuits nanowatt, 125
à polarisation fixée, 177
à polarisation fixée : mise en œuvre de la méthodologie, 177
amplificateur de transconductance opérationnel, 178, 185
amplificateur opérationnel Miller, 178, 185
autopolarisés, 129
autopolarisés : mise en œuvre de la méthodologie, 131
comparateur, 178, 201
référence de courant Camacho-Galeano, 161
référence de courant Oguey, 142
référence de tension Self-Cascode, 132
classification des modèles, 15
CLM, 39
CMC, 21
CMOS (*Complementary Metal Oxide Semi-conductor*), 2
CMRR, 50
coefficient d'effet substrat, 13
coefficient d'inversion, 26
coefficient de correction de Ψ_0, 27
coefficient de normalisation de la charge, 27
Common Mode Rejection Ratio, 50
comparateur, 178, 201
état d'entrée bas, 178, 201
état d'entrée haut, 178, 201
état de sortie bas, 178, 201
état de sortie haut, 178, 201
cahier des charges, 204
conception et simulation, 202
expressions des déviations, 204
expressions des performances, 203
modélisation, 202
overdrive, 204
plan de conception, 205
résolution, 178, 201
schéma, 201
schéma petit signal, 202
temps de propagation, 178, 201
concept de niveau d'inversion, 21
conductance drain/source, 18
conducteur, 16
conduction, 16
conservation de la charge, 27
continuous charge-controlled model, 27
corner analysis, 95
couche d'inversion, 11
courant de conduction, 15
courant de diffusion, 15
courant de normalisation de milieu d'inversion modérée, 126
courant direct, 21
courant inverse, 21
courant spécifique, 22
courant technologique, 70
CPU, 22
CS, 38
Cserveny, 21
CSM, 14
Cunha, 27

démarche, 54
classique de conception, 54
générale de conception, 54

dépendance en température, 52
de la mobilité, 52
de la tension de seuil, 52
déplétion, 10
désappariement, 53
en courant, 53
en facteur de transconductance, 53
en tension de grille, 53
en tension de seuil, 53
déviations
procédé de fabrication, 53
température, 52
DC, 16
densité volumique de charges, 11
DFA, 4
diagramme de bandes, 11
DIBL, 37
dopage, 12
Drain, 10
Drain Induced Barrier Lowering, 37
DRC, 129
DRM, 130

Ecole Polytechnique Fédérale de Lausanne, 73
EEPROM, 2
effet perturbateur, 37
canal étroit, 38
canal court, 38
canal court inverse, 38
CLM, 39
d'abaissement de la barrière de potentiel de drain, 37
de modulation de la longueur du canal, 39
de porteurs chauds, 37
de saturation de vitesse, 38
Early, 39
phénomène de Coulomb, 42
phénomène de rugosité de surface, 43
quantique, 40
effet substrat, 18
effet tunnel, 40
EKV, 16, 21
EKV2.0, 21
EKV3.0, 21
Enz, 21
EPFL, 73

facteur de linéarisation de la charge d'inversion, 27
facteur de pente sous le seuil, 18
facteur de transconductance, 18
facteur de transconductance pour un transistor carré, 18
Felrath, 19
fonction d'interpolation simplifiée d'Oguey-Cserveny, 24
fréquence de coupure, 50
fréquence de transition, 50

Gain Band Width, 50
gain en tension basse fréquence, 50
Galup-Montoro, 27
GBW, 50
GDSII, 129
Grille, 10
GSM, 3

Holdberg, 59
HV, 125

ICMR, 50
IEC, 1
influence de la structure technologique, 40
influence du champ électrique vertical, 42
inversion, 10
inversion faible, 9
inversion forte, 9
inversion modérée, 3
ISO, 1

Jespers, 21

Krummenacher, 21

largeur de la zone de déplétion, 41
LDD, 38
LDR, 128
Li, 138
logiciel de conception PAD, 73
loi de Gauss, 12
Lowly Doped Drain, 38
LV, 183
LVS, 129
LWT, 134

méthode gm/I_D, 63
procédure de conception de la solution initiale, 65
méthode de Binkley, 68
procédure de conception de la solution initiale, 69
méthode de Camacho-Galeano, 62
méthodologie de conception, 60
avancée, 61
classique, 54
classique : procédure de conception de la solution initiale, 57
démarche générale, 55
de circuits à polarisation fixée, 63
de circuits autopolarisés, 61
traditionnelle, 60
méthodologie de conception nanowatt, 79
évaluation du modèle de simulation, 94
abaque de dimensions, 116
abaque solution du transistor élémentaire, 117
abaque technologique, 117
bruit, 91
caractéristiques, 120
choix des équations statiques et petit signal, 85
concepts clés, 79
déviations, 90
dimensionnement de circuits à polarisation fixée, 118
dimensionnement de circuits autopolarisés, 115
effet CLM, 101
effets du second ordre, 89
extraction de paramètres, 92
mobilité et courant spécifique, 104
plan de conception des circuits à polarisation fixée, 119
plan de conception des circuits autopolarisés, 117
prédiction du courant de drain, 109
principes fondamentaux, 80

procédure de conception de la solution initiale, 112
procédure globale de conception, 111
profil de dopage, 103
tension de seuil, 102
transistor long, 107
variations du procédé de fabrication, 90
Méthodologie de Conception Statique, 115
Maher, 27
marge de phase, 50
MATLAB, 32
Mead, 27
Meindl, 19
Memelink, 21
MI, 3
mismatch, 53
en courant, 53
en facteur de transconductance, 53
en tension de grille, 53
en tension de seuil, 53
MM11, 20
MM9, 20
mobilité, 13
des électrons, 13
effective, 43
en conduction, 44
en saturation, 44
modèle de contrôle de charge, 27
modèle de dimensionnement, 17
modèle de feuille de charge, 13
modèle de forte inversion, 17
modèle de Pao-Shah, 15
modèle de référence, 13
modèle de simulation, voir BSIM3v3
modèle faible inversion, 19
modèles compacts analytiques, 9
modèles de simulation électrique, 9
modèles empiriques, 9
modèles en charge, 21
modèles en potentiel de surface, 20
modèles en tension de seuil, 17
modèles physiques numériques, 9
mode de conduction, 16
mode de saturation, 16
mode linéaire, 16
Moderate Inversion, 3
MOS (*Metal Oxide Semi-conductor*), 2
MOSFET, 10

Narrow Channel Effect, 38
NCE, 38
Ni, 132
niveau d'inversion, 26
NMOS, 10
NOM, 95
nput Common Mode Range, 50

OCEAN, 111
Oguey, 21
Operational Transconductance Amplifier, 178, 185
OTA, 66
outil de conception de circuits assisté par ordinateur, 73
oxyde, 10

PAD, 73
procédure de conception de la solution initiale, 76
paramètres, 94
faible inversion, 94
standard, 94
paramètres modèles des transistors, 126
paramètres petits signaux, 18
partage de charges, 38
pente sous le seuil, 19
performances dynamiques, 50
performances statiques, 50
perturbations, 127
électriques, 127
attaques, 128
attaques en tension d'alimentation, 128
régulateur de tension, 128
tension d'alimentation, 127
thermiques, 127
phonons, 42
Pi, 143
Pinch-off voltage, 21
plage de mode commun d'entrée, 50
PMOS, 10
polydéplétion, 40
polysilicium, 10
potentiel de canal, 12
potentiel de quasi-Fermi, 12
potentiel de surface, 11
potentiel de surface de pincement, 27
Power Supply Rejection Ratio, 50
principe des références de courant autopolarisées à résistance active, 62
Procedural Analog Design, 73
produit gain bande, 50
produits sécurisés, 3
profil de dopage, 41
profil de dopage longitudinal, 38
profil rétrograde, 41
profil step, 41
profondeur d'implantation, 41
profondeur normalisée, 41
Proportional To Absolute Temperature, 132
PSD, 54
PSP, 16
PSRR, 50
PSRR+, 128
PTAT, 132
puissance consommée, 50

q, 12

réduction de la mobilité, 42
référence de courant Camacho-Galeano, 161
cahier des charges, 167
conception et simulation du circuit, 167
démarche d'étude des déviations, 164
dépendance en désappariement, 165
dépendance en procédé de fabrication, 165
dépendance en température, 164
dépendance en tension d'alimentation, 166
dessin des masques, 171
gain courant/tension d'alimentation, 166

modélisation du circuit, 161
plan de conception, 168
résultats expérimentaux, 171
schéma, 161
schéma petit signal, 166, 167
référence de courant Oguey, 142
cahier des charges, 152
conception et simulation du circuit, 152
démarche d'étude des déviations, 146
dépendance en désappariement, 149
dépendance en procédé de fabrication, 148
dépendance en température, 146
dépendance en tension d'alimentation, 150
dessin des masques, 156
gain courant/tension d'alimentation, 151
modélisation du circuit, 143
plan de conception, 153
résultats expérimentaux, 156
schéma, 143
schéma petit signal, 151
référence de tension Self-Cascode, 132
cahier des charges, 138
conception et simulation, 138
dépendance en désappariement, 137
dépendance en procédé de fabrication, 137
dépendance en température, 134
dessin des masques, 140
modélisation du circuit, 132
plan de conception, 139
proportionnelle à la température absolue, 132
résultats expérimentaux, 141
schéma, 132
régime d'inversion forte, 11
règle de Mathiesen, 43
Radio-Fréquence, 50
Reverse Short Channel Effect, 38
RF, 2, 50
RSCE, 38

S, 131
saturé, 16
saturation, 16
SCE, 38
schéma petit signal du transistor MOS, 26
Schneider, 27
SDM, 115
semi-conducteur, 10
Short Channel Effect, 38
shot noise, 54
SI, 11
silicium sur isolant, 182
Silicon On Insulator, 182
simulateur électrique, 51
Slew Rate, 50
Smart Card, 1
SOI, 182
solution initiale, 55
Source, 10
SP, 20
spécifications en conception analogique, 50
SPICE, 16
SR, 50
Static Design Methodology, 115
statistique de Maxwell-Boltzmann, 12
Strong Inversion, 11
structure de bandes, 10
substrat, 10
Surface Roughness, 43
Swanson, 19

taux de distorsion harmonique, 51
taux de réjection de la tension d'alimentation, 50
taux de réjection de mode commun, 50
technologie, 125
AT0.15μm, 126
ATMEL , 125
standard, 125
substrat, 125
tension d'Early, 39
tension de bandes plates, 10
tension de bandes plates théorique, 23
tension de décalage, 50
tension de Pincement, 21
tension de saturation, 16
tension de seuil, 16
tension thermodynamique, 12
Tensions de mode commun PAD, 186
THD, 51
transconductance de bulk (substrat), 18
transconductance de grille, 18
transistor MOS, 10

UCL, 63
Université Catholique de Louvain, 63

variations liées à la fabrication, 126
centre de gravité commun, 126
common centroïd, 126
compensation, 126
polarisation, 126
techniques de dessin des masques, 126
variations linéaires, 126
variations process, 53
vitesse de basculement, 50
vitesse de saturation, 38
vitesse des porteurs de charge, 38
Vittoz, 19, 21

WCS, 95
Weak Inversion, 16
WI, 16
Wi, 138

Titre :	**Méthodologie de conception nanowatt dédiée aux applications Smart-Card.**
Résumé :	La surface occupée par la mémoire et la circuiterie digitale dans une carte à puce est prépondérante, ce qui motive l'utilisation de technologies à forte densité, mais impliquant une tension d'alimentation V_{dd} en dessous du volt. Par ailleurs, les cartes à puces étant destinées à des applications nomades, leur consommation est limitée alors que les fonctionnalités demandées deviennent plus nombreuses, ce qui nécessite de diminuer la consommation de chaque fonction élémentaire. Ainsi, le concepteur est amené à dimensionner des cellules analogiques fonctionnant sous spécifications nanowatt (faible tension d'alimentation - au plus 1 Volt - et faible consommation - quelques dizaines à quelques centaines de nano-ampères -). Cette étude traite de l'élaboration d'une méthodologie de conception de circuits analogiques nanowatt, et de son application au domaine de la carte à puce. La méthodologie développée a été appliquée à des architectures autopolarisées et à polarisation fixée. Les circuits dimensionnés sous spécifications nanowatt, ont été simulés avec Spectre et les paramètres BSIM3v3 de la technologie CMOS $0.15\mu m$ de la société ATMEL. Les transistors qui ont été utilisés sont des transistors haute tension (HV oxyde épais). Les résultats de simulation se sont révélés cohérents avec les performances prédites par la méthodologie. Les mesures expérimentales ont confirmé l'aptitude de la méthodologie au dimensionnement de circuits sous spécifications nanowatt.
Mots-clés :	Carte à puce, circuit intégré, CMOS, nanowatt, faible puissance, faible consommation, faible tension, faible courant, CAO, méthodologie.

Title :	**Nanowatt design methodology dedicated to Smart-Card applications.**
Abstract :	Memory cells and digital circuits mainly occupy silicon area in smart-cards, so strong density technologies are used, but associated supply voltage V_{dd} becomes lower than 1 volt. Besides, smard-cards are dedicated to portable application, so their consumption is limited, whereas required functionnalities increase, then elementary function consumption must be reduced. Thus, designer sizes analog cells working with nanowatt specifications (low voltage supply - no more 1 volt- and low consumption- few tens at few hundreds nano-amper). This study deals with a nanowatt analog circuit design methodology and its application to smart-card area. Self-biased and fixed bias architectures were designed with the developped methodology. Circuits sized for nanowatt specifications were simulated with Spectre and BSIM3v3 parameters of ATMEL $0.15\mu m$ CMOS technology. Transistors used in circuits are high voltage devices (HV thick oxide) Simulation results and methodology prediction are similar. Measures confirmed methodology capability to circuit sizing with nanowatt specifications.
Keywords :	Smart card, integrated circuit, CMOS, nanowatt, low power, low consumption, low voltage, low current, CAD, methodology.