



Conception de systemes robustes de faible puissance pour des applications smarts-cards

Julien Roche

► To cite this version:

Julien Roche. Conception de systemes robustes de faible puissance pour des applications smarts-cards. Micro et nanotechnologies/Microélectronique. Université de Provence - Aix-Marseille I, 2009. Français. NNT: . tel-00408730

HAL Id: tel-00408730

<https://theses.hal.science/tel-00408730>

Submitted on 2 Aug 2009

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

N° d'ordre :XXXX

Université d'aix Marseille 1

Thèse

pour obtenir le grade de :

DOCTEUR DU L'UNIVERSITÉ D'AIX MARSEILLE 1
Mention PHYSIQUE ET MODÉLISATION DES SYSTÈMES
COMPLEXES

présentée et soutenue publiquement par

Julien ROCHE

Équipe d'accueil : IM2NP-Polytech Marseille

Ecole doctorale : Physique, Modélisation et Sciences pour l'Ingénieur

Titre de la thèse :

Conception de systèmes robustes de faible puissance pour des applications smart-cards



Soutenue le XXXX devant la commission d'examen :

Table des matières

1	Introduction	1
1.1	Contexte et motivations	1
1.2	Environnement des cartes à puce sécurisées	6
1.3	Historique du choix de la norme USB	8
1.4	Historique de l'asservissement de phase	10
1.5	Réflexions sur la notion de Phase et de Fréquence	12
1.5.1	Phase et fréquence dans le cas de signaux périodiques	13
1.5.2	Phase et fréquence dans le cas de signaux non périodiques	14
1.5.3	Définition de la fréquence instantanée par approximation locale du signal	14
1.5.4	Application : observation de la phase d'un oscillateur à relaxation	16
1.5.5	Modélisation du signal carré et définition de sa fréquence instantanée	18
2	Etat de l'art sur la génération de fréquence et spécification USB	21
2.1	Les boucles à verrouillage de phase, BVP	21
2.2	Classification des Boucles à verrouillage de Phase	23
2.3	Boucle à Ligne de Délai, BLD	26
2.4	Spécification USB	29
2.4.1	Généralités sur la transmission USB	30
2.4.2	Protocole USB	34
2.4.3	Connexion d'un système à un serveur USB.	42
2.4.4	Caractéristiques électriques du signal USB	48

3	Analyse et modélisation du système de récupération d'horloge	55
3.0.5	Description des blocs	57
	Détecteur de phase/fréquence	58
	Pompe de charge	69
	Le filtre de boucle	70
	Oscillateur Contrôlé en Tension	72
3.0.6	Spécification de la BVP	76
	Temps d'établissement	76
	Stabilité	76
	Bruit de phase	76
	Pics parasites	80
3.0.7	Linéarisation et modélisation de la BVP	81
	Modélisation du comportement de la boucle	81
	Modélisation des différentes sources de bruit	85
4	Conception du système	89
4.1	Calcul des paramètres de la boucle	89
4.1.1	Etude Mathcad du système.	90
4.2	Solution d'adaptation de bande passante	94
4.2.1	Conception de la source de courant contrôlé	94
4.3	Evolution de l'architecture du détecteur de phase	101
4.4	Modélisation des différentes sources de bruit et calculs du bruit total dans la boucle	103
4.4.1	Bruit dans les résistances	105
4.4.2	Bruit dans les capacités	105
4.4.3	Bruit dans les transistors MOS	107
4.4.4	Bruit dans l'OCT	108
	Le modèle de Leeson (Théorie Linéaire et Stationnaire, LTI : Linear Time Invariant)	108
	Le modèle d'Hajimiri (Théorie Linéaire et variant temporellement LTV : Linear Time Variant)	110
4.4.5	Pics parasites et choix du filtre de boucle	113
	Gain des pics parasites	113
	Pics dûs aux fuites de courant	113
	Pics dûs aux différences physiques de la pompe de charge	114
	Modélisation de l'influence du filtre sur les pics parasites	115
	Conception du Filtre de boucle	116
4.4.6	Estimation du Bruit dans la PLL	116

4.5	Conception de l'OCT	119
4.6	Conception du multiplicateur de fréquence faible bruit	125
4.6.1	Caractéristique d'un signal de type NRZI	128
4.6.2	Etude et validation du système de multiplication de fréquence sous ADS	133
4.6.3	Impact de la multiplication sur le bruit de phase	138
4.6.4	conception des blocs du multiplicateur sous cadence	139
5	Validations du système	149
5.1	Conception de la structure de test	150
5.1.1	module de 'trimming'	150
5.1.2	Mise en place du mode de test	151
5.2	Simulation	154
5.3	Mesures	161
6	Conclusions	169
A	ANNEXE	173
A.1	Liste des Acronymes	173
A.2	Spécification USB	175
A.3	Mathcad	180
A.4	Cadence	189
A.5	Verilog	192
A.6	Valorisation de la Thèse	200

REMERCEMENTS

Je tiens à remercier tout particulièrement mes tuteurs de thèse Annie Perez, Gaëtan Bracmard, Wenceslas Rahajandraibe et Lakhdar Zaïd pour leurs conseils et surtout leur soutien pendant ces 4 ans

Ces travaux n’auraient pu aboutir sans le soutien d’*Atmel* à Rousset, et du IM2NP à Marseille, qui m’ont mis dans les meilleures conditions pour l’étude, la conception et les tests des circuits présentés dans ce mémoire.

Je remercie par ailleurs tous les membres du groupe *Design analogique SMS* (Secure Microcontrôleur Solution) que je n’ai pas encore cités et qui ont tous contribué à ce que les travaux se passent dans de bonnes conditions.

Je remercie aussi l’ensemble du personnel d’*Atmel* pour leur accueil, (Daniele Fronte, Samuel Charbouillot, Jean-Pascal Maraninchi . . .)

Ces trois années n’auraient pas été particulièrement réussies sans les thésards et stagiaires qui ont contribué à créer une ambiance de travail plus que sympathique : Vincent Cheynet de Beaupré, Emmanuel bergeret, Amir Fanaei, Arnaud regnier, Bertrand Saillet, Jérémy Postel-Pellerin, Julien Mercier, Marc Battista, Matthieu Fillaud, Olivier Mercier, Valéry Bouquet, Yannick Bachelet.

Je retiendrai particulièrement les fous rires et les moments de soutien que nous avons partagés.

Je remercie aussi mes amis : Vinz, Polo, Etienne, Martin, Tank, Axel, Kaesar, Toto pour m’être resté fidèles malgré mes longues absences.

Je voudrais aussi remercier mes parents, mon frère et ma famille en France, aux États-Unis, à Tahiti, parce qu’ils me sont particulièrement chers.

Enfin, je finirai par remercier ma femme qui a dû supporter mes sautes d’humeur et que j’aime plus que tout.

Résumé

Le besoin sécuritaire lié au développement des cartes à puce intelligentes impose de fortes contraintes quant à la robustesse de fonctionnement de ces dispositifs afin de garantir des performances optimales dans un environnement sans cesse perturbé. Depuis Trois ans, des effets d'annonces, suivies de prudentes introductions commerciales, se sont multipliés pour promouvoir auprès des opérateurs télécoms un nouveau concept de carte SIM : une carte, *Mega, Very Large ou SuperSIM*, offrant des capacités mémoires étendues aptes à supporter de nouveaux services de gestion de contenus et, surtout, disposant d'un protocole de communication bien plus rapide que celui spécifié par l'ISO7816-3 (9,6kbits/s en standard). L'augmentation de ce taux de transfert est donc un enjeu important pour ce marché. Une des solutions envisagées serait d'utiliser la performance de la norme USB (Universal Serial Bus) qui est une interface rapide, bidirectionnelle, isochrone et de faible coût, dont les connections sont gérées dynamiquement. En dépit de sa simplicité, cette solution a un coût. En effet, l'isochronisme n'est pas assuré par le transfert d'une base de temps au travers de la connexion. Ainsi le lecteur et l'élément connecté (host et device) doivent générer leurs propre référence. Cependant, celles-ci doivent avoir une précision compatible, aussi bien au niveau des taux de transfert que du nombre d'éléments faisant partie de la chaîne de communication. L'objectif de cette thèse est d'une part, la recherche de solutions innovantes et de faible coût permettant la récupération d'horloge lors de la transmission de données entre la carte à puce et son lecteur en se servant du protocole USB, et d'autre part, de démontrer la faisabilité de la solution par l'implémentation d'une structure robuste, à faible puissance, pour les applications Smart-Card.

1

Introduction

1.1 Contexte et motivations

La production de cartes à puce en 2007 (avec 4,175 milliards) est en progrès de 17% par rapport à 2006. Dans cette production, on distingue les cartes à mémoire (24%) et les cartes à microprocesseurs (76%). Les cartes sont utilisées principalement pour les usages téléphoniques (la carte SIM représente 2,14 milliards d'unités, soit près de la moitié du marché global), les services bancaires (0,5 milliard de cartes à microprocesseur, dont 40 millions pour les paiements sans contact) et les cartes d'identité pour les services de santé et de transport. Selon Frost and Sullivan, les principaux fournisseurs sont cette année l'Allemand Infineon (29% de parts de marché en valeur), Samsung (15,5%), NXP (14,3%), Atmel (13%), Renesas (12,5%), etc.

Cependant, le lancement de la carte à puce fût difficile, personne n'y croyait. La première puce SPOM fabriquée en 1980 par Bull et Motorola resta en effet assez ignorée. Ce climat de méfiance explique qu'en 1983, France Télécom eut beaucoup de mal à trouver un industriel qui accepte de produire ses puces. Après avoir prospecté sans succès les Etats-Unis et le Japon, France Télécom trouve enfin une entreprise pour fabriquer ses premières télécartes.

Ce sera Eurotechnique, qui fut ensuite absorbée par STMicroelectronics. L'accélération eut lieu en 1987, lorsque les quantités produites pour France Télécom et Deutsch Telekom commencèrent à être importantes, d'autres acteurs entraient aussi en jeu, comme Siemens avec Infineon, ou encore au Japon OKI, Hitachi et NEC. Mais, après le pic de consommation annuelle mondiale, atteint en 2002 avec 1,3 milliards de cartes, la concurrence des téléphones portables affecte fortement l'utilisation des cabines téléphoniques. C'est ainsi que la consommation de télécartes est passée au-dessous du milliard en 2004.

Cependant, l'explosion du marché du GSM entre 1995 et 2000 a été une véritable aubaine pour les fabricants de cartes. Le développement continu de la capacité des composants a permis de multiplier les fonctions de la carte SIM (SIM = Subscriber Identity Module) : téléchargement par l'opérateur, dialogue avec le réseau, nouvelles applications. Aujourd'hui une carte SIM haut de gamme dispose de 128 ko de mémoire EEPROM et 4 ko de mémoire vive pour moins de 3 dollars.

Après avoir fait ses preuves dans le secteur bancaire puis dans la téléphonie mobile, la carte à puce s'impose progressivement comme le support universel de l'identité. Une fois personnalisé, ce système sur puce portable et sécurisé permet, entre autres, d'identifier et d'authentifier son porteur légitime, de stocker ses données confidentielles et de signer électroniquement des documents officiels. Ainsi, la carte à puce s'impose dans un nombre grandissant de domaines d'application :

- cartes de santé,
- cartes d'abonnement,
- sécurité sociale
- réseaux de télévision payants (Canal+, BSkyB vecBskyB, SkyTV),
- cartes de sécurité sur Internet,
- transports,
- cartes d'accès (physique ou logique),

- cartes d'identité électroniques et passeports biométriques

Ce sont les nouveaux vecteurs de 'l'intelligence ambiante'. Pourtant, la carte à puce est un support contraignant. En particulier, les contraintes mécaniques fixées par les normes limitent la surface silicium à seulement 30 mm². De fait, les premières cartes commercialisées comportaient uniquement une mémoire pilotée par un circuit logique simple. Par la suite, l'évolution des technologies MOS a permis de découpler les ressources matérielles embarquées ; les plus sophistiqués des microcontrôleurs actuels renferment un microprocesseur RISC 32 bits, plusieurs centaines de kilo de mémoire et une multitude de périphériques sécuritaires et de communication (avec ou sans contacts). L'exploitation de cette puissance via des plates-formes de développement ouvertes (Java, .Net, etc.) autorise la mise en oeuvre d'applications de haut niveau alliant performance et interopérabilité.

Le besoin sécuritaire lié au développement des cartes à puce intelligentes impose de fortes contraintes quant à la robustesse de fonctionnement de ces dispositifs afin de garantir des performances optimales dans un environnement sans cesse perturbé. Cela impose des spécifications contraignantes pour les circuits dédiés à ces applications afin d'avoir une marge de sécurité de fonctionnement suffisante de ces cartes à puce vis à vis des dispositifs auxquels elles sont connectées. Leur développement demande de plus en plus de ressources tant au niveau de la puissance de calcul que du taux de transfert avec le monde extérieur. Par ailleurs, la tendance se porte vers des cartes à puce multiplateformes, Fig. 1.1, de sorte qu'elles soient reconnues par des mondes totalement différents à l'instar des dernières générations des téléphones portables qui peuvent être connectés à un ordinateur. Depuis Trois ans, des effets d'annonces, suivies de prudentes introductions commerciales, se sont multipliés pour promouvoir auprès des opérateurs télécoms un nouveau concept de carte SIM : une carte, *Mega, Very Large ou SuperSIM*, offrant des capacités mémoires étendues aptes à supporter de nouveaux services de gestion de contenus et, surtout, disposant d'un protocole de communication bien plus rapide que celui spécifié par l'ISO7816-3 (9,6kbits/s en standard).

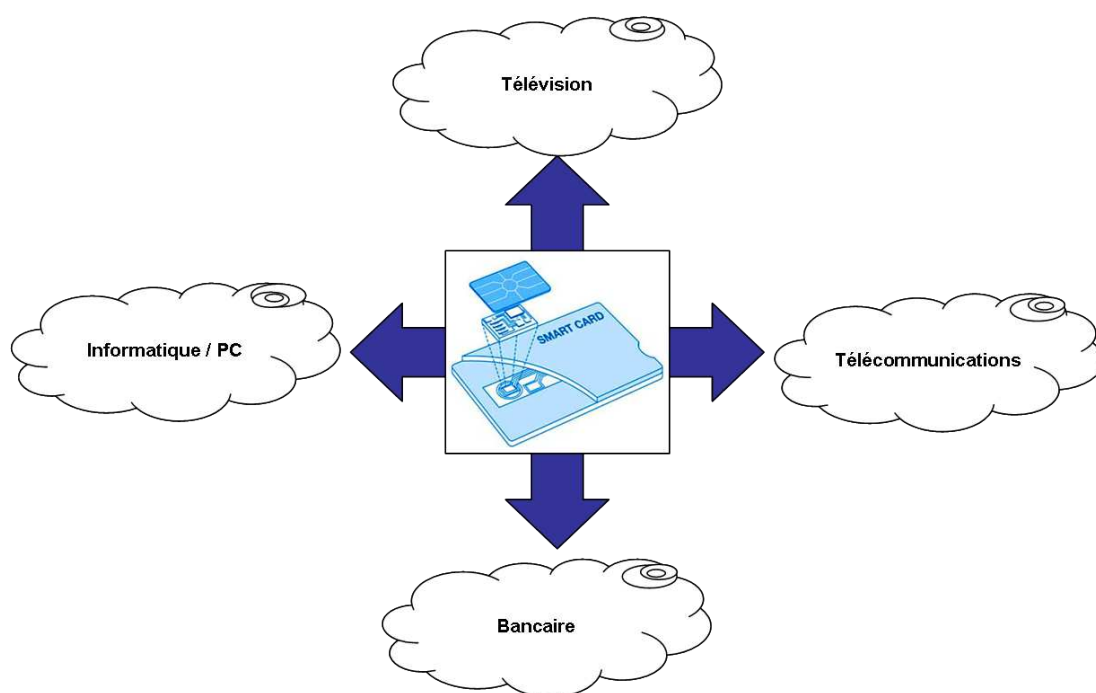


FIG. 1.1 – Carte à puce Multiplateformes.

L'augmentation de ce taux de transfert est donc un enjeu important pour ce marché. Une des solutions envisagées serait d'utiliser la performance de la norme USB (Universal Serial Bus) qui est une interface rapide, bidirectionnelle, isochrone et de faible coût, dont les connections sont gérées dynamiquement. Cette norme est bien sûr intéressante pour ces performances en termes de vitesse, mais a aussi un attrait indéniable par le faible coût du lecteur associé. En effet, toutes les informations sont émises au travers d'un simple connecteur relié à quatre fils conducteurs dont l'alimentation positive (V+) et négative (V-), plus les données transmises en complémentaire (D+ et D-) [A.1](#).

Axalto (devenu Gemalto) a été le premier à anticiper les évolutions que le mobile et la carte SIM allaient connaître en termes de capacités mémoires, mais aussi de fonctionnalités liées aux applications sans contact. La société a notamment travaillé très tôt sur le protocole USB, un standard du monde du PC, pour l'adapter au monde de la carte à puce

(avec une spécification baptisée USB Interchip), de façon à répondre en termes de débit, jusqu'à 480Mbits/s , à la montée en puissance en capacités mémoires de la future carte SIM. Mais pas seulement : l'USB - cela a été la vision constante d'Axalto - offre aussi des capacités multiservices intéressantes (communication TCP-IP, stockage, audio, vidéo, etc.) pour le développement de nouveaux services Web en particulier. Ces travaux se sont d'ailleurs inscrits dans le droit fil de ceux menés à l'ISO qui ont abouti fin 2005 à l'adoption de l'ISO7816 – 12 qui spécifie la façon dont les APDU (Application Protocol Data Units), un format d'échange de données spécifique au monde de la carte, pouvaient être transportées dans des trames USB.

En dépit de sa simplicité, cette solution a un coût. En effet, contrairement à ce que décrit la Fig. 1.2 l'isochronisme n'est pas assuré par le transfert d'une base de temps au travers de la connexion. Ainsi le lecteur et l'élément connecté (host et device) doivent générer leurs propres références. Cependant, celles-ci doivent avoir une précision compatible, aussi bien au niveau des taux de transfert que du nombre d'éléments faisant partie de la chaîne de communication figure ,Fig.1.3.

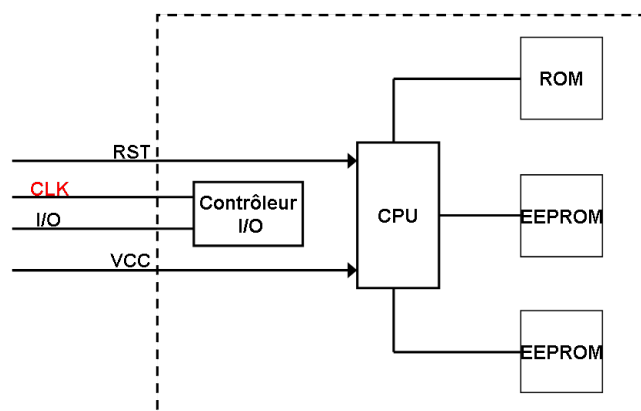


FIG. 1.2 – Structure et interface typique d'une carte à puce

Pour effectuer des opérations synchrones sur un flot de données aléatoires, le récepteur doit générer une horloge. Dans le cas de notre étude, l'environnement d'application des cartes à puces limite l'utilisation d'un Crystal de quartz comme base de temps. Les seuls

informations disponibles proviennent des signaux apériodiques envoyés par l'hôte à travers les signaux D+ et D-.

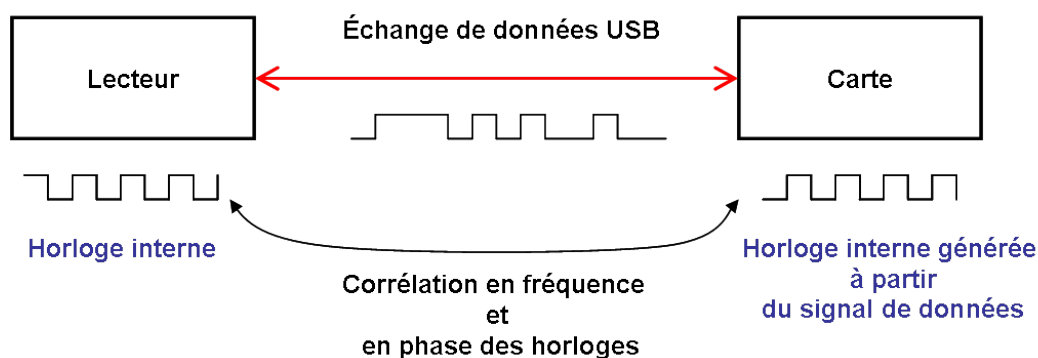


FIG. 1.3 – Principe de la communication USB entre un lecteur et une carte.

Les données échangées par ces dispositifs sont asynchrones et bruitées. Elle nécessitent donc, pour permettre une utilisation synchrone, l'extraction d'un signal d'horloge à partir du signal de données envoyé par le lecteur. Des blocs de récupération d'horloge se trouvent dans les 'émetteurs-récepteurs' qui servent dans de nombreuses applications comme, les communications optiques, les interconnexions entre puces, les communications radio et hyper fréquence...

1.2 Environnement des cartes à puce sécurisées

Le terme 'carte à puce' ('smart card' dans la littérature anglaise) désigne tout support fin de petite dimension embarquant un circuit intégré, [1]. Les caractéristiques des cartes à puce sont standardisées par des normes internationales. Les standards *ISO/IEC7810* [2] et *ISO/IEC7816-1* [3] définissent, entre autres, les caractéristiques physiques et mécaniques du support. Ce dernier se présente généralement sous la forme d'une petite carte en PVC de $0.76mm$ d'épaisseur. Les deux formats les plus répandus sont le *ID-1* (carte bancaire) et le *ID-000* (carte SIM). Ils sont tous deux représentés sur le schéma de la Fig. 1.4.



FIG. 1.4 – Format *ID – 1* et *ID – 000* selon *ISO/IEC7810*

En terme d'interface de communication, les cartes à puce se divisent en deux catégories : les cartes à contact et les cartes sans contact. Dans le cas des cartes à contact, l'accès au composant électronique se fait par l'intermédiaire de plots métalliques. Sauf exception [4], une carte à puce n'embarque pas de batterie, elle est alimentée par le lecteur. L'alimentation asymétrique délivrée par ce dernier est appliquée à la puce par l'intermédiaire des contacts Vcc (potentiel électrique le plus élevé) et GND (potentiel électrique le plus faible). Le signal d'horloge est également fourni par le lecteur. Il est transmis à la puce via CLK. L'entrée numérique RST permet de réinitialiser le circuit. Le port de communication série *I/O* est de type bidirectionnel semi-duplex. Le protocole de communication associé est décrit par le standard *ISO7816 – 3* [3]. La programmation des mémoires de type EEPROM nécessite des tensions généralement supérieures à celle supportée par le reste du circuit. Jusqu'à la fin des années 1990, le contact Vpp était utilisé à cet effet. Il ne l'est plus depuis l'intégration des pompes de charge, structures permettant de générer ces niveaux de tension en interne. Enfin, les contacts AUX1 et AUX2 n'ont pas de fonction attitrée. Leur présence, même physique, reste optionnelle. Les caractéristiques des paramètres électriques (fréquence du signal d'horloge, tension d'alimentation, etc.) dépendent de la norme considérée.

La carte à puce est un support contraignant : sa faible épaisseur lui interdit la majorité

des composants discrets, tandis que le procédé d'encartage et les contraintes mécaniques d'utilisation limitent la surface silicium à 30mm^2 . Cependant, l'évolution de la technologie CMOS a permis d'augmenter considérablement la complexité et les performances des circuits électroniques embarqués. En effet, depuis son introduction en 1963, la technologie CMOS a vu sa densité d'intégration doublée tous les 18 mois. En 1970, un transistor MOS occupait une surface de 1mm^2 ($L = 10\mu\text{m}$ et $t_{ox} = 1.2\mu\text{m}$). A surface égale, les procédés de fabrication actuels permettent d'intégrer jusqu'à 3 millions de transistors ($L = 45\text{nm}$ et $t_{ox} = 1.3\text{nm}$), portant à plus d'un milliard le nombre de transistors par puce. Dans le même temps, la fréquence de transition d'un transistor MOS est passée de quelques mégahertz à plus de 100GHz , tandis que le coût de fabrication en volume a chuté de 1dollar par transistor à moins de 0.1dollar par transistor. Qu'elles soient technologiques ou financières, ces évolutions exponentielles ont favorisé la percée commerciale de la technologie CMOS. A l'heure actuelle, la majorité des circuits pour cartes à puce reposent entièrement sur cette technologie.

L'apparition de nouvelles fonctionnalités a scindé la classification des cartes à puce en deux catégories : les cartes à mémoire (carte téléphonique, carte de stationnement, etc.) et les cartes à microprocesseur (carte bancaire, carte GSM, carte de santé, passeport biométrique, etc.). Les cartes à mémoire comportent généralement une mémoire non-volatile et un bloc logique sécuritaire. Plus sophistiquées, les cartes à microprocesseurs sont de véritables micro-ordinateurs de poche. Ces nouveaux types de cartes nécessitent, avec l'augmentation de la taille des mémoires et de la multiplication des applications intégrées, des taux de transfert de plus en plus importants.

1.3 Historique du choix de la norme USB

Le débat sur l'avenir de la carte SIM s'est cristallisé et même crispé autour de la question du protocole. USB ou MMC (La MultiMediaCard (MMC) standard a été introduit en no-

vembre 1997 par SanDisk et Siemens AG / Infineon Technologies AG). Il s'est soldé, après près d'un an de débats difficiles, voire houleux, au sein du SCP (Smart card platform) de l'ETSI, en charge de la spécification d'un protocole rapide pour la carte SIM, par des conclusions en demi-teintes. Axalto soutenait la proposition USB, Gemplus, la proposition MMC, Gemalto a choisi... USB et MMC. L'ETSI a dû donc officiellement voter pour spécifier un double « standard » ainsi que des mécanismes de sélection de tel ou tel « standard » (car certains téléphones ne peuvent supporter qu'un des deux protocoles).

La complexité engendrée par cette situation, qui paraît plus diplomatique que fondée techniquement, a-t-elle un avenir ? Il semble que non. Car, outre des capacités mémoires accrues, assorties d'un protocole rapide pour charger et échanger des contenus (voire gérer des flux Mpeg-4 de TV), la carte SIM de nouvelle génération doit aussi supporter une interface pour piloter des transactions sans contact de type NFC. Or, les ressources en contacts sur la carte restent limitées Fig. 1.5.

Le choix s'est donc porté sur le protocole USB pour le protocole rapide et du Single-wire protocol (SWP) pour celui de l'interface sans contact, un protocole full duplex conçu sur un seul fil, codéveloppé par Axalto (Gemalto) et Inside Contactless. Ces deux options sont en effet les seules qui offrent une compatibilité avec la carte SIM existante et les exigences de l'ETSI : celles, entre autres, de faire coexister le protocole ISO (pour des raisons de compatibilité avec l'existant), le protocole USB et une interface vers un circuit sans contact de type NFC, et ce sans modifier ni les allocations des contacts de la carte SIM, ni leur nombre (huit contacts, Fig. 1.5). L'interface ISO utilise en effet les contacts C2, C3, C7, l'USB, les contacts C4 et C8, et le SWP, un seul contact, le C6. Les contacts C1 et C5 sont utilisés dans tous les cas pour l'alimentation (Vcc) et la masse (GND).

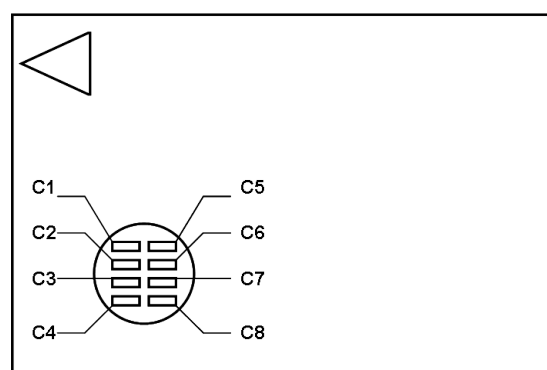


FIG. 1.5 – Contacts d’une carte à puce ISO

1.4 Historique de l’asservissement de phase

Outre les asservissements de phase réalisés par la Nature, l’Homme a créé ses propres asservissements de phase à des fins multiples. La réalisation électronique d’un asservissement de phase par rétroaction est appelée boucle à verrouillage de phase. L’utilisation des boucles à verrouillage de phase, que l’on notera BVP par la suite, est tellement répandue de nos jours qu’un foyer occidental moyen comporte au moins une dizaine d’exemplaires de ce circuit (au moins 2 exemplaires dans un téléviseur, 4 dans un ordinateur, 1 dans une radio, 1 dans un téléphone, 1 dans une télécommande, etc.). Une des premières observations scientifiques du phénomène de synchronisation a été celle de Huygens en 1673 qui a observé la synchronisation de deux horloges à balancier. Les premières études systématiques avec une réalisation électronique d’un asservissement de phase semblent être celle **d’Appleton** en 1922 [5], et de **Van der Pol** en 1927 [6], qui ont montré que l’on pouvait asservir la phase d’un oscillateur à triodes au moyen d’un signal de fréquence légèrement différente. La première description connue d’une BVP (en anglais PLL pour Phase Locked Loop) par rétroaction est publiée par l’ingénieur français **De Bellescize** en 1932 [7] à propos de la réception synchrone de signaux radio.

De Bellescize proposait un asservissement de phase dans le but de reconstruire la porteuse d’un signal modulé en amplitude. Ce principe de réception dit hétérodyne a été dans un

premier temps délaissé, car trop complexe, au profit de la réception synchrone. La réception hétérodyne est ensuite devenue incontournable avec le besoin d'accroître les performances et avec la réduction des coûts apportée par l'électronique intégrée.

[8] La première utilisation intensive de la PLL a été la synchronisation horizontale et verticale des balayages des postes de télévision. Le départ du balayage de chaque ligne et celui de chaque demi- trame d'une image télévisée est donné par une impulsion dans le signal vidéo. Une méthode directe pour construire le balayage du tube de télévision consiste à faire partir une trame de balayage dès l'apparition d'une impulsion. Mais cette méthode étant très sensible à l'absence d'impulsion et aux bruits, l'utilisation de deux oscillateurs libres synchronisés sur les impulsions du signal vidéo a été mise en oeuvre en utilisant le verrouillage de phase. Ceci permet d'obtenir un balayage en l'absence d'impulsion et surtout de rejeter l'effet du bruit sur le déclenchement des trames provoquant des tremblements de l'image et une mauvaise résolution. Avec le développement des technologies et de leurs domaines d'applications, de nouvelles contraintes sont apparues. La conquête de l'espace et les vols spatiaux notamment, ont apporté de fortes contraintes sur les circuits de télécommunication :

- Faible puissance des signaux porteurs (10mW) et donc fort rapport signal sur bruit, mais aussi un déplacement de la fréquence porteuse dû à la dérive en température des oscillateurs embarqués et à l'effet Doppler lié au déplacement des satellites.

Ces exigences ont inspiré d'énormes progrès dans la maîtrise des BVP et ont étendu les domaines d'application [9] :

- les transpondeurs qui localisent et identifient le véhicule dans lequel ils sont embarqués en renvoyant le signal d'un radar en multipliant sa fréquence par un rapport n/m identifiant l'appareil ;
- les modulateurs et démodulateurs de fréquence utilisés principalement dans les télécommunications ;

- les onduleurs générant la commande des machines asynchrones, et la synchronisation d'un alternateur sur le réseau électrique ;
- les multiplicateurs et diviseurs de fréquence ;
- la synchronisation des transmissions digitales utilisées notamment dans les transmissions NRZ (Codage en Non Retour à Zéro), les réseaux Ethernet, le stockage sur support magnétique ou optique, les télécommandes, etc. ;
- les générateurs de fréquence dans les téléphones à fréquence vocale, les synthétiseurs musicaux ;
- les générateurs d'horloge pour les microprocesseurs et leurs périphériques ;
- les convertisseurs tension-frequence et fréquence-tension ; etc.

De toutes ces applications se sont dégagées un nombre important de solutions, donnant naissance à des types de BVP qui diffèrent selon les signaux traités et la réalisation de chacune des parties qui les composent.

1.5 Réflexions sur la notion de Phase et de Fréquence

La phase et la fréquence instantanée sont des notions communément admises qui sont, la plupart du temps, utilisées sans être précisément définies. Dans l'étude d'un asservissement de phase, il est important de définir cette notion avec précision car elle intervient dans la modélisation des signaux. Ce problème de la représentation mathématique des signaux et de leur analyse est l'objet de **la théorie du signal** [10], [11], [12]. La définition de fréquence et de spectre instantanés est une difficulté de cette théorie faisant appel à la relation d'incertitude entre la précision temporelle et la précision fréquentielle de la mesure d'un signal. L'étude de la stabilité d'un asservissement de phase ne nécessite pas, en général, une analyse des signaux très poussée comme par exemple l'analyse par ondelettes. La transformée de Fourier est un outil suffisant pour ce genre d'étude. Par contre, l'étude fait appel à une représentation mathématique temporelle des signaux qui doit être adaptée aux signaux ren-

contrés, et qui permet une modélisation aisée du système. La modélisation des signaux d'un asservissement de phase se fait en calculant l'évolution de leur phase instantanée ou de leur fréquence instantanée, la fréquence étant définie comme la dérivée temporelle de la phase. Une modélisation rigoureuse doit définir ces deux notions et établir leur lien avec l'amplitude du signal. Nous envisageons, pour cela, une définition de la fréquence instantanée établie par approximation locale du signal. Une réflexion sur l'observabilité de la phase d'un signal carré, qui est la forme des signaux rencontrés dans ce mémoire, montre les limites de la définition. On définit alors la notion de phase instantanée à partir des variables d'état d'un oscillateur à relaxation. Cette définition permet de représenter le signal par un signal analytique de même phase et d'amplitude telle que le signal réel soit de forme carrée. On obtient ainsi une représentation mathématique du signal faisant apparaître sa phase et sa fréquence instantanée qui, de plus, admet une représentation physique aisée de ces notions.

1.5.1 Phase et fréquence dans le cas de signaux périodiques

La phase et la fréquence sont des caractéristiques constantes du signal établies pour des signaux périodiques. La phase est une constante angulaire définie par rapport à une référence temporelle, généralement l'instant initial, ou par rapport à la phase d'un signal de référence. La fréquence est définie par rapport à une durée d'observation pendant laquelle le nombre d'occurrences de cycles identiques est compté. Dans le cas d'un simple signal sinusoïdal, l'amplitude A , la phase φ , et la pulsation ω , apparaissent explicitement dans l'écriture du signal $e(t)$:

$$e(t) = A \sin(\omega t + \phi) \quad (1.1)$$

La phase étant exprimée en radians, la pulsation est exprimée en radians par seconde. Un simple changement d'unité permet de lier la pulsation ω et la fréquence f par

$$\omega = 2\pi f \quad (1.2)$$

Cette définition de la phase n'est plus valable lorsque les caractéristiques des signaux varient dans le temps. C'est le cas des signaux quasi-périodiques, comme les signaux modulés en phase et/ou en fréquence ou ayant subi un encodage (NRZ, NRZI, MANCHESTER, MILLER ...). La phase et la fréquence ne sont plus, dans ce cas là, des caractéristiques constantes du signal et leur mesure dépend alors de la période d'observation. Par extension, une observation de durée infinitésimale permet de définir la notion de phase instantanée, de fréquence instantanée et de phase initiale.

1.5.2 Phase et fréquence dans le cas de signaux non périodiques

Une extension rigoureuse de la notion de fréquence instantanée des signaux quasi-périodiques est difficile car elle demande d'exprimer mathématiquement une notion extrapolée intuitivement du cas périodique. La phase instantanée est alors vue comme une information sur l'état d'avancement du cycle à un instant t , ayant pour valeur 2π à la fin du cycle, 0 à son début, et de croissance monotone. La fréquence instantanée est liée à la vitesse d'exécution d'un cycle prise à un instant t . Dans le cas d'un signal sinusoïdal quasi-périodique $A \sin(\phi(t))$ d'amplitude constante, on assimile la valeur $\phi(t)$, à la phase instantanée du signal puisque celle-ci est une valeur en radian égale à 2π à la fin d'un cycle et nulle au début. La phase initiale $\phi(t_0)$ est la valeur de la phase instantanée à l'instant initial. Par contre la définition de la fréquence instantanée n'est pas immédiate, car elle nécessite une observation du signal pendant au moins un cycle complet.

1.5.3 Définition de la fréquence instantanée par approximation locale du signal

Une première proposition de définition, illustrée par la Fig. 1.6, consiste à approcher le signal quasi-périodique de forme quelconque $s(t)$ à l'instant t par une sinusoïde $e(t)$ de fréquence constante : cette fréquence définit la fréquence instantanée du signal à l'instant t .

On dit que les fonctions $s(t)$ et $e(t)$ sont semblables à l'instant t si leurs amplitudes sont

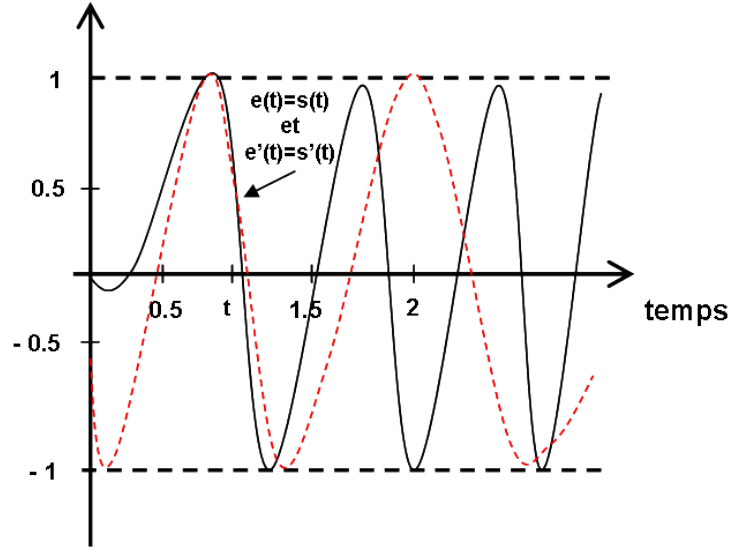


FIG. 1.6 – La fréquence instantanée du signal, en trait plein, modulée par un message $m(t) = t$, est déduite de celle d’une sinusoïde $e(t)$, en pointillés semblable à $s(t)$ à l’instant t

égales et si le premier terme de leurs développements en série de Taylor sont égaux [11], [12] :

$$s(t + \Delta t) = s(t) + \Delta t \cdots s'(t) + \dots \quad e(t + \Delta t) = e(t) + \Delta t \cdots e'(t) + \dots \quad (1.3)$$

La fréquence instantanée du signal $s(t)$ est alors celle du signal sinusoïdal $e(t)$ de même amplitude vérifiant $e(t) = s(t)$ et $e'(t) = s'(t)$. On obtient ainsi les relations suivantes :

$$e(t) = A \cdot \sin(\omega_i t) = s(t) \quad e'(t) = A \cdot \omega_i \cdot \cos(\omega_i t) = s'(t) \quad (1.4)$$

A partir de ces égalités, l’expression de la fréquence instantanée, en fonction de la mesure $s(t)$ du signal et de sa dérivée $\dot{s}(t)$, est unique :

Remarque 1 Ce résultat est obtenu en remplaçant le terme $\cos(\omega_i(t))$ dans l’expression $\dot{e}(t) = \dot{s}(t)$ par sa valeur en fonction du sinus : $\pm \sqrt{1 - \sin(\omega_i(t))^2}$. La fréquence instantanée étant par définition positive, l’inversion du carré du cosinus se fait sans ambiguïté de

signe.

Remarque 2 Dans le cas d'un signal sinusoïdal quasi périodique à amplitude constante $A \sin(\phi(t))$, cette définition devient la relation bien connue entre phase et pulsation : $\omega_i = \frac{\delta(\phi(t))}{\delta t}$.

Remarque 3 Cette définition de la fréquence instantanée est dans une certaine mesure arbitraire. En imposant dans la définition l'égalité entre les seconds termes du développement de **Taylor** $\ddot{s}(t) = \ddot{e}(t)$, on obtient une fréquence instantanée qui peut être complexe ou multiple. Une telle définition n'aurait pas de sens physique.

Remarquons que la formule 1.4 est indéterminée au niveau des extremas de la courbe, lorsque $\dot{s}(t) = 0$ et $s(t) = A$: le résultat dépend alors des seconds membres du développement de **Taylor**. Cette singularité apparaît car, au niveau des extremas, la phase n'influence plus le signal et rend la mesure de ses variations impossibles en ces points isolés. Si le signal n'est pas lié à la phase à chaque instant, comme dans un signal carré, cette définition ne donne plus de résultats physiquement cohérents. Un signal carré est constant partout sauf en quelques points où il commute entre deux valeurs constantes. L'observation de la fréquence instantanée d'un tel signal conduirait à une fréquence nulle partout et infinie aux points de discontinuités. La définition n'est donc pas valable lorsque la phase du signal n'est pas observable partout à l'aide de la mesure du signal et de sa dérivée. Nous proposons de définir la phase d'un tel signal en observant les variables d'état du système générant ce signal. Dans cette étude, nous nous intéressons exclusivement aux signaux quasi-périodiques générés par un oscillateur à relaxation.

1.5.4 Application : observation de la phase d'un oscillateur à relaxation

Le principe de l'oscillateur à relaxation est d'emmagasiner de l'énergie tant qu'une limite supérieure n'est pas atteinte –période de charge– le système change alors de comportement et libère l'énergie tant qu'une limite inférieure n'est pas atteinte –période de relaxation–.

Le système retrouve alors son comportement initial et commence une nouvelle période de charge : il oscille ainsi entre les deux limites. Ce montage, consistant à charger et décharger une capacité avec un courant dont on contrôle la valeur, est très utilisé en électronique, car il permet de générer directement un signal carré dont on peut contrôler la fréquence d'oscillation.

Nous pouvons établir un modèle hybride [13], [14], [15], des oscillateurs à relaxation. En effet, l'oscillateur à relaxation possède deux comportements : la charge pendant laquelle l'énergie du système augmente vers une valeur ; et la relaxation, pendant laquelle cette énergie décroît vers une valeur e . En choisissant un vecteur d'état X , on peut établir un modèle différentiel continu pour chaque comportement :

Le champ différentiel f_0 correspondant au comportement de relaxation et le champ f_1 à celui de charge. L'énergie est alors une fonction du vecteur d'état $E(X)$ de l'oscillateur.

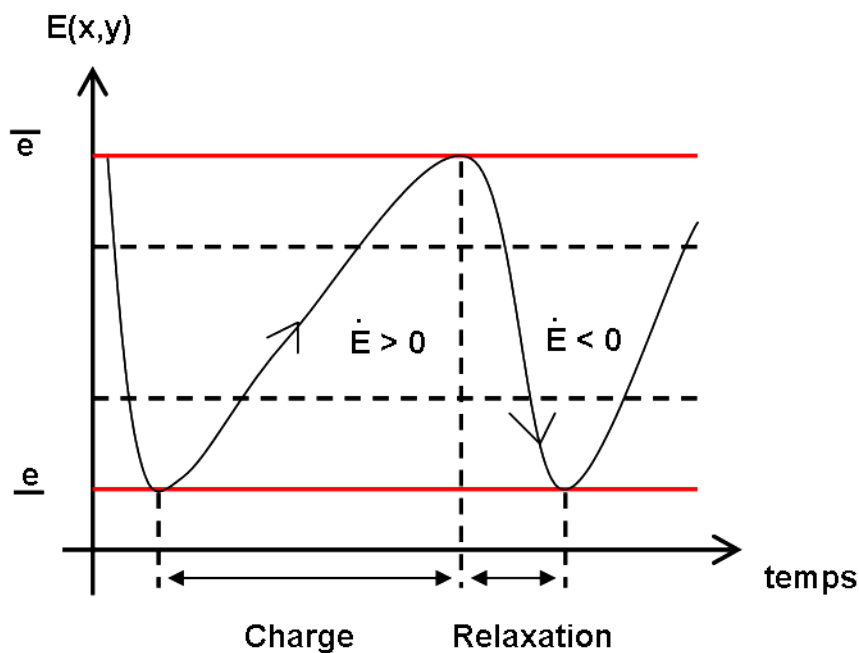


FIG. 1.7 – Evolution de l'énergie d'un oscillateur à relaxation dans le plan de phase.

La Fig. 1.7, montre un exemple d'évolution de cette énergie dans un plan de phase de

dimension deux. Dans l'état de charge, le système commute lorsque l'énergie $E(X)$ atteint la valeur $\bar{e}$. La relation $E(X) = \bar{e}$ définit une frontière de commutation dans le plan de phase du système $f1$. De même, $E(X) = \underline{e}$, définit une frontière de commutation du système $f0$. Il existe des conditions nécessaires à l'apparition d'oscillations [15] dans un tel système, telle que la décroissance (resp. croissance) de l'énergie le long d'une trajectoire de $f0$ (resp. $f1$) lorsque, $E(X) \geq \underline{e}$ (resp. $E(X) \leq \bar{e}$). Ces conditions, utiles à la conception de l'oscillateur, ne sont pas discutées dans ce mémoire.

– **Définition de la phase instantanée d'un oscillateur à relaxation**

Lorsque l'oscillateur est bien conçu, l'énergie $E(X)$ oscille entre les deux limites en décrivant une trajectoire cyclique dans le plan de phase (voir la fig.1.7) défini par deux arcs : un arc correspondant à la charge où $E(X)$ est croissante $E(X) > 0$ et un arc correspondant à la relaxation avec une énergie décroissante $E(X) < 0$. La valeur de cette énergie et le signe de sa variation donnent toute l'information nécessaire sur l'état d'avancement du mouvement cyclique : la phase. Nous pouvons donc proposer la définition suivante [13] de la phase instantanée d'un signal généré par un oscillateur à relaxation.

Définition 3 - Phase instantanée du signal d'un oscillateur à relaxation : -

Toute variable d'état à croissance monotone liée à l'énergie emmagasinée par l'oscillateur, et au signe de sa variation, prenant une valeur nulle en un point du mouvement cyclique - point de référence, - une valeur égale à 2π à la fin du premier cycle débuté en ce point de référence et $k2\pi$ à la fin du kème cycle.

1.5.5 Modélisation du signal carré et définition de sa fréquence instantanée

Le signal carré $s(t)$ est défini, sans perte de généralité, en fonction de la phase instantanée $\varphi(t)$

$$s(t) = \begin{cases} 0 & \text{si } 0 \leq \varphi(t), \text{ mod } 2\pi \leq \pi, \\ 1 & \text{sinon} \end{cases} \quad (1.5)$$

L'utilisation du concept de signal analytique, décrit dans [16] et [17], permet de définir le signal carré et d'obtenir une définition de la fréquence instantanée. On peut représenter le signal carré sous la forme d'un signal analytique complexe

$Z_s(t) = a(t) \exp(i\varphi(t) - \frac{\pi}{2})$ ayant pour phase instantanée la phase de l'oscillateur à relaxation $\varphi(t)$ définie plus haut. Le module $a(t)$, donnant une forme carrée au signal, est défini par :

$$a(t) = \begin{cases} 0 & \text{si } 0 \leq \varphi(t), \text{ mod } 2\pi \leq \pi, \\ \frac{1}{\cos(\varphi(t) - \frac{\pi}{2})} & \text{sinon} \end{cases} \quad (1.6)$$

Ce signal analytique définit ainsi un signal de forme carrée observant un front descendant lorsque :

$$\varphi(t) = k * 2\pi \quad (1.7)$$

Avec

$$k \in \mathbb{N} \quad (1.8)$$

Pour simplifier les écritures nous omettrons volontairement le décalage de phase de $-\frac{\pi}{2}$ utilisé dans cette définition, il faudra donc lire $\varphi(t) - \frac{\pi}{2}$ à la place de $\varphi(t)$ dans la suite. On hérite ainsi de la définition 4 de la fréquence instantanée d'un signal analytique [15].

Définition 4 - Fréquence instantanée d'un signal analytique : - *La dérivée temporelle de l'argument $\varphi(t)$ du signal analytique $Z_s(t) = a(t) \exp(i\varphi(t))$, défini comme sa phase instantanée, divisée par 2π :*

$$f_i(t) = \frac{1}{2\pi} \cdot \frac{\delta(\varphi_s(t))}{\delta t} \quad (1.9)$$

On obtient une modélisation du circuit dont les variables d'état ont un sens physique, et une notion de phase et de fréquence instantanée rigoureusement définies 'en phase' avec la conception intuitive que l'on lie à ces grandeurs.

Après avoir placé l'étude dans le contexte de l'environnement 'Smart-Card', puis fait état des différentes notions essentielles pour la bonne compréhension de la suite de l'étude :

- Phase et fréquence de signaux périodiques et non périodiques,
- Fréquence instantanée,

nous ferons un état de l'art sur la génération de fréquence et nous entrerons plus en détail dans la spécification de la norme USB.

2

Etat de l'art sur la génération de fréquence et spécification USB

2.1 Les boucles à verrouillage de phase, BVP

Bien qu'il y ait de nombreuses manières de réaliser une BVP, sa structure globale, présentée dans la Fig 2.1, n'évolue pas. Une BVP est constituée des trois blocs suivants :

- un Détecteur de Phase ou d'un Détecteur de Phase Fréquence (PD ou PFD pour Phase Detector et Phase Frequency Detector en anglais) fournissant une information sur l'erreur de phase entre le signal d'entrée V_{REF} et le signal boucle v_b , cette information dépend aussi de l'erreur de fréquence dans le cas du DPF ;
- un Filtre Passe-bas chargé de filtrer les perturbations, stabiliser la boucle, et lisser la tension V_{cont} transmise à l'oscillateur contrôlé en tension ;
- un Oscillateur Contrôlé en Tension ou un Oscillateur Contrôlé Numériquement OCT ou OCN (VCO pour Voltage Controlled Oscillator en anglais) qui délivre un signal de fréquence instantanée directement proportionnelle à la tension d'entrée.

La BVP effectue un asservissement sur la phase du signal bouclé V_b . Lorsque le signal de sortie V_s est en retard sur le signal d'entrée V_{REF} , le DP, à travers le filtre et l'OCT, augmente la fréquence du signal de sortie, ce qui a pour effet de réduire ce retard. Inversement, une diminution de la fréquence de l'OCT réduit l'écart de phase lorsque la sortie est en avance.

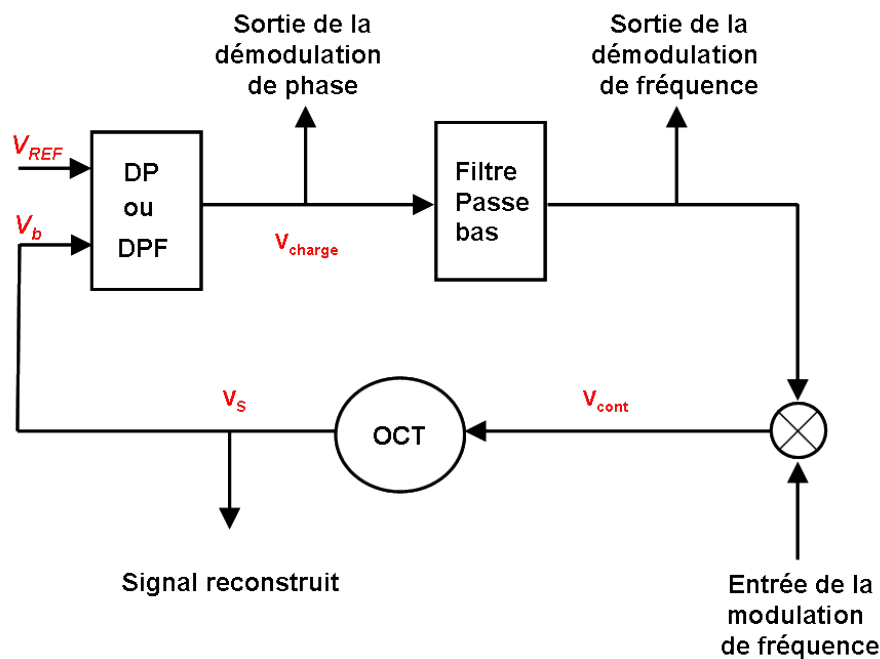


FIG. 2.1 – Applications de la Boucle à verrouillage de phase

La notion d'entrée et de sortie d'une BVP est relative au type d'application qui lui est destinée, la Fig. 2.1 montre les points d'entrée/sortie de quelques applications. Dans le cas d'une modulation de fréquence, le signal de modulation est additionné à l'entrée de l'OCT et le signal modulé est récupéré à sa sortie, l'entrée du DP étant cadencée par la fréquence porteuse. Dans le cas d'une démodulation de fréquence, le signal à démoduler entre sur le DP, et le signal démodulé est récupéré à la sortie du filtre. Le bouclage de la BVP permet de réaliser une fonction directement mais aussi indirectement par asservissement du signal issu de la fonction inverse. Cela est utile lorsqu'une opération est techniquement difficile à réaliser directement. C'est le cas de la multiplication de la fréquence d'un signal par un nombre rationnel N/P . Il est facile de diviser la fréquence d'un signal binaire en utilisant

par exemple des compteurs, par contre sa multiplication est beaucoup plus difficile. Pour multiplier la fréquence f d'un signal par N , on peut introduire un Diviseur de Fréquence, comme dans la Fig.2.2, pour boucler le signal de sortie V_s vers le DP. Le signal bouclé V_b est alors de fréquence (f_0) N fois inférieure à celle du signal de sortie (F_{out}).

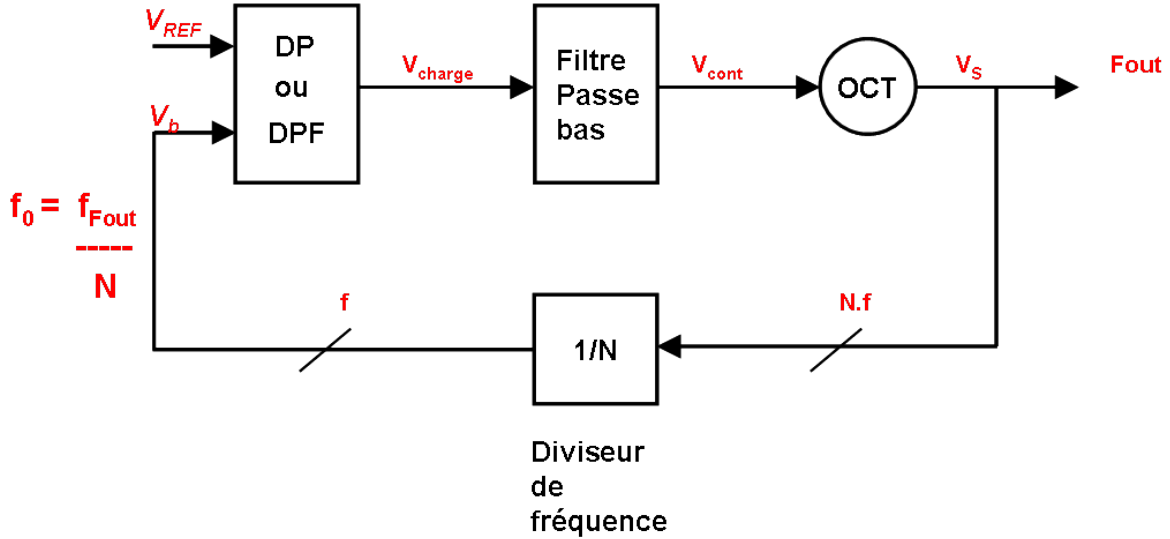


FIG. 2.2 – Boucle à verrouillage de phase utilisée comme multiplieur de fréquence

L'asservissement de phase assure alors une fréquence f identique entre le signal bouclé V_b et le signal d'entrée V_{REF} ce qui permet d'obtenir un signal de sortie de fréquence $N * f$. Il suffit alors de diviser la fréquence de sortie par P pour finalement obtenir le rapport de fréquence N/P .

La fréquence de sortie ainsi obtenue est :

$$F_{out} = \frac{N}{P} F_0 \quad (2.1)$$

2.2 Classification des Boucles à verrouillage de Phase

De la littérature concernant les BVP se dégage un grand nombre d'appellations ne désignant parfois pas le même système. On peut remarquer par exemple l'appellation de

DPLL désignant tantôt une BVP comportant un détecteur de phase logique, tantôt une BVP comportant un OCN. Globalement, une classification est utilisée implicitement distinguant les différents types de BVP selon [8] :

- le type de DP, pouvant être un détecteur échantillonneur, multiplieur, séquentiel ou logique ;
- le type d’oscillateur, contrôlé par une commande numérique ou analogique.

Le type de filtre utilisé pouvant être déduit de la nature du DP et de l’oscillateur, celui-ci n’influence pas en général l’appellation de la BVP. Le tableau 2.1, liste les différents types de BVP les plus courantes ainsi que l’appellation issue de l’anglais.

Type de détecteur de phase	Type d’oscillateur	
	Analogique (VCO)	Numérique (NCO)
Echantillonneur	S-PLL Sample PLL	DS-PLL Digital Sample PLL
Multiplieur	A-PLL Analog PLL	D-PLL Digital PLL
Logique	Xor-PLL	Xor-DPLL
Séquentiel	CP-PLL Charge Pump PLL	CUD-PLL Counting Up/Down PLL
Logiciel		Soft-PLL Software PLL

TAB. 2.1 – Nomenclature des BVP

Selon le détecteur de phase on distingue les BVP analogiques –dont le détecteur de phase et l’oscillateur sont analogiques– des BVP semi numérique –dont le détecteur de phase est numérique et l’oscillateur analogique. Le choix du détecteur de phase dépend principalement des signaux qu’il reçoit. Lorsque le signal en entrée et le signal bouclé sont de type sinusoïdaux ou de manière plus générale à phase observable, les détecteurs de phases analo-

giques (multiplieurs, échantillonneurs, etc.) sont préférés aux détecteurs numériques car ces derniers sont très sensibles au bruit. Lorsque les signaux sont mixtes, dans les conversions de signaux carrés en signaux sinusoïdaux par exemple, l'utilisation de détecteurs de phase analogiques demeure avantageuse, notamment celle d'un détecteur par échantillonnage qui se trouve particulièrement adapté à cette situation. Lorsque les signaux sont tous deux de forme carrée, dont la phase n'est pas observable à tout instant, les détecteurs numériques s'imposent car ils peuvent détecter les transitions successives du signal. Lorsque la BVP est intégrée sur une puce, celle-ci se trouve souvent être la seule partie analogique du circuit, c'est le cas dans les circuits purement numériques comme les microprocesseurs, les DSP, les microcontrôleurs et leurs périphériques. Cette partie analogique devient coûteuse car elle empêche l'utilisation de certaines technologies à très basse tension utilisées en numérique et demande des efforts de conception qui doivent être renouvelés à chaque changement de technologie. C'est pourquoi des BVP entièrement numériques ont été réalisées en utilisant des détecteurs de phase numériques et en remplaçant le filtre et l'OCT par leurs équivalents numériques. Elles sont alors conçues et intégrées avec les outils de conception numériques, fondues avec les mêmes technologies et peuvent être directement réutilisées lors de changement de technologies. La conception de l'OCN est faite à partir d'une horloge externe de haute fréquence dont on compte le nombre de cycles. Cependant il existe des OCN n'exploitant pas d'horloges externes,[18] [19]. Dans certaines applications où un processeur est disponible, on peut remplacer les circuits numériques par un microprogramme exécuté par le processeur. Celui-ci mesure le signal d'entrée par un de ses périphériques, simule le fonctionnement du détecteur de phase, du filtre et de l'OCN –en utilisant l'horloge du processeur comme horloge de haute fréquence– calcule le signal de sortie et le transmet via un périphérique. Ces types de BVP sont qualifiés de BVP logicielles, ou Software PLL en anglais. Beaucoup de microcontrôleurs comportent une implémentation des éléments d'une BVP, et permettent de les contrôler par le microprogramme. Il ne faut pas confondre ces BVP dites programmables avec une BVP logicielle dont au moins une des parties de la BVP doit être implémentée par

le microprogramme.

2.3 Boucle à Ligne de Délai, BLD

Un grand nombre d'applications utilisent des BVP comme nous l'avons vu précédemment. Les BLD sont apparues comme des alternatives séduisantes aux BVP. En effet de nombreux systèmes nécessitent une mise en phase précise des signaux d'horloge ou de données. Parfois un simple retard du signal permet ce décalage de phase, cependant cette méthode n'est pas robuste face aux variations de processus, de température et d'alimentations. Pour un réglage plus précis, les concepteurs incorporent souvent cet élément de retard dans une boucle de rétroaction qui synchronise la phase du signal de sortie avec celle d'un signal de référence. Dans le principe cette boucle est identique à celle des BVP décrites plus haut mis à part le fait que la phase est le seul paramètre pris en compte et que l'oscillateur est remplacé par une chaîne de délai. Ce type de boucle est généralement référencé comme Boucle à Verrouillage de Phase à Ligne de Délai ou boucle à Ligne de Délai (Delay Line Loop en anglais). L'objectif de ces boucles est donc d'obtenir un positionnement en phase précis avec un bruit de phase faible (nous définirons ce terme au cours des prochains chapitres). La Fig.2.3 montre le principe de ce type de boucle.

Les blocs principaux sont identiques à ceux d'une BVP. Un détecteur de phase qui compare la phase du signal de référence à celle du signal de sortie de la ligne de délai et qui fournit un signal proportionnel à l'erreur de phase, un filtre passe bas pour filtrer ce signal et pour avoir en entrée de la ligne de délai un signal de contrôle adéquat permettant de moduler le retard de la ligne. L'entrée de la ligne de délai peut être le signal de référence ou bien un autre signal d'horloge interne.

La BLD a des caractéristiques de boucle plus simples que celles d'une BVP car comme nous le verrons plus tard, un zéro supplémentaire est nécessaire pour maintenir la stabilité d'une BVP. Avec un pôle unique la BLD est moins contraignante. Quand on compare les ca-

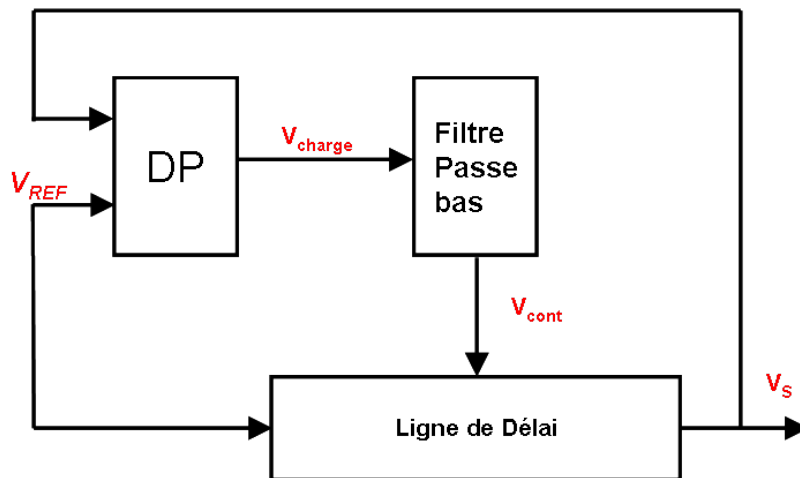


FIG. 2.3 – Boucle a Ligne De Délai

caractéristiques de ces deux systèmes sur leur capacité à réduire le bruit de phase, on se rend compte que les BLD engendrent moins d'erreur de phase que les BVP et ce grâce à l'ordre moins élevé de leur boucle. Sur une BVP, lors d'une réponse à une perturbation du signal d'entrée, la boucle accumule de l'erreur de phase avant de corriger [20]. De plus les systèmes à base de BLD sont plus rapides que leur équivalent à base de BVP, car les contraintes de stabilité sont moins importantes (elles ne dépendent que du délai interne de la boucle) et permettent une caractérisation du système plus en adéquations avec les spécifications demandées.

Cependant comme les BLD ne comportent pas d'éléments de contrôle permettant des variations de fréquence, elles ont historiquement moins d'applications que les BVP. Bazes dans [21] exposa un exemple d'utilisation de ces boucles en générant de façon précise les signaux d'accès aux lignes et aux colonnes de DRAM. Une autre application est la génération d'une horloge ayant la même phase que l'horloge d'entrée d'un système dont le 'fan out' (nombre maximal de circuit logique élémentaires que l'on peut connecter en parallèle sur une sortie) est faible [22] permettant ainsi de régénérer les signaux de données dans le système. On trouve, ces dernières années, de plus en plus d'articles, [23] [24], qui introduisent des architectures qui permettent de multiplier des fréquences en utilisant des BLD et ainsi de pouvoir

réaliser des fonctions de génération d'horloge.

Le principal inconvénient de ces structures est qu'elles nécessitent l'utilisation de circuits complémentaires, comme l'utilisation de plusieurs boucles (Fig.2.4 [25] pour la régénération de donnée et d'horloges, ou de système correcteur de rapport cyclique [26] pour les synthétiseurs de fréquence.

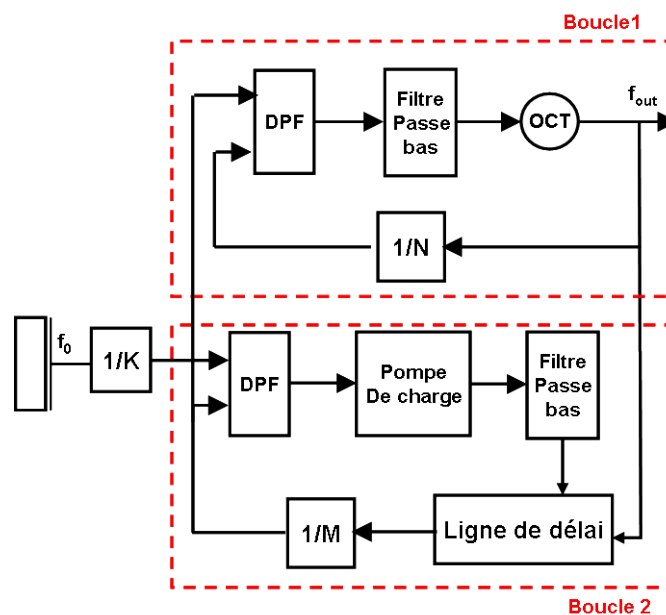


FIG. 2.4 – Schéma fonctionnel de la synthèse de fréquence double boucle

Le précédent chapitre présentait les définitions des deux notions importantes de la récupération d'horloge : la phase et la fréquence de signaux périodiques et non périodiques, ainsi qu'une vue d'ensembles des deux éléments principaux utilisés dans les systèmes de récupération d'horloge, les BVP et les BLD. La Spécification USB et ses contraintes doivent être analysées pour connaître les signaux et les données sur lesquels on peut se synchroniser ainsi que les contraintes temporelles et fréquentielles (temps maximum d'accrochage de la fréquence, erreur autorisée sur la période du signal de sortie, encodage du signal de référence...). Cette étude nous amènera à faire un choix structural pour le système de récupération d'horloge. Le système doit être innovant, robuste aux variations de température,

d'alimentation et de processus, de faible coût et occuper un espace minimum. Toutes ces spécifications ajoutent des contraintes sur le choix et la conception des divers blocs. Une fois la structure choisie, le chapitre 3 présentera une étude complète de ce système. Au fil de ce mémoire les problèmes de conception rencontrés seront évoqués ainsi que les solutions mises en oeuvre. Pour une meilleure compréhension, un chapitre sera consacré à la définition du bruit de phase ainsi qu'à son impact sur les différents blocs. Dans ce chapitre l'étude mathématique sera complétée par des résultats de simulations ainsi que des résultats de mesures sur silicium.

Enfin les résultats complets de ce travail de thèse seront exposés en comparant les mesures siliciums avec les résultats de simulation et les modèles mathématiques.

2.4 Spécification USB

L'objectif premier de la norme USB (acronyme d'Universal Serial Bus) était de répondre à trois impératifs [27] :

Permettre la connexion entre un téléphone portable et un PC : *"It is well understood that the merge of computing and communication will be the basis for the next generation of productivity applications. The movement of machine-oriented and human-oriented data types from one location or environment to another depends on ubiquitous and cheap connectivity. Unfortunately, the computing and communication industries have evolved independently. The USB provides a ubiquitous link that can be used across a wide range of PC-to-telephone interconnects."*

Etre Facile d'utilisation : *"The lack of flexibility in reconfiguring the PC has been acknowledged as the Achilles' heel to its further deployment. The combination of user-friendly graphical interfaces and the hardware and software mechanisms associated with new-generation bus architectures have made computers less confrontational and easier to*

reconfigure. However, from the end user's point of view, the PC's I/O interfaces, such as serial/parallel ports, keyboard/mouse/joystick interfaces, etc., do not have the attributes of plug-and-play."

Une capacité de connexion importante : *"The addition of external peripherals continues to be constrained by port availability. The lack of a bidirectional, low-cost, low-to-mid speed peripheral bus has held back the creative proliferation of peripherals such as telephone/fax/modem adapters, answering machines, scanners, PDA's, key-boards, mice, etc. Existing interconnects are optimized for one or two point products. As each new function or capability is added to the PC, a new interface has been defined to address this need."*

Ces trois Impératifs sont tirés de l'Introduction de la spécification de la norme USB version 0.7 datant de novembre 1994. En effet, comme l'avaient bien compris les concepteurs de la norme USB (*Compaq, Hewlett-Packard, Intel, Lucent, Microsoft, NEC, Philips*), avec l'avènement de la téléphonie mobile et la recrudescence de l'équipement informatique des ménages, une convergence de ces deux mondes était devenue inévitable. Un mode de transfert de données normalisé a été nécessaire pour faciliter les échanges. La démocratisation de cette norme et son utilisation par le grand public, passe par un coût raisonnable, une facilité d'utilisation et une capacité de connexion importante. Depuis la version 2.0 d'avril 2000 un troisième taux de transfert High-speed de 480Mb/s , a été ajouté aux deux premiers taux initiaux, Full-speed et Low-speed, respectivement de 12Mb/s et 1.5Mb/s . Cette mise à jour reste dans la lignée des précédentes versions qui définissent les performances de la norme USB qui est une interface *rapide, bidirectionnelle, isochrone et de faible coût, dont les connexions sont gérées dynamiquement*.

2.4.1 Généralités sur la transmission USB

Le protocole USB possède les caractéristiques suivantes :

- Protocole de communication série entre entités.

- Architecture étoilée et pyramidale, Fig.A.2.
- Échanges de données à vitesse prédéfinie dans la spécification USB.
- Possibilité de connecter un grand nombre de périphériques.
- facilité d'utilisation : " *plug'n play* "
- Largeur de bande passante garantie et basses latences

En effet, l'hôte se trouve au centre du réseau, et les périphériques à l'extérieur. L'Hôte USB a la charge de mener à bien toute les transactions et de programmer la bande passante et le taux de transfert, $1,5\text{Mbits/s}$ ou 12Mbits/s ou 480Mbits/s selon la tolérance du périphérique concerné. Typiquement, les modes High-speed et Full-speed peuvent être isochroniques (Largeur de bande passante garantie et basses latences, appropriées pour la téléphonie, l'acoustique, la vidéo, etc.), alors que les données Low-speed viennent des dispositifs interactifs.

Dans la suite de l'étude nous nous concentrerons sur le mode de transfert Full-speed.

L'hôte doit être capable de supporter jusqu'à 127 dispositifs physiques. Le branchement à chaud avec des pilotes qui sont directement chargeables et déchargeables rend facile et accessible son utilisation. L'utilisateur branche simplement l'appareil sur le Bus, l'Hôte détectera cet ajout, interrogera l'appareil nouvellement inséré et chargera le pilote approprié pendant le temps qu'il faut au sablier pour clignoter sur l'écran assurant qu'un pilote est installé pour l'appareil sélectionné. L'utilisateur final n'a pas besoin de se soucier des terminaisons, de termes tels qu'IRQs, adresses de ports, ou de la réinitialisation de l'ordinateur. Une fois que l'utilisateur a terminé, il lui suffit de retirer le câble, l'Hôte détectera cette absence et déchargera automatiquement le pilote. On dit que les périphériques sont auto définis.

De plus ce protocole prend en charge l'ajout de dispositifs composés, c'est à dire de périphériques comportant plusieurs fonctions telles que les imprimantes multifonctions (scanner, photocopieuses, fax...)

L'hôte est au sommet de la pyramide de communication Fig.A.2. Les transactions USB

se font grâce à l'émission de plusieurs paquets dont le format obéit à un standard. Chaque transaction consiste en la succession des paquets suivants :

- Un paquet Jeton (en anglais Token)
- Un paquet de données (en anglais DATA)
- Un paquet d'état (en anglais HandShake - poignet de main)

Il faut aussi mentionner que les données du flux de communication USB sont encodées en NRZI (Non Zero Return Inverse). Le signal NRZI possède deux propriétés qui influence directement la conception d'un circuit de récupération d'horloge. En NRZI, encoder "1" revient à ne pas changer le niveau du signal alors qu'un "0" correspond à un changement d'état. La Fig.2.5 montre une série de données et son équivalent NRZI. L'état *J* représente le niveau haut sur la ligne de signal et *K* le niveau bas. Une suite de "0" fait donc commuter le signal NRZI entre niveau haut et bas tandis qu'une suite de "1" crée une longue période sans changement d'état du signal NRZI.

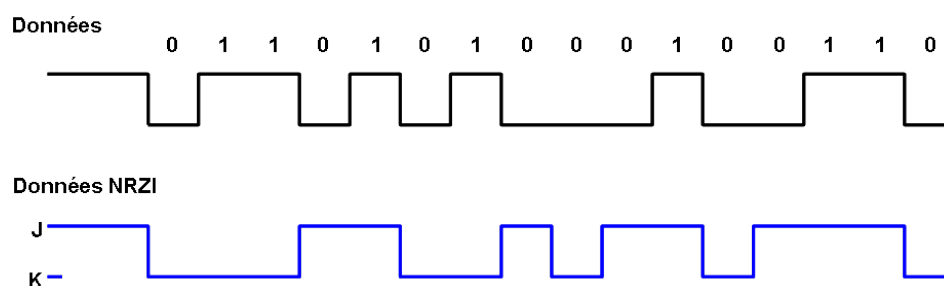


FIG. 2.5 – Données encodées en NRZI

Pour une séquence binaire aléatoire, de fréquence, r_b , et une probabilité égale de '1' et de '0', la densité spectrale de puissance vaut, [28] :

$$P_x(\omega) = T_b \left[\frac{\sin[(\omega \cdot t_B)/2]}{(\omega \cdot t_B)/2} \right]^2 \text{ et } T_b = \frac{1}{r_b} \quad (2.2)$$

On peut observer que cette fonction présente une valeur nulle aux multiples entiers de r_b . Nous regarderons ce point plus en détail dans S 4.6.

Une autre propriété importante est que le signal peut comporter de longues séquences

sans transition. Pour assurer un nombre de transitions suffisantes et ainsi permettre la synchronisation d'horloge, le protocole USB utilise une méthode dite de ' *Bit Stuffing* ' Fig.2.6. Un zéro est inséré après une séquence de six ' 1 ' consécutifs dans la chaîne de données pour forcer une transition sur le signal encodé. Cela donne au receveur un signal avec au moins une transition tous les sept temps bit, pour lui permettre de se synchroniser et ainsi de pouvoir décoder correctement les signaux de données. Le ' *Bit Stuffing* ' commence avec le bloc de synchronisation envoyé au début de chaque paquet Fig.2.6. En effet le système compte le nombre de ' 1 ' à partir du dernier ' 1 ' du champ de synchronisation. Le bloc de réception doit être capable de décoder le signal NRZI, détecter le bit inséré par le ' *Bit stuffing* ' et le rejeter.

Le signal de donnée, reçu par les divers éléments connectés à l'hôte, est un signal non-périodique et dans le cas (Full-Speed), ayant un taux de transfert de $12Mb/s$, soit un temps bit de $83.33ns$. De plus la spécification demande, à tout système désirant émettre un signal répondant à la certification USB, une précision de $2500ppm$ sur la fréquence du signal, soit 0.25% .

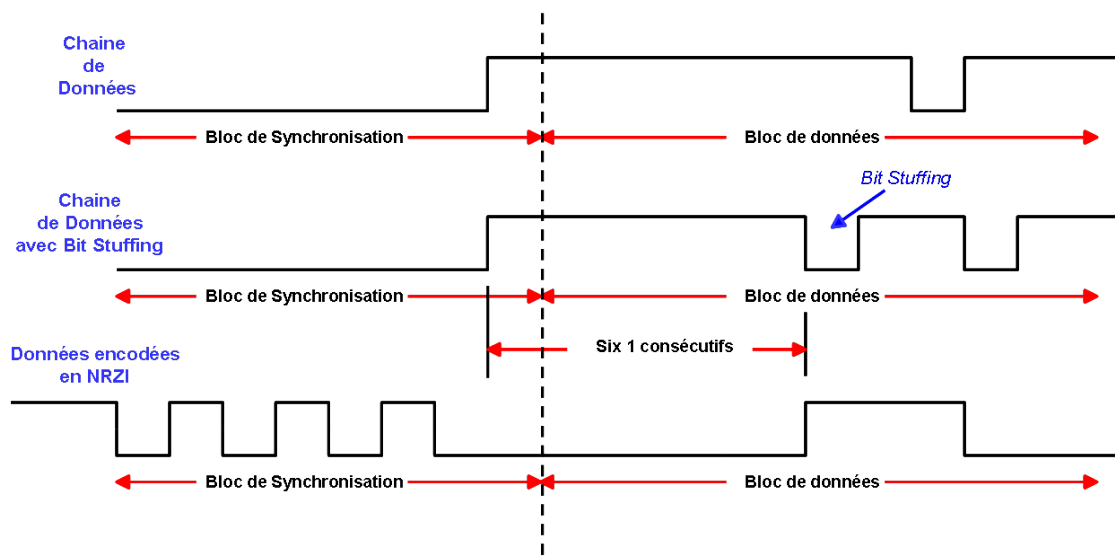


FIG. 2.6 – Bit Stuffing

Le système doit être capable d'émettre un signal cadencé à $12Mb/s \pm 0.25\%$ et avoir un signal d'horloge suffisamment précis pour le faire. Le choix de réalisation a été, en accord avec *Atmel* Rousset, partenaire industriel de cette étude, un signal d'horloge de $48MHz$ (période $20.833ns$) ce qui permet en réception de suréchantillonner le signal reçu pour un meilleur décodage. Cela permet d'avoir 4 fronts d'horloge par temps bit du signal NRZI. Pour assurer un décodage efficace, en réception, une horloge moins précise que pour l'émission est suffisante. En effet pour décoder correctement l'information du signal NRZI on peut admettre entre trois et cinq fronts d'horloge par Bit, ce qui nous permet de certifier la valeur du signal avant de le décoder. Le problème étant de pouvoir certifier que pour l'émission on aura une horloge permettant d'envoyer un signal à $12Mb/s \pm 0.25\%$.

Il faut donc, soit générer une horloge précise dès la réception, soit trouver un moyen d'affiner sa précision entre la réception des informations envoyées par l'hôte et l'émission de la réponse.

Nous allons maintenant nous intéresser plus en détail au protocole d'échange de données USB afin de déterminer quel seront les possibilités de synchronisations.

2.4.2 Protocole USB

Le bus est géré par l'hôte, ce qui signifie que c'est lui qui initie toutes les transactions en envoyant un paquet Jeton (TOKEN) dans lequel figure le type de transaction (lecture ou écriture), l'adresse du périphérique de destination, et la terminaison désignée (nous reviendrons sur ce terme plus loin). Ensuite le paquet de données (DATA) qui contient les informations réellement utiles dans la transaction, puis le paquet d'état qui indique si l'échange s'est correctement déroulé. Les paquets USB se composent des champs suivants :

- **SYNC**

Tous les paquets doivent commencer avec un champ Sync, de 8 bits de long en Low-speed et full-speed Fig.2.7 ou 32 bits en High-speed. Il est utilisé pour synchroniser l'horloge du

récepteur avec celle de l'émetteur. Il est composé de trois transitions entre niveau Bas et Haut (KJ) et les 2 derniers bits ($2K$) indiquent l'endroit où le champ PID commence.

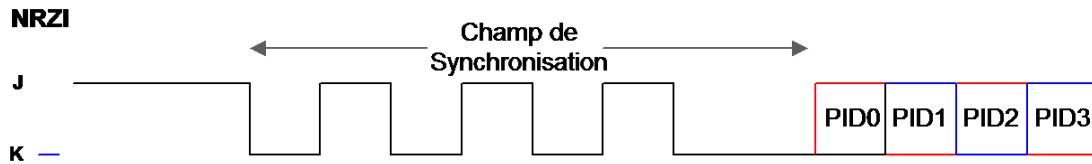


FIG. 2.7 – Champ SYNC

– PID

Composé de 4 bits, il est utilisé pour identifier le type de paquet qui est envoyé (Table A.3), ainsi que la direction du paquet de données, sachant que l'hôte est toujours pris comme repère pour les directions de communication. Pour s'assurer qu'il a été reçu correctement, les 4 bits sont complémentés, ce qui permettra de vérifier la validité de ce paquet. On obtient alors un PID de 8 bits au total Fig. 2.8

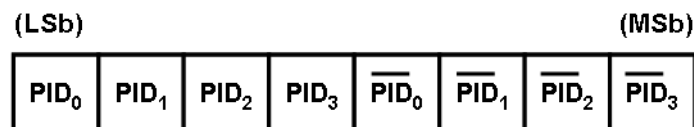


FIG. 2.8 – Format des paquets PID

– ADDR

Composé de 7 bits de long, Fig. 2.9, pour supporter 128 appareils, il détermine, par son adresse, la fonction qui émet ou reçoit les données. Par définition chaque adresse ne peut définir qu'une seule fonction

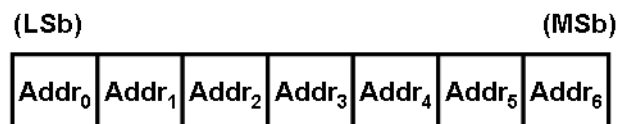


FIG. 2.9 – Champ d'adresse

– ENDP

Le champ de terminaison composé de 4 bits, Fig.2.10, autorisant seize terminaisons possibles, il est ajouté pour rendre l’adressage des fonctions plus flexible.

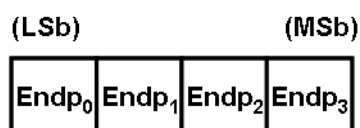


FIG. 2.10 – Champ ENDP

– CRC

Les Contrôles à Redondance Cyclique sont exécutés sur les données à l’intérieur du paquet de charge utile. Ils servent à protéger l’intégrité de tous les champs, excepté les PID, dans les paquets de jetons et de données. Un mauvais champ CRC indique que l’un des champs du paquet est corrompu. Le système qui reçoit ce paquet sait alors qu’il doit l’ignorer.

- les paquets jetons ont un CRC de 5 bits
- les paquets de données ont un CRC de 16 bits

– EOP

Signalé par une sortie unique zéro (SE0), Fig. 2.11, pendant une durée de 2 bits suivie par un ‘ J ’ d’une durée de 1 bit, ce champ indique la fin d’un paquet.

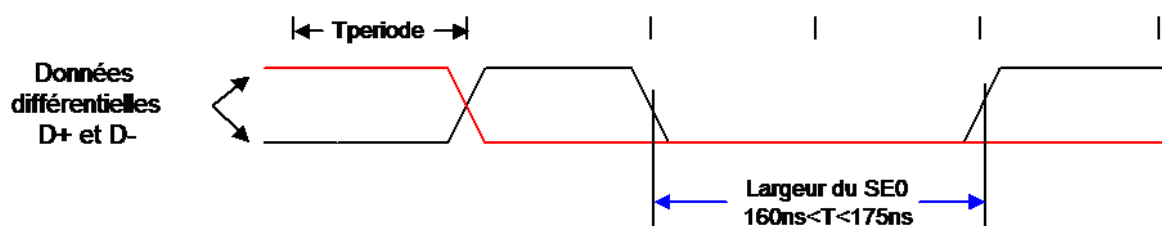


FIG. 2.11 – EOP avec sa sortie unique à zéro

Jusqu’à présent, parmi tous les champs composant les différents paquets transmis entre un hôte et sa fonction raccordée, seule la partie de synchronisation, est déterministe. En effet c’est la seule que l’on retrouve au début de chaque paquet ; quelque en soit sa nature :

JETON, DONNEE ou ETAT, et dont on peut prévoir la structure. De plus elle présente une densité de transition assurée, ce qui est un point important pour la récupération du signal d'horloge.

On retrouve ces champs dans les paquets de communication :

JETON (TOKEN) : *In* - Informe l'appareil USB que l'hôte veut lire des informations.

Out - : Informe l'appareil USB que l'hôte veut envoyer des informations.

Setup - Utilisé pour commencer les transferts de commande.

Les paquets de Jeton doivent se conformer au format suivant Fig.2.12 :

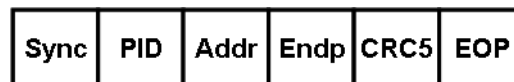


FIG. 2.12 – paquet de Jeton

DONNEES (DATA) : Il y a 2 sortes de paquets de données :

- Data0
- Data1

La taille maximale de données ‘ charge utile ’ est :

- De 8 octets pour les appareils Low-speed
- De 1023 octets pour les appareils Full-speed
- De 1024 octets pour les appareils High-speed

Les paquets de données doivent se conformer au format suivant Fig.2.13 :

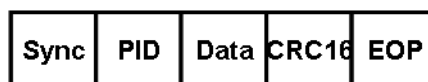


FIG. 2.13 – Paquet de données

Paquet POIGNET DE MAIN (HANDSHAKE) : Il y a 3 sortes de *poignet de main* :

- ACK - validant que le paquet a été reçu correctement

- NAK - rapporte que temporairement l'appareil ne peut ni envoyer ou recevoir des données, il est aussi utilisé pendant les transactions d'interruptions pour avertir l'hôte qu'il n'a pas de donnée à envoyer.
- STALL (Bloqué) - L'appareil se retrouve dans un état qui va exiger l'intervention de l'hôte.

Les paquets *Poignet de main* doivent se conformer au format suivant Fig.2.14

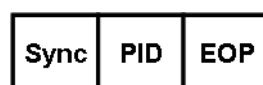


FIG. 2.14 – Paquet poignet de main

La norme USB définit une base temporelle, appelée trame (frame en anglais) d'une milliseconde plus ou moins $500ns$ pour les modes Full-speed et Low-speed et de $125us$ plus ou moins $65ns$ pour le High-speed. Une trame peut contenir plusieurs transactions entre l'hôte et la fonction qui lui est attachée. Cinq types de transactions sont possibles :

- Transfert de DONNEES
- Transfert de CONTROLE
- Transfert D'INTERRUPTION
- Transfert ISOCHRONE
- Transfert de type 'BULK'

La Fig. A.4, tirée de la spécification USB 2.0, résume l'organisation de ces transferts. Le détail de leur protocole n'est pas décrit ici mais peut être trouvé dans [27].

Toutes les trames débutent par un champ SOF Fig.2.15 (Start Of Frame en anglais et début de trame en français) et se termine par un intervalle de fin de trame.

Le paquet début de trame contient, un champ PID indiquant la nature du paquet suivi d'un champ de 11 bits renseignant sur le numéro de la trame ainsi qu'un CRC portant sur le numéro de la trame comme illustré Fig.2.16.

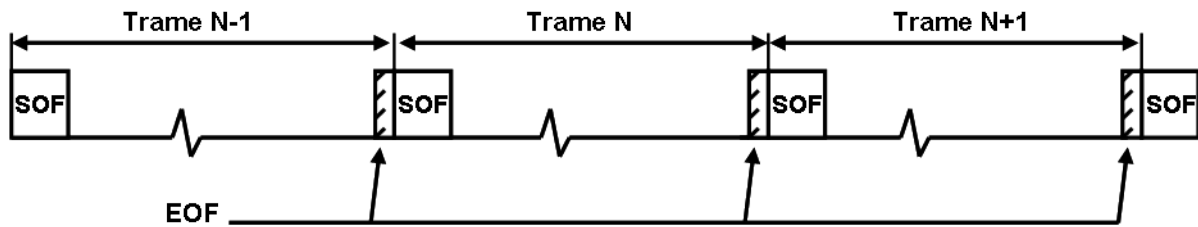


FIG. 2.15 – trame

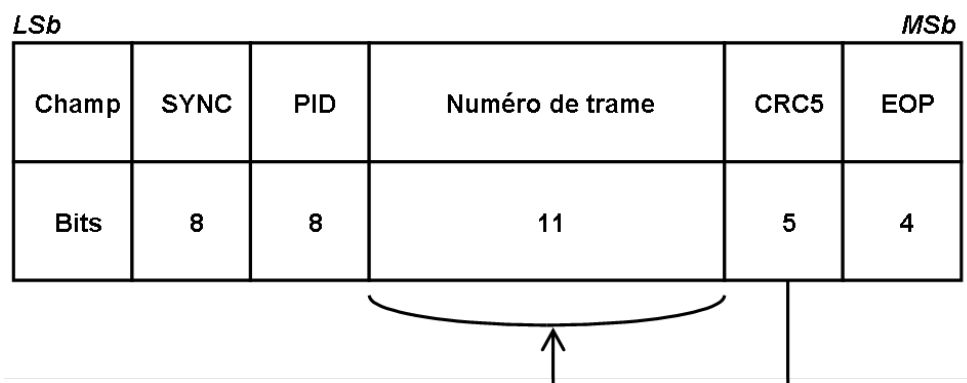


FIG. 2.16 – Paquet début de trame

C'est la seule transaction qui arrive de façon périodique (toute les $ms \pm 500ns$ dans ce cas d'étude) et qui ne demande aucune réponse du système attaché à l'hôte. Pour rappel le PID du paquet "début de trame" est composé de la succession suivante : 10100101 et il est devancé du champ de synchronisation vu Fig.2.7. On se retrouve donc avec 16bits (1.3 μs) comportant un nombre de fronts défini plus le "frame Number" et son CRC5 toutes les millisecondes Fig.2.17. Certains industriels tels que *STMicroelectronics* et *Axalto* utilisent cette périodicité pour se synchroniser à l'aide de boucles comprenant des BVP et des BLD [29].

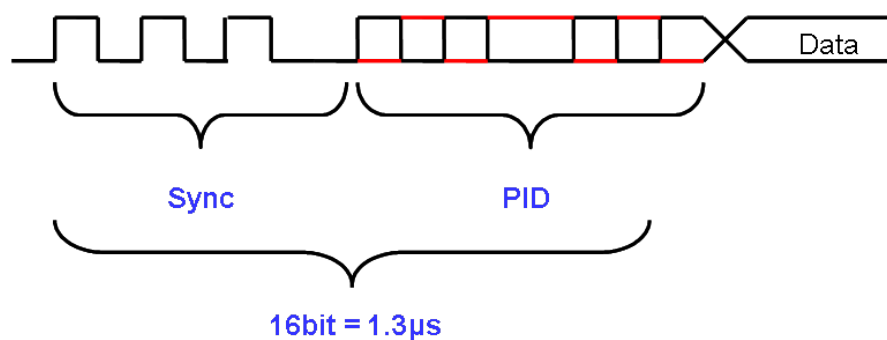


FIG. 2.17 – Champs de synchronisation et PID du paquet *début de trame*

Il faut aussi remarquer, que le système peut se retrouver, dans certains cas, dans des périodes plus ou moins longues sans signal de référence ou sans une densité de transition suffisante pour synchroniser une horloge. Notamment pendant les modes 'RESET' et 'SUSPEND'. Ces deux modes mettent en place plusieurs millisecondes sans échange de données. Par exemple, après que la fonction ait reçu un signal de RESET (*SE0* d'une durée de 2.5 μs), un intervalle de 10ms durant lequel elle doit ignorer tout transfert de données, est requis. Le mode 'SUSPEND' quant à lui entre en action si le système ne voit aucune activité sur le bus pendant au moins 3ms. Le système passe alors dans un mode d'économie d'énergie en ne consommant qu'un courant minimum provenant de l'hôte. Il faut donc avoir un système de récupération d'horloge robuste, supportant les longues périodes, de l'ordre de plusieurs millisecondes, sans signal de référence ('RESET' et 'SUSPEND') et ce sans dériver (de façon à garantir les 48MHz).

Dans le protocole USB, on dispose de deux informations de temps, lors des transactions USB entre un Hôte et ses divers éléments attachés. Tout d'abord les paquets de début de trame (SOF), envoyés toute les millisecondes $\pm 500ns$. Ces paquets sont déterministes et comportent un nombre de transitions garanties.

Ensuite, les champs de synchronisation (SYNC Field) envoyés au début de chaque paquet, eux aussi déterministes garantissant ainsi un nombre défini de transitions.

La périodicité des paquets ' *début de trame* ' est déjà utilisée et fait l'objet de brevets [29]. Cette solution utilise un système à base de compteurs et de BVP. Les compteurs mesurent le temps entre chaque paquet début de trame à l'aide de l'horloge fournie par la BVP (et l'OCT) et ajuste la fréquence de l'OCT en fonction du résultat obtenu pour que cet écart corresponde à l'écart type d'une milliseconde $\pm 500ns$. Ce système génère une horloge stable après avoir reçu plusieurs paquets début de trame, donc après plusieurs millisecondes. Dans cette étude nous nous sommes concentré sur les champs de synchronisation. L'objectif est de fournir une horloge stable au système en moins d'une milliseconde. Cependant l'information contenue dans ces champs est limitée car il ne sont en effet composé que de 8 bits. Dans la spécification d'autres éléments permettent, à l'aide d'un système simple composé d'une seule BVP, de se synchroniser sans utiliser des méthodes connus [29] [30] [31], en moins d'une milliseconde.

La phase de connexion d'un système à l'hôte et celle de reconnaissance est un moment important du protocole USB.

Le bruit et le *jitter* des signaux de données USB, qui sont des paramètres fondamentaux pour la récupération d'horloge fera l'objet d'un paragraphe entier de ce mémoire. En effet nous verrons dans le chapitre suivant qu'une contrainte supplémentaire vient s'ajouter à la non-périodicité et au nombre aléatoire de transitions du signal USB, Le *jitter* du signal de référence (les signaux D+ et D-).

2.4.3 Connexion d'un système à un serveur USB.

Quand aucun élément n'est connecté, les sortie $D+$ et $D-$ se retrouvent sous le seuil de tension basse V_{IL} (Table 4). Ce seuil est utilisé pour détecter la déconnexion des divers fonctions. Le retrait d'un des éléments USB est reconnu lorsque $D+$ et $D-$ se retrouvent sous ce seuil de tension basse pendant un temps supérieur à ' T_{DDIS} ' ($2.5\mu s$) Fig.2.18

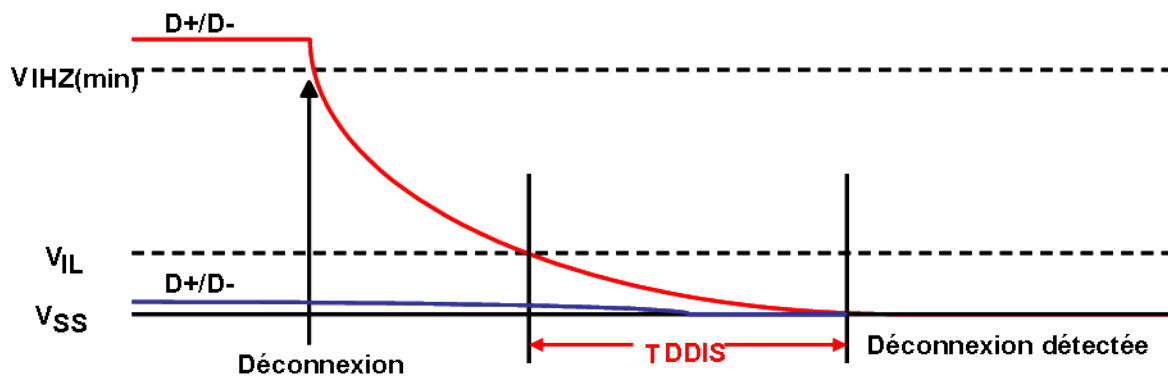


FIG. 2.18 – Détection de détachement

De même, lors de la connexion d'un élément USB l'hôte opère une détection de niveau sur les nets de données Fig.2.19. En mode full-speed, la détection d'une connexion se fait sur $D+$, dont la tension doit rester au dessus de V_{IHZ} (table2.27 page 50) pendant un temps supérieur à T_{DCNN} ($2.5\mu s < T_{DCNN} < 12ms$).

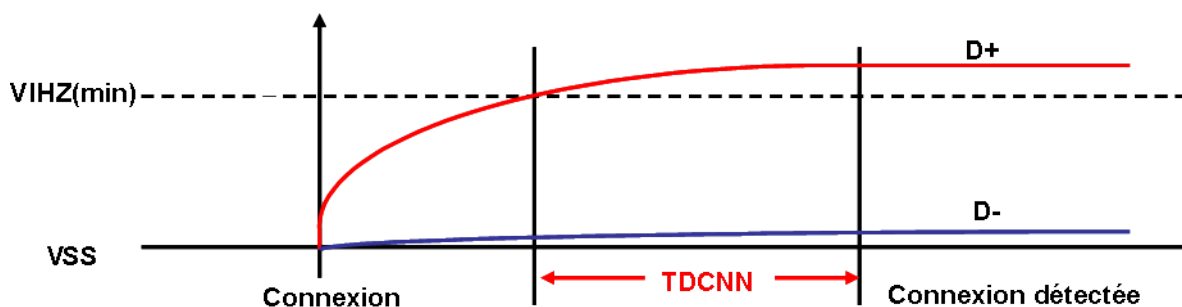


FIG. 2.19 – Détection de l'attachement d'un module Full-speed.

En considérant que les divers éléments peuvent être attachés dynamiquement, et que les hubs (éléments permettant d'augmenter le nombre de connexions d'un système, Fig.A.2)

doivent être capable de gérer l'alimentation des systèmes, une série d'événements décrits par la Fig.2.20 tirée de la spécification USB [27], se déroule lors de la connexion d'un élément. Cette séquence est le prélude de la communication entre l'hôte et la fonction.

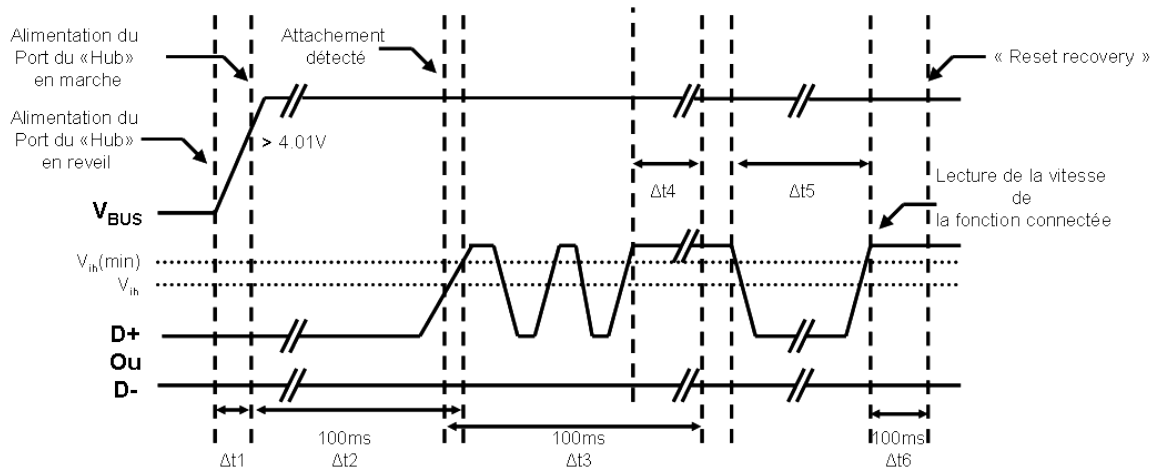


FIG. 2.20 – Connexion et alimentation d'un système USB.

$\Delta t1$: temps requis pour que le port soit alimenté. Ce temps dépend du type de hub et de port utilisé.

$\Delta t2$: représente le temps nécessaire aux rails d'alimentation interne du système pour avoir une tension stable ($V_{ss} > 4.01V$) et le temps nécessaire aux nets $D+$ et $D-$ pour atteindre un niveau supérieur à V_{IH} . $\Delta t2$ doit être inférieur à $100ms$.

$\Delta t3$: temps de stabilisation du système. Il se déclenche au moment où l'hôte détecte qu'une fonction a été attachée. Cet intervalle redémarre si l'élément est détaché.

$\Delta t4$: le système n'observant aucune activité sur le bus il entre en mode suspend

$\Delta t5$: l'hôte ou le hub envoie des signaux de ' RESET ' au système suivi par un temps de $10ms$ pour sortir du mode ' RESET '.

$\Delta t6$: "RESET RECOVERY"

Ensuite l'hôte envoie le paquet " *Start Of Frame* ". Puis l'échange de données commence. Un paquet " JETON " est envoyé par l'hôte USB pour définir le type de transaction. La

première transaction est de type “ CONTROLE ” pour identifier la fonction attachée et lui donner une adresse, Fig.2.21.

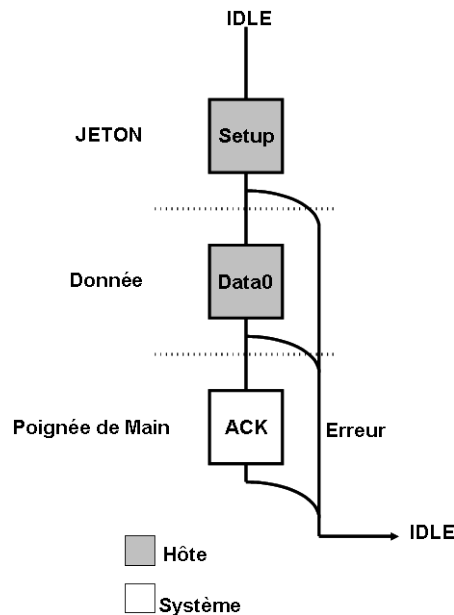


FIG. 2.21 – transaction de type “CONTROLE” avec un PID de SETUP

L’hôte envoie un Jeton définissant le type de transfert, s’il attend des données ou s’il veut en émettre. Il peut envoyer ensuite un paquet de données puis attend la réponse de la fonction attachée. Le *paquet de données* étant optionnel, le système doit, *dans le pire des cas*, répondre par un *paquet poignet de main* directement après avoir reçu, correctement, le paquet “JETON”.

Il est important de connaître le temps maximum que la spécification laisse au système pour répondre. D’après [27] :

SPEC USB2.0

“The host must provide at least two bit times of J after the SE0 of an EOP and the start of a new packet (T_{IPD}). If a function is expected to provide a response to a host transmission, the maximum inter-packet delay for a function

or hub with a detachable (T_{RSIPD1}) cable is 6.5 bit times measured at the Series B receptacle. If the device has a captive cable, the inter-packet delay (T_{RSIPD2}) must be less than 7.5 bit times as measured at the Series A plug. These timings apply to both full-speed and low-speed devices and the bit times are referenced to the data rate of the packet. The maximum inter-packet delay for a host response is 7.5 bit times measured at the host's port pins. There is no maximum inter-packet delay between packets in unrelated transactions."

On peut retrouver les temps définis par la spécification dans le tableau suivant :

	Min	Max	
T_{IPD}	2		Temps Bit
T_{RSIPD1}		6.5	Temps Bit
T_{RSIPD2}		7.5	Temps Bit

FIG. 2.22 – temps autorisé entre deux paquets

T_{IPD} étant le temps entre deux paquets de données envoyées par l'hôte, T_{RSIPD1} le temps imparti pour répondre pour un système attaché à l'hôte par un câble détachable et T_{RSIPD2} le temps de réponse pour un système ayant un câble fixe.

Ainsi, au moment où le système est connecté à un hôte USB, on passe par les 6 étapes décrites plus haut, puis l'échange de données commence. On doit être capable de décoder l'information envoyée par le serveur USB (Paquet de SETUP et optionnellement des paquets de DONNÉES) et d'y répondre dans un temps très court répartie de la manière suivante :

- Un paquet début de trame (SOF) de 36bits, Fig.2.16, soit un champ de données d’une durée de $2.999\mu s$
- Puis le temps T_{IPD} avant que l’hôte envoie le paquet de ” SETUP ” soit un minimum de deux temps bit, soit un minimum de $166.66ns$.
- Le système reçoit ensuite un paquet de ” JETON ” de 36 bits, Fig.2.12, avec un champ PID de setup (1101B voir tableA.3), soit $2.999ns$.
- Le système a alors T_{RSIPD1} ou T_{RSIPD2} suivant le type de câble pour répondre par un paquet poignet de main.

Au final, on reçoit le signal de référence durant $6.165\mu s$ avec un nombre limité de transitions ($72bitsNRZI$). Signal de référence qui doit nous permettre de générer un signal d’horloge à $48MHz \pm 2500ppm$ et ce sans source stable tel un cristal de quartz par exemple.

De plus, la spécification USB donne la possibilité de ne pas répondre à l’hôte directement après le paquet de ‘ SETUP ’.

En effet on peut voir dans [27] que si l’hôte ne reçoit pas de réponse au delà de $T_{RSIPD1ou2}$ il initiera une nouvelle transaction. En effet entre les différents paquets d’une transaction de type ‘ SETUP ’ le système et l’hôte ont des temps d’attente définis par la spécification, Fig.2.23. En cas de dépassement des délais, ‘ TIMEOUT ’, le serveur USB retente la transaction une deuxième puis une troisième fois. Au bout de ces trois essais si la fonction attachée n’a pas répondu l’hôte arrête la communication.

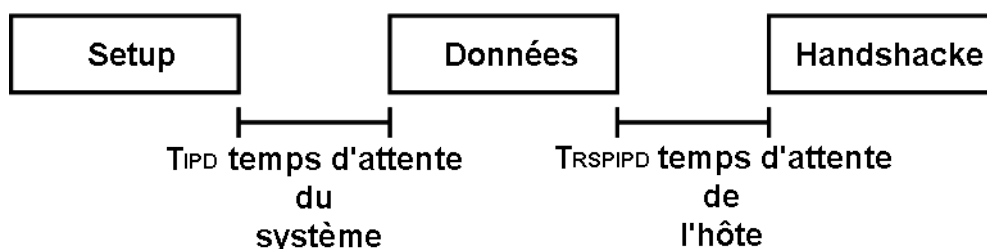


FIG. 2.23 – Temps d’attente entre les différents paquets

Ce mécanisme est appelé ‘*three strikes and you’re out*’, que nous mentionneront par

la suite par l'acronyme TSYO. On peut utiliser ce principe pour augmenter le temps et le nombre de transitions dont on dispose pour générer l'horloge. L'objectif est donc de ne répondre à la demande de ' HANDSHAKE ' du serveur USB ni à la première ni à la deuxième fois mais seulement à la troisième. On reçoit alors trois fois le paquet de Jeton de 36 bits Fig.2.24 avant de devoir répondre.

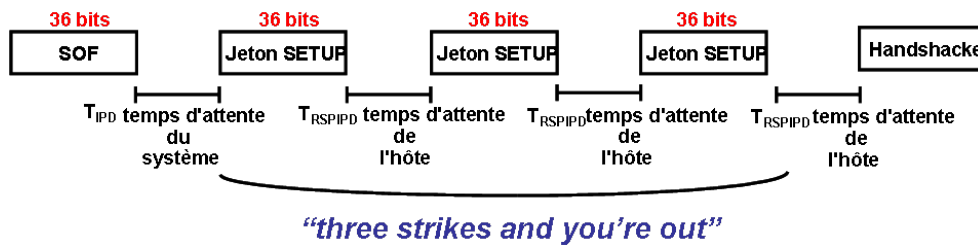


FIG. 2.24 – Mécanisme de 'TSYO'

On se retrouve alors dans une configuration plus intéressante, bien que toujours complexe, avec la réception de 4 paquets, pour un total de 144 bits encodées en NRZI, à 12Mb/s durant $13.815\mu\text{s}$. Le signal de synchronisation est donc celui de la Fig.2.25 :

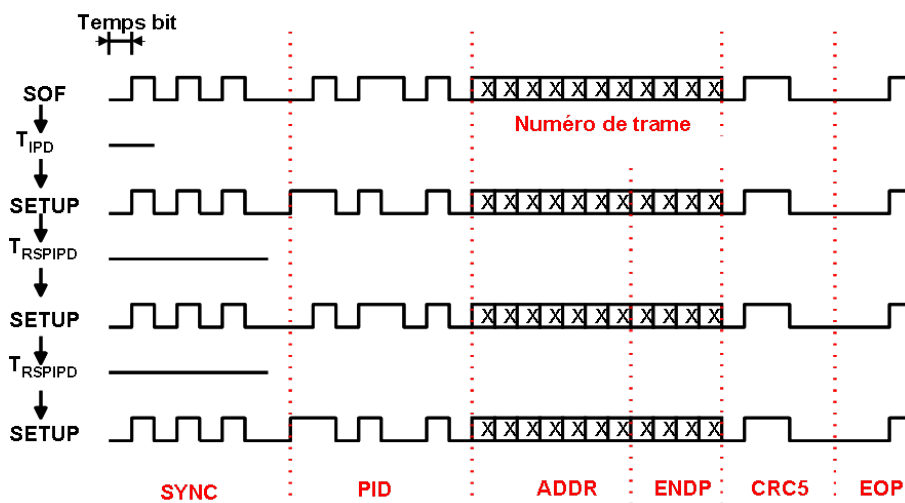


FIG. 2.25 – Séquence de bits reçus après la connexion d'un système

Sur laquelle les X représentent une incertitude sur la valeur du bit reçu, le temps bit vaut 83.33ns (12Mb/s) et les temps d'attente entre les paquets correspondent au pire cas de la

Fig.2.22 (T_{RSPID2}).

Nous allons maintenant nous intéresser aux caractéristiques intrinsèques de ce signal : Jitter, temps de montée et de descente des fronts, perturbations possibles dues aux câbles externes. . .

2.4.4 Caractéristiques électriques du signal USB

Comme tous les signaux électriques, les signaux $D+$ et $D-$ ne sont pas parfaits. Ils sont caractérisés par leur temps de montée et de descente et leur Jitter. Ces caractéristiques sont importantes dans cette étude car elles vont déterminer les spécifications du signal de référence. En mode FULL-SPEED ($12Mb/s$) les temps de montée et de descente sont mesurés entre 90% et 10% du signal avec une charge de $50pF$ (Fig.2.26).

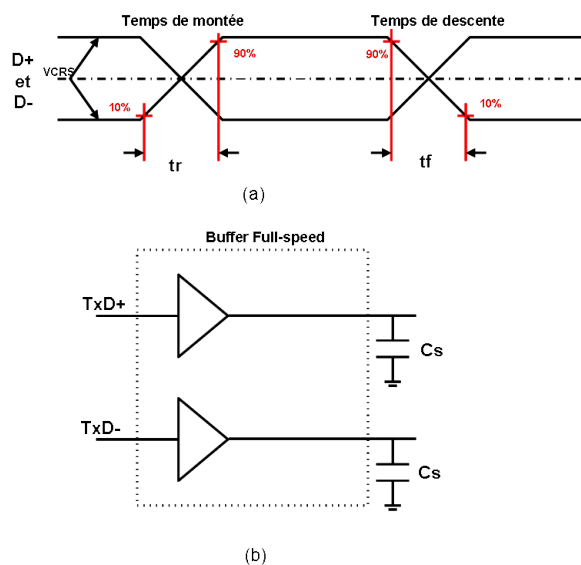


FIG. 2.26 – (a) Temps de montée et de descente des signaux $D+$ et $D-$, (b) charge pour les mesures des temps de montée et descente pour les buffers Full-speed $C_s = 50pF$.

Les temps de montée et de descente doivent être compris entre $4ns$ et $20ns$, les transitions doivent être monotones et correspondre les unes par rapport aux autres à plus ou moins 10%

près (pour minimiser les RFI, interférence radio-fréquence, et le '*skew*', écart temporel entre deux chemins de données ou d'horloge, des signaux). Le point de croisement des signaux $D+$ et $D-$ (VCRS) doit se trouver entre 1.3V et 2V. La spécification n'impose pas de correspondance entre les tensions extrêmes des signaux, cependant il est fortement recommandé que les tensions moyennes de $D+$ et $D-$ soient égales. La spécification donne la possibilité de venir connecter la fonction après un câble. Celui-ci peut introduire au maximum 100ps de retard entre les signaux différentiels $D+$ et $D-$. Les Tableau 2.27 et A.5 résument les niveaux des signaux USB. Une source doit être capable d'envoyer des signaux dont les niveaux sont spécifiés dans la deuxième colonne du tableau A.5, tandis qu'un récepteur doit être capable d'identifier des signaux dont le niveau est défini dans la troisième colonne du tableau A.5.

ETAT BUS	Niveaux des signaux
Niveaux des signaux de sortie	
VOH	$2.8V < VOH < 3.6V$
VOL	$0V < VOL < 0.3$
VCRS	$1.3V < VCRS < 2.0V$
Niveaux des signaux d'entrée	
VIH	$2.7V < VIH < 3.6V$
VIH	$VIH > 2.0V$
VIL	$VIL < 0.8V$

FIG. 2.27 – Caractéristiques électriques des signaux USB

Note1 : La durée de l'EOP est donnée en fonction du temps bit. Dans le cas le temps bit vaut 83.33ns.

Note2 : Le temps bit dans ce cas dépend du type de récepteur. La durée du SE0 peut donc varier comme nous l'avons vu plus haut.

Note3 : Correspond ici au temps bit Full-speed soit $83.33ns$

Note4 : En mode 'Keep alive' les champs EOP envoyés pour maintenir la connexion avec la fonction sont en Low-speed.

Les états 'J' et 'K' sont des niveaux logiques utilisés pour communiquer des données différentielles entre les systèmes. La spécification USB définit les caractéristiques temporelles des signaux. On voit alors apparaître le terme 'JITTER'. Une définition s'impose. Dans [27] on peut voir :

JITTER : *A tendency toward lack of synchronization caused by mechanical or electrical changes. More specifically, the phase shift of digital pulses over a transmission medium.*

En effet, au cours de la transmission des signaux $D+$ et $D-$, des variations temporelles peuvent se produire au moment des transitions montantes ou descendantes. Le temps entre deux transitions peut s'écrire : $N \cdot T_{periode} \pm jitter$, où N est le nombre de bits entre les deux transmissions et $T_{periode}$ le temps d'un bit, soit $83.33ns$. Le *jitter* est mesuré avec la même charge que pour les mesures de temps de montée et de descente et aux points de croisement des transitions des signaux différentiels (Fig. 2.28).

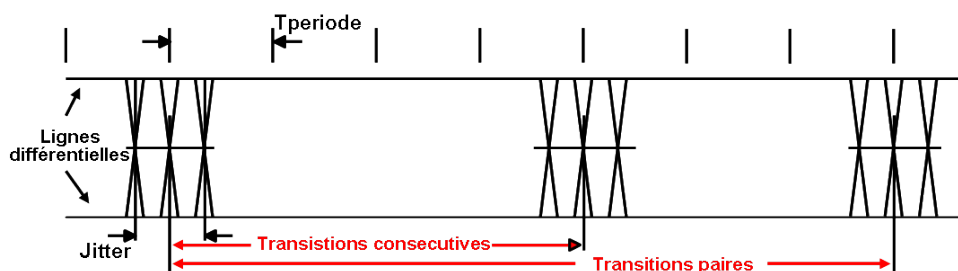


FIG. 2.28 – Jitter sur les signaux de données différentiels

Ces variations sont un problème supplémentaire que l'on doit prendre en compte lors de

l'étude. L'objectif étant de ne pas transmettre ce bruit sur le signal d'horloge. Les données de *jitter* sont listées dans le tableau 2.29. Cette table prend en compte le pire des cas : 5 hubs (maximum autorisé par la spécification) ont été placés entre le système et l'hôte USB et on considère qu'il y a 7 bits entre deux transitions. Les valeurs du tableau sont arrondies à la valeur supérieur pour une facilitée d'utilisation.

Jitter de la source	Full-Speed			
	Transitions consécutives	Transitions paires	Transitions consécutives	Transitions paires
	Par bit (ns)	Total (ns)	Par bit (ns)	Total (ns)
Driver Tolérance en fréquence au niveau de la source	2.0 0.21/bit	2.0 1.5	1.0 0.21/bit	1.0 3.0
Jitter total de la source Jitter des hubs	3.0	3.5 15	1.0	4.0 5
Total du jitter Source + hubs Tolérance en fréquence au niveau de la destination	0.21/bit	18.5 1.5	0.21/bit	9.0 3.0
Jitter total au niveau de la fonction attachée à l'hôte		20.0		12.0

FIG. 2.29 – Jitter accumulé sur les signaux différentiels à l'entrée de la fonction

Il prend aussi en compte les 2500ppm de tolérance sur le taux de transfert des données en Full-speed :

$$frequency - tolerance = 0.25\% * T_{periode} \quad (2.3)$$

Soit :

$$frequency - tolerance = 0.25\% * 83.33ns = 0.21ns/bit \quad (2.4)$$

Nous connaissons maintenant toutes les caractéristiques du signal de référence :

- Le temps imparti pour nous synchroniser.
- Le nombre de transition dont on dispose.
- Les temps de montée et de descente.
- Le *jitter*.

A partir des généralités sur les BVP et les BLD, vu dans les chapitres précédents, des propriétés de la référence, (signal non périodique avec de longues périodes sans transition et bruité) et des caractéristiques du signal d'horloge que l'on doit générer, ($48MHz \pm 2500Ppm$), le choix d'une solution de récupération d'horloge peut être mis en place. Des solutions ont déjà été proposées en utilisant :

- Deux BVP imbriquées [32], [33] : Ces structures ont l'avantage de pouvoir régler la bande passante de chaque boucle indépendamment, ce qui évite les contraintes de conception liées à une structure basée sur une simple boucle. Cela permet de supprimer le bruit de l'OCT (notamment induit par les bruits d'alimentations) tout en supprimant les bruits transmis par le signal d'entrée. Le principal inconvénient de ce type de technique reste la surface d'occupation et la consommation. En effet le fait de doubler le nombre de boucle, double les cellules les plus consommatrices ainsi que la surface occupée par la structure.
- Des BLD associées à des compteurs [29] : Ce brevet a pour avantage sa faible sensibilité au bruit du signal d'entrée. En effet le compteur sert de système correctif à la BLD, en comptant le temps entre chaque trame USB. La périodicité entre chaque trame ($1ms \pm 500ns$) étant plus précise que la spécification sur le signal d'horloge ($2500ppm$), la structure décrite par ce brevet permet de fournir un signal très pure. En contrepartie le système doit attendre d'avoir reçu plusieurs trames pour se synchroniser et occupe une surface importante dû à l'ajout du compteur et du circuit de logique

associé.

- Des BVP multi-phases [34], [35]. Ces systèmes permettent de se synchroniser sur des signaux non-périodiques. L'utilisation de détecteurs de phase à échantillonnage, permet de positionner les fronts du signal d'horloge au centre du diagramme de l'oeil du signal de référence. Le principal inconvénient est que le gain de la boucle dépend de la densité de transition. Un choix doit être fait entre temps de synchronisation et bruit en sortie.
- Des machines d'état fini associées à des microcontrôleurs, comme dans la famille des *FLASH MCU, Full Speed USB 16k ISP*, de chez *Silicon Laboratories* : structures rapides et ne transmettant qu'une faible quantité de bruit de par l'utilisation de machines d'état. Cependant le coût surfacique est trop important dans notre cas d'étude.
- Des techniques de sur-échantillonnages [36] [37] [38] : ces circuits sont surtout développés pour des émetteurs-récepteurs hautes fréquences. En utilisant un OCT multiphase, un circuit de logique permet de choisir la phase la plus adaptée lors de l'échantillonnage des données. Cette méthode permet de se synchroniser sur des signaux fortement bruités. L'inconvénient de cette technique réside dans la complexité des circuits de logique associés et dans la grande consommation de ce type de structures. De plus elles sont fortement dépendantes de la périodicité du signal de référence.
- Des BVP et BLD associées [30] [31] : la BLD est utilisée pour générer les signaux 'UP' et 'DOWN' et ainsi venir accélérer ou ralentir la fréquence de l'OCT. De même que pour les structures à échantillonnage, un circuit logique est utilisé en association avec la BLD. Ce système a pour avantage d'être indépendant du vecteur de référence et de ne transmettre qu'une faible quantité de bruit, même en présence d'une référence fortement bruitée. Cependant la grande consommation et la surface occupée par ce genre de système rend leur utilisation difficile dans notre cas.

Toutes ces techniques utilisent des combinaisons de BVP et BLD, des systèmes plus ou moins complexes de correction de bruit ainsi que des blocs numériques de traitement logique.

La multiplication du nombre de ces blocs engendre une augmentation de la consommation et de la surface occupée. Après une étude de ces solutions, un système à base de BVP est apparue comme le plus approprié. Malgré le fait que sa conception soit légèrement plus compliqué que celle d'une BLD (de par les contraintes de stabilité plus stricte sur une BVP) une BVP assure un contrôle simple de la variation de fréquence de l'OCT et ceux sans circuit complémentaire. Le système développé, basé sur cette étude bibliographique, doit être intégrable, rapide, doit pouvoir se synchroniser sur un signal non-périodique et fortement bruité, et ne transmettre en sortie qu'une faible quantité de bruit.

L'objectif est de se synchroniser sur les premiers paquets de données envoyés par l'hôte (SOF et SETUP) et d'utiliser le mécanisme de '*TSYO*'.

Les prochains chapitres porteront sur la description du système, son implémentation et sa validation.

3

Analyse et modélisation du système de récupération d'horloge

On remarque le besoin dans les systèmes de communication actuels, notamment pour la réception et la resynchronisation, de connaître exactement la fréquence d'horloge. Par exemple, à la détection, la décision de la valeur 0 ou 1 d'un bit doit se faire à un moment précis du laps de temps sur lequel celui-ci est transmis. Les décisions successives doivent donc intervenir à interval réguliers. Si le taux de répétition venait à s'en écarter, les instants correspondant aux décisions dériveraient par rapport à l'optimum (on aurait donc plus d'erreurs).

On synchronise donc récepteur et émetteur à une horloge. Afin de s'en assurer l'exactitude, cette horloge doit être extraite du signal portant les données. La fonction correspondant à cette opération est appelée *récupération d'horloge*, et est donc un élément critique de tout système de transmission de données, Fig. 3.1.

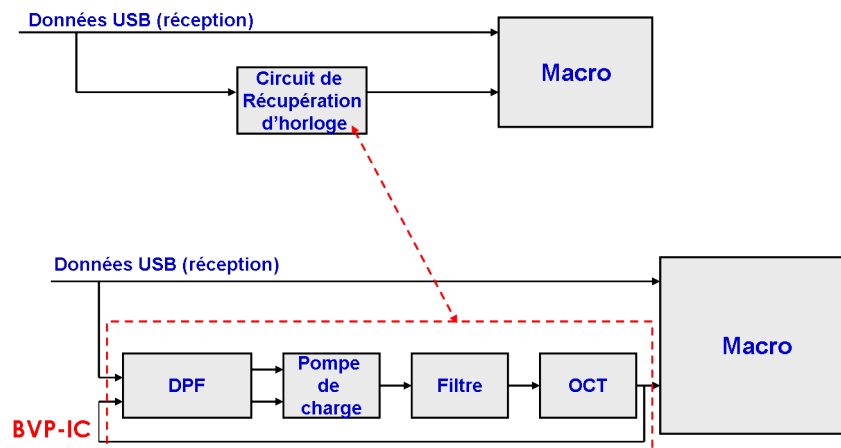


FIG. 3.1 – Système de récupération d’horloge utilisé dans ce mémoire

Un bloc de récupération d’horloge prélève donc du signal de données des informations utiles pour générer une horloge et ainsi communiquer avec l’hôte, fig 3.1. Ces systèmes peuvent être composés des différentes boucles vues dans le chapitre précédent, à savoir des BLD ou des BVP ou des systèmes comportant une association de plusieurs boucles.

Une étude exhaustive de toutes les variétés de BVP à détecteur de phase séquentiel serait beaucoup trop vaste. Nous nous limiterons lors de cette étude à une variété de BVP dénommée *Boucle à Verrouillage de Phase par Impulsion de Charge* (charge Pump Phase Locked Loop en anglais) (notée BVP-IC) ou encore Boucle à Verrouillage de Phase par Pompe de Charge. Ce système est celui qui répond, comme nous le verrons, le plus efficacement aux contraintes de temps et de bruit que nous imposent l’environnement d’étude ainsi que la spécification USB. Ce type de BVP présente de nombreux avantages comparé aux BVP classiques à détecteur de phase analogiques, comme par exemple un *pull-in range* (écart de fréquence maximum entre la référence et l’oscillateur de la boucle, pour lequel la BVP accrochera toujours) infini et une erreur de phase statique nulle [39]. De plus cette structure permet l’utilisation d’un filtre passe bas passif tout en conservant les avantages d’un filtre actif. En effet, les filtres passifs sont souvent préférés car ils transfèrent moins de bruit au circuit de par l’utilisation d’éléments passifs. La Fig. 3.2 présente la structure générale de la

BVP-IC. Le circuit comprend un détecteur de phase-fréquence séquentiel à trois états décrit dans le prochain chapitre, commandant deux sources de courant stabilisées.

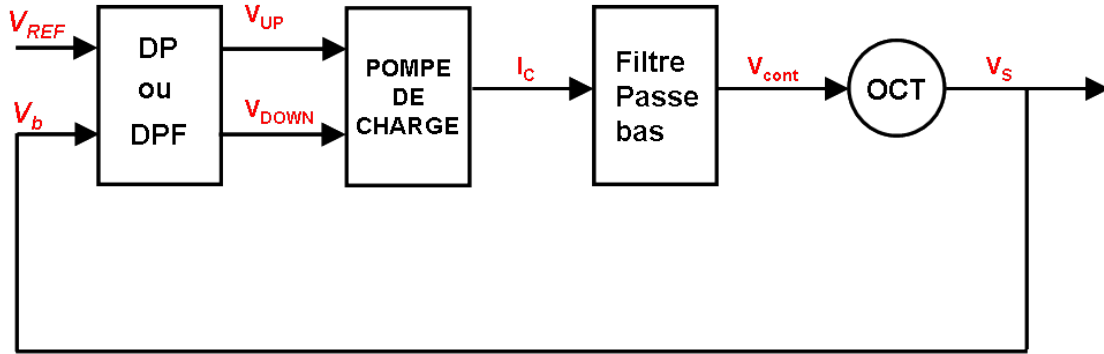


FIG. 3.2 – Boucle à Verrouillage de phase par Impulsion de Charge

Le courant est injecté dans un filtre passe bas, lissant le signal délivré dans l'OCT. La sortie de l'oscillateur peut être bouclée sur le DPF à travers un diviseur par N , ce qui permet d'obtenir un signal de sortie de fréquence N fois supérieur à celle de la référence. La BVP IC, munie d'un détecteur de phase à trois états, a été introduite dans les années 1976 par **Sharpe** dans [40] afin d'améliorer la phase transitoire du circuit. La première modélisation a été proposée par **Gardner**, [41], sous forme d'un système d'équations non linéaires quasi exactes dont la résolution numérique permet d'obtenir une simulation transitoire. Ces équations ont été linéarisées pour permettre l'analyse de stabilité de la boucle. Cette linéarisation est faite en remplaçant la forme exacte des signaux discrets issus du DPF par une approximation continue de leur moyenne. Le modèle utilisé est alors celui d'une BVP analogique.

3.0.5 Description des blocs

Afin de mieux appréhender le fonctionnement du système, il est nécessaire d'identifier le rôle de chacun de ces blocs constitutifs et de confronter les différentes solutions envisageables pour les réaliser. Le schéma de la BVP numérique est rappelé sur la Fig. 3.2. Elle est représentée ici sous sa forme la plus basique et est constituée d'une source de référence V_{ref}

de fréquence f_0 , d'un *DPF* numérique et sa pompe de charge, d'un filtre passe bas et d'un OCT. Le fonctionnement de chacun d'eux est décrit ci-après.

Détecteur de phase/fréquence

Probablement l'élément le plus difficile à comprendre, l'élément caractéristique de la BVP-IC est son détecteur de phase à logique séquentielle. Les détecteurs de type *XOR* ou *mixer* ont des plages d'utilisation limitées et ne conviennent pas à notre étude. Nous nous intéressons à un détecteur de phase fréquence dit de type III car la machine à états finis qui le représente comporte trois états distincts. Le détecteur de phase et de fréquence (DPF) a pour fonction de délivrer un signal proportionnel à l'erreur de phase entre le signal de référence et celui délivré par l'OCT. étant donné que la phase est l'intégrale de la fréquence, (Chapitre 1.5), le DPF donne aussi des indications sur l'écart de fréquence et sa sortie commande la pompe de charge. Plusieurs phénomènes sont à prendre en compte lors de la conception d'un comparateur de phase et de fréquence : d'abord, si l'erreur de phase varie très rapidement, il peut y avoir une perte du verrouillage de la boucle. Cela implique donc une détection à la fois de la phase et de la fréquence, lorsque le déphasage est supérieur à π . Ensuite, l'autre problème qui peut intervenir sur la sortie d'un comparateur de phase et de fréquence est l'existence de « zones mortes », qui correspondent aux zones de gain nul de la pompe de charge. Ce phénomène se produit lorsque le déphasage, très faible, entre la sortie de l'OCT et la référence n'engendre pas d'impulsion de courant du fait du temps de réponse des circuits électroniques. Le gain de la boucle étant nul, la phase de l'OCT n'est plus asservie par la boucle et le bruit de phase de la BVP augmente. Il existe des méthodes de conception, comme l'ajout de cellules délai à l'intérieur du comparateur, pour réduire cette zone.

Quelque soit le type de détecteur choisi il doit :

- Détecter à la fois les fronts montants et descendants
- Détecter la phase et la fréquence
- Avoir une faible zone morte.

Parmis les différentes structures présentées dans la littérature, le fonctionnement de quatre DPF ont été étudié dans ce mémoire.

1. DPF à base de bascule D

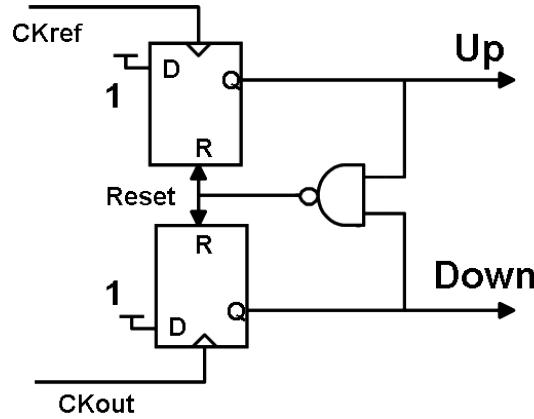


FIG. 3.3 – Schéma du DPF à base de bascule D

Le détecteur de phase-fréquence génère un mot de sortie sur 2 bits donnant l'état de comparaison en phase/fréquence de ses deux entrées. Son mode de fonctionnement est décrit par le diagramme d'état suivant (Fig. 3.4) :

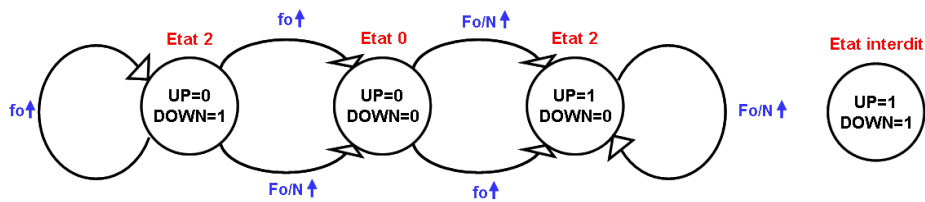


FIG. 3.4 – Diagramme d'état du DPF à bascule D

UP et DOWN sont les sorties du DPF. Le circuit réagit sur front, le rapport cyclique des signaux d'entrée n'a donc pas d'importance. Son fonctionnement est le suivant : un front (montant par exemple) sur $\frac{f_{OUT}}{N}$ (fréquence de l'oscillateur) met la sortie DOWN à 1 (ou la maintient à 1) et remet l'entrée UP à 0 (si elle était à 1 initialement),

et inversement pour l'entrée f_o (fréquence du signal de référence) sur les sorties UP et DOWN respectivement. Aussi, il existe un état interdit, la sortie ne peut donc prendre que trois états, d'où son nom : DPF trois états.

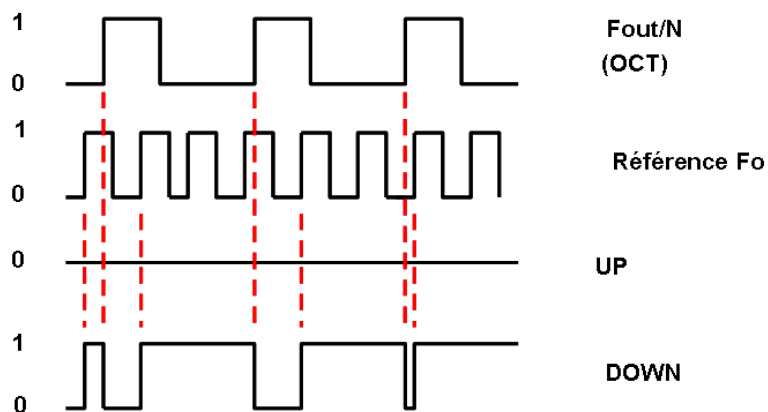


FIG. 3.5 – diagramme des temps des entrées/sorties du DPF

Ce système génère donc des impulsions dont les largeurs sont égales à la différence de phase entre les deux entrées. La caractéristique de base est la suivante :

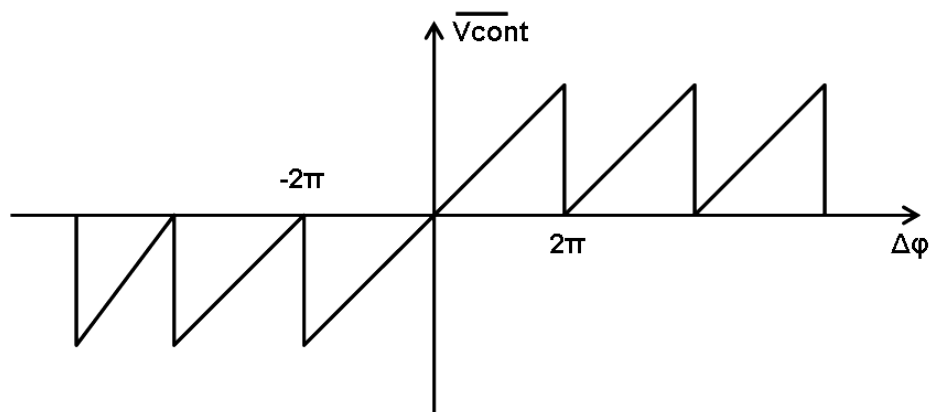


FIG. 3.6 – Caractéristique idéale du DPF

$\overline{V_{cont}}$ représente la différence moyenne, en sortie du filtre, entre les sortie UP et DOWN, et $\Delta\varphi$ représente la différence de phase entre les signaux d'entrées $\frac{f_{out}}{N}$ et f_o appliqués au DPF. Cependant, en raison des délais non négligeables des portes logiques au delà d'une certaine fréquence de fonctionnement, le comportement réel du

DPF n'est pas celui présenté sur le graphe de la Fig. 3.6 : le délai introduit par la porte générant le signal de remise à zéro des bascules entraîne l'apparition de l'état interdit (1,1) (Fig. 3.4) induit par la présence des pics parasites non négligeables qui apparaissent sur la sortie censée rester à zéro. Par conséquent, il existe une zone morte pour des erreurs de phase proches de zéro pour lesquelles la sortie du DPF est altérée.

La correction de phase/fréquence n'est donc pas assurée dans cette zone. De plus, ce type de détecteur est sensible à la non périodicité du signal (longue suite de '1' ou de '0') comme c'est le cas pour un signal codé en NRZI. En effet, en l'absence de front sur l'une de ses voies d'entrée, le DPF continue à envoyer des impulsions au reste du système (Fig. 3.4). Ce comportement est préjudiciable au vu des contraintes de précisions (2500ppm) que nous avons. Des simulations du DPF ont été réalisées pour vérifier ce comportement, et comme le montrent les figures 3.9 lors de l'absence de front, le détecteur ramène la tension de contrôle à zéro, ce qui fait devier la fréquence de l'OCT.

2. DPF à base de bascule RS

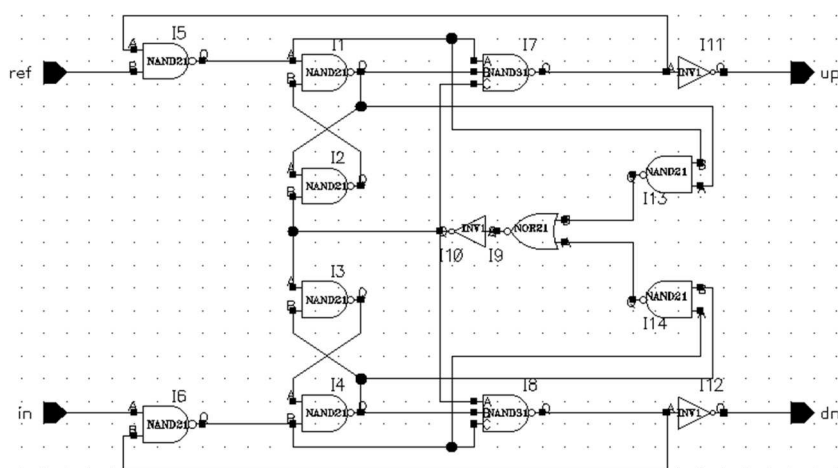


FIG. 3.7 – Schéma d'un DPF à base de bascule RS

Ce détecteur, Fig. 3.7, fonctionne sur le même principe que le DPF précédent. Les

signaux UP et DOWN retranscrivent l'écart de phase entre les deux entrées (Fig. 3.8).

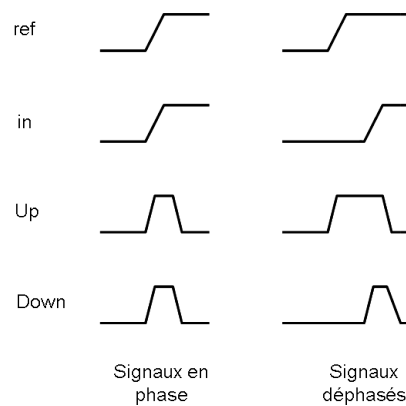


FIG. 3.8 – Comportement du DPF à base de bascule RS

Sur ces deux types de détecteur, un signal de RESET ramène les signaux UP et DOWN à zéro quand les deux signaux d'entrée sont en phase ce qui limite les problèmes de zone morte. Cependant, le délai introduit par le chemin générant le signal de remise à zéro des bascules entraîne l'apparition de l'état interdit (1,1) et donc de pics parasites. De plus, comme pour la structure précédente, la non périodicité du signal de référence perturbe ce type de détecteur.

Le système se compose d'une combinaison de porte NAND. Comme on peut le voir sur la Fig. 3.9 l'absence de front sur l'entrée 'ref' entraîne une absence d'impulsion sur le signal 'UP' alors que le signal 'DOWN' continue à être actif. Ce comportement entraîne une chute de la tension de contrôle. Ce phénomène restreint l'utilisation de ce type de DPF à un système muni d'un signal de référence purement périodique et rend ainsi l'utilisation de ce type de DPF non compatible à une synchronisation à partir de données codées en RZ, NRZ ou NRZI.

Les signaux '1' et '2' de la Fig. 3.9 représentent les deux signaux d'entrée du DPF. Le signal de référence comporte deux zones sans front, alors que l'oscillateur continue à envoyer au DPF un signal périodique de fréquence modulée par la tension de contrôle, signal '5' du graphique. En effet le signal '4', la sortie DOWN du détecteur, est active

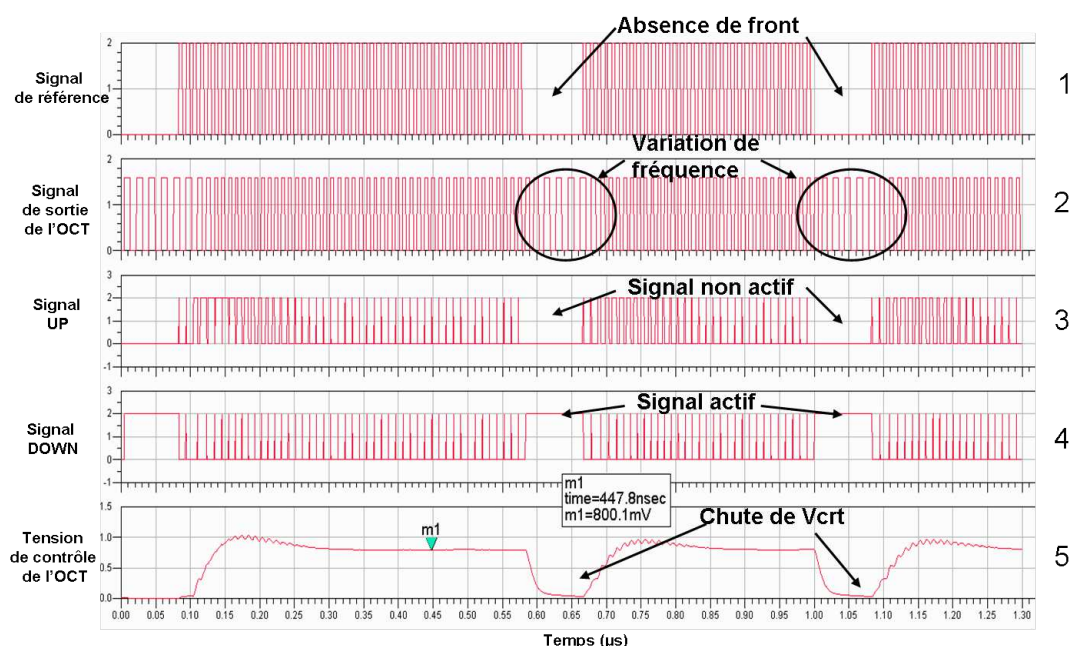


FIG. 3.9 – Résultat de simulation transistor des DPF à base de bascules en présence de signaux non périodiques en entrée.

pendant l'absence de front tandis que le signal '3', la sortie UP du détecteur ne l'est pas.

L'absence de front sur le signal de référence induit donc une chute de la tension de contrôle de l'OCT, '5', et donc une variation brutale de la fréquence de l'OCT.

Ce constat nous a donc amené à orienter l'étude vers des structures beaucoup moins dépendantes de la périodicité du signal de référence.

3. DPF de type Alexander

Le fonctionnement des détecteurs de type Alexander, [34], illustré par la Fig. 3.10, est basé sur le principe de l'avance/retard. Utilisant trois échantillons du signal de donnée pris par trois fronts d'horloge consécutifs, le détecteur de phase peut déterminer la présence d'un front, montant ou descendant, sur le signal de données. Il peut aussi

déterminer si le signal d'horloge est en avance ou en retard.

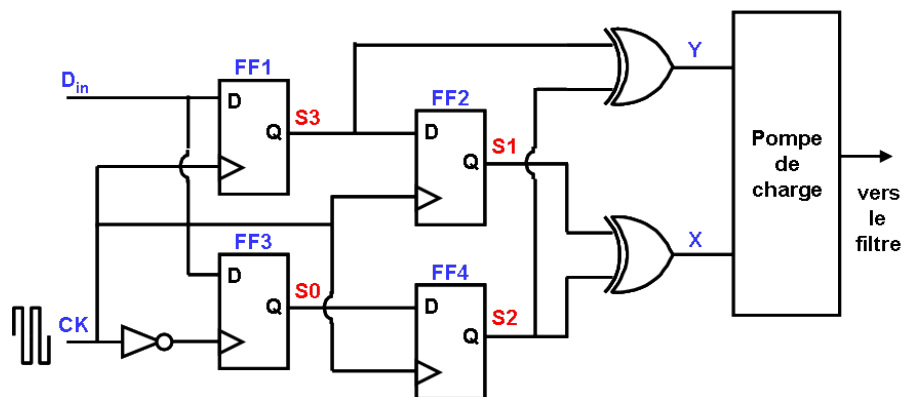


FIG. 3.10 – Détecteur de phase de type Alexander

Comme le montre la Fig. 3.11, si le signal d'horloge est en avance, le premier échantillon S1 n'est pas égal aux deux suivants. Inversement, si le signal d'horloge est en retard, les deux premiers échantillons S1 et S2 sont identiques mais différents du troisième S3.

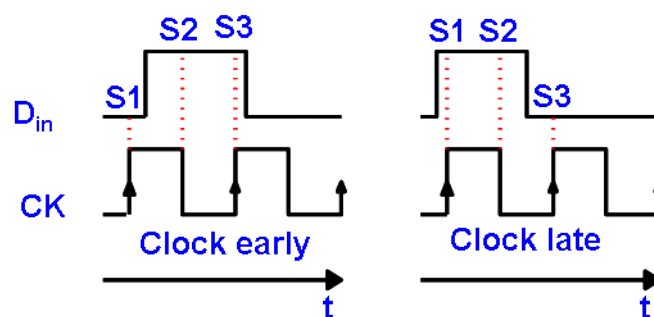


FIG. 3.11 – Trois échantillonnages par trois fronts consécutifs.

Aussi, les sorties X et Y donnent l'information sur l'avance ou le retard de l'horloge.

- Si $S1 \oplus S2$ est au niveau haut et $S2 \oplus S3$ est au niveau bas, alors le signal d'horloge est en retard sur le signal de données.
- Si $S1 \oplus S2$ est au niveau bas et $S2 \oplus S3$ est au niveau haut, alors le signal d'horloge est en avance sur le signal de données.

- Si $S1 \oplus S2 = S2 \oplus S3$, alors il n'y a pas de transition sur le signal de données.

Ces observations nous amènent à l'architecture de la Fig. 3.10. Les deux 'flip-flop' **FF1** et **FF2** échantillonnent les données sur le front montant de l'horloge pour donner **S3** et **S1**. **FF3** échantillonne les données sur le front descendant et **FF4** retarde cet échantillon d'une demi-période d'horloge pour donner **S2**.

Premièrement, ce détecteur de phase synchronise automatiquement le signal sur l'horloge. Deuxièmement, en l'absence de transition du signal de données, il produit un signal de sortie nul (tension égale à zéro) ne perturbant pas l'oscillateur. En conséquence, les changements de fréquences de l'OCT sont uniquement dus au bruit des divers composants plutôt qu'aux variations (niveau haut, niveau bas) de la ligne de contrôle. On peut observer aussi que le temps d'acquisition augmente avec la diminution de la densité de transition.

4. DPF de type Hogge

La Fig. 3.12 montre un détecteur de phase de type Hogge, [35]. La sortie $Y = Din \oplus B$, sur la Fig. 3.12, représente la différence de phase entre le signal de données et le signal d'horloge. Des cellules de délai (D1 et D2) doivent être ajoutées pour compenser les temps de propagation dans les bascules au moment de la comparaison. La sortie **X** est un signal carré de largeur constante égale à une demi-période d'horloge pour chaque transition du signal de données échantillonné. Quand le système est verrouillé, les sorties **X** et **Y** ont la même valeur moyenne. Ces deux sorties arrivent sur une pompe de charge ou sur un amplificateur différentiel qui fournit, après filtrage, la tension de contrôle du VCO

La Fig. 3.13 représente le diagramme temporel du détecteur de type *Hogge* avec les deux signaux d'entrée en phase (dans ce cas sur le front descendant de l'horloge). La sortie du détecteur de phase a alors une valeur moyenne nulle et il n'y a pas de

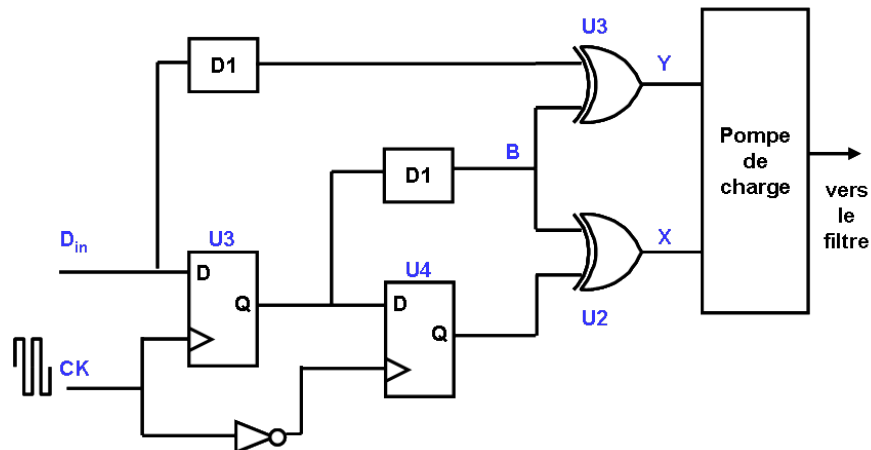


FIG. 3.12 – Détecteur de phase de type Hogge

changement au niveau de la tension de contrôle. Si l'entrée **Din** est en avance sur l'horloge, la valeur moyenne du signal de sortie est positive comme l'illustre la Fig. 3.14. La tension de contrôle en sortie du filtre, qui sert d'intégrateur, augmente alors. Inversement si le signal de données est en retard sur l'horloge, la valeur moyenne en sortie du détecteur sera négative, impliquant une baisse de la valeur de la tension en sortie du filtre.

Les deux premières configurations étant écartées de par leur trop grande sensibilité à la non périodicité du signal, le reste de l'étude se concentre sur les détecteurs à échantillonnage de type *Hogge* et *Alexander*. Le choix de la structure la plus intéressante se fera à partir de leur comparaison aux vues des contraintes que nous avons :

- Signal de référence non périodique avec de longues périodes sans transition.

Le DPF ne doit pas perturber le système de récupération d'horloge pendant ces phases.

- Temps disponible pour la synchronisation très court.

Le temps d'acquisition du DPF ne doit pas limiter la capacité du système à accrocher la fréquence désirée.

- Signal de référence fortement bruité ($83.33ns$ de temps bit $\pm 0.026\%$) comparé à la spécification USB sur le signal que l'on doit émettre, (précision à $2500ppm$).

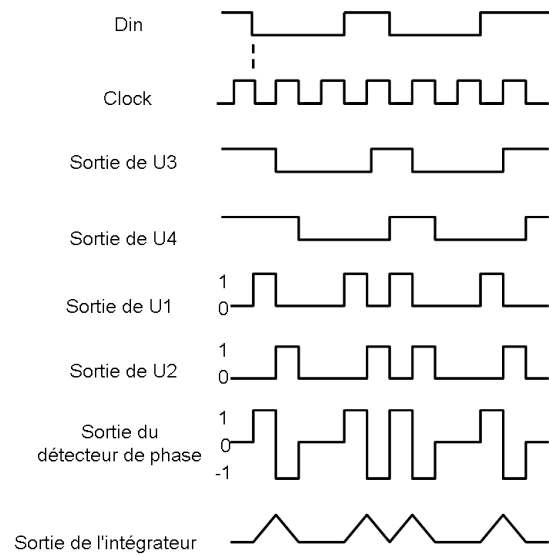


FIG. 3.13 – Diagramme temporel des signaux de sortie du détecteur de type Hogge lorsque les entrées sont en phase

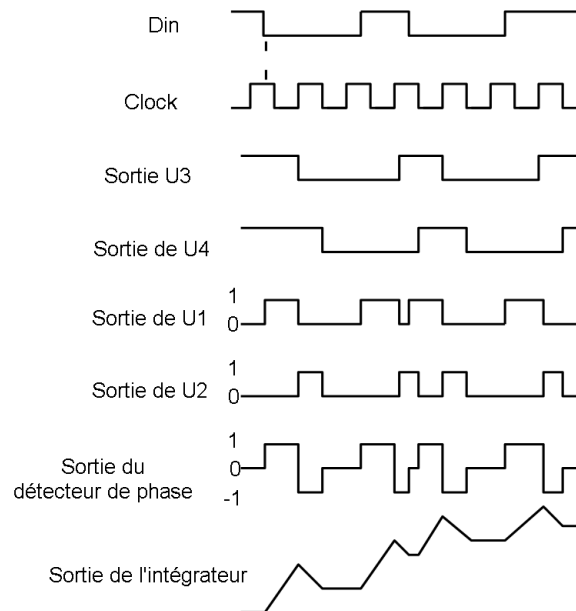


FIG. 3.14 – Diagramme temporel des signaux de sortie du détecteur de type Hogge si le signal de données est en avance de phase par rapport au signal d'horloge

Le DPF doit donc introduire dans la boucle un minimum de bruit.

Les performances de ces détecteurs ont été évaluées à partir de simulation à l'aide des logiciels **Mathcad** et **ADS**. Pour ces simulations, les trames que l'on reçoit de l'hôte USB sont utilisées comme signal de référence. Ces données sont : bruitées, non périodiques avec de longues périodes sans transition. Les caractéristiques de ces deux détecteurs sont très proches et le principal avantage du détecteur de type *Hogge* est de positionner les fronts d'horloge au centre du diagramme de l'oeil du signal de référence, et ce, quelque soit le rapport cyclique du signal de référence. En effet ce DPF synchronise les fronts montants du signal de référence avec les fronts descendants du signal d'horloge. Ceci nous permet d'avoir une horloge idéalement centrée pour échantillonner les données reçues. Le détecteur de type *Alexander* est quant à lui, plus facile à implémenter. En effet, comme nous avons pu le voir plus haut, le DPF de type *Hogge* nécessite l'ajout de cellules de délais pour compenser les temps de propagation dans les bascules. Un effort de conception doit être apporté à ces cellules car de leur précision dépend, en partie, la précision du détecteur. De plus, des techniques de réalisation de 'layout' doivent être utilisées pour appairer ces cellules de délais sur les différentes branches.

Ces tests ont aussi vérifié le fait que ces DPF n'influencent pas le système lors d'absence prolongée de transition. Cependant, le temps d'acquisition se trouve altéré car inversement proportionnel à la densité de transition du signal de référence (fig.3.15). Il faudra donc tenir compte de ce paramètre lors de la mise en place du système.

Les caractéristiques du DPF de type *Hogge* et sa facilité d'implémentation (utilisation de bibliothèque de cellules standart mais effort de conception et de layout pour les cellules de délais.) en font une structure idéale dans notre cas. Une étude plus complète sera présentée dans la suite du manuscrit. Les grandeurs délivrées par le DPF sont numériques, il est donc nécessaire de placer un étage de conversion numérique-analogique en sortie du DPF. Cette

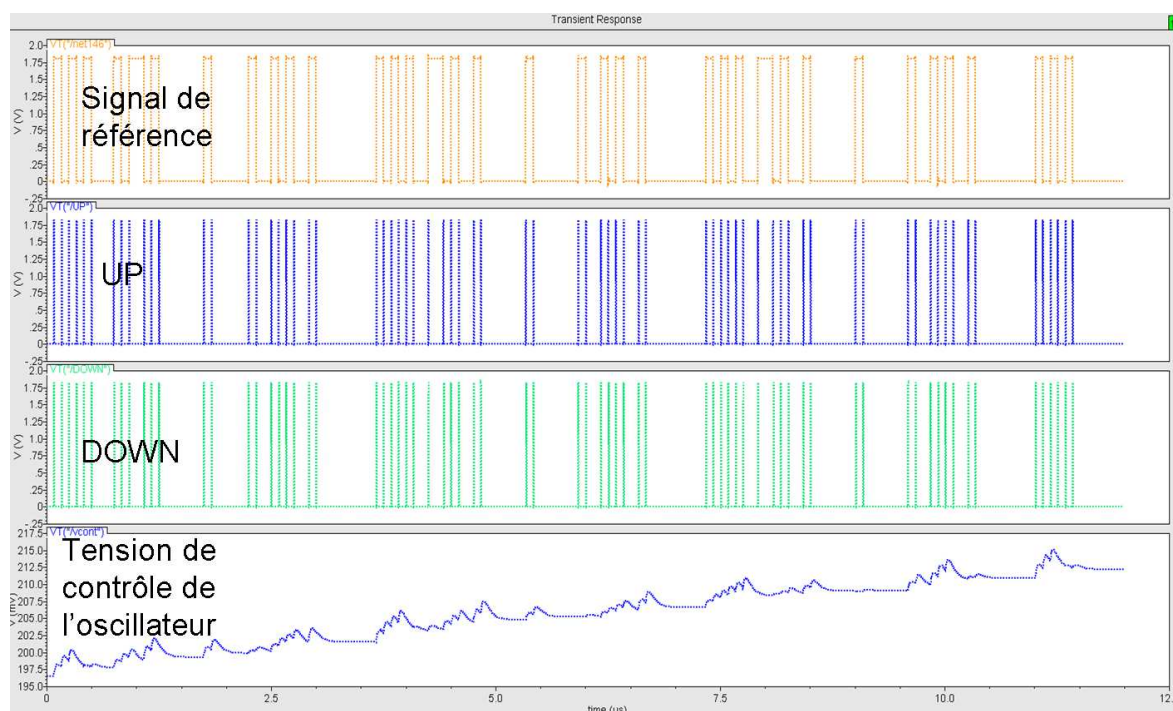


FIG. 3.15 – sensibilité à la densité de transition du signal de référence

conversion est assurée par la pompe de charge.

Pompe de charge

Cet élément est indissociable de l'utilisation d'un DPF trois états dans la BVP. Composée de deux sources de courant identiques, I_{source} et I_{puits} , qui sont commandées par deux interrupteurs actionnés par les sorties du DPF (le circuit de pompe de charge (Fig. 3.16)) elle convertit l'information en sortie du DPF en un courant, image de l'erreur de phase détectée. Lorsque le signal de référence est en avance sur le signal de l'OCT, la sortie de la pompe de charge fournit I_{source} pendant un temps proportionnel au retard et I_{puit} lorsque le signal de référence est en retard. Dans un premier temps, la pompe de charge traduit les impulsions en tension issues des sorties UP et DOWN en charge et décharge en courant dans un filtre transimpédance de fonction de transfert $F(p)$. Ce dernier réalise une intégration de l'information en courant qui est restituée en information en tension pour fournir la tension

de contrôle V_{tuning} de l'OCT.

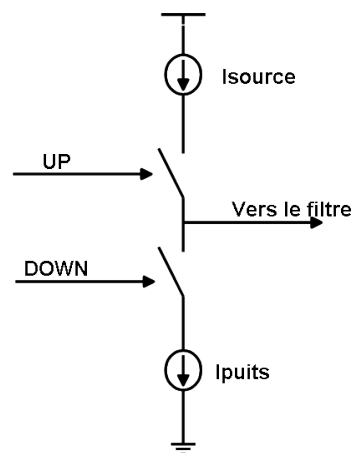


FIG. 3.16 – schéma de l'étage de sortie de la pompe de charge

Dans le cas idéale, le courant de I_{source} et le courant I_{puits} sont égaux, ce qui n'est pas le cas dans la réalité. Cette dissymétrie crée des pics parasites à la sortie de la BVP. Ce problème est traité plus en détail dans le chapitre 4.4.5. Un effort particulier devra être apporté à l'architecture de cet élément.

Le filtre de boucle

Le rôle du filtre de boucle est de réaliser l'intégration du courant délivré par la pompe de charge et de restituer l'information en tension. Ainsi, une simple capacité peut réaliser cette fonction. Cependant, cette solution entraîne une instabilité de la boucle. Un filtre du second ordre représente alors la configuration de base du filtre de la BVP numérique (Fig. 3.17). De nombreux ouvrages présentent cette solution avec $C1 = 0$. Bien que ce type de filtre soit une solution pour obtenir une boucle stable, ce filtre présente le désavantage de créer des sauts de tension à sa sortie dus à la présence de la résistance soumise à la propriété de commutation intermittente du courant issu de la pompe de charge. De par le choix des valeurs des composants qui le constituent, le filtre de boucle est l'élément qui garantit la stabilité de la BVP. Les paramètres tels que le temps d'établissement, la bande passante et le bruit de

phase dépendent de ce filtre (Chapitre 4.1.1). Des modifications peuvent être appliquées au filtre du second ordre, afin de lisser la tension de sortie, notamment en ajoutant des étages passe-bas RC pour atténuer les ‘spurs’ (pics parasites de bruits 3.0.6) :

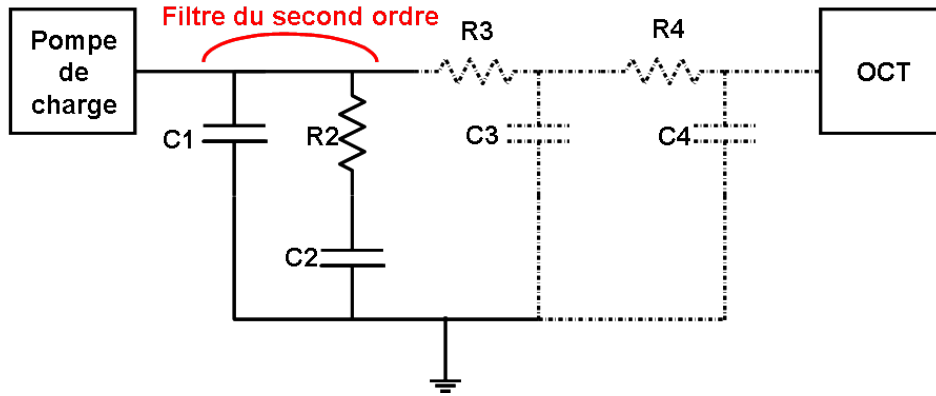


FIG. 3.17 – filtre de boucle

Sur la Fig. 3.17 $R3 \cdot C3$ et $R4 \cdot C4$ forment des étages passe-bas additionels. La fonction de transfert du filtre peut s’exprimer telle que le rapport entre la tension en sortie du filtre et le courant injecté à l’entrée du filtre par la pompe de charge. L’équation 3.1 représente l’impédance de ce type de filtre et le tableau 3.1 liste les ‘pôles’ et les ‘zéros’ pour différents ordres de filtre, [42].

$$Z(s) = \frac{1 + s \cdot T2}{C_{tot} \cdot s \cdot (1 + s \cdot T1) \cdot (1 + s \cdot T3) \cdot (1 + s \cdot T4)} \quad (3.1)$$

avec C_{tot} la capacité total du filtre.

Le choix du filtre dépend des caractéristiques de la PLL en termes de stabilité, temps d’établissement, et bruit de phase. Pour choisir l’ordre du filtre, le mieux adapté à notre application, il faut tenir compte de sa capacité à couper les pics parasites tout en ne limitant pas la bande passante de la boucle. De plus il faut considérer, qu’à la sortie du filtre l’OCT possède une capacité d’entrée comprise entre $500fF \leftrightarrow 2pF$ et que par conséquent, les capacités de notre filtre ne doivent pas être perturbées par la capacité d’entrée de notre OCT. En outre, plus la taille des résistances est importante plus elles génèrent de bruit thermique

Paramètre	second ordre	troisième ordre	quatrième ordre
T1	$\frac{R2 \bullet C2 \bullet C1}{C_{tot}}$	$\frac{R2 \bullet C2 \bullet C1}{C_{tot}}$	$\frac{R2 \bullet C2 \bullet C1}{C_{tot}}$
T2	$R2 \bullet C2$	$R2 \bullet C2$	$R2 \bullet C2$
T3	0	$R3 \bullet C3$	$R3 \bullet C3$
T4	0	0	$R4 \bullet C4$
Ctot	$C1 + C2$	$C1 + C2 + C3$	$C1 + C2 + C3 + C4$

TAB. 3.1 – Paramètre de l'impédance caractéristique du filtre de différents ordres.

(commence à devenir important lorsque les résistances $R3$, $R4$, ... deviennent supérieures à $10K\Omega$). En effet, la densité spectrale de puissance du bruit thermique des résistances est donnée par :

$$S_{V-f} = 4KT \cdot R [V^2/Hz] \quad (3.2)$$

avec

- K : la constante de Boltzman égale à $1.381.10^{23} J/^{\circ}K$
- T : la température en *Kelvin*
- R : la résistance en Ohm à laquelle on associe la source de bruit en tension

Le choix des paramètres du filtre en fonction des paramètres du système est étudié plus en détail dans le chapitre [4.1](#).

Oscillateur Contrôlé en Tension

Les oscillateurs contrôlés en tension fournissent un signal dont la fréquence dépend d'une tension de contrôle. Ils ont plusieurs applications telles que la génération d'une fréquence de référence ou encore la modulation de fréquence. Ce circuit peut être réalisé par un oscillateur en anneau ou un OCT à résonateur LC. En dépit d'une meilleure performance en terme de bruit de phase et de consommation et de par les contraintes d'intégration dont est soumis le système (occupation de surface de silicium réduite, absence d'inductance dans le kit

de conception afin de réduire le nombre de masques), l'utilisation d'un oscillateur LC a été écartée. En outre les OCT en anneau présentent un large accord en fréquence comparés aux résonateurs LC et il est possible de concevoir des structures en anneau présentant un faible bruit de phase [43]. Une première explication sur les meilleures performances de l'oscillateur LC tient au principe de fonctionnement : dans le cas d'un OCT basé sur un résonateur LC, les charges circulent dans le circuit LC tandis que dans le cas de l'oscillateur en anneau, le montage doit évacuer l'intégralité de la charge accumulée dans chacune des capacités à chaque commutation. Une autre explication est fournie par la fonction de sensibilité impulsionnelle (ISF), qui sera traitée plus en détail dans le chapitre 4.4.4, [44], qui est maximale aux instants de commutations pour un oscillateur en anneau. Or, les instants de commutations sont également ceux auxquels les charges injectées sont maximales. Le circuit est donc intrinsèquement plus sensible aux perturbations, [45].

Les paramètres définissant le comportement d'un OCT sont les suivant :

- Le gain de conversion en fréquence exprimée en Hz/V.
- Monotonie de contrôle : ce terme désigne un OCT dont la fréquence varie de façon monotone sur l'ensemble de la plage de fréquence.
- Rapport cyclique : ce rapport doit être le plus proche possible de 0,5 pour une génération d'horloge. Une bonne symétrie du circuit permet d'obtenir un meilleur rapport cyclique.
- ' Spurious ' : fréquences parasites différentes des harmoniques de la fréquence de l'OCT.
- Bruit de phase SSB (Bande Unique ou Single Side Band) : il s'agit du bruit de phase (en dBc/Hz) qui sera étudié dans la sous-section 3.0.7.

Les oscillateurs en anneaux sont basés sur N cellules de délais connectées en anneau. Afin de pouvoir utiliser un oscillateur en anneau pour notre application, il faut avoir recours à une structure différentielle. L'intérêt d'une structure différentielle provient du fait que les

transistors MOS ne contribuent plus en bruit lorsqu'ils ne sont pas passant. L'équation 3.3 permet de donner une bonne approximation de la puissance du bruit de sortie des circuits à base de transistors MOS dans une bande 1Hz autour d'une fréquence $f = f_0 + f_m$, avec f_0 la fréquence de la porteuse.

$$P_{noise} = \frac{\Delta T}{T_T} \frac{4kTR}{1 + (2\pi f_m RC)^2} \quad (3.3)$$

où T_0 est la période d'oscillation, ΔT le temps où les transistors MOS sont actifs, f_m l'écart de fréquence par rapport à la porteuse, k la constante de Boltzmann, T la température, R la résistance drain-source lorsque le transistor est saturé et RC la constante de temps de la cellule.

Un simple inverseur constitué d'un transistor NMOS et d'un transistor PMOS apporte donc une contribution sur des périodes se recouvrant tandis que la structure différentielle garantit la coupure du courant dans les transistors opposés dans la cellule et diminue la valeur de ΔT qui correspond à la durée pendant laquelle le transistor est saturé. Une cellule différentielle est représentée sur la Fig. 3.18

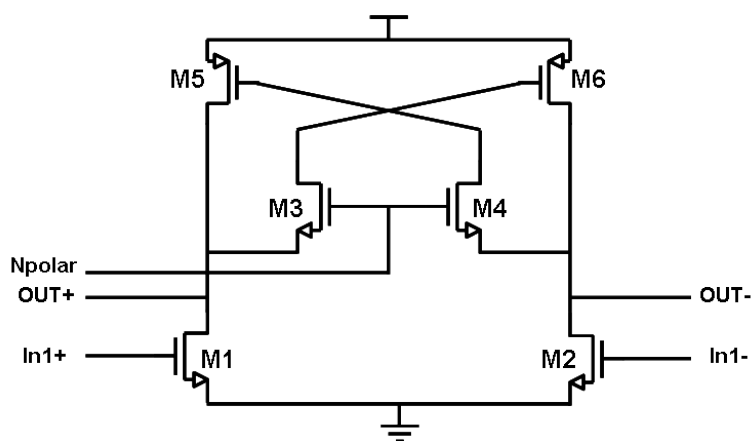


FIG. 3.18 – Cellule différentiel

Comme les transistors MOS ajoutent du bruit lorsqu'ils sont à l'état passant, il y a une injection de bruit moindre dans le cas d'une structure différentielle. En effet, les fronts de

commutations sont plus raides du fait de la réaction en phase de la structure différentielle et les transistors restent donc passant moins longtemps. Dans le cas où il existe un croisement de phase dans la boucle, la période des oscillations est égale à $2N\tau$, où N et τ sont respectivement le nombre de cellules et le retard engendré par une cellule. Le nombre de cellules qui constituent ces OCT est aussi un élément important. En effet, en augmentant le nombre d'étages, on diminue la fréquence maximale du VCO. En ce qui concerne le contrôle en fréquence, il s'agit d'une commande en tension qui permet de choisir la vitesse de commutation des cellules. La fréquence maximale étant limitée par le retard minimal de commutation, c'est sur ce paramètre que se portent les efforts pour pouvoir monter en fréquence. Les oscillateurs en anneau sont très répandus comme OCT intégrés. Il s'agit de l'oscillateur le plus simple à intégrer et qui fournit la plus grande excursion en fréquence [46]. C'est cette solution qui sera intégrée dans la BVP et qui est détaillée dans le Chapitre 4.5.

De manière idéale, la sortie de l'OCT est définie par :

$$V_{OCT} = A_0 \cos(\omega_{OCT}t) \quad (3.4)$$

avec

$$\omega_{OCT}t = \omega_0 + K_{OCT}V_{cont} \quad (3.5)$$

soit

$$V_{OCT} = A_0 \cos(\omega_0 + K_{OCT} \int V_{cont}(t) \cdot dt) \quad (3.6)$$

avec K_{OCT} désignant l'accordabilité de l'OCT en Hz/V et V_{cont} la tension de commande en Volt, issue du filtre de boucle.

3.0.6 Spécification de la BVP

Les principales caractéristiques qui définissent la spécification de la BVP comme le temps d'établissement, la stabilité et le bruit de phase vont être traitées plus en détail dans ce chapitre.

Temps d'établissement

Le temps d'établissement est le temps nécessaire à la boucle pour se verrouiller. Il est défini plus exactement par le temps que met la BVP pour atteindre la plage de fréquence désirée. Aussi, dans notre cas, celui-ci détermine le temps nécessaire au système pour atteindre les $48MHz \pm 2500ppm$

Stabilité

La stabilité de la BVP s'étudie en linéarisant les équations qui régissent le fonctionnement des différents blocs, puis y appliquant les critères de stabilités tels que le critère de Nyquist, (le lieu des racines ou les marges de stabilité sur le diagramme de Bode). Ces éléments permettent de prévoir la stabilité du système en boucle fermée à partir de l'étude en boucle ouverte. La marge de phase est un facteur important permettant de connaître la stabilité de la boucle. Elle est définie comme la valeur de la phase lorsque le gain en boucle ouverte vaut zéro, à la fréquence de coupure, plus 180° (elle doit être d'au moins 45°). Généralement choisie entre 45° et 55° , des simulations, [42], ont montré que 48° de marge de phase est la meilleure configuration au regard du temps d'accroche, et un *minimum* de 50° pour minimiser le bruit de phase.

Bruit de phase

- Notion de bruit de phase et *jitter*

Le *jitter* d'un signal périodique se définit par la variation parasite ΔT de la période de ce signal.

$$T = T_0 + \Delta T \quad (3.7)$$

A cette variation de période correspond une variation de phase $\Delta\Phi$ (erreur de phase) :

$$\Phi = \Phi_0 + \Delta\Phi \quad (3.8)$$

avec $\Delta\Phi = \frac{2\pi}{T_0} \cdot \Delta T$

Le *jitter* s'exprime dans le domaine temporel (secondes) ou angulaire (radians). Nous utiliserons indifféremment les termes 'jitter' et 'bruit de phase' dans la suite de ce manuscrit. On distingue plusieurs types de *jitter* (Fig. 3.19)

- le **jitter par cycle** J_{CT0} : soit t_0 le temps initial, alors le *jitter par cycle* est le *jitter* mesuré à $t_0 + T_0$ (1 période écoulée)
- le **Jitter au N^{eme} cycle** J_{NCT0} : certaines applications, comme l'USB, requièrent que les horloges dérivées de l'horloge principale soient synchrones. On définit donc le *jitter* au N^{eme} cycle, que l'on reliera au *jitter* du cycle principal. Il s'agit du jitter mesuré à $t_0 + NT_0$ (N périodes écoulées)

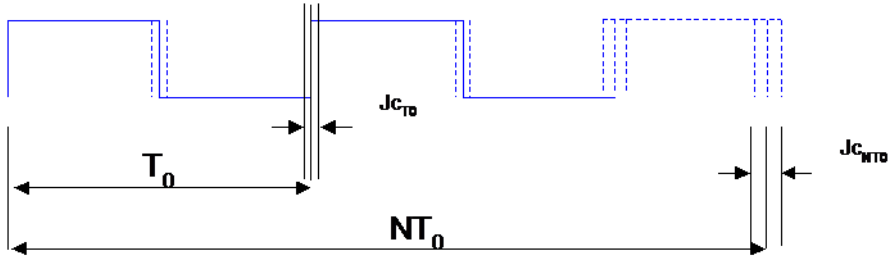


FIG. 3.19 – *jitter* sur un cycle et jitter au N^{eme} cycle

Ces 2 types de *jitter* peuvent eux-mêmes être exprimés sous différentes formes :

- Valeur crête (**Peak** en anglais)
- Valeur crête à crête (**Peak to Peak** en anglais)
- Valeur quadratique moyenne (**RMS** en anglais)

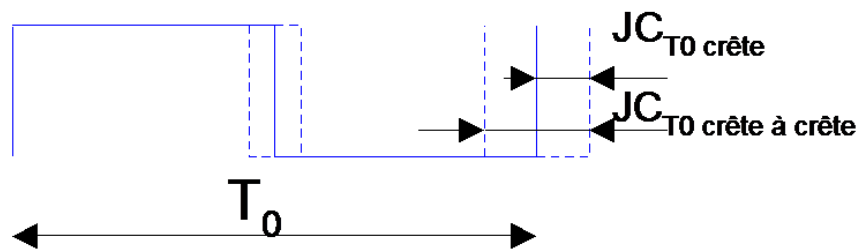


FIG. 3.20 – Illustration des différents types de jitter

On peut voir la représentation de ces grandeurs sur la Fig. 3.20

Le bruit de phase, quant à lui, représente une variation en phase de l'oscillation. Il se manifeste par l'étalement du spectre de la porteuse. Il est généralement caractérisé par le terme $L(f_m)$ où f_m représente l'offset en fréquence par rapport à la porteuse à laquelle la puissance est mesurée. Sa définition générale est le rapport de la densité spectrale de modulation de phase simple bande (Single Side Band) ramenée à une bande de 1Hz , P_{ssb} , sur la puissance de la porteuse, P_s (Fig. 3.21). Il est exprimé en dBc/Hz .

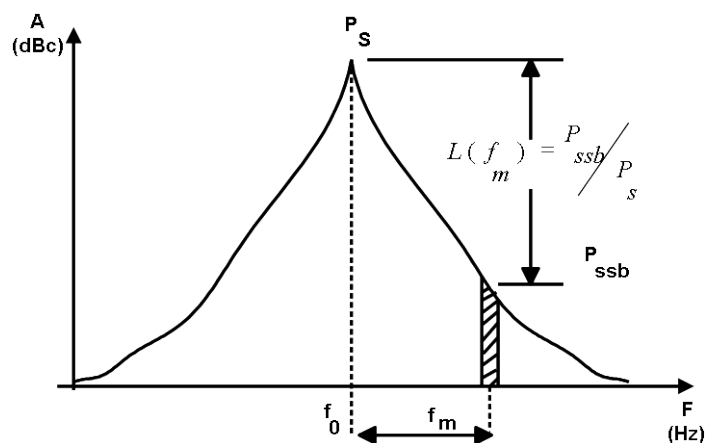


FIG. 3.21 – Définition du bruit de phase

La connaissance de la distribution spectrale du bruit de phase est primordiale pour nombres d'applications analogiques. Mais pour la plupart des systèmes numériques, il est plus courant de caractériser le jitter. En effet, celui-ci définit le bruit de phase dans le do-

maine temporel, lequel est spécifié de la manière suivante :

lorsque les fréquences d'intérêts possèdent des pulsations comprises entre $\omega_1 \leq \omega \leq \omega_2$, le *jitter* en phase est calculé par l'intégration du spectre de bruit :

$$\sigma_\phi^2 = \frac{1}{2} \int_{\omega_1}^{\omega_2} S_\phi(\omega) d\omega \quad (3.9)$$

S_ϕ étant la densité spectrale de bruit du signal.

Si les effets du bruit hautes fréquences peuvent être observés dès le premier cycle (1 période après le temps initial), les effets des bruits basses fréquences ne peuvent être caractérisés qu'après un grand nombre de cycles (Fig. 3.22)

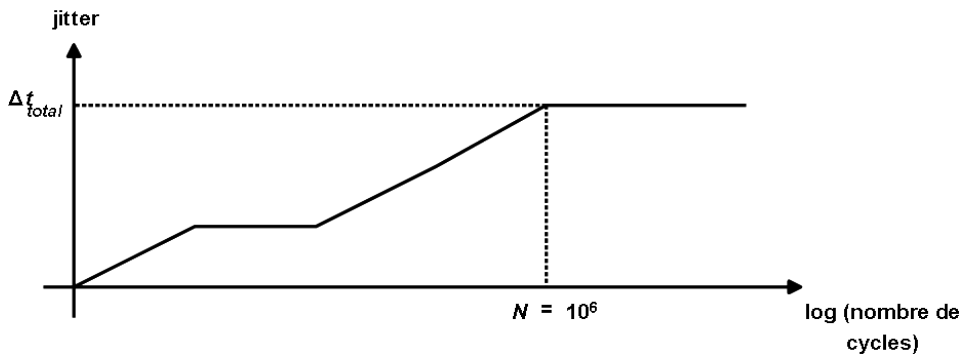


FIG. 3.22 – Distribution typique du *jitter* en fonction du temps écoulé

La Fig. 3.22 montre, que de manière générale, le *jitter* augmente avec le nombre de cycles (effet cumulatif du *jitter*). Pour un nombre de cycles très grand ($\geq 10^6$ cycles), le *jitter* tend vers une valeur limite maximale appelée **long term jitter** (*jitter* à long terme, ou erreur totale de phase).

Le bruit de phase à la sortie de la BVP est issu principalement :

- du bruit de phase de la source de référence
- du bruit de phase de l'OCT.

La fréquence de coupure du filtre de boucle sert à ajuster selon le niveau de bruit de phase de la source de référence et selon le niveau du bruit de phase de l'OCT, le niveau de

bruit de phase en sortie du système. L'analyse de ce paramètre sera développée au chapitre 3.0.7. L'incidence du bruit de phase de la BVP sur son utilisation concerne la sélectivité en fréquence. En effet, l'information utile peut être noyée dans le spectre du bruit de phase, ce qui est en contradiction avec l'objectif de la spécification USB. Cependant, il n'est pas possible d'optimiser l'allure du bruit de phase sans modifier les autres spécifications telles que la stabilité et le temps d'établissement. Un compromis sera toujours nécessaire entre ces trois paramètres.

Pics parasites

Les pics parasites (appelés *spur* en anglais) sont issus de la variation d'amplitude de la commande de l'OCT. Ceci se traduit par la présence de fréquences parasites sur le spectre du signal de sortie autour de la porteuse apparaissant avec un pas égal à la fréquence de modulation. Ils ont plusieurs origines : ils peuvent être générés au sein du DPF, et sont généralement liés aux instants de comparaison (fronts). Ils peuvent aussi être générés par la pompe de charge. On considère que la pompe de charge génère deux types de pics parasites.

- Les pics dus aux fuites de courant : quand la BVP a accrochée la fréquence désirée, la pompe de charge génère par alternance des impulsions de courant, avec de longues périodes où la pompe ne génère rien. Cela produit une modulation FM sur la ligne de contrôle du VCO, ce qui induit des pics parasites.
- Les pics dus aux différences physiques de la pompe de charge : différences entre courant 'UP' et 'DOWN', différences entre les plans 'P' et 'N' de la pompe. Tous ces 'Mismatch' engendrent une modulation de la largeur des impulsions de courant et donc des pics parasites.

L'environnement du circuit peut également favoriser l'apparition de ces pics. Un choix judicieux de la bande passante du filtre, et donc de la boucle, permet de limiter leurs effets. En effet, plus la bande est réduite plus ces pics parasites sont coupés, au détriment du temps d'établissement.

3.0.7 Linéarisation et modélisation de la BVP

Modélisation du comportement de la boucle

La BVP à pompe de charge possède un fonctionnement numérique et séquentiel qui ne peut donc être décrit complètement que par un algorithme à temps discret. Un modèle de celui-ci est proposé par M.V. Paemel [47] permettant une description du comportement complet d'une BVP du 2nd ordre à partir d'une représentation d'état discret. Cette méthode est particulièrement utile lorsqu'une large bande passante de boucle est nécessaire, puisqu'elle permet d'établir les limites réelles de stabilité du système. Une autre méthode d'analyse est possible : le système peut être linéarisé dans le domaine continu. Il est nécessaire pour cela de travailler en bande étroite (la bande passante de la BVP est petite devant la fréquence de référence) et d'obtenir la stabilité réelle du système. Un modèle de celui-ci est proposé par D. Banerjee [39].

Il est important de noter que l'étude de la BVP linéarisée permet de prédire la stabilité du système à une perturbation introduite en supposant que l'état de départ de la BVP est verrouillé et stable. Le schéma-bloc est présenté sur la Fig. 3.23. Il est à noter que sur cette BVP il n'y a pas de diviseur de fréquence dans la boucle de rétroaction. En effet, en utilisant un détecteur de type Hogge, la fréquence de l'OCT doit être supérieure à celle de l'entrée de référence et ne nécessite donc pas de diviseur de fréquence dans la boucle. De plus un diviseur de fréquence a la particularité d'augmenter le bruit de phase de son signal d'entrée, donc dans le cas d'une BVP le bruit de phase du signal d'horloge, [39]. On évite ainsi de perturber le signal d'horloge avec un diviseur de fréquence dans la boucle de rétroaction.

On peut voir sur la Fig. 3.23, que la boucle contient :

- Un détecteur de phase de type Hogge suivi d'une pompe de charge. α représente la dépendance du gain du détecteur à la densité de transition et $\frac{1}{\pi}$ vient de la représentation mathématique du gain du signal de sortie du détecteur de phase entre : $-2\pi \leq \Delta\Phi \leq 2\pi$ fig 3.6. α vaut $\frac{1}{2}$ pour un signal pseudo périodique aléatoire. Soit,

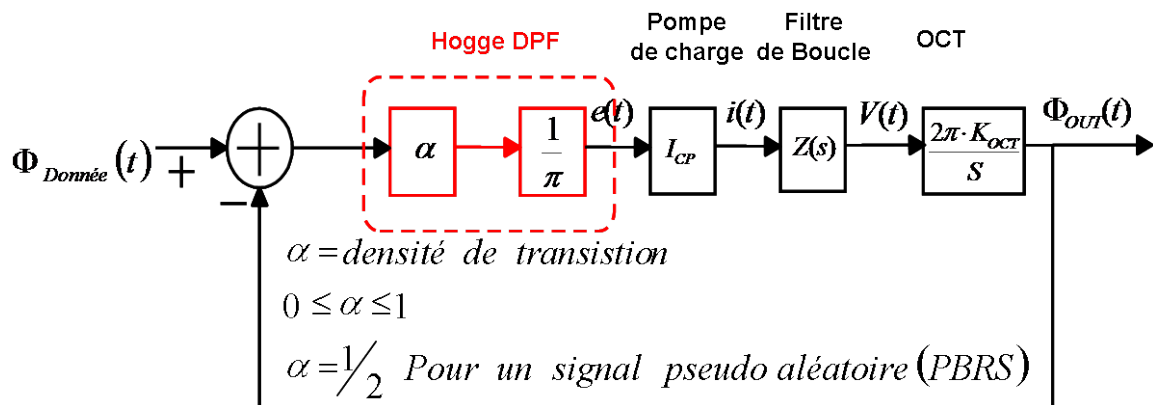


FIG. 3.23 – Schéma bloc de la BVP et modèle linéaire associé

K_Φ le gain de l'ensemble DPF plus Pompe de Charge : $K_\Phi = \frac{\alpha \cdot I_{CP}}{\pi}$.

- Le filtre de boucle de fonction de transfert $Z(s)$
- Et enfin l'Oscillateur Controlé en Tension de gain K_{OCT} .

La fonction de transfert en boucle ouverte de la boucle est alors :

$$G(s) = \frac{K_\Phi \cdot K_{OCT} Z_s}{s} \quad (3.10)$$

Ce qui donne en boucle fermée :

$$Cl(s) = \frac{K_\Phi \cdot K_{OCT} \cdot (1 + k_0)}{s(s^2 \cdot K_1 + s \cdot K_2 + K_3)} \quad (3.11)$$

avec :

- $K_0 = C_2 \cdot R_2$
- $K_1 = C_1 \cdot C_2 \cdot C_3 \cdot R_2 \cdot R_3$
- $K_2 = C_2 \cdot C_3 \cdot R_2 + C_1 \cdot C_2 \cdot R_2 + C_1 \cdot C_2 \cdot R_3 + C_2 \cdot C_3 \cdot R_3$
- $K_3 = C_1 + C_2 + C_3$

Il faut définir deux paramètres importants :

- La pulsation propre :

$$\omega_n = \sqrt{\frac{2K_\Phi \cdot K_{OCT}}{C_1 + C_2 + C_3}} \quad (3.12)$$

– Le coefficient de surtension :

$$\varsigma = \frac{R2 \cdot C2}{2} \cdot \omega_n \quad (3.13)$$

Ces deux paramètres servent à calculer la bande passante de la BVP-IC ω_n :

$$\omega_n = 2 \cdot \varsigma \cdot \omega_n \quad (3.14)$$

On peut déduire le temps de verrouillage de la BVP à partir de la fonction de transfert en boucle fermée donnée plus haut (eq. 3.11) et de sa transformée de Laplace inverse [39]. La réponse temporelle de la BVP pour passer de la fréquence f_1 à f_2 peut s'écrire :

$$F(t) = f_2 + (f_1 - f_2) \cdot \exp(-\varsigma \omega_n \cdot t) \cdot [\cos(\omega_n \sqrt{1 - \varsigma^2} \cdot t) + \frac{\varsigma - R2 \cdot C2 \cdot \omega_n}{\sqrt{1 - \varsigma^2}} \cdot \sin(\omega_n \sqrt{1 - \varsigma^2} \cdot t)] \quad (3.15)$$

Comme le terme entre crochet à pour valeur maximum :

$$\frac{1 - 2 \cdot R2 \cdot C2 \cdot \varsigma \cdot \omega_n + R2^2 \cdot C2^2 \cdot \omega_n^2}{\sqrt{1 - \varsigma^2}} \quad (3.16)$$

le temps nécessaire à la BVP pour se verrouiller sur une fréquence peut donc s'écrire :

$$T_L = \frac{-\ln\left(\frac{tol}{f_2 - f_1} \cdot \frac{\sqrt{1 - \varsigma^2}}{1 - 2 \cdot R2 \cdot C2 \cdot \varsigma \cdot \omega_n + R2^2 \cdot C2^2 \cdot \omega_n^2}\right)}{\varsigma \cdot \omega_n} \quad (3.17)$$

souvent on l'approche par :

$$T_L = \frac{-\ln\left(\frac{tol \cdot \sqrt{1 - \varsigma^2}}{f_2 - f_1}\right)}{\varsigma \cdot \omega_n} \quad (3.18)$$

on peut voir sur l'équation 3.18 que le temps que met la BVP pour se verrouiller sur la fréquence désirée est inversement proportionel à la fréquence de coupure de la boucle. Plus la fréquence de coupure de la BVP est grande, plus le temps pour atteindre la fréquence désirée est court. De plus une des conditions de stabilité de la boucle lie la fréquence du signal de

référence à la fréquence de coupure [41]. On peut appliquer comme limite de stabilité la condition : $\omega_n \leq \frac{\omega_{ref}}{10}$. Cette condition limite donc la valeur de la bande passante (le temps pour atteindre la fréquence désirée) à $\frac{12Mb/s}{10}$.

Or comme nous l'avons vu dans le chapitre d'introduction 2.4.2, le temps qui nous est imparti pour générer notre horloge, est de $13.815\mu s$.

Les $12Mb/s$ du signal de référence ne suffisent pas pour répondre au besoin de vitesse et de pureté spectrale qui nous est demandé. Or avec une fréquence de référence plus grande, la bande passante de la boucle peut être plus grande sans rendre le système instable. En outre le temps de verrouillage devient plus court. L'objectif est donc de réaliser un multiplieur de fréquence faible bruit (pour ne pas dégrader les conditions de verrouillage de la boucle) pour augmenter la fréquence du signal de référence. L'étude et la conception de ce multiplieur seront discutées plus loin.

on peut voir sur la Fig. 3.24 la réponse temporelle d'une BVP à un saut de fréquence et les différents paramètres qui entrent en jeu.

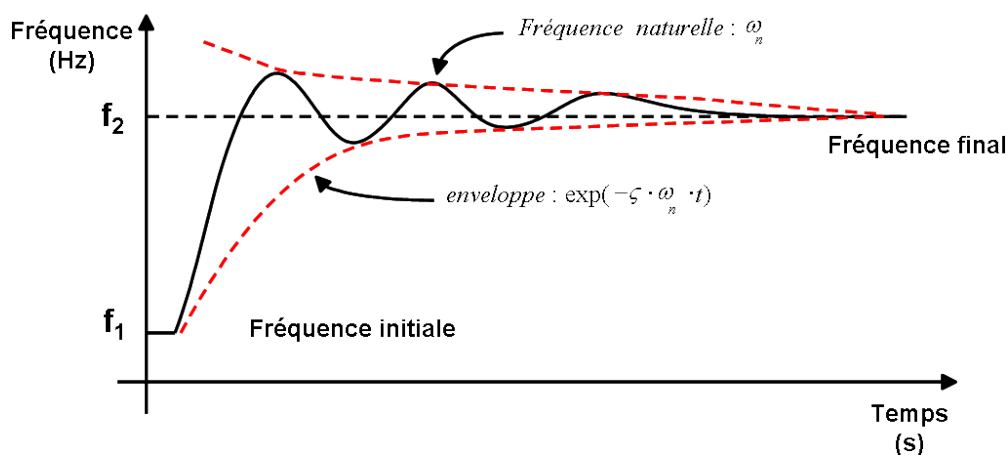


FIG. 3.24 – Réponse temporelle de la BVP

On peut voir l'impact du coefficient d'amortissement sur le temps de verrouillage de la

boucle. La marge de phase peut alors être calculée. Comme nous l'avons vu dans 3.0.6, la marge de phase représente le critère de stabilité de la boucle.

$$M\Phi = \arg(G(\omega_c)) \cdot \frac{180}{\pi} + 180 \quad (3.19)$$

Des modèles analytiques ont été développés, [39], pour définir, à partir d'une spécification de différents paramètres, $M\Phi$, $K\Phi$, $K_{(OCT)}$, $f_{(REF)}$, $tol \dots$ les paramètres du filtre. Ces modèles seront développés dans le prochain chapitre. Pour que notre système réponde à la spécification USB, il faut aussi s'intéresser aux caractéristiques de bruit de la boucle.

Modélisation des différentes sources de bruit

Dans le cas de la BVP, chacun des éléments de la structure contribue à la génération de bruit de phase. La BVP-IC étant un dispositif asservi en phase, l'erreur de phase est corrigée par la boucle dans une certaine bande de fréquence. Pour connaître l'allure du bruit de phase de la BVP-IC, on doit donc effectuer l'étude de la boucle en tant que système asservi linéaire ; le comportement en bruit de phase de la sortie de la BVP peut être ainsi synthétisé à l'aide du graphe 3.25 :

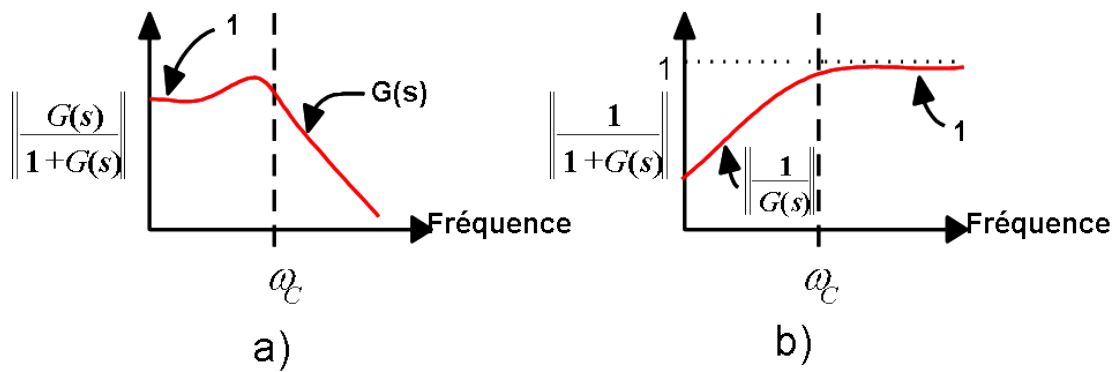


FIG. 3.25 – Fonction de transfert de bruit des différentes sources vers la sortie du système :
a) Référence, DPF et pompe de charge, filtre de boucle. b) OCT

On voit bien sur la Fig. 3.25 que la boucle agit comme un filtre passe-bas pour les sources de bruit que sont : la référence, l'ensemble DPF et pompe de charge, et enfin le filtre de boucle et comme un filtre passe haut pour l'OCT. Il faut donc identifier la ou les sources prépondérantes de bruit dans notre système pour faire un choix de bande passante. Dans notre cas, il existe deux modes de fonctionnement et donc deux configurations possibles.

1. *La réception* : la source principale de bruit est le signal de référence. La bande passante de la boucle doit donc être réduite pour minimiser la transmission du bruit du signal de référence à la sortie. Or, en diminuant la bande passante, on augmente le temps de verrouillage de la BVP. Cependant comme nous l'avons vu dans le chapitre 2.4.1, la spécification pour la réception est plus souple que celle du mode d'émission. On peut donc considérer dans un premier temps que le temps de synchronisation est le critère premier pour la conception de notre système.
2. *l'émission* : une fois l'horloge générée, l'hôte attend la réponse, et le système ne reçoit plus de signal de référence. Le système fonctionne alors en boucle ouverte, il n'y a plus de rétroaction et les variations de l'oscillateur ne sont plus corrigées. La source prépondérante de bruit devient alors l'oscillateur. Il faut être capable de maintenir l'oscillateur à la fréquence désirée tout en limitant au maximum son bruit pour être dans la spécification temporelle USB de 2500ppm.

Le détecteur de phase de type Hogge ne perturbe pas le système lors de l'absence de signal sur l'une de ses entrées, voir chapitre 3.0.5. Durant l'émission le système est insensible aux des impulsions parasites de la pompe de charge et l'énergie emmagasinée dans le filtre passif durant la réception, maintient l'OCT à la fréquence désirée. Il faut trouver un moyen pour nettoyer notre signal d'horloge du bruit transmis par la référence pendant la phase de réception avant de pouvoir transmettre.

Il a été choisi, pour être en accord avec la spécification, de mettre en place une solution permettant d'adapter la bande passante de la boucle en fonction de l'état du système.

Comme nous l'avons vu plus haut, dans l'Eq. 3.14, la bande passante dépend du coefficient d'amortissement ς et de la pulsation propre de la boucle ω_n . De plus dans les Eq. 3.12 et 3.13 ces paramètres sont proportionnels à $k\Phi$, soit au gain de la pompe de charge. Donc, en contrôlant la valeur du courant de la pompe de charge en fonction de l'état de la boucle (en réception), on change la valeur de la bande passante de la boucle. En d'autres termes au début de la phase d'acquisition la pompe de charge injecte une valeur importante de courant pour que la bande passante soit importante (ceci est possible grâce à la multiplication de la fréquence du signal de référence qui libère le système des contraintes de stabilité) et que le temps de synchronisation soit court ; ceci au détriment du bruit transmit entre l'entrée et la sortie. Une fois que l'OCT s'est synchronisé à la fréquence désirée la quantité de courant de la pompe de charge diminue réduisant ainsi la bande passante et donc le bruit de phase en sortie. Cependant cette manipulation ne doit pas rendre la boucle instable. Il faut vérifier que des paramètres comme la marge de phase ne sont pas altérés en passant en dessous des 45° . La conception et la mise en place de cette solution seront discutées dans le prochain chapitre. Le système est alors celui de la Fig. 3.26

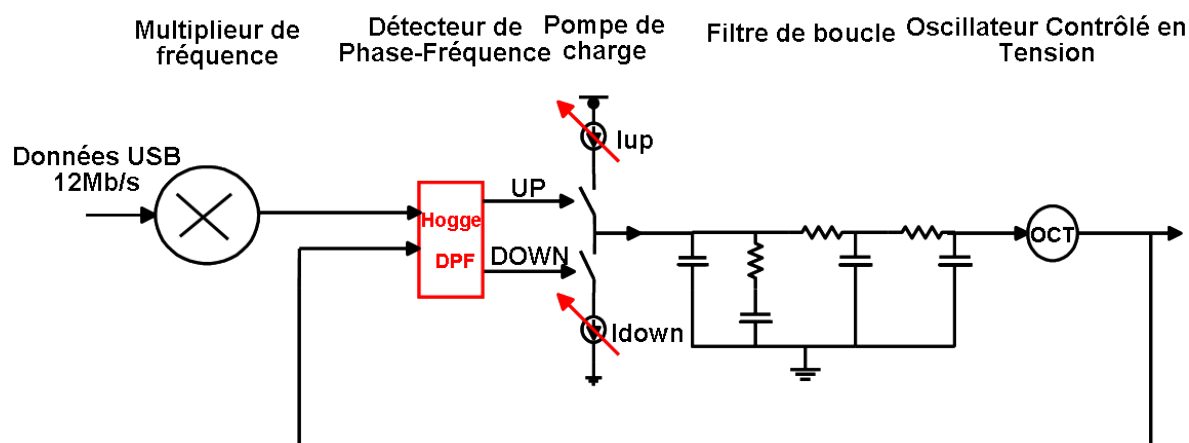


FIG. 3.26 – Système de récupération d'horloge avec une pompe de charge à source de courant adapté.

Le principe est de contrôler les sources de courant de la pompe de charge en fonction de

l'état de la boucle. La mise en place de cette solution est rendue possible grâce aux modèles analytiques, [39], développés pour calculer les valeurs des différents paramètres du filtre et la contribution des différents éléments en terme de bruit. Le développement et l'implémentation de ce système seront discutés dans les chapitres suivants.

4

Conception du système

4.1 Calcul des paramètres de la boucle

Pour faciliter la phase de conception des futures générations de produits et diminuer les temps de développement, une démarche a été définie et sera appliquée aux prochains circuits. Il est envisageable d'obtenir un modèle spécifique à l'architecture du circuit tout en étant réutilisable lorsque certains paramètres (technologiques ou dimensionnels) seront modifiés.

Les prochaines simulations du circuit doivent donc rendre plus facile à l'avenir la conception de BVP. La démarche de modélisation doit ainsi permettre de rapidement déterminer les caractéristiques des composantes de la BVP afin de tenir les spécifications (conception « TOP-DOWN ») mais aussi il doit être possible de vérifier rapidement l'ensemble des propriétés des circuits créés (conception « BOTTOM-UP »). La conception de type « TOP-DOWN » part de la spécifications du circuit à réaliser pour aller au modèle global. Puis ce modèle donne naissance à plusieurs sous-modèles dont le comportement est identique à celui du premier modèle créé. Ces sous-modèles sont enfin remplacés par les schémas transistors qui fournissent les mêmes performances que les modèles. Dans

le cas de la modélisation « BOTTOM-UP », la première étape consiste à modéliser les schémas transistors déjà conçus. Ces modèles sont ensuite simulés ensemble pour aboutir à une modélisation système qui permet de vérifier que le montage remplit bien les objectifs. La modélisation étant liée fortement au simulateur employé (surtout dans le cas du langage Verilog-A), il est indispensable de commencer par étudier la façon dont fonctionne chaque simulateur afin d'optimiser le temps de simulation et la précision des modèles. Une étude préalable des différentes méthodes d'analyse fréquentielle rencontrées dans les simulateurs est ainsi essentielle. Dans un premier temps, chaque fonction de la BVP est modélisée sous *Mathcad* afin de permettre des simulations de la BVP sous *ADS* mettant en jeu à la fois des modèles et des schémas au niveau transistor. Puis le passage au niveau transistor a été effectué sous cadence pour valider les différentes contraintes présentes à ce niveau d'intégration.

4.1.1 Etude Mathcad du système.

Dans [39], une méthode pour calculer les pôles sans approximation de manière à tenir compte de toutes les composantes du système est mise en place.

L'impédance du filtre vaut :

$$Z(s) = \frac{1 + s \cdot T2}{s \cdot (1 + s \cdot T1) \cdot (1 + s \cdot T3)} \cdot \frac{1}{C_{tot}} \quad (4.1)$$

où les constantes de temps valent :

$$T2 = 2 \cdot C2 \quad (4.2)$$

$$T1 + T3 = \frac{C2 \cdot C3 \cdot R2 + C1 \cdot C2 \cdot R2 + C1 \cdot C3 \cdot R3 + C2 \cdot C3 \cdot R3}{(C1 + C2 + C3)} \quad (4.3)$$

$$\frac{T1 \cdot T3}{2} = \frac{C1 \cdot C3 \cdot R3}{C1 + C2 + C3} \quad (4.4)$$

en choisissant la bande passante de la boucle de façon à maximiser la marge de phase (pour avoir le temps de synchronisation optimum) :

$$M\Phi = \tan^{-1}(\omega_C \cdot T2) - \tan^{-1}(\omega_C \cdot T1) - \tan^{-1}(\omega_C \cdot T3) \quad (4.5)$$

on obtient :

$$\frac{\omega_C \cdot T2}{1 + (\omega_C \cdot T2)^2} = \frac{\omega_C \cdot T1}{1 + (\omega_C \cdot T1)^2} + \frac{\omega_C \cdot T1 \cdot T3}{1 + (\omega_C \cdot T1 \cdot T3)^2} \quad (4.6)$$

$$\omega_C \cdot T2 = \frac{1 \pm \sqrt{1 - 4f(\omega_C \cdot T1)^2}}{2 \cdot f(\omega_C \cdot T1)} = g(\omega_C \cdot T1) \quad (4.7)$$

en utilisant 4.7 et 4.5 pour éliminer $\omega_C \cdot T1$ on obtient :

$$M\Phi = \pi + \tan^{-1}(g(x)) - \tan^{-1}(x) - \tan^{-1}(x \cdot T3) \quad (4.8)$$

comme x est la seule inconnue, cette équation peut être résolue pour x , pour ensuite trouver la valeur de $T1$:

$$T1 = \frac{x}{\omega_C} \quad (4.9)$$

puis de $T2$:

$$T2 = \frac{g(\omega_C \cdot T1)}{\omega_C} \quad (4.10)$$

maintenant, par définition, le gain en boucle ouverte est égal à 1 à $\omega = \omega_c$. Donc :

$$C1 + C2 + C3 = C_{tot} = \frac{K_\Phi \cdot K_{VCO}}{\omega_c^2} \cdot \sqrt{\frac{1 + (\omega_c \cdot T2)^2}{(1 + (\omega_c \cdot T2)^2) \cdot (1 + (\omega_c \cdot T3)^2)}} \quad (4.11)$$

on a donc un système de 4 équations et 4 inconnues :

– Constantes

$$K1 = C_{tot} \quad (4.12)$$

$$K2 = (T1 + T3) \cdot K1 \quad (4.13)$$

$$K3 = \frac{T1 \cdot T3 \cdot K1}{T2} \quad (4.14)$$

$$K4 = \frac{C3}{C1} \quad (4.15)$$

– Equations

$$C1 + C2 + C3 = K1 \quad (4.16)$$

$$T2 \cdot (C1 + C3) + R3 \cdot C3 \cdot (C1 + C2) = K2 \quad (4.17)$$

$$R3 \cdot C1 \cdot C3 = K3 \quad (4.18)$$

$$\frac{C3}{C1} = K4 \quad (4.19)$$

$$C1 \cdot (K4 + 1) + C2 = K1 \quad (4.20)$$

$$T2 \cdot C1 \cdot (K4 + 1) + K3 + \frac{K3 \cdot C3}{C1} = K2 \quad (4.21)$$

Ce qui nous donne, en les combinant :

$$T2 \cdot (K4 + 1) \cdot C1^2 - (K2 + K3 \cdot K4) \cdot C1 + K3 \cdot K1 = 0 \quad (4.22)$$

Le choix de $K4$ nous permet de déterminer $C1$, puis $C2, R2$ et $R3$ en appliquant les Eq. 4.16 à 4.22.

Avec ces descriptions analytiques du système et ceux vus précédemment Mathcad a été utilisé pour calculer les différents paramètres $C1, C2, C3, R2, R3, \varsigma, \omega_n, \omega_c$ (Voir Annexe A.3). Les éléments du système ont d'abord été définis (Fig. A.6), puis les pôles et les zéros ont été calculés (Fig. A.7), ce qui a permis de calculer la valeur des différents éléments du filtre (Fig. A.8).

On peut voir sur la Fig. A.6 que nous avons choisi un jeu de paramètres bien précis. En effet, une marge de phase de $60deg$ a été choisie, suffisamment importante pour minimiser le bruit de phase (comme il a été vu dans 3.0.6) et pour encaisser un changement de gain de la pompe de charge sans passer en dessous des $45deg$ (limite de stabilité 3.0.6). La bande passante de la boucle a, dans un premier temps, été choisie la plus grande possible (la limite de stabilité vaut $F_{comp}/10$) de façon à ne pas limiter le temps de lock. La fréquence de comparaison vaut $24MHz$, ce qui donne une plus grande souplesse dans la conception de l'architecture. Le gain du détecteur de phase suivi de sa pompe de charge et le gain de l'OCT ont été choisis de façon à avoir des composants de filtre intégrables tout en conservant les paramètres de boucle désirés.

On obtient alors un jeu de variables pour le filtre permettant de vérifier la valeur de $\varphi, M\Phi, \omega_n, \omega_c$ et l'atténuation relative aux différents signaux parasites.

Les paramètres du filtre associés à une technique d'adaptation de bande passante, développée dans le prochain chapitre, permettent de répondre à la spécification USB en terme de temps d'accrochage et de bruit de phase.

4.2 Solution d'adaptation de bande passante

Comme il est expliqué dans le chapitre 3.0.7, et au vu des contraintes (temps de verrouillage et bruit de phase en sortie) qui sont imposées, une méthode d'adaptation de la bande passante de la BVP a été mise en place. En effet, cette technique permet d'avoir une bande passante importante en début de phase d'accrochage, pour atteindre la fréquence désirée rapidement, puis de la réduire pour diminuer le bruit transmis par les différents composants de la boucle vers la sortie. Ce chapitre présente cette méthode qui influe directement sur le comportement en bruit de la BVP.

Les études classiques des BVP se concentrent généralement sur l'architecture et l'optimisation des différents blocs de la BVP, pour améliorer les caractéristiques de bruit du système. De nombreux articles [48] [49] [50] optent notamment pour des '*low-noise voltage-controlled oscillators*', '*dead zone-free phase frequency detectors*', '*zero-offset charge pump circuits*', '*low-noise frequency dividers*'. Comme nous l'avons vu dans le chapitre 3.0.6, le bruit de phase est fortement lié à la bande passante. Dans les études qui ont été faites, la modulation de la bande passante est réalisée en jouant sur le courant de la pompe de charge tout en réduisant les constantes de temps du filtre. En partant des constatations faites dans le chapitre 3.0.7 et des études faites sur le sujet, [48] [49] [50] [51], on a choisi de moduler le courant de la pompe et ce, sans changer les constantes de temps du filtre. Ce changement de gain de la pompe de charge a été incorporé dans le calcul du filtre, l'objectif étant de conserver les caractéristiques de la boucle, marge de phase et coefficient d'amortissement, à des seuils intéressants (respectivement $\geq 50^\circ$ et ≈ 0.7). Le but est de passer d'une bande passante de $2.4MHz$ à $0.9MHz$.

4.2.1 Conception de la source de courant contrôlé

Comme on peut le voir sur les figures 4.1 et 4.2, deux solutions sont envisagées. Une modulation analogique du courant qui permet de faire varier la valeur du courant injecté

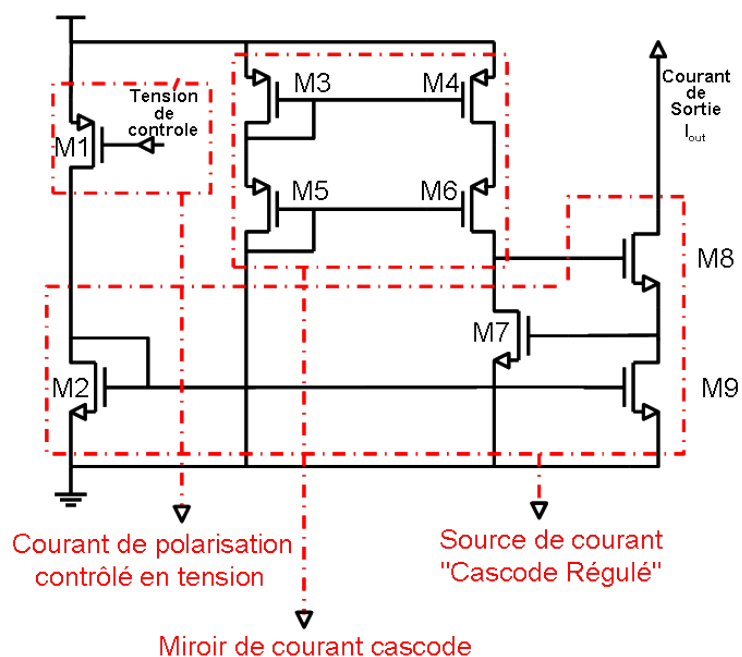


FIG. 4.1 – Source de courant contrôlée de façon analogique

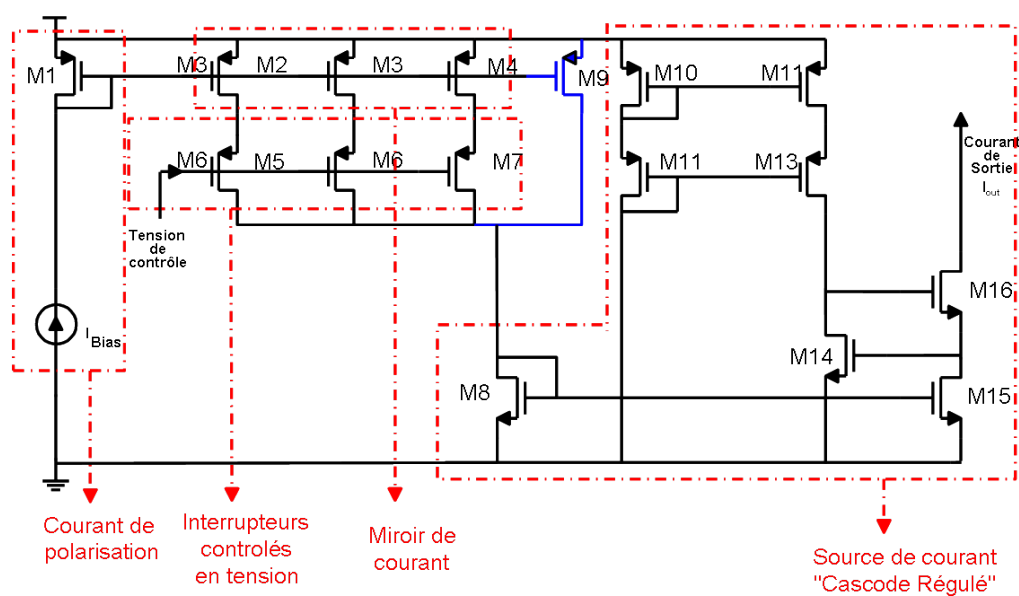


FIG. 4.2 – Source de courant contrôlée de façon numérique

dans le système en fonction de la tension de contrôle de l'OCT et une modulation numérique qui se sert d'un signal de contrôle (sortie d'un détecteur de verrouillage par exemple) pour passer d'une valeur de courant à une autre.

Sur la Fig. 4.1 on peut voir 3 parties :

- Tout d'abord, une source de courant contrôlée en tension composée du transistor $M1$. Elle génère un courant qui dépend de la tension imposée sur sa grille. L'utilisation d'un transistor 'P' permet d'avoir un courant inversement proportionnel à la tension appliquée, voir (Fig. 4.5)
- Ce courant est amené vers le système grâce à un miroir de courant de 'type cascode régulé'. Cette structure permet d'avoir une haute impédance en sortie ($\approx g_m^2 r_{ds}^3$) et une tension de démarrage faible ($V_T + 2V_{ON}$), [52]. En effet, quand la tension de sortie diminue, le transistor $M8$ sort de la région de saturation et I_{out} va commencer à décroître. Cela entraîne une diminution de la tension V_{gs7} et donc une augmentation de la tension de grille du transistor $M8$ et donc du courant de sortie (comme on peut le voir sur la Fig. 4.3). La tension de sortie minimum pour laquelle ce système continue de fonctionner est déterminée par V_{gs7} et V_{ds8} .
- Enfin une source de courant 'cascode', composée par les transistors $M3 - M6$, pour alimenter l'étage de sortie.

Sur la Fig. 4.3 on peut voir que :

- La haute impédance de sortie de la cellule nous permet de diminuer l'impact de la tension de sortie sur la valeur du courant injecté. Ce dernier est donc plus constant et ce, pour chaque valeur de la tension de contrôle et donc de courant.
- La tension de contrôle joue bien une action directe sur la valeur du courant de sortie.

La deuxième solution, quant à elle, ne module pas de façon analogique la valeur du courant de sortie. On utilise, comme on peut le voir sur la Fig. 4.2 quatre blocs :

- Le premier bloc fournit un courant de polarisation, représenté ici par une source de

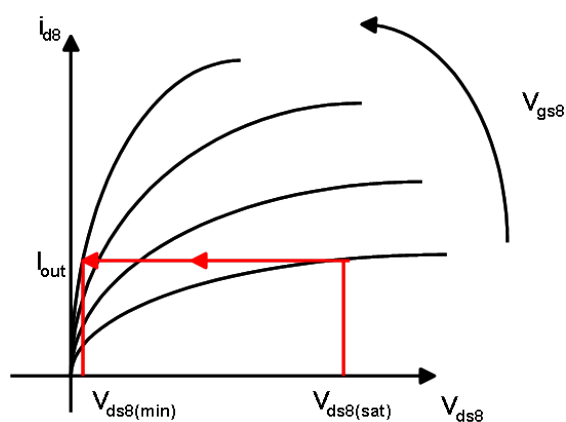


FIG. 4.3 – Comportement de la cellule de type cascode régulé

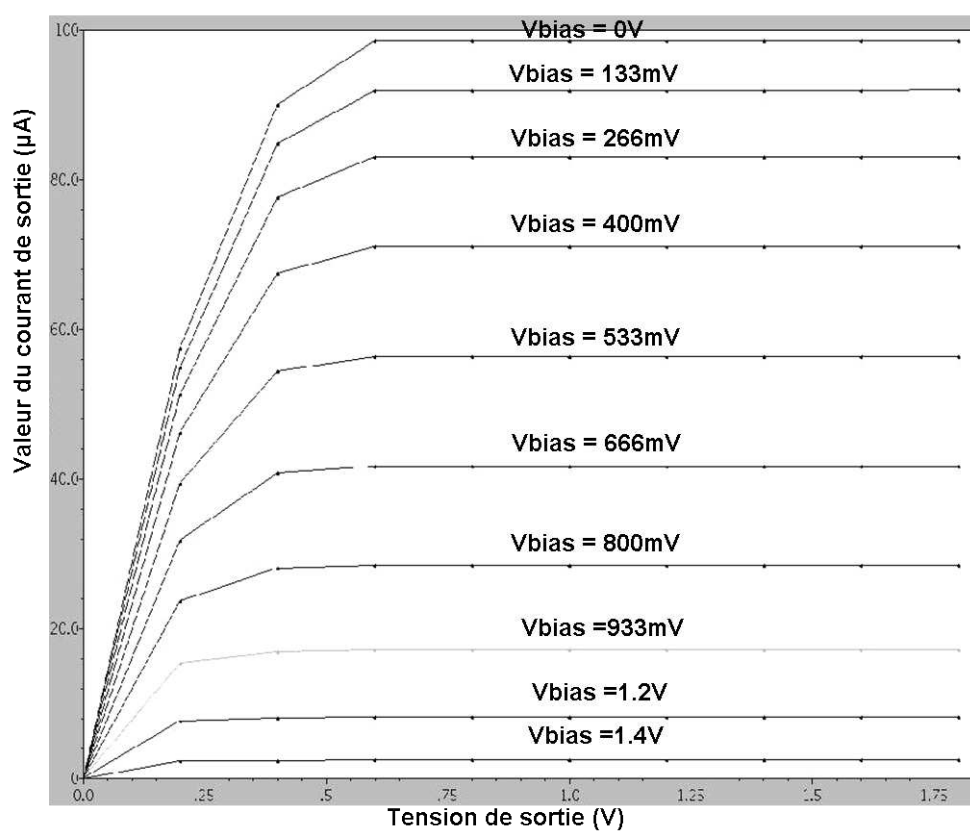


FIG. 4.4 – Comportement de la cellule de type cascode régulé

- courant parfaite, qui génère $725nA$.
- Ce courant est ensuite multiplié par des miroirs de courant ($M3 - M9$).
- Le courant passe à travers un interrupteur contrôlé par un signal provenant d'une cellule de contrôle, un détecteur de 'lock' par exemple, pour choisir en fonction de l'état du système, la quantité du courant que l'on injecte.
- Le courant provenant du transistor $M9$ quand à lui passe directement dans l'étage de sortie, ce qui nous assure un courant minimum dans le système.
- L'étage de sortie est le même que pour la première solution, un étage 'cascode régulé'

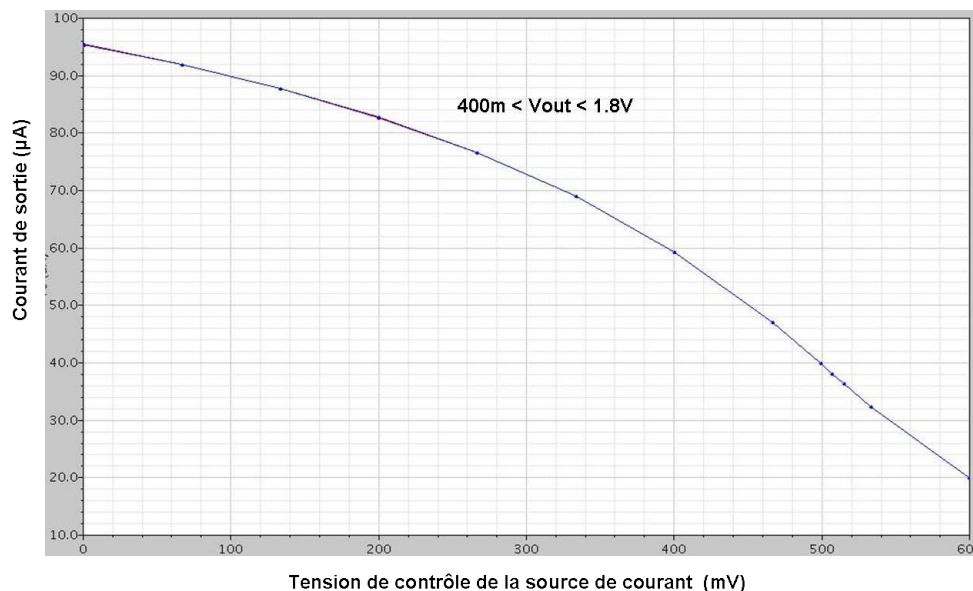


FIG. 4.5 – Valeur du courant en sortie de la source contrôlée de façon analogique

On peut observer sur la Fig. 4.5, la valeur du courant en sortie de la source contrôlée de façon analogique en fonction de la tension de contrôle du transistor, pour différentes valeurs de tension en sortie. Ces deux solutions seront utilisées dans le système complet. On peut voir dans l'annexe A.16 et A.15 les schémas transistors de ces pompes de charge.

On se retrouve donc avec une architecture dont le courant de la pompe de charge, et donc le gain, peut être modulé en fonction de l'état du système. Comme nous l'avons vu plus haut, les paramètres de la BVP, marge de phase et coefficient d'amortissement, ne doivent pas être

détériorés pour garder un système stable, capable d'accrocher la fréquence de $48MHz \pm 2500ppm$ désirées en sortie. D'après le chapitre 4.1.1, le choix des paramètres initiaux a été fait de manière à pouvoir accepter le changement de gain de la pompe de charge sans pénaliser le fonctionnement du système sur les principales contraintes que sont le temps de stabilisation et la réduction du bruit.

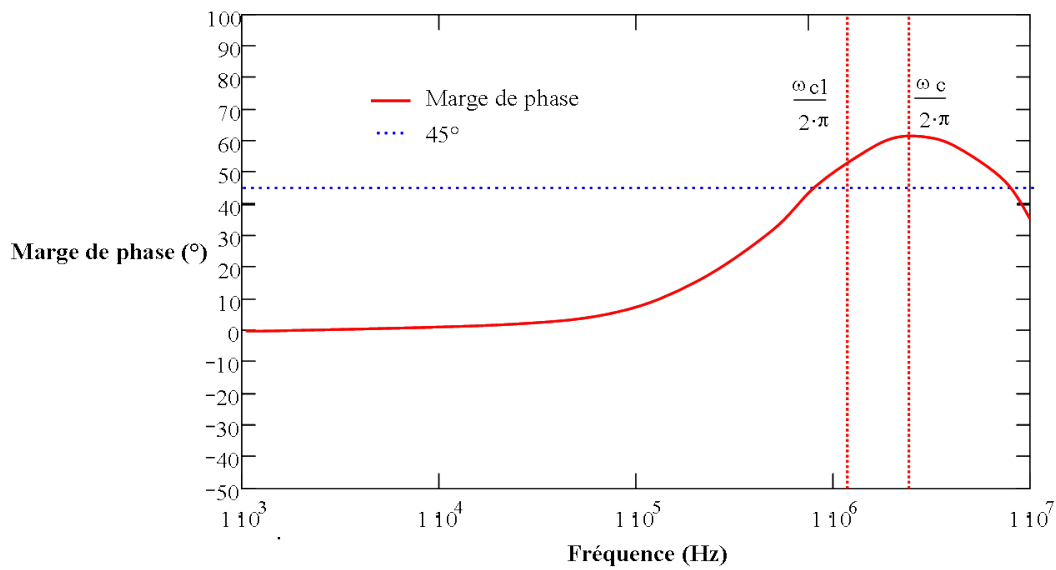


FIG. 4.6 – Variation de la marge de phase en fonction de la variation du courant de la pompe de charge.

La marge de phase de la BVP passe alors (Fig. 4.6) de 60.3° à 48° . Le coefficient d'amortissement passe de 0.95 à 0.6 et la bande passante de $2.39MHz$ à $0.9MHz$, ' ω_c ' étant la bande passante de la boucle à l'état initial (courant de pompe $160\mu A$), ' ω_{c1} ' bande passante de la boucle à l'état final (courant de la pompe $80\mu A$). Au niveau du temps d'amortissement on peut voir sur la Fig. 4.7 l'intérêt de cette méthode sur le temps d'établissement. En effet, sans l'utilisation de cette méthode, un choix doit être fait entre temps d'établissement et bruit de phase. La méthode d'adaptation de bande passante permet de réaliser une stabilisation rapide de la boucle et une réduction du bruit de phase en sortie.

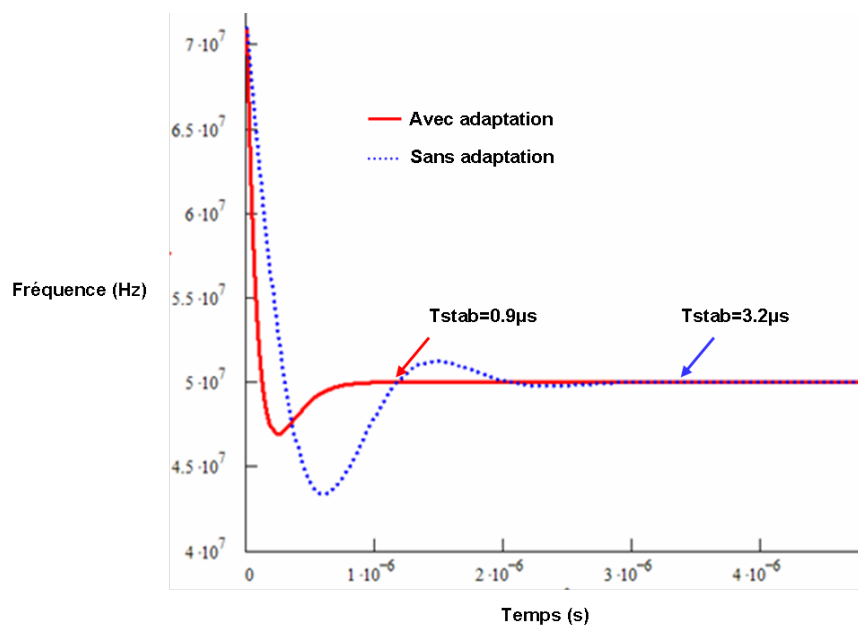


FIG. 4.7 – Temps d’établissement de la BVP avec et sans adaptation de la bande passante

Comme le montre la Fig. 4.7, l’adaptation de bande passante permet de réduire le temps d’établissement de $3.2\mu s$ à $0.9\mu s$. Cette solution permet donc d’avoir une marge temporelle suffisante pour faire face aux variations de procédé de fabrication, température, et tension d’alimentation.

Pour réaliser les simulations de la BVP, nous avons dans un premier temps modélisé la trame USB à $12Mb/s$, [27], à l’aide d’un modèle de haut niveau en Verilog A. Afin de représenter le plus fidèlement possible les caractéristiques électriques de la trame servant de référence, elle sera munie d’un bruit aléatoire suivant une loi gaussienne, dont la répartition de probabilité est illustrée sur la Fig. 4.8.

Le multiplicateur récupère le signal analogique USB bruité et multiplie sa fréquence par une méthode de décalage temporel [53]. On récupère en sortie un signal non-périodique, de fréquence $f = 24MHz$. Ce signal est le signal de référence bruitée, qui va être utilisé par le détecteur de type *Hogge*.

Un troisième bloc a été réalisé en VerilogA pour d’une part, mesurer la fréquence de

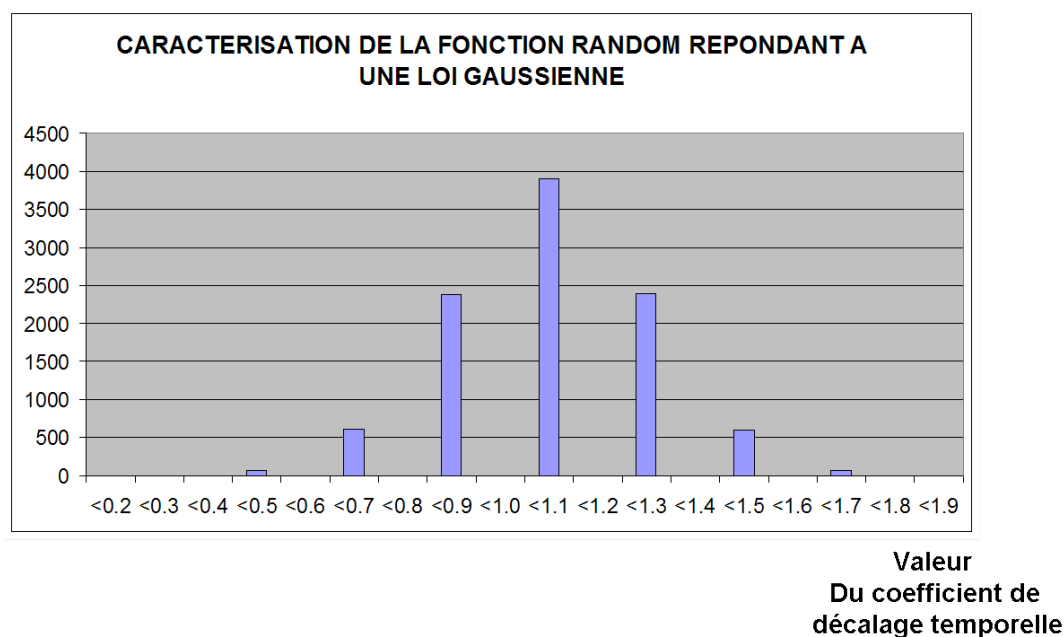


FIG. 4.8 – caractérisation de la fonction de bruit.

l'OCT (sortie du système) lors des simulations temporelles et d'autre part, détecter le moment où le système a accroché la fréquence de $48MHz \pm 2500ppm$, soit $47.88MHz \leq f_{out} \leq 48.12MHz$ (voir A.5).

4.3 Evolution de l'architecture du détecteur de phase

Comme présenté lors de l'étude système, un détecteur de phase de type HOGGE a été choisi, voir Fig. 3.12 et Fig. 3.13. Cependant le principal inconvénient de cette structure réside dans l'un de ses avantages. En effet, l'un des gros avantages de ce détecteur est que la sortie de l'intégrateur possède une valeur moyenne nulle quand les fronts montants du signal de données sont alignés avec les fronts descendants du signal d'horloge, Fig. 3.13. Or, la surface du signal triangulaire en sortie de l'intégrateur, Fig. 3.13, est positive, donc l'absence ou la présence de front affecte la valeur moyenne de la sortie de l'intégrateur.

Une méthode possible pour limiter ce phénomène est l'ajout de deux bascules cadencées par des horloges en opposition de phase, U7 et U8 sur la Fig. 4.9.

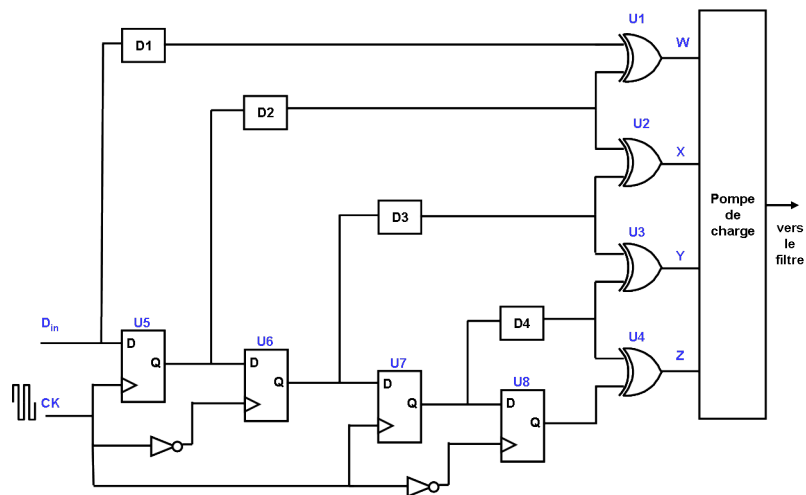


FIG. 4.9 – Détecteur de phase Hogge modifié - ‘*triwave detector*’

On retrouve alors un signal en sortie du filtre en forme de dent de scie quand la boucle a accrochée la bonne fréquence (Fig. 4.10). De plus les oscillations parasites hautes fréquences en sortie du détecteur sont éliminées par le troisième pôle du filtre de boucle. Cette structure est moins sensible au rapport cyclique, au ‘jitter’ du signal d’entrée et à la densité de transition, [30], ce qui explique le choix de l’utiliser dans le système. Ce détecteur contrôle l’injection et le retrait de courant dans le filtre par la pompe de charge. Il faut donc à cette dernière quatre entrées et quatre sorties (sorties S1, S2, S3, S4 sur la Fig. 4.11). Les structures de sources de courant utilisées sont celles décrites dans le chapitre 4.2.1. On peut aussi observer sur la Fig. 4.9, que des cellules de délai ont été ajoutées (D1, D2, D3, D4) pour tenir compte du temps de propagation des bascules (U5, U6, U7, U8).

L’utilisation de ce détecteur couplé à la solution d’adaptation de bande passante a permis de réduire considérablement l’amplitude des pics parasites sur la tension de contrôle de l’oscillateur (voir Fig. 4.11).

On peut voir sur cette figure les quatre sorties de la pompe de charge (signaux S1, S2,

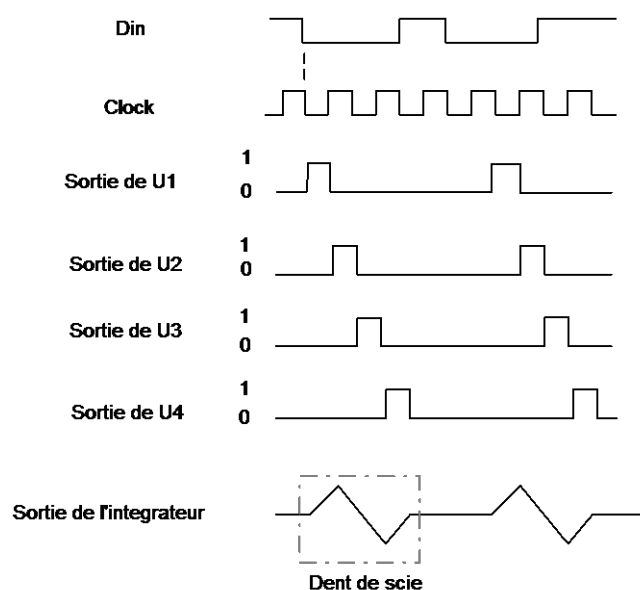


FIG. 4.10 – Diagramme temporel des signaux de sortie du détecteur de type Hogge modifié lorsque les entrées sont en phase

S3, S4 sur la Fig. 4.11), commandées par le détecteur. Tant que le courant en sortie de la pompe de charge est important, des pics de tension apparaissent sur le signal de contrôle de l'OCT. On peut aussi observer que lors des périodes sans signal de référence, que la pompe de charge n'injecte ni ne retire de courant au système, laissant la tension de contrôle de l'OCT à sa valeur. Enfin lorsque la valeur du courant en sortie de la pompe de charge diminue, les pics diminuent et la tension de contrôle se centre autour de la valeur désirée. Cette simulation valide d'une part, le comportement du détecteur (insensibilité à la non périodicité du signal d'entrée) et d'autre part, la méthode d'adaptation de bande passante.

4.4 Modélisation des différentes sources de bruit et calculs du bruit total dans la boucle

Maintenant que les différents paramètres de la BVP sont connus, on peut modéliser l'impact des différentes sources de bruit et calculer leurs densités spectrales de bruits et leur *jitter*

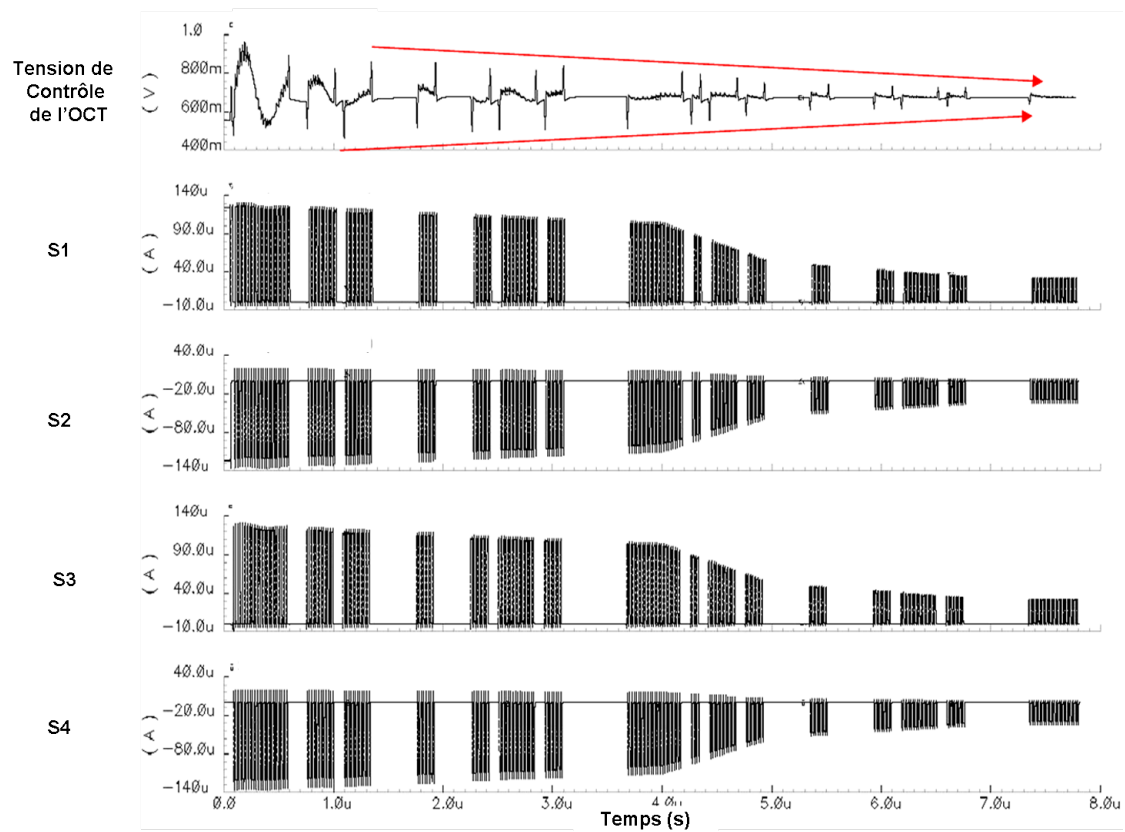


FIG. 4.11 – Résultat issue de la simulation Spectre avec adaptation de bande passante et détecteur de phase de type Hogge modifié.

associé.

4.4.1 Bruit dans les résistances

Les résistances génèrent un bruit en tension, que l'on appelle bruit thermique, [54]. Comme nous l'avons vu dans le chapitre 3.0.5 : $V_{R_{Noise}} = 4kT \cdot R[V^2/Hz]$

avec

- k : la constante de Boltzman égale à $1.381 \cdot 10^{23} J/K$
- T : la température en *Kelvin*
- R : la résistance en Ohm à laquelle on associe la source de bruit en tension

Une fois le bruit induit par la résistance déterminé, une fonction de transfert, T(s), peut relier le bruit généré par la résistance à la perturbation engendrée sur le signal de contrôle de l'OCT. En multipliant R_{Noise} par sa fonction de transfert, on obtient le bruit en tension engendré en entrée de l'OCT. Puis en multipliant ce bruit par sa fonction de transfert vers la sortie du système, on se retrouve avec le bruit généré en sortie par les résistances (voir la Fig. A.10 pour le calcul mathcad).

Grâce aux courbes de la Fig. 4.12, l'impact des résistances du filtre sur le bruit en sortie de notre système peut être déterminé.

4.4.2 Bruit dans les capacités

Le bruit thermique associé à une capacité est défini par la densité spectrale suivante :

$$C_{Noise} = \frac{kT}{C} [V^2/Hz] \quad (4.23)$$

avec

- k : la constante de Boltzman égale à $1.381 \cdot 10^{23} J/K$
- T : la température en *K*
- C : la capacité en Farad à laquelle on associe la source de bruit en tension.

Ce bruit est souvent négligeable comparé au bruit thermique des résistances.

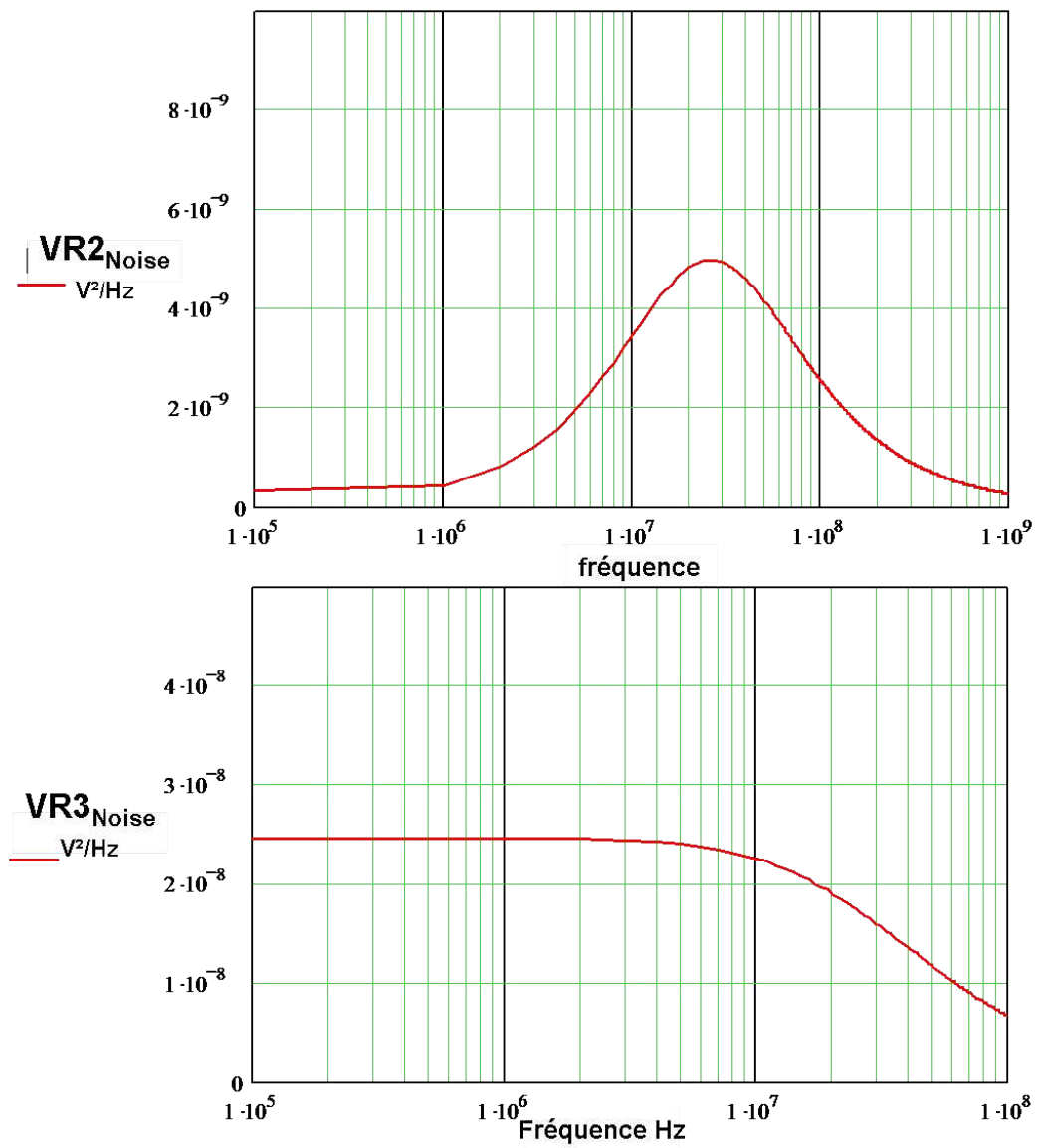


FIG. 4.12 – Réponse fréquentielle du bruit thermique des résistances R2 et R3 du filtre de boucle

4.4.3 Bruit dans les transistors MOS

Le bruit dans les transistors provient de deux sources, à savoir :

- **le bruit thermique** qui résulte de la résistivité du canal. La densité spectrale de bruit est donnée, pour un transistor fonctionnant en région active, par la formule :

$$V_{MOS-TNoise} = \frac{8kT}{3gm} [V^2/Hz] \quad (4.24)$$

avec

- k : la constante de Boltzman égale à $1.381 \cdot 10^{23} J/K$
- T : la température en K
- gm : transconductance du transistor à laquelle on associe la source de bruit.

Ce bruit peut être réduit en augmentant le rapport entre la largeur (W) et la longueur (L) du canal

- **le bruit $1/f$** qui est dû à un phénomène de piégeage des porteurs à l'interface entre l'oxyde de grille et le canal. La densité spectrale de ce bruit en région active est :

$$V_{MOS-fNoise} = \frac{K}{W \cdot L \cdot Cox \cdot f} [V^2/Hz] \quad (4.25)$$

avec

- K : paramètre technologique dépendant du procédé de fabrication
- W : la largeur du canal du transistor considéré en μm
- L : la longueur du canal du transistor considéré en μm
- Cox : la capacité de l'oxyde en Farad.

Ce bruit en $1/f$ peut donc être réduit en dotant le transistor d'une grande surface de grille. Cette étude donne des règles de conception pour les différents blocs.

4.4.4 Bruit dans l'OCT

Le modèle de Leeson (Théorie Linéaire et Stationnaire, LTI : Linear Time Invariant)

Le modèle mathématique de Leeson développé en 1966 de manière heuristique repose sur la considération du bruit comme étant un processus aléatoire et stationnaire, c'est à dire invariant avec le temps [55]

Son modèle montre clairement les relations liant le spectre des variations de phase au modèle de bruit de l'oscillateur en fonction des paramètres de bruit connus, du niveau de puissance du signal et des caractéristiques du résonateur utilisé. Leeson utilise pour cela le modèle linéaire d'un oscillateur bouclé en supposant un faible niveau de correction nécessaire sur le résultat afin de tenir compte des non linéarités du transistor. Le bruit à l'entrée du transistor en oscillation est supposé être composé de deux paramètres principaux :

- le bruit blanc additif autour de la fréquence porteuse et diverses fréquences résultant du mélange par les non linéarités.
- le bruit en $1/f$ issu des fluctuations des paramètres du transistor.

Ceci mène au modèle asymptotique du bruit de phase en fonction de la distance à la porteuse Fig. 4.13.

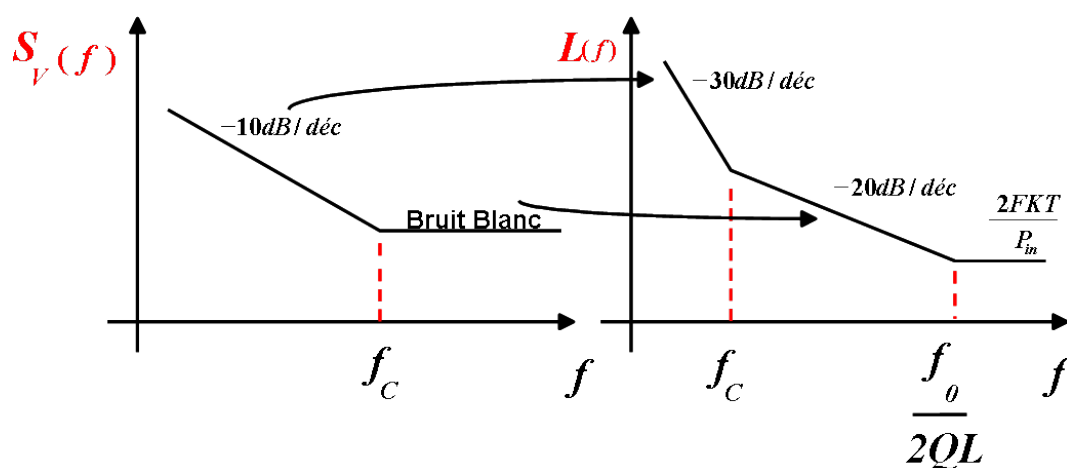


FIG. 4.13 – Modèle de Leeson du bruit de phase

Avec

- f_c : la fréquence de coupure en bruit du transistor [Hz]
- f_0 : la fréquence d'oscillation [Hz]
- F : le facteur de bruit
- K : La constante de Boltzman ($1.38 \exp(-23) [J/^\circ K]$)
- T : la température [$^\circ K$]
- P_{in} : la puissance en entrée du transistor [W]
- Q_L : le facteur de qualité en charge du résonateur
- $S_v(f)$: la densité spectrale d'une source de bruit en tension basse fréquence [V^2/Hz]
- $L(f)$: le bruit de phase [dBc/Hz]

Pour une fréquence inférieure à f_c , nous retrouvons la conversion du bruit en $1/f$ du transistor. Entre f_c et $f_0/2Q_L$, la pente de $-20dB/dec$ traduit la conversion du plancher de bruit basse fréquence. Quant au plancher de bruit de phase, il est composé du bruit thermique HF en $\frac{2FKT}{P_{in}}$ rajouté au bruit converti qui lui, est négligeable. Dans notre étude nous ne tiendrons compte que du bruit en $1/f^2$, ce qui s'avère être une bonne approximation.

Le modèle de Leeson tient compte des non linéarités par un ajustement "après coup" du facteur de bruit F . Ce modèle est défini par la formule de Leeson-Cutler suivant :

$$L(f_m) = 10 \log\left(\frac{FKT}{2P_R} \cdot \left[1 + \frac{f_0^2}{f_m^2 \cdot 2Q_L^2}\right] \cdot \left[1 + \frac{f_c}{f_m}\right]\right) (dBc/Hz) \quad (4.26)$$

Avec

- F : le facteur de bruit
- P_R : La puissance moyenne dissipée dans le circuit résonnant [W]
- Q_L : le facteur de qualité en charge du circuit résonant
- f_m : la distance à la porteuse [Hz]

L'oscillateur n'est pas un système invariant par nature, durant la mise en place de l'oscillation, l'amplification est linéaire. Ensuite, la compression permet de limiter l'amplitude

de celle-ci jusqu'à atteindre un état stable de fonctionnement. Or, les effets non linéaires intrinsèques produisent principalement du bruit de phase puisque le bruit d'amplitude est limité par la compression du gain. Les approches dans le domaine temporel sont basées quant à elles sur la fonction de sensibilité impulsionnelle (Impulse Sensitivity Function : ISF) [56]

Le modèle d'Hajimiri (Théorie Linéaire et variant temporellement LTV : Linear Time Variant)

Hajimiri introduit le modèle non stationnaire à travers l'utilisation de la réponse en phase impulsionnelle. Il montre aussi le mécanisme par lequel le bruit aux différentes fréquences harmoniques participe au bruit de phase. La notion d'ISF (Impulse sensitivity function) est introduite par l'étude de la réponse en amplitude et phase de l'oscillateur. Il montre ainsi la dépendance du signal de sortie au moment de l'injection du pic en courant. Ainsi, si l'impulsion est appliquée au moment du passage par zéro de la sortie, l'effet sur la phase sera maximum et nul sur l'amplitude. Inversement, si l'impulsion est appliquée au moment où le signal de sortie est à son maximum en amplitude, l'effet sur l'amplitude de sortie sera maximum et nul pour la phase. C'est ainsi que la notion de variance avec le temps est introduite.

D'autre part, il est montré que la relation du courant injecté avec le déphasage introduit est linéaire tant que la perturbation introduite ne dépasse pas 10% de la valeur au noeud considéré, ce qui est largement le cas des sources de bruit. C'est ainsi qu'Hajimiri démontre le caractère linéaire et temporellement variant du bruit de phase.

Les points essentiels sont les suivants :

Il y a tout d'abord un phénomène de conversion lié à l'ISF : ce dernier traduit le phénomène de conversion du bruit autour des harmoniques en fluctuation de phase (Fig. 4.14). L'ISF est démontré comme étant une fonction périodique décomposable en série de Fourier définie par les coefficients C_n associés aux harmoniques.

Il y a ensuite un phénomène de modulation de phase par une fonction non linéaire créant

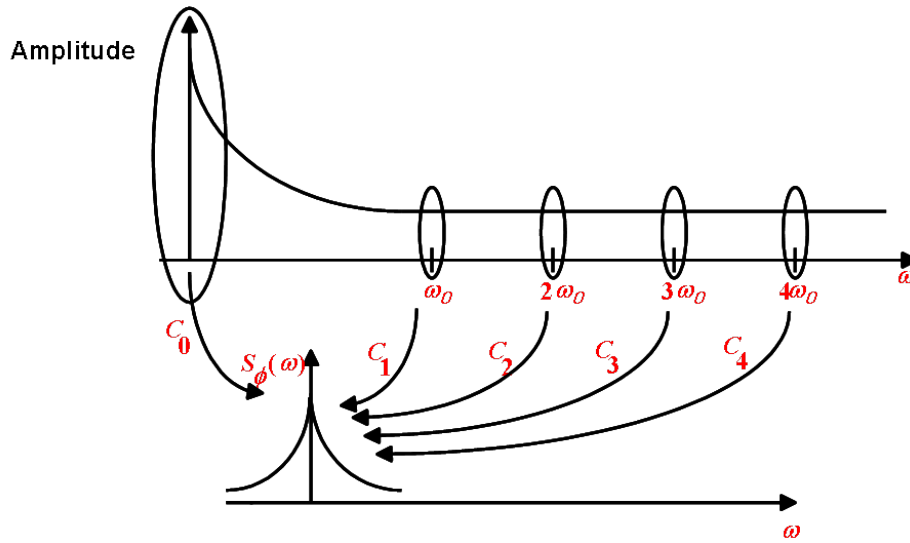


FIG. 4.14 – Conversion du bruit en fluctuation de phase

ainsi le bruit de phase autour de la fréquence d'oscillation, (Fig. 4.15)

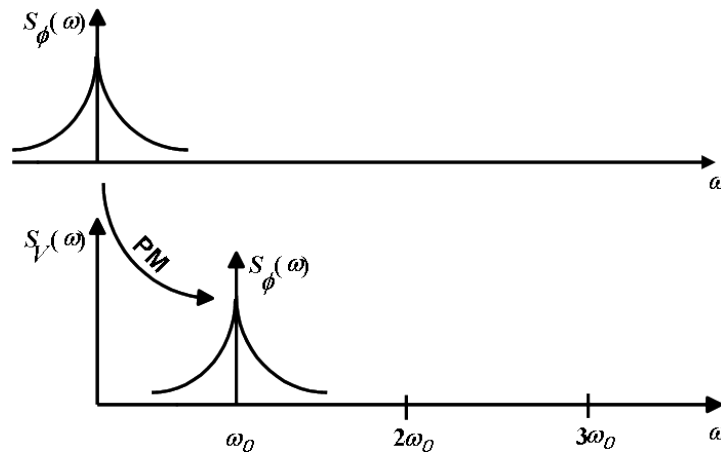


FIG. 4.15 – Conversion des fluctuations de phase en bruit de phase autour de la porteuse

De ce fait, la fréquence de coupure du bruit de phase entre la pente en $1/f^3$ et la pente en $1/f^2$ n'est pas la fréquence de coupure de la source de bruit considérée comme le suppose la théorie de Leeson, mais est plus faible et est dépendante de C_0 . Enfin, la notion de cyclostationarité des sources de bruit est introduite. Le bruit de phase total est défini par Hajimiri de la manière suivante :

$$L(\Delta\omega) = 10 \log\left(\sum_b \frac{\frac{i_n^2}{\Delta\omega} \cdot \sum_k (c_k^2)}{4q_{max}^2 \Delta\omega^2}\right) \quad (4.27)$$

Avec pour chaque source de bruit b :

- $\Delta\omega$: la distance à la porteuse [rad]
- $\frac{i_n^2}{\Delta\omega}$: la densité spectrale de bruit à $\Delta\omega$ [A^2/Hz]
- C_k : Le k^{ieme} coefficient de la série de Fourier de la fonction d'ISF.
- q_{max} : la charge maximale au noeud d'injection du circuit [C].

Les conclusions pour la réduction du bruit de phase, sont les suivantes :

- augmenter la tension aux bornes du résonateur.
- réduire C_0 , ceci impliquant de symétriser le signal de sortie.

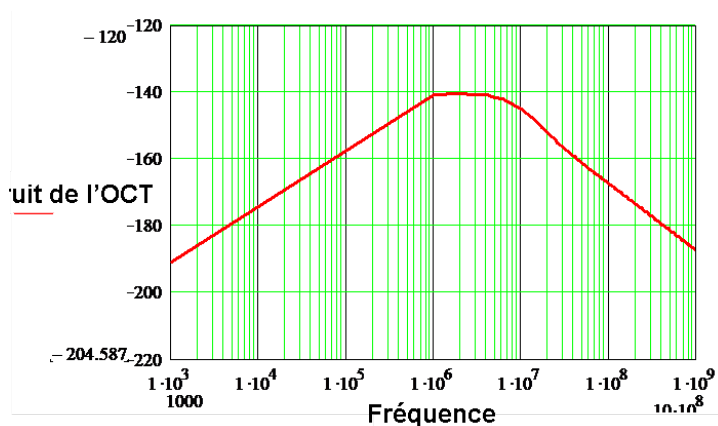


FIG. 4.16 – Bruit de phase de l'OCT dans la boucle

De même que pour les résistances, en multipliant le bruit de phase de l'oscillateur, ainsi calculé, par son équation de transfert vers la sortie du système on obtient la quantité de bruit générée en sortie par l'OCT (en considérant que la fonction de transfert du bruit de l'OCT a un gain de $-20dB/dec$) (Fig. 4.16).

4.4.5 Pics parasites et choix du filtre de boucle

Comme nous l'avons vu dans le chapitre 3.0.6, des pics parasites peuvent apparaître sur le signal de sortie. Ces pics parasites ont de multiples causes mais proviennent principalement du 'mismatch' et des 'fuites' de la pompe de charge. Pour mieux appréhender et modéliser ces pics, le concept de 'Gain de pics parasites' ou '*spur gain*' en anglais, doit être défini. A partir de là, on pourra modéliser analytiquement les pics dûs aux 'fuites' et ceux dûs aux 'mismatch'.

Gain des pics parasites

Dans [39], Banherjee part du constat qu'un bruit en courant à une fréquence fixe, injecté dans le filtre, produit un bruit fréquentiel en sortie de l'OCT. Le gain des pics parasites est alors le produit du gain de l'OCT, du gain de la pompe de charge et de l'impédance du filtre à une fréquence égale à la fréquence d'offset du pic. Dans la plupart des cas, la fréquence du pic correspond à la fréquence de comparaison (fréquence de référence) du système. On se retrouve donc avec l'équation 4.28

$$SpurGain(F_{spur}) = 20 \log \left(\left| \frac{K\phi \cdot Z(s) \cdot K_{VCO}}{s} \right| \right)_{s=j \cdot F_{spur} \cdot 2\pi} \quad (4.28)$$

Pics dûs aux fuites de courant

Comme nous l'avons vu dans le chapitre 3.0.6, quand la BVP a accroché la fréquence désirée, la pompe de charge passe en haute impédance. Cependant on retrouve des injections parasites de charges (*Leakage*) dûes aux fuites de la pompe de charge, de l'OCT et des capacités du filtre. Parmi toutes ces sources de fuites, celles provenant de la pompe sont les plus importantes. Pour prédire le niveau de puissance de ces pics on utilise l'équation suivante [39] :

$$LeakageSpur = BaseLeakageSpur + 20 \log\left(\frac{Leakage}{K\Phi}\right) + SpurGain \quad (4.29)$$

Avec $BaseLeakageSpur$ la constante fondamentale de ce type de pic parasite, $BaseLeakageSpur = 16dBc$. Cette constante est universelle et peut être appliquée à n'importe quel type de BVP.

Pics dûs aux différences physiques de la pompe de charge

Puisque la pompe injecte ou retire des charges du filtre, une symétrie parfaite est requise. Or comme dans tout circuit réel, de nombreux facteurs (différence entre courant 'UP' et 'DOWN', différences entre les plan 'P' et 'N' de la pompe, imperfection des circuits corrigeant la *zone-morte* de la pompe ...) empêchent cette symétrie. Des solutions de conception peuvent être apportées, mais ne corrigent pas totalement ce problème. Cette dissymétrie entre courant entrant et sortant du filtre entraîne des pics parasites. Pour prédire le niveau de puissance de ces pics on utilise l'équation suivante [39] :

$$PulseSpur = BasePulseSpur + 40 \log\left(\frac{F_{spur}}{1Hz}\right) + SpurGain \quad (4.30)$$

Avec $BasePulseSpur$ la constante fondamentale de ce type de pic parasite, $BaseleakageSpur = -315.6 + 1.28 \cdot |\%mismatch - 3.2\%|$.

L'utilisation de modèles statistiques, suggère que les meilleures performances relatives à ce type de pics, correspondent à une différence de 3.2% entre le plan 'P' et le plan 'N' de la pompe de charge [39].

Le niveau global des pics, sans regarder quel type de pics est dominant, vaut :

$$Spur = 10 \cdot \log\left(10^{\frac{LeakageSpur}{10}} + 10^{\frac{PulseSpur}{10}}\right) \quad (4.31)$$

Le calcul de ces pics a été effectué avec l'outil **mathcad** afin de pouvoir vérifier si le bruit total du système respecte la spécification, (voir Annexe A.9).

On peut maintenant modéliser le rôle du filtre dans l'atténuation des pics parasites.

Modélisation de l'influence du filtre sur les pics parasites

On a pu voir que le niveau de puissance des pics parasites était lié au 'SpurGain', quel que soit le type de pic. Donc, en minimisant le '*spur gain*' on diminuera le niveaux de puissance des pics. Le gain des pics parasites, quelque soit la fréquence, vaut :

$$|SpurGain(\omega)| = \frac{K\phi \cdot K_{VCO}}{C_{tot} \cdot \omega^2} \cdot \sqrt{\frac{1 + \omega^2 \cdot T_2^2}{\prod_{i=1,2,3} (1 + \omega^2 \cdot T_i^2)}} \quad (4.32)$$

On peut donc écrire que le niveau des 'spurs', en fonction de la fréquence, vaut :

$$spur(\omega) = 10 \log \left[\frac{1 + [\omega_c \cdot (T_1 + T_3)]^2}{1 + [\omega \cdot (T_1 + T_3)]^2} \cdot \frac{1 + [\omega \cdot (T_1)]^2}{1 + [\omega_c \cdot (T_1)]^2} \cdot \frac{1 + [\omega \cdot (T_3)]^2}{1 + [\omega_c \cdot (T_3)]^2} \right] \quad (4.33)$$

L'équation 4.33 permet donc de calculer le niveaux d'atténuation des pics parasites. On observe que les pôles et zéros du filtre (T1, T2, T3) influent directement sur le niveau des spurs. En choisissant ω égale à des valeurs multiples de la fréquence de comparaison (24MHz dans notre cas) on pourra connaître les coefficients d'atténuation pour chaque pic (en fonction de T1, T2, T3). L'implémentation de ces calculs a été réalisé Mathcad (Voir Annexe A.3).

De plus, on peut caractériser les valeurs du filtre par un index d'optimisation, Eq. 4.34. Si cette index vaut 100% cela signifie que le filtre est optimum au regard de la marge de phase, du coefficient d'atténuation ς , et du coefficient d'atténuation des spurs [39].

$$Index = \frac{\left(\frac{T_2}{1 + (\omega_c \cdot T_2)^2} \right)}{\frac{T_1}{1 + (\omega_c \cdot T_1)^2} \cdot \frac{T_3}{1 + (\omega_c \cdot T_3)^2}} \quad (4.34)$$

Donc en partant de la modélisation des deux types de pics parasites (*LeakageSpur* et *PulseSpur*), un terme commun a pu être caractérisé (*SpurGain*). De l'équation du *SpurGain*,

Eq. 4.32, on peut déterminer le niveau des pics parasites en fonction de la fréquence et des paramètres du filtre, Eq. 4.33. Enfin avec l'index d'optimisation de l'Eq. 4.34 on peut déterminer les valeurs optimums des paramètres du filtre de boucle.

Conception du Filtre de boucle

La structure du filtre est celle décrite dans le chapitre 3.0.5. Un filtre d'ordre 3 dont les caractéristiques sont les suivantes :

$$C1 = 5pF \quad C2 = 166pF \quad C3 = 0.7pF \quad (4.35)$$

$$R2 = 1.4K\Omega \quad R3 = 12K\Omega \quad (4.36)$$

ce filtre nous permet d'atténuer les 'spurs' (en mode large bande) de la façons suivante :

- $spur(2 \cdot \pi \cdot F_{comp}) = -0.505$ atténuation du pic principal
- $spur(2 \cdot 2 \cdot \pi \cdot F_{comp}) = 2.338$ atténuation du pic situé à $2 \cdot F_{comp}$
- $spur(3 \cdot 2 \cdot \pi \cdot F_{comp}) = 4.998$ atténuation du pic situé à $3 \cdot F_{comp}$
- $spur(1/16 \cdot 2 \cdot \pi \cdot F_{comp}) = 0.007$ atténuation du pic situé à $1/16 \cdot F_{comp}$
- $spur(1/8 \cdot 2 \cdot \pi \cdot F_{comp}) = -0.047$ atténuation du pic situé à $1/8 \cdot F_{comp}$
- $spur(1/4 \cdot 2 \cdot \pi \cdot F_{comp}) = -0.408$ atténuation du pic situé à $1/4 \cdot F_{comp}$

et l'index d'optimisation pour ce filtre vaut : $index = 96.58\%$ Ce filtre est donc optimum au regard de l'index d'optimisation tout en réduisant les pics proches porteuse.

4.4.6 Estimation du Bruit dans la PLL

Les paramètres du filtre en fonction de la spécification (bande passante, marge de phase, gain de l'OCT, gain de la pompe de charge, densité de transition ...) étant calculés, l'impact des pics parasites et l'impact en bruit de phase des blocs étant estimé, on peut estimer le bruit total de la BVP et vérifier si la boucle respecte la spécification. Le bruit total dans la boucle répond à l'équation suivante :

$$BruitTotal = 10 \log(10^{\frac{BruitOCT(f)}{10}} + 10^{\frac{BruitR2(f)}{10}} + 10^{\frac{BruitR3(f)}{10}} + 10^{\frac{Spur(f)}{10}})) \quad (4.37)$$

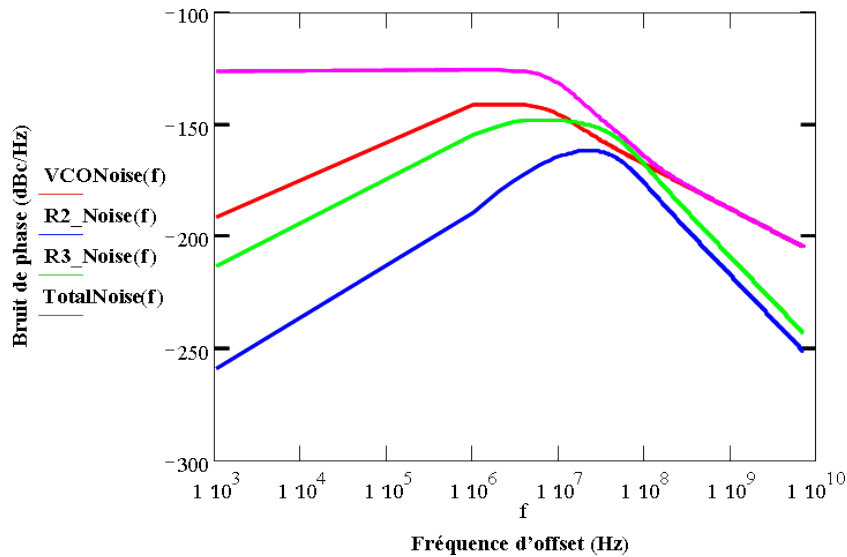


FIG. 4.17 – Estimation du bruit total en sortie de la PLL

La Fig. 4.17 nous montre la réponse fréquentielle du bruit total dans la BVP. Dans un premier temps, on ne tient pas compte du bruit de phase de notre signal d'entrée. Ce dernier sera intégré dans un second temps, après une série de mesures réalisées avec un analyseur de spectre, pour obtenir l'allure générale de la courbe de bruit de phase du signal de référence USB. Pour ce faire, un générateur de signal USB, le *CAT-C*, a été utilisé, et le logiciel *Chief 1.34* a permis de choisir le type de trame à envoyer (Fig. 4.28). Le signal de référence a été visualisé, figure 4.18, avec un oscilloscope temps réel (*Agilent infiniium DSO81204A*, 40Gsa/s) puis on a récupéré son spectre de bruit à l'aide d'un analyseur de spectre (*Agilent E4446A*), voir Fig. 4.19. A partir de la courbe de bruit de phase du signal USB et du modèle analytique permettant de passer du phasnoise (dBc/Hz) au *jitter* (ps) développé dans le chapitre 3.0.6, le *jitter* du signal USB a pu être caractérisé et intégré lors des simulations.

En intégrant sous Mathcad les calculs de *jitter* à partir du bruit de phase, vu dans le

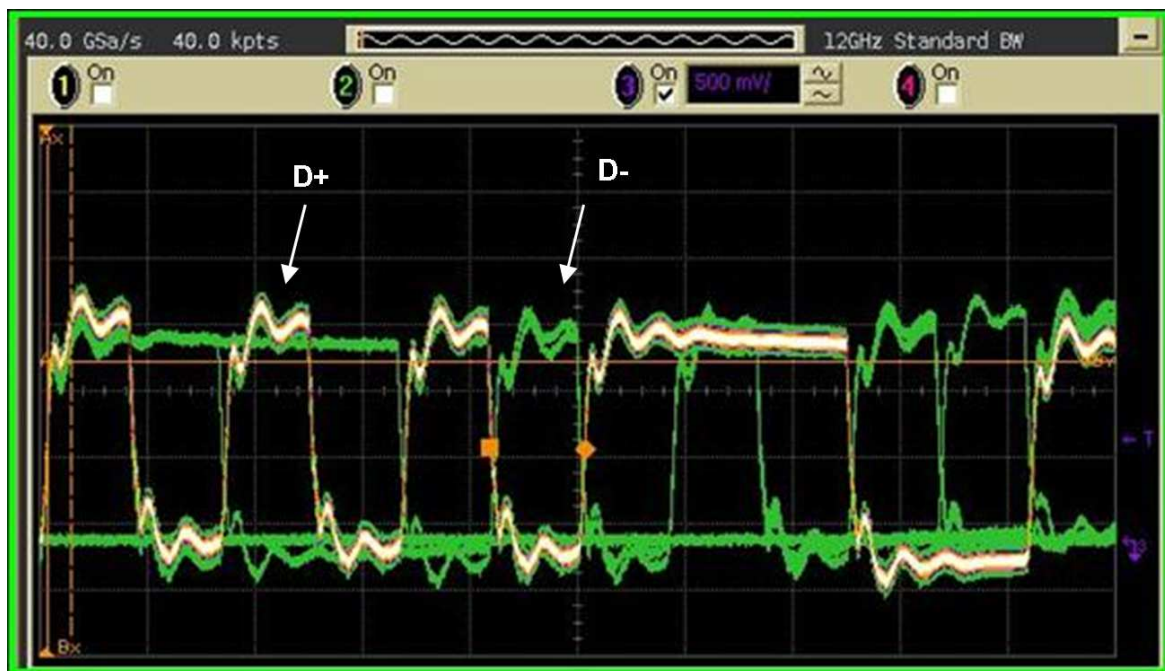


FIG. 4.18 – Visualisation de la trame USB avec l’oscilloscope temps réel, Agilent infiniiium DSO81204A, 40Gsa/s

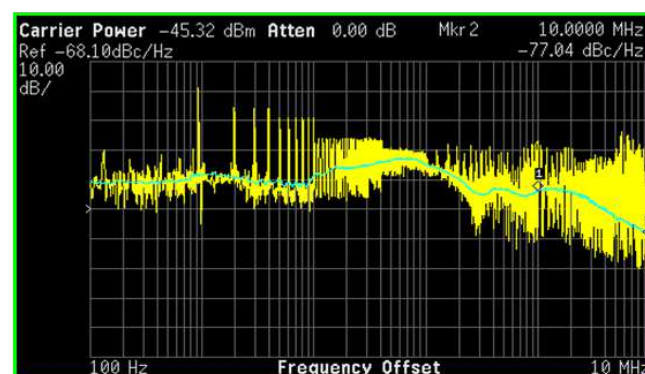


FIG. 4.19 – Mesure du bruit de phase du signal USB avec l’analyseur de spectre Agilent E4446A

chapitre 3.0.6, on peut estimer un *jitter* de $8.155ps$ en mode large bande, Eq. 4.38 et Eq. 4.39, et $7.073ps$ en mode bande réduite, ce qui est largement inférieur aux $52ps$ demandés par la spécification. Dans la caractérisation de systèmes USB la plage d'intégration se situe entre $10Hz$ et $10MHz$ mais par mesure de sécurité nous avons réalisé le calcul du *jitter* en prenant $50MHz$ comme distance maximal de la porteuse.

$$\Theta = \sqrt{\left(\int_{10Hz}^{50MHz} 10^{\left(\frac{Totalnoise(\omega)}{10} \right)} d\omega \right)} \quad (4.38)$$

$$\Theta = 0.07deg$$

et :

$$\frac{\Theta}{2\pi F_{comp}} = 8.15ps \quad (4.39)$$

4.5 Conception de l'OCT

Un oscillateur est basé sur un principe de conversion d'une puissance continue d'alimentation en une puissance RF. Le système est constitué d'un élément passif résonnant, Q , et d'un élément actif, A , régénérant la puissance RF dissipée formant ainsi une boucle d'oscillation.

L'oscillateur proposé est basé sur une chaîne de deux cellules à retard identiques rebouclées Fig. 4.20.

La cellule de retard utilisée est constituée d'une paire différentielle NMOS, $Mn1$, connectée à une charge active formée par une paire croisée de PMOS, $Mp1$ et d'une paire de transistor de contrôles, Mpc , [49]. La valeur de cette charge est contrôlée par le courant injecté par Mpc , dont la tension de grille réglable, joue le rôle de la tension de contrôle de l'OCT (Fig. 4.21). Les transistors $Mp1$ permettent, par un retour positif dans le circuit, de garantir l'action différentielle de la cellule de délai, et ce sans courant de polarisation. De

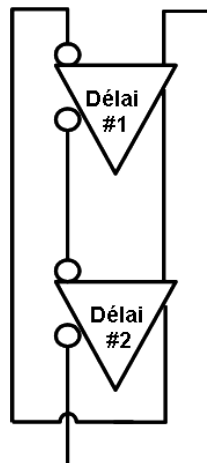


FIG. 4.20 – Synoptique de l'oscillateur en anneau

plus cette configuration en '*rail to rail*', (configuration directement reliée aux alimentations), permet de générer une sortie ne nécessitant pas de bloc de transfert de niveau d'alimentation pour atteindre les niveaux de tension CMOS requis dans le reste du système.

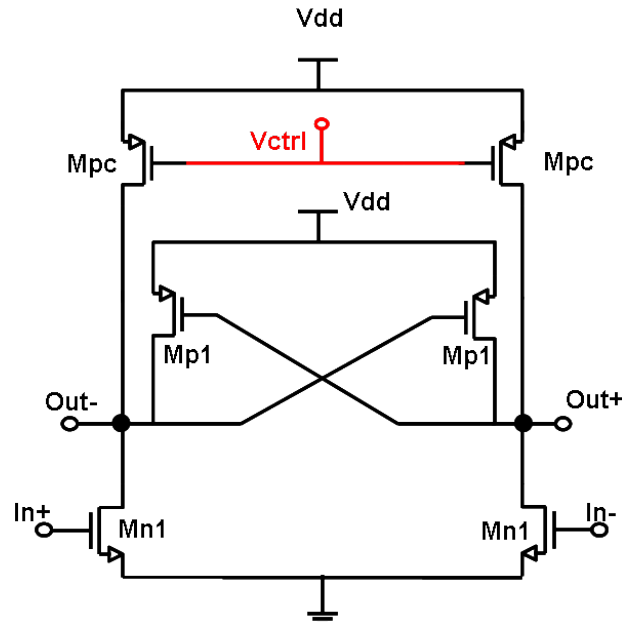


FIG. 4.21 – cellule de délai proposée

Avant de choisir sa fréquence libre (fréquence d'oscillation avec $V_{crt} = 0$) nous nous

somme intéressé au propriétés d'un diviseur de fréquence. Ce dernier permet d'assurer un rapport cyclique de 50% et contribue à diminuer le bruit en sortie de l'OCT, et donc de la boucle, de l'ordre de $20\log(2)$. En effet, à la sortie d'un diviseur, le bruit de phase $S_{\varphi OUT}$ en fonction du bruit de l'entrée $S_{\varphi in}$ s'exprime de la manière suivante [57], [58] :

$$S_{\varphi OUT}(f) = \frac{S_{\varphi IN}(f)}{M} + S_{\varphi DIV}(f) \text{ (rad}^2/\text{HZ)} \quad (4.40)$$

Le bruit de phase résiduel $S_{\varphi DIV}$ est défini par l'équation suivante :

$$S_{\varphi DIV}(f) = \frac{a1}{f} + a0 \text{ (rad}^2/\text{HZ)} \quad (4.41)$$

Les différents coefficients sont définis de manières empiriques [59]. Le bruit de phase de l'entrée divisé par le taux de division excède généralement le bruit de phase résiduel du diviseur.

En ajoutant un diviseur par M on diminue alors la valeur du bruit de phase par :

$$L_{outdiv} = L_{OCT} - 20 \log(M) \quad (4.42)$$

A partir de ces constatation, l'OCT est conçue pour osciller autour de 96MHz . Un diviseur par deux peut alors être utilisé à la sortie de l'OCT (pas dans le chemin de retro-action) pour diminuer le bruit en sortie du système de 6dB . On se retrouve donc avec la structure décrite à la Fig. 4.22. La caractéristique de l'OCT extraite à l'aide simulation PSS, (Periodic Steady State), sous l'environnement Cadence et le simulateur Spectre, est donnée sur la Fig. 4.23.

L'analyse PSS a pour but de rechercher la solution d'équilibre du circuit avant d'en extraire le bruit de phase. Elle possède deux phases. Une analyse transitoire est menée jusqu'à un temps t que l'on peut définir. En faisant varier la tension de contrôle de l'OCT lors de cette phase on obtient la courbe de transfert de la Fig. 4.23. L'état obtenu sert alors d'état initial à la phase de calcul itératif toujours dans le domaine temporel sur une période afin de trouver le

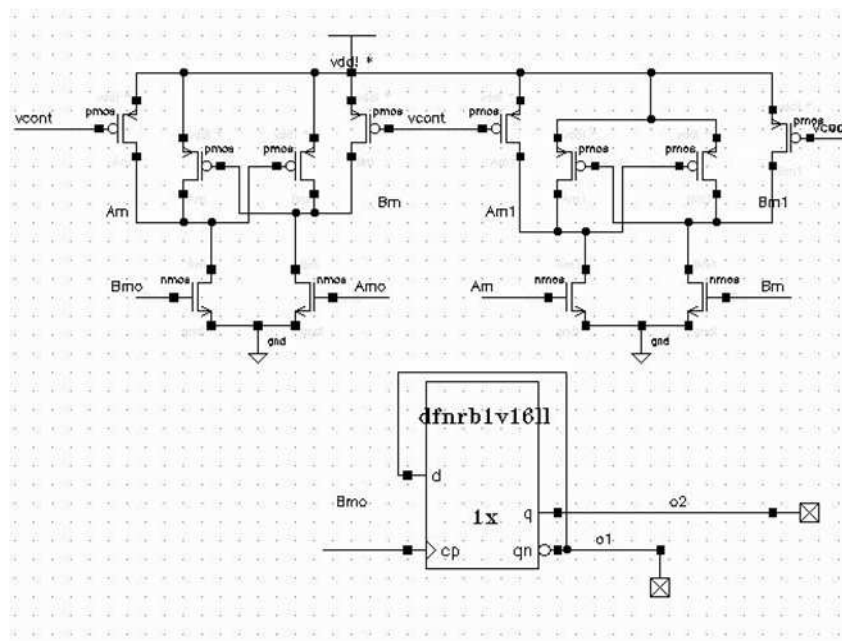


FIG. 4.22 – schéma transistor de l'OCT avec son diviseur de fréquence.

régime établi pour en extraire le bruit. Ce calcul de bruit de phase est semblable à une analyse traditionnelle de bruit mais intègre également les effets de la conversion de fréquence qui est due à deux phénomènes. Le premier est lié aux sources de bruit dépendantes de la polarisation du circuit (par exemple pour le bruit de grenaille). La source de bruit est modulée par la variation de son régime de fonctionnement variable dans le temps. L'autre cause de transposition de fréquence du bruit est la présence d'une fonction de transfert périodiquement variable dans le temps qui module la contribution d'une source de bruit à la sortie du circuit. On se retrouve alors avec la courbe de bruit de phase de la figure 4.24.

On peut observer que l'oscillateur possède le gain désiré, 52MHz/V et un bruit de phase correspondant voir inférieur à d'autres oscillateurs en anneau de la littérature [44], [45], [43], [46].

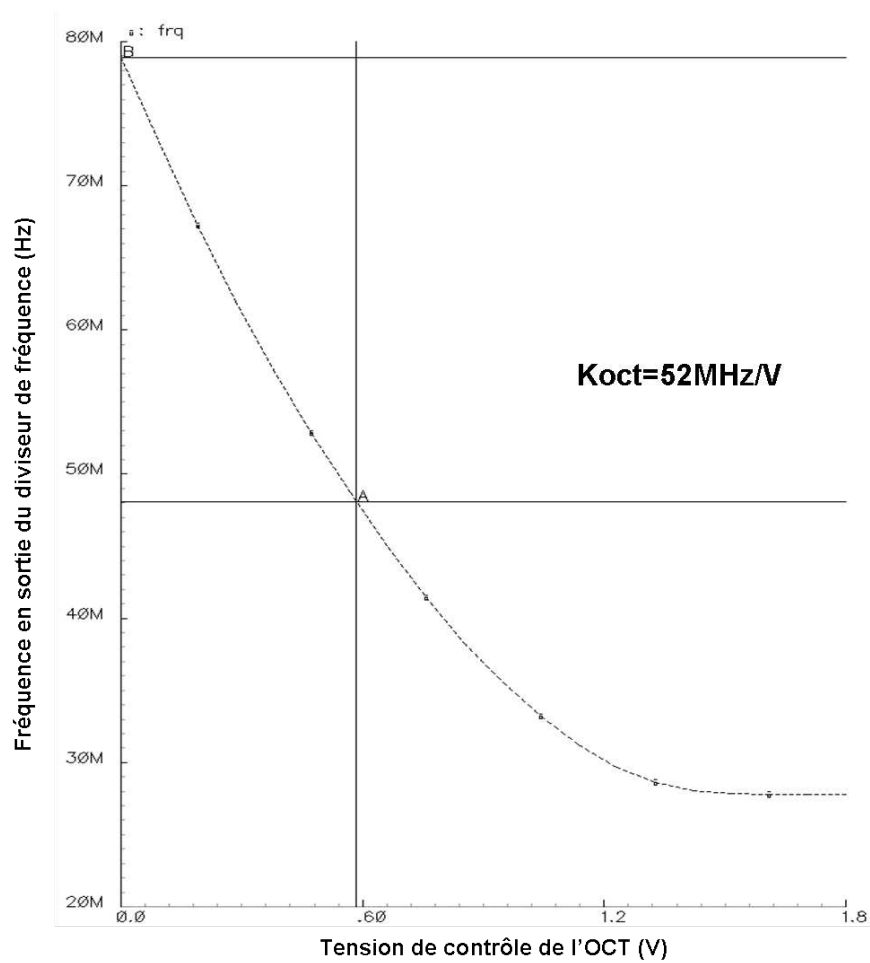


FIG. 4.23 – Fréquence en sortie du diviseur de fréquence en fonction de la tension de contrôle de l'OCT

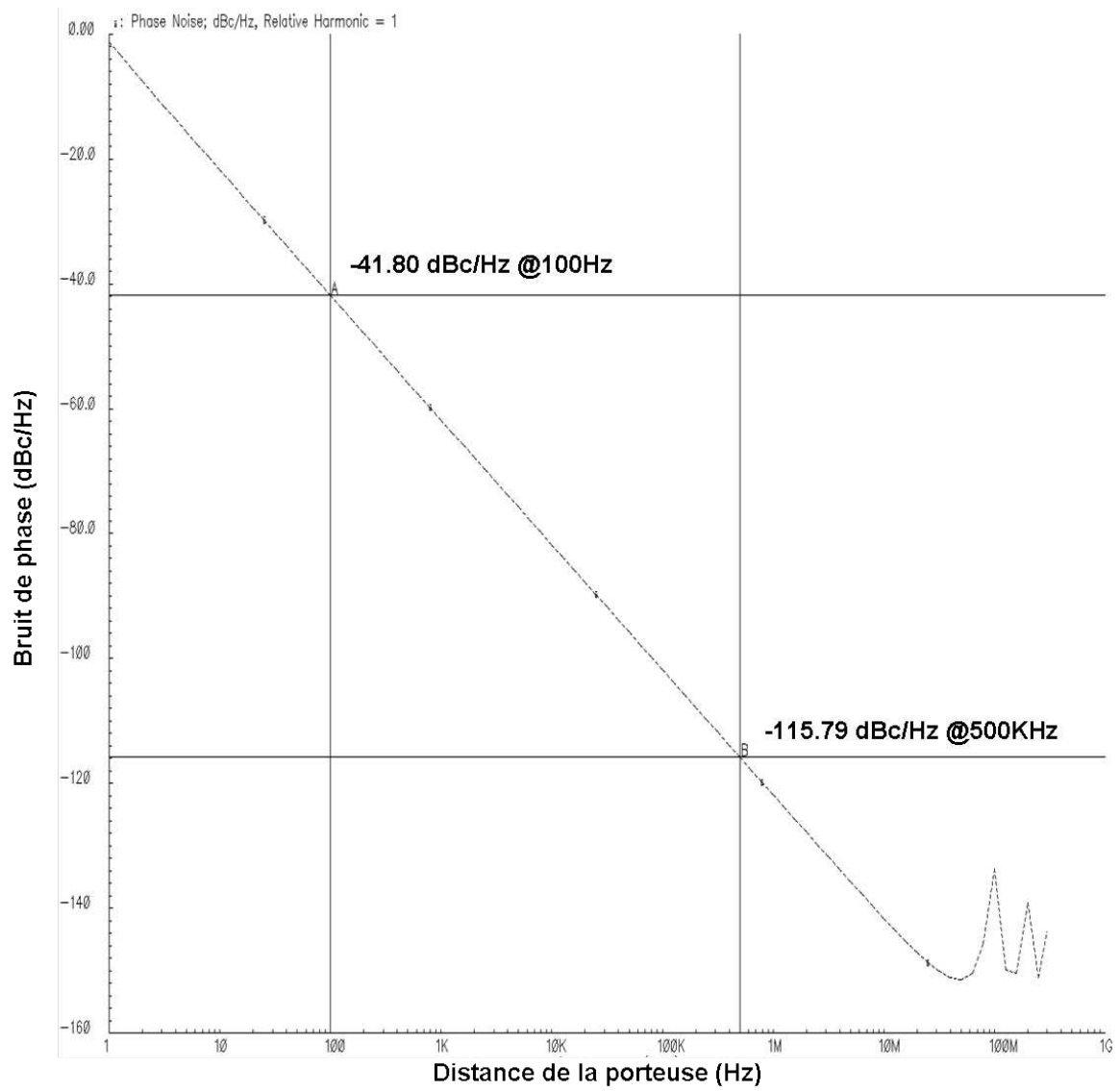


FIG. 4.24 – Bruit de phase de l'OCT

4.6 Conception du multiplicateur de fréquence faible bruit

Dès le début des expériences dans le domaine de la radiocommunication en micro-ondes, la technique de génération de signaux a été un des problèmes majeurs. La multiplication de fréquences a été reconnue comme une technique de génération de fréquences efficace, permettant ainsi d'obtenir et d'utiliser les harmoniques du fondamentale du signal d'entrée (absorbée à l'entrée). Dans notre projet le multiplicateur de fréquence joue un rôle aussi important que la boucle. Il permet de multiplier la fréquence du signal USB envoyé par l'hôte ($12MB/s$) afin de récupérer un signal de référence pour la boucle de fréquence $24MHz$. En effet en augmentant la fréquence du signal de référence, les contraintes de stabilité (reliant la fréquence de coupure de la boucle à la fréquence d'entrée, chapitre 3.0.7) peuvent être relâchées. En permettant d'avoir une bande passante plus grande, on peut accrocher la fréquence désirée ($48MHz \pm 2500ppm$) plus rapidement, ce qui est primordial dans notre cas d'étude car le temps qui nous est imparti est très court (voir chapitre 2.4.3). Cependant le signal de référence (le signal de donnée USB) est déjà fortement bruité, voir chapitre 2.4.4, et la multiplication de cette quantité de bruit par un multiplicateur de fréquence ne ferait qu'empirer la situation. L'objectif est de réaliser une structure sans aucun composant externe, permettant d'augmenter la fréquence du signal de référence et ce, sans en multiplier le bruit.

Le multiplicateur de fréquence est un circuit qui génère à sa sortie des multiples entiers du signal d'entrée. Ce phénomène fait appel à un dispositif de caractéristique non linéaire tels que les diodes et les transistors, donc par nature, le multiplicateur de fréquences est un élément actif. Le développement de dispositif non linéaire ainsi que la disponibilité des méthodes de calcul non linéaire a permis des opérations de multiplication de fréquences au delà de $100GHz$ [60] Dans leurs travaux, Tang, Sad et Burckhard [61] [62] ont traité le cas des multiplicateurs réactifs. Ces travaux sont longtemps restés un outil de conception. Burckhard a établi des règles générales de conception de multiplicateurs. Cette méthode

analytique est basée sur des tables normalisées utilisant des diodes. Le déploiement de l'informatique et la mise au point de logiciel de CAO adaptés aux circuits non linéaires permettant la conception avec précision de multiplicateur de fréquence, ainsi, l'introduction de la méthode d'équilibrage harmonique (Harmonique Balance) dans les années '80' ont permis des études approfondies sur les multiplicateurs. Lors d'une simulation 'Harmonique Balance', on peut récupérer des informations sur :

- les effets de terminaisons aux harmoniques supérieures,
- les courants de polarisation,
- les variations de l'impédance en fonction de la puissance d'entrée.

La précision des modèles non linéaires utilisés et la précision des calculs numériques ont aidé à diminuer l'écart observé entre les simulations et les mesures [63] [64] [65]

De nombreuses techniques de multiplication de fréquence existent dans la littérature, [53], [66], [67], [68], [69], [70], parmi lesquelles on peut citer :

- La technique à base de cellules de délai qui présente l'avantage d'avoir une bonne capacité d'intégration et une consommation modérée, cependant la conception des cellules doit être précise donc compliquée. De plus un rapport cyclique de 50% n'est pas assuré.
- La technique à base de cellules inverseuses qui est une solution simple à intégrer mais dont le facteur de multiplication est limité (2), et dont le bruit induit par les transistors est important.
- La technique à base de cellules 'push-pull' qui présente un bon rapport puissance gain mais au détriment de la consommation ($\approx 1mA$ avec un coefficient de multiplication limité.)
- La technique de multiplication à haute résolution de fréquence qui produit une haute fréquence d'horloge à l'aide d'un l'oscillateur commandé en courant à commande numérique. Elle présente une bonne stabilité et un faible bruit généré au dépend

d'une complexité d'implémentation. De plus une fréquence de référence précise est nécessaire afin d'assurer son bon fonctionnement.

- La technique à base d'oscillateur en anneau couplé qui consomme peu et présente un bon coefficient de multiplication. Cependant cette solution est difficile à intégrer (oscillateur LC)
- La technique à base de synthétiseur de fréquence (BVP) qui est un système permettant de synthétiser plusieurs fréquences au prix d'un compromis entre bruit et rapidité (comme nous l'avons vu j'usqu'à présent) et d'une grande complexité.

Notre étude porte sur une autre solution :

avant de décrire le processus de fonctionnement du multiplicateur, rappelons que la principale fonction d'un multiplicateur de fréquences est de générer des harmoniques à partir d'une fréquence fondamentale d'entrée. En effet, c'est grâce à cette génération d'harmoniques que l'on peut transférer une information d'une fréquence ' f ' à une autre fréquence ' kf ' avec ' k ' entier. Cette opération est obligatoirement liée à un phénomène non linéaire. Mathématiquement, la relation courant-tension dans le cas d'une non linéarité résistive et la relation charge-tension dans celui d'une non linéarité capacitive peuvent s'écrire sous la forme d'une série de puissance autour du point de polarisation.

Donc :

$$I(V_{DC} + \Delta_V) = a_0 + a_1 \cdot \Delta_V + a_2 \cdot \Delta_V^2 + a_3 \cdot \Delta_V^3 + \dots \quad (4.43)$$

$$Q(V_{DC} + \Delta_V) = b_0 + b_1 \cdot \Delta_V + b_2 \cdot \Delta_V^2 + b_3 \cdot \Delta_V^3 + \dots \quad (4.44)$$

En injectant un signal RF aux bornes de la diode $\Delta_V = V_d \cos(\omega_{rf}t)$ et en insérant cette équation dans les deux Eq. 4.43 et 4.44, on obtient les deux relations en courant et en charge :

$$I(t) = I_0 + I_1 \cos(\omega_{rf}t) + I_2 \cos(2\omega_{rf}t) + I_3 \cos(3\omega_{rf}t) + \dots \quad (4.45)$$

$$Q(t) = Q_0 + Q_1 \cos(\omega_{rf}t) + Q_2 \cos(2\omega_{rf}t) + Q_3 \cos(3\omega_{rf}t) + \dots \quad (4.46)$$

Le courant ainsi créé est riche en harmonique, donc le multiplicateur de fréquence doit comporter un élément non linéaire (diode), des circuits d'adaptations et des filtres afin de permettre la sélection de la composante spectrale désirée. Les deux Eq. 4.45 et 4.46 montrent clairement la présence d'harmoniques dans le spectre 'I' et 'Q' ainsi généré. L'ordre et la nature de la non linéarité déterminent l'ordre maximal et le genre des harmoniques directement générées par l'élément non linéaire utilisé.

Tout d'abord, une analyse du signal NRZI et de ces principales caractéristiques a été réalisé.

4.6.1 Caractéristique d'un signal de type NRZI

Nous avons déjà vu dans le chapitre 2.4.1, les principales caractéristiques du signal NRZI qui nous sert de référence. La mesure du spectre d'un signal NRZI a été réalisé au laboratoire grâce à un générateur de trames (**Agilent E81134A**) et un analyseur de spectre (**Agilent E4446A**). On peut voir sur la Fig. 4.28 que le spectre d'un signal encodé en NRZI (de fréquence de bit égale à 15MHz) possède une énergie de signal très concentrée. La densité du signal observée sur le banc de mesure est conforme au modèle mathématique mise en place sous *Mathcad*, voir Annexe A.3 et Fig. 4.25 et au modèle mathématique de Shanmugam, [28], qui dit que pour une séquence binaire aléatoire, de fréquence, r_b , et une probabilité égale de '1' et de '0', la densité spectrale de puissance vaut :

$$P_x(\omega) = T_b \left[\frac{\sin[(\omega \cdot t_B)/2]}{(\omega \cdot t_B)/2} \right]^2 \text{ and } T_b = \frac{1}{r_b} \quad (4.47)$$

On peut observer que cette fonction présente une valeur nulle aux multiples entiers de r_b .

Pour vérifier cette première observation, nous avons réalisé une simulation Mathcad d'une fonction qui génère la séquence NRZI à partir des valeurs d'une matrice d'entrée :

Elle prend la valeur du bit précédent si le bit en cours vaut 1 ou son complément si le bit vaut 0. Voir Annexe [A.3](#)

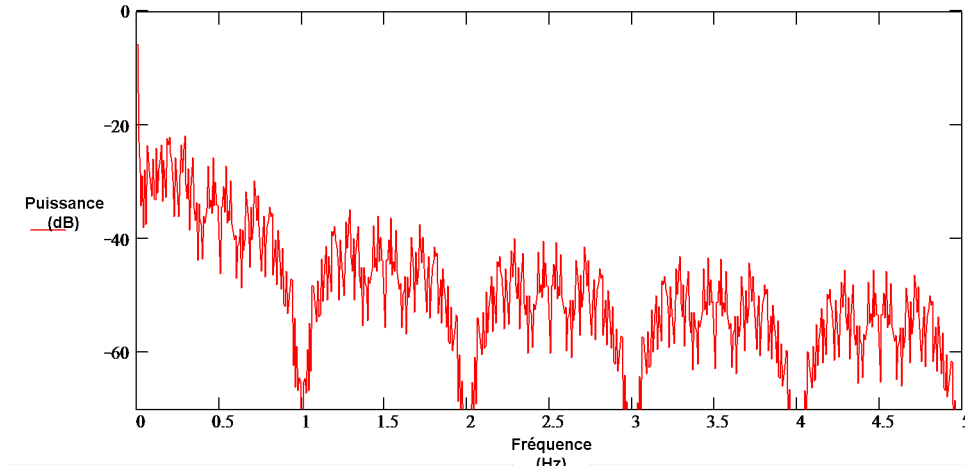


FIG. 4.25 – Représentation analytique du spectre d'un signal NRZI sous Mathcad

On peut remarquer que, conformément aux mesures et au modèle analytique,[28], le spectre observé sous Mathcad ne comporte pas de raie de puissance pour des valeurs de fréquence multiple ($f = \frac{k}{T}$ avec k entier) de la fréquence d'entrée (harmoniques). Or en faisant passer ce signal à travers un pont de diodes, ses harmoniques apparaissent sur le spectre du signal en répartissant la puissance sur une bande plus large. En effet cette topologie, Fig. [4.26](#), favorise la transmission d'harmoniques à la charge.

Sur le schéma [4.26](#), lorsqu'on applique une puissance à l'entrée, une tension 'AC' est appliqué aux noeuds des diodes. Durant l'excursion positive du signal, les diodes entre les branches *AC* et *BD* se mettent en conduction, les deux autres diodes sont bloquées. Durant l'autre cycle du signal RF, les diodes changent de rôle, La relation entre les coefficients de la série de fourrier du courant dans les diodes est :

$$I_2(n) = -I_1(n) \exp^{-jm} \quad (4.48)$$

Le courant à la sortie dans la charge est donné par :

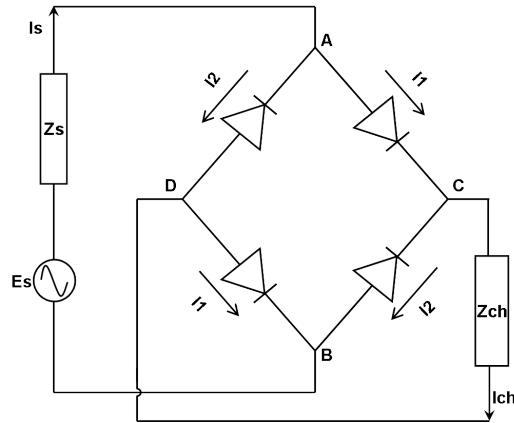


FIG. 4.26 – Pont de diodes pour la multiplication de fréquence

$$I_{ch}(t) = I_2(t) - I_1(t) \quad (4.49)$$

d'après l'Eq. 4.48, on peut conclure que :

$$I_2(2K + 1) = I_1(2K + 1) \quad (4.50)$$

$$I_2(2K) = -I_1(2K) \quad (4.51)$$

Pour $K = 1, 2, 3 \dots$

A partir des deux Eq. 4.49 et 4.50, on déduit que le courant dans la charge s'annule pour les harmoniques impaires et s'additionnent pour les harmoniques paires, ainsi, le courant dans la charge est égale au double du courant individuel de chaque diode. Du côté de l'entrée on a :

$$I_s(t) = I_1(t) + I_2(t) \quad (4.52)$$

d'ou,

$$I_s(2K + 1) = 2I_1(2K + 1) \quad (4.53)$$

et

$$I_s(2K) = 0 \quad (4.54)$$

et aussi, la branche du signal de source est considérée comme un court-circuit entre A et B au signal DC et aux harmoniques paires. D'après cette analyse, on peut conclure que le multiplicateur à pont de diodes permet de générer des harmoniques à sa sortie à partir d'un signal d'entrée RF, tout en fournissant une isolation mutuelle entre les circuits d'entrée et de sortie.

Le principal inconvénient étant de réduire la puissance globale du signal. Lorsque l'on mesure le bruit de phase du fondamental du signal et d'un de ses harmoniques (Fig. 4.29), on observe alors le même profil de bruit. Cette observation peut être généralisée à tout les harmoniques.

De plus, la fréquence d'un signal issue du N^{ieme} harmonique vaut $N*$ la fréquence de référence. En effet le spectre de puissance d'un signal définit la répartition de la puissance du signal en fonction de la fréquence et est déterminé par décomposition en une paire de transformé de Fourier pour un signal non périodique et en une série de Fourier pour un signal périodique. On se retrouve avec la représentation suivante pour un signal $x(t)$ de période T :

$$x(t) = \sum_{k=-\infty}^{k=\infty} C_k \cdot \exp^{2\pi f_k t} \quad (4.55)$$

avec $f_k = \frac{k}{T}$ la fréquence du fontamental, pour $k = 0$, et des harmoniques pour $k \neq 0$ et entier. La puissance P de $x(t)$ est répartie sur l'axe des fréquences aux points f_k , suivant les valeurs de $|C_k|^2$: $P = \sum_{k=-\infty}^{k=\infty} |C_k|^2$ comme on peut le voir sur la Fig. 4.27 :

En partant de ces constatations, en sélectionnant le bon harmonique on peut récupérer un signal de fréquence N fois supérieur à la fréquence du signal de référence, tout en conservant

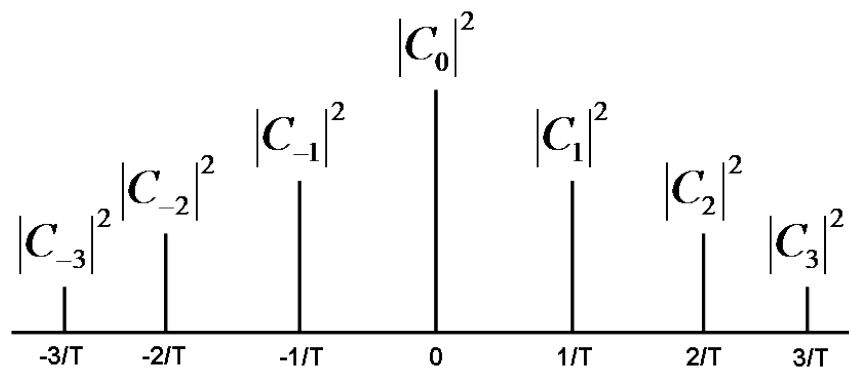


FIG. 4.27 – Spectre de puissance d'un signal $x(t)$ de fréquence $1/T$

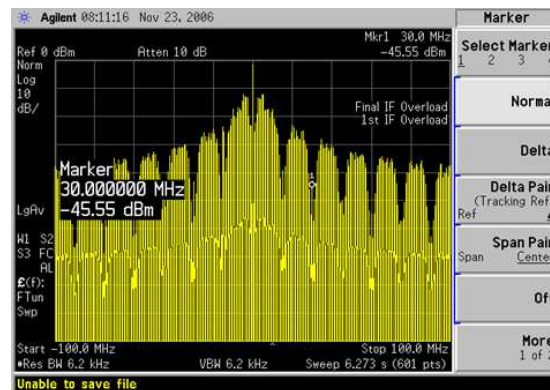


FIG. 4.28 – Spectre de puissance d'un signal NRZI mesuré avec l'analyseur de spectre Agilent E4446A

le bruit de ce dernier. Evidement, le circuit de sélection de fréquence introduit du bruit en sortie qui sera pris en compte lors des simulations.

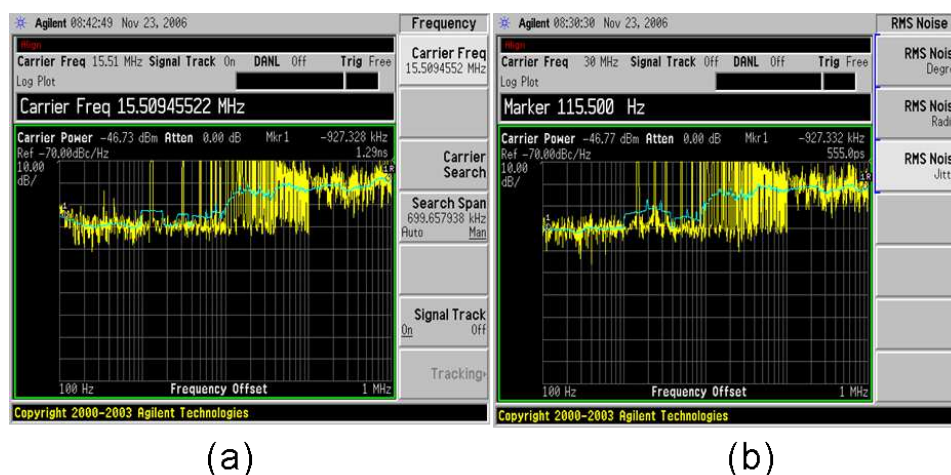


FIG. 4.29 – (a)Bruit de phase du fondamental, (b)bruit de phase du premier harmonique

4.6.2 Etude et validation du système de multiplication de fréquence sous ADS

Le principe du système est le suivant (voir Fig. 4.30) :

- On commence par réhausser le niveau de données pour faire apparaître les harmoniques sur le spectre du signal. On utilise un dérivateur ou un intégrateur et un pont de diodes, comme vu au chapitre précédent.
- On sélectionne ensuite l'harmonique désiré à l'aide d'un filtre passe bande haute précision. La difficulté de la conception repose sur cette partie. En effet, c'est la précision et la sélectivité de notre filtre qui va déterminer la pureté de notre signal de sortie.
- Pour finir, on amplifie notre signal pour obtenir la puissance nécessaire en sortie.

Le système décrit sur la Fig. 4.31 est constitué :

- D'un générateur de bits aléatoires à la fréquence de 12MHz (*ViBitSeq* de la librairie *Sources - Time Domain*) ; et un pont de diodes.

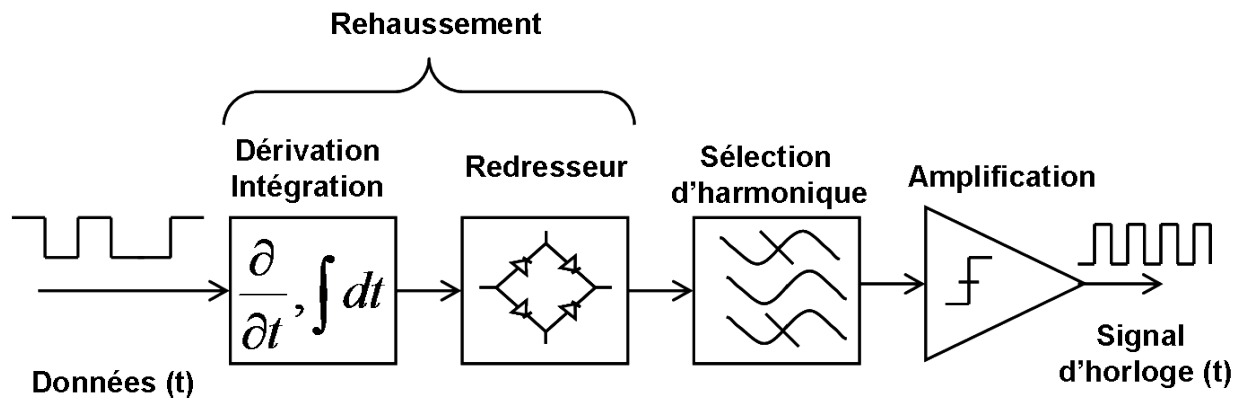


FIG. 4.30 – Schéma bloc du système de multiplication de fréquence

- D'un dérivateur qui permet d'enrichir le signal sans modifier la fréquence de celui-ci ;
- D'un amplificateur pour que l'amplitude du signal dérivé dépasse la tension de seuil des diodes qui succèdent au dérivateur ;
- D'un redresseur double alternance pour redresser, lisser et faire apparaître les harmoniques du signal dérivé et amplifié ;
- D'un filtre de Cauer du 5ème ordre pour sélectionner l'harmonique à 48MHz ;
- D'un amplificateur suivi d'un comparateur pour saturer le signal filtré et ainsi obtenir un signal d'horloge à 48MHz.

La Fig. 4.32 représente la trame utilisée pour émuler le signal USB à multiplier. Les signaux dérivés et redressés sont illustrés respectivement sur la Fig. 4.33 et 4.34. Le filtre de Cauer permet de récupérer la raie spectrale à 48 MHz comme le montre la Fig. 4.35. Il y a effectivement un signal sinusoïdal modulé par la suite de 0 et de 1 de la trame.

On peut voir sur la Fig. 4.35 que le signal n'a pas la puissance requise pour attaquer l'étage logique du détecteur de phase. Il nécessite donc une amplification pour obtenir le signal à la fréquence souhaitée (Fig : 4.36). De plus, le filtre de cauer possède un temps de démarrage de $0.1\mu s$ dont il faut tenir compte pour l'intégrer dans le temps de stabilisation de la BVP.

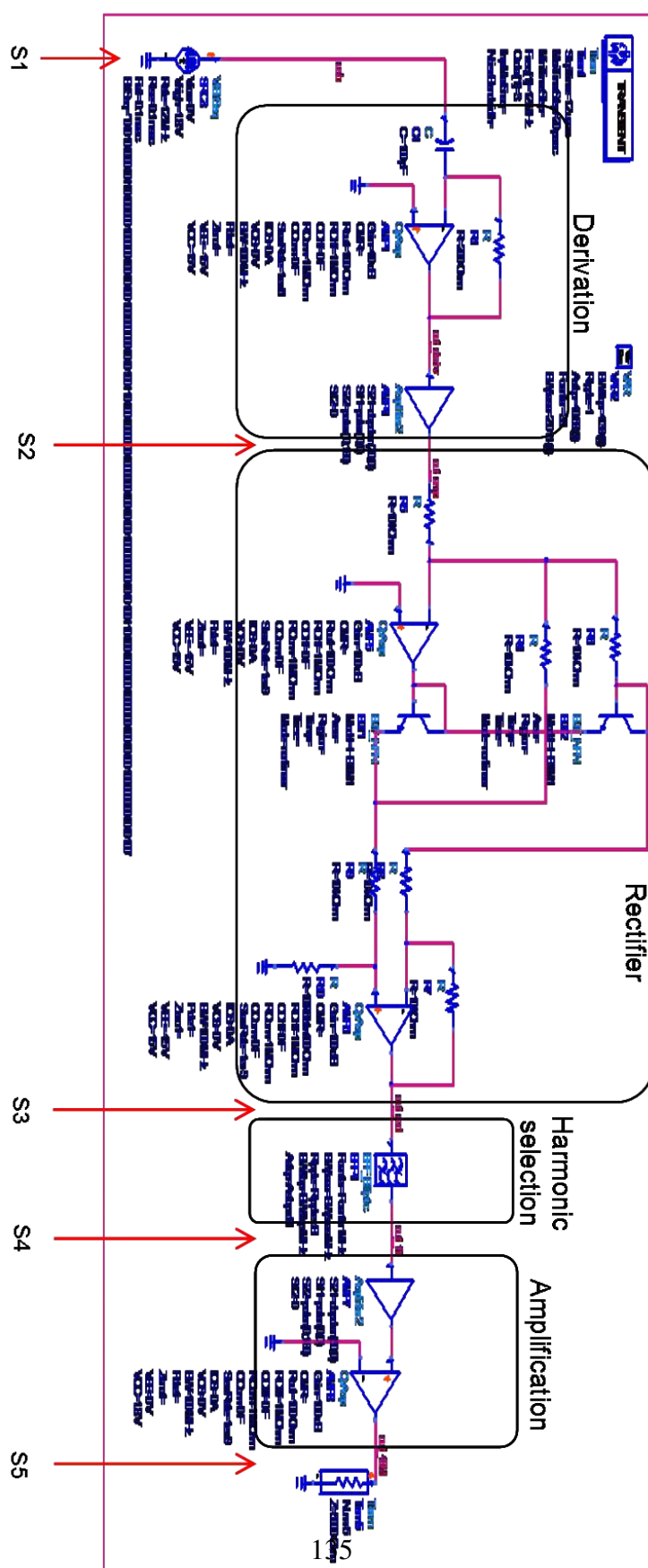


FIG. 4.31 – Banc de simulation ADS du multiplicateur de fréquence

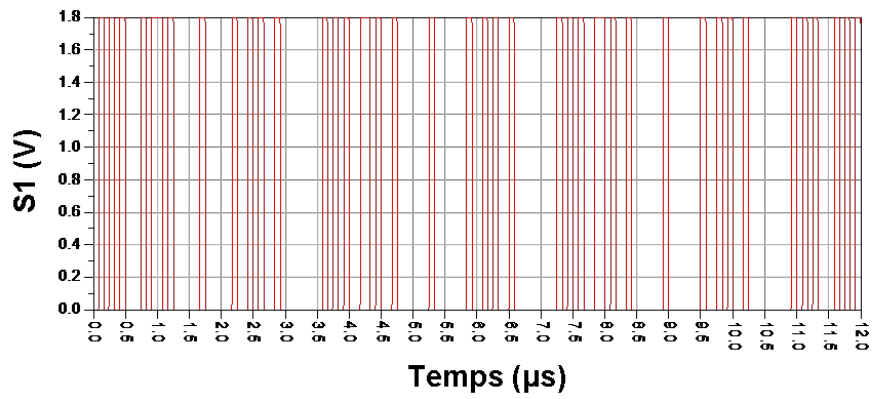


FIG. 4.32 – Signal de référence émulant la trame USB

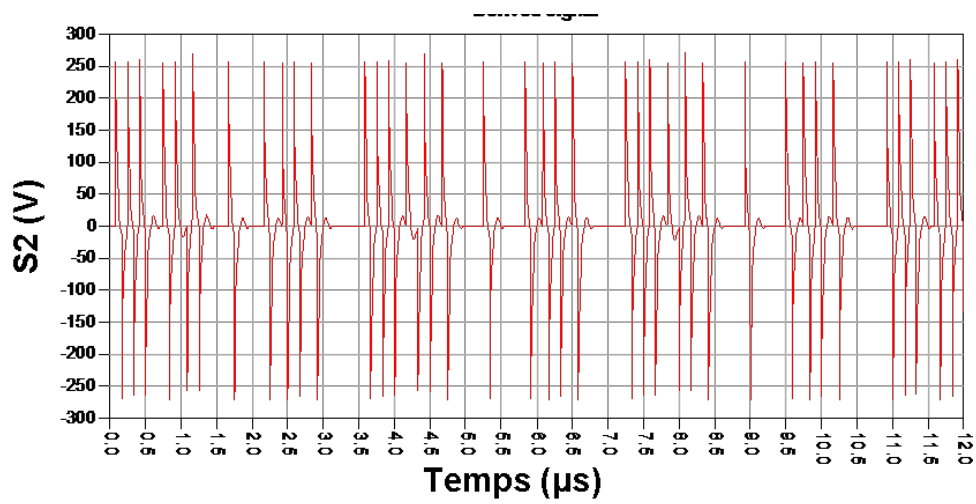


FIG. 4.33 – Schéma de simulation ADS du multiplicateur de fréquence : Signal après dérivation

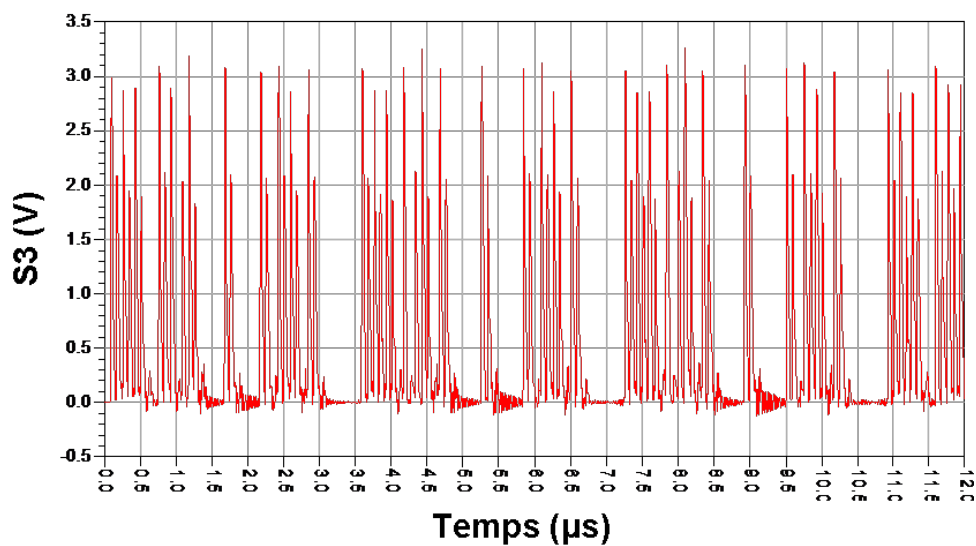


FIG. 4.34 – Signal après redressement

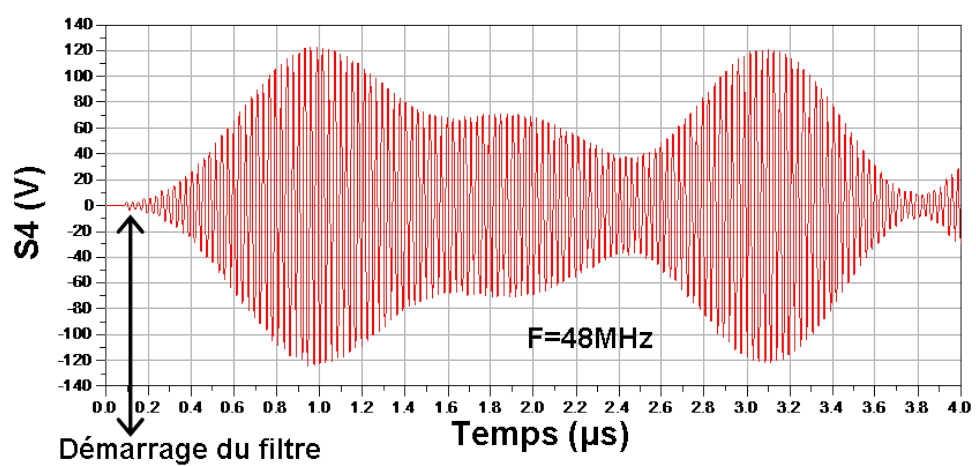


FIG. 4.35 – Signal après filtrage

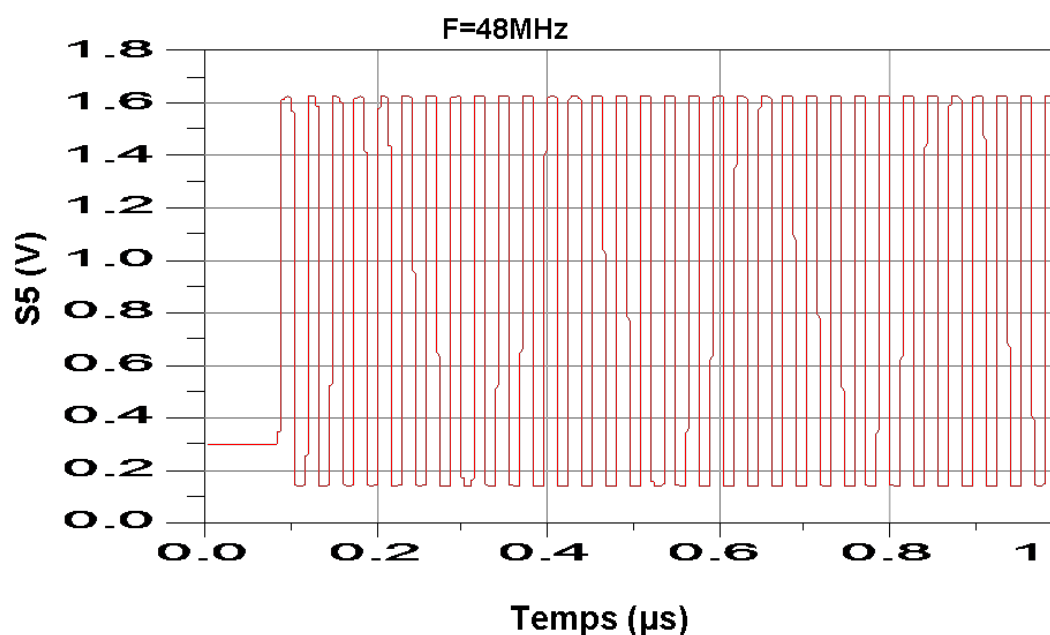


FIG. 4.36 – Signal final à la fréquence et puissance désirée

Ces simulations niveau système valident la faisabilité de la solution pour multiplier la fréquence d'un signal non périodique sans composant externe et avec un démarrage rapide ($0.1\mu s$). Le choix a été fait de passer au niveaux transistor pour vérifier l'influence de cette solution proposée sur le bruit de phase du signal de référence et de la BVP.

4.6.3 Impact de la multiplication sur le bruit de phase

L'analyse en bruit consiste à évaluer l'impact des différents composants sur le bruit à la sortie du système. Le cas idéal serait de détériorer le moins possible le bruit de phase du signal reçu. Pour évaluer l'influence des composants sur ce bruit de phase, il faut ajouter une source de bruit à l'entrée et du bruit à tous les éléments du système et comparer le bruit de phase obtenue en sortie par rapport à celui présent en entrée du système.

L'objectif de ces simulations est de quantifier l'impact du multiplicateur sur le bruit de phase du signal et ainsi évaluer les performances de ce système. Une étude de bruit thermique et ses effets sur le système a aussi été effectuée.

Finalement, on aboutit aux conclusions suivantes : le bruit de phase à la sortie du filtre augmente d'environ $15dB$ par rapport au bruit de phase en entrée, et sa valeur est d'environ $58dBc$ selon les simulations effectuées. Le bruit de phase diminue avec la largeur de la bande passante. D'autre part, des simulations de bruit sur le filtre passe-bande de Caer pour différents ordres ont été accomplies en gardant à chaque fois les mêmes spécifications. On remarque que le bruit de phase diminue peu à partir de l'ordre 7 et qu'il est inutile de choisir un ordre plus élevé pour atteindre les critères de bruit. Le multiplicateur a été implémenté en technologie **AT58K85** $0.15\mu m$ d'Atmel.

4.6.4 conception des blocs du multiplicateur sous cadence

– OTA PUREMENT DIFFÉRENTIEL

D'après les simulations sous ADS, un filtre passe bande fonctionnant autour de $48MHz$ est nécessaire à la validation du multiplicateur. Pour une meilleure intégration sur silicium, l'adaptation d'un filtre actif à base de OTA (Operational Transconductance Amplifier) et de capacité ($OTA-C$) a été adoptée. Afin de minimiser l'influence du bruit (fluctuation de l'alimentation, bruit de substrat, etc.), une structure purement différentiel est adoptée et représenté sur la Fig. 4.37 [71].

La structure est composée de trois étages : l'étage de polarisation (A sur la Fig. 4.37), l'étage d'entrée différentielle (B), et l'étage différentielle de sortie (C). L'effet cascode est utilisé en (C) juste avant les sorties différentielles pour augmenter la valeur de la résistance équivalente de l'étage d'entrée. Ainsi, il peut fournir un gain maximal simulé de $56dB$, la bande passante à $-3dB$ est de $40MHz$, avec une marge de phase de -70° environ. Ses performances ont été obtenues avec un courant de polarisation de $1,1mA$ sous une tension d'alimentation de $1,8V$ (Fig. 4.38).

– FILTRE

Dans un premier temps, le filtre du 5ème ordre est réalisé à partir de simple filtre LC.

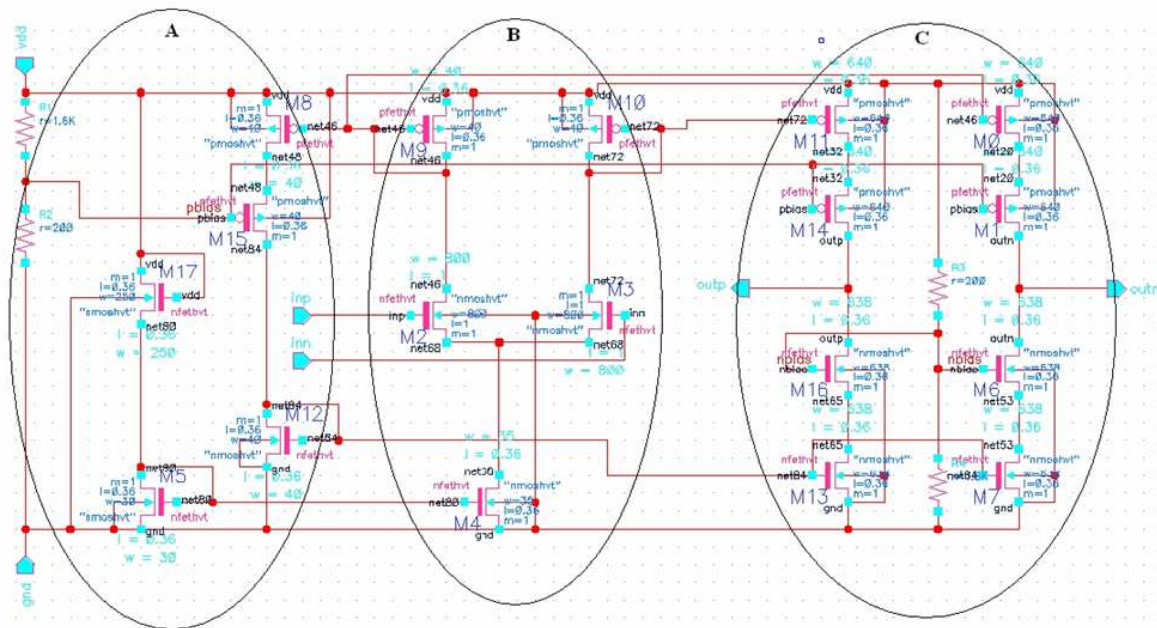


FIG. 4.37 – Schéma au niveau transistor de l'OTA cascode

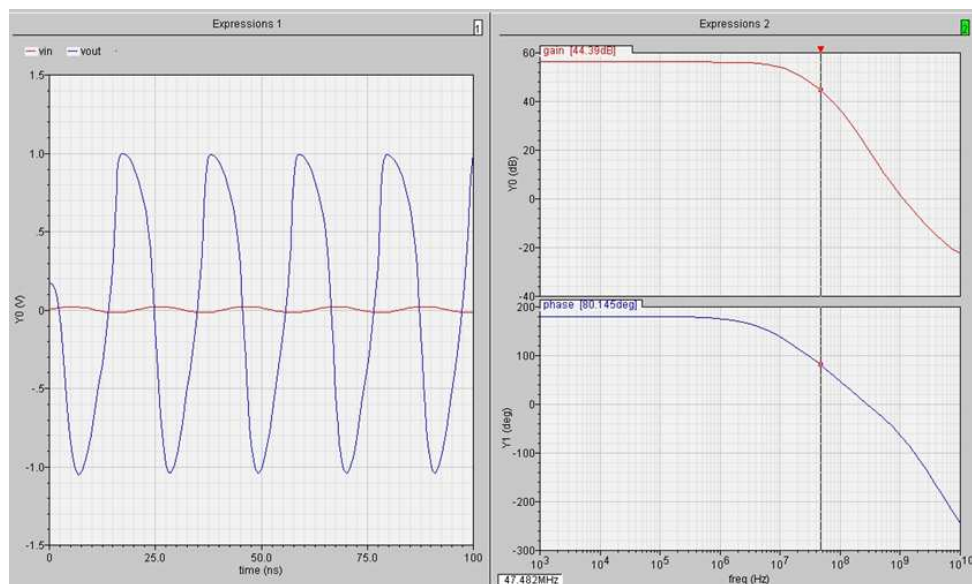


FIG. 4.38 – Réponse temporelle et fréquentielle de l'OTA

Avec l'aide du 'Design Guide' et du logiciel ADS nous pouvons synthétiser le filtre et définir ainsi les valeurs des inductances et des condensateurs. Dans ce cas d'étude, le gabarit du filtre choisi, qui représente la bande de fréquence que ce filtre doit laisser passer et les niveaux d'atténuations (les raies les plus proches à atténuer se situe à $36MHz$ et $60MHz$), et ses spécifications (Fp1, Fp2, Ap et As) sont illustrés dans la Fig. 4.39.

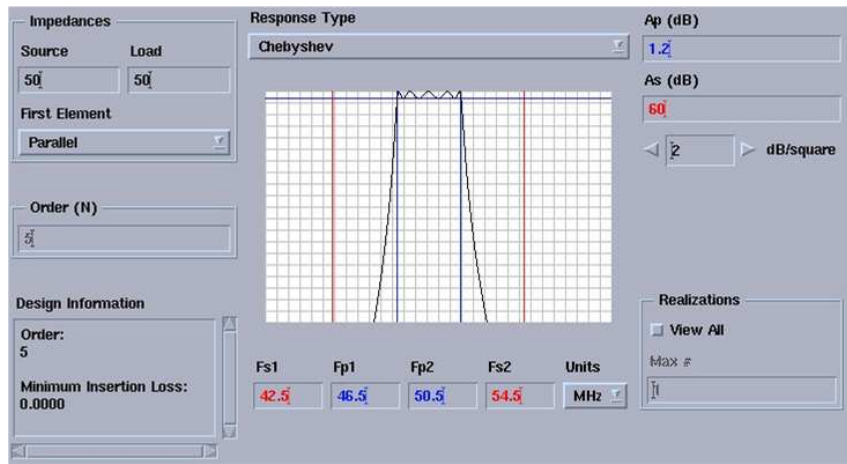


FIG. 4.39 – Gabarit du filtre a dessiner

On obtient la topologie de filtre suivante (Fig. 4.40) avec les valeurs des L et C. Une fois que le filtre est dessiné, la dernière étape consiste à le convertir en filtre actif utilisant les OTA conçus précédemment. La topologie finale du filtre implémentée avec des OTA différentiels est représentée sur la Fig. 4.41

Le filtre est composé de trois résonateurs inversés et deux résonateurs non inversés. Les valeurs des résistances et condensateurs sont obtenues à partir du filtre LC. Le filtre est symétrique aussi les valeurs des composants pour le résonateur A1 et A3 et pour le résonateur B1 et B2 sont les mêmes. Les valeurs obtenues sont :

- Pour le resonnateur A1 : $C_a = C_b = 1.82pf$ et $RC = 1.8K\Omega$
- Pour le resonnateur B1 : $C_a = C_b = 2.52pf$ et $RC = 1.3K\Omega$
- Pour le resonnateur A2 : $C_a = C_b = 5.2pf$ et $RC = 0.63K\Omega$

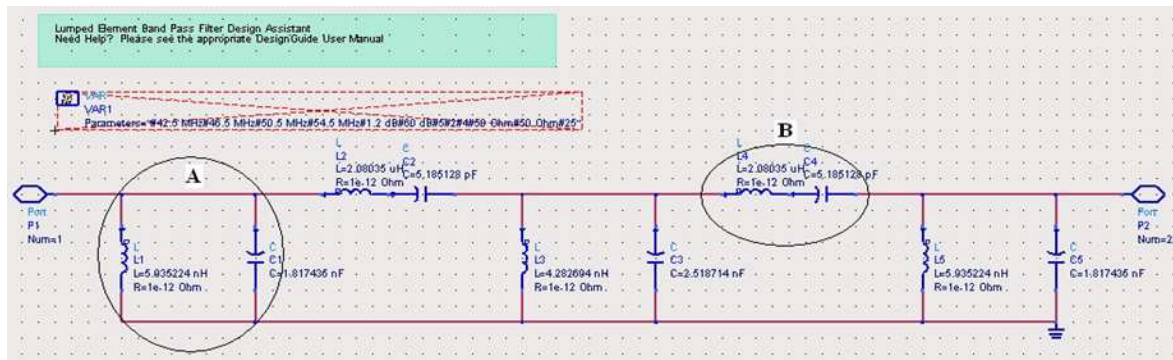


FIG. 4.40 – Filtre Chebyshev LC de 5ème ordre

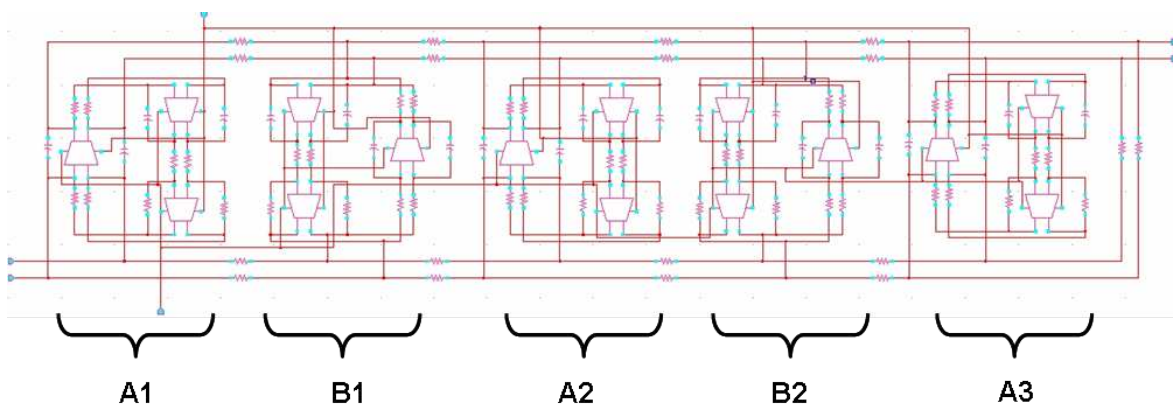


FIG. 4.41 – Filtre synthétisé avec des OTA différentiels cascode

Toutes les résistances $R_m = 1/G_m$ sont de $20k\Omega$. Le résultat de la simulation en fréquence du filtre sous Cadence est donné dans la Fig. 4.42 :

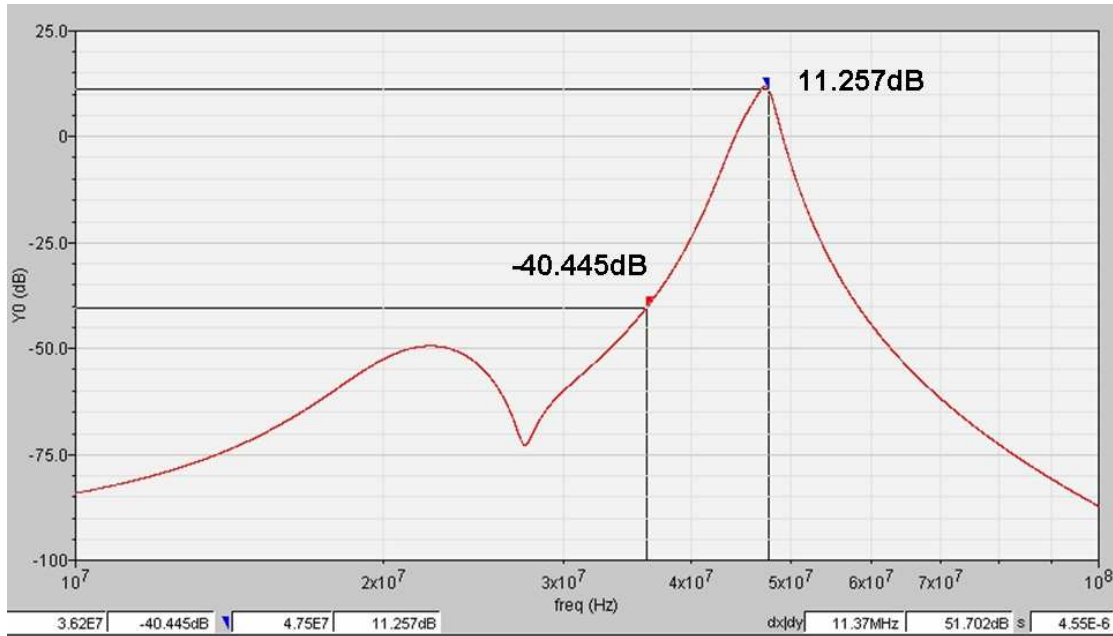


FIG. 4.42 – gabarit fréquentiel du filtre synthétisé avec OTA différentiel

La réponse en fréquence du filtre présente un maximum à la fréquence de $47.8MHz$ avec un gain de $11.2dB$. La réjection pour les fréquences de $36MHz$ et $60MHz$ (les 2 raies spectrales les plus proches) est de $55dB$ et $60dB$ respectivement. De plus, afin de mettre en évidence la sensibilité du filtre aux variations du procédé de fabrication, des analyses pire-cas ont été réalisé (FIG. 4.43). Pour ce faire, nous avons effectué les simulations en faisant varier la température, la tension d'alimentation et les grandeurs des composants dans le pire cas (process). La fréquence fondamentale (f_0) et les fréquences correspondantes aux bandes de réjections à $-50dB$ (f_1 et f_2) ont été relevées.

Les résultats obtenus montrent la stabilité du filtre en fonction des variations de process, tensions d'alimentations et températures.

MOS	f1(MHz)	f0(MHz)	f2(MHz)	Gain max à f0 (dB)
typique	36,86	47,45	57,74	11,64
pire cas	36,63	47,08	55,98	10,06

FIG. 4.43 – analyse pire cas

– DÉRIVATEUR ET PONT DE DIODES.

Le dérivateur est composé de l'OTA différentiel avec une capacité en entrée de $500fF$ et une résistance en boucle de contre réaction de $20K\Omega$. La réponse temporelle du dérivateur avec une résistance de charge $10K\Omega$ est montrée sur la Fig. 4.44.

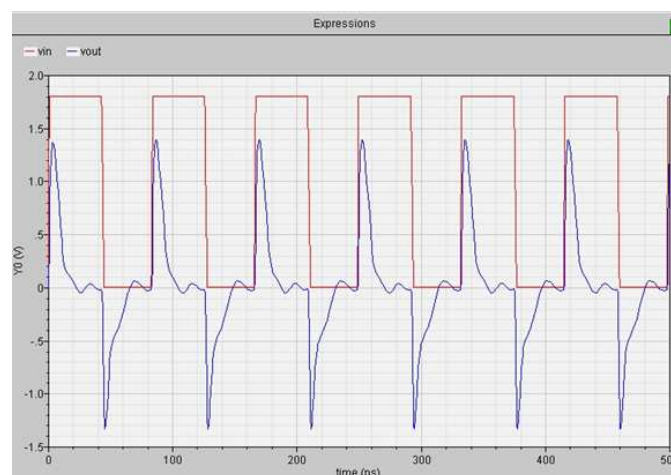


FIG. 4.44 – Réponse temporelle du dérivateur

Le redressement double alternance a été aussi réalisé. Quatre transistors CMOS de petites tailles qui travaillent dans le régime linéaire (Fonctionnent en diode) ont été utilisés. La réponse temporelle en entrée et sortie du dérivateur est représentée sur la Fig. 4.45

Sur la Fig. 4.46 on peut voir l'entrée et la sortie du multiplicateur qui après un temps de démarrage du filtre ($100ns$) oscille à $48MHz$. On observe aussi le spectre du signal d'entrée et sortie avec les raies spectrales à $24MHz$ et $48MHz$.

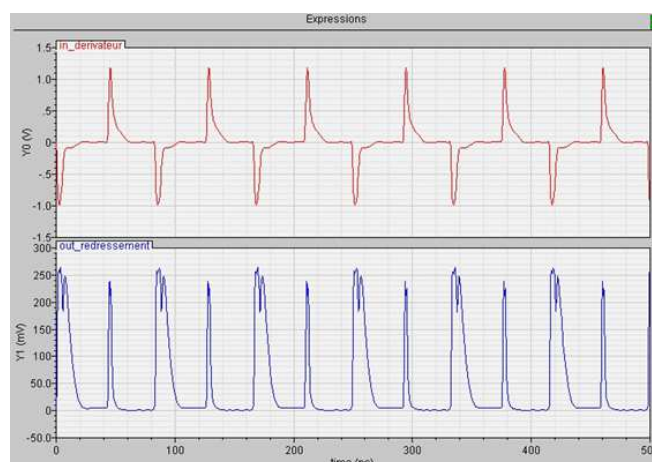


FIG. 4.45 – Réponse temporelle du redressement double alternance

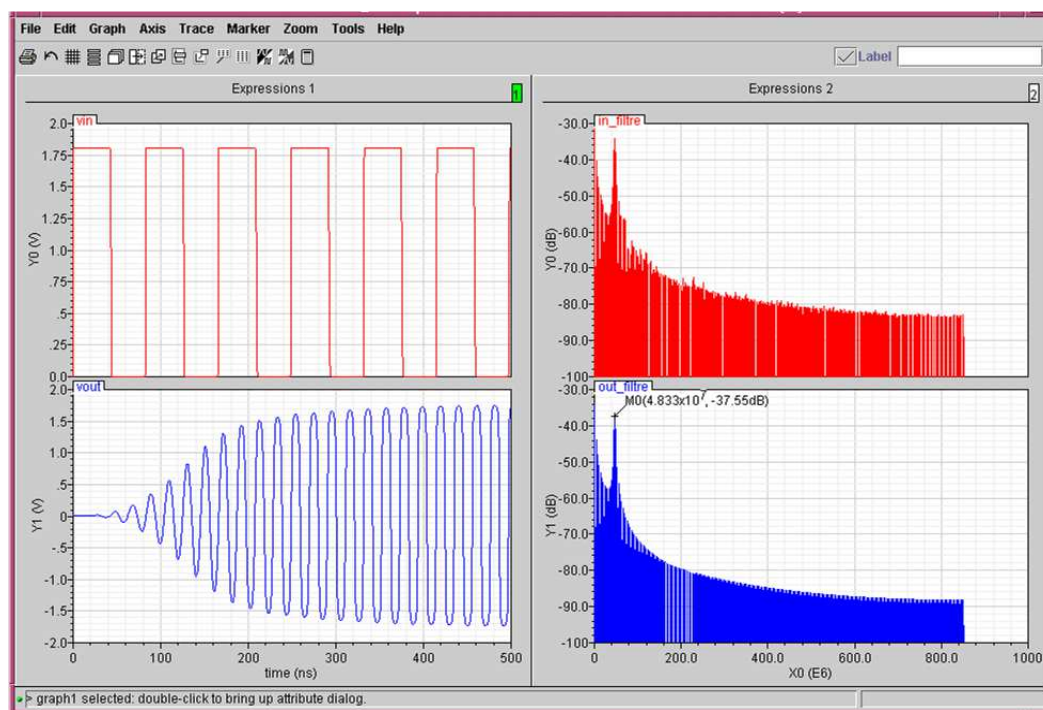
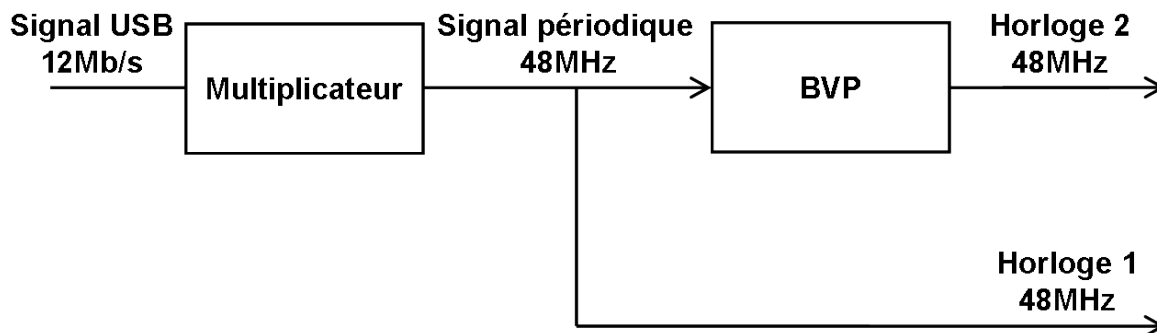


FIG. 4.46 – Résultat de simulation cadence du multiplicateur de fréquence

**FIG. 4.47** – utilisation du multiplicateur de fréquence

Cette méthode de multiplication de fréquence possède de gros avantages sur l'ensemble des autres implémentations. Elle peut multiplier la fréquence de n'importe quel signal, périodique ou non, comportant du bruit, de façon presque instantanée. La complexité du système dépend des paramètres du signal à multiplier et du coefficient de multiplication. On retrouve en sortie un signal périodique, avec une quantité de bruit équivalente à celle du signal d'entrée. Ce système peut donc être utilisé seul (génération de fréquence) ou bien couplé à une BVP Fig. 4.47.

Utilisé seul (horloge 1), il peut générer le signal d'horloge à $48MHz$ à partir du signal USB. L'utilisation d'une BVP semble toutefois indispensable durant l'émission (horloge 2) pour transcrire l'information de fréquence en une information de tension mémorisable (tension de contrôle de l'OCT) et ce, lors de l'absence prolongée de référence USB.

Son utilisation couplée à notre BVP dès la réception (utilisation de l'horloge 1 sur Fig. 4.47), libère le système de la contrainte de non-périodicité de notre signal de référence et donc de l'utilisation de détecteur de phase de type Hogge ou Alexander. De plus, le signal étant périodique, on récupère au niveau du détecteur de phase/fréquence, beaucoup plus d'informations, ce qui permet d'atteindre la fréquence désirée plus rapidement pour une même bande passante. Le système étant plus rapide on peut donc choisir une bande passante plus

étroite pour couper encore un peu plus les bruits parasites de notre signal de référence.

Cette étude ayant été menée en parallèle de l'étude de la BVP, il n'a pas été intégré directement dans le système. Le choix d'une de ces solutions pourra faire l'objet d'une réalisation complète lors de recherches ultérieures.

La conception de tous les blocs importants du système ayant été présenté, la conception d'une structure de test a été réalisée. Cette puce comporte tous les blocs de la BVP, placés de façon indépendante avec les blocs de 'trimmings' permettant d'interagir avec les caractéristiques intrinsèques de chaque élément (quantité de charge injecté par la source de courant, fréquence libre de l'OCT, gain de l'OCT . . .), ainsi que le système complet. Dans la prochaine partie de ce mémoire, la mise en place du testchip, les résultats de simulation et les comparaisons avec les résultats de mesures seront présentés.

Validations du système

Dans cette section les résultats obtenus sur la stabilité du circuit sont confrontés à des mesures expérimentales. Les études théoriques ont été effectuées jusqu'à présent sur des modèles fonctionnels de la BVP-IC. Le but de ces modèles est de représenter le plus finement possible le comportement d'une réalisation spécifique de la BVP-IC. La validation de ces résultats consiste donc à réaliser un circuit dont le comportement est le plus proche possible de son modèle théorique. Grâce à ce circuit, on vérifie d'une part l'exactitude des calculs et on mesure d'autre part l'influence du bruit et sur ce résultat. On a par conséquent commencé la conception d'une structure de test, *test-chip* en Anglais.

5.1 Conception de la structure de test

5.1.1 module de 'trimming'

Pour pouvoir modifier en externe les paramètres du système en fonction des conditions d'environnement et des résultats de mesures, des éléments de '*Trimming*' voir Fig. 5.1 et 5.2 ont été placé, en divers endroits du circuit.

Cela permet :

- de moduler le courant de polarisation de la pompe de charge,
- de moduler le gain ainsi que la fréquence 'max' du VCO.

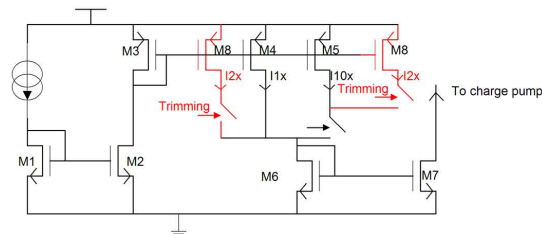


FIG. 5.1 – Structure permettant de modifier en externe la valeur du courant injecté dans la pompe de charge

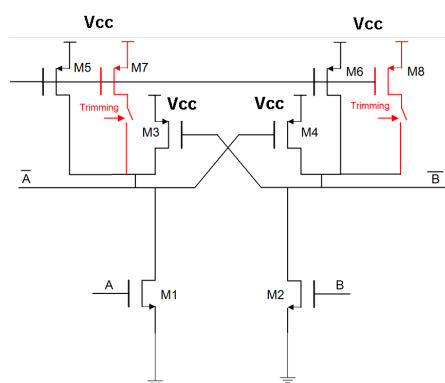


FIG. 5.2 – Structure permettant de modifier en externe la valeur du courant injecté dans l'OCT et donc sa fréquence et son gain

5.1.2 Mise en place du mode de test

Un mode de test dans lequel on peut venir appliquer des signaux externe à été intégré, grâce à l'ajout de multiplexeurs à différents endroits de la boucle, pour venir tester des modes de fonctionnement bien précis. On peut donc appliquer :

- les signaux d'entrée de la pompe de charge,
- un signal de contrôle directement à l'entrée de l'OCT,
- un signal de détection de verrouillage.

Des chemins d'accès ont été mis en place, pour observer sur des instruments de mesure les signaux du système suivant :

- les signaux de sortie du détecteur de phase,
- la tension de contrôle (directement à l'entrée) de l'OCT,
- le signal de détection de lock,
- les quatres courants en sortie de la pompe de charge.

On se retrouve avec le bloc de simulation de la Fig. 5.3.

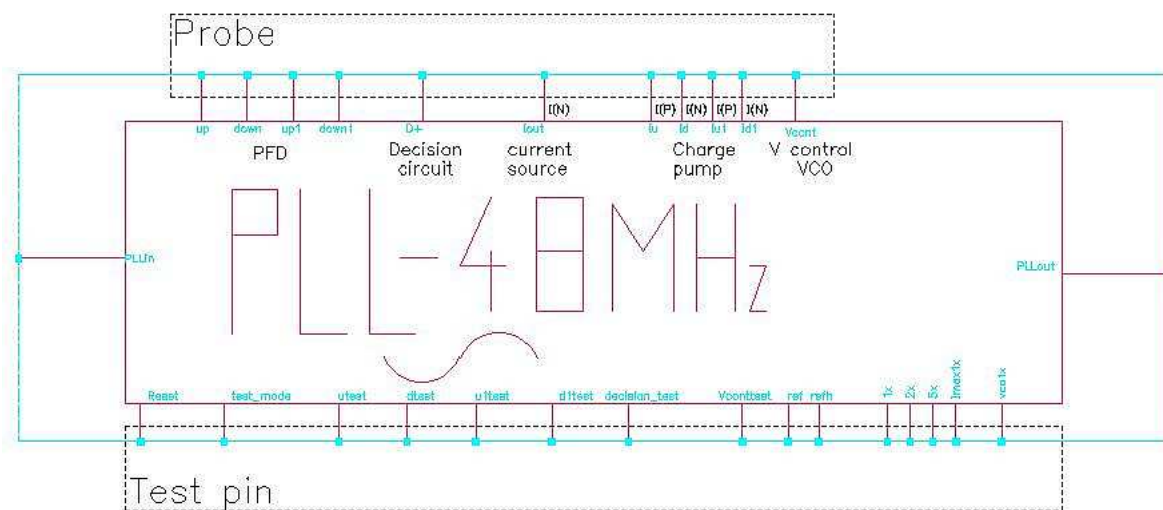


FIG. 5.3 – Schémas Bloc de la BVP

L'alimentation du système provient d'un régulateur appartenant à la bibliothèque de l'équipe de conception analogique d'Atmel. Ce dernier permet de simuler les caractéristiques

de transfert de bruit d'alimentation du bloc dans des conditions proches de la réalité. Les pins d'entrées et sorties numériques (sortie de l'oscillateur, signaux de test ...) sont toutes remises en forme et protégées par des 'buffers', Fig. 5.4, permettant de maintenir l'intégrité des signaux durant les mesures.

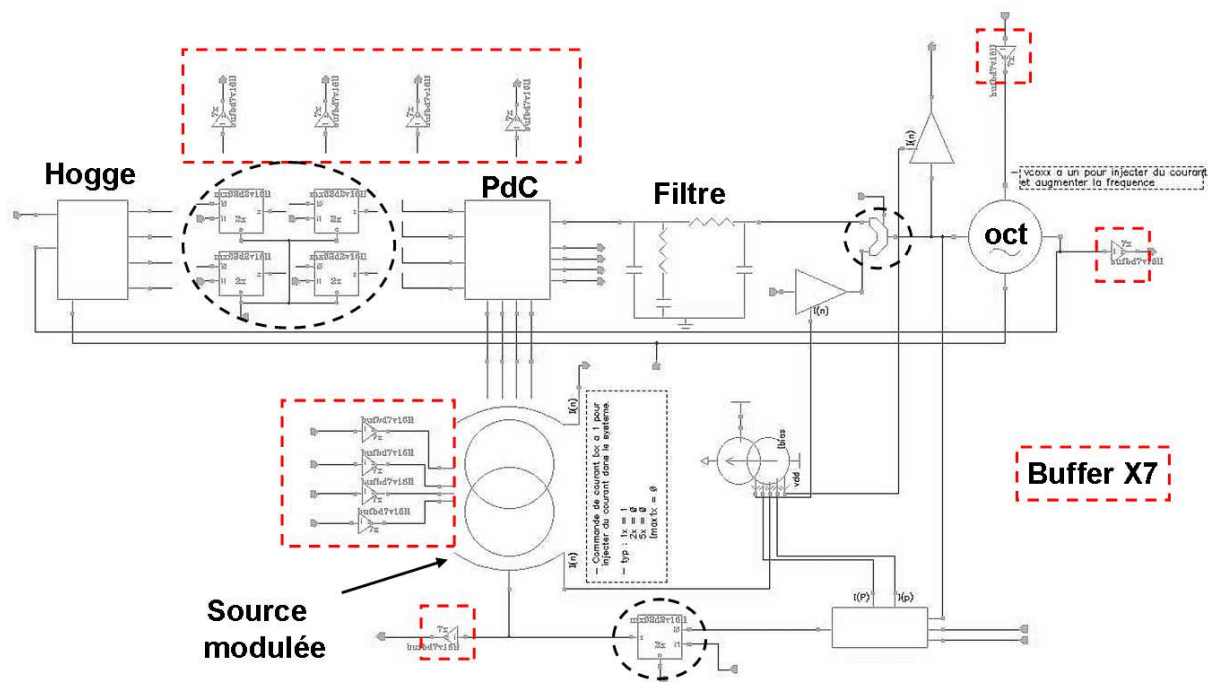


FIG. 5.4 – Boucle de récupération d'horloge ainsi que les blocs de tests

Une fois le système complet mis en place, nous avons implémenté la structure de test en technologie CMOS 0,15.

On trouve :

- le système de récupération d'horloge,
- chaque bloc, placé de façon indépendante, pour venir vérifier leur bon fonctionnement.

Une fois le layout, Fig. 5.5 et le placement routage effectués, Fig. 5.5, un premier jeu de mesures *post-layout* a été réalisé, dans différentes conditions de fonctionnement (Process, Alimentation et Température).

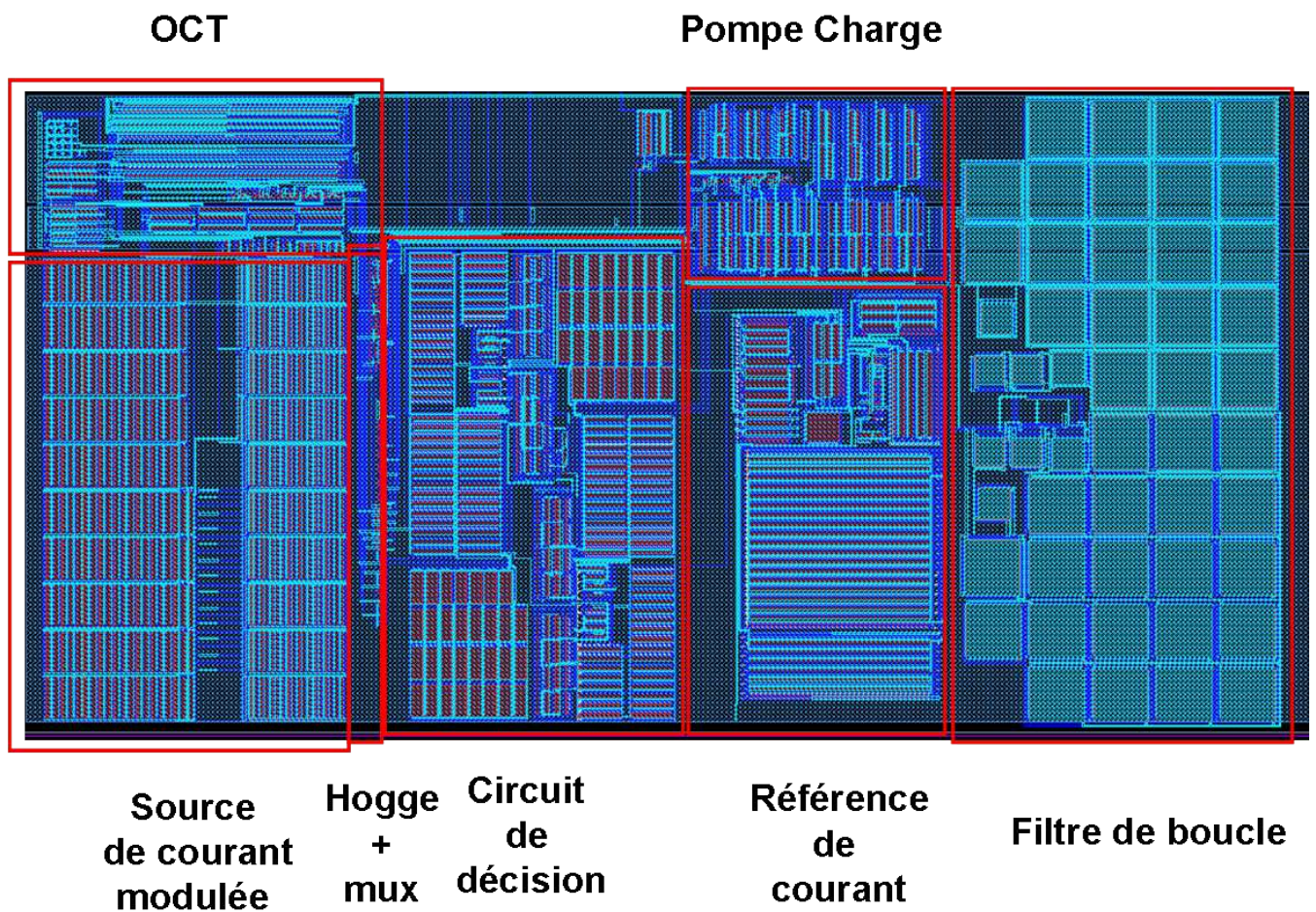


FIG. 5.5 – Layout de la solution de récupération d'horloge

5.2 Simulation

Les simulations permettent d'évaluer l'impact de divers paramètres, (température, process et alimentation) sur le fonctionnement des blocs. De nombreux résultats de simulations (DPF, Pompe de charge, filtre) ont été présentés dans les chapitres précédents. Dans ce chapitre nous nous sommes concentrés sur l'oscillateur. L'objectif étant de s'assurer que quelque soit les conditions d'utilisations, la plage de fonctionnement reste dans la spécification. En d'autres termes, que l'on soit toujours capable d'atteindre la fréquence de 48MHz quelque soit les paramètres extérieurs au système.

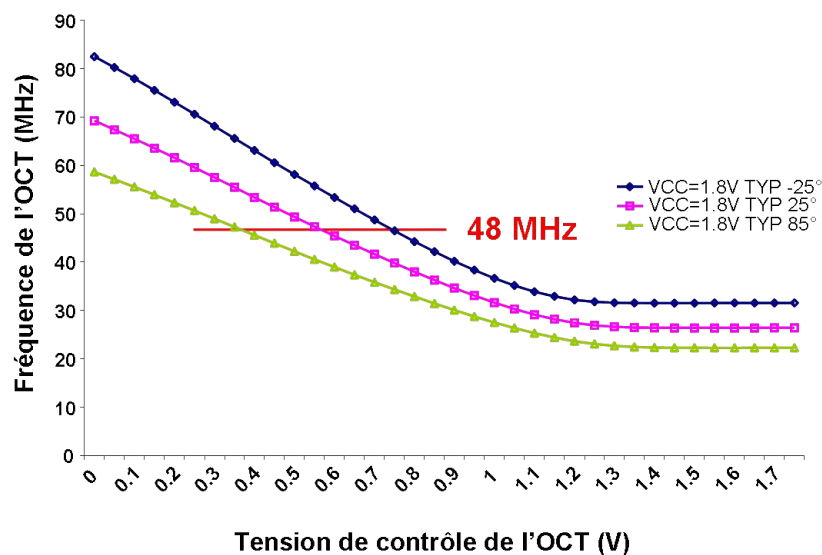


FIG. 5.6 – Fréquence de l'OCT en fonction de la tension de contrôle et de la température, (WCS : Worst Case, BCS : Best Case).

Sur la Fig. 5.6, on voit les cas extrêmes en température d'utilisation de l'oscillateur. On observe que l'oscillateur peut, en fonction de la température, osciller à 48MHz et donc atteindre l'objectif fixé. La même étude a été réalisée pour des variations de process et de niveau d'alimentation, Fig 5.7.

On remarque que les deux cas extrêmes de la Fig. 5.7 n'empêchent pas l'OCT d'osciller à une fréquence de 48MHz . Aussi l'oscillateur possède une plage d'utilisation lui permettant

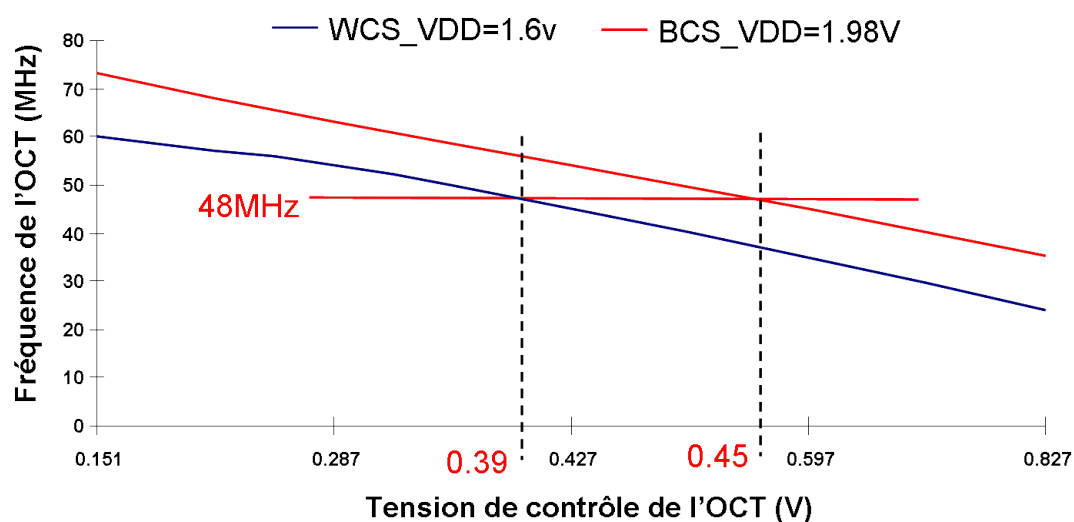


FIG. 5.7 – Fréquence de l'OCT en fonction de la tension de contrôle, des dérives de procédés de fabrication et des niveaux d'alimentation.

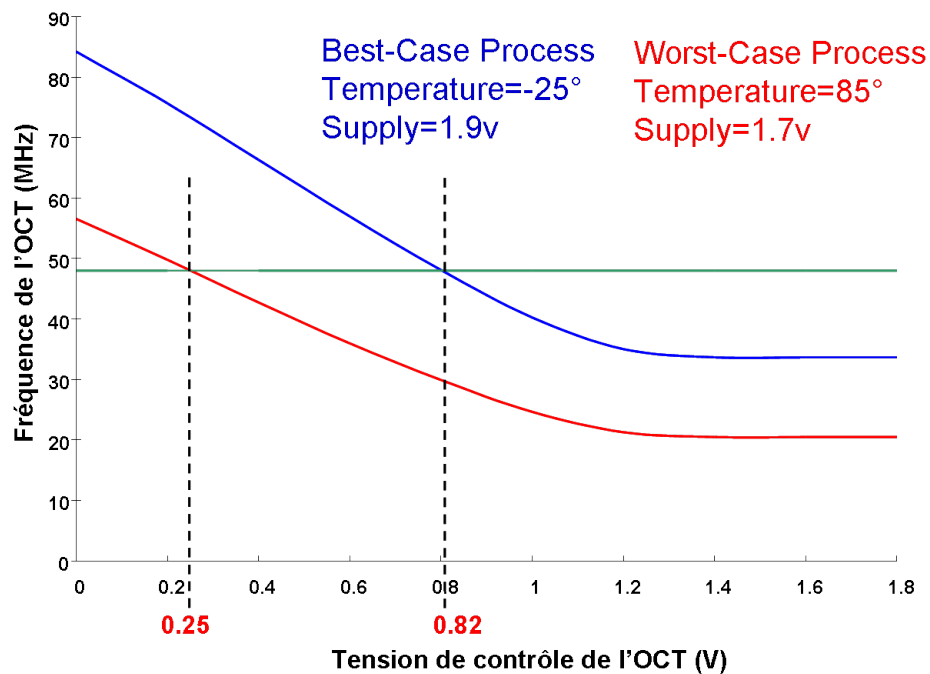


FIG. 5.8 – Plage d'utilisation de l'OCT

de rester dans la spécification quelque soit les conditions d'alimentation, de température et de procédés de fabrication comme le résume la Fig. 5.8.

Pour un système de la classe A, le lecteur fournit une alimentatuion de $5V \pm 10\%$. Cette plage de 10% comprend à la fois la précision statique, mais aussi les fluctuations dynamiques dûes aux bruits presents, du fait de l'activité du système.

Les technologies avancées nécessitent d'abaisser cette tension à une valeur compatible avec les oxydes minces. Cette fonction est réalisé par un régulateur série qui fournit depuis le VCC du lecteur , une alimentation $1.8V \pm 10\%$. Cette plage de 10% est dû à l'imprécision des composants interne du régulateur. Le régulateur a aussi une fonction de filtrage des bruits sur le VCC, FIG. 5.9. Cet écart par rapport à la tension désirée de $1.8V$, ainsi que la resultante du bruit du VCC, filtrer par le regulateur, influence le système.

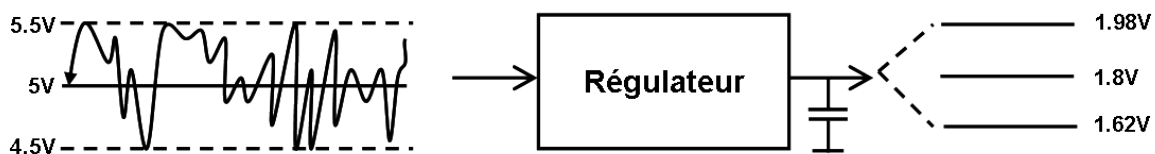


FIG. 5.9 – Schéma fonctionnel du régulateur

Nous avons réalisé une série de mesures pour caractériser ce transfert de bruit, et le quantifier grâce au paramètre de '*sensibilité à l'alimentation*'. Il s'agit de comparer la valeur d'un élément pour une alimentation stable, à sa valeur pour une alimentation bruitée.

$$Supply_{sensitivity_{\pm 10\%}} = \frac{Freq_{Vdd} - Freq_{Vdd \pm 10\%}}{Freq_{Vdd}} \quad (5.1)$$

On peut observer sur les figures 5.10 et 5.11 que le bruit d'alimentation a une influence importante pour les basses fréquences et que cette influence diminue avec l'augmentation de la fréquence d'oscillation. Cette impact de l'alimentation sur le système ne sera pas à négliger en cas de mise en place au sein de l'environnement *Smart-card* et une régulation de l'alimentation sera nécessaire.

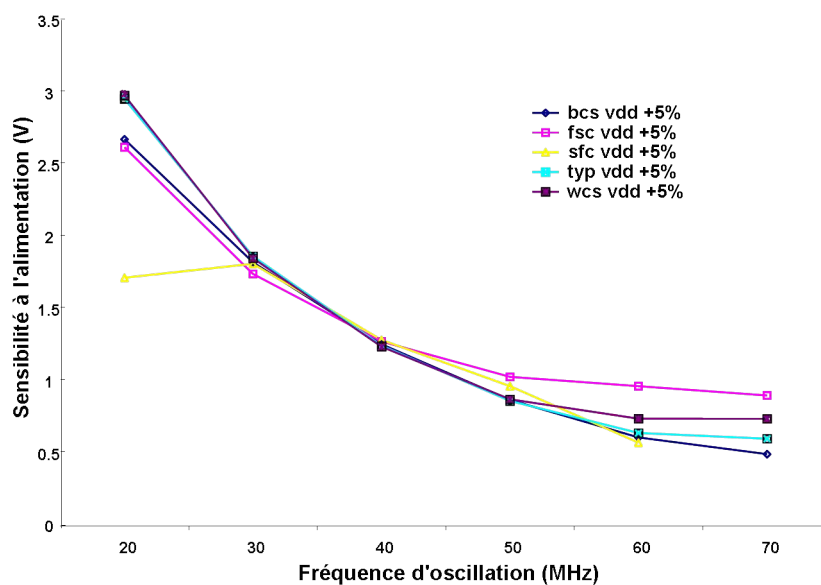


FIG. 5.10 – Sensibilité du système, pour différents cas de procédés de fabrication, suite à une variation positive de la tension d'alimentation.

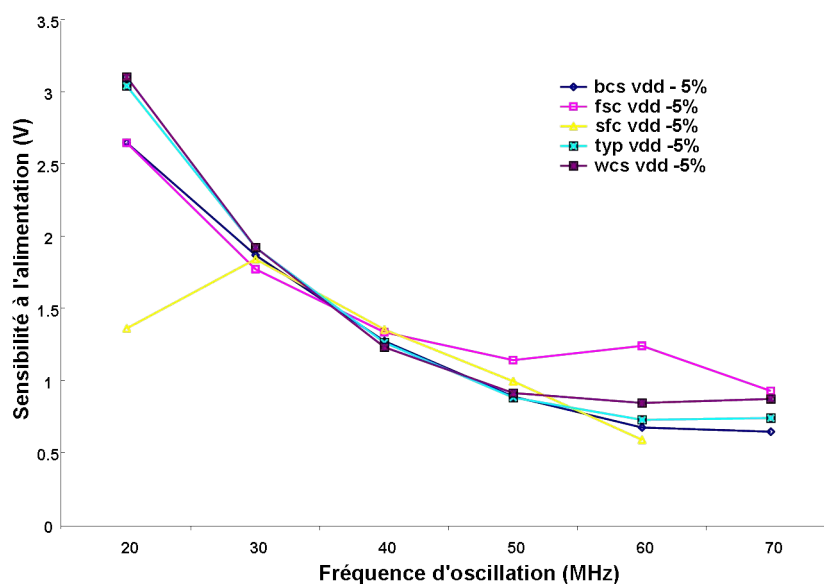


FIG. 5.11 – Sensibilité du système, pour différents cas process, suite à une variation négative de la tension d'alimentation.

A noter que toutes ces simulations ont été réalisées après placement routage et extractions des capacités et résistances parasites des nets. L'étude transitoire du circuit a été la seconde étape.

Sur la Fig. 5.12 on peut voir le résultat de simulation transitoire de la BVP dans des conditions typiques de process et de température. Le signal d'entrée correspond au signal USB après être passé par le multiplieur ($24MHz \pm 2,7\%$ pour tenir compte du bruit introduit par le lecteur, voir Fig. 2.27)

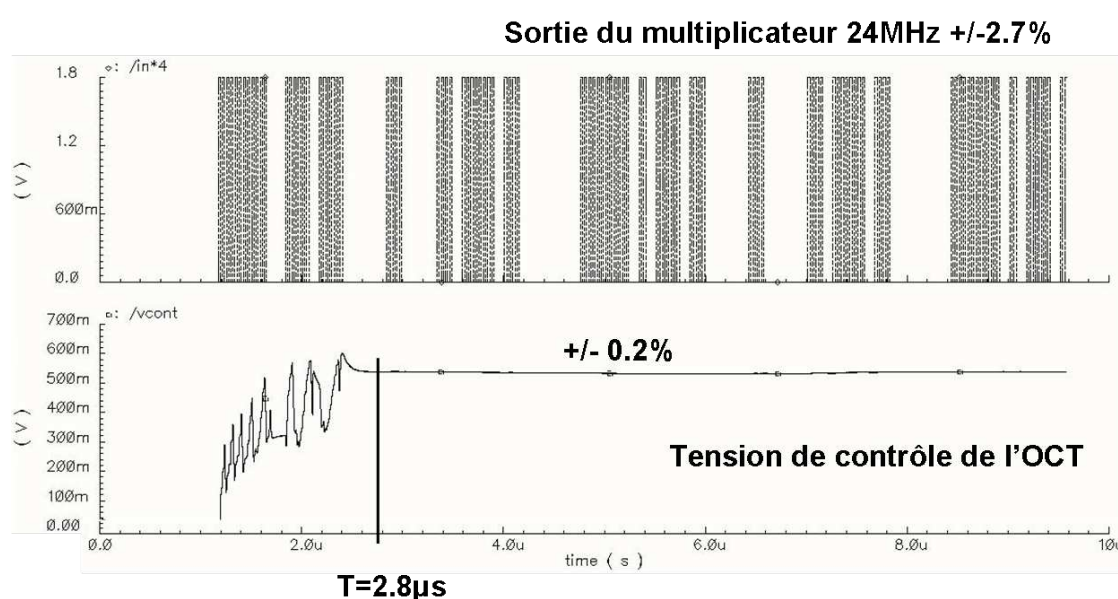


FIG. 5.12 – Simulation transitoire de la BVP en typique avec : Signal de référence et tension de contrôle de l'OCT

On peut voir que dans le cas typique, la tension de contrôle de l'OCT vient se stabiliser après $2.8\mu s$ avec une précision de 0.2% .

La même simulation a été réalisée, en considérant les parasites et les conditions pires cas, Fig. 5.13 et Fig. 5.14. On observe alors que le temps d'établissement de la BVP passe à $4.3\mu s$ avec une précision de 0.25%

Quelque soit les conditions de simulation, le système répond bien à la spécification. On peut aussi observer que pour ces simulations, un modèle VerilogA de multiplieur (voire An-

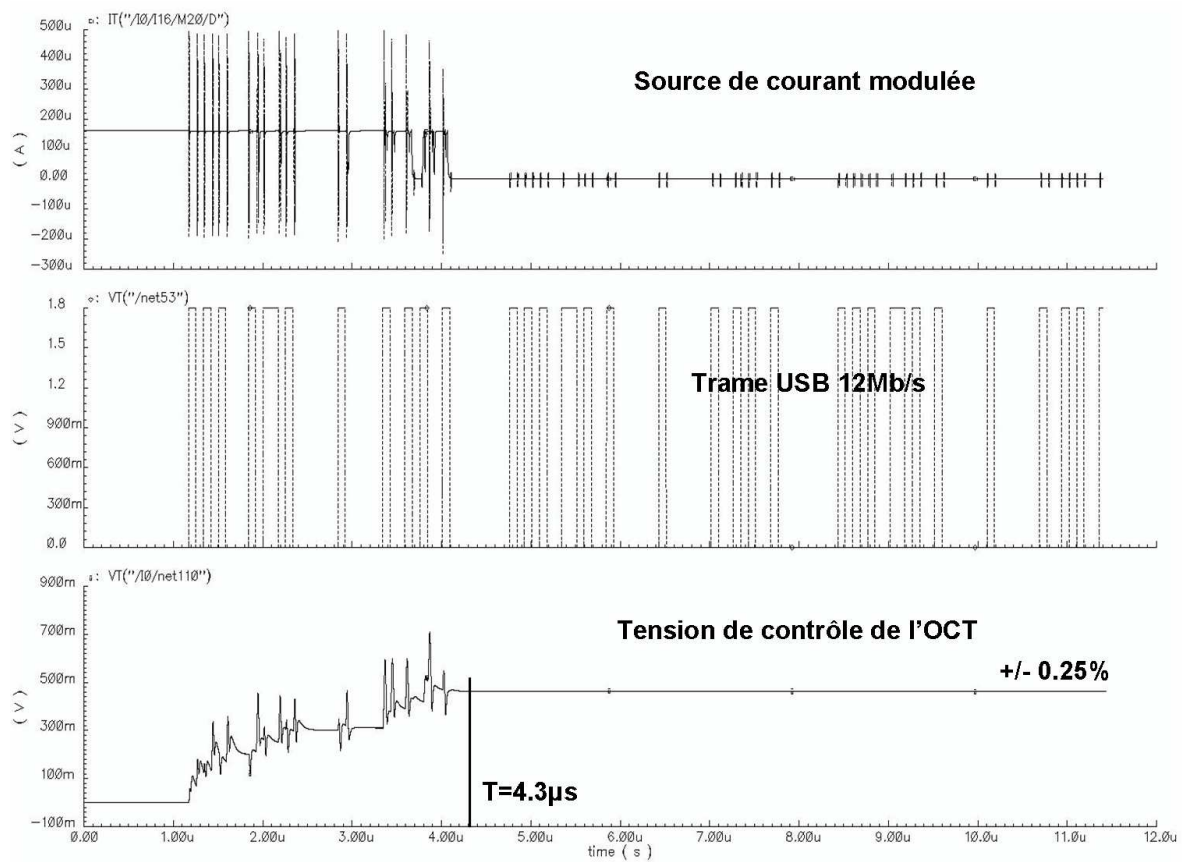


FIG. 5.13 – Simulation transitoire de la BVP en Pire cas

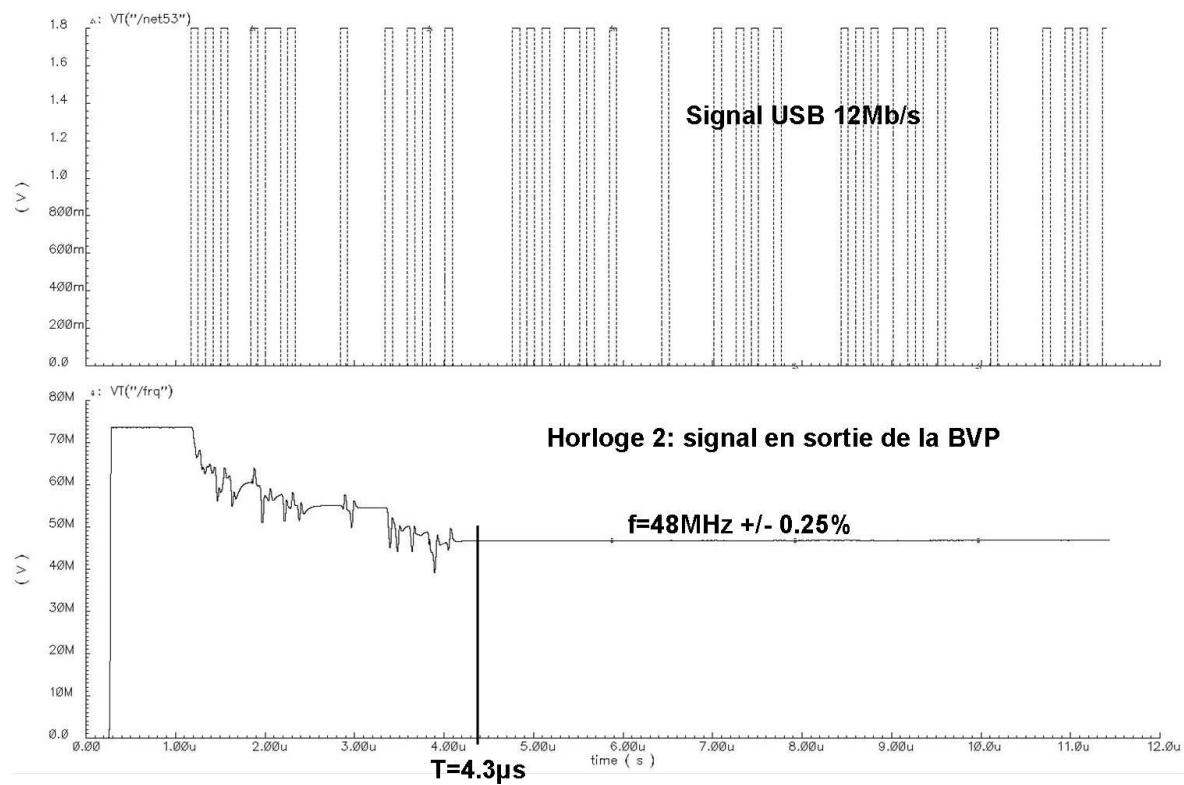


FIG. 5.14 – Simulation transistoire de la BVP en Pire cas

nexe A.5) a été utilisé. Ce modèle génère un signal de référence non périodique, de fréquence $24MHz \pm 2,7\%$. On peut penser que l'utilisation du multiplieur de fréquence faible bruit étudié dans le chapitre 4.6 va affiner ces résultats. Une fois la validation du système par la simulation effectuée nous sommes passés aux mesures physiques.

5.3 Mesures

La première phase a été réalisée sous pointes, au laboratoire, Fig 5.15. La difficulté de ce type de mesure réside dans la mise en place du banc.

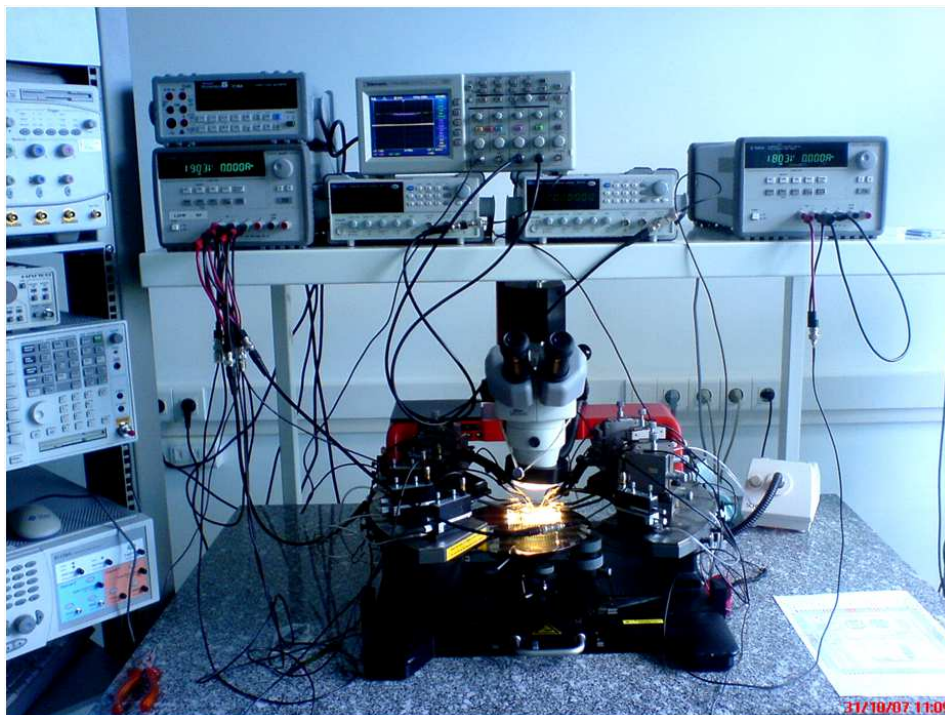


FIG. 5.15 – Banc de mesure sous pointe.

En effet plus le nombre de pointes nécessaires augmentent plus il devient compliqué de venir les placer sur les plots ('PAD') d'entrée-sortie. Sur la Fig. 5.16 on peut observer le layout de la puce de test. On peut voir que le circuit de récupération d'horloge n'est pas le seul élément, et qu'il a été choisi de placer tous les blocs constituant le système

indépendamment, ainsi que le système complet.

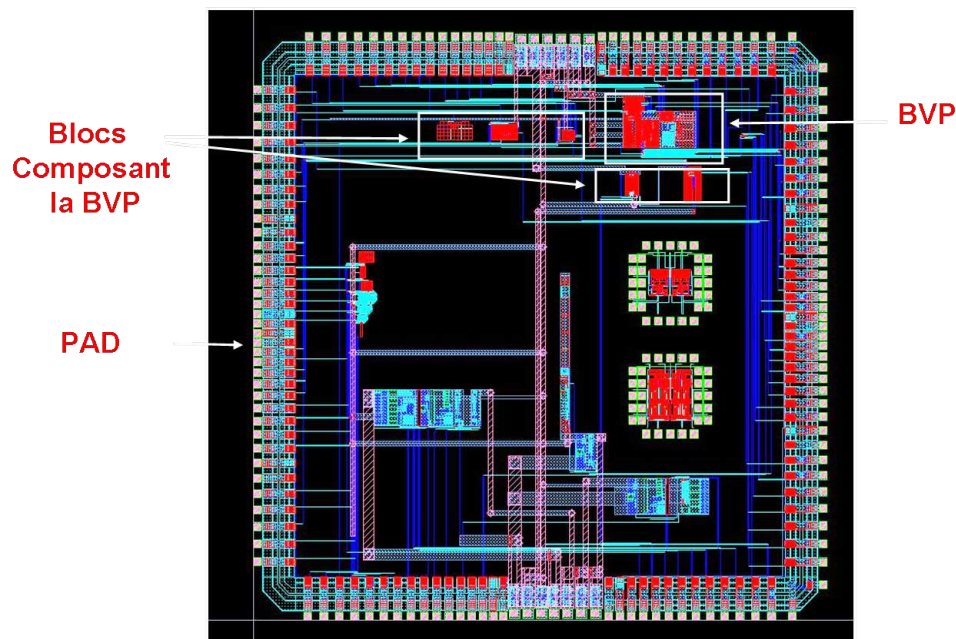


FIG. 5.16 – Layout de la structure de test.

Une série de mesures a été réalisé sur deux éléments simples, le détecteur de phase et le filtre de boucle. Ces deux éléments sont les seuls ne nécessitant pas un nombre de pointes trop important, voir Fig. 5.17.

Sur la Fig. 5.18 on peut voir que les résultats des mesures réalisées à différents endroits du silicium pour caractériser le filtre de boucle, se situe bien dans la plage des cas extrêmes de simulation. La caractérisation du filtre a été réalisé en ramenant la valeur de la tension de sortie sur la valeur de la tension d'entrée.

Le bloc de détection de phase fréquence nous permet aussi, avec l'utilisation de '*seulement*' 10 pointes, de réaliser une série de mesures. Sur la Fig. 5.19 on voit bien que la sortie du détecteur de type *Hogge* donne bien l'écart de phase entre les deux signaux d'entrées. Pour réaliser cette mesure, les deux signaux d'entrées des GBF (Générateur Basse Fréquence) on été synchronisées l'un par rapport à l'autre, pour avoir un écart constant de phase. On peut observer aussi quelques phénomènes de distortion dû aux éléments parasites des pointes et

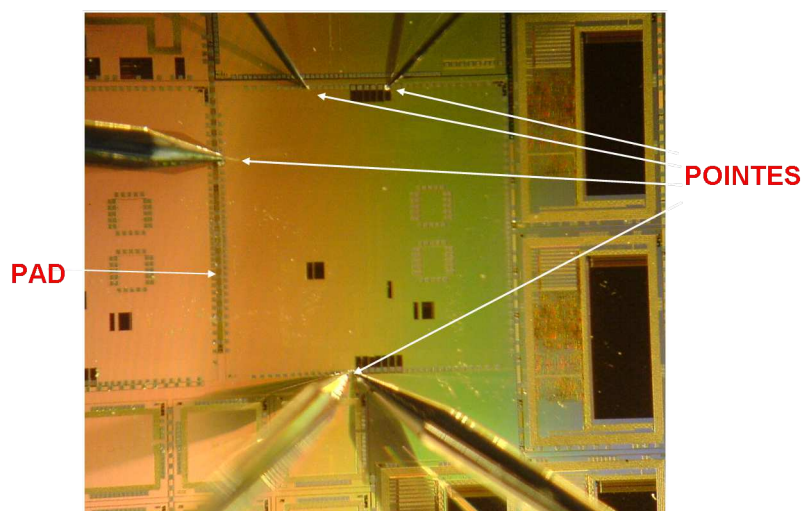


FIG. 5.17 – Photographie du placement des pointes sur la puce pour les mesures du filtre de boucle.

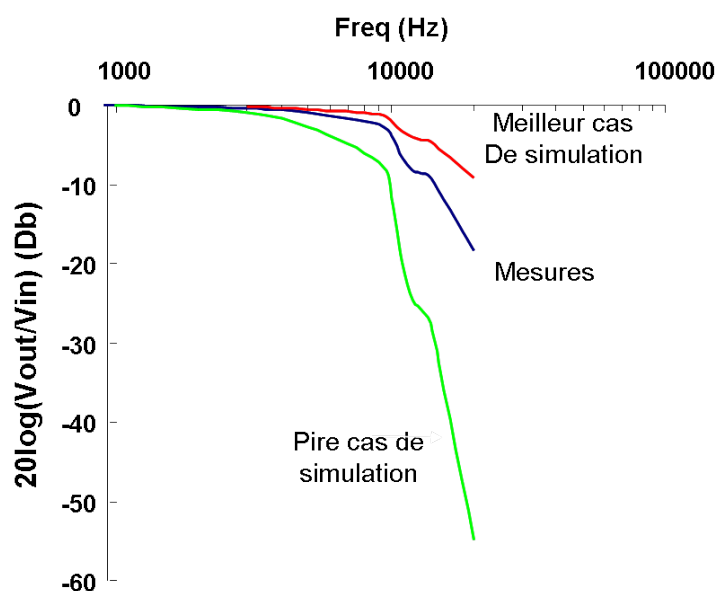


FIG. 5.18 – Caractérisation de la fonction de transfert du filtre de boucle lors des mesures sous pointes et comparaison aux cas extrêmes de simulation.

aux câbles du banc de mesure. Mais le comportement global est celui désiré.

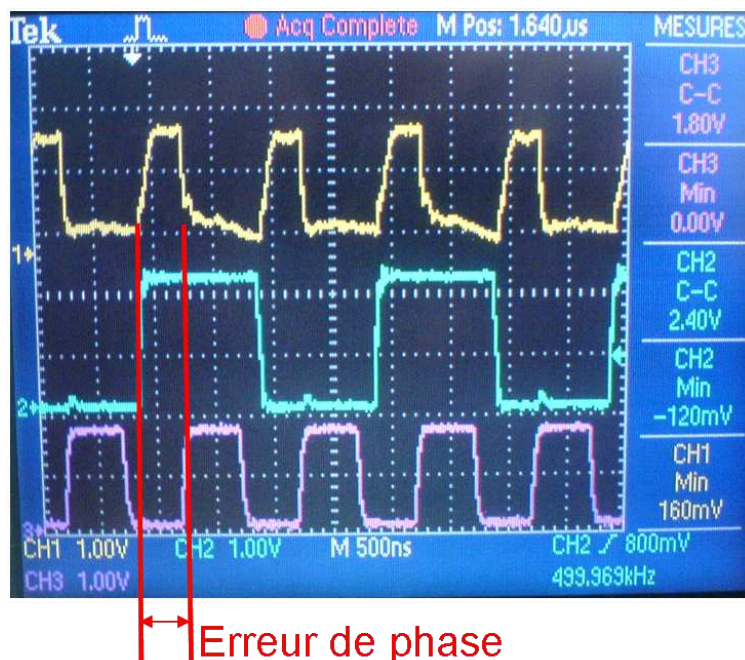


FIG. 5.19 – Ecart de phase mesuré en sortie du détecteur de phase.

Comme il a été dit plus haut, les mesures sous pointe sont limitées à des blocs ne nécessitant pas un nombre important de points de simulations. Le reste des mesures a ainsi été réalisé sur boîtier et carte de test. On peut observer les résultats de mesure sur les blocs indépendants que sont la source de courant et la pompe de charge sur les figures 5.20 et 5.21.

On peut observer que notre source de courant amplifie bien le courant provenant de la référence de courant ($725nA$) pour émettre $195\mu A$ tout en restant stable quand la tension de sortie devient faible. Ce qui valide le comportement de l'étage de sortie en cascode régulé vu dans le chapitre 4. On peut observer sur la Fig. 5.21 que le contrôle du courant en passant de gnd à VDD fait passer le courant de sortie de $195\mu A$ à $7\mu A$ comme simulé précédemment.

La fréquence de sortie en fonction de la tension de contrôle de l'OCT a été mesurée, pour caractériser l'OCT. Les mesures de la Fig. 5.22 ont été réalisées sur un OCT en dehors de la boucle de récupération d'horloge. On peut voir que la caractéristique n'est pas celle désirée. Cela peut s'expliquer par le fait qu'il y a eu un problème au moment de la fabrication des

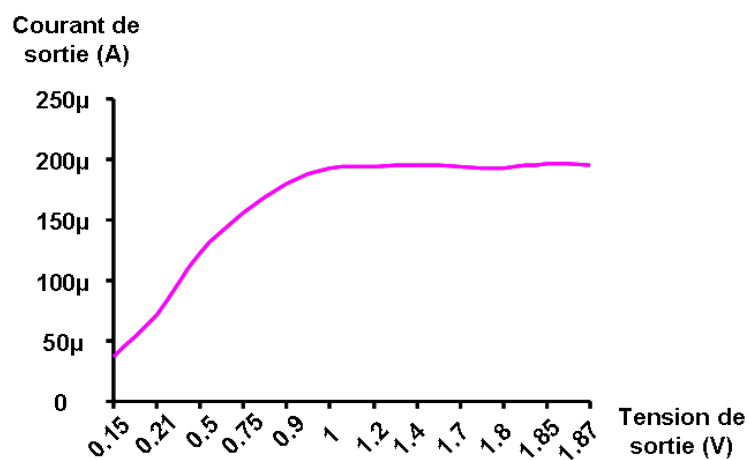


FIG. 5.20 – mesure du courant généré par la source de courant en fonction de la tension appliquée sur son étage de sortie

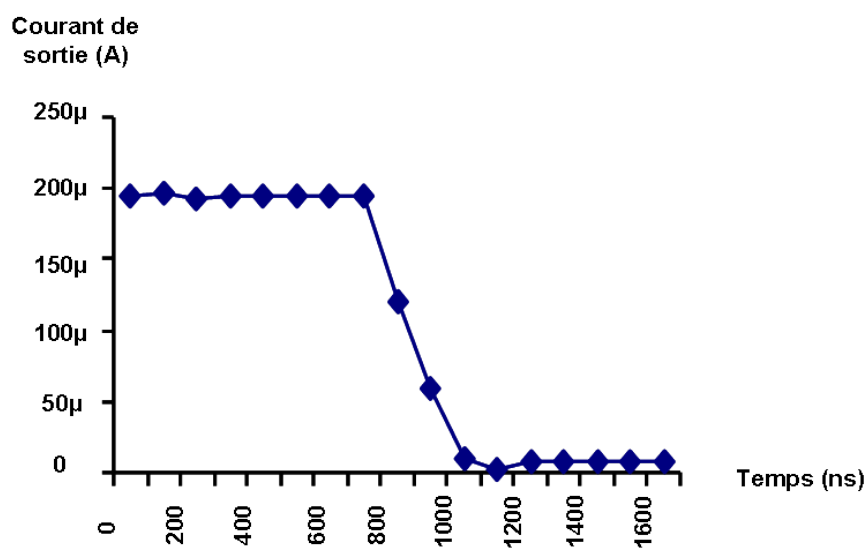


FIG. 5.21 – mesure du courant généré par la source en fonction de la tension appliquée sur son signal de contrôle

niveaux de métaux. Ce problème a rendu les ‘*via*’ (connexion entre les différents niveau de métaux) ultra-résistif, faisant passer leur résistivité, de 60Ω à $10K\Omega$. Ce problème peut expliquer le décalage en fréquence de notre OCT entre les mesures et les simulations.

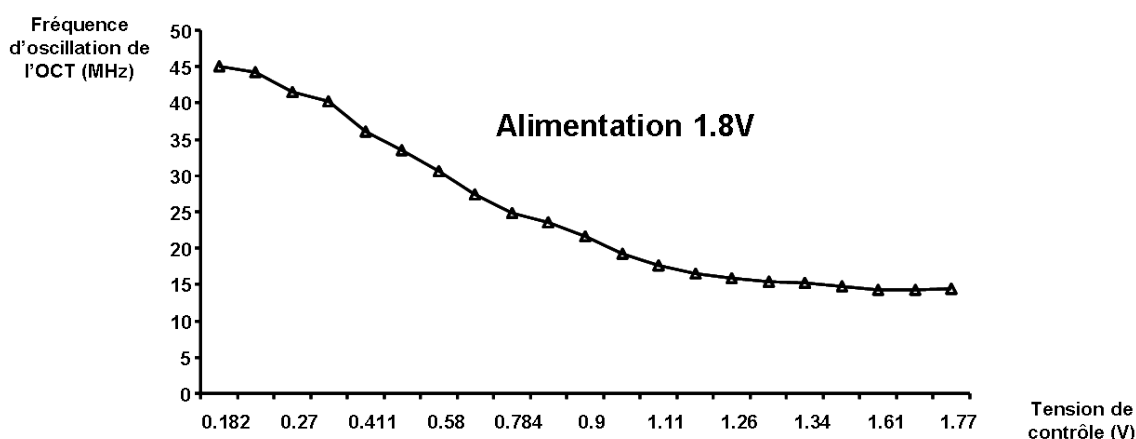


FIG. 5.22 – Fréquence d’oscillation de l’OCT en fonction de sa tension de contrôle

L’impact de ce problème se retrouve sur les mesures. Des mesures ont été réalisées en augmentant la tension d’alimentation à $1.99V$ pour essayer de compenser cette baisse de fréquence. On peut observer les résultats de mesure avec une alimentation plus élevée sur la Fig. 5.23. Le gain de l’OCT reste le même (on passe de $29.5MHz/V$ à $30.8MHz/V$) mais on peut observer que la fréquence d’oscillation a augmenté sur l’ensemble de la plage d’utilisation.

Cependant cette augmentation reste insuffisante pour atteindre les $48MHz$ exigés. Des mesures ont été réalisées sur les différents éléments de la boucle pour vérifier son comportement. Les blocs, le détecteur de phase, la source de courant modulée, le pompe de charge, le filtre, ont dans la boucle le même comportement que pris individuellement. Ils interagissent correctement et répondent au cahier des charges. La pompe de charge fournit moins de 2% d’écart entre les courants I_{source} et I_{puit} et transmet correctement la quantité de charge transmise par la source de courant modulé :

$$- I_{source} = 182.42\mu A \text{ pour } I_{puit} = 185.45\mu A \text{ quand la source de courant modulée}$$

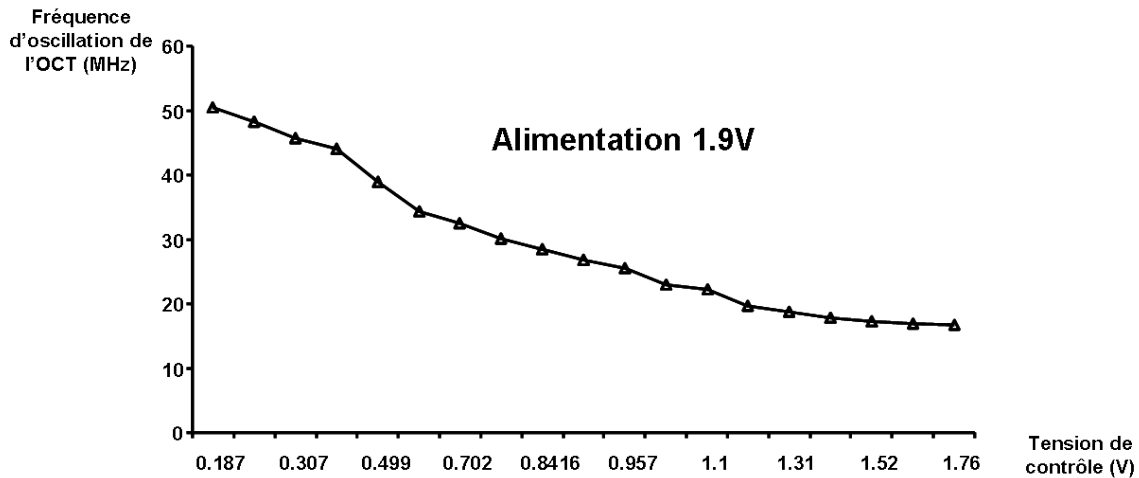


FIG. 5.23 – Fréquence d'oscillation de l'OCT en fonction de sa tension de contrôle

fournie $I = 185.45\mu A$

– $I_{source} = 7.5\mu A$ pour $I_{puit} = 7.6\mu A$ quand la source de courant modulée fournie $I = 7.81\mu A$

L'OCT quand à lui, une fois dans la boucle, ne transmet pas de signal vers la sortie. Que se soit en mode de test ou en fonctionnement standard on ne visualise pas sur l'oscilloscope de signal en sortie de la boucle. La question est de savoir si le problème se trouve au niveau de l'OCT lui même ou du 'PAD' de sortie de la boucle. Les mesures réalisé sur l'OCT en dehors de la boucle et le fait que cette défaillance se retrouve sur une dizaines de puces testé, tendent à montrer que le problème serait plutôt localiser sur le PAD de sortie de l'OCT. L'ensemble des éléments de la boucle ayant un comportement conforme aux attentes, à l'expection de l'OCT, la puce a été envoyée au laboratoire d'analyse de défaillance chez Atmel pour réaliser un FIB (Focus Ion Beam) et ainsi effectuer un décapage ionique. Cette microscopie ionique à balayage permet de venir accéder sur la puce aux entrées-sorties de l'OCT dans la boucle. Le laboratoire de défaillance pourra ensuite tester l'OCT dans la boucle sans passer par les 'PAD' et ainsi verifier notre supposition.

6

Conclusions

L'objectif de cette étude était de concevoir et de réaliser un système de récupération d'horloge destiné à la communication entre les cartes à puce et leur lecteur en utilisant le protocole USB. Ce système devait être capable de générer une horloge stable à partir du flux de données USB sans source de référence stable, tel un cristal de quartz par exemple, en respectant les normes associées au support et au protocole de communication. Enfin, le système proposé devait être implémenté sur un procédé CMOS $0.15\mu m$ de la société Atmel.

Le chapitre 1.1 a mis en évidence la nécessité de concevoir ce type d'architecture. A titre d'introduction, nous avons détaillé le contexte de ce travail de recherche ainsi que les principales définitions importantes nécessaires à la bonne compréhension du problème.

Dans le chapitre 2, nous avons décrit le cahier des charges de la spécification USB et nous avons passé en revue les différentes méthodes de récupération d'horloge proposées dans la littérature. Prises individuellement, aucune d'entre elles ne permet d'atteindre simultanément tous les objectifs fixés par le cahier des charges. En effet, comme nous l'avons vu au premier chapitre, les systèmes à base de BVP et de BLD engendrent des surconsommations et requièrent une surface trop importante. La multiplication des blocs utilisés engendre

une complexité d'implémentation souvent préjudiciable. Cependant, l'utilisation d'une solution adaptée d'une simple BVP, par le biais d'une architecture adéquate, devait permettre de répondre à nos attentes.

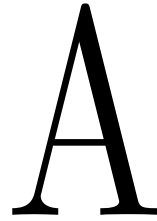
En particulier, nous avons constaté que la majeure partie des informations utiles à la génération d'horloge est véhiculée par une faible proportion de données envoyées par le serveur USB. De ce constat est né le principe de bande passante adaptée : en modulant la bande passante de notre boucle, par le biais d'une source de courant modulée, notre architecture permet d'atteindre un compromis entre temps d'accroche, précision d'horloge, bruit et rendement, tout en respectant les contraintes surfaciques.

Notre système se compose, comme nous l'avons vu dans le chapitre 3 d'une BVP avec une solution d'adaptation de bande passante. De plus, au vu des contraintes de non-périodicité et des longues périodes sans donnée de notre signal de référence, nous avons choisi un détecteur de phase de type Hogge. L'analyse mathématique et numérique du système réalisée dans le chapitre 4, a ensuite permis de déterminer les valeurs des paramètres de la boucle et la mise en place du système au niveau transistor.

La topologie présentée a été simulée en utilisant Spice avec les paramètres Bsim3 d'un procédé CMOS $0.15\mu m$ fournie par Atmel.

la reconfiguration de la bande passante du système en fonction de l'état de ce dernier permet d'atteindre, en toute circonstance, une rapidité de génération d'horloge de l'ordre de la microseconde. Enfin les résultats des simulations ont permis de vérifier la qualité de la génération, la stabilité du système et l'efficacité du masquage. Nous avons donc rempli l'objectif de ce travail de recherche. La surface totale du circuit est de $600\mu m * 300\mu m$, ce qui est plus de 5 fois inférieur à la surface qu'aurait nécessité un circuit reposant sur des combinaisons de boucles. Le générateur d'horloge proposé fait l'objet de quatre articles en conférences internationales (cf. A.6).

Le système proposé au chapitre 3 comprend un multiplieur de fréquence faible bruit. La conception et la réalisation de ce dernier font l'objet du chapitre 4.6. Dans un état de l'art préliminaire, nous avons vu en quoi les multiplieurs existants ne répondent pas entièrement à nos attentes. Une solution a été développée au sein du laboratoire, afin de répondre à notre cahier des charges. Nous avons proposé un nouveau multiplieur de fréquence qui repose sur la sélection d'harmonique et la conservation de bruit de phase. L'analyse mathématique et numérique du système non-linéaire décrivant ce multiplieur a ensuite permis de déterminer les valeurs des paramètres du filtre passe bande nécessaire à la sélection. Enfin, le multiplieur a été simulé avec la technologie CMOS $0.15\mu m$. Les résultats des simulations ont confirmé la capacité de notre architecture à multiplier la fréquence en conservant des niveaux de bruit très faibles.



ANNEXE

A.1 Liste des Acronymes

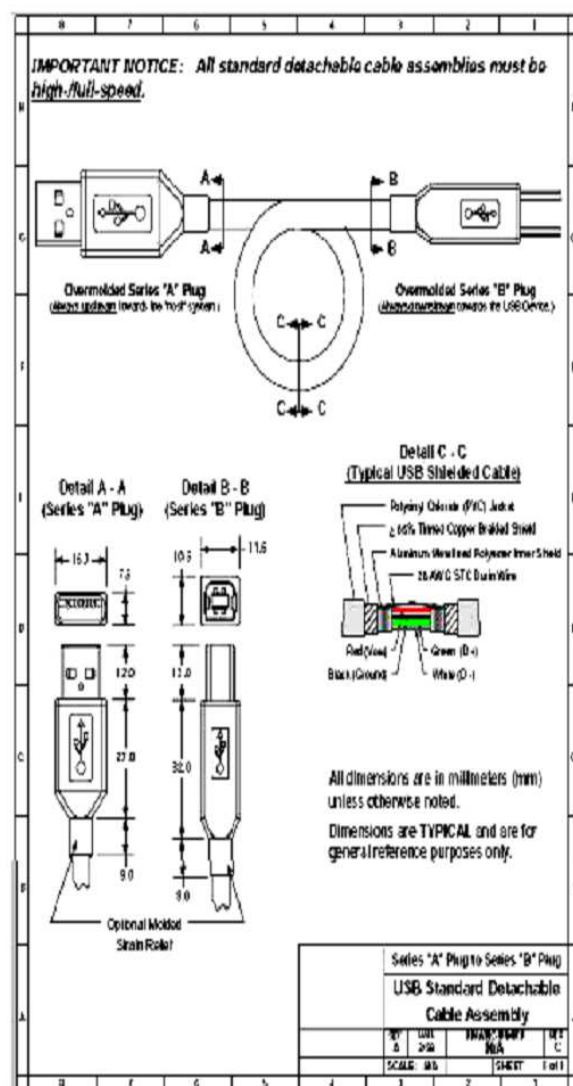
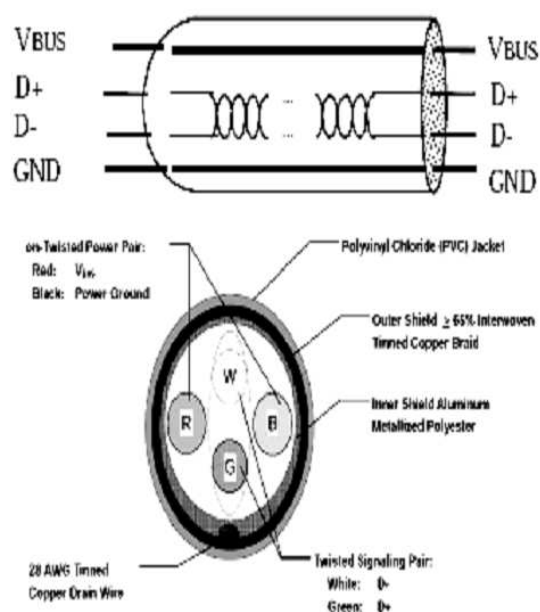
- **ADS**⇒ *Advanced Design System*
- **APDU**⇒ *Application Protocol Data Units*
- **A-PLL**⇒ *Analog Phase Locked Loop*
- **BLD**⇒ *Boucle a Ligne de Délai, DLL en anglais pour Delay Line Loop*
- **BVP**⇒ *Boucle a Verouillage de Phase*
- **BVP-IC**⇒ *Boucle a Verrouillage de Phase par Impulsion de Charge*
- **CP-PLL**⇒ *Charge Pump Phase Locked Loop*
- **CRC**⇒ *Contrôle a Redondance Cyclique*
- **CUD-PLL**⇒ *Counting Up/Down Phase Locked Loop*
- **DP**⇒ *Détecteur de Phase, PD en anglais pour Phase Detector*
- **DPF**⇒ *Détecteur de Phase-Fréquence, PFD en anglais pour Phase Frequency Detector*
- **D-PLL**⇒ *Digital Phase Locked Loop*
- **DSP**⇒ *Digital Signal Processor*
- **DS-PLL**⇒ *Digital Sample Phase Locked Loop*
- **EOP**⇒ *End Of Packet*

- **ETSI**⇒ *European Telecommunication Standart Institute*
- **HB**⇒ *Harmonic Balance*
- **ISF**⇒ *Impulse Sensitivity Function*
- **ISO**⇒ *Internationnal Standart Organisation*
- **MMC**⇒ *MultiMediaCard*
- **NFC**⇒ *Near Field Contact*
- **NRZ**⇒ *Non Return to Zero*
- **NRZI**⇒ *Non Return to Zero Inverse*
- **OCN**⇒ *Oscillateur Controlé Numériquement*
- **OCT**⇒ *Oscillateur Contrôlé en Tension, VCO en anglais pour Voltage Controled Oscillator*
- **PLL**⇒ *Phase Locked Loop*
- **PSS**⇒ *Pseudo Steady State*
- **RFI**⇒ *Radio Frequency Interference*
- **SCP**⇒ *Smart Card Platform*
- **SIM**⇒ *Subscriber Identity Module*
- **SOF**⇒ *Start Of Frame*
- **Soft-PLL**⇒ *Software Phase Locked Loop*
- **S-PLL**⇒ *Sample Phase Locked Loop*
- **SWP**⇒ *Single Wire Protocol*
- **TSYO**⇒ *Three Strikes and You're Out*
- **USB**⇒ *Universal Serial Bus*

A.2 Spécification USB

USB FS/HS cable

- Differential signaling
- 3.3V signal level
- VBUS is 5V



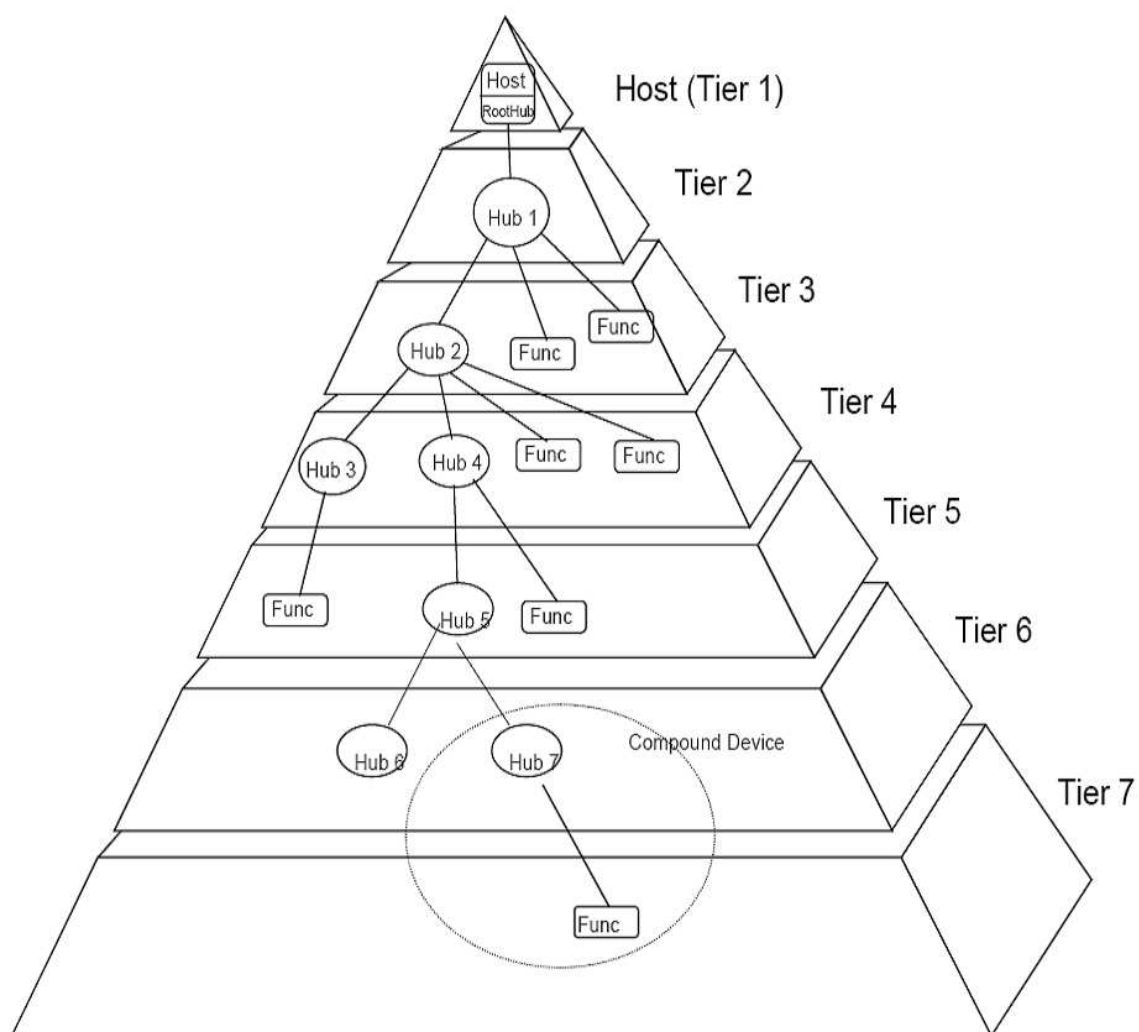


FIG. A.2 – Diagramme de topologie des Bus de communication du Protocol USB

PID Type	PID Name	PID<3:0>*	Description
Token	OUT	0001B	Address + endpoint number in host-to-function transaction
	IN	1001B	Address + endpoint number in function-to-host transaction
	SOF	0101B	Start-of-Frame marker and frame number
	SETUP	1101B	Address + endpoint number in host-to-function transaction for SETUP to a control pipe
Data	DATA0	0011B	Data packet PID even
	DATA1	1011B	Data packet PID odd
	DATA2	0111B	Data packet PID high-speed, high bandwidth isochronous transaction in a microframe (see Section 5.9.2 for more information)
	MDATA	1111B	Data packet PID high-speed for split and high bandwidth isochronous transactions (see Sections 5.9.2, 11.20, and 11.21 for more information)
Handshake	ACK	0010B	Receiver accepts error-free data packet
	NAK	1010B	Receiving device cannot accept data or transmitting device cannot send data
	STALL	1110B	Endpoint is halted or a control pipe request is not supported
	NYET	0110B	No response yet from receiver (see Sections 8.5.1 and 11.17-11.21)
Special	PRE	1100B	(Token) Host-issued preamble. Enables downstream bus traffic to low-speed devices.
	ERR	1100B	(Handshake) Split Transaction Error Handshake (reuses PRE value)
	SPLIT	1000B	(Token) High-speed Split Transaction Token (see Section 8.4.2)
	PING	0100B	(Token) High-speed flow control probe for a bulk/control endpoint (see Section 8.5.1)
	Reserved	0000B	Reserved PID

FIG. A.3 – Paquet d'identification pour les principaux champs de paquet USB ordinaires

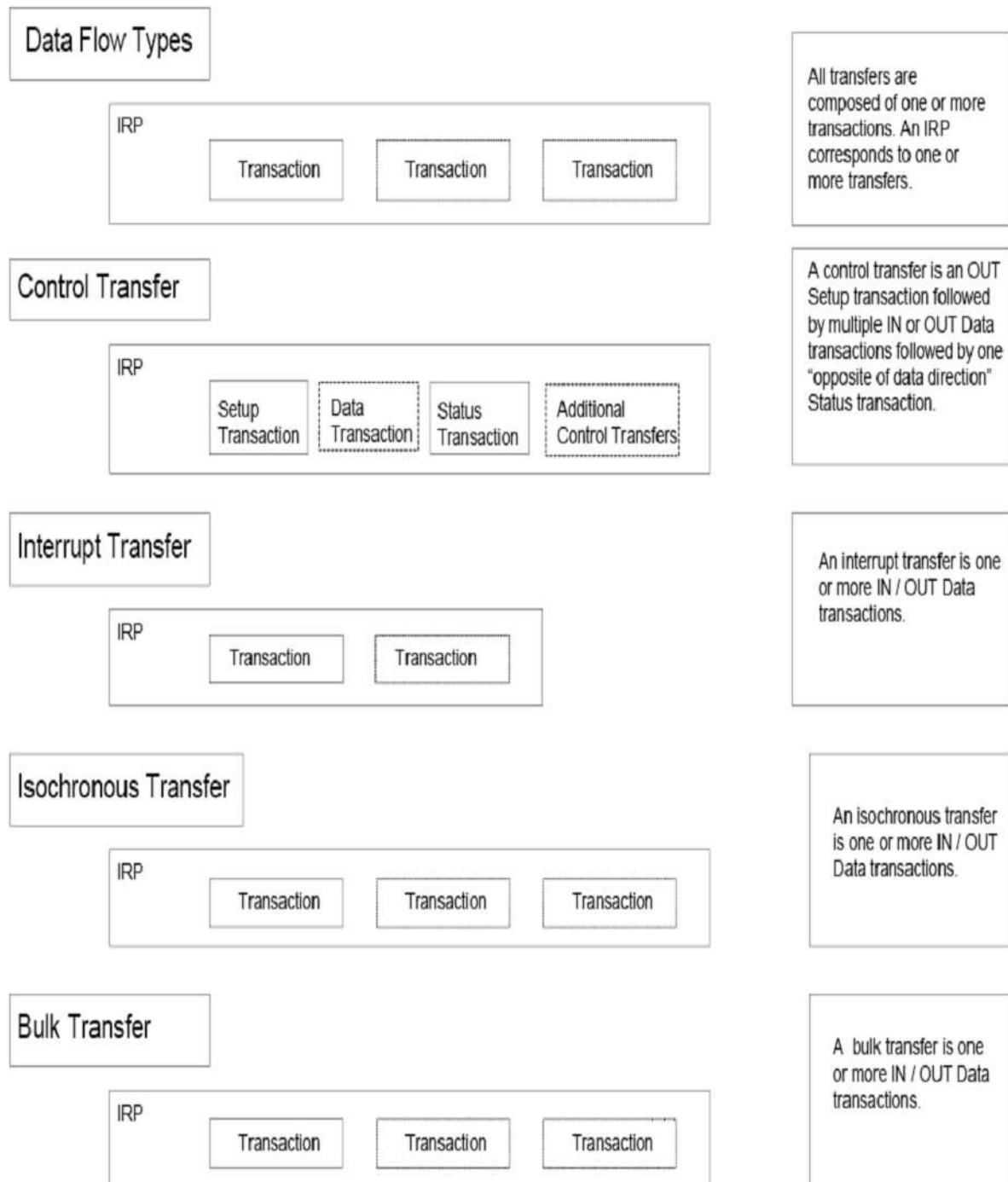


FIG. A.4 – récapitulatif des différents transferts dans la chaîne de communication.

Bus State	Signaling Levels		
	At originating source connector (at end of bit time)	At final target connector	
		Required	Acceptable
Differential "1"	D+ > VOH (min) and D- < VOL (max)	(D+) - (D-) > 200 mV and D+ > VIH (min)	(D+) - (D-) > 200 mV
Differential "0"	D- > VOH (min) and D+ < VOL (max)	(D-) - (D+) > 200 mV and D- > VIH (min)	(D-) - (D+) > 200 mV
Single-ended 0 (SE0)	D+ and D- < VOL (max)	D+ and D- < VIL (max)	D+ and D- < VIH (min)
Single-ended 1 (SE1)	D+ and D- > VOSE1(min)	D+ and D- > VIL (max)	
Data J state: Low-speed Full-speed	Differential "0" Differential "1"	Differential "0" Differential "1"	
Data K state: Low-speed Full-speed	Differential "1" Differential "0"	Differential "1" Differential "0"	
Idle state: Low-speed Full-speed	NA	D- > VIH (min) and D+ < VIL (max) D+ > VIH (min) and D- < VIL (max)	D- > VIH (min) and D+ < VIH (min) D+ > VIH (min) and D- < VIH (min)
Resume state	Data K state	Data K state	
Start-of-Packet (SOP)	Data lines switch from Idle to K state		
End-of-Packet (EOP) ⁴	SE0 for approximately 2 bit times ¹ followed by a J for 1 bit time ³	SE0 for ≥ 1 bit time ² followed by a J state for 1 bit time	SE0 for ≥ 1 bit time ² followed by a J state
Disconnect (at downstream port)	NA	SE0 for ≥2.5 μs	
Connect (at downstream port)	NA	Idle for ≥2 ms	Idle for ≥2.5 μs
Reset	D+ and D- < VOL (max) for ≥10ms	D+ and D- < VIL (max) for ≥10 ms	D+ and D- < VIL (max) for ≥2.5 μs

FIG. A.5 – Niveau de transition USB

A.3 Mathcad

PARAMETRES REQUIS

$\text{tol} := 60\text{KHz}$	TOLERANCE
$\Phi := 60\text{deg}$	MARGE DE PHASE
$F_c := 2.4\text{MHz}$	BANDE PASSANTE DE LA BOUCLE
$F_{\text{comp}} := 24\text{MHz}$	FREQUENCE DE COMPARAISON
$K_{\text{vco}} := 55 \frac{\text{MHz}}{\text{volt}}$	GAIN DE L' OCT
$K\Phi := 200 \cdot \mu\text{A}$	GAIN DU DPF
	$K\Phi 1 := 80 \cdot \mu\text{A}$
$F_{\text{out}} := 48\text{MHz}$	FREQUENCE DE SORTIE
$T_{31} := 0.5$	RATIO ENTRE LES PÔLES 1 ET 3
$f_1 := 70\text{MHz}$	FREQUENCE INITIALE
<u>CLACULES DE BASE</u>	
$\omega_c := 2 \cdot \pi \cdot F_c$	

FIG. A.6 – paramètres du système BVP

METHODE SANS APPROXIMATION

CALCUL DES PÔLES ET DES ZEROS

1. T1 ET T2

$$f(x) := \frac{x}{1+x^2} + \frac{x \cdot T_{31}}{1+(x \cdot T_{31})^2} \quad g(x) := \frac{1 + \sqrt{1 - 4 \cdot f(x)^2}}{2 \cdot f(x)}$$

- CE QUI NOUS PERMET DE TROUVER $\omega_c T_2$ EN FONCTION DE $\omega_c T_1$ (OU x)

$$x := 3 \cdot 10^{-5}$$

$$T_1 := \frac{\text{root}(\Phi - \text{atan}(g(x)) + \text{atan}(x) + \text{atan}(x \cdot T_{31}), x)}{\omega_c}$$

$$T_2 := \frac{g(\omega_c \cdot T_1)}{\omega_c} \quad T_3 := T_{31} \cdot T_1$$

$$T_1 = 1.147 \times 10^{-8} \text{ s} \quad T_2 = 2.433 \times 10^{-7} \text{ s} \quad T_3 = 5.734 \times 10^{-9} \text{ s}$$

FIG. A.7 – Calcul des pôles et zéros

CALCUL DES ELEMENTS DU FILTRE A PARTIR DES PÔLES ET DES ZEROS

1. MISE EN PLACE D'UN SYSTEME DE QUATRE EQUATIONS A QUATRE INCONNUS

$$K1 := \left(\frac{K\Phi \cdot K_{vco}}{N} \right) \cdot \sqrt{\frac{1 + (\omega_c \cdot T2)^2}{\left[\frac{1 + (\omega_c \cdot T1)^2}{1 + (\omega_c \cdot T3)^2} \right]}} \cdot \frac{1}{\omega_c^2} \quad K1 = 0.09 \text{ nF}$$

$$K2 := (T1 + T3) \cdot K1 \quad K2 = 1.553 \times 10^{-9} \text{ s nF}$$

$$K3 := \frac{(T3 - T1 \cdot K1)}{T2} \quad K3 = 24.4 \times 10^{-12} \text{ s nF}$$

• CALCUL DES VALEURS EXTREMES DE K4

$$A := K3^2$$

$$B := 2 \cdot K2 \cdot K3 - 4 \cdot T2 \cdot K1 \cdot K3$$

$$C := K2^2 - 4 \cdot T2 \cdot K3 \cdot K1$$

$$K4_{\min} := \frac{-B - \sqrt{B^2 - 4 \cdot A \cdot C}}{2A} \quad K4_{\min} = 0.13$$

$$K4_{\max} := \frac{-B + \sqrt{B^2 - 4 \cdot A \cdot C}}{2A} \quad K4_{\max} = 3.473 \times 10^3$$

$$K4 := K4_{\min}$$

• PUIS ON TROUVE LES PARAMETRES DU FILTRE

$$A := T2 \cdot (K4 + 1) \quad A = 2.748 \times 10^{-7} \text{ s}$$

$$B := -K2 - K3 \cdot K4 \quad B = -1.556 \times 10^{-6} \text{ s nF}$$

$$C := K3 \cdot K1 \quad C = 2.203 \times 10^{-6} \text{ s nF}^2$$

$$C1 := \frac{-B}{2 \cdot A}$$

$$C3 := K4 \cdot C1$$

$$C2 := K1 - C3 - C1$$

$$R3 := \frac{K3}{C1 \cdot C3}$$

$$R2 := \frac{T2}{C2}$$

FIG. A.8 – Calcul de la valeur des éléments du filtre

□

Reference Spurious Analysis

Etude des spurious dûs aux fuites (leakage) et au mismatch des courants de la pompe de charge

$$\begin{aligned}
 F_{\text{spur}} &:= F_{\text{comp}} \\
 Z(\omega) &:= \frac{1 + T2 \cdot i \cdot \omega}{i \cdot \omega \cdot (C1 + C2 + C3) \cdot (1 + i \cdot \omega \cdot T1) \cdot (1 + i \cdot \omega \cdot T3)} \\
 Z_{\text{filt}}(s) &:= \frac{1 + s \cdot R2 \cdot C2}{s \cdot [(C1 + C2 + C3) + s \cdot [R2 \cdot C2 \cdot (C1 + C3) + R3 \cdot C3 \cdot (C1 + C2)] + s^2 \cdot C1 \cdot C2 \cdot C3 \cdot R2 \cdot R3]} \\
 \text{SpurGain}(F_{\text{spur}}) &:= 20 \cdot \log \left(\left| \frac{K \cdot \Phi \cdot Z(F_{\text{spur}} \cdot 2 \cdot \pi) \cdot K_{\text{vco}}}{F_{\text{spur}} \cdot 2 \cdot \pi} \right| \right)
 \end{aligned}$$

Leakage Spurious

$$\begin{aligned}
 I_{\text{leakage}} &:= 1 \times 10^{-9} \text{ A} \\
 \text{BaseLeakageSpur} &:= 16 \\
 20 \cdot \log \left(\frac{I_{\text{leakage}}}{K \cdot \Phi 1} \right) &= -98.062 \\
 \text{LeakageSpur} &:= \text{BaseLeakageSpur} + 20 \log \left(\frac{I_{\text{leakage}}}{K \cdot \Phi} \right) + \text{SpurGain}(F_{\text{spur}})
 \end{aligned}$$

Mismatch Spurious

$$\begin{aligned}
 \text{mismatch} &:= 3.2 \\
 \text{BasePulseSpur} &:= -315.6 + 1.28 \cdot |\text{mismatch} - 3.2| \\
 \text{BasePulseSpur} &= -315.6 \\
 \text{PulseSpur} &:= \text{BasePulseSpur} + \text{SpurGain}(F_{\text{spur}}) + 40 \cdot \log \left(\frac{F_{\text{spur}}}{1 \text{ Hz}} \right)
 \end{aligned}$$

Niveau Global des Spurious

$$\text{Spur}(f) := \text{if} \left(|f - F_{\text{comp}}| < 1 \text{ kHz}, 10 \log \left(10^{\frac{\text{LeakageSpur}}{10}} + 10^{\frac{\text{PulseSpur}}{10}} \right), -500 \right)$$

Bruit des résistances du Filtre

note : les différentes sources de bruit sont considérées comme décorrélées

$$k_b := 1.3806580 \cdot 10^{-23} \frac{\text{joule}}{\text{K}} \quad T_0 := 300\text{K} \quad R_{\text{Noise}}(R) := \sqrt{4 \cdot k_b \cdot T_0 \cdot R \cdot 1\text{Hz}}$$

Bruit de R2

$$V_{nR2} := R_{\text{Noise}}(R2) \quad V_{nR2} = 4.816 \times 10^{-9} \text{ V}$$

Définitions des impédances du filtre :

$$C1 : \quad Z_{2_1}(f) := \frac{1}{2i \cdot \pi \cdot f \cdot C1}$$

$$R2 \text{ et } C2 \text{ en série :} \quad Z_{2_2}(f) := \frac{1}{2i \cdot \pi \cdot f \cdot C2} + R2$$

$$R3 : \quad Z_{2_3}(f) := R3$$

$$C3 : \quad Z_{2_4}(f) := \frac{1}{2i \cdot \pi \cdot f \cdot C3}$$

$$Z1 \text{ en // avec } Z2 \text{ et } R3 + C3 : \quad Z_{2_5}(f) := \frac{Z_{2_2}(f) \cdot (Z_{2_3}(f) + Z_{2_4}(f))}{Z_{2_2}(f) + Z_{2_3}(f) + Z_{2_4}(f)}$$

Calcul du bruit de R2 :

$$V_{\text{noise_R2}}(f) := V_{nR2} \cdot \frac{Z_{2_5}(f)}{Z_{2_1}(f) + Z_{2_5}(f)} \cdot \frac{Z_{2_4}(f)}{Z_{2_3}(f) + Z_{2_4}(f)}$$

$$|V_{\text{noise_R2}}(f_{\text{comp}})| = 2.114 \times 10^{-9} \text{ V}$$

$$R2_{\text{Noise}}(f) := 20 \cdot \log \left(\frac{\left| \sqrt{2} \cdot V_{\text{noise_R2}}(f) \cdot \left| \frac{1}{1 + G(f)} \right| \cdot K_{\text{vco}} \right|}{2 \cdot f} \right)$$

$$R2_{\text{Noise}}(f_{\text{comp}}) = -165.661$$

Bruit de R3

$$V_{nR3} := R_{\text{Noise}}(R3) \quad V_{nR3} = 1.398 \times 10^{-8} \text{ V}$$

Définition des impédances :

$$(C1 // (R2 \text{ et } C2 \text{ série})) \text{ en série avec } R3 : \quad Z_{3_1}(f) := \frac{\frac{1}{2i \cdot \pi \cdot f \cdot C1} \left(R2 + \frac{1}{2i \cdot \pi \cdot f \cdot C2} \right)}{R2 + \frac{1}{2i \cdot \pi \cdot f \cdot C1} + \frac{1}{2i \cdot \pi \cdot f \cdot C2}} + R3$$

$$C3 : \quad Z_{3_2}(f) := \frac{1}{2i \cdot \pi \cdot f \cdot C3}$$

Calcul du bruit de R3 :

$$V_{\text{noise_R3}}(f) := V_{nR3} \cdot \frac{Z_{3_2}(f)}{Z_{3_1}(f) + Z_{3_2}(f)}$$

$$|V_{\text{noise_R3}}(f_{\text{comp}})| = 8.279 \times 10^{-9} \text{ V}$$

$$R3_{\text{Noise}}(f) := 20 \cdot \log \left(\frac{\left| \sqrt{2} \cdot V_{\text{noise_R3}}(f) \cdot \left| \frac{1}{1 + G(f)} \right| \cdot K_{\text{vco}} \right|}{2 \cdot f} \right)$$

$$R3_{\text{Noise}}(f_{\text{comp}}) = -153.805$$

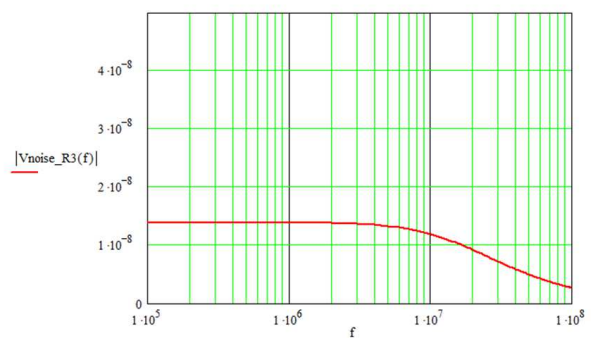
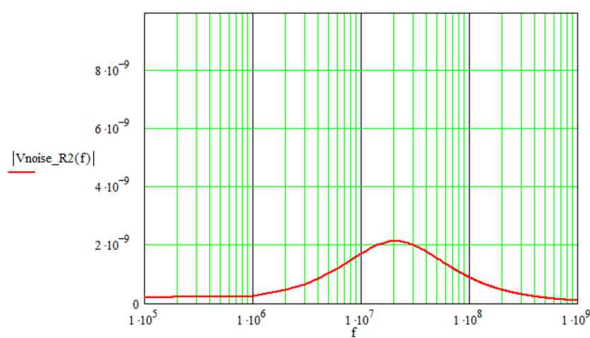


FIG. A.10 – Calcul du bruit thermal des résistances

NbBin := 128	determine le nombre de point de ma séquence binaire
NbSample := 512	nombre de sample par point
NbTotale := NbBin · NbSample	nombre totale de points

durée d'un moment

-----■

Tm := 1 s	$f := \frac{1}{Tm}$	f = 1 Hz
------------------	---------------------	-----------------

$$\Delta T := \frac{Tm}{NbSample}$$

$$\Delta T = 1.953 \times 10^{-3} \text{ s}$$

-----■

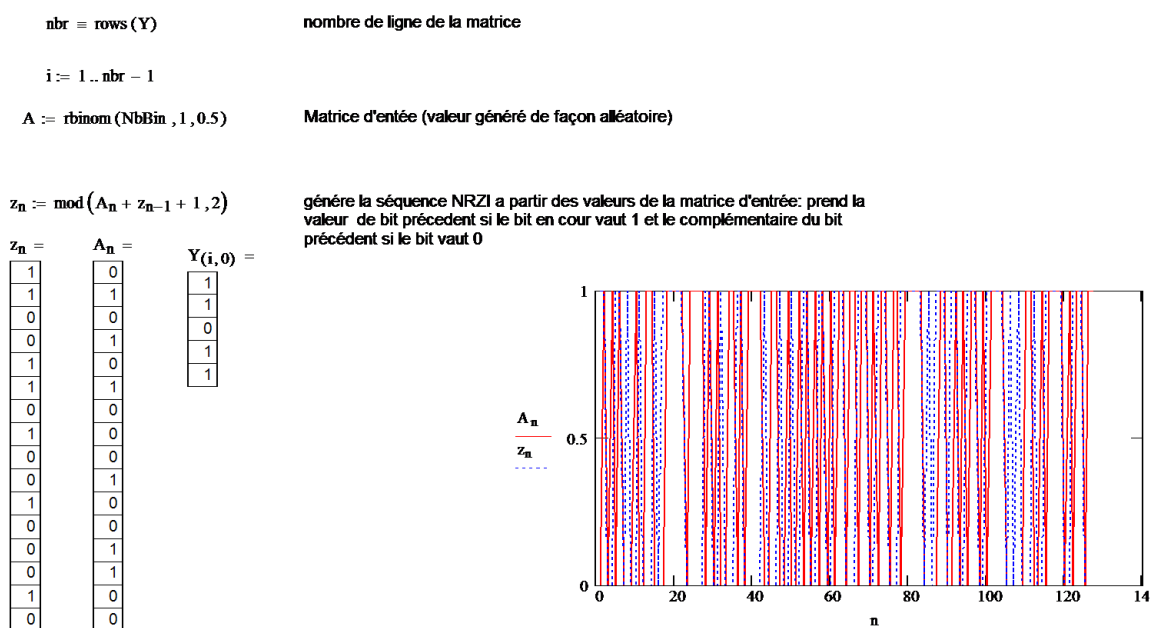
$$u := 0 .. NbTotale - 1$$

$$n := 1 .. NbBin - 1$$

$$Y = \begin{pmatrix} 0 \\ 1 \\ 1 \\ 0 \\ 1 \\ 1 \end{pmatrix}$$

matrice d'entrée (valeur a entrer a la main)

FIG. A.11 – mise en place du modele analytique des signaux NRZI



probleme : pas assez de point par interval pour réaliser une fft

FIG. A.12 – mise en place du modele analytique des signaux NRZI (suite)

$$\text{sig}_u := z_{\text{trunc}\left(\frac{u}{\text{NbSample}}\right)}$$

$\text{sig}_u =$	$z_n =$
0	1
0	1
0	0
0	0
0	1
0	1
0	0
0	1
0	0
0	0
0	0
0	1
0	0
0	0
0	0
0	1
0	0

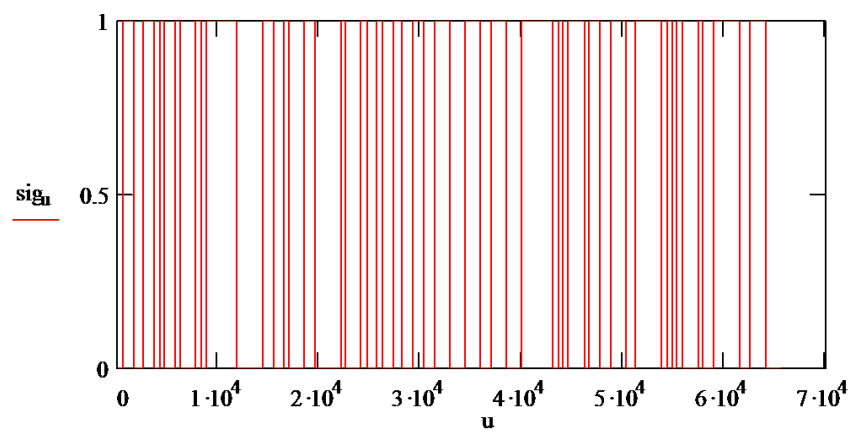


FIG. A.13 – mise en place du modèle analytique des signaux NRZI et spectre du signal

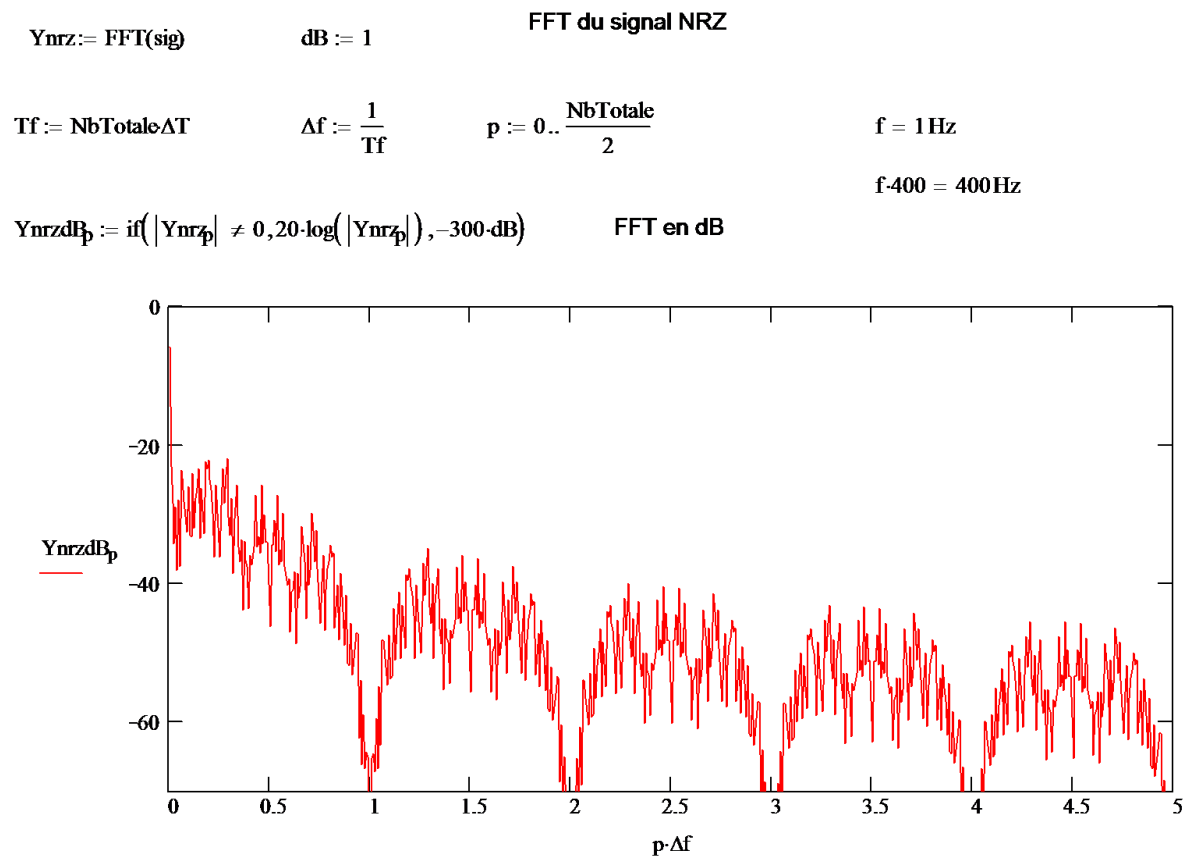


FIG. A.14 – mise en place du modèle analytique des signaux NRZI et spectre du signal
(suite)

A.4 Cadence

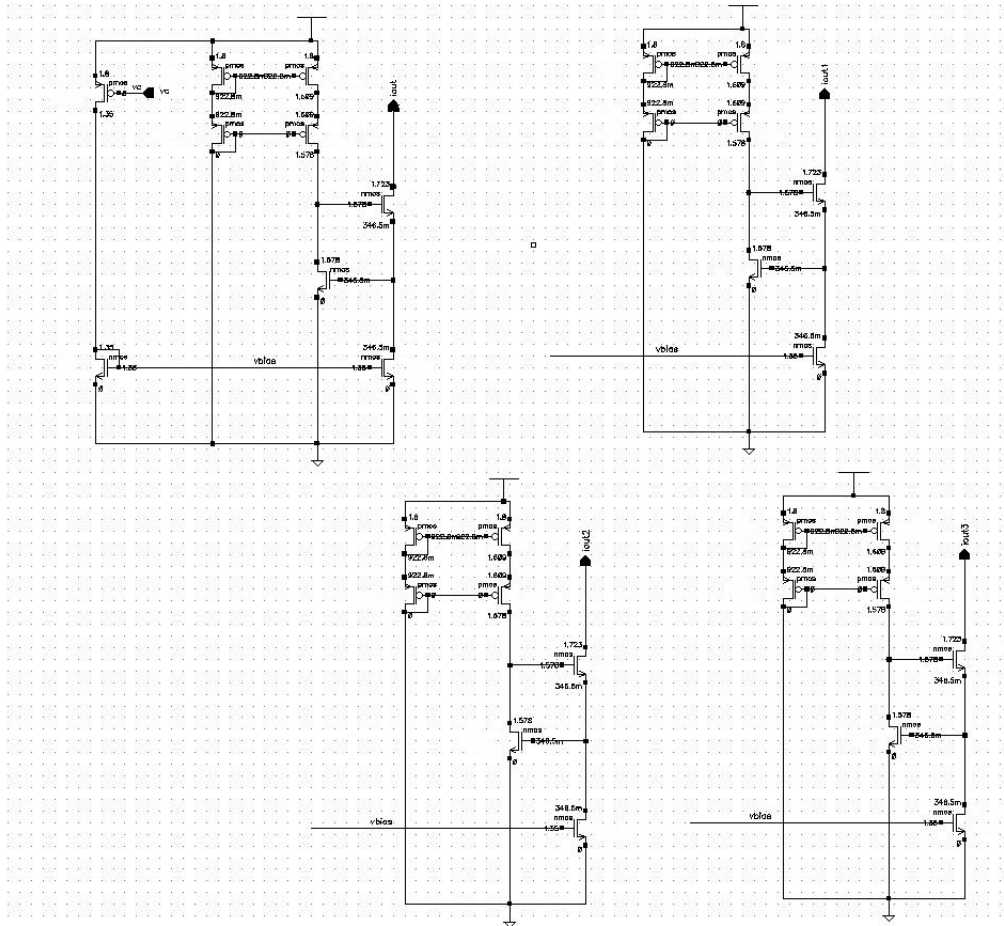


FIG. A.15 – Schémas cadence de la source de courant modulé de façon analogique

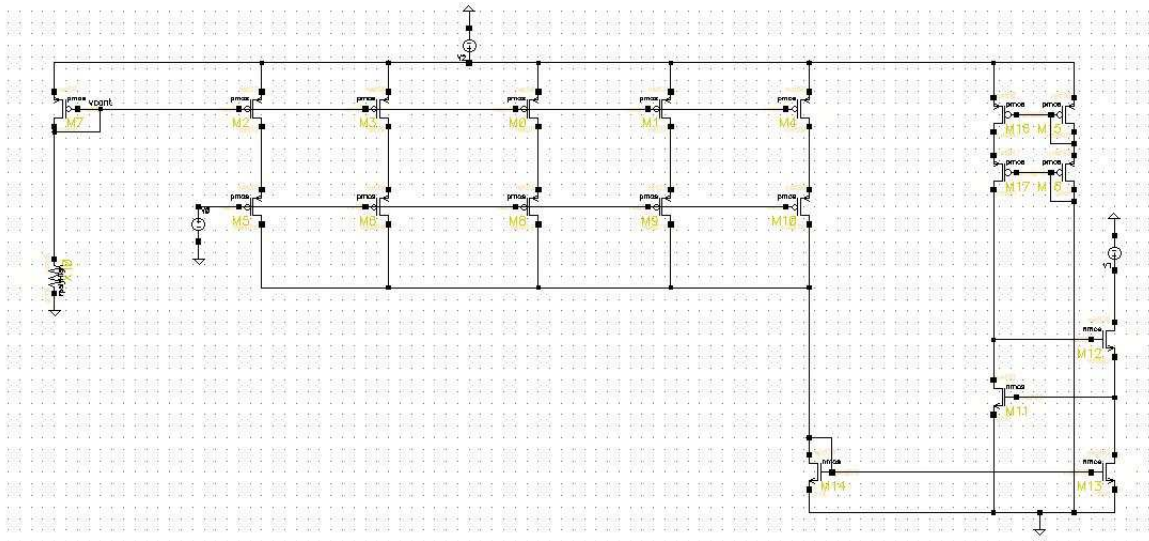


FIG. A.16 – Schémas de la source de courant modulée de façons numérique

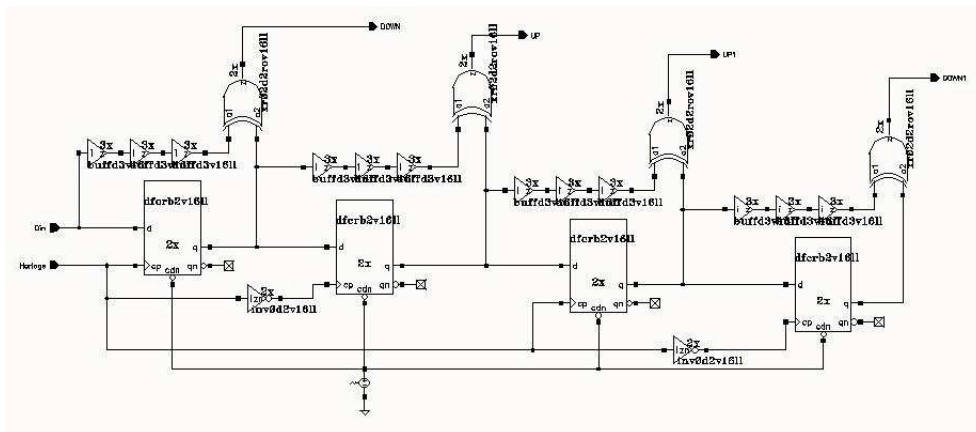


FIG. A.17 – Schémas du détecteur de phase Hogge modifié

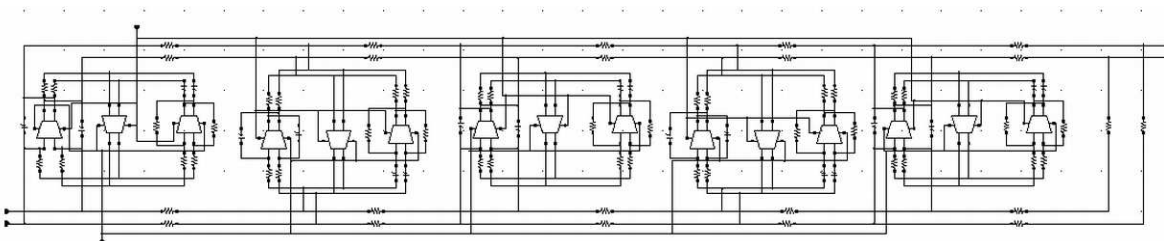


FIG. A.18 – Filtre passe bande du multiplieur de fréquence

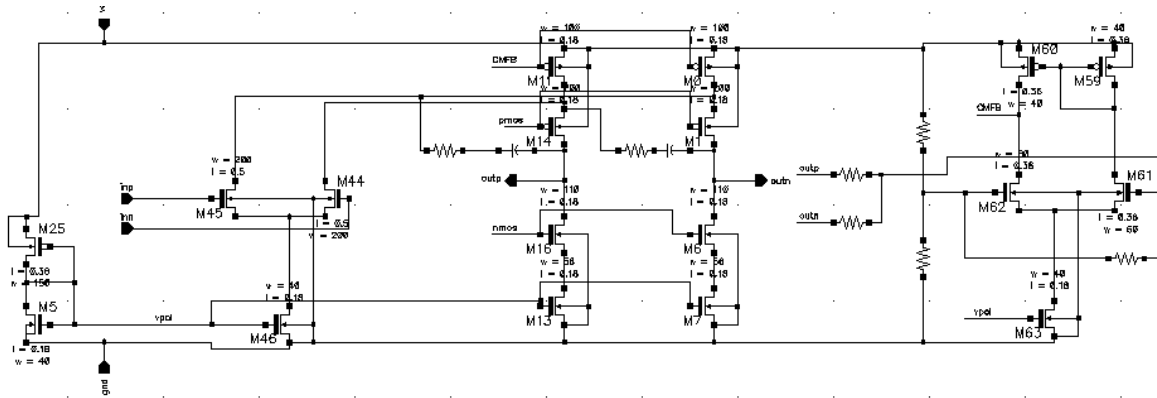


FIG. A.19 – OTA du multiplieur de fréquence

A.5 Verilog

```
// Module VerilogA du générateur de bruit

`include "constants.vams"
`include "disciplines.vams"

module noise_generator (ref, vout);

input ref;
output vout;

electrical ref, vout;

parameter real att = 21 from [0:inf);
parameter real trise = 100p from [0:inf);
parameter real tfall = 100p from [0:inf);
parameter real tdelai = 3.5 from [0:inf);

// noise part

integer seed;
integer mcd1;

real num;
real num1;

//electrical n1;
```



```

analog begin

@ (initial_step) begin
mcd1 = $fopen("toto");
seed = 23;
end

num = $dist_normal(seed,5,1);
num1 = num/1;

//$fstrobe(mcd1,"random number is", num);
$fstrobe(mcd1, num1);

// end noise part

        V(vout) <+ transition(V(ref), (num1*1n), trise, tfall);
end
endmodule

// Module VerilogA de multiplication de fréquence par deux.

// inclusion des fichiers standards (disciplines et constantes)
// qui contiennent les declarations standards.
// on notera qu'en verilogAMS les fichiers ont l'extension .vams

`include "constants.vams"
`include "disciplines.vams"

```

```

// declaration du composant, ici mult2, avec deux pins, in et out.

module mult2 (in, out);

// une pin sera une entree, une pin sera une sortie
//et les signaux transitant par ces ports
// seront de type electrique

input in;
output out;
electrical in, out;

// des variables parametrables par l'utilisateur sont declarees,
//toutes de type reelles.

parameter real vth=0.9,
dt1=41.6665n,
trise=100p,
tfall=100p;

// un noeud interne est specifie de type electrique

electrical n1;

// declaration deux deux variable interne au composant de type reelle.

real a,b;

```

```

// debut du bloc de description analogique comportementale

    analog begin

// declaration de l etat initial letat initial du noeud n1
//et variable a et b.

a = V(in);
V(n1) <+ transition ( a, dt1, trise, tfall) ;

if ( V(n1) == V(in) ) b=0;
else b=1.8;

// modelisation comportemental du composant.

begin

// a chaque occurrence de l'evennement 'cross' on execute le 'if'

@( cross (V(in) - vth))
begin
if ( V(n1) == V(in) ) b=0;
else b=1.8 ;
end
end

// etat final du systeme.
// la tension de la node 'out' prend la valeur de b avec un delai,0,
// un temps de montee, trise, et un temps de descente tfall.

```

```

V(out) <+ transition ( b, 0, trise, tfall) ;

end

endmodule

// Module VerilogA de detection de fréquence et indicateur de lock

`include "constants.vams"
`include "disciplines.vams"

module FRQdetec(in, outv, outn);

input in ;
output outv, outn;

voltage in, outv, outn;

integer crossings;
real latest, previous, periode, frequence;
parameter real vth = 0.9;
real latestd, previousd, perioded, frequenced, freq1;
integer crossingsd;
real a;
real b;
integer mcd1;
integer mcd2;

```

```

analog
begin

@(initial_step)
begin
mcd1 = $fopen("periodeup");
mcd2 = $fopen("periodedwn");
crossings = 0;
previous = 0;
latest = 0;
periode = 0;
frequence = 0;
end

@(cross(V(in)-vth, +1))
begin
crossings = crossings+1;
previous = latest;
latest = $realtime;
periode = latest - previous;
frequence = 1/periode;

if ( periode <= 20.88555e-9 && periode >= 20.78138e-9 )
$fstrobe(mcd1, "frequency OK", frequence);
else
$fstrobe(mcd1, "frequency wrong at time", latest);
$fstrobe(mcd1, frequence);
end

```

```

@(cross(V(in)-vth, -1))
begin
crossingsd = crossingsd+1;
previousd = latestd;
latestd = $realtime;
perioded = latestd - previousd;
frequenced = 1/perioded;

if ( perioded <= 20.88555e-9 && perioded >= 20.78138e-9 )
$fstrobe(mcd2, "frequency OK", frequenced);
else
$fstrobe(mcd2, "frequency wrong at time", latestd);
$fstrobe(mcd2, frequenced);

end

a = (frequenced+frequency)/2 ;

if (a > 300e6)
freq1 = 600e6;
else
freq1 = a;

if (a <= 48.12e6 && a >= 47.88e6)
b = 1.8;
else
b = 0;

```

```
V(outv) <+ transition(freq1) ;
```

```
V(outn) <+ transition(b, 1p, 1p) ;
```

```
end
```

```
endmodule
```

A.6 Valorisation de la Thèse

1. "*Etat de l'art sur les détecteurs de Phase Fréquence*" Journée National des Doctorant 05, Paris
– J. Roche
2. "*A 50MHz Phase Locked Loop with Adaptive Bandwidth for Jitter Reduction*" IEEE-ICM 07, Caire.
– J. Roche, W. Rahajandraibe, L. Zaïd, G. Bracmard
3. "*A Differential 3.3V BICMOS Buffer with Current Consumption and Linearity Control for RF Mixer*" IEEE-ICM 07, Caire.
– Quatrième auteur
4. "*A low Noise Fast-Settling Phase Locked Loop with Loop Bandwidth Enhancement*" IEEE-NEWCAS and TAISA 2008, Montreal.
– J. Roche, W. Rahajandraibe, L. Zaïd, G. Bracmard.
5. "*A New Adaptation Scheme For Low Noise and Fast Settling Phase Locked Loop*" IEEE Midwest Symposium on Circuit and Systems 2008 (MWSCAS), Knoxville.
– J. Roche, W. Rahajandraibe, L. Zaïd, G. Bracmard.
6. "*A Phase Locked Loop with Loop Bandwidth Enhancement for Low-Noise and Fast-Settling Clock Recovery*" IEEE International Conference on Electronics, Circuits and Systems 2008 (ICECS), Malte.
– J. Roche, W. Rahajandraibe, L. Zaïd, G. Bracmard, D Fronte.

Bibliographie

- [1] J. Dethloff and H. Gröttrup, “Identifikanden/identifikationsschalter,” Patent German Patent DE1 945 777C3, 1982. [Online]. Available : <http://v3.espacenet.com/>
- [2] “Identification cards - physical characteristics, international organization for standardization std.” ISO/IEC 7810, Tech. Rep., 1985.
- [3] “Identification cards - integrated circuit cards, international organization for standardization std.” ISO/IEC7816, Tech. Rep., 1987.
- [4] C. G. Wensley, S. Gustafson, and C. R. Nelson, “Card with embedded ic and electrochemical cell,” Patent European Patent EP1 623 460, Feb. 8, 2006. [Online]. Available : <URL:http://v3.espacenet.com/textdoc?DB=EPODOC&IDX=EP1623460&F=05>
- [5] E. V. Appleton, “Automatic synchronization of triode oscillators, part iii,” in *In Proc. Cambridge Phil. Soc, Tome 21*, 1922, pp. 231–248.
- [6] B. van der Pol, “Forced oscillators in a circuit with non-linear resistance. (reception with reactive triode).” in *Phil. Mag., Tome 3*, 1927, pp. 64–80.
- [7] H. de Bellescize, “La réception synchrone. tome 11,” in *Onde Electr.*, 1932, pp. 230–240.

- [8] G. Kolumban, “La réception synchrone.” in *The Encyclopedia of Electrical and Electronics Engineering, tome 16, chapitre Phase-Locked Loops*, 1999, pp. 158–188.
- [9] D. R. Stephens, “Phase-locked loops for wireless communications : Digital and analog implementation,” *P.Kluwer Academic Publishers*, 1998.
- [10] E. Roubine, *Introduction à la théorie de la communication : signaux non aléatoires, tome I*, Masson, Ed. Masson, 1979.
- [11] F. de Coulon, *Théorie et traitement des signaux*, Dunod, Ed. Dunod, 1984.
- [12] A. Sparatu, *Théorie de la transmission de l’information : signaux et bruits*, Masson, Ed. Masson, 1970.
- [13] P. Peleties and R. DeCarlo, “Modeling of interacting continuous time and discrete event systems : An example.” in *Dans Twenty-Sixth Annual Allerton Conference on Communication, Control and Computing*, 1988, pp. 1150–9.
- [14] —, “A modeling strategy with event structures for hybrid systems.” in *Dans Proc. of the 28th IEEE Conference on Decision and Control*,, 1989, pp. 1308–1313.
- [15] —, “Discrete event dynamic systems : theory and applications,” *IEEE journal of the Institution of Electrical Engineers*,, pp. 39–69, 1993.
- [16] D. Gabor, “Theory of communication.” *IEEE journal of the Institution of Electrical Engineers, tome 93*,, pp. 429–457, 1946.
- [17] Ville, “Théorie et applications de la notion de signal analytique.” *Câbles et Transmissions, tome A, no. 2*,, pp. 61–74, 1948.
- [18] T. Olsson and P. Nilsson, “A digital pll made from standard cells.” *Dans ECCTD’01, tome I*,, pp. 277–280, 2001.
- [19] P. Acco, O. Feely, and D. Fournier-Prunaret, “The digital charge pump pll.” *Dans International Symposium on Nonlinear Theory and its Applications (NOLTA’02). IEEE publishers*,, pp. —, 2002.

- [20] B. Razavi, *Design of Monolithic Phase Locked Loops and Clock Recovery circuits- A Tutorial*, Piscataway, Ed. NJ :IEEE press,, 1996.
- [21] M. Bazes, "A novel precision mos synchronous delay line," *IEEE journal of Solid State Circuits*, vol sc-20, no 6, pp. 1265–71, 6 Dec. 1985.
- [22] Johnson, M.G., and E. Hudson, "A variable delay line pll for cpu-coprocessor synchronisation," *IEE Journal of Solid-State Circuits*, vol 23, no 5, pp. 1218–23, oct. 1988.
- [23] A. Waizmann, "A delay line loop for frequency synthesis of de-skewed clock," *IEEE ISSCC Dig. Of Tech. Papers*, p. Session 18.5, Feb 1994.
- [24] G. Chien and P. Gray, "A 900-mhz local oscillator using a dll-based frequency multiplier technique for pcss applications," *IEEE Journal of Solid-State circuits*, vol 35, no 12, pp. 1996–9, dec 2000.
- [25] Y. Ota *et al.*, "High-speed, burst-mode, packet capable optical receiver and instantaneous clock recovery for optical bus operation," *IEEE journal of Lightwave Technology*, vol 12, no 2, pp. 325–330, feb. 1994.
- [26] A. Efendovich *et al.*, "Multifrequency zero-jitter delay-locked loop," *IEEE Journal of Solid State Circuits*, vol 29, no 1, pp. 67–70, feb. 1994.
- [27] "Universal serial bus specification," Révision 2.0, Tech. Rep., april 27 2000.
- [28] S. K. Shanmugam, "Digital and analog communication systems," Wiley, New York, Tech. Rep., 1979.
- [29] STMicroelectronics and Axalto, Patent EP 1 679 819 A1, 2004. [Online]. Available : <http://v3.espacenet.com/>
- [30] T. Lee, F. John, and Bulzacchelli, "A 155mhz clock recovery delay and phase-locked loop," *IEEE J.Solid-State Circuit*, vol.27, pp. 1736–1746, Dec. 1992.
- [31] M. Rau, T. oberst, R. Lares, and A. Rothermel, "Clock/data recovery pll using half-frequency clock," *German ministry for education and research in Collaboration with Thomson*, Feb. 6 1997.

- [32] P. Larsson, "A 2-1600mhz cmos clock recovery pll with low vdd capability," *IEEE J.Solid-State Circuit*, vol 34, pp. 1654–1665, june 1999.
- [33] H. Ransjin and P. O'cornner, "A pll-based 2,5b/s gaas cdr," *IEEE J.Solid State Circuits*, vol 26, pp. 1345– 1353.
- [34] J. Alexander, "clock recovery from random binary signals," *electron. Lett. Vol 11*, pp. 542–542, Oct 1975.
- [35] C. Hogge, "a self-correcting clock recovery circuit," *J.Lightwave technologie*, vol 3, pp. 1312– 1314, Dec 1985.
- [36] C. Gray *et al.*, "a sampling technique and its cmos implementation with 1-gb/s bandwidth and 25ps resolution," *IEEE J.Solid-State Circuits*, vol. 29, pp. 1312– 1314, Mar 1994.
- [37] A. Widmer *et al.*, "Single-chip 4x500 mbaud cmos transceiver," *IEEE J Solid State Circuits*, vol 31, pp. 2004–2014, dec 1996.
- [38] C. K. Yang and M. Horowitz, "A 0.8um cmos 2.5 gbpd oversampling receiver and transmitter for serial link," *IEEE J Solid States Circuits*, vol. 31, Dec 1996.
- [39] D. Banerjee, *PLL Performance Simulation and Design*, B. Burdette, Ed., 2001.
- [40] C. A. Sharpe, "A 3 state phase detector can improve your nest pll design." *Dans EDN*, pp. 55– 59, September 1976.
- [41] F. M. Gardner, "Charge pump phase lock loops." *IEEE trans. on Communications*, tome COM- 28, no. 11,, pp. 1849– 1858, nov 1980.
- [42] Keese and O. William, "An analysis and performance evaluation of a passive filter," *Design Technique for Charge Pump Phased Locked Loops Application Note 1001*, p. National Semiconductor.
- [43] A. Hajimiri, S. Limotyrakis, and T. H. Lee, "Jitter and phase noise in ring oscillators," *IEEE journal of Solid-State Circuits*, Volume 34, No 6,, pp. 790–804, June 1999.

- [44] Keese and O. William, "Jitter in ring oscillators," *IEEE journal of Solid-State Circuits*, Volume 32, No 6, pp. 870–879, June 1997.
- [45] A. Hajimiri and T. H. Lee, "The design of low noise oscillators," *Kluwer Academic Publishers*, 1999.
- [46] C.-H. Park and B. Kim, "A low-noise , 900mhz vco in 0.6 micrometre cmos," *IEEE Journal of Solid-State Circuits*, Volume 34, Issue 5,, pp. 586–591, May 1999.
- [47] M. Paemel, "Analysis of a charge-pump pll : A new model," *IEEE Transactions on communications*, Vol. 42 n°7, pp. 2490 –2498, Juillet. 1994.
- [48] S. Sidiropoulos, D. Liu, and G. Wei, "Adaptive bandwidth dlls and plls using regulated supply cmos buffers," *2000 Symposium VLSI technical paper IEEE*, 2000.
- [49] J. Lee and B. Kim, "A low-noise fast-lock phase-locked loop with adaptive bandwidth control," *IEEE J. of Solid State Circ. vol. 35*, Aug. 2000.
- [50] I. Novof *et al.*, "Fully-integrated cmos phase-locked loop with 15 to 240 mhz locking range and 50 ps jitter," in *ISSCC Dig.Tech. Papers*, pp. 112–113, Feb. 1995.
- [51] A. Young, J. K. Greason, J. E. Smith, and K. L. Wong, "A pll clock generator with 5 to 110 mhz lock range for microprocessors," in *ISSCCDig. Tech. Papers*, pp. 50–51, Feb. 1992.
- [52] P. Allen and D. Holberg, *CMOS Analog Circuit Design*, S. edition, Ed. Oxford University press, 2002.
- [53] L. B. Michael, "Frequency multiplier with a tree structure of cmos logic gates of the type exclusive-or," Patent EP0660525, 08.1998. [Online]. Available : www.freepatentsonline.com/EP0660525B1.html
- [54] G. Couturier, *Bruit en électronique et détection synchrone*, vol 7, S. edition, Ed., 2003.
- [55] D. Leeson, "A simple model of feedback oscillator noises spectrum," *Proc. IEEE*, Vol. 54, pp. 329–330, Fév. 1966.

- [56] A. Hajimiri and T. H. Lee, "A general theory of phase noise in electrical oscillator," *IEEE Journal of Solid-State Circuits*, Vol. 33 n°2, pp. 179–193, Fév. 1998.
- [57] L. Iopis, O. Regis, M. Desgrez, and S. Graffeuil, "Phase noise performance of microwave analog frequency dividers :application to the characterization of oscillators up to themillimeter-wave range," *Ultrasonics Ferroelectrics and Frequency Control, IEEE Transactions on Volume 46, Issue 4*, pp. 935 – 940, Jul 1999.
- [58] S. Levantino, L. Romano, S. Pellerano, C. Samori, and A. Lacaita, "phase noise in digital frequency dividers," *Solid-State Circuits, IEEE Journal of Volume 39, Issue 5*, pp. 775 – 784, May 2004.
- [59] T. Manolis, *Simulating Phase noise Contribution of the Divider in a Phase Locked Loop*, T. D. G. Community, Ed. www.designers-guide.org, may 2006.
- [60] A. Stephen, *Non linear Microwave Circuit*, A. House, Ed. Nonwood, 1988.
- [61] C. Tang, "An exact analysis of varactor frequency multipliers," *IEEE Transaction on Microwave Theory and Thechniques*, Vol. MTT-14, No. 4, pp. 210–212., Apr 1996.
- [62] C. Burckhardt, "Analysis of varactor frequency multipliers for arbitrary capacitance variation and drive level," *Bell Syst. Tech. Journal*, Vol. 44,, pp. 675–692, Apr 1965.
- [63] Choudhury, D.Frerquing, M.A, and P. Batelman, "A 200 ghz tripler using a single barrier varactor," *IEEE MTT-41, No.4*, pp. 595–599., Apr 1993.
- [64] E. Caeman, M. Case, M. Kamegawa, Y. Ruai, K. Giboney, and J. Rodwell, "V-band and w-band broad-band monolithic distributed frequency multipliers," *IEEE Microwave and Guided Wave Letters*, Vol. 2,No -6, pp. 253–254., jne 1992.
- [65] M. Faber, J. Charmiec, and M. Adamski, *Microwave and Millimeter-wave Diode Frequency Multipliers*, A. House, Ed. Nonwood, 1995.
- [66] Mancini, Brian, and M. Motorola, "Frequency multiplier with a tree structure of cmos logic gates of the type exclusive-or," Patent WO/1998/036 491, 12.1997.

- [67] K. Takano, M. Motoyoshi, and M. Fujishima, "4.8ghz cmos frequency multiplier with subharmonic pulse-injection lockin," *Solid-State Circuits Conference, ASSCC '07*, pp. 336–339, 2007.
- [68] C. Kuo, C. Chien, M. Lin, and Y. Tsai, "A fast-locking dll-based frequency multiplier for wide-range operation," in *Circuits, Signals, and Systems*, 2007.
- [69] Fritzsche and D. Shah, "Frequency multiplier 0.1/12 ghz with mos varactors," *Bundesmin. fuer Forsch. u. Technol. G-Telefunken, Heilbronn*, 04/1975.
- [70] B. Yves and M. Thomson-CSF, "Frequency doubleur," Patent EP0 487 386, 1995.
[Online]. Available : www.freepatentonline.com
- [71] R. J. Baker, W. Li, E. David, and Boyce, *CMOS Circuit Design, Layout and Simulation.*, S. edition, Ed., 2003.