



Méthodes et outils pour l'évaluation de la sensibilité de circuits intégrés avancés face aux radiations naturelles

Paul Peronnard

► To cite this version:

Paul Peronnard. Méthodes et outils pour l'évaluation de la sensibilité de circuits intégrés avancés face aux radiations naturelles. Micro et nanotechnologies/Microélectronique. Université Joseph-Fourier - Grenoble I, 2009. Français. NNT: . tel-00441658v2

HAL Id: tel-00441658

<https://theses.hal.science/tel-00441658v2>

Submitted on 17 Dec 2009 (v2), last revised 17 Dec 2009 (v3)

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

UNIVERSITE JOSEPH FOURIER

N° attribué par la bibliothèque

|_/_/_/_/_/_/_/_/_/_|

THÈSE

pour obtenir le grade de

DOCTEUR

Spécialité : Micro-Electronique

préparée au laboratoire TIMA dans le cadre de
l'École Doctorale d'Électronique, d'Électrotechnique,
d'Automatique et de Traitement du Signal
présentée et soutenue publiquement
par

Paul PERONNARD

le 2 octobre 2009

Titre :

**Méthodes et outils pour l'évaluation de la sensibilité de
circuits intégrés avancés face aux radiations naturelles**

Directeur de thèse : Raoul VELAZCO

Jury

M. Michael NICOLAIDIS	Président
M. Jean-Luc AUTRAN	Rapporteur
M. Frédéric SAIGNE	Rapporteur
M. Raoul VELAZCO	Directeur
M. Vincent POUGET	Examineur
M. Guy BERGER	Examineur

"A Zoé"...

Remerciements

Cette thèse a été réalisée au sein du groupe ARIS du Laboratoire Techniques de l'Informatique et de la Micro-électronique pour l'Architecture des systèmes intégrés (TIMA). Au terme de cette étude, je souhaiterais remercier :

Madame Dominique Borrione, Directeur de Recherche au CNRS et Directeur du Laboratoire pour m'avoir accueilli au sein de TIMA.

Monsieur Raoul Velazco, Directeur de Recherche au CNRS et Directeur du groupe ARIS, pour m'avoir proposé un stage il y a 8 années de cela et qui a conduit à cette thèse. Je lui exprime ma profonde gratitude pour son ouverture d'esprit, pour m'avoir fait confiance dans mes décisions techniques ainsi que sa disponibilité au cours de ces 8 dernières années. Je le remercie pour ses conseils et critiques, ainsi que son infaillible bonne humeur !

Monsieur Michael NICOLAIDIS, Directeur de Recherche au CNRS, pour m'avoir fait l'honneur d'accepter de présider le jury de cette thèse.

Messieurs Jean-Luc AUTRANS, Directeur de Recherche à l'Université de Provence et Frédéric SAIGNE, Maître de conférence à l'Université Montpellier II, pour l'honneur qu'il m'ont fait en acceptant d'être rapporteurs de ce travail.

Monsieur Vincent POUGET, Chercheur au laboratoire IMS pour sa participation en tant qu'examineur. Je le remercie aussi pour sa disponibilité lors des essais laser que nous avons faits ensemble.

Monsieur Guy BERGER, Ingénieur au Cyclotron de Louvain-la-Neuve, d'avoir fait le déplacement depuis la Belgique afin d'assister à cette thèse en tant qu'examineur. Je le remercie pour ses compétences techniques et sa disponibilité lors des campagnes

de test que j’ai pu effectuer au cyclotron. Je le remercie aussi pour sa bonne humeur et les moments de rigolade lors de nos missions communes de test à distance.

Monsieur Guillaume HUBERT qui, par sa coopération, a permis la validation de nos expériences en avion qui font l’objet d’un chapitre de cette thèse.

Je remercie Gilles FOUCARD pour son amitié depuis toutes ces années où nous partageons nos différents bureaux d’école depuis la classe de première jusqu’à la thèse. Ce fut un plaisir de partager des nuits de debuggage et de “bicher” ensemble nos 205. Merci aussi à son père Joseph pour son aide et ses conseils techniques qui m’ont permis de mener à terme certains projets.

Merci à Gilles SICARD avec qui je partage une passion commune qui est l’aéro-modélisme. J’ai apprécié nos longues discussions sur la construction ainsi que sa riche culture sur les modèles grandeurs.

Je remercie aussi Fabien FAURE qui m’a fait partager ses compétences techniques lors de ses travaux de thèse.

Finalement, je remercie tout particulièrement ma femme Zoé qui a supporté mes longues années d’études. Une pensée aussi pour mes parents et ma grand-mère qui m’ont encouragé dans cette voie.

Résumé

La réduction des dimensions et paramètres électriques des transistors, fruit des progrès dans les technologies de fabrication de circuits intégrés, rend les composants présents et futurs de plus en plus sensibles aux perturbations appelées événements singuliers SEE (Single Event Effects). Ces événements sont la conséquence d'une impulsion de courant résultant de l'impact dans des zones sensibles du circuit, de particules énergétiques présentes dans l'environnement dans lequel ils fonctionnent. Parmi les différents types de SEE, peuvent être mentionnés les SEU (Single Event Upsets) qui consistent en l'inversion du contenu de cellules mémoires et les SEL (Single Event Latchups) qui donnent lieu à des courts-circuits masse-alimentation et peuvent donc conduire à la destruction du circuit par effet thermique.

Cette problématique, connue depuis les années 70 pour les applications spatiales, concerne de nos jours les applications destinées à fonctionner dans l'atmosphère terrestre. Les neutrons atmosphériques, dont les flux et énergies dépendent de l'altitude, l'activité solaire et des coordonnées géographiques, ont été identifiés comme susceptibles de provoquer des SEE par ionisation indirecte dans des composants nanométriques. Ceci concerne non seulement l'avionique mais aussi les applications fonctionnant au sol. L'évaluation de la sensibilité aux SEE provoqués par les radiations naturelles devient une étape incontournable dans la sélection des composants destinés à faire partie d'une application exigeant une haute fiabilité.

La sensibilité aux SEE peut être mitigée par diverses approches, allant depuis des actions au niveau de la technologie de fabrication (utilisation de technologies SOI), de la conception (durcissement des cellules mémoires ou des blocs logiques), ou du système (redondances matérielles et/ou logicielles).

Quelle que soit la méthode de durcissement adoptée, les tests sous radiations sont incontournables pour évaluer le taux d'erreurs d'un circuit ou d'un système. Durant un

tel test, le composant cible est exposé à un flux de particules issu d'un accélérateur approprié (cyclotron, accélérateur linéaire) pendant qu'il exécute une activité donnée. Concernant les SEU, deux principales stratégies de test existent :

- test statique : les cibles potentielles aux SEU (registres, mémoires, ...) sont initialisées avec un motif de référence. Le contenu de ces zones sensibles est périodiquement comparé au motif de référence pour identifier les SEU.
- test dynamique : le composant sous test exécute une activité représentative de celle qu'il aura à effectuer dans son application finale.

Les stratégies de test statiques sont fréquemment adoptées car elles fournissent une information sur la sensibilité intrinsèque des différentes zones sensibles du composant (nombre moyen de particules nécessaire à la production d'un SEU). Cette thèse a pour but de décrire et valider les méthodologies nécessaires pour évaluer de manière précise la sensibilité face aux radiations de deux types de circuits numériques représentatifs, processeurs et mémoires, composants utilisés dans la plupart des systèmes embarqués.

MOTS CLES

ENVIRONNEMENT SPATIAL, EFFETS SINGULIERS, UPSET, SEU, ENVIRONNEMENT ATMOSPHERIQUE, INJECTION DE FAUTES, PROCESSEURS, ACCELERATEURS DE PARTICULES, MEMOIRES SRAM

Abstract

The reduction of electrical parameters of transistors, resulting of the progress done in the IC's manufacturing technologies, make present and future devices more and more sensitive to transient perturbations, so-called S.E.E. (Single Event Effects) provoked as the consequence of the current pulse issued from the impact with sensitive areas of the circuit, of energetic particles present in the environment where the circuit operates. Among the different types of S.E.E. can be mentioned the SEU (Single Event Upsets) which consist in the inversion of the content of memory cells, the SEL (Single Event Latchup) which may lead to the device destruction as the consequence of thermal effects.

This problematic, known since the 70s for space applications, constitutes a concern nowadays for applications devoted to operate in the Earth's atmosphere. Atmospheric neutrons, whose fluxes and energies dependent on the altitude, the sun activity and the geographic coordinates, have been identified as being capable to provoke SEE, by indirect ionisation, in integrated devices issued from advanced manufacturing processes (nanometric devices). This concerns not only avionics but also applications operating at ground level. The evaluation of the sensitivity to SEE provoked by natural radiation becomes thus a mandatory step during the selection of devices devoted to be included in applications requiring high reliability.

The sensitivity to SEE can be mitigated by different approaches at different levels from manufacturing level (use of particular process technologies such as SOI) to the system level (hardware/software redundancy).

Independently of the adopted hardening approach, the so-called radiation ground testing are mandatory to evaluate the error rates of a device or a system. During such tests, the DUT (Device Under Test) is exposed to a flux of particles while it performs a given activity. For SEU radiation ground testing, two main strategies exist :

- static test : the circuit areas which are supposed to be sensitive to SEUs (registers, memories, ...) are initialized with a reference pattern. The content of the sensitive area is periodically compared to the reference pattern to identify potential SEU.
- dynamic test : the DUT performs an activity representative of the one it will execute during the final application.

Static test strategies are frequently adopted as they provide the intrinsic sensitivity, in terms of the average number of particles needed to provoke an SEU, of different sensitive areas of the device. From such a strategy can thus be obtained a "worst case estimation" of the device sensitivity. This thesis aims at giving a description and validating the methodologies required to estimate the sensitivity to radiations of two types of digital integrated circuits, processors and memories, components used in embedded systems.

KEY WORDS

SPACE ENVIRONMENT, SINGLE EVENT EFFECTS, UPSET, SEU, ATMOSPHERIC ENVIRONMENT , FAULT INJECTION, PROCESSORS, PARTICLE ACCELERATORS, SRAM MEMORIES

Introduction

La fiabilité des composants électroniques peut-être grandement affectée par l'environnement dans lequel ils évoluent. En effet, des perturbations dues aux particules énergétiques peuvent perturber de manière transitoire ou permanente le fonctionnement des circuits intégrés. Cette problématique fait de nos jours partie intégrante de la fiabilité des composants. Alors qu'elle concernait initialement les composants destinés à travailler en environnement radiatif sévère du type spatial ou nucléaire, l'évolution de la complexité des circuits (miniaturisation et nombre croissant des transistors) nous amène à prendre en compte ces contraintes radiatives dans tous les types d'environnement, y compris au niveau du sol pour certaines applications commerciales telles l'automobile ou le biomédical. De plus, de nombreux composants commerciaux ou COTS (Components Off The Shelf) sont, pour des raisons de coût, embarqués à bord des satellites, lanceurs ou avions. Ces COTS remplacent ainsi des composants spécifiques, dits "durcis", conçus pour faire face aux contraintes radiatives.

Les perturbations engendrées par les radiations sont généralement classées en trois catégories : les effets transitoires ou ponctuels liés au passage d'une unique particule, les effets de dose résultants de l'ionisation des isolants et enfin, les effets de déplacement d'atomes. Les composants électroniques sont exposés à ces trois problèmes lorsqu'ils évoluent dans un environnement nucléaire ou spatial. Au niveau du sol, les effets de dose ou de déplacement étant minoritaires, seuls les effets singuliers sont à considérer. Ils sont liés aux rayonnements cosmiques qui, en traversant notre atmosphère, se décomposent en particules secondaires dont les neutrons à faible énergie, dits "thermiques".

La réduction des paramètres technologiques et l'intégration croissante des composants conduisent à s'intéresser aux causes et aux mécanismes locaux qui régissent leur susceptibilité. En effet, la perturbation morphologique (une dizaine de nanomètres) créée par le passage d'une particule ionisante approche maintenant la taille d'un transistor. Ainsi, avec la réduction drastique de la taille des transistors, une particule peut

non seulement impacter un transistor, mais aussi ces voisins conduisant ainsi à de multiples évènements et donc défiant potentiellement les techniques de tolérance aux fautes.

Le besoin constant de puissance de calcul a influé sur la miniaturisation ainsi que l'augmentation de la densité de transistors des circuits intégrés. Aujourd'hui, des processeurs complexes de type PowerPC ou Pentium sont utilisés pour des applications spatiales [ISS, CNES]. L'évaluation de la sensibilité de ces circuits amène à développer de nouveaux outils et méthodes de caractérisation.

Plusieurs standards pour le test de circuits intégrés sont disponibles [23, 24]. Cependant ces standards se concentrent sur la qualification de circuits de type mémoire SRAM. Les méthodes de qualification de microprocesseurs ne sont pas abordées, laissant ainsi un libre choix de la méthode de test. Cette absence de protocole de test est compréhensible car le taux d'erreur d'une architecture à base de microprocesseur est dépendant de l'application exécutée [14, 37]. Néanmoins, la caractérisation d'un circuit commence toujours par une évaluation de la sensibilité de ses blocs élémentaires (registres, mémoire interne, ...) et demande une certaine rigueur dans le protocole de test afin que la prise de mesure soit valide.

C'est dans ce contexte que s'inscrit cette thèse. Le travail effectué s'articule autour de deux axes. Tout d'abord, sont décrits des outils et méthodes permettant l'évaluation de la sensibilité face aux radiations de circuits intégrés représentatifs tels les processeurs ou mémoires. Une étude de cas mettant en oeuvre un processeur complexe illustrera ce premier axe de travail. La deuxième contribution est liée à la mise en évidence de l'occurrence d'évènements multiples sur des mémoire SRAM comme conséquence de l'impact des particules présentes dans l'atmosphère terrestre.

Le premier chapitre introduira la problématique liée aux effets des radiations naturelles sur les composants électroniques. L'objectif est de donner au lecteur les origines ainsi que les différents effets des rayonnements ionisants.

Dans le deuxième chapitre sont décrits les outils et les environnements de test permettant de caractériser face aux radiations les circuits intégrés numériques et analogiques. La plateforme de test développée au cours de la thèse y sera décrite.

Une étude de cas basée sur la méthodologie décrite dans le chapitre précédent sera présentée dans le troisième chapitre.

Dans le quatrième chapitre sont décrits les résultats obtenus lors d'expériences réalisées en haute altitude sur des mémoires SRAM. Ces résultats seront comparés aux taux

d'erreurs prédits par un logiciel développé à l'Office National d'Etudes et de Recherches Aérospatiales (ONERA).

Table des matières

Remerciements	v
Résumé	vii
Abstract	ix
Introduction	xi
1 Environnement radiatif, effets sur les circuits intégrés	1
1.1 Généralités sur les effets des radiations	2
1.2 Environnements radiatifs spatial et atmosphérique	2
1.2.1 L'environnement radiatif spatial	2
1.3 L'environnement radiatif atmosphérique	8
1.4 Effets des radiations sur les circuits intégrés	10
1.4.1 Mécanismes d'interaction d'une particule avec la matière	10
1.4.2 Effet de dose	11
1.4.3 Effets singuliers	13
1.5 Conclusion	16
2 Méthodes et outils pour la qualification de circuits intégrés face aux effets des radiations	17
2.1 Notion de section efficace	18
2.2 Nécessité d'une plateforme de test générique	19
2.3 Installations utilisées pour la caractérisation de circuits face aux radiations	23
2.3.1 Source radioactive	23
2.3.2 Accélérateurs linéaires et circulaires	24
2.3.3 Micro-faisceau	24
2.3.4 Utilisation d'un faisceau laser	25

TABLE DES MATIÈRES

2.4	Tests statiques et dynamiques	25
2.5	Mesure de section efficace	26
2.5.1	Choix d'un motif de test	26
2.5.2	Temps d'exposition des zones sensibles	27
2.6	Simulation de basculement de bits dans des circuits numériques	28
2.6.1	Estimation du taux d'erreur d'un système d'exploitation	32
2.6.2	Impact des options de compilation sur le taux d'erreur d'une application	35
2.7	Conclusion	37
3	Étude de cas : caractérisation d'un processeur complexe de type PowerPC	39
3.1	Le projet SCADRI	40
3.2	Architecture des processeurs PowerPC	42
3.3	Essais ions lourds et neutrons sur les processeurs PowerPC 7447A et PPC 7448	44
3.3.1	Introduction	44
3.3.2	Tests Ions lourds	45
3.4	Prédiction du taux d'erreurs pour le PPC7448	50
3.4.1	Carte fille ASTERICS pour le PowerPC	50
3.4.2	Développements logiciels	50
3.4.3	Mesures de section efficace dynamique	53
3.4.4	Confrontation des prédictions du taux d'erreurs aux mesures effectuées sous radiation	55
3.5	Conclusion	57
4	Essais en environnement réel : prédictions et premiers résultats	59
4.1	Introduction	60
4.2	Plateforme expérimentale	60
4.3	L'outil de simulation MUSCA SEP ³	63
4.4	Premiers résultats obtenus	63
4.4.1	Modélisation du composant et du vol	63
4.4.2	Résultats théoriques	65
4.4.3	Comparaison avec les résultats obtenus en vol	65
4.5	Conclusion	68
5	Conclusion générale	71
A	Publications et Activités pendant la thèse	75
B	Des circuits intégrés dans la stratosphère - Journal de l'INPG	79

Bibliographie	81
----------------------	-----------

Table des figures

1.1	Flux du rayonnement cosmique en fonctions de l'énergie des particules	4
1.2	Flux relatif de différents éléments constituant les rayons cosmiques . . .	4
1.3	Flux et énergies pour l'ion Oxygène	5
1.4	Représentation de la magnétosphère	6
1.5	Moyenne mensuelle du nombre de taches observé depuis les années 1700	7
1.6	Prédiction du cycle solaire à venir	8
1.7	Éruption solaire intervenue le 2 avril 2001	8
1.8	Ceinture de Van Allen	9
1.9	Cartographies d'erreur du satellite UoSAT-2	9
1.10	Représentation de la génération de particules secondaires dans l'atmosphère	10
1.11	Pouvoir d'arrêt d'un ion Xénon dans du Silicium	12
1.12	Effet de dose sur la caractéristique I(V) d'un transistor NMOS	13
1.13	Phénomènes de collection de charges	14
2.1	Courbe de section efficace	19
2.2	Le testeur ASTERICS	21
2.3	Architecture du testeur ASTERICS	22
2.4	Courbe expérimentale de la distribution des instants d'occurrence des événements	29
2.5	Mécanisme d'injection de faute de type SEU via l'activation d'interruptions	31
2.6	Fenêtre de registre du processeur LEON3	33
3.1	Architecture du processeur PowerPC 7448	42
3.2	Comparaison des deux générations de PowerPC	43
3.3	Calculs de taux d'erreurs en orbite	49
3.4	Flot d'exécution du processeur sous test	52

TABLE DES FIGURES

3.5	Section efficace de l'application avec mémoire cache désactivée	54
3.6	Section efficace de l'application avec mémoire cache activée	54
4.1	Carte développée pour les essais en environnement atmosphérique . . .	61
4.2	Architecture de la carte	61
4.3	Mécanismes physiques et électriques modélisés avec MUSCA SEP ³ . .	64
4.4	Modèles technologiques du plan mémoire	65
4.5	Énergie du spectre neutronique pour différentes localisations géogra- phiques	66
4.6	Section efficace calculée pour le modèle technologique sensible	66
4.7	Section efficace calculée pour le modèle technologique peu sensible . .	67
4.8	Type d'évènements pour les deux technologies	67
4.9	Intégration du nombre de SEE durant le vol Los Angeles - Paris flight .	69
4.10	Intégration du nombre de SEE durant le vol Buenos Aires - Paris	69
4.11	Intégration du nombre de SEE durant le vol Madrid - Buenos Aires . . .	70
4.12	Trajectoires des trois vols étudiés	70

Liste des tableaux

2.1	Environnements à considérer en fonction des LETs seuil	20
2.2	Résultats expérimentaux obtenus sur le système eCos	34
2.3	Taille de code et temps d'exécution en fonction des options de compilation	36
2.4	Résultats obtenus pour chacune des options de compilation	37
3.1	Conditions des tests ions lourds	46
3.2	Détails du cocktail haute pénétration disponible à CYCLONE	47
3.3	Sections efficaces, en cm^2/bit , de la mémoire cache L1 et des registres .	49
3.4	Taux d'erreurs obtenus par injection de 150 000 fautes	56
3.5	Prédictions vs. Mesures dans le cas cache données désactivée	56
3.6	Prédictions vs. Mesures dans le cas cache données activée	56
4.1	Erreurs observées lors d'un vol Madrid - Buenos Aires	62
4.2	Erreurs observées lors d'un vol Buenos Aires - Madrid	62
4.3	Résumé des SEU observés durant des vols long courrier commerciaux .	68

Chapitre 1

Environnement radiatif, effets sur les circuits intégrés

1.1	Généralités sur les effets des radiations	2
1.2	Environnements radiatifs spatial et atmosphérique	2
1.2.1	L'environnement radiatif spatial	2
1.3	L'environnement radiatif atmosphérique	8
1.4	Effets des radiations sur les circuits intégrés	10
1.4.1	Mécanismes d'interaction d'une particule avec la matière . . .	10
1.4.2	Effet de dose	11
1.4.3	Effets singuliers	13
1.5	Conclusion	16

Ce chapitre donne un aperçu des environnements radiatifs naturels spatial et atmosphérique. Les mécanismes de défaillance sur des circuits intégrés provoqués par différentes particules seront distingués.

1.1 Généralités sur les effets des radiations

Tout composant électronique est susceptible d'être perturbé par les environnements radiatifs dans lequel il évolue. Les premières études des effets des radiations naturelles sur les composants électroniques datent de la fin des années 70. La première publication relatant le rôle probable des radiations dans la perturbation du fonctionnement des composants logiques embarqués à bord d'un satellite date de 1975 [5]. En 1979, Ziegler et Lanford attirent l'attention des communautés scientifiques et techniques sur la possibilité d'observer des effets similaires aux altitudes avioniques ainsi qu'au niveau du sol dus aux interactions entre les neutrons et le silicium [43]. Ce type de perturbation était observé de manière ponctuelle. L'intégration des technologies ainsi que l'augmentation du nombre de composants électroniques dans les systèmes allaient changer la donne. En effet, la probabilité d'apparition de perturbations dues aux radiations allait suivre la croissance de l'intégration des circuits. Depuis cette époque, la prise en compte des effets des radiations est un point crucial pour assurer la sûreté de fonctionnement des systèmes évoluant dans l'espace ainsi que dans l'atmosphère terrestre aussi bien aux hautes altitudes qu'au niveau du sol.

1.2 Environnements radiatifs spatial et atmosphérique

Une distinction est faite entre l'environnement radiatif naturel présent dans l'espace et l'environnement radiatif atmosphérique. En effet, la nature des particules entrant en jeu est différente dans les deux cas.

1.2.1 L'environnement radiatif spatial

En environnement spatial, les perturbations ainsi que les dégradations induites par les rayonnements ionisants sont responsables de fonctionnements erratiques dans les architectures numériques. Ces dysfonctionnements dépendent fortement des caractéristiques (énergie et flux) des rayonnements incidents ainsi que de leur probabilité d'apparition. L'environnement radiatif spatial est constitué de particules couvrant un spectre très large. Ceci s'explique par l'origine diverse de ces sources ionisantes. Dans le milieu

spatial, les principales sources de rayonnement peuvent être classées en trois catégories [35, 6] :

- Le rayonnement cosmique constitué d'ions dont les énergies peuvent dépasser le GeV. Le flux de ces particules, dont le spectre comprend tous les éléments du tableau de Mendeleïev, est faible.
- L'activité solaire constituée de deux phénomènes qui sont les éruptions solaires et le vent solaire.
- Les ceintures de radiation qui sont formées de particules piégées par le champ magnétique terrestre.

Les paragraphes suivants donnent de plus amples informations sur ces trois sources radiatives.

Le rayonnement cosmique

La découverte de ce rayonnement a valu un prix Nobel à V. Hess en 1912. Il s'agit d'un rayonnement provenant de sources galactiques et extragalactiques [8]. Ce rayonnement cosmique est constitué de protons (87%), d'hélium (12%) et d'ions (1%) ayant de très grandes énergies (supérieures à 1GeV et jusqu'à 10^{11} GeV) [18]. Le flux de particules très énergétiques est très faible, de l'ordre d'une particule par kilomètre carré et par an pour une énergie de 10^{11} GeV. Toutefois, ils sont à prendre en compte dans le cas de missions spatiales longues de plusieurs années car la probabilité d'apparition d'un événement potentiellement destructif n'est pas négligeable. Dans la figure 1.1 sont donnés les flux du rayonnement cosmique en fonction de l'énergie des particules alors que la figure 1.2 donne les flux relatifs en fonction du type d'ion.

L'activité solaire

L'activité solaire a un rôle prépondérant sur notre environnement. Deux types d'activité influencent l'environnement radiatif. La première est continue, c'est le vent solaire. La deuxième activité est quant à elle périodique, ce sont les éruptions solaires [6].

Le vent solaire

Le vent solaire est un plasma résultant de l'évaporation de la couronne solaire. Cette couronne solaire portée à très haute température s'évapore dans l'espace sous la forme d'un flux continu de particules, principalement des électrons, protons et atomes d'hélium d'énergie inférieure à 100KeV. Le flux et la vitesse de ce vent solaire dépendent

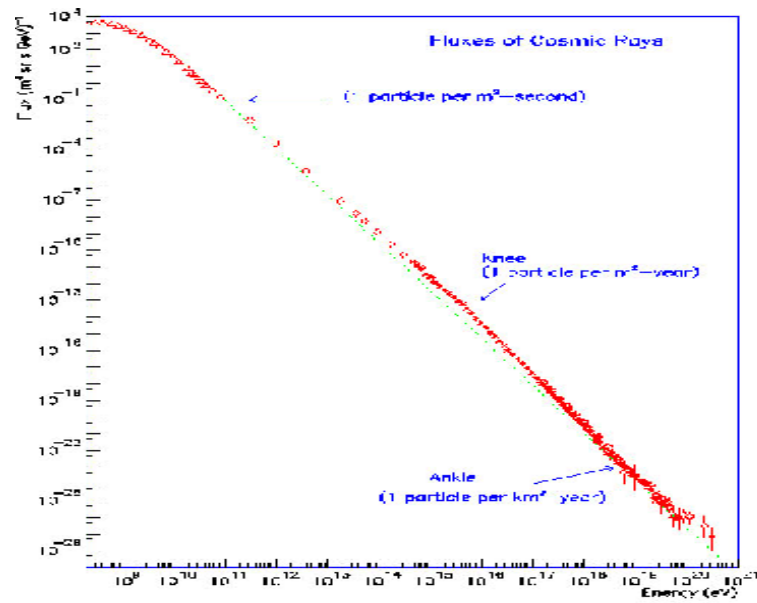


FIGURE 1.1 – Flux du rayonnement cosmique en fonctions de l'énergie des particules

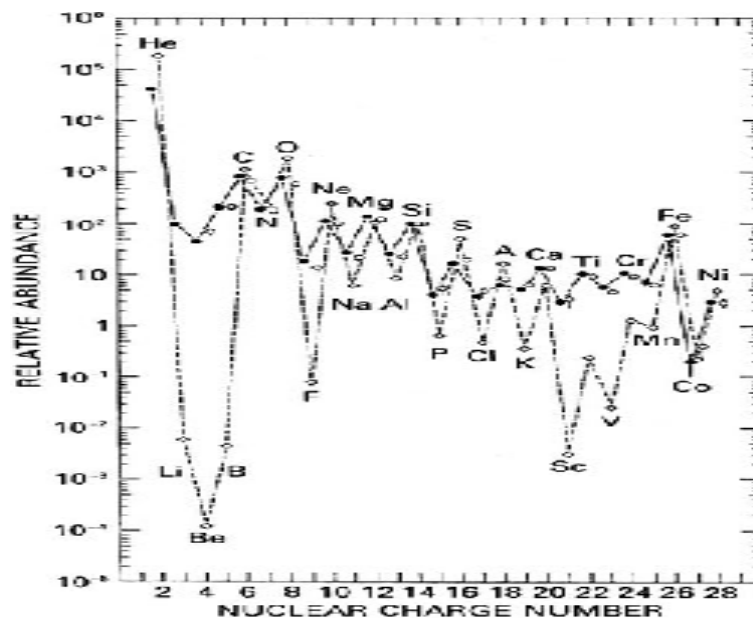


FIGURE 1.2 – Flux relatif de différents éléments constituant les rayons cosmiques

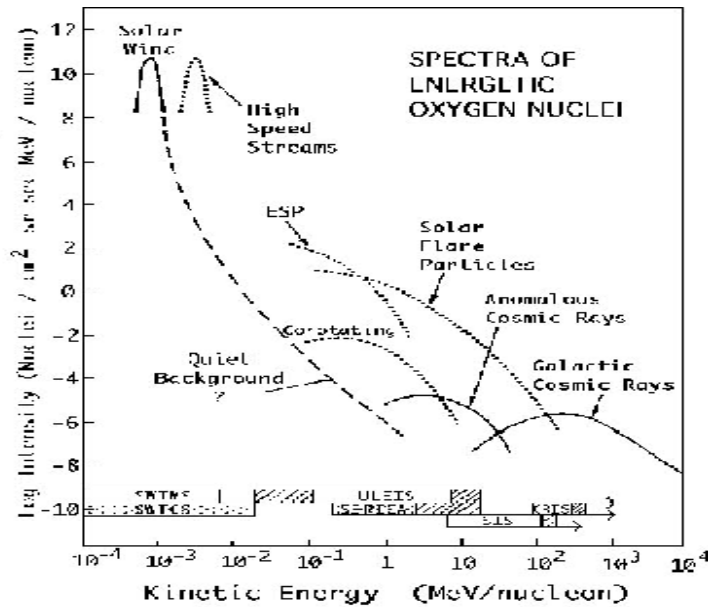


FIGURE 1.3 – Flux et énergies pour l'ion Oxygène

de l'activité solaire. En période d'activité faible, les flux rencontrés sont d'environ $2.10^8 \text{ particules} * \text{cm}^{-2} * \text{s}^{-1}$. Ce vent parcourt tout le système solaire et interagit avec les champs magnétiques des planètes Jupiter, Mercure, Terre et Saturne.

A titre indicatif, la figure 1.3 reporte la forme du spectre d'oxygène à plus basse énergie mesurée par le satellite ACE [1]. Il s'agit là de la contribution locale de notre Soleil. La forme du flux est similaire pour les autres noyaux, seule leur intensité change. Les courbes discontinues sont des phénomènes transitoires liés à l'activité solaire. La magnétosphère permet de stopper ce vent solaire. La forme de cette magnétosphère dépend de l'activité solaire. Elle varie entre dix et treize rayons terrestres côté Soleil et atteint quelques centaines de rayons terrestres de l'autre côté. La magnétosphère est délimitée par la magnétopause. C'est cette magnétopause qui va interagir avec le vent solaire. La figure 1.4 donne une représentation de cette magnétosphère.

Les éruptions solaires

L'activité solaire se matérialise par la présence de taches à la surface de celui-ci. L'observation de ces taches a permis de mettre en évidence des périodes d'activité de onze années en moyenne, alternant sept ans d'activité maximum et quatre ans d'activité

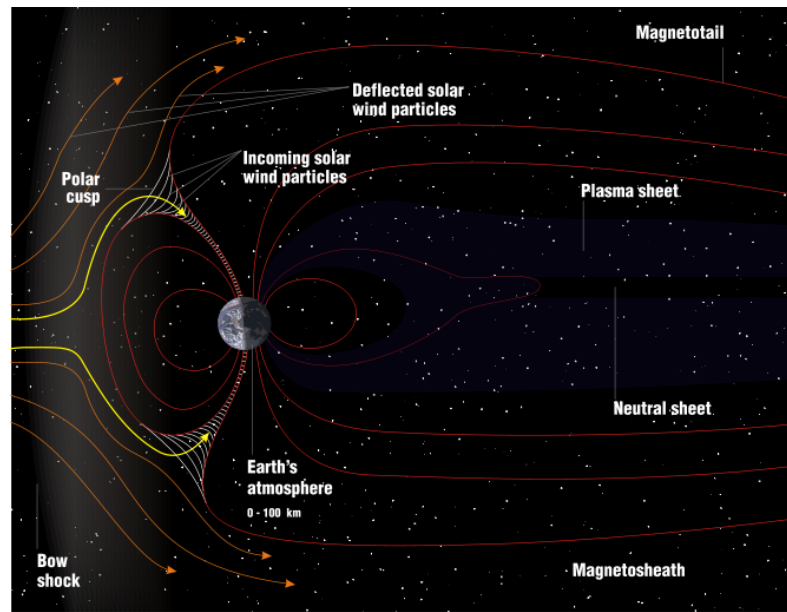


FIGURE 1.4 – Représentation de la magnétosphère

minimum [20]. L'observation de ces taches n'est pas récente, en effet Galilée les avait mises en évidence en 1610.

L'étude des taches sombres est un bon indicateur de l'activité du Soleil. Certaines de ces taches peuvent évoluer de manière assez violente entraînant une éjection de masse coronale, il s'agit des éruptions solaires. La figure 1.5 donne la moyenne mensuelle du nombre de taches observé depuis les années 1700. La figure 1.6 montre les cycles récents ainsi qu'une prédiction pour les prochaines années [2].

Les éruptions solaires se produisent en période d'activité maximum. Leur apparition est aléatoire et s'accompagne d'une émission de particules. Le type de particules émises peut changer, il en existe trois : les protons, électrons et les ions lourds. On distingue les éruptions à protons de celles à ions lourds. Les protons peuvent atteindre des énergies de l'ordre de la centaine de MeV. Les ions ont quant à eux des énergies variant entre quelques dizaines de MeV à plusieurs centaines de MeV. La figure 1.7 montre la plus grosse éruption solaire enregistrée par le satellite SOHO, le 2 avril 2001.

Ceintures de radiation

Des particules, principalement des protons et des électrons, peuvent être piégées par le champ magnétique terrestre. Ces zones de particules piégées sont appelées ceintures

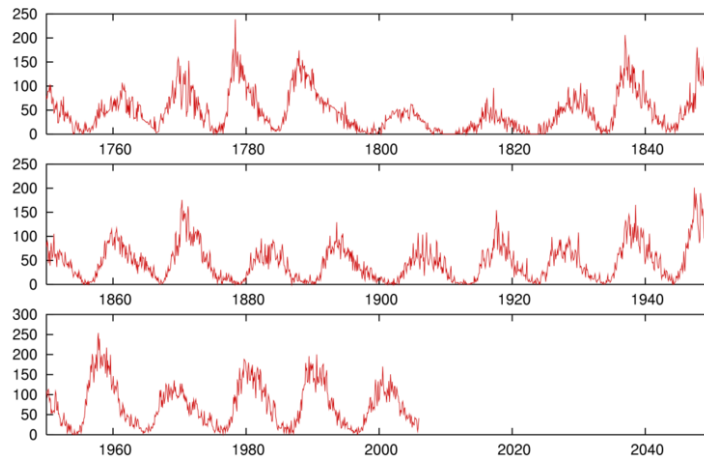


FIGURE 1.5 – Moyenne mensuelle du nombre de taches observé depuis les années 1700

de radiation ou ceintures de Van Allen et ont une forme toroïdale. La figure 1.8 donne une représentation de ces ceintures.

Il existe principalement trois ceintures de Van Allen. Deux de ces ceintures formées d'électrons sont situées à 9000km et 30000km. La troisième ceinture, formée principalement de protons, se trouve à 12000km [7]. Les protons piégés ont des énergies allant de 100KeV à plusieurs centaines de MeV. Les électrons quant à eux ont des énergies comprises entre quelques dizaines d'eV et 7MeV. Ces particules chargées sont injectées en grande partie par la queue de la magnétosphère. Les ceintures internes sont peuplées par les désintégrations radioactives de neutrons qui conduisent à la formation d'un proton et d'un électron. Ces neutrons sont le résultat de réactions nucléaires entre des ions issus des éruptions solaires ou du rayonnement cosmique avec des noyaux d'oxygène et d'azote de la haute atmosphère. Ces réactions prennent place au niveau des zones polaires.

En raison du décalage et de l'inclinaison de l'axe magnétique par rapport à l'axe de rotation de la Terre, le champ magnétique terrestre n'est pas uniforme et présente des distorsions locales. On peut noter que l'une des distorsions les plus importantes se situe dans l'hémisphère sud, au dessus de l'océan atlantique. On l'appelle d'ailleurs "Anomalie de l'atlantique Sud" ou SAA. La figure 1.9 donne une cartographie d'erreurs effectuée par le satellite UoSAT-2 qui suivait une orbite polaire à une altitude d'environ 700km. On y distingue clairement les anomalies enregistrées lors du passage par les pôles et la SAA.

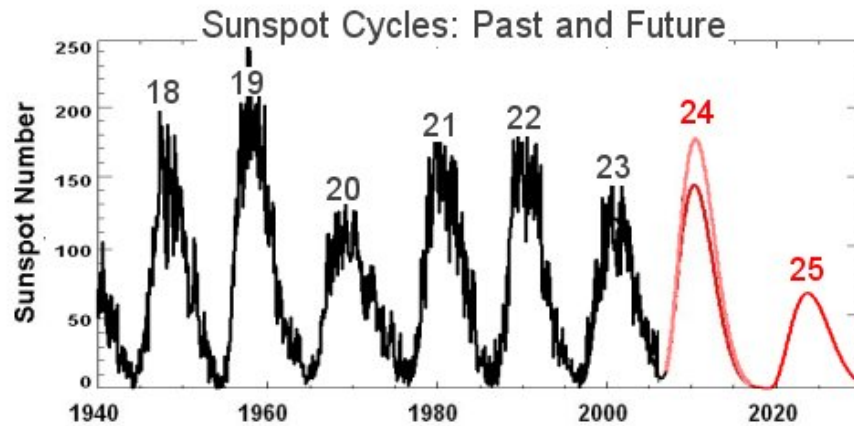


FIGURE 1.6 – Prédiction du cycle solaire à venir

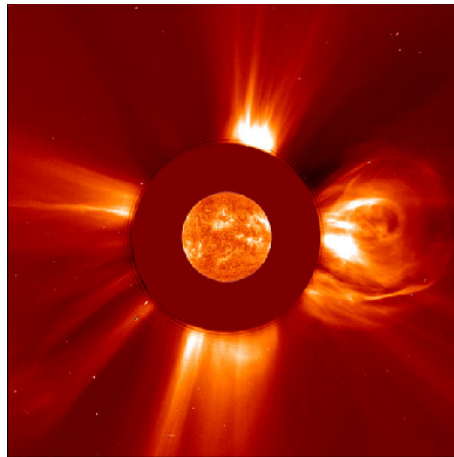


FIGURE 1.7 – Éruption solaire intervenue le 2 avril 2001

1.3 L'environnement radiatif atmosphérique

Lorsque les rayons cosmiques pénètrent dans l'atmosphère, des particules secondaires sont créées par l'interaction de ces rayons avec l'azote et l'oxygène. Cette création de particules peut prendre la forme d'une "douche" comme montrée dans la figure 1.10. Ces particules peuvent être des protons, électrons, neutrons, ions lourds et pions. Les pions ont une part négligeable dans la création d'effets singuliers. Ce n'est par contre pas du tout le cas pour les ions lourds ou bien les neutrons.

Les neutrons font partie de la famille des hadrons que l'on retrouve en plus grande

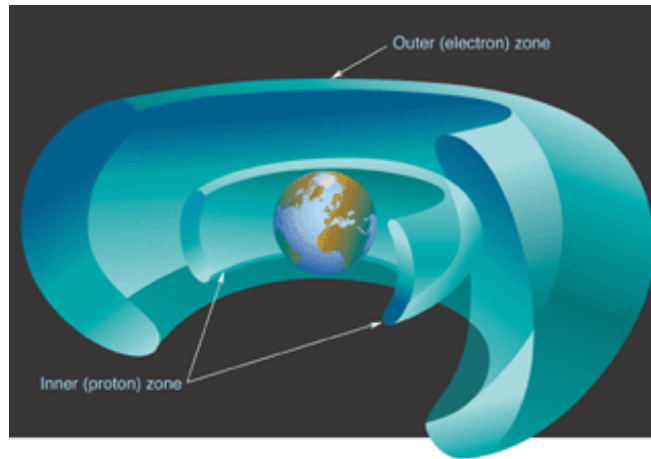


FIGURE 1.8 – Ceinture de Van Allen

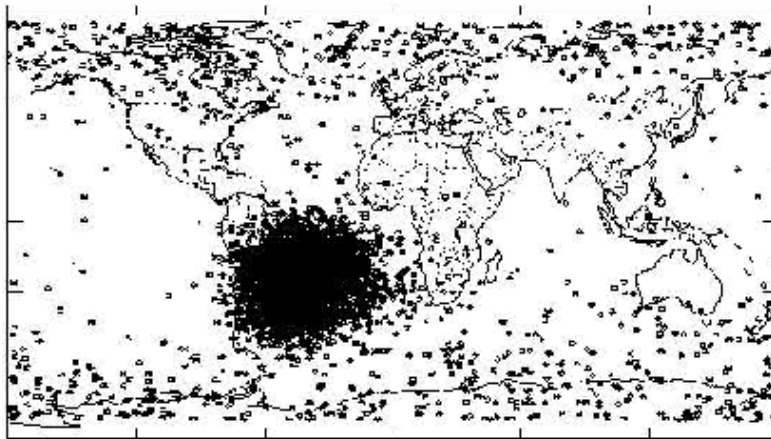


FIGURE 1.9 – Cartographies d'erreur du satellite UoSAT-2

quantité. Jusqu'aux années 90, seuls les neutrons d'énergie supérieure à 100MeV constituaient une menace pour les composants électroniques. Mais avec la diminution de la finesse de gravure des transistors, les circuits intégrés deviennent sensibles aux énergies inférieures à 100MeV. L'importance des neutrons de très faible énergie (dits neutrons thermiques) dans la création d'événements singuliers est aussi à prendre en considération. En effet, ils peuvent interagir avec le Bore qui est utilisé comme dopant ou constituant des couches de passivation [3, 19].

On considère que le flux de neutrons au sol est de l'ordre de 13 particules par cm^2 et par heure. Ce flux est modulé par plusieurs facteurs dont l'altitude (à 3700m le flux est

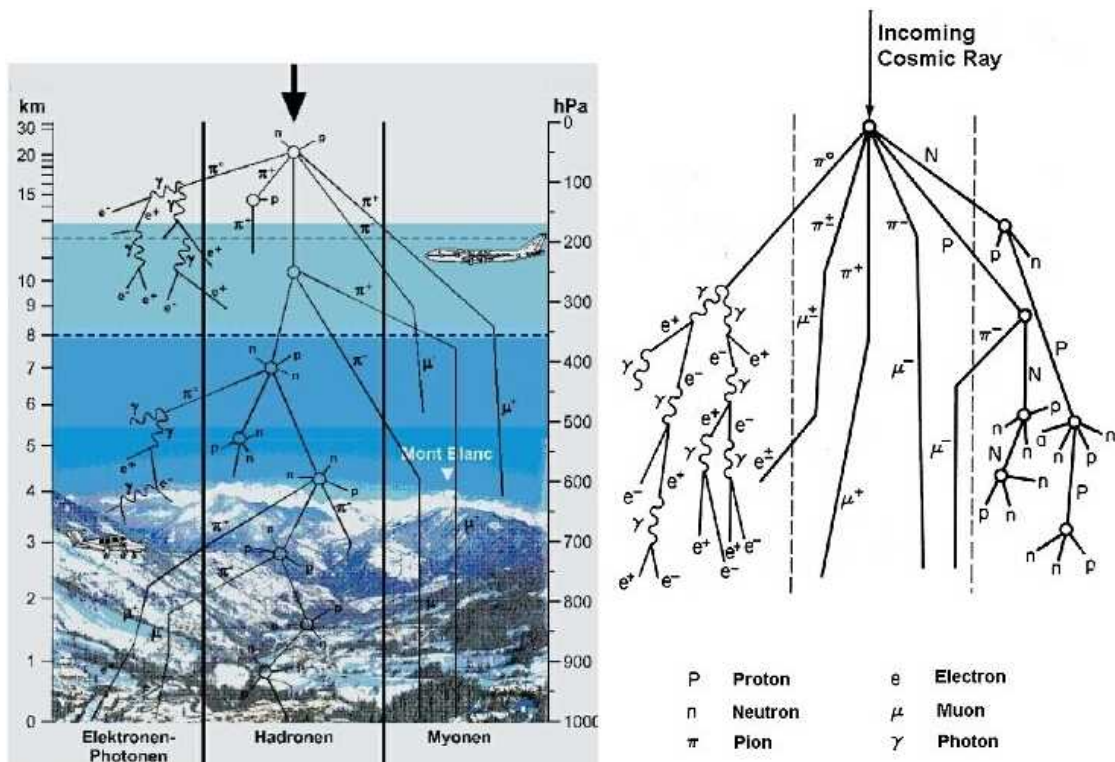


FIGURE 1.10 – Représentation de la génération de particules secondaires dans l'atmosphère

multiplié par 13), la latitude, le cycle solaire ainsi que l'éventuel blindage environnant.

1.4 Effets des radiations sur les circuits intégrés

Les radiations peuvent provoquer des effets transitoires, permanents ou destructifs dans les matériaux qu'elles traversent. Ce paragraphe donnera un aperçu des mécanismes d'interaction entrant en jeu lorsqu'une particule ionisante traverse de la matière. On peut d'ores et déjà classer deux effets distincts : la dose et les événements singuliers.

1.4.1 Mécanismes d'interaction d'une particule avec la matière

Les effets créés par le passage d'une particule ionisante sont en relation directe avec la quantité d'énergie perdue par celle-ci lors de son passage dans la matière. Cette quantité d'énergie perdue est appelé *pouvoir d'arrêt* qui est le résultat de deux phénomènes

mis en jeu et qui vont ralentir la progression de la particule incidente. Ces deux phénomènes d'interaction sont les pertes d'énergies électroniques et les pertes d'énergies nucléaires.

Les pertes électroniques sont dues aux interactions entre la particule et les électrons des atomes du milieu, en d'autres mots il s'agit de l'ionisation. L'ionisation de la matière va aboutir à la création de paires électrons - trous le long du parcours de la particule. Ce pouvoir d'arrêt électronique est appelé LET pour *Linear Energy Transfer*.

Les pertes nucléaires sont dues aux collisions entre la particule et les noyaux des atomes du milieu. Cette interaction peut conduire à l'éjection du noyau du réseau cristallin. Des défauts sont alors créés dans le réseau. Ce pouvoir d'arrêt nucléaire non ionisant est appelé NIEL pour *Non Ionising Energy Loss*.

Le pouvoir d'arrêt total est donc la somme de ces deux phénomènes et peut s'écrire :

$$\frac{dE}{dx} = \left(\frac{dE}{dx} \right)_{\text{électronique}} + \left(\frac{dE}{dx} \right)_{\text{nucléaire}} \quad (1.1)$$

Au fur et à mesure de sa progression dans la matière, la particule voit sa vitesse diminuer. Elle s'arrête lorsqu'elle a perdue toute son énergie. La figure 1.11 montre la contribution des deux pouvoirs d'arrêt énoncés ci-dessus.

1.4.2 Effet de dose

Cet effet résulte de l'interaction en les particules et les isolants du circuit intégré. La dose est définie comme étant l'énergie déposée par unité de masse et s'exprime en Gray. Un Gray équivaut à l'absorption d'un Joule par kilogramme de matière.

Lorsqu'une particule traverse un matériau, l'énergie perdue par celle-ci peut-être cédée aux électrons du matériau traversé, on parle alors de dose ionisante. Dans le cas de déplacement d'atomes, on parle de dose non ionisante.

Dose ionisante

Selon la nature du matériau, les électrons peuvent atteindre la bande de conduction et ainsi libérer des trous dans la bande de valence [27]. Dans le cas du silicium non ou légèrement dopé, on admet que la génération de charge est équivalente à la densité de

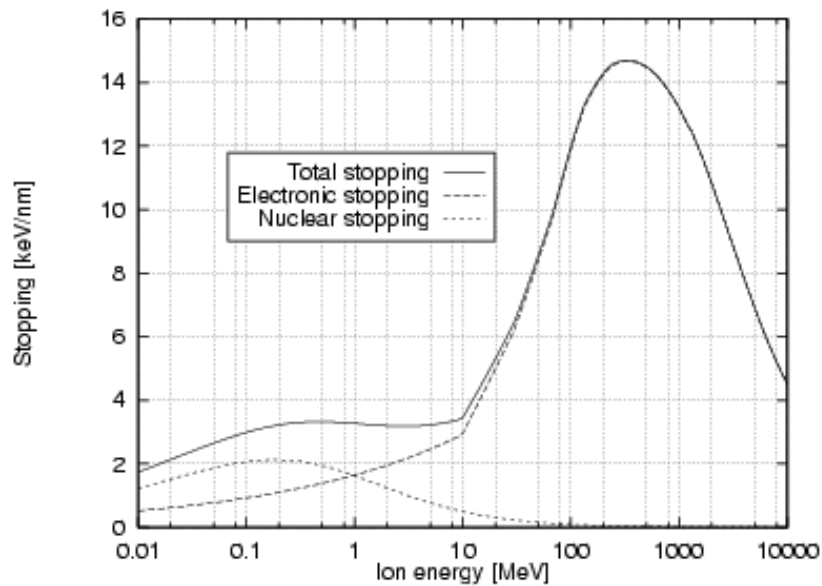
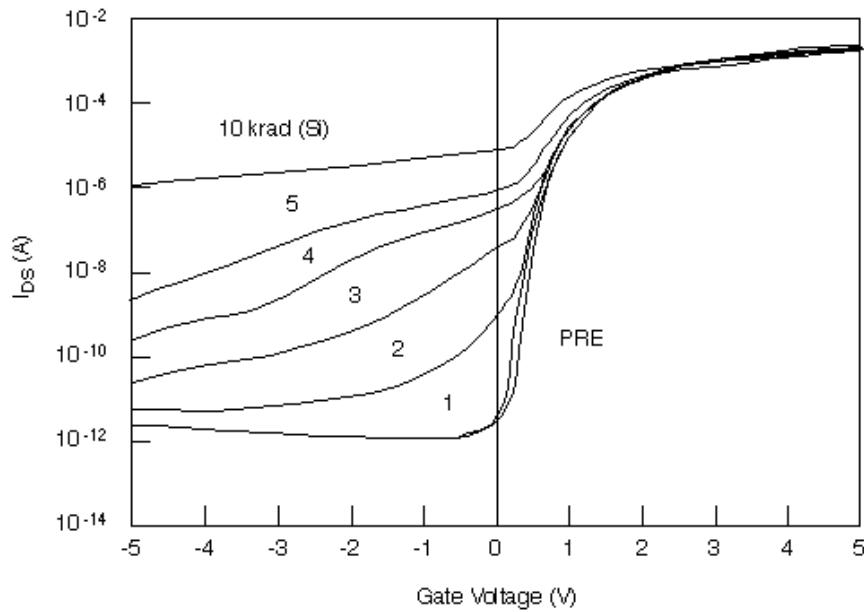


FIGURE 1.11 – Pouvoir d’arrêt d’un ion Xénon dans du Silicium

porteurs de charges à l’équilibre. L’effet sera alors transitoire et s’éclipsera. Dans le cas d’un isolant, l’effet est plus critique. En effet, la charge générée ne peut migrer et reste piégée. Les caractéristiques électriques des circuits CMOS sont liées à l’accumulation de charges dans les oxydes ainsi qu’à l’interface oxyde/semi-conducteur. Cette accumulation pourra engendrer une dérive des tensions de seuil ainsi que l’augmentation des courants de fuite. La figure 1.12 montre les effets de dose sur la caractéristique $I(V)$ d’un transistor MOS.

Dose non ionisante

La dose non ionisante va créer des défauts dans le réseau cristallin du matériau touché. Ces défauts de déplacement vont à leur tour créer de nouveaux pièges modifiant ainsi les caractéristiques de fonctionnement du circuit. Parmi les effets de dose non ionisante, on peut citer l’augmentation des courants de fuite ainsi que la modification du dopage du semi-conducteur. Ces effets affectent particulièrement les composants optoélectroniques ainsi que les détecteurs (augmentation du bruit de fond).

FIGURE 1.12 – Effet de dose sur la caractéristique $I(V)$ d'un transistor NMOS

1.4.3 Effets singuliers

Les effets singuliers (Single Event Effects, SEE) ont pour principale caractéristique d'être le fruit d'une ionisation localisée le long de la trajectoire de la particule incidente. Ils résultent principalement de la déposition et de la collection de charges sur un noeud ou volume sensible du circuit. Les ions qui traversent ce volume produisent une colonne d'électrons-trous qui peut conduire à un évènement singulier. Les protons et neutrons quant à eux, transfèrent une partie ou la totalité de leur énergie lors des collisions. Ces collisions peuvent alors ioniser la matière et conduire à un SEE.

Deux phénomènes sont impliqués dans la génération un SEE. Il s'agit de la génération de charge, puis de la collection de ces charges [12].

Génération de charges

A l'instar de la dose ionisante, la quantité des charges déposées par le passage de l'ion est donnée par le LET. La représentation du LET en fonction de la distance parcourue est donnée par la courbe de Bragg (voir figure 1.12). La déposition d'énergie reste relativement constante durant la majeure partie du parcours de l'ion. Lorsque la particule a perdu presque toute son énergie, le LET augmente de façon brutale pour en-

suite rapidement s'annuler lorsque la particule est au repos. Cette phase est appelée *pic de Bragg*.

Collection de charges

Les effets singuliers sont le résultat d'une ionisation localisée le long de la trajectoire de la particule. Lors de ce passage, deux phénomènes participent à la collection de charges :

- Conduction (*drift*) : les électrons sont déplacés vers le drain du transistor à cause du champ électrique présent dans la zone de déplétion. La durée de ce premier phénomène est inférieure à la nanoseconde.
- Diffusion : Les électrons générés dans le substrat peuvent diffuser vers le drain et être collectés. Ce phénomène peut durer plusieurs nanosecondes.

Le phénomène de "funneling" peut aussi apparaître lorsque l'ion sort de la zone de déplétion. Le champ électrique est alors distordu et étendu en dehors de cette zone. Cet effet peut conduire à la collection d'électrons générés en dehors de la zone de déplétion. La figure 1.13 donne un aperçu de ces phénomènes.

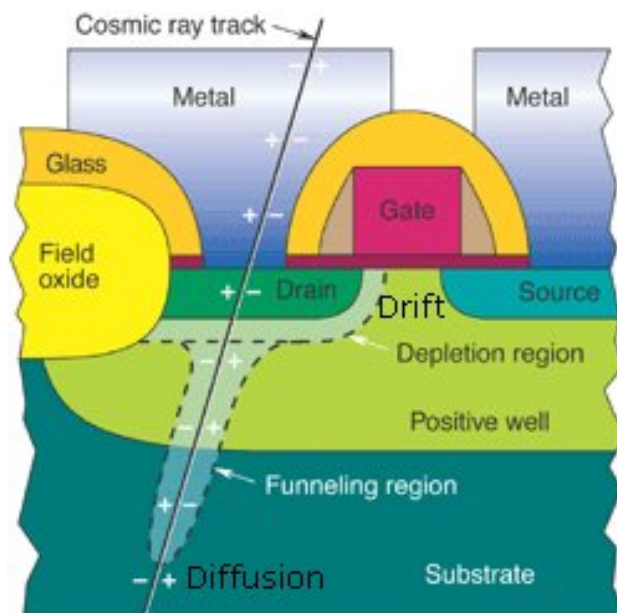


FIGURE 1.13 – Phénomènes de collection de charges

Single Event Transient

Le premier effet singulier direct lié à cette collection de charges dans un nœud sensible du circuit est appelé SET (*Single Event Transient*).

Un pic de courant est généré et se propage (ou non) dans le circuit jusqu'à être capturé, si certaines conditions sont réunies, par un élément mémorisant telle une bascule. Parmi ces conditions, on peut citer les temps de "setup" et "hold" de la bascule, l'amplitude de l'impulsion ainsi que la présence d'un front d'horloge. Si certaines de ces conditions sont violées, la bascule peut entrer dans un état métastable. La fréquence d'horloge du circuit influence grandement la probabilité de capturer une impulsion transitoire.

Single Event Upset

Ce phénomène, appelé aussi "soft error", est le basculement d'un point mémoire ou bascule. Cet événement est non destructif : la cellule mémoire reste opérationnelle pour les opérations de lecture-écriture futures.

Single Event Latchup

Ce phénomène prend naissance dans la structure thyristor parasite présente dans tous les circuits CMOS. En temps normal, cette structure parasite se trouve dans un état bloqué. Le passage d'une particule ionisante dans cette structure peut conduire à sa mise en conduction et provoquer un court-circuit franc de l'alimentation du composant. Ce phénomène peut être destructif à cause de l'échauffement thermique provoqué par le court-circuit [9].

Autres phénomènes remarquables

Il existe nombre d'événements singuliers destructifs ou non parmi lesquels on peut citer :

- MBU (Multiple Bit Upset) apparenté au SEU, mais plusieurs éléments mémorisant sont perturbés suite à l'impact d'une unique particule. L'occurrence de ce phénomène devient de plus en plus fréquente avec la diminution de la géométrie des cellules mémoires.
- SHE (Single Hard Error) ou bit collé. La particule provoque un basculement irréversible d'un point mémoire.

- SEFI (Single Event Functional Interrupt). Ce phénomène est la conséquence d'un ou plusieurs événements singuliers ayant conduit à un " plantage " du circuit. Pour faire repartir le composant, Une ré-initialisation du circuit ou *reset* ou parfois une coupure de l'alimentation peut être nécessaire. Ce type d'évènement affecte en particulier les circuits complexes de type processeur ou FPGA.
- SEB (Single Event Burnout) est surtout rencontré dans les composants de puissance qui contiennent des centaines de transistors en parallèle. L'avarie d'un seul transistor peut conduire à la destruction de ces voisins par effet d'avalanche et rendre le circuit inutilisable.
- SEGR (Single Event Gate Rupture) correspond à la destruction de l'oxyde de grille d'un transistor.

Les travaux effectués dans le cadre de cette thèse concernent essentiellement les événements de type SEU et MBU ayant lieu dans les cellules mémoires des composants de type SRAM ou processeur.

1.5 Conclusion

Dans ce premier chapitre a été décrite la problématique liée aux effets des radiations sur les circuits intégrés. Une description de l'environnement radiatif a été donnée ainsi qu'un aperçu des différents effets engendrés par le passage d'une particule dans une zone sensible d'un composant.

Méthodes et outils pour la qualification de circuits intégrés face aux effets des radiations

2.1	Notion de section efficace	18
2.2	Nécessite d'une plateforme de test générique	19
2.3	Installations utilisées pour la caractérisation de circuits face aux radiations	23
2.3.1	Source radioactive	23
2.3.2	Accélérateurs linéaires et circulaires	24
2.3.3	Micro-faisceau	24
2.3.4	Utilisation d'un faisceau laser	25
2.4	Tests statiques et dynamiques	25
2.5	Mesure de section efficace	26
2.5.1	Choix d'un motif de test	26
2.5.2	Temps d'exposition des zones sensibles	27
2.6	Simulation de basculement de bits dans des circuits numériques	28
2.6.1	Estimation du taux d'erreur d'un système d'exploitation	32
2.6.2	Impact des options de compilation sur le taux d'erreur d'une application	35
2.7	Conclusion	37

Ce chapitre a pour but de donner un état de l'art sur les méthodes et outils utilisés pour la caractérisation des circuits intégrés face aux effets des radiations. Les améliorations apportées au cours de cette thèse seront aussi énoncées.

2.1 Notion de section efficace

La sensibilité d'un composant exposé à des sources de radiation ionisantes s'exprime à l'aide d'une grandeur appelée *section efficace*. Cette grandeur caractérise la surface sensible du composant et s'exprime en cm^2 . La section efficace peut aussi être traduite comme la probabilité qu'une particule ionisante qui traverse une surface de 1 cm^2 génère un événement. La section efficace notée σ fournit une estimation nombre d'événements pour un composant donné lorsqu'il est exposé à un faisceau de particules. La section efficace est donnée par la relation suivante :

$$\sigma = \frac{N_{ev}}{\Phi}$$

où Φ est le flux du faisceau de particules intégré sur la durée de l'expérience et N_{ev} est le nombre d'événements observés. La valeur de la section efficace dépend directement du LET des particules incidentes. Le résultat d'une expérience sous radiation est l'obtention d'une courbe de section en fonction du LET. La figure 2.1 donne un exemple typique d'une telle courbe. Une courbe de section efficace présente deux caractéristiques notables : le LET seuil correspondant au LET où des événements singuliers commencent à être observés dans le circuit et le LET de saturation pour lequel la section efficace reste constante alors que le LET augmente. La section efficace de saturation donne la surface sensible du circuit.

La section efficace peut s'exprimer en cm^2/bit ou bien en $cm^2/composant$ si le nombre de bits du circuit est connu ce qui est le cas pour les composants de type mémoire.

Connaissant le LET seuil et la saturation, l'utilisateur peut tracer une courbe idéale à l'aide de la distribution de Weibull. La courbe est alors donnée par [12, 29] :

$$\sigma = \sigma_{sat} \left[1 - \exp \left(\left(-\frac{LET - LET_{th}}{W} \right)^S \right) \right]$$

où :

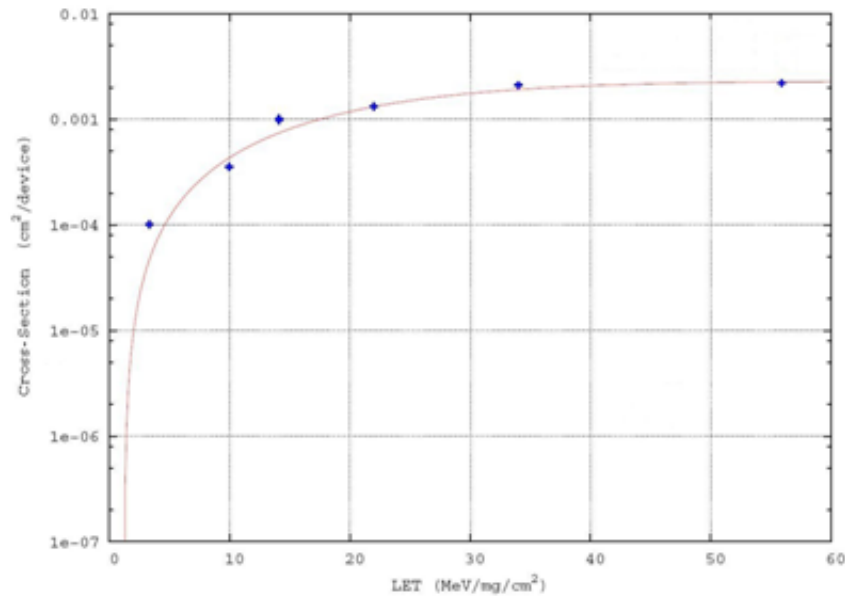


FIGURE 2.1 – Courbe de section efficace

σ_{sat} : section efficace de saturation

LET_{th} : Let seuil

W : Paramètre de largeur

S : Paramètre de forme

Les paramètres W et S peuvent être déterminés par régression linéaire à l'aide des données obtenues lors de test sous radiation.

Connaissant la valeur du LET seuil et la nature de l'environnement final dans lequel évoluera le circuit, l'utilisateur peut décider les besoins de qualifications nécessaires pour garantir que le circuit puisse fonctionner de manière fiable. La mesure du LET seuil obtenue permet d'avoir une première estimation de la pertinence de l'utilisation de ce circuit dans l'environnement visé. Le tableau 2.1 résume les valeurs de seuil typiquement rencontrées et l'environnement à prendre à considération suivant le LET seuil du circuit.

2.2 Nécessite d'une plateforme de test générique

Il est important de noter que les expériences effectuées à l'aide d'accélérateurs de particules pour évaluer la sensibilité des composants sont de type *online* c'est à dire le

CHAPITRE 2. MÉTHODES ET OUTILS POUR LA QUALIFICATION DE CIRCUITS INTÉGRÉS FACE AUX EFFETS DES RADIATIONS

LET seuil du DUT	Environnement à considérer
$LET_{th} < 10 MeV.cm^2/mg$	Rayons cosmiques Protons Éruptions solaires
$LET_{th} = 10 - 100 MeV.cm^2/mg$	Rayons cosmiques
$LET_{th} > 100 MeV.cm^2/mg$	Analyse non indispensable

TABLE 2.1 – Environnements à considérer en fonction des LETs seuil

circuit cible est actif durant le test. Par exemple, dans le cas du test d'un processeur, un programme doit être exécuté durant les essais. Ceci implique l'utilisation d'une plateforme de test fournissant au circuit sous test un environnement électronique approprié à son fonctionnement. De plus, cette plateforme doit permettre à l'utilisateur de récupérer les résultats obtenus lors de l'irradiation de ce circuit. Des cartes de d'évaluation du commerce peuvent être utilisées, mais celles-ci n'offrent généralement pas la flexibilité de contrôle et d'observation des signaux et ressources sensibles du circuit.

C'est ce contexte qui a conduit au prototypage dans le passé de plusieurs versions d'une plateforme de test appelées THESIC (*Testbed for Harsh Environment Studies of Integrated Circuits*) [16, 38]. Dans le but de valider les concepts au coeur de cette thèse, une plateforme de test générique basée sur l'architecture de THESIC a été développée et validée lors de diverses campagnes de test sous radiation et d'injection de fautes.

La plateforme de test ASTERICS (*Advanced System for the Test under Radiation of Integrated Circuits and Systems*) dont une photo est donnée figure 2.2, est une évolution majeure du testeur THESIC+ développé à TIMA et présenté dans [16]. L'idée est d'implémenter l'environnement digital/analogique nécessaire pour l'opération du DUT (*Device Under Test*) via un FPGA dont sa configuration est obtenue par la compilation de la description de cet environnement décrit dans un langage de description du hardware tel Verilog ou VHDL. De cette manière, le développement matériel à effectuer pour adapter le testeur à un nouveau circuit à tester se limite à connecter les signaux d'entrée/sortie du DUT à ceux du testeur. Cette architecture de la plateforme de test a été utilisée avec succès pour qualifier différents types de circuits tels des processeurs (PowerPC, SPARC), des mémoires et des circuits mixtes analogiques/digitaux. Cependant, la complexité croissante des circuits intégrés a obligé à améliorer de manière substantielle les performances des testeurs précédents dans le but de faire face aux

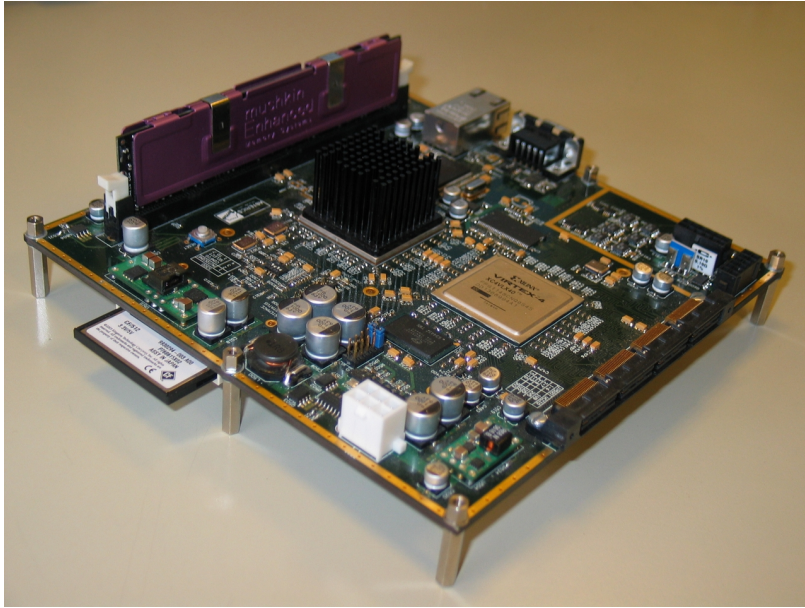


FIGURE 2.2 – Le testeur ASTERICS

caractéristiques (périodes d’horloge, fréquences, capacité de calcul) des circuits fabriqués d’après les technologies nanométriques actuelles.

L’architecture d’ASTERICS reprend les principes des architectures de testeurs précédemment développées :

- Le DUT fonctionne dans un environnement digital/analogique nominal : il est interfacé à une architecture adéquate dont les ressources sont présentes sur une carte mère. Dans le cas d’un processeur, une telle architecture inclut des mémoires ou enregistrer les données et les instructions d’une application typique, la logique de contrôle, des horloges et alimentations.
- Une carte imprimée externe appelée carte fille, supporte le circuit sous test.
- L’ensemble du système communique avec l’utilisateur via un ordinateur et ce grâce à une connexion série ou un lien Ethernet.

ASTERICS est bâti autour de deux FPGAs Virtex4 de Xilinx appelés *Control FPGA* et *Chipset FPGA*.

- Le *Control FPGA* : embarque un processeur PowerPC qui est programmé pour

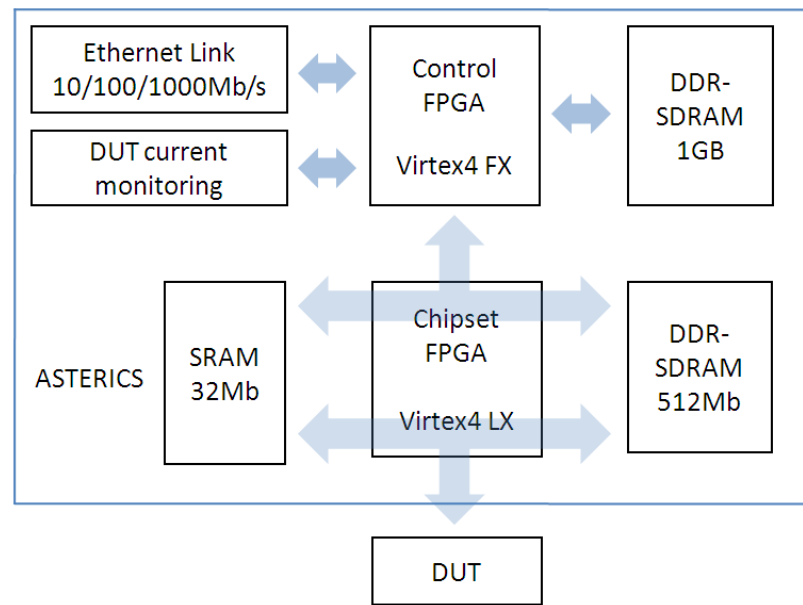


FIGURE 2.3 – Architecture du testeur ASTERICS

assurer la communication entre l'utilisateur et le testeur, ceci via un lien Ethernet d'un Gigabit. Ce processeur fonctionne à une fréquence d'horloge de 300 MHz permettant donc une bonne fréquence de transmission de données.

- Le *Chipset FPGA* : implémente le design développé par l'utilisateur pour fournir au DUT un environnement lui permettant de fonctionner dans des conditions nominales. Dans le cas où le DUT est un processeur, cet FPGA agit comme un contrôleur mémoire et permet d'atteindre des fréquences d'opération d'environ 200 MHz, ceci selon la complexité du design de l'utilisateur.

Le DUT est connecté au testeur via un connecteur haute vitesse. Jusqu'à 180 signaux d'entrée/sortie sont disponibles avec une palette de tensions d'alimentation allant de 1.2V à 3.3V et programmables par logiciel. Différents types de mémoires (SRAM et DDR-SDRAM) sont disponibles dans la carte mère pour permettre à l'utilisateur de faire face aux exigences requises de transfert et stockage de données. Un circuit de contrôle du courant consommé est disponible pour et permettre la détection de fautes potentiellement destructives (tels les SEL) et protéger ainsi le DUT. La figure 2.3 donne un aperçu de l'architecture du testeur ASTERICS.

Pour faciliter la communication avec le testeur, une application API (Application Programming Interface) est disponible à l'utilisateur. Cet API possède un ensemble de fonctions telles lecture/écriture de la mémoire, définition des limites de consommation de courant du DUT, ré-initialisation du DUT, etc. L'utilisateur doit seulement utiliser ces fonctions dans son application. L'API est disponible sous la forme d'une librairie dynamique DLL (Dynamic Link Library) pour Windows et sera adaptée à Linux dans le futur proche.

Les principales contributions de cette architecture de testeur sont :

- Facilité d'adaptation à tout type de DUT avec des efforts réduits en temps et en coût.
- Le lien Ethernet du testeur offre à l'utilisateur la possibilité le contrôle et l'observation à distance d'une expérience de test sous radiations, ceci via une connexion internet. Cette caractéristique soulève un très grand intérêt dans les communautés scientifiques et techniques liées à l'étude du comportement sous radiations de circuits et systèmes intégrés.

2.3 Installations utilisées pour la caractérisation de circuits face aux radiations

2.3.1 Source radioactive

Un moyen simple et peu coûteux permettant d'avoir une idée préliminaire de la sensibilité face aux radiations d'un composant est d'utiliser une source de californium 252. Une telle source émet différents types de particules parmi lesquelles on peut citer les alphas ainsi que deux types d'ions lourds ayant des LETs de 45 et $46 \text{ MeV.cm}^2/\text{mg}$.

La principale limitation d'une telle source concerne la profondeur de pénétration des ions en raison de leur faible énergie en regard de celles trouvées en environnement spatial ou en accélérateur de particules. Leur parcours est d'environ de $6\mu\text{m}$ à $15\mu\text{m}$. Si le composant sous test possède des couches superficielles importantes, les ions ne pourront pas atteindre le volume sensible même si le circuit est aminci. Néanmoins, ces sources sont souvent utilisées pour valider une plateforme matérielle/logicielle avant de faire des tests plus approfondis en accélérateur de particules qui sont plus coûteux.

2.3.2 Accélérateurs linéaires et circulaires

Le moyen de caractérisation le plus usité pour évaluer le taux d'erreurs des composants microélectroniques est l'accélérateur de particules.

Un tel accélérateur produit des particules ionisantes et les accélère grâce à l'action d'un champ électrique. Parmi les types d'accélérateurs les plus utilisés pour évaluer la sensibilité d'un circuit face aux SEE, on peut citer les cyclotrons et les accélérateurs de type tandem Van de Graaff.

Les accélérateurs linéaires de type Van de Graaff sont capables d'accélérer des ions lourds entre deux électrodes soumises à une différence de potentiel d'environ 10MV. L'état de charge des ions est modifié entre les deux accélérations. Les ions sont générés par une source et ont une charge initiale négative. Ils subissent alors une accélération entre les deux électrodes.

Les cyclotrons, qui sont des accélérateurs ayant une forme circulaire, utilisent à la fois un champ électrique pour accélérer les ions, mais aussi un champ magnétique pour courber la trajectoire de ces particules. Ces accélérateurs proposent des énergies plus importantes ainsi qu'une palette de particules plus large. Le flux offert par ces installations peut atteindre des valeurs importantes, plusieurs dizaine de milliers de particules par seconde. Ces particules sont aussi capables de traverser des épaisseurs de silicium plus importantes.

Parmi les principales installations disponibles pour des essais sur des circuits intégrés on peut citer :

- Accélérateurs de type Tandem : IPN (Orsay, France), BNL (Upton, USA), TASSC (Canada)
- Accélérateurs de type cyclotron : CYCLONE (UCL, Belgique), GANIL (Caen, France), LBL (Berkeley, USA)

2.3.3 Micro-faisceau

L'une des limitations des accélérateurs cités précédemment est l'impossibilité de cibler une zone particulière du circuit afin d'analyser la susceptibilité d'une ressource du circuit.

Des installations produisant des faisceaux de quelques micromètres de diamètre sont disponibles et permettent effectuer des cartographies de zones sensibles. Ces cartographies rendent possible la localisation des zones de collection de charges [34]. Il n'est par contre pas possible avec ce type d'installation d'évaluer le volume sensible.

2.3.4 Utilisation d'un faisceau laser

En 1987, furent publiés les premiers travaux dans lesquels est décrite une méthode mettant à profit un faisceau LASER pour simuler des événements singuliers [10, 33]. L'utilisation d'un faisceau LASER doit être vue comme étant complémentaire aux tests effectués avec des accélérateurs de particules. En effet, il n'existe pas de relation évidente entre le LET d'une particule (ion lourd, proton, ...) et l'énergie déposée par les photons. Cependant, l'un des avantages offerts par les LASER TPA (*Two Photons Absorption*) est de pouvoir évaluer le volume sensible du circuit.

2.4 Tests statiques et dynamiques

Pour des circuits de type mémoire (SRAMs, DRAMs, ...), une estimation de la sensibilité peut facilement être obtenue en écrivant un motif prédéterminé dont la modification par des SEUs est mise en évidence en lisant périodiquement la mémoire et la comparant avec la valeur attendue.

Une telle stratégie de test est généralement appelée *test statique* car toutes les cibles potentiellement sensibles sont exposées en même temps aux radiations, ce qui est loin d'être représentatif d'une activité réelle du circuit. Lorsqu'elle est utilisée lors de tests accélérés, cette stratégie donnera une mesure pire cas de la sensibilité aux SEUs des zones sensibles du circuit. En effet, lorsque la mémoire est utilisée dans un équipement, elle sera soumise à des cycles de lecture-écriture d'informations. Parmi ces informations (code machine, zone de données volatile) certaines resteront inchangées pendant toute la durée de vie du système tandis que d'autres zones seront utilisées de manière plus dynamique. Une façon de déterminer la sensibilité qu'aura le système final est d'évaluer le nombre moyen de bits utilisés par l'application et de le multiplier par la section efficace du circuit.

Lorsque le circuit est un processeur, un test statique consiste en l'exécution d'une série d'instructions *LOAD* et *STORE* permettant de cibler toutes les cellules mémoire (re-

gistres, mémoire interne) accessibles via le jeu d'instructions. Ce genre de programme donnera une mesure très pessimiste de la sensibilité du circuit car l'activité réalisée par le processeur est loin d'être représentative de celle d'une activité typique. En effet, ces zones mémorisantes sont vulnérables uniquement lorsqu'elles sont utilisées et contiennent une valeur utile pour le programme final. Des travaux montrant cette dépendance ont été présentés pour la première fois au début des années 90. Il est montré qu'il peut résulter une différence de un à deux ordres de grandeur entre le taux d'erreur mesuré sur un *test dynamique* et la section efficace mesuré par un test statique [39, 4].

Comme dit dans l'introduction, il n'y a pas de standard donnant la procédure à effectuer pour évaluer de manière précise la susceptibilité aux radiations d'un circuit de type processeur. Ce chapitre est une contribution dans ce domaine et sera illustré par une étude de cas sur un processeur complexe.

2.5 Mesure de section efficace

Nous avons vu plus haut que la méthode généralement utilisée pour obtenir une mesure de la section efficace d'un circuit se borne à exposer celui-ci à un faisceau de particules et compter le nombre d'évènements pendant la durée d'irradiation. Cependant, afin d'assurer une mesure correcte, plusieurs considérations doivent être prises en compte dans l'écriture du programme de test. Ceci afin de ne pas se retrouver avec une mesure donnant une sous estimation de la sensibilité du circuit qui serait désastreuse pour le taux d'erreurs de l'application finale. A contrario, une surestimation de la sensibilité peut quant à elle conduire à des modifications de l'architecture du système et engendrerait des coûts considérables de recherche et qualification de nouveaux composants. Il est donc primordial de pouvoir mesurer d'une manière précise la section efficace des circuits choisis pour une architecture demandant une haute sûreté de fonctionnement.

2.5.1 Choix d'un motif de test

Pour mesurer la sensibilité d'un point mémorisant, il faut compter le nombre d'erreurs survenues pendant la durée d'exposition au faisceau de particules. Il faut donc écrire un motif dans la mémoire et comparer le contenu de la mémoire au motif initial après un temps d'irradiation. Trois motifs de test sont généralement retenus :

- Le damier (*Checkboard*) : suite de 0 et 1 alternés

- Tout à 0
- Tout à 1

Si le but est de qualifier l'élément mémoire et non pas les périphériques de contrôle, l'utilisateur doit veiller à minimiser les accès lecture/écriture durant l'exposition au faisceau de radiation. L'utilisateur devra donc initialiser la mémoire, déterminer un temps d'irradiation puis relire la mémoire. Le choix du temps d'irradiation est discuté au paragraphe suivant. Idéalement, l'expérimentateur peut mettre à profit la fermeture du faisceau si elle est mise à disposition dans l'installation de l'accélérateur de particules. L'installation CYCLONE HIF de Louvain-la-Neuve propose un contrôle de la fermeture du faisceau via un signal logique. A titre d'exemple, cette possibilité a été utilisée lors d'essais sur FPGA SRAM pour déterminer la sensibilité de la mémoire de configuration.

2.5.2 Temps d'exposition des zones sensibles

Des précautions sont à prendre dans le choix du temps d'exposition des cellules mémorisantes d'un circuit qu'il soit de type mémoire, processeur ou autre. Pour illustrer cela, prenons le cas d'un test statique des registres d'un processeur. Le programme exécuté par le processeur peut se diviser en plusieurs phases :

- Démarrage du processeur et initialisation de ses registres de configuration.
- Écriture du motif de test dans les zones à tester.
- Lecture du contenu des zones sous test puis écriture de ce contenu dans un espace permettant la vérification de celui-ci.

Si le programme transcrivant les étapes énoncées ci-dessus est exécuté tel quel, l'évaluation de la sensibilité du circuit sera biaisée. En effet, le temps d'exposition des registres est quasi nul voir inexistant pour ceux qui se trouvent initialisés juste avant la lecture. Un temps d'attente entre la phase d'initialisation et la phase de rapatriement des données est nécessaire. Le processeur est ainsi placé dans une phase de "prise de mesure" où les erreurs peuvent s'accumuler.

La probabilité d'apparition d'évènements durant un temps donné (temps d'attente où les zones mémoires sont exposées) est un processus stochastique. Le nombre d'évènements apparaissant durant un temps d'attente fixe est donc distribué selon une loi de Poisson. Il en résulte que l'utilisateur peut valider sa prise de mesure en analysant la distribution du nombre d'évènements par unité de temps d'attente. Si cette distribution ne suit pas une loi de Poisson, alors le temps d'attente doit être ajusté. Si l'ajustement de ce temps d'attente ne permet pas d'observer une distribution correcte, l'expérimentateur

devra revoir les logiciels et matériels développés pour le test.

Sur le même principe, si l'on est capable d'isoler chaque évènement et de mesurer le temps entre ceux-ci, on s'aperçoit que la durée d'attente entre chaque évènement est aléatoire. La distribution de ces différents temps d'attente suit une *loi gamma*. Durant cette thèse, il a été mise en oeuvre une telle expérience lors de la qualification d'un amplificateur opérationnel. Les effets des radiations sur un tel composant analogique se traduisent par l'observation d'impulsions transitoires (SET) sur la sortie de l'amplificateur. A l'aide d'un oscilloscope numérique, il est aisé d'obtenir le temps d'occurrence de chaque évènement. La liste de temps obtenus lors de l'irradiation avec des ions lourds de type Néon ($LET = 4.85 MeV/mg/cm^2$) a ensuite été analysée à l'aide du logiciel Matlab. Le tracé de cette distribution est donné dans la figure 2.4. L'outil Matlab a montré que la distribution était de type Poisson. Dans les paragraphes suivants, il sera montré que la sensibilité d'une application face aux SEE peut être précisément prédite à partir de la section efficace statique via des campagnes d'injection de fautes effectuées hors faisceau de particules.

2.6 Simulation de basculement de bits dans des circuits numériques

L'évaluation de la fiabilité d'une application destinée à fonctionner dans un environnement sévère tels ceux rencontrés dans l'espace est une étape incontournable afin d'assurer la robustesse de cette application face aux évènements singuliers. Une telle évaluation doit aboutir à une estimation du taux d'erreur, c'est à dire du nombre moyen de particules nécessaire à la production d'une erreur de l'application.

Connaissant la sensibilité de cette évaluation et la nature (nombre et type de particule par unité de temps), il est possible de prédire le taux d'erreur dans le temps et donc de certifier que l'application satisfait les contraintes (temps moyen entre fautes et criticité de celles-ci) imposées par le projet dans lequel elle sera embarquée.

Les recherches effectuées à TIMA et présentées dans [31, 15] ont prouvé qu'une bonne estimation du taux d'erreur d'une application peut être obtenu à l'aide de la section efficace statique du composant complétée par les résultats de campagne d'injection de fautes. En effet, la section efficace donne le nombre moyen de particules nécessaire pour provoquer un upset dans le circuit, alors que le taux d'erreur issu d'une session

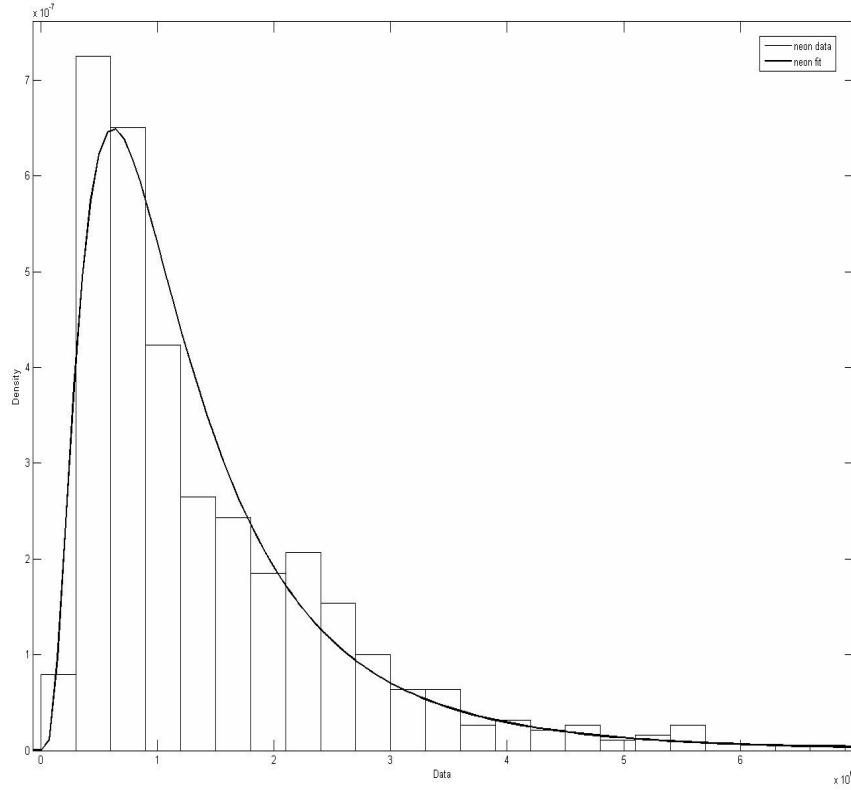


FIGURE 2.4 – Courbe expérimentale de la distribution des instants d’occurrence des évènements

d’injection de fautes donne le nombre moyen de SEU nécessaire pour provoquer une erreur observable dans l’application. Cette méthode a été validée sur composants simples tel un microcontrôleur 8 bits [32]. Depuis sa première publication en 2001, cette méthode n’a pas été appliquée à des processeurs complexes. L’un des objectifs des recherches effectuées dans le cadre de cette thèse est de prouver la pertinence de cette méthode pour un processeur représentatif de ce qui se fait de nos jours, lorsqu’il exécute une applicatif réelle. En effet, les travaux présentés dans ce domaine utilisent des application de type *benchmark* (multiplication de matrices, programme de tri, ...) [17]. Il est clair que ces application ne reflètent la complexité d’une application spatiale par exemple.

$$\tau_{SEU} = \sigma_{static} * \tau_{inj} = \frac{\#erreurs}{\#particules}$$

Le point clé d'une telle approche est la simulation des upsets, étape qui peut être réalisée de différentes manières selon le modèle disponible du circuit cible. Dans le cas où l'on dispose seulement d'une version matérielle du circuit, la méthode CEU (*Code Emulating an Upset*) développée à TIMA [32], est une bonne alternative pour simuler des erreurs induites sur une application suite à un SEU résultant de l'impact de particules énergétiques dans un processeur.

Elle est basée sur l'activation d'un signal d'interruption à un instant aléatoirement choisi. L'exécution, suite à la sauvegarde du contexte, de la routine associée à l'interruption, permet la modification du contenu d'un bit sélectionné parmi ceux accessibles via le jeu d'instructions. Une fois la routine exécutée, le processeur reprend l'exécution du programme, ce qui permet de simuler l'occurrence d'un SEU. Les limitations de cette approche sont liées à la imprécision de l'instant d'injection et à l'impossibilité d'accéder à l'ensemble des cellules sensibles. En effet, un SEU peut avoir lieu à n'importe quel instant, alors que la prise en compte de l'interruption est faite une fois l'instruction en cours d'exécution complétée. De plus un SEU peut affecter des bascules ou zones mémoires non accessibles à l'utilisateur (pipeline, unité arithmétique et logique, ...). Cependant, ces inconvénients sont compensés par le grand nombre de basculements de bits qui peut être injecté lors d'une session d'injection de faute alors que le temps passé sous accélérateur de particules donnerait un coup prohibitif à l'expérience.

Le mécanisme d'injection de fautes CEU, illustré dans la figure 2.5 comporte les étapes suivantes :

1. Reset du processeur
2. Le processeur démarre l'exécution du programme
3. Activation de l'interruption à un instant choisi de manière adéquate
4. Le processeur interrompt son programme principal et appelle la routine d'interruption
5. Exécution du code associé à l'interruption

6. Retour vers le programme principal
7. Le processeur exécute son programme principal avec un bit corrompu
8. Fin de l'exécution. Observation des résultats

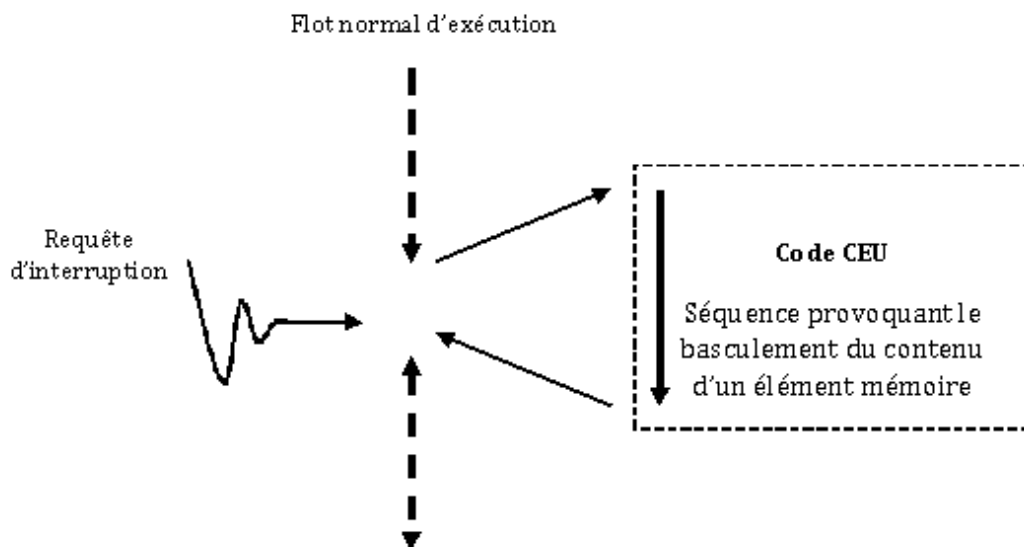


FIGURE 2.5 – Mécanisme d'injection de faute de type SEU via l'activation d'interruptions

Dans la référence [32] sont données les grandes lignes pour obtenir le code CEU associé à des ressources d'un microcontrôleur simple tel le 8051. Parmi ces ressources, le défi posé par les registres spéciaux tels le compteur de programme et le pointeur de pile, qui sont utilisés à la fois par la routine d'injection de faute et par le programme principal, a été résolu. En effet, un point très important de la routine d'injection est qu'elle ne doit pas être intrusive : seul le bit ciblé doit être modifié. Dans le chapitre suivant, la méthode sera prouvée comme applicable dans le cas d'un processeur complexe tel le PowerPC lorsqu'il exécute une application issue d'un projet du Centre National des Études Spatiales. Dans les sections suivantes, la méthode d'injection de fautes est appliquée à un processeur de type LEON3 lorsqu'il exécute des programmes complexes incluant un système d'exploitation temps réel ainsi que l'application spatiale utilisée dans l'étude présentée dans le chapitre suivant.

2.6.1 Estimation du taux d'erreur d'un système d'exploitation

Les systèmes opératifs (OS) sont utilisés dans diverses applications spatiales. Quelques exemples sont : missions Herschel et Max Planck, micro-satellites NASA ST5 (lancé en 2006 pour l'étude des champs magnétiques terrestres), et satellite LISA (Laser Interferometry Satellite Antenna) Pathfinder développé par ESA et NASA, lancement prévu en 2010. Dans le cas des missions Herschel et Max Planck, l'architecture à bord du satellite est basée sur 4 modules à base de processeurs ERC32, chaque module ayant un "spare" appelé *cold redundant back-up*. RTMS est le système opératif temps réel (RTOS, real time operating system) utilisé pour l'exécution du logiciel de gestion de données (Central Data Management Unit) ainsi que pour l'exécution du logiciel de l'ordinateur de contrôle d'attitude. Dans un tel système hétérogène il est difficile d'estimer le taux d'erreurs via des tests accélérés à cause de la complexité de ce système et de la difficulté d'obtention d'informations concernant l'instant et le lieu d'occurrence de SEUs résultant des particules heurtant l'un des composants du système. De plus, tout changement dans le logiciel exécuté par le processeur implique la réalisation de campagnes de test supplémentaires impactant les coûts de développement.

Dans cette section sont présentés les résultats préliminaires des sessions d'injection de fautes effectuées sur un système opératif qui exécute en parallèle deux applications sur un processeur LEON3. La première est un logiciel issu d'une application spatiale réelle, fournie par le CNES : un AOCS (Attitude and Orbit Control Subsystem), alors que la deuxième est un benchmark couramment utilisé : la multiplication de matrices. Une telle étude de la conséquence de SEUs sur un processeur exécutant des programmes gérés par un système d'exploitation n'a, à notre connaissance, jamais été publiée.

Présentation du véhicule de test

Le processeur LEON3 a été mis à profit pour réaliser cette étude. Il a été implémenté dans le FPGA *Chipset* du testeur ASTERICS présenté plus haut dans ce chapitre. Ce processeur, fourni par Gaisler Research, est un coeur de processeur 32 bits synthétisable basé sur l'architecture SPARC V8. L'une des principales caractéristiques de ce processeur réside dans l'utilisation d'un large ensemble de registres organisés de sorte à qu'ils puissent être accédés par "fenêtres". A tout instant, un programme voit 8 registres globaux plus une fenêtre de 24 registres. La fenêtre de registres peut être décrite comme un cache de paramètres de fonctions, valeurs locales et adresses de retour. Dans la figure 2.6 est donnée une représentation de la fenêtre de registres de cette architecture.

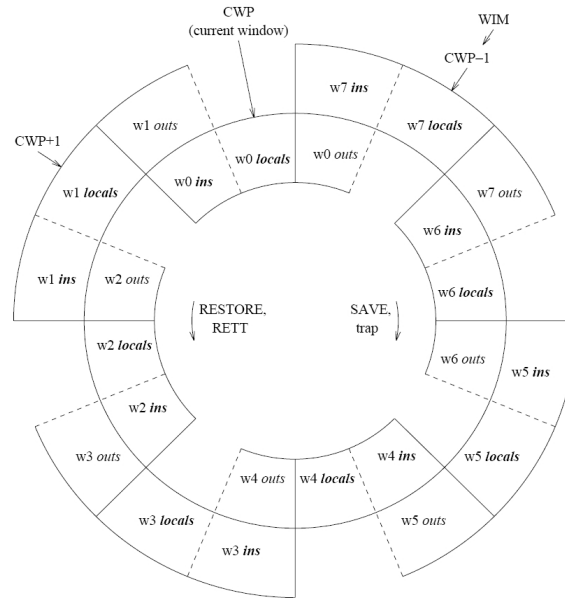


FIGURE 2.6 – Fenêtre de registre du processeur LEON3

Logiciel sous test

Gaisler Research propose un "portage" du système d'exploitation *eCos*. Ce système opératif a été conçu pour supporter des applications embarquées ayant des exigences temps réel. Préemptivité, latence d'interruption minimale, et disponibilité de ressources de synchronisation pour l'utilisateur sont les principales caractéristiques de ce système. *eCos* fournit aussi l'environnement nécessaire à la plupart d'applications, tels la gestion de la mémoire, la gestion des exceptions, des bibliothèques C et mathématiques. Dans notre cas, *eCos* va gérer l'exécution en parallèle par LEON3, du logiciel AOCS et du programme de multiplication de matrices.

Méthode de test

Dans le but d'assurer que le LEON3 exécute correctement le programme, le flot d'exécution du programme est découpé en deux phases :

- la phase de démarrage, lors de laquelle le processeur et *eCos* sont tous deux configurés
- la phase d'exécution, lors de laquelle le processeur exécutera les applications

La durée de l'exécution de ces deux phases est mesurée à l'aide de compteurs implémentés dans le FPGA de la plateforme de test. Si la valeur de l'un des compteurs est différente de celle attendue, une erreur de type "timeout" est détectée.

Résultats expérimentaux

Environ 140 000 SEUs ont été injectés dans les cellules mémoires du LEON accessibles via le jeu d'instructions. Les instants d'occurrence des SEU et les cellules mémoire cible ont été choisis grâce à un générateur pseudo-aléatoire.

A cause du temps d'exécution significatif (plus de 2 secondes par SEU injecté), une exploration exhaustive du domaine "instant d'occurrence - cible" n'a pas été envisagée. En effet, le nombre potentiel de SEUs qui peuvent être injectés est donné par le nombre de cellules cible (environ 40 000) multiplié par le nombre de cycles d'horloge nécessaires (environ 200 millions) à l'exécution du programme de test soit environ 185185185 jours.

Malgré le faible pourcentage qui représente les 140 000 fautes injectées par rapport au nombre total possible de fautes, les résultats obtenus lors de cette session d'injection sont suffisamment probants pour que ces recherches soient approfondies dans le futur. Dans le tableau 2.2 sont montrés deux types de comportement fautif :

- Erreur d'application : la donnée calculée diffère de celle attendue
- Perte de séquençement : la faute injectée provoque un "timeout" nécessitant un reset pour redémarrage

Environ une faute sur sept s'est traduite par des erreurs du programme AOCS alors que le taux d'erreurs observé sur le programme de multiplication de matrice est vingt fois plus petit. Ceci s'explique par la complexité plus faible de ce programme : durée et nombre de ressources utilisées.

Programme	Erreurs
AOCS	20811
Matrice	948

TABLE 2.2 – Résultats expérimentaux obtenus sur le système eCos

Afin de pouvoir analyser en détail les conséquences d'une faute injectée à un instant et dans une cible déterminée, le LEON3 fut simulé au niveau RTL lorsqu'il exécutait l'application étudiée. Le simulateur fournit pour chaque cycle d'horloge l'instruction

exécutée et son adresse. Ceci permet de corréler les paramètres de la faute injectée (instant d'occurrence, bit cible) avec l'instruction du programme ayant été exécutée quand la faute a eu lieu.

Parmi les erreurs système observées durant ces campagnes d'injection de SEUs, il est très important de mentionner un comportement surprenant qui s'est traduit par le remplacement de toutes les données présentes en mémoire externe par un motif binaire prédéterminé, dont la lecture en hexadécimal donne "DEAD BEEF". Une telle erreur peut avoir, au niveau système, des conséquences critiques et fut observé pour 11 des 140 000 fautes injectées. A titre d'exemple sont donnés ci-dessous les paramètres d'une de ces fautes :

- Instant d'occurrence du SEU injecté : cycle d'horloge numéro 2558797
- Registre affecté : registre %l1
- Bit affecté : bit 17

La simulation a permis de déterminer que le registre affecté a été utilisé comme une copie du pointeur de pile. Il est clair qu'un accès à une adresse mémoire non alignée peut se traduire en une "exception" du processeur. Apparemment, la gestion d'exceptions du système opératif a été conçue pour remplir la mémoire du motif DEADBEEF dans un tel cas. La comparaison des résultats obtenus à ceux présentés dans la section suivante, travaux dans lesquels la même application AOCS est exécutée dans le mode "standalone", mettent en évidence une augmentation d'environ 4 fois du taux d'erreurs quand le AOCS est exécuté par un système opératif.

2.6.2 Impact des options de compilation sur le taux d'erreur d'une application

Cette étude va permettre de montrer, grâce à l'injection de fautes, que l'impact du choix d'option d'optimisations d'un compilateur peut avoir des conséquences sur le taux d'erreur final. L'utilisation de l'injection de fautes pour estimer le taux d'erreur d'une application montre une fois de plus sa pertinence car elle permet de s'affranchir d'un test sous radiation coûteux qui devrait être effectué lors de chaque mise à jour d'un programme.

Plateforme de test

La plateforme ainsi que le processeur utilisés pour cette étude sont les mêmes que précédemment. Le logiciel AOCS est cette fois-ci exécuté seul (sans OS) par le processeur LEON3. Le flot d'exécution de ce logiciel est contrôlé à l'aide de compteurs implémentés dans le FPGA *Chipset* du testeur ASTERICS.

Environnement logiciel

Le programme exécuté par le processeur LEON3 a été compilé avec GCC. Les options suivantes ont été utilisées :

- -o0 : pas d'optimisation
- -o1 : GCC tente une réduction de la taille du code ainsi que du temps d'exécution
- -o2 : GCC effectue toutes les optimisations qui ne nécessitent pas un compromis taille de code - vitesse d'exécution. Le compilateur n'effectue pas de déroulage de boucles ou de *function inlining*
- -mv8 : utilisation du multiplieur matériel à la place d'une multiplication faite à partir d'un code logiciel

Le tableau 2.3 donne les tailles de code ainsi que les temps d'exécution du programme AOCS en fonction des options choisies.

Option	Taille (bytes)			Temps d'exécution (ms)
	text	data	bss	
-o0 -mv8	33104	8	608	2483
-o1 -mv8	25232	8	608	2407
-o2 -mv8	25432	8	608	2399

TABLE 2.3 – Taille de code et temps d'exécution en fonction des options de compilation

Résultats expérimentaux

Environ 120 000 *bitflips* ont été injectés pendant l'exécution de programmes obtenus pour chacune des options de compilation mentionnées ci-dessus, expériences ayant chacune duré environ deux jours. Les types d'erreurs observées est similaire à ceux présentés dans le précédent exemple. Le tableau 2.6.2 récapitule les résultats obtenus.

L'impact du choix d'optimisation sur le taux d'erreur est clairement mis en évidence, particulièrement sur le nombre d'erreurs de type perte de séquençement. Ce nombre peut

s'accroître d'un facteur proche de trois alors que pour les erreurs de calcul le facteur est d'environ deux. Ceci s'explique par l'utilisation différente des ressources du processeur ainsi que de la mémoire externe.

Option	Erreurs	Timeouts
-o0 -mv8	3690	16065
-o1 -mv8	6002	5994
-o2 -mv8	4185	17084

TABLE 2.4 – Résultats obtenus pour chacune des options de compilation

2.7 Conclusion

Dans ce chapitre ont été décrits les méthodes et outils nécessaires à l'évaluation de la sensibilité aux événements singuliers provoqués par l'impact de particules énergétiques dans des zones sensibles des circuits intégrés. L'un des objectifs de cette thèse était la mise en évidence de la pertinence d'une méthode combinant des résultats obtenus sous radiation avec ceux obtenus par injection de fautes hors faisceau à l'aide de techniques logicielles et/ou matérielles.

La mise en oeuvre de telles expériences rend indispensable une plateforme de test générique et ayant les performances nécessaires exigées par la vaste palette de circuits disponibles de nos jours. Parmi ces circuits les processeurs étant présents dans la plupart des applications complexes, ils ont été la cible de nos recherches. Deux expériences innovantes par rapport à l'état de l'art ont été réalisées : injection de fautes dans un processeur exécutant en parallèle deux applications gérées par un système temps réel et injection de fautes dans un programme compilé avec différentes options d'optimisation. Dans les deux cas, les résultats ont été pertinents et ouvrent des axes de recherche. Un mode d'erreur critique, se traduisant par l'écrasement de toutes les données placées en mémoire externe, a été observé. De plus, il a été montré que le taux d'erreur d'une application peut fortement varier en fonction de la configuration de l'environnement logiciel utilisé pour compiler le programme applicatif. Ces résultats montrent que lors des essais en accélérateur de particules, l'utilisation de stratégies dynamiques n'est pas appropriée pour estimer la sensibilité des éléments sensibles d'un circuit.

Chapitre 3

Étude de cas : caractérisation d'un processeur complexe de type PowerPC

3.1	Le projet SCADRI	40
3.2	Architecture des processeurs PowerPC	42
3.3	Essais ions lourds et neutrons sur les processeurs PowerPC 7447A et PPC 7448	44
3.3.1	Introduction	44
3.3.2	Tests Ions lourds	45
3.4	Prédiction du taux d'erreurs pour le PPC7448	50
3.4.1	Carte fille ASTERICS pour le PowerPC	50
3.4.2	Développements logiciels	50
3.4.3	Mesures de section efficace dynamique	53
3.4.4	Confrontation des prédictions du taux d'erreurs aux mesures effectuées sous radiation	55
3.5	Conclusion	57

Ce chapitre a pour but de mettre en application les méthodes de test données précédemment et de montrer qu'elles sont applicables à des processeurs complexes. Cette étude a été menée dans le cadre d'un projet financé par le Cluster Aéronautique Rhone-Alpes ¹.

3.1 Le projet SCADRI

Le projet SCADRI a eu pour but principal l'évaluation de la sensibilité aux SEE de deux générations successives d'un processeur complexe (PC7447A et PC7448) fabriqué en technologie SOI (Silicon on Insulator), technologie qui est sensée mitiger la sensibilité aux radiations. En particulier, le présent rapport vise à démontrer par des essais sous radiations complémentés de campagnes d'injection de fautes effectuées sur une version matérielle du composant testé, que le taux d'erreurs d'une application exécutée par un processeur peut être prédit avec précision en se basant exclusivement sur des tests sous radiations suivant une stratégie statique. Pour que ces résultats soient représentatifs, nous avons choisi une application de contrôle d'orbite d'un satellite issue d'un programme fourni par le CNES : le programme SCAO (Satellite Control Attitude and Orbite).

La méthodologie utilisée pour la prédiction du taux d'erreurs d'architectures digitales à base de processeurs, initialement publiée en [40] a été développée et validée par TIMA en prenant pour cibles les processeurs 8051 et PowerPC 750 [32, 17]. Les essais sous radiations ainsi que les sessions d'injection de SEUs ont été effectués à l'aide de la plateforme de test THESIC (Testbed for Harsh Environment Studies on Integrated Circuits) dont une première description peut être trouvée dans la référence [16].

Ce chapitre a pour but la description des résultats obtenus lors d'essais sous radiations (neutrons, ions lourds) des processeurs PowerPC 7447A et 7448. Ces essais sont en général faits suivant une stratégie dite "statique". Comme dit précédemment, lors d'un test statique le processeur testé est exposé au faisceau de radiations pendant qu'il exécute un programme qu'initialise à des valeurs prédéterminées l'ensemble des cellules mémoires accessibles via le jeu d'instructions, et recopie ces valeurs en mémoire externe après un temps d'attente. Le testeur vérifie périodiquement l'intégrité de ces valeurs, en les comparant à l'ensemble de référence, ce qui permet de détecter les éventuels

1. Projet SCADRI (évaluation de la Sensibilité de Circuits Avancés Digitaux aux Radiations Ionisantes)

SEU. Les sections efficaces issues de telles mesures constituent une surestimation pire cas de la sensibilité du composant lorsqu'il exécutera le programme d'application finale.

Un deuxième volet des recherches effectuées dans le cadre de ce projet concerne la prédiction du taux d'erreurs du à des SEU, à partir des sections efficaces statiques et des résultats de sessions d'injection de fautes. L'approche adoptée pour effectuer la prédiction du taux d'erreurs combine les mesures de sections efficaces statiques issues des essais sous radiations avec les résultats de campagnes d'injection de fautes effectuées sur une plateforme de test. L'avantage de cette approche réside dans le fait qu'elle peut être appliquée, avec coût et efforts mineurs, pour prédire d'une manière très précise la sensibilité aux SEU d'un programme et de ses différentes versions (évolutions, ajout de tolérance aux fautes, ...) sans refaire des tests sous radiations. Les aspects suivants seront développés :

- Développement d'une carte fille de test permettant d'adapter les processeurs ciblés à la plateforme de test ASTERICS.
- Développement des programmes nécessaires au contrôle des processeurs cibles durant les essais sous radiations et les campagnes d'injection de fautes.
- Le développement et réalisation de programmes de test exécutés par le circuit sous test durant l'exposition aux faisceaux de particules. Ces programmes comprennent une stratégie statique ainsi qu'un programme correspondant à une stratégie *dynamique* qui permettra une évaluation réaliste de la sensibilité d'une application représentative.
- Réalisation des sessions d'injection de fautes durant l'exécution d'une application par le processeur testé.
- La réalisation d'essais sous ions lourds et l'analyse des données issues de ces essais. Deux campagnes de test ont été réalisées à l'accélérateur de particules HIF (Heavy Ion Facility) disponible à l'Université Catholique de Louvain-la-Neuve (Belgique). Les principaux résultats de ces campagnes d'essais ont été les sections efficaces statiques des zones sensibles des processeurs PowerPC 7447A et 7448 et les taux d'erreurs mesurés durant l'exécution de l'application choisie.

CHAPITRE 3. ÉTUDE DE CAS : CARACTÉRISATION D'UN PROCESSEUR COMPLEXE DE TYPE POWERPC

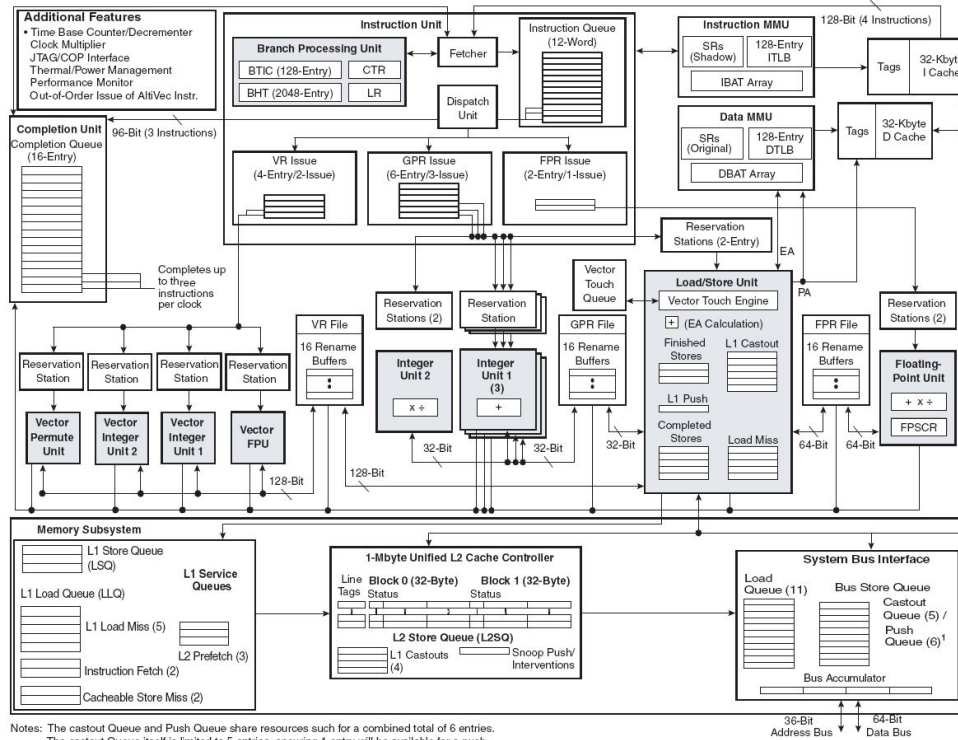


FIGURE 3.1 – Architecture du processeur PowerPC 7448

3.2 Architecture des processeurs PowerPC

Le schéma donné dans la figure 3.1 décrit les principaux blocs de l'architecture du processeur PowerPC 7448. La différence essentielle entre ce processeur et le PowerPC 7447A réside dans le procédé de fabrication, 90 et 130 nm respectivement. La figure 3.2 donne les principales caractéristiques de ces 2 processeurs. L'information importante concernant le test sous radiations est le nombre et type des zones mémoires accessibles via le jeu d'instructions. Une analyse détaillée de cette architecture montre que les zones mémoire accessibles comprennent un total d'environ 270 kbits repartis entre les bancs de registres à usage général (GPR, VR, FPR), les registres spéciaux liés au contrôle de la mémoire virtuelle (MMU) tel le banc nommé SR et la mémoire cache données (L1 data cache). Il est clair que ces zones sensibles correspondent à un sous ensemble des ressources utilisées durant l'exécution d'un programme.

Les registres non accessibles par le jeu d'instructions, comprennent certains registres de l'unité de calcul flottant (FPU), de l'unité arithmétique et logique (IU) et l'ensemble

CHAPITRE 3. ÉTUDE DE CAS : CARACTÉRISATION D'UN PROCESSEUR COMPLEXE DE TYPE POWERPC

	PC7447A	PC7448
Architecture	32-bit implementation of the PowerPC® RISC architecture (G4) Full 128-bit implementation of Freescale AltiVec technology	
Technology	SOI 130 nm - 9 layers metal	SOI 90 nm - 9 layers metal
Transistor count	48.6 millions	90 millions
Core power supply	1.3V ± 50 mV or 1.1V ± 50 mV	1.1V ± 50 mV or 1.0V ± 50 mV
I/O power supply	1.8V ± 5% or 2.5V ± 5%	1.5V ± 5% or 1.8V ± 5% or 2.5V ± 5%
Integrated L1	2x32KB instruction and data caches with parity protection No L1 Data Tag or L1 instruction Tag parity protection	
Integrated L2	512 KB with parity protection	1 MB with parity and ECC protection
	L2 Tag and L2 Data caches with parity protection	
Registers	32 General Purpose Registers (GPR) of 32-bit each 32 Floating Point Registers (FPR) of 64-bit each 32 Vector Registers (VR) of 128-bit each	
Operating Frequency	1.167 GHz for the core 166 MHz for memory bus	1.4 GHz for the core 200 MHz for memory bus
Package	360 ceramic ball grid array HiTCE (flip-chip)	

FIGURE 3.2 – Comparaison des deux générations de PowerPC

de la mémoire cache instruction (L1 instruction cache). Bien entendu, de nombreux registres et bascules sensibles aux SEE sont présents dans l'architecture, par exemple dans le contrôleur mémoire, mais ne sont pas connus de l'utilisateur. Certaines parmi les zones inaccessibles, telle la cache instructions, peuvent être désactivées, leur contribution aux taux d'erreurs étant donc éliminée.

Dans le cadre du projet SCADRI les références exactes des processeurs testés sont :

- PC7447AVGH1167NB (Fréquence du coeur = 1167 MHz)
- PC7447AVGH1167NB (Fréquence du coeur = 1167 MHz)

Fabricant = e2v Grenoble.

Compte tenu que ces composants sont de type "flip-chip" le substrat doit être aminci pour permettre l'exposition des zones actives aux faisceaux lors des essais sous radiations. Ces pièces ont été amincies par le CNES.

3.3 Essais ions lourds et neutrons sur les processeurs PowerPC 7447A et PPC 7448

3.3.1 Introduction

L'évaluation expérimentale de la sensibilité d'une application face aux SEEs passe par une première étape ayant pour but la mesure des sections efficaces statiques des circuits composant l'architecture finale. Ces grandeurs donnent le nombre moyen de particules nécessaires pour provoquer un événement SEE et sont obtenues suite à l'exposition du circuit étudié à des flux des particules (ions lourds, neutrons, protons) issus d'accélérateurs de particules.

Le choix de la nature du flux doit être en adéquation avec la nature de l'environnement dans lequel est supposé fonctionner le système intégrant le circuit en étude. A titre d'exemple, des flux de neutrons sont nécessaires dans le cas d'applications destinées à opérer dans l'atmosphère terrestre (avionique, automobile, ...), des flux des protons sont utilisés dans le cas de circuits destinés à des applications spatiales en orbite basse, enfin la diversité des rayonnements rencontrés par des applications satellites impliquent des essais combinant l'ensemble de particules susmentionnées, en particulier les ions lourds.

Des essais ions lourds et neutrons ont été réalisés à l'aide de la plateforme de test développée par iRoC, l'un des partenaires du projet SCADRI. Une carte de test contenant le composant à tester DUT (Device Under Test) est connectée au testeur qui contient l'environnement digital (mémoire, contrôleur mémoire, ...) nécessaire au fonctionnement du DUT. Dans le cas où le DUT est un processeur, le programme exécuté par celui-ci se trouve dans une mémoire du testeur. Dans le cas des PowerPC au coeur de ce projet, une sonde JTAG (Join Test Action Group) peut-être utilisée pour accéder aux contenus des registres et des mémoires cache et les envoyer vers le PC extérieur dans lequel ils seront comparés aux résultats de référence (obtenus par exécution du même programme en absence de radiations). Une plateforme de test de type THESIC a été configuré pour interfacer tous les signaux d'entrée/sortie des composants à tester et pour interpréter les requêtes du processeur (lecture/écriture mémoire) concernant des échanges de données. Deux sources d'alimentation ont été utilisées pour le CPU, une pour le coeur et l'autre pour les entrées/sorties. Les conditions du test ont été pilotées par un ordinateur extérieur.

Dans le cas des ions lourds, l'expérience a lieu dans une chambre sous vide, dans

laquelle le diamètre du faisceau (de l'ordre de 5 cm) permet de viser seulement le circuit à tester, alors que l'ensemble de la plateforme de test est dans la chambre sous vide.

Les essais neutrons ont lieu dans l'air, mais l'environnement radiatif impose que les composants à tester soient déportés du testeur et de la sonde JTAG, d'une distance d'environ 2 mètres, pour éviter des fautes dans la plateforme de test. La carte de test possède, dans ce cas, deux processeurs qui seront simultanément exposés au faisceau de neutrons, ceci pour obtenir des statistiques exploitables dans des temps raisonnables. En effet, la surface sensible étant dupliquée, les chances d'obtenir des événements sont plus importantes.

Cette même carte peut être utilisée dans le cas des ions lourds, car le faisceau peut être focalisé sur le DUT choisi. La carte DUT, le Testeur et la sonde JTAG se trouvent donc sous vide durant les essais ions lourds. Le DUT est refroidi à l'aide de scotch cuivré collé sur le boîtier qui permet d'évacuer les calories par conduction thermique vers la structure métallique de la chambre sous vide. Cette technique est généralement utilisée et a été prouvée comme étant viable pour maintenir, durant les essais, une température de jonction à un niveau acceptable. Dans le cas des essais ions lourds effectués, une température de la carte de test d'environ 55° a été mesurée au multimètre suite à ouverture de la chambre sous vide.

3.3.2 Tests Ions lourds

Conditions des tests Ions lourds

Pièces testées

Les tests ions lourds ont été réalisés avec des pièces provenant de 2 lots de diffusion :

- PC7448VGH1250NC Date code 0637 (2 pièces)
- PC7448VGH1250NC Date code 0542 (2 pièces)

Compte tenu du fait que les DUT sont en technologie "flip-chip" c'est-à-dire que la zone active du composant se trouve du côté des soudures, le faisceau doit passer au travers du substrat pour atteindre les zones sensibles. Ceci oblige à amincir le substrat des composants à tester pour permettre aux faisceaux de particules un dépôt d'énergie suffisant pour provoquer des événements dans les zones sensibles. Les pièces ont été amincies à environ 70 μm par le CNES puis re-testées par e2v.

Conditions de test

Dans le tableau 3.1 sont résumées les conditions de test adoptées pour les essais sous ions lourds. La stratégie de test a été celle généralement utilisée dans le cas d'essais sous radiations effectués sur des processeurs, communément appelée "test statique". Elle consiste à initialiser avec des motifs prédéterminés, tous les éléments mémoires accessibles via le jeu d'instructions. Puis le processeur entre dans une boucle d'attente dont la durée peut être adaptée selon la sensibilité des éléments mémoires pour garantir une bonne statistique d'évènements détectés. Des motifs généralement utilisés sont l'alternance de 0 et de 1 motif appelé "damier" (Checkboard, CHB), le "damier inversé" (CHBn), "tout à zéro" ou "tout à 1" (All 0, All 1).

iRoC	PPC7448
Nombre de composants testés	2 pièces issues de 2 lots de diffusion
Tension d'alimentation du coeur	1V
Tension d'alimentation des I/O	2.5V
Température	Ambiante
Type de test	Statique
Motif de test	CHB, CHBn, All0, All1
Orientation	0 et 45 degrés
Fréquences de fonctionnement	33MHz SYSCLK, 600MHz pour le coeur

TABLE 3.1 – Conditions des tests ions lourds

La fréquence d'horloge du bus mémoire a été fixée à 33 MHz pour éviter les dissipations de chaleur importantes, alors que celle du cœur était fixée à 600 MHz qui est la fréquence minimale de fonctionnement.

Le programme de test statique utilisé ciblait les zones sensibles accessibles du PowerPC : la file de registre et la mémoire cache de données L1, soit un total de 8928 bits pour les registres et 262144 bits pour la cache. Les registres suivants ont été testés :

- Registres à usage général : GPR2 -> GPR31 $32 \times 32 = 1024$ bits
- Registres de l'unité à virgule flottante : FPR0 -> FPR31 $32 \times 64 = 2048$ bits

- Registres spéciaux : SPRG0 -> SPRG7 $8 \times 32 = 256$ bits
- Mémoire virtuelle : IBAT0 -> IBAT7, DBAT0-> DBAT7 $16 \times 32 = 512$ bits
- Registres d'état : SR0 -> SR15 $16 \times 32 = 512$ bits
- Registres pour les opérations vectorielles : VR0 -> VR31 $32 \times 128 = 4096$ bits
- 14 registres permettant l'injection de fautes dans L2 $14 \times 32 = 448$ bits
- Registre de contrôle pour le cache instructions : ICTRL 32 bits

Les essais ions lourds ont été effectués au cyclotron CYCLONE de l'HIF de l'UCL. Pour permettre l'accès aux zones sensibles des processeurs testés un "cocktail haute pénétration" a été utilisé. Ce cocktail met à disposition un ensemble d'ions couvrant une large palette d'énergies dont les détails sont donnés dans le tableau 3.2. Les essais sous ions lourds peuvent être réalisés avec différents angles d'incidence du faisceau, ce qui permet d'augmenter le LET qui est inversement proportionnel au cosinus de l'angle formé entre le faisceau et la carte contenant le DUT. Les essais ions lourds réalisés dans le cadre de ce projet ont été faits avec des faisceaux ayant une profondeur de pénétration supérieure à l'épaisseur du substrat après amincissement (environ $70\mu m$).

Ion	DUT Energie [MeV]	Pénétration [μSi]	LET [$MeV/mg/cm^2$]
$^{13}C^{4+}$	131	266	1.2
$^{22}Ne^{7+}$	235	199	3.3
$^{28}Si^{8+}$	236	106	6.8
$^{40}Ar^{12+}$	372	119	10.1
$^{58}Ni^{17+}$	500	85	21.9
$^{83}Kr^{25+}$	756	92	32.4

TABLE 3.2 – Détails du cocktail haute pénétration disponible à CYCLONE

Dans le cadre des essais effectués, les particules choisies sont : le Néon, l'Argon et le Krypton. Leur utilisation avec un angle d'incidence, ou "tilt", de 0° (incidence normale) ou de 45° a permis la mesure des sections efficaces pour une palette de LET allant depuis 3.3 jusqu'à $47 MeV/mg/cm^2$. Il est important de noter que le LET au niveau de

la zone active du circuit, généralement appelé LET effectif ou LET_{eff} , sera inférieur à celui mesuré dans l'installation utilisée, car les particules du faisceau incident perdent de l'énergie lorsqu'elles traversent le substrat. Ceci s'applique aussi dans le cas des faisceaux dits "tiltés", qui impactent le circuit cible avec un angle d'incidence différent de 90° .

Les PowerPC 7448 ont été exposés à ces faisceaux dans le but d'obtenir une mesure de leur section efficace statique, qui évalue le nombre moyen de particules nécessaires pour provoquer un événement singulier. Nous rappelons que les SEE les plus significatifs dans le cas de ce type de test sont le "bascullement de bit" ou SEU (Single Event Upset), le "verrouillage de l'alimentation" ou SEL et la "perte de séquençement" ou SEFI (Single Event Functional Interrupt).

La détection d'un SEU est faite par comparaison de la valeur lue à celle de référence. La détection d'un SEFI peut être réalisée via des "chien de garde temporels" (watchdogs). Enfin, la détection d'un SEL est assurée par comparaison permanente de la consommation avec celle la consommation nominale (plus une marge de 10%). Dans le cas où un SEL est détecté, l'alimentation est coupée durant une période de quelques millisecondes, puis le DUT est réinitialisé.

Les processeurs testés étant fabriqués en technologie SOI (Silicon On Insulator) sont en principe immunes aux SEL. Dans le cas des tests de type statique, les SEFI ne sont pas comptabilisés. En effet, bien qu'un SEFI soit détectable, il n'est pas possible d'identifier l'élément mémoire perturbé car il peut affecter différents registres non accessibles à l'utilisateur via le jeu d'instruction.

Résultats des essais ions lourds

Dans le tableau 3.3 sont donnés en fonction du LET ($MeV/mg/cm^2$) les sections efficaces statiques de la mémoire cache L1 et de l'ensemble de registres du PowerPC 7448. Ces sections efficaces sont données en cm^2/bit . Les essais ont tous eu une fluence de $5 * 10^5$ particules. Il est important de noter que dans les applications spatiales, les mémoires caches sont fréquemment désactivées pour éviter l'accumulation d'erreurs qui auraient des conséquences critiques pour le système.

Les conclusions des ces essais ions lourds sont :

CHAPITRE 3. ÉTUDE DE CAS : CARACTÉRISATION D'UN PROCESSEUR COMPLEXE DE TYPE POWERPC

Particule	Tilt (°)	LET Effectif [MeV/mg/cm ²]	Cache L1	Registres
Ne	0	3.3	4.07E-09	3.12E-09
Ne	45	4.6	6.09E-09	9.09E-09
Ar	0	10	5.11E-09	1.30E-08
Ar	45	14	6.88E-09	1.87E-08
Kr	0	33	5.51E-09	1.73E-08
Kr	45	47	3.54E-09	8.10E-09

TABLE 3.3 – Sections efficaces, en cm^2/bit , de la mémoire cache L1 et des registres

	Orbit	GEO (35870 km)		LEO1 Pol (98°, 800km, 800km)		LEO2 ISS (51,5°, 400km, 400km)	
	nb of bits	errors/bit/day	errors/device/day	errors/bit/day	errors/device/day	errors/bit/day	errors/device/day
L1 cache	589824	5.50E-08	3.24E-02	2.56E-08	1.51E-02	2.47E-09	1.46E-03
GP Registers	1024	7.05E-08	7.22E-05	3.20E-08	3.28E-05	4.79E-09	4.90E-06
V registers	4096	1.30E-08	5.32E-05	5.14E-09	2.11E-05	6.77E-10	2.77E-06
S registers	512	4.41E-08	2.26E-05	1.17E-08	5.99E-06	1.46E-09	7.48E-07
SP Registers	3264	2.37E-07	7.74E-04	1.36E-07	4.44E-04	2.20E-08	7.18E-05
TOTAL	598720	4.20E-07	3.34E-02	2.10E-07	1.56E-02	3.14E-08	1.54E-03

FIGURE 3.3 – Calculs de taux d'erreurs en orbite

- Le PowerPC 7448 n'est pas sensible au latchup (SEL). On confirme donc l'immunité au latchup des technologies SOI.
- Des Multi-Cell-Upset (MCU) ni de Multi Bit Upset (MBU) n'ont pas été observés.
- Des pertes de séquençement (timeout) ont été observées grâce au mécanisme de contrôle du flot d'exécution. En principe il n'est pas possible de distinguer l'origine d'un tel évènement, qui peut en effet provenir d'un SEFI (Single Event Functional Interrupt) ou d'un SEU dans un des registre pilotant le séquençement du programme ou d'un élément mémoire de l'unité de contrôle du processeur.

Calcul du taux d'erreur du PC7448 en orbite

Dans la figure 3.3 sont regroupés les différents calculs de taux d'erreurs dus aux ions lourds en orbites GEO, Polaire et ISS pour le cache L1 et les registres. Ces calculs ont été réalisés avec le logiciel OMERE en utilisant le modèle CREME86 en configuration M=3 (90% pire cas). Le PowerPC 7448 présente un faible taux d'erreurs pour les diffé-

rentes orbites :

- orbite GEO : environ 1 erreur tous les mois
- orbite Polaire : environ 1 erreur tous les 2 mois
- orbite ISS : environ 0.5 erreur par an

3.4 Prédiction du taux d'erreurs pour le PPC7448

3.4.1 Carte fille ASTERICS pour le PowerPC

Une carte fille permettant de connecter le PowerPC au testeur ASTERICS a été conçue et développée de manière à ce qu'elle puisse recevoir aussi bien le PowerPC 7447A que le PowerPC 7448. La flexibilité du testeur au niveau matériel permet de réduire le temps de développement au strict minimum. En effet, le travail de routage de la carte s'est limité à câbler les signaux du processeur vers le connecteur du testeur. La carte fille comporte aussi les régulateurs de tension pour le cœur et les entrées-sorties du processeur. La figure 13 montre la plateforme de test utilisée pour les PowerPC lors des tests aux ions lourds. Ces tests s'effectuant dans une chambre sous vide, la dissipation thermique du processeur se fait par conduction via un scotch cuivré relié au plan de masse de la carte.

3.4.2 Développements logiciels

Il est important de rappeler que les ressources nécessaires au fonctionnement des processeurs à tester sont celles présentes dans la carte mère du testeur ASTERICS. Pour utiliser ASTERICS pour un processeur donné il suffit d'implémenter dans le FPGA nommé Chipset un contrôleur mémoire lui permettant d'accéder à son code ainsi qu'aux données présentes dans la mémoire SRAM embarquée dans le testeur.

Dans le cas des processeurs au cœur de ce projet, les PowerPC, un tel contrôleur mémoire a été écrit en langage HDL (Hardware Description Language) Verilog. Un contrôle du flot d'exécution permettant de vérifier différentes phases dans l'exécution d'un programme est aussi implémenté dans ce FPGA.

Un programme de contrôle du testeur, exécuté sur un ordinateur externe, écrit en langage C, permet de lancer le programme exécuté par le PowerPC et de vérifier la présence ou non d'erreurs dans les données écrites par le processeur lors de son exposition

au flux des particules ou durant les essais d'injection de fautes.

Contrôleur mémoire

Deux modes de fonctionnement du bus du PowerPC sont disponibles. La simplicité de mode appelé 60x, comparée à celle du mode MPX, a motivé son choix. Le contrôleur développé est divisé en plusieurs sous modules élémentaires.

Les signaux provenant du PowerPC ainsi que ceux issus du FPGA de contrôle, passent à travers des registres avant d'arriver dans les différentes machines à états constituant le contrôleur mémoire. Le module *ppc-controller* a en charge le décodage d'un cycle d'accès mémoire au niveau du bus d'adresses, tandis que le module *mem-controller* s'occupe du bus de données du PowerPC ainsi que de l'arbitrage entre le FPGA de contrôle et le processeur dans le cas d'accès à la mémoire contenant le code du programme exécuté par le PowerPC.

Contrôle du flot d'exécution

Le programme de test pour les deux stratégies (statique et dynamique) exécuté par le processeur sous test durant son exposition à un faisceau de particules ou durant une session d'injection de SEU par des moyens logiciels/matériels, peut être découpé en plusieurs phases, chacune étant associée à un compteur implémenté dans le FPGA :

- *booting* : configuration du processeur
- *writing* : initialisation des éléments mémoires devant être testés avec des motifs prédéterminés
- *waiting* : temps d'exposition du Power PC sous le faisceau de particules lors d'un test statique
- *dumping* : écriture des résultats dans la mémoire du testeur

La figure 3.4 illustre ces différentes phases d'exécution dans le cas d'un test statique. Les signaux PIO[n] ont été implémentés dans le FPGA et sont décodés lorsque le processeur accède à une zone mémoire particulière. Dans le cas d'un test dynamique, exécution d'une application typique, les phases waiting et writing correspondent au temps de calcul propre à l'exécution de l'application sous test.

A la fin d'une exécution, le contenu de chacun des compteurs est comparé aux valeurs de référence, qui sont obtenus lors d'une exécution hors radiation. Si cette valeur

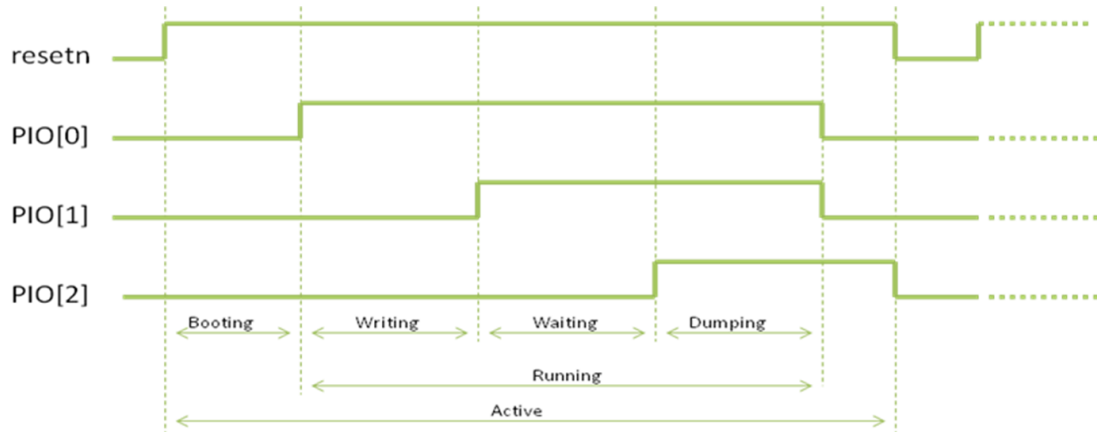


FIGURE 3.4 – Flot d'exécution du processeur sous test

est différente de celle attendue, une erreur de type perte de séquence sera comptée, les résultats associés à une telle exécution n'étant pas exploités pour éviter des problèmes d'interprétation de données. Un ajustement de la fluence, indispensable pour garantir la validité des taux d'erreurs mesurés, est rendu possible par la flexibilité offerte par l'architecture de la plateforme ASTERICS. Il est important de noter que les cartes utilisées pour réaliser des essais sous radiations de composants complexes, sont généralement basées sur des cartes de développement commerciales, et n'offrent donc pas la possibilité d'implémenter des ressources nécessaires à un tel ajustement.

Le contrôleur du flot d'exécution développé permet aussi de mesurer avec exactitude le temps d'exposition aux radiations du processeur et donc permet de connaître la fluence (nombre de particules) exacte à laquelle a été exposée l'application étudiée.

Le temps d'exposition pour n exécutions est égal à :

$$E = \sum_{i=1}^n running_i$$

Le compteur *running* englobe les temps d'initialisation et d'écriture des résultats dans la mémoire du testeur. Pour que les estimations soient précises, les temps d'initialisation et d'écriture des résultats doivent être négligeables par rapport au temps d'exposition aux faisceaux.

La fluence réelle vue par le processeur sera donnée par :

$$F_R = \frac{F}{T} \times E$$

où F est la fluence (flux intégré dans le temps) fourni par l'opérateur de l'accélérateur de particules et T est le temps d'exposition total de l'expérience. Le flux moyen obtenu (nombre de particules par unités de surface et de temps) est ajusté par le facteur E , pour obtenir le nombre de particules auquel le circuit sous test a été exposé durant l'exécution de l'application.

3.4.3 Mesures de section efficace dynamique

Comme dit précédemment, dans les programmes utilisés pour évaluer la section efficace statique, le processeur ne fait pas de calcul, le but étant d'obtenir la sensibilité aux ions lourds de différentes zones accessibles. Dans le but d'obtenir des résultats sur la sensibilité des processeurs étudiés lorsqu'ils exécutent un programme "réaliste", nous avons utilisé un programme dédié au calcul d'orbite durant des tests sous radiations avec les mêmes particules que celles utilisés pour les tests statiques.

Ce programme fourni par le CNES est issu du logiciel "SCA TAFT/PRONAOS". Ce logiciel est un Système de Contrôle d'Attitude (SCA) développé pour le projet PRONAOS (PROjet National d'AstrOnomie Submillimétrique) du CNES, c'est à dire la stabilisation de la nacelle d'un ballon stratosphérique emportant un télescope pour l'observation de l'Univers Froid dans le domaine submillimétrique (longueurs d'ondes comprises entre 200 microns et 1,2 mm). Cette stabilisation est assurée par un asservissement basé sur un filtre de Kalman, en fonction des données issues de différentes mesures fournies par des capteurs (centrale inertielle, senseur stellaire, données GPS).

A partir du code en langage C disponible du logiciel SCA, il fut obtenu le code exécutable pour le PowerPC (à l'aide du compilateur GCC). Ce code a été exécuté sur la plateforme ASTERICS afin d'obtenir les résultats de référence. Un jeu de données émulant les mesures des capteurs impliquées a été utilisé durant l'exécution du programme SCA.

Lors de la campagne d'essais sous ions lourds effectuée au cyclotron de l'HIF de Louvain-la-Neuve, le PowerPC 7448 fut exposé aux faisceaux d'ions lourds pendant l'exécution en boucle du programme SCA. Les figures 3.5 et 3.6 donnent les sections

CHAPITRE 3. ÉTUDE DE CAS : CARACTÉRISATION D'UN PROCESSEUR COMPLEXE DE TYPE POWERPC

efficaces du programme SCA lorsqu'il est exécuté par le PowerPC 7448. Les sections efficaces dynamiques de l'application ont été mesurées dans deux configurations différents du PowerPC : mémoire cache de données L1 désactivée et activée.

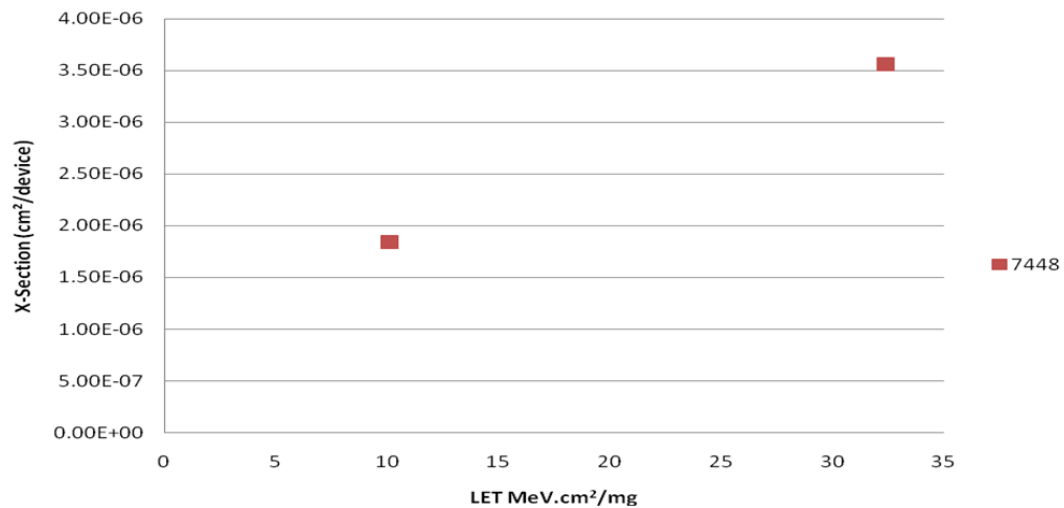


FIGURE 3.5 – Section efficace de l'application avec mémoire cache désactivée

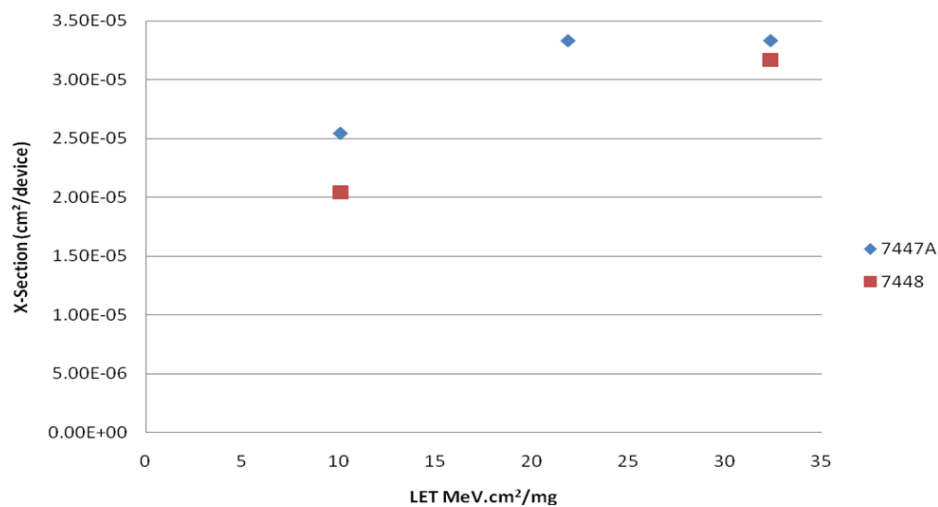


FIGURE 3.6 – Section efficace de l'application avec mémoire cache activée

D'après ces résultats il peut être constaté que l'impact de l'activation de la mémoire cache sur la sensibilité de l'application est faible car la taille des données traitées est

négligeable devant celle de la mémoire cache (moins de 1% utilisés). D'autre part, la différence entre les sections efficaces dynamiques et statiques, dans le cas où la mémoire cache est désactivée, est d'environ un ordre de grandeur. Ce faible écart est expliqué par le fait que dans la configuration adoptée pour ces essais, la cache est désactivée et de plus l'application utilise un grand nombre des registres utilisateur.

Dans le cas où la mémoire cache est activée, l'écart entre les résultats des tests statique et dynamique atteint 3 ordres de grandeur. Ceci met clairement en évidence la forte dépendance entre le type d'application (incluant également les options de compilation et l'architecture du programme) et sa sensibilité aux ions lourds.

L'un des buts de ces recherches est de montrer que la sensibilité aux SEU d'un processeur exécutant un programme peut être prédite à partir de la section efficace statique et des résultats des sessions d'injection de fautes comme énoncé dans le chapitre précédent. Une telle stratégie de prédiction du taux d'erreurs, dans le cas où la validité des résultats qu'elle fournit est prouvée, devrait permettre d'éviter la réalisation de tests dynamiques sous radiation, tests qui devraient en principe être effectués en cas d'évolutions majeures du logiciel de l'application. Bien évidemment, les tests statiques sont obligatoires, mais peuvent être réalisés une seule fois sur les composants sélectionnés.

Dans ce qui suit, seront décrits les résultats des sessions d'injection de fautes effectués sur les PowerPC 7448 durant l'exécution du programme SCA. Ces résultats seront combinés avec la section efficace statique du processeur pour déterminer le taux d'erreur de l'application lorsqu'elle est exécutée sous faisceau de particules.

3.4.4 Confrontation des prédictions du taux d'erreurs aux mesures effectuées sous radiation

Contrairement aux essais sous radiation, dont leur coût oblige à les limiter dans le temps lorsque un nombre "raisonnable" d'événements a été détecté, la méthode CEU peut être utilisée de manière à injecter des nombres très importants de SEU, avec pour unique contrainte le temps. A titre d'exemple, l'injection de 150 000 SEUs sur les bits des registres du PowerPC 7448 a demandé 2 jours d'expérimentation avec le testeur THESIC, alors que lors d'une campagne en accélérateur il faudrait, en se basant sur les données de la figure 14, environ 4 jours complets, durée ayant un coût de faisceau trop

important pour envisager une telle expérimentation ².

Trois types de situations ont été observés comme conséquence des SEU injectés :

- SEU sans effet
- SEFI : Perte de séquence du programme ou déclenchement d'une exception
- Erreur dans les données de sortie calculées par le programme

La répartition de ces erreurs est donnée dans le tableau 3.4. Dans les tableaux 3.5 et 3.6,

Type	Pourcentage
Perte de séquence du programme	2.2%
Exception (adresse non alignée)	0.9%
Erreur de calcul	80%
Pas d'erreur observée	16.9%

TABLE 3.4 – Taux d'erreurs obtenus par injection de 150 000 fautes

sont confrontées aux mesures (cf. figures 3.5 et 3.6) aux prédictions des taux d'erreurs issues des sessions d'injection de SEU réalisées sur le PowerPC 7448 pour les deux configurations possibles de la cache données.

Ion	σ_{SEU} Prédit	σ_{SEU} Mesuré
Argon	$1,96.10^{-6}$	$1,84.10^{-6}$
Krypton	$3,82.10^{-6}$	$3,56.10^{-6}$

TABLE 3.5 – Prédictions vs. Mesures dans le cas cache données désactivée

Ion	σ_{SEU} Prédit	σ_{SEU} Mesuré
Argon	$2,12.10^{-5}$	$2,04.10^{-5}$
Krypton	$3,24E.10^{-5}$	$3,17.10^{-5}$

TABLE 3.6 – Prédictions vs. Mesures dans le cas cache données activée

Ces résultats montrent la pertinence de la méthode adoptée pour la prédiction de taux d'erreurs d'une application, même dans le cas où elle est exécutée par des processeurs

2. Une heure de faisceau coûte environ 600€

avancés ayant des architectures complexes incluant des mémoires cache et mettant en oeuvre l'exécution en parallèle d'instructions.

3.5 Conclusion

Ce chapitre décrit les résultats d'essais aux ions lourds et de campagnes d'injection de SEU effectuées à l'aide de moyens logiciels/matériels pour deux processeurs avancés : les PowerPC 7447A et 7448.

La prédiction du taux d'erreurs a été réalisée à l'aide d'une stratégie combinant les valeurs des sections efficaces statiques et les résultats de sessions d'injection de fautes. Des nombres très importants de SEU ont été simulés à l'aide de la plateforme utilisée lors des campagnes sous radiation, en se basant sur une technique utilisant les signaux d'interruption activés aléatoirement. Cette stratégie a été appliquée dans le cas du processeur PPC7448 ceci pour une application réelle issue d'un logiciel développé pour le CNES. Les taux d'erreurs prédits se sont révélés comme étant très proches de ceux mesurés sous faisceaux d'ions lourds, pour la même application et processeur. Cette surprenante précision, malgré le nombre important de cibles de SEU qui ne peuvent pas être atteintes à l'aide de la méthode CEU, peut être justifiée par le grand nombre de SEUs injectés durant les campagnes de simulation, nombre qui aurait nécessité l'exposition au faisceau d'ions lourds du processeur durant plusieurs jours de manière continue.

L'utilisation lors de ces expériences d'un programme issu d'une application spatiale, est une contribution importante de ces travaux. En effet, dans littérature scientifique liée à cette thématique, des programmes simples de type benchmark sont utilisés dans le cadre des expériences visant l'évaluation de la sensibilité aux radiations d'architectures à base de processeurs.

Chapitre 4

Essais en environnement réel : prédictions et premiers résultats

4.1	Introduction	60
4.2	Plateforme expérimentale	60
4.3	L'outil de simulation MUSCA SEP³	63
4.4	Premiers résultats obtenus	63
4.4.1	Modélisation du composant et du vol	63
4.4.2	Résultats théoriques	65
4.4.3	Comparaison avec les résultats obtenus en vol	65
4.5	Conclusion	68

Ce chapitre a pour but de donner des évidences de la sensibilité de circuit de type mémoire SRAM issus de processus de fabrication avancés face aux neutrons présents dans l'atmosphère terrestre. Pour obtenir ces résultats, une plateforme de test expérimentale dédiée à la détection d'évènements singuliers provoqués par les radiations présentes dans l'atmosphère terrestre a été activée lors de vols commerciaux long courrier. Une contribution significative de ces travaux a été la confrontation des résultats obtenus lors de ces vols aux prédictions effectuées à l'aide de l'outil MUSCA *SEP*³ développé par l'ONERA. La plateforme a également été embarquée dans des ballons stratosphériques. Ces expériences de courte durée (3h de vol à 30km d'altitude) ont été réalisées dans le but de valider la logistique pour des missions futures dans des ballons de longue durée.

4.1 Introduction

Depuis 1993, plusieurs expériences (en ballons, avions et haute montagne) ont été publiées dans la littérature [26, 28, 25]. Ces expériences donnent un retour objectif sur le FIT (*Failure In Time*) de circuits tels que les FPGAs et SRAMS fonctionnant à différentes altitudes. Ces expériences permettent aussi de valider des solutions garantissant la fiabilité requise par des applications critiques.

Ce type d'expériences requiert un grand nombre de circuits à cause du flux de particules relativement faible (même aux altitudes avioniques) ainsi que la faible sensibilité aux évènements singuliers des technologies disponibles lors de la réalisation de ces expérimentations. Les procédés de fabrication disponibles de nos jours ainsi que les technologies faible consommation permettent de réaliser de telles expériences en utilisant un nombre significativement réduit de composants. Ainsi, il devient possible de transporter une carte d'expérimentation dans un bagage à main lors d'un vol commercial.

4.2 Plateforme expérimentale

La plateforme expérimentale développée au cours de cette thèse embarque 1Gbit de mémoire SRAM. Elle est composée de 64 circuits fournis par Cypress et provenant de deux générations successives d'un procédé technologique (respectivement 130 et 90nm). La photo donnée dans la figure 4.1 donne un aperçu de la carte alors que l'architecture de celle-ci est donnée dans la figure 4.2.

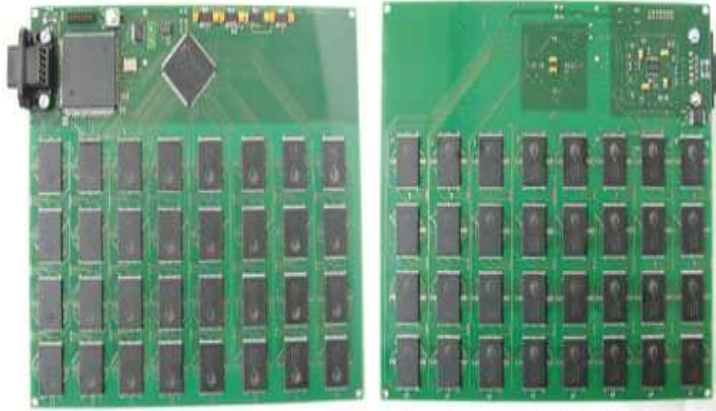


FIGURE 4.1 – Carte développée pour les essais en environnement atmosphérique

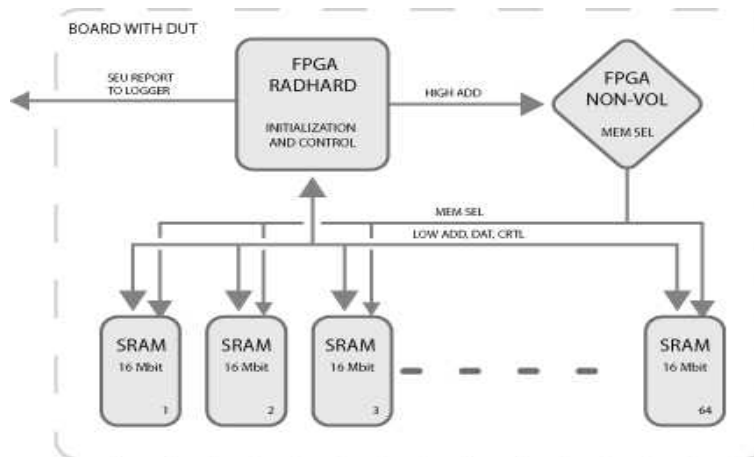


FIGURE 4.2 – Architecture de la carte

Le contrôle ainsi que l’adressage des mémoires sont implémentés dans deux FPGAs. L’un d’eux assure la communication avec l’utilisateur :

- Écriture du motif de référence
- Lecture et vérification du contenu des mémoires
- Rapport d’erreurs

Lorsque la configuration initiale de démarrage a été effectuée, une machine à états implémentée dans le FPGA de contrôle initialise le contenu de chacune des mémoires. La valeur qui a été écrite lors des expériences réalisées dans le cadre de cette thèse est le motif bien connu dit “damier” (suite alternée de 0 et de 1).

La carte communique avec un ordinateur de contrôle via un lien série RS232. En cas de détection d'erreur, le numéro du circuit, l'adresse et la donnée erronée sont reportés. Une horloge temps réel permet de connaître l'instant d'occurrence des événements et sera mise à contribution pour les expériences futures. Un circuit logique programmable non-volatile est utilisé pour l'adressage du plan mémoire. Il s'agit d'un décodeur 1 vers 64 et permet ainsi de lire chacune des mémoires présente sur la carte.

L'expérience est mise en route après la phase de décollage. Comme premier exemple, le tableau 4.1 récapitule les erreurs observées durant un vol Madrid - Buenos Aires.

Circuit	Adresse	Donnée lue en hexa	Donnée lue en binaire	Nbre de bits faux
NA	NA	0x5555	0101010101010101	NA
3	0xB657F6	0x5557	0101010101010111	1
3	0xB657FA	0xD557	1101010101010111	2
3	0xB657BE	0xF557	1111010101010111	3

TABLE 4.1 – Erreurs observées lors d'un vol Madrid - Buenos Aires

La première colonne donne le numéro de circuit dans lequel ont été observées les erreurs. Les trois octets de la seconde colonne fournit l'adresse dans laquelle la donnée erronée a été lue. Enfin, les 16 bits suivants représentent le mot erroné. L'exemple précédent montre clairement qu'un SEU et deux MBUs ont été détectés dans le même circuit. La sensibilité du circuit aux MBUs d'ordre 3 a été clairement mise en évidence.

Comme deuxième exemple, le tableau 4.2 donne les résultats obtenus lors du vol retour Buenos Aires - Madrid. Les adresses des mots en erreur diffèrent de quatre montrent qu'une technologie utilisant du *bit interleaving* a été certainement implémentée dans les circuits choisis pour ces expériences. Cette hypothèse pourra être vérifiée par des essais LASER futures.

Circuit	Adresse	Donnée lue en hexa	Donnée lue en binaire	Nbre de bits faux
0	0xFAE334	0x5515	0101010100010101	1
0	0xFAE338	0x5515	0101010100010101	1
0	0xFAE33C	0x5515	0101010100010101	1

TABLE 4.2 – Erreurs observées lors d'un vol Buenos Aires - Madrid

4.3 L’outil de simulation MUSCA SEP³

Plusieurs équipes de recherche ont développé des méthodes de prédiction de taux d’erreur. Ces approches combinent soit des codes nucléaires avec de la simulation de composant, soit des relations semi-empiriques de physique nucléaire avec des données expérimentales [11, 36, 13, 21, 41, 42, 30].

En 2009, une nouvelle approche basée sur la modélisation de toutes les étapes et leurs mécanismes physiques associés susceptibles de provoquer un évènement a été proposée [22]. La plateforme MUSCA SEP³ *Multi-SCAles Single Event Phenomena Predictive Platform* a pour but de calculer à la fois la section efficace et le taux d’erreur de circuits. Pour cela, plusieurs mécanismes physiques entrent en jeu entre l’instant d’apparition d’un évènement singulier et l’impact avec le matériau de la particule incidente :

1. Les caractéristiques de la particule incidente sont modifiées par le blindage présent autour du circuit
2. Injection de charges, transport et collection sur les contacts internes du circuit
3. Impulsions transitoires observés au niveau transistor
4. Réponse du composant face à ces transitoires (apparition ou non d’un SEE)

Par conséquent, le principe de la plateforme MUSCA SEP³ consiste à modéliser séquentiellement tous ces mécanismes. La figure 4.3 illustre les étapes de calcul. Des simulations *Monte-Carlo* inverses et directes sont utilisées pour la sélection des caractéristiques des particules et modéliser les processus nucléaires.

La plateforme reçoit comme entrées une description du composant : zones actives du semi-conducteur, passivation, couches de métallisation, caractéristiques du boîtier. Dans le cas d’une mémoire de type SRAM, la cellule élémentaire (layout) est décrite, puis des règles de transposition permettent de définir le plan mémoire complet.

4.4 Premiers résultats obtenus

4.4.1 Modélisation du composant et du vol

Pour pouvoir modéliser une mémoire SRAM dans MUSCA SEP³, il est nécessaire de définir premièrement une description tridimensionnelle du plan mémoire puis un ni-

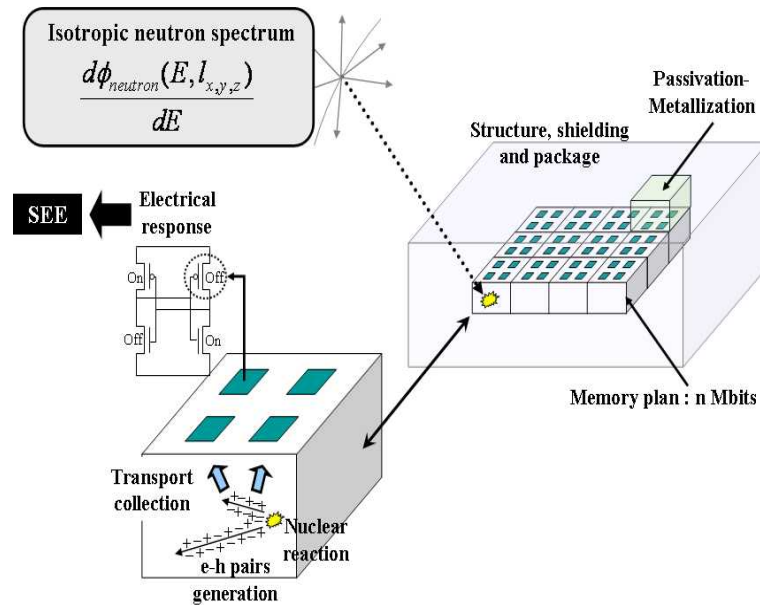


FIGURE 4.3 – Mécanismes physiques et électriques modélisés avec MUSCA SEP³

veau de charge critique ainsi que des constantes de diffusion. Concernant la description du plan mémoire, la première étape consiste en la description d'une topologie de cellule élémentaire et d'y appliquer des règles de translation et de symétrie. Ainsi, plusieurs méga bits peuvent être définis. Une analyse technologique permet de déduire la topologie des cellules, la surface totale ainsi que les caractéristiques des drains des transistors (dimension et localisation). Un test en accélérateur de particules peut être utile pour estimer la charge critique et les constantes de diffusion [22].

Pour palier à l'absence d'informations technologiques sur les composants utilisés sur la carte expérimentale, deux modèles technologiques ont été considérés. Le premier est bâti sur l'hypothèse d'une sensibilité assez importante du circuit alors que le second table sur une sensibilité faible face aux événements singuliers. Les caractéristiques de ces modèles (charge critique et layout de cellule) issus de l'ITRS (*International Technology Roadmap for Semiconductors*) sont donnés dans la figure 4.4.

Le spectre d'énergies des neutrons, qui dépend de l'altitude ainsi que de la latitude, peut être calculé à l'aide du code QARM (*QinetiQ Atmospheric Radiation Model*). La figure 4.5 donne une représentation de ce spectre dans une plage allant de 1MeV à 1GeV en fonction de plusieurs altitudes et latitudes.

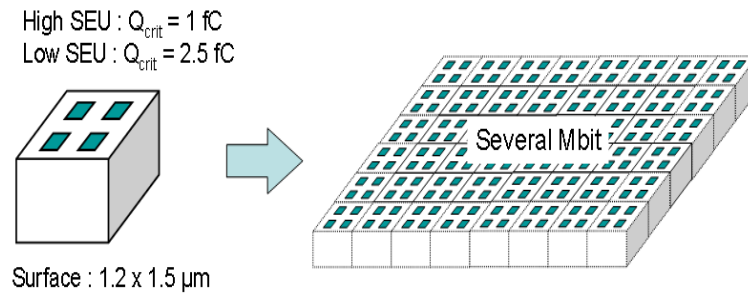


FIGURE 4.4 – Modèles technologiques du plan mémoire

4.4.2 Résultats théoriques

Les figures 4.6 et 4.7 présentent respectivement les sections efficaces calculées par MUSCA SEP³ pour les fortes et faibles sensibilités des modèles technologiques retenus. La plateforme de simulation permet de caractériser le type d'évènement (simple ou multiple) pouvant apparaître. Des évènements multiples d'ordre 5 peuvent être simulés. Le seuil théorique est de 3MeV.

La figure 4.8 donne le taux d'erreurs calculé pour une localisation de référence (12km, Lat. = 51.5°) et les deux modèles technologiques considérés (haute et faible sensibilité). Ces résultats montrent un nombre important d'évènements multiples qui peuvent laisser penser que les résultats expérimentaux réalisés à l'aide de la carte de test devraient être équivalents aux simulations effectuées avec MUSCA SEP³. Pour le modèle sensible, les évènements multiples sont prépondérants.

4.4.3 Comparaison avec les résultats obtenus en vol

La comparaison des données obtenues en vol avec les estimations calculées par MUSCA SEP³ est donnée dans le tableau 4.3. Suivent les figures 4.9, 4.10, 4.11 et 4.12 qui se focalisent sur trois vols : Los Angeles - Paris, Paris - Buenos Aires et Buenos Aires - Paris. Pour chaque vol sont présentées les trajectoires ainsi que les estimations du nombre intégré de SEU sur la durée du temps de vol.

Le nombre d'erreurs observées est en adéquation avec les estimations calculées. Une comparaison du vols Los Angeles - Paris avec le vol Buenos Aires - Paris montre clairement la dépendance du spectre neutronique en fonction de la latitude et de la longitude. Il y a approximativement trois fois plus d'évènements pour le vol Paris - Los Angeles ce qui correspond aux hautes latitudes.

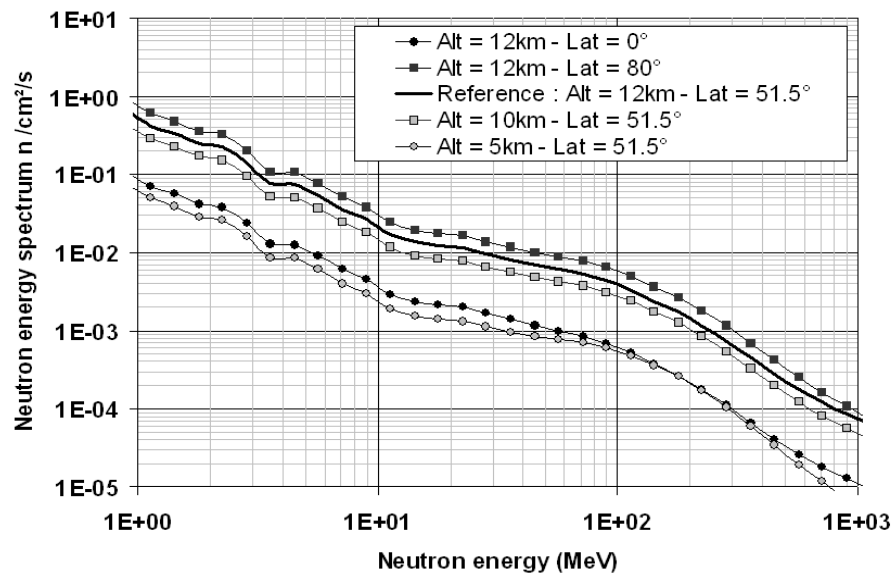


FIGURE 4.5 – Énergie du spectre neutronique pour différentes localisations géographiques

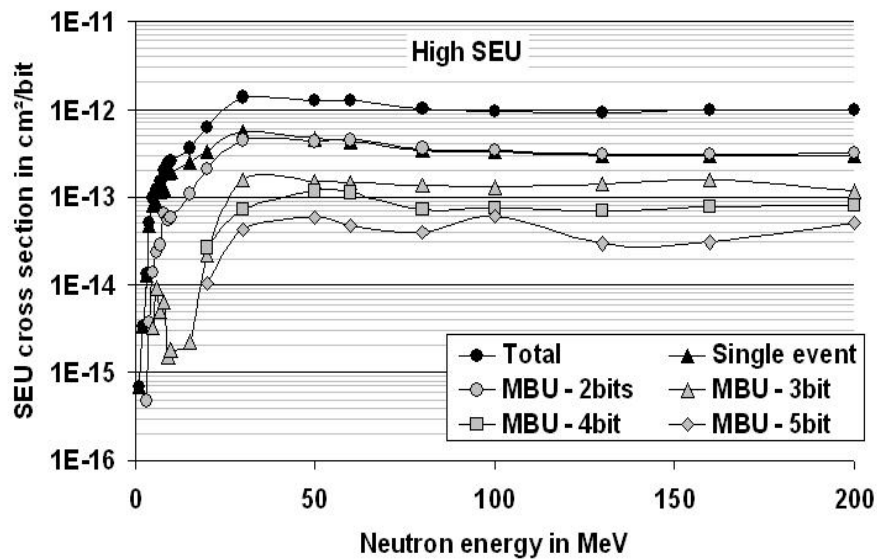


FIGURE 4.6 – Section efficace calculée pour le modèle technologique sensible

Le nombre d'évènements multiples est lui aussi comparable aux prédictions faites en

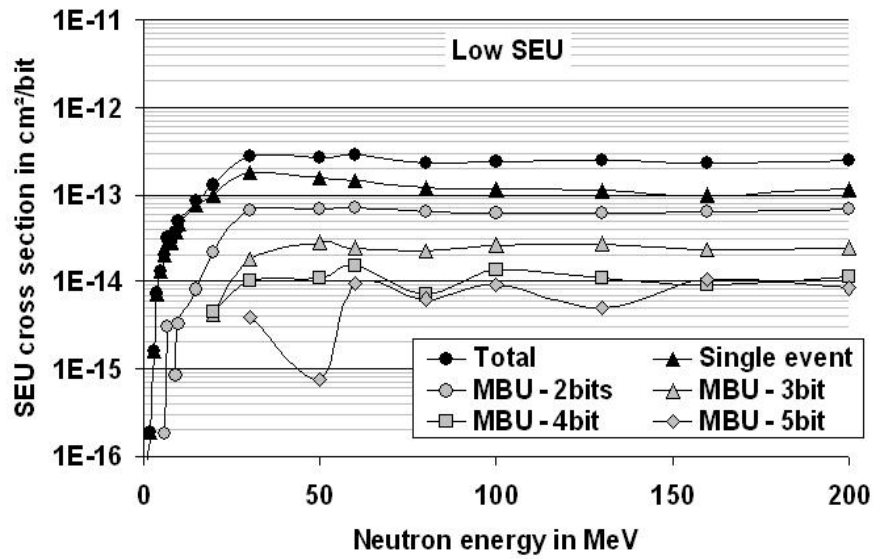


FIGURE 4.7 – Section efficace calculée pour le modèle technologique peu sensible

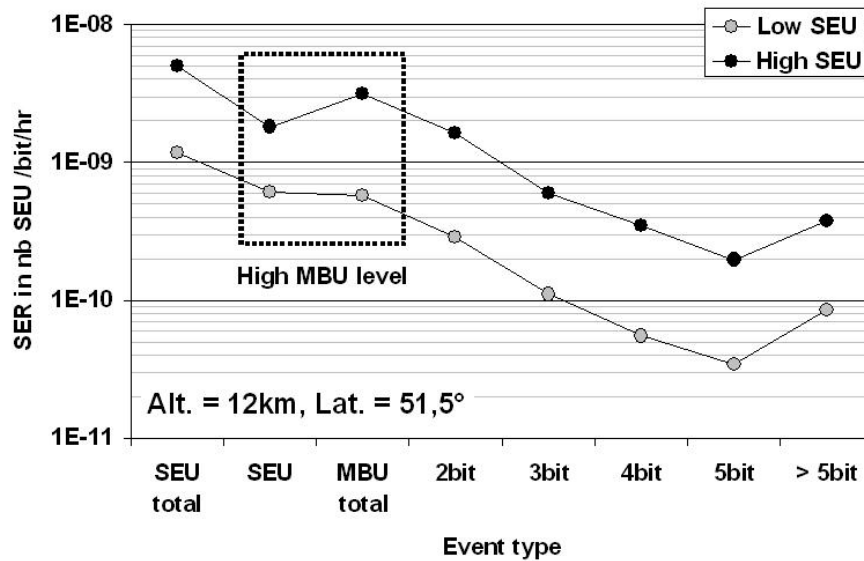


FIGURE 4.8 – Type d'évènements pour les deux technologies

simulation. Le nombre élevé d'évènements de type MBU révèle une grande sensibilité de ces mémoires et pourrait mettre en défaut les techniques de redondance habituellement utilisés tels les codes de Hamming.

CHAPITRE 4. ESSAIS EN ENVIRONNEMENT RÉEL : PRÉDICTIONS ET PREMIERS RÉSULTATS

Vol	Date	Nbre er-reurs	Ev. multiple	Résultats MUSCA SEP ³
Madrid-Buenos Aires	5/12/2007	6	1 double MBU	$1.45 < nb_{SEU_{total}} < 5.7$ $0.7 < nb_{SEU} < 2.1$ $0.32 < nb_{MBU-2bit} < 1.9$ $0.12 < nb_{MBU-3bit} < 0.9$
New York-Lima	14/10/2008	1	0	Non exploité
Buenos Aires-Paris	02/04/2009	5	1 double MBU 1 triple MBU	$1.4 < nb_{SEU-total} < 6$ $0.7 < nb_{SEU} < 2.2$ $0.35 < nb_{MBU-2bit} < 2$ $0.12 < nb_{MBU-3bit} < 0.95$
Los Angeles-Paris	23/04/2009	15	1 double MBU 3 MCU (2 doubles, 1 triple)	$4.25 < nb_{SEU_{total}} < 18$ $2.2 < nb_{SEU} < 6.48$ $1 < nb_{MBU-2bit} < 5.94$ $0.38 < nb_{MBU-3bit} < 2.16$

TABLE 4.3 – Résumé des SEU observés durant des vols long courrier commerciaux

4.5 Conclusion

Dans ce chapitre, les résultats obtenus sur une mémoire SRAM exposée au flux de neutrons atmosphériques rencontré à haute altitude sont comparés à ceux issus de la plateforme de simulation MUSCA SEP³. Ces essais ont été réalisés lors de vols transcontinentaux.

Les SEUs et MBUs qui ont été observés montrent la sensibilité relativement importante de ces mémoires face aux événements multiples. L'outil de simulation MUSCA SEP³ a été utilisé pour estimer à la fois la section efficace et le taux d'erreurs pour les composants choisis. Ces estimations préliminaires, faites sans avoir une connaissance approfondie des paramètres technologiques de ces mémoires, sont en bonne adéquation avec les données obtenues en vol.

Des tests en accélérateur de particules ainsi que l'utilisation d'un faisceau LASER devrait permettre de déterminer la correspondance adresse physique-logique et ainsi valider la susceptibilité de la mémoire face aux événements de type MCU.

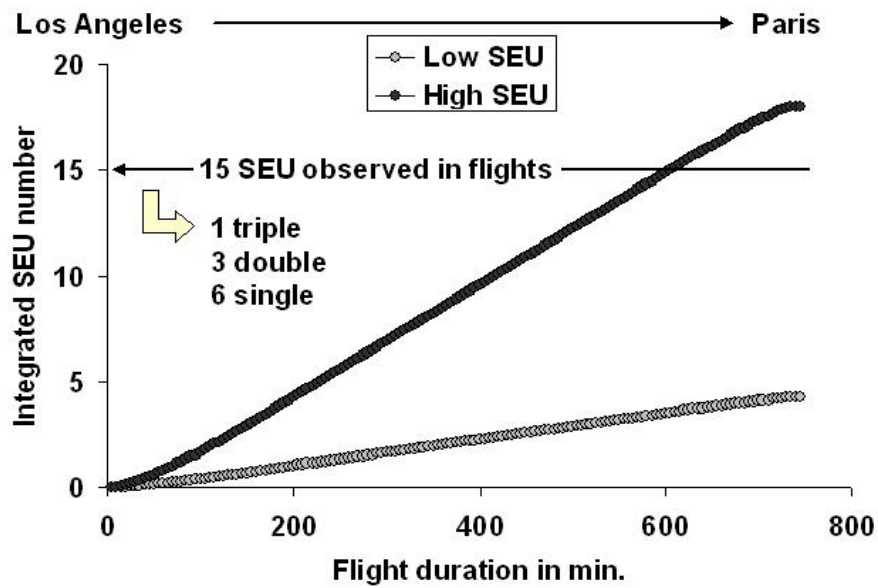


FIGURE 4.9 – Intégration du nombre de SEE durant le vol Los Angeles - Paris flight

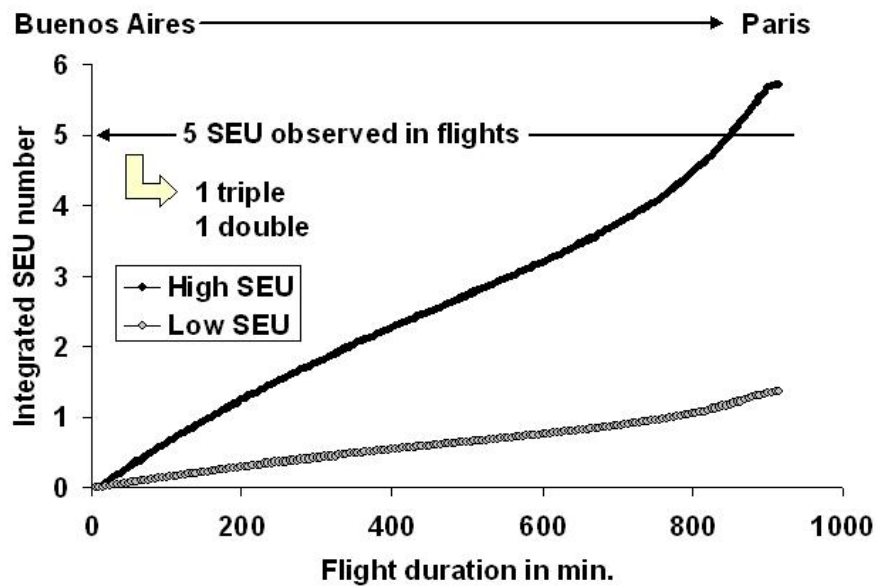


FIGURE 4.10 – Intégration du nombre de SEE durant le vol Buenos Aires - Paris

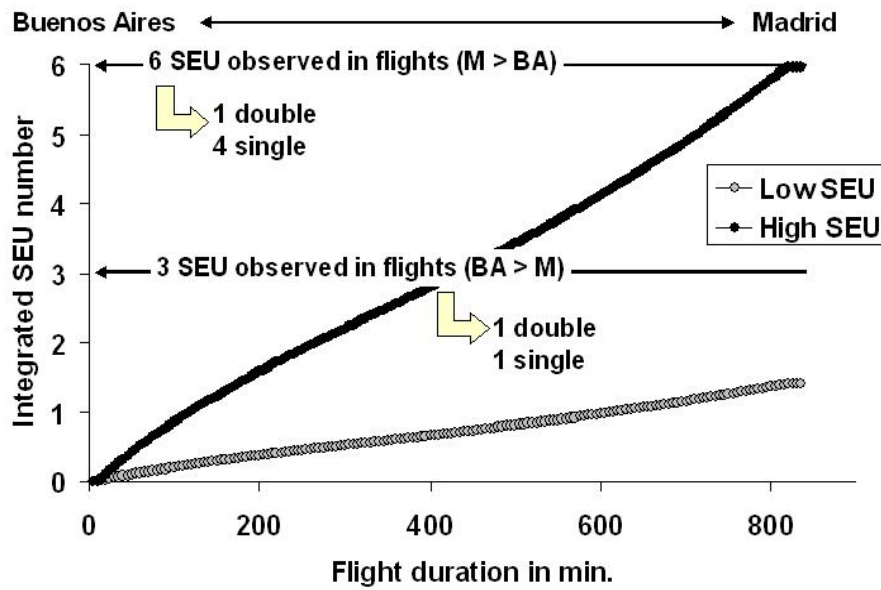


FIGURE 4.11 – Intégration du nombre de SEE durant le vol Madrid - Buenos Aires

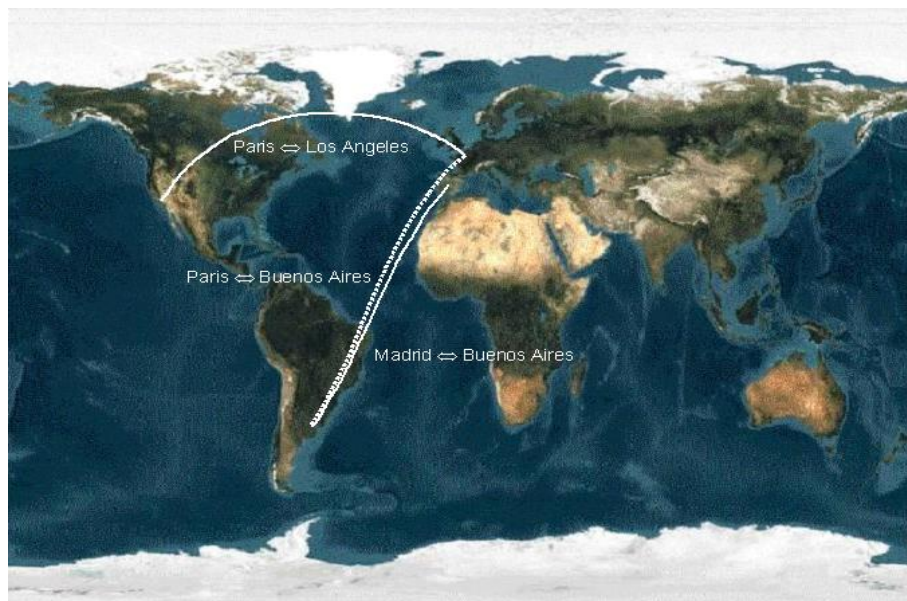


FIGURE 4.12 – Trajectoires des trois vols étudiés

Chapitre 5

Conclusion générale

Les progrès constants réalisés dans les processus de fabrication des circuits intégrés se traduisent pas une augmentation significative de la sensibilité aux effets des radiations présentes dans l’environnement naturel de l’application. Cette problématique, qui dans le passé concernait exclusivement les applications spatiales, doit de nos jours être prise en compte pour tous types d’applications dans lesquelles une erreur peut avoir des conséquences critiques.

L’objectif principal de cette thèse a été de fournir des éléments permettant l’évaluation de la sensibilité face aux événements singuliers provoqués par des particules énergétiques de composants complexes tels les processeurs de dernière génération et ce, pour des applications représentatives de celles que le circuit exécutera dans son environnement final.

Le pragmatisme a été un point clé de ces travaux. Une méthode de prédiction de taux d’erreur existante, mais n’ayant jamais été appliquée à des architectures logicielles/matérielles représentatives, a été utilisée dans des expériences d’injection de fautes et de mesures sous faisceau de particules, lesquelles une fois combinées permettent d’estimer de manière précise le taux d’erreur de ces architectures. Pour ce faire, un élément clé a été le développement d’une plateforme de test générique, flexible et performante, plateforme qui a été utilisée pour valider la méthode de prédiction, ceci en confrontant prédictions et mesures sous faisceaux de particules pour une application issue d’un projet spatial. Cette plateforme de test est de nos jours utilisé comme support dans le cadre de l’école internationale SERESSA (School on the Effects of Radiation on Embedded Systems for Space Applications) visant à former des ingénieurs et des universitaires à cette thématique.

L’obtention d’évidences de la susceptibilité croissante des circuits intégrés face aux particules présentes dans l’atmosphère terrestre a été un deuxième objectif de cette thèse. Des essais effectués en altitude, grâce à l’activation durant des vols commerciaux d’une plateforme de test développée au cours de la thèse, ont permis l’obtention de résultats sur des mémoires SRAM. L’occurrence d’erreurs multiples dans un mot de la mémoire comme conséquence de l’impact d’un unique particule a clairement montré que des “talons d’Achille” sont présents pouvant mettre en défaut les techniques de durcissement de l’état de l’art. En effet, les données issues de ces expériences révèlent qu’une technique visant à séparer les bits d’un même mot (bit interleaving) a probablement été utilisée dans la mémoire testée et n’est donc pas efficace. Une dernière contri-

bution de cette étude a été la confrontation des résultats obtenus par ces expériences aux prédictions d'un modèle de l'état de l'art.

Parmi les perspectives de ces travaux, peuvent être mentionnés l'application des techniques de prédiction à des circuits issus des *roadmap* dont font partie les processeurs multi-cœurs, les mémoires 3D et les composants hétérogènes (System On Chip).

Publications et Activités pendant la thèse

Journaux

P. Peronnard, R. Velazco, G. Hubert, Real-life SEU experiments on 90nm SRAMs in Atmospheric Environment : measure vs. predictions done by means of MUSCA SEP3 platform, Accepted for publication in IEEE Trans. on Nuclear Science, 2009

F. Faure, R. Velazco, P. Peronnard, Single Event Upset-like Fault Injection : A comprehensive Framework, IEEE Trans. on Nuclear Science, Vol. 25, N° 6, pp.2205-2209, décembre 2005.

M. García-Valderas, F. Faure, P. Peronnard, C. López-Ongil, R. Ecoffet, F. Bezerra, R. Velazco, Two Complementary Approaches for Studying the Effects of SEUS on Digital Processors, IEEE Transactions on Nuclear Science, Vol. 54, Part 2, pp. 924-928, août 2007.

Chapitre de livre

Raoul Velazco, Gilles Foucard, Paul Peronnard, Integrated circuit qualification for Space and Ground-level Applications : Accelerated test and Error-Rate Prediction, Chapitre à paraître en 2009 Springer.

Conférences et Workshops

B. Nicolescu, Y. Savaria, P. Peronnard, R. Velazco, Efficiency of Transient Bit-Flip Detection by Software Means : A Complete Study, Proc. of the Defect and Fault Tolerance in VLSI Systems Symposium (DFT 2003), Boston (USA), 3-5 novembre 2003, pp. 377-381.

F. Faure, P. Peronnard, R. Velazco, THESIC+ : A Flexible System for SEE Testing, Proc. of Radiation and its Effects on Components and Systems (RADECS' 02) Workshop, Padova (Italie), pp. 231-234, 19-20 septembre 2002.

V. Pouget, A. Douin, D. Lewis, P. Fouillat, G. Foucard, P. Peronnard, V. Maingot, J-B Ferron, L. Anghel, R. Leveugle, R. Velazco, Tools and Methodology Development for Pulsed Laser Fault Injection in SRAM-based FPGAs, Proceedings of Latin American Test Workshop (LATW 2007), (Lima, Pérou), 11-14 mars 2007.

P. Peronnard, R. Ecoffet, M. Pignol, D. Bellin, R. Velazco, Predicting the SEU Error Rate through Fault Injection for a Complex Microprocessor, presented at the Session D2CCIA (Dependable Design of Circuits for Critical Industrial Applications), organized within the 2008 IEEE International Symposium on Industrial Electronics, ISIE'2008, Cambridge, UK, June 30th to July 2nd, 2008.

V. Pouget, A. Douin, G. Foucard, P. Peronnard, D. Lewis, P. Fouillat, R. Velazco, Dynamic testing of an SRAM-based FPGA by time-resolved laser fault injection, Proceedings of IEEE International On-Line Testing Symposium (IOLTS 2008, Rhodes, Greece, 6-9 July 2008), pp. 295-301.

P. Peronnard, R. Velazco, G. Foucard, V. Pouget, G. Berger, F. Charlier, F. Boldrin, "Remote SEE testing capabilities with heavy-ion and laser beams at Cyclone-HIF and ATLAS facilities", Proceedings of IEEE NSREC Data Workshop, 14-18 July, Tucson (Arizona), USA.

Carlos A. Lisboa, P. Peronnard, E. Rhod, R. Velazco, L. Carro, "Validation by Fault Injection of a Hardening Technique for Matrix Multiplication Algorithms", accepted for presentation at RADECS 2008, 10-12 September 2008 in Jyväskylä (Finland).

P. Peronnard, R. Velazco, G. Foucard, "Impact of the Software optimization on the Soft Error Rate : a case study", accepted for presentation at DCIS (Design of Integrated Circuits and Systems), Grenoble 12-14 Novembre 2008.

D. Bellin, R. Velazco, P. Peronnard, M. Pignol, R. Ecoffet, Dan ALEXANDRESCU, David Gauthier, "Single-Event Upset and Soft Error Rate in Power Architecture™ microprocessors", Proceedings of CMSE (Components for Military and Space Electronics), 11-14 February 2008, San Diego (USA), pp. 383-394.

Cours

Formation au test de processeurs sous faisceau de particules durant les trois dernières éditions de l'école internationale SERESSA. Démonstration en temps réel, à l'aide de la plateforme ASTERICS, du test à distance d'un microprocesseur au cyclotron HIF de Louvain-la-Neuve

Annexe **B**

Des circuits intégrés dans la stratosphère
- Journal de l'INPG

à explorer

Raoul Velazco, chercheur CNRS à l'IMAG, traverse régulièrement l'Atlantique pour envoyer des circuits intégrés dans la stratosphère ! Ces travaux sont menés dans le cadre du projet ALFA NICRON, dont le but est d'étudier les problèmes induits par l'environnement radiatif naturel sur les circuits intégrés.



Des circuits intégrés dans la stratosphère

Pouvez-vous nous décrire le contexte dans lequel sont menés ces travaux ?

Raoul Velazco : L'incessante réduction de la taille des circuits intégrés augmente leur sensibilité aux neutrons présents dans l'atmosphère terrestre. Lorsqu'une de ces particules traverse un circuit intégré, l'énergie transmise est suffisante pour provoquer une réaction et engendrer un "bug". Dans certains cas, les conséquences peuvent être critiques. Souvenez-vous de la Vel Satis de Renault, qui avait rencontré des problèmes de régulateur de vitesse. Il a été prouvé depuis que ces dysfonctionnements peuvent avoir été provoqués par l'impact d'un neutron ayant provoqué une faute transitoire dans l'un des circuits du contrôleur du régulateur de vitesse. On a également rapporté des cas de déclenchements intempestifs d'airbags directement liés à l'environnement radiatif naturel.

La caractérisation sous rayonnements constitue donc une étape déterminante pour la compétitivité et la fiabilité de circuits intégrés avancés.

Comment procédez-vous pour étudier le comportement des circuits face à ces phénomènes ?

R. V. : Si l'on veut obtenir des résultats dans les conditions normales de fonctionnement d'un circuit donné, cela peut prendre beaucoup de temps car les flux de particules sont faibles. Afin d'optimiser les "chances" d'observer des erreurs, les circuits étudiés doivent être exposés à des flux de particules beaucoup plus importants que ceux rencontrés dans les conditions normales de fonctionnement.

Comment ? On sait que le flux de radiations augmente avec l'altitude. Ainsi, on estime qu'au sol (référence la ville de New York) il parvient environ 14 neutrons

dit "thermiques" par heure et par centimètre carrés, mais à 3000 mètres, on en trouve environ 10 fois plus. Mieux : à 15000 mètres, on observe un pic de neutrons. D'où l'idée d'envoyer les circuits à tester dans un ballon stratosphérique. Les études logistiques préalables ont été réalisées dans le cadre du projet ALFA NICRON, et ont démontré la faisabilité des tirs.

Quels sont les premiers résultats et quelles suites comptez-vous donner à ce projet ?

R. V. : Nous avons fait partir un premier ballon d'Uruguay en avril dernier. Un second tir a eu lieu en septembre, et un troisième sera réalisé fin décembre. Il a été démontré que la plateforme expérimentale (GPS, capteurs de température, télémétrie) était opérationnelle. Le lancement de décembre a pour but principal l'obtention de

mesures du nombre d'erreurs dues aux radiations sur une carte mémoire réalisée à l'aide de SRAMs de deux générations différentes. Les résultats de ce type d'expérience doivent concerner tous les secteurs où la sûreté est primordiale, comme les secteurs spatial, aéronautique et médical. Pour les circuits les plus critiques, trois types de solutions sont envisageables : utiliser des technologies de fabrication moins sensibles aux perturbations radiatives, adapter le design des circuits en intégrant des techniques de détection et/ou de correction d'erreurs, ou enfin, au niveau système, tripler les modules (matériels ou logiciels) afin de renforcer la sécurité comme c'est déjà le cas dans les avions. Ces expériences, effectuées dans le cadre du projet ALFA NICRON, sont au cœur de la thèse de Paul Peronnard (doctorant INP), dont la soutenance est prévue en 2009.

Bibliographie

- [1] Ace scientific goals.
- [2] Long range solar forecast.
- [3] R. Baumann, T. Hossain, S. Murata, and H. Kitagawa. Boron compounds as a dominant source of alpha particles in semiconductor devices. *IEEE Int. Reliability Phys. Symp.*, pages 297–302, 1995.
- [4] F. Bezerra, R. Velazco, A. Assoum, and D. Benezech. Seu and latchup results on transputers," *ieee transactions on nuclear science. IEEE Trans. Nucl. Sci.*, 43(3), 1996.
- [5] D. Binder et al. Satellite anomalies from galactic cosmic rays. *IEEE Trans. Nucl. Sci.*, 22(6) :2675, 1975.
- [6] . J.-C. Boudenot. *L'environnement spatial*. Que sais-je 3032, 1995.
- [7] J. Boudenot. *Tenue des circuits aux radiations ionisantes*, volume E 3 950. Techniques de l'Ingénieur.
- [8] J. Bourrieau. L'environnement spatial (flux, dose, blindage, effets des ions lourds). Septembre 1991.
- [9] G. Brunet and J. Palau. Single particle-induced latchup. *IEEE Trans. Nucl. Sci.*, 43 :522–532, 1996.
- [10] S. Buchner et al. Laser simulation of single event upsets. *IEEE Trans. Nucl. Sci.*, 34(6) :1228, 1987.
- [11] M. B. Chadwick et al. Use of new endf/b-vi proton and neutron cross section for single event upset calculations. *IEEE Trans. Nucl. Sci.*, 46(6) :1386, 1999.
- [12] S. Duzellier. *Space Radiation Environment and its Effects on Spacecraft Components and Systems*, chapter Single Event Effects : analysis and testing, pages 221–242. 2004.

- [13] L. D. Edmonds et al. Proton seu cross sections derived from heavy ion test data. *IEEE Trans. Nucl. Sci.*, 47, 2000.
- [14] J. H. Elder, J. Osborn, W. A. Kolasinski, and R. Koga. Method for characterizing a microprocessor's vulnerability to seu. *IEEE Trans. Nucl. Sci.*, 35, December 1988.
- [15] F. Faure. *Injection de fautes simulant les effets de basculement de bits induits par radiation*. PhD thesis, Institut National Polytechnique de Grenoble, 2005.
- [16] F. Faure, P. Peronnard, and R. Velazco. Thesic+ : A flexible system for see testing. in *Proc. of RADECS*, 2002.
- [17] F. Faure, R. Velazco, and P. Peronnard. Single event upset like fault injection : a comprehensive framework. *IEEE Trans. Nucl. Sci.*, 52 :2205–2209, December 2005.
- [18] R. Fleischer et al. *Nuclear tracks in solids, principles & applications*. University of California press, 1975.
- [19] T. Granlund and N. Olsson. Seus induced by thermal to high-energy neutrons in srams. *IEEE Trans. Nucl. Sci.*, 53(6), December 2006.
- [20] A. Holmes-Siedle and L. Adams. *Handbook of radiation effects*. Oxford university press, 1994.
- [21] G. Hubert et al. Detailed analysis of secondary ions effects for the calculation of neutron-induced ser in srams. *IEEE Trans. Nucl. Sci.*, 48(6), 2001.
- [22] G. Hubert et al. Operational ser calculation on the sac-c orbit using the multi-scales single event phenomena predictive platform. *IEEE Trans. Nucl. Sci.*, 2009.
- [23] JEDEC. Test procedures for the management of single-event effects in semiconductor devices from heavy ions irradiation.
- [24] JESD89. Measurement and reporting of alpha particle and terrestrial cosmic ray induced soft errors in semiconductor devices.
- [25] A. Lesea, S. Drimer, J. J. Fabula, C. Carmichael, and P. Alfke. The rosetta experiment : Atmospheric soft error rate testing in differing technology fpgas. *IEEE Trans. Device Mater. Rel.*, 5(3), Sept. 2005.
- [26] E. Normand. Single-event effects in avionics. *IEEE Trans. Nucl. Sci.*, 43(15) :461–474, April 1966.
- [27] T. R. Oldham and F. B. McLean. Total ionizing dose effects in mos oxides and devices. *IEEE Trans. Nucl. Sci.*, 50 :483–499, June 2003.

-
- [28] J. Olsen, P. E. Becher, P. B. Fynboand, P. Raaby, and J. Schultz. Neutron-induced single event upsets in static rams observed at 10 km flight altitude. *IEEE Trans. Nucl. Sci.*, 40 :74–77, 1993.
- [29] E. Petersen, J. Pickel, J. J.H. Adams, and E. Smith. Rate prediction for single event effects – a critique. *IEEE Trans. Nucl. Sci.*, 39(6) :1577–1599, December 1992.
- [30] E. L. Petersen et al. Predictions and observations of seu rates in space. *IEEE Trans. Nucl. Sci.*, 44, 1997.
- [31] S. Rezgui. *Prédiction du taux d’erreurs d’architectures digitales : une méthode et des résultats expérimentaux*. PhD thesis, Institut National Polytechnique de Grenoble, 8 mars 2001.
- [32] S. Rezgui, R. Velazco, R. Ecoffet, S. Rodriguez, and J. Mingo. Estimating error rates in processor-based architectures. *IEEE Trans. Nucl. Sci.*, 48 :1680–1687, October 2001.
- [33] A. Richter et al. Simulation of heavy charged particle track using focuses laser beams. *IEEE Trans. Nucl. Sci.*, 34(6) :1234, 1987.
- [34] F. Sexton. Microbeam studies of single event effects. *IEEE Trans. Nucl. Sci.*, 43(2) :687, 1996.
- [35] E. G. Stassinopoulos and J. P. Raymond. The space radiation environment for electronics. *IEEE Trans. Nucl. Sci.*, 76(11) :1423–1442, december 1988.
- [36] H. K. Tang et al. Semm2 : A modelling system for single event analysis. *IEEE Trans. Nucl. Sci.*, 51(6), 2004.
- [37] J. Thomlinson, L. Adams, and R. Harboe-Sorensen. The seu and total dose response of the inmos transputer. *IEEE Trans. Nucl. Sci.*, 34, December 1987.
- [38] R. Velazco, P. Cheynet, A. Bofill, and R. Ecoffet. Thesic : A testbed suitable for the qualification of integrated circuits devoted to operate in harsh environment. In *IEEE European Test Workshop*, pages 89–90, 1998.
- [39] R. Velazco, S. Karoui, T. Chapuis, D. Benezech, and L. H. Rosier. Heavy ions tests for the 68020 microprocessor and the 68882 coprocessor. *IEEE Trans. Nucl. Sci.*, 39(6), December 1992.
- [40] R. Velazco, S. Rezgui, and R. Ecoffet. Predicting error rate for microprocessor-based digital architectures through c.e.u. (code emulating upsets) injection. *IEEE Trans. Nucl. Sci.*, 47 :2405–2411, December 2000.
- [41] K. M. Warren et al. Integrating circuit level simulation and monte-carlo radiation transport code for single event upset analysis in seu hardened circuitry. *IEEE Trans. Nucl. Sci.*, 55(6), 2008.

BIBLIOGRAPHIE

- [42] K. M. Warren et al. Predicting neutron induced soft error rates : Evaluation of accelerated ground based test methods. In *IEEE 46th Annual International Reliability Physics Symposium*, 2008.
- [43] J. Ziegler and H. Puchner. Ser-history, trends and challenges. aguide for designing with memory ics. Technical report, Cypress Semiconductor, 2005.