



HAL
open science

Etude et conception d'un interrupteur de puissance monolithique à auto-commutation:le thyristor dual disjoncteur.

Florence Capy

► **To cite this version:**

Florence Capy. Etude et conception d'un interrupteur de puissance monolithique à auto-commutation:le thyristor dual disjoncteur.. Micro et nanotechnologies/Microélectronique. Université Paul Sabatier - Toulouse III, 2009. Français. NNT: . tel-00446781

HAL Id: tel-00446781

<https://theses.hal.science/tel-00446781>

Submitted on 13 Jan 2010

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



THESE

En vue de l'obtention du

DOCTORAT DE L'UNIVERSITE DE TOULOUSE

Délivré par *l'Université Toulouse III - Paul Sabatier*

Discipline ou spécialité : *Conception de Circuit Microélectronique et Microsystèmes*

Présentée et soutenue par

Florence CAPY

Le 4 décembre 2009

Titre :

*Etude et conception d'un interrupteur de puissance monolithique à auto-commutation:
le thyristor dual disjoncteur.*

Jury :

J-C. CREBIER (Rapporteur)

J. MILLAN (Rapporteur)

P. BIDAN (Examineur)

S. LEFEBVRE (Examineur)

J-B. QUOIRIN (Examineur)

J-L. SANCHEZ (Examineur)

Ecole doctorale : *GEET*

Unité de recherche : *LAAS-CNRS*

Directeur(s) de thèse : *M. BREIL (Directrice), F. RICHARDEAU (Co-directeur)*

Rapporteurs : *J-C. CREBIER, J. MILLAN*

REMERCIEMENTS

Le travail effectué dans ce mémoire a été effectué au sein du groupe Intégration des Systèmes de Gestion de l'Energie (ISGE) du Laboratoire d'Analyse et d'Architecture des Systèmes (LAAS) du CNRS à Toulouse.

Je remercie Messieurs GHALLAB et CHATILA, Directeurs successifs du LAAS, ainsi que Madame BAFLEUR, Responsable du groupe ISGE, pour m'avoir accueillie et permis d'entreprendre cette étude.

Je tiens à remercier Messieurs Jean-Christophe CREBIER et José MILLAN, qui ont accepté la tâche d'être rapporteur de mes travaux de thèse. Je remercie également les membres du jury, Messieurs LEFEBVRE, QUOIRIN et SANCHEZ, ainsi que Monsieur BIDAN qui m'a fait l'honneur de le présider avec toute sa gentillesse.

Je souhaite exprimer mes remerciements à ma directrice de thèse, Marie BREIL pour sa gentillesse, son soutien, son aide permanente (même à 3h du matin) et la confiance qu'elle m'a accordée durant ces années. Tu as parfaitement joué ton rôle de directrice de thèse, voire même plus, et je pense que tes autres doctorants ne me contrediront pas. Je tiens également à exprimer ma reconnaissance envers mon codirecteur Frédéric RICHARDEAU, pour la confiance qu'il m'a accordé et les nombreuses discussions scientifiques qu'on a eu. Je tiens aussi à te remercier pour tes qualités humaines et te dire que tu as été une source de motivation permanente. Vous avez formé un duo formidable d'encadrant et ce fut un vrai plaisir de travailler avec vous. Mes remerciements vont également à Jean Louis SANCHEZ, qui a réalisé l'interim pendant un an. Je tiens à souligner que malgré tes nouvelles responsabilités tu as toujours suivi mon travail et c'est grâce à tes conseils et ta clairvoyance scientifique qu'il a pu autant avancer.

Je tiens aussi à remercier tout particulièrement Jean Pierre LAUR. Je remercie tout d'abord le professeur : apprendre avec toi est un vrai plaisir car tout devient simple et intéressant (Je me suis rarement autant éclatée à faire du circuit)... Je remercie aussi l'encadrant car je te considère comme mon troisième directeur de thèse avec tout ce que cela peut représenter : Tu m'as redonné goût à mon sujet quand je baissais les bras, tu m'as

soutenu dans les moments difficiles, car en plus de tes qualités pédagogiques tu as aussi de grandes qualités humaines. J'ai été très fière de pouvoir travailler et apprendre avec toi.

Je tiens à exprimer ma reconnaissance envers les permanents du groupe ISGE, en particulier Magali BRUNET qui a pris part avec toute sa gentillesse et sa bonne humeur à ce travail. Je remercie aussi Abdelhakim BOURENNANE, qui a participé à ce travail tout au long de ces années de thèse. Merci pour tous les échanges qu'on a eus et pour toute l'aide que tu as apportée sans jamais rechigner.

Un grand merci aussi au personnel de la centrale de technologie du LAAS pour leur patience et leur bonne humeur, en particulier Boubou, Laurent, Fabien (merci pour la formation microscope et plaques chauffantes) que j'ai de nombreuses fois embêtés... Mais aussi Jean Christophe, Djaffar, Bernard, Christina, Samuel, David, Sébastien, Monique, Véronique, David...Et surtout Eric IMBERNON qui a assuré avec beaucoup de patience et de brio la formation (et ce n'était pas de tout repos) et le bon déroulement du process.

Je voudrais remercier les collègues de bureau pour avoir rendue ce « séjour » si agréable, Stéphane dont les blagues commencent à être aussi drôle que les miennes, Gabs qui a apporté sa touche de folie dans le bureau et Julie pour ses blagues de haut vol, ses initiations aux jeux et surtout son soutien dans les moments difficiles de la fin de thèse. Je voudrais remercier aussi toute l'équipe photovoltaïque pour leur bonne humeur: Cédric (le maître power point), Jeff (bon c'est quand qu'on se fait une soirée ?), ainsi que les petits nouveaux Alona (la reine du déguise), Youssef (on fait une pause ?) et Marcos. Je tiens à adresser un remerciement particulier à Mathieu qui a été un soutien durant les périodes difficiles de la thèse et surtout qui apporté une aide énorme en salle blanche, sans jamais compter son temps. C'est grâce à toi que j'ai pu arriver au bout, merci d'avoir été là pour moi. Je remercie également Gaétan et Loïc, mes deux experts en simulation 2D. Enfin un gros merci à Thibaut pour sa grande générosité qui n'a pas hésité à se lever très tôt pour ma soutenance et qui a toujours répondu présent dès que j'avais besoin d'aide.

Enfin dans le désordre, je remercie Philippe MENINI (un tuteur pédagogique en or), Alain CAZARRE, Pierre ALOISI (c'était un plaisir de partir en conférence avec toi), Claude LAFFORE, Neermalsing SEWRAJ. Je m'excuse d'avance auprès de ceux que j'ai oubliés.

Je ne peux finir sans remercier mes parents et Greg qui m'ont soutenu patiemment durant ces années de thèse avec tout leur amour.

TABLE DES MATIERES

INTRODUCTION GENERALE	9
CHAPITRE 1 INTEGRATION FONCTIONNELLE D'UN INTERRUPTEUR AUTO-COMMUTE : LE THYRISTOR DUAL DISJONCTEUR	13
<i>Introduction</i>	15
1. DU THYRISTOR DUAL AU THYRISTOR DUAL DISJONCTEUR	15
1.1. <i>Les interrupteurs de puissance</i>	15
1.2. <i>Exemple de synthèse d'un interrupteur trois segments : Le thyristor dual</i>	18
1.3. <i>Le thyristor dual disjoncteur</i>	22
1.4. <i>Objectifs</i>	27
2. INTEGRATION DE LA FONCTION	28
2.1. <i>L'intégration en électronique de puissance</i>	28
2.2. <i>Quelle intégration choisir ?</i>	31
2.3. <i>L'intégration fonctionnelle : Stratégie actuelle d'intégration et évolution</i>	38
3. CONCEPTION ET REALISATION DE LA FONCTION	40
3.1. <i>La filière technologique flexible</i>	40
3.2. <i>Méthodologie</i>	46
<i>Conclusion</i>	48
CHAPITRE 2 INTERRUPTEUR AUTO-COMMUTE A THYRISTOR	49
<i>Introduction</i>	51
1. DEFINITION DE L'ARCHITECTURE	51
1.1. <i>Présentation de l'architecture et de son fonctionnement</i>	51
1.2. <i>Conditions de fonctionnement</i>	54
1.3. <i>Discussion préliminaire à l'étude 2D</i>	58

2.	SIMULATION PHYSIQUE 2D	59
2.1.	<i>Dimensionnement des composants</i>	60
2.2.	<i>Validation du fonctionnement de l'architecture</i>	80
2.3.	<i>Etude des interactions électriques</i>	85
3.	SIMULATION DU PROCEDE TECHNOLOGIQUE	89
	<i>Conclusion</i>	90
CHAPITRE 3 INTERRUPTEUR AUTO-COMMUTE A IGBT		93
	<i>Introduction</i>	95
1.	DEFINITION DE L'ARCHITECTURE	95
1.1.	<i>Présentation de l'architecture et de son fonctionnement</i>	95
1.2.	<i>Conditions de fonctionnement</i>	97
1.3.	<i>Discussion préliminaire à l'étude 2D</i>	103
2.	SIMULATION PHYSIQUE 2D	104
2.1.	<i>Dimensionnement des composants</i>	104
2.2.	<i>Validation du fonctionnement de l'architecture</i>	122
3.	INTEGRATION DE L'AUTO-ALIMENTATION	127
3.1.	<i>Le procédé technologique</i>	127
3.2.	<i>Etude des interactions électriques</i>	140
	<i>Conclusion</i>	142
CHAPITRE 4 INTERRUPTEUR AUTO-COMMUTE A IGBT		145
	<i>Introduction</i>	147
1.	CONCEPTION DES MASQUES	147
1.1.	<i>L'interrupteur auto-commuté à thyristor</i>	148
1.2.	<i>L'IGBT-sense</i>	157
2.	REALISATION TECHNOLOGIQUE ET TESTS ELECTRIQUES	158
2.1.	<i>Implantation des canaux préformés</i>	159
2.2.	<i>Réalisation de l'interrupteur auto-commuté à thyristor</i>	162
2.3.	<i>Tests électriques de l'interrupteur auto-commuté à thyristor</i>	170

Tables des matières

2.4.	<i>Réalisation et tests électriques de l'IGBT-sense</i>	172
	<i>Conclusion</i>	174
	CONCLUSION GENERALE	175
	BIBLIOGRAPHIE	177
	LISTE DES PUBLICATIONS	183
	ANNEXE	185

INTRODUCTION GENERALE

L'électronique de puissance étudie les dispositifs réalisant la conversion et le contrôle de l'énergie. Ces dispositifs, appelés convertisseurs statiques, permettent le transfert de l'énergie électrique entre un générateur et un récepteur souvent de nature différente. Leur rôle consiste à adapter la source d'énergie aux exigences de la charge. Pour cela, ils sont amenés à modifier les caractéristiques des grandeurs transmises (tension, fréquence...) voire même à changer la forme de l'énergie (continu, alternatif...). La figure 1 présente une synthèse des différents types de conversion possible et le nom usuel des convertisseurs [1].

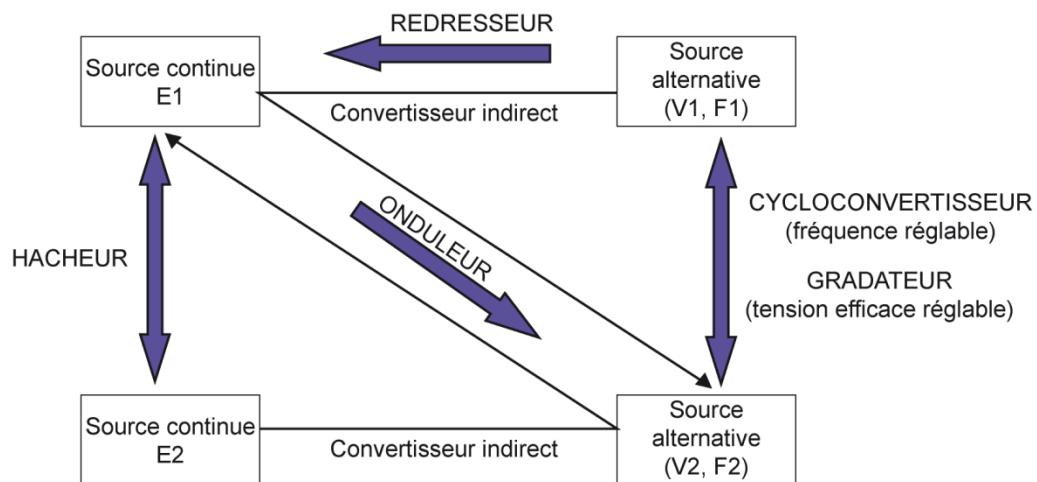


Figure 1 : Les différents types de conversion possible et le nom usuel des convertisseurs suivant leur fonction.

Les convertisseurs statiques sont constitués essentiellement de deux types d'éléments :

- les composants passifs (condensateur et inductance) qui assurent le stockage de l'énergie ainsi que le filtrage des ondes de tension et de courant.
- Les composants à semi-conducteur jouant le rôle d'interrupteur et dont la commande permet le contrôle du transfert de puissance entre le générateur et le récepteur.

L'amélioration des performances des interrupteurs de puissance ainsi que l'augmentation de leur fonctionnalité ont contribué à la diminution de la taille, du poids et du coût des convertisseurs. Par conséquent, l'électronique de puissance s'est étendue à de nouveaux domaines d'applications : en plus des applications traditionnelles comme la traction électrique

et les entraînements industriels, les convertisseurs statiques sont maintenant présents dans la gestion du réseau de distribution, l'électroménager, les appareils portables et l'automobile.

Certaines applications comme les systèmes de récupération de l'énergie (variateur de vitesse, monte charge, systèmes à énergie renouvelable), nécessitent des convertisseurs capables d'acheminer l'énergie d'un générateur vers un récepteur et inversement, du récepteur vers le générateur : on dit qu'ils sont réversibles. Aujourd'hui, ces convertisseurs utilisent des interrupteurs entièrement commandés en MLI (modulation de largeur d'impulsion) associés à des capteurs et des alimentations auxiliaires, source de complexité et de coût élevé. Une alternative intéressante et économique a été proposée par le laboratoire LAPLACE [2] sous la forme d'un convertisseur statique auto-protégé, intégrant la fonction de protection au cœur du mécanisme de commutation. Cette idée a permis de montrer la faisabilité de convertisseurs de type redresseur et onduleur réversibles, dits à commutation automatique, mettant en œuvre des interrupteurs auto-commutés dans lesquels la mise en conduction spontanée est obtenue au passage par zéro de la tension et l'ouverture lorsque le courant dans l'interrupteur atteint une valeur fixée. Les interrupteurs à commutation automatique doivent être autonomes du point de vue de leur fonctionnement, c'est-à-dire qu'ils ne nécessitent ni alimentation auxiliaire, ni circuit de commande et capteur externes. Ils permettent ainsi de proposer des topologies simplifiées de convertisseurs [3] et possèdent tous les attributs pour viser une intégration complète sur silicium avec tous les gains attendus sur le coût et la fiabilité.

Notre travail de thèse porte sur ces nouvelles fonctions interrupteur à auto-commutation, et sur la recherche de solutions adaptées à leur intégration complète sur silicium. Plus précisément, nous proposons de réaliser, par le biais de l'intégration fonctionnelle, un interrupteur monolithique réversible en courant à auto-commutation, c'est-à-dire un thyristor dual auto-blocable tel un disjoncteur. Deux voies sont explorées :

- une topologie basée sur un thyristor auto-amorçable doté d'un limiteur –disjoncteur. Cette structure vient en continuité des travaux effectués sur l'intégration des fonctions thyristor dual et micro-disjoncteur.
- et une nouvelle topologie basée sur un cœur IGBT.

Le premier chapitre expose les motivations et les objectifs du travail de thèse. Une fois le cahier des charges de l'interrupteur défini, les différents modes d'intégration en électronique de puissance sont abordés pour confirmer le choix de l'intégration fonctionnelle. Les

spécificités de ce type d'intégration imposent un procédé technologique de fabrication dit flexible qui est présenté à la fin du chapitre. Il sert de base à l'ensemble du travail de conception qui suit.

Le second chapitre présente la conception de la première solution basée sur un thyristor-MOS. Après la description de l'architecture et l'analyse de son fonctionnement dans le contexte d'une cellule de commutation test, nous nous consacrons à l'étape de simulation 2D qui permet de dimensionner physiquement et géométriquement le dispositif. En complément de ce travail, des simulations du procédé technologique sont effectuées pour préparer la réalisation technologique du dispositif.

La conception de la deuxième solution basée sur un IGBT est traitée dans le troisième chapitre. Comme pour la première solution, l'architecture et le fonctionnement du circuit sont présentés, ainsi que le dimensionnement des différents composants. La fin de ce chapitre se consacre à l'intégration d'une fonction d'auto-alimentation, en particulier à l'étude d'un nouveau procédé technologique permettant la réalisation conjointe de composants actifs et de condensateurs 3D.

Le travail de conception des deux dispositifs s'achève dans le quatrième chapitre, avec le design des masques. Enfin, la réalisation technologique des nouvelles structures intégrées et les résultats de la caractérisation des puces sont présentés.

Pour conclure, un bilan comparatif des deux solutions sera effectué, à partir des résultats obtenus tout au long de ce travail.

C HAPITRE I

INTEGRATION FONCTIONNELLE D'UN INTERRUPTEUR AUTO-COMMUTE : LE THYRISTOR DUAL DISJONCTEUR

Sommaire

<i>Introduction</i>	7
1. DU THYRISTOR DUAL AU THYRISTOR DUAL DISJONCTEUR	7
1.1. <i>Les interrupteurs de puissance</i>	7
1.2. <i>Exemple de synthèse d'un interrupteur trois segments : Le thyristor dual</i>	10
1.3. <i>Le thyristor dual disjoncteur</i>	14
1.4. <i>Objectifs</i>	19
2. INTEGRATION DE LA FONCTION	20
2.1. <i>L'intégration en électronique de puissance</i>	20
2.2. <i>Quelle intégration choisir ?</i>	23
2.3. <i>L'intégration fonctionnelle : Stratégie actuelle d'intégration et évolution</i>	30
3. CONCEPTION ET REALISATION DE LA FONCTION	32
3.1. <i>La filière technologique flexible</i>	32
3.2. <i>Méthodologie</i>	38
<i>Conclusion</i>	40

Intégration fonctionnelle d'un interrupteur auto-commuté : le thyristor dual disjoncteur.

Introduction

Des travaux menés au LAAS sur la fonction thyristor dual ont permis de réaliser, par le biais de l'intégration fonctionnelle, un interrupteur blocable et dont la commande à l'amorçage a été supprimée [4]. L'apparition ces dernières années d'un nouveau mécanisme de commutation, appelé auto-commutation, nous motive à compléter cette fonction pour obtenir un interrupteur ne nécessitant aucune commande à l'amorçage et au blocage, c'est-à-dire un thyristor dual disjoncteur.

Après une présentation de la fonction thyristor dual disjoncteur, le cahier des charges du dispositif à concevoir sera introduit. Puis le chapitre se focalisera sur la réalisation de l'interrupteur auto-commuté. Nous nous intéresserons en particulier à l'intégration fonctionnelle et ses spécificités ainsi qu'au procédé technologique associé. Enfin, une méthodologie de conception sera définie.

1. Du thyristor dual au thyristor dual disjoncteur

1.1. Les interrupteurs de puissance

Le rôle d'un interrupteur est d'autoriser ou de stopper le passage du courant. Il présente deux états stables, dits états statiques :

- L'état passant (ou état ON) où le courant est autorisé à circuler. La chute de tension aux bornes de l'interrupteur est négligeable par rapport à la tension imposée par les sources.
- L'état bloqué (ou état OFF) où le courant est stoppé. Le courant de fuite à travers l'interrupteur est négligeable par rapport au courant circulant par les sources.

Un interrupteur est toujours référencé en convention récepteur car la puissance moyenne dont il est le siège, même faible par rapport à la puissance transférée par les sources, est toujours positive.

La caractéristique statique d'un interrupteur idéal peut être représentée dans le plan $I(V)$ par deux « branches » confondues avec les axes : l'une pour l'état ON et l'autre pour l'état OFF. Chaque branche comprend deux segments : l'un décrit la caractéristique en direct et l'autre la caractéristique en inverse de l'interrupteur, pour les états ON et OFF (figure 1). La nature dissipative de l'interrupteur implique que les quadrants II et IV, correspondant à un produit $VI < 0$, sont interdits.

En électronique de puissance, les fonctions interrupteur sont réalisées par des composants à semi-conducteur. Le principe de fonctionnement de ce type d'interrupteur est basé sur la propriété de conduction unidirectionnelle des jonctions PN, des contacts Schottky et des propriétés permettant le contrôle du passage du courant (effet transistor, effet de champ) [5]. Le comportement électrique des interrupteurs à semi-conducteur en régime statique est celui d'une résistance non linéaire de valeur très faible à l'état passant (chute de tension) et très élevée à l'état bloqué (courant de fuite). A la différence d'un interrupteur idéal, leur caractéristique statique est donc constituée d'au moins deux segments (deux demi « branches ») très proches des axes du plan $I(V)$, situées dans les quadrants où le produit $VI > 0$ (les interrupteurs à semi-conducteur sont des dipôles passifs). Leur régime statique est alors caractérisé par la tension blocable, le courant de fuite à l'état bloqué, la capacité en courant à l'état passant et la chute de tension à l'état passant (figure 1).

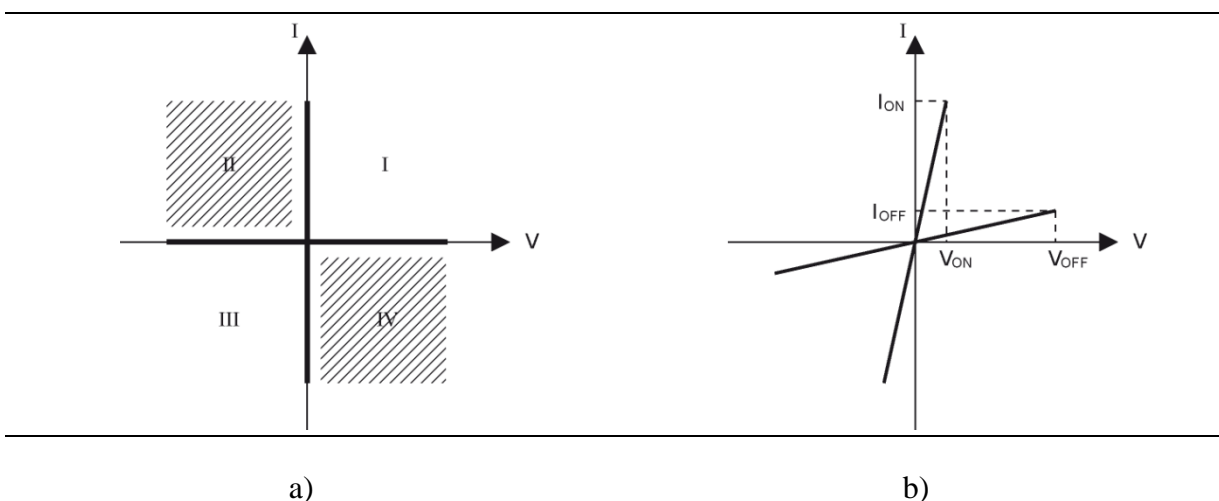


Figure 1.1 : Caractéristiques statiques a) d'un interrupteur idéal et b) d'un interrupteur à semi-conducteur

Le changement d'état d'un interrupteur, appelé commutation, correspond au passage du point de fonctionnement entre deux segments orthogonaux consécutifs. L'amorçage (ou mise en conduction) est le passage de l'état bloqué à l'état passant. Le changement d'état inverse est appelé blocage. La trajectoire suivie par le point de fonctionnement constitue la caractéristique dynamique de commutation de l'interrupteur. La transition est complexe et dépend, d'une part, des conditions imposées par le circuit extérieur et, d'autre part, de la manière dont on peut éventuellement agir sur le semi-conducteur pour forcer sa commutation. Ainsi la commutation peut être spontanée ou commandée à l'amorçage ou au blocage.

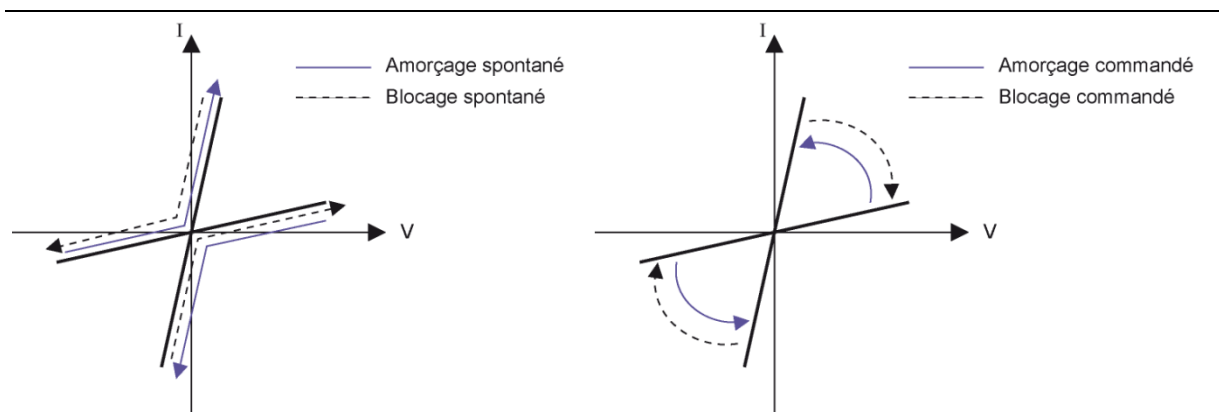


Figure 1. 2 : Commutations spontanée et commandée d'un interrupteur bidirectionnel en courant et en tension.

Dans le cas d'une commutation commandée, l'interrupteur possède une troisième électrode (électrode de commande) qui permet de modifier brusquement la valeur de la résistance interne et ainsi provoquer le changement d'état. Le point de fonctionnement statique situé sur un demi-axe passe alors sur un demi-axe perpendiculaire de même signe, i.e. au sein d'un même quadrant, I ou IV, en suivant une trajectoire éloignée de ces derniers (figure 2), ce qui implique des pertes dissipées significatives. Le temps de commutation de l'interrupteur ramené à sa période de découpage doit être le plus faible possible pour limiter les pertes dissipées et son échauffement.

Dans le cas d'une commutation spontanée, parfaitement illustrée par le comportement de la diode, le point de fonctionnement passe d'un demi-axe à un autre demi-axe de signe opposé, i.e. par un changement de quadrant entre I et III. Le trajet s'effectue donc obligatoirement le long des axes, en passant par l'origine du plan $I(V)$ (figure 2). Le blocage spontané s'effectue au passage par zéro du courant (mode ZCS) et l'amorçage spontané au passage par zéro de la tension (mode ZVS). Les changements d'état de l'interrupteur sont

donc imposés par le circuit extérieur et les pertes dissipées sont beaucoup plus faibles que dans le cas d'une commutation commandée car le point de fonctionnement longe les axes.

La classification des interrupteurs peut être établie à partir de différents critères. Le plus couramment utilisé est fonction du nombre de segments de la caractéristique statique. La signification de ces segments indique la bidirectionnalité ou non d'un interrupteur. C'est une propriété importante car la réversibilité d'un convertisseur est obtenue grâce à la bidirectionnalité (en courant et/ou en tension) des interrupteurs qui le composent. Avec ce type de classement, il est possible d'envisager quatre types d'interrupteurs :

- Les interrupteurs unidirectionnels en tension et en courant. Leur caractéristique possède deux segments, c'est le cas de la diode et des transistors.
- Les interrupteurs bidirectionnels en tension, comme le thyristor. Ils présentent une caractéristique à trois segments (deux en tension et un en courant).
- Les interrupteurs bidirectionnels en courant qui présentent aussi une caractéristique à trois segments (deux en courant et un en tension).
- Les interrupteurs bidirectionnels en courant et en tension, dont la caractéristique est constituée de quatre segments. Seul le triac est capable d'assumer cette fonction seul.

Mis à part le thyristor et le triac, la synthèse des interrupteurs à trois et quatre segments nécessite l'association de plusieurs composants. Par exemple, un interrupteur bidirectionnel en tension peut être obtenu à l'aide d'un IGBT et d'une diode câblée en série. Mais des solutions discrètes pour réaliser ces fonctions interrupteur présentent peu d'intérêt car elles engendrent de nombreux inconvénients : augmentation des inductances de câblage, chute de tension en direct, multiplication des commandes et utilisation de logique complexe, alimentations auxiliaires volumineuses (coûteuses et sources de perturbations CEM) associées à ces circuits de commande... Toutes ces raisons ont motivé la recherche de solutions monolithiques pour réaliser de nouvelles fonctions interrupteur. Le thyristor dual est un exemple d'interrupteur obtenu par le biais de l'intégration monolithique qui illustre parfaitement l'intérêt de cette démarche.

1.2. Exemple de synthèse d'un interrupteur trois segments : Le thyristor dual

De nombreuses applications raccordées au réseau électrique nécessitent l'utilisation de convertisseurs statiques réversibles en courant, comme par exemple les dispositifs à

récupération d'énergie. Trois interrupteurs (figure 3) peuvent réaliser ce type de conversion, en fonction des modes de commande au blocage et à l'amorçage:

- Le thyristor-diode : amorçage commandé et blocage spontané,
- Le thyristor dual : blocage commandé et amorçage spontané,
- L'interrupteur bicommandé : blocage et amorçage commandés.

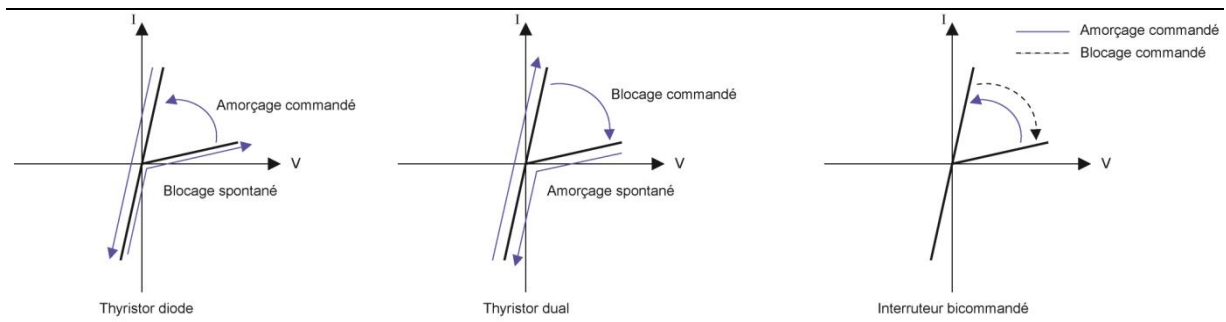


Figure 1.3 : Interrupteurs bidirectionnels en courant

La fonction thyristor dual s'est naturellement imposée car elle ne nécessite qu'une commande au blocage : elle est moins complexe qu'un interrupteur bicommandé et elle commute avec beaucoup moins de contraintes qu'un thyristor-diode. En effet, le blocage du thyristor dual correspond à la mise en conduction d'une diode alors que l'amorçage du thyristor-diode correspond au blocage d'une diode avec les problèmes liés à son recouvrement. Mais à la différence du thyristor qui est une structure monolithique, la fonction thyristor dual était quant-à elle obtenue en associant des composants de puissance de base (transistor bipolaire, MOST, IGBT, diode) avec une logique de commande et une alimentation auxiliaire (figure 4) [6].

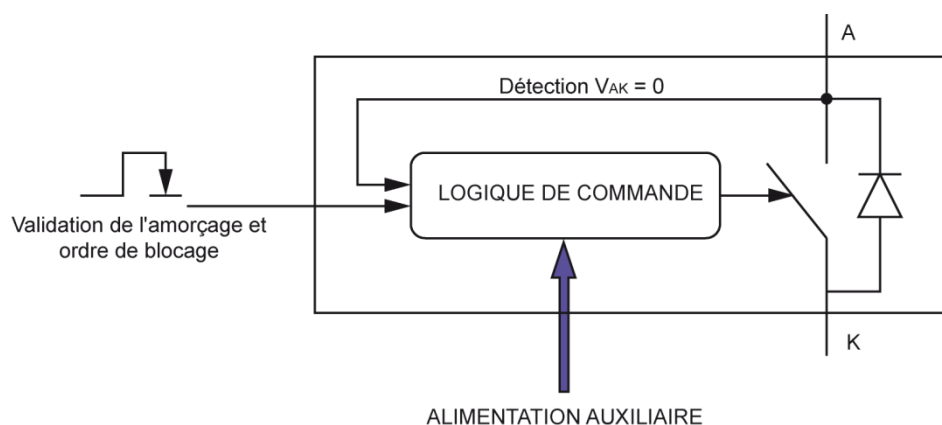


Figure 1.4 : Solution discrète synthétisant la fonction thyristor dual.

Pour surpasser ces contraintes, le LAAS a développé une structure intégrée basée sur une nouvelle démarche de conception. Son principe consiste à associer des briques « fonctionnelles » intégrées, ou cellules élémentaires semi-conductrices, pour obtenir la fonctionnalité complète.

Pour définir les différentes fonctions qui composent le thyristor dual, étudions ses propriétés. Elles s'obtiennent en appliquant les règles de dualité à celle du thyristor : le thyristor dual est un interrupteur bistable (à verrouillage de son état), réversible en courant, il s'amorce spontanément au passage par zéro de la tension et il se bloque par une commande pour des courants positifs. Or, le thyristor est le seul semi-conducteur de puissance disponible à présenter un comportement bistable (à maintien de ses états) sous une polarisation directe (il reste passant après la suppression de l'ordre de commande). Le dispositif permettant de réaliser l'intégralité de la fonction thyristor dual est donc constitué d'une structure thyristor complétée par une fonction d'auto-amorçage, une fonction de blocage, une fonction de maintien de l'ordre de blocage après suppression de l'impulsion de commande et une diode en antiparallèle assurant la conduction inverse [4] (figure 5).

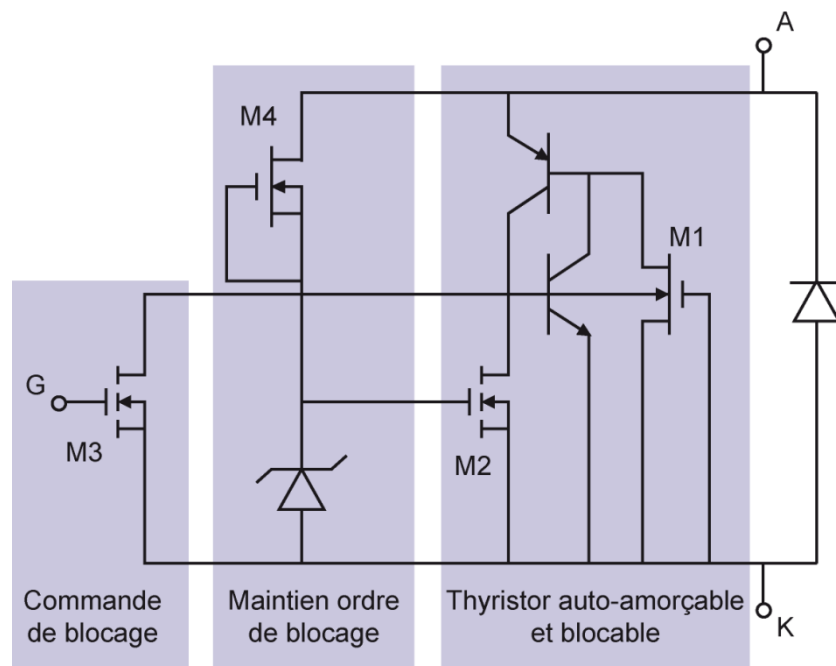


Figure 1. 5 : Structure bidirectionnelle en courant et blocable par impulsion.

Expliquons brièvement le fonctionnement du dispositif. Le principe d'auto-amorçage repose sur la mise en conduction, au passage par zéro de la tension, d'un transistor MOS à canal préformé M1 dont le courant de drain sert de courant de déclenchement du thyristor. Le blocage du thyristor est assuré par une commande impulsionnelle appliquée sur un transistor

MOS M3 qui initie le blocage du dispositif (par court-circuit cathode base du thyristor). Il provoque ainsi l'augmentation de la tension anode cathode, ce qui permet de charger la grille d'un second transistor M2 à travers un transistor MOS à canal préformé M4. Ce dernier assure, par contre-réaction, l'alimentation de la grille du transistor M2 et donc la confirmation du blocage et le maintien du court-circuit cathode-base, même lorsque la commande impulsionnelle est supprimée. La coupe de principe de la structure est donnée sur la figure 6.

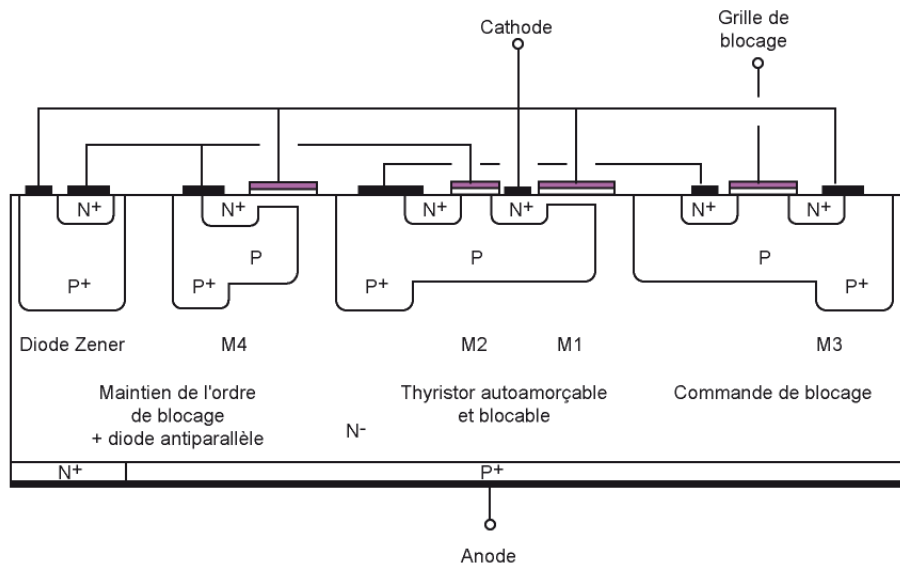


Figure 1. 6 : Coupe de principe d'une solution d'intégration du thyristor dual

La structure intégrée de la fonction thyristor dual est relativement complexe mais elle a permis de s'affranchir des contraintes de l'association discrète : le dispositif obtenu réalise la fonctionnalité et ne nécessite aucune logique de commande, capteur et alimentation auxiliaire. Ces problèmes récurrents en électronique de puissance sont ici traités par la réalisation de briques spécifiques, en particulier :

- L'auto-alimentation à partir de la borne haute tension, grâce à des structures MOS haute tension à canal préformé,
- Le blocage de thyristor par des structures MOS intégrables,
- Les fonctions de type auto-amorçage et/ou auto-blocage.

Le développement de ces cellules élémentaires confère un caractère relativement générique à ce mode d'intégration, appelé intégration fonctionnelle, et qui sera plus amplement développé dans la suite de ce manuscrit. Le même type de démarche peut être utilisé pour réaliser des fonctions complémentaires à l'interrupteur, par exemple des fonctions de commande, de protection [7], d'alimentation [8]...La réalisation de ces nouvelles cellules

permet d'envisager le développement de fonctions interrupteur optimisées et de plus en plus complexes et complètes.

1.3. Le thyristor dual disjoncteur

L'intégration fonctionnelle du thyristor dual a constitué une première étape vers la simplification des topologies des convertisseurs. En effet, cet interrupteur réversible en courant est capable de s'amorcer sans aucun contrôle. Pour pousser au maximum l'effort de simplification, il faudrait supprimer sa commande impulsionnelle au blocage. Si on raisonne en termes de cellules, cela signifie qu'il faut développer une fonction d'auto-blocage pour que la structure thyristor auto-amorçable et blocable devienne un thyristor auto-amorçable et auto-blocable.

Depuis quelques années, un nouveau type de commutation est venu s'ajouter à la commutation commandée et à la commutation spontanée: la commutation automatique. Ce nouveau mécanisme est basé sur le fonctionnement des protections rapprochées des interrupteurs. Il se traduit par une auto-commutation de l'interrupteur sur un seuil de courant pour le blocage et/ou sur un seuil de tension pour l'amorçage. La détection du seuil peut être réalisée par un capteur ou en exploitant une non-linéarité intrinsèque à l'interrupteur de puissance telle qu'une saturation en courant pour l'auto-blocage ou un latch-up pour l'auto-amorçage. Par exemple, dans le cas de l'auto-blocage qui nous intéresse, il est possible d'utiliser une disjonction pour réaliser la commutation. En effet, ce type de protection convient parfaitement à une auto-commutation car elle doit limiter le courant dès qu'il atteint une valeur seuil et ouvrir le dispositif. Antérieurement, une version intégrée d'un disjoncteur, appelée micro-disjoncteur, a été développée au LAAS [9]. Cette fonction de protection, construite autour d'un dispositif de puissance, associe une fonction de limitation en courant, une fonction de détection de l'ordre de blocage et une fonction de blocage (figure 7).

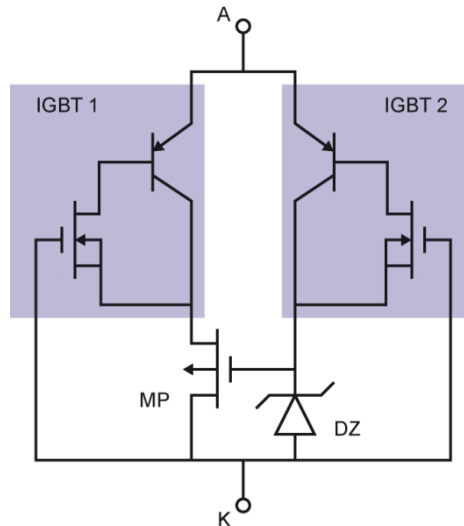


Figure 1. 7 : Schéma électrique équivalent de la fonction micro-disjoncteur.

Expliquons son fonctionnement : l'augmentation du courant dans la structure provoque la saturation de l'IGBT1 ou du transistor MOSFET MP. Le courant est limité et la tension d'anode augmente. Par l'intermédiaire du canal préformé de l'IGBT2, le potentiel sur la grille de MP suit celui de l'anode, provoquant le blocage du transistor MP et l'augmentation de la tension entre la grille et l'émetteur de l'IGBT1 qui se bloque à son tour. Quand la tension sur la grille de MP est suffisamment élevée, l'IGBT2 se bloque et plus aucun courant ne circule dans la structure.

Le dispositif obtenu réalise la fonction disjonction et ne nécessite ni capteur externe ni commande de blocage. Il paraît donc intéressant d'adapter cette fonction et de l'associer au thyristor dual pour supprimer sa commande au blocage. On obtiendrait ainsi un thyristor dual auto-amorçable à disjonction, que nous appellerons un thyristor dual disjoncteur.

Cependant, pour que le mécanisme d'auto-commutation ait lieu, le thyristor dual disjoncteur ne peut être utilisé dans n'importe quel circuit de conversion. Pour être mis en situation, il doit absolument être associé à une charge ou à une source permettant l'auto-commutation du dispositif ; on parle alors de convertisseur auto-commuté ou auto-oscillant.

Comme tout interrupteur utilisé dans le contexte de la conversion d'énergie, les « disjoncteurs électroniques » sont associés par paire pour former des cellules de commutation. Dans le cadre de ce travail consacré au thyristor-dual disjoncteur, deux applications importantes peuvent être présentées :

- Le redresseur synchrone auto-commuté [10] (figure 8 a). Il s'agit du convertisseur AC/DC réversible en courant. La source AC est typiquement un transformateur raccordé au réseau, dont le secondaire possède un point milieu. La source DC est

typiquement une charge ou un élément de stockage susceptible de renvoyer de l'énergie sur le réseau. Lors du changement de signe de la tension réseau, la diode opposée à l'interrupteur conducteur s'amorce et crée alors une maille de court-circuit, identique au processus d'empiètement d'un redresseur à la différence ici qu'il crée un courant additif dans l'interrupteur initialement amorcé : le courant traversant l'interrupteur augmente jusqu'à atteindre le niveau de disjonction. L'interrupteur initialement passant se bloque et le courant de charge est aiguillé spontanément vers l'interrupteur opposé.

- l'onduleur auto-oscillant (figure 8 b). Il s'agit du convertisseur DC/AC réversible en puissance. La source DC est typiquement une source de tension filtrée et découplée. La source AC est un transformateur dont le primaire est raccordé à l'onduleur et le secondaire raccordé à une charge. C'est typiquement le courant magnétisant du transformateur associé au courant de charge qui déclenche la disjonction et le blocage de l'interrupteur. Dès que ce courant total atteint le niveau de disjonction, la tension aux bornes du transformateur s'inverse ainsi que le sens d'évolution du courant. L'interrupteur initialement passant se bloque et la diode associée au deuxième interrupteur assure la conduction du courant. Quand le courant change de signe, la diode se bloque et l'interrupteur qui lui est associé s'amorce. La condition de commutation automatique repose ici sur la forme d'onde du courant de charge et elle est donc dépendante de la nature de la charge.

Citons pour information une troisième application qui peut être réalisée en associant les deux cellules précédentes : le transformateur à courant continu réversible (figure 9). Son principe de fonctionnement est le suivant : la cellule onduleur fonctionne grâce à l'inductance magnétisante du transformateur et crée une source de tension alternative permettant la commutation de la cellule redresseur. Ce montage réalise ainsi une liaison isolée entre deux sources continues. L'utilisation de convertisseurs autonomes permet d'obtenir un dispositif potentiellement hautement intégré à quatre bornes, similaire au transformateur classique fonctionnant en alternatif.

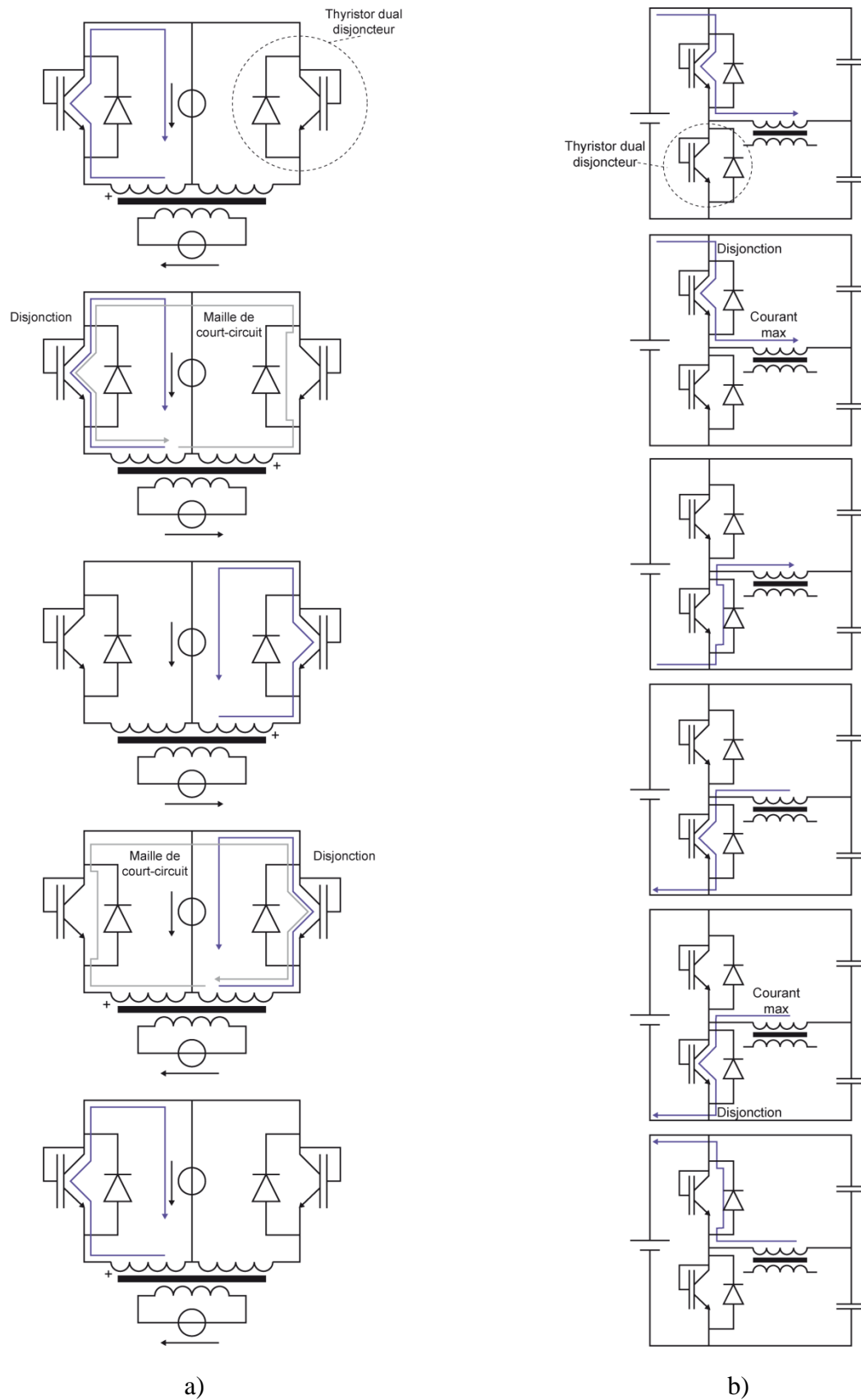


Figure 1. 8 : Séquence de fonctionnement : a) redresseur à disjonction b) onduleur à disjonction [11].

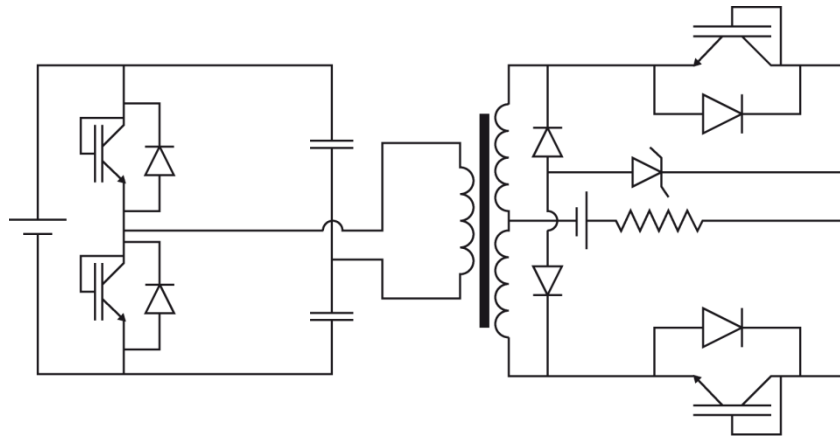


Figure 1. 9 : Transformateur continu tension-courant.

D'un point de vue applicatif, le redresseur auto-commuté est particulièrement intéressant car son mécanisme reste valable quel que soit le signe du courant dans la source continue. C'est donc un redresseur réversible, généralement à basse fréquence de découpage, qui peut réaliser les deux types de conversion ($AC \rightarrow DC$ et $DC \rightarrow AC$), propriété requise pour les systèmes à récupération d'énergie connectés sur le réseau (les éoliennes, les panneaux solaires, pont roulant, monte charge, ascenseur...). Un premier démonstrateur de redresseur réversible pour un cahier des charges de convertisseur réseau d'une chaîne éolienne a été réalisé à partir d'intégration hybride de composants discrets [11]. Pour évaluer les performances du dispositif, des tests comparatifs avec des montages présentant des fonctionnalités similaires (onduleurs MLI et onduleurs de courant à thyristor) ont été effectués : dans l'application envisagée, le redresseur réversible, qui présente la topologie la plus simple, offre le meilleur rendement énergétique pour un coût plus faible. Ces résultats confirment toutes les attentes associées à la fonction thyristor dual disjoncteur et justifient sa réalisation monolithique afin de bénéficier pleinement des avantages qu'elle peut apporter (fort potentiel de miniaturisation, gains au niveau de la fiabilité et des coûts).

Il est à noter qu'un prototype industriel de redresseur réversible triphasé a été réalisé, à partir d'intégration hybride de composants discrets, par la société Cirtem en collaboration avec le laboratoire LAPLACE. Une photo du prototype, qui est actuellement en cours d'évaluation par les clients, est donnée sur la figure 10.

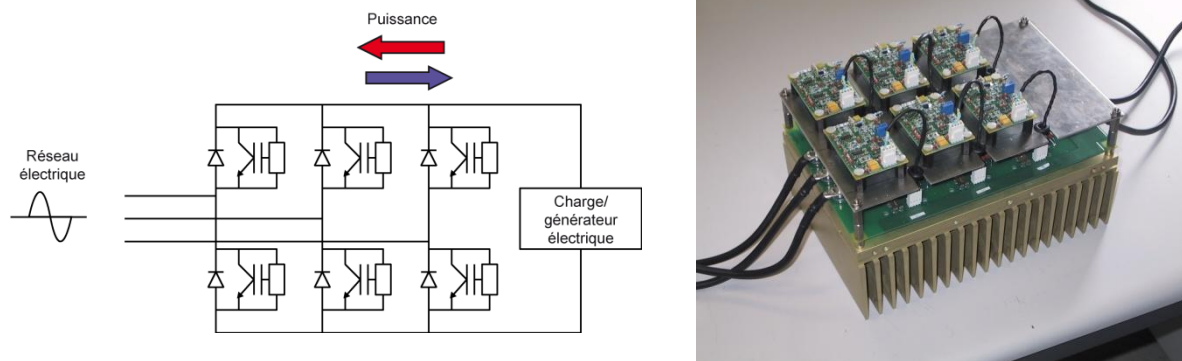


Figure 1. 10 : schéma de principe breveté du pont redresseur réversible et prototype industriel 400 V triphasé / 25 kW réalisé par Cirtem.

1.4. Objectifs

Le travail de recherche présenté dans ce manuscrit propose de réaliser un interrupteur monolithique bidirectionnel en courant à auto-commutation, c'est-à-dire un thyristor dual disjoncteur (figure 11).

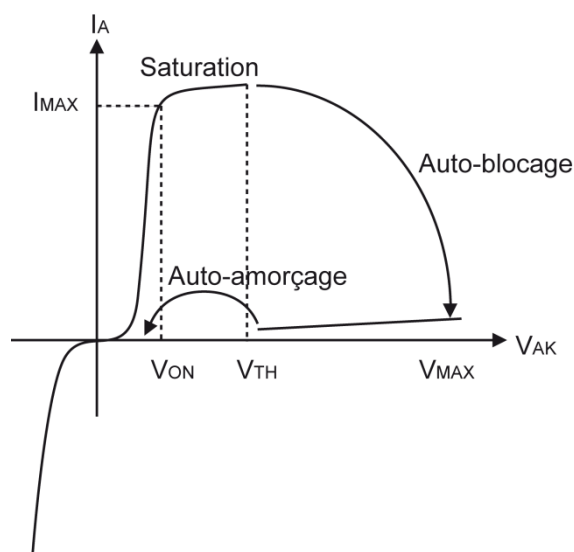


Figure 1. 11 : Caractéristiques du thyristor dual disjoncteur.

L'originalité de cet interrupteur concerne son mécanisme de commutation. Il repose sur le concept d'interrupteurs auto-commutés dans lesquels la mise en conduction spontanée est obtenue au passage par zéro de la tension et l'ouverture lorsque le courant dans l'interrupteur atteint une valeur fixée. L'avantage de cette commutation est qu'elle ne nécessite ni alimentation auxiliaire, ni circuit de commande et ni capteur externes. L'interrupteur devient ainsi complètement autonome d'un point de vue fonctionnel. Toutes ces raisons en font un

excellent candidat pour une intégration fonctionnelle sur silicium. En effet, cette intégration monolithique a déjà montré, à travers les études menées notamment sur le thyristor dual et le micro-disjoncteur, qu'elle offrait une solution intéressante pour la simplification des structures au prix d'une plus grande complexité du dispositif silicium.

Pour concevoir l'intégration de l'interrupteur, nous avons défini un cahier des charges qui fixe l'ensemble de ses caractéristiques électriques. Il impose, à l'état bloqué, une tenue en tension V_{MAX} de 600V pour être compatible avec des applications réseau monophasé dans le contexte d'un prototypage de laboratoire. De plus, à l'état passant, la chute de tension V_{ON} aux bornes de l'interrupteur ne doit pas dépasser 2V pour un courant maximum I_{MAX} de 2A. La valeur du courant de disjonction a été choisie pour des raisons pratiques : cette valeur peu élevée permet une surface totale de puce relativement petite. Nous pourrions obtenir un nombre raisonnable de dispositifs par plaquette de silicium et ainsi anticiper les problèmes d'inhomogénéités propres à la réalisation technologique. Enfin la tension V_{TH} , qui correspond à la tension effective de blocage, sera fixée à 4V.

Pour répondre à ce cahier des charges, nous proposons de développer deux architectures:

- Une topologie basée sur un thyristor auto-amorçable doté d'un limiteur-disjoncteur. Cette structure vient en continuité des travaux antérieurs effectués sur l'intégration des fonctions thyristor dual et micro-disjoncteur.
- Une topologie nouvelle basée sur un cœur IGBT.

Les deux solutions envisagées seront comparées en se basant sur l'obtention de la fonctionnalité, le respect des caractéristiques statiques requises, le comportement dynamique, la surface silicium et la faisabilité technologique.

Dans un premier temps, nous allons définir, à partir du cahier des charges, les deux architectures citées plus haut. Elles devront assurer la fonctionnalité et être compatibles avec le concept d'intégration fonctionnelle.

2. L'intégration de la fonction

2.1. L'intégration en électronique de puissance

L'intégration est pour les circuits de puissance une voie d'évolution tout à fait naturelle vers l'amélioration des performances, une meilleure fiabilité et une plus grande simplicité de conception (étapes de fabrication moins complexes et moins nombreuses) et d'emploi. Les raisons en sont évidentes : réduction et mutualisation du nombre de connexions, des substrats,

ainsi que du packaging et des interfaces entre la partie puissance et la commande. Mais surtout l'intégration permet de réaliser des fonctions au cœur des composants et des substrats pour gagner en performance ou pour créer des caractéristiques nouvelles sans complexifier et sans « défiabiliser » la fonction première comme cela est généralement le cas en discret.

L'effort d'intégration en électronique de puissance, au niveau puce et assemblage, s'est développé depuis une vingtaine d'années, tiré par des marchés de plus en plus nombreux comme l'automobile, les transports, les appareils portatifs, la domotique, la gestion du réseau de distribution, l'éclairage ou l'électroménager. D'énormes progrès ont été réalisés, d'une part grâce à l'évolution des techniques d'isolation et d'autre part grâce aux avancées technologiques de la microélectronique. Bien que les performances à optimiser pour les composants de puissance soient différentes de celles des circuits intégrés (augmentation du rapport $V.A/mm^2$ pour les composants de puissance et augmentation du nombre de transistors/ mm^2 pour les circuits intégrés), l'électronique de puissance a toujours bénéficié, avec un certain décalage, du transfert des progrès technologiques réalisés dans le domaine des circuits intégrés. Le décalage correspond à l'adaptation des caractéristiques électriques des dispositifs aux exigences des applications de puissance, c'est-à-dire la prise en compte des aspects d'isolation et de tenue en tension. L'un des exemples les plus importants est l'introduction des technologies MOS (Métal Oxyde Semi-conducteur) dans le domaine des dispositifs de puissance. Elle constitue l'étape décisive qui a marqué une rupture dans l'évolution des composants de puissance tant sur le plan des performances que sur celui des structures.

Jusqu'aux années 70, les composants de puissance étaient obtenus de façon discrète à partir de technologies bipolaires. Mais 15 ans après les premières structures MOS en microélectronique, l'électronique de puissance a pu bénéficier des avantages de ces nouveaux transistors. Les structures MOS ont permis de s'affranchir des commandes en courant à faible gain des dispositifs de puissance purement bipolaires. Les topologies des dispositifs ont commencé ainsi à se simplifier et de nouvelles possibilités d'intégration sont apparues. Deux évolutions majeures ont vu le jour :

- Les premiers travaux consistaient à adapter les structures MOS au domaine de l'électronique de puissance et à améliorer leurs performances, notamment le compromis résistance à l'état passant/tenue en tension. Ils ont abouti au développement des premiers composants MOS de puissance, les structures verticales VDMOS [12] dont la résistance à l'état passant a pu être fortement réduite grâce à la réduction des dimensions des canaux. Pour la première fois la réduction des dimensions d'un composant de puissance a conduit à une

amélioration de ses performances, rejoignant ainsi le mode d'évolution des circuits intégrés. Mais cette réduction des dimensions a été possible grâce à l'amélioration des procédés technologiques de fabrication issus de la microélectronique (telle que la double diffusion basée sur la réalisation de grilles en silicium polycristallin). L'introduction des technologies MOS dans le domaine de la puissance a donc permis de créer une synergie entre les domaines de la microélectronique et de la puissance et ainsi de faire bénéficier les dispositifs de puissance des progrès réalisés en microélectronique. Cette évolution a conduit naturellement au développement des circuits intégrés de puissance.

Ces travaux sur les composants MOS de puissance ont permis d'améliorer leurs performances mais le compromis résistance à l'état passant/tenue en tension limite leur utilisation dans la gamme des basses et moyennes tensions.

- Afin de profiter de la facilité de commande des structures MOS pour des dispositifs adaptés aux applications hautes tensions, de nombreux travaux ont alors été développés au début des années 80, pour étudier la possibilité de combiner des structures MOS et bipolaires. Ces recherches ont donné naissance à une nouvelle famille de composants MOS-bipolaire dont est issu l'IGBT (Insulated Gate Bipolar Transistor) [13], composant de puissance le plus utilisé actuellement. Par la suite, des associations plus marginales comme le thyristor-MOS ont fait leur apparition avec notamment le MCT (MOS Controlled Thyristor) [14-15], le BRT (Base Resistance Thyristor) [16], l'EST (Emitter Switched Thyristor) [17]... Avec ces nouveaux dispositifs, l'interrupteur se voit doter de nouvelles fonctionnalités de commutation. L'intégration en électronique de puissance commence alors à s'orienter vers un nouveau concept qui consiste à rajouter les fonctionnalités à l'interrupteur et non à ajouter aux circuits intégrés un étage de puissance. C'est les débuts de l'intégration fonctionnelle où le composant de puissance devient le cœur d'une fonction évoluée [18-19].

L'intégration dans le domaine de la puissance est une avancée considérable. Elle a permis d'améliorer les performances des composants, et surtout de proposer de nouvelles structures silicium. Les dispositifs réalisent ainsi des fonctionnalités de plus en plus complètes et complexes. Mais la notion même d'intégration a évolué et actuellement différents modes d'intégration sont envisageables suivant l'application visée. Toutes ces évolutions découlent des avancées technologiques de la microélectronique. Cependant, les problèmes de l'intégration ne se posent évidemment pas dans les mêmes termes qu'en électronique de traitement du signal et de l'information. Les dispositifs de puissance intégrés doivent être capables de supporter des densités de puissance importantes, de fortes contraintes thermiques, des dI/dt et dV/dt élevés... Il paraît alors évident que l'intégration en électronique de puissance

ne peut être considérée comme une simple miniaturisation. Elle doit toujours se justifier par un apport de solutions innovantes pour assurer des fonctionnalités bien identifiées.

2.2. Quelle intégration choisir?

Lorsque le dispositif répond aux critères d'intégration, se pose alors le choix du type d'intégration car l'approche est différente suivant les niveaux de puissance et les contraintes à supporter. On distingue l'intégration hybride et l'intégration monolithique.

L'intégration hybride

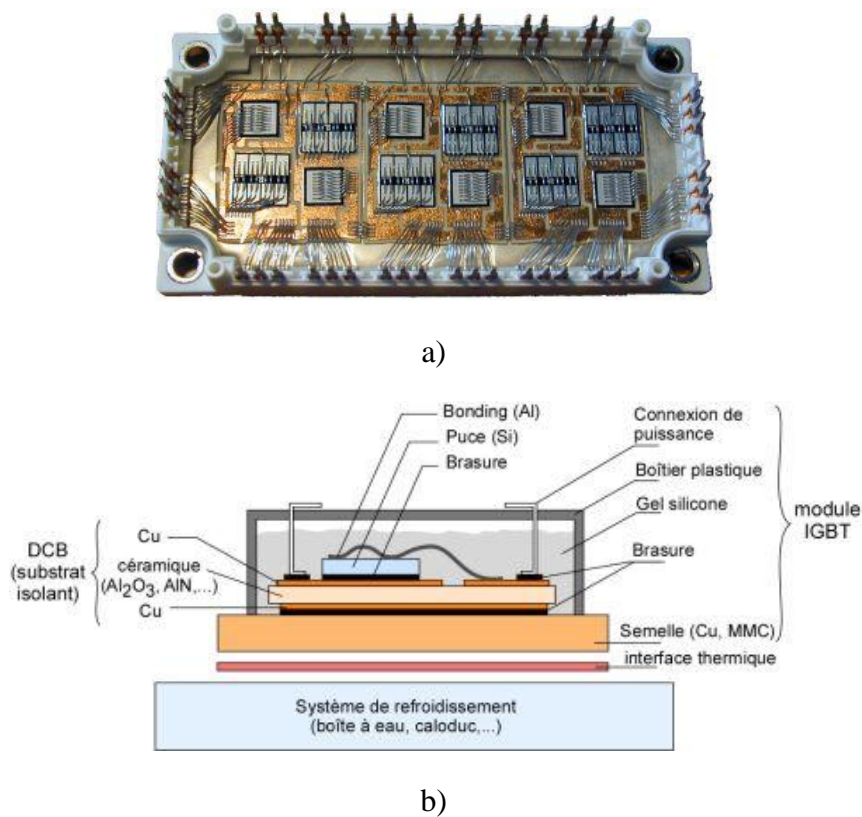


Figure 1. 12 : Exemple de module IGBT utilisé dans la traction ferroviaire [20] – a) module convertisseur intégré à IGBT ouvert (200 A-600 V) et b) schéma d'assemblage du module électronique de puissance.

L'intégration hybride se situe à mi-chemin entre l'intégration monolithique et le discret. Elle permet d'associer sur un même substrat les divers composants mis en jeu dans la réalisation d'une fonction de puissance « intelligente » grâce à l'utilisation simultanée de matériaux conducteurs et isolants réalisant plusieurs fonctionnalités dont la fabrication simplifiée permet une réduction des coûts (figure 12). Ce mode d'intégration est adapté aux applications fonctionnant dans des gammes en puissance importante, typiquement pour des densités de courant supérieures à 100 A/cm^2 et des tensions se situant dans la fourchette 600

V/1700 V (traction ferroviaire, alimentation industrielle). Dans ces gammes de puissance, il est avant tout nécessaire de recourir à un mode d'intégration conduisant à une bonne évacuation de la chaleur et à une isolation galvanique parfaite entre les différents éléments. Les principaux travaux se focalisent sur le « packaging » : report de la puce, interconnexions, assemblage sur substrat et encapsulation sous boîtier, évacuation de la chaleur...

L'intégration monolithique

L'intégration monolithique consiste à réaliser au sein d'une même puce un ou plusieurs interrupteurs associés à des fonctions auxiliaires de commande, de protection ou de contrôle. Deux stratégies sont possibles pour l'intégration monolithique d'un dispositif de puissance: soit la fonctionnalité est privilégiée au dépend des éléments de puissance, soit l'optimisation de la partie puissance est favorisée [21-22]. Les dispositifs « Smart Power » et HVIC (High Voltage Integrated Circuit) correspondent davantage à la première approche et sont réalisés à partir de filières technologiques de type circuit intégré (CMOS ou BiCMOS). C'est une intégration essentiellement en surface favorable aux fonctionnalités MOS. Les dispositifs basés sur le mode d'intégration fonctionnelle procèdent de la deuxième approche, et sont basés sur des technologies de composants de puissance.

a. Les circuits intégrés de puissance

Les circuits intégrés de puissance (« Smart Power » et HVIC) constituent un prolongement de l'intégration du traitement du signal en rajoutant un étage de puissance à un circuit intégré classique. Ces dispositifs sont réalisés à partir de technologies CMOS et BiCMOS leur permettant d'intégrer sur la même puce des composants de puissance, des circuits logiques et analogiques qui assurent des fonctions de commande, de diagnostic et de protection (figure 13). L'utilisation de technologies VLSI leur permet aussi d'inclure des circuits digitaux complexes (DSP), des microcontrôleurs et des mémoires, augmentant considérablement la fonctionnalité. Mais le composant de puissance dispose de moins de libertés de conception étant donné que sa réalisation doit rester compatible avec les technologies VLSI. Dans ce mode d'intégration, la fonction est clairement privilégiée par rapport au composant de puissance, et on obtient des puces dont la surface est occupée majoritairement par les circuits intégrés et non par la partie puissance.

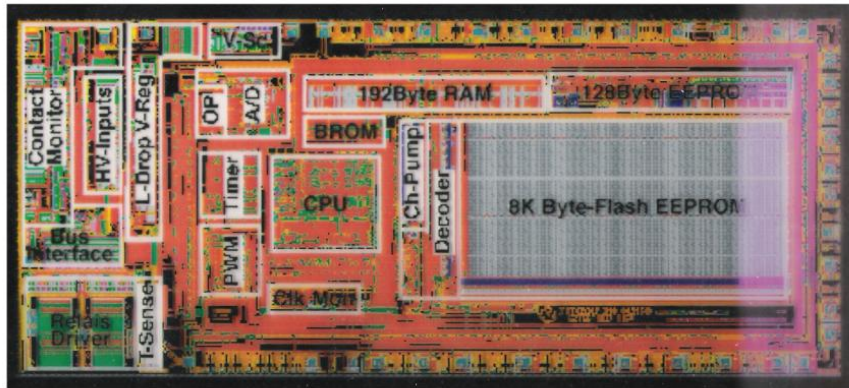


Figure 1. 13 : Vue de dessus d'un circuit HVIC.

Bien que la technologie Smart Power apporte au composant de puissance une « autonomie intelligente », elle trouve ses limites dans les méthodes d'isolation électrique utilisées entre les éléments de puissance et l'électronique de commande. Les principales solutions utilisées aujourd'hui sont (figure 14) [23] :

- l'auto-isolation. Cette technique d'isolation est basée sur l'hébergement des différents composants dans des caissons N^- de silicium séparés par des jonctions en inverse.
- l'isolation par jonction. Tout comme l'auto-isolation, l'isolation entre les différents blocs du dispositif est assurée par des jonctions PN polarisées en inverse, mais dans ce cas une diode supplémentaire est insérée entre la partie puissance et la partie commande.
- l'isolation par diélectrique ou SOI (Silicon On Insulator) [24-25-26]. Les substrats SOI sont constitués de trois couches : un substrat (couche épaisse pour la rigidité mécanique), un oxyde enterré appelé BOX (buried oxide) et une couche de silicium fine (quelques microns) appelée SOI. Pour les applications basse tension, le composant de puissance latéral est hébergé dans un caisson SOI de la même façon que la circuiterie de contrôle. Les « boîtes » d'isolation sont réalisées à partir de la réalisation de tranchées par gravure jusqu'à la BOX qui sont ensuite remplies d'oxyde. L'isolation latérale peut être obtenue à partir d'un procédé moins coûteux qui consiste à utiliser des jonctions en inverse. Pour les applications haute tension, les composants de puissance verticaux sont hébergés dans le substrat laissé libre de SOI. Dans ce cas, on parle d'isolation SOI partielle.

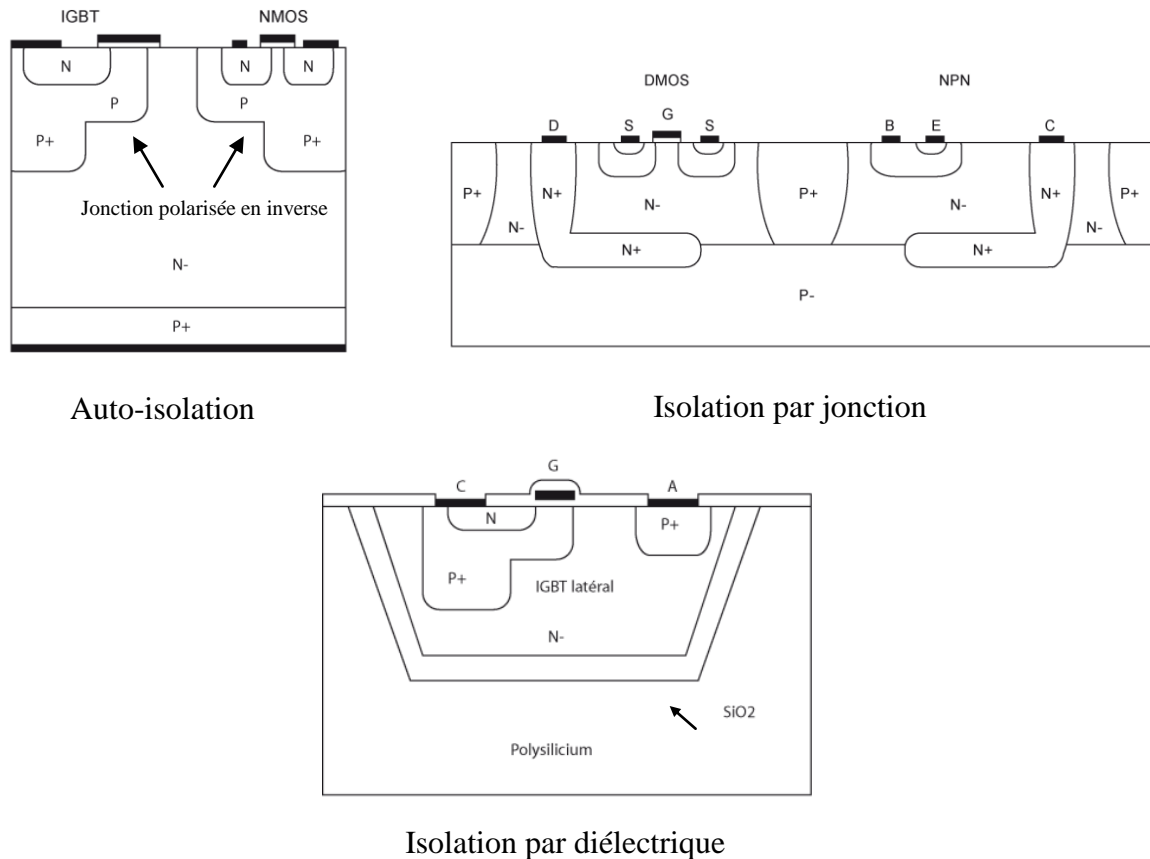


Figure 1. 14 : Techniques d'isolation de composants de puissance verticaux et latéraux.

Pour des raisons évidentes de coût, l'isolation par jonction est préférée pour des applications standard alors que l'isolation par diélectrique, très efficace (pas de courant de fuite), reste réservée aux applications nécessitant une très bonne isolation. Ces différentes techniques ne permettent pas d'assurer des isolations supérieures à quelques centaines de volts. Ce mode d'association s'adresse donc à des applications de faibles puissance et sans contraintes fortes d'isolement galvanique, c'est-à-dire l'électronique automobile, la téléphonie mobile...

b. L'intégration fonctionnelle

Malgré les progrès réalisés par l'intégration Smart Power, un grand nombre d'applications échappait à l'intégration monolithique. Ces applications qui constituent une partie importante de la conversion d'énergie, concernent les fonctions alimentées à partir du réseau de distribution électrique (230-400 V) et d'une façon générale les fonctions haute tension (400-600 V), les fonctions de protection (qui travaillent sur des forts pics de courant), les fonctions bidirectionnelles en tension et en courant... La particularité de ces applications est de présenter de fortes contraintes d'isolement galvanique beaucoup trop élevées pour être assurées par des procédés d'isolation utilisés en microélectronique. Une intégration

monolithique de type Smart Power n'est donc pas envisageable et une séparation matérielle doit être réalisée entre l'élément de puissance et la partie traitement du signal.

Il est toutefois possible de proposer l'intégration de fonctions de commande et de protection au plus près de l'interrupteur de puissance, c'est-à-dire d'intégrer la fonction interrupteur galvaniquement isolée de la partie traitement du signal. Cette répartition permet d'utiliser au mieux la surface délimitée par les terminaisons de jonction (réalisées pour améliorer les tenues en tension du composant) et autorise l'utilisation des technologies CMOS et BiCMOS les plus performantes pour la partie traitement du signal, qui sera réalisée sur une autre puce. Mais pour tirer tous les bénéfices de cette intégration, la démarche doit être différente de celle utilisée pour les circuits intégrés de puissance. Dans ces derniers, la partie traitement du signal constitue le cœur du dispositif et impose sa technologie, laissant peu de libertés de conception pour le composant de puissance. Au contraire, dans ce mode d'intégration, la partie traitement du signal n'apparaît pas. Il paraît évident de privilégier la partie puissance et de construire le dispositif autour de l'interrupteur qui devient alors le cœur de la fonction. Cette démarche d'intégration fonctionnelle est l'inverse de celle adoptée pour les circuits intégrés de puissance : La technologie de base devient celle du composant de puissance et les fonctions supplémentaires sont intégrées en utilisant l'architecture de base de l'interrupteur [27].

Etant données les gammes de tension et de courant visées pour ce type d'intégration, une disposition verticale du composant de puissance s'impose. Elle autorise un meilleur étalement des zones de charge d'espace à l'état bloqué et une meilleure répartition des lignes de courant à l'état passant. La structure de base est donc constituée soit d'un agencement vertical $N^+/P/N^-/P^+$, pour les familles thyristor et IGBT, soit d'un agencement $N^+/P/N^-/N^+$ pour les transistors VDMOS et bipolaire. L'intégration des éléments annexes, qui doit utiliser au mieux cet agencement de base, peut se faire soit en utilisant une région existante du composant de puissance, soit à l'intérieur d'une région isolée de la haute tension pour les composants basse tension [28]. A la différence des autres types d'intégration, la fonction de puissance ne résulte donc pas de l'interconnexion de composants individualisés et isolés les uns des autres, mais des multiples interactions électriques qui se créent entre les régions semi-conductrices judicieusement disposées et dimensionnées. Au lieu de subir ou d'isoler ces interactions naturelles souvent perçues comme parasites, elles sont ici exploitées pleinement comme fondement même de la conception des dispositifs et permettent ainsi d'obtenir de nouvelles fonctionnalités, inaccessibles en discret. Les premiers dispositifs de puissance, tels que les

thyristors et les triacs, ont émergé de ce principe. Par exemple, dans le cas du thyristor, la mise en commun des deux régions de base des sections bipolaires permet d'obtenir un effet de latch-up, phénomène inexistant si les deux transistors bipolaires sont associés de façon discrète. L'introduction des technologies MOS dans le domaine de la puissance a constitué un véritable tournant pour l'intégration fonctionnelle. Elles enrichissent le concept en lui offrant une nouvelle dimension et permettent ainsi de superposer des fonctionnalités en surface aux interactions bipolaires en volume. De nouvelles familles de composants ont ainsi pu être développées associant la facilité de commande des transistors MOS et les hautes capacités en courant des dispositifs bipolaires : les associations MOS-thyristor [15] et les associations MOS-bipolaire dont l'IGBT est un des exemples les plus représentatifs. Ce dernier a connu, depuis son introduction au cours des années 1980, un développement industriel important et son champ d'application ne cesse de croître.

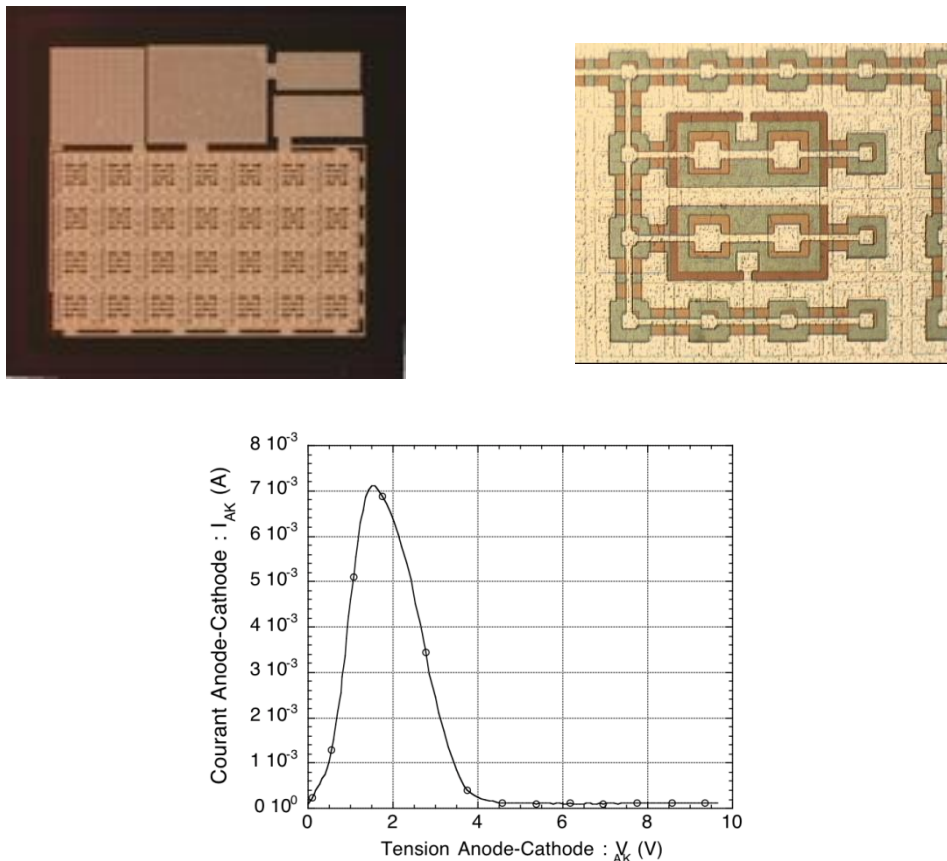


Figure 1. 15 : Vue de dessus de la réalisation technologique et caractéristique électrique de la fonction microdisjoncteur réalisée au LAAS/CNRS.

Le concept d'intégration fonctionnelle a apporté une solution d'intégration à de nombreuses applications de moyenne puissance. Bien entendu, avec ce type d'intégration, les

fonctionnalités sont moins complexes que celle obtenues par Smart power. Mais l'intégration fonctionnelle permet d'envisager une nouvelle approche de l'intégration monolithique qui favorise le développement de nouvelles fonctions de puissance répondant aux besoins de la conversion d'énergie (figure 15).

Synthèse

Chaque mode d'intégration est adapté à des gammes de puissance et des applications spécifiques, résumées dans le tableau 1.

Mode d'intégration	Gamme de courant et de tension	Exemples d'application	Commentaires
Intégration hybride	$I > 50\text{A}$ et $V < 6,5\text{ kV}$	Traction ferroviaire Alimentation industrielle	Fonction de commutation de puissance élémentaire (interrupteur) optimisée en densité de courant et W/cm^2
Intégration fonctionnelle	$I < 50\text{ A}$ et $V < 3,3\text{ kV}$	Applications réseau ou fonctions spécifiques	Enrichissement de la fonction de puissance : fonction de commutation de puissance avec ses fonctions « vitales » (protection, commande et alimentation)
Smart power et HVIC	$I < 10\text{ A}$ et $V < 400\text{ V}$	Automobile Téléphonie mobile	Fonction de traitement de l'information dotée d'une fonction de commutation de puissance

Tableau 1. 1 : Synthèse des différents types d'intégration et de leurs spécificités

Cette présentation des différents modes d'intégration en électronique de puissance confirme le choix de l'intégration fonctionnelle pour la réalisation de notre interrupteur qui s'adresse à des applications de faible et de moyenne puissance connectées sur le réseau de

distribution électrique. La suite de ce manuscrit se concentrera donc sur ce mode d'intégration en précisant les stratégies actuelles, les évolutions envisagées et ses spécificités de conception et de réalisation.

2.3. L'intégration fonctionnelle : stratégie actuelle d'intégration et évolution

La démarche en intégration fonctionnelle consiste à développer des briques élémentaires pour réaliser différentes fonctions. Ces briques peuvent être constituées d'un seul composant ou d'une association de composants. Par exemple, un NMOSFET à canal préformé réalise une brique limiteur de courant et un thyristor-MOS [29] correspond à un interrupteur auto-amorçable. L'ensemble des briques fonctionnelles obtenues permet de constituer une bibliothèque de cellules, que le concepteur utilise pour toute nouvelle réalisation de dispositif [30]. Cette démarche de conception a permis de réaliser de nombreuses fonctions spécifiques qui se divisent en deux catégories :

- Les fonctions de puissance intégrées, qui sont des interrupteurs présentant des caractéristiques statiques ou modes de commutation originaux. Ces fonctions peuvent être de simples associations interrupteur-diode ou des fonctions plus complexes de type bistables ou auto-amorçables et autoblocables. Les fonctions qui entrent dans cette catégorie sont par exemple le thyristor dual [4], le micro-disjoncteur [7-9], l'IGTH [31-32], l'IGBT bidirectionnel en tension ou en courant [33]...
- Les fonctions auxiliaires intégrées qui contribuent à améliorer la fiabilité des interrupteurs et leur sécurité. Par exemple les fonctions de protection contre les courts-circuits [34], les fonctions de protection contre les surtensions [35-36], les surcourants [19-37-38-39], les fonctions de contrôle, les alimentations des commandes rapprochées [40-41]...

L'évolution logique de ces travaux consiste à réunir ces deux types de fonctions (protection-commande d'une part et interrupteur d'autre part) pour concevoir de nouvelles fonctionnalités de commutation de puissance dans le contexte de la conversion d'énergie. Cette démarche permettra de développer des puces de silicium intégrant des fonctionnalités de plus en plus nombreuses et réalisant des dispositifs autonomes fiables et compacts (intégration des commandes, des alimentations, des protections, du refroidissement...).

Mais cette augmentation de la complexité des fonctions de puissance nécessite le développement d'étapes technologiques spécifiques compatibles avec la technologie de base du composant de puissance. Ce développement conjoint entre les fonctions intégrables et les

étapes technologiques spécifiques, illustré sur la figure 16, est le résultat de l'évolution d'une filière technologique flexible, décrite dans le prochain paragraphe. L'évolution de cette filière découle des progrès réalisés ces dernières années dans les techniques utilisées dans le domaine des microtechnologies : la gravure profonde du silicium par RIE (gravure ionique réactive), les dépôts chimiques en phase vapeur haute pression (CVD) ou basse pression (LPCVD), les dépôts de résine épaisses, les dépôts électrochimiques, la thermomigration d'aluminium... Une partie des travaux actuels s'oriente vers le développement d'étapes pour la réalisation de nouvelles fonctionnalités de stockage de l'énergie, d'isolation, de transmission de commandes isolées qui font intervenir des matériaux diélectriques, magnétiques, ferro-électriques ou piezo-électriques, externes aux filières silicium classiques. Ces étapes spécifiques devront être intégrées dans le procédé de fabrication des composants de puissance et permettront à terme de concevoir des structures de puissance intégrant en leur cœur des éléments actifs et passifs et ainsi de développer de nouvelles fonctionnalités qui tendent à se rapprocher des micro-systèmes. Dans le futur, les interrupteurs intégrés qui comprendront leur commande, leur protection et peut être même leur refroidissement seront donc des objets hétérogènes 3D à l'image de certains microsystemes développés aujourd'hui.

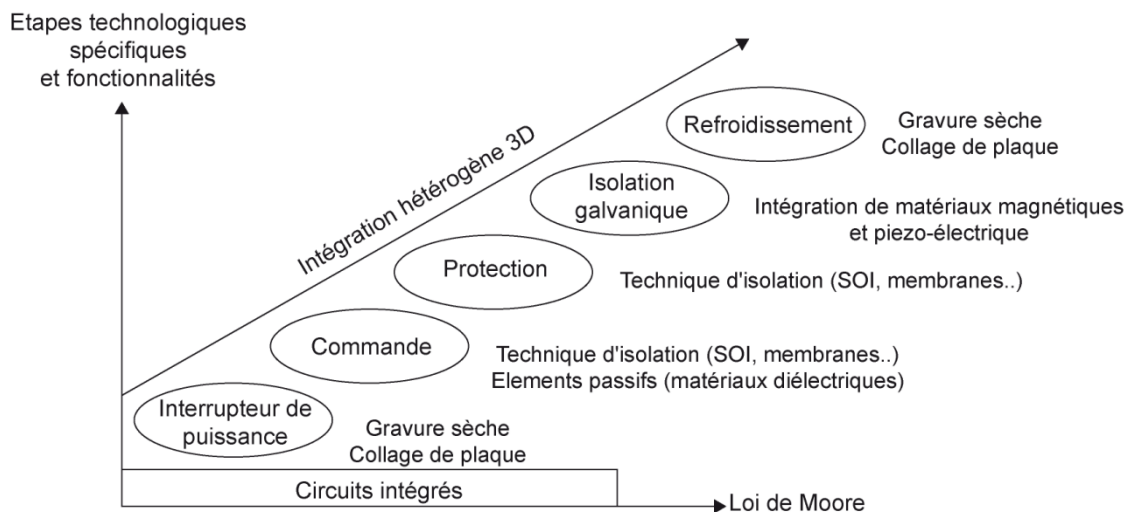


Figure 1. 16 : Evolution des fonctions intégrables liée au développement d'étapes technologiques spécifiques.

3. Conception et réalisation de la fonction

3.1. La filière technologique flexible

La fonctionnalité et les caractéristiques électriques des dispositifs basés sur le concept d'intégration fonctionnelle résultent des interactions électriques maîtrisées entre les différentes régions semi-conductrices du cristal. Cela signifie qu'elles dépendent non seulement de la topologie et des différentes connexions réalisées en surface, mais également des caractéristiques internes de la structure telles que le type et les paramètres physiques des couches. Dans ce contexte, deux dispositifs présentant des fonctionnalités distinctes se différencient tant au niveau du procédé technologique (températures de recuit, doses et énergies d'implantation...) que de la géométrie des masques. Cette approche est fondamentalement différente de la conception d'un circuit intégré :

- En microélectronique, une fonction est conçue à partir d'une technologie figée, c'est-à-dire que les caractéristiques électriques sont connues et imposées. C'est la fonction qui s'adapte à la technologie.
- En microélectronique de puissance, pour concevoir une fonction, il faut agir sur l'empilement et les caractéristiques des couches N et P des composants, ce qui conduit à adapter la technologie à la fonction désirée.

La réalisation de dispositifs basés sur le concept d'intégration fonctionnelle doit donc s'appuyer sur une filière technologique « flexible ». Le procédé technologique associé à ce type de filière doit d'une part être composé de briques technologiques toutes compatibles entre elles, et dont les paramètres (par exemple la dose et l'énergie pour une implantation ionique) peuvent être modifiés pour obtenir des niveaux de tensions et de courants spécifiques. D'autre part, il doit pouvoir être complété par des briques technologiques « optionnelles », compatibles avec les briques de base, afin de réaliser des fonctions plus complexes.

D'après ce constat, une filière flexible technologique a été développée au LAAS-CNRS pour réaliser des fonctions de puissance complexes à partir d'un seul et même processus technologique [42]. Ce procédé technologique, résumé sur la figure 17, est basé sur le principe d'auto-alignement qui consiste à utiliser le polysilicium de grille comme masque pour les régions de source et de drain des transistors MOS. Ce principe permet d'obtenir un bon contrôle de la longueur de canal (région décisive pour de nombreuses fonctionnalités) et de diminuer les contraintes d'alignement (la réalisation de dispositifs verticaux implique des

photolithographies double face ...). Le processus est composé d'un enchaînement d'étapes de base correspondant à la réalisation d'une structure de type IGBT, qui constitue le cœur de la filière. A ces étapes de base peuvent être ajoutées des étapes spécifiques permettant de réaliser de nouvelles fonctionnalités plus complexes sans modifier les caractéristiques électriques des composants de base.

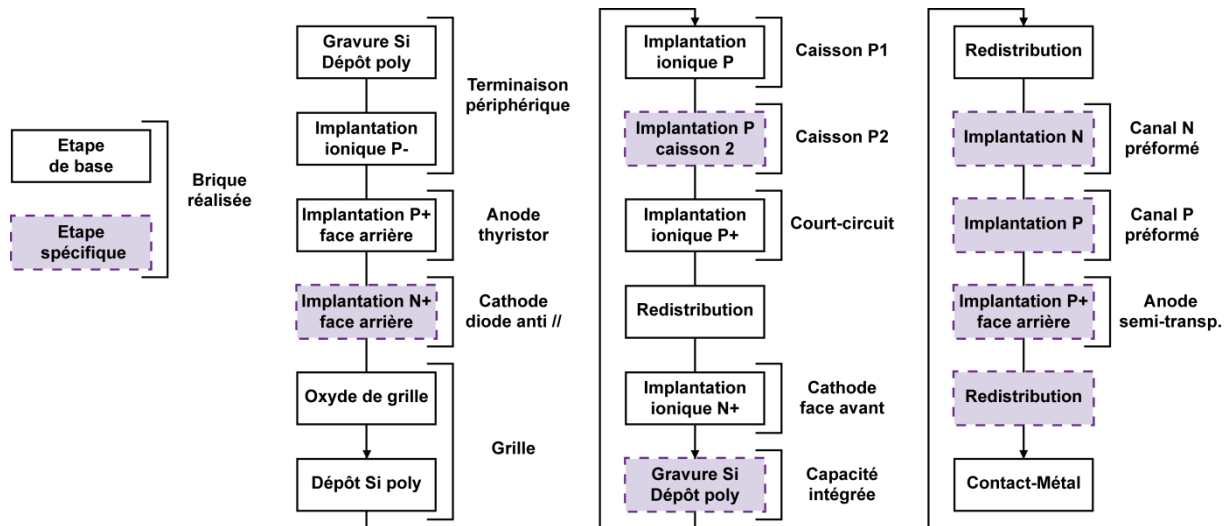


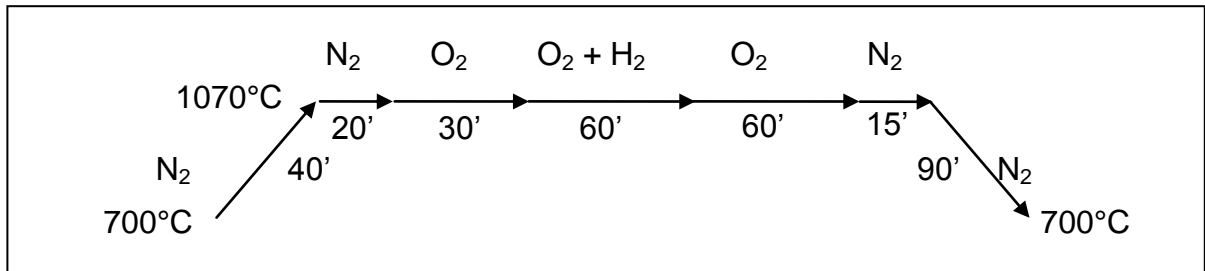
Figure 1. 17 : Enchaînement des étapes technologiques de la filière complète.

Le substrat de départ est de type N dopé à 10^{14} cm^{-3} et l'épaisseur des plaquettes est de $300 \mu\text{m}$. Comme pour tous les composants de puissance, la réalisation des terminaisons de jonction et la matérialisation de la région d'anode face arrière sont considérées comme des étapes de base placées en début du procédé de fabrication. De plus, le principe d'auto-alignement impose la réalisation de la grille en début du processus technologique, avant toutes les étapes d'implantation ionique et de redistribution thermique. Les briques technologiques de base s'enchaînent donc de la façon suivante :

- Terminaisons de jonction
- Anode face arrière
- Grille en polysilicium dopé N
- Caisson P
- Caisson P⁺
- Cathode N⁺
- Ouverture contacts et métallisation

Oxydation de masquage

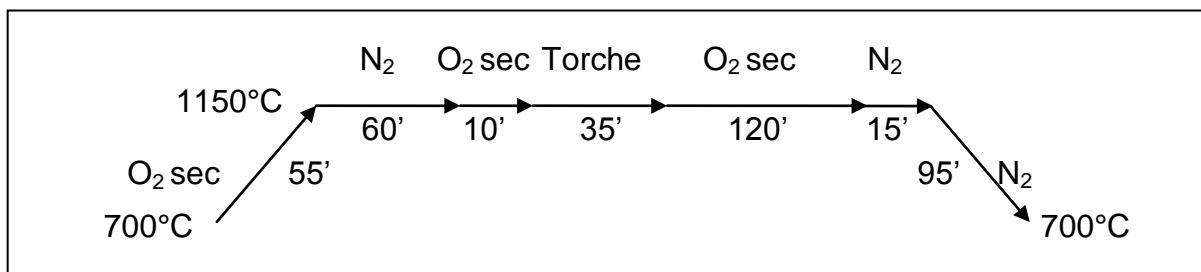
Les plaquettes sont enfournées à 700 °C, et subissent une montée lente en température jusqu'à 1070 °C sous atmosphère d'oxygène sec. Toutes les étapes d'oxydation sont suivies sur le palier de température de 15 minutes sous azote, ce qui permet d'arrêter la réaction d'oxydation à haute température et de purger le four. La descente en température se fait sous ambiance neutre (azote).



Oxydation de masquage

Terminaison de jonction

Nous avons choisi pour cette filière des terminaisons de jonctions de type JTE optimisées précédemment au LAAS [43] pour des tenues en tension situées dans la gamme 600-1200 V. Ces terminaisons de jonction sont réalisées en périphérie des dispositifs par implantation ionique de bore avec une faible dose. Le caisson P⁻, ainsi réalisé, est ensuite redistribué sous ambiance oxydante. L'implantation de bore se fait avec une énergie de 50 keV et une dose de $2,5 \cdot 10^{12} \text{ cm}^{-2}$. L'oxyde de champ alors créé présente une épaisseur d'environ 6400 Å. Les doses et énergies d'implantation sont choisies pour obtenir en fin de processus de fabrication une dose active dans le silicium de $1,3 \cdot 10^{12} \text{ cm}^{-2}$ correspondant à la tenue en tension maximale [44]



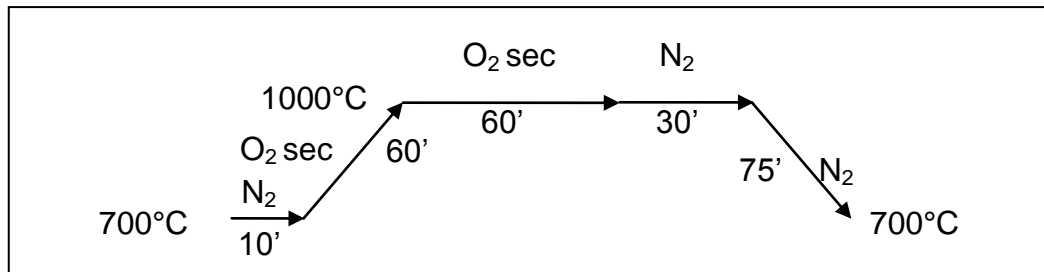
Etape de redistribution du P⁻

Anode P⁺ face arrière

Les anodes P⁺ sont réalisées par implantation ionique de bore sur la face arrière sans auto-alignement par rapport à la grille. L'énergie d'implantation est de 50 keV, et la dose est de $1.10^{16} \text{ cm}^{-2}$. La redistribution de ces régions se fait d'une part, lors de la réalisation de l'oxyde de grille effectuée à 1000°C, et d'autre part lors des redistributions des caissons P et des cathodes N⁺ de la face avant à 1150°C. A la fin du processus de fabrication et après toutes les étapes thermiques, la concentration en surface obtenue est de $3.10^{19} \text{ cm}^{-3}$ pour une profondeur de jonction de 7,2 µm.

Oxyde de grille

L'oxyde de grille des dispositifs MOS est réalisé par oxydation thermique du silicium. Le profil thermique de cette étape a été optimisé à la centrale technologique du LAAS pour obtenir une épaisseur d'oxyde de 550 Å. Les dix minutes à 700°C sous azote après l'enfournement permettent d'uniformiser la température du four ainsi que la répartition des gaz, en vue d'obtenir une épaisseur d'oxyde la plus homogène possible sur chaque plaquette et également sur l'ensemble des plaquettes introduites dans le four.



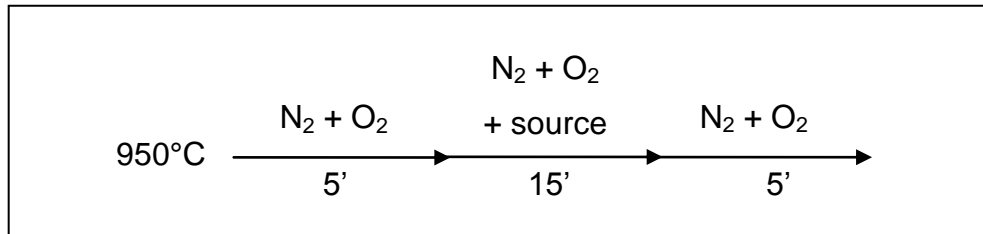
Croissance de l'oxyde de grille

Dépôt et dopage du polysilicium de grille

Le polysilicium de grille est déposé par LPCVD à partir de la décomposition de silane (SiH₄), à la température de 605°C pendant 30 minutes, pour obtenir une épaisseur de 3000 Å.

Le dopage du polysilicium de type N peut se faire soit par une implantation ionique d'atomes d'arsenic ou de phosphore, soit par diffusion de phosphore. Nous travaillons avec la deuxième solution car la grille doit subir toutes les étapes de redistribution, et il aurait été nécessaire, dans le cas d'une implantation ionique, de déposer une couche de nitrure afin d'éviter l'exodiffusion du dopant de la grille. En revanche, lors de la diffusion de phosphore, qui se déroule sous ambiance oxydante, la couche d'oxyde créée naturellement permet

d'éviter cette exodiffusion des atomes de phosphore. Le dopage du polysilicium est donc réalisé à partir d'un prédépot d'une source liquide POCl_3 . La résistivité obtenue varie de $1 \cdot 10^{-3} \Omega \cdot \text{cm}$ à $7 \cdot 10^{-4} \Omega \cdot \text{cm}$ dans les cas extrêmes. La couche d'oxyde créée lors de cette étape thermique a une épaisseur d'environ 500 Å.



Dopage du polysilicium

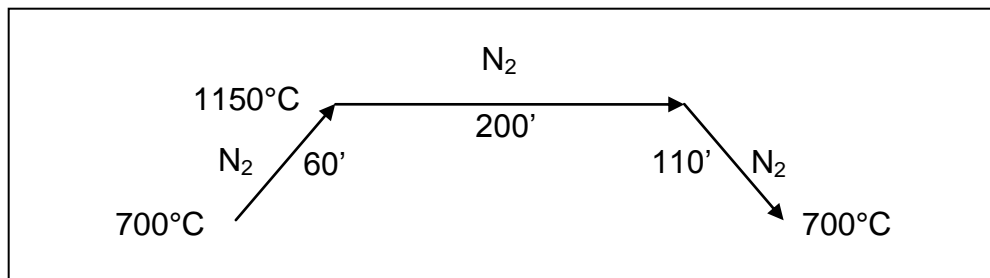
Réalisation des régions P

Les régions P matérialisent les sources et drains des transistors PMOS, les bases des thyristors et des IGBTs et les substrats des transistors NMOS. Elles sont réalisées par implantation ionique de bore et sont auto-alignées par rapport à la région de polysilicium de grille. La dose implantée est de $1 \cdot 10^{14} \text{ cm}^{-2}$ et l'énergie de 50 keV. A l'issue du bilan thermique complet, on obtient une concentration en surface de $6 \cdot 10^{17} \text{ cm}^{-3}$ et une profondeur de jonction de 4,8 μm . Dans ces conditions, la concentration en surface maximale sous la grille est de $1 \cdot 10^{17} \text{ cm}^{-3}$.

Il est à noter que l'utilisation de la grille pour effectuer un auto-alignement conduit à l'obtention d'une région de canal présentant un dopage variable entre source et drain des transistors NMOS (zone de diffusion latérale des régions P). Afin d'obtenir un recouvrement de ces caissons P sous la grille, en fonction de leur profondeur (4,8 μm), la longueur de grille est fixée à 4 μm .

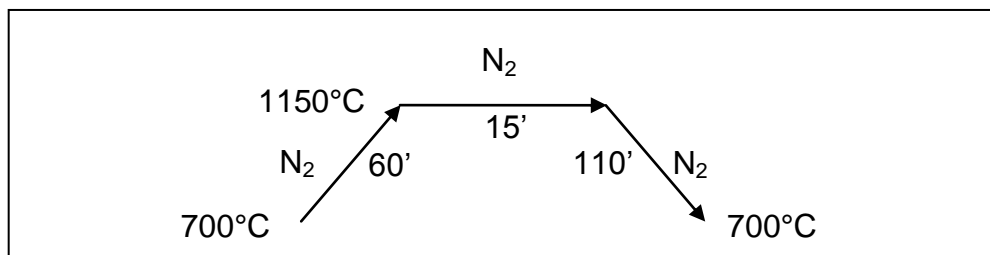
Réalisation des régions P⁺

Les régions P⁺ sont utilisées pour matérialiser les courts-circuits des dispositifs IGBT et MOS-thyristor mais également les cathodes des diodes antiparallèle et les prises de contacts substrat des transistors NMOS. Ces caissons sont réalisés par implantation ionique de bore avec une dose de $1 \cdot 10^{16} \text{ cm}^{-2}$ et une énergie de 50 keV. La redistribution du P⁺ est commune avec la redistribution des caissons P. A l'issue du bilan thermique complet, la région P⁺ présente une concentration en surface de $3 \cdot 10^{19} \text{ cm}^{-3}$ et une profondeur de jonction de 7,1 μm .

*Redistribution P et P⁺*

Réalisation des régions N⁺

Les régions N⁺ matérialisent les cathodes des dispositifs thyristor et IGTB ainsi que les zones de source et de drain des transistors NMOS. Elles sont réalisées par implantation ionique d'arsenic et utilisent la protection de la région de grille pour assurer l'auto-alignement. Avec une dose d'implantation de 10^{16} cm^{-2} et une énergie de 100 keV on obtient, à la fin du processus technologique, une concentration en surface de 10^{20} cm^{-3} et une profondeur de jonction de 1 μm .

*Redistribution N⁺*

Contacts et métallisation

Le dépôt de la couche de nitrure (Si_3N_4) d'isolation se fait dans un four LPCVD à une température de 750°C pendant 44 minutes. L'épaisseur obtenue est de 1000 Å. Cette couche de nitrure ainsi que l'oxyde de grille sont ensuite gravés pour ouvrir les contacts. Ces étapes sont suivies d'une métallisation d'aluminium de 1 μm par sputtering. Le même procédé est effectué sur la face arrière. En fin de processus, un recuit de l'aluminium est effectué à 450°C pendant 20 minutes.

Les étapes spécifiques

Le processus de base, qui vient d'être décrit, est composé d'étapes simples, sans difficulté technologique particulière. Il est conçu pour réaliser des IGBTs ou des thyristors, mais on peut aussi obtenir des transistors MOSFET à enrichissement basse tension (PMOS et NMOS) et des diodes. D'autres types de composants (transistor MOSFET à canal préformé, thyristor-MOS, diode antiparallèle, condensateur...) sont obtenus en ajoutant au processus de base des étapes spécifiques, compatibles avec les étapes de base, dont quelques unes sont mentionnées sur la figure 17. Par exemple certaines fonctions de commande et de protection sont basées sur la réalisation de transistors MOS à canaux préformés nécessitant une étape spécifique d'implantation ionique à travers le silicium polycristallin de grille. La réalisation de cellules MOS sur les deux faces de la plaque impose le développement de photolithographie double face ou une étape spécifique de collage de plaque (wafer bonding). Pour obtenir des dispositifs symétriques en tension, une étape spécifique de réalisation de murs verticaux P^+ traversant la plaquette peut être réalisée en début de processus [ref olivier cause]...

3.2. Méthodologie

Le travail du concepteur consiste à réaliser, à partir d'un cahier des charges définissant la fonctionnalité de l'interrupteur de puissance et les performances souhaitées, une structure monolithique correspondante. Ce travail fait appel à différentes approches :

- Une approche système et électrique. Dans un premier temps, il faut définir d'un point de vue électrique la fonction, c'est-à-dire proposer un schéma électrique adapté à l'application visée et qui assure la fonctionnalité requise par le cahier des charges.
- Une approche physique. La fonction et les caractéristiques électriques d'un dispositif basé sur le concept d'intégration fonctionnelle sont définies par la topologie, l'agencement et les paramètres physiques (profils de dopage) des régions semi-conductrices de chaque cellule de l'architecture choisie. La seconde étape consiste donc à traduire le schéma électrique par un agencement tridimensionnel dans le cristal des plus judicieux. Pour cela, le concepteur doit dimensionner physiquement et géométriquement les régions de chacune des cellules de l'architecture en prenant en compte leurs propriétés électriques individuelles, mais aussi leurs interactions électriques. Cette étape nécessite l'utilisation des outils de simulation 2D car ils

permettent une description physique de la structure et la compréhension d'un certain nombre d'interactions électriques au sein du cristal.

- Une approche technologique. La filière technologique est la base du travail de conception car c'est elle qui fixe l'agencement de base du dispositif ainsi que les contraintes technologiques, les limites et les possibilités de réalisation du dispositif.

Il apparaît évident que pour appréhender au mieux l'ensemble des contraintes de l'intégration, ces différentes approches doivent être envisagées de façon couplées et non séparées [45]. C'est là toute la difficulté et l'intérêt de ce travail de conception, qui demande des connaissances à la fois en technologie, en physique du semi-conducteur, en fonction électrique et en fonctionnalité système [46]. Suite à ces quelques remarques, l'organisation de notre travail de conception s'enchaînera comme suit (figure 18) :

- Proposer une architecture qui définisse électriquement la fonction et qui soit compatible avec le concept d'intégration fonctionnelle.
- Simuler les composants séparément afin de définir les paramètres physiques de chaque couche (profils de dopage) qui conduisent aux niveaux de courant et de tension visés.
- Simuler le processus technologique pour remonter aux paramètres technologiques (énergie d'implantation, dose...) correspondant aux profils de dopage retenus.
- Simuler les composants au sein du même substrat de silicium pour étudier les différentes interactions au sein du cristal.
- Réaliser les topologies de masque, à partir des résultats de simulation et en prenant en compte les contraintes technologiques (règles de dessin).

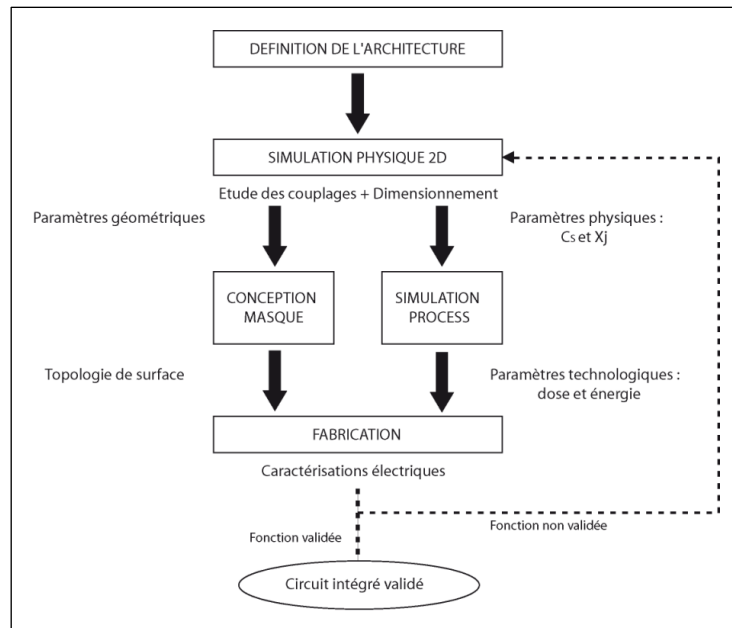


Figure 1. 18 : Méthodologie de conception.

Conclusion

Les dispositifs à récupération d'énergie nécessitent des convertisseurs réversibles en courant, dont la commande est pour l'instant réalisée autour des composants de puissance. L'utilisation d'interrupteurs auto-commutés apparaît comme une solution pour simplifier les topologies de ces convertisseurs. En effet, les commutations de ces interrupteurs sont entièrement automatisées par l'évolution du courant et de la tension, c'est-à-dire par l'évolution du point de fonctionnement du circuit. Elles ne nécessitent ni alimentation auxiliaire, ni circuit de commande et capteur externes. Par conséquent, les interrupteurs auto-commutés possèdent tous les attributs pour viser une intégration complète sur silicium.

Le travail de thèse consiste à développer par le biais de l'intégration fonctionnelle un interrupteur monolithique réversible en courant à auto-commutation, c'est-à-dire un thyristor dual disjoncteur. Pour réaliser cette fonction, deux architectures sont proposées : une topologie basée sur un thyristor auto-amorçable et une topologie basée sur un IGBT.

Ce travail à fort potentiel applicatif s'inscrit dans la stratégie actuelle d'intégration : sur la même puce de silicium seront associées des fonctions de puissance, de protection, de commande et d'alimentation. Cette démarche permet de pouvoir disposer de véritables interrupteurs monolithiques autonomes, permettant à leur tour, par association, de réaliser des cellules de commutation puis des convertisseurs hautement intégrés dépourvus de tout organe externe ou auxiliaire.

CHAPITRE II

INTERRUPTEUR AUTO-COMMUTE A THYRISTOR

Sommaire

	<i>Introduction</i>	43
1.	DEFINITION DE L'ARCHITECTURE	43
1.1.	<i>Présentation de l'architecture et de son fonctionnement</i>	43
1.2.	<i>Conditions de fonctionnement</i>	46
1.3.	<i>Discussion préliminaire à l'étude 2D</i>	50
2.	SIMULATION PHYSIQUE 2D	51
2.1.	<i>Dimensionnement des composants</i>	52
2.2.	<i>Validation du fonctionnement de l'architecture</i>	72
2.3.	<i>Etude des interactions électriques</i>	77
3.	SIMULATION DU PROCEDE TECHNOLOGIQUE	81
	<i>Conclusion</i>	82

Interrupteur auto-commuté à thyristor

Introduction

La solution développée dans ce chapitre consiste à synthétiser une fonction thyristor dual disjoncteur à partir d'un thyristor classique. Il faudra doter ce dernier de fonctions annexes permettant la gestion de l'amorçage et de l'auto-blocage.

Des travaux menés au LAAS sur une structure thyristor-MOS auto-amorçable ont montré que cette structure présentait un intérêt pour l'intégration de la fonction thyristor-dual [47]. C'est sur la base de cette étude que nous proposons une première topologie pour la réalisation d'un interrupteur auto-commuté.

Après avoir présenté l'architecture et étudié son fonctionnement, ce chapitre se focalisera sur le dimensionnement physique et géométrique du dispositif à l'aide des outils de simulation 2D. Ce dimensionnement permet de préparer la conception des masques et la réalisation technologique qui seront présentées dans le chapitre 4.

1. Définition de l'architecture

1.1. Présentation de l'architecture et de son fonctionnement

Architecture

L'élément de puissance est un thyristor auto-amorçable (figure 1). C'est un thyristor auquel a été ajoutée une section NMOS à canal préformé lui conférant la capacité de s'amorcer spontanément au passage par zéro de la tension. Pour obtenir un phénomène de saturation, qui n'existe pas chez le thyristor, un limiteur de courant lui est ajouté en série, il s'agit d'un NMOSFET à canal préformé (M2). Le courant total peut donc circuler à travers le limiteur et le MOS-thyristor dès que ce dernier entre en conduction.

Le blocage du dispositif s'obtient en court-circuitant la jonction gâchette-cathode du thyristor. Pour cela, un interrupteur est placé entre la gâchette et la cathode du dispositif et sa fermeture doit être commandée par l'entrée en saturation du limiteur M2. Deux solutions sont possibles :

- Soit la limitation du courant est directement utilisée. Une contre-réaction en courant commandera l'interrupteur de blocage qui sera donc de type bipolaire.
- Soit on utilise l'augmentation de tension provoquée par l'entrée en saturation du NMOSFET M2, et c'est une contre-réaction en tension qui commandera un interrupteur de type MOSFET.

L'étape de blocage a pour effet d'augmenter la tension et de diminuer le courant. Il est donc préférable d'utiliser la deuxième solution pour ne pas arrêter le blocage du dispositif (pour être utilisable, la première solution impose d'ajouter une brique de maintien de l'ordre de blocage). Ainsi, quand le limiteur M2 entre en saturation, la tension du dispositif augmente et entraîne la fermeture d'un NMOSFET à enrichissement (M3). Mais la grille de l'interrupteur de blocage ne peut être reliée directement à l'anode du dispositif (électrode de puissance). Il faut ajouter, entre la grille de M3 et l'anode du dispositif, une résistance linéaire, c'est-à-dire un NMOSFET vertical à déplétion (M4).

Une diode Zéner ZD protège la grille de M3. Enfin, la bidirectionnalité en courant de l'interrupteur est assurée par une diode placée en antiparallèle AD.

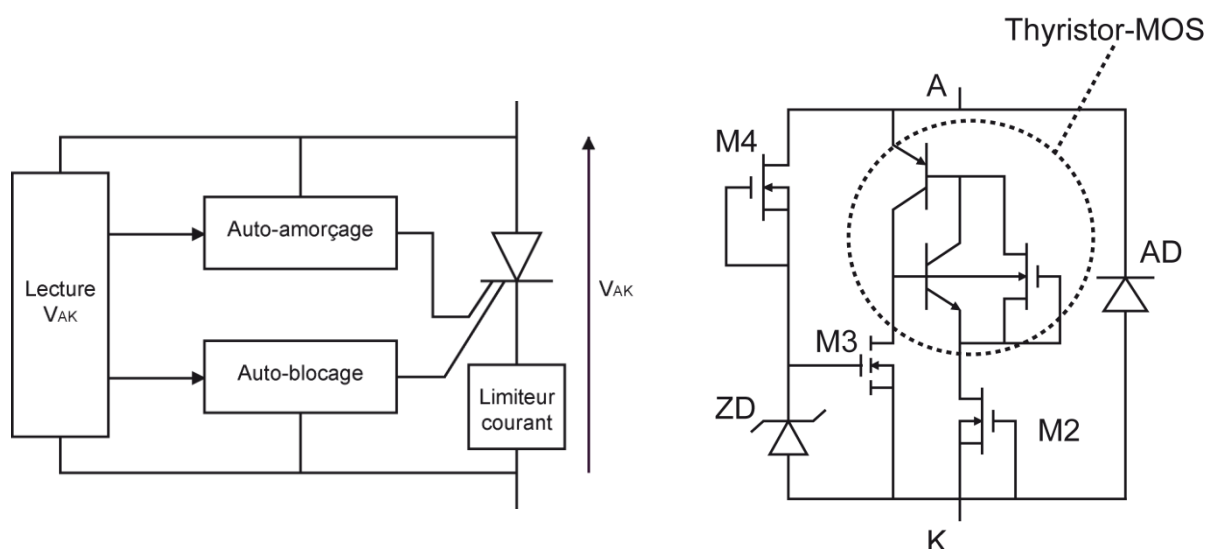


Figure 2. 1 : Schéma de principe et architecture du circuit.

Fonctionnement

Dès qu'une tension positive est appliquée sur l'anode du dispositif, le canal préformé du thyristor-MOS (figure 2) conduit et vient alimenter la base de la section PNP (courant d'électrons I_e), qui entre alors en conduction. En parallèle, des trous sont injectés de l'anode vers la région de base N^- . Suite à la fermeture de la section PNP, ces porteurs peuvent franchir la jonction N^-/P fortement polarisée en inverse. Un courant de trous (I_{BNPN}) circule alors latéralement dans la région de base P et provoque une chute de tension à travers sa résistance R_{GK} . Comme cette région n'est pas court-circuitée à la cathode N^+ , la chute de tension devient spontanément suffisante pour entraîner la mise en direct de la jonction P/N^+ (jonction émetteur/base de la section NPN), et ce pour un niveau de courant de trous nettement plus faible que dans le cas d'un thyristor classique où la cathode est court-circuitée à la base P. La section NPN devient conductrice, entraînant la circulation d'un courant d'électrons de la cathode N^+ à la région de collecteur N^- . La section NPN vient donc à son tour alimenter la base de la section PNP. Cette action régénératrice des deux transistors bipolaires couplés de la structure, appelée effet thyristor, provoque le verrouillage du thyristor et ainsi la fermeture du dispositif. Un courant peut alors circuler à travers le thyristor-MOS et le canal préformé du NMOSFET M2 placé en série (figure 1).

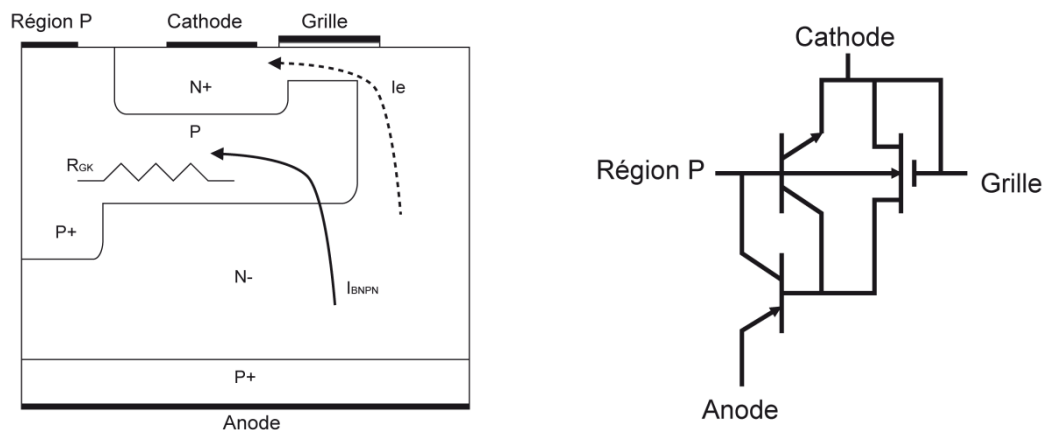


Figure 2. 2 : Coupe d'une structure thyristor-MOS et son schéma électrique équivalent.

Le courant qui traverse la structure augmente. Lorsque la valeur de blocage (I_{MAX}) est atteinte, le transistor M2 entre en saturation, ce qui limite le courant et entraîne l'augmentation de la tension aux bornes du dispositif. Le générateur de courant M4 réagit à cette augmentation de potentiel à ses bornes en générant un courant qui va charger la capacité grille source du transistor M3 de blocage. Ce dernier entre alors en conduction et joue le rôle de court-circuit de la jonction base émetteur de la section NPN du thyristor. La résistance à

l'état passant de M3 se retrouve en parallèle avec la résistance R_{GK} et permet de proposer un chemin de conduction moins résistif au courant circulant dans le thyristor. Le transistor M3 va donc extraire le courant de base de la section NPN. Il arrête ainsi l'effet thyristor et permet l'ouverture de l'interrupteur.

1.2. Conditions de fonctionnement

Le principe de fonctionnement décrit dans la partie précédente est validé à condition de vérifier certaines règles et inégalités entre les différentes grandeurs électriques des composants constituant l'architecture (tensions de seuil, courants de saturation...). Une étude analytique du circuit permet de définir ces conditions et ainsi de déterminer les couches semi-conductrices qu'il faudra ajuster lors de l'étape de dimensionnement physique qui va suivre. Nous présentons ici les équations qui définissent les conditions de fonctionnement du circuit. Le détail précis des calculs qui nous ont permis d'obtenir ces conditions est donné dans l'annexe 1. Sur la figure 3 sont définies les grandeurs électriques utilisées et le tableau 1 résume les différentes conditions de fonctionnement du dispositif ainsi que les paramètres qu'il faudra ajuster lors de la simulation physique 2D afin d'obtenir la fonction désirée.

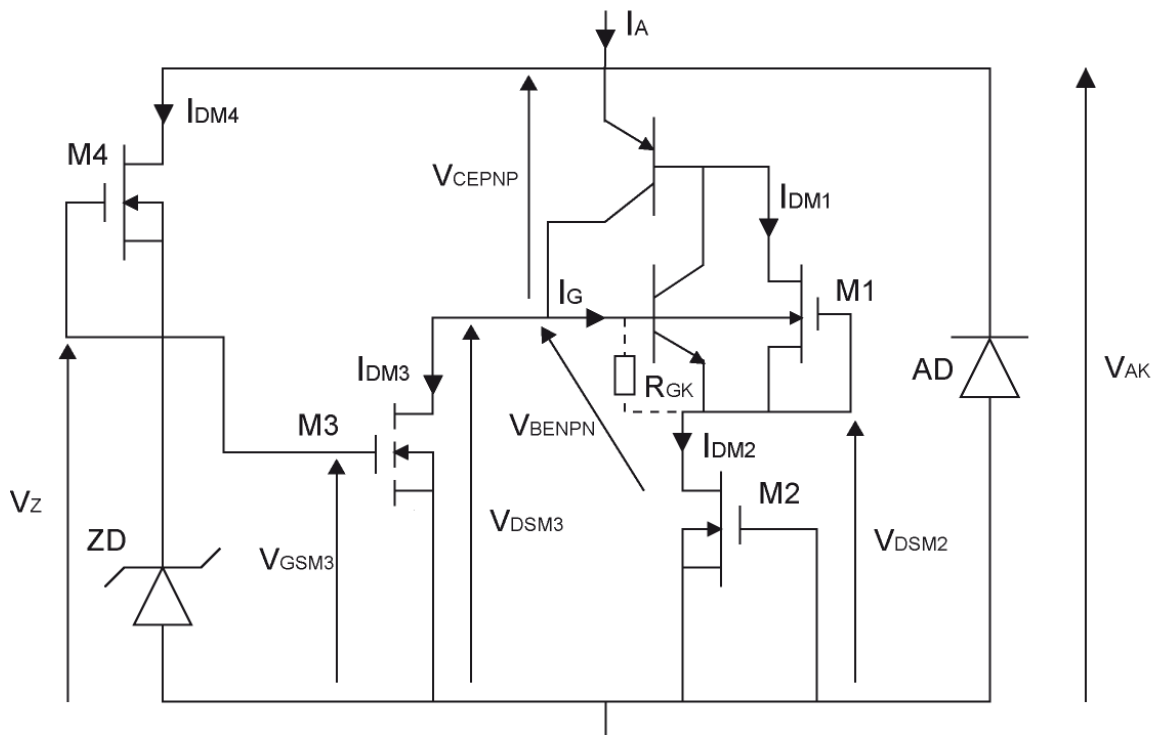


Figure 2. 3 : Définition des grandeurs électriques utilisées pour l'analyse du circuit.

Etapes	Relations	Paramètres ajustables
Auto amorçage	[2.1] $\frac{(V_{TM3} - 0,6)}{R_{DSONM2}(\beta_{PNP} + 1) + R_{DSONM1}} * R_{GK} * \beta_{PNP} > 0,6 V$ [2.2] $I_{AMIN} \geq (1 + \beta_{PNP}) * I_{DSATM1}$	Dopage et dimensions du canal de M1 Dimensions et dopage de la région P de gâchette du thyristor
Maintien de l'amorçage	[2.3] $K_{PM2} * V_{TM2} > \frac{I_{AMAX}}{V_{TM3} - 0,6 - V_{CESAT}}$	Dimensions et dopage du canal de M2
Auto blocage	[2.4] $I_{DSATM3} > I_{DSATM2} * \frac{\alpha_{PNP}}{1 - \alpha_{PNP}} - \frac{0,6}{1 - \alpha_{PNP}} \frac{R_{GK}}{R_{GK}} = I_{MINDM3}$ [2.5] $\left(\alpha_{PNP} * I_A - \frac{K_{PM3}}{2} (V_{AK} - V_{TM3})^2 \right) * R_{GK} < 0,6V$	Dimensions du canal de M3
Maintien du blocage	[2.6] $R_{DSONM3} < \frac{0,6 + R_{DSONM2} * I_{DSATM1}}{\beta_{PNP} * I_{DSATM1}}$	Dimensions du canal de M3 Dopage de la région de substrat P

Tableau 2. 1 : Conditions de fonctionnement du circuit 1.

Amorçage

D'après l'inégalité (2.2), pour amorcer le dispositif à de faibles niveaux de courant, le gain en courant du transistor PNP et le courant de saturation I_{DSATM1} de la section MOS du thyristor-MOS doivent être les plus faibles possibles. Cependant, d'après la relation (2.1), la valeur de I_{DSATM1} , qui intervient à travers le terme R_{DSONM1} , doit être suffisamment élevée pour permettre l'amorçage du thyristor. Sa valeur est liée au canal du MOS d'amorçage M1 à travers son dopage et ses dimensions. La saturation correspond au pincement du canal lorsque la tension drain substrat est élevée. Plus cette tension augmente, plus la zone de charge

d'espace s'étend car la jonction drain substrat est en inverse. Les porteurs sont repoussés et le canal est pincé. Si l'on augmente le dopage du canal, il faut un champ électrique plus important pour repousser les charges, entraînant une tension de saturation, et donc un courant de saturation, plus élevés. Il en est de même lorsque le rapport de la largeur sur la longueur du canal (Z/L) est augmenté.

Le gain en courant du transistor PNP est un paramètre difficile à maîtriser car il dépend du dopage, des dimensions des différentes régions et du niveau de polarisation. Cependant, la base de la section PNP est très large et peu dopée pour obtenir une bonne tenue en tension, son gain en courant est donc naturellement très faible.

Si l'on se réfère à la relation (2.1), deux autres paramètres peuvent être ajustés : R_{DSONM2} et R_{GK} . La résistance à l'état passant du limiteur M2 dépend de sa tension de seuil et des dimensions de son canal qui définissent aussi le courant de saturation. Or, ce niveau de courant correspond au courant maximum (I_{MAX}) défini par le cahier des charges. Le seul paramètre qui pourra être modifié est la résistance R_{GK} qui traduit la résistivité de la région P de gâchette du thyristor. Rappelons que la résistivité d'une région dépend de ses dimensions et de son dopage.

Les deux paramètres principaux d'ajustement sont donc I_{DSATM1} et R_{GK} .

Maintien de l'amorçage

D'après l'équation (2.3), les seuls paramètres ajustables sont le facteur de forme et la tension de seuil du limiteur de courant M2, car le courant d'anode maximum I_{AMAX} et la tension de seuil du transistor MOS de blocage V_{TM3} sont imposés par le cahier des charges (I_{MAX} et V_{MAX} respectivement). Ces deux paramètres dépendent du dopage et des dimensions du canal préformé, à travers le facteur Z/L et la mobilité des électrons.

Auto-blocage

Pour réaliser l'auto-blocage, le transistor MOS de blocage M3 doit extraire suffisamment de courant de la base de la section NPN du thyristor. En d'autre terme, le courant de saturation de M3 I_{DSATM3} doit être plus important que le niveau de courant à extraire pour bloquer le thyristor.

Pour vérifier les relations (2.4) et (2.5), deux possibilités existent :

- La première consiste à diminuer la valeur minimum du courant de drain de M3. Autorisant le blocage. D'après l'inégalité (2.4), le courant de drain minimum I_{MINDM3}

dépend du courant de saturation du limiteur M2, du gain en courant de la section PNP du thyristor et de sa résistance R_{GK} . Nous avons vu précédemment que le gain en courant est lié à la tenue en tension du dispositif, que la résistance R_{GK} est le paramètre fondamental de l'auto-amorçage et que le courant de saturation du limiteur M2 correspond au courant maximum (I_{MAX}) du dispositif imposé par le cahier des charges. Cette première solution est donc écartée pour garantir l'auto-amorçage du dispositif et respecter le cahier des charges.

- L'autre possibilité consiste à augmenter le courant de drain du NMOS de blocage M3. Pour cela, on peut ajuster le dopage de la région de substrat P. Par exemple, si le dopage de cette région P diminue, il faudra un champ électrique moins important pour former le canal, ce qui entraînera la diminution de la tension de seuil. On rappelle que pour le transistor NMOS à enrichissement, le courant I_{DS} est défini par les équations du régime ohmique et du régime saturé :

$$I_{DS} = \mu_n * C_{OX} * \frac{Z}{L} * \left(V_{GS} - V_T - \frac{V_{DS}}{2} \right) * V_{DS} \quad [2.7]$$

$$I_{DSAT} = \frac{\mu_n * C_{OX} * \frac{Z}{L}}{2} * (V_{GS} - V_T)^2 \quad [2.8]$$

Avec μ_N la mobilité des électrons dans le canal, C_{OX} la capacité d'oxyde de grille, Z et L les largeur et longueur du canal, et V_T la tension de seuil.

Or la tension de seuil du transistor MOS de blocage correspond à la tension maximum à l'état passant du dispositif (V_{MAX}), imposée par le cahier des charges. Il semble donc à ce niveau que la seule condition à respecter soit l'inégalité (2.5), c'est-à-dire obtenir un K_{PM3} suffisamment élevé en jouant sur les dimensions.

Maintien du blocage

D'après la relation (2.6), il faut diminuer la résistance à l'état passant de M3, R_{DSONM3} , soit adapter les dimensions du canal (longueur et largeur) et le dopage de la région de substrat P (I_{DSATM1} étant un paramètre de l'auto-amorçage).

Remarques

Nous avons envisagé seulement des modifications des couches semi-conductrices. Les caractéristiques électriques des MOSFETs et du thyristor-MOS dépendent également des

couches d'oxyde et de polysilicium de grille. Mais la modification de ces deux couches entraînerait soit une complexification du processus technologique soit des variations importantes des caractéristiques électriques pour l'ensemble des composants à grille du dispositif.

Les résultats de l'analyse montrent que les dopages et les dimensions des canaux des transistors MOS conditionnent le fonctionnement du dispositif. Ces canaux sont réalisés ou se forment dans les zones de diffusion latérale des régions P de substrat (région P de gâchette dans le cas du thyristor-MOS), ce qui signifie que leurs dimensions et leurs dopages dépendent de ces régions P, qu'il faudra donc aussi ajuster.

1.3. Discussion préliminaire à l'étude 2D

L'atout principal de cette topologie concerne son auto-amorçage. Il repose sur la mise en conduction, au passage par zéro de la tension anode-cathode, du transistor NMOS M1 à canal préformé dont le courant de drain alimente la base de la section PNP et sert ainsi de courant de déclenchement du thyristor. Ainsi, grâce à un dispositif très simple qui consiste à ajouter une section NMOS à un thyristor, on obtient un amorçage ne nécessitant aucune alimentation auxiliaire.

De façon générale, l'utilisation de transistors NMOS à canaux préformés a permis de réaliser simplement les fonctions annexes de gestion de l'amorçage et de l'auto-blocage. On obtient ainsi, pour cette première solution basée sur un MOS-thyristor, une architecture très simple, compacte et ne présentant aucune difficulté technologique particulière. Elle est donc particulièrement bien adaptée à l'intégration fonctionnelle.

Mais la fonctionnalité est fortement dépendante de ces canaux préformés. Ce sont eux qui déterminent les caractéristiques électriques définies par le cahier des charges (le courant de disjonction par exemple). Il est à noter que les canaux préformés présentent deux inconvénients :

- Il est difficile de déterminer avec précision leurs paramètres technologiques (doses, énergies d'implantation des couches semi-conductrices) à partir de la simulation physique 2D, car les modèles de diffusion dans le polysilicium ne sont pas adaptés. Les caractéristiques électriques (tension de seuil, courant de saturation) peuvent être très différentes de celles obtenues par simulation. Pour déterminer leurs paramètres géométriques, il convient donc de réaliser des composants tests avant de commencer la réalisation technologique du dispositif complet.

- Ils sont très sensibles aux paramètres technologiques. Leurs caractéristiques électriques peuvent donc être différentes de celles attendues. En d'autres termes, la fonctionnalité présentera des écarts par rapport au cahier des charges. Les conséquences seront plus ou moins préjudiciables pour la fonction : par exemple modification du niveau de disjonction ou, dans le pire des cas, fonctionnalité non réalisée.

En conclusion, cette première solution est particulièrement intéressante d'un point de vue technologique, mais son comportement électrique sera très sensible aux paramètres technologiques.

2. Simulation physique 2D

La conception d'un dispositif basé sur le concept d'intégration fonctionnelle consiste à dimensionner physiquement et géométriquement les régions semi-conductrices de chacun des composants de l'architecture en prenant en compte leurs propriétés électriques individuelles, mais aussi leurs interactions électriques. Ce travail nécessite l'utilisation des outils de simulation physique 2D car ils permettent une description physique et géométrique de la structure (la structure est décrite à partir des profils de dopage des régions semi-conductrices) et de traduire un certain nombre d'interactions électriques au sein du cristal.

Dans un premier temps, les composants de l'architecture sont dimensionnés séparément. Pour cette étape nous utilisons les outils MDRAW (description de la structure et de son maillage) et SDEVICE (spécification des modèles physiques pris en compte et des modèles de résolution numérique) de SENTAURUS TCAD. En chaque point du maillage, le simulateur résout numériquement les équations fondamentales des semi-conducteurs (équations de continuité et de Poisson). Il fournit ainsi le comportement électrique du composant ainsi que des informations sur la distribution interne de variables telles que les concentrations de porteur, les lignes de courant, le champ électrique ou le potentiel [48].

Lorsque les caractéristiques électriques des composants concordent avec le cahier des charges, les structures 2D obtenues sont associées et insérées dans une cellule de commutation. Cette étape est réalisée à l'aide de l'outil MIXED-MODE de SENTAURUS TCAD qui permet de coupler des composants issus de la simulation physique à des éléments de type SPICE. L'intérêt de cette démarche est de pouvoir vérifier le bon dimensionnement des cellules et de tester le comportement du circuit complet.

Dans un deuxième temps, le fonctionnement du dispositif étant vérifié, les composants sont redéfinis, à l'aide des outils MDRAW et SDEVICE, dans le même substrat : de nouveaux agencements des couches semi-conductrices sont proposés, sans modifier les paramètres physiques définis dans l'étape précédente. Les interactions électriques entre les différents composants sont identifiées et minimisées, voire supprimées, afin que la structure monolithique du circuit complet vérifie toujours la fonctionnalité.

2.1. Dimensionnement des composants

Le dimensionnement des composants doit permettre d'assurer de bonnes conditions de fonctionnement du dispositif (cf. analyse présentée précédemment) et respecter les niveaux de courant et de tension fixés par le cahier des charges. D'après l'analyse effectuée précédemment, le fonctionnement du dispositif dépend essentiellement des paramètres physiques (concentration en surface C_S et profondeur de jonction X_J) des canaux des transistors MOSFETs et des régions P. D'autre part, le cahier des charges présenté dans le premier chapitre est défini par cinq grandeurs électriques :

- La chute de tension à l'état passant V_{ON} ($< 2V$), qui correspond à la chute de tension aux bornes du thyristor et du limiteur ($V_{ONTHYRISTOR} + V_{DSATM2}$),
- Le courant de disjonction I_{MAX} (fixé à 2A), qui correspond au courant de saturation de M2,
- La tension de blocage V_{TH} , qui correspond à la tension de seuil de M3,
- Le courant à l'état bloqué (ne doit pas dépasser 1% I_{MAX}), qui correspond au courant de fuite circulant dans les canaux préformés de M4 et de la section MOS du thyristor-MOS ($I_{DSATM4} + I_{DSATTHYRISTOR-MOS}$),
- La tension maximum V_{OFF} de 600 V qu'il peut supporter à l'état bloqué.

Mise à part la tenue en tension V_{OFF} du dispositif (qui doit être supportée par les deux éléments de puissance du dispositif, le thyristor et le générateur M4) et la tension $V_{ONTHYRISTOR}$ (qui dépend de l'injection de l'anode et de la région de base N^-), ces grandeurs correspondent à des tensions de seuil, des tensions de pincement et des courants de saturation de NMOSFETs. Elles sont fixées par les paramètres physiques des couches semi-conductrices se situant sous la grille, c'est à dire les régions P et les canaux préformés.

Les structures des composants haute tension du dispositif sont basées sur un enchaînement vertical de type $P^+/N^-/P/N^+$ pour le thyristor-MOS, et $N^+/N^-/P/N^+$ pour le générateur M4. La tenue en tension directe de ces composants est assurée par la jonction

polarisée en inverse N/P. La tension de claquage dépend en particulier du dopage et de la profondeur de la région N. Dans le cas de la filière technologique du LAAS, cette région correspond au substrat silicium utilisé pour la réalisation des composants, soit des plaquettes de 300 μm de profondeur avec un dopage constant en phosphore de 10^{14} cm^{-3} . La tension de claquage d'une jonction plane dopée à 10^{14} cm^{-3} évaluée par une approche analytique est comprise entre 1360 et 1800 V [43]. Cette estimation permet d'écarter le problème de la tenue en tension. En conclusion, le dimensionnement physique des composants consistera donc à ajuster l'injection de l'anode du thyristor-MOS et les profils de dopage des régions P et des canaux préformés de l'ensemble des composants.

Afin d'organiser au mieux les simulations, une méthodologie est mise en œuvre. Elle est appliquée séparément pour chaque composant (fig.4).

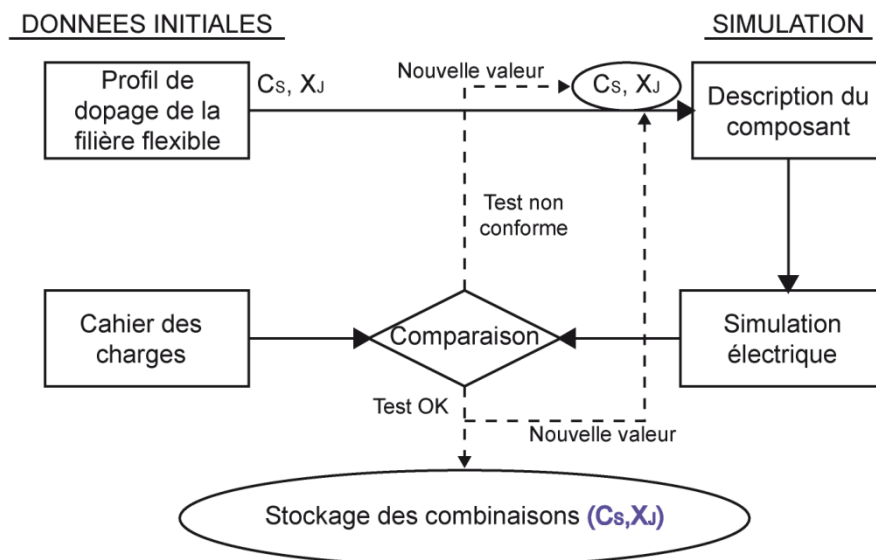


Figure 2. 4 : Méthodologie utilisée pour la simulation de chaque composant du circuit.

Pour la première simulation, la structure du composant est définie avec les profils de dopage (une combinaison (C_S, X_J)) de la filière technologique. Si les caractéristiques électriques obtenues à l'aide de la simulation ne concordent pas avec le cahier des charges, une nouvelle combinaison (C_S, X_J) du caisson P est testée. Dans le cas contraire, les valeurs de C_S et X_J sont stockées, et une nouvelle combinaison est testée. On obtient ainsi pour chaque composant une « bibliothèque » de valeurs (C_S, X_J) . Pour les composants à canaux préformés, la même démarche est appliquée pour les profils des canaux. Mais il faut être conscient qu'il sera impossible de remonter aux paramètres technologiques correspondant réellement au profil de dopage de ces régions, car la simulation process ne permet pas de modéliser convenablement l'étape d'implantation à travers le polysilicium. Pour ces régions,

les résultats obtenus seront purement qualitatifs. Mais ils permettront de tester le fonctionnement complet du dispositif avec les niveaux de courant et de tension souhaités.

Pour rappel, les caractéristiques physiques des différentes couches semi-conductrices obtenues à partir du procédé technologique de la filière flexible sont résumées dans le tableau 2.

Caisson	Profil	Concentration en surface (cm ⁻³)	Profondeur jonction (μm)
N ⁺	Gaussien	10 ²⁰	1
N ⁻	Constant	10 ¹⁴	-
P	Gaussien	6.10 ¹⁷	5
P ⁺	Gaussien	3.10 ¹⁹	7

Tableau 2. 2 : Paramètres physiques des couches semi-conductrices obtenus à partir du procédé technologique de la filière flexible.

Tous les composants réalisés sont de type multicellulaire : des cellules élémentaires identiques sont associées en parallèle pour que le calibre en courant soit respecté (chaque cellule fait transiter un faible pourcentage du courant total). Ce type de réalisation implique qu'une seule cellule de 1 μm de longueur suffit pour définir la structure à partir de la simulation physique 2D. Le niveau de courant désiré est obtenu par l'ajout d'un facteur multiplicatif affectant la longueur de la cellule lors de la simulation électrique. La profondeur des cellules simulée est de 300 μm. Cette dimension correspond à l'épaisseur des plaquettes utilisées lors de la réalisation technologique.

Le thyristor-MOS

Le thyristor-MOS est l'interrupteur de puissance du dispositif. Il doit assurer une tenue en tension de 600 V, transiter un courant de 2 A et présenter une chute de tension à l'état passant très faible (de l'ordre de 1 V, ce qui autorise une tension V_{DSATM2} de 1V pour satisfaire la condition $V_{ON} < 2V$). Sa structure se compose d'un enchaînement vertical de quatre couches P⁺/N/P/N⁺ et d'une grille MOS en surface (figure 5).

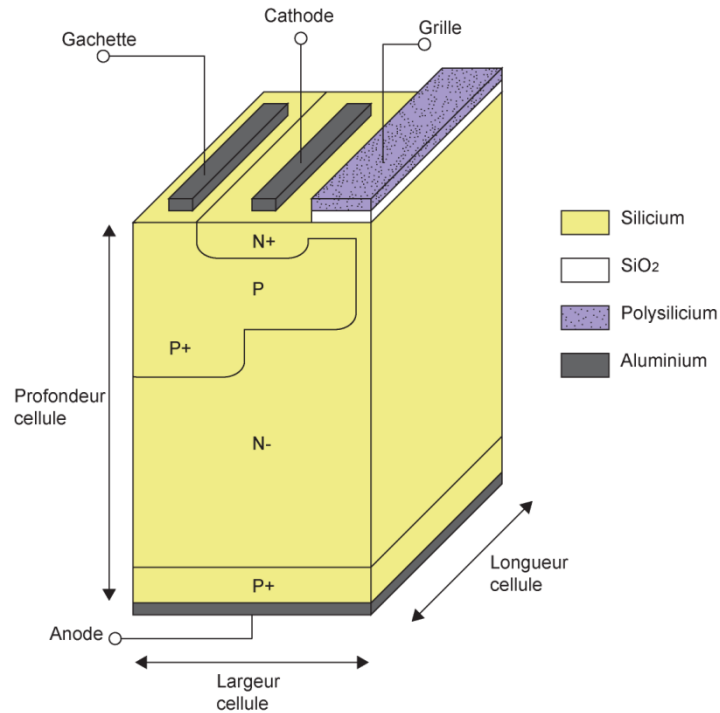


Figure 2. 5 : Structure d'une cellule thyristor-MOS

a. Dimensions

La surface du dispositif est définie à partir de la densité de courant admissible. Dans le cas d'un composant de puissance, comme le thyristor-MOS, la densité classique est de 100 A/cm^2 . La valeur nominale du courant circulant à travers le composant est de 2 A. Le thyristor doit être capable de transiter un courant légèrement supérieur au courant nominal. Nous choisissons une valeur de courant de 2,3 A, soit 15 % de plus que la valeur nominale. La surface occupée par le composant est donc : $2,3 / 100 = 0,023 \text{ cm}^2$.

Les simulations sont effectuées à partir d'une structure de $35 \text{ }\mu\text{m}$ de large. Pour obtenir la même surface, la longueur de la cellule (appelée area factor ou facteur multiplicatif) est donc de $66667 \text{ }\mu\text{m}$. Il faut remarquer que la longueur de la cellule correspond à la longueur totale de la grille de la section MOS.

b. Profils de dopage

La caractéristique statique visée pour l'état passant du thyristor-MOS est un courant de 2 A pour une chute de tension inférieure à 2 V (1 V dans le meilleur des cas). Elle dépend de la résistivité de la région de base N^- et du niveau d'injection de l'anode, c'est-à-dire de son profil de dopage. Les paramètres de la région N^- ne sont pas modifiables car ils correspondent aux caractéristiques du substrat de silicium et ils fixent la tenue en tension du dispositif. Seul le profil de dopage de la région P^+ d'anode peut être ajusté. Une première simulation avec les profils de dopage de la filière flexible est effectuée. La caractéristique statique du thyristor-

MOS présente un courant de 2 A pour une tension de 1 V. Ce résultat correspond à nos attentes, et le profil de dopage de la région P⁺ de la filière flexible est conservé.

L'amorçage du thyristor-MOS dépend des caractéristiques électriques de sa section MOS, qui doit présenter :

- Un courant de saturation élevé (pour une tension grille-source nulle) pour amorcer le thyristor à un niveau de tension proche de zéro. Cependant, sa valeur ne doit pas dépasser l'ordre du mA pour minimiser le courant de fuite du dispositif auquel il contribue.
- Sa tension de saturation doit être très faible pour alimenter rapidement la base de la section PNP avec un niveau de courant maximum.

Pour obtenir les caractéristiques électriques de la section MOS M1, l'anode de type P⁺ en face arrière est remplacée par une région N⁺ correspondant à l'électrode de drain. La source de M1 correspond à la région N⁺ en face avant et le substrat à la région P. Les simulations effectuées donnent les caractéristiques $I_D(V_{DS})$ pour une tension V_{GS} nulle. Les valeurs correspondant à celles visées sont reportées dans le tableau 3 ainsi que les profils de dopage de la région P et du canal. Examinons les résultats obtenus.

Profil région P (C_S [cm^{-3}]) $X_J = 4,8 \mu\text{m}$	2^{e+17}		3^{e+17}		4^{e+17}		5^{e+17}		6^{e+17}	
Profil canal (C_S [cm^{-3}]) $X_{J\text{MAX}}=0,15 \mu\text{m}$	$1,5^{e+17}$	2^{e+17}	$2,5^{e+17}$	3^{e+17}	3^{e+17}	$3,5^{e+17}$	$3,5^{e+17}$	4^{e+17}	$4,5^{e+17}$	5^{e+17}
V_{DSAT} [V]	0,1	0,3	0,1	1	0,1	0,3	0,1	0,2	0,2	0,6
I_{DSAT} [A]	2^{-6}	$1,5^{-5}$	4^{-5}	1^{-2}	6^{-6}	8^{-4}	2^{-6}	2^{-4}	7^{-5}	5^{-3}

Tableau 2. 3 : Caractéristiques électriques du NMOSFET M1 en fonction du profil de dopage de sa région P de substrat et de son canal à $V_{GS}=0$ V.

Le canal de M1 est réalisé par implantation ionique à travers le polysilicium de grille. Il se crée en surface, dans la zone de diffusion latérale de la région P. Pour que le canal puisse se

former, sa concentration en surface doit être plus importante que celle de la région P au niveau de la grille. Les résultats de simulation montrent effectivement que plus le C_S de la région P est élevé, et plus le C_S du canal est important (tableau 3).

Le choix du profil de dopage de la région P dépend des limitations technologiques. En effet, l'implantation du canal à travers le polysilicium nécessite une dose et une énergie d'implantation plus élevées que pour une implantation classique dans le silicium. Par exemple, pour obtenir un canal avec un C_S de 1^{e+18} cm^{-3} et un X_J de $0,1 \text{ }\mu\text{m}$ pour une épaisseur de polysilicium de 240 nm , il faut une énergie d'implantation de 170 keV et une dose de 3^{e+14} cm^{-2} [42]. La quantité de dopant sous la grille, c'est-à-dire la concentration en surface du canal, est donc limitée. La concentration en surface de la région P ne doit pas excéder 6^{e+17} cm^{-3} car cela nécessiterait des concentrations en surface du canal trop importantes pour être réellement obtenues.

En outre, une concentration en surface de la région P inférieure à 2^{e+17} cm^{-3} n'est pas souhaitable car le C_S du canal serait très faible. L'implantation à travers le polysilicium est une étape délicate, et l'épaisseur de polysilicium peut être légèrement différente de celle prévue. Dans le cas de faibles doses implantées (c'est-à-dire de faibles concentrations en surface pour le canal), il existe un risque de masquage qui, dans le pire des cas, peut empêcher la formation du canal. Par exemple, une épaisseur plus importante de polysilicium peut réduire la dose réellement présente dans le silicium et le canal ne sera pas formé.

Enfin, il est à noter que la profondeur de jonction de la région P est restée fixée à $4,8 \text{ }\mu\text{m}$. Cette valeur n'a pas été modifiée à cause du bilan thermique complet du procédé technologique. Les profondeurs de jonction sont définies principalement par les étapes thermiques. La modification de l'une de ces étapes entraînerait des changements sur l'ensemble des profils de dopage des régions implantées.

Vérifions le fonctionnement du thyristor-MOS avec les dimensions et les profils du tableau 3 (figure 6).

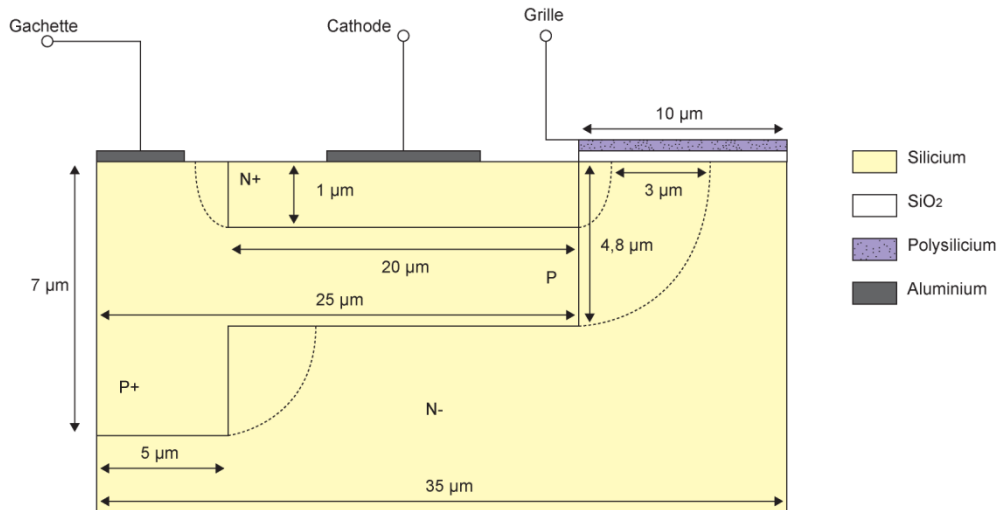


Figure 2. 6 : Dimensions du thyristor-MOS

Sur la figure 7 est reportée la caractéristique électrique $I_A(V_{AK})$ du composant avec une région P de concentration en surface 4^{e+17} cm^{-3} et $3,5^{e+17} \text{ cm}^{-3}$ pour le canal préformé. Le thyristor-MOS présente une chute de tension de 1 V pour un courant de 2 A. La caractéristique ne présente pas de retournement à l'amorçage comme pour un thyristor classique. Il s'agit d'un amorçage spontané de type diode obtenu grâce à la section MOS, dès que la tension V_{AK} atteint 0,8 V (tension nécessaire pour polariser en direct la jonction anode P^+ / base N^-), et grâce au fait que la cathode et la région P ne sont pas court-circuitées (R_{GK} très grande).

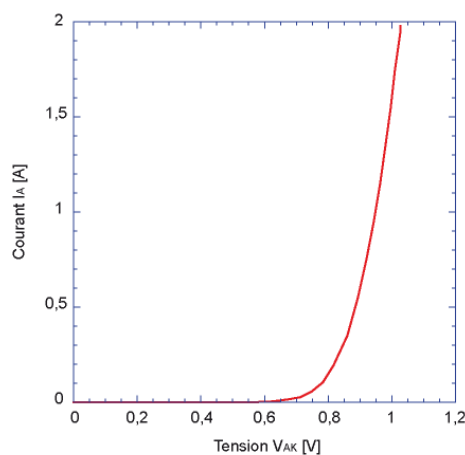


Figure 2. 7 : Caractéristique $I_A(V_{AK})$ du thyristor-MOS.

Les lignes de courant dans la structure montrent la conduction de la section MOS avant l'amorçage du thyristor, et la conduction en mode thyristor après l'amorçage (figure 8).

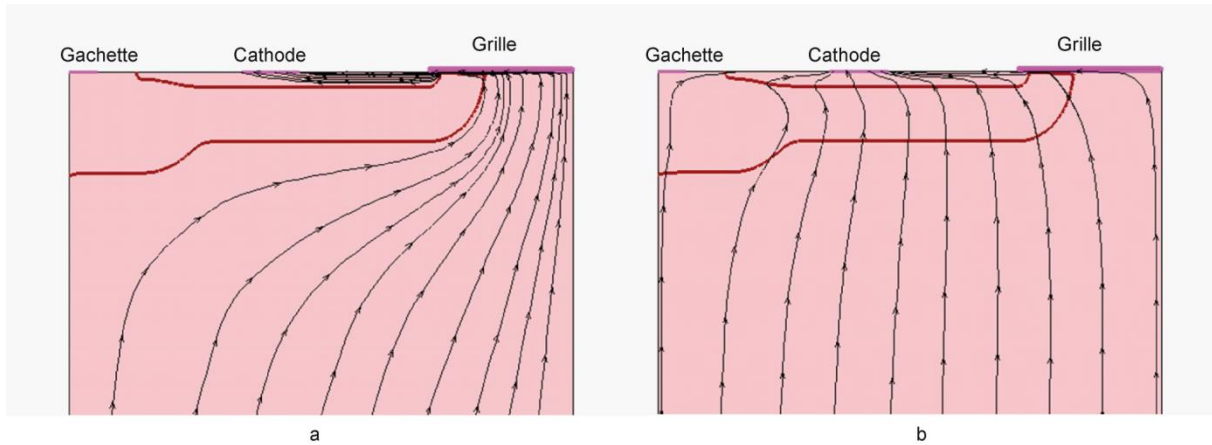


Figure 2.8 : Lignes de courant dans la structure avant l'amorçage(a) et après l'amorçage(b)

Le limiteur de courant M2

Le limiteur M2 est un NMOSFET à canal préformé qui doit fournir un courant de saturation de 2 A pour une tension de saturation de 1 V à $V_{GS} = 0V$. C'est un composant basse tension avec une structure latérale classique (figure 9).

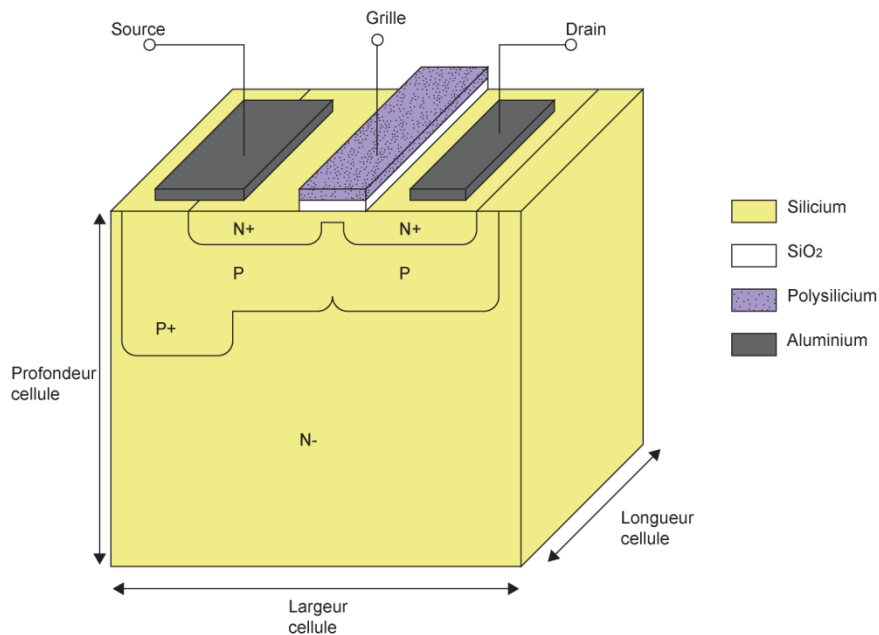


Figure 2.9 : Structure d'une cellule NMOSFET M2

a. Profils de dopage

Les simulations, effectuées sur une cellule de 1 μm de longueur, conduisent à la caractéristique $I_D(V_{DS})$ à V_{GS} nulle. Dans le tableau 4 sont reportés les profils de dopage qui correspondent à des tensions V_{DSAT} inférieures à 1 V.

Cs ([cm⁻³]) région P X_J=4,8 μm	2^{e+17}		3^{e+17}	4^{e+17}	6^{e+17}	
Profil canal Cs[cm⁻³] ;X_J[μm]	$3,5^{e+17};0,1$	$1,5^{e+17};0,3$	$3^{e+17};0,15$	$5^{e+17};0,1$	$5^{e+17};0,15$	$6,5^{e+17};0,1$
V_{DSAT} [V]	1	1	0,7	1	1	1
I_{DSAT} [μA]	13	14	14	12	14	13

Tableau 2. 4 : Caractéristiques électriques du NMOSFET M2 en fonction du profil de dopage de sa région P de substrat et de son canal à $V_{GS}=0$ V.

Les profils de dopage de M2 sont soumis aux mêmes limites technologiques que le thyristor-MOS à cause de la réalisation de son canal dans une zone de double diffusion latérale de la région P. La concentration en surface du substrat P est donc comprise entre 2^{e+17} cm⁻³ et 6^{e+17} cm⁻³.

Les dopages du canal présentés dans le tableau répondent à trois critères :

- Le canal est complètement formé,
- La tension de saturation V_{DSAT} est inférieure à 1 V,
- Le phénomène d'avalanche n'apparaît que pour des tensions V_{DS} supérieures à 5V.

Le dernier point limite la valeur du courant de saturation que peut fournir M2 car sa structure latérale n'est pas adaptée pour des tensions importantes.

b. Dimensions

Dans le tableau 5 sont reportées, pour les profils de dopage du tableau 4, les longueurs de cellule, c'est-à-dire la longueur de grille de M2, nécessaires pour obtenir un courant de saturation de 2 A à V_{GS} nulle.

Région P (C_s [cm^{-3}]) $X_J=4,8 \mu\text{m}$	2^{e+17}	3^{e+17}	4^{e+17}	6^{e+17}		
Profil canal $C_s[\text{cm}^{-3}]$ $;X_J[\mu\text{m}]$	$3,5^{e+17};0,1$	$1,5^{e+17};0,3$	$3^{e+17};0,15$	$5^{e+17};0,1$	$5^{e+17};0,15$	$6,5^{e+17};0,1$
Longueur de grille [μm]	153846	142857	142857	166667	142857	153846

Tableau 2. 5 : Longueur de grille de M2 pour différents profils de dopage du substrat P et du canal.

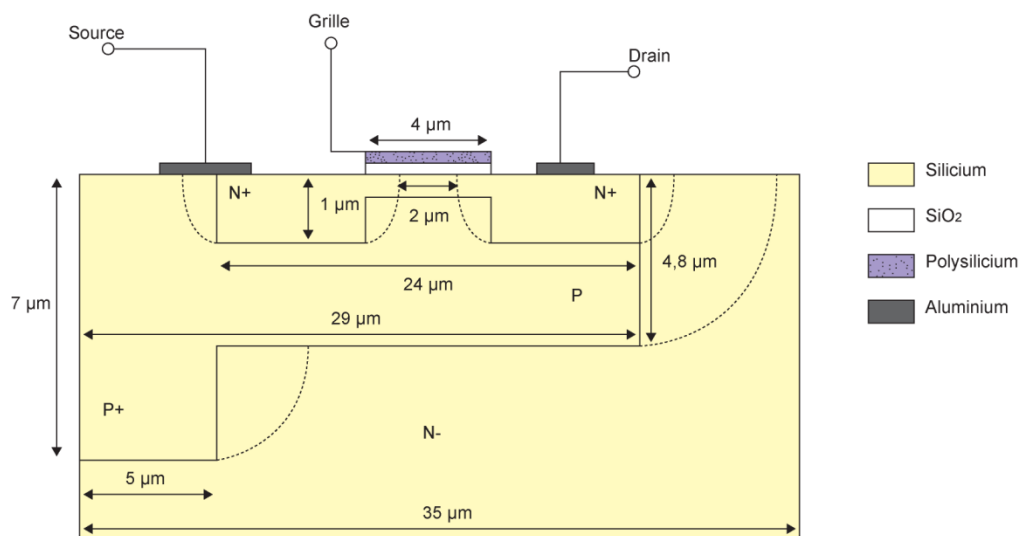


Figure 2. 10 : Dimensions du limiteur M2

Le NMOSFET de blocage M3

Le NMOSFET de blocage M3 est un composant basse tension de structure latérale (figure 11). Ses caractéristiques électriques doivent être : une tension de seuil de 3 V et un courant de saturation suffisamment élevé pour permettre d'ouvrir le thyristor pour une tension V_{GS} comprise entre 3 et 5 V.

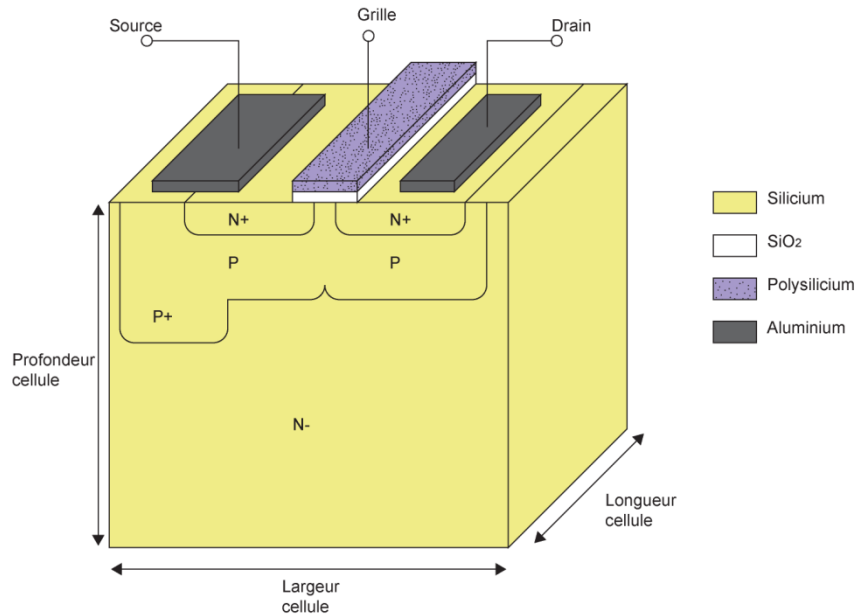


Figure 2.11 : Structure d'une cellule NMOSFET M3

a. Profil de dopage

Le canal de M3 se crée dans la zone de double diffusion latérale des régions P de substrat. La valeur de la tension de seuil dépend du profil de dopage de cette région. Pour déterminer la combinaison (C_S , X_J) de la région P qui permet d'obtenir une tension de seuil de 3 V, une cellule de 1 μm de longueur est simulée. Les résultats reportés dans le tableau 4 sont issus des caractéristiques $I_D(V_{GS})$ pour $V_{DS} = 1$ V.

Profil région P (C_S [cm^{-3}], X_J [μm])	(2^{e+17} , 4,8)	(3^{e+17} , 4,8)	(4^{e+17} , 4,8)	(5^{e+17} , 4,8)	(6^{e+17} , 4,8)
V_{SEUIL} [V]	1,7	2,3	2,7	3,2	3,6

Tableau 2. 6 : Tension de seuil en fonction du dopage de la région P de substrat.

Deux profils donnent des valeurs de tension de seuil se rapprochant de la valeur fixée, (4^{e+17} cm^{-3} ; 4,8 μm) et (5^{e+17} cm^{-3} ; 4,8 μm).

b. Dimensions

La valeur du courant de saturation est définie par le nombre total de cellules, c'est-à-dire par la longueur de grille.

Pour déterminer la valeur du courant de saturation de M3 nécessaire pour bloquer le dispositif, des simulations sont effectuées sur les structures thyristor-MOS dimensionnées précédemment. Elles sont insérées dans un circuit qui reproduit le principe de blocage du NMOS M3, en injectant un courant négatif sur la gâchette du thyristor. Le circuit de test est

constitué d'un générateur de tension en série avec une résistance, connectés à l'anode du thyristor (figure 12). Un générateur de courant négatif est relié à la gâchette (région P).

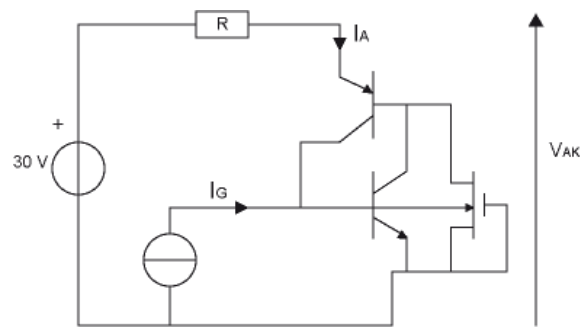


Figure 2. 12 : Circuit de test du blocage du thyristor-MOS

La figure 13 montre les résultats obtenus pour un thyristor de concentration en surface 4^{e+17} cm^{-3} pour la région P et $3,5^{e+17} \text{ cm}^{-3}$ pour le canal.

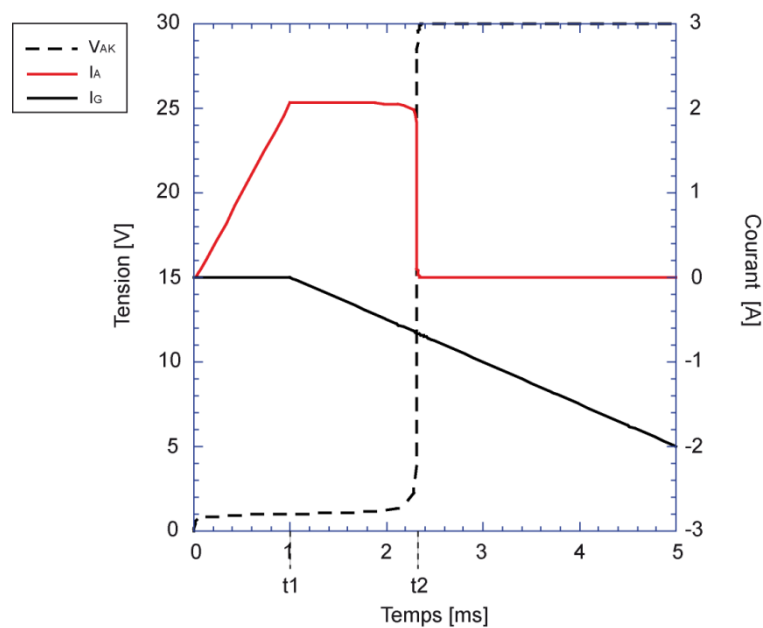


Figure 2. 13 : Tension et courants obtenus pour la simulation du blocage du thyristor

De 0 à t_1 , la tension V_{AK} augmente et le thyristor s'amorce immédiatement autorisant le passage du courant. A t_1 , le générateur de tension maintient une tension constante de 30 V (valeur arbitraire). Le thyristor présente une tension de 1 V à ses bornes et un courant de 2 A. A t_1 , le générateur de courant fournit une rampe de courant négative correspondant au courant extrait de la gâchette du thyristor. A t_2 , le courant de gâchette atteint 0,65 A. A cet instant, le courant d'anode s'annule et la tension aux bornes du thyristor augmente. Il faut donc un courant de 0,65 A, soit 31 % du courant d'anode pour bloquer le thyristor-MOS.

La valeur du courant de blocage dépend de la résistivité de la gâchette P et de la valeur du courant d'électrons injecté par la section MOS du thyristor. En effet, plus ces deux paramètres sont élevés et plus l'amorçage est sensible. Par conséquent, il faut dévier un courant plus important pour bloquer le dispositif. Les valeurs des courants nécessaires au blocage du dispositif en fonction des profils de dopage de la région P (résistivité gâchette) et du canal (niveau du courant d'électron injecté par la section MOS) du thyristor sont données dans le tableau 7. Les longueurs de grille correspondantes à ces niveaux de courant sont aussi répertoriées dans ce même tableau. Seul le NMOSFET de blocage de concentration en surface de la région P de 4^{e+17} cm^{-3} est conservé. Pour une concentration en surface de la région P de 5^{e+17} cm^{-3} , la longueur de grille nécessaire serait trop importante (son courant de saturation pour une cellule de $1 \mu\text{m}$ est de $1,5^{e-6} \text{ A}$ alors que pour la concentration de $C_S=4^{e+17} \text{ cm}^{-3}$ I_{DSAT} vaut 4^{e-6} A pour des tensions $V_{\text{GS}}=4 \text{ V}$).

Profil région P thyristor ($C_S [\text{cm}^{-3}]$) $X_j = 4,8 \mu\text{m}$	2^{e+17}		3^{e+17}		4^{e+17}		5^{e+17}		6^{e+17}	
Profil canal M1 ($C_S [\text{cm}^{-3}]$) $X_{\text{JMAX}}=0,15 \mu\text{m}$	$1,5^{e+17}$	2^{e+17}	$2,5^{e+17}$	3^{e+17}	3^{e+17}	$3,5^{e+17}$	$3,5^{e+17}$	4^{e+17}	$4,5^{e+17}$	5^{e+17}
$I_{\text{DSAT M3}}$ [mA]	660	663	653	658	646	650	640	643	630	638
Longueur de grille [mm] $= I_{\text{DSAT}} / 4^{e-6}$	165	165,7	163,2	164,5	161,5	162,5	160	160,7	157,5	159,5

Tableau 2. 7 : Valeurs du courant de saturation nécessaire de M3 pour bloquer le dispositif en fonction des profils de dopage du thyristor-MOS.

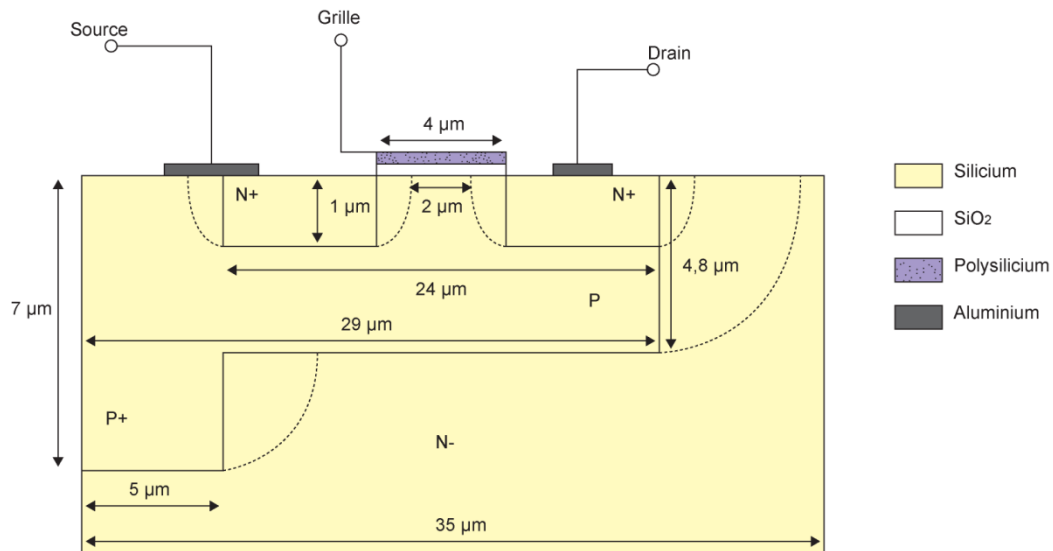


Figure 2. 14 : Dimensions du NMOSFET de blocage M3

La diode Zéner ZD

La diode Zéner protège la grille du transistor M3 lorsque le dispositif est à l'état bloqué, en maintenant une tension de l'ordre de 10-15 V à ses bornes. Sa structure est constituée d'une région N^+ implantée dans une région P (figure 16).

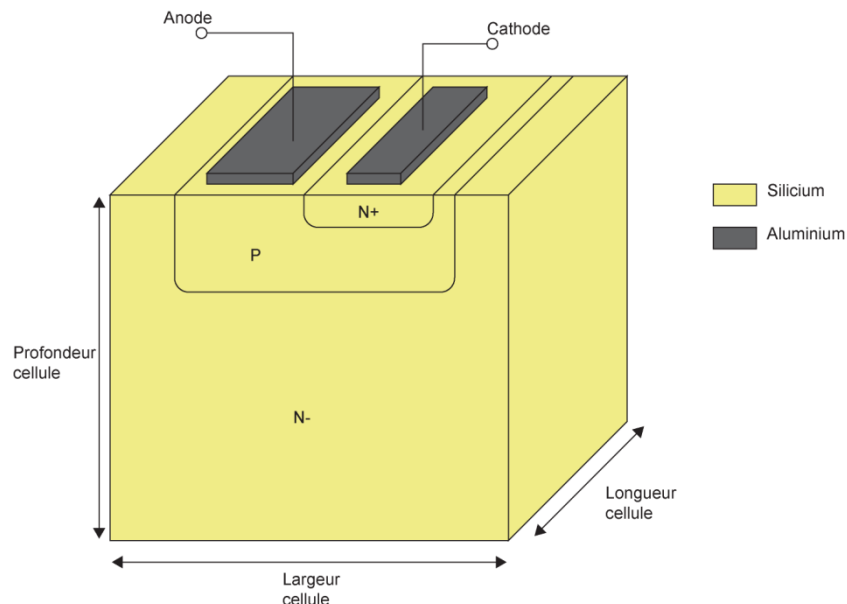


Figure 2. 15 : Structure d'une cellule diode Zéner

Le principe de fonctionnement de ce type de structure est basé sur l'effet d'avalanche. Sous polarisation inverse, une zone de charge d'espace se développe au niveau de la jonction P/N^+ . Dès que le champ électrique dans cette zone atteint une certaine intensité (environ 10^5 V/cm), les porteurs libres accélérés par le champ acquièrent suffisamment d'énergie pour créer par

collision avec le réseau cristallin de nouvelles paires électrons-trous [49-50]. Les porteurs ainsi générés provoquent à leur tour la création d'autres paires. Ce phénomène est possible si la largeur de la zone de charge d'espace est plus grande qu'un libre parcours moyen d'un porteur. La tension Zéner V_Z présente aux bornes du composant lors de l'effet d'avalanche, dépend de la largeur de la zone de charge d'espace et du dopage des deux régions. Dans notre cas, la jonction est fortement dissymétrique, V_Z dépend donc essentiellement de la région la plus faiblement dopée soit la région P.

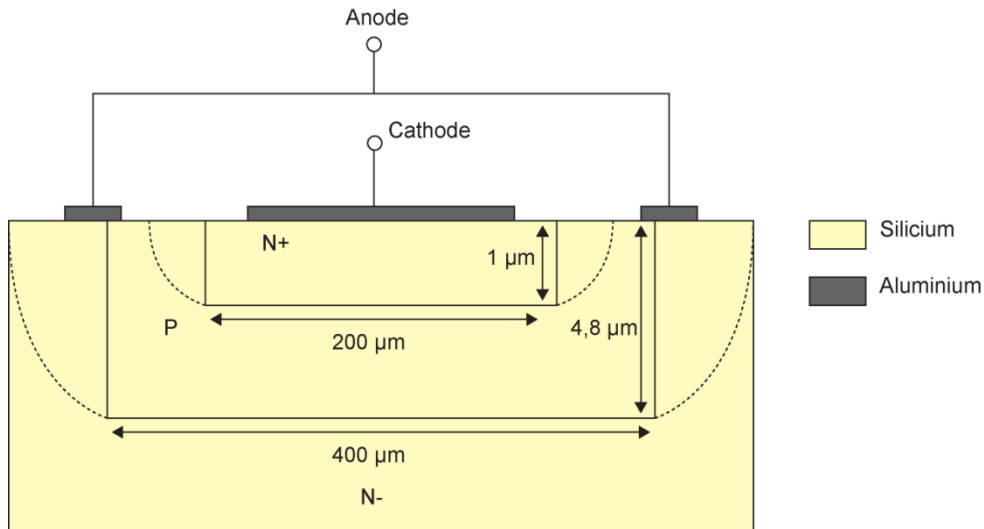


Figure 2. 16 : Dimensions de la diode Zéner

Une diode avec une largeur de cathode de 200 µm (figure 17) est testée pour différents dopages de la région P. La structure utilisée pour la simulation est très proche de celle réalisée technologiquement. Nous réaliserons aussi des diodes Zéner de 100 µm et 300 µm de longueur de cathode. Les valeurs de V_Z obtenues à partir des caractéristiques $I_K(V_{KA})$ sont reportées dans le tableau 8.

Profil région P (C_s [cm^{-3}], X_j [μm])	(2^{e+17} , 4,8)	(3^{e+17} , 4,8)	(4^{e+17} , 4,8)	(5^{e+17} , 4,8)	(6^{e+17} , 4,8)
V_Z [V]	12,5	11,5	11	10,5	10

Tableau 2. 8 : Tension Zéner pour différents dopages de la région P

Les résultats sont cohérents : plus le dopage diminue, plus la valeur de la tension Zéner augmente car la zone de charge d'espace s'étend plus facilement. Cependant, la longueur de la cathode peut aussi modifier la tension Zéner. Le courant inverse de la Zéner est issu de l'électrode de cathode. Il traverse la jonction P/N⁺, puis circule dans la région P le long de la

cathode pour rejoindre le contact d'anode. Si la longueur de cathode est augmentée, la résistance que voit le courant inverse est plus importante. Le courant va traverser la jonction P/N⁺ sur les cotés de la région N⁺ de cathode. Le courant dans cette zone va augmenter, et l'effet d'avalanche apparaîtra plus vite, diminuant ainsi la valeur de la tension V_Z . Par exemple, pour une longueur de cathode de 300 μm , la tension V_Z est de 10 V au lieu de 11 V pour une cathode de 200 μm de long, pour les mêmes dopages.

Le générateur de courant M4

Lorsque le limiteur M2 entre en saturation, la tension V_{AK} augmente et le générateur de courant charge la grille du transistor M3 de blocage pour le mettre en conduction. Pour une tension V_{GS} de M4 nulle, son courant de saturation doit être suffisamment élevé pour charger la capacité d'entrée de M3 mais aussi pour polariser la diode Zéner dans sa zone de régulation. Il doit rapidement saturer pour assurer son rôle de générateur de courant.

M4 est un NMOSFET vertical qui supporte la pleine tension lors de l'état bloqué du dispositif. Sa structure, proche de celle du thyristor-MOS, est constituée d'un enchainement N⁺/N⁻/P/N⁺ et d'un canal préformé vertical (figure 18).

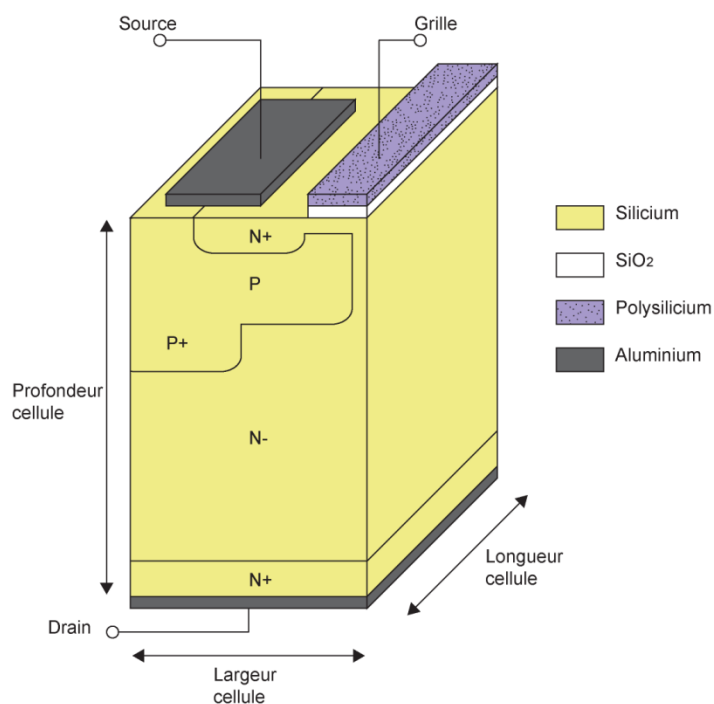


Figure 2. 17 : Structure d'une cellule générateur de courant M4

a. Profils de dopage

Pour cette étape, les simulations, effectuées sur une cellule de 1 μm de profondeur, conduisent à la caractéristique $I_D(V_{DS})$ à V_{GS} nulle. Rappelons que la source de M4 correspond à la région N^+ en surface, le substrat à la région P et le drain à la région N^+ en face arrière.

Les profils de dopage de M4 sont soumis aux mêmes limites technologiques que le thyristor-MOS car la réalisation de leur canal est identique: implantation du canal à travers le polysilicium de grille dans la zone de diffusion latérale de la région P. La concentration en surface du substrat P est donc comprise entre 2^{e+17} cm^{-3} et 6^{e+17} cm^{-3} .

De même pour les concentrations en surface du canal préformé : la limite inférieure correspond à la valeur minimum pour laquelle le canal est formé, la limite supérieure correspond à la valeur maximum pour laquelle la tension V_{DSAT} est inférieure à 1 V.

Dans le tableau 9 sont reportés les profils de dopage qui correspondent à des tensions V_{DSAT} inférieures à 1 V.

Profil région P (C_s [cm^{-3}]; X_j [μm])	$(2^{e+17}, 4,8)$		$(3^{e+17}, 4,8)$		$(4^{e+17}, 4,8)$		$(5^{e+17}, 4,8)$		$(6^{e+17}, 4,8)$	
C_s canal [cm^{-3}] $X_{JMAX}=0,15$ μm	$1,5^{e+17}$	2^{e+17}	$2,5^{e+17}$	3^{e+17}	3^{e+17}	$3,5^{e+17}$	$3,5^{e+17}$	4^{e+17}	$4,5^{e+17}$	5^{e+17}
V_{DSAT} [V]	0,1	0,3	0,1	1	0,1	0,3	0,1	0,2	0,2	0,6
I_{DSAT} [A]	3^{e-11}	$2,3^{e-8}$	6^{e-10}	$1,6^{e-7}$	9^{e-11}	$1,3^{e-8}$	3^{e-11}	3^{e-9}	1^{e-9}	7^{e-8}

Tableau 2. 9 : Caractéristiques électriques du NMOSFET M4 en fonction du profil de dopage de sa région P de substrat et de son canal à $V_{GS}=0$ V.

Dans ce tableau figurent aussi les valeurs du courant de saturation. Elles sont utilisées dans le paragraphe qui suit pour déterminer la longueur de grille de M4.

b. Dimensions

La valeur du courant de saturation est définie par le nombre total de cellules, c'est-à-dire par la longueur de grille. Rappelons que M4 doit charger rapidement la grille de M3 et polariser ZD dans sa zone de régulation. La condition relative à la diode Zéner signifie que le courant de saturation de M4 doit être supérieur au courant de saturation inverse de ZD pour la polariser dans sa région de « coude », soit :

$$I_{Z\ MIN} < I_{DSATM4} \quad [2.9]$$

Le dimensionnement de la diode Zéner réalisé précédemment donne un courant inverse I_{ZMIN} de l'ordre de 1^{e-9} A.

Pour compléter le dimensionnement de M4, il faut vérifier par simulation que son courant de saturation est suffisant pour charger rapidement la capacité de grille de M3. Pour faciliter cette étape, des simulations de type « gate charge » sont effectuées sur le transistor M3 afin d'évaluer sa capacité d'entrée. C'est une méthode simple permettant de définir la charge nécessaire à fournir en entrée du composant pour le rendre conducteur [51]. Le principe consiste à injecter un courant constant sur la grille du composant pour que celle-ci se charge jusqu'à atteindre une tension de référence. Pour cette simulation, un générateur de tension de 2V en série avec une résistance de 10 Ω sont connectés sur le drain du NMOSFET. Le générateur de courant connecté à la grille impose un courant constant de 1^{e-5} A (figure 19).

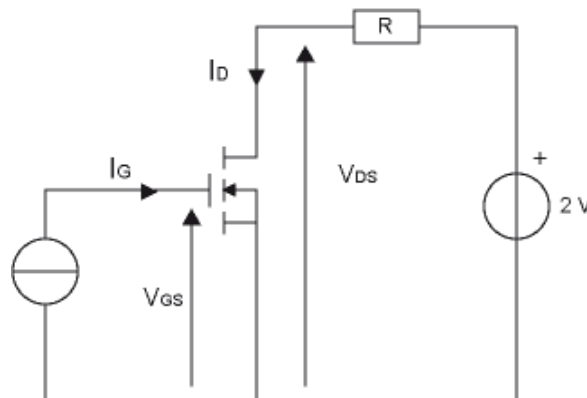


Figure 2. 18 : Circuit de simulation « gate charge ».

Sur la figure 20 sont reportées les courbes de $V_{DS}(t)$, $V_{GS}(t)$ et $I_D(t)$ obtenues pour un NMOSFET M3 de concentration en surface 4^{e+17} cm⁻³ pour la région P.

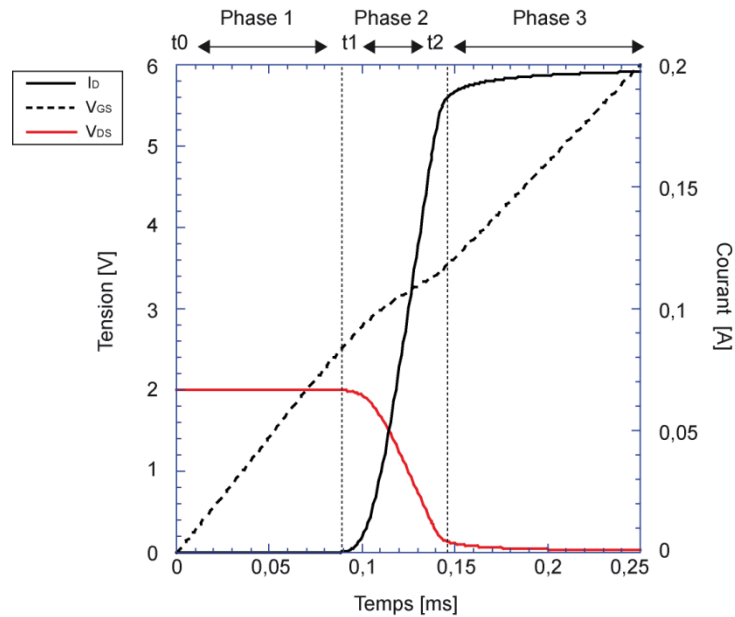


Figure 2. 19 : Courbes de tension et de courant issues de la simulation « gate charge ».

Elles se divisent en trois phases. Seule la première, de t_0 à t_1 , est nécessaire car elle correspond au temps de charge de la capacité d'entrée pour que la tension grille source dépasse le seuil de conduction. Le choix d'un courant de grille constant permet de remonter facilement à la valeur de la capacité vue de l'entrée par l'expression suivante :

$$C = \frac{I * \Delta t}{\Delta V_{GS}} \quad [2.10]$$

ΔV_{GS} correspond à la tension de seuil de M3, soit 2,5 V, Δt correspond à $(t_1 - t_0)$ et I le courant de grille soit 1e^{-5} A. La capacité d'entrée de M3 a donc pour valeur 0,36 nF.

Pour charger rapidement cette capacité, il faut fournir un courant de grille élevé. Un temps de charge de l'ordre de la centaine de nanosecondes est une durée raisonnable pour la mise en conduction de M3. Par exemple, le courant nécessaire pour fermer M3 en 220 nanosecondes est de 3,5 mA. Dans le tableau 10 sont reportées les longueurs de cellule nécessaires pour obtenir un courant de saturation de 3,5 mA.

Profil région P (C_S [cm^{-3}]; X_j [μm])	$(2^{e+17}, 4,8)$	$(3^{e+17}, 4,8)$	$(4^{e+17}, 4,8)$	$(6^{e+17}, 4,8)$
C_S canal [cm^{-3}] $X_{J\text{MAX}}=0,15 \mu\text{m}$	2^{e+17}	3^{e+17}	$3,5^{e+17}$	5^{e+17}
Longueur de grille [μm] = nombre de cellules	152200	21900	270000	50000

Tableau 2. 10 : Longueur de grille de M4 pour différents profils de dopage du substrat P et du canal.

Certains profils de dopage ont été écartés car le nombre de cellules était trop important. Si un courant de saturation plus élevé est choisi, le temps de charge diminuera. Mais pour minimiser le courant de fuite du dispositif auquel M4 contribue, il convient de choisir une valeur de courant de l'ordre du mA. De plus, le courant admissible par la diode Zéner impose une limite supérieure au courant de saturation de M4. Pour une densité de courant classique de 40 A/cm^2 , le courant maximum admissible par la diode Zéner de $100 \mu\text{m}$ de largeur de cathode est de 4 mA. La valeur de 3,5 mA pour le courant de saturation de M4 est un bon compromis entre le temps nécessaire pour la mise en conduction du dispositif, et le courant total admissible par les diodes Zéner proposées.

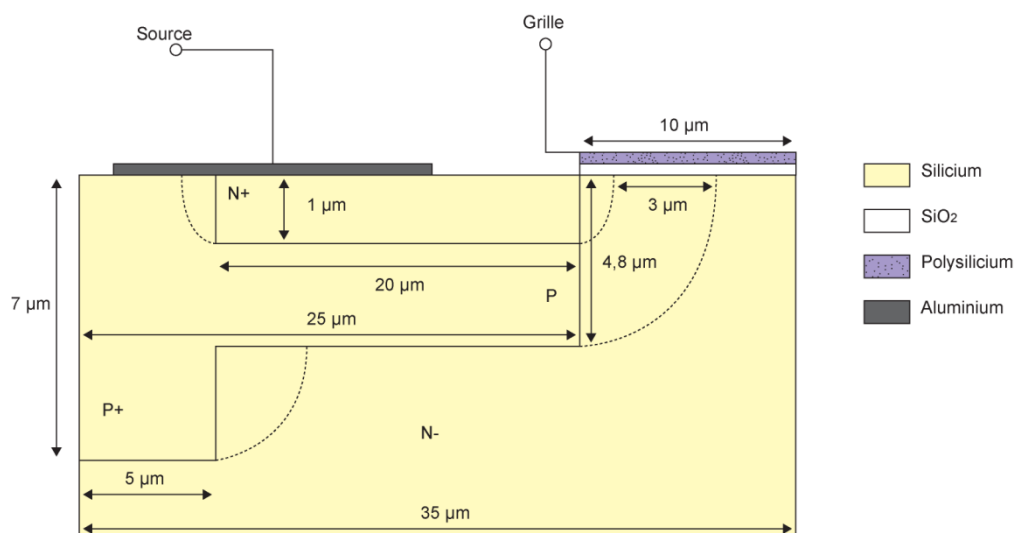


Figure 2. 20 : Dimensions du générateur de courant M4.

Synthèse

Tous les composants dimensionnés présentent une ou plusieurs combinaisons (C_s , X_j) possibles pour leur région P. Pour minimiser le nombre d'étapes technologiques, il convient de retenir une combinaison (C_s , X_j) commune à l'ensemble des composants. D'après les résultats précédents, les caractéristiques retenues pour la région P de tous les composants du circuit sont : une concentration en surface de 4^{e+17} cm^{-3} et une profondeur de jonction de $4,8 \mu\text{m}$. Dans le tableau 11 sont répertoriées les longueurs de cellule des composants au terme de ce dimensionnement.

Composant	Thyristor-MOS	Limiteur M2	MOS de blocage M3	Générateur de courant M4	Diode Zéner
Longueur de cellule [μm]	66667	166667	162500	270000	400

Tableau 2. 11 : Longueur de cellule des composants de l'architecture du circuit étudiée.

Il est à noter que les composants annexes au thyristor-MOS ont des dimensions importantes. Pour le limiteur M2, il est difficile d'obtenir une surface plus faible, car c'est un composant basse tension qui doit faire circuler un courant important. Du fait de sa structure latérale, il faut un nombre de cellules important pour obtenir le niveau de courant désiré. De même pour M3, qui doit dévier un courant important pour bloquer le thyristor. Seules les dimensions de M4 auraient pu être plus faibles, mais nous préférons diminuer le nombre d'étapes technologiques plutôt que de réduire la surface silicium.

2.2. Validation du fonctionnement de l'architecture

Test du fonctionnement du circuit

Les composants sont maintenant associés de façon discrète et insérés dans une cellule de commutation (figure 22). Le circuit de simulation proposé est volontairement simplifié afin de focaliser l'étude sur les caractéristiques essentielles des composants conçus tout en étant parfaitement représentatif des cycles de commutation rencontrés dans une application réelle (amorçage, état passant, blocage, état bloqué, conduction inverse). Ainsi, le circuit est constitué d'une source de tension continue, d'un générateur de courant triangulaire et d'une diode de roue libre qui sont des éléments circuit de type SPICE fournis par le logiciel de simulation. Le générateur de courant doit être impérativement alternatif pour assurer la mise

en conduction de la diode antiparallèle. Pour faciliter l'interprétation des résultats, nous avons choisi une forme de courant triangulaire.

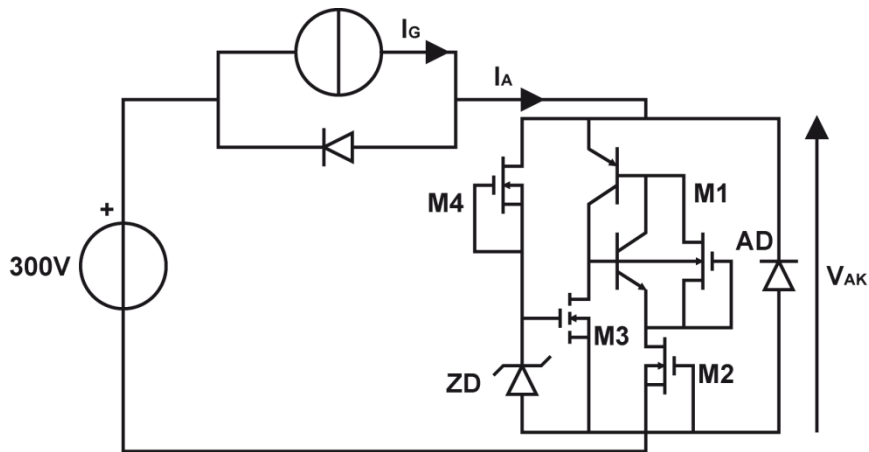


Figure 2. 21 : Circuit test pour la simulation du circuit complet.

A conditions initiales nulles, l'ensemble du circuit est au repos. Dès que le courant I_G fourni par le générateur devient positif, il est dérivé dans la section MOS du thyristor permettant l'amorçage de l'interrupteur. Ce courant circule alors à travers la branche thyristor-limiteur et constitue le courant principal I_A de l'interrupteur (figure 23). Quand le courant principal I_A atteint la valeur du courant de limitation fixé à 2 A, V_{AK} a pour valeur 2 V. Le limiteur M2 entre alors en saturation, et la valeur de son courant de drain est limitée à 2 A. La saturation du NMOSFET M2 conduit à une augmentation rapide de la tension à ses bornes, entraînant l'augmentation de la tension V_{AK} aux bornes du dispositif. Cette tension est appliquée à la grille du transistor MOS M3 qui devient conducteur. Le courant principal I_A se répartit alors de la façon suivante :

- Une partie circule à travers la cathode du thyristor et le limiteur. La valeur de ce courant est imposée par le courant de saturation du limiteur.
- La deuxième partie est déviée au niveau de l'électrode de la région P du thyristor-MOS et circule à travers le transistor NMOS M3 : c'est le courant de drain de M3. Sa valeur correspond à la différence entre la valeur imposée I_A et la valeur du courant de drain du limiteur, soit $I_A - 2$ A.

Le transistor MOS M3 extrait donc une partie du courant principal du thyristor-MOS et réduit ainsi le courant qui alimente la base de la section NPN du thyristor. Lorsque le courant de drain de M3 atteint 1A, la section NPN du thyristor n'est plus suffisamment alimentée pour maintenir une différence de potentiel supérieure à 0,7 V aux bornes de sa jonction base-émetteur, et le dispositif s'ouvre. La tension V_{AK} aux bornes du dispositif augmente et

provoque la mise en conduction de la diode de roue libre, puis le courant principal I_A de l'interrupteur diminue jusqu'à une valeur de 16,5 mA (soit 8/1000 de 2 A) mais ne s'annule pas. En effet, il existera toujours un courant de fuite à l'état bloqué dû à trois composantes :

- Le courant qui circule à travers la section MOS M1 du thyristor et le limiteur, c'est à dire le courant de saturation de M1 (6 mA soit 3/1000 de 2 A)
- Le courant qui circule à travers le NMOSFET à déplétion M4 et la Zéner, c'est-à-dire le courant de saturation de M4 (3,5 mA soit 1,75/1000 de 2 A).
- Le courant qui circule à travers le collecteur de la section PNP et le NMOSFET de blocage M3 (7 mA soit 3,5/1000 de 2 A).

Quand I_G s'annule, la diode de roue libre s'ouvre. Le courant I_G du générateur devient négatif, la diode en antiparallèle AD se met à conduire et la tension V_{AK} aux bornes du dispositif s'effondre à -0,7 V. Cette chute de potentiel, ramenée par le transistor M4 sur la grille du NMOSFET M3, a pour effet de décharger la grille du transistor M3 et ainsi de libérer le blocage du thyristor. Lorsque le courant I_G s'annule la diode en antiparallèle s'ouvre. Puis I_G devient à nouveau positif et, comme l'ordre de blocage a été supprimé, l'interrupteur peut se réamorcer.

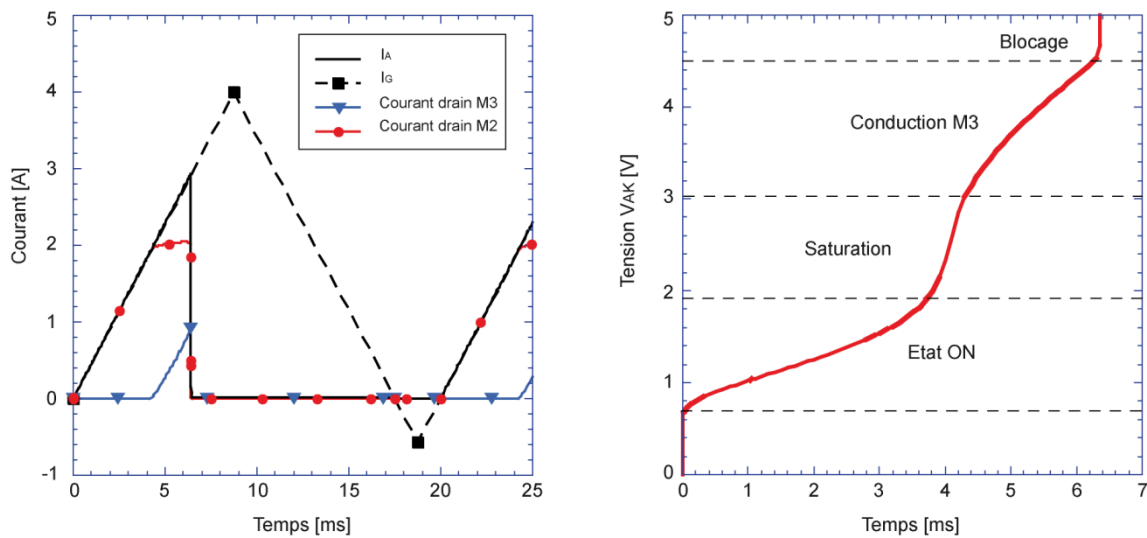


Figure 2. 22 : Cycle de fonctionnement de la topologie 1.

Etude du blocage

Les résultats de simulation valident le fonctionnement de l'architecture du circuit proposée et montrent que les caractéristiques statiques fixées par le cahier des charges sont

respectées : quand V_{AK} atteint 2 V le limiteur de courant sature à 2 A. M3 entre en conduction quand $V_{AK}=3V$ et la tension de blocage du dispositif est de 4,5 V.

Seule la phase dynamique de blocage n'est pas complètement satisfaisante. Quand le limiteur sature, la tension V_{AK} augmente rapidement et entraîne la mise en conduction de M3. Le courant de drain de M3 augmente et lorsque sa valeur atteint 1 A, le dispositif se bloque. Entre la mise en conduction de M3 et le blocage effectif du dispositif, le courant total a lui aussi augmenté car il est lié au courant de drain de M3 par la relation suivante :

$$I_A = I_{DM3} + I_{DSATM2} = I_{DM3} + 2 \quad [2.11]$$

Le courant I_A n'est pas limité et il a pour valeur au moment du blocage 3 A et non 2 A. Le fonctionnement de ce circuit implique que la valeur du courant au moment du blocage est toujours supérieure à la valeur I_{MAX} de limitation. Pour réduire la valeur de I_A au moment du blocage, il faut diminuer la valeur du courant minimum de drain de M3 nécessaire pour bloquer le dispositif. Rappelons son expression :

$$I_{MINDM3} = I_{DSATM2} * \frac{\alpha_{PNP}}{1 - \alpha_{PNP}} - \frac{0,6}{R_{GK}} \quad [2.12]$$

avec R_{GK} la résistance de la région de base de la section NPN du thyristor, α_{PNP} le gain en courant de la section PNP du thyristor, I_{DSATM2} le courant de saturation de M2 et I_{MINDM3} le courant minimum de drain de M3 capable de bloquer le dispositif.

Dans l'analyse présentée au début de ce chapitre, nous avons conclu qu'il n'était pas souhaitable de modifier cette caractéristique électrique car les trois paramètres intervenant dans l'équation sont soit imposés par le cahier des charges (I_{DSATM2}), soit des paramètres importants pour une autre phase de fonctionnement (R_{GK} pour l'amorçage, et α_{PNP} pour la tenue en tension à l'état OFF). Cependant, la modification du gain de la section PNP du thyristor est moins critique que celle de R_{GK} car le dopage et les dimensions de la région N offrent une tenue en tension de 1200 V, soit deux fois plus que le V_{OFF} demandé. Une marge de manœuvre est donc permise sur ce paramètre.

Pour évaluer l'influence du gain sur l'expression de I_{MINDM3} , dérivons l'expression donnée par l'équation 12 par rapport à α_{PNP} :

$$\frac{\partial I_{MINDM3}}{\partial \alpha_{PNP}} = \frac{1}{(1 - \alpha_{PNP})^2} \left[I_{DSATM2} - \frac{0,6}{R_{GK}} \right] \quad [2.13]$$

La dérivée de I_{MINDM3} est toujours positive quelle que soit la valeur de α_{PNP} , ce qui signifie que la valeur de I_{MINDM3} évolue dans le même sens que α_{PNP} . Pour diminuer la valeur du courant de blocage il faut donc diminuer le gain de la section PNP du thyristor.

Le gain α_{PNP} dépend de l'injection de l'anode, soit du dopage de la région P^+ en face arrière, et de la résistivité de la région de base N^- . Des simulations sont effectuées avec un dopage moins important de l'anode ($C_S = 6^{e+17} \text{ cm}^{-3}$) et en augmentant l'épaisseur de la base (400 μm) de la section PNP. Les résultats obtenus (figure 24) montrent une légère diminution de la valeur du courant I_A au moment du blocage. Mais ces modifications s'accompagnent aussi d'une détérioration de l'état passant du dispositif. Comme la réduction n'est pas significative, il est préférable de ne pas modifier le gain α_{PNP} et de conserver un courant de blocage I_A de 3 A.

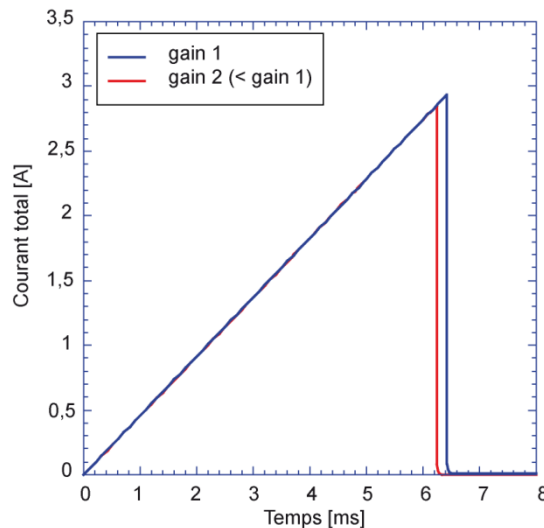


Figure 2. 23 : Influence du gain α_{PNP} sur le blocage du dispositif.

Variante

L'originalité de l'interrupteur proposé repose sur sa complète autonomie d'un point de vue fonctionnel. Il est constitué uniquement de deux électrodes, l'anode et la cathode, et ne présente aucune électrode de commande. Cependant, il est possible d'utiliser une troisième électrode pour modifier le niveau de disjonction.

L'ordre de disjonction du dispositif est initié par l'entrée en saturation du limiteur. Pour décaler l'ordre de disjonction, il faut donc modifier le courant de saturation de M2, c'est-à-dire modifier sa tension V_{GS} . La grille de M2 doit être déconnectée de la cathode du dispositif, pour avoir accès à une troisième électrode permettant de contrôler le niveau de disjonction du dispositif.

Le circuit est testé en appliquant différents potentiels sur la grille de M2. Le courant principal I_A du dispositif est reporté sur la figure 25 pour une tension V_{GS} de -1 V et 1 V.

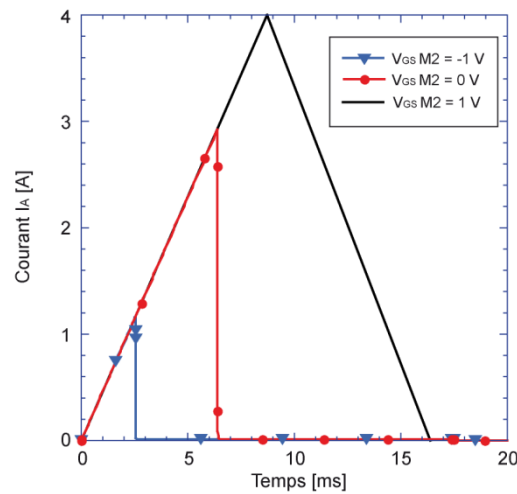


Figure 2. 24 : Courant du thyristor-MOS pour différentes tensions V_{GS} du limiteur.

Pour des tensions V_{GS} négatives, c'est-à-dire pour des niveaux de saturation inférieurs à 2 A, la fonctionnalité est obtenue. Dans le cas de $V_{GS} = -1 V$, le dispositif s'ouvre quand $I_A = 1,3 A$ au lieu de 3 A pour V_{GS} nulle. Cependant, pour des niveaux de saturation supérieurs, il est impossible de bloquer le dispositif. En effet, l'ensemble du circuit a été dimensionné pour un niveau de limitation de 2 A. Pour des niveaux inférieurs, le NMOSFET M3 bloque le dispositif car il est surdimensionné. Au contraire pour des niveaux supérieurs, comme c'est le cas lorsque $V_{GS} = 1 V$, le MOS de blocage est sous dimensionné et il ne peut dévier suffisamment de courant pour ouvrir le dispositif.

2.3. Etude des interactions électriques

Cette étape a pour but de définir le meilleur agencement des différentes régions semi-conductrices de l'architecture, au sein du même substrat de silicium. Dans un premier temps, seules les contraintes d'isolation entre les éléments haute tension et basse tension sont prises en considération pour proposer une structure complètement intégrée.

Tous les composants basse tension du circuit (M2, M3 et ZD) présentent une région P reliée à la cathode du dispositif. Ils sont naturellement isolés de la haute tension grâce à leur jonction P/N polarisée en inverse (principe de l'auto-isolation présenté au chapitre 1).

Les jonctions sphériques qui se forment dans les coins de diffusion provoquent des claquages prématurés des composants, liés à la courbure des équipotentielles dans ces zones [43-52]. Pour éviter leur formation, il faut étaler ces équipotentielles. Les périphéries assurent

l'étalement en bordure de zone active, mais, entre les différentes régions P des composants, le principe d'auto-blindage est utilisé : des zones de charge d'espace (ZCE) se créent autour des jonctions P/N⁻. Les équipotentielles se répartissent dans la ZCE en suivant la courbure de la jonction. Si la distance entre deux régions P, de même potentiel ou de potentiel proche, est inférieure à environ 40 μm, alors les zones de charges d'espace se rejoignent, et les équipotentielles se lissent.

L'ensemble des régions P du dispositif est à un potentiel nul ou faible (12 V pour la région P de substrat de M4 et 0 V pour le reste des composants). Il suffit de laisser une distance de séparation inférieure à 40 μm entre les différentes cellules pour que les zones de charge d'espace se rejoignent. L'isolation est ainsi assurée sans avoir recours à des techniques d'isolation complexes.

Enfin, pour simplifier la structure et diminuer la surface du dispositif, certains composants partagent la même région P : M3, M2 et AD (figure 26). Cette mise en commun est électriquement possible car la région P de substrat de M2 et de M3 et la région P d'anode de AD sont reliées à la cathode du dispositif. ZD aurait pu aussi être réalisée dans la même région P, mais sa région N⁺ de cathode atteint un potentiel de 12 V pendant l'état OFF du dispositif. Par sécurité, il est préférable de réaliser ZD indépendamment de l'association M2-M3-AD. La coupe 2D de principe de la structure intégrée du dispositif que nous proposons est représentée sur la figure 26.

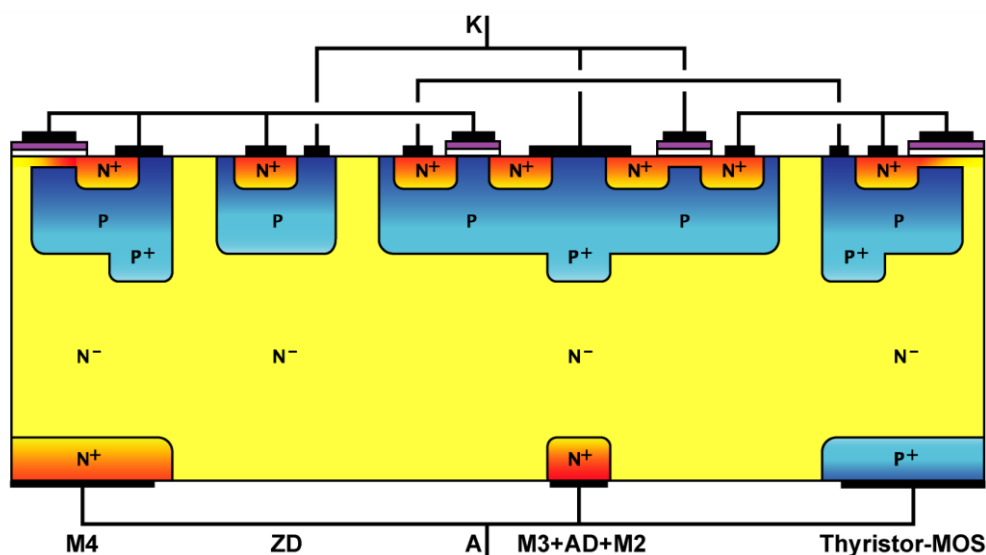


Figure 2. 25 : Proposition de coupe 2D du dispositif intégré.

Testons cette structure dans la cellule de commutation utilisée précédemment pour la validation de la fonction. Les résultats de simulation montrent que la fonctionnalité n'est pas

obtenue car la fermeture du dispositif n'a pas lieu. Pour déterminer l'origine de ce dysfonctionnement, examinons la répartition des lignes de courant dans la structure. A l'instant où la fermeture aurait dû avoir lieu, le courant circule de l'anode vers la cathode (figure 27). Les lignes de courant sont issues de la région N^+ en face arrière, elles traversent la région N^- de drift et accèdent à la cathode N^+ par le canal préformé de la section NMOSFET du thyristor. Ce n'est plus le thyristor qui transite le courant principal du dispositif, mais un VDMOSFET parasite créée par l'anode N^+ en face arrière et la section MOS du thyristor.

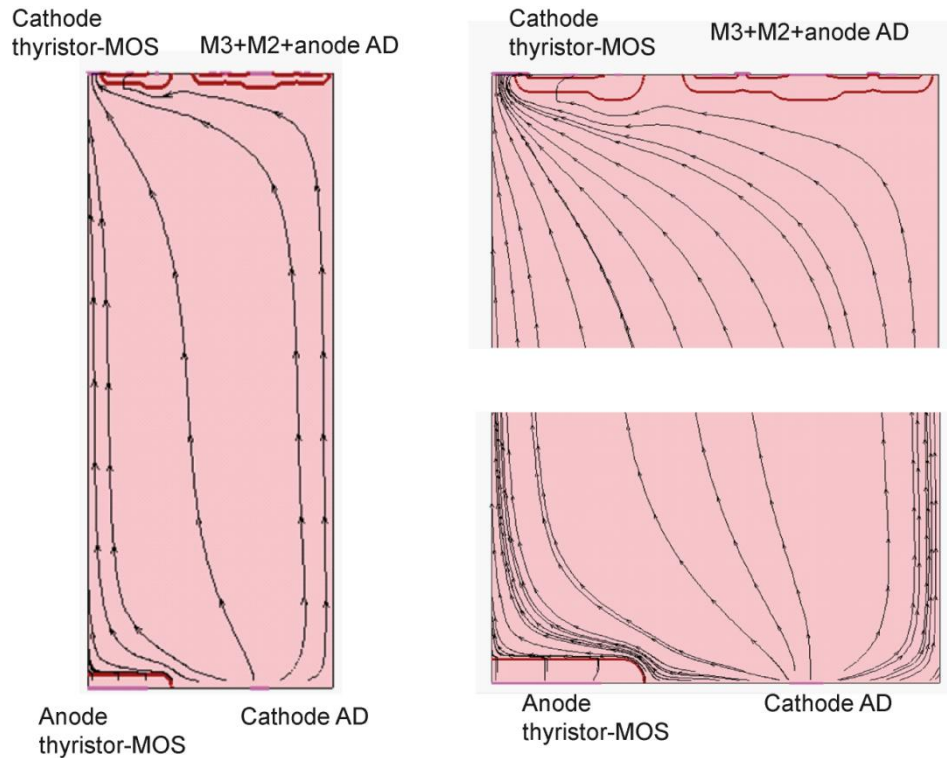


Figure 2. 26: Mise en évidence de l'interaction électrique au sein de la structure intégrée.

Les régions réalisées en face arrière sont toutes reliées à la même électrode : la région P^+ , qui matérialise l'anode du thyristor, est connectée à la région N^+ qui représente le drain de M4 et la cathode de AD. Quand une tension positive est appliquée entre l'anode et la cathode du dispositif, le courant d'anode traverse la jonction N^+/N^- plutôt que la jonction P^+/N^- du thyristor car sa résistivité est plus faible. Par conséquent, l'anode P^+ du thyristor ne peut pas injecter de porteurs dans la région N^- et la jonction P^+/N^- reste bloquée, interdisant la fermeture du thyristor.

Le courant latéral qui traverse la région de drift N^- crée une chute de tension au dessus de la région P^+ en face arrière. Si cette chute de tension atteint 0,7 V, la jonction P^+/N^- se polarise en direct. Des trous peuvent alors être injectés dans la région N^- et le thyristor-MOS se ferme.

La chute de tension qui se développe ne dépend que de la résistance vue par le courant à cet endroit de la structure. Pour polariser en direct la jonction P^+/N^- , il faut donc augmenter la distance séparant la région N^+ et la région P^+ en face arrière ou augmenter la longueur de la région P^+ . La deuxième solution entraîne une augmentation de l'injection de l'anode, soit une augmentation du gain α_{PNP} . Suite à l'étude de l'influence de α_{PNP} sur le blocage du dispositif, cette solution ne sera pas retenue.

Des simulations du dispositif complet sont réalisées pour établir la distance nécessaire au déclenchement du thyristor entre les régions P^+ et N^+ face arrière. Rappelons que le thyristor-MOS utilisé est très sensible au déclenchement à cause de sa région P flottante (la région N^+ de cathode n'est pas connectée à la région de gâchette P). Cela signifie qu'à la différence des structures thyristors classiques, la caractéristique $I(V)$ ne présente pas de retournement.

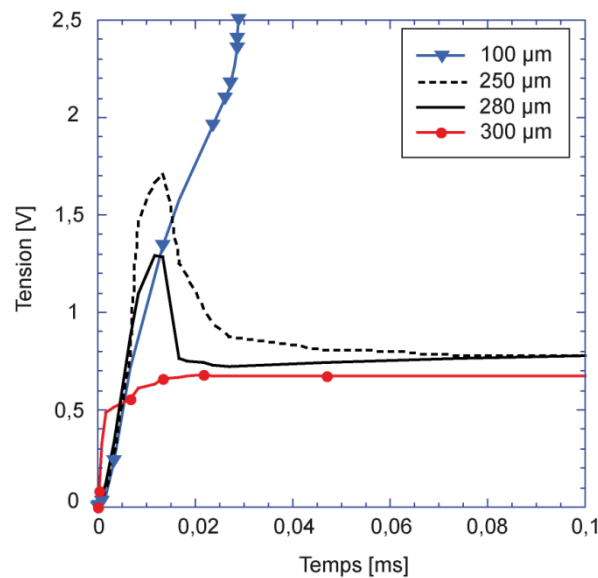


Figure 2. 27 : Déclenchement du thyristor en fonction de la distance entre les régions N^+ et P^+ en face arrière.

Les résultats de simulation donnés sur la figure 28 montrent qu'un fonctionnement correct du dispositif nécessite une distance supérieure à 300 µm entre les deux régions. Pour des distances inférieures, la fermeture du thyristor est obtenue pour des tensions plus élevées (provoquant un retournement dans la caractéristique $I(V)$). En dessous de 100µm, l'effet thyristor n'a pas lieu et la fonctionnalité n'est plus réalisable.

3. Simulation du procédé technologique

La structure proposée est définie à partir des profils de dopage des différentes régions. Il est nécessaire de convertir ces paramètres physiques (C_s , X_j) en paramètres technologiques (dose, énergie d'implantation...) pour préparer le procédé de fabrication. Cette étape est réalisée à l'aide de l'outil ATHENA du logiciel SILVACO [53]. L'outil ATHENA est un simulateur de procédé de fabrication, et permet en particulier de simuler les étapes d'implantation, de dépôt, de gravure, de recuit et d'oxydation. Il permet de connaître la distribution des dopants dans une structure ainsi que sa géométrie.

D'après le dimensionnement des composants, seules les étapes d'implantation de la région P et du canal préformé doivent être modifiées. Les canaux étant implantés à travers du polysilicium et les modèles de ces matériaux ne permettant pas de modéliser convenablement le phénomène, des tests expérimentaux seront effectués lors de la réalisation. Seule l'étape d'implantation de la région P sera étudiée dans cette partie.

L'implantation de la région P est définie par la dose de bore à implanter, l'énergie d'implantation et le temps de recuit. A l'issue du procédé technologique, la région P doit présenter une combinaison (C_s ; X_j) de (4^{e+17} cm⁻³ ; 4,8μm) au lieu des valeurs de référence (6^{e+17} cm⁻³ ; 4,8μm) de la filière. Le X_j étant identique, l'énergie d'implantation et le temps de recuit ne seront pas modifiée (pour maintenir le bilan thermique du procédé).

Il est à noter que seule l'étape d'implantation de bore ainsi que l'ensemble des redistributions qui suivent (redistribution P, redistribution N et redistribution canaux - cf chapitre 1) sont simulées. Les simulations sont réalisées sur un substrat silicium de type N avec un dopage en phosphore constant de 1^{e+14} cm⁻³. Dans le tableau 11 figurent les doses testées ainsi que les profils de dopage obtenus. La marge entre les différentes doses testées tient compte des limites de l'implanteur disponible au LAAS.

Dose implantée [cm⁻²]	$6,5^{e+13}$	$7,5^{e+13}$	8^{e+13}
Profils région P (C_s [cm⁻³]; X_j [μm])	(4^{e+17} ; 4,8)	($4,5^{e+17}$; 4,8)	(5^{e+17} ; 4,8)

Tableau 2. 12 : Profil de dopage de la région P en fonction de la dose de bore implantée.

Pour compléter ces simulations, des plaquettes tests ont été réalisées sur des substrats N de dopage constant 1^{e+14} cm⁻³. Les différentes doses de bore utilisées pour les simulations ont

été implantées avec une énergie de 50 keV. Ces plaquettes ont été ensuite analysées par SIMS (Secondary Ion Mass spectrometry), qui est une méthode de caractérisation chimique destructive [54]. Elle est basée sur la détection des ions secondaires produits sous l'effet d'un bombardement d'ions primaires incidents. L'impact d'un ion ou d'une molécule possédant une énergie de quelques keV produit l'émission de rayonnement et de particules de natures différentes : des photons, des électrons secondaires, des particules neutres, des ions secondaires positifs et négatifs caractéristiques de l'échantillon. Ces derniers sont extraits, analysés et quantifiés. Cette étape est répétée à différentes profondeurs de l'échantillon afin de reproduire le profil de dopage dans le silicium.

Les résultats de l'analyse SIMS sont comparés aux résultats de simulation pour vérifier la validité des modèles utilisés et confirmer le choix de la dose à implanter. Sur la figure 29 sont reportés les profils de dopage de la région P obtenus par simulation et par analyse SIMS pour une dose implantée de $6,5 \times 10^{13} \text{ cm}^{-2}$. Les deux profils se caractérisent par une concentration en surface de $4 \times 10^{17} \text{ cm}^{-3}$ et une profondeur de jonction de 4,8 μm (profondeur où la concentration est égale à $1 \times 10^{14} \text{ cm}^{-3}$, soit la concentration du substrat).

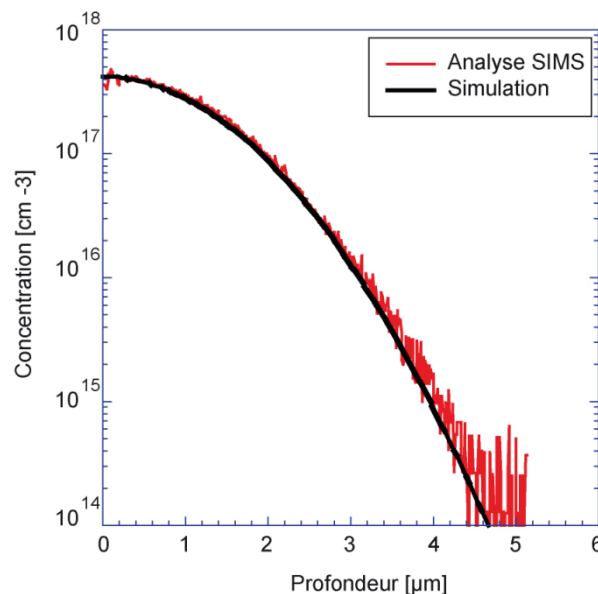


Figure 2. 28 : Concentration de bore des régions P en fonction de la profondeur - comparaison simulation et analyse SIMS.

Conclusion

L'utilisation du thyristor permet de proposer une structure simple, compacte, adaptée à une intégration fonctionnelle. Le comportement électrique de cette architecture bénéficie des

avantages apportés par le thyristor : amorçage rapide grâce à la section MOS du thyristor et faible chute de tension à l'état passant malgré la présence du limiteur en série. Cependant, les simulations électriques ont montré que le blocage d'un tel dispositif est difficile à réaliser car pour stopper l'effet thyristor, il faut extraire un courant important de la gâchette du thyristor. Le NMOSFET de blocage présente de ce fait une surface importante. Il est à noter que son sous dimensionnement peut conduire à l'échec de la fonction. Le limiteur M2 présente lui aussi une surface importante car cet élément basse tension en série avec l'interrupteur de puissance, doit transiter le courant I_{MAX} du dispositif.

Ces dernières remarques motivent l'étude d'une deuxième solution bâtie cette fois-ci autour d'un IGBT, composant facilement blocable et qui sature naturellement, contrairement au thyristor.

CHAPITRE III

INTERRUPTEUR AUTO-COMMUTE A IGBT

Sommaire

	<i>Introduction</i>	87
1.	DEFINITION DE L'ARCHITECTURE	87
1.1.	<i>Présentation de l'architecture et de son fonctionnement</i>	87
1.2.	<i>Conditions de fonctionnement</i>	89
1.3.	<i>Discussion préliminaire à l'étude 2D</i>	95
2.	SIMULATION PHYSIQUE 2D	96
2.1.	<i>Dimensionnement des composants</i>	96
2.2.	<i>Validation du fonctionnement de l'architecture</i>	114
3.	INTEGRATION DE L'AUTO-ALIMENTATION	119
3.1.	<i>Le procédé technologique</i>	119
3.2.	<i>Etude des interactions électriques</i>	132
	<i>Conclusion</i>	134

Interrupteur auto-commuté à IGBT

Introduction

La seconde topologie est construite autour d'un IGBT, composant aujourd'hui très répandu et relativement facile à commander à l'ouverture et à la fermeture. Comme dans le cas de la solution précédente, il faudra doter ce composant de fonctions annexes pour obtenir les conditions de commutation souhaitées. Toutefois, à la différence de la structure thyristor, la phase de mise en conduction de l'IGBT nécessite l'application et le maintien d'une tension de commande. Cette condition implique la réalisation d'une source auxiliaire d'alimentation capable de fournir l'énergie nécessaire à la mise en conduction de l'IGBT au passage par zéro de la tension.

Après avoir présenté l'architecture et étudié son fonctionnement, ce chapitre se focalise sur le dimensionnement physique et géométrique du dispositif à l'aide des outils de simulation 2D. La dernière partie du chapitre concerne l'étude menée en vue de l'intégration d'une fonction d'auto-alimentation.

1. Définition de l'architecture

1.1. Présentation de l'architecture et de son fonctionnement

L'utilisation d'un IGBT de type sense permet de s'affranchir de la mise en série d'un limiteur. En effet, l'électrode de sense donne une image du courant principal qui est utilisée pour l'ouverture de l'IGBT.

Cette phase d'ouverture est constituée des séquences suivantes :

- Détection du courant maximum,
- Mise en court-circuit des électrodes de grille et de cathode de l'IGBT,
- Application et maintien de l'ordre de blocage.

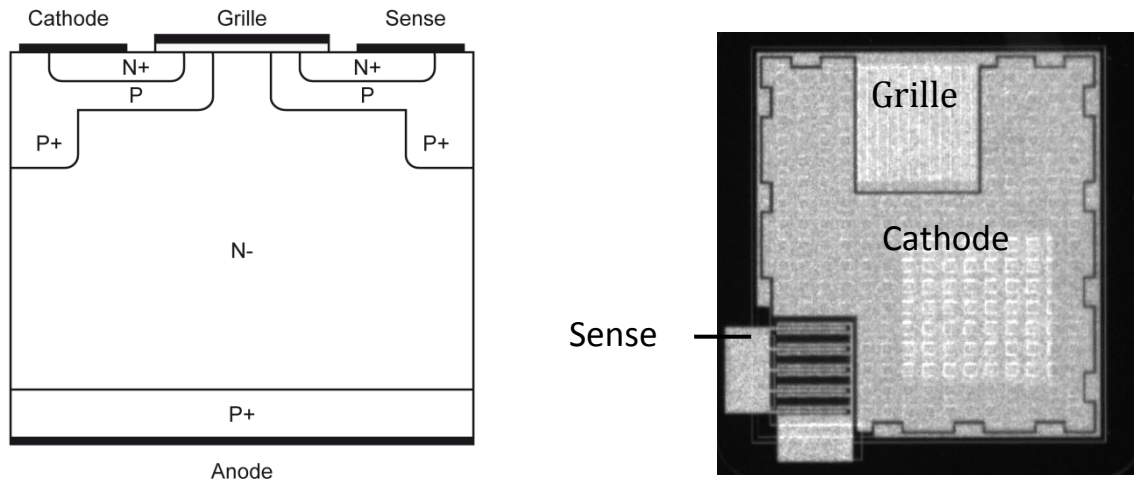


Figure 3. 1 : Coupe schématique de l'IGBT-sense et vue de dessus des dispositifs réalisés.

La détection du courant est réalisée par l'IGBT-sense (figure 1). Lorsque le courant principal atteint la valeur I_{MAX} , le courant de sense provoque la fermeture d'un interrupteur qui assure le court-circuit grille-cathode de l'IGBT, initiant ainsi le blocage. Deux solutions sont envisageables :

- L'interrupteur de blocage est un thyristor et le courant de sense est directement utilisé pour contrôler sa fermeture (figure 2).
- L'interrupteur de blocage est un NMOSFET et il est nécessaire de passer par une conversion courant-tension à l'aide d'une résistance (figure 2).

Dans le cas d'un blocage par thyristor, lorsque celui-ci a totalement déchargé la grille de l'IGBT, le courant traversant ce thyristor s'annule et ce dernier s'ouvre. Pour éviter que la grille de l'IGBT ne se trouve à l'état de haute impédance, on doit maintenir le court-circuit grille-cathode par une cellule de maintien du blocage. Cette cellule, déjà présente dans la première topologie, est constituée par l'ensemble M4, ZD et M3.

Dans le cas d'un blocage par un transistor MOS, dès que la tension de grille de l'IGBT commence à décroître, le courant principal diminue ainsi que le courant de sense. La tension de commande appliquée au transistor NMOS décroît à son tour et le court-circuit grille-cathode de l'IGBT n'est plus assuré. L'ensemble IGBT-NMOS entre alors dans un mode de fonctionnement de type linéaire, et il faut prévoir une cellule permettant d'obtenir le blocage complet de l'IGBT. Là encore, c'est la cellule M4-ZD-M3 qui assure cette fonction.

Pour rendre conducteur un IGBT, il faut appliquer et maintenir une tension de l'ordre de la dizaine de volts sur sa grille. Ceci ne pose aucune difficulté si l'on dispose d'une source d'alimentation externe. Par contre, si l'on envisage un fonctionnement autonome de l'IGBT et des circuits associés, ceci ne peut être réalisé qu'à partir d'une source d'énergie propre

capable d'alimenter la grille, même lorsque l'IGBT est à l'état passant. Une auto-alimentation [40] est donc nécessaire (figure 2). Celle-ci est constituée d'un condensateur mis en série avec une diode D et un transistor NMOS à déplétion M1. Lorsque l'IGBT est à l'état bloqué, le condensateur se charge à travers M1 et D pour atteindre une valeur de tension voisine de la tension de Zéner de ZD. La diode D évite la décharge du condensateur à travers la diode de corps de M1 lors de la conduction de la diode AD.

Le transistor PMOS MP permet d'aiguiller la charge du condensateur vers la grille de l'IGBT. Lorsque l'IGBT est bloqué, le potentiel de grille de MP est tel que celui-ci est à l'état bloqué et isole ainsi le condensateur. Lorsque la tension aux bornes de l'IGBT décroît (mise en conduction de la diode AD), le potentiel de grille de MP diminue. Ce dernier entre en conduction et transmet la charge stockée par le condensateur à la grille de l'IGBT qui est alors prêt à conduire.

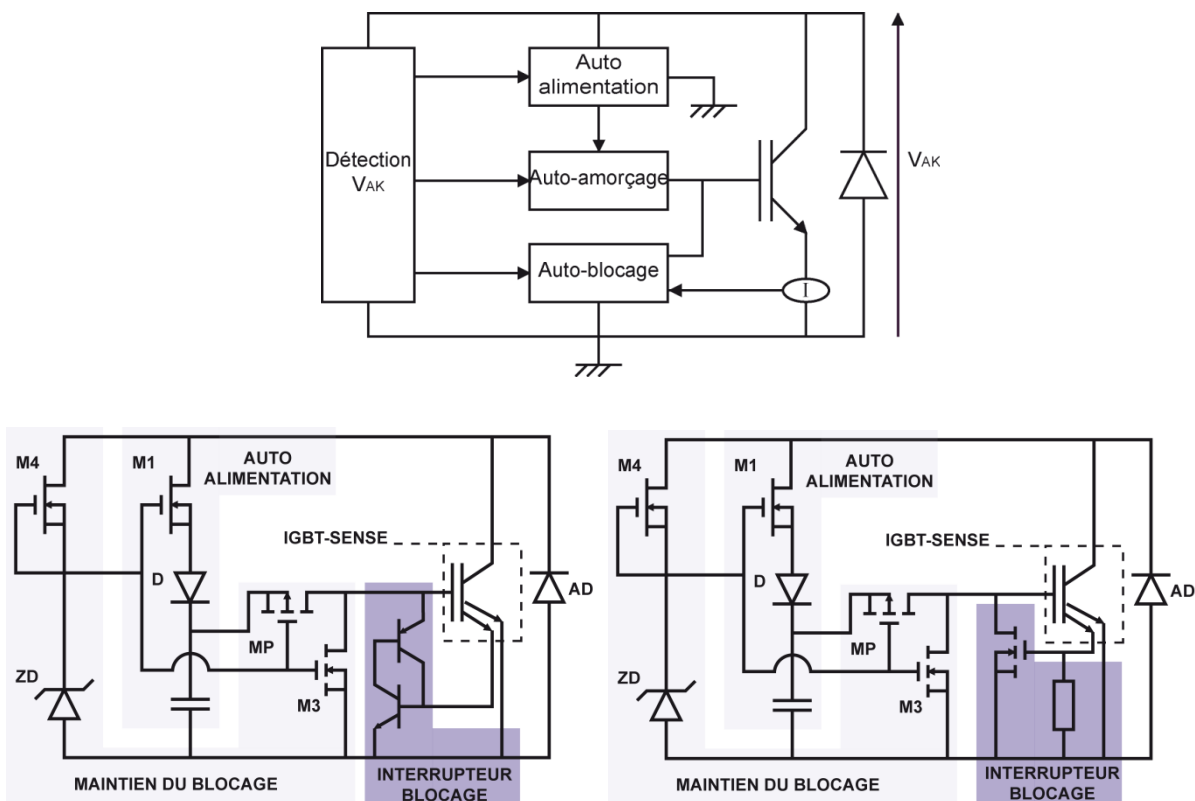


Figure 3. 2 : Schéma de principe et architectures proposées du circuit

1.2. Conditions de fonctionnement

Une étude analytique du circuit s'avère complexe car celui-ci comporte des mailles capacitives soumises à des potentiels variables. Seules des simulations peuvent nous donner les informations nécessaires au dimensionnement des différents composants. De ce fait, nous

n'énoncerons dans cette partie que les conditions évidentes permettant un fonctionnement correct du circuit en régime statique.

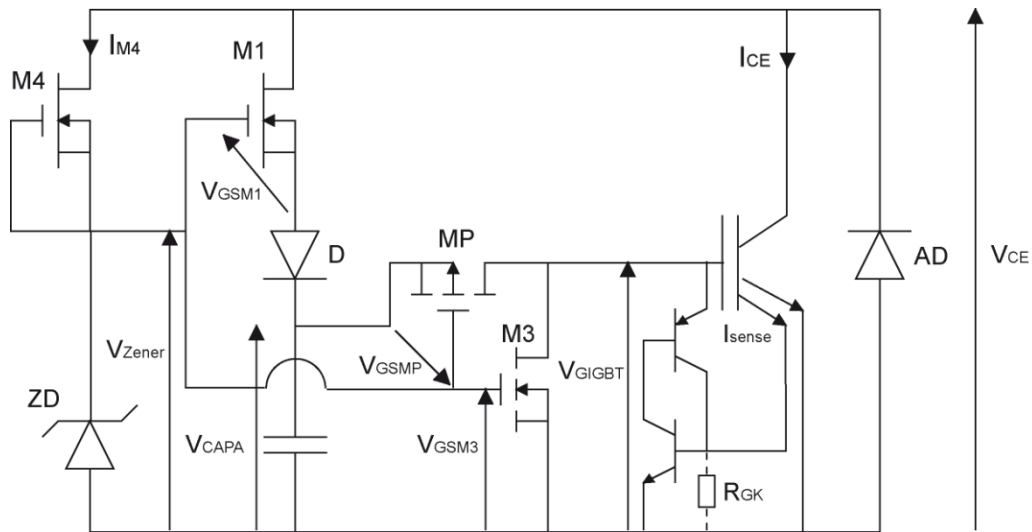


Figure 3. 3 : Définition des courants et tensions utilisés pour l'analyse du circuit, version blocage par thyristor.

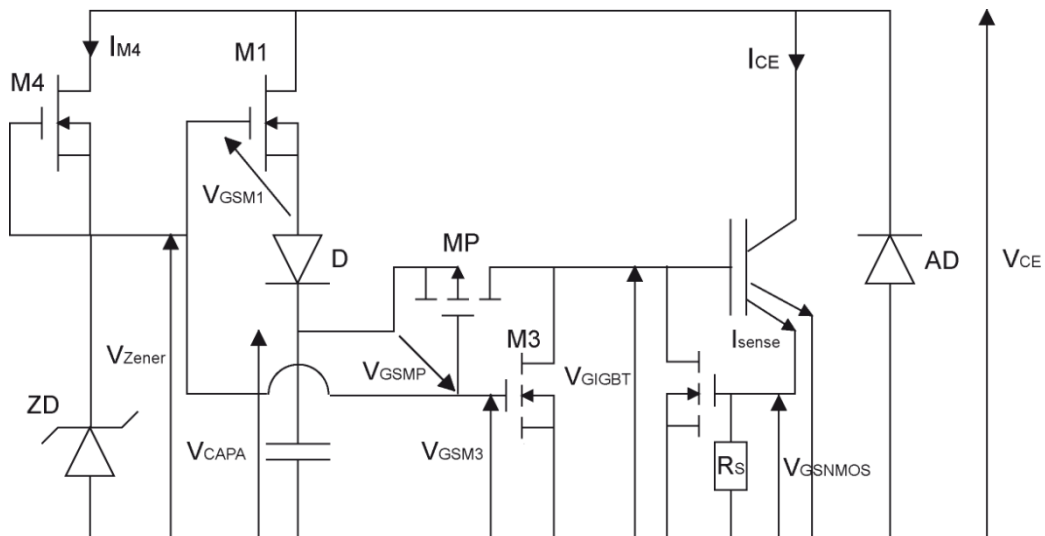


Figure 3. 4 : Définition des courants et tensions utilisés pour l'analyse du circuit, version blocage par NMOSFET.

Etat passant

Lors de l'état passant, aucun dispositif de blocage ne doit entrer en conduction tant que le niveau de courant de disjonction n'est pas atteint.

Donc, tant que :

$$I_{CE} < I_{MAX} \quad [3.1]$$

- La tension aux bornes de l'IGBT doit être inférieure à la tension de seuil du NMOSFET M3 de maintien du blocage, jusqu'à ce que le courant de disjonction I_{MAX} soit atteint (figures 3 et 4) :

$$V_{CE SAT} < V_{TM3} \quad [3.2]$$

- La tension de la jonction gâchette-cathode du thyristor de blocage doit rester inférieure à 0,7 V (figure 3) :

$$I_{sense} \times R_{GK} < 0,7 V \quad [3.3]$$

avec I_{SENSE} courant de gâchette du thyristor et R_{GK} résistance de la région P.

- La tension aux bornes de la résistance R_S doit être inférieure à la tension de seuil du NMOSFET de blocage (figure 4) :

$$I_{sense} \times R_S < V_{TNMOS} \quad [3.4]$$

L'équation (3.2) permet de dimensionner l'IGBT et le NMOSFET M3. La tension V_{CESAT} , qui correspond à la chute de tension maximale à l'état passant, est fixée par le cahier des charges. Elle dépend de la résistivité de la région P/P⁺ court-circuitée à la cathode N⁺. La tension de seuil de M3 est ajustée à travers la région de substrat P, en particulier sa concentration en surface. Les équations (3.3) et (3.4) relatives aux interrupteurs de court-circuit de grille donnent une première indication pour le dimensionnement de ces composants ainsi que de la région émetteur sense de l'IGBT, qui sera déterminée plus précisément lors de l'étude de la phase de blocage.

La deuxième condition pour maintenir l'IGBT passant concerne le PMOSFET MP qui assure la connexion entre la grille de l'IGBT et le condensateur de l'auto-alimentation. Il faut que la tension V_{GS} de MP reste inférieure à sa tension de seuil :

$$V_{GSMP} = V_{CESAT} - V_{capa} \quad [3.5]$$

donc

$$V_{CESAT} - V_{capa} < V_{TMP} \quad [3.6]$$

La tension aux bornes du NMOSFET M4 est négligée car le courant qui le traverse correspond au courant inverse de la diode Zéner. Ce courant est très faible et la tension aux bornes de M4 est proche de zéro.

Comme précédemment, V_{CESAT} est fixée par le cahier des charges et, pour obtenir une bonne caractéristique de l'IGBT à l'état passant, nous choisissons une valeur de 10 V pour V_{CAPA} (la tension de seuil de l'IGBT est de l'ordre de 5 V). La tension de seuil de MP est ajustée à partir du dopage de sa région de substrat N.

Phase de commutation à l'ouverture

Lorsque le courant principal I_{CE} atteint la valeur de disjonction I_{MAX} , l'interrupteur de blocage entre en conduction.

- Pour amorcer le thyristor, le blocage doit être suffisant pour polariser sa jonction gâchette-cathode à 0,7V, par l'intermédiaire de la résistance R_{GK} (figure 3):

Lorsque

$$I_{CE} = I_{MAX} \quad [3.7]$$

$$I_{sense\ max} \times R_{GK} = 0,7\ V \quad [3.8]$$

où $I_{SENSE\ MAX}$ est le courant de gâchette produisant le déclenchement du thyristor.

De même, pour fermer le NMOSFET de blocage, la tension aux bornes de la résistance R_S doit atteindre sa tension de seuil (figure 4) :

$$I_{sense\ max} \times R_S = V_{TNMOS} \quad [3.9]$$

Il est à noter que les équations (3.8) et (3.9) permettent de dimensionner les interrupteurs de court-circuit (thyristor ou NMOSFET) et la partie sense de l'IGBT.

Le courant de déclenchement du thyristor est réglé à partir de la résistivité de sa région P de gâchette (profil de dopage et dimensions). Il faut ensuite déterminer le nombre de cellules de l'IGBT qui seront dédiées à la partie sense.

La tension de seuil du NMOSFET de blocage est ajustée à partir du dopage de sa région de substrat. Il faut choisir une valeur de résistance et une valeur de courant de sense (un nombre de cellules à émetteur de sense) qui permettent d'obtenir cette tension de seuil.

Etat bloqué

Les interrupteurs de blocage (thyristor ou NMOSFET) provoquent l'ouverture de l'IGBT et assurent le court-circuit grille-cathode. La tension V_{CE} augmente et le courant I_{CE} s'annule. Pour maintenir le blocage de l'IGBT, le transistor M3 doit entrer en conduction. Sa grille est connectée à la cathode de la diode Zéner, et tant que cette dernière n'atteint pas la tension de Zéner V_Z , la tension qui lui est appliquée suit V_{CE} (figures 3 et 4) :

$$V_{ZENER} = V_{GSM3} = V_{CE} \quad [3.10]$$

Dès que la diode Zéner entre en régime de limitation de tension, le potentiel de grille de M3 cesse d'augmenter et a pour valeur V_Z . M3 doit donc être conducteur avant que la tension de Zéner ne soit atteinte car sinon il sera impossible de le fermer :

$$V_{TM3} < V_Z \quad [3.11]$$

Les équations (3.2) et (3.11) permettent de fixer la valeur de la tension de seuil de M3 qui dépend en particulier de la concentration en surface des régions P de substrat situées sous la grille. La tension Zéner dépend quant-à elle du dopage de sa région P d'anode.

La diode Zéner ne limitera la tension appliquée sur les grilles de M1, MP et M3 que si le courant de saturation du NMOSFET M4 est suffisant pour polariser correctement la diode Zéner au delà de la tension de coude :

$$I_{ZMIN} < I_{SATM4} \quad [3.12]$$

Le courant de saturation de M4 sera ajusté à partir du dopage de la région P de substrat, du dopage de son canal et de sa largeur. Pour compléter son dimensionnement, il faudra vérifier par simulation que son courant de saturation est suffisant pour charger la capacité équivalente vue de sa source (capacités de grille de MP et de M3) lors des phases transitoires.

Une fois la grille de l'IGBT chargée, la tension V_{GS} du PMOSFET MP doit devenir supérieure à la tension de seuil de MP pour entraîner son ouverture et ainsi déconnecter la grille de l'IGBT de l'auto-alimentation :

$$V_{GSMP} = V_Z - V_{CAPA} \quad [3.13]$$

avec

$$V_{capa} = V_Z - V_{TM1} - 0,6 \quad [3.14]$$

soit

$$V_{GSMP} = V_{TM1} + 0,6 \quad [3.15]$$

donc

$$V_{TMP} < V_{TM1} + 0,6 \quad [3.16]$$

Les équations (3.16) et (3.6) imposent une plage de valeurs possibles pour la tension de seuil de MP.

Phase de mise en conduction de l'IGBT

Lors de la mise en conduction de la diode AD, la tension aux bornes de l'IGBT s'effondre. Le NMOSFET M3 se bloque puis, le PMOSFET entre en conduction et réalise la liaison entre le condensateur et la grille de l'IGBT, et le transfert de charge s'effectue alors entre la capacité de l'auto-alimentation et la capacité d'entrée de l'IGBT.

Lors de cette phase de fonctionnement, le condensateur de l'auto-alimentation peut être représenté par une source V_{CAPA} , qui est la tension à ses bornes avant la mise en conduction de MP, en série avec un condensateur C_{ALIM} (figure 5). Le transistor MP est équivalent à sa résistance R_{DSON} à l'état passant, et le condensateur C_{IGBT} correspond à la capacité d'entrée de l'IGBT qui est complètement déchargée au début du transfert.

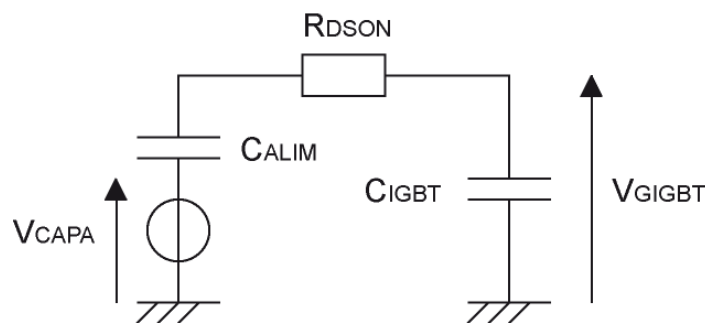


Figure 3. 5 : Circuit électrique équivalent du transfert de charge.

A la fin du transfert de charge, C_{IGBT} est complètement chargée et le courant traversant R_{DSON} est nul. Le circuit équivalent se réduit à la source de tension V_{CAPA} en série avec les deux capacités. En régime établi, le potentiel appliqué à la grille de l'IGBT est donc :

$$V_{GIGBT} = V_{CAPA} \times \frac{C_{ALIM}}{C_{ALIM} + C_{IGBT}} \quad [3.17]$$

Ce transfert de charge s'accompagne d'une diminution de la tension de l'auto-alimentation. Pour que l'IGBT puisse se fermer, cette tension ne doit pas devenir inférieure à sa tension de seuil. Mais, pour obtenir de bonnes performances à l'état passant, une diminution de la tension de 5% au maximum sera tolérée, ce qui correspond à une tension finale de 9,5V appliquée à la grille de l'IGBT, V_{CAPA} étant fixée à 10V.

$$V_{GIGBT} = V_{CAPA} - 5\%V_{CAPA} \quad [3.18]$$

La capacité d'entrée de l'IGBT doit être évaluée à l'aide de la simulation. La valeur de la capacité de l'auto-alimentation pourra alors être déduite à partir de l'équation (3.17).

Pour que l'IGBT puisse se fermer dès le passage par zéro de la tension à ses bornes, la durée de charge de la capacité d'entrée de l'IGBT ne doit pas excéder la phase de conduction inverse du dispositif, soit 10 μs pour l'application envisagée. La constante de temps du circuit de transfert de charge est :

$$\tau = R_{DS(on)} \times \frac{C_{IGBT} \times C_{ALIM}}{C_{IGBT} + C_{ALIM}} \quad [3.19]$$

La charge de la capacité est donnée par une équation du premier ordre. La constante de temps doit donc vérifier :

$$5 \times \tau < 10 \mu s \quad [3.20]$$

Cette dernière relation permet de déterminer la valeur maximale de $R_{DS(on)}$ du transistor MP. Cette résistance dépend de la concentration en surface du substrat N sous la grille et de la largeur du canal.

1.3. Discussion préliminaire à la simulation 2D

Une première remarque concerne les topologies. Malgré un effort de simplification pour répondre au critère d'intégration fonctionnelle, les topologies proposées sont bien moins compactes que celle basée sur un thyristor-MOS. Elles nécessitent un nombre plus important de composants pour maintenir les états ON et OFF de l'IGBT. De plus, dans un contexte d'intégration fonctionnelle, il est préférable d'éviter la présence d'éléments passifs, consommateurs de silicium et dont les procédés technologiques sont très différents d'une filière classique IGBT. Or l'amorçage de l'IGBT requiert l'utilisation d'un condensateur pour réaliser une fonction d'auto-alimentation. Suite à ces remarques, il apparaît plus judicieux dans un premier temps d'étudier les possibilités d'intégration de briques fonctionnelles plutôt

que le circuit complet, en particulier l'auto-alimentation qui représente la principale difficulté. Son intégration constituera une première étape importante et permettra d'envisager une intégration complète du dispositif.

L'avantage de cette solution par rapport à celle traitée dans le second chapitre concerne l'utilisation des transistors MOS à canal préformé. Dans la première solution, le déroulement de certaines phases de fonctionnement, comme l'amorçage ou la limitation du courant ne dépendent que de ce type de composants. L'obtention de la fonctionnalité est par conséquent très sensible aux paramètres technologiques. Dans le cas de la deuxième solution, les transistors MOS à canal préformé sont utilisés comme résistance linéaire. Une dispersion sur les paramètres technologiques devrait être moins critique pour l'obtention de la fonctionnalité.

Cette deuxième solution est donc plus difficilement réalisable, mais d'un point de vue fonctionnement elle s'avère beaucoup moins délicate à optimiser.

2. Simulation physique 2D

De la même manière que le circuit basé sur un thyristor-MOS, la solution présentée dans ce chapitre est étudiée à l'aide des outils de simulation 2D. Dans un premier temps, tous les composants sont dimensionnés séparément avec les outils MDRAW et SDEVICE de SENTAURUS-TCAD [48]. Les structures 2D obtenues sont alors connectées entre elles pour tester le fonctionnement des deux circuits proposés dans ce chapitre.

2.1. Dimensionnement des composants

Le dimensionnement des composants doit permettre au circuit de répondre au cahier des charges et aux conditions de fonctionnement énoncées précédemment. Le bilan de l'analyse montre que la fonctionnalité dépend essentiellement des valeurs des tensions de seuil des différents MOSFETs. Il faudra ajuster les régions de substrat P des NMOSFETs et la région de substrat N du PMOSFET pour assurer un bon fonctionnement du circuit. Quant-au cahier des charges, les cinq grandeurs caractéristiques sont:

- La chute de tension à l'état passant V_{ON} (< à 2V), qui correspond à la chute de tension aux bornes de l'IGBT.
- Le courant de disjonction I_{MAX} (fixé à 2A). Quand le courant dans l'IGBT atteint I_{MAX} , le courant de sense doit correspondre au courant de déclenchement du thyristor. Pour la solution blocage par MOSFET, le produit de I_{sense} par R_S doit correspondre à la tension de seuil du NMOSFET de blocage.

- La tension de blocage V_{TH} , qui correspond à la tension de seuil de M3.
- Le courant à l'état bloqué, qui correspond au courant de fuite circulant dans les canaux préformés de M4 et de M1 ($I_{DSATM4} + I_{DSATM1}$).
- La tension maximum V_{OFF} de 600 V que doivent supporter l'IGBT, M1 et M4.

Mises à part V_{OFF} et V_{ON} (qui dépend en particulier de l'injection de l'anode de l'IGBT), ces grandeurs correspondent à des tensions de seuil et des courants de saturation de NMOSFETs. Le dimensionnement physique des composants consistera donc à ajuster l'injection de l'anode de l'IGBT et les profils de dopage des régions P et des canaux préformés de l'ensemble des composants.

IGBT

La structure de l'IGBT, qui est l'interrupteur de puissance du dispositif, se compose d'un enchaînement vertical de quatre couches $P^+/N^-/P/N^+$ et d'une grille MOS en surface (figure 6).

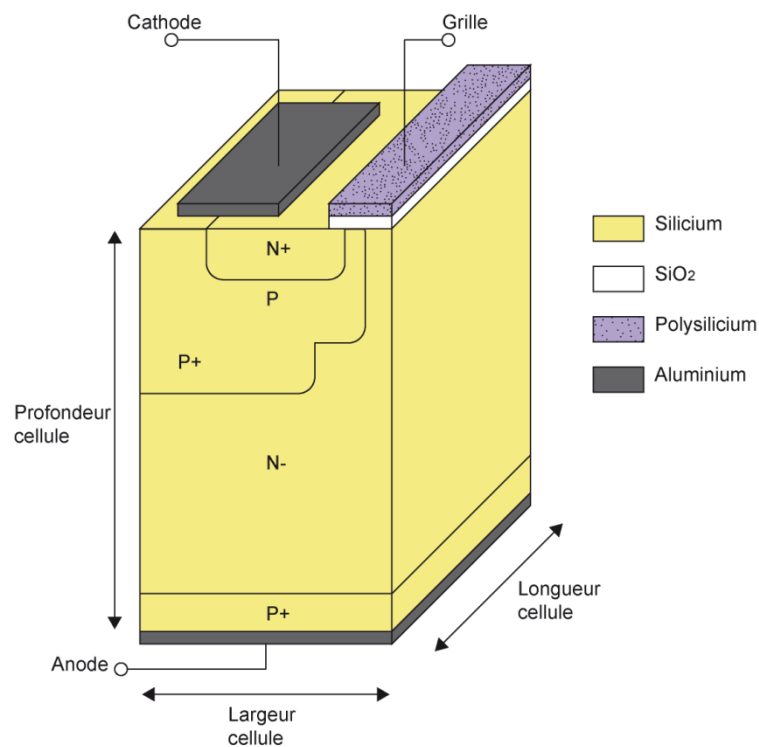


Figure 3. 6 : Structure d'une cellule IGBT

Cette structure assure une tenue en tension de 600 V. La caractéristique statique de l'IGBT doit présenter une chute de tension à l'état passant de 2 V quand le courant qui le traverse atteint 2 A, pour une tension de grille de 9,5 V. Le blocage de l'IGBT est obtenu si sa tension de seuil est supérieure aux chutes de tension à l'état passant des interrupteurs de

blocage (thyristor/NMOS blocage et M3). Nous choisissons une valeur $V_{TH} = 5 \text{ V}$ pour vérifier cette condition.

a. Dimensions

La surface du dispositif est définie à partir de la densité de courant admissible. Pour une densité de courant de 100 A/cm^2 , la surface occupée par l'IGBT est donc : $2 / 100 = 0,02 \text{ cm}^2$.

Les simulations sont effectuées à partir de structure de $40 \text{ }\mu\text{m}$ de large. Pour obtenir la même surface, la longueur de la cellule (appelée area factor ou facteur multiplicatif) est donc de $50000 \text{ }\mu\text{m}$. Il faut remarquer que la longueur de la cellule correspond à la longueur totale de grille de l'IGBT.

b. Profils de dopage

Le canal de l'IGBT se forme dans une région de diffusion latérale de la région P. La valeur de la tension de seuil dépend du profil de dopage de cette région. Pour déterminer la combinaison (C_S , X_J) de la région P qui permet d'obtenir une tension de seuil de 5 V , une cellule de $1 \text{ }\mu\text{m}$ de longueur est simulée. Les résultats reportés dans le tableau 1 sont issus des caractéristiques $I_A(V_{AK})$ pour $V_{AK} = 1 \text{ V}$.

Profil région P ($C_S [\text{cm}^{-3}]$, $X_J [\mu\text{m}]$)	(1^{e+18} ;4,8)	($1,1^{e+18}$;4,8)	($1,2^{e+18}$;4,8)	($1,3^{e+18}$;4,8)	($1,4^{e+18}$;4,8)
$V_{TH} [\text{V}]$	4,4	4,7	5	5,3	5,6

Tableau 3. 1 : Tension de seuil de l'IGBT pour différents profils de dopage de la région P

La combinaison ($1,2^{e+18} \text{ cm}^{-3}$; $4,8 \text{ }\mu\text{m}$) donne la tension de seuil recherchée.

La caractéristique statique visée pour l'état passant de l'IGBT est un courant de 2 A pour une chute de tension V_{AK} de 2 V et une tension de grille de $9,5 \text{ V}$. Le courant I_{MAX} de 2 A est pris dans la zone ohmique de la caractéristique $I_A(V_{AK})$ et non dans la zone de saturation. En effet, si l'IGBT entre en saturation, la tension à ses bornes va augmenter rapidement et entraîner la mise en conduction du NMOSFET de maintien de blocage M3. L'interrupteur de blocage devient inutile et l'ordre de blocage n'est plus réalisé à partir de la détection en courant mais à partir d'une détection en tension. Ce mode de fonctionnement n'est pas adapté car la valeur du courant de saturation dépend de la tension de grille, c'est à dire de la tension aux bornes du condensateur. Si cette tension présente une valeur différente de celle attendue, la valeur I_{MAX} de 2 A ne sera pas respectée.

La chute de tension à l'état passant de l'IGBT est donnée par l'équation suivante :

$$V_{AK} = V_{jEB} + V_{N^-} + V_{canal} \quad [3.21]$$

Avec V_{jEB} la tension émetteur base du PNP, V_{N^-} la chute de tension dans la région de substrat N^- et V_{canal} la chute de tension dans le canal de la section MOS [52]. V_{canal} n'est pas modifiable car elle dépend du profil de dopage de la région P qui fixe aussi la tension de seuil de l'IGBT. La chute de tension V_{N^-} dépend de la résistivité de la région de base N^- et du niveau d'injection de l'anode, c'est-à-dire de son profil de dopage. Les paramètres de la région N^- ne sont pas modifiables car ils correspondent aux caractéristiques du substrat de silicium, qui fixent la tenue en tension du dispositif. Seul le profil de dopage de la région P^+ d'anode peut être ajusté.

Différents dopages de la région P^+ d'anode sont testés par simulation sur une cellule de 50000 μm de longueur (figure 7), avec une région P de concentration en surface $1,2^{e+18} \text{ cm}^{-3}$. Dans le tableau 2 sont reportés les profils de dopage et les tensions V_{AK} obtenues pour $I_A = 2 \text{ A}$ à $V_G = 9,5 \text{ V}$.

Profil région P^+ (C_S [cm^{-3}], X_J [μm])	(5^{e+18} , 7)	(1^{e+19} , 7)	(3^{e+19} , 7)	(4^{e+19} , 7)
V_{AK} [V]	2,7	2,6	2,5	2,5

Tableau 3. 2 : Chute de tension de l'IGBT à l'état passant pour différents profils de dopage de la région d'anode.

Le profil de dopage de l'anode utilisé dans la filière flexible est (3^{e+19} cm^{-3} ; 7 μm). Avec cette concentration en surface et cette profondeur de jonction, la tension V_{ON} est de 2,5 V. Pour obtenir les 2 V, il faut donc augmenter le dopage de l'anode. Mais les résultats de simulation montrent qu'au-delà d'une concentration en surface de 3^{e+19} cm^{-3} , l'augmentation du dopage n'a plus aucun effet sur la chute de tension à l'état passant. En effet, les porteurs injectés n'arrivent plus à moduler la résistivité de la base N^- car la mobilité des trous diminue. Il est donc inutile de modifier le profil de dopage de la région P^+ d'anode donné par la filière flexible.

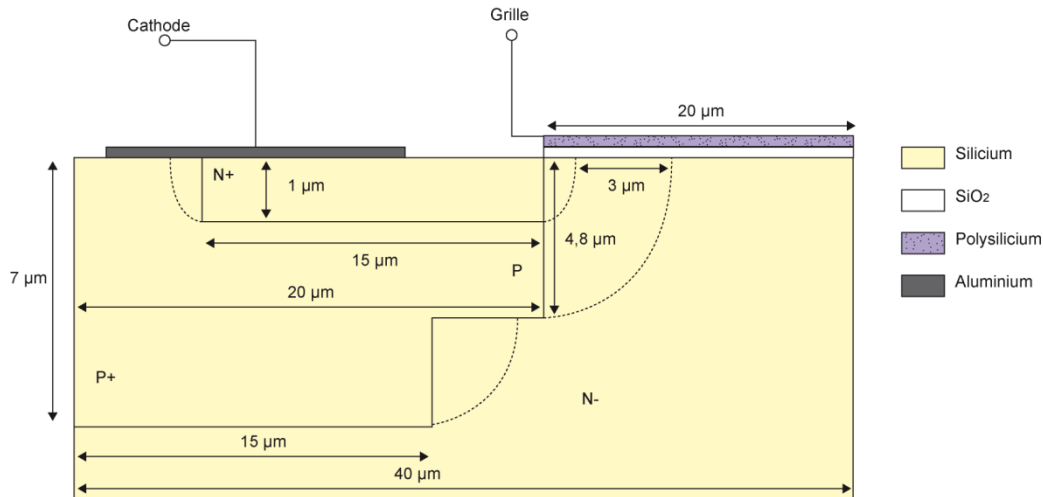


Figure 3. 7 : Dimensions IGBT

Sur la figure 8 est reportée la caractéristique électrique $I_A(V_{AK})$ du composant avec une région P de concentration en surface $1,2e+18 \text{ cm}^{-3}$ et $3e+19 \text{ cm}^{-3}$ pour l'anode. Pour une tension de grille de 9,5 V, l'IGBT présente une chute de tension de 2,5 V et un courant de 2 A. Pour cette même tension de grille, son courant de saturation est de 3,3 A.

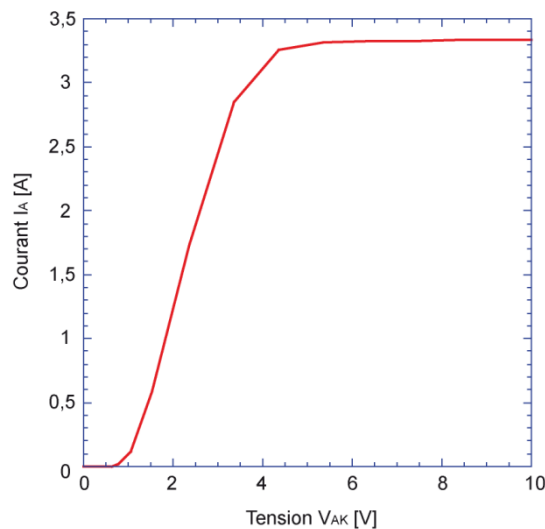


Figure 3. 8 : Caractéristique $I_A(V_{AK})$ de l'IGBT pour $V_G=9,5V$.

IGBT-sense et NMOSFET de blocage

Le NMOSFET de blocage est un composant basse tension de structure latérale (figure 9). Lorsque la tension aux bornes du dispositif atteint 2,5 V, il doit décharger la capacité d'entrée de l'IGBT pour ouvrir le dispositif.

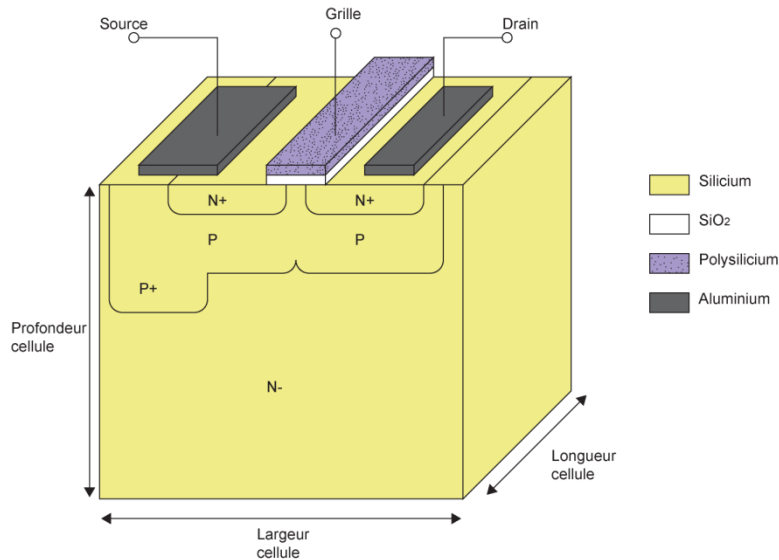


Figure 3. 9 : Structure d'une cellule NMOSFET de blocage

a. Profil de dopage du NMOSFET

Un modèle de l'IGBT sense est donné sur la figure 10 [55-56]. R_B représente la résistance du substrat, R_s la résistance de sense externe, R_a la résistance du canal de la partie principale, et R_{DM} la résistance du canal de la partie sense. La tension aux bornes de R_s correspond à la tension appliquée sur la grille du NMOSFET de blocage. Ceci implique, que la tension de seuil du NMOSFET doit nécessairement être inférieure à 2,5 V.

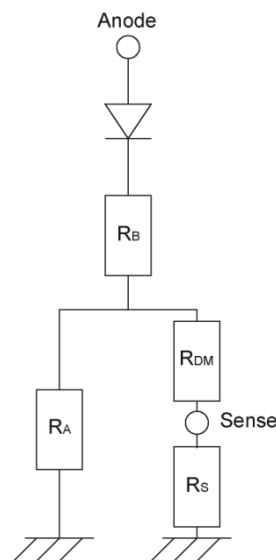


Figure 3. 10 : Modèle de l'IGBT à l'état passant

Des simulations ont déjà été effectuées sur un composant du même type dans le chapitre 2 (le NMOSFET M3). Les résultats ont donné les tensions de seuil en fonction du dopage de la région P de substrat à partir des caractéristiques $I_D(V_{GS})$ pour $V_{DS} = 1$ V. D'après ces

résultats, pour obtenir une tension de seuil de 1,7 V, la région P doit présenter une concentration en surface de 2^{e+17} cm^{-3} .

b. Dimensions du NMOSFET

Le courant de saturation du NMOSFET doit être suffisant pour décharger rapidement la capacité d'entrée de l'IGBT. Pour déterminer la longueur de grille du NMOSFET, des simulations de type gate charge sont effectuées sur l'IGBT pour évaluer sa capacité d'entrée : un générateur de tension de 600V en série avec une résistance de 300Ω sont connectés sur l'anode de l'IGBT. Le générateur de courant connecté à la grille impose un courant constant I_G de 0,1 A (figure 11).

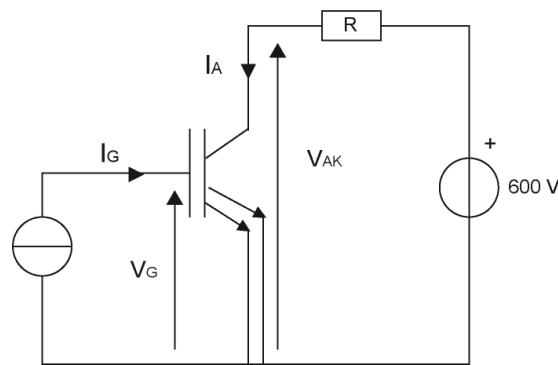


Figure 3. 11: Circuit de simulation « gate charge ».

Sur la figure 12 sont reportées les courbes de $V_G(t)$ et $I_A(t)$ obtenues.

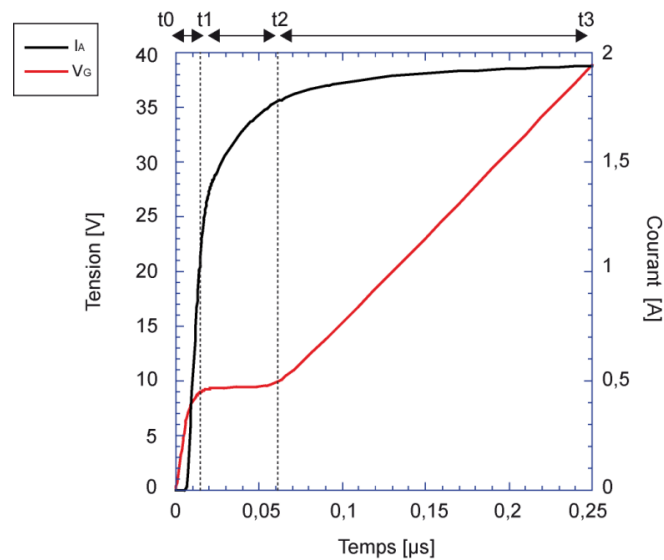


Figure 3. 12 : Tension de grille et courant d'anode en fonction du temps.

Elles se divisent en trois phases. Seule la dernière phase de t_2 à t_3 est utile pour déterminer la valeur maximum de la capacité d'entrée de l'IGBT donnée par l'expression :

$$C = \frac{I * \Delta t}{\Delta V_G} \quad [2.10]$$

ΔV_G est égal à (40-9,5) V, Δt correspond à (t_3-t_2) et I le courant de grille est de 0,1 A. La capacité d'entrée maximum de l'IGBT a donc pour valeur 0,66 nF.

La tension de grille de l'IGBT étant de 9,5 V lors de la mise en conduction du NMOSFET de blocage, le courant nécessaire pour décharger complètement la capacité en 10 μ s est donc de 0,63 mA.

Pour déterminer la longueur de grille du NMOSFET de blocage, une simulation de type $I_D(V_{DS})$ est effectuée sur une cellule de 1 μ m. Le résultat indique que le NMOSFET de blocage présente un $I_{DSAT}=3e-7$ A pour $V_{GS}= 2$ V. Pour que $I_{DSAT}= 0,63$ mA, la longueur de grille du NMOSFET doit donc être de 2100 μ m ($0,63e^{-3}/3e^{-7}$).

c. Dimensions de la partie sense de l'IGBT

Le principe de l'IGBT-sense consiste à dévier une partie du courant total d'anode à travers une électrode auxiliaire, appelée électrode de sense. La réalisation d'un tel dispositif est très facile à effectuer car les IGBTs sont de type multicellulaire [57-58] : il suffit donc de dédier une partie des cellules pour le courant de sense. Ainsi, le courant de sense correspond à un pourcentage du courant total d'anode de l'IGBT. Cette condition est vérifiée si la résistance de sense externe est négligeable par rapport à la résistance R_{DM} [57-59].

Pour atteindre une tension V_{sense} de l'ordre de 1,7 V, soit la résistance est élevée et la proportionnalité n'est pas vérifiée, soit la résistance R_s est faible et le courant de sense est important (par exemple pour une résistance de 10 Ω , I_{sense} vaut 0,17 A soit environ 10 % du courant total). Dans ce deuxième cas, le courant principal est donc fortement diminué, et l'utilisation d'une cellule sense perd tout son intérêt. En effet, le sense est un détecteur de courant qui doit peu modifier les caractéristiques électriques du composant en régime normal de fonctionnement. Il paraît donc plus judicieux de prendre une résistance qui ne permet pas de vérifier la proportionnalité mais qui ne dévie qu'une faible partie du courant principal.

Nous choisissons une résistance de sense R_s de 1 k Ω , qui permet d'obtenir une valeur raisonnable de I_{sense} de 1,7 mA pour mettre en conduction le NMOSFET de blocage. Des simulations sont effectuées sur une cellule IGBT-sense de 50000 μ m de longueur avec une résistance de 1 k Ω connectée en série entre l'électrode de sense et la masse. Différents rapports entre la longueur de cellule de sense et la longueur de cellule de l'IGBT sont testés.

Les résultats indiquent qu'il faut une longueur de grille (longueur de cellule) pour la partie sense de $2200\ \mu\text{m}$ (soit une longueur de grille pour la partie IGBT de $47800\ \mu\text{m}$) pour obtenir un courant de $1,7\ \text{mA}$ pour $V_G = 9,5\ \text{V}$ et $V_{AK} = 2,5\ \text{V}$ (tension pour laquelle le courant principal vaut $2\ \text{A}$).

IGBT-sense et thyristor de blocage

Dans le circuit proposé, le thyristor est un élément basse tension de structure latérale (figure 13). Il doit entrer en latch-up quand le courant total traversant l'IGBT atteint I_{MAX} . Cela signifie que pour un courant total I_{MAX} , le courant de sense doit correspondre au courant de déclenchement du thyristor.

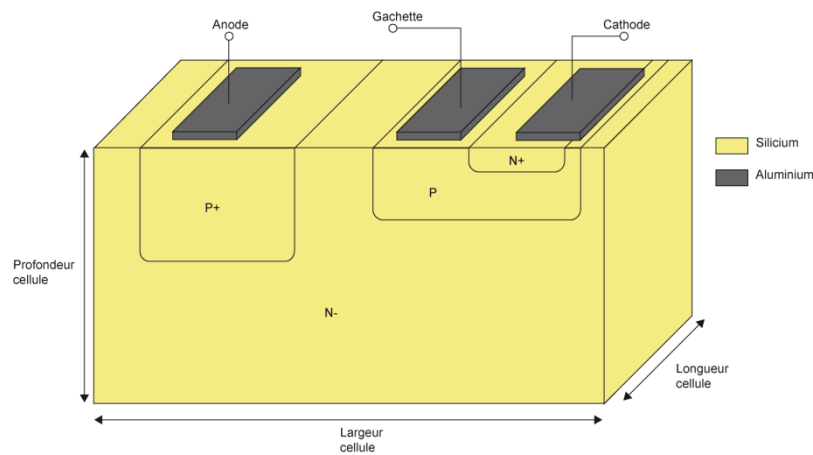


Figure 3. 13 : Structure d'une cellule thyristor

a. Dimensionnement du thyristor

Le courant de déclenchement du thyristor dépend de la résistance de gâchette R_{GK} , c'est-à-dire du profil de dopage de la région P, de sa largeur, de sa longueur et de sa profondeur. Etant donné le nombre important de paramètres affectant la valeur du courant de déclenchement, les profils de dopage de la filière flexible seront conservés pour simplifier l'étude.

Dans un premier temps, des simulations sont réalisées sur une cellule de $1\ \mu\text{m}$ de longueur avec les dimensions données sur la figure 14.

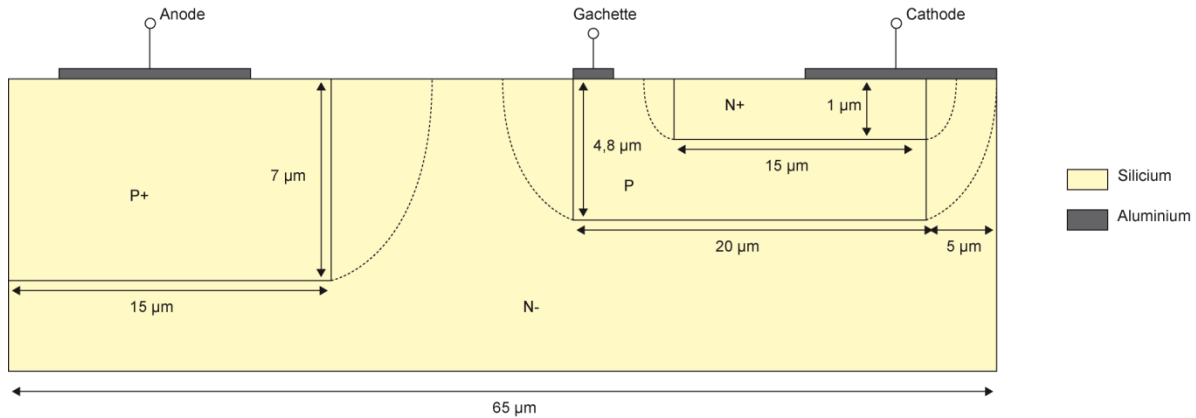


Figure 3. 14 : Dimensions du thyristor latéral

Ces simulations permettent de déterminer le courant de déclenchement du thyristor ainsi que son courant de maintien. Le principe consiste à appliquer une impulsion de courant sur la gâchette du thyristor. L'anode est connectée à un générateur de tension sinusoïdale en série avec une résistance. Les courbes $I_A(t)$, $V_{AK}(t)$ et $I_G(t)$ sont reportées sur la figure 15.

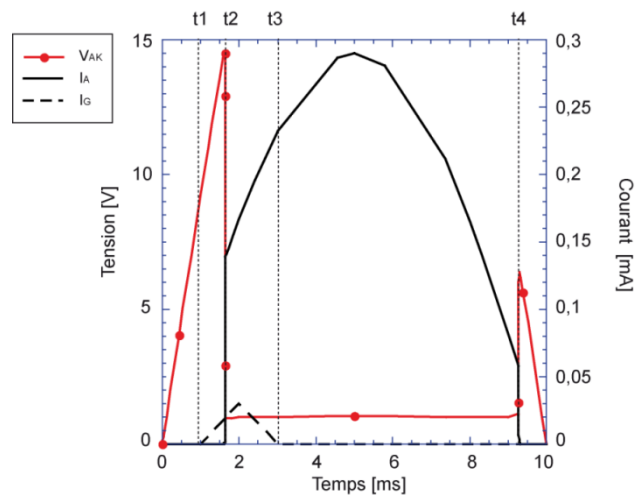


Figure 3. 15 : Tension V_{AK} , courant I_A et courant I_G en fonction du temps

De $t=0$ à t_1 , le thyristor est à l'état OFF. Le courant d'anode est nul et la tension à ses bornes correspond à la tension du générateur. A t_1 , une impulsion de courant est appliquée sur la gâchette du thyristor. A t_2 , le courant de gâchette atteint 0,02 mA et le thyristor entre en conduction. La tension à ses bornes s'effondre et le courant d'anode augmente. A t_3 , l'impulsion sur la gâchette s'arrête, mais le thyristor reste conducteur. A t_4 , le courant d'anode atteint 0,06 mA, et le thyristor s'ouvre. On obtient donc, pour une structure de 1 µm de long, un courant de déclenchement de 0,02 mA et un courant de maintien de 0,06 mA.

Finalement, nous choisissons une longueur de cellule de 1000 μm qui implique un courant de déclenchement ou courant de sense de 0,02 A (soit 1% du courant principal de l'IGBT). La résistance R_{GK} équivalente est égale à 0,6 V/ 0,02 A, soit 30 Ω . Il faut remarquer que R_{GK} peut être vu comme une résistance externe de sense R_{S} .

b. Dimensions de la région de sense

Lorsque le courant principal atteint 2 A, le courant de sense doit être de 0,02 A. Des simulations sont effectuées sur une cellule IGBT-sense de 50000 μm de longueur avec une résistance de 30 Ω connectée en série entre l'électrode de sense et la masse. Différents rapports entre la longueur de cellule de sense et la longueur de cellule de l'IGBT sont testés. Les résultats indiquent qu'il faut une longueur de grille (longueur de cellule) pour la partie sense de 1250 μm (soit une longueur de grille pour la partie IGBT de 48750 μm) pour obtenir un courant de 0,02 A pour $V_{\text{G}}= 9,5$ V et $V_{\text{AK}}=2,5$ V (tension pour laquelle le courant principal vaut 2 A).

NMOSFET de maintien de blocage M3

Le NMOSFET M3 est un composant basse tension de structure latérale identique à celle du NMOSFET de blocage traité précédemment. Sa tension de seuil doit être supérieure à 4 V (en dessous de cette valeur, il risque d'entrer en conduction avant que le NMOSFET de blocage n'ait court-circuité la grille de l'IGBT). La valeur de son courant de saturation doit être suffisante pour décharger rapidement la grille de l'IGBT.

a. Profil de dopage

Le canal de M3 se crée dans la région des diffusions latérales des régions P de substrat. La valeur de la tension de seuil dépend du profil de dopage de cette région. Pour déterminer la combinaison (C_{S} , X_{J}) de la région P qui permet d'obtenir une tension de seuil de 4 V, une cellule de 1 μm de longueur est simulée. Les résultats reportés dans le tableau 3 sont issus des caractéristiques $I_{\text{D}}(V_{\text{GS}})$ pour $V_{\text{DS}}= 1$ V.

Profil région P (C_{S} [cm^{-3}], X_{J} [μm])	($5^{\text{e}+17}$, 4,8)	($6^{\text{e}+17}$, 4,8)	($1^{\text{e}+18}$; 4,8)
V_{TH} [V]	3,2	3,6	4

Tableau 3. 3 : Tension de seuil de M3 en fonction du dopage de la région P de substrat.

Une région P de concentration en surface $1^{\text{e}+18}$ cm^{-3} donne la tension de seuil recherchée.

b. Dimensions

La valeur du courant de saturation est définie par le nombre total de cellules, c'est-à-dire par la longueur de grille.

La capacité d'entrée de l'IGBT a été évaluée précédemment. Pour décharger cette capacité de 0,66 nF en 10 μs (temps raisonnable pour l'application visée), le MOSFET M3 doit fournir un courant de saturation de 0,63 mA, pour une tension V_{GS} d'environ 5 V. Pour déterminer le nombre de cellules nécessaire, une simulation de type $I_D(V_{DS})$ est réalisée sur une cellule de 1 μm avec le profil de dopage retenu précédemment. Pour une tension $V_{GS} = 5$ V, le courant de saturation est égal à $1,2 \cdot 10^{-8}$ A. Pour obtenir un courant de 0,63 mA, il faut donc une longueur de grille de 52500 μm , soit une dimension supérieure à celle de l'IGBT. Pour diminuer cette surface silicium importante, nous préférons augmenter le temps de décharge de 10 μs à 50 μs . Pour ce nouveau délai, la longueur de grille nécessaire est alors de 10500 μm .

Il faut remarquer qu'au moment où M3 entre en conduction, la grille de l'IGBT a été en partie déchargée par l'interrupteur de blocage. M3 est donc dimensionné dans le cas critique où l'interrupteur de blocage n'a pas exercé sa fonction et la grille de l'IGBT est complètement déchargée.

Diode Zéner

La diode Zéner doit présenter une tension de coude V_Z d'environ 11 V pour que le condensateur une fois chargé fournisse une tension de 9,5 V sur la grille de l'IGBT. D'après les résultats obtenus dans le second chapitre, la diode Zéner doit avoir une concentration en surface inférieure à $4 \cdot 10^{17} \text{ cm}^{-3}$ pour la région P et une longueur de cathode inférieure à 200 μm .

Générateur de courant M1

M1 est un NMOSFET vertical qui doit supporter la pleine tension lors de l'état bloqué du dispositif. Son rôle est de charger le condensateur lorsque le dispositif est à l'état OFF. Sa structure est constituée d'un enchaînement $N^+/N/P/N^+$ et d'un canal préformé vertical (figure 16).

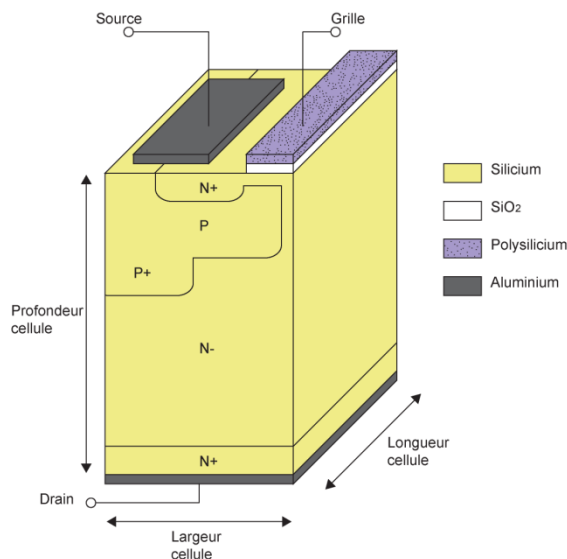


Figure 3. 16 : Structure du générateur de courant M1.

a. Profil de dopage

M1 doit présenter une tension de saturation faible (une valeur inférieure à 5 V est raisonnable) et un courant important pour charger rapidement le condensateur de l'auto-alimentation. La saturation de M1 dépend des profils de dopage de la région P de substrat et de canal (ce dernier se situe dans la zone de diffusion latérale de la région P).

Des simulations de type $I_D(V_{DS})$ à $V_{GS}=0,4$ V sont effectuées sur une cellule de 1 μm de long avec différents dopages de la région P de substrat et du canal. La valeur de la tension V_{GS} est définie par $(V_Z-0,6 \text{ V} - V_{CAPA})$, soit 0,4 V si $V_Z=11$ V et $V_{CAPA} = 10$ V. Seuls les profils de dopage fournissant une tension $V_{DSAT} < 5$ V et des niveaux de courant importants sont reportés dans le tableau 4.

Profil région P (C_S [cm^{-3}]; X_j [μm])	$(3^{e+17}, 4,8)$	$(4^{e+17}, 4,8)$	$(5^{e+17}, 4,8)$	$(6^{e+17}, 4,8)$
C_S canal [cm^{-3}] $X_{JMAX}=0,15$ μm	$2,5^{e+17}$	$3,5^{e+17}$	4^{e+17}	4^{e+17}
V_{DSAT} [V]	1	3	1,5	1
I_{DSAT} [A]	2^{e-7}	6^{e-7}	$2,2^{e-7}$	8^{e-8}

Tableau 3. 4 : Caractéristiques électriques du générateur de courant M1 en fonction des profils de dopage de sa région P de substrat et de son canal à $V_{GS}=0,4$ V.

b. Dimensions

La valeur de la capacité de l'auto-alimentation se déduit des équations (3.17) et (3.18). Pour une capacité d'entrée de l'IGBT de 0,66 nF (déterminée précédemment), une tension V_{GIGBT} de 9,5 V et une tension V_{CAPA} de 10 V, C_{alim} doit avoir pour valeur 12,5 nF.

Le condensateur se charge à courant constant (I_{DSATM1}) lors de l'état bloqué du dispositif. Pour l'application visée, un temps de charge de 10 μ s est une valeur raisonnable. Le courant I_{DSATM1} doit donc vérifier l'égalité suivante :

$$C_{alim} = \frac{I_{DSATM1} * \Delta t}{\Delta V_{capa}}$$

avec $\Delta t = 10 \mu$ s et $\Delta V_{capa} = 10$ V. Il faut donc un courant I_{DSATM1} de 12,5 mA.

Pour une région de substrat P de concentration en surface 4^{e+17} cm^{-3} et un canal de concentration en surface $3,5^{e+17} \text{ cm}^{-3}$, la longueur de grille nécessaire pour obtenir un courant de saturation de 12,5 mA à $V_{GS} = 0,4$ V est de 20833 μ m ($12,5^{e-3}/6^{e-7}$). Tous les autres profils de dopage ont été volontairement écartés pour des raisons de surface silicium trop importantes. Pour diminuer cette longueur, nous préférons choisir un temps de charge plus important égal à 50 μ s. Pour cette durée, M1 doit fournir un courant de saturation de 2,4 mA, correspondant à une longueur de canal de 4000 μ m.

PMOSFET MP

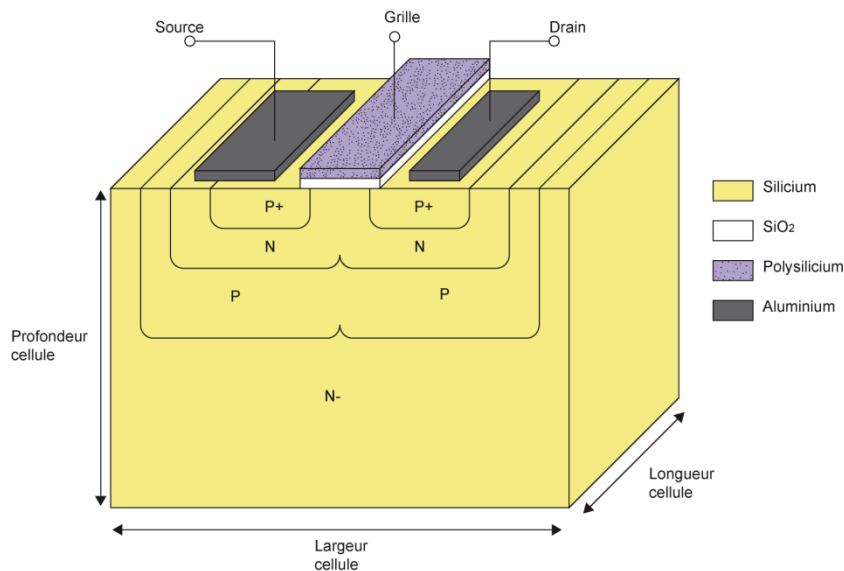


Figure 3. 17 : Structure du PMOSFET

Le PMOSFET MP est un composant basse tension de structure latérale (figure 17). Son rôle consiste à autoriser la charge de la grille de l'IGBT lors de la conduction inverse et de l'état ON du dispositif. Au contraire, il isole l'IGBT du condensateur pendant l'état OFF.

a. Profils de dopage

La tension de seuil de MP est définie à partir des équations (3.6) et (3.16). D'après le dimensionnement de l'IGBT, $V_{CE} = 2,5 \text{ V}$. L'équation (3.6) devient donc :

$$V_{TMP} > 2,5 - 10 = -7,5 \text{ V} \quad [3.23]$$

De même, le dimensionnement de M1 donne une tension de seuil V_{TM1} de -3 V . L'équation (3.16) devient donc :

$$V_{TMP} < -3 + 0,6 = -2,4 \text{ V} \quad [3.24]$$

Nous choisissons une tension de seuil de -5 V pour MP.

Le réglage de la tension de seuil du PMOSFET est complexe car sa structure est constituée d'un empilement de trois couches : les régions P de drain et de source, la région N de substrat, et la région P d'isolation. Ce type de structure est difficile à obtenir car il faut respecter une relation d'ordre entre les trois profils de dopage qui sont extrêmement liés. On comprend donc que la tension de seuil du PMOSFET va dépendre des caractéristiques physiques des trois régions et non pas que du substrat comme c'est le cas pour le NMOSFET. Afin de faciliter le dimensionnement, nous proposons d'imposer un profil de dopage pour la région P d'isolation : sa concentration en surface est de 1^{e+18} cm^{-3} et sa profondeur de jonction de $7 \text{ }\mu\text{m}$. C'est un profil de dopage réaliste, proche de celui de la région P de la filière flexible. Pour les régions N de substrat, la profondeur de jonction est fixée à $3,5 \text{ }\mu\text{m}$. La concentration en surface doit nécessairement être supérieure à 1^{e+18} cm^{-3} pour que les régions N puissent se former. Lorsque ces deux régions sont obtenues, il ne reste que peu de possibilités pour la réalisation des régions P de source et de drain : la profondeur de jonction est de $1 \text{ }\mu\text{m}$ et la concentration en surface doit être légèrement supérieure à celle de la région N (figure 18).

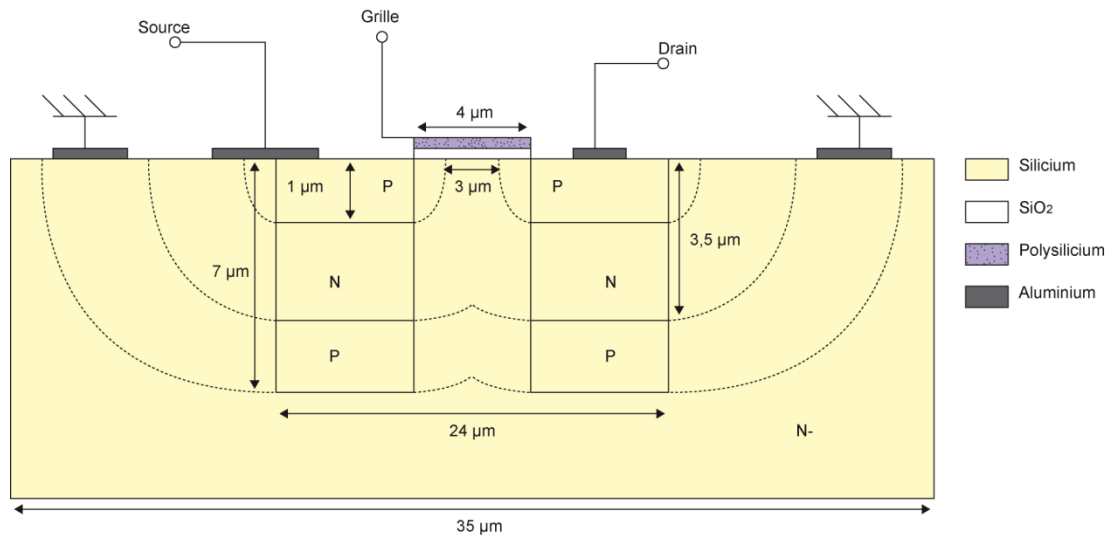


Figure 3. 18 : Dimensions PMOSFET

Des simulations de type $I_D(V_{GS})$ sont effectuées avec différentes concentrations en surface de la région N (et donc des régions P de source et de drain). Finalement, pour obtenir une tension de seuil de -5 V, la région N de substrat et les régions P de drain et de source doivent présenter une concentration en surface de $4,5^{e+18} \text{ cm}^{-3}$.

b. Dimensions

La longueur de grille de MP est fixée par l'équation (3.19). D'après les valeurs obtenues précédemment ($C_{lim} = 12,5 \text{ nF}$ et $C_{IGBT} = 0,66 \text{ nF}$), la résistance à l'état passant $R_{DS(on)}$ de MP doit être inférieure à 3,2 kΩ pour que le temps de charge 5τ de la grille de l'IGBT soit inférieur à 10 μs. Dans un premier temps, des simulations sont effectuées sur des cellules de 1 μm de longueur pour déterminer la résistance « élémentaire » $R_{DS(on)}$ de MP pour $V_{SG} = 10 - (-0,7) \text{ V}$, qui correspond à la tension V_{SG} lorsque le dispositif est dans son régime de conduction inverse (soit -0,7 V aux bornes du dispositif ramené sur la grille de MP). La caractéristique $I_S(V_{DS})$ pour $V_{SG} = 11 \text{ V}$ (figure 19) indique que la résistance à l'état passant $R_{DS(on)}$ d'une cellule de 1 μm est égale à 250 kΩ (1 V/ 4 μA).

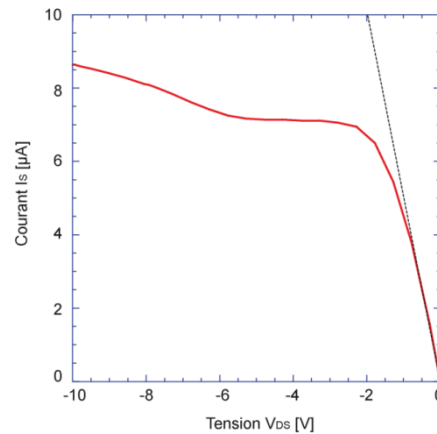


Figure 3. 19 : Caractéristique $I_S(V_{DS})$ du PMOSFET pour $V_{GS} = -10$ V

Pour vérifier l'équation (3.19), nous choisissons une longueur de grille de $1000 \mu\text{m}$ correspondant à une $R_{DS(ON)}$ de 250Ω .

Générateur de courant M4

Lorsque le dispositif s'ouvre, le générateur de courant M4 charge la grille du transistor M3 pour le mettre en conduction, ainsi que la grille de M1. Pour une tension V_{GS} nulle, son courant de saturation doit être suffisamment élevé pour charger la capacité d'entrée de M3 et de M1 mais aussi pour polariser la diode Zéner dans sa zone de régulation. Il doit rapidement saturer pour assurer son rôle de générateur de courant. La structure de M4 est identique à celle de M1.

a. Profil de dopage

Cette étape est identique à celle réalisée dans le chapitre 2 pour le générateur M4. Les dopages de la région P et du canal correspondant à une tension de saturation inférieure à 1 V ont déjà été mentionnés dans le tableau 2.9.

b. Dimensions

La valeur du courant de saturation est définie par le nombre total de cellules, c'est-à-dire par la longueur de grille. Comme dans le cas de la solution basée sur un thyristor-MOS, le courant de saturation de M4 doit être supérieur au courant de saturation inverse de ZD pour la polariser dans sa région de coude, soit :

$$I_{ZMIN} < I_{DSATM4} \quad [3.24]$$

avec I_{ZMIN} de l'ordre de 10^{-9} A.

Pour compléter le dimensionnement de M4, il faut vérifier par simulation que son courant de saturation est suffisant pour charger rapidement la capacité de grille de M3 et de MP (la charge de M1 n'est pas étudiée car c'est un MOSFET à canal préformé qui reste à l'état passant durant la phase complète de fonctionnement). Des simulations de type « gate charge » sont effectuées sur les transistors M3 et MP. Les circuits de test et les résultats obtenus sont représentés sur la figure 20.

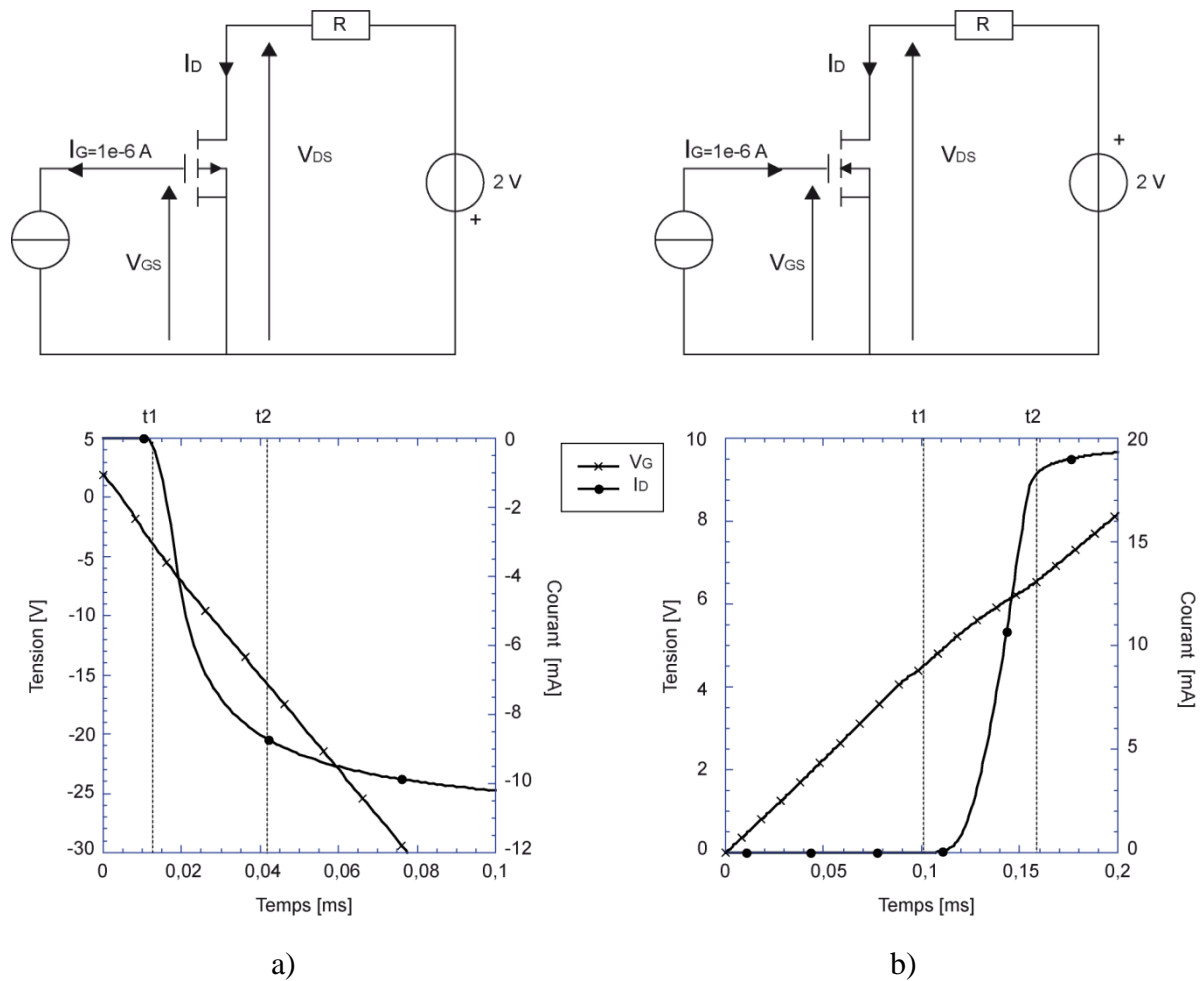


Figure 3. 20 : Simulation de type « gate charge » du PMOSFET (a) et du NMOSFET (b)

Les deux capacités sont calculées de la même manière que dans le chapitre 2 :

- Pour le NMOSFET M3, $I_G = 1e-6 A$, $\Delta t = 1e-4 s$, $\Delta V_G = 4V$ et $C_{M3} = 25 pF$. Pour la charger en 200 ns, il faut donc un courant de 0,5 mA.
- Pour le PMOSFET MP, $I_G = 1e-6 A$, $\Delta t = 1,1e-5 s$, $\Delta V_G = 5V$ et $C_{MP} = 2,2 pF$. Pour la charger en 200 ns, il faut donc un courant de 55 μA .

Pour une région de substrat P de concentration en surface $3e+17 cm^{-3}$ et un canal de concentration en surface $3e+17 cm^{-3}$, la longueur de grille nécessaire pour obtenir un courant de

saturation de 0,555 mA à $V_{GS} = 0$ V est de $3470 \mu\text{m}$ ($0,555^{e-3}/1,6^{e-7}$). Les autres profils de dopage de la région P ne sont pas conservés car les dimensions du canal seraient beaucoup plus importantes.

Synthèse

Dans le tableau 5 sont répertoriées les longueurs de cellule des composants au terme de ce dimensionnement.

Composant	IGBT	NMOSFET blocage	Thyristor blocage	M3	MP	M1	M4	Diode Zéner
Longueur cellule [μm]	50000	2000	1000	10000	1000	4000	3470	400

Tableau 3. 5: Longueur de cellule des composants de l'architecture

Les dimensions obtenues sont raisonnables. Elles sont nettement inférieures à celles de la solution étudiée dans le chapitre 2. Il est à noter que l'IGBT, qui est l'interrupteur de puissance, occupe la surface la plus importante. D'une façon générale, le dimensionnement de ce circuit est beaucoup moins critique. Le risque d'un sous-dimensionnement peut conduire à des temps de commutation plus longs, mais pas systématiquement à l'échec de la fonction. La seule inconnue reste la taille du condensateur. Elle sera déterminée plus tard quand nous aborderons les possibilités de son intégration. Enfin il faut noter que le dimensionnement proposé est valable pour des composants discrets. Certaines structures, comme le thyristor, ne peuvent être intégrées en cet état, car les différents potentiels vus par la structure complète demandent des tenues en tension plus importantes que celles requises pour des associations discrètes de composants.

2.2. Validation du fonctionnement de l'architecture

Les composants sont maintenant associés de façon discrète et insérés dans une cellule de commutation identique à celle proposée dans le chapitre 2. Cette étape est réalisée à l'aide de l'outil MIXED-MODE de SENTAUROS TCAD qui permet de coupler des composants 2D issus de la simulation physique à des éléments de type SPICE.

Comparaison des modes de blocage par NMOSFET et par thyristor

Dans un premier temps, afin d'effectuer un choix sur la nature de l'interrupteur de blocage à utiliser (thyristor ou NMOSFET), nous limiterons les simulations à la seule phase de fonctionnement allant de la détection du courant maximum jusqu'à l'ouverture de l'interrupteur principal.

Pour simplifier l'étude, l'auto-alimentation sera remplacée par la mise en série d'une source de tension de 10 V et d'une résistance R_G de 50 Ω connectée à la grille de l'IGBT (figure 21). Seuls l'IGBT sense et l'interrupteur de blocage sont des composants issus de la simulation physique 2D.

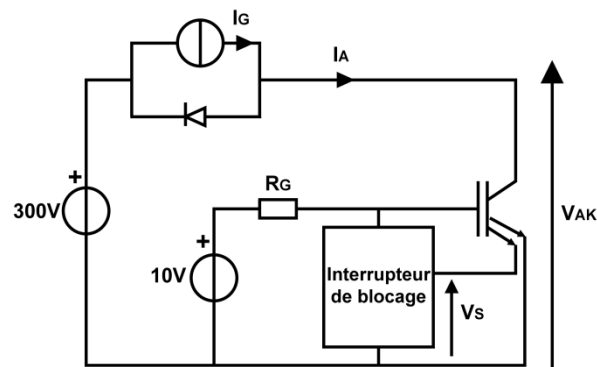


Figure 3. 21 : Circuit de simulation de la mise en court-circuit de la grille de l'IGBT

Dès que le courant I_G du générateur est positif, l'IGBT devient passant et le courant principal $I_A = I_G$ (figure 21). La croissance linéaire de I_A entraîne l'augmentation du courant délivré par l'électrode de sense (I_{sense}).

Dans la solution utilisant un NMOSFET de blocage (figure 22 a), le courant I_{sense} circule à travers une résistance de sense (R_s). C'est l'évolution de la tension V_S aux bornes de cette résistance qui va permettre d'atteindre la tension de seuil du NMOSFET de blocage ($t = 1,3 \cdot 10^{-2}$ s - $I_A = 2,8$ A) et conduire à l'ouverture de l'IGBT par la mise en court-circuit des électrodes de grille et de cathode. Il est important de noter que, dès que le courant dans l'IGBT commence à décroître, l'effet de blocage du NMOSFET a tendance à diminuer, et comme le montrent les chronogrammes de simulation de la figure 22.a, l'ensemble NMOSFET-IGBT entre dans un mode de fonctionnement linéaire (limiteur de courant). Dans la structure complète, c'est par le biais de la cellule de maintien de blocage (M4 – ZD – M3) que l'on parviendra à obtenir le blocage définitif de l'IGBT.

L'analyse des résultats de simulation montre que le courant de disjonction est supérieur à 2 A. Cela est dû à la valeur excessive de V_S qu'il faut atteindre pour entraîner la mise en conduction de l'interrupteur de blocage. En effet, l'augmentation de V_S entraîne une

diminution de V_{GS} et le canal sous la grille de l'IGBT devient de plus en plus résistif. La valeur du courant total correspondant à une tension V_S de 4 V (tension de seuil du MOS de blocage) est plus élevée que prévue. Cette solution ne permettra donc pas de régler avec précision la valeur du courant de disjonction.

Cependant, ce problème ne se pose pas si l'on utilise un blocage par thyristor puisque ce dernier est commandé en courant. Ainsi, pour $t = 8$ ms, le courant I_A atteint 2 A, la tension de sense est voisine de 0,7 V (figure 22 b) et le thyristor se déclenche entraînant l'ouverture de l'IGBT par la mise en court-circuit des électrodes de grille et de cathode. Nous voyons donc que dans le cas d'un blocage par thyristor on obtient d'une part une meilleure précision sur la valeur du courant de disjonction et d'autre part un gain en terme de chute de tension aux bornes du dispositif (car V_S est moins importante).

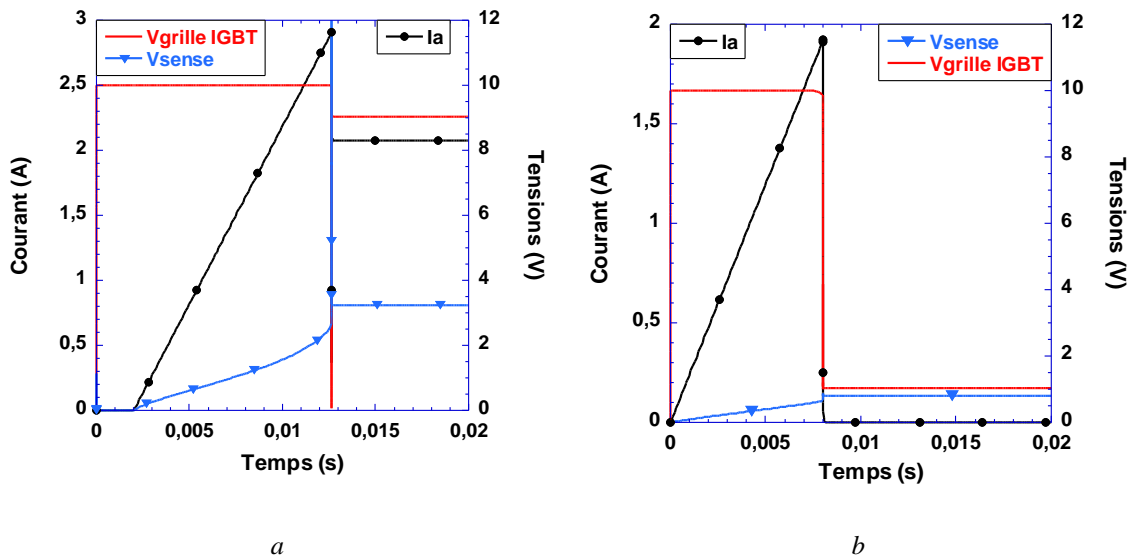


Figure 3.22 : Étape de court-circuit grille-cathode de l'IGBT à l'aide des solutions blocage par NMOSFET (a) et blocage par thyristor (b)

Ces dernières remarques nous conduisent à écarter la solution de blocage par NMOSFET et de ce fait la suite de l'étude ne portera donc que sur la solution blocage par thyristor.

Cycle complet de fonctionnement

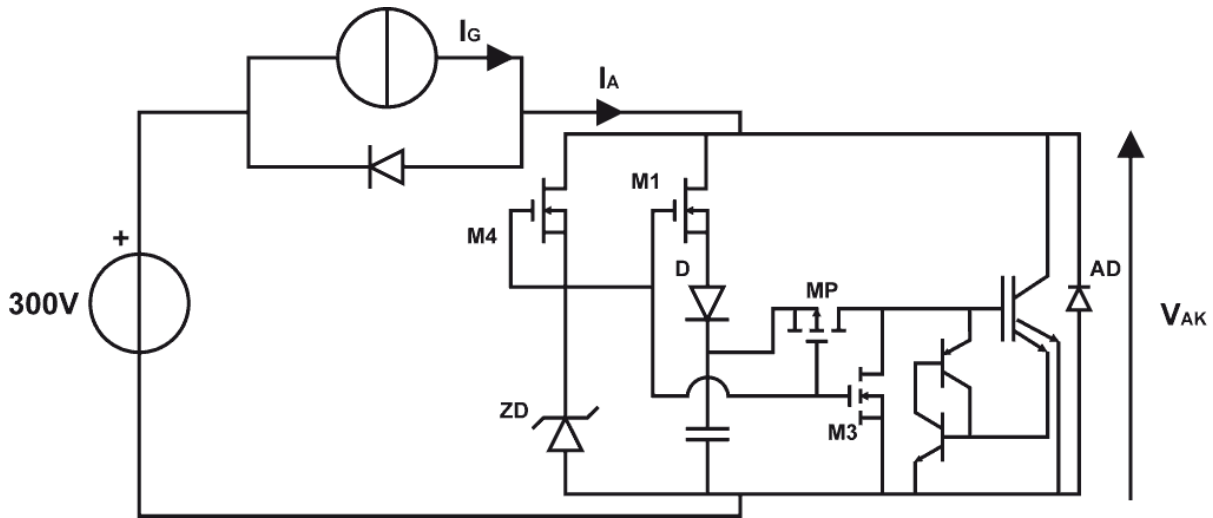


Figure 3. 23 : Circuit de simulation de la solution avec blocage par thyristor

L'architecture complète est simulée dans les mêmes conditions que la première solution basée sur un thyristor-MOS auto-amorçable (figure 23). Tous les composants de l'architecture sont des structures 2D, mis à part le condensateur qui est un composant de type SPICE.

Lors de la première alternance positive du courant I_G , le condensateur de l'auto-alimentation n'est pas chargé et ne permet donc pas la mise en conduction de l'IGBT (figure 24). La diode de roue libre se met à conduire et entraîne l'augmentation de la tension V_{AK} aux bornes de l'interrupteur. Cette tension est transmise par l'intermédiaire du NMOSFET M4 à la grille du PMOSFET MP, à celle du NMOSFET M3 et à celle du NMOSFET M1. La grille de M3 se charge, entraînant sa mise en conduction et le court-circuit de la grille de l'IGBT. En même temps, la grille de M1 se charge et le courant qui traverse ce transistor vient charger le condensateur de l'auto-alimentation à une tension $(V_{z\acute{e}ner} - V_{THM1} - V_D)$. L'augmentation de la tension aux bornes du condensateur entraîne l'ouverture du transistor MP. Ainsi, d'une part on isole la grille de l'IGBT de l'auto-alimentation, et d'autre part on évite la décharge du condensateur à travers M3.

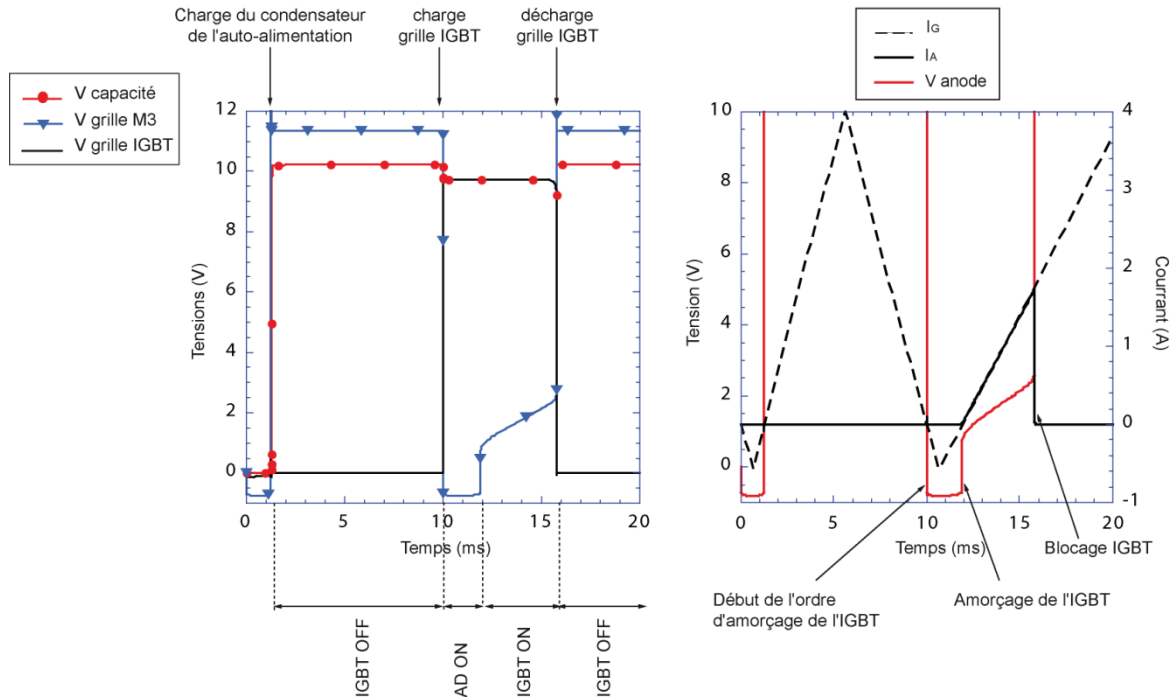


Figure 3. 24 : Cycle complet de fonctionnement avec blocage par thyristor.

Quand I_G s'annule, la diode de roue libre s'ouvre. Le courant I_G du générateur devient négatif, la diode antiparallèle AD se met à conduire et la tension V_{AK} aux bornes du dispositif s'effondre à $-0,7$ V. Cette tension est appliquée par l'intermédiaire de M4 à :

- la grille du NMOSFET M3 qui se décharge et libère le blocage de l'IGBT.
- la grille de MP qui se met à conduire et permet ainsi au condensateur de l'auto-alimentation de charger la capacité d'entrée de l'IGBT.

Lorsque le courant I_G s'annule, la diode antiparallèle AD s'ouvre. Puis I_G devient positif à nouveau et comme l'ordre de blocage a été supprimé et que le condensateur est relié par MP à la grille de l'IGBT, celui-ci se met à conduire. Le courant I_G fourni par le générateur circule alors à travers l'IGBT et constitue le courant principal I_A de l'interrupteur.

Lorsque I_A atteint le niveau de limitation fixé à 2 A, le thyristor de blocage se déclenche comme vu précédemment et arrête la conduction de l'IGBT. Le courant I_A s'annule, la diode de roue libre entre en conduction et la tension V_{AK} aux bornes du dispositif augmente. Cette tension est alors appliquée sur la grille du transistor M3 qui se met en conduction et vient maintenir le court-circuit de la grille de l'IGBT.

3. Intégration de l'auto-alimentation

La brique d'auto-alimentation réalise une fonction de stockage autonome. Sa réalisation monolithique, qui n'a jamais été proposée, est complexe car elle doit associer sur une même puce de silicium des composants actifs (dans notre cas un NMOSFET vertical à canal préformé et une diode basse tension) et un condensateur de forte capacité (dans notre cas 12,5 nF) pour stocker une énergie suffisante. La réalisation d'une capacité planaire, qui aurait simplifié l'intégration, ne peut être envisagée car les faibles densités qu'elle présente (de l'ordre de $0,63 \text{ nF/mm}^2$ pour une épaisseur de SiO_2 de 55 nm) entraîneraient une surface de silicium trop importante pour le condensateur. Nous avons donc choisi de réaliser un condensateur tridimensionnel [60] qui permet d'atteindre une densité de capacité plus élevée de l'ordre de 45 nF/mm^2 . Son principe consiste à graver des pores dans le substrat de silicium, et ainsi d'augmenter la surface des électrodes tout en gardant une surface sur la puce minimale.

Pour intégrer monolithiquement l'auto-alimentation, nous allons modifier le procédé technologique de la filière flexible pour permettre la réalisation d'un condensateur 3D. Puis nous étudierons les interactions électriques qui peuvent se créer dans le volume de silicium entre les composants actifs et le condensateur.

3.1. Le procédé technologique

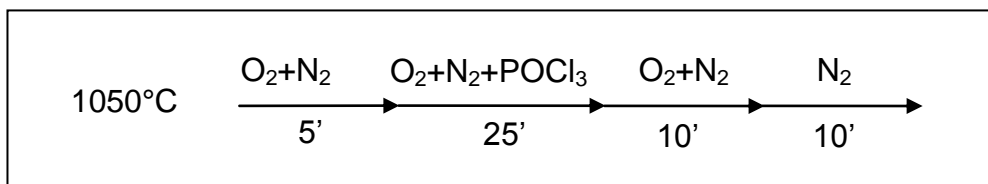
Pour réaliser la brique d'auto-alimentation, il faut modifier la filière flexible pour intégrer les étapes spécifiques à la réalisation des condensateurs 3D. Ce travail est loin d'être aisé car, bien que certaines étapes technologiques puissent être mises en commun, des modifications importantes sont nécessaires et peuvent affecter les caractéristiques électriques des composants actifs.

Procédé technologique des condensateurs 3D

La réalisation des condensateurs 3D s'appuie sur un procédé technologique spécifique qui consiste à graver par DRIE (Deep Reactive Ion Etching) des pores à fort facteur de forme dans un substrat de silicium (figure 25). Cette technique permet d'obtenir des surfaces d'électrode importantes, sur lesquelles est déposé un diélectrique fin ayant une permittivité élevée : une bicouche $\text{SiO}_2 / \text{Si}_3\text{N}_4$ ($\epsilon_r = 7$). Ainsi des densités élevées de capacité (de l'ordre de 45 nF/mm^2) sont obtenues [61].

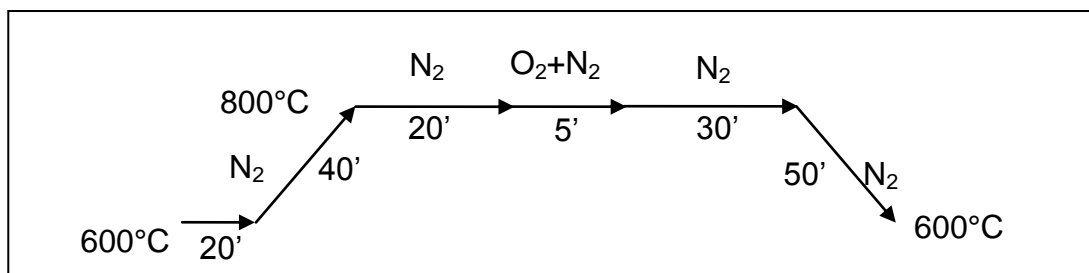
Le substrat de départ, qui tient lieu d'électrode inférieure, est du silicium de type N dopé à 10^{18} cm^{-3} . Les étapes technologiques sont les suivantes (figure 26) :

- Des pores sont gravés par DRIE dans le substrat de silicium pour augmenter la surface développée des électrodes.
- Une diffusion de phosphore à $1050 \text{ }^\circ\text{C}$ réalise un dopage constant N^+ en surface et le long des cavités, permettant ainsi d'assurer un contact ohmique de l'électrode inférieure et de minimiser sa résistance série.

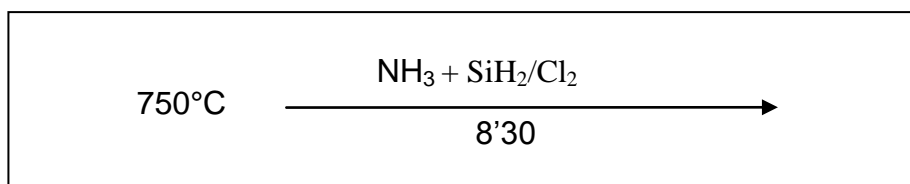


Diffusion N^+

- Le diélectrique est ensuite formé avec une bicouche d'oxyde de silicium (6 nm), dont la croissance s'effectue par oxydation thermique, et de nitrure de silicium (20 nm), déposé par LPCVD (Low Pressure Chemical Vapour Deposition).



Croissance de l'oxyde



Dépôt de nitrure stoechiométrique

- L'électrode supérieure de polysilicium dopé bore ($2.10^{20} \text{ cm}^{-3}$) de $1,5 \mu\text{m}$ d'épaisseur est ensuite déposée par LPCVD à $490 \text{ }^\circ\text{C}$ dans un four spécifique [62].
- Finalement une couche d'or (précédée d'une fine couche d'accroche en titane) est déposée par évaporation pour assurer les contacts ohmiques. Il y a donc une reprise en face avant pour l'électrode inférieure.

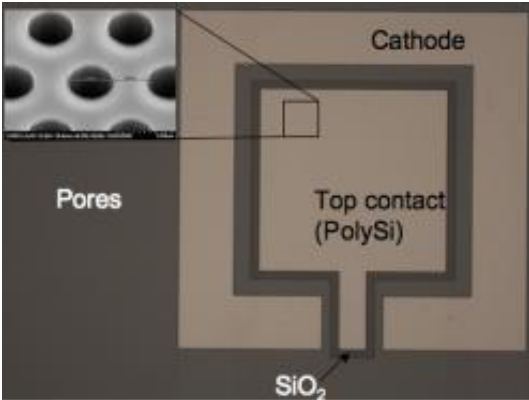


Figure 3. 25 : Vue de dessus d'un condensateur 3D.

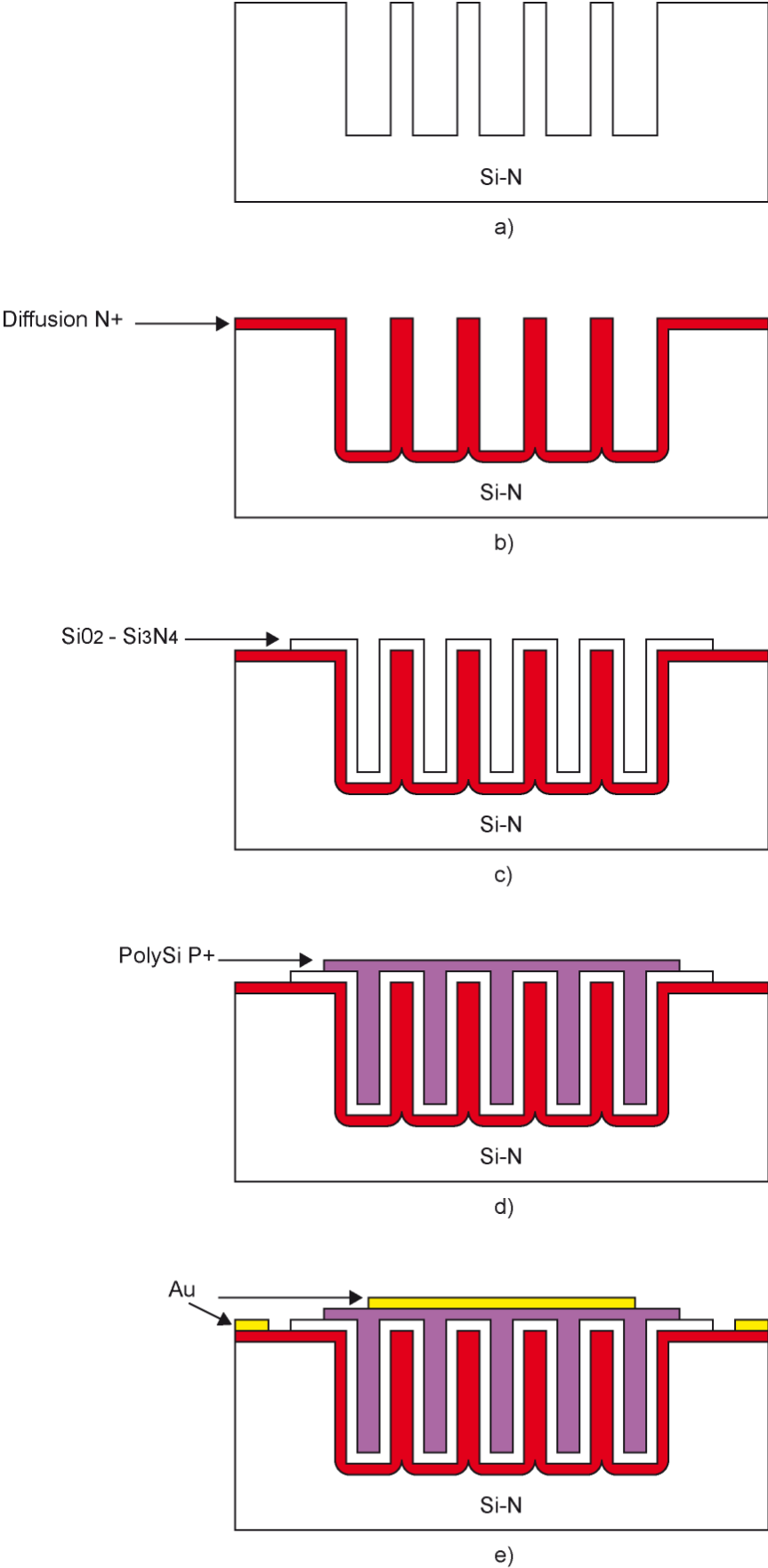


Figure 3. 26 : Etapes de fabrication des condensateurs 3D

Optimisation de la filière flexible

La filière flexible, que nous utilisons et que nous avons déjà présentée dans le premier chapitre, s'appuie sur un enchaînement d'étapes de base correspondant à la réalisation d'une structure de type IGBT. A ces étapes de base peuvent être ajoutées des étapes spécifiques permettant de réaliser de nouvelles fonctionnalités plus complexes sans modifier les caractéristiques électriques des composants de base.

Pour réaliser la brique d'auto-alimentation, il faut compléter cette filière flexible par de nouvelles étapes spécifiques propres à la réalisation des condensateurs 3D. Le processus final devra respecter le principe d'auto-alignement qui est la base du procédé technologique associé à la filière flexible, présenter des étapes toutes compatibles entre elles, vérifier l'isolation des éléments basse tension vis-à-vis des composants haute tension, et surtout être constitué d'un minimum d'étapes.

En plus des conditions fixées par la filière flexible, il faut aussi prendre en compte les contraintes imposées par la réalisation des condensateurs 3D, en particulier celles de l'étape de dépôt du polysilicium qui s'avère la plus critique. Le polysilicium, qui représente l'électrode supérieure du condensateur, doit remplir les cavités et présenter un dopage uniforme sur toute leur longueur. Un procédé spécifique pour un dépôt LPCVD de polysilicium dopé bore dans un four vertical a été développé au LAAS [62-63] répondant à ces critères : conformité, dopage uniforme, faibles contraintes. Avec ce procédé, le polysilicium est dopé in situ (assurant ainsi un dopage constant jusqu'au fond des cavités) à la différence du dépôt de polysilicium dopé N^+ utilisé dans le procédé IGBT classique où le polysilicium est dopé à posteriori.

Pour répondre à toutes ces exigences, trois modifications du processus IGBT sont proposées :

- Afin de minimiser le nombre d'étapes, l'oxydation et l'étape de dépôt du polysilicium seront communes à la réalisation du condensateur et des composants actifs. Suite aux précédentes remarques, l'étape de dépôt de polysilicium utilisée dans le procédé IGBT est remplacé par le dépôt de polysilicium dopé bore du procédé condensateur 3D. De plus, pour conserver le principe d'auto-alignement du procédé IGBT, l'étape d'oxydation et l'étape de dépôt du polysilicium doivent être réalisées en début de processus.
- La réalisation de la grille en début de processus implique que le polysilicium va subir de nombreuses étapes thermiques. Pour éviter le phénomène d'exodiffusion du bore

depuis le polysilicium, l'oxyde de grille de 50 nm est remplacé par une couche de SiO_2 de 10 nm surmontée d'une couche de Si_3N_4 de 80 nm. Les épaisseurs des couches de SiO_2 et de Si_3N_4 ont été calculées pour fournir la même capacité d'oxyde et ainsi éviter les modifications des caractéristiques électriques du NMOSFET.

- Le condensateur doit être isolé de la haute tension. Il sera donc réalisé dans une région P^+ reliée à la masse. Cette région, qui remplace la région N^+ diffusée, représente l'électrode inférieure du condensateur. La profondeur de jonction de la région P^+ (7 μm) impose une profondeur maximum des pores de 6 μm . L'étape d'implantation de la région P^+ , qui va accueillir les cavités, est déplacée avant la réalisation de la grille. L'auto-alignement du procédé est toujours conservé car, dans le procédé classique IGBT, la région P^+ n'est pas alignée par rapport à la grille.

Les étapes technologiques nécessaires à la réalisation de la brique auto-alimentation s'enchaînent donc de la façon suivante (figure 27):

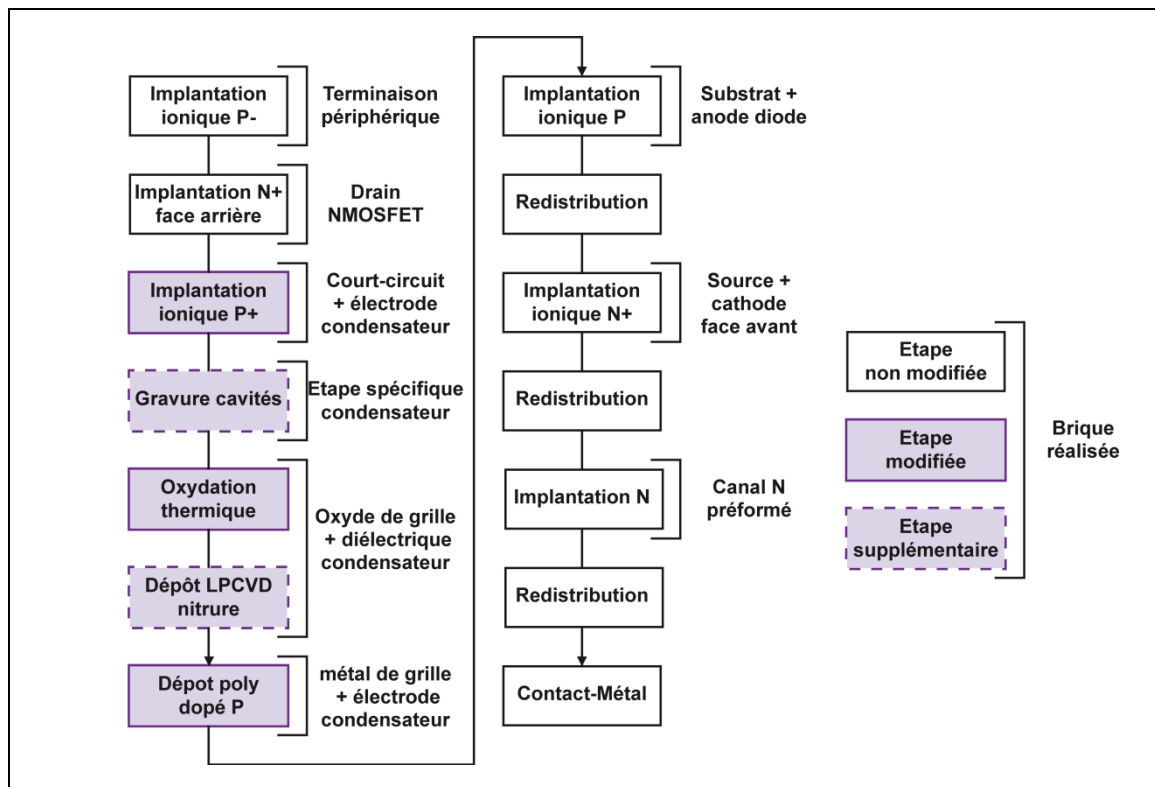
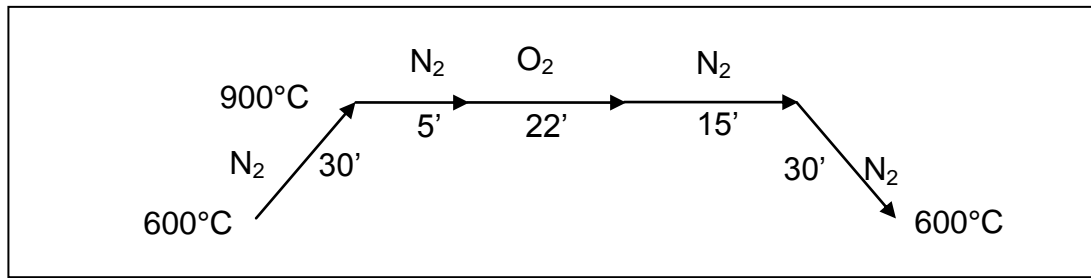
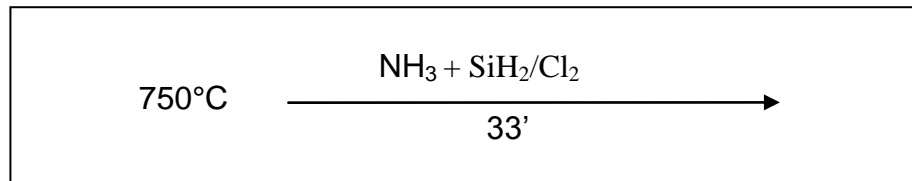


Figure 3. 27 Procédé technologique IGBT modifié.

L'oxydation thermique est réalisée à 900 °C pendant 22 minutes pour obtenir une couche de SiO_2 de 10 nm, et le dépôt de nitrure de 80 nm dure 33 minutes à 750 °C.

*Oxydation thermique**Dépôt nitrure*

Validation du procédé

Pour valider le fonctionnement du nouveau procédé technologique, il faut vérifier la faisabilité des étapes propres aux composants actifs, des étapes spécifiques à la réalisation des condensateurs 3D et les effets des étapes thermiques.

a. Profils de dopage des régions semi-conductrices

Les étapes propres aux composants actifs sont les étapes d'implantation des régions semi-conductrices. La comparaison des profils de dopage des régions semi-conductrices obtenus à partir du nouveau procédé (nouvel enchaînement des étapes, oxyde de grille de type bicouche SiO₂-nitrure, et polysilicium dopé P⁺) avec ceux obtenus à partir du procédé IGBT classique permet de vérifier la faisabilité des étapes d'implantation et de valider le nouveau bilan thermique. Pour cela, nous effectuons des simulations de la réalisation technologique d'un transistor NMOS à l'aide de l'outil de simulation physique 2D ATHENA du logiciel SILVACO [53].

Les régions semi-conductrices P matérialisent les substrats des NMOSFETs et sont réalisées par implantation ionique de bore. Dans le procédé classique IGBT, leur concentration en surface est de 6^{e+17} cm^{-3} et leur profondeur de jonction de 4,8 μm pour une dose d'implantation de 1^{e+14} cm^{-2} et une énergie de 50 keV. Avec le nouveau procédé technologique, les régions P présentent, à l'issue du bilan thermique complet, un profil de dopage légèrement différent de celui obtenu avec le procédé classique (figure 28-a), soit une concentration en surface de 5^{e+17} cm^{-3} et une profondeur de jonction de 4,7 μm (figure 28-b).

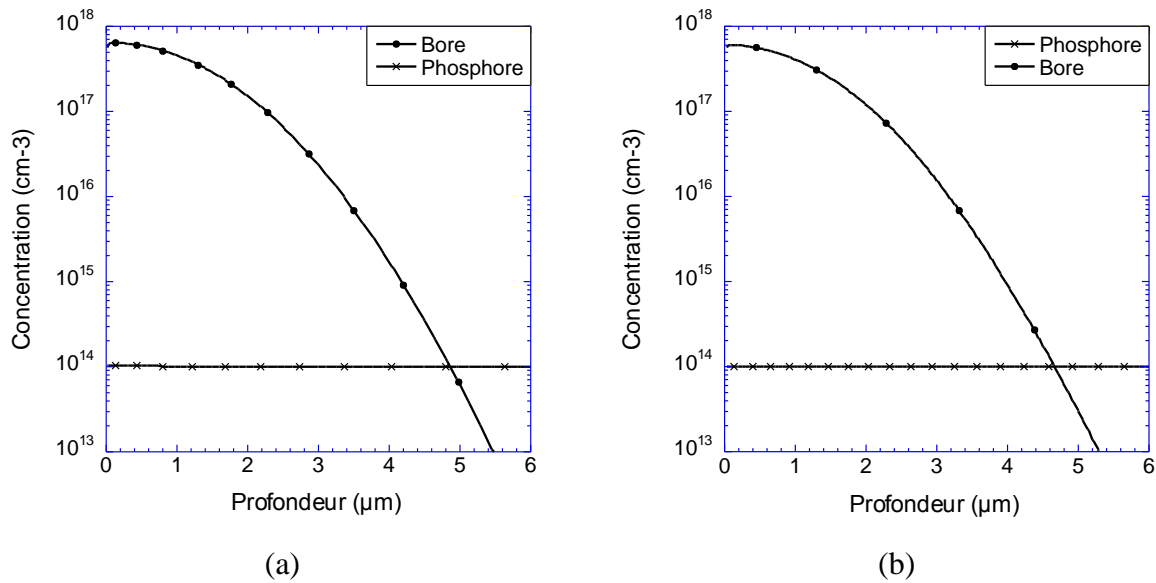


Figure 3. 28 : Profil de la concentration finale en bore de la région P pour une dose implantée de 1^{e+14} cm^{-2} à 50 keV avec le procédé classique(a) et le nouveau procédé (b).

Les régions N^+ , qui matérialisent les zones de source et de drain des NMOSFETs, sont réalisées par implantation ionique d’arsenic dans les régions P. Avec une dose de 1^{e+16} cm^{-2} et une énergie de 100 keV, on obtient, pour le procédé classique, une concentration en surface de 1^{e+20} cm^{-3} et une profondeur de jonction de 1 μm . Les résultats de simulation montrent que pour le nouveau procédé la concentration en surface est de 2^{e+18} cm^{-3} et la profondeur de jonction de 0,3 μm (figure 29).

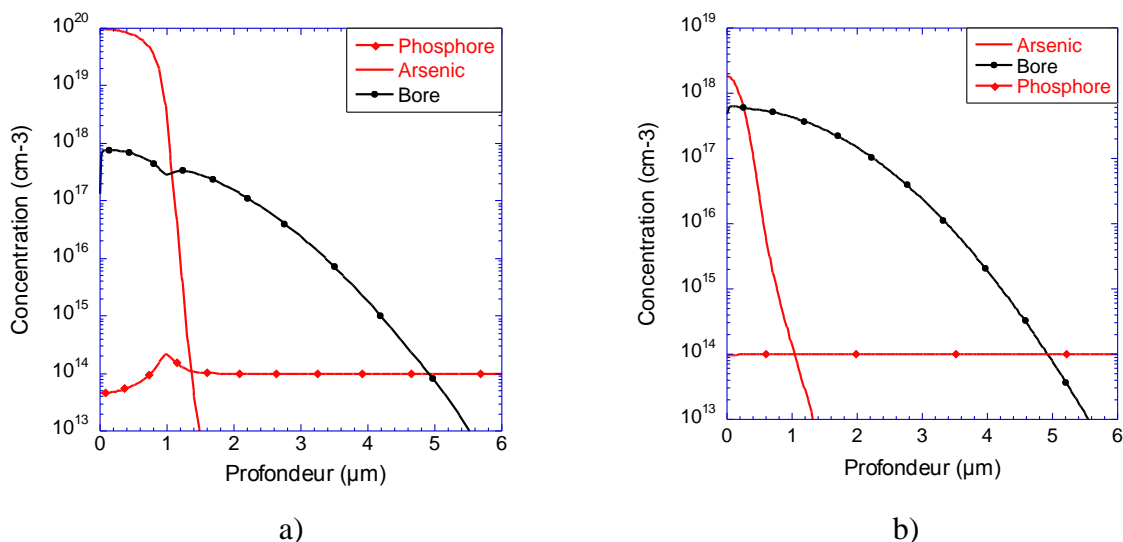


Figure 3. 29: Profils de dopage des régions N^+ et P avec procédé classique IGBT (a) et nouveau procédé technologique (b)

Avec le nouveau procédé technologique, la dose des dopants présents dans le silicium diminue légèrement pour le bore et de façon importante pour l’arsenic. Le remplacement de la

couche d'oxyde de silicium de 50 nm par une bicouche d'oxyde-nitride de 10nm et 80 nm respectivement est responsable de cette diminution. Le nitride présente une plus forte capacité de masquage vis-à-vis de l'implantation que le SiO_2 : il freine les atomes implantés, et diminue ainsi la dose de dopants présents dans le silicium. Ce phénomène s'accroît si l'impureté implantée est lourde, comme l'arsenic. A titre d'exemple, pour une énergie d'implantation de 100 keV, on considère que l'implantation de bore est complètement masquée si la couche de nitride est de $4,5 \mu\text{m}$ alors que pour une implantation d'arsenic une couche de $0,1 \mu\text{m}$ suffit [64].

Pour retrouver le profil de dopage obtenu avec le procédé classique, il faut donc atténuer les effets du freinage en augmentant la vitesse des ions c'est-à-dire l'énergie d'implantation. L'implanteur disponible au LAAS peut fournir une énergie d'implantation maximum de 185 keV. Les résultats de simulation montrent que l'énergie d'implantation de la région P doit être augmentée à 70 keV pour obtenir le profil de dopage désiré (figure 30).

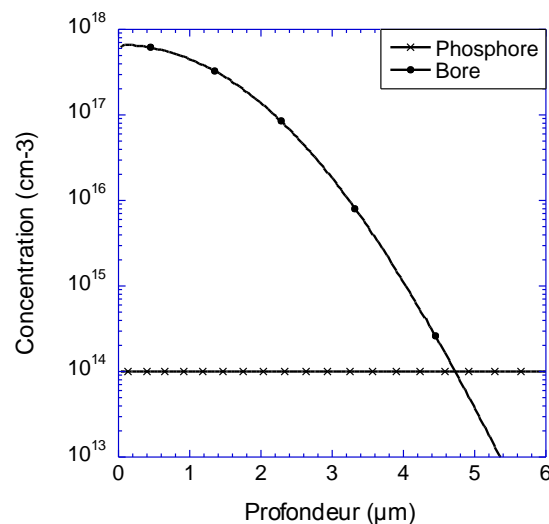


Figure 3. 30 : Profil de dopage de la région P avec une énergie d'implantation de 70 keV.

L'implantation à haute énergie d'une dose importante d'espèce lourde, telle que l'arsenic, peut entraîner une détérioration de la résine de masquage déposée sur la plaquette lors de la photolithographie. Pour cette raison, nous limiterons l'énergie maximale d'implantation à 160 keV. Les résultats de simulation montrent qu'à cette énergie, la concentration en surface reste très inférieure à 10^{20}cm^{-3} (figure 31).

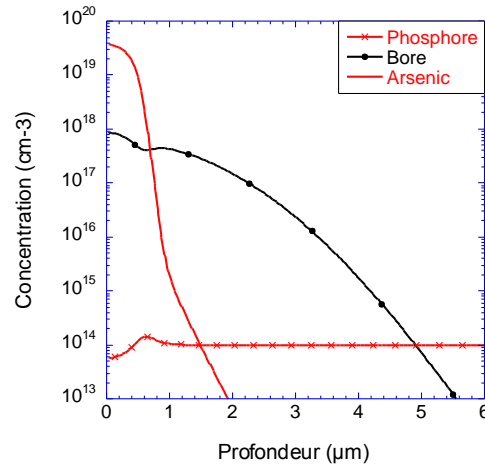


Figure 3. 31 :Profils de dopage avec une énergie d'implantation de 160 keV pour l'arsenic.

Il faut donc remplacer l'arsenic par une espèce plus légère, comme par exemple le phosphore. Mais quelle que soit la température, cette espèce a un coefficient de diffusion dans le silicium plus important que celui de l'arsenic. Il faut donc aussi modifier l'étape de redistribution qui suit l'étape d'implantation. Les résultats de simulation montrent que pour obtenir le profil de dopage recherché, il faut implanter une dose de phosphore de 1^{e+16} cm^{-2} à une énergie de 110 keV, puis réaliser une étape de redistribution à 1050 °C durant 50 minutes (figure 32). La diminution de la température et du temps de recuit influent peu sur le profil de dopage de la région P. En effet, le premier recuit à 1150 °C durant 210 minutes que subit cette région redistribue largement les dopants dans le silicium. Le deuxième recuit, qui s'effectuait auparavant à 1150 °C, ne modifiait que très peu le profil de dopage de la région P car le premier recuit avait déjà suffisamment diminué les gradients de concentration et donc le phénomène de diffusion.

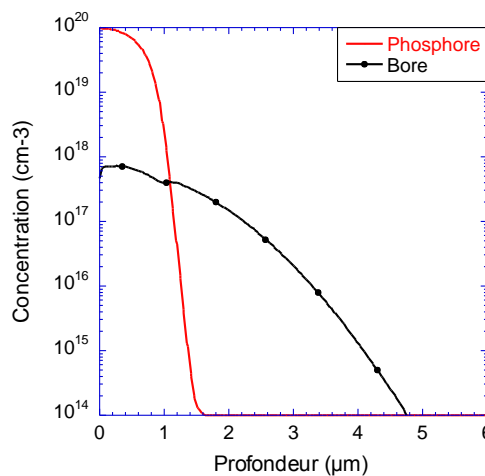


Figure 3. 32 : Profil de dopage de phosphore.

L'implantation de la région P^+ s'effectue désormais avant la réalisation de la grille. Le caisson P^+ subit toujours les recuits d'activation du bore et de l'arsenic mais il voit en plus l'oxydation thermique à 900 °C, le dépôt de nitrure à 750 °C et le dépôt de polysilicium à 490 °C. A ces températures, le coefficient de diffusion du bore dans le silicium est très faible ($< 10^{-14} \text{cm}^2/\text{sec}$) [65]. La diffusion est donc négligeable, voire inexistante et le profil de dopage du caisson P^+ reste inchangé par rapport au procédé classique IGBT (concentration en surface 3^{e+19}cm^{-3} et profondeur de jonction 7 μm).

Nous avons vu précédemment que la bicouche d'oxyde-nitrure masquait l'implantation. Ce phénomène peut s'avérer critique lors de l'étape d'implantation du canal préformé, car le phosphore doit traverser une couche de polysilicium de 300 nm (épaisseur maximum de polysilicium que le phosphore peut traverser) et la bicouche oxyde-nitrure. La simulation ne peut pas être utilisée pour vérifier l'implantation de phosphore à travers la grille car les modèles du polysilicium ne sont pas adaptés. Il faut donc réaliser des analyses SIMS sur des plaquettes tests. Pour le procédé IGBT classique, l'énergie d'implantation des canaux préformés est de 180 keV. Sur des pleines plaques de silicium dopées N de concentration 1^{e+14}cm^{-3} , nous avons fait croître 10 nm de SiO_2 , puis déposé 80 nm de nitrure et 300 nm de polysilicium dopé bore. Nous avons ensuite implanté une dose de 1^{e+14}cm^{-2} de phosphore à 185 keV. Les résultats de l'analyse de ces plaques tests montrent la présence d'une concentration élevée de phosphore sous la grille (figure 33) et ainsi vérifient qu'il est possible d'implanter une faible dose de phosphore.

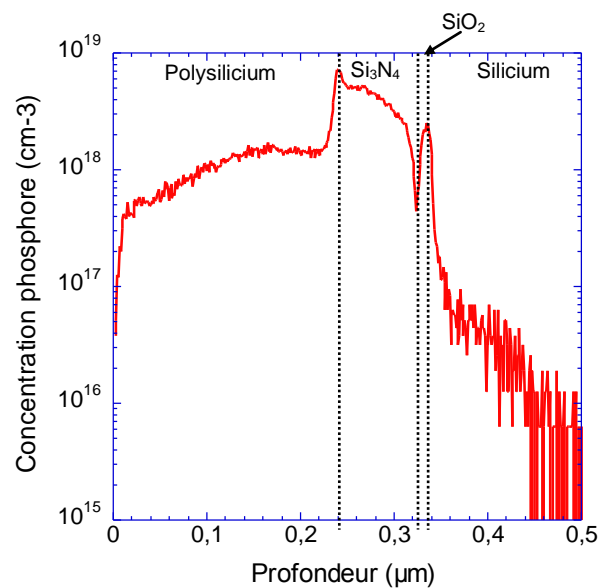


Figure 3. 33 : Concentration de phosphore en fonction de la profondeur de jonction (analyse SIMS).

b. Etapes spécifiques à la réalisation du condensateur

A l'aide de la simulation process, nous vérifions la réalisation d'un condensateur avec le nouveau procédé technologique. La première étape est l'implantation de la région P⁺, puis la gravure de pores de 2,5 μm de large sur 6 μm de profondeur, l'oxydation thermique, le dépôt de nitrure, et le remplissage de polysilicium. Enfin, la structure subit toutes les étapes de redistribution du procédé complet. La coupe 2D obtenue (figure 34) montre que la diffusion du bore au bout des cavités ne permet pas de créer une « poche » unique de type P englobant le condensateur.

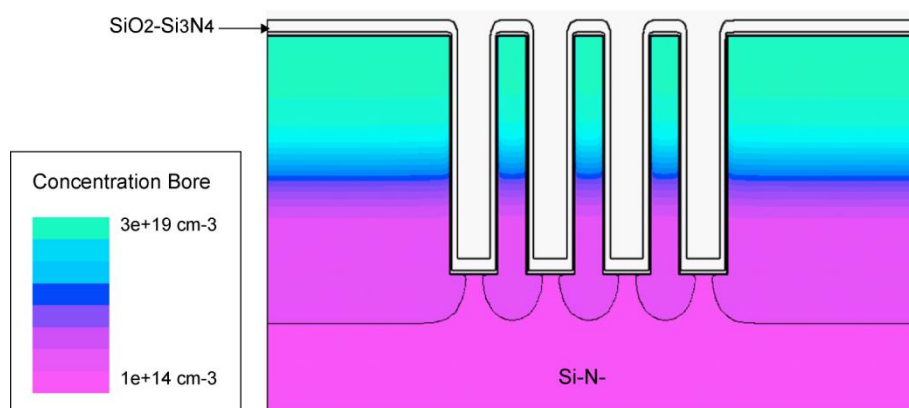


Figure 3. 34 : Coupe 2D du condensateur à la fin du procédé

La création d'une unique région P dépend de la profondeur de la diffusion latérale (diffusion parallèle à la surface). Elle est de l'ordre de 75 - 85 % de la profondeur de la diffusion verticale. Dans notre cas, la profondeur de jonction X_j de la région P⁺ à la fin du procédé est de 7 μm , et la profondeur des cavités de 6 μm , donc la diffusion latérale ne peut excéder (85% (7-6)) μm , soit 0,85 μm . Pour réaliser une seule région P⁺, la diffusion latérale doit atteindre au minimum 1,25 μm (la moitié de la largeur de la cavité).

Pour réaliser le caisson d'isolation P⁺ autour du condensateur, il faut :

- soit diminuer la largeur des pores. Actuellement, une photolithographie classique ayant une résolution de 2 μm est utilisée, suivie d'une gravure DRIE dont la gravure latérale n'est pas négligeable. Par conséquent les pores obtenus sont de 2,5 μm de large. Le LAAS vient de s'équiper d'une machine d'insolation par projection (stepper) dont la résolution est de l'ordre de 350 nm. Avec ce stepper, il est donc possible de réaliser des pores de largeur d'une centaine de nanomètre. Actuellement, nous effectuons des tests de gravure de pores de 1 μm , 600 nm et 300 nm de large.
- soit diminuer la profondeur des cavités. Actuellement, avec 6 μm de profondeur et l'empilement diélectrique envisagé, la densité de capacité est de 2,9 nF/mm², ce qui

correspond à une surface d'environ 4,2 mm² pour obtenir une capacité de 6 nF. Diminuer encore la profondeur des pores implique une augmentation de la surface totale de silicium, car la surface enterrée des électrodes du condensateur diminue.

Pour l'instant, nous retenons cette deuxième solution pour la réalisation de l'auto-alimentation. La profondeur des pores sera de 5 μm au lieu de 6 μm, ce qui impliquera une augmentation de la surface du condensateur à 4,8 mm². Nous envisagerons une deuxième réalisation avec la première méthode lorsque les tests sur la nouvelle machine d'insolation seront terminés.

c. Remarques sur l'influence du nouveau procédé sur les caractéristiques électriques des composants

Certaines étapes du nouveau procédé technologique ont été corrigées afin que les caractéristiques physiques des composants soient identiques à celles obtenues à partir du procédé classique IGBT. Les changements apportés au procédé vont aussi modifier certaines caractéristiques électriques des composants. Pour information, nous citons les deux modifications à prévoir:

- Dans le cas du condensateur, le remplacement de la zone diffusée N⁺ par une région P de profil gaussien va entraîner une augmentation de sa résistance série R_S, c'est-à-dire une augmentation du temps de charge et de décharge. Pour l'application visée, une augmentation de la constante de temps permet de ralentir une éventuelle décharge du condensateur.
- Le remplacement du polysilicium de grille dopé N⁺ par du polysilicium dopé P entraîne un décalage de 1,1 V sur les valeurs des tensions de seuil des MOSFETs à enrichissement. Cet écart s'explique par les différences des travaux de sortie métal-semiconducteur Φ_{ms} du polysilicium en fonction du type de dopage. Par exemple, pour un substrat de type P de concentration en surface 6^{e+17} cm^{-3} , Φ_{ms} du polysilicium dopé N⁺ est égale à -1 V alors que Φ_{ms} du polysilicium dopé P est égale à 0,1 V [65].

Synthèse

L'intégration de l'auto-alimentation a nécessité l'adaptation du procédé IGBT classique pour permettre la réalisation d'un condensateur 3D : certaines étapes de base ont été modifiées, et une étape spécifique de gravure a été ajoutée. Finalement, le procédé technologique obtenu présente des étapes toutes compatibles entre elles et autorise, avec

l'ajout d'une seule étape, la réalisation de composants actifs et d'un condensateur 3D. Des améliorations peuvent être apportées, en particulier sur la surface occupée par le condensateur. Pour cette première étude, la compatibilité et la réduction du nombre d'étape sont été privilégiées par rapport à la surface silicium consommée. Pour bénéficier des avantages apportés par les condensateurs 3D en terme de densité de capacité, nous proposons deux voies à explorer :

- Diminuer la largeur des pores.
- Augmenter la profondeur de jonction de la région P⁺ qui matérialise une électrode du condensateur.

3.2. Etude des interactions électriques

Une proposition de structure monolithique pour l'auto-alimentation est représentée sur la figure 35. Pour déterminer les éventuelles interactions électriques qui peuvent survenir dans cette structure, une nouvelle simulation du circuit complet est effectuée. Cependant, la structure doit être modifiée en raison du condensateur 3D. Une description 2D de ce composant ne serait pas réaliste car elle ne pourrait traduire correctement son comportement électrique. Suite à cette remarque, nous décidons de conserver un condensateur de type SPICE pour tester le fonctionnement du circuit complet. La structure monolithique de l'auto-alimentation sera quant à elle constituée du NMOSFET M1, de la diode et de la région P⁺ qui matérialise une électrode du condensateur.

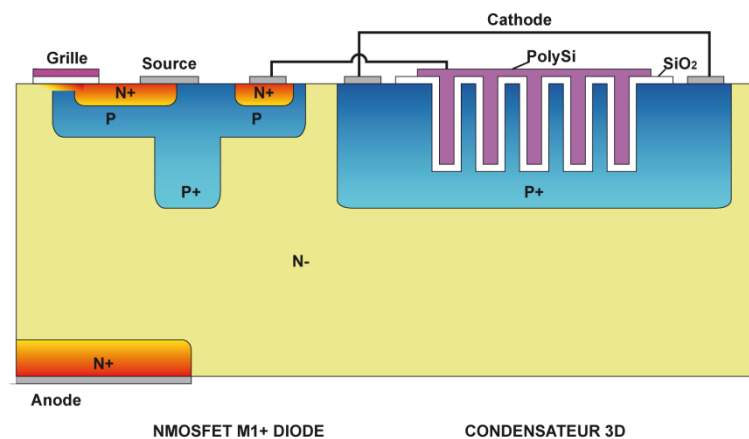


Figure 3. 35 : Coupe 2D de l'auto-alimentation intégrée

Les résultats de simulation montrent que la fonctionnalité est obtenue, mais la valeur du courant de blocage est de 1,3 A au lieu de 2 A (figure 36). Cette diminution provient de la décharge non désirée du condensateur lors de l'état inverse du dispositif. La tension appliquée

sur la grille de l'IGBT est donc inférieure à 9,5 V et le niveau de courant à l'état passant est plus faible que celui attendu.

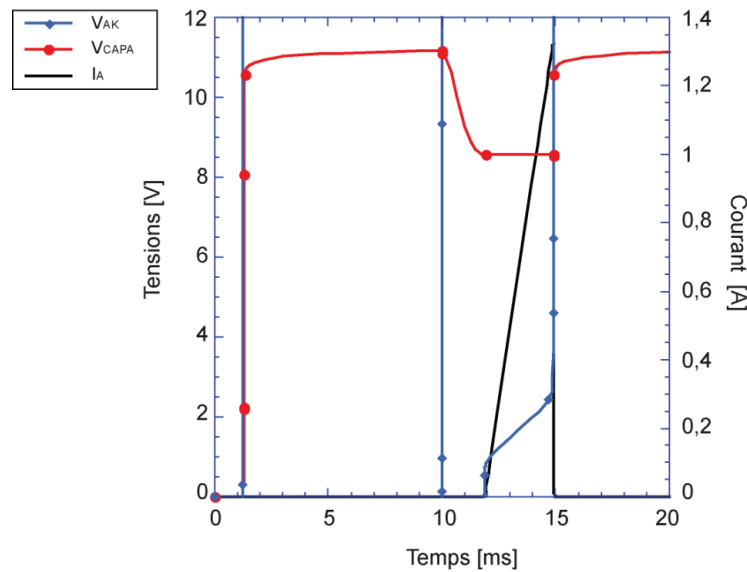


Figure 3. 36 : Tensions V_{AK} aux bornes du dispositif, V_{capa} aux bornes du condensateur et courant I_A total en fonction du temps.

Il faut noter que la tension V_{ON} du dispositif est toujours égale à 2,5 V au moment du blocage, ce qui signifie que la valeur du courant de sense n'a pas changé malgré la décharge de la capacité. La valeur de ce courant dépend de la résistance R_s externe, soit la résistance R_{GK} du thyristor, et de la résistance R_{DM} du canal de la partie sense (cf figure 10). Seule la valeur de la résistance R_{DM} dépend de la tension V_{GS} . Or, R_{DM} est nettement inférieure à R_{GK} , la diminution de la tension V_{GS} n'a donc que peu d'influence sur le courant de sense.

Pour déterminer l'origine de la décharge du condensateur, il faut regarder la répartition des lignes de courant dans l'auto-alimentation. Lors de la conduction inverse, la diode de l'auto-alimentation est polarisée en inverse et doit empêcher la décharge du condensateur à travers le canal préformé de M1. L'observation des lignes de courant confirme le bon fonctionnement de cette diode. Mais le courant utilise un autre chemin de conduction à travers la diode parasite créée par la région P du condensateur et la région N^+ de drain de M1 (figure 37).

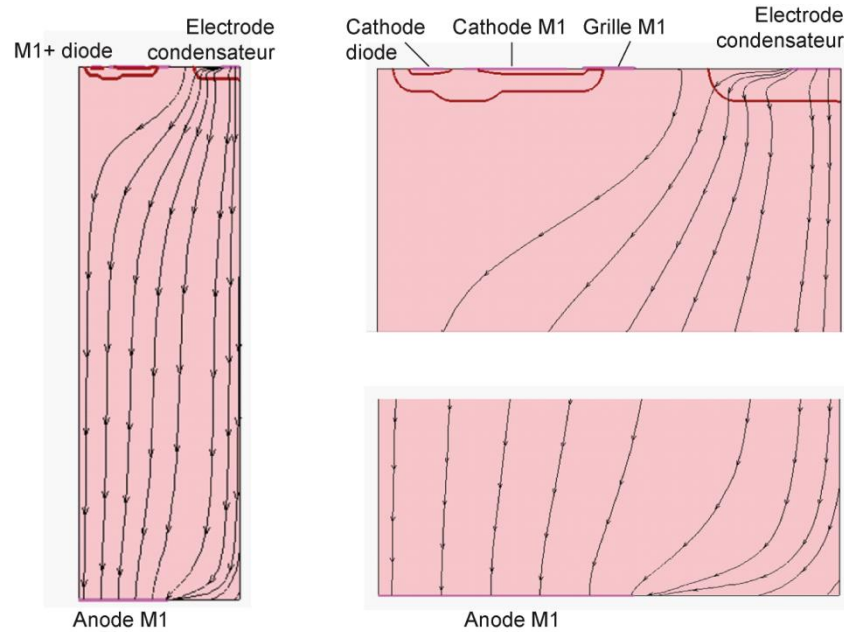


Figure 3. 37 : Lignes de courant dans l'auto-alimentation lors de la conduction inverse.

Deux solutions sont envisageables pour minimiser cet effet:

- Soit la distance entre le drain et la région P est augmentée. Cela revient à augmenter la résistance vue par le courant de décharge. Dans ce cas la décharge du condensateur n'est pas stoppée mais ralentie.
- Soit la région de drain N^+ en face arrière est remplacée par une région P^+ . Cela revient à remplacer le NMOSFET M1 par un IGBT à canal préformé. Dans ce cas, la diode parasite est supprimée, mais un transistor PNP se crée à partir de la région P du condensateur, la région N^- de drift et la région P^+ d'anode de l'IGBT. Sa présence ne perturbera pas le fonctionnement du dispositif lors de l'état inverse, car la polarisation du dispositif (-0,7 V) ne permet pas sa mise en conduction. Il conviendra cependant de vérifier que ce transistor ne modifie pas les autres phases de fonctionnement.

Conclusion

Une deuxième solution construite autour d'un IGBT a été étudiée. Initialement choisi pour sa facilité de commande, l'IGBT s'avère moins adapté que le thyristor pour l'intégration de la fonction thyristor dual disjoncteur. Il nécessite l'utilisation d'une auto-alimentation à l'amorçage et des fonctions supplémentaires pour maintenir ses états. Ces raisons expliquent la complexité de la topologie proposée et la difficulté d'intégrer le dispositif complet.

Cependant, le comportement électrique de cette architecture est plus intéressant que celui de la solution à thyristor : la fonction est vérifiée, les niveaux de courant et de tension sont respectés, les changements d'état sont instantanés et le dimensionnement des composants est beaucoup moins critique. Ces résultats motivent la poursuite des travaux sur cette solution, en particulier l'intégration de l'auto-alimentation. Les premiers travaux de conception de la brique auto-alimentation ont conduit à proposer un nouveau procédé technologique, autorisant pour la première fois une intégration monolithique actif-passif. Il est à noter que cette brique peut être utilisée dans d'autres applications, comme par exemple les convertisseurs DC-DC (applications portables).

C HAPITRE IV

REALISATION TECHNOLOGIQUE

Sommaire

	<i>Introduction</i>	139
1.	CONCEPTION DES MASQUES	139
1.1.	<i>L'interrupteur auto-commuté à thyristor</i>	140
1.2.	<i>L'IGBT-sense</i>	149
2.	REALISATION TECHNOLOGIQUE ET TESTS ELECTRIQUES	150
2.1.	<i>Implantation des canaux préformés</i>	151
2.2.	<i>Réalisation de l'interrupteur auto-commuté à thyristor</i>	154
2.3.	<i>Tests électriques de l'interrupteur auto-commuté à thyristor</i>	162
2.4.	<i>Réalisation et tests électriques de l'IGBT-sense</i>	164
	<i>Conclusion</i>	166

Réalisation technologique

Introduction

Les résultats obtenus par simulation 2D ont permis de dimensionner physiquement et géométriquement les composants des deux solutions. Dans le cas de la première solution, basée sur un thyristor-MOS, une structure monolithique a été proposée. L'étude des interactions électriques au sein de cette structure a permis de compléter le dimensionnement géométrique du dispositif. Tous ces résultats sont utilisés pour le dessin des masques qui correspond à la dernière étape de conception avant la réalisation technologique. Dans le cas de la deuxième solution, basée sur un IGBT-sense, une structure monolithique de l'ensemble du dispositif n'est pas pour l'instant envisagée. Seule la fonction IGBT-sense sera réalisée car son procédé technologique correspond aux étapes de base de la filière flexible.

Après avoir présenté la conception des masques, nous exposerons la réalisation technologique des composants ainsi que les résultats des tests électriques.

1. Conception des masques

Les jeux de masques ont été dessinés à l'aide du logiciel CADENCE. Le principe consiste à dessiner une cellule puis, suivant le motif, soit à la multiplier soit à l'étirer pour obtenir le niveau de courant désiré. Il est à noter que l'ensemble des masques réalisés vérifie les règles de dessin imposées par la filière et par les équipements disponibles dans la centrale technologique du LAAS : espacements entre les niveaux de masquage, largeurs minimales... Ils imposent aussi un seul niveau de masque pour la métallisation, en face avant et en face arrière.

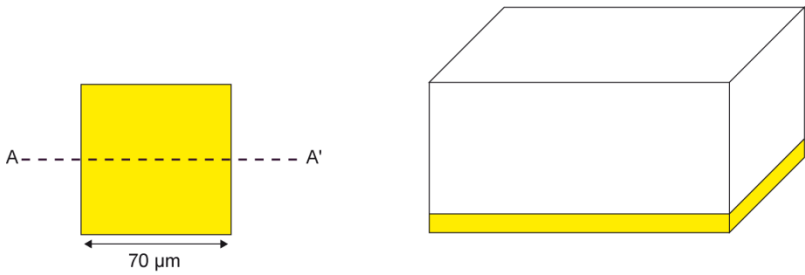
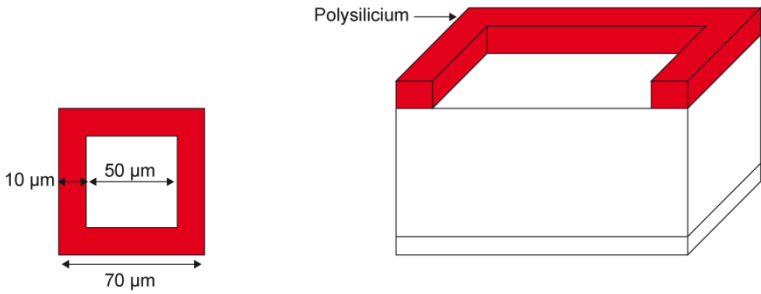
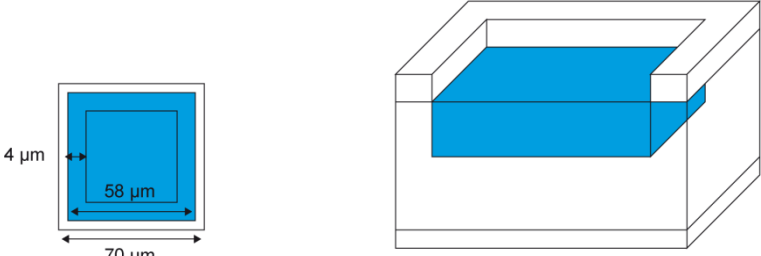
1.1. L'interrupteur auto-commuté à thyristor

Le thyristor-MOS

Deux motifs de cellules sont proposés pour le dessin du thyristor-MOS : des cellules carrées et des cellules à bandes. Il est intéressant de réaliser les deux types de cellules car le motif peut influencer sur les caractéristiques électriques du composant, en particulier sur les chutes de tension et les tenues en tension.

a. Le thyristor-MOS à partir de cellules carrées

Dans le tableau 1 sont présentés les différents masques nécessaires pour le dessin d'une cellule carrée thyristor-MOS.

Etape	Masque et vue en coupe de la cellule selon la ligne AA'
Implantation P ⁺ face arrière	
Gravure polysilicium	
Implantation région P	

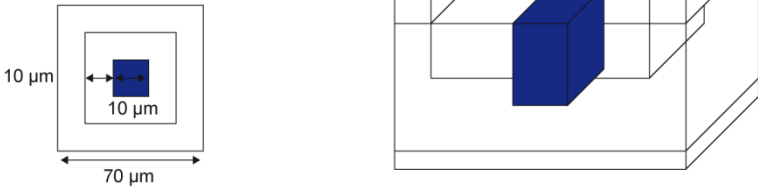
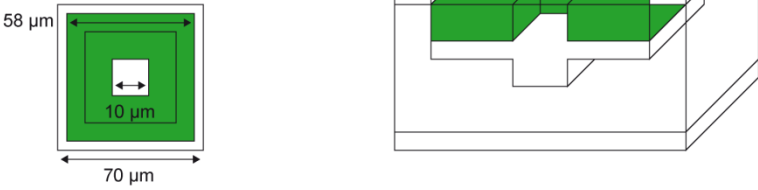
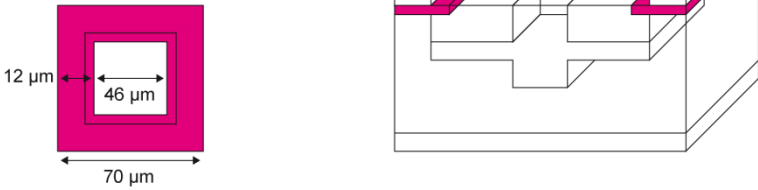
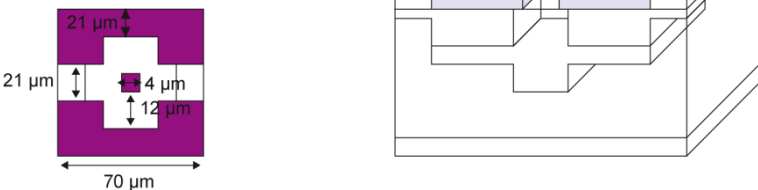
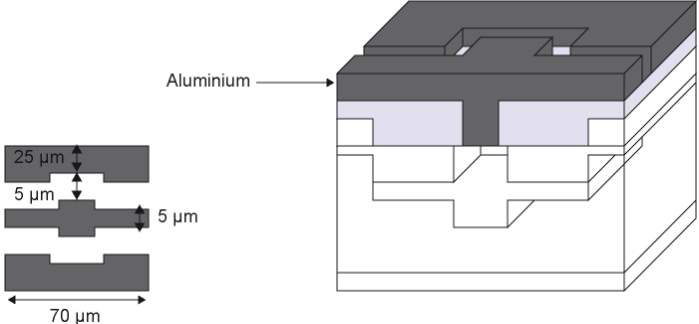
<p>Implantation région P⁺</p>	
<p>Implantation région N⁺</p>	
<p>Implantation N canal préformé</p>	
<p>Ouverture contacts face avant</p>	
<p>Métallisation face avant</p>	

Tableau 4. 1 : Masques d'une cellule carrée thyristor-MOS

La longueur de grille d'une cellule carrée est déterminée à partir du masque de gravure du polysilicium. Elle correspond au périmètre intérieur du motif, soit dans notre cas $200\ \mu\text{m}$ ($50\ \mu\text{m} * 4$). Pour obtenir une longueur totale de grille de $66667\ \mu\text{m}$ (cf chapitre 2), il faut donc 334 cellules carrées. Le composant occupe une surface de $2,18\ \text{mm}^2$.

b. Le thyristor-MOS à partir de cellules à bandes

Dans le tableau 2 sont présentés les différents masques nécessaires pour le dessin d'une cellule à bandes thyristor-MOS.

Etape	Masque et vue en coupe de la cellule selon la ligne AA'
Implantation P ⁺ face arrière	
Gravure polysilicium	
Implantation région P	
Implantation région P ⁺	

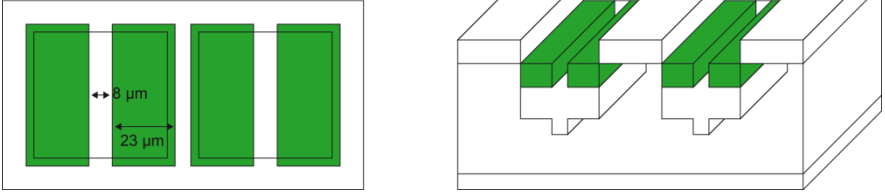
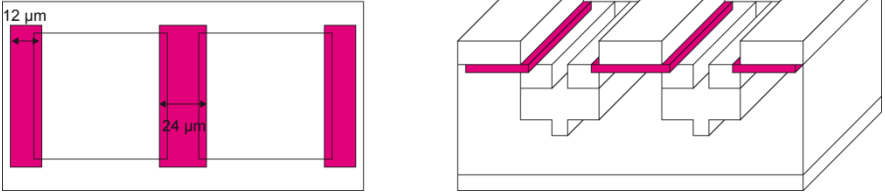
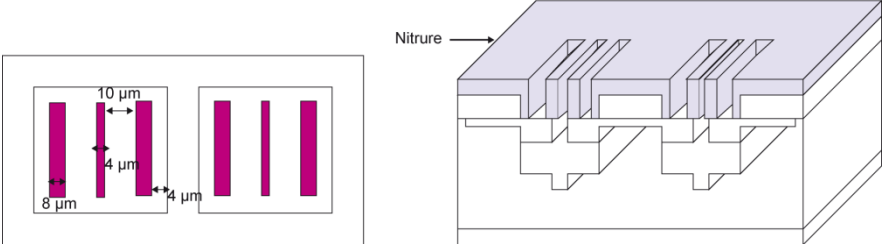
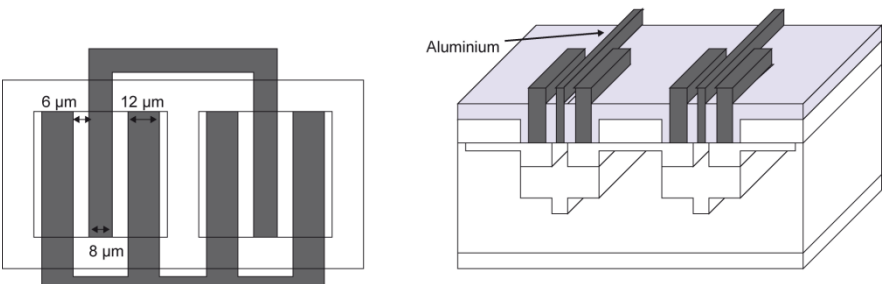
Implantation région N ⁺	
Implantation N canal préformé	
Ouverture contacts face avant	
Métallisation face avant	

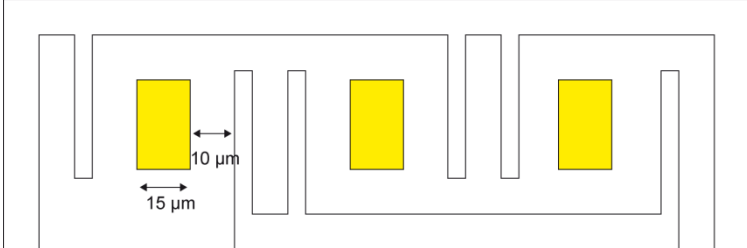
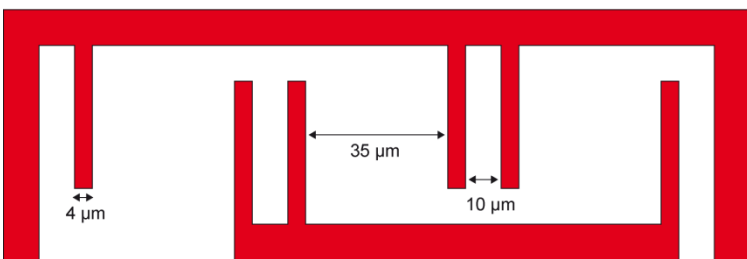
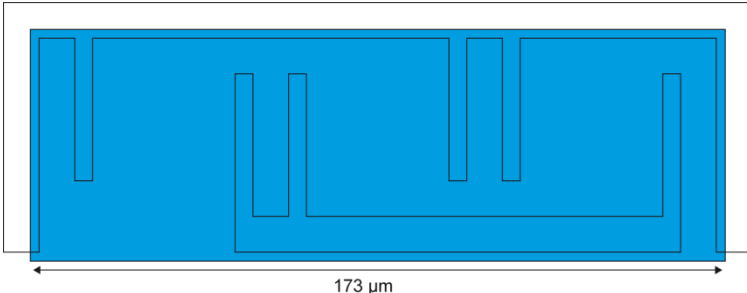
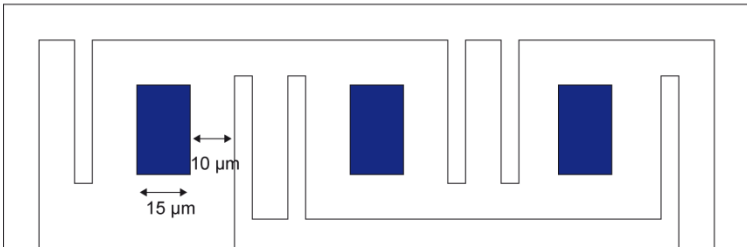
Tableau 4. 2 : Masques d'une cellule à bandes thyristor-MOS

La longueur de grille d'une cellule à bandes est déterminée à partir du masque de gravure du polysilicium. Chaque bande de polysilicium correspond à deux grilles différentes. La longueur totale de grille est donc égale (longueur d'une bande de polysilicium * nombre de bande de polysilicium*2). Pour obtenir une longueur totale de grille de 66667 μm , nous avons choisi 42 bandes de polysilicium de 813 μm de long. La surface totale du composant est de 3,4 mm^2 .

A longueur de grille égale, le motif carré permet d'obtenir une surface moins importante que le motif à bandes.

Le limiteur M2, le NMOSFET de blocage M3 et la diode antiparallèle AD

Un motif de type bande est retenu pour le dessin des masques de ces composants. Pour faciliter la conception, la longueur de grille du NMOSFET de blocage M3 est prise égale à la longueur de grille du limiteur M2, soit $166667 \mu\text{m}$ au lieu de $162000 \mu\text{m}$. Le détail des masques est donné dans le tableau 3.

Étape	Masque
Implantation N^+ face arrière	
Gravure polysilicium	
Implantation région P	
Implantation région P^+	

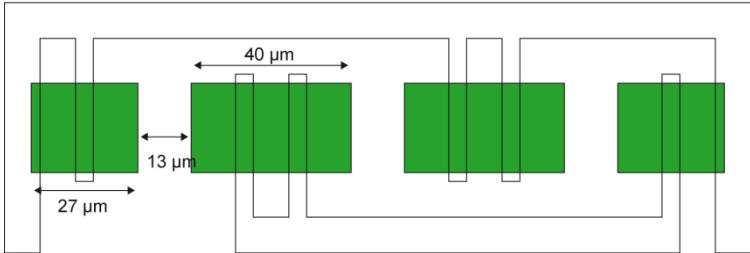
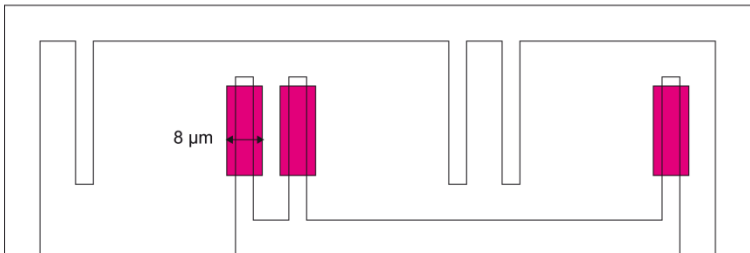
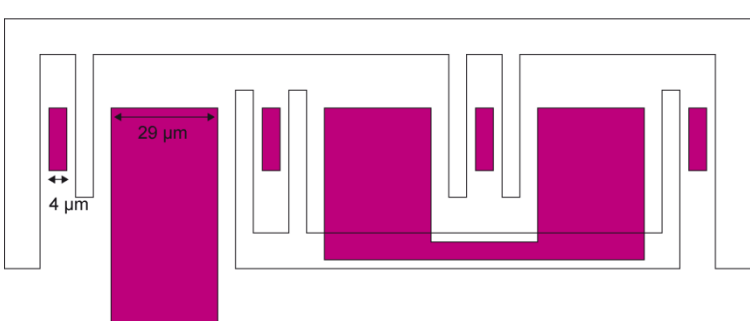
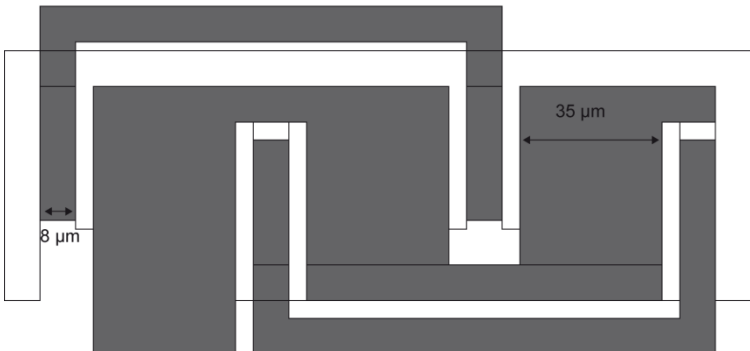
Implantation région N ⁺	
Implantation N canal préformé	
Ouverture contacts face avant	
Métallisation face avant	

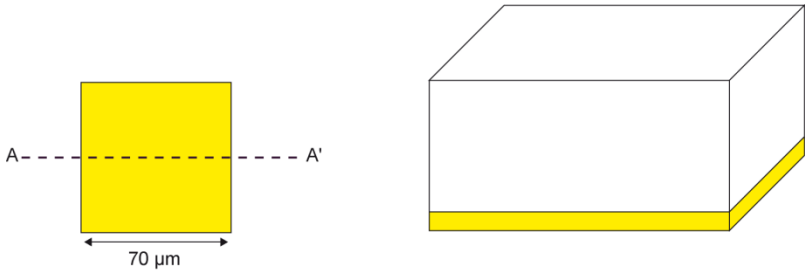
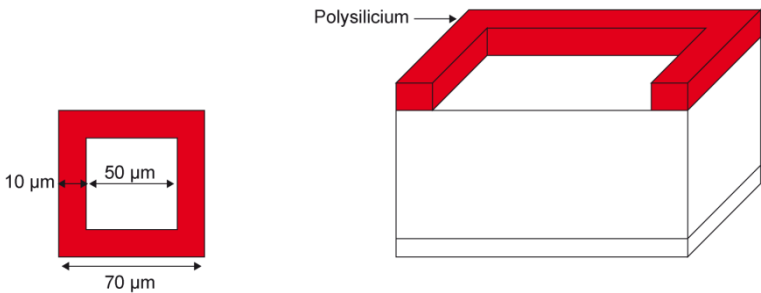
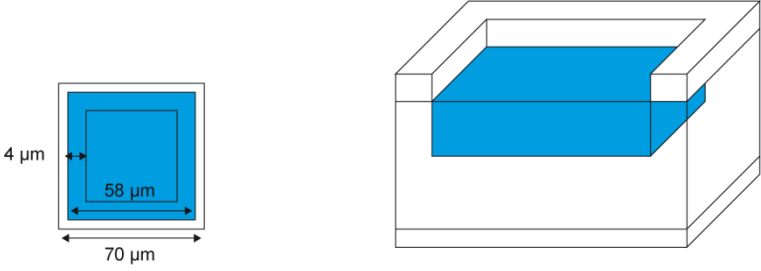
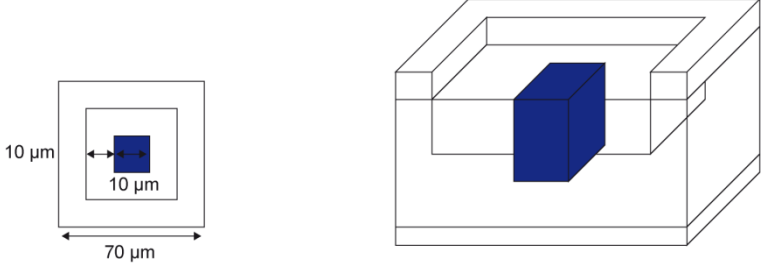
Tableau 4. 3 : Masques d'une cellule à bandes limiteur-NMOSFET de blocage-diode antiparallèle.

Il est à noter qu'avec ce type de motif, deux cellules MOSFET partagent une même région de drain.

La longueur de grille totale correspond au produit (nombre de bandes de polysilicium* longueur d'une bande). Pour obtenir une longueur de 166667 μm , nous avons choisi 95 bandes de polysilicium de 1754 μm (en réalité la longueur de grille est de 166630 μm). La surface occupée par l'ensemble limiteur-NMOSFET de blocage-diode antiparallèle est de 12 mm^2 .

Le générateur de courant

Le générateur de courant M4 est réalisé à partir de cellules carrées. Le détail des masques est donné dans le tableau 4.

Etape	Masque et vue en coupe de la cellule selon la ligne AA'
Implantation N ⁺ face arrière	
Gravure polysilicium	
Implantation région P	
Implantation région P ⁺	

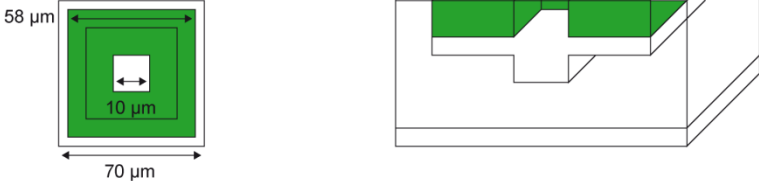
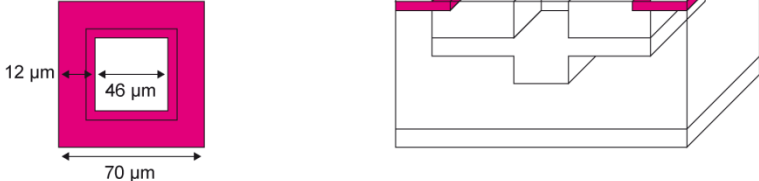
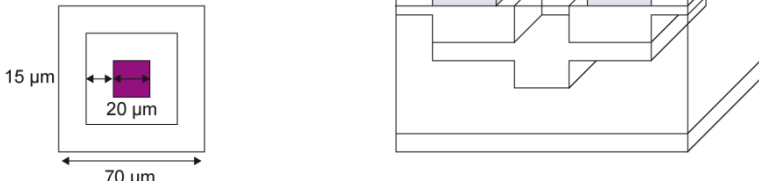
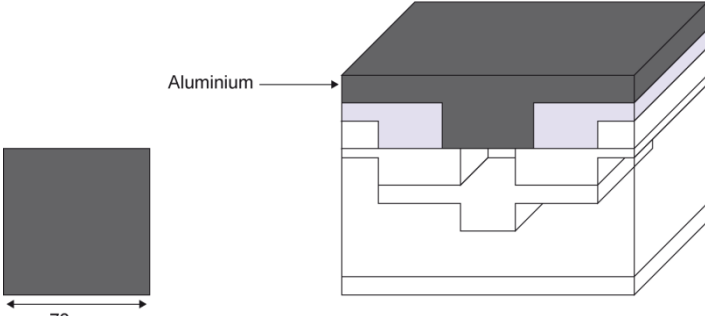
Implantation région N ⁺	
Implantation N canal préformé	
Ouverture contacts face avant	
Métallisation face avant	

Tableau 4. 4 : Masques d'une cellule carrée générateur de courant M4.

La longueur de grille d'une cellule carrée est de $200\ \mu\text{m}$ ($50\ \mu\text{m} * 4$). Pour obtenir une longueur totale de grille de $270000\ \mu\text{m}$, il faut 1350 cellules carrées. Le composant occupe une surface de $5,8\ \text{mm}^2$.

La diode zéner

Trois tailles différentes sont proposées pour la diode Zéner. Le détail des masques de la diode Zéner de $400\ \mu\text{m}$ de longueur de cathode est donné dans le tableau 5.

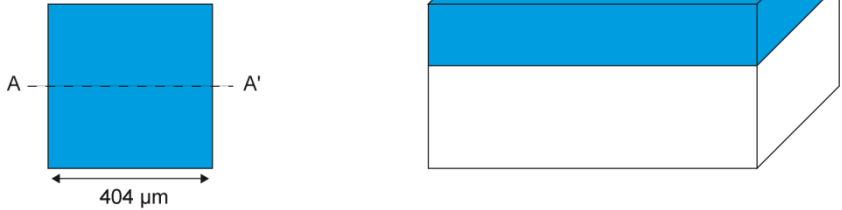
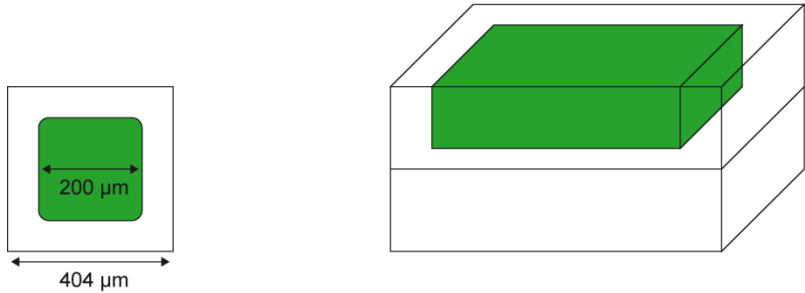
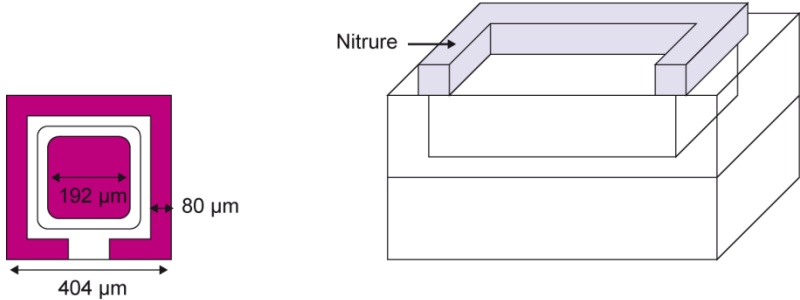
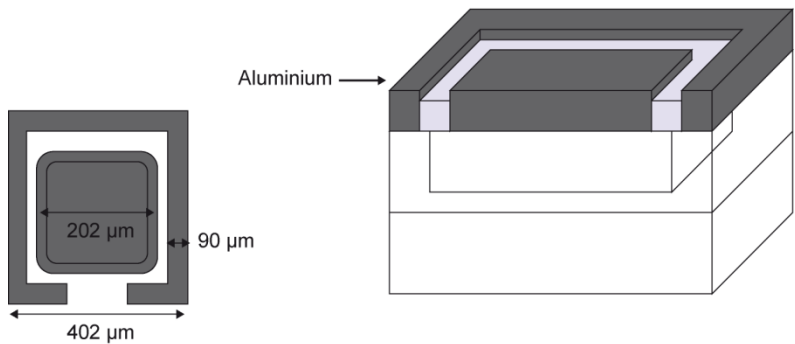
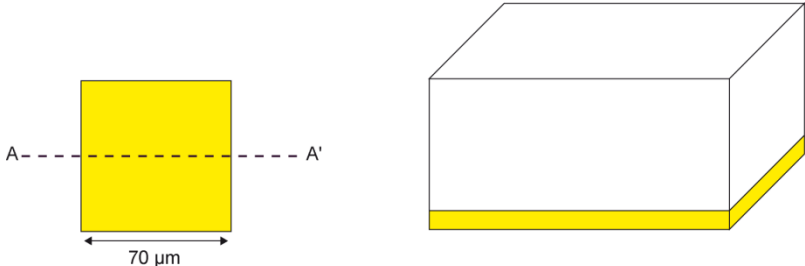
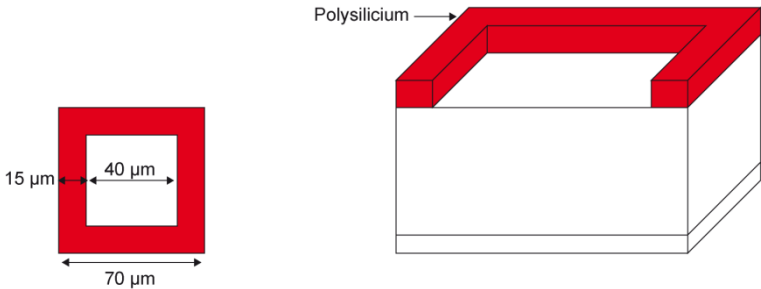
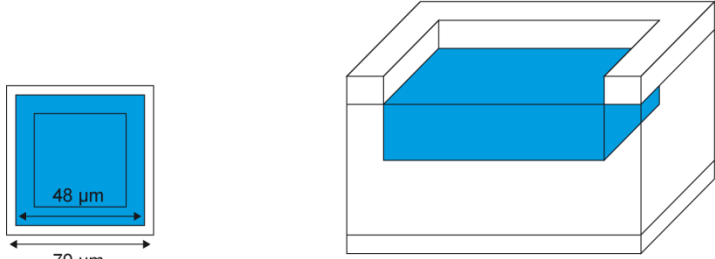
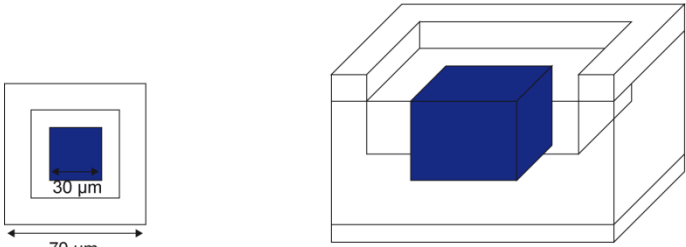
Etape	Masque et vue en coupe de la cellule selon la ligne AA'
Implantation région P	 <p>The diagram shows a square mask with a width of 404 µm and a dashed line AA' across its center. To the right, a 3D perspective view shows a blue rectangular layer of P-type semiconductor implanted on a white substrate.</p>
Implantation région N ⁺	 <p>The diagram shows a square mask with a width of 404 µm containing a smaller green square region of 200 µm width. To the right, a 3D perspective view shows a green rectangular layer of N⁺ semiconductor implanted on a white substrate.</p>
Ouverture contacts face avant	 <p>The diagram shows a square mask with a width of 404 µm. It features a central opening of 192 µm and contact pads extending 80 µm from the edges. To the right, a 3D perspective view shows a light purple layer labeled 'Nitrure' (nitride) covering the surface.</p>
Métallisation face avant	 <p>The diagram shows a square mask with a width of 402 µm. It features a central opening of 202 µm and contact pads extending 90 µm from the edges. To the right, a 3D perspective view shows a dark grey layer labeled 'Aluminium' covering the surface.</p>

Tableau 4. 5 : Masques de la diode Zéner.

La surface occupée par la diode Zéner est respectivement de 0,04 mm², 0,16mm² et 0,25 mm² pour une longueur de cathode de 200 µm, 400 µm et 500 µm.

1.2. L'IGBT-sense

L'IGBT-sense est réalisé à partir de cellules carrées. Le détail des masques est donné dans le tableau 6.

Etape	Masque et vue en coupe de la cellule selon la ligne AA'
Implantation P ⁺ face arrière	
Gravure polysilicium	
Implantation région P	
Implantation région P ⁺	

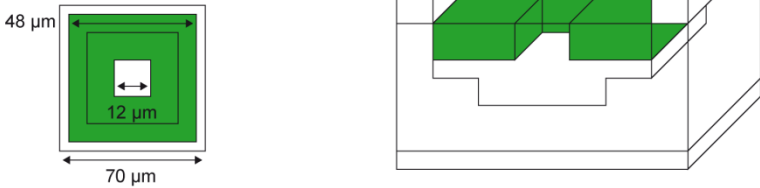
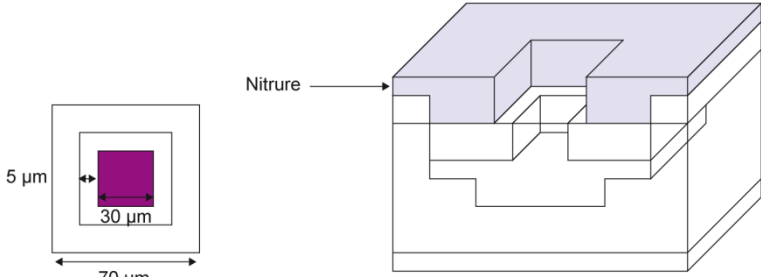
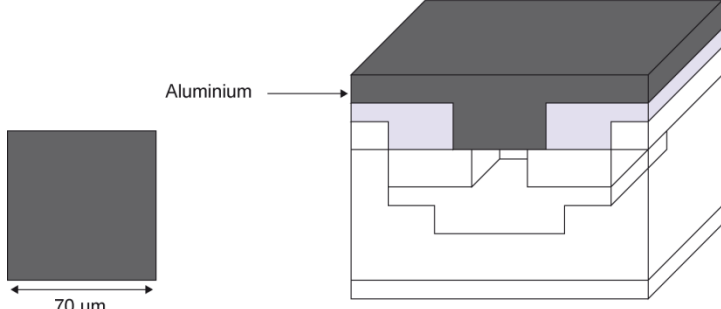
Implantation région N ⁺	
Ouverture contacts face avant	
Métallisation face avant	

Tableau 4. 6 : Masques d'une cellule carrée IGBT.

La longueur de grille d'une cellule carrée est de $160\ \mu\text{m}$ ($40\ \mu\text{m} \times 4$). Pour obtenir une longueur totale de grille de $50000\ \mu\text{m}$ il faut 312 cellules carrées. La partie sense doit avoir une longueur de grille de $1250\ \mu\text{m}$. Il faut donc dédier 8 cellules à la partie sense. Le composant occupe une surface de $4,3\ \text{mm}^2$, périphérie comprise.

2. Réalisation technologique et tests électriques

Les dispositifs ont été réalisés à la centrale technologique du LAAS. Le procédé technologique utilisé a déjà été présenté dans le chapitre 1 ainsi que les modifications apportées dans le chapitre 2 et le chapitre 3. Trois lots de plaquettes ont été réalisés : le premier est constitué uniquement de NMOSFETs afin de déterminer la dose et l'énergie d'implantation des canaux préformés, le deuxième correspond à l'interrupteur auto-commuté à thyristor et le troisième est constitué d'IGBTs-sense et de NMOSFETs à enrichissement.

2.1. Implantation des canaux préformés

Trois composants sont testés sur le premier lot de plaquettes :

- un NMOSFET vertical à déplétion avec une longueur de grille de 55200 μm .
- un NMOSFET latéral à enrichissement avec une longueur de grille de 20000 μm .
- un NMOSFET latéral à déplétion avec une longueur de grille de 20000 μm .

Les étapes technologiques réalisées sont données sur la figure 1. Les paramètres d'implantation des canaux préformés sont choisis en fonction des résultats obtenus sur des composants similaires réalisés antérieurement [42].

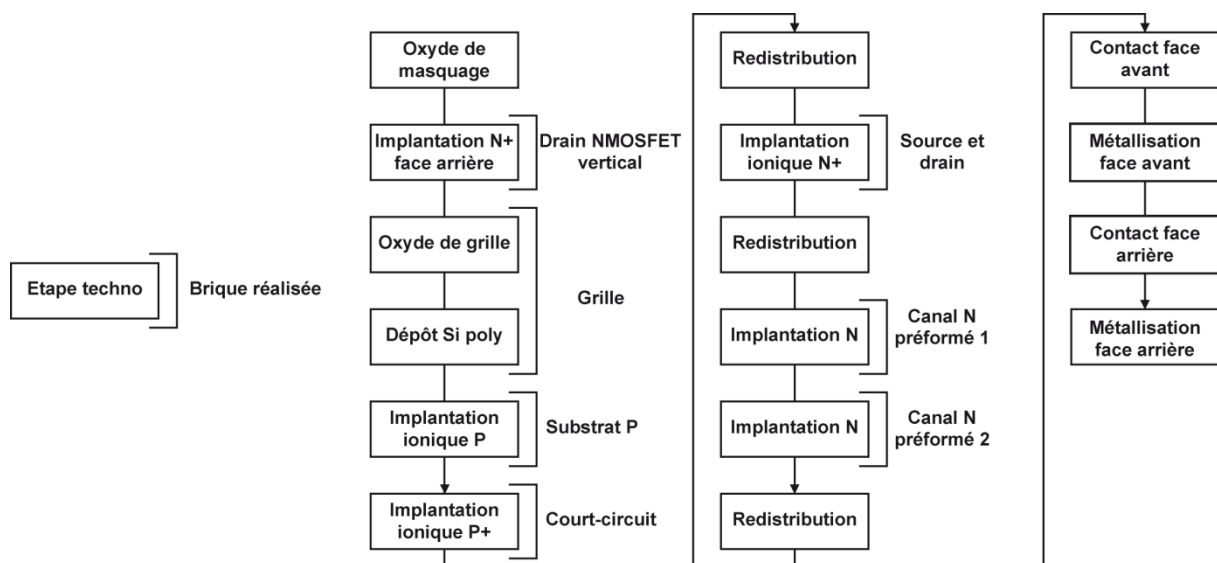


Figure 4. 1 : Enchaînement des étapes technologiques pour la réalisation des NMOSFETs de test.

Les composants obtenus sont testés sous pointes. Analysons dans un premier temps les caractéristiques électriques du NMOSFET à enrichissement (figure 2). Sur la figure 3 est représentée la caractéristique $I_D(V_{GS})$ à $V_{DS}=1\text{ V}$. La tension de seuil est égale à 0,5 V, soit très inférieure à la valeur de 2,5 V obtenue par simulation. Cette diminution importante traduit une contamination de l'oxyde de grille. La caractéristique $I_D(V_{DS})$ à $V_{GS}=4\text{ V}$ donne une tension de saturation $V_{DSAT}=0,5\text{ V}$ et un courant de saturation $I_{DSAT}=0,12\text{ A}$. Les valeurs obtenues correspondent à celles désirées car, pour une longueur de grille de 166630 μm , le courant I_{DSAT} sera de 1 A ($0,12 * 166630/20000$).

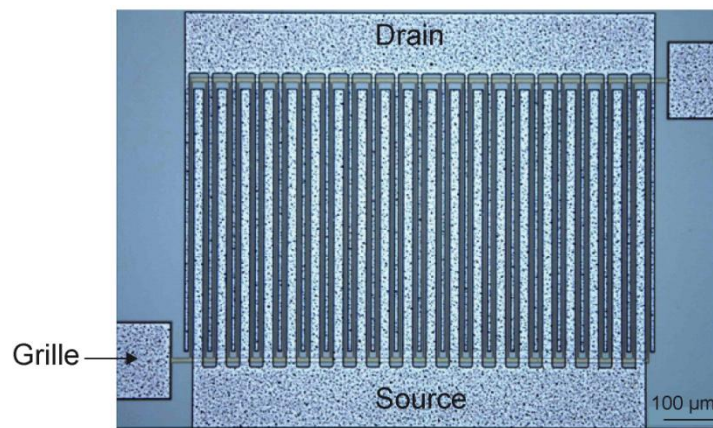


Figure 4. 2 : Vue de dessus d'un NMOSFET latéral.

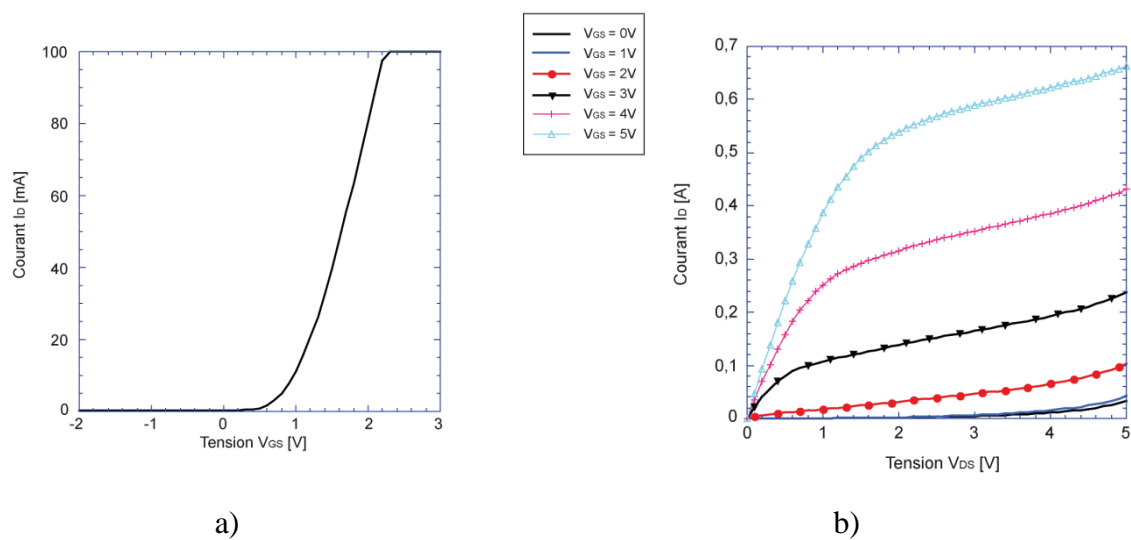


Figure 4. 3 : Caractéristiques $I_D(V_{GS})$ à $V_{DS}=0,5$ V et $I_D(V_{DS})$ pour différents V_{GS} du NMOSFET à enrichissement.

Deux implantations de canal différentes ont été testées pour les NMOSFETs à déplétion :

- Dose = 8.10^{13} cm^{-2} et énergie= 180 keV. La tension de seuil est de -0,5V (figure 4 a).
A $V_{GS}=0$ V, la tension de saturation V_{DSAT} est de 0,2 V et le courant de saturation I_{DSAT} est de 0,04 A (figure 4 b).

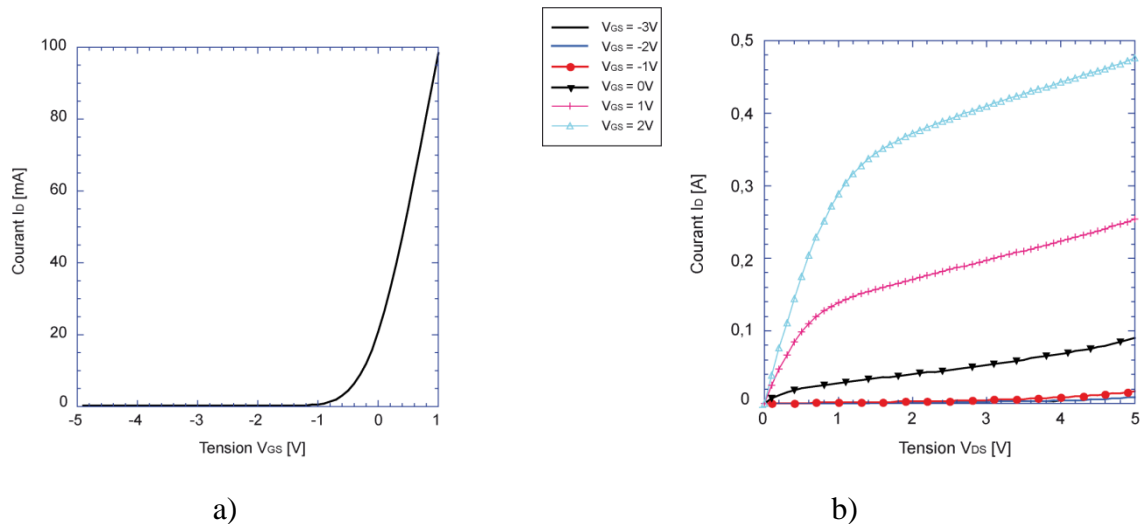


Figure 4. 4 : Caractéristiques $I_D(V_{GS})$ à $V_{DS}=0,5$ V et $I_D(V_{DS})$ pour différents V_{GS} du NMOSFET à déplétion qui présente une énergie d'implantation du canal de 180 keV.

- Dose= 8.10^{13} cm^{-2} et énergie= 185 keV. La tension de seuil est de -0,7V (figure 5 a). A $V_{GS}=0\text{V}$, la tension de saturation V_{DSAT} est de 0,3 V et le courant de saturation I_{DSAT} est de 0,06 A (figure 5 b).

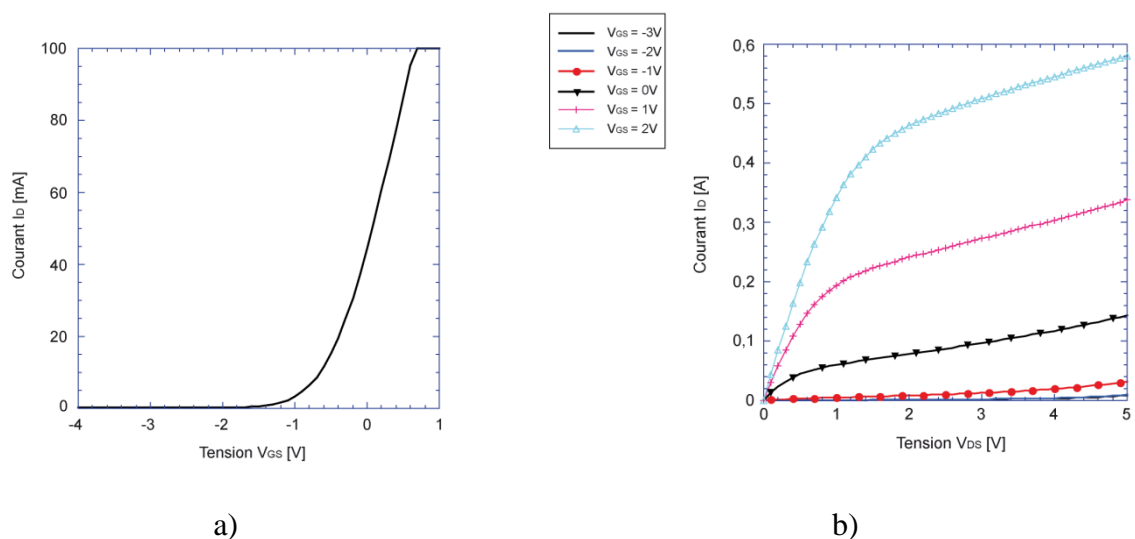


Figure 4. 5 : Caractéristiques $I_D(V_{GS})$ à $V_{DS}=0,5$ V et $I_D(V_{DS})$ pour différents V_{GS} du NMOSFET à déplétion qui présente une énergie d'implantation du canal de 185 keV.

Les résultats obtenus sont cohérents : si l'énergie diminue, la quantité de dopants présents dans le silicium est plus faible. La tension de seuil est donc plus faible ainsi que le courant de saturation. Par rapport au cahier des charges imposé, les tensions de seuil et de saturation sont respectées. Mais les courants de saturation sont trop faibles. Rappelons que la longueur de grille des composants testés est de 20000 μm . Le courant équivalent pour une

longueur de grille de 166630 μm est donc de 0,5 A pour une énergie d'implantation de 185 keV ($166630 \cdot 0,06 / 20000$), et de 0,3 A pour une énergie de 180 keV ($166630 \cdot 0,04 / 20000$). Pour obtenir un courant de saturation de 2 A, pour une longueur de grille de 166630 μm , il faudra augmenter la dose implantée.

Une vue du NMOSFET vertical est donné sur la figure 6. Le canal a été réalisé par implantation de phosphore avec une dose de $8 \cdot 10^{13} \text{ cm}^{-2}$ et une énergie de 180 keV. Les tests du NMOSFET vertical ont montré qu'il n'y avait pas d'effet de champ. La dose de dopant dans le silicium est trop importante, l'effet de champ ne peut exister, et le canal est comparable à une résistance. Il faudra donc diminuer la dose implantée.

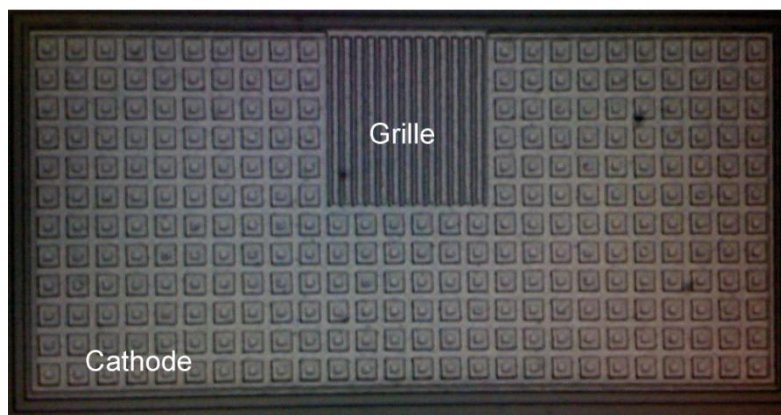


Figure 4. 6 : Vue de dessus d'un NMOSFET vertical.

Les résultats obtenus n'ont pas permis de déterminer précisément la dose et l'énergie d'implantation des canaux préformés. Pour fixer ces paramètres, il faudrait réaliser d'autres lots de NMOSFETs tests. Cependant, compte tenu de la durée du procédé technologique (c'est le procédé complet sans l'étape d'implantation des périphéries et de l'anode P^+ en face arrière), nous préférons lancer la réalisation du dispositif complet en tenant compte des indications apportées par ces premiers résultats.

2.2. Réalisation de l'interrupteur auto-commuté à thyristor

L'enchaînement des étapes technologiques est rappelé sur la figure 7.

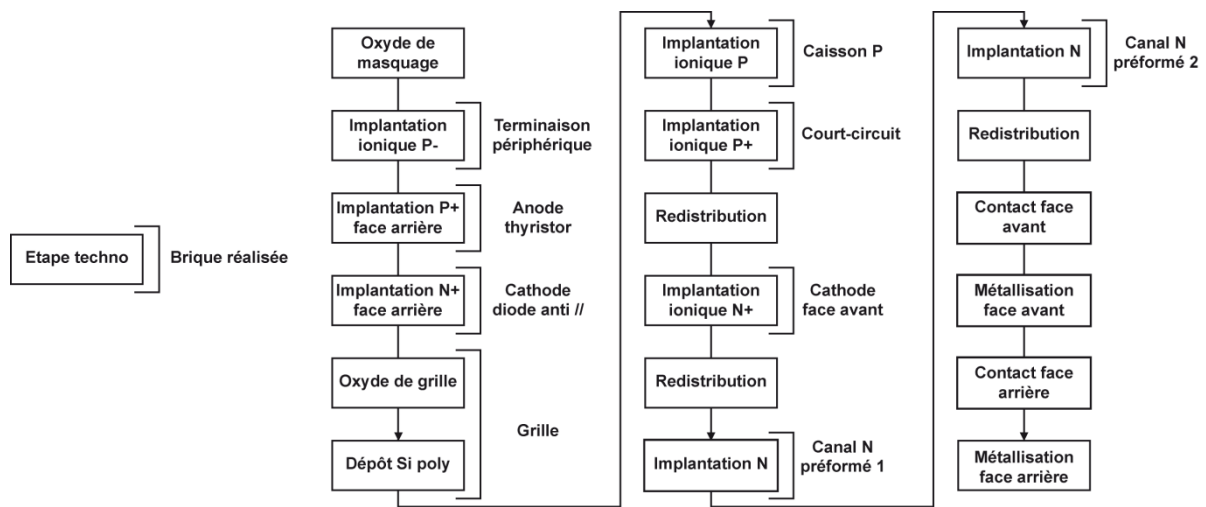


Figure 4. 7 : Enchaînement des étapes technologiques pour la réalisation de l'interrupteur auto-commuté à thyristor.

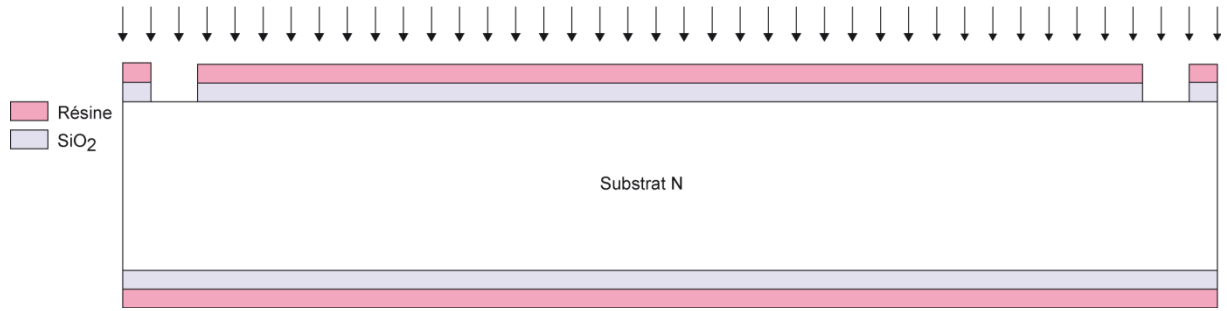
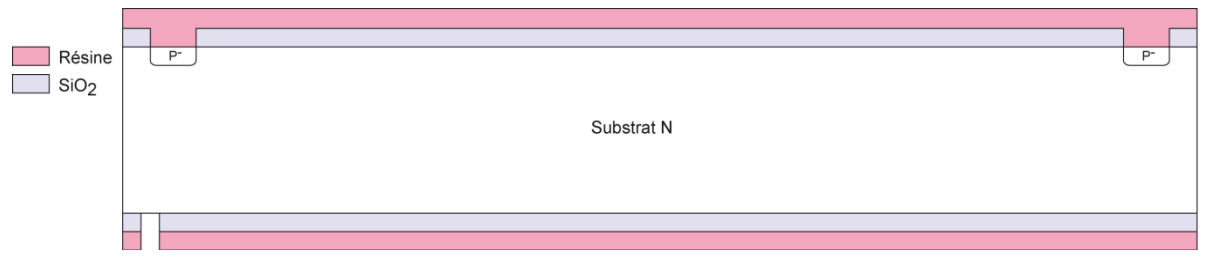
Décrivons précisément ces étapes.

Oxyde de masquage

Etape	Descriptif
1	Nettoyage H ₂ O ₂ -H ₂ SO ₄ Attaque HF 10% (t=30 s)
2	Oxydation thermique -Epaisseur oxyde=6000 Å

Terminaison P⁻

Etape	Descriptif
3	Photolithographie P ⁻ face avant - Masque n°1 (polarité verre)
4	Gravure humide de l'oxyde de masquage face avant au buffer HF - t=10 minutes

5	<p style="text-align: center;">Implantation P⁻ face avant</p> <p style="text-align: center;">Espèce: Bore Energie = 50 keV Dose=2,5.10¹² cm⁻²</p> 
6	<p style="text-align: center;">Dissolution résine (Plasma O₂)</p>
7	<p style="text-align: center;">Photolithographie peigne d'alignement face arrière - Masque n°2 (polarité verre)</p>
8	<p style="text-align: center;">Gravure humide du SiO₂ au buffer HF - t=10 minutes</p> 
9	<p style="text-align: center;">Dissolution résine (Plasma O₂)</p>
10	<p style="text-align: center;">Redistribution Bore sous O₂</p>

Anode P⁺ face arrière

Etape	Descriptif
11	Protection résine face avant
12	Gravure humide de l'oxyde de masquage face arrière au buffer HF - t=15 minutes
13	Dissolution résine (Plasma O ₂)
14	Photolithographie P ⁺ face arrière - Masque n°3 (polarité verre)

15	<p style="text-align: center;">Implantation P⁺ face arrière</p> <p style="text-align: center;">Espèce: Bore Energie = 50 keV Dose=1.10¹⁶ cm⁻²</p>
16	<p style="text-align: center;">Dissolution résine (Plasma O₂)</p>

Cathode N⁺ face arrière

Etape	Descriptif
17	<p style="text-align: center;">Photolithographie N⁺ face arrière - Masque n°4 (polarité verre)</p>
18	<p style="text-align: center;">Implantation N⁺ face arrière</p> <p style="text-align: center;">Espèce: Arsenic Energie = 100 keV Dose=1.10¹⁶ cm⁻²</p>
19	<p style="text-align: center;">Dissolution résine (Plasma O₂)</p>

Grille

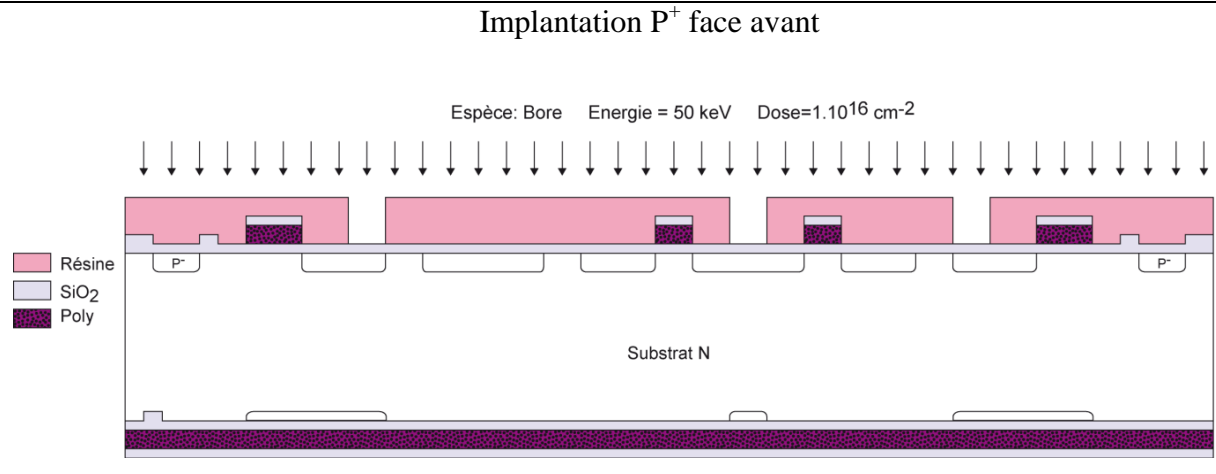
Etape	Descriptif
20	<p style="text-align: center;">Photolithographie zone active - Masque n°5 (polarité verre)</p>
21	<p style="text-align: center;">Gravure humide du SiO₂ au buffer HF - t=15 minutes</p>
22	<p style="text-align: center;">Dissolution résine (Plasma O₂)</p>

23	Nettoyage RCA
24	Oxydation thermique - Epaisseur oxyde = 550 Å
25	Dépôt LPCVD du polysilicium – Epaisseur = 3000 Å
26	Dopage du polysilicium (diffusion POCl_3)
27	Photolithographie polysilicium - Masque n°6 (polarité chrome)
28	Gravure du SiO_2 (500Å) et du polysilicium (3000 Å) – $t=2'30$
29	Dissolution résine (Plasma O_2)

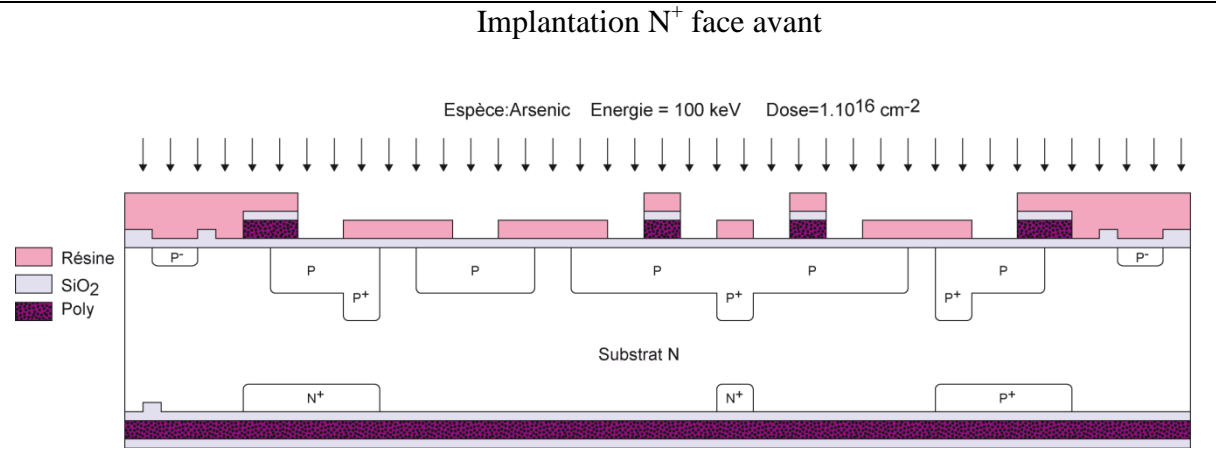
Caisson P

Etape	Descriptif
30	Photolithographie P face avant - Masque n°7 (polarité verre)
31	Implantation P face avant Espèce: Bore Energie = 50 keV Dose= $6,5 \cdot 10^{13} \text{ cm}^{-2}$
32	Dissolution résine (Plasma O_2)

Caisson P⁺

Etape	Descriptif
33	Photolithographie P ⁺ face avant - Masque n°8 (polarité verre)
34	<p style="text-align: center;">Implantation P⁺ face avant</p> <p style="text-align: center;">Espèce: Bore Energie = 50 keV Dose=1.10¹⁶ cm⁻²</p>  <p style="text-align: center;">Substrat N</p>
35	Dissolution résine (Plasma O ₂)
36	Redistribution caissons P et P ⁺

Cathode N⁺ face avant

Etape	Descriptif
37	Photolithographie N ⁺ face avant - Masque n°9 (polarité verre)
38	<p style="text-align: center;">Implantation N⁺ face avant</p> <p style="text-align: center;">Espèce: Arsenic Energie = 100 keV Dose=1.10¹⁶ cm⁻²</p>  <p style="text-align: center;">Substrat N</p>
39	Dissolution résine (Plasma O ₂)
40	Redistribution arsenic

Canal préformé N 1

Cette étape correspond à l'implantation des canaux des NMOSFETs verticaux (M4 et M1)

Etape	Descriptif
41	Photolithographie N face avant - Masque n°10 (polarité verre)
42	<p style="text-align: center;">Implantation N face avant</p> <p style="text-align: center;">Espèce:Phosphore Energie = 180 keV Dose=$2.10^{13} \text{ cm}^{-2}$</p> <p style="text-align: center;">Substrat N</p>
43	Dissolution résine (Plasma O ₂)

Canal préformé 2

Cette étape correspond à l'implantation du canal du limiteur M2.

Etape	Descriptif
44	Photolithographie N face avant - Masque n°11 (polarité verre)
45	<p style="text-align: center;">Implantation N face avant</p> <p style="text-align: center;">Espèce:Phosphore Energie = 185 keV Dose=$2.10^{14} \text{ cm}^{-2}$</p> <p style="text-align: center;">Substrat N</p>
46	Dissolution résine (Plasma O ₂)
47	Redistribution phosphore

Gravure face arrière

Etape	Descriptif
48	Gravure du SiO ₂ (500Å) et du polysilicium (3000 Å) face arrière – t=2'30

Contacts face avant

Etape	Descriptif
49	Dépôt LPCVD de Si_3N_4 – Epaisseur = 1000 Å
50	Photolithographie contact face avant - Masque n°12 (polarité verre)
51	Gravure du Si_3N_4 (1000Å) et du SiO_2 (550 Å) face avant – t=1'10 Fin de gravure buffer HF – t=30 secondes
52	Dissolution résine (Plasma O_2)

Métallisation face avant

Etape	Descriptif
53	Photolithographie métal face avant - Masque n°13 (polarité chrome)
54	Dépôt aluminium face avant – Epaisseur =1 µm
55	Lift-off

Contact face arrière

Etape	Descriptif
56	Photolithographie contact face arrière - Masque n°14 (polarité verre)

57	<p style="text-align: center;">Gravure du Si_3N_4 (1000Å) et du SiO_2 (550 Å) face arrière – $t=1'10$ Fin de gravure buffer HF – $t=30$ secondes</p>
59	<p style="text-align: center;">Dissolution résine (Plasma O_2)</p>

Métallisation face arrière

Etape	Descriptif
60	<p style="text-align: center;">Dépôt aluminium face arrière – Epaisseur =1 µm</p>
61	<p style="text-align: center;">Recuit aluminium</p>

La coupe schématique du dispositif complet est représentée sur la figure 8.

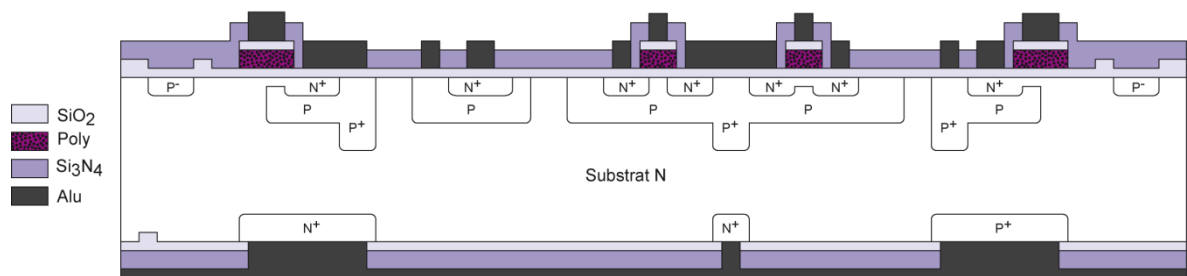


Figure 4. 8 : Vue en coupe schématique du thyristor dual disjoncteur.

La surface totale occupée par le dispositif est de 0,26 cm², périphérie comprise.

2.3. Tests électriques

Les composants discrets sont caractérisés sous pointe avant de tester le dispositif complètement intégré.

La caractéristique $I_A(V_{AK})$ d'un thyristor-MOS, réalisé à partir de cellule à bandes, est donnée sur la figure 9. Les paramètres d'implantation de son canal préformé sont : une dose de 2^{e+13} cm^{-2} et une énergie de 180 keV.

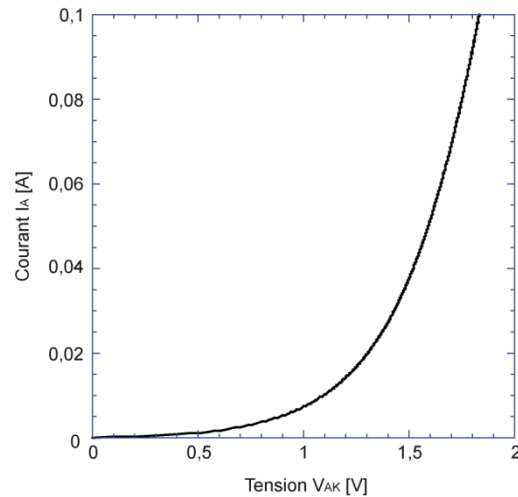


Figure 4. 9 : Caractéristique $I_A(V_{AK})$ du thyristor-MOS.

L'amorçage est immédiat dès que la tension V_{AK} atteint 0,6 V. De plus, la caractéristique ne présente pas de retournement. La dose de phosphore présente dans le silicium, sous la grille est donc suffisante pour former le canal. Cependant, les niveaux de courant et de tension ne correspondent pas à ceux obtenus en simulation : on obtient un courant de 0,1 A à $V_{AK}=1,7 \text{ V}$ au lieu de 2 A à $V_{AK}=1 \text{ V}$. Il est très probable que l'état de surface de la face arrière, apparemment dégradé, ait affecté l'injection de l'anode, et ainsi la chute de tension à l'état passant. Les thyristors à cellules carrées (figure 10) présentent la même caractéristique $I_A(V_{AK})$.

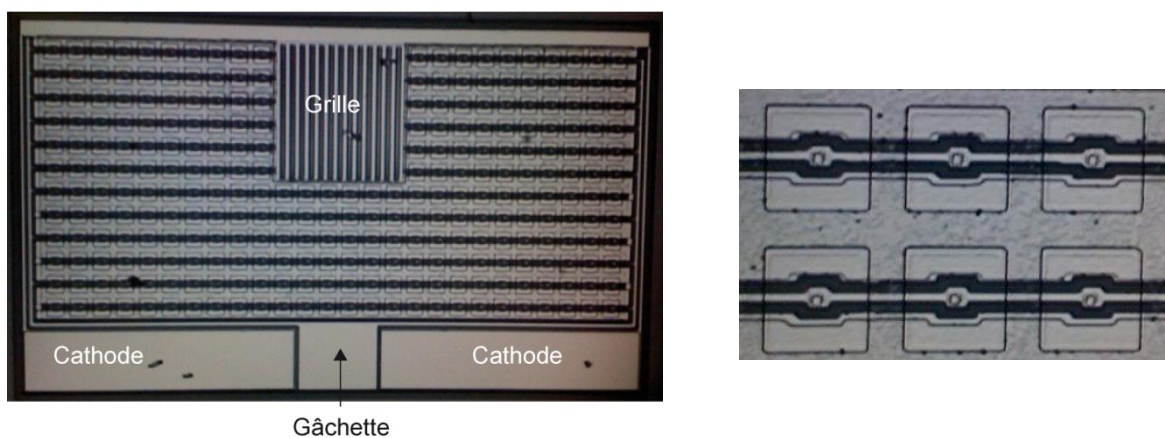


Figure 4. 10 : Vue de dessus du thyristor-MOS à cellule carrée.

Pour tester le blocage du thyristor-MOS, les composants ont été montés sur boîtier. Un générateur de tension continue en série avec une résistance sont connectés sur l'anode du thyristor et la grille est reliée à la masse. Le thyristor s'amorce et un courant circule à travers le composant. Puis pour vérifier le blocage du dispositif, nous court-circuitons la gâchette du thyristor à sa cathode. Or le courant ne s'annule pas, il semble donc impossible de bloquer le thyristor. Une dose trop importante du canal de la section NMOSFET explique l'échec du blocage.

2.4. Réalisation de l'IGBT-sense et test électrique

Les étapes technologiques réalisées sont données sur la figure 11.

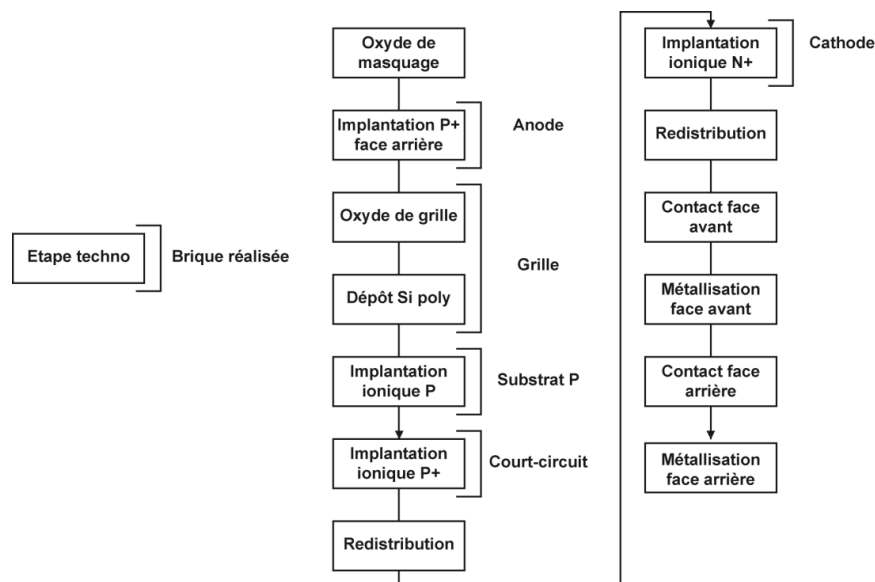


Figure 4. 11 : Enchaînement des étapes technologiques pour la réalisation de l'IGBT-sense.

Mise à part l'étape d'implantation P, tous les paramètres des étapes technologiques correspondent à ceux fixés par la filière flexible. Pour rappel, la région P doit présenter une concentration en surface de $1,2 \times 10^{18} \text{ cm}^{-3}$ et une profondeur de jonction X_j de $4,8 \mu\text{m}$. D'après les résultats obtenus sur des composants similaires réalisés antérieurement [42], il faut une énergie d'implantation de 50 keV et une dose de $1,7 \times 10^{14} \text{ cm}^{-3}$ pour obtenir ce profil de dopage.

Les composants obtenus (figure 12) sont testés sous pointes.

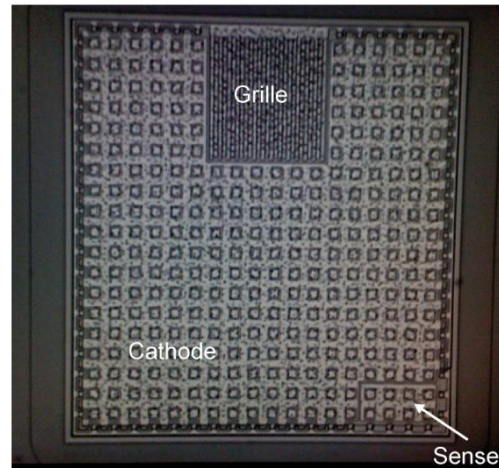


Figure 4. 12 : Vue de dessus de l'IGBT-sense.

Sur la figure 13.a est représentée la caractéristique $I_A(V_{GK})$ à $V_{AK}=1$ V. La tension de seuil de l'IGBT est égale à 3,5 V. Comme pour les NMOSFETs tests, cette valeur est inférieure à celle obtenue par simulation (5 V – cf chapitre 3). Une contamination de l'oxyde peut expliquer cette diminution. Les caractéristiques $I_A(V_{AK})$, pour différentes valeurs de V_{GK} , sont données sur la figure 13.b. On retrouve les mêmes tendances que pour la caractéristique $I_A(V_{AK})$ du thyristor, à savoir une dégradation des caractéristiques à l'état passant. Par exemple, pour une tension V_{GK} de 9 V, le courant I_A a pour valeur 1 A à $V_{AK} = 4$ V. Les résultats de simulation donnaient un courant de 2 A à $V_{AK} = 2,5$ V pour une tension V_{GK} de 9,5 V. Comme pour le thyristor, l'état de surface de la face arrière peut expliquer les résultats obtenus.

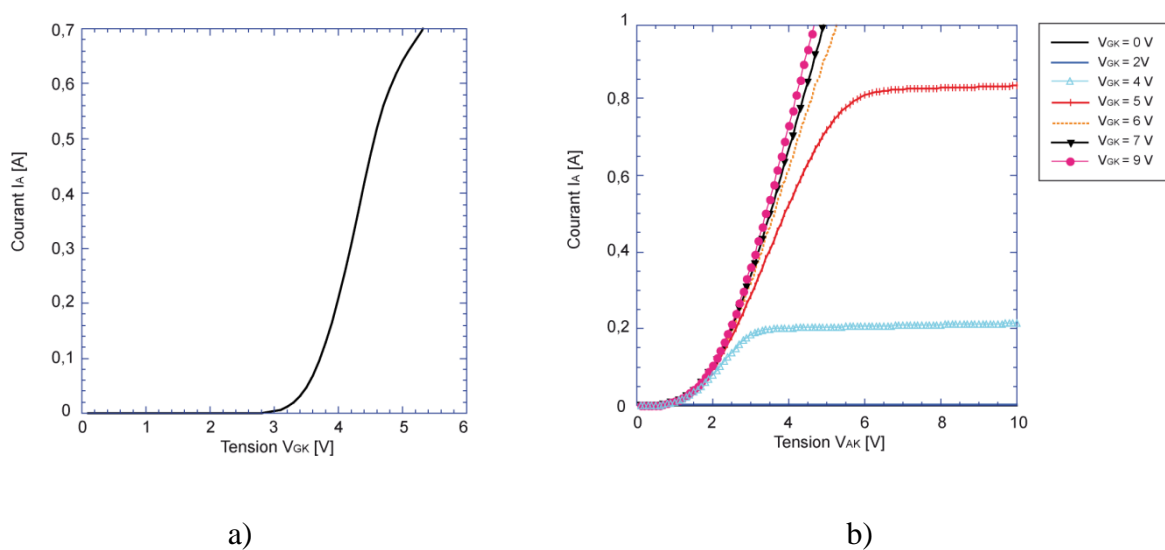


Figure 4. 13 : Caractéristiques $I_A(V_{GK})$ à $V_{AK}=1$ V et $I_A(V_{AK})$ pour différents V_{GK} de l'IGBT.

La vérification du rapport de courant entre I_{sense} et le courant I_A n'a pu être effectué en raison des limitations en courant du testeur sous pointe.

Conclusion

La réalisation de l'interrupteur auto-commuté à thyristor a été effectuée. Le procédé technologique, constitué de 14 niveaux de masque, permet de disposer de deux types de région en face arrière et de deux profils de dopage pour les canaux préformés. Les tests électriques ont confirmé la forte sensibilité de cette solution aux paramètres technologiques des NMOSFETs à déplétion. Pour connaître réellement les potentialités de ce dispositif basé sur un thyristor, il conviendrait de réaliser d'autres lots de NMOSFETs à déplétion afin d'établir une bibliothèque de composants qui associerait à chaque profil de dopage les caractéristiques électriques correspondantes.

Concernant la deuxième solution, des premiers composants test d'IGBT-sense ont été réalisés. En parallèle, les travaux sur l'auto-alimentation se poursuivent : un lot de NMOSFETs est actuellement en cours de réalisation afin de valider le nouveau procédé technologique compatible avec la réalisation de condensateur 3D (présenté dans le chapitre 3).

CONCLUSION GENERALE

Le travail de recherche mené consistait à développer, par le biais de l'intégration fonctionnelle, un interrupteur monolithique réversible en courant à auto-commutation, c'est-à-dire un thyristor dual disjoncteur. Deux solutions ont été proposées :

- Une architecture basée sur un thyristor-MOS auto-amorçable doté d'un limiteur – disjoncteur.
- Une architecture basée sur un cœur IGBT.

La première solution offre une topologie simple, compacte, bien adaptée au concept d'intégration fonctionnelle. Le comportement électrique de l'architecture bénéficie des avantages apportés par le thyristor : amorçage rapide grâce à la section MOS du thyristor et faible chute de tension. Au contraire, le blocage est plus difficile à obtenir car il faut extraire un courant important de la gâchette du thyristor. Ceci se traduit par un blocage lent et par une valeur de courant de disjonction plus élevée que celle désirée. Mais le principal inconvénient de cette solution concerne les NMOSFETs à déplétion. De façon générale, l'utilisation de transistors NMOS à canaux préformés a permis de réaliser simplement les fonctions annexes de gestion de l'amorçage et de l'auto-blocage. Mais en contre partie, la fonctionnalité devient fortement dépendante des paramètres technologiques : les conséquences peuvent aller d'une simple modification du niveau de disjonction à l'échec de la fonction. En terme de surface silicium consommée, il est à noter que certains composants annexes comme le MOSFET de blocage et le limiteur présentent des surfaces importantes par rapport au thyristor, mais la dimension finale ($0,26 \text{ cm}^2$) du circuit reste honorable pour un dispositif qui réalise à la fois des fonctions de puissance, de commande et de protection. En conclusion, cette première solution est particulièrement intéressante d'un point de vue intégration monolithique, mais son comportement électrique est très sensible aux paramètres technologiques.

La seconde solution, basée sur un IGBT, s'avère moins adaptée pour l'intégration d'un interrupteur auto-commuté :

- Elle présente une topologie plus complexe car l'IGBT nécessite l'utilisation d'une auto-alimentation à l'amorçage et des fonctions supplémentaires pour maintenir ses états.
- Elle nécessite la réalisation d'un condensateur sur silicium.

Cependant, le comportement électrique de cette architecture est plus intéressant que celui de la solution à thyristor : la fonction est vérifiée, les niveaux de courant et de tension sont respectés, les changements d'état sont instantanés et le dimensionnement des composants est beaucoup moins critique. Concernant la surface du dispositif, les premiers éléments de conception donnent une surface de $4,3 \text{ mm}^2$ pour l'IGBT et $4,8 \text{ mm}^2$ pour le condensateur, qui sont les composants les plus consommateurs de silicium de cette solution. Ces résultats laissent préfigurer une surface totale du dispositif plutôt raisonnable. En conclusion, cette deuxième solution est plus difficilement réalisable, mais d'un point de vue fonctionnement elle s'avère beaucoup moins délicate.

La solution basée sur un thyristor a fait l'objet d'une première réalisation technologique. Mais les résultats obtenus n'ont pas permis d'exploiter les potentialités de cette solution en raison des profils de dopage des canaux préformés mal maîtrisés. Il conviendrait donc de réaliser de nouveaux lots de NMOSFETs à déplétion pour évaluer et maîtriser les caractéristiques de ces transistors, qui ont un impact considérable sur l'obtention de la fonctionnalité. Concernant la deuxième solution, des premiers composants test d'IGBT-sense ont été réalisés. En parallèle, les travaux sur l'auto-alimentation se poursuivent : un lot de NMOSFETs est actuellement en cours de réalisation afin de valider le nouveau procédé technologique que nous avons proposé et qui autorise une réalisation monolithique actif-passif.

A plus long terme, nous envisageons d'associer deux interrupteurs monolithiques auto-commutés pour obtenir une cellule complète de commutation et ainsi proposer des convertisseurs hautement intégrés dont les retombées applicatives sont nombreuses.

BIBLIOGRAPHIE

- [1] H.FOCH et al.
Éléments constitutifs et synthèse des convertisseurs statiques
Techniques de l'ingénieur. Traité d'Electrotechnique. D3154, Sept. 1989.
- [2] N.ROUX, F.RICHARDEAU, H.FOCH
Self-switching and protected converters: new cells synthesis
34th Annual Power Electronics Specialists Conference (PESC'03), Acapulco, 16-19
juin 2003, pp.1494-1499.
- [3] F.RICHARDEAU, N.ROUX, H.FOCH, J.P. LAUR, M. BREIL-DUPUY, J.L.
SANCHEZ, F.CAPY
New self-switching converters
IEEE, Transactions on Power electronics, Vol.23, n°2, mars 2008, pp. 802-812.
- [4] M. BREIL
Etude d'associations MOS-thyristor autoamorçables et blocables. Exemple
d'intégration de la fonction thyristor dual
Thèse de doctorat de l'Institut National des Sciences Appliquées de Toulouse
soutenue le 7 janvier 1998.
- [5] P. AUSTIN
Contribution au développement de l'intégration fonctionnelle
Habilitation à Diriger des Recherches de l'Université Paul de Sabatier de Toulouse
soutenue le 20 novembre 1998.
- [6] F.FOCH, J. ROUX
Convertisseurs statiques d'énergies électriques à semiconducteurs
Brevets ANVAR France N° 7832428, USA N° 093108.
- [7] J.P. LAUR, J.L. SANCHEZ, P. AUSTIN, J.JALADE, M.MARMOUGET,
M.BREIL, M.ROY
New integrated device for units protection : circuit breaker structures
8th European Conference on Power Electronics and Applications (EPE'99),
Lauzanne, Switzerland, September 7-9, 1999, 6p.
- [8] R.MITOVA
Intégration de l'alimentation de la commande rapprochée d'un interrupteur de
puissance à potentiel flottant
Thèse de doctorat de l'Institut National Polytechnique de Grenoble soutenue le 27
octobre 2005.
- [9] O.GUILLEMET
Etude et conception de micro-disjoncteurs intégrés basées sur le mode d'intégration
fonctionnelle
Thèse de doctorat de l'Université Paul de Sabatier de Toulouse soutenue le 5 février
1998.
- [10] N.ROUX, F.RICHARDEAU, H.FOCH, T. CARITOUX, D. FERRER
Self-switching converters: Application to the design of a naturally reversible rectifier

- 10th European Conference on Power Electronics and Applications (EPE'03), Toulouse, 2-4 septembre 2003.
- [11] N.ROUX
Nouveaux mécanismes de commutation exploitant les protections intégrées des semi-conducteurs de puissance. Application à la conception de convertisseurs statiques à commutation automatique.
Thèse de doctorat de l'Institut National Polytechnique de Toulouse soutenue le 2 juillet 2004.
- [12] M.J. DECLERCQ, J.D. PLUMMER
Avalanche breakdown in high voltage DMOS devices
IEEE Transactions on Electron Devices, Vol.23, 1976, pp. 1-6.
- [13] B.J. BALIGA and al.
The insulated gated rectifier: a new power switching device
Tech. Dig., 1982, Abs 10.6, pp. 264-267.
- [14] V.A.K TEMPLE
MOS controlled thyristor (MCT's)
IEDM Tech. Dig. 1984, p. 282.
- [15] V.A.K TEMPLE
MOS controlled thyristor : a new class of power devices
IEEE Transactions on Electron Devices, Vol. ED33, n°10, October 1986.
- [16] M. NANDAKUMAR, J.BALIGA
The base resistance controlled thyristor (BRT), a new MOS-gated power thyristor
IEEE Transactions on Electron Devices, 1991, pp. 138-141.
- [17] J.BALIGA
The MOS-gated emitter switched thyristor
IEEE Electron device letter, Vol. EDL-11, 1990, pp. 75-77.
- [18] R. PEZZANI, J.B. QUOIRIN
Functional integration of power devices: a new approach
European Conference on Power Electronics and Applications (EPE'95), Sevilla (Spain), 1995, pp. 2219-2223.
- [19] J.L. SANCHEZ, P. AUSTIN, R. BERRIANE, M. MARMOUGET
Trends in design and technology for new power integrated devices based on functional integration
European Conference on Power Electronics and Applications (EPE'97), Trondheim (Norway), 1997, pp. 1302-1307.
- [20] <http://www.inrets.fr/ur/ltn/poles/energie/pdderdsidp.htm>
- [21] G. CHARITAT, J.L. SANCHEZ, P. ROSSEL, H. TRANDUC, M. BAFLEUR
Power integrations: Overview and future
Mix design of VLSI circuits (Mix VLSI'95), Krakov (Poland), 1995, pp. 45-59.
- [22] J.L. SANCHEZ
State of the art and trends in power integration
MSM, Puerto Rico (USA), 1999, pp. 20-29.
- [23] F. MORANCHO

- Physique et modélisation des composants et des circuits intégrés de puissance
Traité EGEM, série électronique et micro-électronique, Hermes science
- [24] S. ROUX
SOI technology applied to an advanced smart power structure
International semiconductor device research symposium (ISDRS'99), 1999, pp. 433-436.
- [25] I. BERTRAND, J.M. DILHAC, P. RENAUD, C. GANIBAL
Large area recrystallisation of thick polysilicon films for low cost partial SOI power devices
International seminar on power semiconductors (ISPS'04), Prague, 2004.
- [26] A.J. AUBERTHON-HERVE
SOI : materials to system
IEDM'96, San Francisco, Etat-Unis, 1996.
- [27] R. PERRET
Mise en œuvre des composants électronique de puissance
Ouvrage collectif, Editions Hermes, 320p, mai 2005.
- [28] J.L. SANCHEZ, R. BERRIANE
Evolution des composants de puissance basée sur le concept d'intégration fonctionnelle des dispositifs MOS et bipolaires
Electronique de puissance du futur (EPF'94), ENS de CACHAN pp. 183-185.
- [29] M. BREIL, J.L. SANCHEZ, P. AUSTIN
A new self-firing MOS thyristor device : optimization of the turn-off performance for ZVS application
Microelectronics Journal, Vol. 30, N°6, pp. 599-610, juin 1999.
- [30] M. MARMOUGET
Contribution au développement d'outils d'aide à la conception de dispositifs de puissance basés sur le mode d'intégration fonctionnelle
Thèse de doctorat de l'Université Paul de Sabatier de Toulouse soutenue le 30 juin 2000.
- [31] M. BREIL, J.L. SANCHEZ, P. AUSTIN, J.P. LAUR, J. JALADE, J-B. QUOIRIN
Exploring various MOS-thyristor associations for a new power integrated function : the IGTB
30th European Solid-State Device Research Conference, ESSDERC 2000, Cork, Ireland, 11-13 September, pp.384-387.
- [32] M. BREIL, J.L. SANCHEZ, P. AUSTIN, J.P. LAUR, J. JALADE, R. PEZZANI, F. DUCLOS, M. ROY J.B. QUOIRIN
Design and optimization of MOS-thyristor structures with a di/dt active control capability for light dimming applications
9th conference on Power Electronics and Applications, EPE2001, 27-29 August 2001, Graz, Austria, CD-ROM.
- [33] A. BOURENNANE
Etude et conception de structures bidirectionnelles en courant et en tension commandées par MOS
Thèse de doctorat de l'Institut National des Sciences Appliquées de Toulouse soutenue le 7 juillet 2004.

- [34] C. CAMEL, P. AUSTIN
Capteur de tension intégré pour la protection des IGBTs contre les courts- circuits
JNRDM'03, Toulouse, 14-16 mai 2003.
- [35] Y. YAMAZAKI et al.
The IGBT with a monolithic over-voltage protection circuit
ISPSD'93, 1993, pp. 41-45.
- [36] Z. JOHN SHEN et al.
Design and characterization of the 600 V IGBT with monolithic overvoltage protection
PESC'96, 1996.
- [37] Y. SEKI et al.
A new IGBT with a monolithic over-current protection circuit
ISPSD'94, 1994, pp.31-35.
- [38] Z. JOHN SHEN, S.P. ROBB
Monolithic integration of the vertical IGBT and intelligent protection circuits
ISPSD'96, 1996.
- [39] N. IWAMURO et al.
A new vertical IGBT structure with a monolithic over-current, over-voltage, and over-temperature sensing and protecting
IEEE Electron Device Letters, Vol. 16, N° 9, septembre 95.
- [40] R. MITOVA, J.C. CREBIER, L. AUBART, C. SCHAEFFER
Fully integrated gate drive supply Around Power switches
IEEE Transactions on Power Electronics, Vol. 20, 2005, pp.650-659.
- [41] N. ROUGET et al.
Fully integrated driver power supply for insulated gate transistor
ISPSD'06, Naples (Italy), 2006.
- [42] E. IMBERNON
Etude et optimisation d'une filière technologique flexible adaptée au mode d'intégration fonctionnelle
Thèse de doctorat de l'Université Paul de Sabatier de Toulouse soutenue le 20 septembre 2002.
- [43] D. DRAGOMIRESCU
Conception des terminaisons de jonctions pour des dispositifs très haute tension.
Aspects statiques et dynamiques
Thèse de doctorat de l'Institut National des Sciences Appliquées, Toulouse, 2001.
- [44] P. AUSTIN, J.L. SANCHEZ, R. BERRIANE
Optimization of PP⁻ junction termination for new power devices
Solid State-Electronics, Vol. 39, N°4, pp.593-599, 1996.
- [45] J.L. SANCHEZ, P. AUSTIN, M. BREIL, J.P. LAUR, E.IMBERNON, A. BOURENNANE, J.C. CREBIER, L. AUBARD, C. SCHAEFFER
Etat de l'art et évolution de l'intégration fonctionnelle
GDR SEEDS, Montpellier, 18-19 octobre 2006.
- [46] J.C. CREBIER
Intégration monolithique et composants de puissance
Habilitation à Diriger des Recherches de l'INPG, 2006.

- [47] J.L. SANCHEZ, M. BREIL, P. AUSTIN, J.P. LAUR, J.JALADE, B. ROUSSET, H. FOCH
A new high voltage integrated switch: the “thyristor dual”function
ISPSD’99, Toronto, 25-28 mai 1999, pp.157-160.
- [48] « Sentauros Device User Guide », Synopsys, 1028 p., 2007.
- [49] P. LETURC, G. REY
« Physique des composants actifs à semiconducteurs », Paris, Bordas, 1978, 166 p.
- [50] P. ALOÏSI
« Les semiconducteurs de puissance, de la physique du solide aux application »
Ellipses édition Marketing, 2001, 320 p.
- [51] L. THEOLIER
Conception de transistor MOS haute tension (1200 volts) pour l’électronique de puissance
Thèse de doctorat de l’Université Paul Sabatier de Toulouse soutenue le 1 octobre 2008.
- [52] S. LEFEBVRE, F. MISEREY
« Composants à semi-conducteur pour l’électronique de puissance», Lavoisier édition Tec et Doc, 2004, 428 p.
- [53] Athena user manual.
- [54] M. GAVELLE
Etude expérimentale de l’interdiffusion Ge-Si à partir de sources solides Germanium sur silicium. Application à la formation de couches graduées $Si_{1-x}Ge_x$ pour les transistors PMOSFETs
Thèse de doctorat de l’Institut National des Sciences Appliquées de Toulouse soutenue le 30 avril 2008.
- [55] ON Semiconductor application Note, AND8093/D, Current sensing power MOSFETs.
- [56] P. LETURCQ
Composants semi-conducteurs de puissance unipolaires et mixtes.
Techniques de l’Ingénieur, traité de Génie électrique, D3 109, pp. 16.
- [57] J. LE GAL, J.L. SANCHEZ, P. AUSTIN
Intégration de commande et de protection avec les dispositifs IGBT
JNRDM’08, Bordeaux, 13-15 mai 2008.
- [58] C. CARMEL
Nouvelles fonctions interrupteurs intégrées pour la conversion d’énergie
Thèse de doctorat de l’Université Paul Sabatier de Toulouse soutenue le 27 avril 2007.
- [59] S. P. ROBB, A. A. TAOMOTO, S. L. TU
Current sensing in IGBTs for short-circuit protection
ISPSD’94, Davos, Switzerland, 31mai-2 juin 1994, pp.81-85.
- [60] M. BRUNET, A. BENAZZI, L. BARY, N. MAURAN, P. DUBREUIL, J.L. SANCHEZ
Performances de condensateurs 3D intégrés sur silicium
GDR SEEDS, Montpellier, 18-19 octobre 2006.

- [61] A. BENAZZI, M. BRUNET, P. DUBREUIL, N. MAURAN, L. BARY, J.P. LAUR, J.L. SANCHEZ, K. ISOIRD
Performance of 3D capacitors integrated on silicon for DC-DC converter applications
European Conference on Power Electronics and Applications (EPE'07), Aalborg, Denmark, 2-5 Septembre 2007, 9p.
- [62] E. SCHEID, L. FURGAL, H. VERGNES
Boron doped polysilicon deposition in a sector reactor: Specific phenomena and properties
EUROCVI 12, J. Phys. IV France, Vol. 9, n°8, Septembre 1999, pp. 885-892.
- [63] J.L. SANCHEZ, E. SCHEID, P. AUSTIN, M. BREIL, H. CARRIERE, P. DUBREUIL, E. IMBERNON, F. ROSSEL, B. ROUSSET
Realization of vertical P+ wall through-wafer
SPIE International Symposium on Micromachining and Microfabrication Process Technology IX, 5342, San Jose, 2004, pp.119-127.
- [64] G. REY
« Technologie des dispositifs à semiconducteurs et des circuits intégrés », fascicule de cours.
- [65] A.S. GROVE
« Physique et technologie des dispositifs à semiconducteur », Dunod, 1971, 380 p.

LISTE DES PUBLICATIONS

REVUES INTERNATIONALES

- [1] F. RICARDEAU, N. ROUX, H. FOCH, J.P. LAUR, M. BREIL-DUPUY, J.L. SANCHEZ, F. CAPY
New self-switching converters
IEEE TRANSACTIONS ON POWER ELECTRONICS, vol.23, NO.2, mars 2008, pp.802-812.
- [2] F. CAPY, M. BREIL, F. RICARDEAU, J.L. SANCHEZ, E. IMBERNON
New monolithically integrated power device for self-switching converters
EUROPEAN JOURNAL OF ELECTRICAL ENGINEERING, vol.12, NO.2/2009, pp.137-148.
- [3] F. CAPY, J.P. LAUR, M. BREIL, F. RICARDEAU, J.L. SANCHEZ
Self-switching circuit based on IGBT suited for monolithic integration
IET Electronics Letters, vol.45, Issue 23, novembre 2009, pp 1191-1193.
- [4] F. CAPY, M. BREIL, F. RICARDEAU, J.P. LAUR, J.L. SANCHEZ
Conception d'un interrupteur de puissance monolithique sur silicium à propriété d'auto-commutation: comparaison de deux architectures
REVUE INTERNATIONALE DE GENIE ELECTRIQUE (*à paraître*).

CONGRES INTERNATIONAUX AVEC COMITE DE LECTURE

- [5] F. CAPY, A. BOURENNANE, M. BREIL, F. RICARDEAU, E. IMBERNON, J.L. SANCHEZ, J.P. LAUR, P. AUSTIN
Design of an integrated self-switching mode device for power converters
14th International Conference Mixed Design of Integrated Circuits and Systems (MIXDES'07), Ciechocinek, Pologne, 21-23 juin 2007, pp. 574-579.
- [6] F. CAPY, M. BREIL, F. RICARDEAU, J.L. SANCHEZ, E. IMBERNON, J.P. LAUR
New self-controlled and self protected integrated power switch
9th International Seminar on Power Semiconductors (ISPS'08), Prague, République Tchèque, 27-29 août 2008, pp.291-296.
- [7] F. CAPY, J. LE GAL, M. BREIL, F. RICARDEAU, J.P. LAUR, P. AUSTIN, J.L. SANCHEZ
Development of a self-protected and self-controlled integrated power switch : comparison of two circuit architectures
BiCMOS Circuits and Technology Meeting (BCTM 2008), Monterey, Etats-Unis, 13-16 octobre2008, pp.49-52.
- [8] F.CAPY, J.P.LAUR, M.BREIL, F.RICHARDEAU, M.BRUNET, C.CARAMEL, P.AUSTIN, J.L.SANCHEZ
New self-controlled and self protected IGBT based integrated switch

- 21st International Symposium on Power Semiconductor devices and ICs (ISPSD'09), Barcelone, Espagne 14-18 juin 2009, pp 243-246.
- [9] F.CAPY, M.BREIL, F.RICHARDEAU, J.P.LAUR, A. BOURENNANE, J.L.SANCHEZ
Exploring potentials and performance of two circuit architectures to develop a new integrated switch dedicated to self-switching power converters
13th European conference on Power Electronics and applications (EPE'09), Barcelone, Espagne, 08-10 septembre 2009.

CONGRES NATIONAUX AVEC COMITE DE LECTURE

- [10] F. CAPY
Intégration de la fonction thyristor dual disjoncteur
9eme Journées Nationales du Réseau Doctoral de Microélectronique (JNRDM'06), Rennes, 10-12 mai 2006.
- [11] F. CAPY, M. BREIL, F. RICHARDEAU
Intégration monolithique de la fonction thyristor dual disjoncteur
11eme Journées Nationales du Réseau Doctoral de Microélectronique (JNRDM'08), Bordeaux, 14-16 mai 2008.
- [12] F. CAPY, M. BREIL, F. RICHARDEAU, J.L. SANCHEZ, E. IMBERNON
Thyristor dual disjoncteur intégré pour convertisseur à commutation automatique
12eme Conférence Electronique de Puissance du Futur (EPF'08), Tours, 2-3 juillet 2008, pp. 59-62.
- [13] F. CAPY
Conception d'un interrupteur de puissance monolithique sur silicium à propriété d'auto-commutation : comparaison de deux architectures
Conférence des Jeunes Chercheurs en Génie Electrique (JCGE'08), Lyon, 16-17 décembre 2008, pp.49-53.

RAPPORTS

- [14] F. CAPY
Intégration de la fonction thyristor dual disjoncteur
Rapport de Master Recherche, Université Paul Sabatier, Toulouse, juillet 2005.
- [15] F. CAPY, N. ROUGER, M. BREIL-DUPUY, F. RICHARDEAU, J.L. SANCHEZ, J.C. CREBIER, L.AUBARD
Nouvelles fonctions de commutation de puissance intégrées sur silicium
Rapport GDR Intégration des Systèmes de Puissance à 3 Dimensions (ISP3D), Lyon, 20-21 octobre 2005, 9p.
- [16] F. CAPY, M. BREIL, F. RICHARDEAU, J.L. SANCHEZ
Etat d'avancement de l'intégration de la fonction thyristor dual disjoncteur
Rapport GDR Intégration des Systèmes de Puissance à 3 Dimensions (ISP3D), Montpellier, 18-19, octobre 2006, 5p.
- [17] F. CAPY
Intégration monolithique du thyristor dual disjoncteur
Rapport Journée de l'école doctorale GEET, Toulouse, 20 mars 2008, 4p.

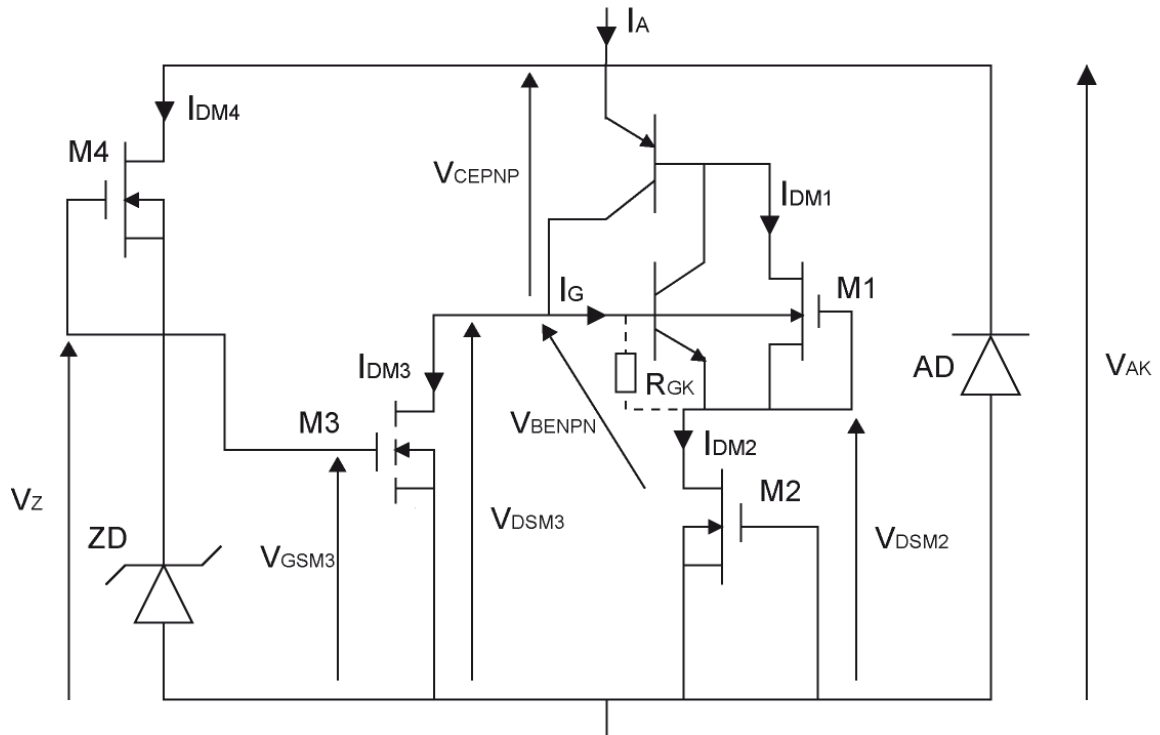


Figure 1 : Définition des grandeurs électriques utilisées pour l'analyse du circuit.

1. Auto-amorçage du dispositif

Nous allons définir les conditions de déclenchement du dispositif. Pour cela nous nous plaçons au moment où la section NPN devient conductrice. Le transistor est donc à l'état ouvert. De plus, en statique, l'IGBT ne dévie que très peu de courant car sa cathode est reliée à une diode Zener et à la grille du transistor MOS de blocage. Ce dernier, par hypothèse, ne doit pas être enclenché. Les courants circulant dans le thyristor sont donc le courant I_A et le courant de drain du transistor MOS d'autoamorçage. La section PNP étant enclenchée, le courant circulant dans R_{GK} et la tension à ses bornes sont donc :

$$I_G = \beta_{PNP} * I_{DM1} \quad [1]$$

$$V_{BENPN} = I_G * R_{GK} \quad [2]$$

Nous avons vu que le dispositif s'amorçait dès que la tension aux bornes de la jonction base émetteur de la section NPN devenait directe c'est à dire dès que : $V_{BENPN} > 0,6 V$

La condition de déclenchement est donc :

$$I_G * R_{GK} > 0,6 V \quad [3]$$

Soit si on remplace I_G par son expression en fonction de I_{DM1} :

$$\beta_{PNP} * I_{DM1} * R_{GK} > 0,6 V \quad [4]$$

(condition intrinsèque)

Essayons d'exprimer cette inégalité en fonction de I_A afin d'obtenir le niveau de courant nécessaire au déclenchement du dispositif (le courant d'accrochage). Deux situations sont à envisager :

- Le transistor MOS d'auto amorçage est saturé. Dans ce cas le courant de drain vaut I_{DSATM1} .
- Le transistor MOS d'auto amorçage est en régime ohmique. Dans ce cas le courant de drain vaut :

$$I_{DM1} = \frac{(V_{AK} - 0,6 - V_{DSM2})}{R_{DSONM1}} \quad [5]$$

avec :

$$V_{DSM2} = (\beta_{PNP} + 1) * \frac{I_{DM1}}{R_{DSONM2}} \quad [6]$$

soit :

$$I_{DM1} = \frac{V_{AK} - 0,6 - (\beta_{PNP} + 1) * \frac{I_{DM1}}{R_{DSONM2}}}{R_{DSONM1}} \quad [7]$$

Ce qui est équivalent à :

$$I_{DM1} = \frac{(V_{AK} - 0,6)}{R_{DSONM2} * (\beta_{PNP} + 1) + R_{DSONM1}} \quad [8]$$

La condition la plus contraignante pour que l'inégalité (3) soit respectée correspond à la valeur minimum du courant de drain car si la relation (3) est vraie pour I_{DM1} minimum elle sera automatiquement vraie pour toutes les autres valeurs de I_{DM1} .

De plus pour que l'amorçage soit possible, le transistor MOS de blocage ne doit pas être enclenché. Cela correspond au cas où la tension aux bornes du dispositif est inférieure à la tension de seuil du MOS de blocage, soit :

$$V_{AK} < V_{TM3}$$

(condition extrinsèque) [9]

On se place dans la situation la plus critique, c'est-à-dire : $V_{AK} = V_{TM3}$

La première condition d'amorçage du dispositif est donc :

$$\frac{(V_{TM3} - 0,6)}{R_{DSNM2} * (\beta_{PNP} + 1) + R_{DSNM1}} * R_{GK} * \beta_{PNP} > 0,6 V$$

[10]

Lorsque cette relation est vérifiée, le courant I_A a atteint le niveau du courant d'accrochage pour lequel le thyristor devient passant. On obtient donc une deuxième condition sur la valeur minimum du courant I_A qui correspond à la valeur de ce courant d'accrochage.

Avant que le dispositif ne se déclenche le courant de drain du transistor MOS d'amorçage correspond au courant de base de la section PNP, soit :

$$I_A = (\beta_{PNP} + 1) * I_{DM1}$$

[11]

Dès que le dispositif est amorcé, le courant de base devient supérieur au courant de drain. Pour que la fermeture du dispositif soit possible, le courant de base de la section PNP doit donc être supérieur ou au moins égal au courant de drain du transistor MOS d'amorçage, qu'il soit saturé ou en régime ohmique. La deuxième condition d'amorçage du dispositif est donc :

$$I_A \geq (\beta_{PNP} + 1) * I_{DSATM1}$$

[12]

On remarquera que si cette dernière inégalité est vraie quand le transistor MOS d'amorçage est saturé, elle le sera aussi quand il est dans son régime ohmique (situation de pire cas). De plus, si l'une des équations (10) et (12) est vérifiée, l'autre l'est automatiquement.

2. Maintien de l'amorçage du dispositif

Le dispositif est à présent dans son état conducteur. Nous avons vu dans le chapitre deux que le thyristor permettait naturellement le maintien de l'amorçage. La seule condition à satisfaire pour que le dispositif reste dans son état fermé est donc :

$$V_{AK} < V_{TM3}$$

(condition extrinsèque) [13]

car le processus de blocage s'enclenche dès que la tension de grille du transistor MOS atteint sa tension de seuil. Cette relation est équivalente à :

$$0,6 + V_{CESATPNP} + R_{DSONM2} * I_A < V_{TM3}$$

[14]

soit :

$$R_{DSONM2} < \frac{(V_{TM3} - 0,6 - V_{CESATPNP})}{I_A}$$

[15]

Si l'on se place dans la situation la plus critique pour maintenir l'amorçage, c'est à dire juste avant le blocage quand le dispositif est en saturation, on peut remplacer le courant par sa valeur maximum définie par le cahier des charges. On obtient donc :

$$(K_{PM2} * V_{TM2}) > \frac{I_{AMAX}}{(V_{TM3} - 0,6 - V_{CESATPNP})}$$

[16]

3. Blocage du dispositif

Le dispositif est passant et le transistor MOS de blocage vient de s'enclencher.

Pour bloquer le dispositif il faut interrompre l'autoentretien du thyristor c'est à dire polariser en inverse la jonction collecteur base des deux sections bipolaires. Cette condition se traduit par :

$$I_{BNPN} * R_{GK} < 0,6 V$$

[17]

avec :

$$I_{BNPN} = I_G - I_{DM3} = \alpha_{PNP} * I_A - I_{DM3}$$

[18]

De plus la diode Zener ne doit pas rentrer en conduction sinon le dispositif ne pourra jamais se bloquer. Cette condition correspond à l'inégalité suivante :

$$V_{AK} < V_Z$$

[19]

Introduisons dans l'inégalité (17), l'expression (18). On obtient :

$$(\alpha_{PNP} * I_A - I_{DM3}) * R_{GK} < 0,6 V \quad [20]$$

avec :

$$I_A = I_{DM3} + I_{DSATM2} \quad [21]$$

soit :

$$(\alpha_{PNP}(I_{DM3} + I_{DSATM2}) - I_{DM3}) * R_{GK} < 0,6 V \quad [22]$$

$$(I_{DM3}(\alpha_{PNP} - 1) + \alpha_{PNP} * I_{DSATM2}) * R_{GK} < 0,6 V \quad [23]$$

L'ouverture du dispositif ne se réalise pas dès que le transistor MOS de blocage s'enclenche. En effet, il doit extraire suffisamment de courant de la base de la section NPN pour bloquer le thyristor. Il existe donc un courant minimum pour lequel le blocage du dispositif est possible.

Nous pouvons déduire ce courant minimum de la relation (23). Ainsi nous obtenons :

$$I_{DM3} > I_{DSATM2} * \frac{\alpha_{PNP}}{1 - \alpha_{PNP}} - \frac{0,6}{1 - \alpha_{PNP}} = I_{MINDM3} \quad [24]$$

Nous pouvons nous attendre à une pointe de courant entre le moment où le transistor MOS de blocage s'enclenche et le blocage effectif du dispositif. En effet, au courant circulant dans le limiteur il faut ajouter le courant de drain du transistor MOS de blocage. L'inégalité (24), d'où l'on extrait le courant minimum de drain (et donc le courant minimum I_A) pour lequel le blocage est réalisé, va nous permettre d'évaluer ce pic de courant.

Nous venons de définir le courant minimum I_A nécessaire pour bloquer le dispositif. Nous pouvons aussi déterminer la tension aux bornes de l'interrupteur. Pour cela nous allons remplacer dans l'inégalité (20) le courant I_{DM3} par son expression en fonction des tensions de grille et de seuil du transistor MOS de blocage.

Exprimons tout d'abord I_{DM3} :

- quand le transistor NMOS est en régime saturé

$$I_{DM3} = \frac{K_P}{2} * (V_{GSM3} - V_{TM3})^2 \quad [25]$$

- quand le transistor NMOS est en régime ohmique

$$I_{DM3} = K_P \left(V_{GSM3} - V_{TM3} - \frac{V_{DSM3}}{2} \right) * V_{DSM3} \quad [26]$$

avec :

$$K_P = \mu_N C_{OX} \frac{Z}{L} \quad [27]$$

Afin de déterminer dans quel régime se trouve le transistor MOS de blocage, exprimons V_{DSM3} :

$$V_{DSM3} = 0,6 + V_{DSM2} \quad [28]$$

avec :

$$V_{DSM2} = V_{AK} - 0,6 - V_{CESATPNP} \quad [29]$$

et :

$$V_{AK} = V_{GSM3} \quad [30]$$

soit :

$$V_{DSM3} = V_{GSM3} - V_{CESATPNP} \quad [31]$$

La condition de saturation d'un transistor MOS à enrichissement est :

$$V_{DSM} \geq V_{GS} - V_T \quad [32]$$

Dans notre cas nous avons :

$$V_{CESATPNP} \leq V_{TM3} \quad [33]$$

Le transistor MOS de blocage est donc dans son régime saturé.

Finalement, si nous remplaçons I_{DM3} par son expression dans l'inégalité (20) nous obtenons :

$$\left(\alpha_{PNP} * I_A - \frac{K_{PM3}}{2} * (V_{AK} - V_{TM3})^2 \right) R_{GK} < 0,6 V \quad [34]$$

La dernière condition concerne le courant de saturation du transistor MOS de blocage. Ce dernier doit être supérieur au niveau de courant I_{DM3} nécessaire pour bloquer le dispositif, soit :

$$I_{DSATM3} > I_{DM3} \quad [35]$$

4. Maintien du blocage du dispositif

On considère que la diode Zener entre en zone de claquage et donc qu'elle impose la tension de grille du transistor MOS de blocage, soit :

$$V_{GSM3} = V_Z \quad [36]$$

Pour maintenir le blocage, la jonction Emetteur-Base de la section NPN du thyristor doit rester en inverse, c'est-à-dire :

$$I_{BENPN} < 0,6 V \quad [37]$$

Ce qui est équivalent à :

$$V_{DSM3} - V_{DSM2} < 0,6 V \quad [38]$$

Si l'on exprime cette inégalité en fonction des courants, on obtient :

$$R_{DSOM3} * I_{DSATM1} * \beta_{PNP} - R_{DSOM2} * I_{DSATM1} < 0,6 V \quad [39]$$

On peut donc en déduire la valeur maximum de la résistance du canal du transistor MOS de blocage :

$$R_{DSOM3} < \frac{0,6 + R_{DSOM2} * I_{DSATM1}}{\beta_{PNP} * I_{DSATM1}} \quad [40]$$