

***Contribution à l'étude de techniques de siliciurations avancées
pour les technologies CMOS décananométriques***

soutenue publiquement le 15 mai 2009 par

Nicolas BREIL

Directeur de thèse : Dr. Emmanuel DUBOIS, IEMN-ISEN, Lille

Responsables de thèse : Dr. Aomar HALIMAOUÏ, STMicroelectronics, Crolles

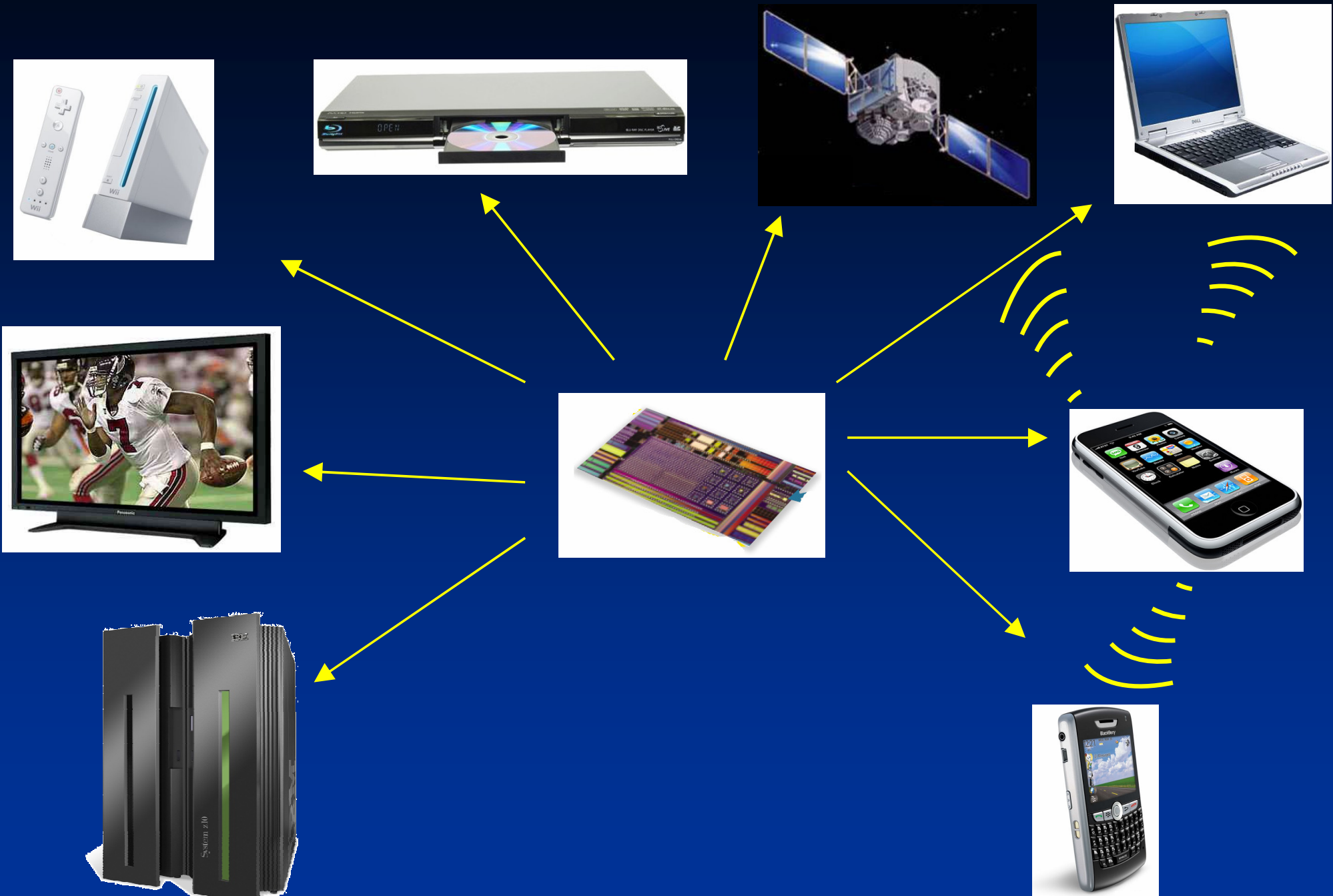
Dr. Arnaud POUYDEBASQUE, STMicroelectronics, Crolles



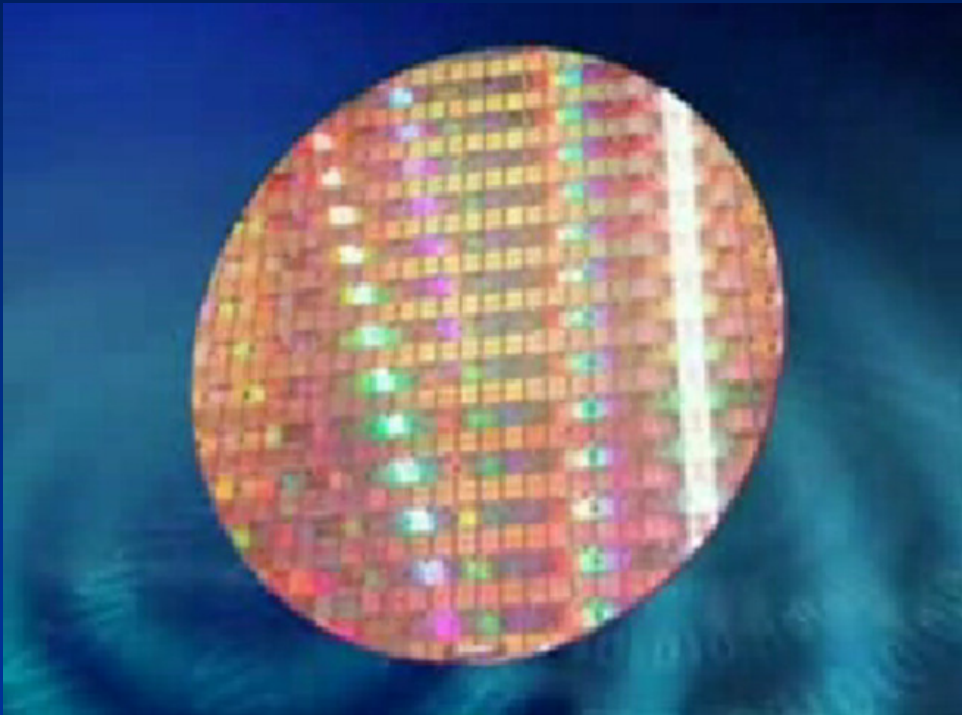
- Les technologies MOS : Evolution et futurs enjeux
 - problématique de la résistance de contact
- Siliciure de type n : l'ErSi_x
 - fabrication d'un siliciure de terres rares
- Siliciure de type p : le PtSi
 - matériau prometteur pour les CMOS
- Intégration auto-alignée originale du PtSi
 - technique de germaniuration sacrificielle
- Performances électriques du PtSi
 - fort potentiel sur technologie CMOS

- Les technologies MOS : Evolution et futurs enjeux
 - problématique de la résistance de contact
- Siliciure de type n : l'ErSi_x
 - fabrication d'un siliciure de terres rares
- Siliciure de type p : le PtSi
 - matériau prometteur pour les CMOS
- Intégration auto-alignée originale du PtSi
 - technique de germaniuration sacrificielle
- Performances électriques du PtSi
 - fort potentiel sur technologie CMOS

Technologies MOS : Le circuit intégré

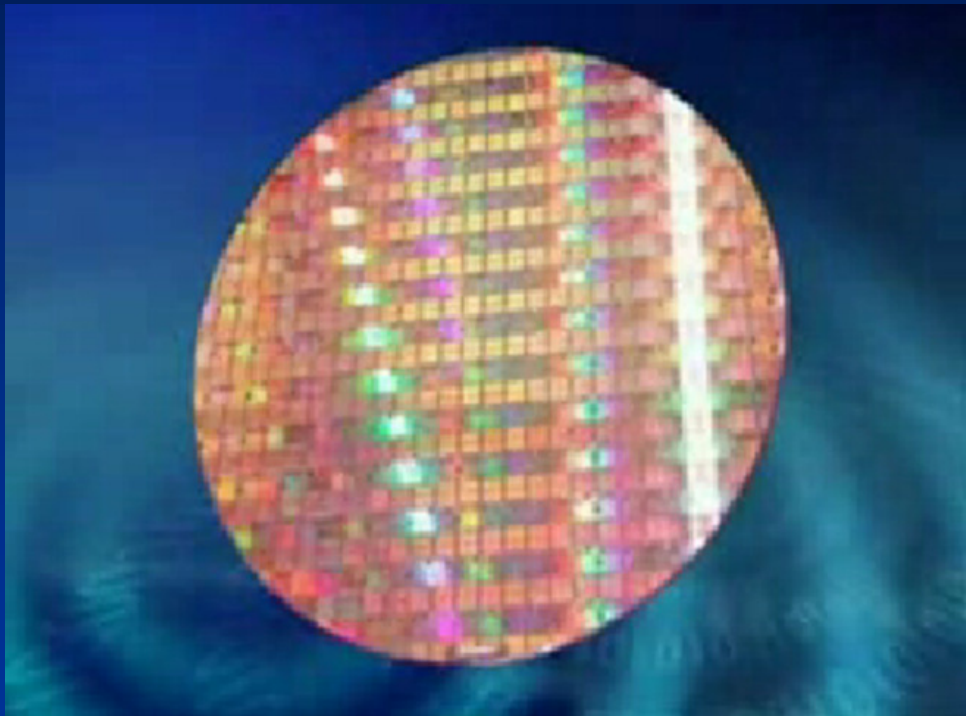


- Circuits intégrés (puce) fabriqués sur des tranches de Si monocristallin
- Plusieurs milliers de puces identiques sur chaque tranche
- Chaque puce contient qqs millions de transistors



Source : www.intel.com

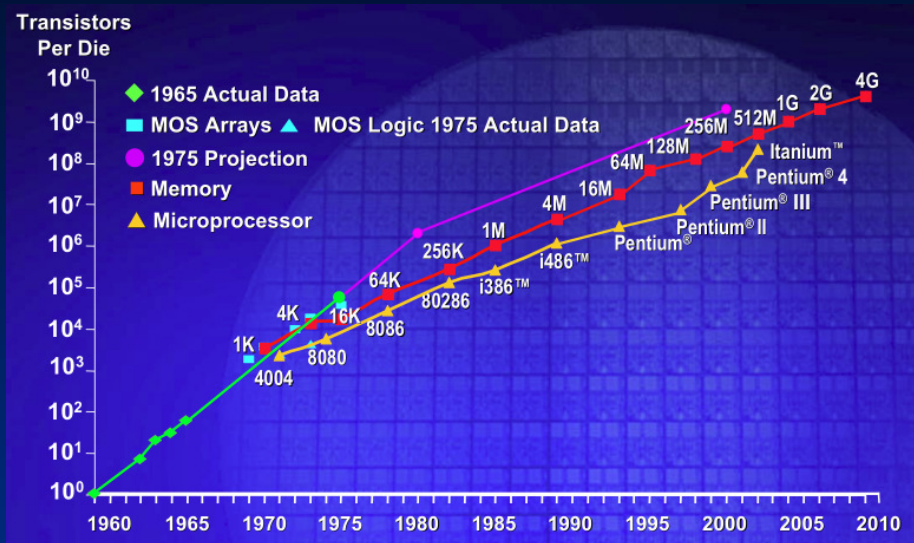
- Circuits intégrés (puce) fabriqués sur des tranches de Si monocristallin
- Plusieurs milliers de puces identiques sur chaque tranche
- Chaque puce contient qqs millions de transistors



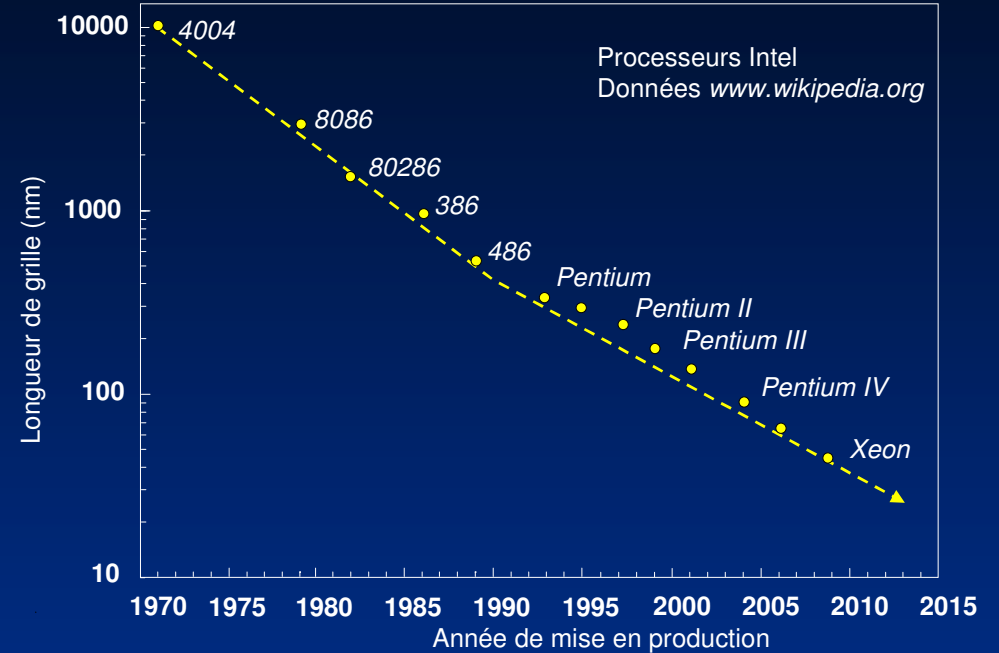
Source : www.intel.com

- Interconnexions Back-End (*câblage*)
 - Transistors Front-End (*interrupteurs*)
- ➔ Intégration de *fonctions électriques élémentaires* sur une surface réduite

- Densité d'Intégration
Loi de Moore



- Miniaturisation des transistors
(R. Dennard)

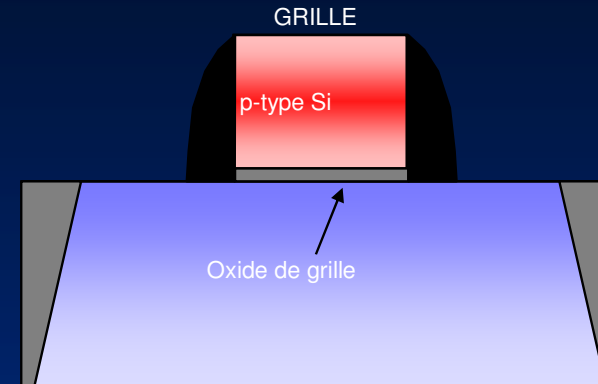


- Densité d'intégration : coûts de fabrication par puce ↘
- Miniaturisation : performances ↗

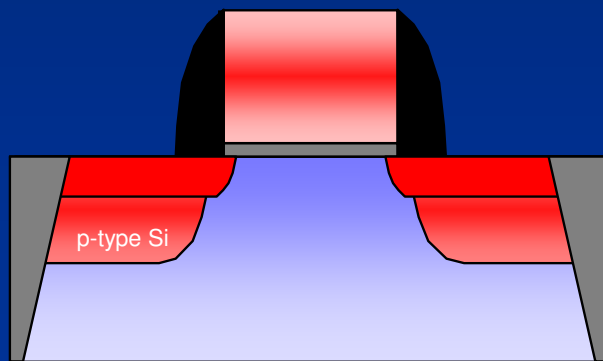
I _ Isolations



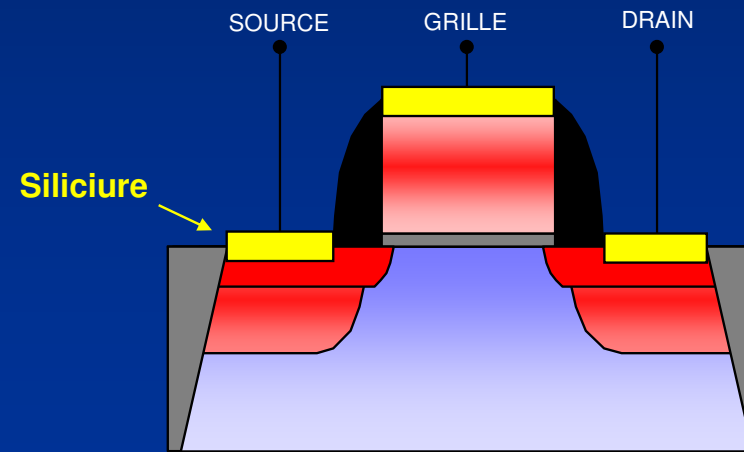
II _ Electrode de grille

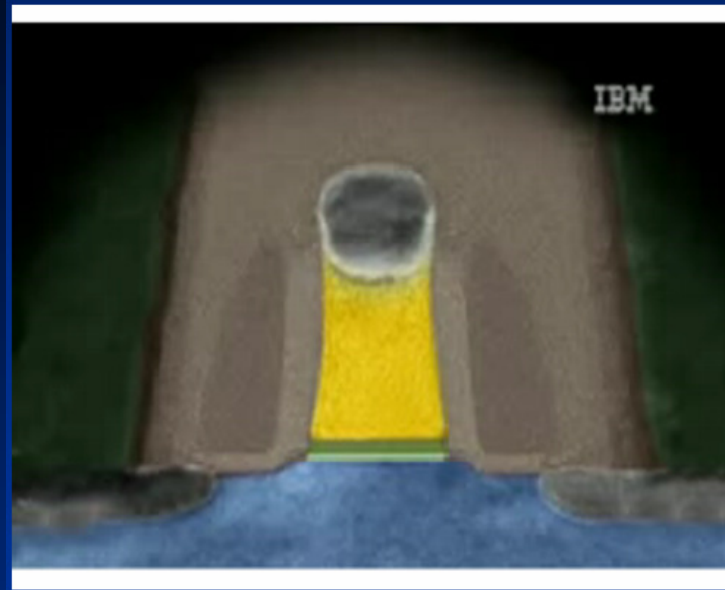


III _ Dopage Source et Drain



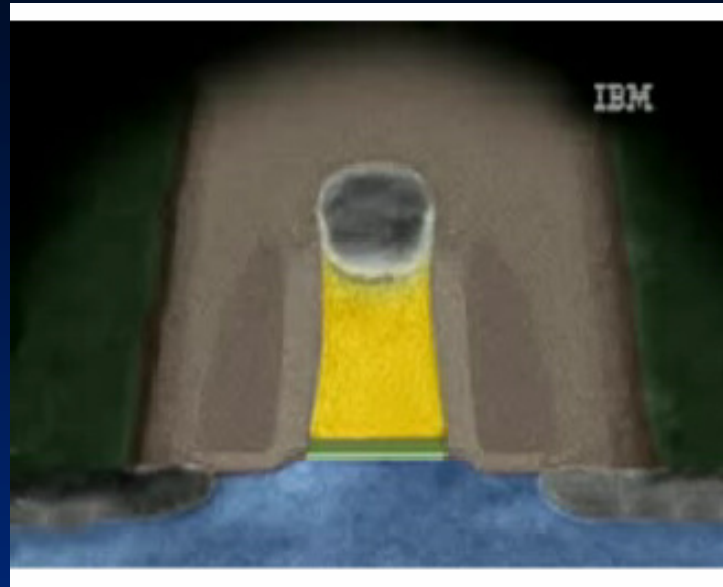
IV _ Siliciuration





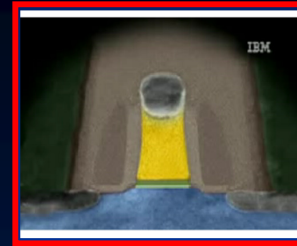
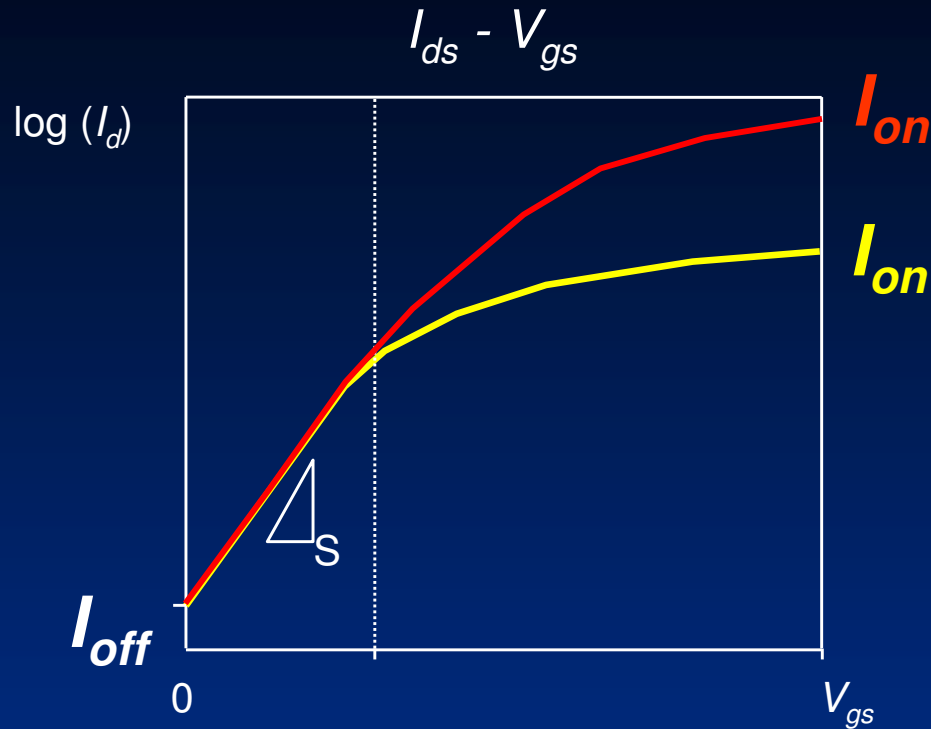
Source : www.ibm.com

- Le transistor MOS est constitué de quatre terminaux électriques

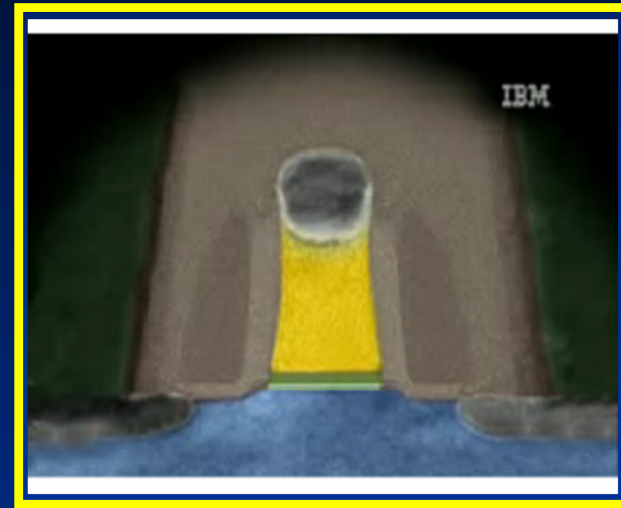


Source : www.ibm.com

- Le transistor MOS est constitué de quatre terminaux électriques
- La polarisation de ces terminaux permet la modulation du courant électrique



$L_g / 10$



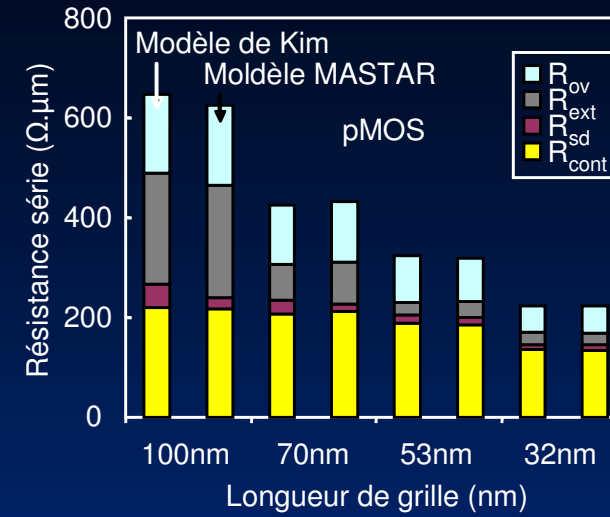
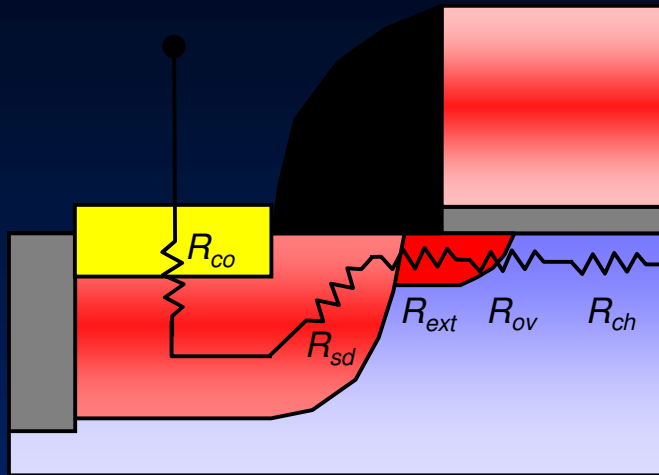
L_g

- Courant à l'état bloqué (I_{off})
→ consommation statique du circuit
- Courant à l'état passant (I_{on})
→ performance du circuit (CV / I)
- Diminution longueur de grille
→ amélioration compromis I_{on} / I_{off}

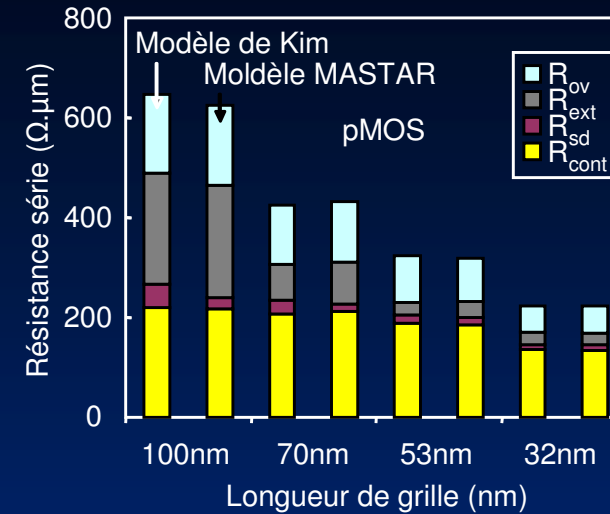
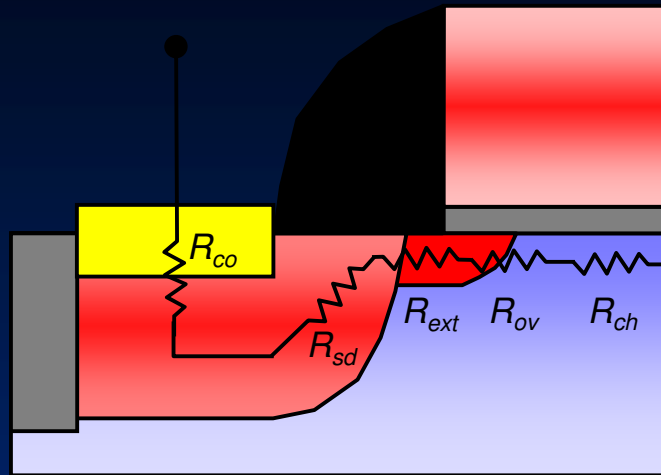


Intérêt de la miniaturisation des composants

Technologies MOS : Impact de la miniaturisation sur la résistance de contact



Technologies MOS : Impact de la miniaturisation sur la résistance de contact



$$\rho_c = \frac{k}{qA^*T} \cdot c_{FE} \cdot \exp\left[\frac{\phi_b}{E_{00}}\right]$$

$$E_{00} = \frac{h}{4 \cdot \pi} \cdot \sqrt{\frac{N_d}{\epsilon_s \cdot m_t}}$$

SD Kim, IEDM, 2000



$$\rho_c \approx \exp\left[\frac{-\phi_b}{\sqrt{N_d}}\right]$$

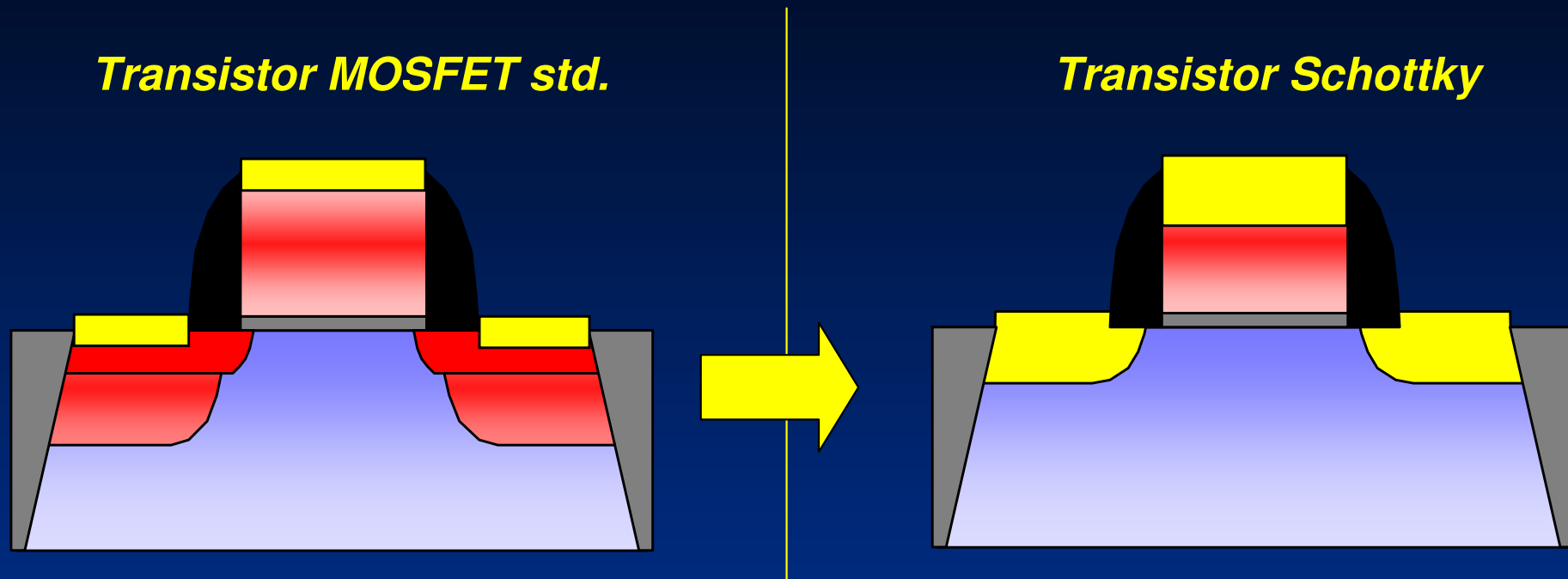
ϕ_b : Hauteur de barrière

N_d : Niveau de dopage du silicium

Problématique : Quels sont les moyens existant pour réduire la résistance de contact ?

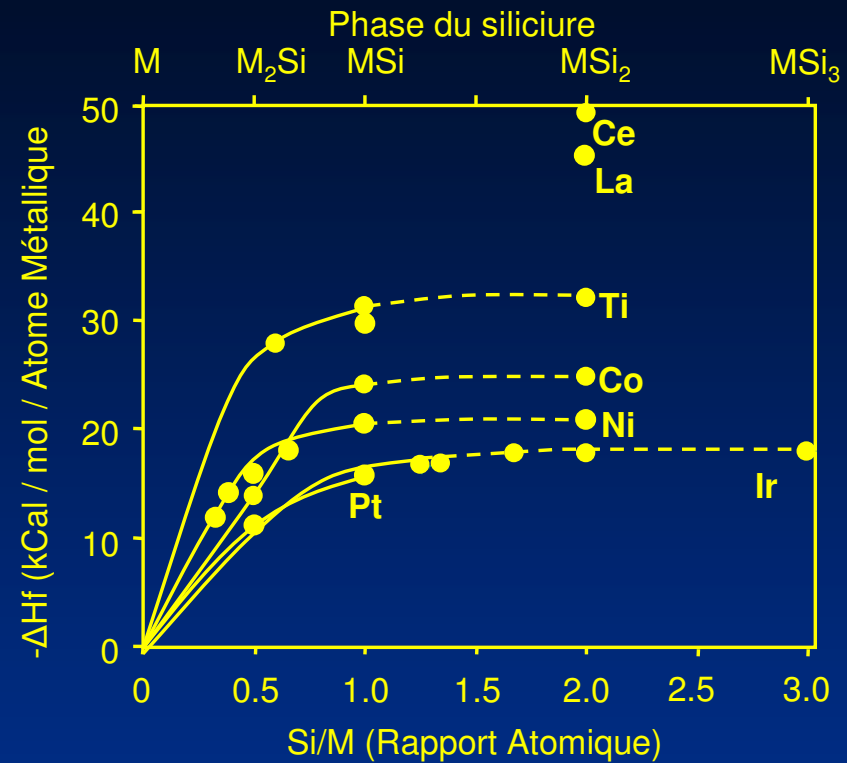
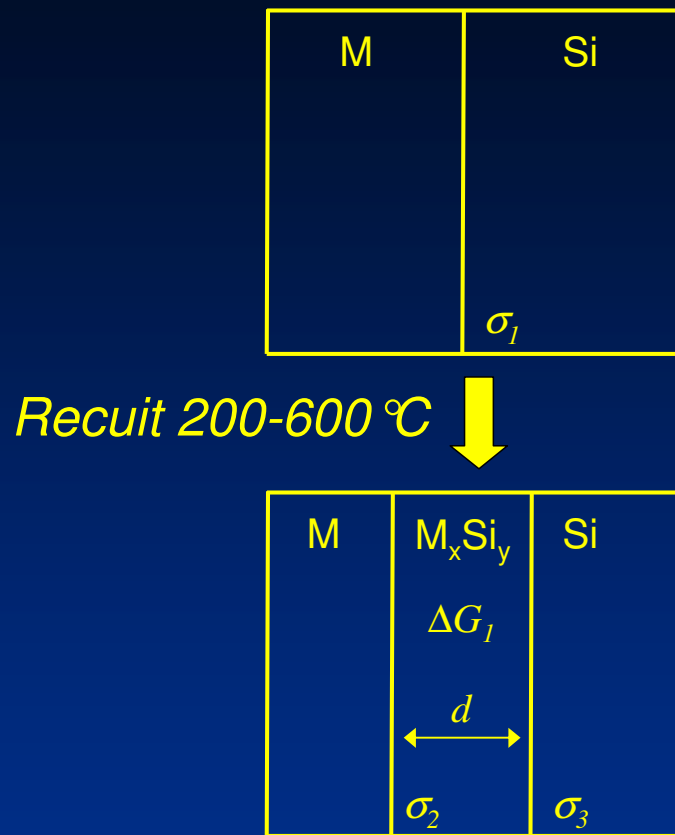
→ paramètres ϕ_b et N_d

Le transistor Schottky : Une architecture alternative



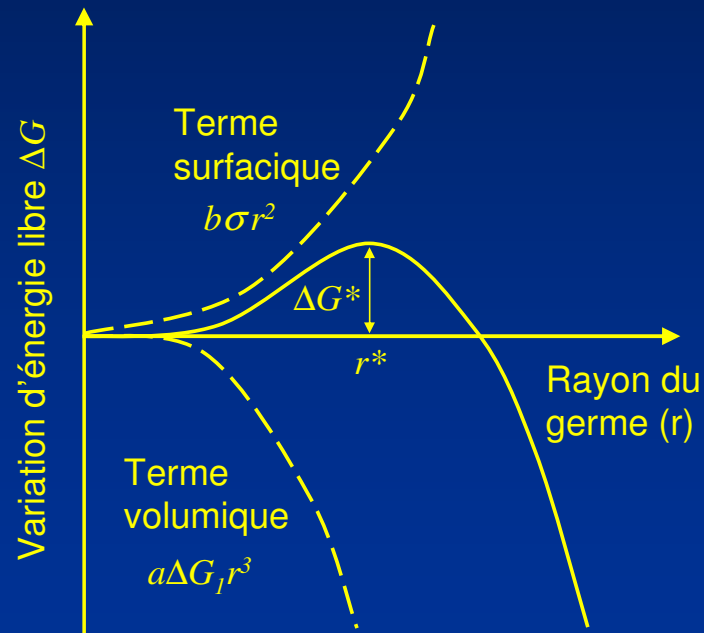
- Simplification du procédé de fabrication
- Jonctions métalliques (résistivité /10)
- Abrupté latérale et profondeur de la jonction métallique

Formation des siliciures



La formation des siliciures est possible grâce à une diminution de l'enthalpie libre ΔG du système thermodynamique

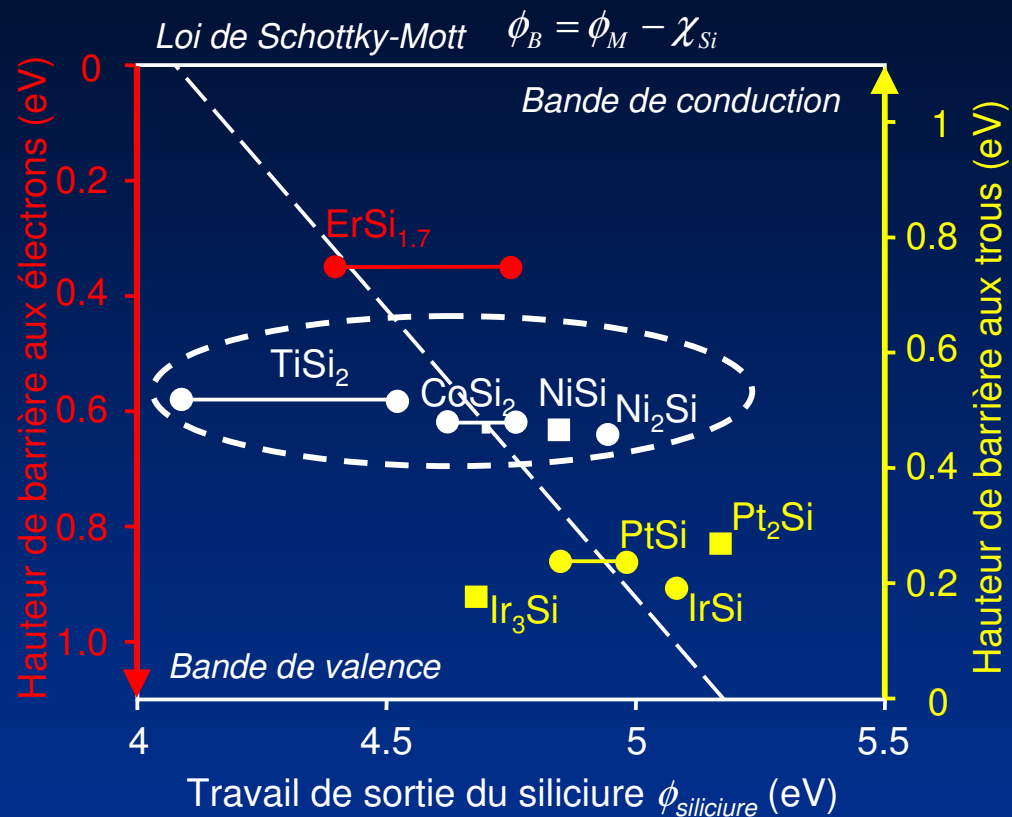
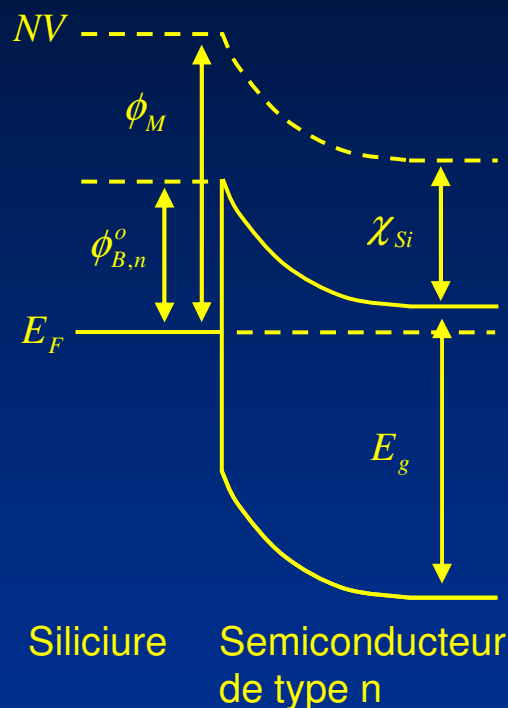
- ΔG est élevé : Formation par diffusion (e.g. PtSi, NiSi)
 - Mécanisme décrit par le formalisme de Deal et Grove
 - Diffusion des espèces suivant la loi de Nernst-Einstein
- ΔG est trop faible pour permettre la diffusion : Formation par nucléation (e.g. ErSi_x, YbSi_x)



- La germination des *nucléi* ayant atteint une taille critique permet la formation de la phase

- Loi de Schottky-Mott (1938)

$$\phi_{b,n} = \phi_M - \chi_{Si}$$



[Drummond99]

Déviations expérimentales de la loi de Schottky-Mott
 → Verrouillage du niveau de Fermi (Pinning)

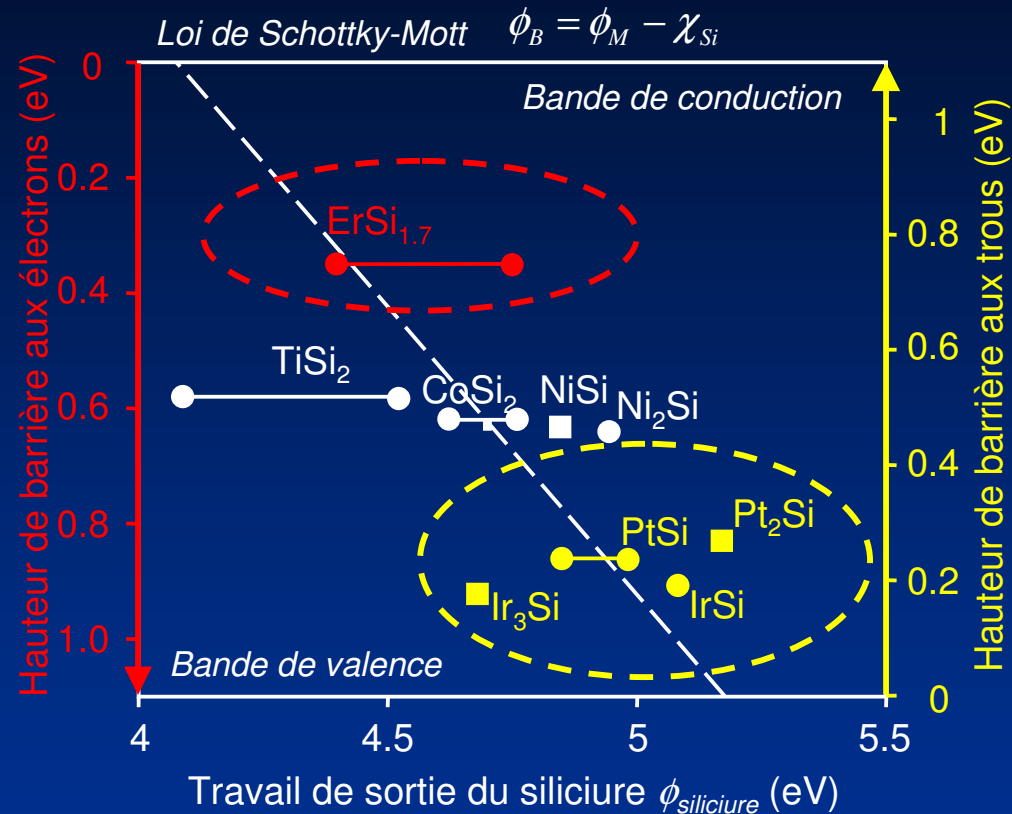
- Charges fixes séparées (*Cowley-Sze JAP 1965*)
 - présence de pièges électriques dans le semiconducteur
 - MIGS (*J. Tersoff PRL 1984*)
 - états d'interfaces induits par le métal
 - Liaisons Polarisesées (*R.T. Tung MSE 2001*)
 - polarisation des liaisons chimiques à l'interface
- Existence d'un *dipôle de Schottky*
- Réduction du *dipôle de Schottky*
 - valence-mending Se, S (*M. Tao APL 2003*)
 - ségrégation de dopants (*Z. Zhang EDL 2007*)

Formation des siliciures : Diminution de la résistance de contact

ϕ_b : Diminution de la hauteur de barrière du siliciure

**Siliciures
de type n**

ErSi_x



**Siliciures
de type p**

PtSi

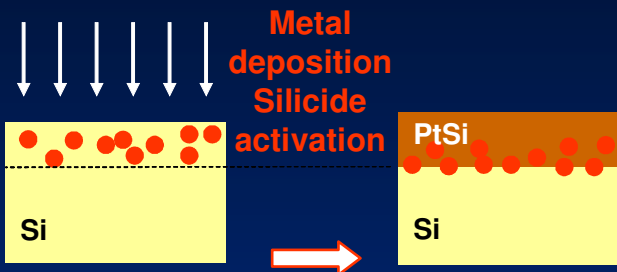
IrSi

→ Intégration de siliciures complémentaires
type n (ErSi_x) pour nMOS
type p (PtSi, IrSi) pour pMOS

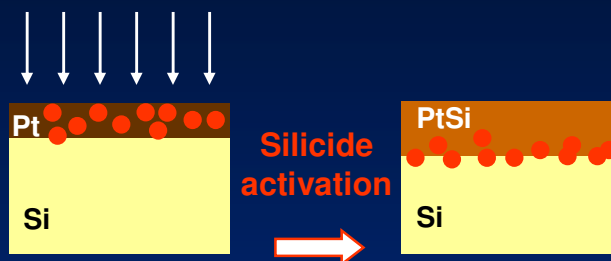
Formation des siliciures : Diminution de la résistance de contact

N_d : Augmentation du dopage à l'interface siliciure/silicium

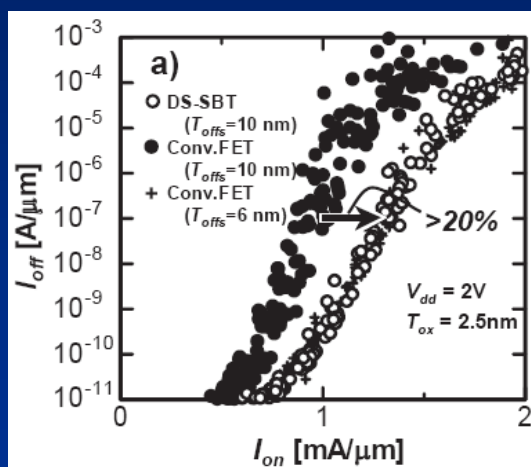
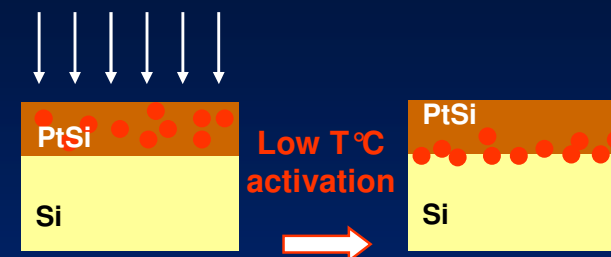
Implant Before Silicidation (IBS)



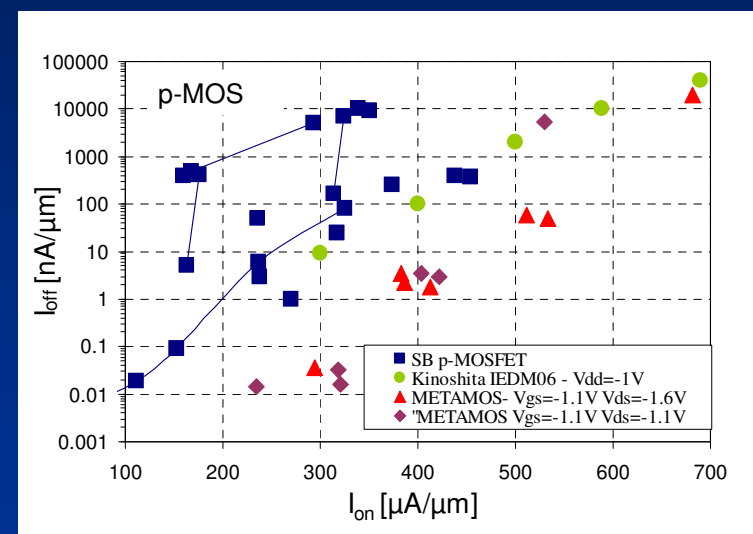
Implant To Metal (ITM)



Implant To Silicide (ITS)



Kinoshita et al., VLSI symp. 2005



Projet européen METAMOS

➔ Implémentation de techniques de ségrégation de dopants (faible budget thermique)

Quels sont les moyens existant pour réduire la résistance de contact ?

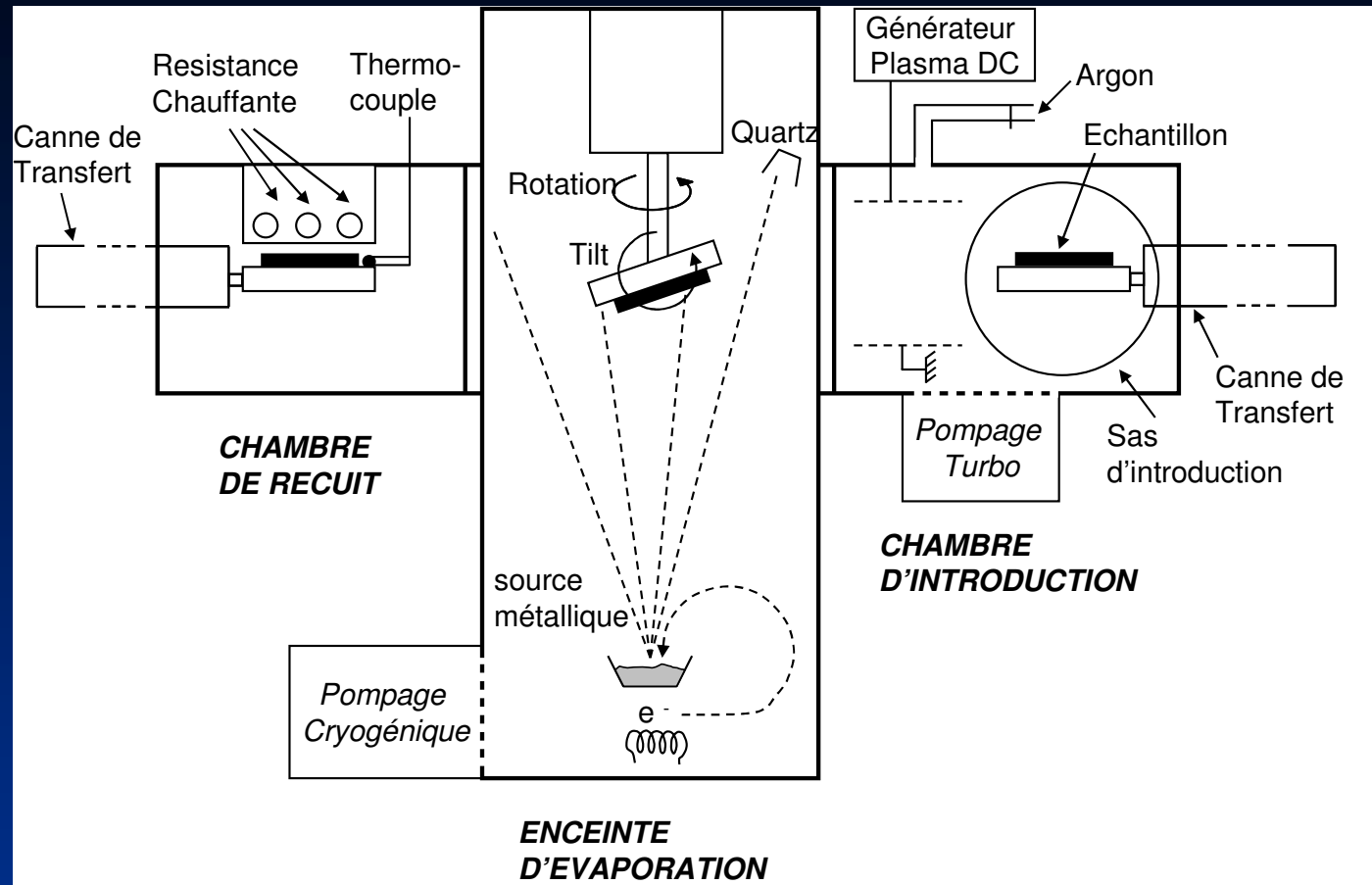
ϕ_b : Diminution de la hauteur de barrière intrinsèque du siliciure

→ Etude des siliciures bord de bande de type n (ErSi_x)
de type p (PtSi)

N_d : Augmenter le dopage à l'interface siliciure/silicium

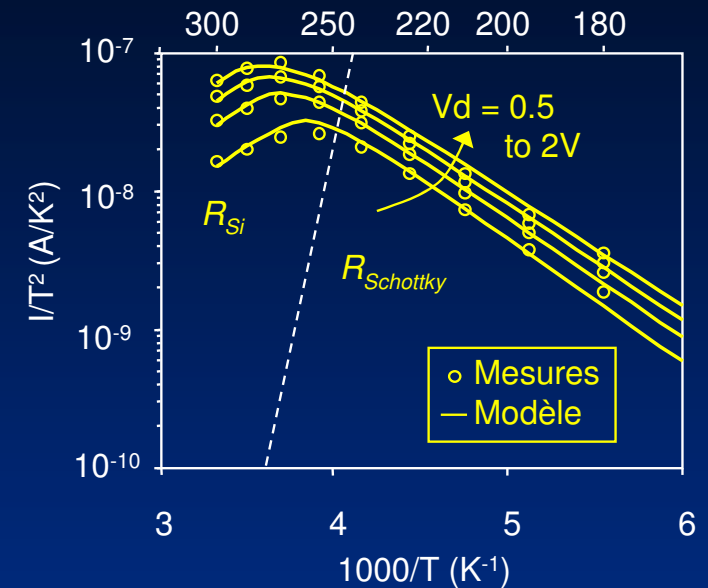
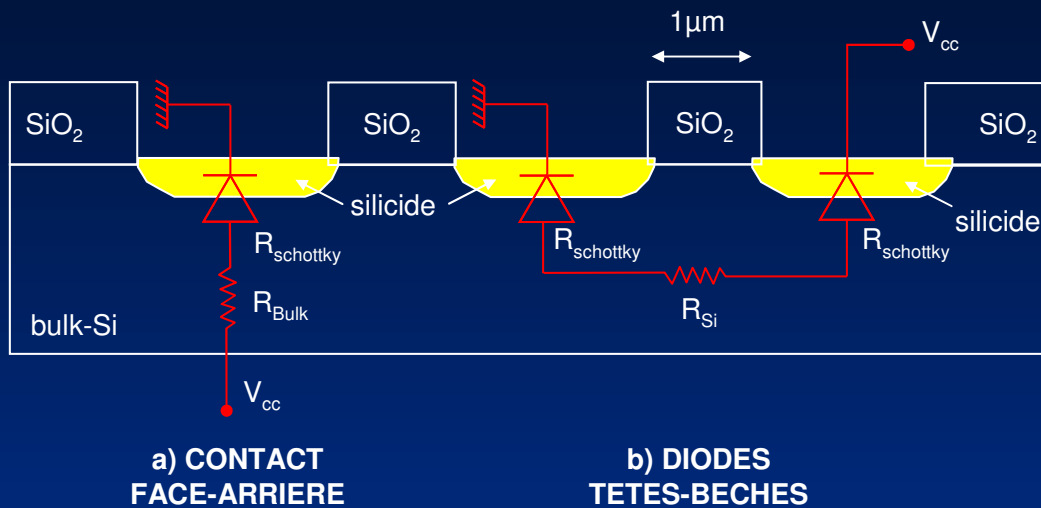
→ Etude des techniques de ségrégation (IBS) de dopants sur PtSi

Techniques de fabrication des siliciures



- Er s'oxyde rapidement à l'atmosphère
 - dépôt et recuit *in-situ* pour la formation de l' ErSi_x
- Pt peu sensible à l'oxydation à l'atmosphère
 - Dépôt UHV et recuit RTA *ex-situ* pour la formation de PtSi

- Structure de diodes têtes-bêches



E. Dubois et al., JAP 2004

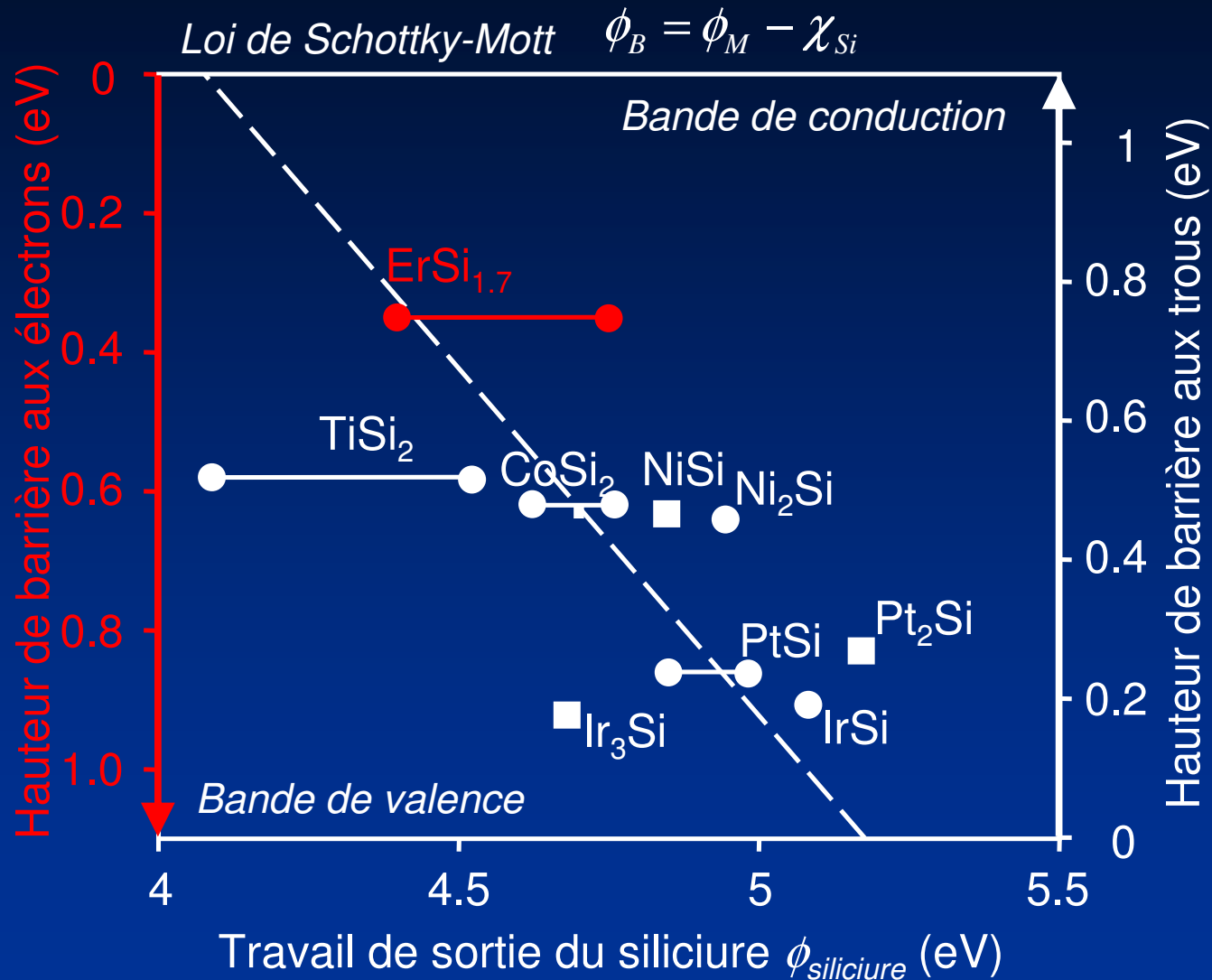
- Modèle prenant en compte l'injection tunnel et thermoélectronique
- Extraction de très faibles hauteurs de barrière
- Structure proche d'une architecture MOSFET

- Les technologies MOS : Evolution et futurs enjeux
 - problématique de la résistance de contact
- Siliciure de type n : l'ErSi_x
 - fabrication d'un siliciure de terres rares
- Siliciure de type p : le PtSi
 - matériau prometteur pour les CMOS
- Intégration auto-alignée originale du PtSi
 - technique de germaniuration sacrificielle
- Performances électriques du PtSi
 - fort potentiel sur technologie CMOS

- Etude d'un siliciure de type n : le siliciure d'erbium ErSi_x

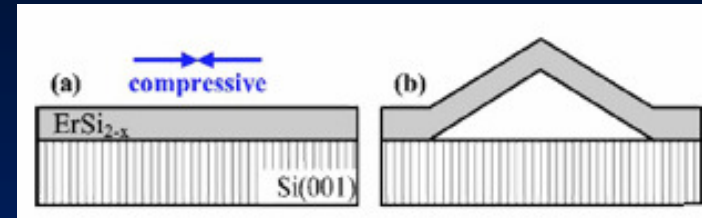
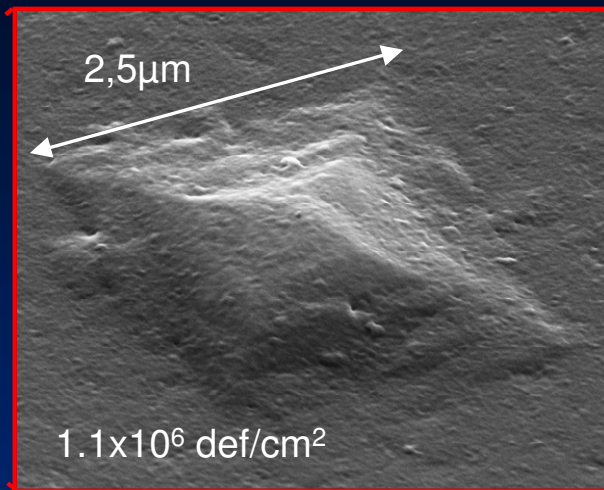
Siliciures
de type n

ErSi_x ←



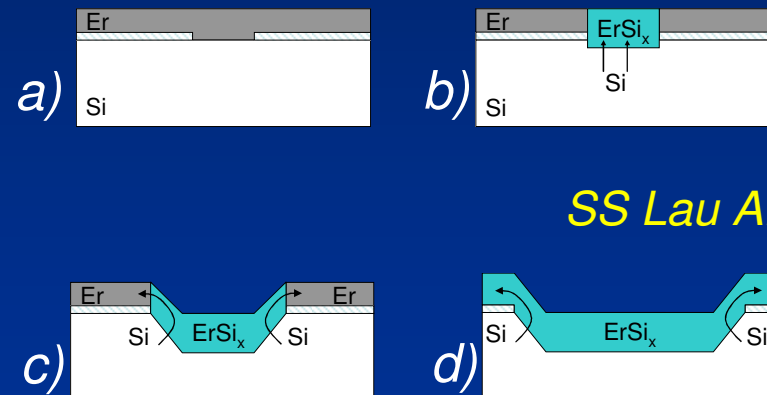
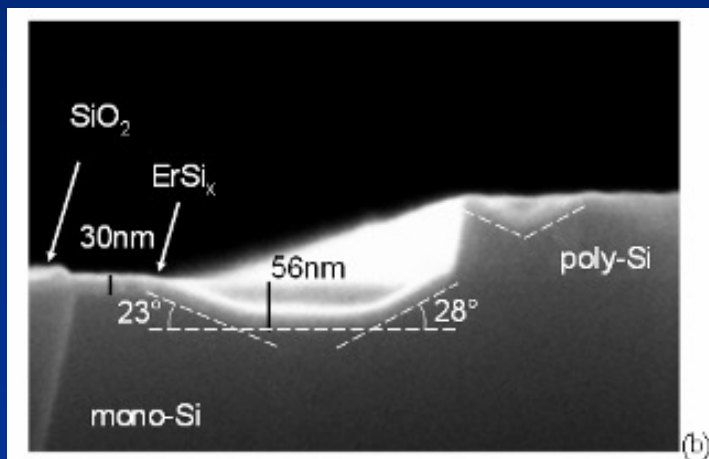
Formation de ErSi_x : Observation de défauts micro-structuraux

- $\text{Er}(20\text{nm})/\text{Si}$ – Recuit RTA 600 °C 2min



EJ Tan APL 2006

- $\text{Er}(20\text{nm})/\text{Si}$ – Recuit UHV 600 °C 1h



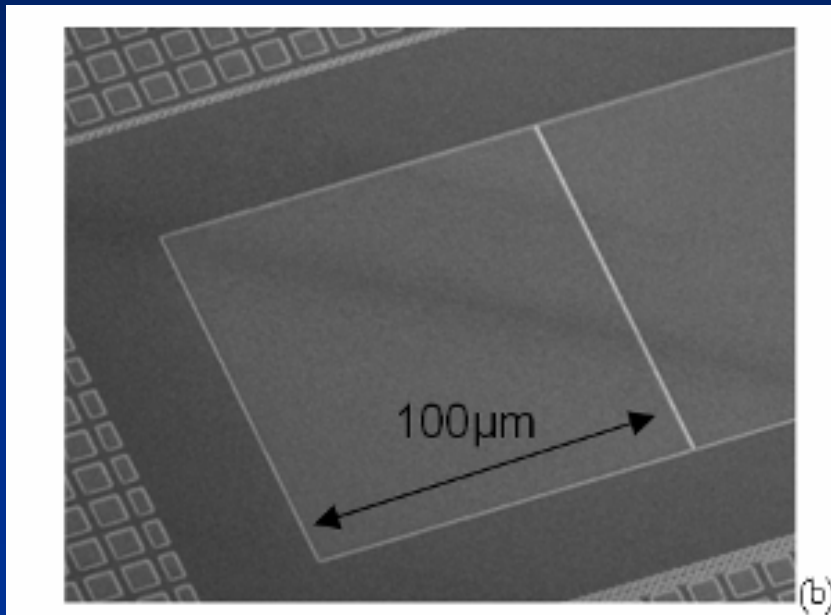
SS Lau APL 1982

Oxydation de surface parasite ?

Formation couche epitaxiale ?

- *Désoxydation HF du Si*
- *Plasma Ar 150eV 90sec*
- *Recuit 700 °C après plasma*
- *Dépôt Er*
- *Recuit in-situ*
- *Retrait selectif SPM*

Etapas supplémentaires

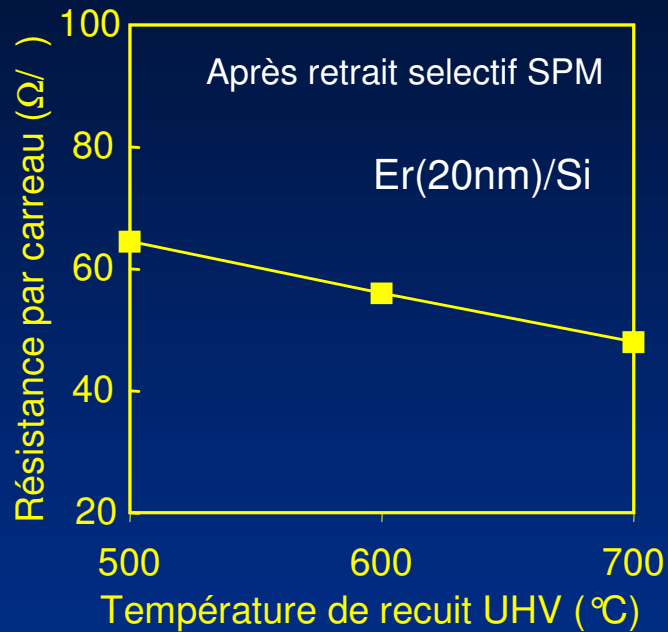


N. Breil MAM. 2006

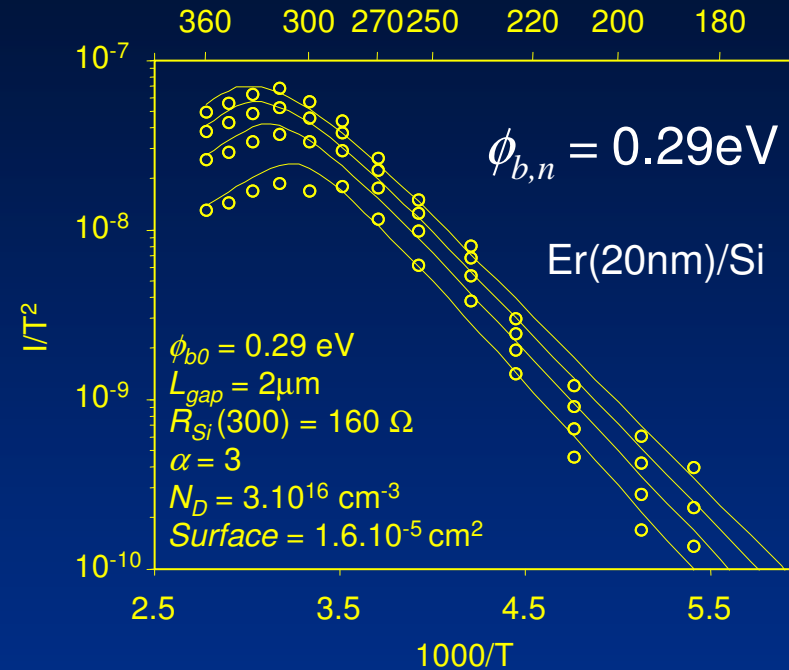
Amorphisation du Si + Recuit :

- guérison des défauts de surface
- absence de fuites sur SiO_2

Resistance par carreau



Hauteur de barrière recuit UHV 600 °C 1h



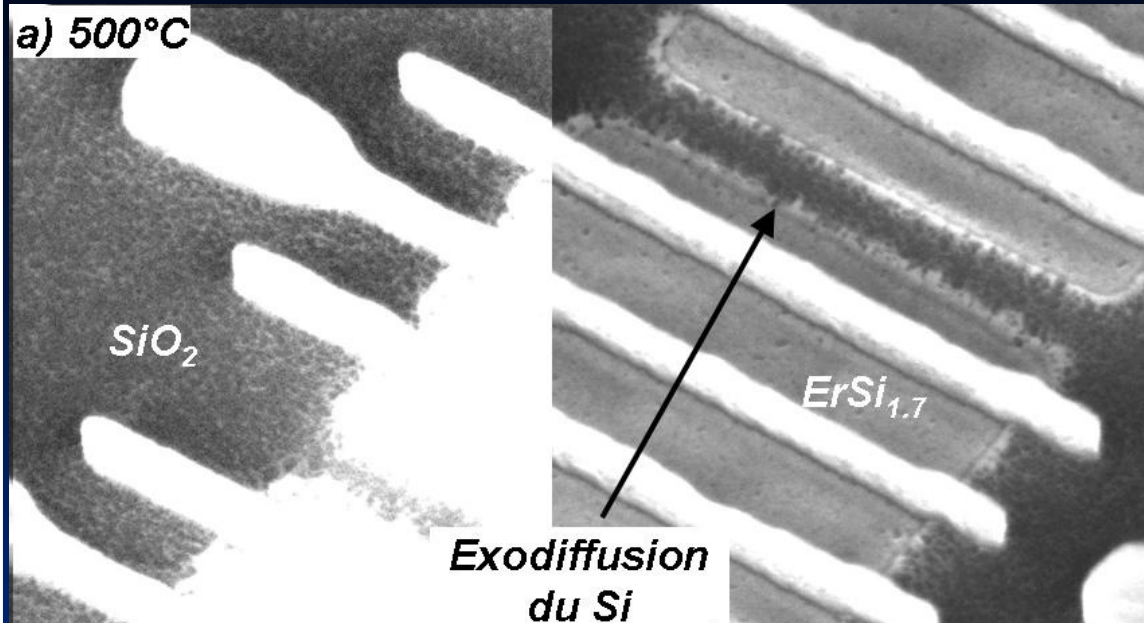
N. Breil MAM. 2006

Point de procédé optimal pour un recuit UHV à 600 °C :

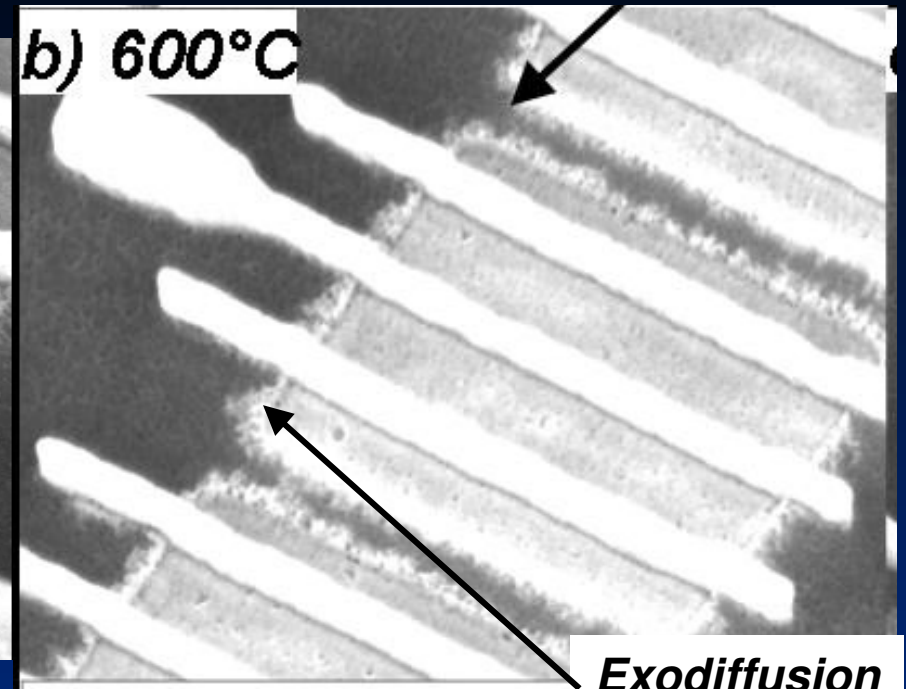
- $\rho_{ErSi} = 170\ \mu\Omega.\text{cm}$
- $\phi_{b,n} = 0.29\text{eV}$

Formation de ErSi_x : Problèmes d'exodiffusion du silicium

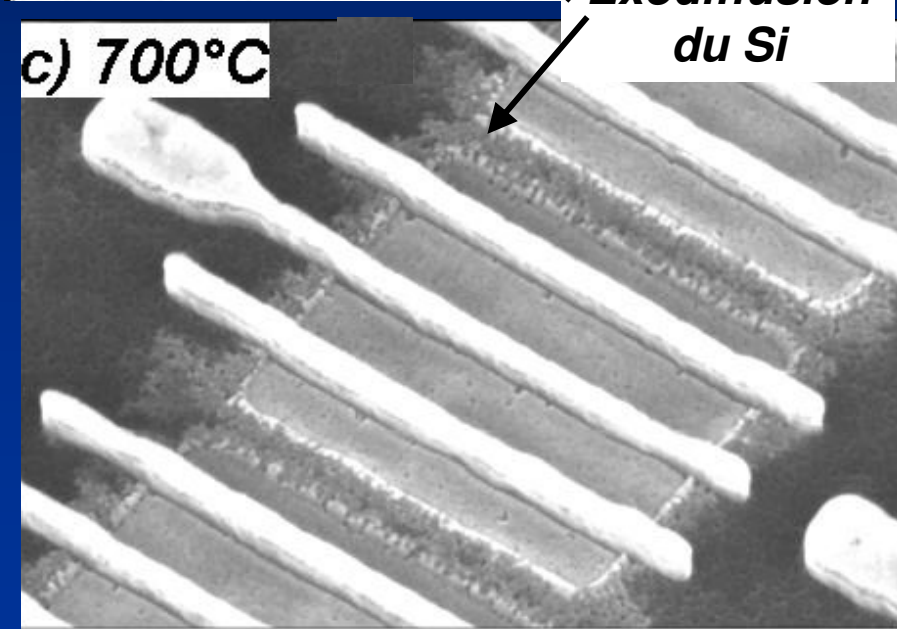
a) 500°C



b) 600°C



c) 700°C



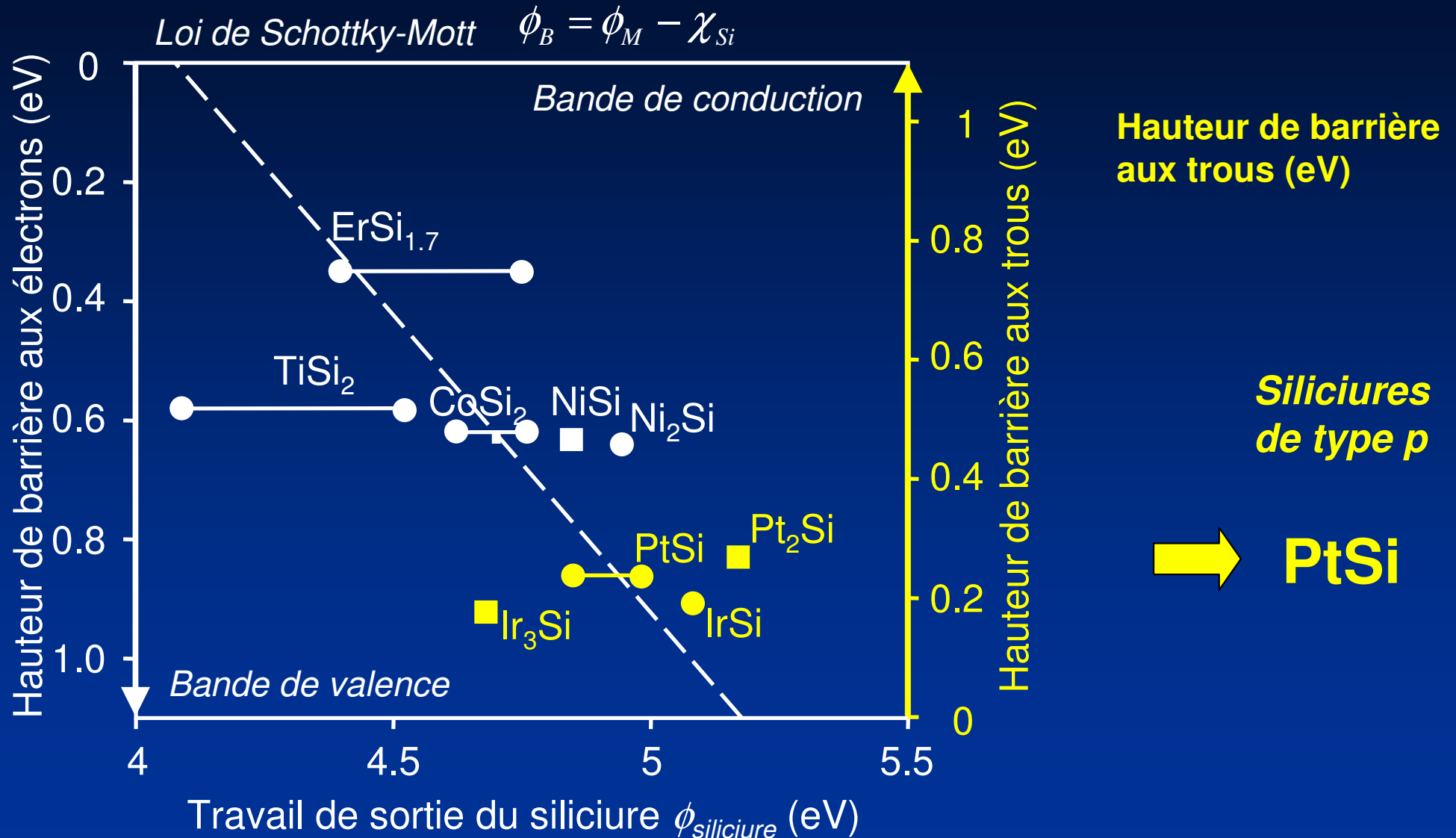
- Réaction de Er avec le STI
 - Diffusion du Si hors des zones actives
Phénomène thermiquement activé
- Risques de court-circuit

- Etude d'un siliciure de type n : le siliciure d'erbium ErSi_x
 - ☺ Technique de guérison des défauts
 - ☺ Point de procédé optimal à 600 °C
 - ☺ Résultats obtenus cohérents avec la littérature
 - ☹ Réaction de Er avec SiO_2
 - ☹ Exodiffusion du Si hors des zones actives

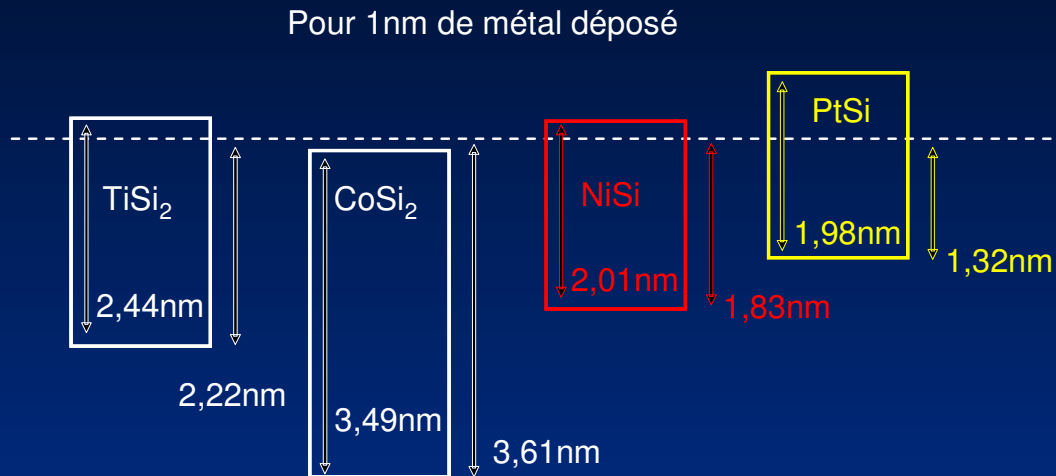
→ Solution non-viable actuellement dans une perspective d'intégration sur technologie CMOS industrielle

- Les technologies MOS : Evolution et futurs enjeux
 - problématique de la résistance de contact
- Siliciure de type n : l'ErSi_x
 - fabrication d'un siliciure de terres rares
- Siliciure de type p : le PtSi
 - matériau prometteur pour les CMOS
- Intégration auto-alignée originale du PtSi
 - technique de germaniuration sacrificielle
- Performances électriques du PtSi
 - fort potentiel sur technologie CMOS 45nm

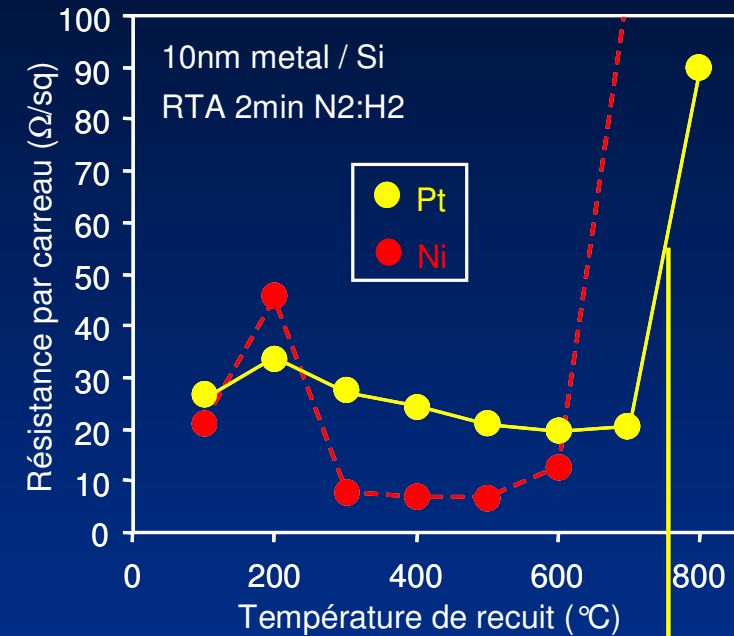
- Etude d'un siliciure de type p : le siliciure de platine PtSi



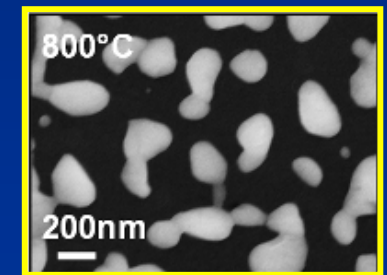
Consommation de silicium



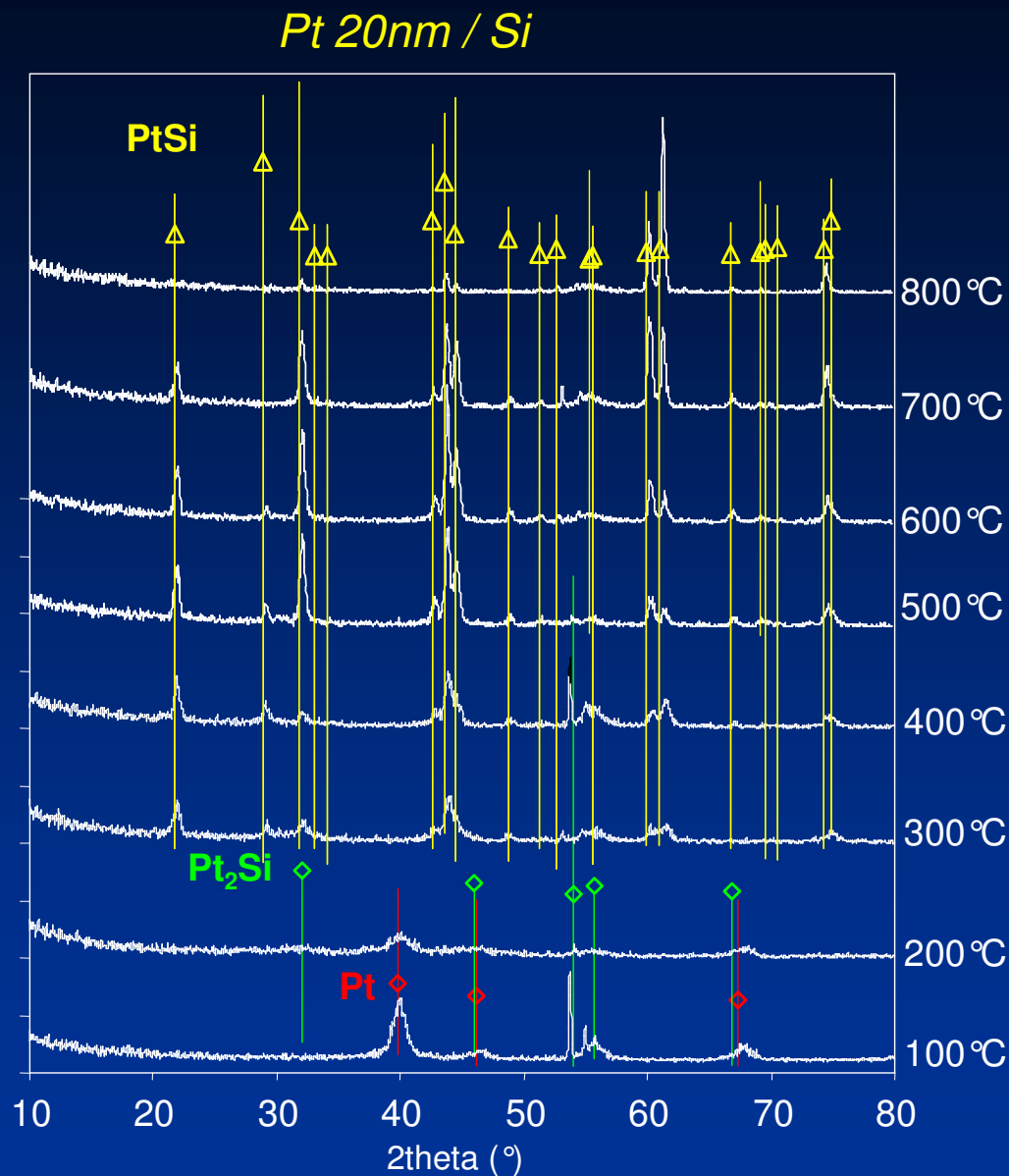
Courbe de transformation



- ☺ Faible consommation de Si avec PtSi vs. NiSi
- ☺ Fenêtre de procédé PtSi > NiSi
- ☹ Résistance carré de PtSi > NiSi



Formation de PtSi : Séquence de formation des phases



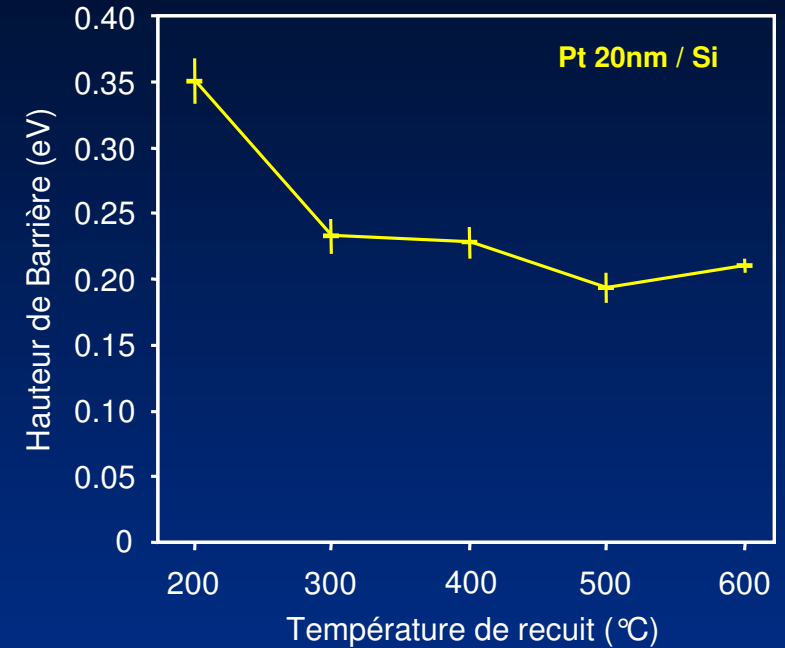
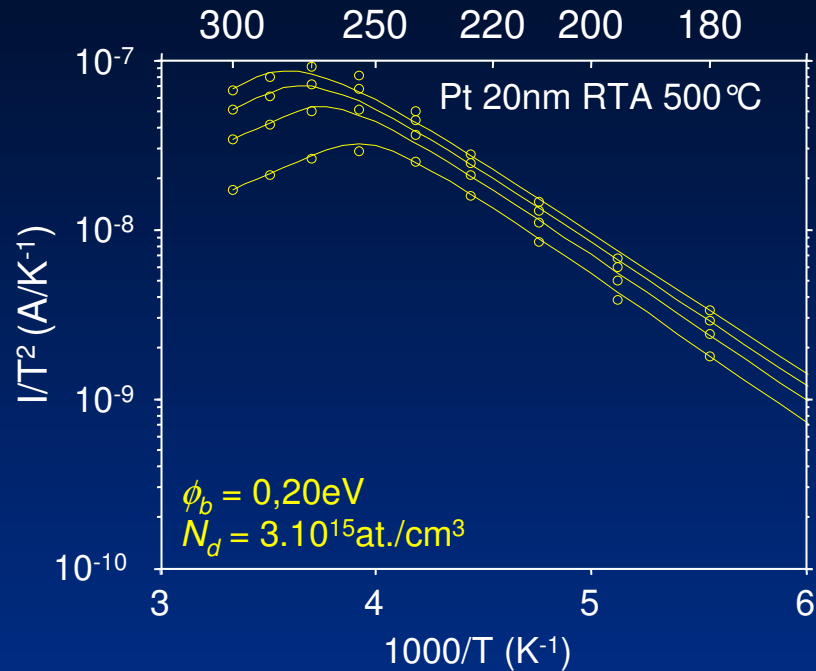
- Séquence de formation

100 - 200 °C : Pt - Pt₂Si

>300 °C : PtSi

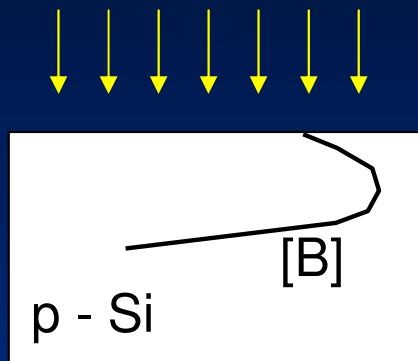
- Cohérent avec la littérature [Maex95]

Formation de PtSi : Mesure des hauteurs de barrière

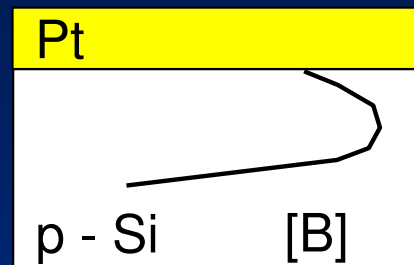


- Hauteur de barrière moyenne pour PtSi de 0.21eV
- Cohérence avec les valeurs de la littérature [Maex95]

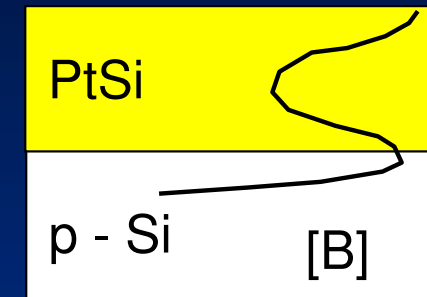
Techniques de ségrégation des dopants Bore



Implantation Ionique
BF₂ 1keV 1E15 at./cm²

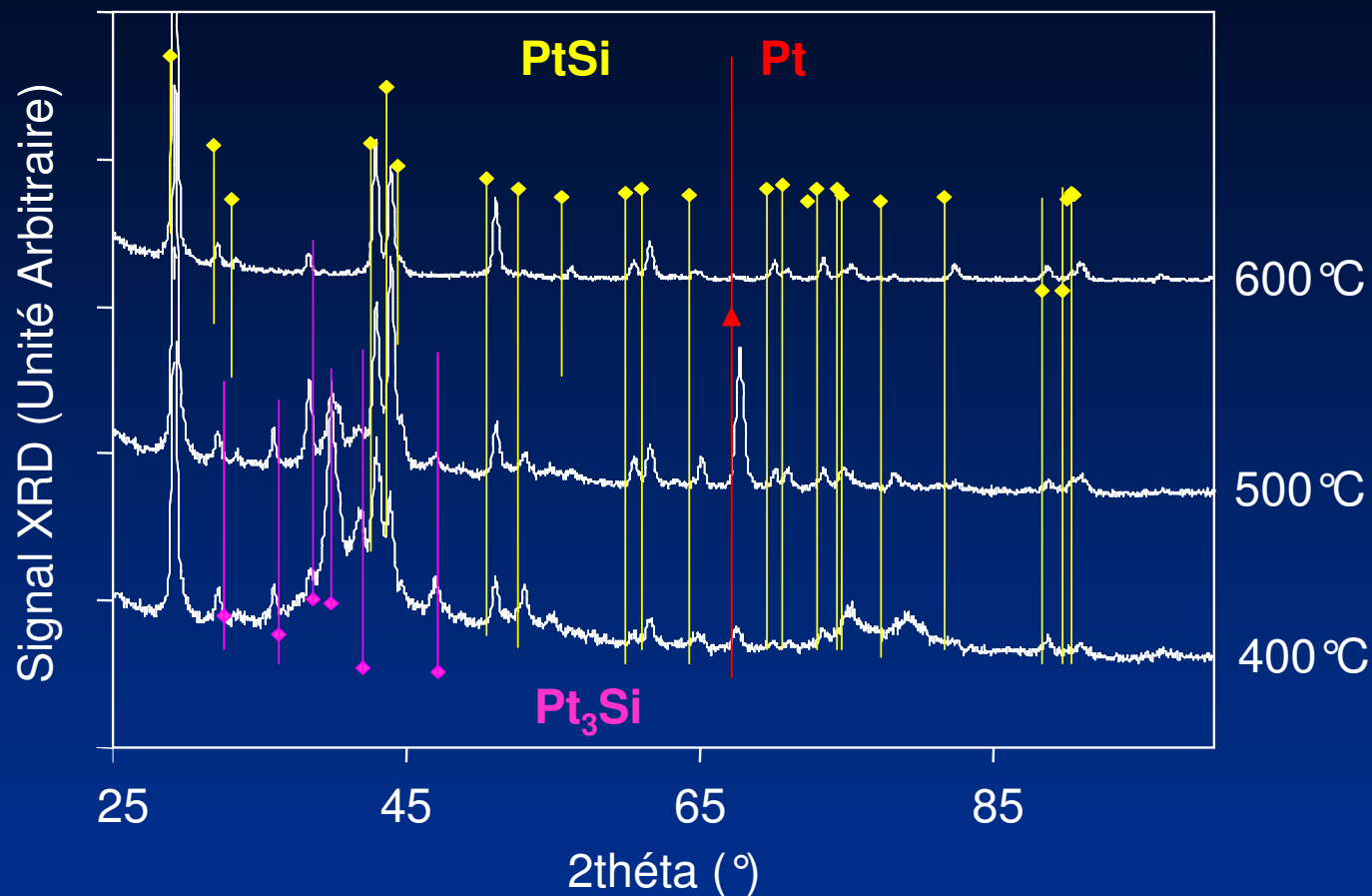


Dépôt Pt 20nm



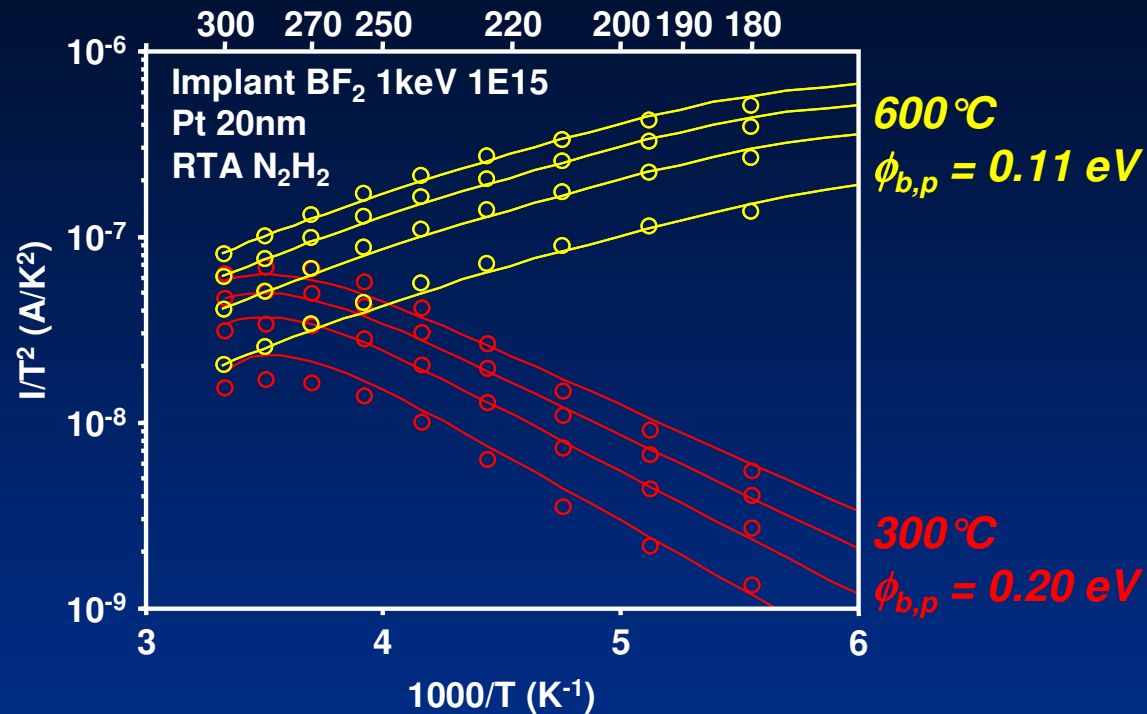
Recuit de siliciuration
RTA 200 – 600 °C
(faible budget thermique)

Formation de PtSi : Ségrégation de dopants de type p (Bore)



- Phase PtSi formée dès 400 °C
- Phase Pt₃Si détectée à 400 et 500 °C

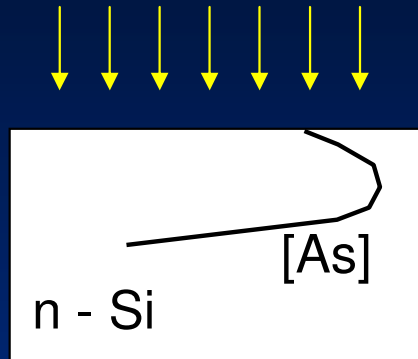
Formation de PtSi : Ségrégation de dopants de type p (Bore)



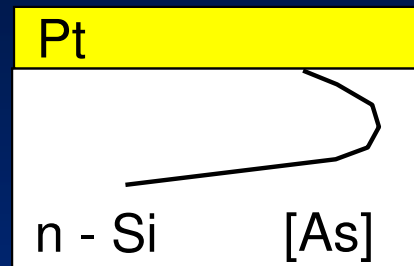
- Pas de modulation significative à 300 °C
- Résistance du Si dominante à 600 °C

→ Très faible barrière aux trous ($\phi_{b,p} = 0.11$ eV)

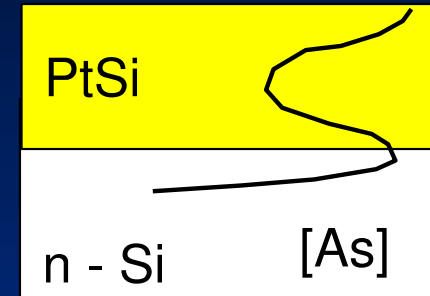
Techniques de ségrégation des dopants Arsenic



Implantation Ionique
As 1keV 1E15 at./cm²



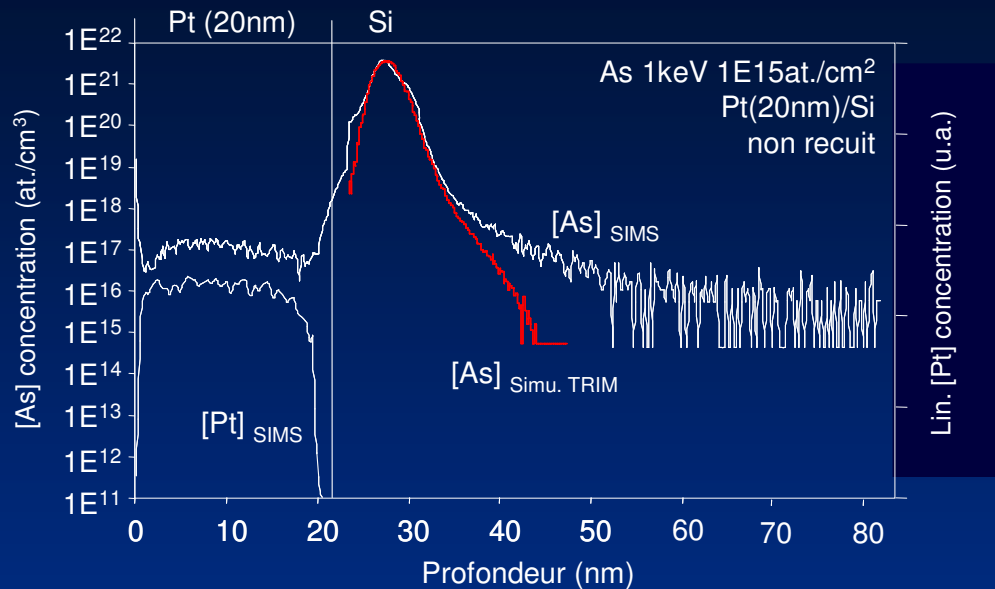
Dépôt Pt 20nm



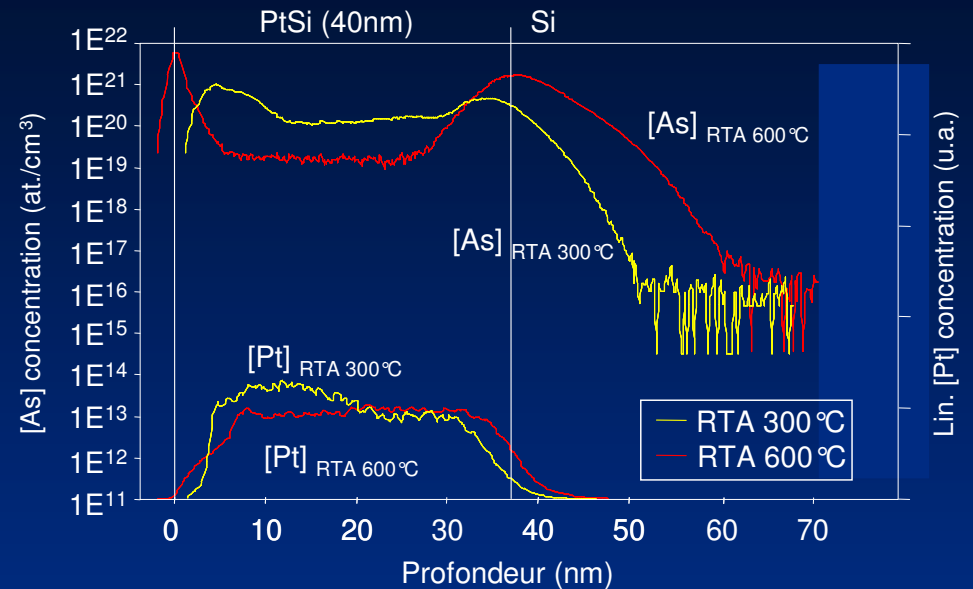
Recuit de siliciuration
RTA 200 – 600°C
(faible budget thermique)

Formation de PtSi : Ségrégation de dopants de type n (Arsenic)

Profil avant recuit

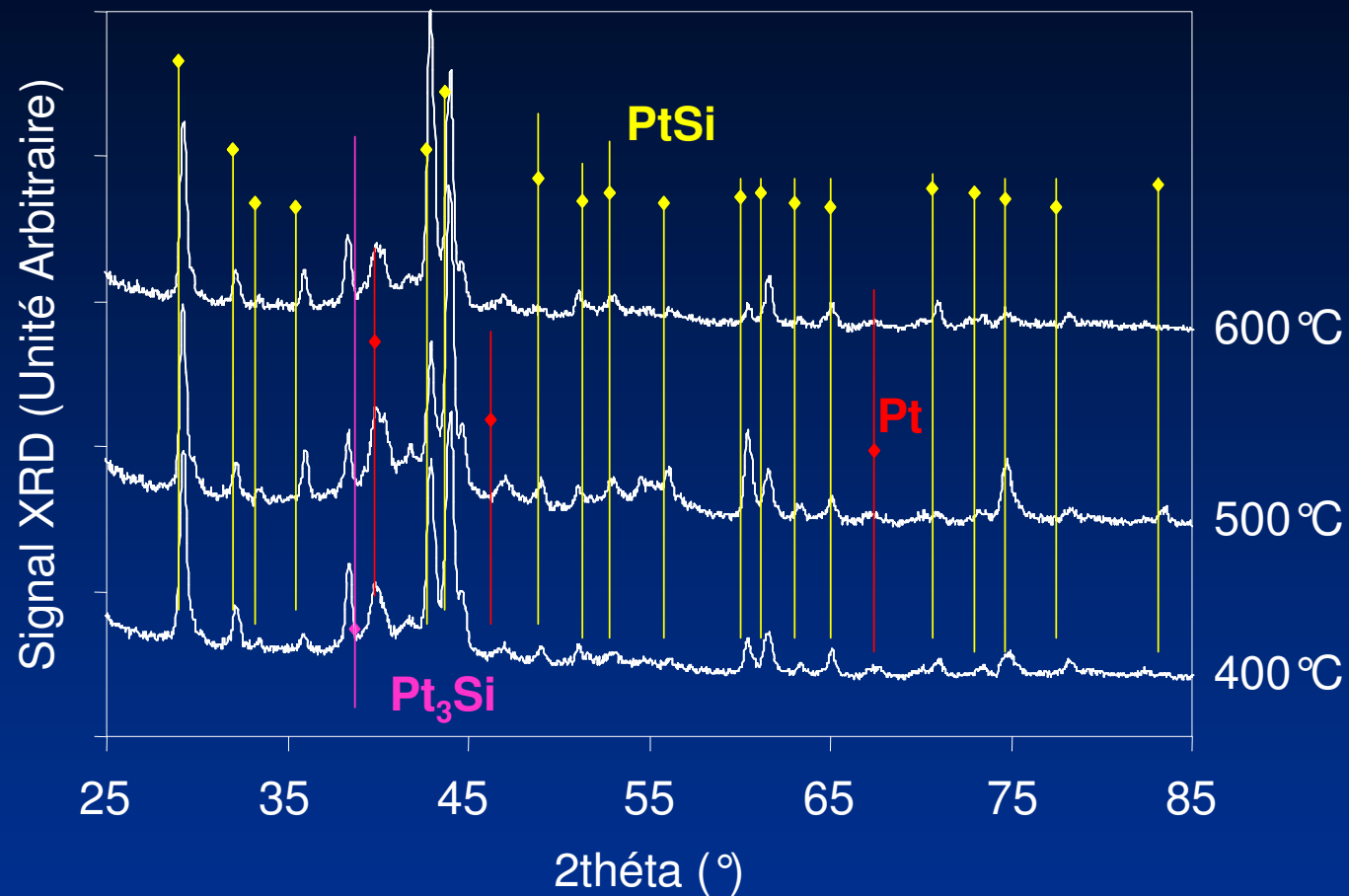


Profil après recuit



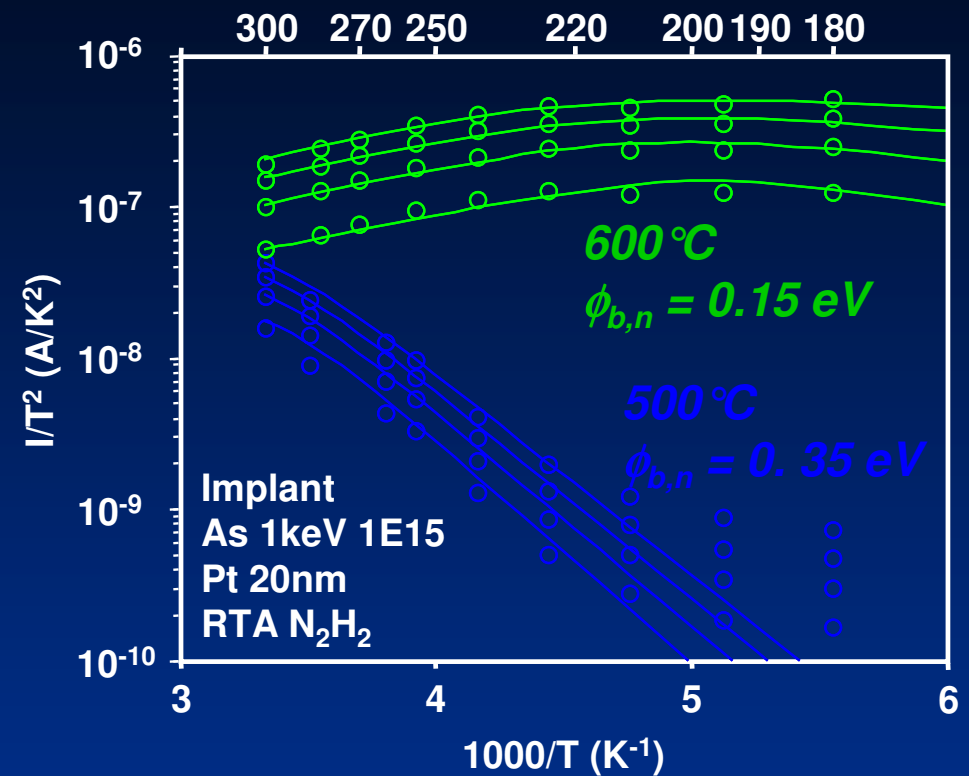
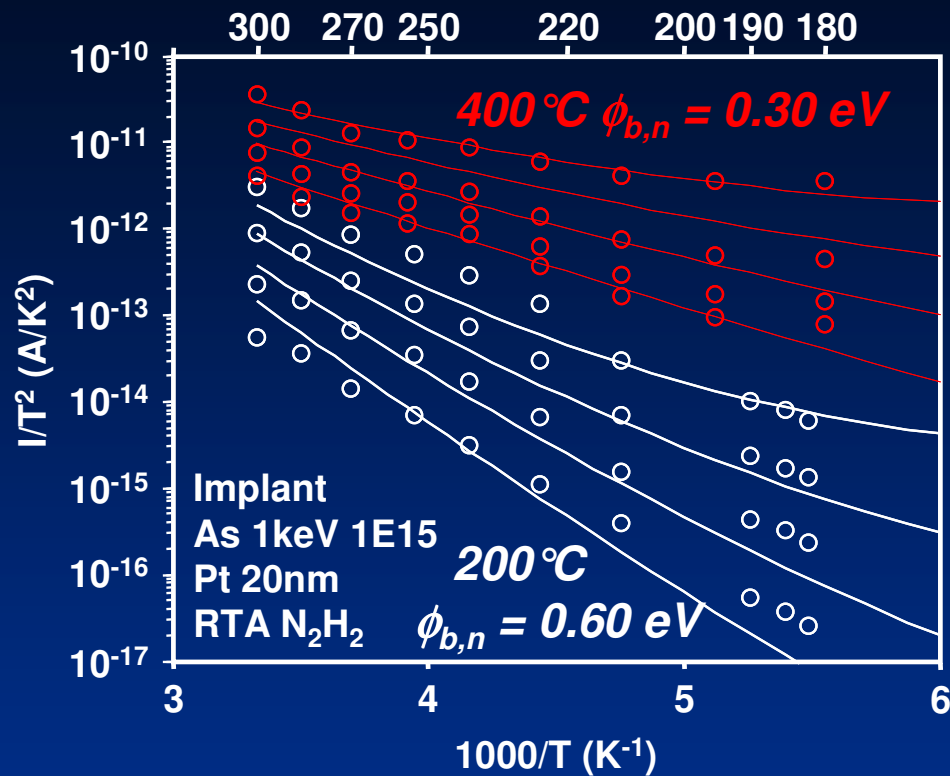
- Accord mesure / simulation avant recuit
- Faible ségrégation à l'interface à 300 °C
- Ségrégation efficace à 600 °C

Formation de PtSi : Ségrégation de dopants de type n (Arsenic)



- Formation du PtSi dès 400°C
- Présence de la phase Pt₃Si

Formation de PtSi : Ségrégation de dopants de type n (Arsenic)



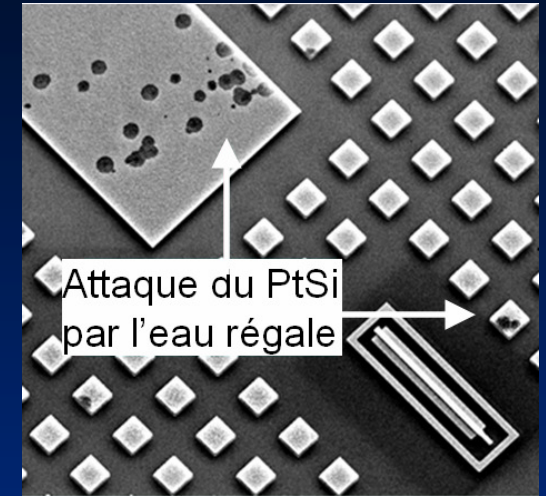
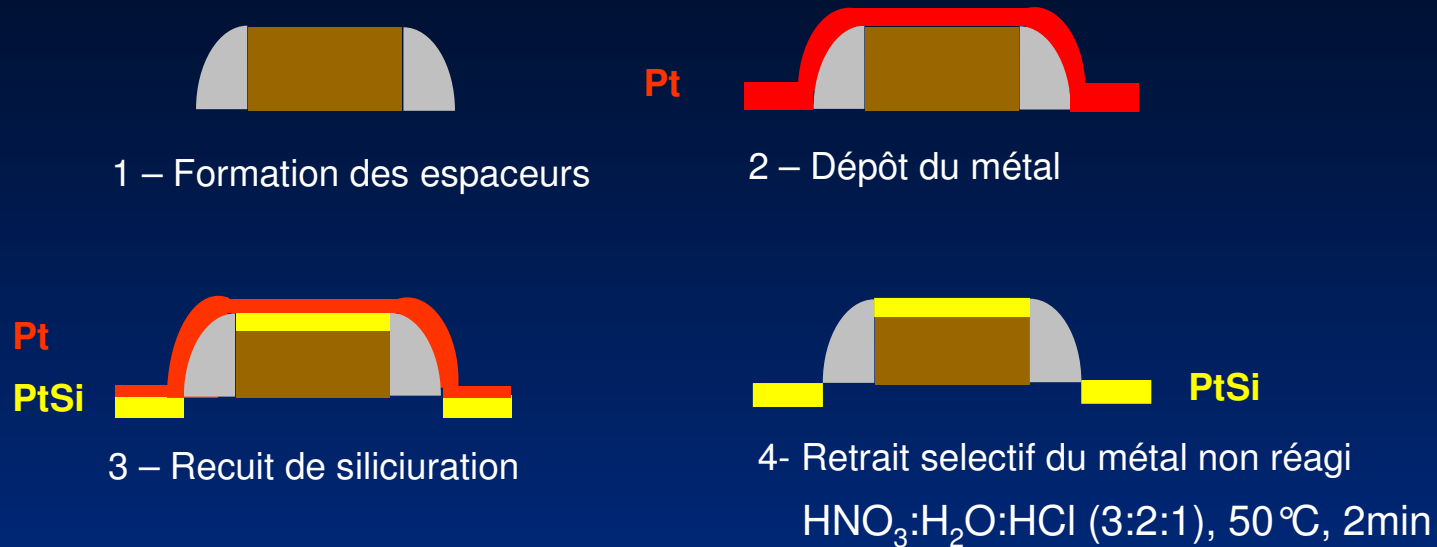
- Modulation importante dès 400°C
- Résistance du silicium domine à 600°C
- ➔ Faible barrière aux électrons pour PtSi à 600°C ($\phi_{b,n} = 0.15$ eV)

- Quels sont les moyens existant pour réduire la résistance de contact ?
- Intégration PtSi en utilisant des techniques de ségrégation :
- Très faible barrière aux trous (0.11eV)
 - Faible barrière aux électrons (0.15eV)
 - Résultats comparables à [Zhang07]

- Quels est la relation entre ségrégation chimique et modulation électrique ?
- Ségrégation chimique :
 - Diffusion
 - Solubilité limite
 - Effet de chasse-neige
 - Incorporation des dopants dans la phase formée
- Modulation électrique
 - Formation d'un dipôle électrique interfacial ?
 - Modulation du $\phi_{\text{siliciure}}$ par formation d'un composé ternaire Pt-Si-dopant ?

- Les technologies MOS : Evolution et futurs enjeux
 - problématique de la résistance de contact
- Siliciure de type n : l' ErSi_x
 - fabrication d'un siliciure de terres rares
- Siliciure de type p : le PtSi
 - matériau prometteur pour les CMOS
- Intégration auto-alignée originale du PtSi
 - technique de germaniuration sacrificielle
- Performances électriques du PtSi
 - fort potentiel sur technologie CMOS

- Approche conventionnelle : Eau Régale



- Pas de sélectivité Pt vs PtSi mais entre Pt vs SiO_2/PtSi (*MJ Rand APL 1974*)
 - Apparition de défauts sur le PtSi
- Eau régale non stable dans le temps
 - Besoin d'une solution alternative permettant le retrait du Pt

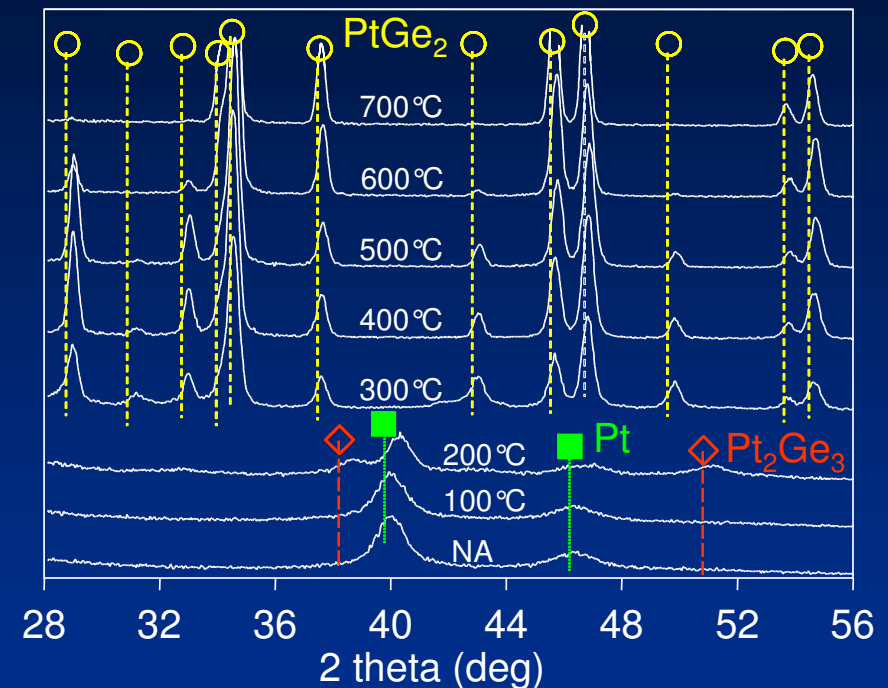
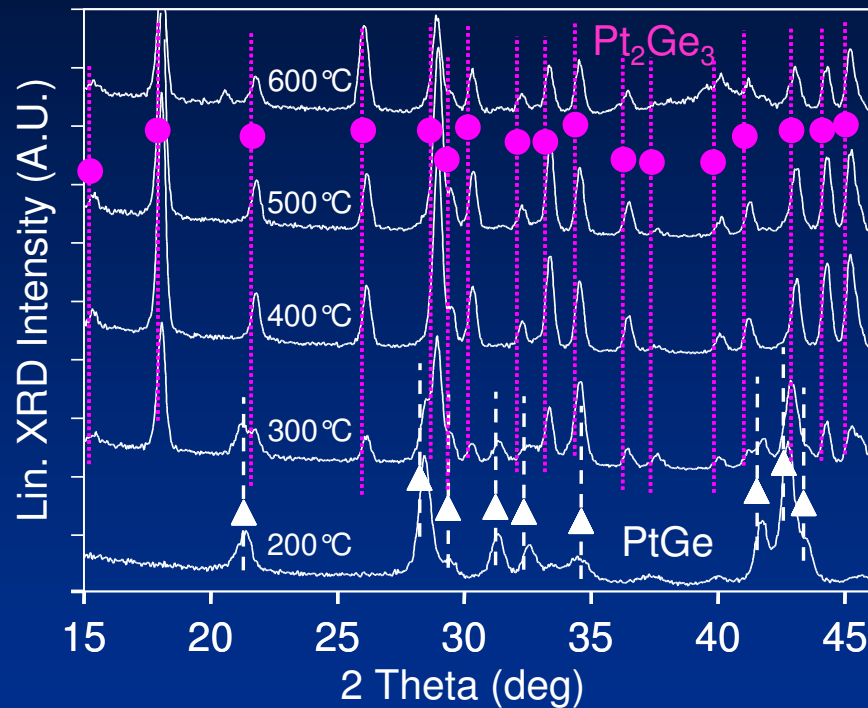
Formation des germaniures de platine

Ge	45nm
Pt	20nm
SiO ₂	

• Ge (45nm) / Pt (20nm) / SiO₂

Ge	60nm
Pt	20nm
SiO ₂	

• Ge (60nm) / Pt (20nm) / SiO₂



N. Breil APL. 2007

- La phase Pt_xGe_y formée dépend :
 - de la température de recuit
 - de la quantité de Ge disponible

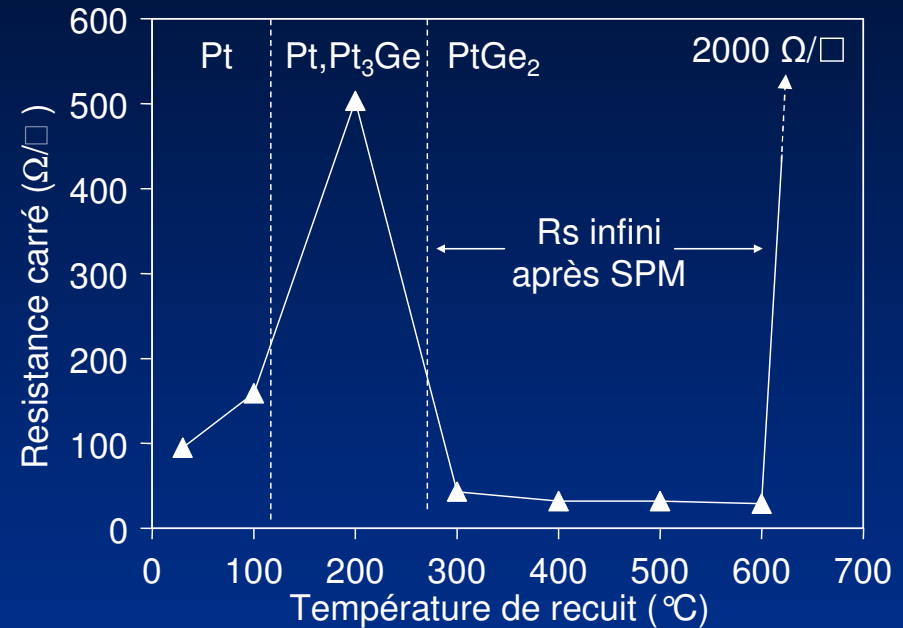
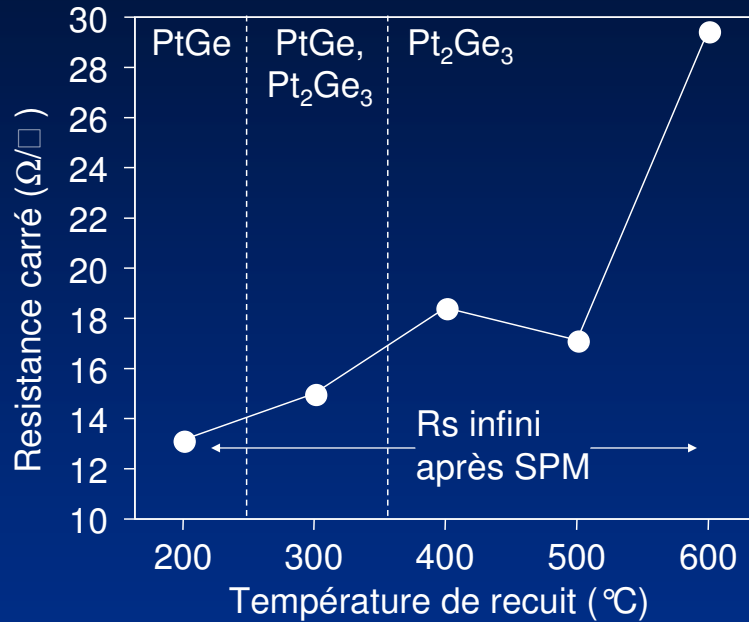
Formation des germaniures de platine

Ge	45nm
Pt	20nm
SiO ₂	

• Ge (45nm) / Pt (20nm) / SiO₂

Ge	60nm
Pt	20nm
SiO ₂	

• Ge (60nm) / Pt (20nm) / SiO₂



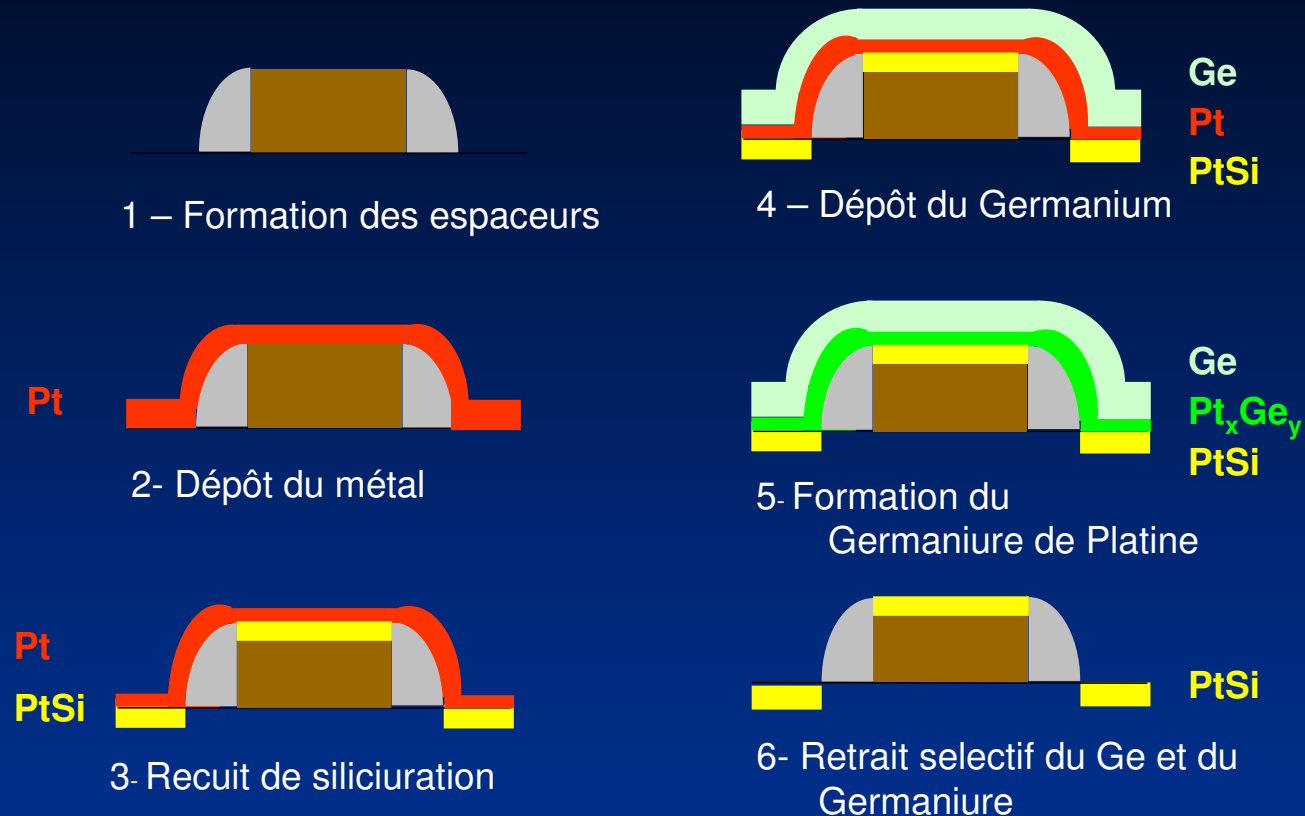
• Démonstration de la solubilité dans SPM des phases :

N. Breil APL. 2007

- PtGe
- Pt₂Ge₃
- PtGe₂

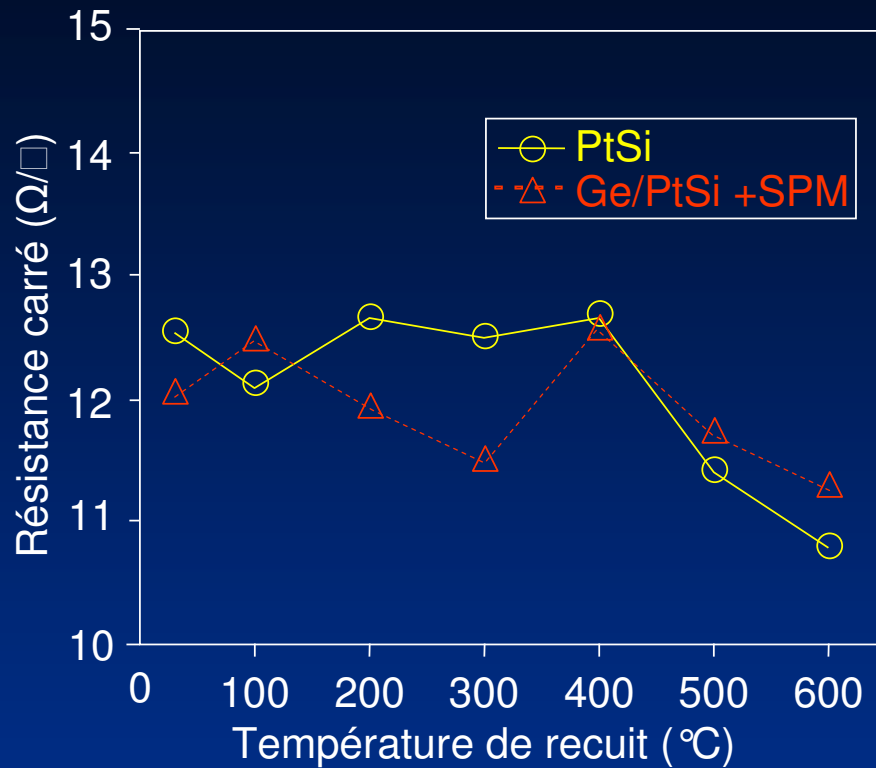
→ Solution pour le retrait du Pt par transformation en un germaniure

- Approche proposée : Germaniuration sacrificielle

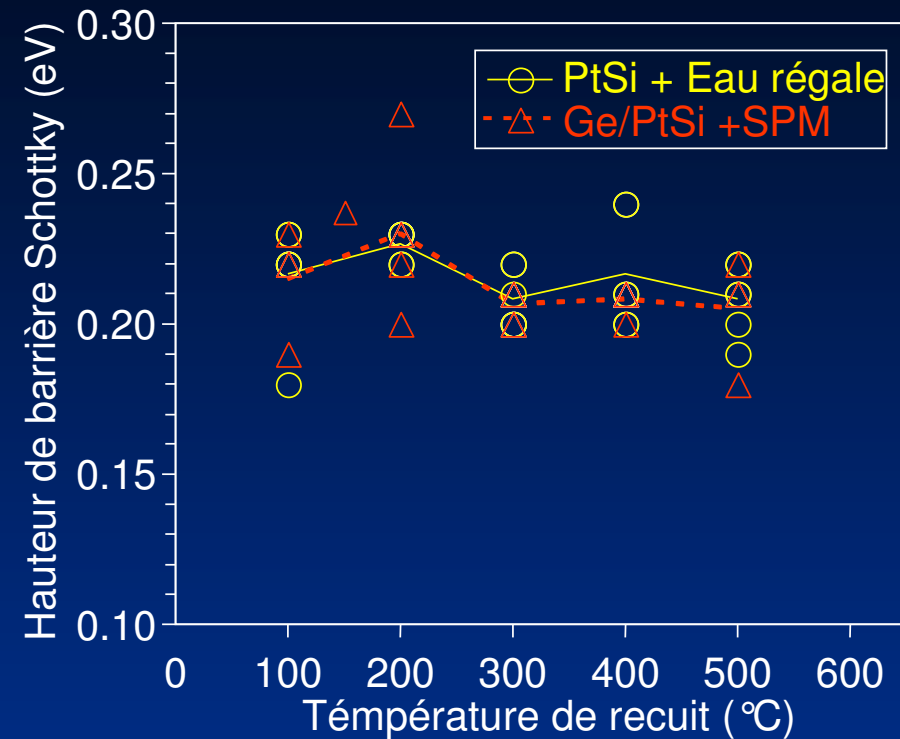


- Transformation du Pt en un germaniure soluble dans SPM
- Compatibilité avec les lignes de production conventionnelles

Résistance par carreau



Hauteur de barrière



N. Breil APL. 2007

- Aucun impact du procédé de retrait par germaniuration sacrificielle sur :
 - la résistance par carreau du siliciure
 - la hauteur de barrière du contact siliciure/silicium

Démonstration morphologique sur architecture CMOS 65nm

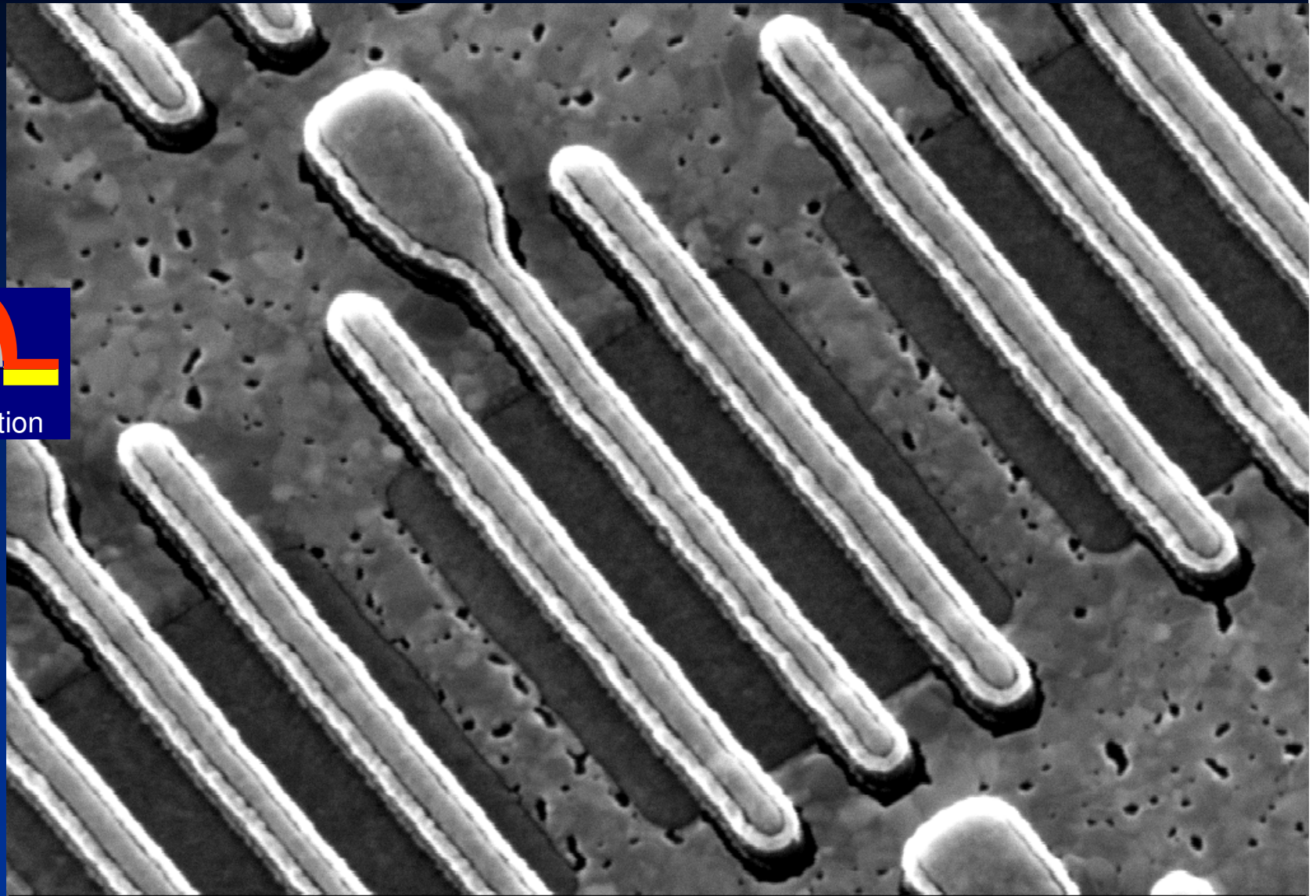
Integration du PtSi par germaniuration sacrificielle

HF 1% 120s

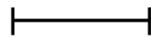
Pt 10nm

RTA 350°C

4min N₂H₂



200nm



EHT = 20.00 kV

Mag = 46.64 K X

Signal A = InLensSignal = 0.5538

Signal B = InLensMixing = Off

WD = 6 mm

Démonstration morphologique sur architecture CMOS 65nm

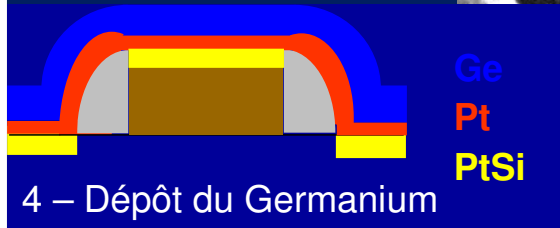
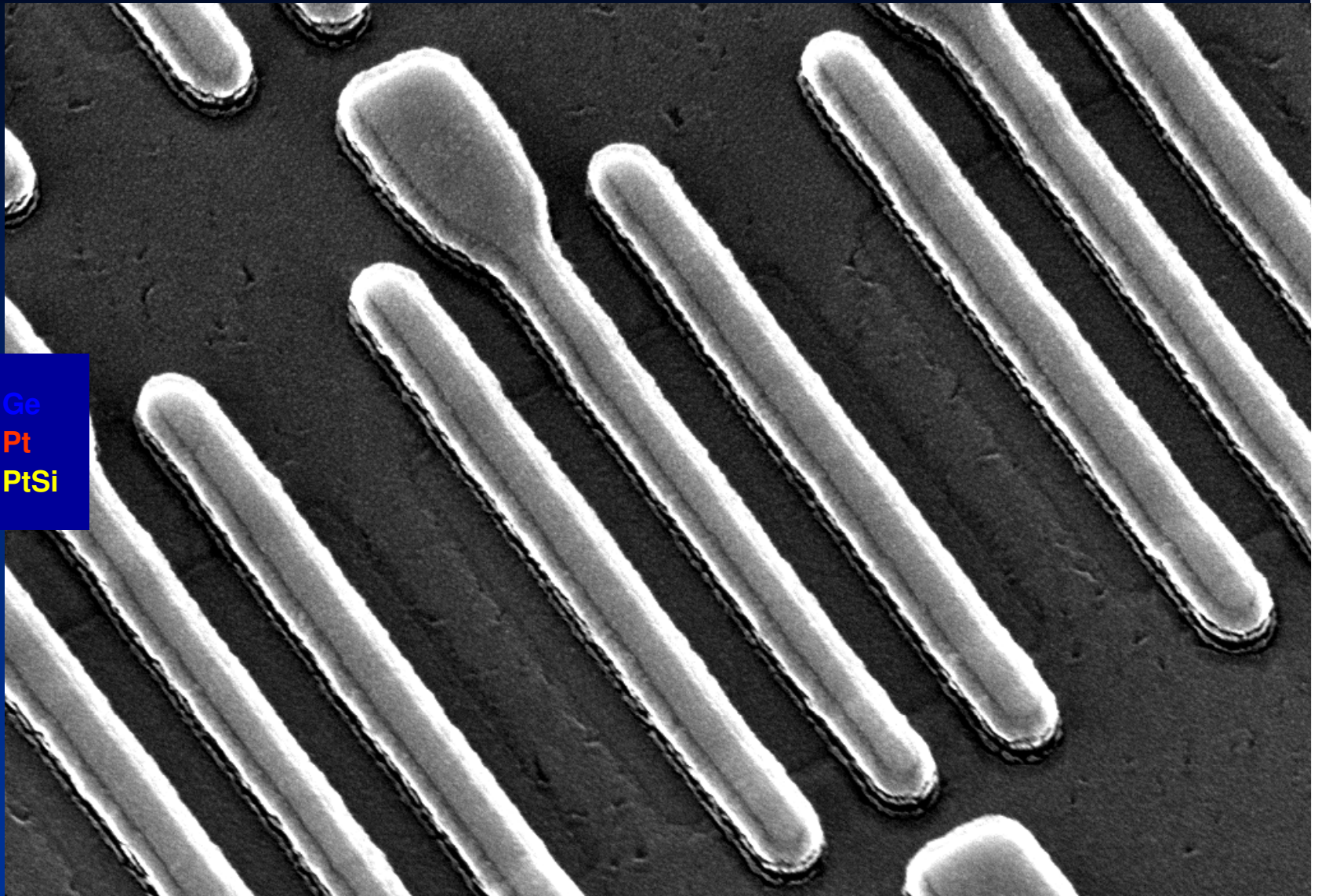
Intégration du PtSi par germaniuration sacrificielle

HF 1% 120s

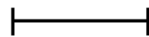
Pt 10nm

RTA 350°C
4min N₂H₂

Ge 30nm



200nm



EHT = 20.00 kV
Mag = 46.49 K X

Signal A = InLens Signal = 0.5000
Signal B = SE2 Mixing = Off

WD = 7 mm
Width = 2.459 μm

Démonstration morphologique sur architecture CMOS 65nm

Integration du PtSi par germaniuration sacrificielle

HF 1% 120s

Pt 10nm

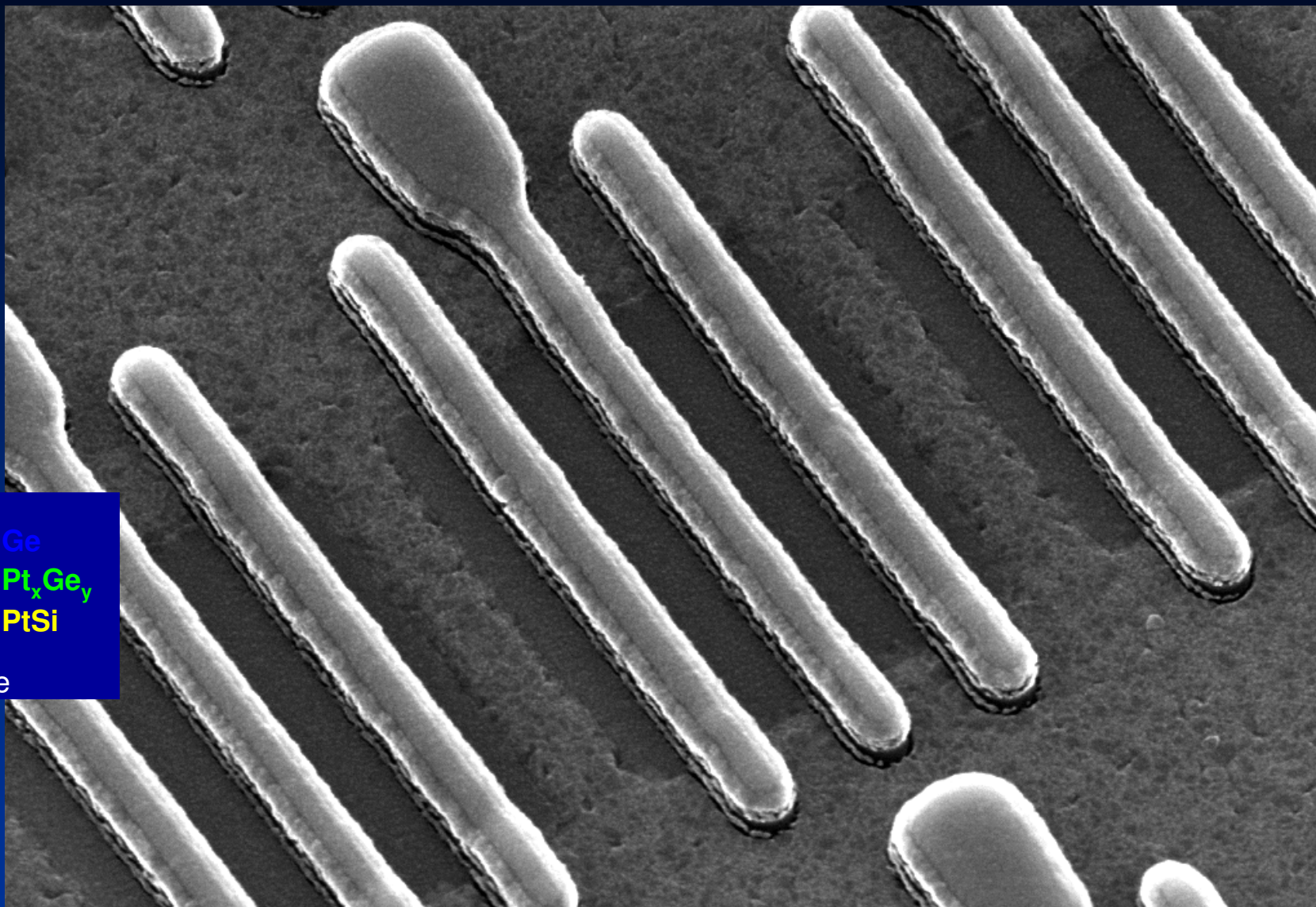
RTA 350 °C

4min N₂H₂

Ge 30nm

RTA 300 °C

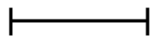
5 min N₂H₂



Ge
Pt_xGe_y
PtSi

5- Formation du
Germaniure de Platine

200nm



EHT = 20.00 kV

Mag = 46.64 K X

Signal A = InLens Signal = 0.5000

Signal B = SE2 Mixing = Off

WD = 6 mm

Width = 2.451 μm

Démonstration morphologique sur architecture CMOS 65nm

Integration du PtSi par germaniuration sacrificielle

HF 1% 120s

Pt 10nm

RTA 350°C

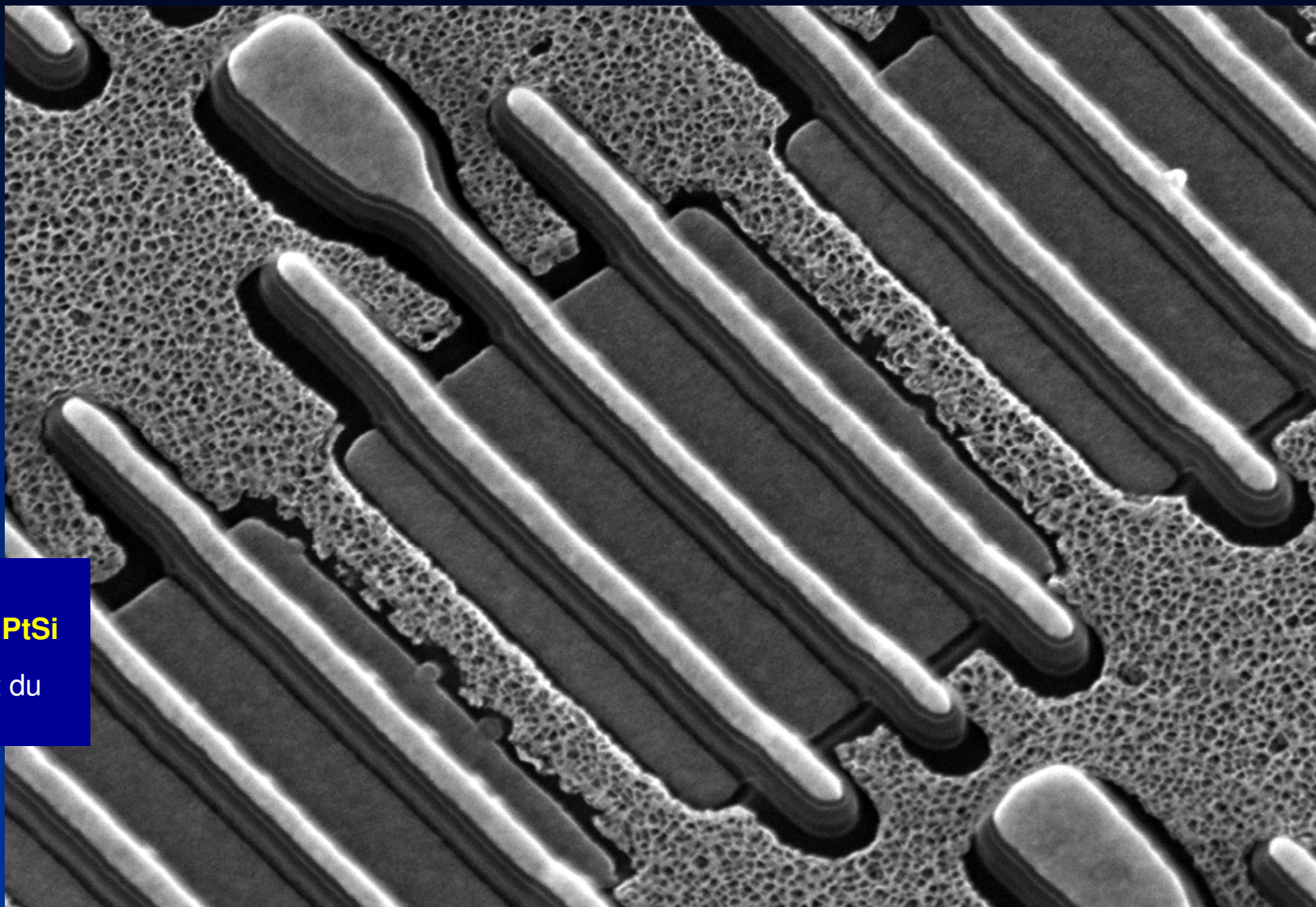
4min N₂H₂

Ge 30nm

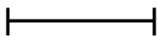
RTA 300°C

5 min N₂H₂

SPM 1:1 5min



200nm



EHT = 20.00 kV

Mag = 50.12 K X

Signal A = InLensSignal = 0.0000

Signal B = SE2 Mixing = Off

WD = 9 mm

Width = 2.281 μm

Démonstration morphologique sur architecture CMOS 65nm

Intégration du PtSi par germaniuration sacrificielle

HF 1% 120s

Pt 10nm

RTA 350°C

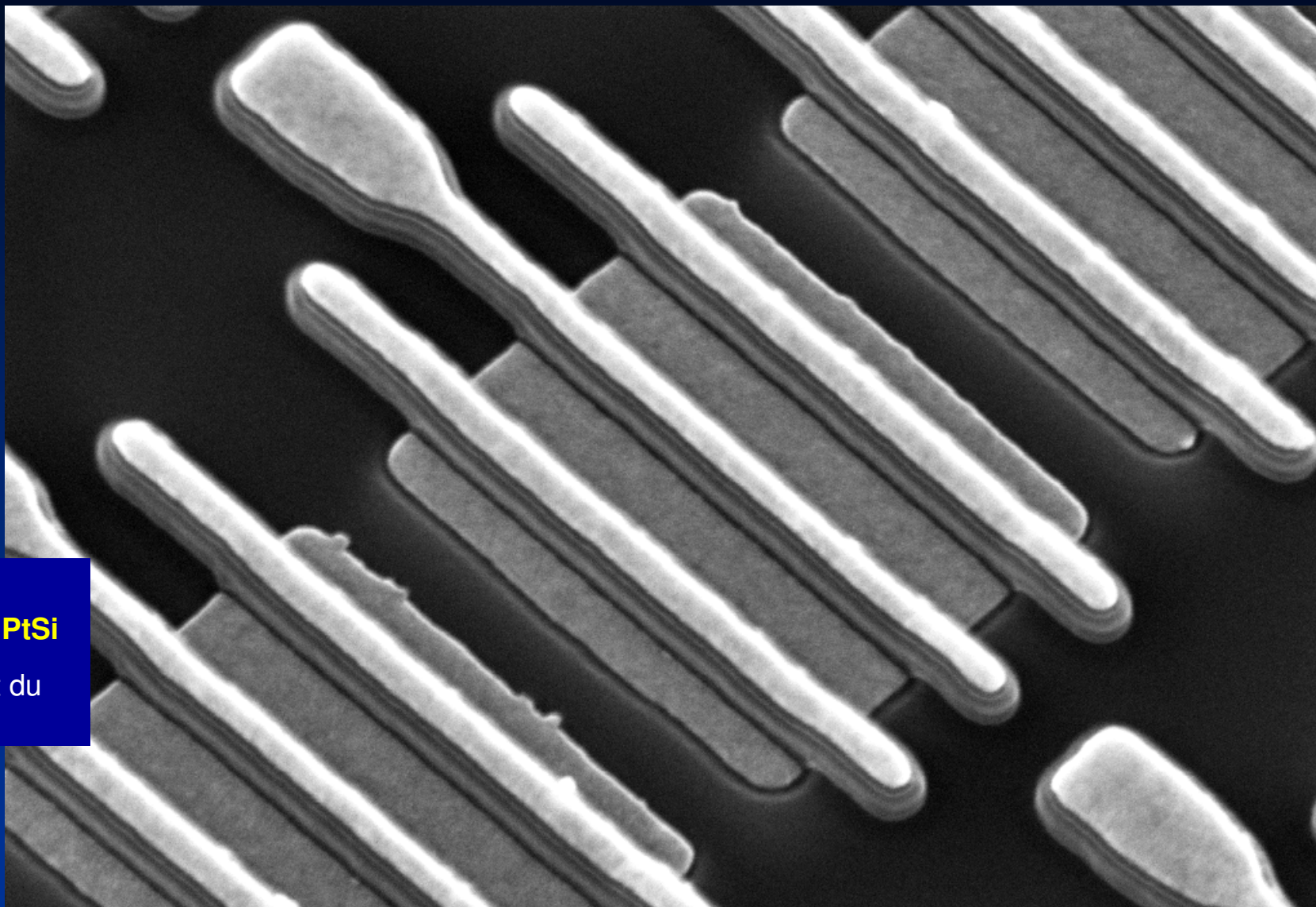
4min N₂H₂

Ge 30nm

RTA 300°C

5 min N₂H₂

SPM 1:1 10min

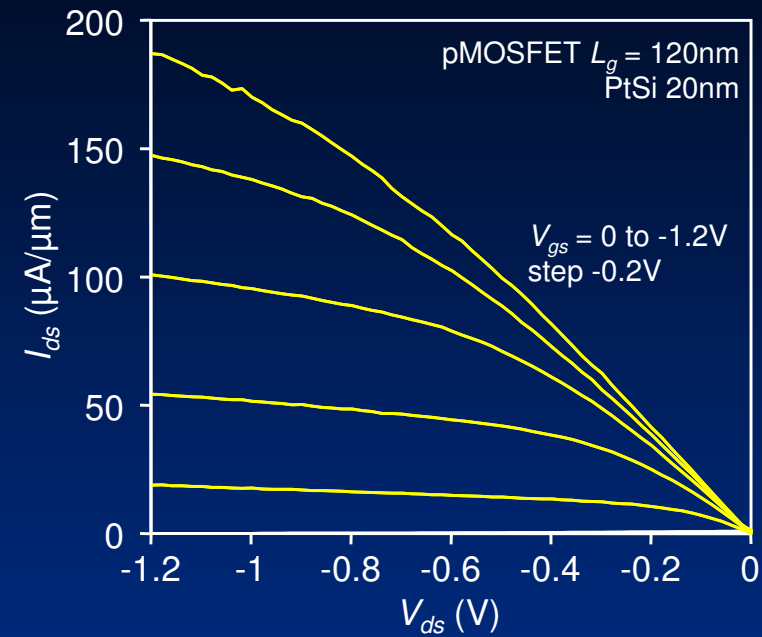
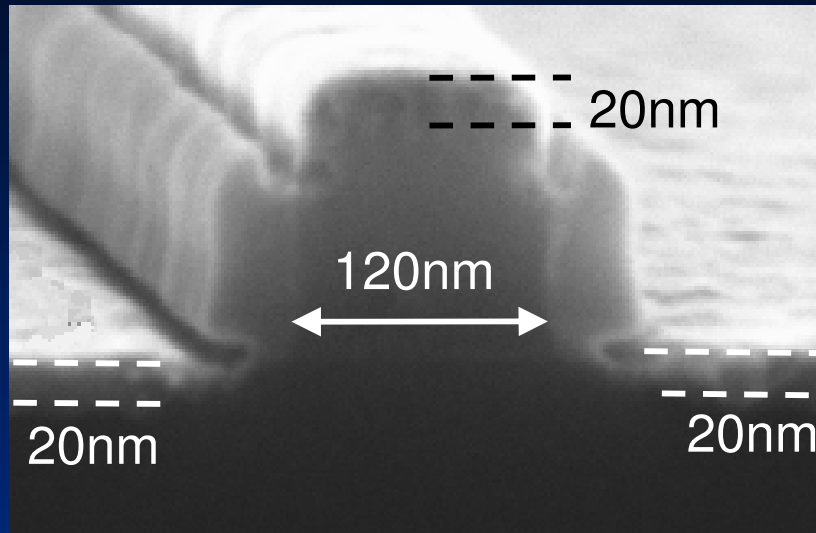


200nm | EHT = 20.00 kV | Signal A = InLensSignal = 0.0000 | WD = 7 mm
Mag = 49.08 K X | Signal B = SE2 | Mixing = Off | Width = 2.329 μm



PtSi

6- Retrait selectif du Ge et du Germaniure



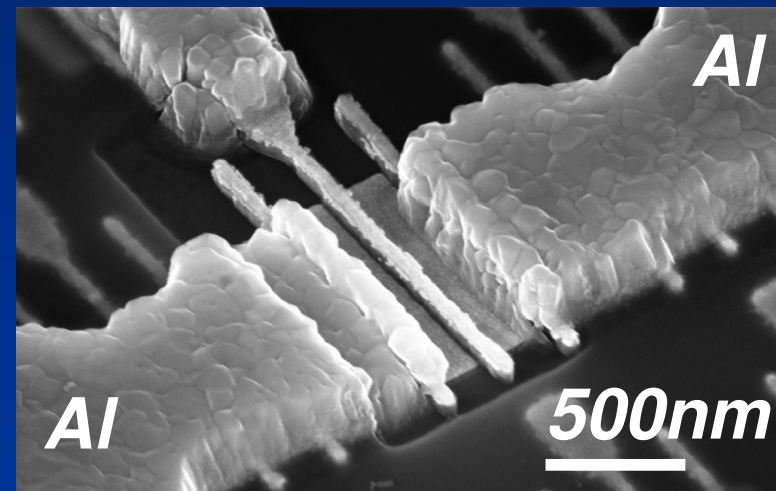
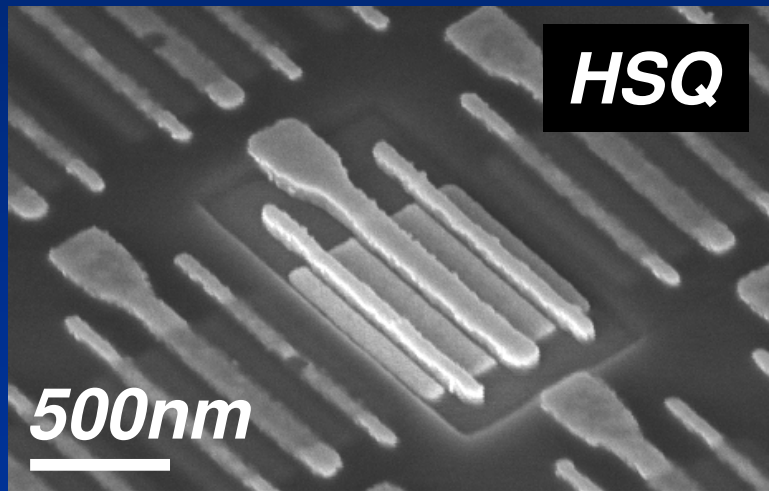
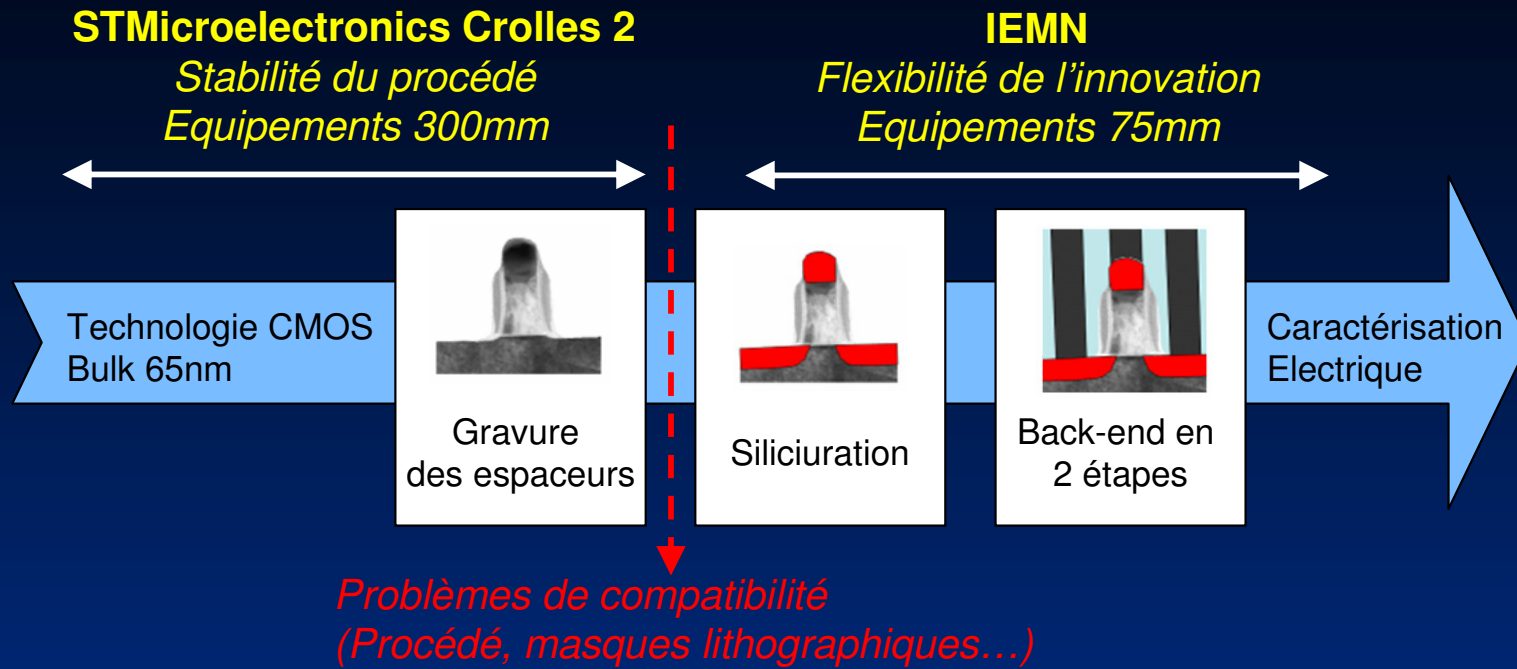
N. Breil EDL. 2008

- Démonstration de la fonctionnalité du transistor
- Adaptation de la méthode de germaniuration sacrificielle à des dispositifs décanométriques

- Intégration auto-alignée du PtSi par germaniuration sacrificielle
 - Démonstration de la solubilité des phase PtGe, Pt₂Ge₃ et PtGe₂
 - Phase formée dépend de température et quantité de Ge
 - Pas d'impact du procédé sur R_s et ϕ_b
 - Démonstration morphologique sur architecture MOS
 - Validation électrique du procédé
 - Compatibilité avec les lignes de production

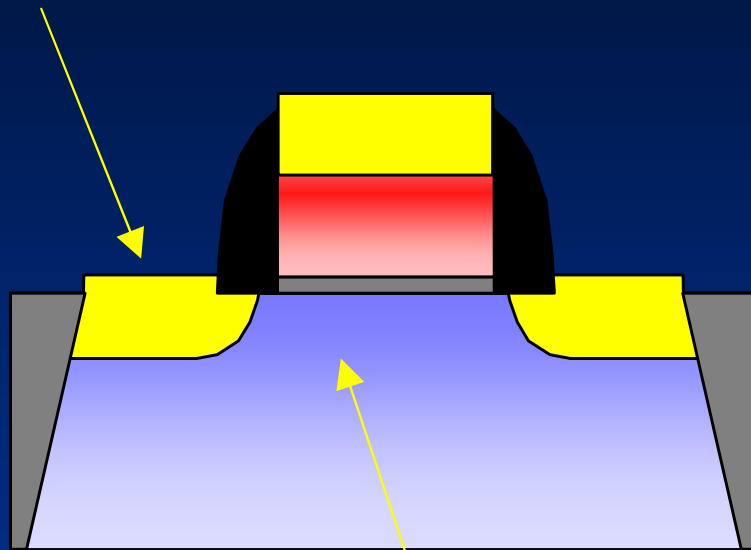
- Les technologies MOS : Evolution et futurs enjeux
 - problématique de la résistance de contact
- Siliciure de type n : l'ErSi_x
 - fabrication d'un siliciure de terres rares
- Siliciure de type p : le PtSi
 - matériau prometteur pour les CMOS
- Intégration auto-alignée originale du PtSi
 - technique de germaniuration sacrificielle
- Performances électriques du PtSi
 - fort potentiel sur technologie CMOS

Performances électriques du PtSi sur architectures CMOS

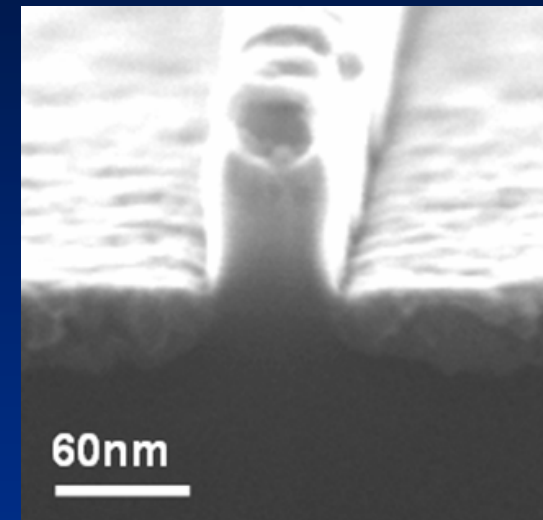


- Architecture Schottky

Siliciure PtSi

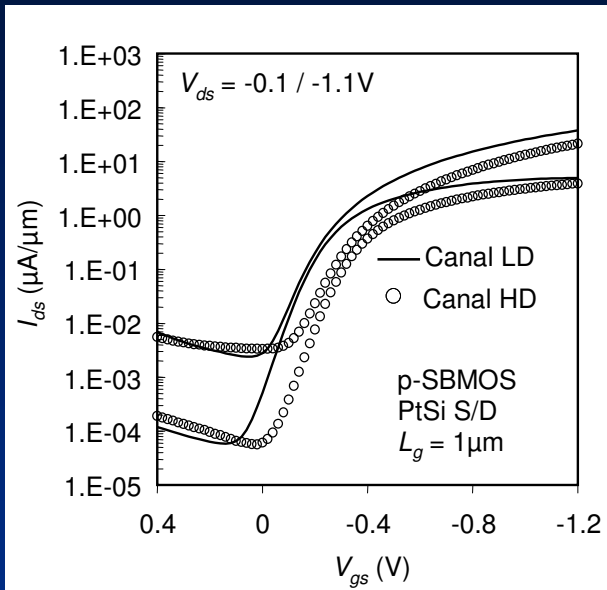


Dopage canal HD ou LD

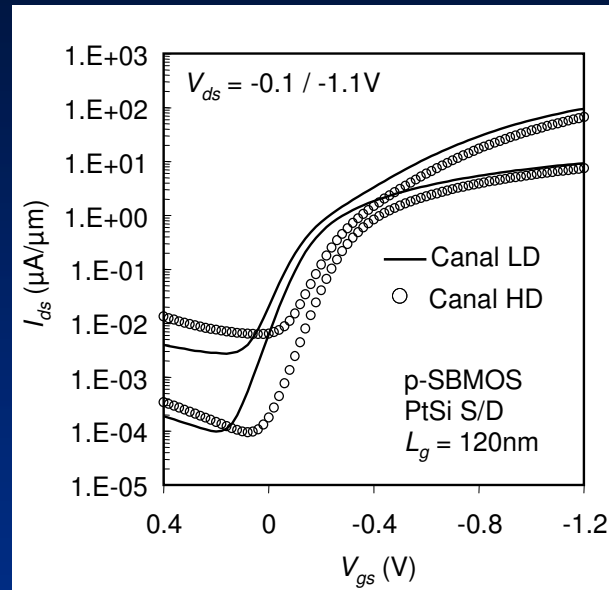


- Caractéristiques électriques

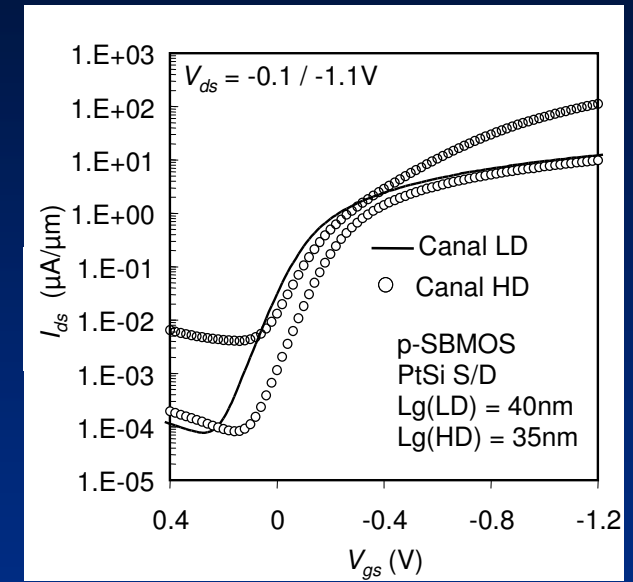
$L_g = 1\mu m$



$L_g = 120nm$

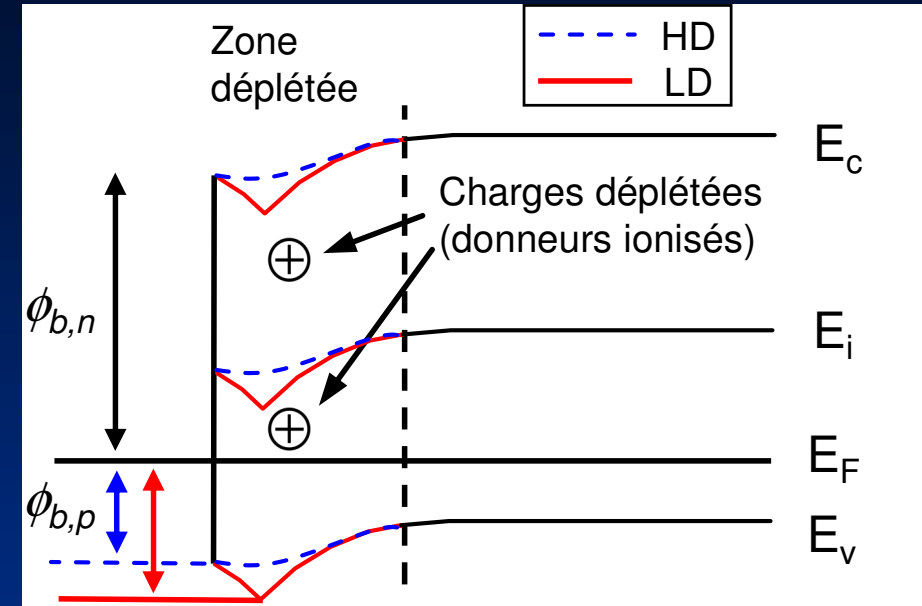
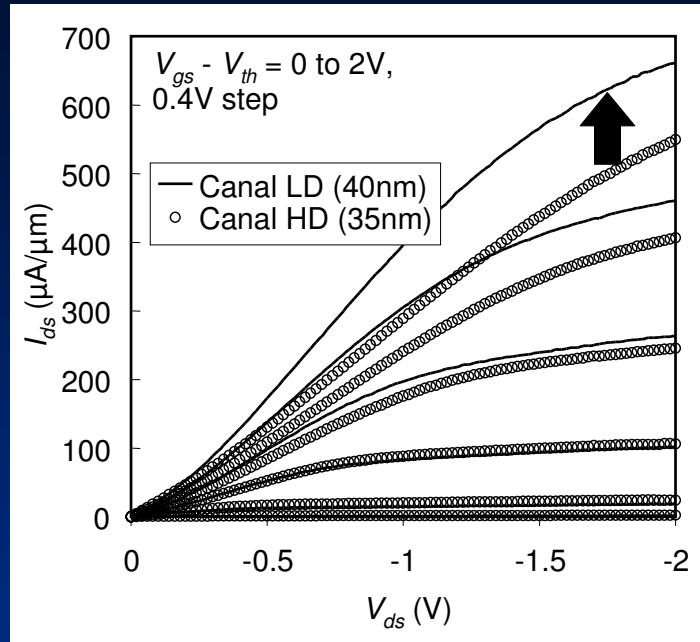


$L_g = 40nm$



- Aplatissement de la caractéristique I_d-V_g à 120 et 40nm
- Signature de la hauteur de barrière trop importante

- Impact du dopage de canal



N. Breil, SNW, 2007

- Jonctions métalliques PtSi
- Rôle des dopants du canal sur la modulation de barrière
- Intérêt du dopage de canal faible

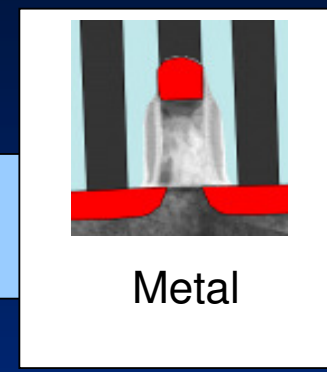
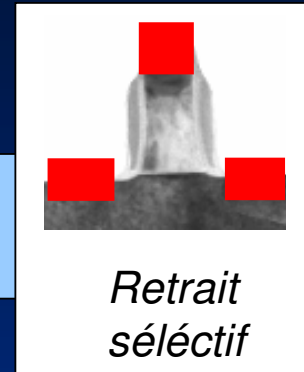
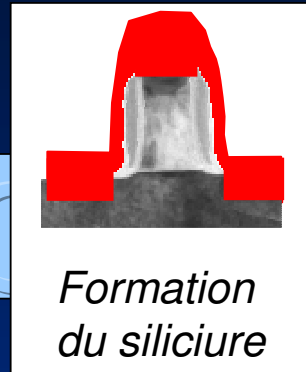
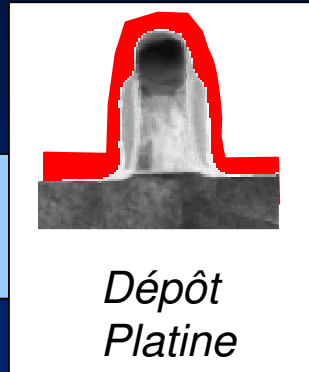
Performances électriques du PtSi sur architectures CMOS

ST Crolles 2

Equipementier

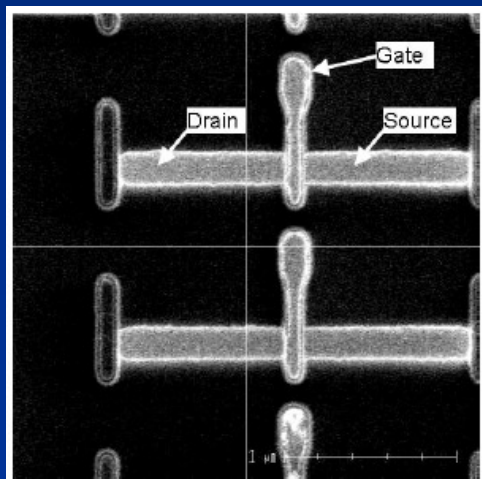
CEA-LETI

ST Crolles 2



Technologie Bulk
45nm CMOS

Caractérisation
électrique

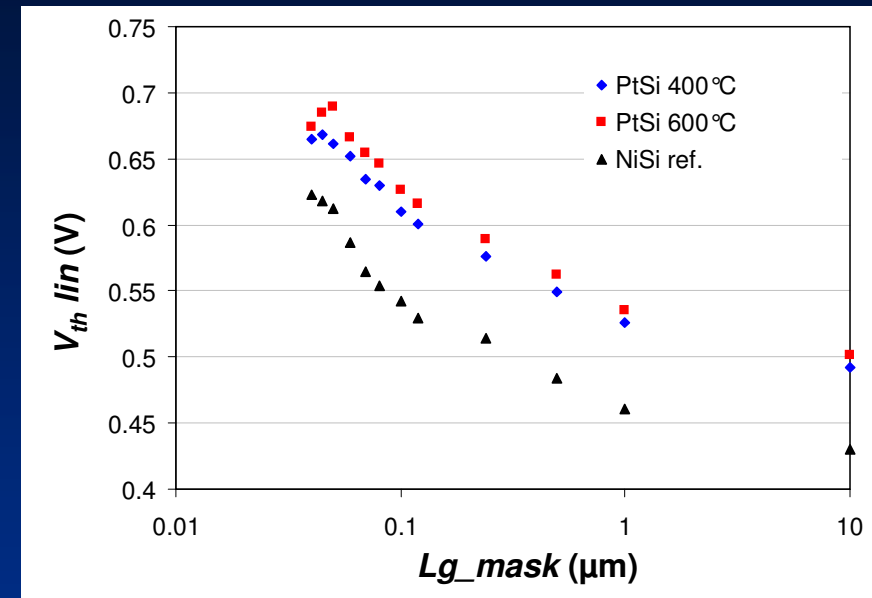
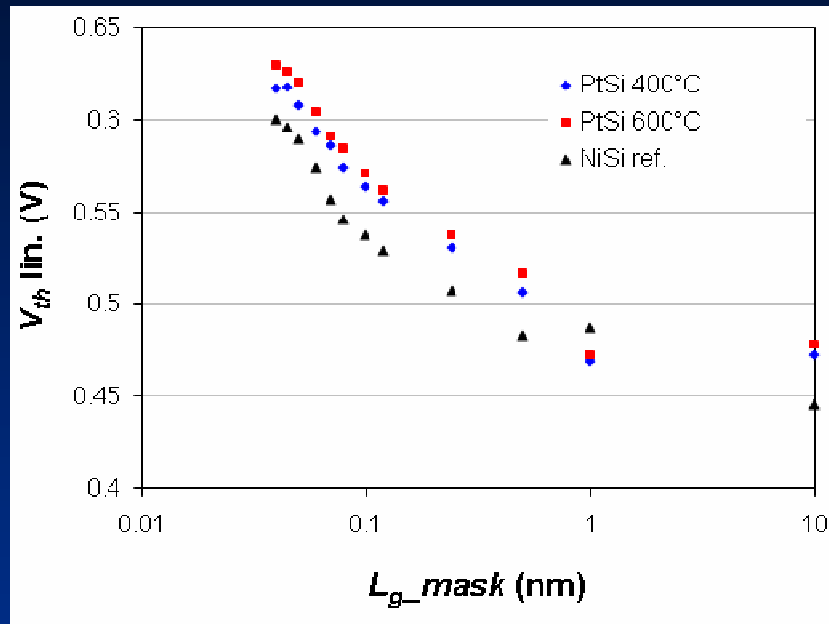


- Utilisation d'un retrait sélectif HPM-SPM
- Intégration réalisée avec succès
- Accès à une statistique de résultats
- Comparaison avec NiSi à l'état de l'art 45nm

Tension de seuil V_{th_lin} vs. Longueur de grille L_g

pMOS

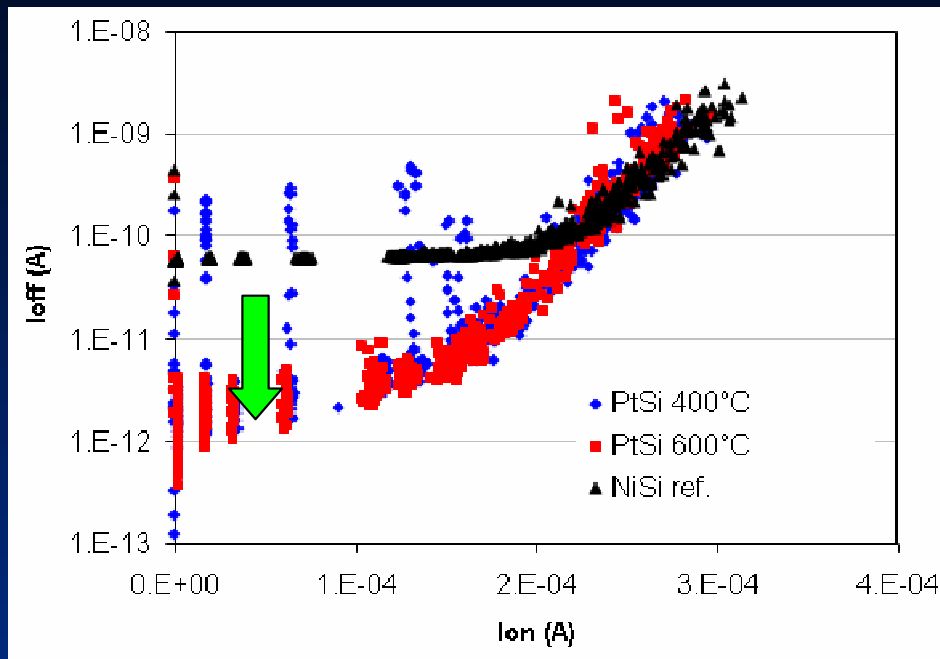
nMOS



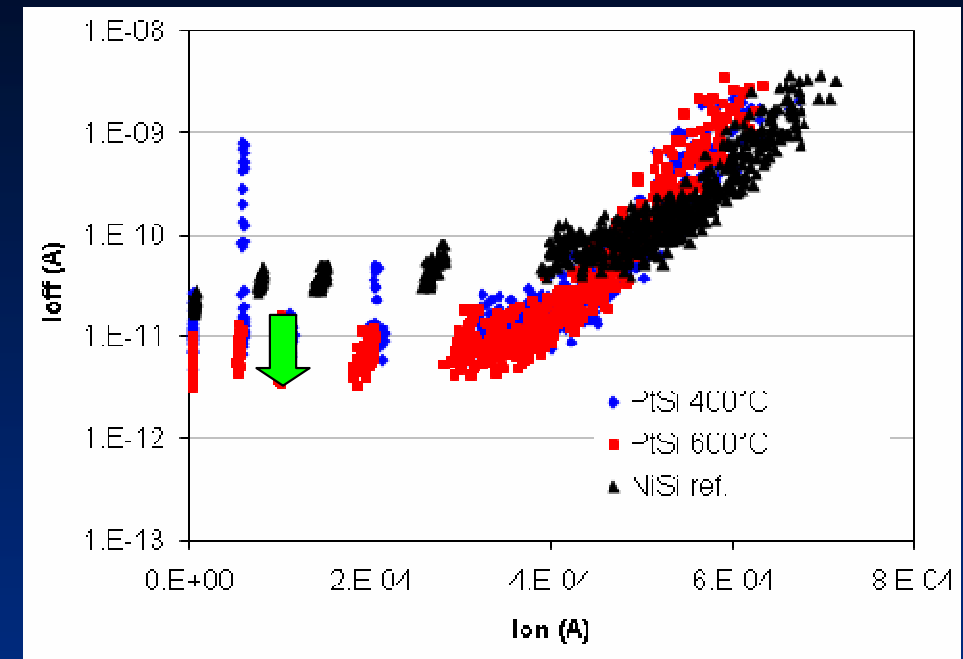
- Pour les pMOS, les tensions de seuil sont du même ordre de grandeur
- Pour les nMOS, un shift de V_{th} de +50mV est observé pour le PtSi

Figure de mérite $I_{on} - I_{off}$

pMOS



nMOS

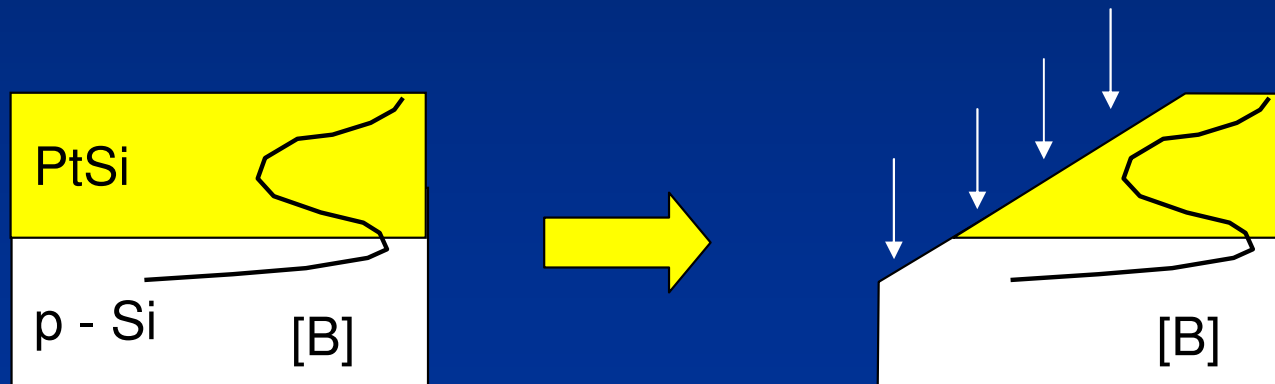


- pMOS, nMOS : Courant I_{on} comparable pour PtSi vs NiSi
- PtSi montre une réduction importante du I_{off} (2 décades < NiSi)
- Effet attribué à un GIDL plus faible :
 - rugosité de l'interface ?
 - abrupté de la jonction dopée ?

- Propriétés intrinsèques du PtSi
 - meilleure stabilité thermique vs. NiSi
- Techniques de ségrégation
 - très faible hauteur de barrière aux trous
 - faible hauteur de barrière aux électrons
- Intégration auto-alignée par germaniuration sacrificielle
 - compatibilité avec les lignes de production
 - défauts liés à l'eau régale sont évités
- Performances électriques du PtSi sur CMOS 45nm
 - I_{on} comparable pour PtSi vs. NiSi
 - forte réduction du courant de fuite
- Inconvénients
 - résistivité
 - coût du matériau
 - émission α du ^{190}Pt (*soft error rate SRAM, mémoires*)

- Performances CMOS limitées par la résistance de contact siliciure/silicium
 - Ingénierie du métal de siliciuration
 - Ingénierie de dopants
- Siliciure d'erbium limité par les réactions parasites
 - Réaction avec SiO_2
 - Exo-diffusion du Si
- Siliciure de platine montre un fort potentiel
 - Fenêtre de procédé PtSi > NiSi
 - Très faible barrière aux trous
 - Faible barrière aux électrons
- Intégration auto-alignée par germaniuration sacrificielle
 - Fonctionnalité démontrée sur dispositifs de faible taille
- Intégration du PtSi sur une technologie CMOS45nm
 - Performances comparables à l'état de l'art NiSi
 - Réduction importante du courant de fuite sur les CMOS

- Intégration sur des technologies 32nm
 - du siliciure de platine
 - du retrait par germaniuration sacrificielle
 - comparaison avec NiPtSi
- Impact des contraintes sur la hauteur de barrière
 - induite par le siliciure
 - induite par les S/D constraints
 - induite par le canal
- Etude par biseau du profil de PtSi avec ségrégation de dopants
 - KFM (travail de sortie)
 - SSRM (profil de dopants activés)



PROJET EUROPEEN

- ▶ METAMOS Strep IST-FP6-016677 (Architecture à S/D métalliques pour technologies MOS avancées) (2006-2008)
 - Coordination: IEMN/CNRS
 - Partenaires: Univ. Louvain (B), Univ. Salamanca (SP), Inst. Electron Technology (PL)
ST Microelectronics (F), NXP (F)
 - Programme technique :
 - Ingénierie de matériaux
 - Intégration sur dispositifs
 - Modélisation
 - Caractérisation (analytique et hautes fréquences)

RESEAUX D'EXCELLENCE

- ▶ SINANO (NoE IST- FP6-506844) (2005-2007)
 - Ingénierie de barrières Schottky (type p et type n complémentaires)
- ▶ NANOSIL (NoE IST- FP7-216171) (2008-2010)
 - Impact des contraintes sur la hauteur de barrière

Merci de votre attention

