



HAL
open science

Modélisation de défauts paramétriques en vue de tests statiques et dynamiques

Nicolas Houarche

► **To cite this version:**

Nicolas Houarche. Modélisation de défauts paramétriques en vue de tests statiques et dynamiques. Micro et nanotechnologies/Microélectronique. Université Montpellier II - Sciences et Techniques du Languedoc, 2009. Français. NNT: . tel-00481534

HAL Id: tel-00481534

<https://theses.hal.science/tel-00481534>

Submitted on 6 May 2010

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

*UNIVERSITE MONTPELLIER II
SCIENCES ET TECHNIQUES DU LANGUEDOC*

PRÉSENTÉE ET SOUTENUE PAR

Nicolas Houarche

Le 29 octobre 2009

Pour obtenir le grade de

DOCTEUR DE L'UNIVERSITE MONTPELLIER II

Discipline : Electronique, Optronique et Systèmes

Ecole doctorale : Information, Structures et Systèmes

Formation doctorale : SYstèmes Automatiques et Microélectroniques

Modélisation de défauts paramétriques en vue de tests statiques et
dynamiques

Composition du jury de thèse :

M. M. RENOVELL, Directeur de Recherches, CNRS, LIRMM, Université Montpellier II
Mlle. M. COMTE, Maître de Conférences, LIRMM, Université Montpellier II
M. B. BECKER, Professeur, Université Albert-Ludwigs, Freiburg, Allemagne
M. R. LEVEUGLE, Professeur, TIMA, Grenoble
M. J. FIGUERAS, Professeur, Université Polytechnique de Catalogne, Barcelone, Espagne
M. Y. BERTRAND, Professeur, Université Montpellier II

Directeur de thèse
Codirectrice
Rapporteur
Rapporteur
Examineur
Examineur

Remerciements

Les travaux présentés dans ce manuscrit ont été réalisés au sein du Département de Microélectronique du LIRMM (Laboratoire d'Informatique, de Robotique et de Microélectronique de Montpellier) dirigé par Monsieur Michel ROBERT.

Je remercie vivement Monsieur Régis LEVEUGLE, Professeur à Grenoble INP, et Monsieur Bernd BECKER, Professeur à l'Université Albert-Ludwigs de Freiburg en Allemagne, pour l'honneur qu'ils m'ont fait et pour l'intérêt qu'ils ont porté à mes travaux en acceptant d'être les rapporteurs de ce mémoire de thèse. Je voudrais aussi remercier cordialement Monsieur Joan FIGUERAS, Professeur à l'Université Polytechnique de Catalogne à Barcelone, ainsi que Monsieur Yves Bertrand, Professeur à l'Université Montpellier II, d'avoir accepté d'être membres du jury de thèse.

Je remercie mes encadrants, Mariane COMTE et Michel RENOVELL, pour leur aide, l'expérience dont ils m'ont fait profiter et la confiance qu'ils m'ont accordée tout au long du développement des recherches.

Une pensée amicale à tous mes camarades thésards côtoyés plus ou moins longtemps au cours de ces trois années, tout particulièrement : Boris Alandry et ses raccourcis, Olivier Brousse et Broussule, Victor Lomné et son oscilloscope, Nicolas Pous et son œil rugbystique avisé, Alexandre Rousset pour son accueil et qui est devenu un véritable ami, Nicolas Saint-Jean pour ses intermèdes musicaux, Julien Vial et ses parties de culture générale ainsi que Zeqin Wu et ses cours de chinois.

Tous mes remerciements vont bien évidemment à ma famille au grand complet sans qui je ne serais jamais là.

Je tiens également à remercier la famille Thibon pour leur accueil et leur joie de vivre communicative.

Enfin j'adresse mes plus tendres remerciements à Céline pour m'avoir soutenu durant ces trois années. Son sourire et son réconfort ont été des alliés prépondérants dans la réussite de ma thèse. Avec tout mon amour...

Résumé en français

Avec l'évolution de la densité d'intégration et la forte complexité des procédés de fabrication des circuits intégrés actuels, l'occurrence de défaillances non modélisables par de simples collages devient importante voire prépondérante. Cette thèse s'intéresse particulièrement à des défaillances dues à des défauts physiques. Au niveau du produit final, ces défaillances se traduisent soit par la mise en relation de deux noeuds indépendants dans le circuit sain, soit par la dégradation d'une interconnexion.

Deux défauts paramétriques sont étudiés dans cette thèse. Il s'agit des circuits ouverts résistifs et des courts-circuits résistifs. La résistance *a priori* inconnue de ces défauts est le paramètre prépondérant de leur modélisation. La première partie s'intéresse particulièrement aux circuits ouverts résistifs. A partir d'une analyse électrique approfondie de leur comportement dynamique, un simulateur de fautes spécifique est développé et validé sur une série de circuits référence et le cahier des charges d'un générateur automatique de vecteurs de test (ATPG) est proposé. Dans la seconde partie, ce sont les courts-circuits résistifs qui sont analysés et un modèle mathématique représentant leur comportement dynamique est proposé et validé.

Abstract in English

Due to integration density evolution and the high complexity of manufacturing process for integrated circuits, failures which can not be modeled by simple stuck at faults become preponderant. This thesis deals particularly with failures caused by physical defects. The result of such a defect is either a connection of two independent nodes in a fault-free circuit or a deterioration of an interconnection.

Two parametrical defects are studied in this thesis: resistive opens and resistive shorts. The unknown resistance of these defects is the major parameter of their model. The first part deals with resistive opens. From a deep electrical analysis of their dynamical behavior, specific Automatic Test Pattern Generator (ATPG) and fault simulator have been developed. In the second part, resistive shorts have been analyzed and a mathematical model which represents the dynamical behavior is proposed and validated.

Table des matières

Remerciements	3
Résumé en Français	5
Abstract in English	7
Table des matières	9
Introduction générale	11
1 Test Orienté Défaut	15
1.1 Introduction	16
1.2 Le test des circuits ouverts	20
1.2.1 Modélisation d'un nœud flottant [1]	21
1.2.2 Classification des circuits ouverts	23
1.2.3 Modélisation des circuits ouverts résistifs	25
1.3 Le test des courts-circuits	26
1.3.1 Les courts-circuits francs	27
1.3.2 Les courts-circuits résistifs	32
1.3.3 Test statique des courts-circuits résistifs	36
1.4 Le test en retard des circuits digitaux	37
1.4.1 Modèle de défaut temporel	39
1.4.2 Extension du modèle paramétrique des défauts résistifs	43
1.5 Conclusion	46
2 Analyse électrique du comportement dynamique des Circuits Ouverts résistifs	47
2.1 Introduction	48
2.2 Mise en évidence de l'effet mémoire	48
2.2.1 Détection du défaut avec une paire de vecteurs	49
2.2.2 Détection du défaut avec une séquence de n vecteurs	52
2.3 Représentation du défaut par un modèle RC	57
2.3.1 Mise en place du modèle	57

2.3.2	Utilisation du modèle	61
2.4	Conclusion	64
3	Simulation et ATPG pour le test dynamique des Circuits Ouverts résistifs	67
3.1	Introduction	68
3.2	Simulation sans effet mémoire	68
3.2.1	Description de la méthode	69
3.2.2	Resultats expérimentaux	71
3.3	ATPG avec effet mémoire	74
3.3.1	Description de la procédure de l'ATPG	74
3.3.2	Phase de pré-traitement de l'ATPG	78
3.4	Conclusion	82
4	Analyse électrique du comportement dynamique des Courts-Circuits résistifs	85
4.1	Introduction	86
4.2	Influence de la résistance de court-circuit	86
4.3	Influence de la capacité de couplage	92
4.4	Conclusion	95
5	Modélisation et simulation du comportement dynamique des Courts-Circuits résistifs	97
5.1	Introduction	98
5.2	Modèle mathématique	98
5.2.1	Détermination de $D(R_s)$	101
5.2.2	Détermination de $d(R_s)$	103
5.2.3	Extrapolation de l'équation du retard en fonction du décalage temporel	109
5.3	Evaluation du modèle	110
5.3.1	Une première comparaison	110
5.3.2	Comparaison des efficacités simulées et calculées	112
5.4	Conclusion	115
	Conclusion générale	117
	Liste des figures	121
	Liste des tableaux	123
	Références bibliographiques	125
	Bibliographie personnelle	129

Introduction générale

Depuis l'apparition du premier transistor en décembre 1947 et du premier circuit intégré inventé en 1958 par Jack Kilby, les technologies n'ont cessé d'évoluer et placent aujourd'hui l'industrie du semi-conducteur au premier plan de la microélectronique. Ces quinze dernières années ont été les témoins d'un effort constant visant à l'intégration de fonctions de plus en plus complexes. Afin d'illustrer cette formidable évolution, on peut s'intéresser particulièrement à l'évolution des processeurs et des mémoires représentée sur la Figure 1 [2]. Le premier graphe donne l'évolution du nombre de transistors dans les microprocesseurs tandis que le second représente l'évolution de la taille des mémoires.

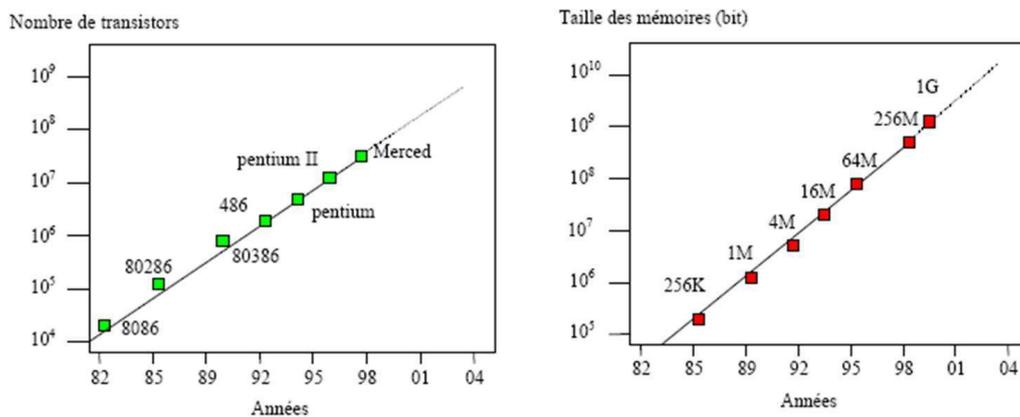


FIG. 1: Les grandes tendances de l'évolution technologique ces dernières années

L'étape technologique qui a permis cette évolution est la réduction de la taille des motifs lithographiques. Cependant, une telle avancée n'a pu se faire sans son lot d'inconvénients. En effet, la diminution des dimensions peut provoquer l'apparition de défauts physiques. Il est donc nécessaire de développer le test afin de détecter ces nouveaux défauts.

L'objectif du test d'un circuit intégré est de déceler d'éventuelles défaillances survenues pendant le processus de fabrication et pouvant altérer les fonctionnalités du circuit. Les circuits étudiés dans ce manuscrit sont de type digital et la mise en œuvre du test consiste à appliquer des séquences de vecteurs sur les entrées du circuit. Pour chaque stimulus, la réponse en sortie du circuit est comparée à la valeur référence, c'est-à-dire la réponse du circuit sain. Toute différence entre la réponse effective et la réponse attendue indique la présence d'une faute dans le circuit.

La phase de test est précédée d'une phase de génération qui consiste à créer une séquence de vecteurs à appliquer sur le circuit. Pour chaque défaillance du circuit il est nécessaire d'appliquer un ou plusieurs vecteurs. On comprend donc que le nombre de vecteurs à générer peut devenir prohibitif. On classe alors les défaillances ayant des impacts similaires en classe et on représente ces classes par des modèles de faute.

Ces modèles se doivent d'être les plus représentatifs possible de leur classe de défauts. En effet, puisque la génération de la séquence de vecteurs de test se fait à partir de ces modèles et non à partir de la défaillance elle-même, si le modèle diffère trop de la réalité alors les vecteurs générés ne seront que peu efficaces.

Dans le cadre de ce manuscrit, nous considérons uniquement des défauts réalistes, c'est-à-dire des courts-circuits et des circuits ouverts bien sûr, mais dans tous les cas résistifs. Dans ce cas précis, on juge de l'efficacité des vecteurs de test appliqués par leur capacité à détecter un intervalle de résistance le plus grand possible. Pour

une séquence donnée, son efficacité est donc définie comme le rapport de l'intervalle de résistance détecté à l'intervalle de résistance que détecterait la meilleure séquence.

Ce mémoire s'attache à la définition de nouveaux modèles de faute plus précis pour deux types de défauts : les circuits ouverts et les courts-circuits. Ils prennent en compte les paramètres aléatoires des défauts et sont utilisables pour la simulation de faute et pour la génération automatique de séquence de test. Le manuscrit est organisé de la manière suivante.

Le chapitre 1 présente un état de l'art sur les différents modèles de faute existants pour les courts-circuits et les circuits ouverts. Il commence par une présentation du modèle originel : le modèle de collage. Ce premier chapitre est ensuite lui-même divisé en trois parties. La première s'intéresse plus particulièrement aux circuits ouverts. Elle présente la modélisation d'un tel défaut ainsi que son impact sur le reste du circuit. La deuxième partie, quant à elle, présente une description des différents modèles de courts-circuits qu'ils soient considérés comme francs ou comme résistifs. Enfin, la troisième partie présente le test en retard des circuits digitaux. Cette partie présente la base de l'étude menée dans la suite de ce mémoire.

Le deuxième chapitre analyse le comportement dynamique d'un circuit ouvert affectant une interconnexion dans un circuit digital. La première partie porte sur l'observation d'un phénomène apparaissant durant la phase de test. Ce phénomène est appelé l'effet mémoire. En effet, la présence du défaut a une influence différente suivant la séquence de test appliquée. Cet effet est analysé et expliqué. Ensuite un modèle est proposé afin de représenter de manière simple le comportement d'un circuit ouvert.

Le troisième chapitre de ce mémoire propose, à partir des observations faites dans le chapitre précédent, un simulateur de fautes développé en collaboration avec l'Université Albert-Ludwigs de Freiburg ainsi que les résultats obtenus avec des cir-

cuits représentatifs. Dans un second temps, une méthode de génération automatique de vecteurs de test est proposée. Cette méthode prend en compte l'effet mémoire décrit auparavant.

Le chapitre 4 du manuscrit analyse le comportement dynamique d'un court-circuit résistif aggravé par de la diaphonie. Une analyse du comportement du circuit en tenant seulement compte de la résistance de court-circuit est réalisée. Ensuite cette même analyse est effectuée en prenant en compte cette fois-ci une capacité de couplage entre les deux lignes court-circuitées.

Le dernier chapitre présente le modèle élaboré à partir des observations faites dans le chapitre 4. La première partie est consacrée à la réalisation d'un modèle mathématique prenant en compte non seulement la résistance de court-circuit mais aussi la capacité de couplage représentant la diaphonie. La deuxième partie présente les résultats expérimentaux et l'évaluation du modèle proposé.

Ce manuscrit se termine par une conclusion générale qui reprend les aspects les plus importants du travail réalisé et propose des perspectives de travail.

Test Orienté Défaut

Sommaire

1.1	Introduction	16
1.2	Le test des circuits ouverts	20
1.2.1	Modélisation d'un nœud flottant [1]	21
1.2.2	Classification des circuits ouverts	23
1.2.3	Modélisation des circuits ouverts résistifs	25
1.3	Le test des courts-circuits	26
1.3.1	Les courts-circuits francs	27
1.3.2	Les courts-circuits résistifs	32
1.3.3	Test statique des courts-circuits résistifs	36
1.4	Le test en retard des circuits digitaux	37
1.4.1	Modèle de défaut temporel	39
1.4.2	Extension du modèle paramétrique des défauts résistifs	43
1.5	Conclusion	46

"Une erreur peut devenir exacte selon que celui qui l'a commise s'est trompé ou non."

Pierre DAC

1.1 Introduction

La qualité d'une chaîne de fabrication est un des facteurs essentiels de la production de circuits intégrés à l'heure actuelle. Il est donc naturel de vouloir l'évaluer et la quantifier. Cette qualité est représentée par le rendement de la chaîne. Il s'agit du ratio entre les produits défectueux et les produits déclarés sains. Une série de tests est donc appliquée afin de détecter au mieux et rejeter les produits défectueux. Cependant, une certaine proportion d'éléments déficients échappe à toutes les étapes du test. Cette proportion est exprimée à l'aide d'une métrique : le Taux de Rejet sur Site (TRS). Si un défaut physique apparaît lors de la phase de fabrication, il se traduira par un comportement anormal au niveau du circuit et donc une défaillance au niveau de l'application. De manière stricte, ce Taux de Rejet ne peut être connu qu'*a posteriori* par les "retours clients", d'où la nécessité de définir des méthodes et des outils permettant de l'estimer *a priori*. Des études ont été menées afin de modéliser ce taux [3, 4, 5], avec pour but de coller au mieux à la réalité industrielle. Le plus simple des modèles proposés [6] relie le TRS au rendement du procédé de fabrication R ainsi qu'à la couverture de fautes C . Le Taux de Rejet s'exprime alors par $TRS = 1 - R^{(1-C)}$. On s'aperçoit ainsi aisément que, pour un rendement de fabrication donné, la proportion de circuits défectueux sur le marché sera d'autant plus faible que la couverture de faute sera grande. Celle-ci devient alors un critère prépondérant et une attention particulière doit lui être

apportée, notamment sur la définition de l'ensemble de fautes qui sert de référence. En effet, plus la probabilité d'occurrence est élevée et plus son impact sur le taux de rejet est important [7]. La Figure 1.1 permet de visualiser cet état de fait.

Si l'on considère le premier ensemble constitué des fautes les plus probables, celui-ci aura un Taux de Rejet inférieur à un ensemble de fautes plus rares. La demande croissante de Taux de Rejet très bas, de l'ordre de quelques centaines de Parties Par Million (PPM), nous amène donc à développer des modèles de plus en plus précis pour ces défauts ayant une forte probabilité d'occurrence.

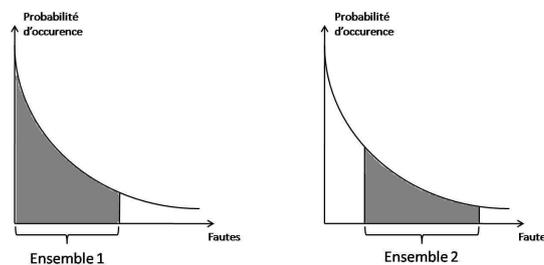


FIG. 1.1: Contribution au taux de rejet sur site

Le test est donc une partie primordiale de la microélectronique et fait l'objet de nombreuses études visant à améliorer ses performances et donc augmenter la qualité des circuits et systèmes mis sur le marché. Le comportement fautif d'un circuit logique se représente souvent par un niveau logique en lieu et place de son dual. Le modèle le plus simple et le plus largement utilisé pour représenter ce comportement est donc le modèle de *collage simple au niveau d'une porte logique* [8, 9]. Il consiste à supposer l'existence d'un signal quelconque du circuit figé à l'une des deux valeurs logiques. Toute entrée ou sortie d'une porte logique peut ainsi être "collée". Le modèle peut, par la suite, être étendu à des collages multiples. Le collage multiple est nettement plus compliqué à représenter et à manipuler car sa complexité augmente très vite avec la taille du circuit considéré. Une autre extension possible est de ne plus considérer des collages uniquement au niveau des portes logiques mais aussi au niveau des transistors.

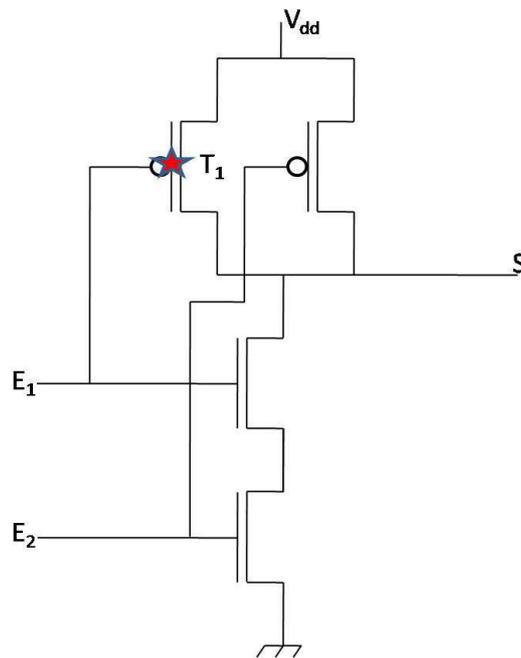


FIG. 1.2: Transistor collé ouvert

On obtient ainsi un modèle plus représentatif de la réalité physique, mais le nombre de fautes est là encore augmenté considérablement puisque, à ce niveau, le collage peut également intervenir sur les nœuds électriques internes aux portes.

Si l'on considère uniquement la technologie TTL (Transistor Transistor Logic), le modèle du collage décrit précédemment est assez représentatif des défauts physiques réels. Cependant, dans les circuits CMOS, on ne peut pas garantir la détection de tous les défauts seulement à partir du modèle de collage. L'avènement de la technologie CMOS a donc apporté son lot de modèles. Le premier concerne le fonctionnement anormal des transistors en les considérant soit toujours ouverts (stuck-open), soit toujours fermés (stuck-on) ([10, 11]). Dans le cas des transistors collés ouvert, la sortie du transistor peut être mise en état haute impédance tandis que les transistors collés fermé peuvent être modélisés par des collages ou bien par des états indéterminés. Les fautes de transistors collés ouvert peuvent engendrer un comportement séquentiel et requièrent une séquence de deux vecteurs pour être détectées.

Vecteur	PréS	E_1	E_2	ExpS	ObsS
1	0	0	0	1	1
2	0	0	1	1	0
3	0	1	0	1	1
4	0	1	1	0	0
5	1	0	0	1	1
6	1	0	1	1	1
7	1	1	0	1	1
8	1	1	1	0	0

TAB. 1.1: Comportement logique en présence d'un collage à ouvert

Si l'on considère le cas d'une porte NAND dont le transistor T1 est collé ouvert (Figure 1.2), une séquence de deux vecteurs doit être appliquée. Le tableau 1.1 synthétise tous les vecteurs qui peuvent être appliqués. La colonne PréS représente la valeur logique précédente de la sortie S. La colonne ExpS donne les valeurs logiques attendues à la sortie de la porte NAND, tandis que la colonne ObsS fournit les valeurs réellement observées sur S en présence de la faute. **Ce tableau montre bien qu'une paire de vecteurs est nécessaire à la sensibilisation d'une faute de collage ouvert puisque, dans ce cas, la valeur précédente correspondant au vecteur 2, PréS(2), est nécessaire pour mettre en évidence le collage ouvert présent sur le transistor T1. En revanche, si PréS=1, on n'observe aucun changement sur la sortie S.**

Pour assurer, à fréquence élevée, la détection des transistors collés ouvert, il faut tenir compte de la transformation du circuit combinatoire en circuit séquentiel et utiliser une paire de vecteurs de test, et non plus un seul vecteur, pour chaque faute à détecter.

Deux autres types de défauts ont un impact qui n'est plus négligeable dans les technologies récentes, ce sont les circuits ouverts et les courts-circuits [12]. Leur détection est donc un enjeu grandissant et les modèles actuels atteignent leurs limites. Ces deux défauts font l'objet d'une étude plus approfondie dans les sections suivantes.

1.2 Le test des circuits ouverts

Les circuits ouverts sont des discontinuités électriques sur les lignes d'interconnexion des circuits intégrés qui surviennent généralement dans les niveaux de métaux mais aussi dans le polysilicium ou encore dans les diffusions. Ces défauts peuvent intervenir soit à l'intérieur d'une porte logique soit entre les portes logiques sur les lignes d'interconnexion. La Figure 1.3 montre des photographies de circuits ouverts dans un circuit CMOS. Les caractéristiques principales d'un circuit ouvert sont :

- La taille du défaut (la fissure est-elle large ou étroite ?),
- La localisation du défaut (sur la grille, le drain ou la source d'un transistor seul, sur les grilles d'une paire de transistors complémentaires),
- Le défaut intervient sur une ligne de métal conduisant à plusieurs portes,
- Le couplage capacitif du nœud incriminé avec les nœuds environnants.

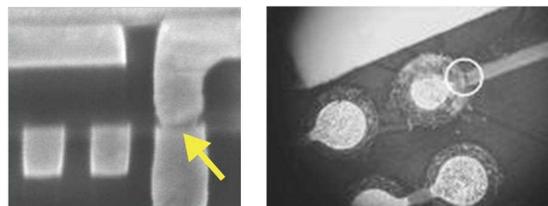


FIG. 1.3: Photographies de circuits ouverts [13]

Les technologies CMOS submicroniques utilisent des lignes de métal de largeur inférieure au micromètre et les rapports hauteur/largeur des vias sont supérieurs à 5. Ajoutons à ces dimensions les millions, voire les milliards de contacts et les kilomètres de lignes métalliques, et il est facile de comprendre que les défauts de circuit ouvert sont de plus en plus nombreux. Il est donc important de modéliser le comportement de ces nœuds plus ou moins déconnectés (Figure 1.4) et d'analyser leur impact sur le fonctionnement du circuit.

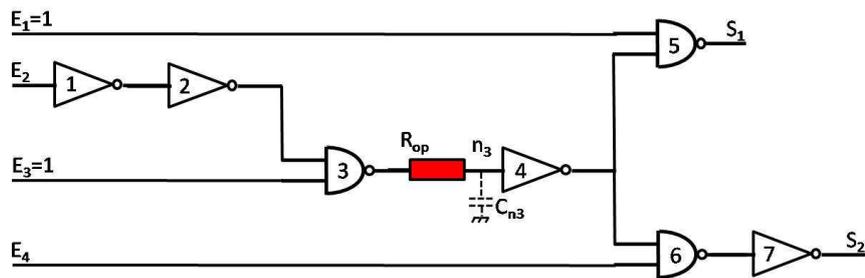


FIG. 1.4: Exemple d'un modèle de circuit ouvert résistif

1.2.1 Modélisation d'un nœud flottant [1]

Sur la Figure 1.4, si l'on considère que la résistance du défaut affectant l'interconnexion entre les portes 3 et 4 est très grande, voire infinie, alors la porte 4 n'est plus rattachée à sa porte amont. Le nœud est alors laissé dans un état dit flottant ou de haute impédance. Il est important de noter que, contrairement à des modèles de faute de type collage, ce nœud n'est pas relié directement à la masse ou à V_{dd} . Le niveau électrique d'un nœud flottant dépend des propriétés et de la topologie du circuit environnant. Les deux variables prépondérantes qui déterminent la tension du nœud sont :

- la taille de la fissure,
- la quantité de charges présentes sur le nœud.

Les électrons peuvent traverser le défaut par effet tunnel suivant la taille de la fissure. La charge du nœud incriminé dépend également du couplage capacitif avec le circuit environnant. Il est important de remarquer que la résolution de ce problème est une combinaison de tous ces effets. Nous donnerons ici, à titre d'exemple, la description du couplage entre le nœud flottant et les rails d'alimentation.

Des ponts diviseurs de tension capacitifs apparaissent dans certains cas de circuit ouvert. La Figure 1.5 représente un circuit ouvert affectant une ligne de polysilicium au-dessus d'un champ d'oxyde (V_x est flottant). Une partie de la ligne flottante se trouve au-dessus du substrat relié à la masse, tandis que l'autre partie est au-dessus

du puits connecté à V_{dd} . La structure métal-oxyde-semiconducteur est une capacité, et le nœud flottant est donc relié de façon capacitive à la masse et à l'alimentation. Les valeurs des capacités de couplage à la masse et à l'alimentation dépendent de la surface de piste au-dessus du puits et au-dessus du substrat.

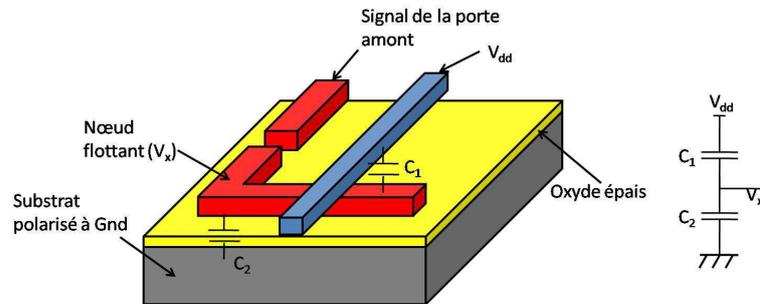


FIG. 1.5: Circuit ouvert sur une ligne de polysilicium et son équivalent électrique

Le circuit équivalent sur la droite de la Figure 1.5 présente deux capacités en série. La tension V_x dépend de V_{dd} et des valeurs de C_1 et C_2 .

Or, on sait que :

$$C_1 = \frac{Q}{V_{dd} - V_x} \quad (1.1)$$

et

$$C_2 = \frac{Q}{V_x} \quad (1.2)$$

et donc

$$V_{dd} = Q \left(\frac{1}{C_1} + \frac{1}{C_2} \right) \quad (1.3)$$

et en substituant

$$V_{dd} = V_x C_2 \left(\frac{1}{C_1} + \frac{1}{C_2} \right) \quad (1.4)$$

ce qui peut encore s'écrire

$$V_x = V_{dd} \left(\frac{C_1}{C_1 + C_2} \right) \quad (1.5)$$

En général, la tension du nœud en l'air s'exprime par :

$$V_x = \alpha V_{dd} \quad (1.6)$$

où α est une constante comprise entre 0 et 1.

Le circuit électrique équivalent de la Figure 1.5 est utilisé dans l'analyse des défauts de circuit ouvert. Par exemple, lorsque la grille d'un transistor est en l'air, elle est en état de haute impédance mais les capacités parasites peuvent ramener le problème à celui de la Figure 1.5 ([14]).

1.2.2 Classification des circuits ouverts

Les comportements des circuits ouverts peuvent être classés en six catégories ou modèles. Le comportement d'un circuit ouvert peut donner immédiatement des indices sur l'appartenance à telle ou telle classe. Ces indices permettent également de déterminer à quelle classe le défaut n'appartient pas. L'impact d'un circuit ouvert affectant une interconnexion sur le comportement du circuit dépend des transistors avants ainsi que de la topologie de la porte à laquelle ils appartiennent. Dans [1], six classes de circuit ouvert ont été répertoriées à partir des analyses de fautes :

- transistor passant,
- paire de transistors passants,
- paire de transistors passants/bloqués,
- retard,

- mémoire (transistor bloqué),
- séquentiel.

Etudions plus en détail le cas où le défaut rend un transistor toujours passant. Un tel transistor a un comportement anormal [15, 16, 17]. La Figure 1.6 montre un inverseur CMOS dont la grille du transistor N a été déconnectée de la ligne de métal. Sa fonction de transfert statique sur la droite de la figure montre cependant que, malgré une perte de marge de bruit due au décalage de la courbe vers la droite, la fonctionnalité de l'inverseur est conservée. Lorsque $V_{in} - V_{dd} \ll V_{tp}$, le transistor PMOS devient

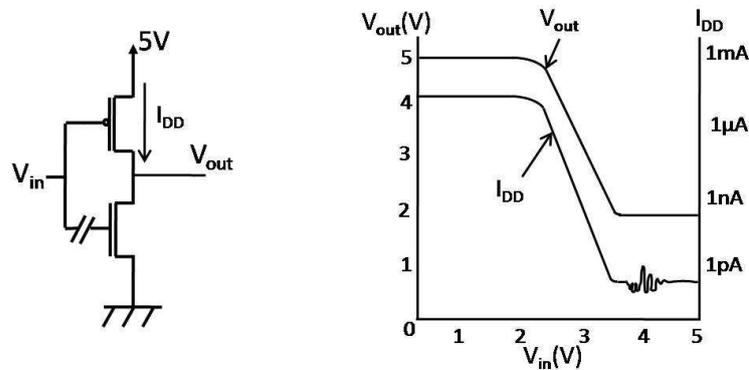


FIG. 1.6: Inverseur affecté par un circuit ouvert et sa fonction de transfert

fortement passant et 5V sont reportés sur la sortie. Le transistor NMOS, quant à lui, n'a initialement pas de signal sur sa grille et est bloqué. Quand la tension de drain du transistor P augmente et tend vers V_{dd} , les capacités de couplage drain-grille et grille-source du transistor N créent un pont diviseur de tension. Ainsi lorsque la tension grille-source du transistor N induite par ces capacités atteint la tension de seuil V_{tn} , le transistor devient passant et conduit le courant du transistor P vers la masse. La courbe de la fonction de transfert montre que pour une technologie où $V_{tn} = |V_{tp}| \approx 0,8 V$, $V_{out} = 4,96 V$ pour $V_{in} < 2,5 V$. Au-delà de $V_{in} = 2,5 V$, le PMOS commence à se bloquer mais, à cause de la présence de charges sur la grille du transistor N, les charges continuent de passer entre la sortie et le transistor N, comme le montre la courbe du courant. V_{out} diminue jusqu'à ce que V_{GSn} passe sous le seuil. Le NMOS se bloque

lorsque $V_{out} \approx 1,8 V$ et le nœud de sortie est alors en état de haute impédance avec une lente décharge due aux fuites. La partie plate en bas à droite de la figure montre cette lente décharge. Le courant d'alimentation est très élevé ($96 \mu A$) pour $0 < V_{in} < 1,8 V$ et il l'est uniquement dans un seul des deux états, ce qui est typique pour beaucoup de défauts qui font augmenter le courant statique appelé I_{DDQ} . Notons également que, contrairement à ce qu'on pourrait penser intuitivement, un défaut de circuit ouvert, dans ce cas de figure, augmente le courant d'alimentation.

1.2.3 Modélisation des circuits ouverts résistifs

Un circuit ouvert affectant une interconnexion peut être modélisé par une résistance (Figure 1.7). La valeur de la résistance est un paramètre aléatoire qui dépend de la nature et de la topologie de ce circuit ouvert.

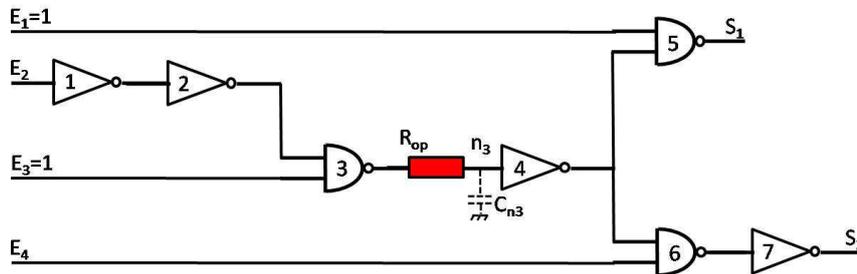


FIG. 1.7: Exemple d'un circuit ouvert résistif

Si la résistance de circuit ouvert est grande alors l'impact du défaut est très important allant jusqu'à une déconnexion complète de la porte aval ; c'est le cas du nœud flottant vu précédemment. Si la résistance de circuit ouvert est plus faible, la déconnexion n'est que partielle. L'effet électrique dépend de la valeur de la résistance. Plus cette résistance est faible, plus on se rapproche du comportement électrique du circuit sain. A partir d'une certaine valeur de résistance, le comportement logique du circuit n'est plus assuré. L'enjeu du test d'un tel défaut est donc de déterminer la gamme de

résistance la plus grande possible pour laquelle le circuit ouvert est détecté.

D'un point de vue local, les portes connectées à un nœud fautif interprètent le potentiel du circuit ouvert soit comme la valeur logique correcte (0 ou 1), soit comme la valeur logique fautive associée à un intervalle de résistance correspondant ($0/1 [R_c, \infty[$ ou $1/0 [R_c, \infty[$), intervalle pour lequel la valeur logique est effectivement fautive et appelé l'intervalle de détection. D'un point de vue global, ces valeurs se propagent jusqu'aux sorties primaires.

Par ailleurs, l'intervalle de valeurs détectées dépend des vecteurs de test appliqués. Afin de déterminer la qualité d'une paire de vecteurs, on calcule le rapport entre la probabilité de détection du défaut par cette paire et la probabilité de détection du défaut par la meilleure paire de vecteurs de test. Cette notion est détaillée dans les chapitres suivants.

1.3 Le test des courts-circuits

Généralement, un court-circuit est défini comme étant une défaillance physique mettant en connexion électrique deux équipotentiels normalement indépendantes dans un circuit sain. Les causes principales d'apparition de ces défauts sont des dépôts de particules sur les masques de fabrication qui provoquent par l'intermédiaire de la résine photosensible une présence de matériau conducteur entre des équipotentiels. Ceci n'étant bien sûr pas la seule cause possible, on pourrait ainsi également citer des défauts d'inhomogénéité dans le substrat, de contamination de la surface...

Les courts-circuits peuvent être classés en deux catégories distinctes. Dans un premier temps les courts-circuits ont été considérés comme francs, c'est-à-dire qu'une ligne influence directement la ligne avec laquelle elle est court-circuitée. Puis une évo-

lution du modèle a amené à parler de court-circuit résistif. Selon la valeur de la résistance du court-circuit, on observe soit un court-circuit franc (résistance R_s proche de zéro), soit court-circuit résistif (résistance R_s non nulle) (Figure 1.8).

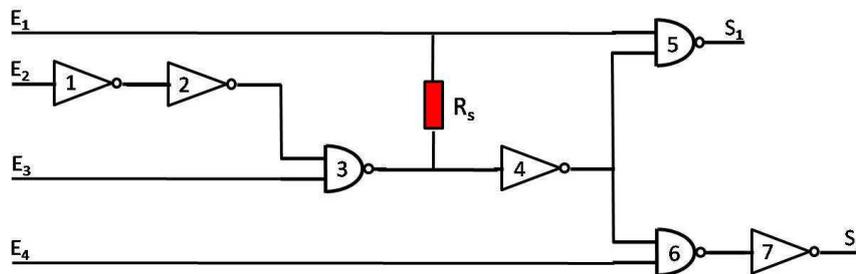


FIG. 1.8: Exemple d'un court-circuit résistif

1.3.1 Les courts-circuits francs

Plusieurs modèles de court-circuit ont été reportés dans la littérature : Strong Driver Wired OR/AND, Strong Driver Wired, Wired OR/AND, Byzantine... Chacun de ces modèles représente un comportement particulier pouvant être induit pas la mise en court-circuit de deux lignes. Parmi ces modèles, nous pouvons différencier :

- Ceux qui provoquent une erreur sur une seule des deux lignes en court-circuit (erreur simple) pour une condition de sensibilisation unique (Strong Driver Wired OR, Strong Driver Wired AND). Dans ce cas, l'erreur produite est obligatoirement 0/1 ou 1/0, où la première valeur représente la valeur attendue et la deuxième représente la valeur obtenue effectivement.
- Ceux qui provoquent une erreur sur une seule des deux lignes en court-circuit (erreur simple) pour deux conditions de sensibilisation différentes (Strong Driver Wired). Dans ce cas, l'erreur produite sur la ligne peut être 0/1 ou 1/0 ([18]).
- Ceux qui provoquent une erreur sur l'une ou l'autre des deux lignes en court-circuit mais pas sur les deux (erreur simple) pour deux conditions de sensibi-

lisation différentes (Wired OR, Wired AND [19]).

- Ceux qui provoquent une erreur sur les deux lignes en court-circuit (Byzantine [20]).

Le tableau 1.2 résume les conditions de sensibilisation ainsi que les effets de chacun des modèles de court-circuit franc cités précédemment.

Strong Driver Wired OR	Erreur simple 1 site 0/1
Strong Driver Wired AND	Erreur simple 1 site 1/0
Strong Driver Wired	Erreur double 1 site 0/1 et 1/0
Wired OR	Erreur simple 2 sites 0/1
Wired AND	Erreur simple 2 sites 1/0
Byzantine	Erreur double 2 sites 1/0 et 0/1

TAB. 1.2: Différents modèles de court-circuit

Un modèle général de court-circuit permettant de préciser les conditions de sensibilisation ainsi que les effets induits par les courts-circuits, c'est-à-dire les erreurs, est proposé Figure 1.9. Celle-ci représente les valeurs respectives que devraient avoir les deux lignes court-circuitées dans le circuit sain. La fonction $Z(x,y)$ représente la fonction réalisée par le court-circuit. Les sorties (x',y') représentent les valeurs effectives qu'ont les deux lignes en présence du court-circuit considéré.

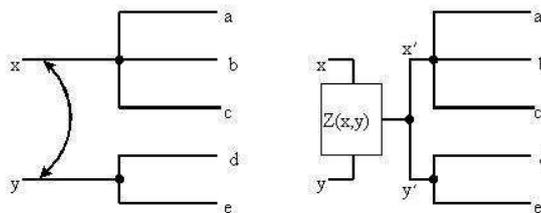


FIG. 1.9: Modèle général de court-circuit

D'autres modèles ont également été développés afin de toujours mieux représenter le comportement du court-circuit tout en supposant la valeur de la résistance comme nulle. Ce sont les modèles de Vote. Le Modèle du Vote considère que lorsque deux nœuds sont mis en court-circuit, chacun d'eux essaye d'imposer son niveau logique à l'autre [21, 22]. Ces nœuds sont contrôlés par des réseaux de transistors de type P et N. Si, dans un premier temps, on fait l'hypothèse d'une tension de seuil logique unique quelle que soit la porte logique et égale à $V_{dd}/2$, le réseau qui réussit à imposer sa valeur logique est simplement celui qui possède la plus grande force. Il reste donc seulement à évaluer les forces des réseaux en présence. Cette force est définie par la capacité en courant du réseau, ce qui la lie donc à la résistance équivalente du réseau. Un nœud sera d'autant plus fort que la capacité en courant du réseau associé sera grande, c'est-à-dire que sa résistance équivalente sera faible. L'hypothèse sur la tension de seuil unique, impliquant une différence de potentiel constante égale à $V_{dd}/2$ aux bornes de chaque réseau, rend la comparaison des résistances équivalentes R_p et R_n identique à la comparaison des courants I_p et I_n traversant chaque réseau indépendamment de l'autre (Figure 1.10).

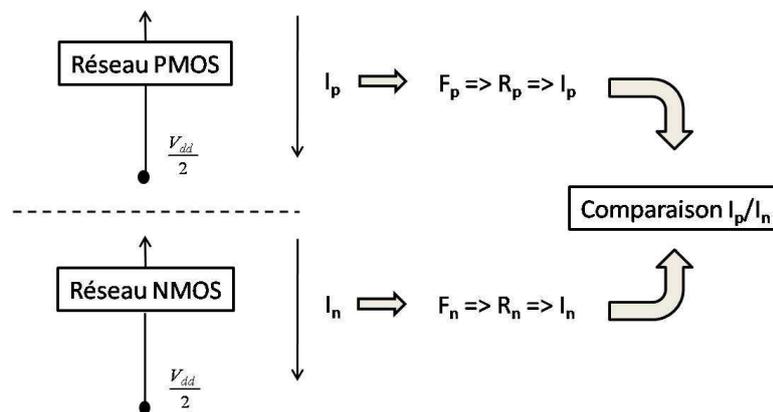


FIG. 1.10: Modèle du Vote

Généralement, le Modèle du Vote est basé sur une caractérisation préliminaire des réseaux constitutifs de la bibliothèque de cellules utilisées. Cette caractérisation consiste à déterminer la force associée aux différents réseaux de transistors possibles

de cette bibliothèque.

Cependant, le Modèle du Vote est fondé sur l'hypothèse que les forces sont calculées pour un potentiel donné à $V_{dd}/2$. Or la force du réseau dépend de cette différence de potentiel. L'exemple d'un simple transistor (Figure 1.11) montre bien que la force du transistor dépend de la tension V_{ds} . Les forces utilisées dans le Modèle du Vote ne sont donc pas les véritables forces, ce qui peut conduire à un résultat erroné. Dans le Modèle du Vote Influencé [23], les forces sont relevées pour un certain potentiel de polarisation variant de 0 V à 5 V.

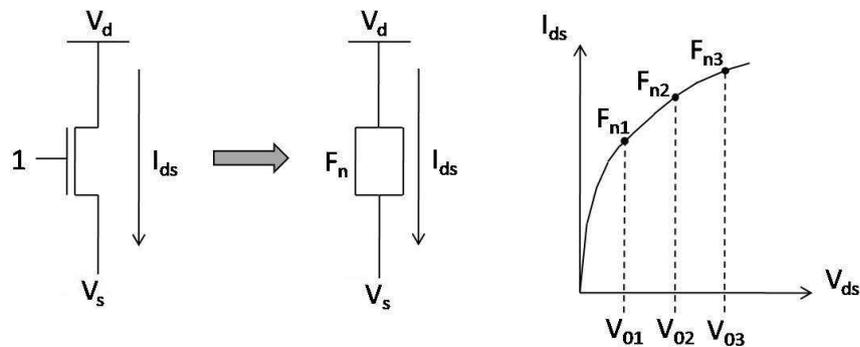


FIG. 1.11: Variation de la force en fonction de la différence de potentiel appliquée

Ainsi, un réseau n'est plus caractérisé par une seule valeur de force mais par une courbe. Cette nouvelle définition de la force exige la connaissance *a priori* de la valeur du potentiel initial V_0 (Figure 1.12 afin de se positionner sur la courbe. Or en présence de court-circuit, cette valeur V_0 est justement l'inconnue qu'on cherche à déterminer.

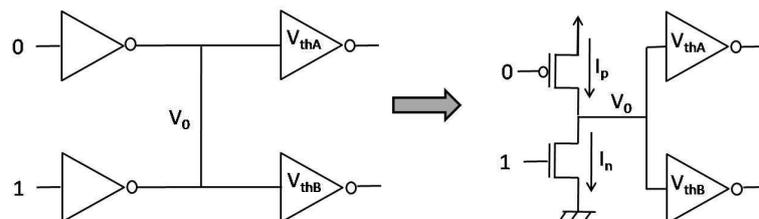


FIG. 1.12: Court-circuit entre deux inverseurs

La seule donnée accessible est la variation du potentiel intermédiaire V_0 en fonction du rapport des forces en présence (F_p/F_n). Cette variation est donnée par :

$$\left(\frac{F_p}{F_n}\right)_{V_0} = \frac{V_0}{1 - \frac{V_0}{V_{dd}}} \quad (1.7)$$

Il suffit alors de calculer les forces des deux réseaux en prenant pour V_0 la tension de seuil V_{th} de la porte aval. On compare ensuite le rapport $F_p(V_{th})/F_n(V_{th})$ avec le rapport $(F_p/F_n)_{V_{th}}$ déduit de la courbe sur la Figure 1.11. On peut ainsi déduire la valeur logique du nœud.

Le Modèle du Vote Influencé est certes plus précis que le Modèle du Vote mais ceci aux dépens d'une consommation en temps CPU et en mémoire bien plus importante.

Le Modèle du Vote Direct a été développé afin d'éviter ce coût prohibitif [24]. Ce modèle est issu d'une propriété de l'étude d'un court-circuit entre deux portes inverseuses. On voit, sur la Figure 1.12, que le court-circuit de ces deux inverseurs met en conflit un transistor PMOS et un NMOS.

L'égalité des deux courants I_p et I_n circulant dans les transistors permet d'écrire l'équation suivante :

$$I_p = I_n \quad (1.8)$$

$$\mu_p C_{ox} \left(\frac{W}{L}\right)_p \left[(V_{dd} - |V_{tp}|)(V_{dd} - V_0) - \frac{(V_{dd} - V_0)^2}{2} \right] = \mu_n C_{ox} \left(\frac{W}{L}\right)_n \left[(V_{dd} - V_{tn})V_0 - \frac{V_0^2}{2} \right] \quad (1.9)$$

En posant $\beta_p = \left(\frac{W}{L}\right)_p$, $\beta_n = \left(\frac{W}{L}\right)_n$ et $\beta = \left(\frac{\beta_p}{\beta_n}\right)$, la relation entre le potentiel intermédiaire V_0 et le rapport de dimensionnement β est donné par :

$$\beta = \frac{\mu_n \left[(V_{dd} - V_{tn}) V_0 - \frac{V_0^2}{2} \right]}{\mu_p \left[(V_{dd} - |V_{tp}|) (V_{dd} - V_0) - \frac{(V_{dd} - V_0)^2}{2} \right]} \quad (1.10)$$

Ce qu'on peut également écrire sous la forme : $V_0 = f(\beta, V_{tn}, V_{tp}, \mu_{n,p}, V_{dd})$. Le terme $f(\beta, V_{tn}, V_{tp}, \mu_{n,p}, V_{dd})$ dépend uniquement des paramètres technologiques, de la tension d'alimentation et du rapport de dimensionnement β . Autrement dit ce terme est unique et identique pour tous les courts-circuits dans un circuit donné. On en déduit donc que, pour une technologie donnée, le potentiel intermédiaire V_0 ne dépend que de β .

Par conséquent, la connaissance du rapport β suffit pour donner **directement** la valeur du potentiel V_0 , d'où le nom du Modèle de Vote Direct.

Cependant, la non prise en compte de la résistivité des courts-circuits n'est plus assez représentative de la réalité dans les circuits intégrés actuels. Cette résistivité a donc été prise en considération et de nouveaux modèles ont été développés.

1.3.2 Les courts-circuits résistifs

Chaque court-circuit peut être caractérisé de manière générale par sa localisation sur le circuit et par sa dimension géométrique. L'importance d'un court-circuit est définie par une résistance notée R_s dont la valeur dépend des caractéristiques physiques du défaut : topologie et nature du matériau qui constitue le court-circuit. Elle ne peut être connue *a priori* [25]. Ainsi les nœuds mis en concurrence présentent des potentiels intermédiaires différents dont la valeur dépend de cette résistance (Figure 1.13). Par conséquent, le fait de négliger cette résistance de court-circuit n'est pas réaliste et peut amener à des conclusions erronées. Bien que cette résistance soit inconnue, la prise en compte de sa valeur a été envisagée à l'aide de données statistiques. Un modèle propose par exemple de prendre la résistance de court-circuit égale à une valeur moyenne [26]. Dans ce modèle, les stimuli sont pris en compte en considérant uniquement les transistors passants de chaque réseau en concurrence. Chaque transistor est alors remplacé par sa résistance équivalente donnée par l'expression $R_{eq} = \frac{1}{K \frac{W}{L} (V_{gs} - V_t)}$, pour

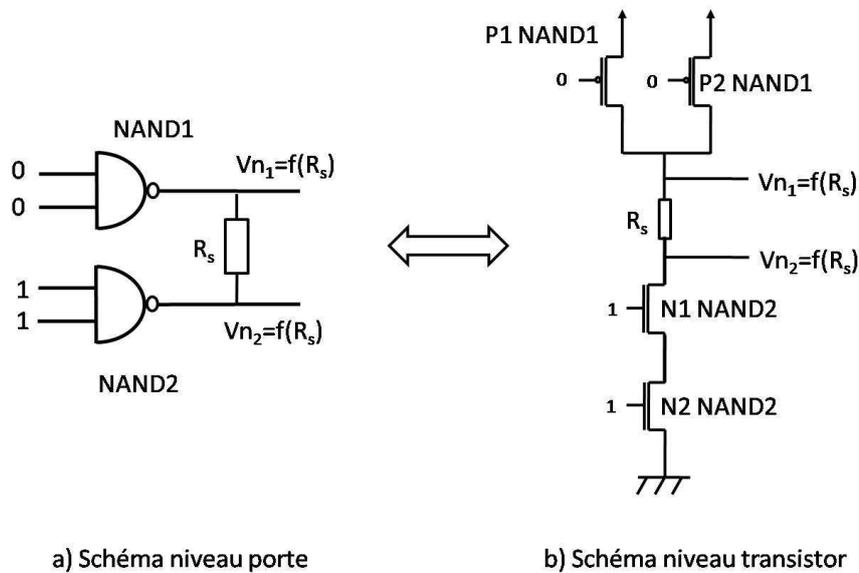
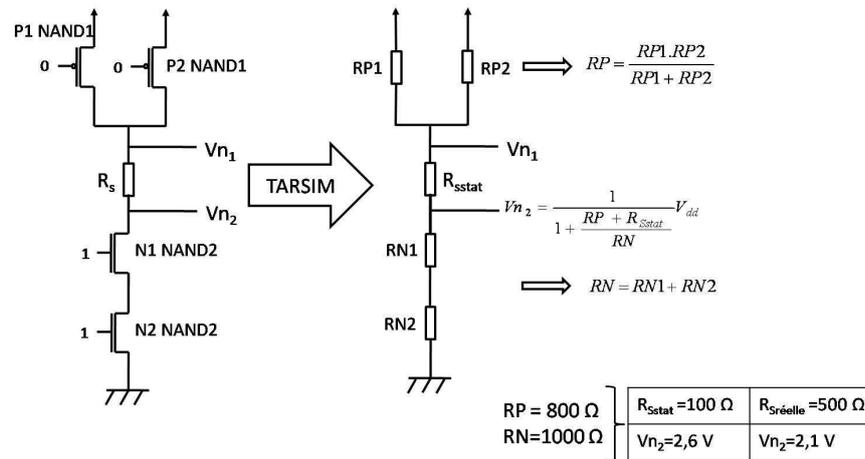


FIG. 1.13: Influence de la résistance de court-circuit

laquelle la simple connaissance du rapport des dimensions W/L suffit à déterminer la valeur. Ensuite, il ne reste plus qu'à calculer les potentiels intermédiaires de chaque nœud grâce à un pont diviseur de tension et à les comparer aux différentes tensions de seuil logique. Ce modèle a notamment permis de développer le simulateur de fautes TARSIM (Transistor And Resistor Simulator). Ce simulateur calcule donc les valeurs des potentiels intermédiaires V_{n_1} et V_{n_2} en fonction de ces résistances équivalentes et de la résistance de court-circuit statistique. Les résultats obtenus ne sont valables qu'à la seule condition que la valeur réelle de la résistance de court-circuit soit proche de celle supposée, dans le cas contraire, les résultats sont complètement faux. L'exemple de la Figure 1.14 illustre cette situation. Pour les valeurs de résistance notées sur la figure, le potentiel V_{n_2} varie de 2,1 V si la résistance réelle est égale à 500 Ω , à 2,6 V si la résistance de court-circuit est considérée égale à 100 Ω . Supposons qu'une porte dont la tension de seuil logique est à 2,3 V soit connectée à ce nœud, alors ces deux valeurs peuvent être interprétées respectivement comme un 0 ou un 1 logique. Il est donc clair que la valeur statistique de la résistance ne peut être utilisée tant son influence sur les résultats est importante.



a) Sch\u00e9ma \u00e9quivalent Fig 1.13 b) Sch\u00e9ma simplifi\u00e9 TARSIM

FIG. 1.14: Probl\u00e8me de l'utilisation d'une valeur de r\u00e9sistance suppos\u00e9e

Par ailleurs, en pr\u00e9sence d'un court-circuit, les m\u00e9thodes "classiques" calculent le potentiel correspondant \u00e0 un court-circuit non r\u00e9sistif et affectent, en fonction des tensions de seuil logique, une simple valeur binaire \u00e0 l'entr\u00e9e de chacune des portes connect\u00e9e en aval de la faute. Cette valeur correspond soit \u00e0 la valeur saine (0 ou 1) soit \u00e0 la valeur fautive (0/1 ou 1/0). Cependant, cette valeur fautive d\u00e9pend de la valeur de la r\u00e9sistance du court-circuit. Pour tenir compte de cette d\u00e9pendance, on attribue \u00e0 la valeur fautive un intervalle de r\u00e9sistance $[0, R_{ci}]$ pour lequel la valeur est effectivement fautive ([27, 28]). R_{ci} repr\u00e9sente la valeur maximale de la r\u00e9sistance de court-circuit pour laquelle la porte aval i voit la valeur fautive. Cette r\u00e9sistance maximale est appel\u00e9e "r\u00e9sistance critique". Sur la Figure 1.15, chaque porte en aval de la faute est affect\u00e9e soit de la valeur binaire correcte, soit de la valeur fautive associ\u00e9e \u00e0 l'intervalle de d\u00e9tection correspondant. En ce qui concerne le second n\u00f4ud n_2 , le potentiel $V_{n2}(R_s)$ est toujours sup\u00e9rieur \u00e0 la tension de seuil logique V_{thD} et est donc interpr\u00e9t\u00e9 comme un 1 logique (valeur non fautive) par la porte D quelle que soit la valeur de R_s (l'effet du d\u00e9faut ne peut pas \u00eatre propag\u00e9 \u00e0 travers la porte D).

En revanche, la courbe $V_{n2}(R_s)$ coupe la droite V_{thE} et par cons\u00e9quent le n\u00f4ud n_2 pr\u00e9sente une valeur fautive 1/0 pour une r\u00e9sistance de court-circuit appartenant \u00e0

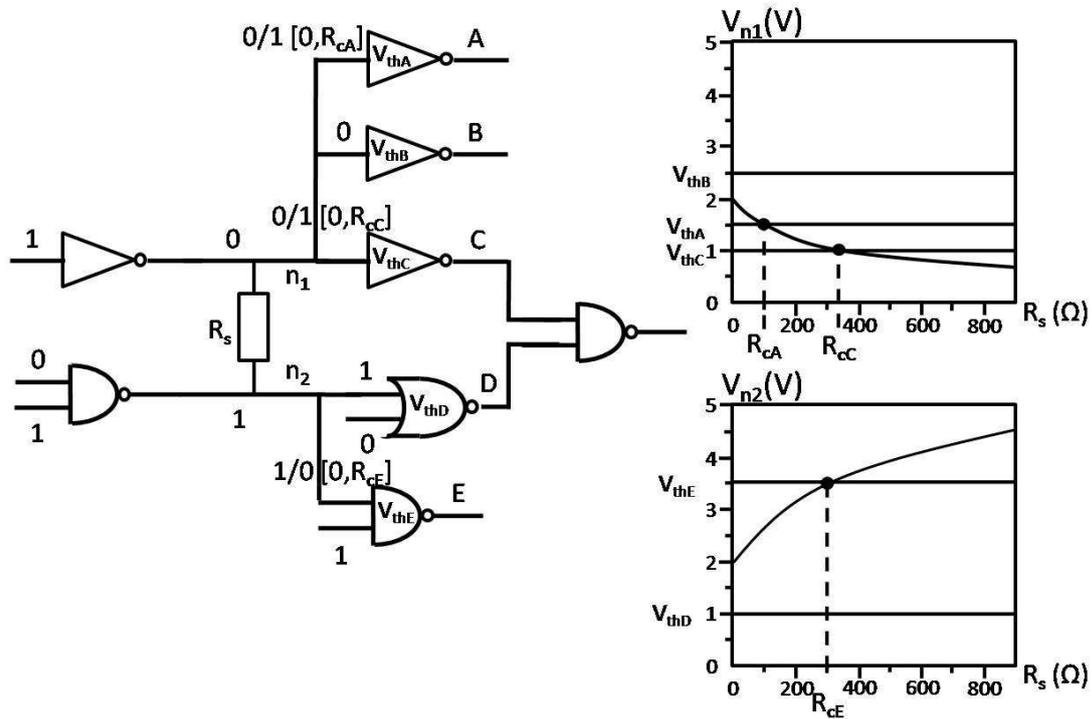


FIG. 1.15: Affectation des intervalles de détection à chaque valeur fautive

l'intervalle $[0, R_{cE}]$ sur l'entrée de la porte E.

Le potentiel $V_{n1}(R_s)$, quant à lui, est toujours inférieur à la tension de seuil logique V_{thB} , le nœud n_1 est donc toujours interprété comme un 0 logique par la porte B quelle que soit la valeur de la résistance de court-circuit R_s (l'effet du défaut ne peut pas être propagé à travers la porte B). Cependant, la courbe $V_{n1}(R_s)$ coupe à la fois la droite V_{thA} et la courbe V_{thC} , le nœud n_1 est donc reconnu par les portes A et C comme la valeur fautive 0/1 pour les intervalles respectifs $[0, R_{cA}]$ et $[0, R_{cC}]$.

En conclusion, d'un point de vue local, les portes connectées à un nœud fautif interprètent le potentiel de court-circuit soit comme la valeur logique correcte, soit comme la valeur logique fautive associée à un intervalle de valeurs de résistance. D'un point de vue plus global, c'est-à-dire au niveau du circuit, ces valeurs se propagent jusqu'aux sorties primaires.

Ce modèle paramétrique est ici étudié d'un point de vue statique. Nous verrons plus tard qu'il peut également être étendu à un test dynamique.

1.3.3 Test statique des courts-circuits résistifs

Reprenons la propriété précédente, à savoir qu'on associe aux valeurs fautives un intervalle de résistance pour lequel la valeur logique du nœud est effectivement fautive, et considérons l'exemple de la Figure 1.16.

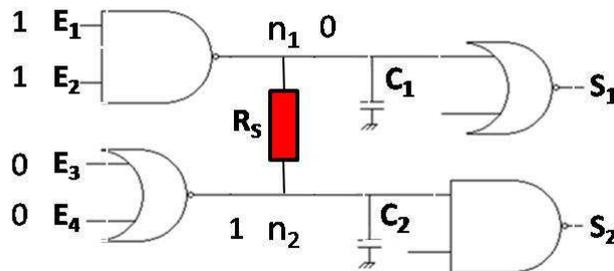


FIG. 1.16: Exemple d'un court-circuit résistif

Sur cet exemple, le vecteur appliqué permet la détection du défaut si la valeur de la résistance de celui-ci est suffisamment faible. En effet si la valeur de la résistance dépasse une valeur critique R_c alors le défaut n'a plus d'impact sur le comportement du circuit et il n'est pas détectable.

Lors du test du court-circuit, un vecteur détermine donc un intervalle de résistance de la forme $[0, R_c]$ pour lequel le défaut est détecté. Ce vecteur donne tel intervalle pour telle porte. A la fin du test, on peut donc obtenir un résultat de la forme $[0, R_{c1}] \cup [0, R_{c2}]$. Pour un vecteur, on a donc un intervalle $[0, R_{ci}]$, ce qui ne représente pas la totalité de la zone détectable, on parle alors de la qualité ou de l'efficacité d'un vecteur. On définit l'efficacité de ce vecteur en effectuant le rapport de la proba-

bilité de détection du défaut par le vecteur de test avec la probabilité de détection du défaut par le meilleur vecteur. Cette métrique est communément utilisée pour définir la qualité d'un vecteur de test.

Les outils de simulation doivent donc fournir les intervalles de détection associés aux valeurs fautives afin de déterminer l'efficacité de chaque vecteur appliqué au circuit.

1.4 Le test en retard des circuits digitaux

Deux critères sont primordiaux à prendre en compte dans l'évaluation du bon fonctionnement d'un circuit digital : son fonctionnement statique ainsi que son fonctionnement temporel. Le test booléen classique s'effectue par la comparaison des niveaux logiques des signaux obtenus sur les sorties primaires par rapport aux valeurs de référence lorsque le système est stabilisé. Autrement dit, ces vérifications se font à des fréquences très basses et les observations sur les sorties primaires se font au bout d'un temps très supérieur au retard de propagation du chemin le plus long du circuit (appelé chemin critique), d'où l'appellation de test statique.

L'un des principaux facteurs de développement de ces dernières années a été la performance temporelle avec des circuits atteignant des fréquences de plus en plus élevées. Les contraintes temporelles sont donc devenues critiques obligeant ainsi à reconsidérer le test des circuits intégrés. En effet, le test de ces nouveaux circuits à leur fréquence nominale de fonctionnement fait apparaître des comportements fautifs qui n'existaient pas lors du test à des fréquences plus basses. On dit alors que le circuit est le siège d'une *panne temporelle* dont voici la définition :

Lorsqu'un circuit fonctionne correctement à une fréquence relativement basse,

mais présente un dysfonctionnement à haute fréquence, on dit qu'il est le siège d'une panne temporelle [29].

Ce type de panne temporelle est également appelé *faute de retard*. Ce terme a été utilisé la première fois par M. Breuer en 1974 [30]. Une faute de retard signifie que le retard d'un chemin (et pas nécessairement le chemin critique) est supérieur à la période d'horloge. Contrairement à une faute qualifiée de "statique", une faute de retard dépend de la fréquence appliquée au circuit. Prenons l'exemple simple d'une porte NAND à deux entrées en technologie CMOS afin d'expliquer le comportement temporel d'un circuit logique (Figure 1.17).

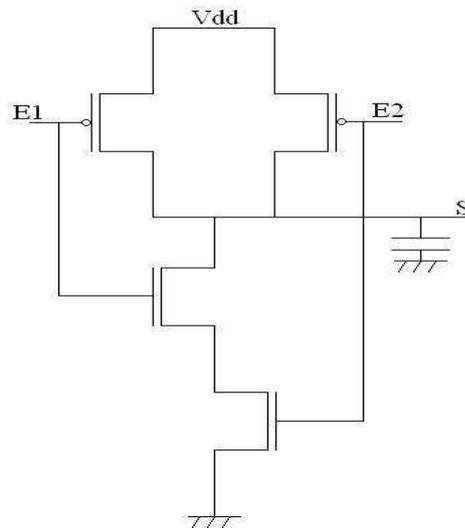


FIG. 1.17: Porte NAND à deux entrées en technologie CMOS

L'application successive des vecteurs $(E_1=0, E_2=1)$ $(E_1=1, E_2=1)$ (on applique en fait une paire de vecteurs sur les entrées) provoque sur la sortie S de la porte une transition de l'état 1 vers l'état 0. Le temps nécessaire à l'entrée E_1 pour passer de 0 à 1 et le temps nécessaire pour rendre passant le transistor NMOS commandé par E_1 peuvent être modélisés par un retard caractérisant le nœud E_1 . De plus, lorsque les deux transistors NMOS de la porte deviennent passants, il faut un certain temps à la sortie S pour se décharger. Chacun de ces intervalles de temps doit donc être modélisé

par un élément retard sur les entrées ainsi que sur les sorties (Figure 1.18).

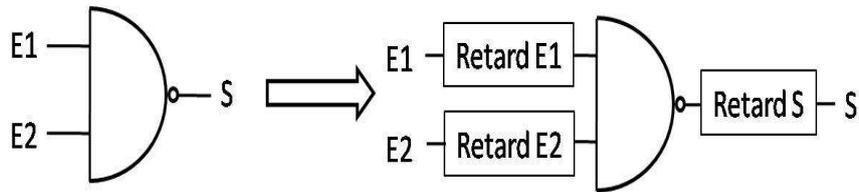


FIG. 1.18: Modélisation des retards sur une porte NAND

Généralement, ces éléments de retard se caractérisent par un temps de montée (ou délai de propagation d'une transition montante) et un temps de descente (ou délai de propagation d'une transition descendante).

1.4.1 Modèle de défaut temporel

Lorsqu'une panne temporelle est à l'origine du mauvais fonctionnement d'un circuit à des fréquences élevées, cette panne peut soit être issue d'un défaut physique localisé sur un site particulier, soit être la conséquence d'un défaut distribué tout au long d'un chemin de propagation. La modélisation des défauts d'origine temporelle a donc donné lieu à une classification suivant l'aspect global ou local du défaut. Cette classification est résumée par la figure suivante (Figure 1.19).

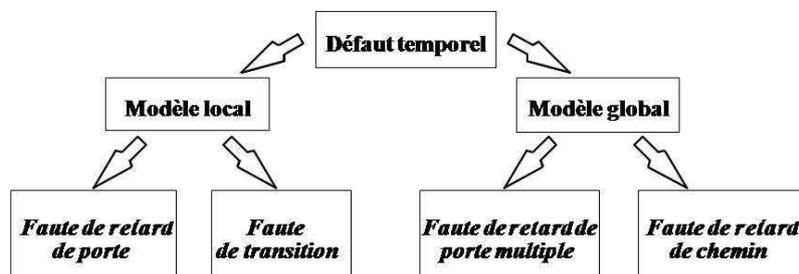


FIG. 1.19: Classification des différents modèles de défauts temporels

Le modèle local conduit généralement aux fautes de retard de porte [31, 32, 33, 34, 35] où l'on suppose qu'une défaillance temporelle affecte les entrées ou les sorties

d'une porte du circuit. Cette défaillance, localisée sur un élément logique du circuit, est modélisée par une faute de type *Lent à monter* ou de type *Lent à descendre* suivant le type de commutation. Une faute de retard de type *Lent à monter* (respectivement *Lent à descendre*) affectant une porte logique caractérise un retard de propagation d'une transition montante (respectivement descendante) supérieur à la valeur maximale de référence.

Dans le cas d'une faute de collage localisée sur un site particulier du circuit sous test, deux conditions sont nécessaires à sa détection. Il faut d'une part que la condition d'excitation de la faute de collage soit vérifiée et d'autre part trouver un chemin de propagation entre le site de la panne et une sortie primaire du circuit. Or dans le cas d'une faute de retard, le modèle local présente l'inconvénient que ces deux conditions sont certes nécessaires mais plus suffisantes. En effet, tous les chemins sensibles entre le site incriminé et une sortie primaire ne permettent pas forcément la détection de l'erreur. Il faut prendre en compte le retard de propagation de chaque chemin afin de choisir un chemin sensible mettant la faute en évidence.

Considérons l'exemple de la Figure 1.20. Dans ce circuit chacune des portes logiques a un retard de 4 unités. Afin de tester une faute de collage sur la ligne a, on peut choisir indifféremment un vecteur sensibilisant le chemin C1 ou un vecteur sensibilisant le chemin C2. Cependant, si l'on veut tester une faute de retard sur le même site à un temps d'observation $T_{obs}=12$ alors il est préférable de choisir de sensibiliser le chemin C1 car, dans ce cas, la faute est détectée quel que soit le retard introduit. Si le chemin C2 est choisi, alors seule une faute de retard introduisant un retard supérieur à 4 unités peut être détectée.

Supposons qu'il existe sur le circuit sous test un défaut physique suffisamment important pour qu'il soit détectable quel que soit le chemin de sensibilisation. Ce cas particulier du modèle local est le *modèle de défaut de transition* [36, 37, 38]. Le fait de

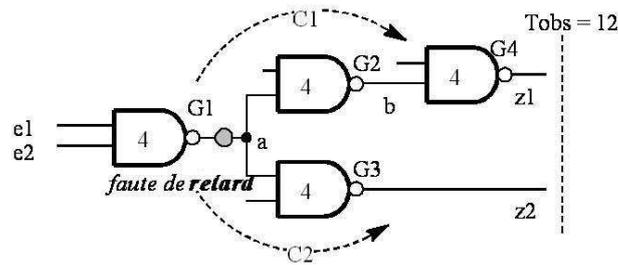


FIG. 1.20: Limitation du modèle de faute de retard de porte

considérer uniquement des défauts de grande taille (c'est-à-dire induisant des retards importants) limite son utilisation. En effet, une séquence de test générée à partir du modèle de défaut de transition ne couvrira qu'une infime partie des retards de petite taille [39]. Or il a été montré que les fautes de retard les plus probables dans un circuit sont d'une taille relativement faible [40]. Par conséquent, le modèle de défaut de transition n'est pas toujours considéré comme réaliste.

Le modèle global, quant à lui, a été proposé par G.L. Smith [41]. Il considère d'une part les fautes de retard de chemin et d'autre part les fautes de retard de porte multiples (rarement traitées puisque peu probables). Dans le modèle de défaut de chemin, chaque faute de retard est associée à un chemin de propagation compris entre une entrée primaire et une sortie primaire du circuit. Ce chemin est considéré comme sain tant que le temps de propagation de tous les signaux l'ayant emprunté est inférieur à un temps de propagation maximum autorisé. Ce modèle global est réaliste dans la mesure où il couvre la totalité des pannes du circuit mais ne peut être considéré comme efficace qu'à partir du moment où tous les chemins ont été testés. Malheureusement, le nombre de chemins dans un circuit peut très vite devenir rédhibitoire comme le montre le tableau 1.3 donnant le nombre de chemins structurels de chacun des circuits de référence de la série "ISCAS 85" [42].

Bien que le nombre de chemins fonctionnels soit souvent inférieur au nombre de chemins structurels d'un circuit, le temps nécessaire au test de tous ces chemins

Circuit	Nombre total de chemins structurels	Nombre de plus longs chemins structurels
C432	83926	27
C499	9440	18
C880	8642	35
C1355	4173216	41
C1908	729057	48
C2670	679884	44
C3540	28676671	58
C5315	1341305	56
C6288	$>10^{20}$	218
C7552	726493	49

TAB. 1.3: Chemins structurels dans les circuits de référence "ISCAS 85"

devient rapidement prohibitif. C'est pourquoi la plupart des auteurs qui utilisent ce modèle ne traitent qu'une partie des chemins structurels, et en particulier les chemins comportant le plus grand nombre de portes (plus longs chemins structurels) [43, 44]. Naturellement, s'il existe une faute de retard de porte située sur un chemin non inclus dans l'ensemble des chemins testés, la faute en question n'est jamais détectée, ce qui limite quelque peu cette approche.

Pour pouvoir malgré tout utiliser ce modèle, certains auteurs ont proposé des méthodes efficaces permettant de générer des ensembles de chemins à tester. Les premiers résultats ont été obtenus à partir d'analyses temporelles exhaustives du circuit [45, 46, 47]. W. Li [48] a proposé un algorithme basé sur une analyse du circuit à la fois temporelle et structurelle. Cet algorithme consiste à sélectionner un nombre minimum de chemins, compris entre une entrée primaire et une sortie primaire du circuit (combinatoire), de sorte que :

- chaque ligne L du circuit appartienne à un chemin P (au moins un) sélectionné pour être testé,
- le délai de propagation d'un signal à travers le chemin P, pris parmi tous les chemins comportant la ligne L, soit maximum.

Bien qu'il subsiste encore des chemins non testables (ou non sensibilisables) dans l'ensemble obtenu, cet algorithme permet de générer efficacement une séquence de test à partir du modèle de faute de délai de chemin.

1.4.2 Extension du modèle paramétrique des défauts résistifs

Dans une partie précédente (partie 1.3.2, page 33), nous avons étudié un modèle paramétrique pour les défauts résistifs. Il consiste à affecter à une faute logique un intervalle de résistance dans lequel la valeur logique est effectivement fautive. Ce modèle n'a cependant été utilisé que d'un point de vue statique, c'est-à-dire que la fréquence du circuit n'a pas été prise en compte, alors que nous venons de voir qu'elle est un axe essentiel du développement des circuits intégrés actuels. Il est donc indispensable de l'étendre à un contexte dynamique.

a/ Cas des circuits ouverts

Considérons l'exemple de la Figure 1.21. Dans ce circuit, le nœud n_3 est affecté par un défaut de type circuit ouvert résistif représenté par la résistance R_{op} . Soit T_{cl} la période d'horloge de ce circuit. A l'instant t_0 , on applique une transition montante sur l'entrée E_2 . Cette transition est propagée par le nœud n_3 jusqu'à la sortie S_1 . La simulation SPICE de cet exemple est donnée sur la Figure 1.22. La courbe en trait fin représente le comportement du nœud n_3 sain, c'est-à-dire non affecté par un circuit ouvert. La courbe en trait épais représente quant à elle le comportement du nœud n_3 en présence du défaut. La sortie S_1 du circuit défectueux est la courbe marquée par des triangles.

Le temps marqué T_m est la *Marge Temporelle*. Il s'agit du temps entre le moment où la sortie franchit la tension de seuil logique et le coup d'horloge suivant.

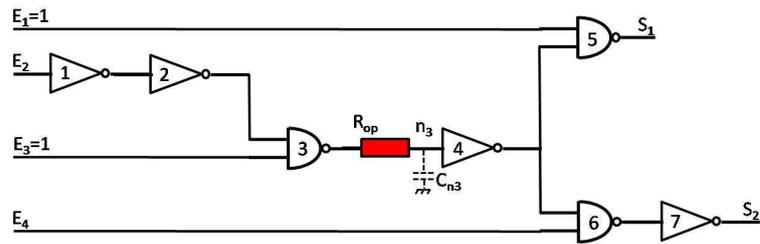


FIG. 1.21: Circuit affecté par un circuit ouvert résistif

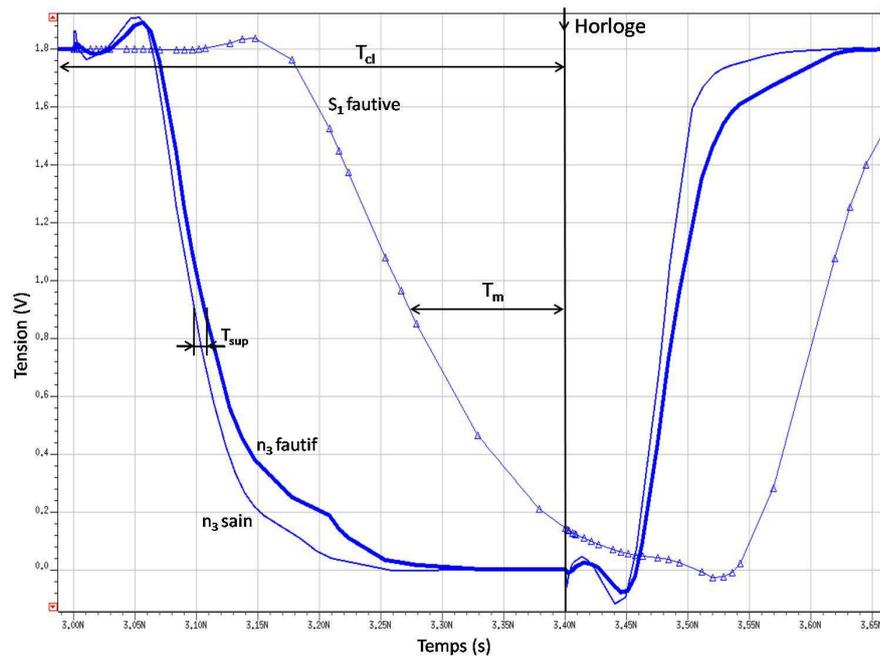


FIG. 1.22: Simulation SPICE des circuits sains et défectueux

On voit clairement sur cette simulation que la transition au niveau du nœud n_3 est retardée par le défaut. En effet, un retard supplémentaire T_{sup} apparaît. Cependant, d'un point de vue logique, la sortie se comporte tout à fait normalement puisque la valeur de seuil logique est atteinte avant le coup d'horloge. Supposons maintenant que la résistance du défaut augmente. Il est facile de deviner que le retard supplémentaire augmente également jusqu'à ce qu'il devienne égal à la valeur de la marge temporelle T_m . Dans ce cas-là, la sortie commute après le coup d'horloge, il y a donc apparition d'une faute.

On peut alors, de même que précédemment, définir une résistance critique pour

laquelle le retard supplémentaire est égal à la marge temporelle et associer aux valeurs fautes 0/1 ou 1/0 un intervalle de résistance dans lequel le comportement du circuit est effectivement erroné. Dans notre exemple la valeur de résistance obtenue en simulation est $R_c = 7,5 \text{ k}\Omega$, donc l'intervalle de détection est $[7,5 \text{ k}\Omega, \infty[$.

b/ Cas des courts-circuits

Considérons à présent l'exemple de la Figure 1.23. Dans ce circuit, les nœuds n_1 et n_2 sont reliés par un court-circuit résistif représenté par la résistance R_s . Ce cas est complètement symétrique au cas des circuits ouverts. En effet, pour les circuits ouverts, plus la résistance est grande, plus le défaut est important, et l'intervalle associé à la valeur fautive est de la forme $[R_c, \infty[$. Dans le cas des courts-circuits, c'est l'inverse : plus la résistance est faible et plus le défaut est important.

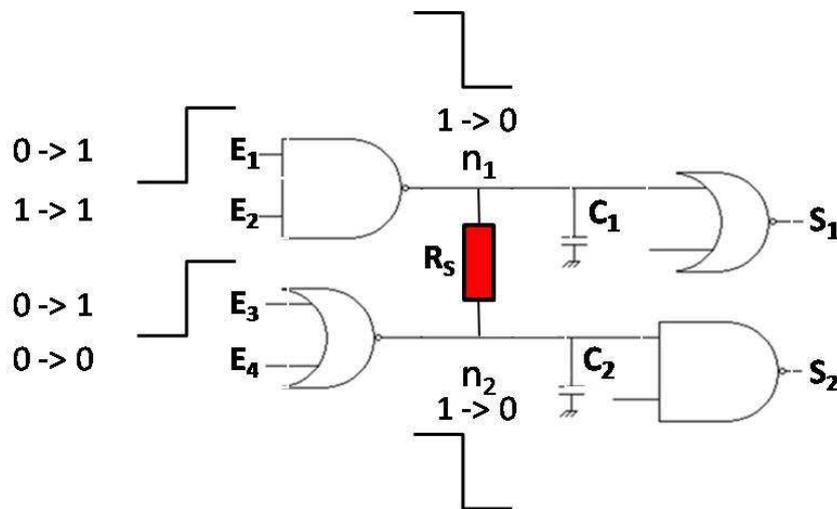


FIG. 1.23: Circuit affecté par un court-circuit résistif

D'une manière tout à fait identique on définit une résistance critique qu'on associe à la valeur fautive 0/1 ou 1/0. L'intervalle de détection dans le cas des courts-circuits résistifs est donc de la forme $[0, R_c]$.

1.5 Conclusion

Ce premier chapitre dresse un bilan des différentes méthodes de test utilisées dans la détection des défauts et plus particulièrement des défauts de court-circuit ou de circuit ouvert. Les modèles de faute ont évolué au fil des années afin d'obtenir toujours une meilleure représentativité du comportement du défaut en prenant en compte de plus en plus de paramètres.

La première partie du chapitre s'est intéressée plus particulièrement aux défauts de circuit ouvert. Elle présente l'impact que peut avoir un tel défaut sur les interconnexions d'un circuit digital et un premier modèle de circuit ouvert prenant en compte la résistance du défaut est présenté.

La deuxième partie, quant à elle, est focalisée sur les courts-circuits avec une étude chronologique des modèles. Les courts-circuits sont analysés sans prendre en compte la résistance du défaut, puis ce paramètre aléatoire qu'est la résistance est introduit dans les modèles afin obtenir un test statique des courts-circuits résistifs.

La dernière partie du chapitre 1 a donné les pistes pour étendre les modèles définis auparavant pour des modèles statiques.

La suite du manuscrit trouve donc ses bases dans ce chapitre. Certaines propriétés évoquées ici sont en effet utilisées afin de développer des modèles toujours plus précis et représentatifs des défauts affectant les circuits digitaux actuels.

Chapitre 2

Analyse électrique du comportement dynamique des Circuits Ouverts résistifs

Sommaire

2.1	Introduction	48
2.2	Mise en evidence de l'effet mémoire	48
2.2.1	Détection du défaut avec une paire de vecteurs	49
2.2.2	Détection du défaut avec une séquence de n vecteurs	52
2.3	Représentation du défaut par un modèle RC	57
2.3.1	Mise en place du modèle	57
2.3.2	Utilisation du modèle	61
2.4	Conclusion	64

2.1 Introduction

Avant de pouvoir développer des modèles de faute qui serviront pour la génération automatique de vecteurs de test ou pour des simulateurs de fautes, il est capital de comprendre, d'analyser et de modéliser le comportement électrique du défaut étudié. De plus, les modèles de faute sont différents suivant qu'ils sont destinés à être intégrés dans un simulateur ou dans un ATPG (Automatic Test Pattern Generator). En effet, certaines informations, comme les vecteurs d'entrée par exemple, sont connues dans le cas d'un simulateur alors qu'ils doivent être déterminés par l'ATPG.

L'objectif de ce chapitre est donc, dans un premier temps, d'analyser le comportement électrique dynamique du circuit ouvert résistif et d'en dégager ses principales caractéristiques. Il est notamment important de noter que s'il est nécessaire d'utiliser une paire de vecteurs pour tester ce genre de défaut, un ATPG complet ne peut se réduire à ce simple concept et le comportement du circuit ouvert lors d'un test complet peut être différent.

Dans un second temps, afin d'éviter de nombreuses simulations électriques coûteuses en temps et en mémoire, un modèle représentant le circuit défectueux est proposé ainsi que sa validation.

2.2 Mise en évidence de l'effet mémoire

Dans cette partie, nous nous intéressons à l'analyse électrique d'un circuit ouvert résistif. Dans un souci de pédagogie, un circuit logique simple mais didactique est utilisé. La Figure 2.1 représente un circuit où le nœud n_3 est affecté par un circuit ouvert résistif. Ce circuit n'a certes aucun intérêt d'un point de vue logique mais il est

représentatif de ce qui peut se passer dans un circuit intégré actuel et les conclusions que nous tirerons de cette étude peuvent être extrapolées à des circuits réels. Dans notre exemple, le circuit est composé de quatre entrées, notées E_1 , E_2 , E_3 , E_4 et de deux sorties notées S_1 et S_2 . La capacité C_{n3} dessinée en pointillés représente la charge créée par les portes en aval du défaut. D'un point de vue statique (cas du test booléen), il a été prouvé qu'un circuit ouvert résistif ne peut pas être détecté du fait que le nœud fautif finit toujours par atteindre son niveau logique sain. En revanche, il est évident qu'un tel défaut modifie le comportement temporel du circuit et il peut donc être détecté par un test dynamique, autrement dit, par un test en retard grâce à l'application d'une paire de vecteurs.

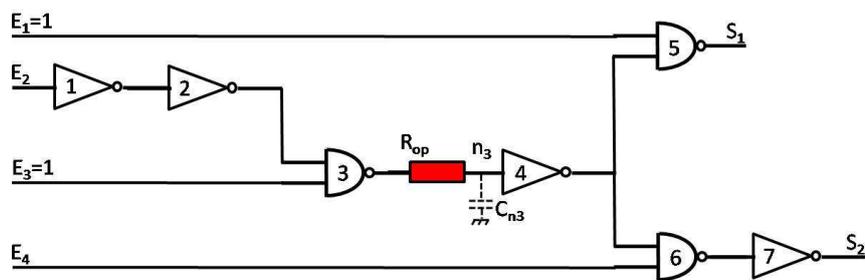


FIG. 2.1: Exemple d'un circuit ouvert résistif

2.2.1 Détection du défaut avec une paire de vecteurs

Le défaut de circuit ouvert est donc représenté sur la Figure 2.1 par l'ajout de la résistance R_{op} . La valeur de cette résistance est un paramètre aléatoire du défaut complètement imprévisible, mais afin d'illustrer son influence, on peut réaliser plusieurs simulations SPICE avec différentes valeurs de résistance. La Figure 2.2 représente la simulation SPICE du circuit sain et du circuit fautif (avec $R_{op} = 3 \text{ k}\Omega$). L'analyse dynamique du comportement du défaut nécessite l'application de transitions sur les entrées et la propagation de ces transitions à travers le circuit jusqu'aux sorties. L'état

initial est donné par le vecteur $T_0 = \langle E_1, E_2, E_3, E_4 \rangle = \langle 1010 \rangle$ et la transition est créée en appliquant ensuite le vecteur $T_1 = \langle 1110 \rangle$. L'entrée E_2 commute de 0 à V_{dd} et la transition est propagée à travers le circuit via les portes 1/2/3/4/5. L'évolution de la tension au cours du temps du nœud n_3 sain est représentée en trait fin sur la Figure 2.2 tandis que l'évolution du nœud n_3 affecté par le défaut est représentée en trait épais. La sortie S_1 du circuit fautif est représentée quant à elle par la courbe marquée par des triangles.

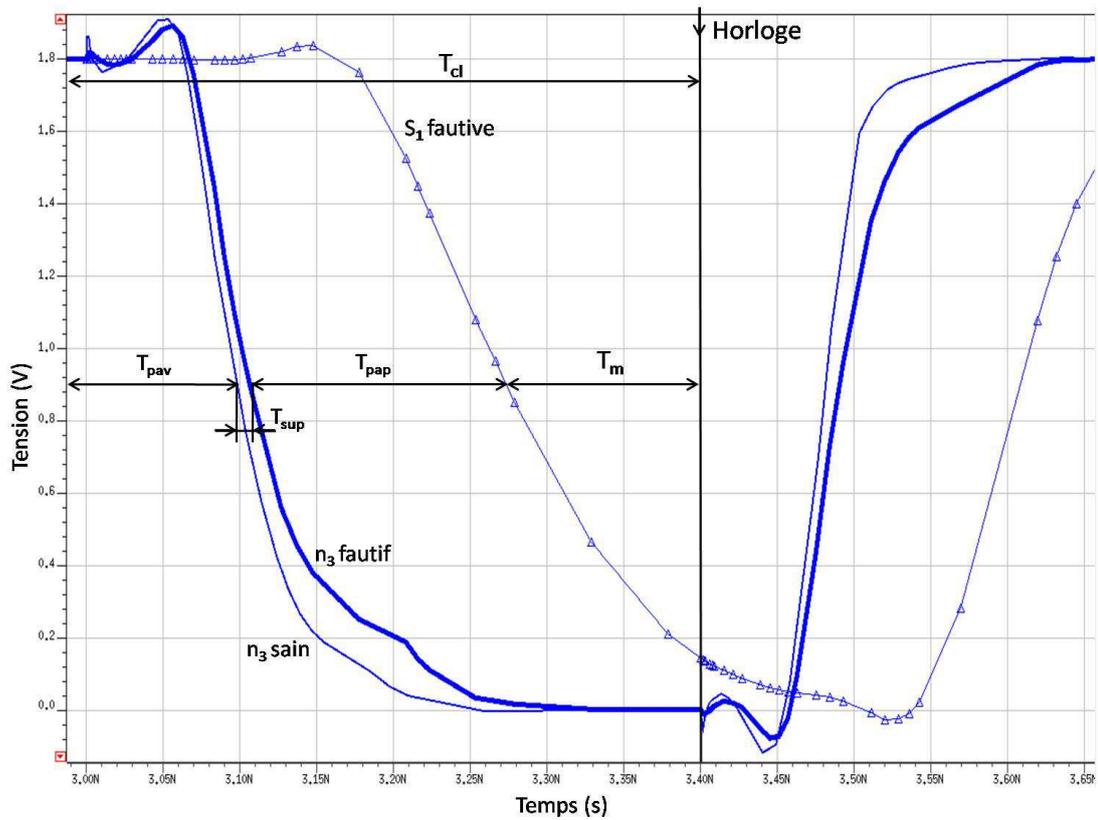


FIG. 2.2: Comportement dynamique du circuit avec une résistance de $3\text{ k}\Omega$

Dans cet exemple, on considère un cycle d'horloge de $T_{cl} = 0,4\text{ ns}$. On définit par la suite les temps de propagation suivants :

- T_{pav} , le temps de propagation avant le défaut (indépendant du défaut),
- T_{pap} , le temps de propagation après le défaut (indépendant du défaut),
- T_{sup} , le retard induit par le défaut (fonction des paramètres du défaut),

- T_m , la marge temporelle du chemin $E_2 \rightarrow S_1$ (fonction des trois précédents et de T_{cl}).

Il apparaît clairement que la présence du circuit ouvert au niveau du nœud n_3 ralentit le signal. Un retard additionnel T_{sup} apparaît. Cependant ce retard supplémentaire reste dans cet exemple inférieur à la marge temporelle, la sortie S_1 est donc interprétée normalement et reste insensible au défaut d'un point de vue logique. En considérant cette simulation, on peut donc dire qu'un circuit ouvert dont la taille est de $3\text{ k}\Omega$ ne peut pas être détecté. Si l'on considère maintenant un défaut plus important, c'est-à-dire avec une résistance plus grande, de $7,5\text{ k}\Omega$ dans l'exemple de la Figure 2.3, alors dans ce cas, le retard supplémentaire T_{sup} est égal à la marge temporelle. La tension de sortie n'est pas descendue sous la valeur seuil de $0,9\text{ V}$ lorsque survient le front d'horloge, on obtient donc un 1 logique au lieu d'un 0 logique. On peut donc associer à ce défaut l'intervalle de détection :

$$DI = [R_c, \infty[= [7,5\text{ k}\Omega, \infty[\quad (2.1)$$

Cela signifie qu'un circuit ouvert résistif peut être détecté par une paire de vecteurs $\{T_0, T_1\}$ uniquement si la valeur de la résistance du défaut R_{op} est supérieure à une certaine valeur critique R_c . Dans l'exemple considéré, cette valeur critique est égale à $7,5\text{ k}\Omega$ pour la paire de vecteurs $\{\langle 1010 \rangle, \langle 1110 \rangle\}$.

De manière générale, on associe au défaut de circuit ouvert un intervalle de détection DI associé aux vecteurs T_0 et T_1 défini par :

$$DI^{\{T_0, T_1\}} = [R_c^{\{T_0, T_1\}}, \infty[\quad (2.2)$$

Dans l'exemple précédent, les simulations SPICE nous ont permis de déterminer

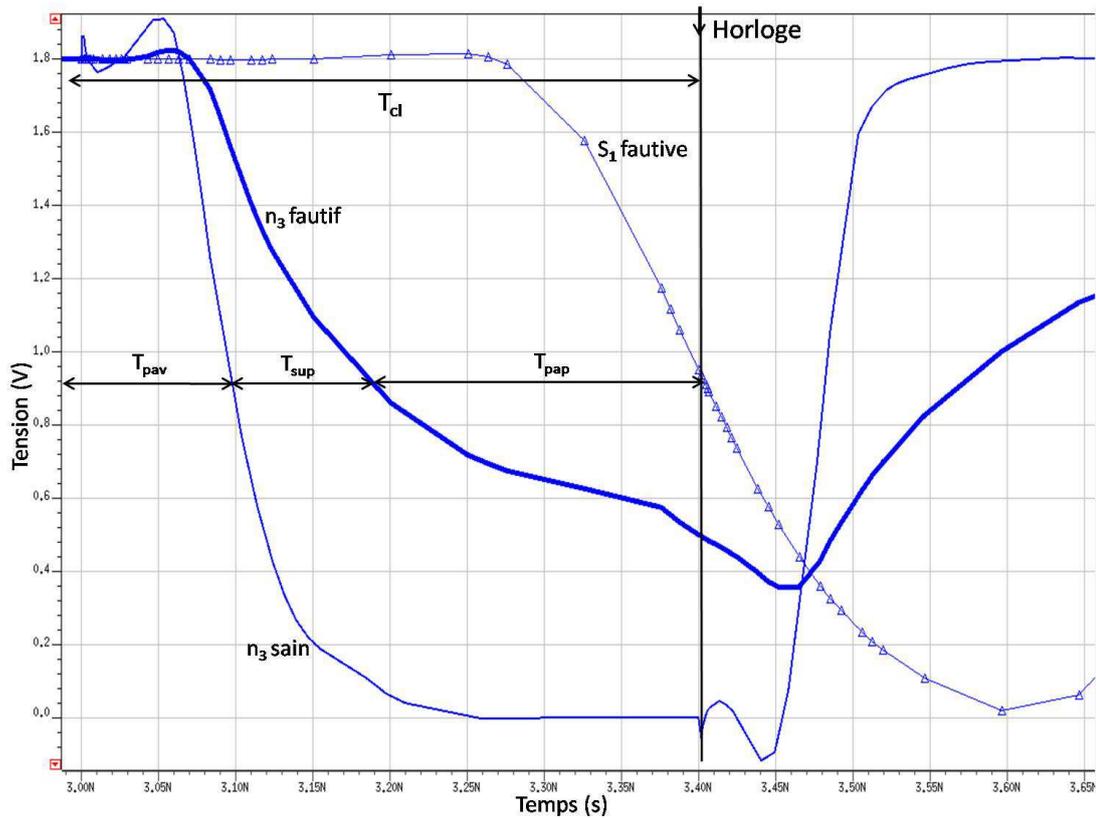


FIG. 2.3: Comportement dynamique du circuit avec une résistance de 7,5 kΩ

que $R_c^{\{T_0, T_1\}} = 7,5 \text{ k}\Omega$. Cependant, il est important de noter que cette valeur est associée à la paire de vecteurs $\{T_0, T_1\}$ et qu'une autre séquence de vecteurs, sensibilisant un autre chemin avec une marge temporelle plus petite, pourrait peut-être détecter une résistance plus faible et donc un intervalle plus large.

2.2.2 Détection du défaut avec une séquence de n vecteurs

Nous venons de voir dans la partie précédente que la détection d'un défaut de circuit ouvert peut se faire à l'aide d'une paire de vecteurs. Cependant cette détection doit se faire dans le contexte d'une séquence complète qui comporte bien évidemment plus de deux vecteurs de test.

Phase	Vecteur	Cycle	E_1	E_2	E_3	E_4	Sens de la transition sur n_3
Etat initial	T_0	#0	0	0	1	0	
Préparation	T_1	#1	0	1	1	0	négative
	T_2	#2	0	0	1	0	positive
	T_3	#3	0	1	1	0	négative
	T_4	#4	0	1	1	0	stable
	T_5	#5	0	0	1	0	positive
Détection	T_6	#6	1	1	1	0	négative

TAB. 2.1: Séquence de vecteurs simulée

Considérons donc la séquence de test complète de m vecteurs ciblant différents défauts et dont l'état initial est T_0 .

$$Test\ sequence = \{T_0, T_1, \dots, T_{n-1}, T_n, \dots, T_m\} \quad (2.3)$$

Dans cette séquence le vecteur T_n est généré dans le but de détecter le circuit ouvert résistif sur le nœud n_3 du circuit de la Figure 2.1. T_n est donc tel que la transition créée par la paire $\{T_{n-1}, T_n\}$ passe par le nœud n_3 , se propage jusqu'à une sortie primaire et permette donc la détection du défaut.

Il est important de noter que l'application successive de vecteurs avant le vecteur T_n peut créer des transitions sur le nœud n_3 mais ces transitions ne sont pas propagées jusqu'à une sortie primaire, autrement dit le défaut n'est pas détecté avant l'application du vecteur T_n .

La détection du circuit ouvert résistif est donc divisée en trois phases :

- L'état initial $\{T_0\}$,
- La phase de préparation correspondant à l'application des $n - 1$ vecteurs $\{T_1, \dots, T_{n-1}\}$; durant cette phase, le défaut ne peut pas être détecté mais le nœud peut changer d'état,
- La phase de détection correspondant à l'application du vecteur $\{T_n\}$. Le nœud,

s'il n'est pas affecté d'un défaut, doit commuter et la transition est observable sur une sortie primaire.

On considère toujours l'exemple de la Figure 2.1 et une séquence de test composée de l'état initial, d'une phase de préparation comportant cinq vecteurs $\{T_1, T_2, T_3, T_4, T_5\}$ et d'une phase de détection (T_6). Les vecteurs appliqués sont donnés dans le tableau 2.1. Dans cet exemple, le nœud n_3 n'est observable sur la sortie S_1 que pendant le 6^e cycle lorsque $E_1 = 1$. Le vecteur T_6 a été généré à cet effet. Les vecteurs $\{T_1, \dots, T_5\}$ ont été générés pour détecter d'autres défauts.

a/ La phase de préparation

Comme cela a été précisé auparavant, durant les cinq premiers cycles, le nœud n_3 n'est pas observable mais il peut cependant commuter du niveau logique 1 vers 0 ou de 0 vers 1 suivant la réponse du circuit aux vecteurs de test. Dans le cas d'un circuit sain dont le chronogramme est représenté sur la première partie de la Figure 2.4, le nœud n_3 commute de V_{dd} à G_{nd} et *vice versa*. La sortie de ce circuit est quant à elle représentée sur la partie basse de la Figure 2.4.

Cependant, dans le cas d'un circuit affecté par un circuit ouvert dont le comportement est représenté Figure 2.5, le signal est dégradé par la présence du défaut. Suivant la valeur de la résistance modélisant le circuit ouvert, le signal peut ne pas atteindre les valeurs V_{dd} et G_{nd} comme l'illustre la Figure 2.5.

Analysons plus en détail la Figure 2.5. L'entrée E_2 est initialement à 0 (état initial T_0) et commute à 1 (vecteur T_1) à l'instant t_0 . A l'instant $t_0 + T_{pav}$, la transition descendante atteint la sortie de la porte 3 et la tension du nœud n_3 commence à décroître de $V_0 = V_{dd}$ à G_{nd} . Cependant, à cause de la présence de la résistance R_{op} du défaut, le temps nécessaire au signal pour atteindre G_{nd} est plus important qu'une période d'horloge T_{cl} . A la fin du premier cycle, c'est-à-dire à l'instant $t_1 = t_0 + T_{cl}$,

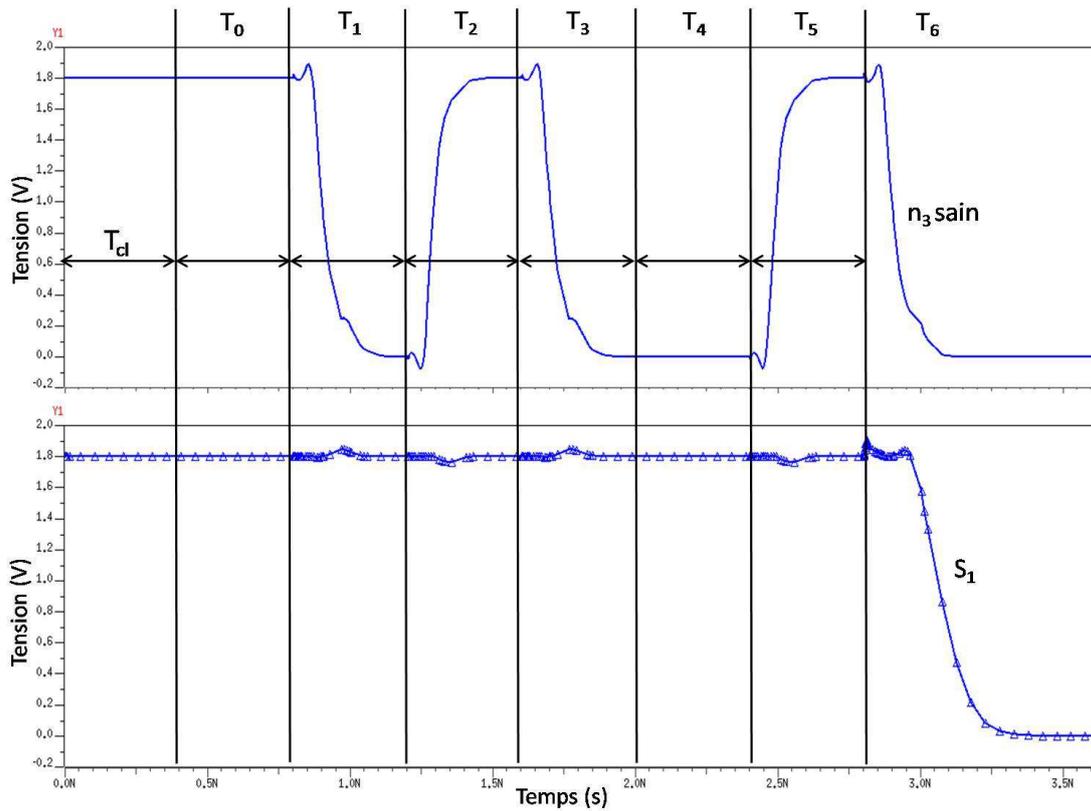


FIG. 2.4: Réponse du circuit sain à une séquence de test

l'entrée E_2 commute de l'état 1 à l'état 0 (vecteur T_2) et cette nouvelle transition atteint le nœud n_3 à l'instant $t_0 + T_{cl} + T_{pav}$. Cette transition interrompt la précédente alors que le nœud n_3 n'a pas encore atteint G_{nd} . Pendant ce premier cycle, on observe alors que le nœud affecté par le défaut est passé de $V_0 = V(t_0 + T_{pav}) = 1,8 \text{ V}$ à $V_1 = V(t_0 + T_{pav} + T_{cl}) \approx 0,36 \text{ V}$.

Cette observation peut bien évidemment être faite sur le cycle suivant où la nouvelle transition sur le nœud n_3 interrompt la précédente, la tension n_3 remonte donc de $V_1 = V(t_0 + T_{pav} + T_{cl})$ à $V_2 = V(t_0 + T_{pav} + 2T_{cl})$ et ainsi de suite.

En résumé, on peut dire que le nœud n_3 ne se contente pas de commuter entre V_{dd} et G_{nd} . Au lieu de cela, il passe par des états intermédiaires ($V_0, V_1, V_2\dots$). En fait, pour chaque vecteur T_j appliqué, la tension V_j résultante dépend de la résistance du défaut

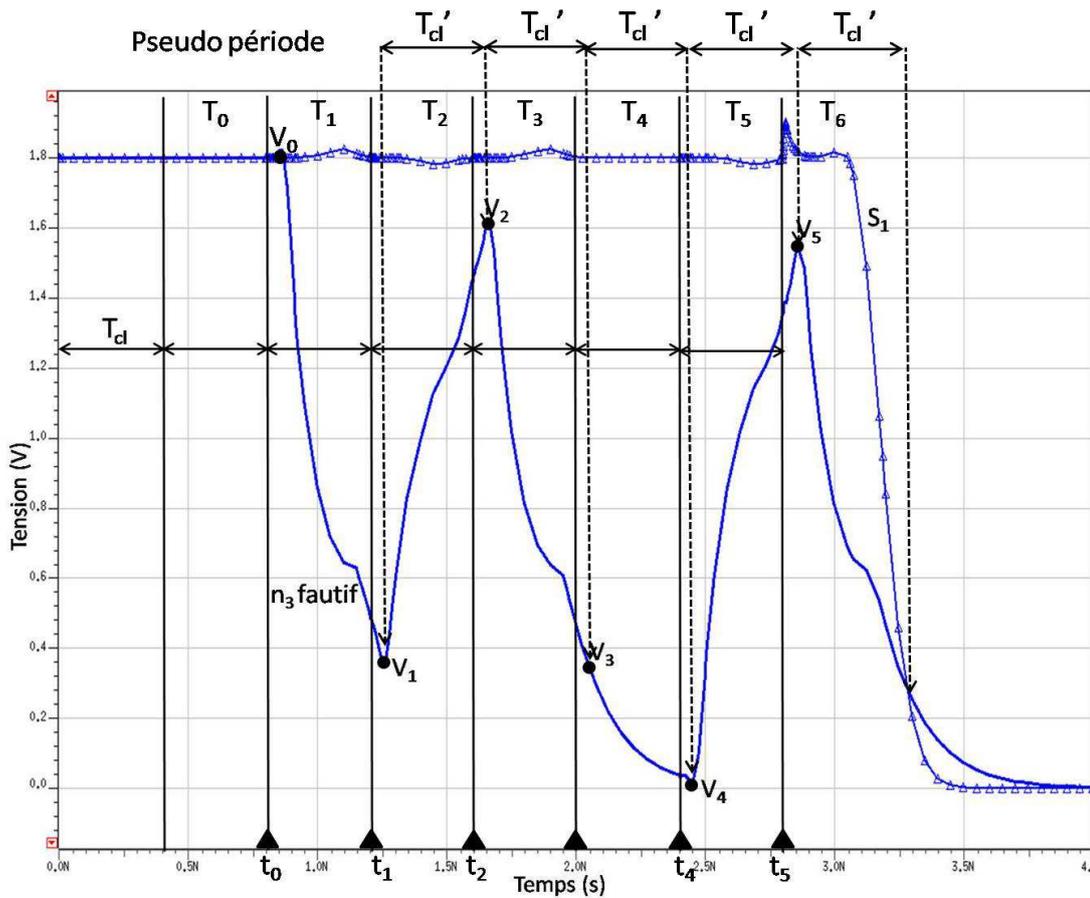


FIG. 2.5: Réponse du circuit défectueux à une séquence de test avec une résistance de $7,5 \text{ k}\Omega$

ainsi que de la tension précédente V_{j-1} qui elle-même dépend de façon récursive de la résistance de circuit ouvert et de la tension précédente... En conséquence, à la fin de la phase de préparation, juste avant la phase de détection (par le vecteur T_n), le nœud n_i présente une tension V_{n-1} qui dépend de toutes les tensions intermédiaires précédentes et donc de tous les vecteurs qui ont été appliqués sur le circuit.

b/ La phase de détection

Passons à présent à l'étude de la phase de détection. Lorsque le vecteur T_6 est appliqué, une transition est propagée depuis l'entrée E_2 vers le nœud n_3 , cette transition est retardée par la résistance de circuit ouvert et est finalement propagée jusqu'à la sortie S_1 . Cette situation est similaire à celle de la détection à deux vecteurs étudiée

précédemment (T_5 , le dernier vecteur de la phase de préparation, et T_6).

Il existe cependant une différence fondamentale entre une détection à deux vecteurs et une détection avec une séquence de vecteurs. En effet, dans le premier cas, le retard additionnel dépend de la tension initiale $V_0 = 0$ (respectivement V_{dd}) alors qu'avec une séquence complète, ce retard dépend de la tension intermédiaire précédente $V_{n-1} \neq 0$ (respectivement V_{dd}). Grâce aux simulations SPICE réalisées, on détermine une résistance critique de $28 \text{ k}\Omega$ pour cette séquence de vecteurs alors que dans le cas de la détection à deux vecteurs $\{T_0, T_1\}$ cette valeur critique n'était que de $7,5 \text{ k}\Omega$. Ceci démontre clairement l'impact de la phase de préparation sur la détection d'un circuit ouvert résistif. On peut déduire que la valeur de la résistance critique dépend également de la séquence de vecteurs appliqués avant la phase de détection. L'intervalle de détection ne s'écrit donc plus $DI^{[T_5, T_6]} = [R_c^{\{T_5, T_6\}}, \infty[$ mais :

$$DI^{\{T_0, T_1, T_2, T_3, T_4, T_5, T_6\}} = [R_c^{\{T_0, T_1, T_2, T_3, T_4, T_5, T_6\}}, \infty[\quad (2.4)$$

2.3 Représentation du défaut par un modèle RC

2.3.1 Mise en place du modèle

Dans un souci de simplicité et de rapidité de calcul pour l'exploitation du modèle, nous proposons ici de modéliser par un simple circuit RC le retard créé par un circuit ouvert résistif.

Considérons toujours l'exemple de circuit ouvert de la Figure 2.1 et étudions la variation du retard mesuré entre le nœud n_2 et le nœud n_3 en fonction de la valeur de la résistance du défaut. Le résultat de la simulation SPICE est donné sur la Figure 2.6.

On s'aperçoit alors que la variation du retard en fonction de la résistance de circuit ouvert est linéaire. On peut donc écrire une relation de la forme :

$$Retard = \alpha \times R_{op} + \beta \quad (2.5)$$

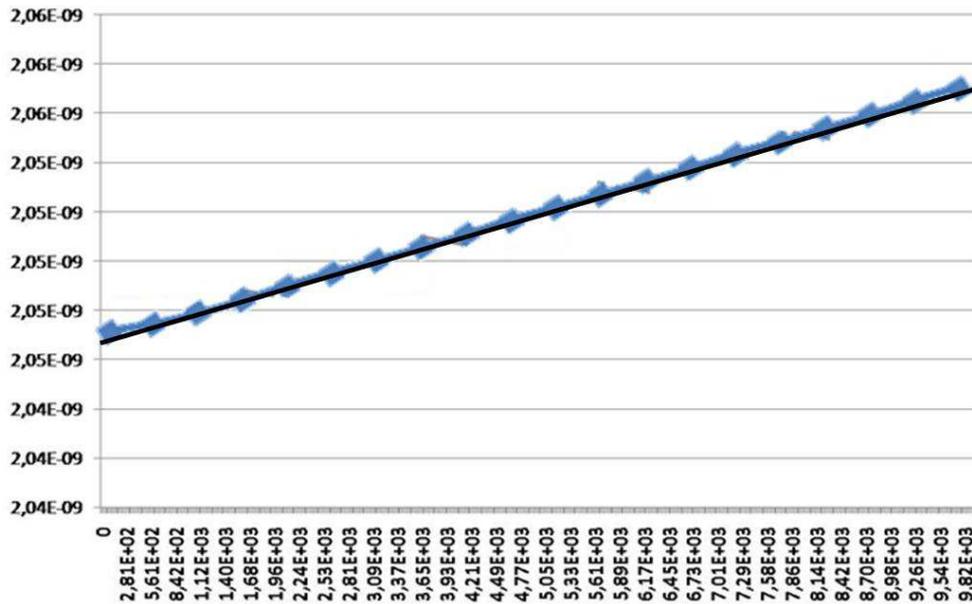


FIG. 2.6: Evolution du retard en fonction de la résistance du défaut

β est l'ordonnée à l'origine de la courbe, c'est-à-dire le retard de la porte 3 avec une résistance de circuit ouvert égale à 0, autrement dit le terme β est le retard nominal de la porte. Or on peut également étudier l'évolution de ce retard nominal en fonction de la charge capacitive appliquée à notre porte n°3 (Figure 2.7). De nouveau cette évolution est linéaire et peut donc s'écrire :

$$Retard_{nom} = Retard_{sans\ charge} + \gamma \times C_L \quad (2.6)$$

où $Retard_{sans\ charge}$ est le retard de la porte sans aucune charge en sortie et C_L est la capacité de charge appliquée en sortie de la porte (C_L est la somme des capaci-

tés d'entrée de toutes les portes connectées à la sortie de la porte 3). Cette valeur de $Retard_{sans\ charge}$ et la constante γ peuvent typiquement être mémorisées dans une bibliothèque (pour chaque porte).

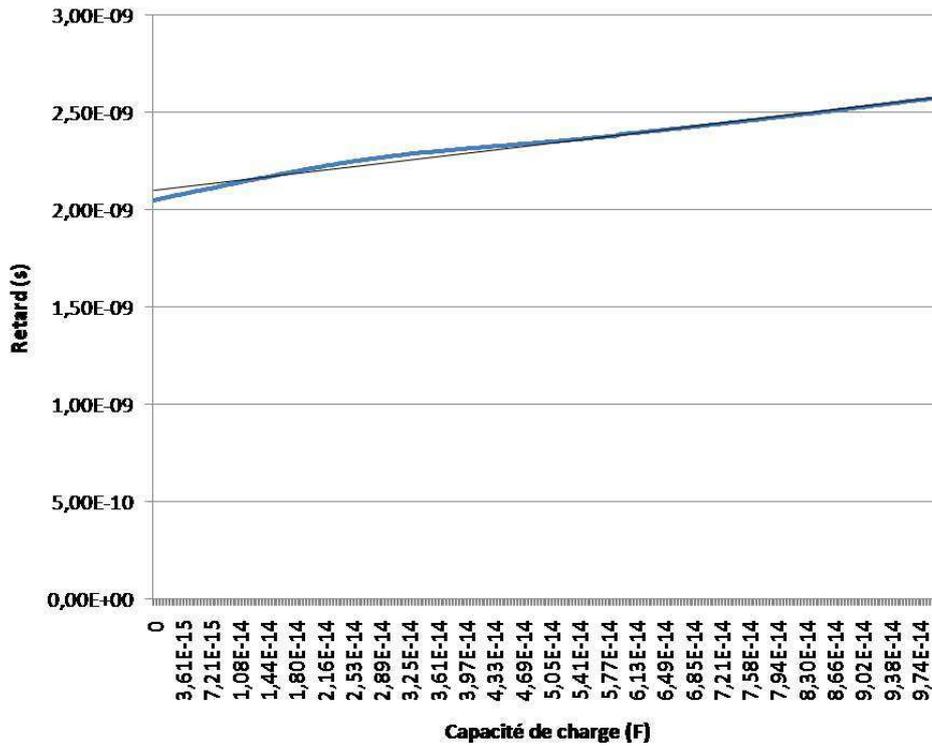


FIG. 2.7: Evolution du retard en fonction de la capacité de charge

On obtient alors l'équation du retard :

$$Retard = \alpha \times R_{op} + Retard_{sanscharge} + \gamma \times C_L \quad (2.7)$$

Enfin le paramètre α dépend lui aussi de la capacité de charge C_L suivant la loi :

$$\alpha = \lambda \times C_L \quad (2.8)$$

On peut alors finalement modéliser le retard de la porte 3 affectée par un défaut de

circuit ouvert résistif par un circuit RC à l'aide de l'équation suivante :

$$Retard = Retard_{sans\ charge} + \gamma \times C_L + \lambda \times R_{op} \times C_L \quad (2.9)$$

Les constantes γ , λ et $Retard_{sans\ charge}$ ont été calculées pour différents types de porte, pour une technologie de $0,18\ \mu$, à longueur de canal minimale et sont données dans le tableau 2.2

Porte	Transistion	$\lambda (s.\Omega^{-1}(fF)^{-1})$	$\gamma (s.F^{-1})$	$Retard_{sans\ charge} (ps)$
Inverseur	montante	0,71	5166,67	16,7
	descendante	0,71	4000,0	10,0
NAND2	montante	0,72	2833,33	33,3
	descendante	0,72	3833,33	23,3
NOR2	montante	0,71	2166,67	16,7
	descendante	0,72	7000,00	30,0
NAND3	montante	0,72	4500,00	20,0
	descendante	0,72	4000,00	20,0
NOR3	montante	0,70	2166,67	16,7
	descendante	0,73	9666,67	76,7

TAB. 2.2: Bibliothèque des paramètres pour modéliser les portes par un circuit RC

La Figure 2.8 représente, dans le cas d'une transition montante sur un inverseur, la variation du retard en fonction de la résistance de circuit ouvert et ce pour plusieurs valeurs de capacité de charge.

Puisque le retard additionnel T_{sup} provoqué par le défaut est lié à la résistance de circuit ouvert par $T_{sup} = \lambda \times R_{op} \times C_L$, on peut déduire que la résistance d'un défaut dont le retard additionnel est T_{sup} s'exprime :

$$R_{op} = \frac{T_{sup}}{\lambda \times C_L} \quad (2.10)$$

Ainsi les intervalles de détection associés aux valeurs fautes dans le domaine

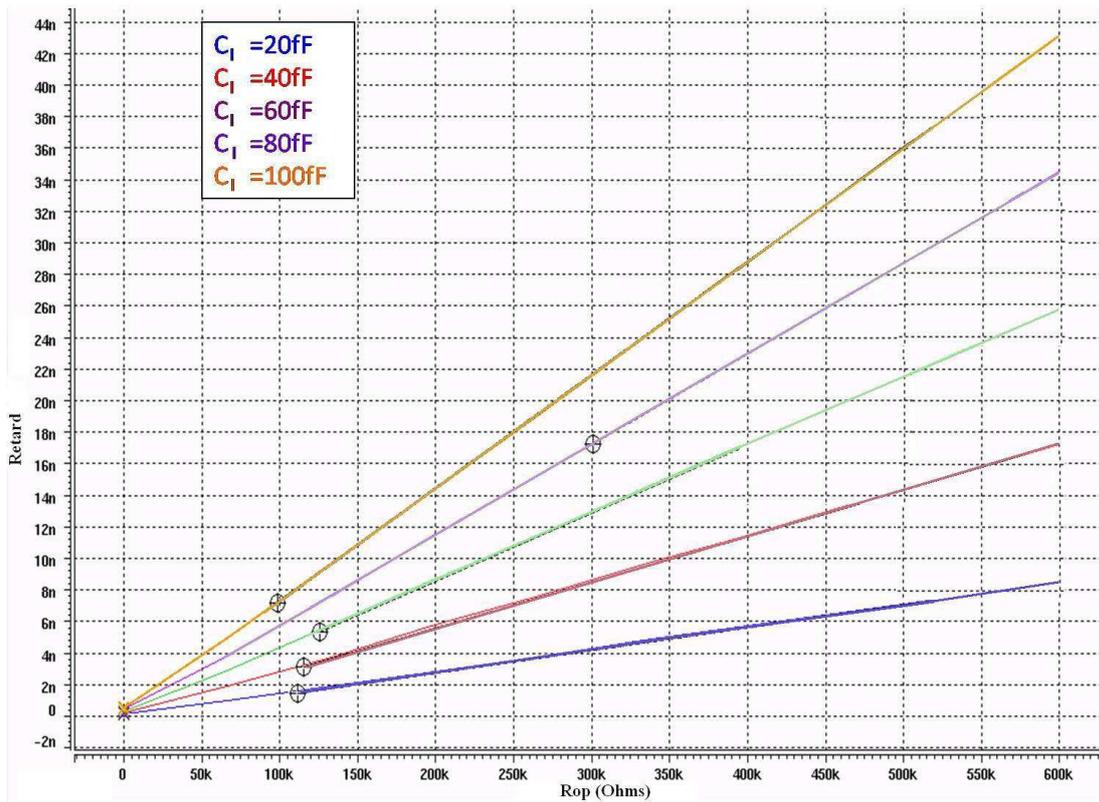


FIG. 2.8: Retard créé par un circuit ouvert résistif pour plusieurs valeurs de capacité de charge

des résistances peuvent être obtenus en appliquant cette relation aux intervalles de détection dans le domaine temporel. Une approche similaire avait été suggérée dans [49] mais aucun résultat expérimental n'avait été donné pour des circuits ouverts.

2.3.2 Utilisation du modèle

Considérons donc que le défaut se comporte comme un circuit RC (Figure 2.9) et reprenons le cas de la partie précédente où le défaut est soumis à une séquence de vecteurs de test. Dans le cas où le nœud est dans une transition descendante, alors la capacité se décharge et si dans le cas contraire, le nœud est dans une transition montante, la capacité se charge comme l'illustre la Figure 2.10.

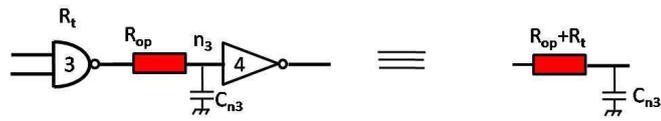


FIG. 2.9: Représentation d'une porte par un circuit RC

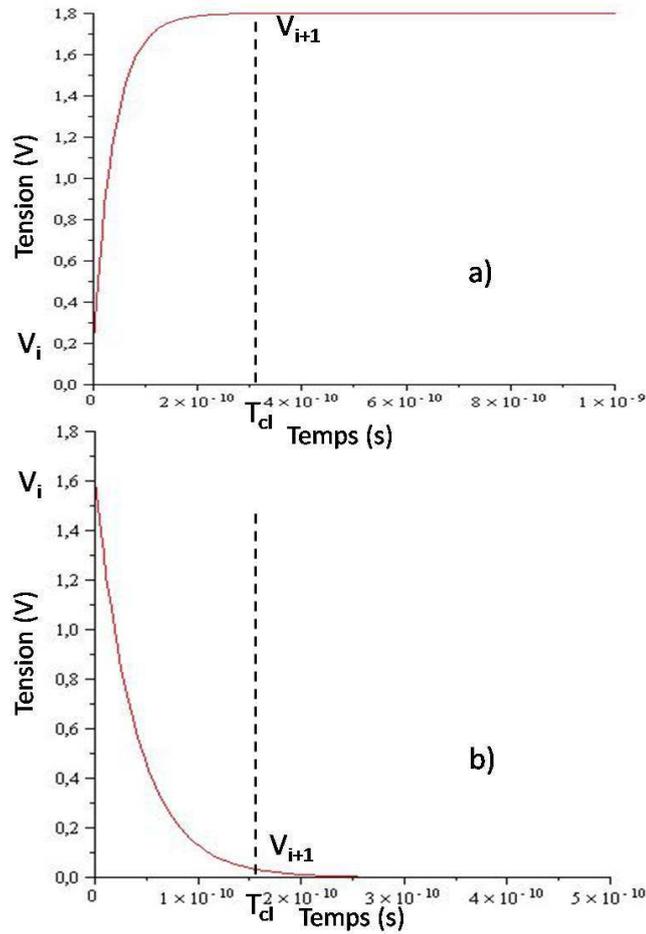


FIG. 2.10: Charge (a) et décharge (b) d'une capacité

On peut alors écrire les équations classiques de charge et de décharge d'une capacité :

$$\text{Charge} \quad V_{i+1} = (V_{dd} - V_i) \left(1 - e^{-T_{cl}/C_{n3}(R_t+R_{op})}\right) + V_i \quad (2.11)$$

$$\text{Décharge} \quad V_{i+1} = e^{-T_{cl}/C_{n3}(R_t+R_{op})} V_i \quad (2.12)$$

Soit, en posant :

$$\begin{cases} R = R_t + R_{op} \\ C = C_{n_3} \\ A = e^{-T_{cl}/RC} \\ k = V_{dd} (1 - e^{-T_{cl}/RC}) \end{cases} \quad (2.13)$$

On obtient :

$$\text{Charge} \quad V_{i+1} = AV_i + k \quad (2.14)$$

$$\text{Décharge} \quad V_{i+1} = AV_i \quad (2.15)$$

Remarquons que, pour un défaut donné, les coefficients A et k dépendent d'une part des paramètres du circuit (R_t , C_{n_3} , $t = T_{cl}$), indépendants du défaut, et d'autre part d'un paramètre aléatoire (R_{op}) lié au défaut.

Supposons la tension initiale V_0 d'un nœud étudié connue et supposons qu'on applique le vecteur $\{T_0, T_1, T_2, T_3\} = \{0, 1, 1, 0\}$ au circuit. On obtient alors successivement :

#T	Potentiel
	V_0
$T_0 = 0$	$V_1 = A V_0$
$T_1 = 1$	$V_2 = A V_1 + k = A^2 V_0 + k$
$T_2 = 1$	$V_3 = A V_2 + k = A^3 V_0 + Ak + k$
$T_3 = 0$	$V_4 = A V_3 = A^4 V_0 + A^2 k + Ak$

On peut donc écrire que le potentiel du nœud au bout de n vecteurs est :

$$V_n = A^n V_0 + \sum_{i=0}^{n-1} (\epsilon_i A^{n-1-i} k)$$

avec $\epsilon_i = \{0, 1\}$ suivant le sens de la transition (ici $\epsilon_0 = \epsilon_3 = 0$ et $\epsilon_1 = \epsilon_2 = 1$).

Ainsi, en supposant la valeur du potentiel initial V_0 connue, on peut déterminer l'évolution du potentiel électrique d'un nœud affecté par un circuit ouvert tout au long de l'application d'une séquence de test sans aucune simulation électrique.

2.4 Conclusion

Ce deuxième chapitre est basé sur l'étude du comportement électrique d'un circuit ouvert affectant une interconnexion d'un circuit digital. Il servira dans la suite de ce manuscrit au développement de modèles applicables d'une part dans un simulateur de fautes et d'autre part dans un ATPG.

La première partie a mis en évidence un effet qui apparaît durant la réalisation d'un test tel qu'en milieu industriel. En effet, si la détection d'un circuit ouvert résistif ne nécessite que deux vecteurs, ces vecteurs font partie d'une séquence de vecteurs appliqués sur le circuit et ce ne sont donc plus deux mais des milliers de vecteurs qui sont appliqués sur le circuit. Le comportement du nœud fautif est donc totalement dépendent de la configuration des vecteurs appliqués sur les entrées. La détection du défaut a donc été étudiée lorsque celui-ci est testé dans une séquence de test complète.

La deuxième partie, quant à elle, s'attache à la modélisation du défaut par un circuit de type RC. Cette modélisation simplifie l'étude des circuits ouverts et surtout diminue le nombre de simulations nécessaires. On peut ainsi facilement appliquer ce

modèle dans un simulateur de fautes ainsi que dans un ATPG, ce qui est fait dans le chapitre suivant.

Chapitre 3

Simulation et ATPG pour le test dynamique des Circuits Ouverts résistifs

Sommaire

3.1	Introduction	68
3.2	Simulation sans effet mémoire	68
3.2.1	Description de la méthode	69
3.2.2	Resultats expérimentaux	71
3.3	ATPG avec effet mémoire	74
3.3.1	Description de la procédure de l'ATPG	74
3.3.2	Phase de pré-traitement de l'ATPG	78
3.4	Conclusion	82

3.1 Introduction

Ce chapitre est consacré à l'élaboration d'un simulateur de fautes ainsi que d'un ATPG spécifiques ciblant les circuits ouverts résistifs. Il sera par conséquent scindé en deux parties.

Dans le cadre d'une coopération avec [l'université Albert-Ludwigs de Freiburg](#) (Allemagne), un simulateur de fautes a été développé pour les circuits ouverts résistifs à partir du modèle proposé dans le chapitre précédent [50]. La première partie de ce chapitre est donc dédiée à la mise en place de ce simulateur de circuits ouverts résistifs ainsi que d'une nouvelle métrique permettant de quantifier de manière réaliste la couverture de fautes.

La deuxième partie, quant à elle, se focalise sur le développement d'un ATPG spécifique ciblant les circuits ouverts résistifs. Sa spécificité provient du fait qu'il garantit la propagation du défaut pour une gamme maximale de résistance de défaut. L'algorithme comprend deux phases, une phase de pré-traitement et une phase d'application. Ces deux étapes sont décrites dans cette partie.

3.2 Simulation sans effet mémoire

Cette partie présente un nouveau simulateur de fautes capable de déterminer la couverture de fautes pour des circuits ouverts résistifs provoquant de faibles retards, c'est-à-dire des retards inférieurs à une période d'horloge. Ces défauts sont typiquement indétectables avec des modèles de collage ou de transition. Le modèle utilisé relie le retard créé par le défaut à une gamme de résistance de circuit ouvert. A partir de cette gamme de résistance, une métrique de couverture de faute probabiliste est

ainsi définie.

3.2.1 Description de la méthode

Considérons un circuit combinatoire représenté au niveau porte ainsi que des informations de type retard des portes, période d'horloge... Considérons également une liste de fautes sur ce circuit et un ensemble de vecteurs de test. Une faute donnée est localisée sur une interconnexion sur laquelle une transition est ralentie. La valeur δ de ce ralentissement, c'est-à-dire la taille du défaut, n'est pas une donnée connue car elle dépend de la valeur du défaut qui est un paramètre aléatoire. Cependant, on peut déterminer une gamme de valeurs δ pour lesquelles le défaut est détecté.

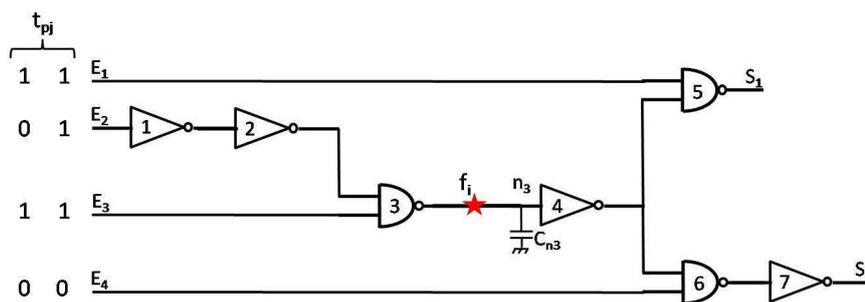


FIG. 3.1: Description de la méthode sur un circuit simple

Sur la Figure 3.1, pour chaque faute f_i affectant le circuit et pour chaque paire de vecteurs de test tp_j appliquée au circuit sous test, un Intervalle de Détection $DI^t(f_i, tp_j)$ est calculé dans le domaine temporel. Cet intervalle de détection contient toutes les valeurs de retard $\delta(f_i)$ (c'est-à-dire la taille de f_i) pour lesquelles le circuit est déclaré fautif avec la paire de vecteurs tp_j . Cet intervalle est de la forme $[\delta^{min}, \infty[$. Les intervalles de détection peuvent également être constitués de sous-intervalles disjoints. Un Intervalle de Détection peut être vide si aucun chemin allant du site fautif à une sortie primaire n'est sensibilisé. Finalement, l'Intervalle de Détection pour l'ensemble des vecteurs de test est l'union des intervalles individuels :

$DI^t(f_i) = DI^t(f_i, tp_1) \cup \dots \cup DI^t(f_i, tp_m)$ où m est le nombre de paires de vecteurs de test appliquées.

On définit de plus l'Intervalle de détectabilité Globale $GI^t(f_i)$ comme étant la gamme de retards créés pour lesquels le défaut est détecté par au moins une paire de vecteurs (qui ne fait pas forcément partie de la séquence de test). Autrement dit, $DI^t(f_i)$ est la gamme de retards $\delta(f_i)$ couverte par le test, tandis que $GI^t(f_i)$ est la gamme de retards $\delta(f_i)$ qui serait couverte par le meilleur ensemble de paires de vecteurs, c'est-à-dire l'ensemble exhaustif. Afin de ne tester que les défauts créant de faibles retards, on réalise l'intersection de $DI^t(f_i)$ et $GI^t(f_i)$ avec l'intervalle $[0, T_{cl}]$, où T_{cl} est la période d'horloge. Cette restriction permet de ne pas considérer les fautes créant des retards supérieurs à T_{cl} qui sont déjà couvertes par des tests de collage.

Après avoir calculé les intervalles de détection $DI^t(f_i)$ pour la séquence de test considérée et de détectabilité globale $GI^t(f_i)$ pour une faute f_i dans le domaine temporel, les gammes correspondantes de résistance de circuit ouvert sont calculées à partir du modèle électrique proposé dans le chapitre précédent. Les intervalles résultants sont respectivement appelés Intervalle de Détection dans le domaine des résistances $DI^r(f_i)$ et Intervalle de détectabilité Globale dans le domaine des résistances $GI^r(f_i)$.

Finalement, la couverture réaliste pour une faute f_i est définie par :

$$FC = \frac{\int_{DI^r(f_i)} \rho(r) dr}{\int_{GI^r(f_i)} \rho(r) dr} \quad (3.1)$$

Cette métrique est liée à la distribution $\rho(r)$ des résistances de circuit ouvert.

La Figure 3.2 représente le flot complet du simulateur sous forme de graphe.

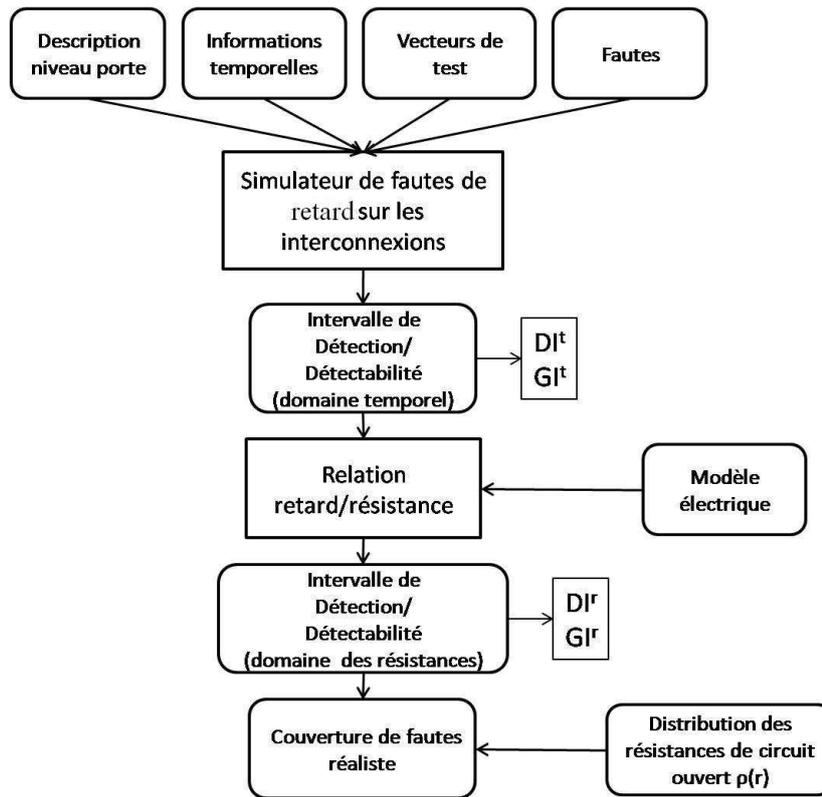


FIG. 3.2: Flot de la méthode de simulation de fautes

3.2.2 Resultats expérimentaux

L'équipe de Freiburg a, par la suite, développé ce simulateur et l'a expérimenté et validé sur des circuits combinatoires ISCAS'85 et sur des circuits séquentiels ISCAS'89 et ITC'99 pour des séries de 100 et 1000 vecteurs aléatoires. La technologie utilisée était de $0,18 \mu m$ avec une tension d'alimentation de $V_{dd} = 1,8 V$. Une période d'horloge T_{cl} égale à la marge temporelle du chemin critique plus une marge de sécurité de 20 % a été considérée. L'intervalle de déteçtabilité globale a été approximé par $[D_{max}, T_{cl}]$, avec D_{max} la marge du plus long chemin passant par f_i , c'est-à-dire la différence entre T_{cl} et le retard nominal de ce chemin. La distribution ρ des résistances de circuit ouvert considérée est celle présentée dans [51].

Le tableau 3.1 regroupe les résultats obtenus.

Circuit	T_{cl} (ns)	Nombre de fautes	100 vecteurs			1000 vecteurs		
			FC	FC optimiste	T(s)	FC	FC optimiste	T(s)
c0017	0,17	22	80,43	100,00	0,1	80,43	100,00	0,4
c0095	0,63	64	66,28	100,00	0,2	70,70	100,00	1,5
c0880	2,43	886	29,59	87,58	2,4	41,32	96,39	25,2
c1355	1,86	1174	42,35	82,45	50,4	61,02	93,95	633,7
c1908	3,06	1826	19,55	60,51	7,8	34,91	84,94	115,5
c2670	3,56	2852	22,59	69,78	43,5	32,25	81,38	1137,4
c5315	3,71	4970	32,45	91,07	51,3	42,77	99,38	1371,5
s00027	0,58	34	28,66	91,18	0,1	44,19	100,00	0,7
s00208	0,87	244	21,65	65,57	0,3	32,21	84,43	4,3
s00298	1,09	272	21,76	82,35	0,4	25,93	92,28	7,9
s00344	1,67	368	32,28	89,67	0,6	42,81	97,01	11,1
s00349	1,67	370	32,38	89,46	0,7	42,87	96,76	11,4
s00382	1,86	364	23,22	78,57	0,5	28,34	88,46	10,5
s00386	1,37	344	29,52	58,72	0,6	41,68	80,23	12,2
s00400	1,86	372	19,95	67,47	0,8	28,91	89,52	10,6
s00420	1,21	504	12,89	32,14	0,9	22,58	51,39	12,3
s00444	2,05	410	20,75	79,76	0,9	25,26	86,83	11,6
s00510	1,03	472	36,46	83,69	1,0	44,74	96,61	15,8
s00526	1,09	436	17,17	53,90	0,9	23,83	71,56	10,4
s00641	5,33	866	18,87	81,41	2,2	23,66	92,15	20,9
s00713	5,60	894	18,33	77,96	2,6	22,85	88,37	30,2
s00820	2,16	624	16,49	44,07	1,5	25,83	60,58	23,6
s00832	2,20	620	16,65	44,52	1,4	25,82	60,16	16,8
s00838	1,88	1024	5,56	13,96	1,8	9,37	23,54	18,2
s00953	1,47	880	17,75	48,41	1,6	33,40	81,93	21,1
s01196	2,43	1122	16,29	57,31	2,3	28,48	82,35	26,9
s01238	2,50	1080	16,59	58,33	2,2	28,15	81,57	26,7
s01423	7,86	1496	7,04	62,63	3,5	12,17	87,23	41,1
s01488	2,87	1334	32,45	66,04	3,4	48,93	91,60	35,9
s01494	2,96	1322	32,77	66,19	3,4	49,22	92,06	39,1
s05378	2,68	5986	23,97	64,55	20,0	32,55	80,42	204,4

Circuit	T_{cl} (ns)	Nombre de fautes	100 vecteurs			1000 vecteurs		
			FC	FC optimiste	T(s)	FC	FC optimiste	T(s)
s09234	4,58	11688	10,35	42,27	55,6	16,32	57,78	563,6
s13207	5,73	17302	7,48	57,95	196,6	10,08	68,80	2165,3
s15850	7,20	20766	9,56	62,22	257,5	12,55	72,13	7118,9
s35932	3,36	35656	43,41	89,72	169,4	48,57	92,01	1852,0
s38417	4,79	47686	20,49	77,33	147,1	25,78	86,87	1868,0
s38584	6,49	41434	14,98	74,01	139,7	18,24	82,96	1733,2
b01c	0,56	94	53,77	100,00	0,2	61,59	100,00	2,3
b02c	0,34	52	62,17	98,08	0,1	65,45	100,00	1,3
b03c	1,11	298	33,09	98,66	0,7	40,56	100,00	7,1
b04c	2,43	1240	12,91	53,79	13,1	31,41	88,47	250,2
b05c	3,14	1076	23,47	80,11	5,9	36,90	92,10	56,1
b06c	0,44	98	53,03	100,00	0,2	56,41	100,00	2,1
b07c	2,29	838	22,29	82,82	2,8	30,58	89,86	40,2
b08c	0,92	334	23,94	74,25	0,7	36,03	95,51	7,8
b09c	0,94	318	28,42	80,50	0,7	32,41	85,22	7,3
b10c	1,20	348	35,85	88,22	0,8	49,79	100,00	7,9
b11c	2,43	1084	23,12	82,56	2,8	32,84	95,85	31,4
b12c	2,01	2000	20,92	72,10	4,7	31,70	89,00	58,2
b13c	0,99	614	23,95	92,02	1,2	34,01	98,21	13,0
Moyenne			26,72	73,12		35,57	86,16	

TAB. 3.1: Résultats de simulation de fautes à faible retard

La première série correspond aux circuits de référence de la série ISCAS'85, la deuxième à la série ISCAS'89 et la dernière à la série ITC'99.

Les colonnes 2 et 3 représentent la période d'horloge T_{cl} en nanosecondes et le nombre de sites de faute possibles dans le circuit. La colonne 4 représente la couverture de faute réaliste obtenue pour 100 vecteurs aléatoires. La colonne 5 relève le pourcentage de fautes détectées sans considération de la taille, c'est-à-dire les fautes

avec un intervalle de détection DI^t non vide. Etant donné que cette valeur est une sur-estimation de la couverture réaliste, elle est appelée "couverture de faute optimiste". La colonne 6 représente le temps CPU nécessaire à la simulation avec un server AMD Opteron à 2,6 GHz. Les colonnes 7 à 9 quant à elles donnent les mêmes informations que les colonnes 4 et 6 mais avec une séquence de 1000 vecteurs aléatoires. La dernière ligne fournit les valeurs moyennes tous circuits confondus.

On peut remarquer que la courverture de faute est globalement assez faible. Il faut cependant se rappeler que seule une certaine classe de défauts est ciblée, à savoir les circuits ouverts résistifs créant de faibles retards et que la couverture d'autres fautes comme les collages pourrait être bien plus grande.

3.3 ATPG avec effet mémoire

En s'appuyant sur l'analyse menée dans le chapitre précédent, cette partie est consacrée à la définition d'une technique d'ATPG spécifiquement dédiée aux circuits ouverts résistifs. Si l'on suppose la détection de défauts réalistes, c'est-à-dire des défauts dont la résistance ne peut être connue *a priori*, il est clair que l'objectif de cet ATPG n'est pas seulement la sensibilisation et la propagation du défaut mais également la garantie de la détection de ce défaut pour une gamme de résistance la plus large possible.

3.3.1 Description de la procédure de l'ATPG

Il a été montré dans le chapitre précédent que pour un circuit ouvert résistif donné, une certaine séquence de test détecte un défaut dans une gamme de résistance

donnée par la résistance critique :

$$DI^{\{sequence\}} = [R_c^{\{sequence\}}, \infty[\quad (3.2)$$

Cette valeur critique de résistance est fonction des caractéristiques électriques du nœud incriminé ainsi que de la marge temporelle T_m durant la phase de détection. On peut donc en déduire que plus le chemin sensibilisé est long, plus la marge temporelle est courte et par conséquent plus la résistance détectée est faible, d'où un intervalle de détection maximal plus grand. Bien que trivial, ce point est très important au moment de la génération des vecteurs de test [52]. A partir de ces observations, l'ATPG doit donc, pour un nœud affecté donné, générer un vecteur de test qui propage une transition à travers le plus long chemin possible incluant le nœud fautif.

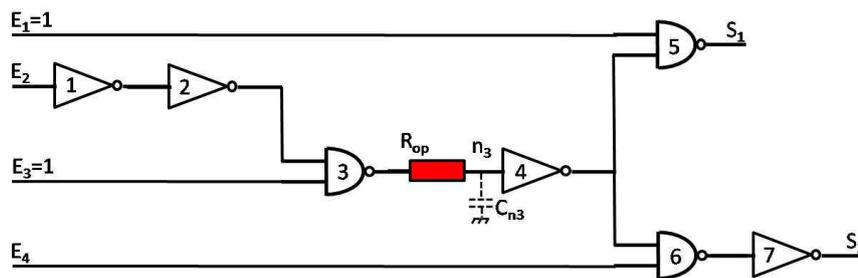


FIG. 3.3: Exemple d'un circuit ouvert résistif

Il a également été démontré dans le chapitre précédent que la résistance critique dépend de la tension finale de la phase de préparation V_{n-1} . Il est évident que, dans le cas d'une transition montante, plus cette tension finale est faible, plus la résistance critique l'est aussi. En d'autres termes, on obtient une résistance critique minimale R_c^{min} et par conséquent un intervalle de détection maximal si la séquence de test appliquée est telle que la tension finale de la phase de préparation est nulle, $V_{n-1} = 0 V$.

Considérons le même exemple que dans le chapitre 2, celui-ci est rappelé sur la Figure 3.3. Le circuit est affecté par un défaut de circuit ouvert résistif au niveau du nœud n_3 . Ce défaut est modélisé par la résistance notée R_{op} . La Figure 3.4 repré-

sente une simulation SPICE de ce circuit avec une nouvelle séquence de test composée de 9 vecteurs $\{T_0, T_1, T_2, T_3, T_4, T_5, T_6, T_7, T_8\}$ durant laquelle l'entrée E_3 prend successivement les valeurs 1, 0, 0, 0, 0, 1, 1, 1, 1 tandis que les entrées $\langle E_2, E_4 \rangle$ valent $\langle 1, 0 \rangle$ et que les valeurs 0, 0, 0, 0, 0, 0, 0, 0, 1 sur l'entrée E_1 . Cette simulation a été réalisée avec une résistance de circuit ouvert de $7,5 \text{ k}\Omega$. On s'aperçoit sur cette Figure 3.4 que le défaut est détecté puisque la sortie S_1 commute juste après le coup d'horloge alors que dans le cas d'un circuit sain, la transition survient avant le coup d'horloge. En d'autres termes, cette résistance de $7,5 \text{ k}\Omega$ est la résistance critique minimale R_c^{min} . Le potentiel V_6 (potentiel final de la phase de préparation) est à 0 V, ce qui est la meilleure condition de détection du défaut avec une résistance critique minimale. La Figure 3.4 représente donc le meilleur des cas où l'intervalle de détection DI est borné par la résistance critique minimale.

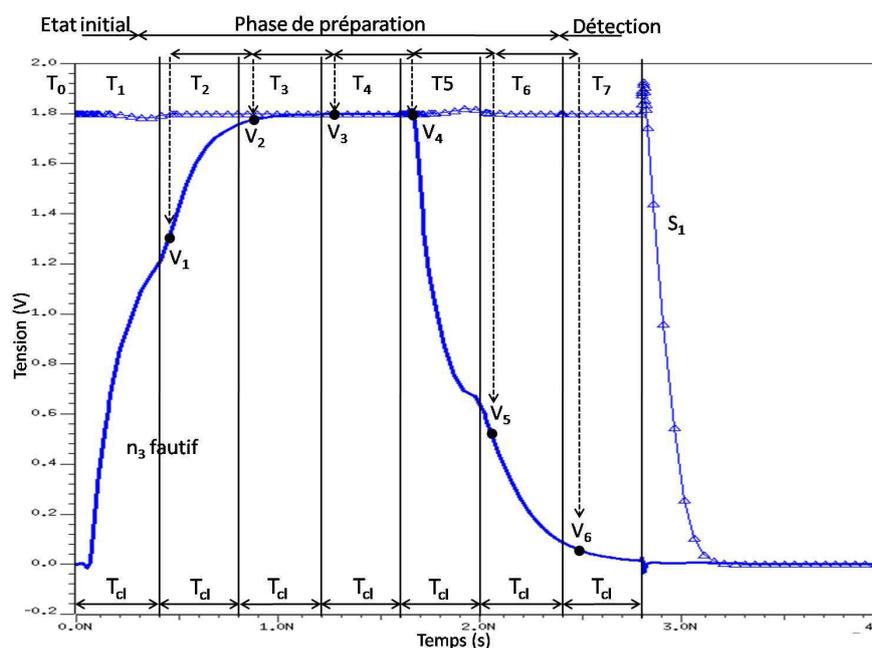


FIG. 3.4: Simulation SPICE d'un circuit ouvert résistif

Le but de l'ATPG est donc de créer une séquence de test qui permettra d'avoir la tension finale de la phase de préparation égale à une valeur extrême (G_{nd} ou V_{dd}). L'exemple de la Figure 3.4 montre que les potentiels intermédiaires $\{V_4, V_5, V_6\}$ du

nœud n_3 décroissent de V_{dd} à $0 V$ lorsque les vecteurs T_4 , T_5 et T_6 sont appliqués. Etant donné que ces trois vecteurs sont identiques, aucune transition n'est appliquée sur le nœud n_3 et celui-ci a donc suffisamment de temps pour redescendre à $0 V$.

Cette observation permet de dire que le nœud à tester n_i est établi à $0 V$ (respectivement à V_{dd}) si, avant la phase de détection, le nœud reste stable pendant un nombre suffisant de cycles d'horloge consécutifs. Dans la suite de ce manuscrit, nous appellerons ce nombre minimal de cycles d'horloge consécutifs où le nœud reste stable N^{ni} .

L'idée directrice de cet ATPG est donc de garantir qu'au moment où le vecteur assurant la détection est généré, le nœud n_i affecté par le circuit ouvert est resté stable un nombre N^{ni} de cycles avant la transition créée par le vecteur de détection. Remarquons qu'une méthode radicale pourrait être de rajouter N^{ni} vecteurs avant chaque détection mais celle-ci ne serait pas du tout acceptable en termes de nombre de vecteurs générés.

Une autre solution, plus raisonnable, consiste à calculer, pendant la génération des vecteurs de test, une variable d'activité A^{ni} pour chaque nœud n_i . Cette variable indique à chaque instant le nombre de cycles consécutifs où le niveau logique du nœud est resté stable. On peut aussi créer un ensemble de nœuds qui peuvent être pris pour cible dans la génération suivante. Ce sont les nœuds du circuit tels que $A^{ni} \geq N^{ni}$, c'est-à-dire que le nœud à tester est resté stable suffisamment longtemps pour atteindre le potentiel V_{dd} ou G_{nd} . Enfin, un vecteur est généré pour tester un de ces nœuds appartenant à l'ensemble des cibles.

L'avantage de cet ATPG est qu'il ne nécessite pas de génération de vecteurs de test supplémentaires et qu'il garantit une couverture avec l'intervalle de détection DI maximal pour chacun des nœuds à tester.

3.3.2 Phase de pré-traitement de l'ATPG

Le point clé de l'ATPG décrit dans la partie précédente est donc le calcul du nombre de cycles consécutifs où le nœud doit rester stable afin d'assurer qu'il est bien à $0 V$ ou à V_{dd} . Une première solution simple serait de considérer pour chacun des nœuds un même nombre N de cycles, en prenant N assez grand de manière à pouvoir garantir le niveau des nœuds à la fin de la phase de préparation. Cependant, durant l'application de l'ATPG, les nœuds à considérer sont choisis dynamiquement, ainsi une valeur de N surestimée signifie un nombre de candidats faible. Au début de l'ATPG, lorsque le nombre de candidats est élevé, ceci ne représente aucun problème, en revanche cela peut en devenir un à la fin de la génération des vecteurs quand le groupe de candidats se réduit. Il faudrait dans ce cas rajouter des vecteurs à la séquence.

Une solution plus appropriée serait donc de déterminer dynamiquement cette valeur de N^{ni} pour chaque défaut du circuit. Elle doit être calculée pour chaque nœud et pour chaque vecteur. Dans la partie 2.3 du chapitre précédent, le circuit ouvert résistif affectant le circuit est modélisé par un circuit RC. Nous allons donc utiliser ce modèle afin de calculer la variable N^{ni} . La Figure 3.5 illustre le comportement du modèle RC où R_c^{min} est la résistance critique minimale et C_{ni} est la capacité du nœud n_i considéré. La partie décroissante de la courbe représente la phase de préparation alors que la partie croissante représente la phase de détection.

Dans la phase de préparation, le temps T_r représente le temps requis pour que la tension du nœud n_i passe de V_{dd} à 1 % de V_{dd} . On considère que la tension V_{n-2} est à V_{dd} , ce qui représente le pire cas. A partir du modèle RC considéré, on peut alors modéliser la partie décroissante de la courbe par :

$$0,01 \times V_{dd} = V_{dd} \times e^{-T_r/\tau} \quad (3.3)$$

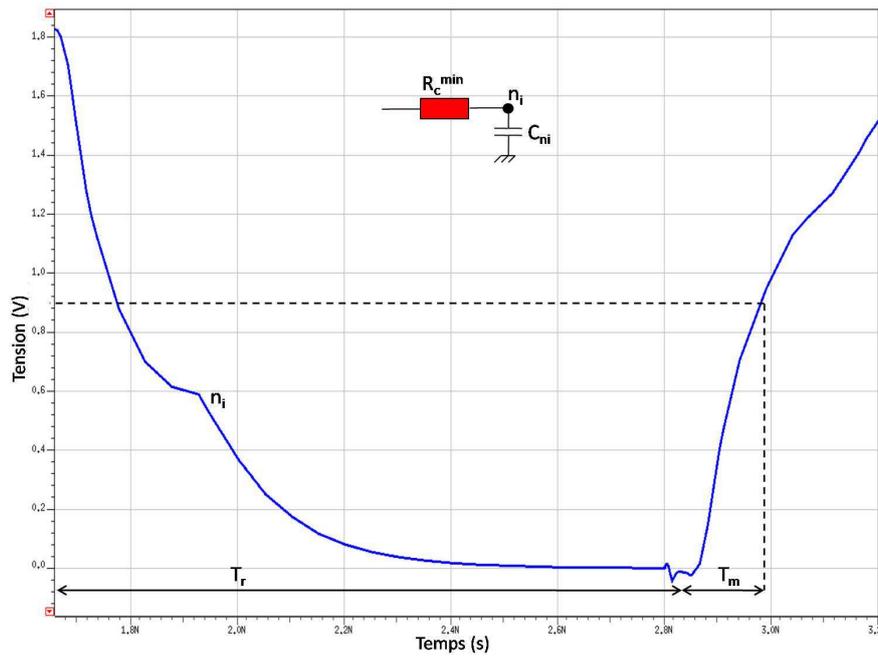


FIG. 3.5: Exemple de phases de préparation et de détection d'un circuit ouvert résistif

$$\text{où } \tau = R_c^{min} \times C_{ni}$$

Dans la phase de détection, le signal V_{ni} passe de $V_{n-1} = 0 \text{ V}$ à $V_{dd}/2$ (considéré comme le niveau de seuil logique) en un temps égal à la marge temporelle T_m . On peut alors écrire :

$$\frac{1}{2} V_{dd} = V_{dd} \times (1 - e^{-T_m/\tau}) \quad (3.4)$$

En isolant τ dans les équations (3.2) et (3.3), on obtient :

$$\tau = \frac{T_r}{\ln(100)} = \frac{T_m}{\ln(2)} \quad (3.5)$$

$$T_r = T_m \times \frac{\ln(100)}{\ln(2)} \quad (3.6)$$

Remarquons dans l'équation ci-dessus une propriété fondamentale : le temps T_r nécessaire au nœud pour descendre de V_{dd} à 0 V ne dépend ni de la résistance critique

minimale R_c^{min} , ni de la charge présente sur ce nœud C_{ni} . Il ne dépend que de la marge temporelle T_m pendant la phase de détection.

Enfin, puisque N^{ni} est le nombre de cycles d'horloge intervenant pendant la période T_r , on a :

$$N^{ni} = E \left(\frac{T_r}{T_{cl}} \right) \quad (3.7)$$

Bien entendu, cette analyse a été menée en considérant un simple circuit RC piloté par des sources de tension idéales. Dans un contexte réel, ce circuit RC est piloté par la porte amont. La relation entre la marge temporelle T_m et le temps requis T_r dépend donc de cette porte amont. La variable N^{ni} peut alors être obtenue avec une simulation SPICE pour chaque type de porte logique.

Il faut cependant garder en tête qu'un des points du cahier des charges pour que l'ATPG reste efficace est qu'on doit avoir recours le moins possible à des simulations coûteuses en temps CPU et en mémoire. Afin d'éviter ce point noir, on peut réaliser une série de simulations SPICE pour créer une bibliothèque. On effectue donc pour chaque porte une simulation comparable à celle représentée sur la Figure 3.5 pour une capacité de charge C_{ni} quelconque et pour chaque valeur de marge temporelle T_m , on relève le temps requis T_r . En ce qui concerne les portes à entrées multiples du type NAND ou NOR, les simulations sont réalisées dans le cas le plus défavorable, c'est-à-dire lorsqu'elles représentent le chemin le plus résistif (un seul transistor ouvert par réseau parallèle). On obtient alors les caractéristiques présentées sur la Figure 3.6.

On observe alors que l'évolution de T_r en fonction de la marge temporelle n'est pas de la forme $y = a x$ comme on le montre dans l'équation (3.5) mais plutôt de la forme $y = a x + b$. Ceci provient du fait qu'à la résistance critique minimale

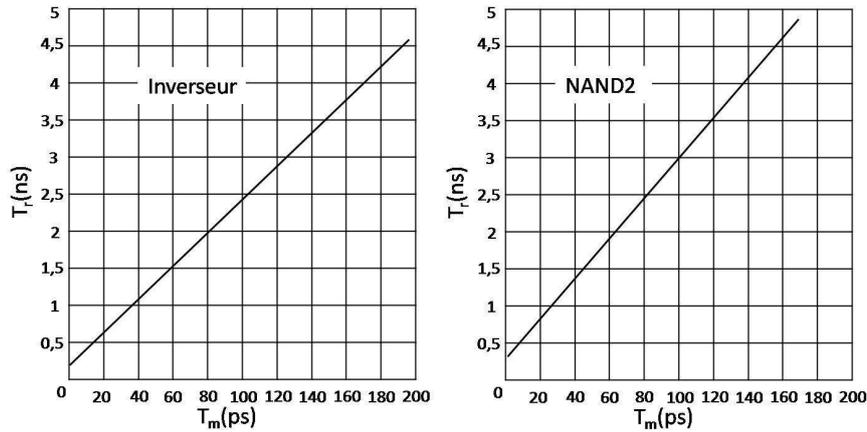


FIG. 3.6: Pré-caractérisation de T_r en fonction de T_m

R_c^{min} vient s'ajouter la résistance équivalente de la porte amont. La constante de temps τ n'est donc plus égale à $\tau = R_c^{min} \times C_{ni}$ mais à $\tau = (R_c^{min} + R_{n/p}) \times C_{ni}$. Les équations de charge et de décharge vues précédemment deviennent alors :

$$\begin{cases} \frac{1}{2} \times V_{dd} = V_{dd} \times \left[1 - e^{-T_m / (R_p + R_c^{min}) \times C_{ni}} \right] \\ 0,01 \times V_{dd} = V_{dd} \times e^{-T_r / (R_n + R_c^{min}) \times C_{ni}} \end{cases} \quad (3.8)$$

et l'équation liant le temps requis à la marge temporelle devient :

$$T_r = T_m \times \frac{\ln(100)}{\ln(2)} - C_{ni} \times \ln(100) \times (R_p - R_n) \quad (3.9)$$

On peut maintenant décrire le processus complet de l'ATPG :

- Pour chaque nœud n_i restant,
 - calculer dynamiquement la variable d'activité A^{n_i}
 - déterminer le plus long chemin de propagation pour n_i
 - déterminer la marge temporelle correspondante T_m
 - déterminer le temps requis par $T_r = a T_m + b$
 - déterminer le nombre de cycles d'horloge requis par $N^{n_i} = E(T_r/T_{cl})$

- déterminer les nœuds candidats tels que $A^{ni} \geq N^{ni}$
- générer un vecteur de test pour l'un de ces candidats.

Ce processus est résumé à la Figure 3.7

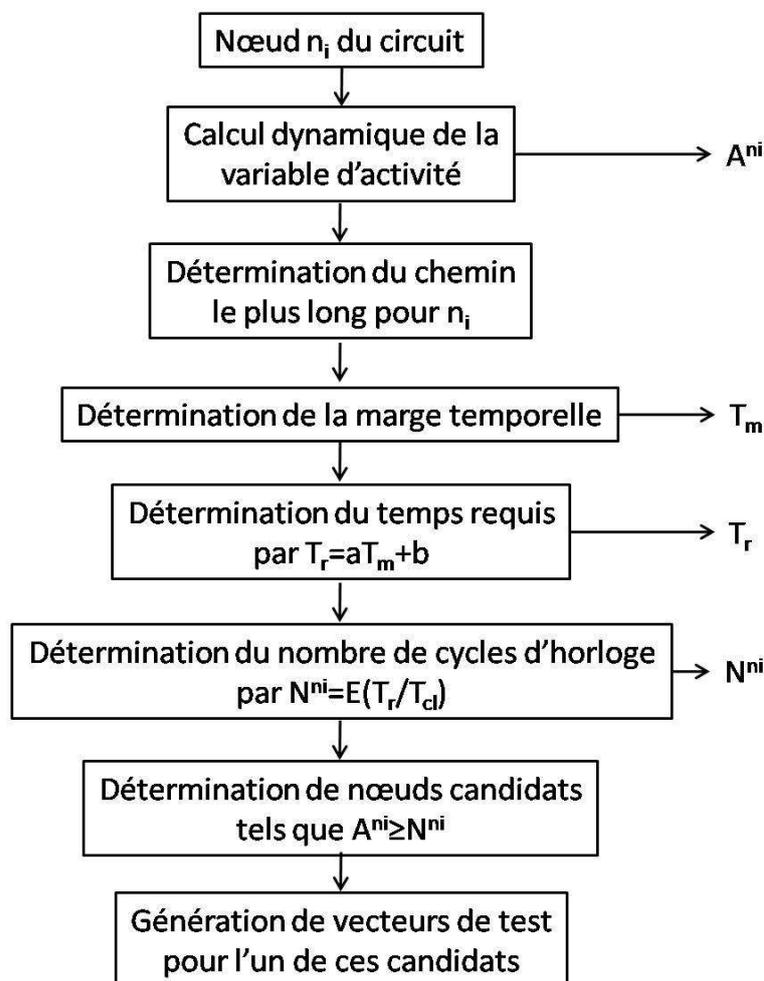


FIG. 3.7: Processus de l'ATPG

3.4 Conclusion

A partir de l'étude électrique effectuée sur les circuits ouverts résistifs présentée dans le chapitre précédent, un simulateur de fautes et un ATPG ont été développés. L'équipe de l'Université Albert-Ludwigs a réalisé un simulateur basé non seulement

sur le comportement électrique du défaut mais également sur la distribution probabiliste de la valeur de la résistance de ce défaut. Une métrique permettant de qualifier la couverture de fautes réaliste du modèle a ainsi été proposée et validée sur une série de tests sur des circuits aussi bien combinatoires que séquentiels.

Un principe d'ATPG spécifique pour les défauts de circuit ouvert résistif a également été proposé. Cet ATPG permet de sensibiliser et de propager le défaut vers une sortie primaire et garantit également la détection de ce défaut pour une gamme de résistance de circuit ouvert la plus large possible.

Analyse électrique du comportement dynamique des Courts-Circuits résistifs

Sommaire

4.1	Introduction	86
4.2	Influence de la résistance de court-circuit	86
4.3	Influence de la capacité de couplage	92
4.4	Conclusion	95

4.1 Introduction

Après le circuit ouvert étudié dans les chapitres précédents, le court-circuit est le deuxième type de défaut courant qui affecte les circuits intégrés actuels. Encore une fois, la réalisation d'outils permettant la détection d'un tel défaut passe par une étude approfondie de son impact sur le comportement électrique du circuit. Le but de notre travail étant de réaliser des modèles de fautes utilisables dans des ATPG permettant d'obtenir la plus grande couverture possible, nous nous sommes naturellement intéressés à des défauts réalistes dans des circuits réalistes, à savoir des courts-circuits résistifs dans des circuits soumis à des interférences de type couplage entre lignes d'interconnexion. Ce chapitre est donc scindé en deux parties.

La première partie s'intéresse à un court-circuit résistif seul, c'est-à-dire sans prendre en compte l'impact que peuvent avoir les lignes d'interconnexion environnantes. L'étude met en avant l'influence de la valeur aléatoire de la résistance de court-circuit ainsi que des vecteurs appliqués en entrée du circuit. Les premières conclusions nécessaires à l'élaboration d'un modèle mathématique en sont déduites.

La deuxième partie quant à elle propose une étude plus complète du comportement d'un court-circuit aggravé par un couplage capacitif avec les lignes environnantes. Ce couplage est modélisé par une capacité entre les deux lignes mises en conflit par le court-circuit.

4.2 Influence de la résistance de court-circuit

Dans cette partie nous nous intéressons à l'étude du comportement électrique dynamique d'un court-circuit résistif sans capacité de couplage. Pour ceci nous nous

appuyons sur le circuit didactique représenté sur la Figure 4.1. Dans ce circuit logique, les interconnexions n_1 et n_2 sont court-circuitées. Le court-circuit est représenté par la résistance R_s dont la valeur est *a priori* inconnue puisque dépendante de paramètres aléatoires tels que la topologie ou le matériau du défaut. Il est donc important de s'intéresser au comportement du circuit en présence de défauts de différentes tailles.

Cependant, la valeur de la résistance de court-circuit n'est pas le seul facteur à prendre en compte. En effet, l'impact d'un court-circuit est tel que chacun des nœuds essaye d'imposer sa valeur logique à l'autre. Or, dans le cas où les deux nœuds sont au même niveau ou bien les deux transitions sont dans le même sens, alors l'influence du court-circuit est transparente. Par exemple, si l'on applique aux entrées $\{E_1, E_2, E_3, E_4\}$ du circuit de la Figure 4.1 les vecteurs $\{0, 1, 0, 0\}$ et $\{1, 1, 1, 0\}$, alors les transitions sur les interconnexions n_1 et n_2 se font dans le même sens. Dans ce cas, la présence du défaut de court-circuit ne perturbe en rien le fonctionnement du circuit.

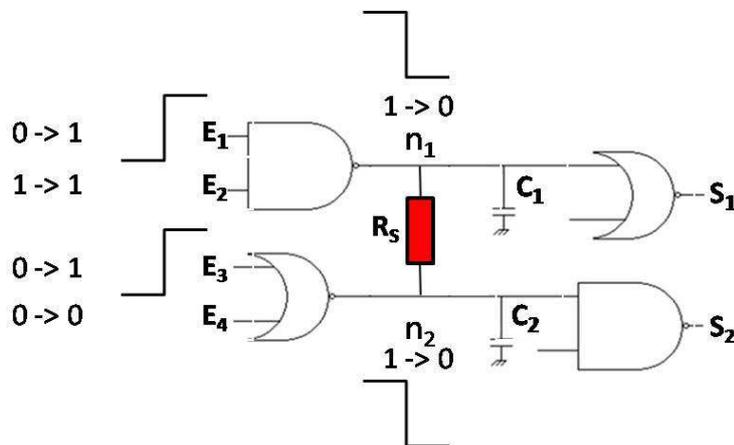


FIG. 4.1: Exemple d'un court-circuit résistif sensibilisé par des transitions de même sens

La Figure 4.2 représente une simulation SPICE du circuit de la Figure 4.1. La partie supérieure illustre les transitions appliquées sur les entrées E_1 et E_3 (les entrées E_2 et E_4 étant stables aux valeurs non prioritaires), tandis que la partie inférieure représente les signaux électriques sur les nœuds n_1 et n_2 avec une résistance de court-

circuit de 500Ω . Les transitions sur les entrées E_1 et E_3 sont exactement confondues. On voit très clairement que la présence de la résistance de court-circuit n'a aucune influence sur le comportement du circuit lorsque les deux entrées E_1 et E_3 commutent en même temps puisque les réponses observées sur les nœuds n_1 et n_2 sont confondues avec celles du circuit sain.

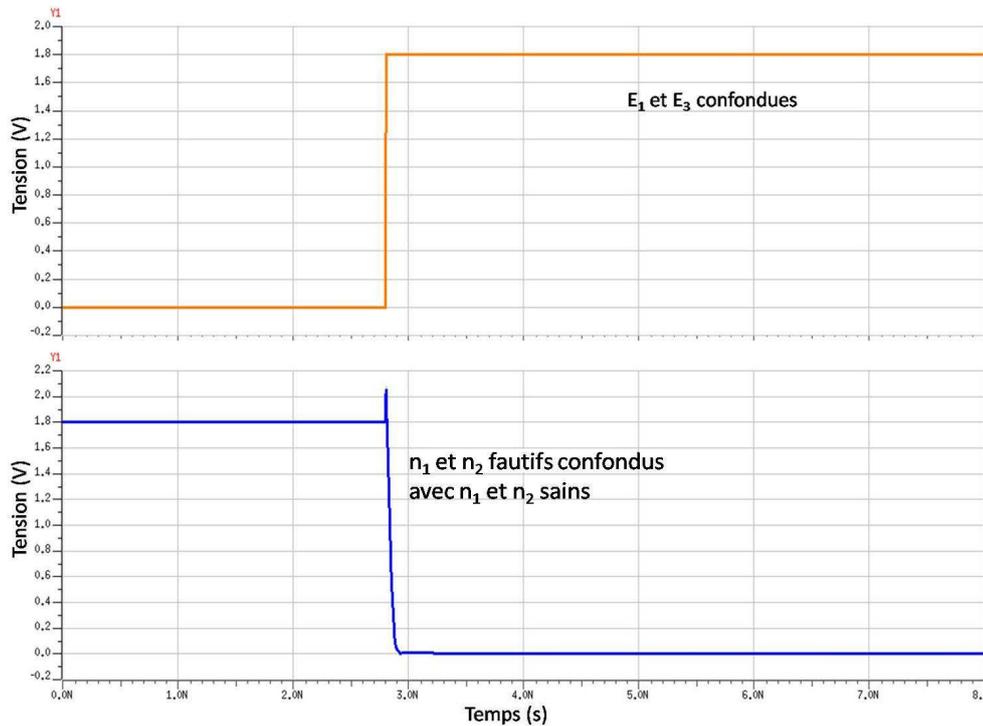


FIG. 4.2: Simulation d'un court-circuit résistif sensibilisé par des transitions identiques

En revanche, si l'on fait maintenant l'hypothèse que les transitions d'entrée sont décalées dans le temps (supposons que la transition sur E_1 arrive en premier), alors le nœud n_1 effectue sa transition descendante et atteint sa valeur finale avant que la transition sur n_2 n'intervienne. Dans ce cas, le nœud n_1 a tendance à "entraîner" le nœud n_2 vers le niveau bas. Autrement dit, le fait que n_1 soit déjà au niveau logique 0 va favoriser la transition descendante de n_2 . Cela se traduit par une accélération du signal et donc un retard moins important que dans le cas du circuit sain. La simulation SPICE de ce cas de figure est présentée sur la Figure 4.3. On mesure sur la ligne n_2 un retard nominal par rapport à la transition sur E_3 de 35 ps pour un circuit sain alors

que pour un circuit avec un court-circuit résistif de 500Ω , le retard n'est que de 13 ps. On observe bien une accélération du signal avec un retard plus faible de 22 ps. Bien entendu ce cas de figure n'a aucun intérêt pour la détection d'un défaut, il n'est donc plus considéré dans la suite de ce manuscrit.

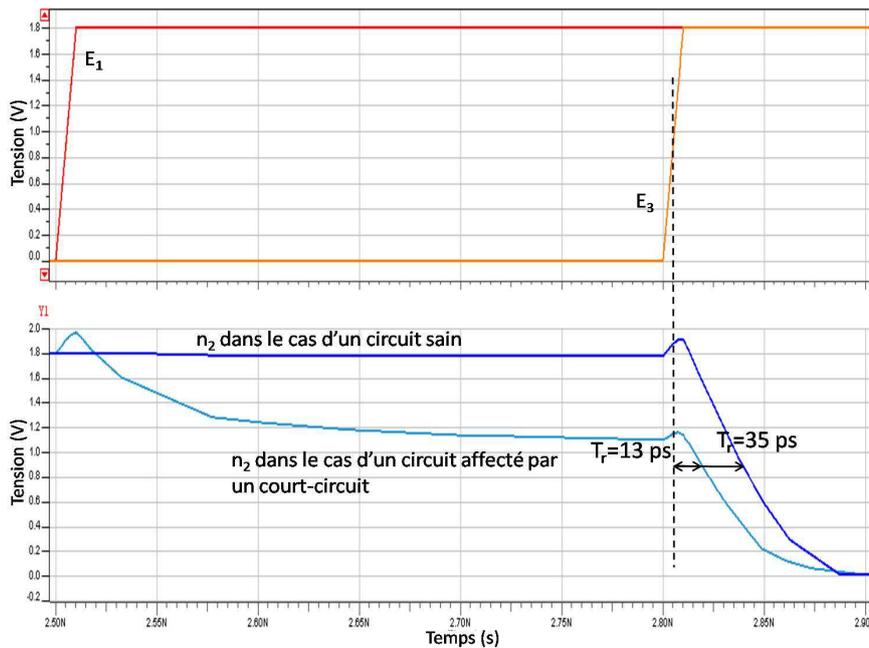


FIG. 4.3: Simulation d'un court-circuit résistif sensibilisé par des transitions de même sens décalées

Le cas le plus intéressant qui produit un ralentissement du signal sur l'interconnexion est donc celui où les vecteurs d'entrée produisent des transitions de sens inverses sur les lignes n_1 et n_2 mises en compétition. Considérons donc à présent que les vecteurs $\{0, 1, 1, 0\}$ et $\{1, 1, 0, 0\}$ sont appliqués successivement sur les entrées $\{E_1, E_2, E_3, E_4\}$. Dans ce cas, les transitions sur les nœuds n_1 et n_2 sont de sens inverses (Figure 4.4).

Ainsi, si dans ce que nous avons vu précédemment, la transition sur n_1 favorise et accélère celle sur n_2 , on a ici en revanche des conditions défavorables pour la transition sur n_2 et donc un ralentissement de ce signal. Cela se traduit par une augmentation du retard comme l'illustre la Figure 4.5. Le retard mesuré pour un circuit sain est de 45

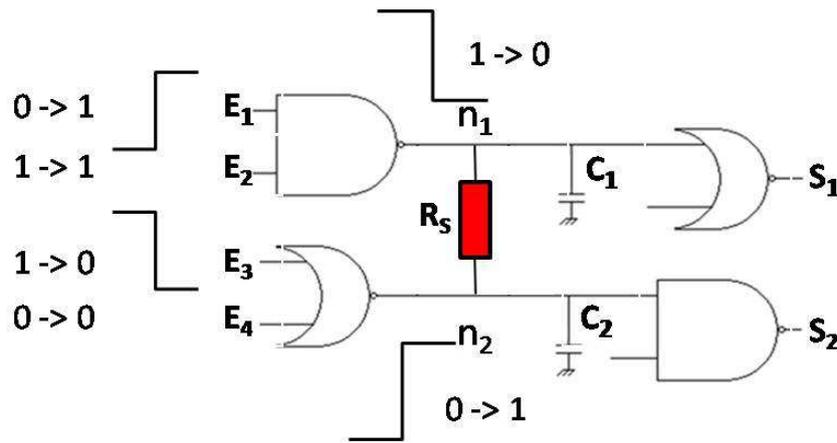


FIG. 4.4: Exemple d'un court-circuit résistif sensibilisé par des transitions de sens contraires

ps alors que celui dans le cas d'un circuit affecté par un court-circuit résistif de 500Ω est de 164 ps. On relève donc bien un ralentissement de l'ordre de 119 ps.

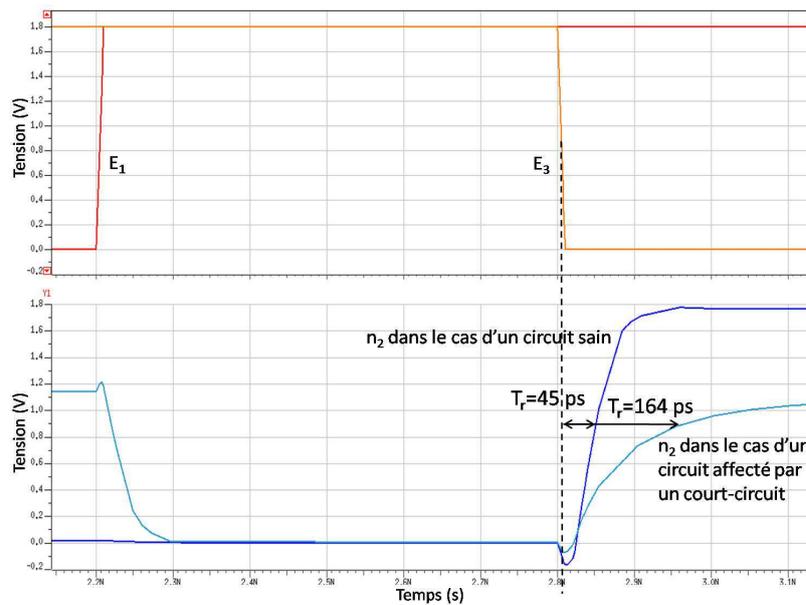


FIG. 4.5: Simulation d'un court-circuit résistif sensibilisé par des transitions de sens contraires

Analysons maintenant l'influence de la valeur de la résistance du court-circuit. Intuitivement, plus la résistance du court-circuit est faible et plus son impact sur le comportement du circuit est important. La Figure 4.6 illustre cet état de fait. On constate que pour un court-circuit de 200Ω le retard créé sur la ligne n_2 est de 176 ps alors que pour un court-circuit de 3000Ω le retard est de 95 ps.

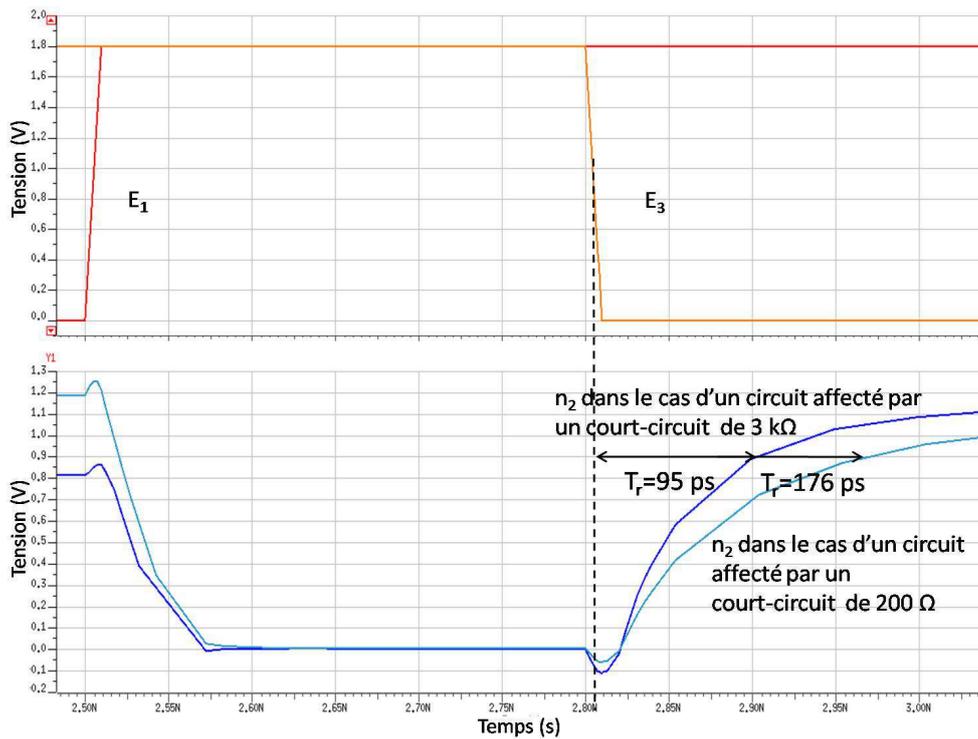


FIG. 4.6: Comportement du retard en fonction de la valeur de la résistance de court-circuit

On peut alors évaluer l'influence du court-circuit en traçant la caractéristique du retard induit en fonction de la valeur de la résistance du défaut. Le résultat de cette simulation est donné sur la Figure 4.7.

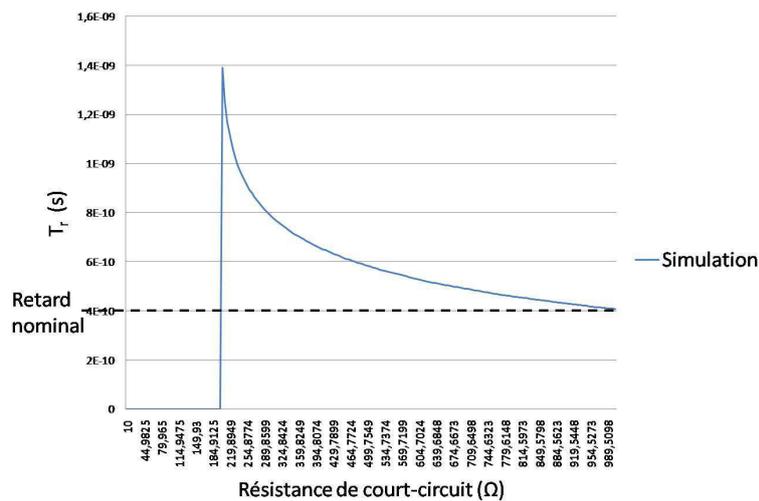


FIG. 4.7: Variation du retard en fonction de la valeur de la résistance de court-circuit

La Figure 4.7 confirme bien les résultats obtenus précédemment, à savoir que

le retard d'une ligne affectée par un court-circuit diminue lorsque la résistance de ce court-circuit augmente. De plus, lorsque cette valeur de résistance tend vers l'infini la courbe tend vers une limite qui est le retard nominal. On constate également sur la partie de gauche de la courbe que le retard n'est pas défini pour les valeurs de résistances inférieures à un certain seuil. Cela est dû au fait que la résistance du court-circuit est tellement faible que le niveau du nœud n_2 ne parvient pas à atteindre la tension de seuil de $V_{dd}/2$, il y a donc dans ce cas une faute statique et le retard peut être considéré comme infini.

4.3 Influence de la capacité de couplage

Etant donnée la densité de plus en plus importante dans les circuits intégrés actuels, un phénomène récurrent apparaît lors du fonctionnement des circuits. C'est la diaphonie. On appelle diaphonie l'interférence d'un premier signal avec un second. On trouve des traces du premier signal dans le second souvent à cause de phénomènes d'induction électromagnétique entre deux lignes suffisamment proches. Par la suite, nous considérons donc que les deux lignes affectées par un court-circuit sont également liées par de la diaphonie due à des capacités de couplage entre lignes voisines. Afin de modéliser ce phénomène, nous utiliserons le circuit de la Figure 4.8 où une capacité de couplage C_c a été ajoutée.

La présence de cette capacité de couplage influe sur le comportement du circuit. Les instants où les vecteurs d'entrée sont appliqués jouent notamment un rôle important. Appliquons les vecteurs $\{0, 1, 1, 0\}$ et $\{1, 1, 0, 0\}$ sur les entrées $\{E_1, E_2, E_3, E_4\}$. Le temps entre l'application du front montant sur E_1 et le front descendant sur E_3 est appelé le décalage temporel T_d . Considérant que l'entrée E_3 est la référence alors si la transition sur l'entrée E_1 est appliquée avant, le décalage

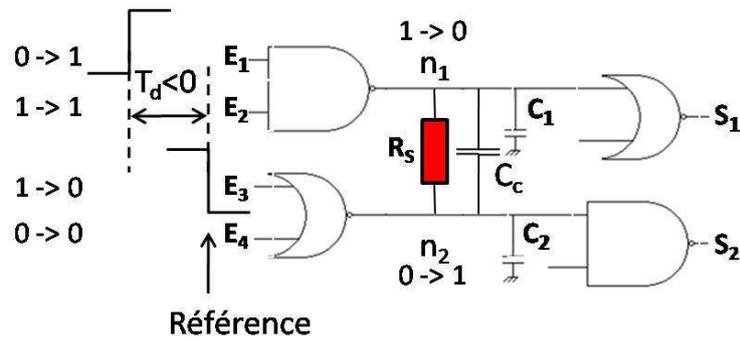


FIG. 4.8: Exemple d'un court-circuit résistif aggravé par de la diaphonie

temporel est négatif. Suivant la valeur de ce décalage temporel, la capacité aura plus ou moins d'impact sur le comportement du circuit. En effet, si la transition sur l'entrée E_1 se produit longtemps avant celle sur l'entrée E_2 alors le niveau sur le nœud n_1 a le temps de se stabiliser avant la transition de n_2 et son influence sur le nœud n_2 via la capacité de couplage est nulle. Par contre, si les deux transitions se produisent à des instants rapprochés alors l'impact du nœud n_1 sur le nœud n_2 est beaucoup plus important. Le cas où le décalage temporel T_d est positif, c'est-à-dire lorsque la transition sur E_1 intervient après celle sur E_3 , n'est pas intéressant dans notre étude. En effet, le niveau haut de n_1 favoriserait le changement d'état du nœud n_2 et le retard serait alors plus faible.

Considérons donc deux valeurs de décalage temporel. La partie supérieure de la Figure 4.9 représente les simulations du circuit didactique de la Figure 4.8 pour un grand décalage temporel de 2,5 ns tandis que la partie inférieure représente la simulation du même circuit mais avec un décalage temporel court égal à 50 ps.

A partir de ces simulations, on peut voir que le retard T_r décroît lorsque la valeur absolue du décalage temporel $|T_d|$ diminue. Cela signifie qu'une transition de E_1 proche de celle sur E_3 accélère la transition sur n_2 . Une des raisons de cette accélération se trouve dans les tensions initiales et finales du signal n_2 notées $V_{initiale}$ et V_{finale}

sur la Figure 4.9. Pour un décalage temporel faible, le nœud n_2 passe de $V_{initiale} > 0$ à $V_{finale} < V_{dd}$, c'est-à-dire avec une dynamique $V_{finale} - V_{initiale}$ faible de l'ordre de $0,8 V$. Dans ce cas le retard est de $200 ps$. Cependant lorsque le décalage temporel est plus important, le nœud n_2 passe de G_{nd} à V_{finale} , c'est-à-dire avec une dynamique $V_{finale} - 0$ plus grande, de l'ordre de $1,4 V$. Le retard est alors de $550 ps$.

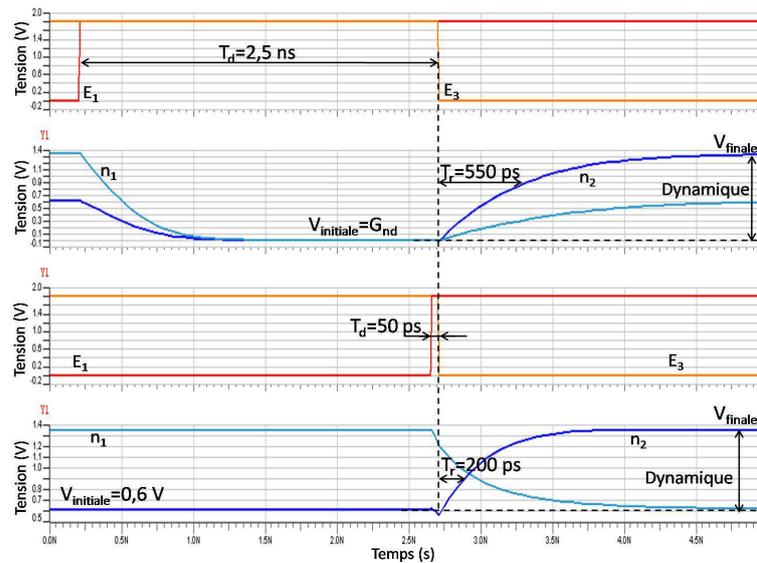


FIG. 4.9: Influence du décalage temporel entre les transitions des signaux d'entrée

A partir des simulations précédentes, on peut alors tracer l'évolution du retard en fonction du décalage temporel pour différentes valeurs de résistance de court-circuit. La Figure 4.10 représente cette caractéristique.

On observe très clairement sur la Figure 4.10 que lorsque la résistance de court-circuit R_s augmente le retard induit T_r diminue. De plus, lorsque le décalage temporel T_d est proche de zéro, c'est-à-dire lorsque les deux vecteurs d'entrée commutent quasiment en même temps, le retard part d'une valeur minimale pour augmenter lorsque la valeur absolue du décalage temporel augmente jusqu'à atteindre une valeur maximale stable. On considère que cette valeur maximale est atteinte pour un décalage temporel égal à $-1 ns$.

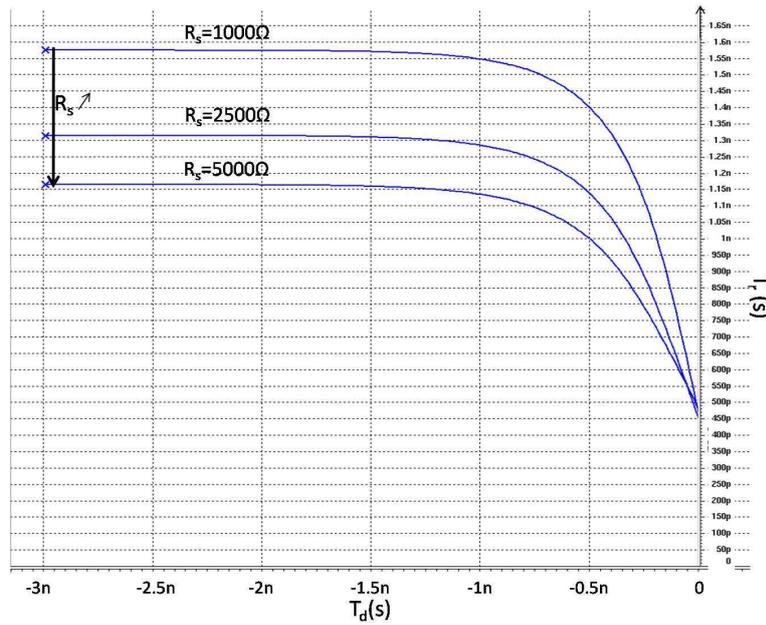


FIG. 4.10: Influence du décalage temporel sur le retard du signal au nœud n_2

4.4 Conclusion

Ce quatrième chapitre est consacré à l'étude du comportement électrique dynamique d'un court-circuit résistif.

La première partie s'est attachée à l'étude de l'impact de la résistance du court-circuit sur le comportement dynamique du circuit. Il ressort de cette étude que plus la résistance est faible et plus son influence est importante, c'est-à-dire que le retard augmente lorsque la résistance diminue.

La deuxième partie considère, en plus du défaut résistif complètement aléatoire, un phénomène physique mesurable et déterministe : la diaphonie entre les deux lignes court-circuitées. La présence de ce phénomène supplémentaire impose de prendre également en compte les instants où les vecteurs d'entrée sont appliqués ou, plus précisément, la valeur du décalage temporel entre l'application des transitions d'entrée.

Le chapitre suivant est donc consacré à la réalisation d'un modèle mathématique

prenant en compte ces phénomènes de manière combinée avant implémentation dans un simulateur de fautes.

Modélisation et simulation du comportement dynamique des Courts-Circuits résistifs

Sommaire

- 5.1 Introduction 98**
- 5.2 Modèle mathématique 98**
 - 5.2.1 Détermination de $D(R_s)$ 101
 - 5.2.2 Détermination de $d(R_s)$ 103
 - 5.2.3 Extrapolation de l'équation du retard en fonction du déca-
lage temporel 109
- 5.3 Evaluation du modèle 110**
 - 5.3.1 Une première comparaison 110
 - 5.3.2 Comparaison des efficacités simulées et calculées 112
- 5.4 Conclusion 115**

5.1 Introduction

Ce chapitre décrit le modèle développé pour évaluer l'intervalle de détection dans un contexte de simulateur de fautes. Comme nous l'avons vu dans le chapitre 3 dans le cadre des circuits ouverts résistifs, la plus grande difficulté provient du calcul de l'intervalle de détection dans le domaine des résistances. En d'autres termes, le point critique est de déterminer, pour une faute donnée et pour une paire de vecteurs de test donnée, la résistance maximale pour laquelle le retard est égal à la marge temporelle.

Ce chapitre est divisé en deux parties. La première présente la modélisation mathématique du court-circuit. Elle est elle-même constituée de trois étapes. Chacune de ces étapes contribue à la réalisation de l'équation représentant le retard en fonction de tous les paramètres du circuit.

La deuxième partie est consacrée à l'évaluation du modèle mathématique proposé. A travers une série de simulations dans des conditions différentes, l'équation est comparée au circuit réel constitué de portes logiques.

5.2 Modèle mathématique

L'analyse du court-circuit résistif dans le chapitre précédent a conduit à tracer le retard T_r induit par le défaut sur le signal en fonction du décalage temporel T_d entre les transitions d'entrée et ce pour différentes valeurs de résistance de court-circuit R_s . Le résultat de cette simulation est rappelé Figure 5.1.

Sur cette figure, la résistance maximale déterminant l'intervalle de détection peut facilement être extraite. En effet, pour un défaut de court-circuit donné et pour une

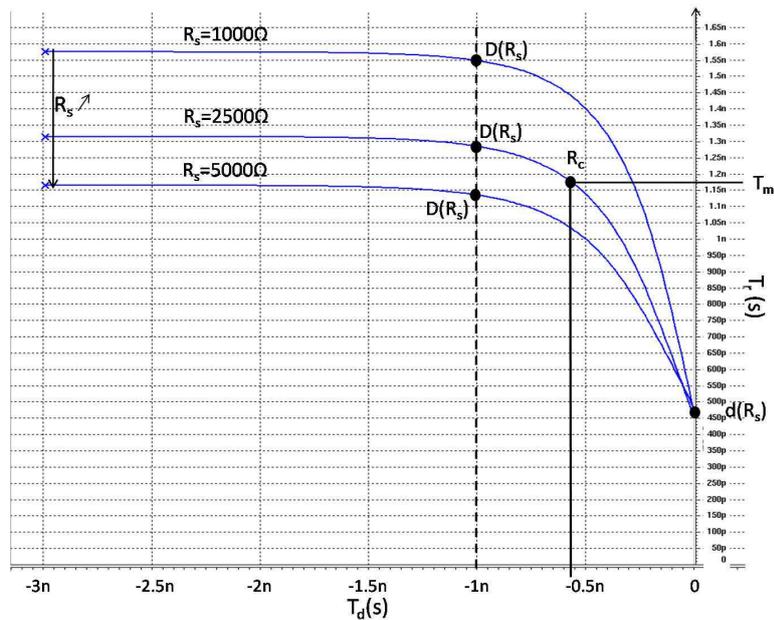


FIG. 5.1: Influence du décalage temporel sur le retard d'un signal

paire de vecteurs de test donnée, le simulateur de fautes détermine :

- le décalage temporel entre les signaux appliqués aux entrées E_1 et E_3 du circuit, soit T_d ,
- la marge temporelle associée au chemin utilisé pour la propagation de la faute, soit T_m .

Rappelons que pour qu'un défaut soit détectable, il faut que le retard induit T_r soit supérieur ou égal à la marge temporelle T_m . Ainsi, sur la Figure 5.1, la connaissance de la marge temporelle et du décalage temporel permet, grâce à leur intersection, de déterminer la résistance maximale de court-circuit détectable. En effet, il n'existe qu'une seule courbe passant par un point donné par (T_d, T_m) , courbe qui représente le comportement du court-circuit pour une valeur de résistance. En pratique, cette détermination nécessite d'établir une procédure basée sur un modèle précis du comportement du circuit et donc sur des équations mathématiques. Par conséquent, le but de cette partie est de déterminer une équation liant le retard créé par le défaut au décalage temporel entre les transitions d'entrée du circuit.

Le modèle est basé sur une représentation du circuit de la Figure 4.4 donnée à la Figure 5.2 où les transistors ont été remplacés par leur résistance équivalente en termes de retard [49]. Sur la Figure 5.1, on peut observer que pour une certaine résistance de court-circuit R_s , le retard est minimum lorsque la valeur de décalage temporel est égale à zéro, c'est-à-dire lorsque les deux entrées commutent en même temps. Appelons cette valeur de retard $d(R_s)$. Le retard augmente ensuite lorsque le décalage temporel augmente en valeur absolue, jusqu'à atteindre une valeur limite appelée $D(R_s)$. Cette valeur maximale est atteinte pour un décalage temporel d'environ $|1 \text{ ns}|$. Au-delà de cette valeur, le retard reste constant et indépendant du décalage temporel.

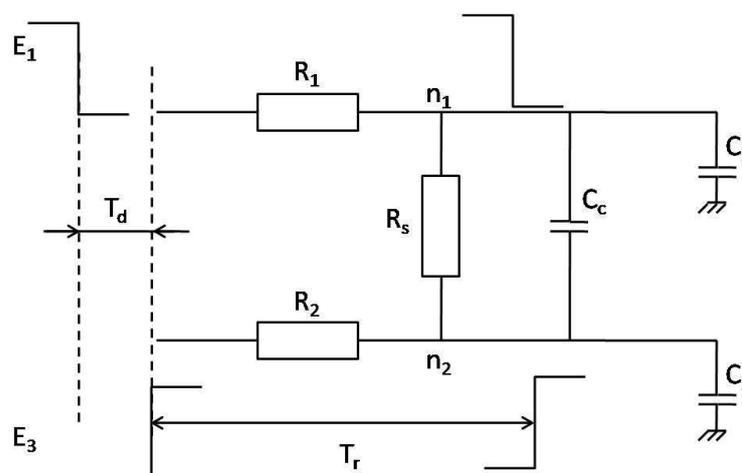


FIG. 5.2: Circuit avec les résistances équivalentes aux transistors

Etablir une équation du retard induit en tenant compte de tous les paramètres du circuit (résistances équivalentes, marge temporelle...) ne se faisant pas simplement, la suite de la section est dédiée à la détermination des deux points extrêmes $d(R_s)$ et $D(R_s)$ puis à l'extrapolation de la courbe qui les relie pour une valeur de R_s donnée.

5.2.1 Détermination de $D(R_s)$

Pour un large décalage temporel T_d , le retard devient constant et indépendant de T_d comme on peut le voir sur la partie gauche de la Figure 5.1. Cela signifie que, dans ce cas, la capacité de couplage C_c n'a plus d'effet et qu'on peut donc ne pas la considérer dans le circuit de la Figure 5.2 pour calculer $D(R_s)$.

Lorsqu'on néglige la capacité de couplage, le circuit résultant est équivalent à un circuit modélisé dans un travail antérieur [49]. Les auteurs proposent un modèle électrique pour un court-circuit résistif sans considérer la capacité de couplage. La Figure 5.3 montre le circuit étudié par les auteurs de [49].

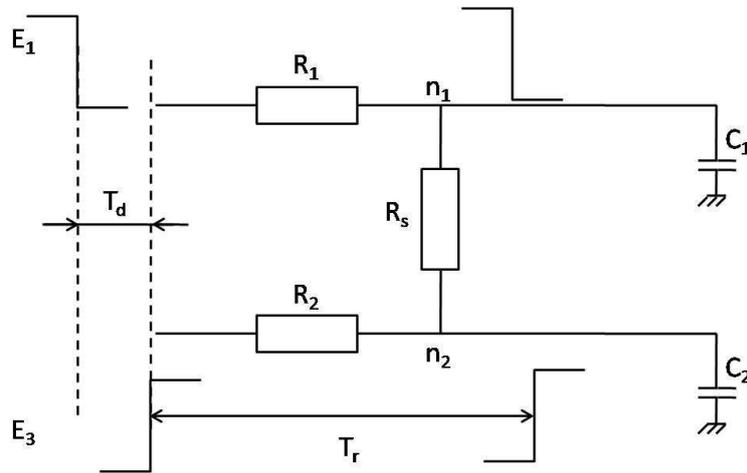


FIG. 5.3: Circuit équivalent sans prendre la diaphonie en compte

Pour ce circuit, les auteurs déterminent une équation exprimant le retard en fonction des paramètres du circuit :

$$d = - \left[C_2 + \frac{R_1^2}{(R_1 + R_s)^2} C_1 \right] \left(R_2 \frac{R_1 + R_s}{R_1 + R_2 + R_s} \right) \ln \left(1 - \frac{0,5}{\frac{R_1 + R_s}{R_1 + R_2 + R_s}} \right) \quad (5.1)$$

Cette équation détermine le retard du signal au nœud n_2 , exprimé en secondes, en fonction des capacités de charge (C_1 et C_2 en Farads), des résistances équivalentes

aux portes logiques (R_1 et R_2 en Ohms) et de la résistance de court-circuit (R_s). Cette équation a certes été développée dans le cas de court-circuit résistif sans diaphonie, mais elle fournit bien les différents points $D(R_s)$ de la Figure 5.1 pour un court-circuit résistif aggravé par de la diaphonie étant donné que l'impact de la capacité de couplage est négligeable dans cette plage de décalage temporel entre les entrées.

Par ailleurs, cette équation représente le retard dans le cas où le décalage temporel T_d est suffisamment grand en valeur absolue pour que la capacité de couplage n'ait plus d'impact sur le comportement du circuit. Elle est donc l'image du point extrême que nous cherchons à déterminer. On peut alors écrire :

$$D(R_s) = - \left[C_2 + \frac{R_1^2}{(R_1 + R_2)^2} C_1 \right] \left(R_2 \frac{R_1 + R_s}{R_1 + R_2 + R_s} \right) \ln \left(1 - \frac{0,5}{\frac{R_1 + R_s}{R_1 + R_2 + R_s}} \right) \quad (5.2)$$

La Figure 5.4 illustre le comportement du retard pour un large décalage temporel T_d en fonction de la résistance du court-circuit obtenu d'un côté par une simulation SPICE et d'un autre côté par l'équation ci-dessus (5.1). On constate d'une part que la gamme de résistance de court-circuit pour laquelle le retard ne peut être défini (c'est-à-dire que le nœud n_2 n'atteint pas la tension de seuil logique de $V_{dd}/2$) est identique pour la simulation et pour le modèle. D'autre part, lorsque le retard est défini, on peut observer que les courbes représentant le retard simulé et le retard calculé sont quasiment confondues. On peut donc en conclure que l'estimation du comportement du court-circuit par l'équation précédente est très bonne.

Cette équation représente le retard dans le cas où le décalage temporel T_d est suffisamment grand en valeur absolue pour que la capacité de couplage n'ait plus d'impact sur le comportement du circuit. Elle est donc l'image du point extrême que

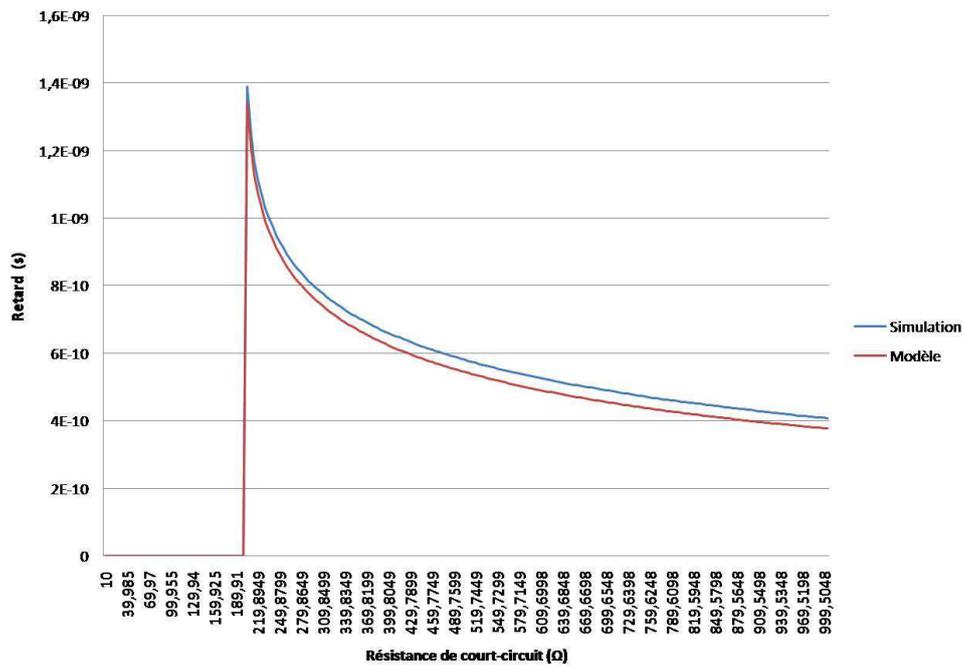


FIG. 5.4: Comparaison de $D(R_s)$ simulé et calculé

nous cherchons à déterminer. On peut alors écrire :

$$D(R_s) = - \left[C_2 + \frac{R_1^2}{(R_1 + R_2)^2} C_1 \right] \left(R_2 \frac{R_1 + R_s}{R_1 + R_2 + R_s} \right) \ln \left(1 - \frac{0,5}{\frac{R_1 + R_s}{R_1 + R_2 + R_s}} \right) \quad (5.3)$$

Nous sommes à présent en mesure de déterminer avec précision les points $D(R_s)$ nécessaires à la modélisation des courbes de la Figure 5.1.

5.2.2 Détermination de $d(R_s)$

Contrairement au cas de $D(R_s)$, lorsque le décalage temporel entre les signaux d'entrée est égal à zéro, le retard est minimum. Il n'existe aucun modèle donnant le retard $d(R_s)$ en fonction de la valeur de la résistance de court-circuit et des paramètres environnants. Nous développons donc dans cette partie un modèle en utilisant le théo-

rème de superposition. D'après ce théorème, la sortie d'un système linéaire possédant plusieurs entrées peut être obtenue par la somme des réponses de chacune des entrées prise isolément. La réalisation de ce modèle passe donc par quatre étapes successives :

a) *Étape 1.*

Considérons dans un premier temps qu'une transition descendante est appliquée sur l'entrée E_1 tandis que l'entrée E_3 reste constante et égale à zéro comme représenté sur la Figure 5.5.

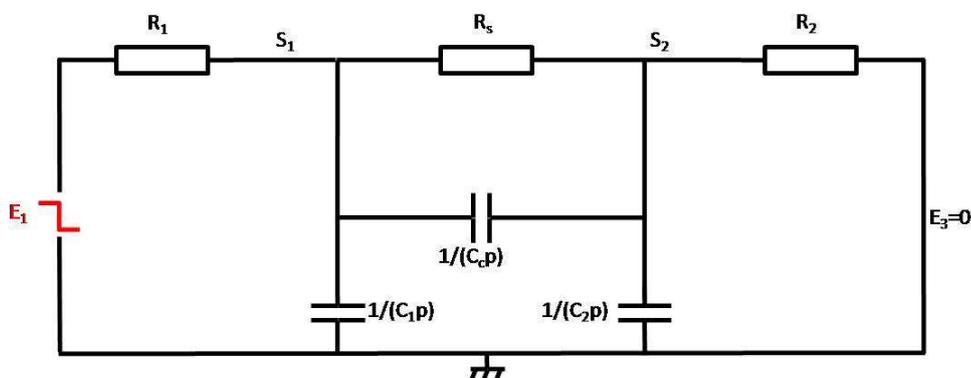


FIG. 5.5: Première étape du calcul de $d(R_s)$

Sous ces conditions, on détermine la fonction de transfert $TF^1(p)$ du circuit :

$$TF^1(p) = \frac{R_1 R_s (C_1 + C_c) p + R_1 + R_s}{R_1 R_2 R_s C_{eq} (p - S_1) (p - S_2)} \quad (5.4)$$

où S_1 et S_2 sont les solutions de l'équation :

$$p^2 + bp + \frac{R_1 + R_2 + R_s}{R_1 R_2 R_s C_{eq}} \quad (5.5)$$

avec

$$b = \frac{(C_1 + C_c) R_1 R_s + (C_1 + C_2) R_1 R_2}{R_1 R_2 R_s C_{eq}} \quad (5.6)$$

$$C_{eq} = C_1 C_c + C_1 C_2 + C_2 C_c \quad (5.7)$$

D'après le sens et la constante de temps τ_1 de la transition sur E_1 , on peut écrire dans le domaine de Laplace :

$$E_1(p) = \frac{1}{p + \tau_1} \quad (5.8)$$

Et on peut en déduire l'expression de n_2 :

$$\begin{aligned} n_2^1(t) = & \frac{K_1^{S_2}}{(S_2 + \tau_1)(S_2 - S_1)} e^{S_2 t} - \frac{K_1^{S_1}}{(S_1 + \tau_1)(S_2 - S_1)} e^{S_1 t} \\ & + \frac{K_1^{-\tau_1}}{(S_2 + \tau_1)(S_1 + \tau_1)} e^{-\tau_1 t} \end{aligned} \quad (5.9)$$

où

$$K_1^{S_1} = \frac{R_1 R_s C_c S_1 + R_1 R_s C_1 S_1 + R_1 + R_s}{R_1 R_2 R_s C_{eq}} \quad (5.10)$$

$$K_1^{S_2} = \frac{R_1 R_s C_c S_2 + R_1 R_s C_1 S_2 + R_1 + R_s}{R_1 R_2 R_s C_{eq}} \quad (5.11)$$

$$K_1^{-\tau_1} = \frac{R_1 R_s C_c (-\tau_1) + R_1 R_s C_1 (-\tau_1) + R_1 + R_s}{R_1 R_2 R_s C_{eq}} \quad (5.12)$$

b) Etape 2.

Considérons à présent une transition montante sur l'entrée E_3 tandis que l'entrée E_1 reste constante et égale à zéro. Cette étape est symétrique à la première et est représentée Figure 5.6.

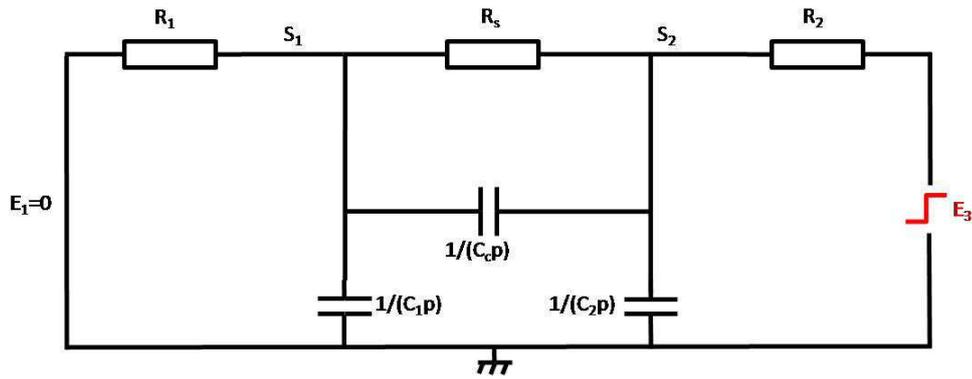


FIG. 5.6: Deuxième étape du calcul de $d(R_s)$

On détermine ainsi la fonction de transfert $TF^2(p)$ du circuit :

$$TF^2(p) = \frac{R_2(1 + R_s C_c p)}{R_1 R_2 R_s C_{eq} (p - S_1)(p - S_2)} \quad (5.13)$$

Ainsi, à partir de l'expression de la transition sur E_3 et de sa constante de temps τ_2 , on peut déduire la forme de n_2 :

$$E_3(p) = \frac{\tau_2}{p(p + \tau_2)} \quad (5.14)$$

$$n_2^2(t) = \frac{-\tau_2 K_2^{S_1}}{S_1(S_2 - S_1)(S_1 + \tau_2)} e^{S_1 t} + \frac{\tau_2 K_2^{S_2}}{S_2(S_2 - S_1)(S_2 + \tau_2)} e^{S_2 t} - \frac{K_2^{-\tau_2}}{(S_2 + \tau_2)(S_1 + \tau_2)} e^{-\tau_2 t} + \frac{R_1}{R_1 + R_2 + R_s} \quad (5.15)$$

avec

$$K_2^{S_1} = \frac{R_s C_c S_1 + 1}{R_1 R_s C_{eq}} \quad (5.16)$$

$$K_2^{S_2} = \frac{R_s C_c S_2 + 1}{R_1 R_s C_{eq}} \quad (5.17)$$

$$K_2^{-\tau_2} = \frac{R_s C_c (-\tau_2) + 1}{R_1 R_s C_{eq}} \quad (5.18)$$

c) Etape 3.

On considère dans un troisième temps les conditions initiales du circuit. Avant l'application des transitions sur les entrées, $E_1(0) = V_{dd}$ et $E_3(0) = 0$ (Figure 5.7).

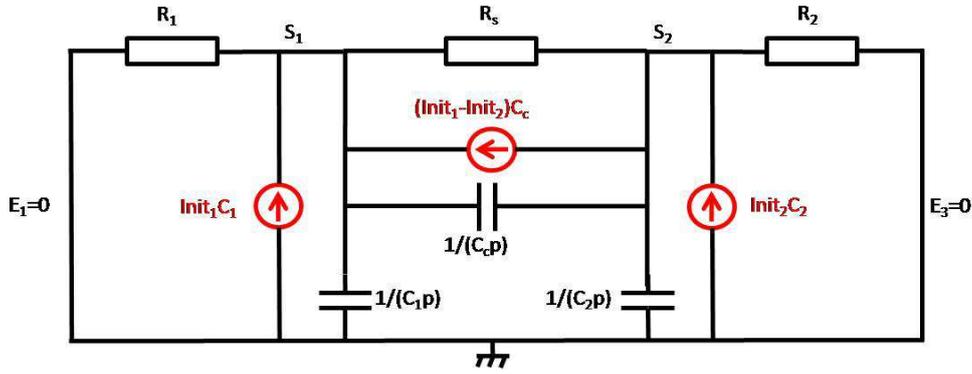


FIG. 5.7: Troisième étape du calcul de $d(R_s)$

On peut alors écrire :

$$n_2^3(t) = K_3^{S_2} e^{S_2 t} - K_3^{S_1} e^{S_1 t} \quad (5.19)$$

avec

$$K_3^{S_1} = \frac{1}{R_2 R_s C_{eq} (S_1 - S_2)} \begin{bmatrix} -\frac{R_2}{R_1 + R_2 + R_s} (R_2 C_2 - R_s C_c) \\ -\frac{R_2 + R_s}{R_1 + R_2 + R_s} [R_s (C_c + C_1) + R_2 C_1] \\ -\frac{R_2 + R_s}{R_1 + R_2 + R_s} R_2 R_s C_{eq} S_1 \end{bmatrix} \quad (5.20)$$

$$K_3^{S_2} = \frac{1}{R_2 R_s C_{eq} (S_1 - S_2)} \begin{bmatrix} -\frac{R_2}{R_1 + R_2 + R_s} (R_2 C_2 - R_s C_c) \\ -\frac{R_2 + R_s}{R_1 + R_2 + R_s} [R_s (C_c + C_1) + R_2 C_1] \\ -\frac{R_2 + R_s}{R_1 + R_2 + R_s} R_2 R_s C_{eq} S_2 \end{bmatrix} \quad (5.21)$$

d) *Étape 4.*

En utilisant le théorème de superposition, on obtient l'expression générale du nœud n_2 en faisant la somme des trois précédentes.

$$n_2(t) = n_3^1(t) + n_3^2(t) + n_3^3(t) \quad (5.22)$$

$$\begin{aligned} n_2(t) = & - \left(\frac{K_1^{S_1}}{S_1 + \tau_1} + \frac{\tau_2 K_2^{S_1}}{S_1(S_1 + \tau_1)} + (S_2 - S_1) K_3^{S_1} \right) \frac{e^{S_1 t}}{(S_2 - S_1)} \\ & + \left(\frac{K_1^{S_2}}{S_2 + \tau_1} + \frac{\tau_2 K_2^{S_2}}{S_2(S_2 + \tau_2)} + (S_2 - S_1) K_3^{S_2} \right) \frac{e^{S_2 t}}{(S_2 - S_1)} \\ & + \frac{K_1^{-\tau_1}}{(S_2 + \tau_1)(S_1 + \tau_1)} e^{-\tau_1 t} - \frac{K_2^{-\tau_2}}{(S_2 + \tau_2)(S_1 + \tau_2)} e^{-\tau_2 t} + \frac{R_1}{R_1 + R_2 + R_s} \end{aligned} \quad (5.23)$$

A partir de l'équation précédente (5.22), on peut calculer le retard obtenu pour une certaine valeur de résistance de court-circuit et pour un décalage temporel égal à zéro. La Figure 5.8 représente la comparaison entre le retard $d(R_s)$ obtenu par une simulation SPICE et par l'équation précédente. On constate que les deux courbes sont parfaitement confondues.

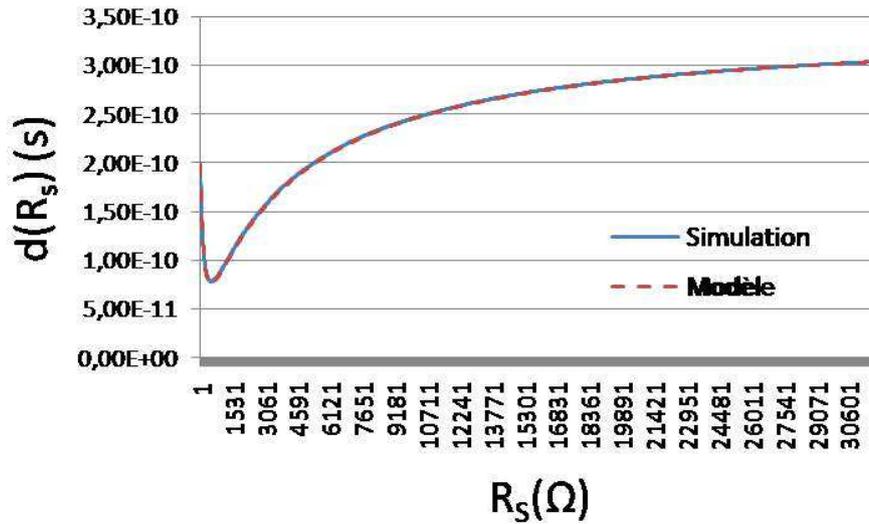


FIG. 5.8: Comparaison de $d(R_s)$ simulé et calculé

5.2.3 Extrapolation de l'équation du retard en fonction du décalage temporel

En utilisant les équations données dans les deux parties précédentes, nous sommes maintenant en mesure de calculer les points extrêmes $D(R_s)$ et $d(R_s)$ de la courbe de retard en fonction du décalage temporel pour une résistance de court-circuit donnée. L'étape suivante consiste à extrapoler l'équation liant le retard au décalage temporel entre ces points extrêmes. Cette extrapolation est réalisée à partir des simulations présentées sur la Figure 5.1. Cette extrapolation a mené à l'élaboration de l'équation suivante donnant le retard en fonction de la résistance de court-circuit et du décalage temporel entre les signaux d'entrée :

$$\text{Retard}(R_s, T_d) = \left(1 - e^{-\frac{T_d}{10^{-9}/\ln(0,01)}}\right) \frac{D(R_s) - d(R_s)}{0,99} + d(R_s) \quad (5.24)$$

Une équation est donc en place. La partie suivante est consacrée à l'évaluation de ce modèle mathématique et à sa validation à travers une série de comparaisons

avec des simulations SPICE. Pour cela, nous comparerons dans un premier temps les caractéristiques obtenues par simulation électrique avec les caractéristiques obtenues avec le modèle, puis, dans un second temps, nous développerons une métrique afin d'estimer l'erreur commise en termes de d'efficacité de détection de fautes.

5.3 Evaluation du modèle

Dans la partie précédente, nous avons développé un modèle mathématique représentant le comportement en termes de retard d'un court-circuit résistif aggravé par de la diaphonie. Cette partie, quant à elle, présente la validation de ce modèle à travers des comparaisons avec des simulations SPICE.

5.3.1 Une première comparaison

La Figure 5.9 présente la comparaison des caractéristiques de retard obtenues par simulation et par calcul pour différentes valeurs de résistance. La concordance étant visuellement très bonne, on peut facilement extraire la valeur de résistance maximale R_s^{max} correspondant au retard égal à la marge temporelle du chemin considéré. En effet, comme nous l'avons décrit en début de chapitre, l'intersection entre le décalage temporel entre les entrées et la marge temporelle, leur intersection détermine la résistance maximale détectable.

Le tableau 5.1 regroupe les valeurs de résistance maximale détectable obtenues dans par simulation électrique et par calcul dans différents cas de décalage temporel et pour plusieurs types de porte, c'est-à-dire pour plusieurs valeurs de résistance équivalente ainsi que pour différentes valeurs de capacité de couplage.

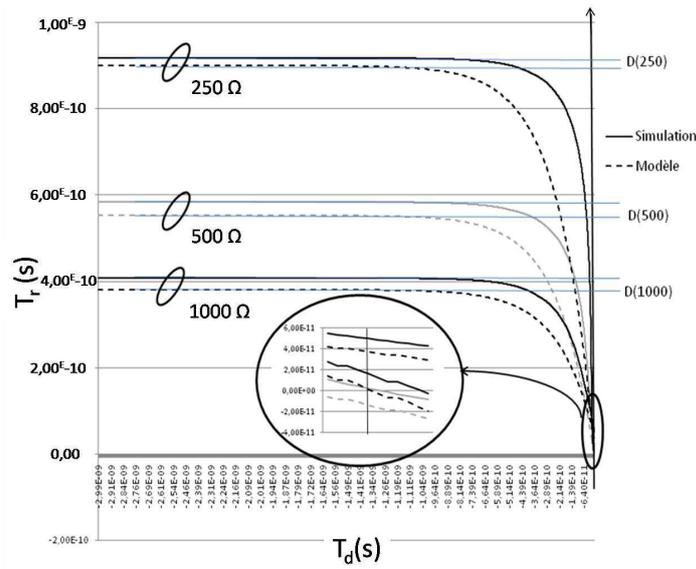


FIG. 5.9: Comparaison du retard simulé et calculé

$T_d = 1 \text{ ns } T_m = 500 \text{ ps}$	Simulation	Calcul
$R_1 = 1950 \text{ } \Omega \text{ } R_2 = 1900 \text{ } \Omega \text{ } C_c = 40 \text{ fF}$	222 Ω	191 Ω
$R_1 = 1950 \text{ } \Omega \text{ } R_2 = 1900 \text{ } \Omega \text{ } C_c = 70 \text{ fF}$	221 Ω	191 Ω
$T_d = 0,5 \text{ ns } T_m = 500 \text{ ps}$	Simulation	Calcul
$R_1 = 1950 \text{ } \Omega \text{ } R_2 = 1900 \text{ } \Omega \text{ } C_c = 40 \text{ fF}$	215 Ω	148 Ω
$R_1 = 1950 \text{ } \Omega \text{ } R_2 = 1900 \text{ } \Omega \text{ } C_c = 70 \text{ fF}$	214 Ω	149 Ω
$T_d = 1 \text{ ns } T_m = 500 \text{ ps}$	Simulation	Calcul
$R_1 = 2600 \text{ } \Omega \text{ } R_2 = 2400 \text{ } \Omega \text{ } C_c = 40 \text{ fF}$	677 Ω	588 Ω
$R_1 = 2600 \text{ } \Omega \text{ } R_2 = 2400 \text{ } \Omega \text{ } C_c = 70 \text{ fF}$	676 Ω	588 Ω
$T_d = 0,5 \text{ ns } T_m = 500 \text{ ps}$	Simulation	Calcul
$R_1 = 2600 \text{ } \Omega \text{ } R_2 = 2400 \text{ } \Omega \text{ } C_c = 40 \text{ fF}$	630 Ω	494 Ω
$R_1 = 2600 \text{ } \Omega \text{ } R_2 = 2400 \text{ } \Omega \text{ } C_c = 70 \text{ fF}$	631 Ω	498 Ω
$T_d = 1 \text{ ns } T_m = 500 \text{ ps}$	Simulation	Calcul
$R_1 = 2900 \text{ } \Omega \text{ } R_2 = 2100 \text{ } \Omega \text{ } C_c = 40 \text{ fF}$	1290 Ω	1168 Ω
$R_1 = 2900 \text{ } \Omega \text{ } R_2 = 2100 \text{ } \Omega \text{ } C_c = 70 \text{ fF}$	1320 Ω	1168 Ω

$T_d = 0,5 \text{ ns}$ $T_m = 500 \text{ ps}$	Simulation	Calcul
$R_1 = 2900 \Omega$ $R_2 = 2100 \Omega$ $C_c = 40 \text{ fF}$	1240 Ω	1070 Ω
$R_1 = 2900 \Omega$ $R_2 = 2100 \Omega$ $C_c = 70 \text{ fF}$	1270 Ω	1072 Ω

TAB. 5.1: Comparaison des résistances maximales détectables calculées et simulées

On s’aperçoit que les résultats sont assez dispersés. L’erreur commise sur le calcul des résistances maximales détectable est d’environ 10 %. Cependant, l’exactitude des valeurs de ces résistances n’est pas le point le plus important. En effet, les simulateurs de fautes ne manipulent pas directement les résistances mais les efficacités des vecteurs de test.

5.3.2 Comparaison des efficacités simulées et calculées

Rappelons la définition du calcul de l’efficacité d’une paire de vecteurs de test.

Dans [25], les auteurs présentent une étude statistique quant à la répartition de la résistance des courts-circuits. Il a été montré que cette répartition a une forme de gaussienne et que les courts-circuits avec une faible résistance ont une probabilité d’existence beaucoup plus grande comme on peut le voir sur la Figure 5.10. On peut également définir la probabilité P de détection d’une faute en calculant l’intégrale de la densité de résistance $\rho(r)$ sur l’intervalle considéré :

$$P = \int_{DI} \rho(r) dr \quad (5.25)$$

Le simulateur de fautes calcule de la même manière la probabilité de détection maximale P^{max} correspondant à l’intervalle de détection maximal DI^{max} qui peut être

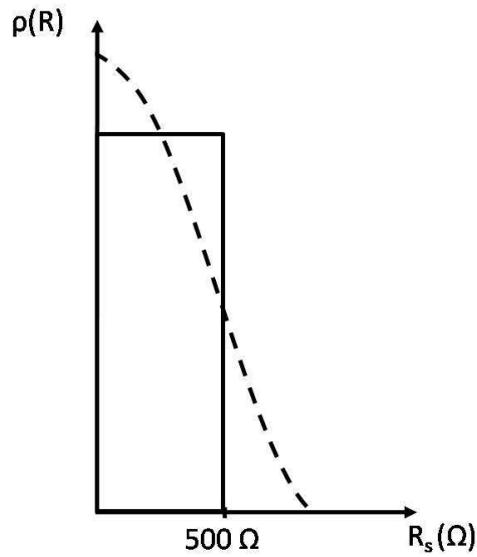


FIG. 5.10: Densité de probabilité des défauts en fonction de leur résistance

obtenu avec la meilleure paire de vecteurs de test.

$$P^{max} = \int_{D_{I^{max}}} \rho(r) dr \quad (5.26)$$

Finalement, l'efficacité d'une paire de vecteurs de test pour détecter une faute est calculée comme étant le rapport de la probabilité de détection de la faute par cette paire de vecteurs sur la probabilité de détection par la meilleure paire de vecteurs.

$$\epsilon = \frac{P}{P^{max}} \quad (5.27)$$

En d'autres termes, l'efficacité d'une paire de vecteurs de test est évaluée en comparant sa capacité à détecter une faute à celle de la meilleure paire de vecteurs. Si l'efficacité est proche de 1, cela signifie que la paire de vecteurs de test utilisée est presque aussi efficace que la meilleure paire de vecteurs.

Utilisons à présent cette métrique afin d'évaluer la validité de notre modèle ma-

thématique. Le tableau 5.2 regroupe les valeurs des efficacités calculées et simulées pour différentes portes et dans des conditions de couplage capacitif (40 fF et 70 fF) et de décalage temporel (1 ns et 0,5 ns) différentes.

$T_d = 1\ ns\ T_m = 500\ ps$	Simulation	Calcul
$R_1 = 1950\ \Omega\ R_2 = 1900\ \Omega\ C_c = 40\ fF$	0,47	0,44
$R_1 = 1950\ \Omega\ R_2 = 1900\ \Omega\ C_c = 70\ fF$	0,47	0,44
$T_d = 0,5\ ns\ T_m = 500\ ps$	Simulation	Calcul
$R_1 = 1950\ \Omega\ R_2 = 1900\ \Omega\ C_c = 40\ fF$	0,46	0,39
$R_1 = 1950\ \Omega\ R_2 = 1900\ \Omega\ C_c = 70\ fF$	0,46	0,39
$T_d = 1\ ns\ T_m = 500\ ps$	Simulation	Calcul
$R_1 = 2600\ \Omega\ R_2 = 2400\ \Omega\ C_c = 40\ fF$	0,88	0,82
$R_1 = 2600\ \Omega\ R_2 = 2400\ \Omega\ C_c = 70\ fF$	0,88	0,82
$T_d = 0,5\ ns\ T_m = 500\ ps$	Simulation	Calcul
$R_1 = 2600\ \Omega\ R_2 = 2400\ \Omega\ C_c = 40\ fF$	0,85	0,75
$R_1 = 2600\ \Omega\ R_2 = 2400\ \Omega\ C_c = 70\ fF$	0,85	0,75
$T_d = 1\ ns\ T_m = 500\ ps$	Simulation	Calcul
$R_1 = 2900\ \Omega\ R_2 = 2100\ \Omega\ C_c = 40\ fF$	1,00	0,99
$R_1 = 2900\ \Omega\ R_2 = 2100\ \Omega\ C_c = 70\ fF$	1,00	0,99
$T_d = 1\ ns\ T_m = 500\ ps$	Simulation	Calcul
$R_1 = 2900\ \Omega\ R_2 = 2100\ \Omega\ C_c = 40\ fF$	1,00	0,99
$R_1 = 2900\ \Omega\ R_2 = 2100\ \Omega\ C_c = 70\ fF$	1,00	0,99

TAB. 5.2: Comparaison des efficacités calculées et simulées

L'erreur entre l'efficacité obtenue en simulation et celle obtenue par le calcul est résumée dans le tableau 5.3.

On constate grâce à ce tableau que l'erreur commise en utilisant le modèle mathématique à la place d'une simulation SPICE est comprise entre 0 et 10 %, ce qui est tout à fait acceptable. D'autre part si l'on calcule la moyenne de l'erreur commise, elle n'est que de 4 %. Le comportement du modèle mathématique est donc très proche de celui du circuit réel.

$T_d = 1 \text{ ns } T_m = 500 \text{ ps}$	Erreur
$R_1 = 1950 \text{ } \Omega \text{ } R_2 = 1900 \text{ } \Omega \text{ } C_c = 40 \text{ fF}$	1 %
$R_1 = 1950 \text{ } \Omega \text{ } R_2 = 1900 \text{ } \Omega \text{ } C_c = 70 \text{ fF}$	1 %
$T_d = 0,5 \text{ ns } T_m = 500 \text{ ps}$	Erreur
$R_1 = 1950 \text{ } \Omega \text{ } R_2 = 1900 \text{ } \Omega \text{ } C_c = 40 \text{ fF}$	4 %
$R_1 = 1950 \text{ } \Omega \text{ } R_2 = 1900 \text{ } \Omega \text{ } C_c = 70 \text{ fF}$	4 %
$T_d = 1 \text{ ns } T_m = 500 \text{ ps}$	Erreur
$R_1 = 2600 \text{ } \Omega \text{ } R_2 = 2400 \text{ } \Omega \text{ } C_c = 40 \text{ fF}$	6 %
$R_1 = 2600 \text{ } \Omega \text{ } R_2 = 2400 \text{ } \Omega \text{ } C_c = 70 \text{ fF}$	6 %
$T_d = 0,5 \text{ ns } T_m = 500 \text{ ps}$	Erreur
$R_1 = 2600 \text{ } \Omega \text{ } R_2 = 2400 \text{ } \Omega \text{ } C_c = 40 \text{ fF}$	10 %
$R_1 = 2600 \text{ } \Omega \text{ } R_2 = 2400 \text{ } \Omega \text{ } C_c = 70 \text{ fF}$	10 %
$T_d = 1 \text{ ns } T_m = 500 \text{ ps}$	Erreur
$R_1 = 2900 \text{ } \Omega \text{ } R_2 = 2100 \text{ } \Omega \text{ } C_c = 40 \text{ fF}$	0 %
$R_1 = 2900 \text{ } \Omega \text{ } R_2 = 2100 \text{ } \Omega \text{ } C_c = 70 \text{ fF}$	0 %
$T_d = 1 \text{ ns } T_m = 500 \text{ ps}$	Erreur
$R_1 = 2900 \text{ } \Omega \text{ } R_2 = 2100 \text{ } \Omega \text{ } C_c = 40 \text{ fF}$	%
$R_1 = 2900 \text{ } \Omega \text{ } R_2 = 2100 \text{ } \Omega \text{ } C_c = 70 \text{ fF}$	1 %

TAB. 5.3: Erreur commise lors du calcul de l'efficacité

5.4 Conclusion

Ce chapitre a proposé la réalisation d'un modèle mathématique en plusieurs étapes. A partir des observations faites dans le chapitre précédent, l'équation a été obtenue en modélisant d'abord les points extrêmes des caractéristiques puis en extrapolant les courbes entre ces points.

La deuxième partie de ce chapitre a été consacrée à la validation de ce modèle. Dans un premier temps, une simple comparaison des courbes simulées et calculées a permis de constater que l'approximation était acceptable. Dans un second temps, nous avons mis en place une métrique afin d'estimer l'erreur commise lorsqu'on considère le modèle mathématique au lieu d'une simulation électrique coûteuse en temps CPU.

Enfin, l'équation a été utilisée dans plusieurs cas de portes logiques et de décalages temporels entre les entrées. Les résultats ont été résumés dans un tableau et

finalement l'erreur moyenne commise est tout à fait acceptable.

Conclusion générale

Compte tenu de l'évolution actuelle de la complexité et des performances des circuits intégrés, de nouvelles défaillances apparaissent. Celles-ci sont difficilement assimilables en termes de comportement à un simple modèle de collage. Il est donc nécessaire de développer de nouveaux modèles de faute plus représentatifs de la réalité. Cette représentativité ne peut s'obtenir qu'en considérant l'ensemble des paramètres réalistes du défaut. Cependant la complexité des modèles développés ne doit pas devenir trop grande. En effet, la phase de test représente déjà une part essentielle de la conception d'un circuit intégré ; il convient donc de ne pas la complexifier avec des modèles trop lourds afin de ne pas tendre vers des temps de test prohibitifs.

Ce mémoire s'est intéressé particulièrement à des défauts de circuit ouvert et de court-circuit résistifs. La valeur de la résistance du défaut étant complètement aléatoire (elle dépend de la topologie du circuit, du type de matériau...) n'est pas connue *a priori* mais elle est à prendre en compte car elle a un impact prépondérant sur le comportement du circuit. En effet, dans le cas d'un circuit ouvert par exemple, si cette résistance tend vers 0 alors le circuit se comporte normalement tant en termes de fonctionnement logique qu'en termes de fonctionnement dynamique. Cependant si elle tend vers l'infini alors la ligne est complètement déconnectée. Les modèles présentés

dans ce manuscrit sont donc réalisés en prenant en compte ce paramètre aléatoire.

Le premier chapitre a été consacré à un état de l'art du test orienté défaut. Plusieurs types de modèles ont été présentés, des plus anciens comme le modèle de collage à 0 ou 1 vers des modèles plus élaborés. Deux types de défauts ont particulièrement été analysés. Il s'agit des circuits ouverts et des courts-circuits. La partie sur les circuits ouverts analyse l'impact d'un tel défaut sur le circuit et fournit un modèle représentant ce défaut. La deuxième partie, consacrée aux courts-circuits, présente différents modèles proposés dans la littérature. Dans les premiers modèles, la résistance de court-circuit n'est pas prise en compte, puis des solutions sont proposées pour tenter de représenter au mieux l'impact de ce paramètre aléatoire. Enfin la dernière partie présente le test en retard des circuits digitaux. Les concepts présentés dans cette partie préfigurent les modèles développés dans la suite du mémoire.

Le deuxième chapitre a proposé une analyse électrique du comportement dynamique d'un circuit ouvert résistif. Ce chapitre est scindé en deux parties. La première repose sur l'observation d'un phénomène apparaissant lors de la phase de test. Ce phénomène, appelé effet mémoire, influe sur le comportement du noeud présentant le défaut en fonction des vecteurs de test appliqués en entrée du circuit. La deuxième partie propose une façon simple de modéliser le comportement d'un circuit ouvert durant la phase de test.

En se basant sur les observations faites dans le chapitre précédent, le chapitre 3 propose dans un premier temps un simulateur de fautes. Un flot complet représentant le fonctionnement du simulateur est finalement proposé et celui-ci est évalué sur des circuits types. Dans un second temps, un algorithme pour la génération automatique de vecteurs de test est décrit. Cet algorithme prend notamment en compte l'effet mémoire décrit dans le chapitre 2.

Le quatrième chapitre est, lui, consacré à l'analyse électrique du comportement dynamique d'un court-circuit résistif aggravé par de la diaphonie. La première partie est consacrée à l'étude de l'impact de la résistance de court-circuit seule. Dans la deuxième partie, l'influence de la diaphonie est prise en compte. Elle est modélisée par une capacité de couplage entre les deux lignes affectées par le défaut.

Le dernier chapitre de ce manuscrit a proposé un modèle représentant le comportement du court-circuit aggravé par de la diaphonie. Ce modèle a été élaboré à partir des observations faites dans le chapitre précédent. La première partie est consacrée à la construction du modèle mathématique qui prend en compte l'impact de la résistance de court-circuit dont la valeur est *a priori* inconnue ainsi que l'impact de la diaphonie. La deuxième partie est consacrée à l'évaluation de ce modèle. Son efficacité a été comparée à des simulations SPICE afin de démontrer sa représentativité.

Cette étude a donc permis la mise au point de différents modèles de fautes pour des défauts résistifs de type court-circuit et circuit ouvert. Leur représentativité a été prouvée soit en comparant les résultats obtenus avec des simulations SPICE, soit en les appliquant sur des circuits types. Ces modèles apportent donc une amélioration en termes de concordance avec la réalité. Un autre point qui n'est pas négligeable est qu'ils sont très simples d'utilisation et ne nécessitent donc pas de temps de test exorbitants (multiples simulations...).

Les perspectives de ce travail peuvent se résumer en deux points. Le premier est l'intégration du modèle de court-circuit résistif dans un simulateur de fautes. Cette prochaine étape sera réalisée par l'équipe de [l'université Albert-Ludwigs de Freiburg](#) (Allemagne). Une fois ce simulateur réalisé, le modèle pourra être testé sur des circuits types. Le deuxième point serait d'étudier l'impact des variations paramétriques des transistors dans les portes logiques. En effet, avec la course à la miniaturisation des technologies, on voit apparaître de plus en plus de variations technologiques. Ces

phénomènes seront donc un point clé dans le test de demain et l'analyse de leur impact ainsi que leur modélisation seront des enjeux majeurs pour une représentativité toujours plus réaliste des circuits et systèmes intégrés.

Table des figures

1	Les grandes tendances de l'évolution technologique ces dernières années	11
1.1	Contribution au taux de rejet sur site	17
1.2	Transistor collé ouvert	18
1.3	Photographies de circuits ouverts [13]	20
1.4	Exemple d'un modèle de circuit ouvert résistif	21
1.5	Circuit ouvert sur une ligne de polysilicium et son équivalent électrique	22
1.6	Inverseur affecté par un circuit ouvert et sa fonction de transfert	24
1.7	Exemple d'un circuit ouvert résistif	25
1.8	Exemple d'un court-circuit résistif	27
1.9	Modèle général de court-circuit	28
1.10	Modèle du Vote	29
1.11	Variation de la force en fonction de la différence de potentiel appliquée	30
1.12	Court-circuit entre deux inverseurs	30
1.13	Influence de la résistance de court-circuit	33
1.14	Problème de l'utilisation d'une valeur de résistance supposée	34
1.15	Affectation des intervalles de détection à chaque valeur fautive	35
1.16	Exemple d'un court-circuit résistif	36
1.17	Porte NAND à deux entrées en technologie CMOS	38
1.18	Modélisation des retards sur une porte NAND	39
1.19	Classification des différents modèles de défauts temporels	39
1.20	Limitation du modèle de faute de retard de porte	41
1.21	Circuit affecté par un circuit ouvert résistif	44
1.22	Simulation SPICE des circuits sains et défectueux	44
1.23	Circuit affecté par un court-circuit résistif	45
2.1	Exemple d'un circuit ouvert résistif	49
2.2	Comportement dynamique du circuit avec une résistance de $3\text{ k}\Omega$	50
2.3	Comportement dynamique du circuit avec une résistance de $7,5\text{ k}\Omega$	52
2.4	Réponse du circuit sain à une séquence de test	55
2.5	Réponse du circuit défectueux à une séquence de test avec une résistance de $7,5\text{ k}\Omega$	56
2.6	Evolution du retard en fonction de la résistance du défaut	58

2.7	Evolution du retard en fonction de la capacité de charge	59
2.8	Retard créé par un circuit ouvert résistif pour plusieurs valeurs de capacité de charge	61
2.9	Représentation d'une porte par un circuit RC	62
2.10	Charge (a) et décharge (b) d'une capacité	62
3.1	Description de la méthode sur un circuit simple	69
3.2	Flot de la méthode de simulation de fautes	71
3.3	Exemple d'un circuit ouvert résistif	75
3.4	Simulation SPICE d'un circuit ouvert résistif	76
3.5	Exemple de phases de préparation et de détection d'un circuit ouvert résistif	79
3.6	Pré-caractérisation de T_r en fonction de T_m	81
3.7	Processus de l'ATPG	82
4.1	Exemple d'un court-circuit résistif sensibilisé par des transitions de même sens	87
4.2	Simulation d'un court-circuit résistif sensibilisé par des transitions identiques	88
4.3	Simulation d'un court-circuit résistif sensibilisé par des transitions de même sens décalées	89
4.4	Exemple d'un court-circuit résistif sensibilisé par des transitions de sens contraires	90
4.5	Simulation d'un court-circuit résistif sensibilisé par des transitions de sens contraires	90
4.6	Comportement du retard en fonction de la valeur de la résistance de court-circuit	91
4.7	Variation du retard en fonction de la valeur de la résistance de court-circuit	91
4.8	Exemple d'un court-circuit résistif aggravé par de la diaphonie	93
4.9	Influence du décalage temporel entre les transitions des signaux d'entrée	94
4.10	Influence du décalage temporel sur le retard du signal au nœud n_2	95
5.1	Influence du décalage temporel sur le retard d'un signal	99
5.2	Circuit avec les résistances équivalentes aux transistors	100
5.3	Circuit équivalent sans prendre la diaphonie en compte	101
5.4	Comparaison de $D(R_s)$ simulé et calculé	103
5.5	Première étape du calcul de $d(R_s)$	104
5.6	Deuxième étape du calcul de $d(R_s)$	106
5.7	Troisième étape du calcul de $d(R_s)$	107
5.8	Comparaison de $d(R_s)$ simulé et calculé	109
5.9	Comparaison du retard simulé et calculé	111
5.10	Densité de probabilité des défauts en fonction de leur résistance	113

Liste des tableaux

1.1	Comportement logique en présence d'un collage à ouvert	19
1.2	Différents modèles de court-circuit	28
1.3	Chemins structurels dans les circuits de référence "ISCAS 85"	42
2.1	Séquence de vecteurs simulée	53
2.2	Bibliothèque des paramètres pour modéliser les portes par un circuit RC	60
3.1	Résultats de simulation de fautes à faible retard	73
5.1	Comparaison des résistances maximales détectables calculées et simulées	112
5.2	Comparaison des efficacités calculées et simulées	114
5.3	Erreur commise lors du calcul de l'efficacité	115

Bibliographie

- [1] J. Segura and F. C. Hawkins, *How it works, how it fails*, 2004, 0-471-47669-2.
- [2] S. I. Association, Ed., *The Technology Roadmap for Semiconductors : technology Needs*, 1997, <http://www.sematech.org/public>.
- [3] V. D. Agrawal, S. C. Seth, and P. Agrawal, "Fault coverage requirements in production testing of LSI circuits," *IEEE Journal of Solid State Circuits*, vol. SG-17, pp. 57–61, 1982.
- [4] E. Mac Cluskey and F. Buelow, "Ic quality and test transparency," *Int. Test Conf.*, pp. 295–301, 1988.
- [5] P. Maxwell, R. Aitken, V. Johansen, and I. Chiang, "The effect of different test sets on quality level prediction," *Int. Test Conf.*, pp. 358–354, 1991.
- [6] T. W. Williams and N. C. Brown, "Defect level as a function of fault coverage," *IEE transaction on Computers*, vol. C-30, pp. 987–988, December 1981.
- [7] R. Kapur, J. Park, and M. R. Mercer, "All tests for a fault are not equally valuable for defect detection," *Int. Test Conf.*, pp. 762–769, 1992.
- [8] J. P. Hayes, "Fault modeling," *IEEE Design and Test of Computers*, pp. 37–44, April 1985.
- [9] W. Maly, "Realistic fault modeling for VLSI testing," *IEEE Design Automation Conference*, pp. 173–180, 1987.
- [10] S. M. Menon, Y. Malaiya, A. P. Jayasumana, and R. Rajsuman, "Testable design of BiCMOS circuits dor stuck-open fault detection using single patterns," *VLSI Test Symp.*, pp. 296–302, 1993.
- [11] B. W. Woodhall, B. D. Newman, and S. A. G., "Empirical results on undetected CMOS stuck-open failures," *Int. Test Conf.*, pp. 166–170, 1987.
- [12] W. Needham, C. Prunty, and E. Hong Yech, "High volume processor, test escape, an analysis of defect our test are missing," *Int. Test Conf.*, pp. 25–34, 1998.
- [13] www.semiconductor.net.
- [14] M. Renovell and G. Cambon, "Electrical analysis and modeling of floating gate faults," *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 11-11, pp. 1450–1458, 1992.

- [15] V. H. Champac, A. Rubio, and J. Figueras, "Electrical model of the floating gate defect in CMOS ICs : implications on IDDQ testing," *IEEE Transactions on Computer-Aided Design*, pp. 359–369, March 1994.
- [16] C. Hawkins, J. Soden, A. Righter, and J. Ferguson, "Defect classes-an overdue paradigm for testing CMOS ICs," pp. 413–424, October 1994.
- [17] W. M. Maly, P. K. Nag, and P. Nigh, "Testing oriented analysis of CMOS ICs with opens," *International Conference on Computer-Aided Design*, pp. 344–347, November 1988.
- [18] K. C. Y. Mei, "Bridging and stuck-at faults," *IEEE Trans. on Comp.*, vol. C-23, pp. 720–727, July 1974.
- [19] C.-K. Lo and P. C. H. Chan, "An efficient structural approach to board interconnect diagnosis," *International Journal of Electronics*, vol. 87, n°10, pp. 1239–1255, 2000.
- [20] S. Y. Huang, "A symbolic inject-and-evaluate paradigm for byzantine fault diagnosis," *Journal of Electronic Testing : Theory and Applications*, vol. 19-2, no. 0923-8174, pp. 161–172, april 2003.
- [21] J. Acken and S. D. Millmans, "Accurate modeling and simulation of bridging faults," *Custom Integrated Circuits Conference*, pp. 17.4.1–17.4.4, 1991.
- [22] J. M. Acken and S. D. Millmans, "Fault model evolution for diagnosis : accuracy vs precision," *Custom Integrated Circuits Conference*, pp. 13.4.1–13.4.4, 1992.
- [23] P. Maxwell and R. Aitken, "Biased voting : a method for simulating CMOS bridging faults in the presence of variable gate logic threshold," *Int. Test Conf.*, pp. 63–72, October 1993.
- [24] P. Huc, "Test en tension des courts-circuits en technologie cmos," 1995.
- [25] R. Rodriguez-Montanes, E. M. J. G. Bruls, and J. Figueras, "Bridging defects resistance measurements in a CMOS process." *Int. Test Conf.*, pp. 892–899, 1992.
- [26] T. M. Storey and W. Maly, "CMOS bridging fault detection," *Int. Test Conf.*, pp. 842–851, 1990.
- [27] M. Renovell, P. Huc, and Y. Bertrand, "CMOS bridging fault modeling," *VLSI Test Symp.*, pp. 392–397, 1994.
- [28] ———, "The concept of resistance interval : a new parametric model for realistic resistive bridge," *VLSI Test Symp.*, p. 184, 1995.
- [29] P. Girard, "Diagnostic de pannes temporelles dans les circuits digitaux," Ph.D. dissertation, Université Montpellier 2, France, 1992.
- [30] M. Breuer, "The effects of races, delays, and delay faults on test generation," *IEEE Trans. on Computers*, vol. c-23, pp. 1078–1092, October 1974.
- [31] Z. Barzilai and B. K. Rosen, "Comparison of ac self-testing procedures," *Int. Test Conf.*, pp. 89–94, 1983.
- [32] J. L. Carter, V. Iyengar, and B. K. Rosen, "Efficient test coverage determination for delay faults," *Int. Test Conf.*, pp. 418–427, 1987.

- [33] E. P. Hsieh, R. Rasmussen, L. Vidunas, and W. Davis, "Delay test generation," *Design Automation Conference*, pp. 486–492, 1977.
- [34] K. Kishida, F. Shirotori, Y. Ikemoto, S. Ishiyama, and T. Hayashi, "A delay test system for high speed logic LSI's," *Design Automation Conference*, pp. 786–790, 1986.
- [35] A. K. Pramanick and S. M. Reddy, "On the detection of delay fault," *Int. Test Conf.*, pp. 845–856, 1988.
- [36] J. A. Waicukausky, E. Lindbloom, B. Rosen, and V. Iyengar, "Transition fault simulation by parallel pattern single fault propagation," *Int. Test Conf.*, pp. 542–549, 1986.
- [37] Y. Levendel and P. R. Menon, "Transition faults in combinational circuit : Input transition test generation and fault simulation," *Fault Tolerant Comp. Symp.*, pp. 278–283, July 1986.
- [38] M. H. Schulz and F. Brglez, "Accelerated transition fault simulation," *Design Autom. Conf.*, pp. 237–243, June 1987.
- [39] M. Geilert, J. Alt, and M. Zimmermann, "On the efficiency of the transition fault model for delay faults," *Int. Conf. on Computer-Aided Design*, pp. 272–275, November 1990.
- [40] N. N. Tendolkar, "Analysis of timing failures due to random ac defects in VLSI modules," *Design Autom. Conf.*, pp. 709–714, June 1985.
- [41] G. L. Smith, "Model for delay faults based upon paths," *Int. Test Conf.*, pp. 342–349, November 1985.
- [42] F. Brglez and H. Fujiwara, "A neutral netlist of 10 combinational benchmark circuits and a target translator in FORTRAN," pp. 663–698, June 1985.
- [43] J. D. Lesser and J. J. Shedletsky, "An experimental delay test generator for LSI logic," *IEEE Trans. on Computers*, vol. C-29, no. 3, March 1980.
- [44] S. M. Reddy, C. J. Lin, and S. Patil, "An automatic test pattern generator for the detection of path delay faults," *Int. Conf. on Computer-Aided Design*, pp. 284–287, November 1987.
- [45] R. B. Hitchcock, G. L. Smith, and D. D. Cheng, "Timing analysis of computer hardware," *IBM Journal Research and Development*, vol. 26, no. 1, pp. 100–105, January 1982.
- [46] R. B. Hitchcock, "Timing verification and the timing analysis program," *19th Design Autom. Conf.*, pp. 594–604, June 1982.
- [47] M. H. Al-Hussein, "Path-delay computation algorithms for VLSI systems," *VLSI Design Conf.*, pp. 86–91, February 1985.
- [48] W. N. Li, S. M. Reddy, and S. K. Sahni, "On path selection in combinational logic circuits," *IEEE Trans. on Computer-Aided Design*, vol. 8, no. 1, pp. 56–63, January 1989.
- [49] Z. Li, X. Lu, W. Qiu, W. Shi, and D. M. H. Walker, "A circuit level fault model for resistive opens and bridges," *VLSI Test Symp.*, pp. 379–384, 2003.

-
- [50] A. Czutro, N. Houarche, P. Engelke, I. Polian, M. Comte, M. Renovell, and B. Becker, "A simulator of small-delay faults caused by resistive-open defects," *European Test Symposium*, pp. 113–118, May 2008.
 - [51] R. Rodríguez-Montañès, J. P. de Gyvez, and P. Volf, "Resistance characterization for weak open defects," *IEEE Design and Test*, pp. 18–26, 2002.
 - [52] W. Qiu and D. M. H. Walker, "An efficient algorithm for finding the K longest testable paths through each gate in a combinational circuit," *Int. Test Conf.*, pp. 592–601, October 2003.

Bibliographie personnelle

Conférences avec actes et comité de lecture

M. Renovell, M. Comte, N. Houarche, I. Polian, P. Engelke, B. Becker, "A Model for Resistive Open Recursivity in CMOS Random Logic," *East-West Design & Test Symposium*, 2008.

A. Czutro, N. Houarche, P. Engelke, I. Polian, M. Comte, M. Renovell, B. Becker, "A simulator of small-delay faults caused by resistive-open defects," *European Test Symposium*, 2008.

N. Houarche, A. Czutro, M. Comte, P. Engelke, I. Polian, B. Becker, M. Renovell, "Deriving an Electrical Model for Delay Faults Caused by Crosstalk Aggravated Resistive Short Defects," *Latin American Test Workshop*, 2009.

N. Houarche, A. Czutro, M. Comte, P. Engelke, I. Polian, B. Becker, M. Renovell, "An Electrical Model for the Fault Simulation of Small Delay Faults Caused by Crosstalk Aggravated Resistive Short Defects," *VLSI Test Symposium*, 2009.

Colloques sans actes ou avec actes à diffusion restreinte

N. Houarche, M. Comte, M. Renovell, "Dynamic Effect of a Resistive Bridge," *South European Test Seminar*, 2007.

N. Houarche, M. Comte, M. Renovell, "A Resistive open ATPG technique considering Recursive Dependency," *GdR SOC-SIP*, 2007.

N. Houarche, M. Comte, M. Renovell, "Modelling for weak-bridge defect in presence of crosstalk," *South European Test Seminar*, 2008.

N. Houarche, M. Comte, M. Renovell, "Modelling for weak-bridge

defect in presence of crosstalk," *GdR SOC-SIP*, 2008.

N. Houarche, M. Comte, M. Renovell, "An Electrical Model for the Fault Simulation of Small Delay Faults Caused by Crosstalk Aggravated Resistive Short Defects," *South European Test Seminar*, 2009.

Titre Modélisation de défauts paramétriques en vue de tests statiques et dynamiques

Résumé Avec l'évolution de la densité d'intégration et la forte complexité des procédés de fabrication des circuits intégrés actuels, l'occurrence de défaillances non modélisables par de simples collages devient importante voire prépondérante. Cette thèse s'intéresse particulièrement à des défaillances dues à des défauts physiques. Au niveau du produit final, ces défaillances se traduisent soit par la mise en relation de deux noeuds indépendants dans le circuit sain, soit par la dégradation d'une interconnexion. Deux défauts paramétriques sont étudiés dans cette thèse. Il s'agit des circuits ouverts résistifs et des courts-circuits résistifs. La résistance *a priori* inconnue de ces défauts est le paramètre prépondérant de leur modélisation. La première partie s'intéresse particulièrement aux circuits ouverts résistifs. A partir d'une analyse électrique approfondie de leur comportement dynamique, un simulateur de fautes spécifiques est développé et validé sur une série de circuits référence et le cahier des charges d'un générateur automatique de vecteurs de test (ATPG) est proposé. Dans la seconde partie, ce sont les courts-circuits résistifs qui sont analysés et un modèle mathématique représentant leur comportement dynamique est proposé et validé.

Mots clés Test orienté défaut, test dynamique, modélisation électrique, paramètres aléatoires

Title Parametric defects modelling for static and dynamic tests

Abstract Due to integration density evolution and the high complexity of manufacturing process for integrated circuits, failures which can not be modeled by simple stuck at faults become preponderant. This thesis deals particularly with failures caused by physical defects. The result of such a defect is either a connection of two independent nodes in a fault-free circuit or a deterioration of an interconnection. Two parametrical defects are studied in this thesis : resistive opens and resistive shorts. The unknown resistance of these defects is the major parameter of their model. The first part deals with resistive opens. From a deep electrical analysis of their dynamical behavior, a fault simulator has been developed and validated with benchmark circuits and Automatic Test Pattern Generator (ATPG) specifications are proposed. In the second part, resistive shorts have been analyzed and a mathematical model which represents the dynamical behavior is proposed and validated.

Keywords Defect oriented test, dynamic test, electrical model, random parameters
