



**HAL**  
open science

# Oscillateurs et architectures asynchrones pour le traitement des signaux radio impulsionnelle UWB

J. Hamon

► **To cite this version:**

J. Hamon. Oscillateurs et architectures asynchrones pour le traitement des signaux radio impulsionnelle UWB. Sciences de l'ingénieur [physics]. Institut National Polytechnique de Grenoble - INPG, 2009. Français. NNT: . tel-00481841

**HAL Id: tel-00481841**

**<https://theses.hal.science/tel-00481841>**

Submitted on 7 May 2010

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

**INSTITUT POLYTECHNIQUE DE GRENOBLE**

*N° attribué par la bibliothèque*

978-2-84813-138-2

**THÈSE**

pour obtenir le grade de

**DOCTEUR de L'Institut Polytechnique de Grenoble**

*Spécialité : «Micro et Nano Electronique»*

préparée au laboratoire **TIMA**

dans le cadre de l'**Ecole Doctorale «Electronique, Electrotechnique,  
Automatique et Traitement du Signal»**

préparée et soutenue publiquement par

**Jérémie Hamon**

le 15 Octobre 2009

**Oscillateurs et architectures asynchrones  
pour le traitement  
des signaux radio impulsionnelle UWB**

Directeur de thèse : M. Marc Renaudin

**JURY**

M. Jean-Marie Gorce,	Président
M. Christian Piguet,	Rapporteur
M. Bernard Uguen,	Rapporteur
M. Marc Renaudin,	Directeur de thèse
M. Laurent Fesquet,	Co-directeur de thèse
M. Benoît Miscopein,	Encadrant industriel



*Aux musiciens sur les tréteaux...*



Enfin !

Voici enfin le moment tant attendu de la fin de rédaction où il ne me reste plus qu'à remercier les personnes qui m'ont aidé pendant cette thèse.

Alors tout d'abord, un grand merci à Dominique Borrienne et à Noël Chateau pour m'avoir accueilli dans leurs laboratoires.

Ensuite, un grand merci à Marc, à Laurent et à Benoît, pour m'avoir tant appris, m'avoir laissé chercher, m'avoir soutenu, et avoir corrigé ce manuscrit.

Un merci tout aussi grand à Christian Piguet et à Bernard Uguen pour avoir accepté d'être les rapporteurs de cette thèse, et à Jean-Marie Gorce pour avoir accepté de présider le jury.

Un grand merci à mes collègues de France Télécom, et notamment, à Jean et à Apostolos, pour ne m'avoir jamais laissé seul pendant une pause café-cigarette.

Un énorme merci à tous mes collègues, et anciens collègues, de TIMA : Khaled, Cédric, Pierre, Taha, Oussama, Livier, Saeed, Florent, Franck, Alexandre, Rodrigo, Hatem, Eslam, Hakim, Gregory, Matthieu, Olivier, David, Aurélien, Yannick, Fraidy, Bertrand, Sophie, Vivian, Yann, Estelle, Joao, Jerome, sans oublier Gilles, Karim, Damien et les autres... Ce fut, et ça reste, un grand plaisir de travailler à vos cotés.

Un très grand merci à mes collègues du CIME, et notamment, à Alejandro et à Robin, pour m'avoir «supporté» pendant toutes ces années.

Reste à remercier tous les autres, ceux avec qui je ne travaille pas, mais avec qui il est si bon de grimper, de skier, de débattre pendant des heures, de parler science sans rien y connaître, de jouer de la musique, de lancer des galettes, de bricoler, de boire des apéros, bref de vivre... Merci les amis !

Et puis enfin un immense merci à ma famille. Merci d'avoir toujours cru que ce je faisais pouvait être intéressant pour les autres.

Et puis surtout, merci Katell.

**Merci beaucoup !**



# Table des matières

<b>Introduction générale</b>	<b>1</b>
<b>I Contexte et état de l'art</b>	<b>3</b>
<b>1 Conception de circuits asynchrones</b>	<b>5</b>
1.1 Introduction . . . . .	5
1.2 Historique . . . . .	7
1.3 Concepts de base . . . . .	8
1.3.1 Le mode de fonctionnement asynchrone . . . . .	8
1.3.2 La synchronisation locale . . . . .	9
1.3.2.1 Protocoles de Communication . . . . .	9
1.3.2.2 Codages des données . . . . .	11
1.3.2.3 Signaux d'acquittement . . . . .	12
1.3.3 La porte de Muller . . . . .	13
1.4 Propriétés des circuits asynchrones . . . . .	13
1.4.1 Absence d'horloge . . . . .	14
1.4.2 Calcul en temps minimum . . . . .	14
1.4.3 Traitements non-déterministes . . . . .	15
1.4.4 Faible consommation . . . . .	15
1.4.5 Faible bruit et systèmes radiofréquences . . . . .	16
1.4.6 Modularité . . . . .	17
1.4.7 Technologies déca-nanométriques . . . . .	17
1.5 Conception des circuits asynchrones . . . . .	17
1.5.1 Classification des circuits asynchrones . . . . .	17
1.5.1.1 Circuits insensibles aux délais . . . . .	18
1.5.1.2 Circuits quasi insensibles aux délais . . . . .	18
1.5.1.3 Circuits indépendants de la vitesse . . . . .	19
1.5.1.4 Micropipeline . . . . .	19
1.5.1.5 Circuits de Huffman . . . . .	20
1.5.2 Méthodes et outils de conception . . . . .	20
1.6 Conclusion . . . . .	21
<b>2 Radio impulsionnelle UWB</b>	<b>23</b>
2.1 Introduction . . . . .	23
2.2 Principes de base . . . . .	24
2.3 Caractéristiques et Applications . . . . .	25
2.4 Réglementation . . . . .	27



2.5	Etat de l'art de la Radio Impulsionnelle . . . . .	29
2.5.1	Construction d'un signal IR-UWB . . . . .	29
2.5.1.1	Impulsion élémentaire . . . . .	29
2.5.1.2	Techniques de modulation . . . . .	30
2.5.1.3	Technique de saut temporel . . . . .	31
2.5.2	Caractéristiques du canal de propagation . . . . .	33
2.5.3	Systèmes de réception . . . . .	35
2.5.3.1	Détection cohérente . . . . .	35
2.5.3.2	Détection d'énergie . . . . .	36
2.5.3.3	Traitements multi-trajets . . . . .	37
2.6	Conclusion . . . . .	38
<b>3</b>	<b>Adéquation logique asynchrone et radio impulsionnelle</b>	<b>39</b>
3.1	Introduction . . . . .	39
3.2	Contraintes applicatives : les réseaux de capteurs . . . . .	40
3.3	Propriétés partagées . . . . .	42
3.3.1	Basse consommation . . . . .	42
3.3.2	Faible bruit . . . . .	42
3.3.3	Robustesse . . . . .	43
3.4	Conclusion . . . . .	43
<b>II</b>	<b>Oscillateurs numériques asynchrones</b>	<b>45</b>
<b>4</b>	<b>Etude des Anneaux Asynchrones</b>	<b>47</b>
4.1	Introduction . . . . .	47
4.1.1	Motivations . . . . .	47
4.1.2	Travaux précédents . . . . .	48
4.2	Modélisation . . . . .	50
4.2.1	Effets Analogiques . . . . .	50
4.2.1.1	Effet Charlie . . . . .	50
4.2.1.2	Effet Drafting . . . . .	50
4.2.1.3	Modèle de Charlie 3D . . . . .	51
4.2.2	Modélisation comportementale . . . . .	55
4.2.2.1	Définitions et Notations . . . . .	55
4.2.2.2	Graphe d'états . . . . .	56
4.2.3	Annotation temporelle . . . . .	59
4.2.4	Modes de propagation . . . . .	59
4.2.5	Modèle exécutable . . . . .	60
4.3	Anneaux asynchrones simples . . . . .	61
4.3.1	Caractéristiques temporelles . . . . .	61
4.3.1.1	Période et phases d'oscillation . . . . .	61
4.3.1.2	Modes de propagation . . . . .	66
4.3.1.3	Points de fonctionnement . . . . .	68
4.3.2	Robustesse aux variations PVT . . . . .	71
4.3.2.1	Modélisation . . . . .	71
4.3.2.2	Sensibilité aux variations des paramètres technologiques . . . . .	74
4.3.2.3	Sensibilité aux variations de tension . . . . .	75

---

4.4	Anneaux asynchrones contraints . . . . .	77
4.4.1	Etude comportementale . . . . .	77
4.4.1.1	Structure générale . . . . .	77
4.4.1.2	Problèmes de modélisation . . . . .	78
4.4.1.3	Graphe d'états . . . . .	80
4.4.2	Caractéristiques temporelles . . . . .	82
4.4.2.1	Mode de propagation . . . . .	82
4.4.2.2	Points de fonctionnement . . . . .	84
4.4.3	Robustesse aux variations PVT . . . . .	86
4.4.3.1	Sensibilité aux variations des paramètres technologiques . . . . .	86
4.4.3.2	Sensibilité aux variations de tension . . . . .	87
4.5	Conclusions . . . . .	88
<b>5</b>	<b>Validations expérimentales</b>	<b>91</b>
5.1	Introduction . . . . .	91
5.2	Simulations électriques . . . . .	92
5.2.1	Architecture de l'étage . . . . .	92
5.2.2	Caractérisation des paramètres temporels . . . . .	93
5.2.3	Validation du modèle théorique . . . . .	94
5.2.3.1	Anneaux Simples . . . . .	94
5.2.3.2	Anneaux contraints . . . . .	98
5.2.4	Sensibilité aux variations des paramètres technologiques . . . . .	100
5.2.4.1	Positions de l'attracteur . . . . .	100
5.2.4.2	Nombres d'étages . . . . .	101
5.2.4.3	Contraintes . . . . .	102
5.2.5	Sensibilité aux variations de tension . . . . .	103
5.2.6	Conclusions . . . . .	104
5.3	Mesures expérimentales . . . . .	105
5.3.1	Motivations et contraintes . . . . .	105
5.3.2	Description fonctionnelle . . . . .	106
5.3.2.1	Oscillateurs en anneau . . . . .	106
5.3.3	Système de mesure embarqué . . . . .	109
5.3.3.1	Diviseur de fréquence par 16 : . . . . .	109
5.3.3.2	Désérialiseur de transitions : . . . . .	110
5.3.3.3	Echantillonneur Vernier : . . . . .	111
5.3.4	Entrées, sorties et alimentation . . . . .	112
5.3.5	Layout - Boîtier . . . . .	112
5.3.6	Mesures expérimentales . . . . .	113
5.3.6.1	Environnement de mesures . . . . .	113
5.3.6.2	Test de l'anneau configurable de 12 étages . . . . .	113
5.3.6.3	Test de l'anneau contraint de 10 étages . . . . .	115
5.3.7	Conclusions . . . . .	115
5.4	Conclusion . . . . .	116

<b>III</b>	<b>Architectures asynchrones de traitements des signaux radio impulsionnelle UWB</b>	<b>117</b>
<b>6</b>	<b>Implémentation asynchrone d'un algorithme de synchronisation IR-UWB</b>	<b>119</b>
6.1	Introduction . . . . .	119
6.2	Couche physique radio impulsionnelle bas débit . . . . .	120
6.2.1	Emission . . . . .	120
6.2.2	Réception . . . . .	122
6.2.2.1	Détection d'énergie . . . . .	122
6.2.2.2	Positionnement du seuil de détection . . . . .	123
6.3	Algorithme de synchronisation . . . . .	124
6.3.1	Principe de fonctionnement . . . . .	124
6.3.2	Modélisation événementielle du signal radio impulsionnelle . . . . .	125
6.3.3	Machine à états finis asynchrone . . . . .	127
6.4	Architecture asynchrone de réception UWB-IR . . . . .	129
6.4.1	Architecture . . . . .	130
6.4.1.1	Module de datation . . . . .	131
6.4.1.2	Module de synchronisation . . . . .	131
6.4.1.3	Module de prise de décision . . . . .	131
6.4.2	Intérêts et limitations . . . . .	132
6.5	Conclusion . . . . .	133
<b>7</b>	<b>Etude de performances et validation expérimentale par prototypage</b>	<b>135</b>
7.1	Introduction . . . . .	135
7.2	Etude de performances . . . . .	136
7.2.1	Environnement de simulation . . . . .	136
7.2.2	Paramètres de simulation . . . . .	136
7.2.3	Exemple illustratif . . . . .	138
7.2.4	Mesure de performances . . . . .	139
7.2.4.1	Taux de succès . . . . .	139
7.2.4.2	Nombre de trajets détectés : . . . . .	139
7.2.4.3	Durée de synchronisation : . . . . .	140
7.2.5	Consommation électrique . . . . .	141
7.2.6	Impact du seuil de détection . . . . .	144
7.2.7	Conclusion . . . . .	145
7.3	Validation expérimentale par prototypage FPGA . . . . .	146
7.3.1	Architecture générale . . . . .	146
7.3.2	Utilisation de l'IP matérielle SERDES . . . . .	147
7.3.3	Technique de <i>gated-clock</i> . . . . .	148
7.3.4	Fréquence de fonctionnement et ressources matérielles . . . . .	149
7.3.5	Validation expérimentale . . . . .	150
7.4	Conclusion . . . . .	150
<b>8</b>	<b>Architecture de réception IR-UWB à oscillateur asynchrone</b>	<b>153</b>
8.1	Introduction . . . . .	153
8.2	Architecture de synchronisation IR-UWB à oscillateur asynchrone . . . . .	154
8.2.1	Principe de fonctionnement . . . . .	155

---

8.2.2	Validation fonctionnelle . . . . .	158
8.3	Discussion . . . . .	160
8.3.1	Intérêts et limitations . . . . .	160
8.3.2	Perspectives : vers des réseaux de capteurs totalement asynchrones? . . . .	162
8.4	Conclusion . . . . .	163
	<b>Conclusions et perspectives</b>	<b>165</b>
	<b>Publications de l'auteur</b>	<b>171</b>
	<b>Bibliographie</b>	<b>179</b>



# Introduction générale

Les récentes avancées technologiques dans les domaines des communications sans fil, de la microélectronique et des microsystèmes électromécaniques (MEMS, «*Micro-Electro-Mechanical Systems*»), ont permis le développement de dispositifs intégrés qui embarquent des systèmes de mesures, des capacités de calcul, et un système de communication radio ; le tout à un coût de fabrication raisonnable. Les capacités et le faible coût de ces dispositifs, communément appelés *capteurs*, ont favorisé l'émergence des réseaux du même nom. Depuis lors, les réseaux de capteurs connaissent un engouement sans cesse grandissant aussi bien chez les industriels que dans les milieux académiques. En effet, les promesses de bénéfices colossaux, grâce à une multitude d'applications possibles, mais aussi les défis scientifiques à relever pour permettre le déploiement de ces nouveaux types de réseaux, sont de très puissants leviers pour faire progresser les techniques qui doivent répondre aux contraintes des réseaux de capteurs : faible coût, faible consommation électrique, adaptabilité, fiabilité, robustesse, sécurité des protocoles... La radio impulsionnelle à ultra large bande est une technique radio originale basée sur l'émission d'impulsions électromagnétiques très brèves pour transmettre de l'information. Elle présente intrinsèquement et par sa mise en œuvre plusieurs propriétés qui répondent parfaitement aux contraintes des réseaux de capteurs, parmi lesquelles un faible coût, une faible complexité, une faible consommation électrique, une grande robustesse, ou encore une grande résolution temporelle qui permet d'envisager des applications de localisation.

Cette thèse étudie les avantages et potentiels offerts par le style de conception asynchrone (sans horloge) pour implémenter les traitements numériques de réception d'un système radio impulsionnelle dans le contexte applicatif des réseaux de capteurs. En effet, les propriétés de la radio impulsionnelle d'une part, et les contraintes liées aux réseaux de capteurs d'autre part, semblent réunir toutes les caractéristiques des applications pour lesquelles le recours au style de conception asynchrone est particulièrement intéressant.

Les travaux réalisés ont suivi deux axes majeurs : d'une part, des structures asynchrones rebouclées, appelées anneaux asynchrones, ont été étudiées pour réaliser la base de temps nécessaire aux traitements de réception des signaux radio impulsionnelle. Ces études théoriques ont démontré que les anneaux asynchrones permettent d'implémenter des oscillateurs numériques programmables robustes aux variations des procédés de fabri-

cation, de tension et de température (PVT). Un circuit prototype a été conçu et réalisé en technologie CMOS 130 nm pour valider, sur silicium, ces résultats théoriques. Ces travaux sont décrits dans la deuxième partie de ce manuscrit.

D'autre part, des architectures et algorithmes asynchrones de traitement des signaux radio impulsionnelle ont été étudiés et développés. Une étude de performances et un prototypage sur FPGA ont montré la faisabilité et la pertinence de l'approche asynchrone, notamment au niveau du critère de faible consommation. Pour finir, en perspective à ces travaux, une architecture de réception originale, et complètement asynchrone, est proposée. Elle ouvre la voie au concept des réseaux de capteurs entièrement asynchrones. Ces études font l'objet de la troisième partie de ce manuscrit.

La première partie de ce manuscrit présente, quant à elle, les concepts, les techniques de base, ainsi que les propriétés remarquables des technologies asynchrone et radio impulsionnelle. L'objectif de cette première partie est, en premier lieu, de bien comprendre les enjeux et les éléments clés de ces deux technologies, et en second lieu, de montrer l'adéquation particulière qui existe entre elles.

## Première partie

# Contexte et état de l'art





# Chapitre 1

## Conception de circuits asynchrones

### Sommaire

<b>1.1</b>	<b>Introduction</b>	<b>5</b>
<b>1.2</b>	<b>Historique</b>	<b>7</b>
<b>1.3</b>	<b>Concepts de base</b>	<b>8</b>
1.3.1	Le mode de fonctionnement asynchrone	8
1.3.2	La synchronisation locale	9
1.3.3	La porte de Muller	13
<b>1.4</b>	<b>Propriétés des circuits asynchrones</b>	<b>13</b>
1.4.1	Absence d'horloge	14
1.4.2	Calcul en temps minimum	14
1.4.3	Traitements non-déterministes	15
1.4.4	Faible consommation	15
1.4.5	Faible bruit et systèmes radiofréquences	16
1.4.6	Modularité	17
1.4.7	Technologies déca-nanométriques	17
<b>1.5</b>	<b>Conception des circuits asynchrones</b>	<b>17</b>
1.5.1	Classification des circuits asynchrones	17
1.5.2	Méthodes et outils de conception	20
<b>1.6</b>	<b>Conclusion</b>	<b>21</b>

### 1.1 Introduction

Au tout début de la conception de circuits numériques, il n'existait pas réellement de distinction entre circuits synchrones et asynchrones. Cependant, alors que le principal défi de la communauté scientifique et industrielle était l'intégration de fonctions toujours plus complexes [49], le style de conception synchrone - plus simple - s'est imposé face au style asynchrone. Depuis lors, les circuits numériques sont synchrones et adoptent tous

la même structure de base telle que décrite sur la figure 1.1 : des blocs de mémorisation sont intercalés entre des blocs de traitements combinatoires. Le séquençage du circuit est alors contrôlé par une horloge globale qui effectue la mémorisation des données en sorties des blocs combinatoires quand les traitements sont achevés. Cette structure de base, conforme au formalisme de spécification *RTL* (pour «*Register Transfert Level*») est le modèle utilisé actuellement par la plupart des concepteurs et des outils de conception assistée par ordinateur (*CAO*).

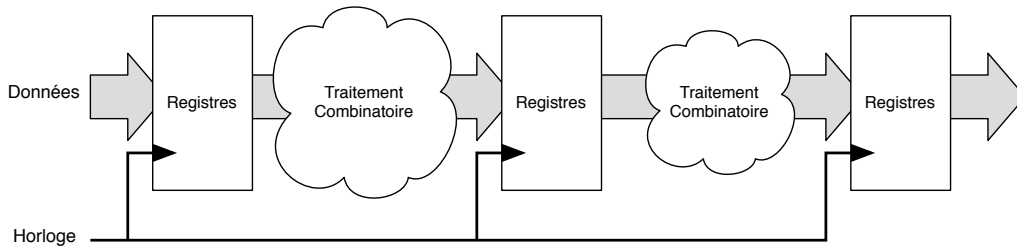


FIGURE 1.1 – Structure de base d'un circuit numérique synchrone

Ce modèle entraîne deux conséquences très importantes : d'une part, la conception des blocs combinatoires est simple puisqu'on peut ignorer les aléas logiques et les commutations électriques transitoires qui peuvent survenir entre deux fronts actifs de l'horloge : c'est l'hypothèse de discrétisation temporelle. D'autre part, la seule contrainte à respecter pour garantir la correction fonctionnelle du circuit est de choisir une période d'horloge supérieure au temps d'exécution maximal des traitements combinatoires : c'est la contrainte temporelle liée à cette hypothèse.

Aujourd'hui pourtant, les immenses progrès de la microélectronique, tant au niveau de la complexité des systèmes qu'au niveau des dimensions des dispositifs élémentaires, remettent en cause la pertinence du paradigme synchrone. En effet, même si la conception des blocs combinatoires reste simple, les contraintes temporelles induites par l'utilisation d'une synchronisation globale deviennent de plus en plus difficiles à maîtriser et représentent un facteur très limitant pour les performances des circuits synchrones. Les concepteurs de circuits sont confrontés à de nombreux problèmes et limitations tels que :

**La distribution de l'horloge :** La distribution du signal d'horloge dans un circuit complexe est délicate à concevoir, coûteuse en surface et en consommation. En effet, sa propagation à travers le circuit jusqu'à chaque élément de mémorisation doit être parfaitement maîtrisée pour assurer la fiabilité du système. Avec l'augmentation de la taille des circuits, le réseau de distribution de l'horloge devient de plus en plus complexe et représente une part tout à fait significative de la consommation globale du circuit.

**Les performances :** La période d'horloge est déterminée par le chemin critique du système. Même si ce chemin n'est emprunté que très rarement, le circuit ne pourra pas

fonctionner plus vite. Cette approche «*pire cas*» limite les performances en fréquence des circuits synchrones.

**La modularité :** La modularité des systèmes synchrones est très faible. Il est en effet très difficile de modifier un composant sans en modifier les caractéristiques temporelles et donc, sans impacter le fonctionnement global du système. La modularité est pourtant un des critères clés pour l'intégration des systèmes complexes et pour la réutilisation des blocs déjà conçus.

**Le rayonnement électromagnétique :** Quelles que soient leurs durées, tous les traitements d'un circuit synchrone débutent précisément aux mêmes instants. Cela implique de forts appels de courant sur les lignes d'alimentations à la fréquence de l'horloge. Ces appels de courant génèrent du bruit sur les alimentations et induisent un rayonnement électromagnétique concentré aux harmoniques de l'horloge. Ce rayonnement électromagnétique est particulièrement préjudiciable dans les systèmes analogiques et radio-fréquences.

**La sensibilité aux variations PVT :** Les circuits synchrones sont très sensibles aux variations des paramètres technologiques, de tension d'alimentation et de température («*Process, Voltage, Temperature*»). En effet, le temps d'exécution d'un opérateur varie avec ces paramètres physiques. Ces variations des temps d'exécution imposent l'insertion de marges de sécurité sur la période de l'horloge et réduisent la plage de fonctionnement pour laquelle la correction fonctionnelle du système est garantie.

La technologie asynchrone semble être une solution naturelle aux limitations de l'approche synchrone. En effet, l'horloge globale des circuits synchrones, à l'origine des problèmes mentionnés ci-dessus, est remplacée par un contrôle local distribué dans les circuits asynchrones. Après un bref historique de la conception de circuit en asynchrone, ce chapitre présente les concepts de base, les propriétés et les avantages de cette technique de conception alternative. Il est largement inspiré du rapport de laboratoire de Marc Renaudin [59].

## 1.2 Historique

Les premières études théoriques sur les circuits asynchrones, réalisées par David E. Muller et W. S. Bartky de l'université de l'Illinois, datent des années cinquante [50, 51]. A la même époque, David A. Huffman, également connu pour ses travaux sur la compression de données sans perte (codage de Huffman), a largement contribué à la théorie des circuits asynchrones, notamment à travers ses études sur les machines à états asynchrones [37]. Plus tard, David E. Muller propose d'associer un signal de validité aux données, introduisant ainsi le protocole de communication quatre phases (*cf.* section 1.3.2.1).

En 1966, le projet «*the Macromodule Project*», lancé par W.A. Clark de l'université de Washington à St Louis [10] démontre les bénéfices de l'approche asynchrone pour la conception de machines spécialisées par simple assemblage de blocs fonctionnels à la manière des «*Légo*».

Dans les années 70, C.L Seitz est l'un des pionniers dans le domaine des méthodes pour la conception des circuits asynchrones. Il propose l'utilisation de «*m-net*» pour modéliser leur fonctionnement, un formalisme très proche des réseaux de Petri [66]. Il est à l'origine de la construction du premier calculateur «*flot de données*» fonctionnel [13].

Enfin, «*Micropipelines*» de Ivan E. Sutherland, article maintenant très célèbre publié en 1989 [74], a largement contribué à l'intérêt croissant de la communauté scientifique et industrielle pour la conception de circuits asynchrones. Depuis, les travaux sur la conception et la réalisation de ce type de circuits ne cessent de s'intensifier.

## 1.3 Concepts de base

### 1.3.1 Le mode de fonctionnement asynchrone

Dans les systèmes synchrones, le signal d'horloge joue le rôle d'un actionneur global. Tous les éléments du système évoluent ensemble lors d'un front d'horloge, l'exécution de tous les éléments est donc synchronisée. Ce mécanisme de synchronisation globale introduit une contrainte temporelle globale : tous les éléments du systèmes doivent respecter un temps d'exécution maximum imposé par la fréquence d'horloge. Dans les circuits asynchrones, cette contrainte temporelle globale est supprimée. Les éléments sont contrôlés et activés par la présence de données à leurs entrées. Le fonctionnement de ce type de circuits est similaire à celui des systèmes «*flot de données*». La figure 1.2 représente la structure de base d'un circuit asynchrone : les éléments qui partagent de l'information sont connectés entre eux par un canal de communication. Ici, contrairement aux systèmes synchrones, la communication entre les différents éléments n'est pas contrôlée par un signal externe mais par un protocole de communication implémenté dans chaque élément. L'évolution globale du système est le résultat de l'évolution conjointe et éventuellement concurrente des différents éléments qui le composent.

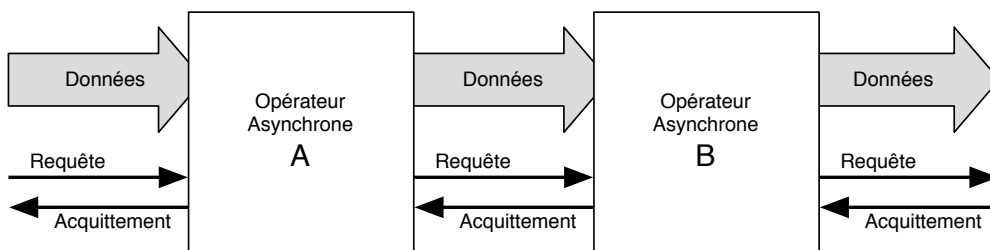


FIGURE 1.2 – Structure de base d'un circuit numérique asynchrone

Plusieurs protocoles de communication existent en asynchrone mais tous partagent la même fonction : détecter la présence d'une nouvelle donnée sur le canal d'entrée, signaler la consommation de cette donnée, puis après son traitement, signaler la disponibilité du résultat sur le canal de sortie. L'implémentation et le respect de ces protocoles de communications par tous les éléments du système est le prix à payer pour garantir la correction fonctionnelle du système indépendamment de la durée d'exécution de ses différents éléments.

### 1.3.2 La synchronisation locale

Le point fondamental du mode de fonctionnement asynchrone est donc que la synchronisation et la communication des données sont effectuées localement. Cela est réalisé par une signalisation bidirectionnelle de type «*requête/acquittement*» entre chaque élément du système, par un protocole de communication, et par un codage adéquat des données.

#### 1.3.2.1 Protocoles de Communication

Un protocole de communication définit le séquençement d'opérations à respecter pour effectuer la communication d'informations entre différents éléments d'un système. Deux types de protocoles sont couramment utilisés en asynchrone :

**Le protocole deux phases :** Ce protocole, appelé également NRZ (Non Retour à Zéro) ou encore «*half-handshake*», constitue la séquence minimale permettant l'échange d'information entre deux opérateurs asynchrones. Son principe est décrit sur la figure 1.3.

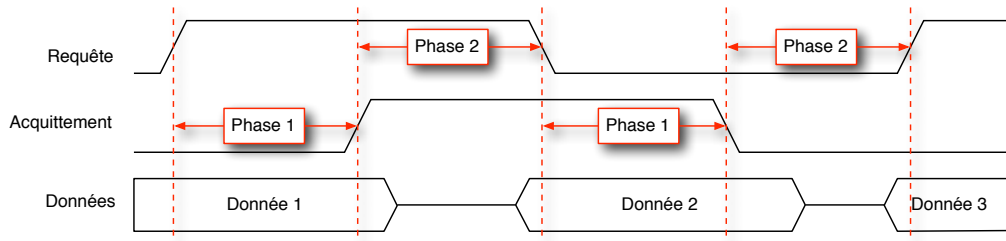


FIGURE 1.3 – Protocole de communication deux phases

Les deux phases du protocole sont :

- **Phase 1** : le récepteur détecte la requête de l'émetteur, traite la donnée et enfin, génère le signal d'acquittement. C'est la phase active du récepteur.
- **Phase 2** : l'émetteur détecte le signal d'acquittement qui indique que la donnée a été consommée et que le canal de communication est libre pour recevoir une nouvelle donnée. C'est la phase active de l'émetteur.

**Le protocole quatre phases :** Le principe de ce protocole, appelé également RZ (Retour à Zéro) ou encore «*full-handshake*», est décrit sur la figure 1.4.

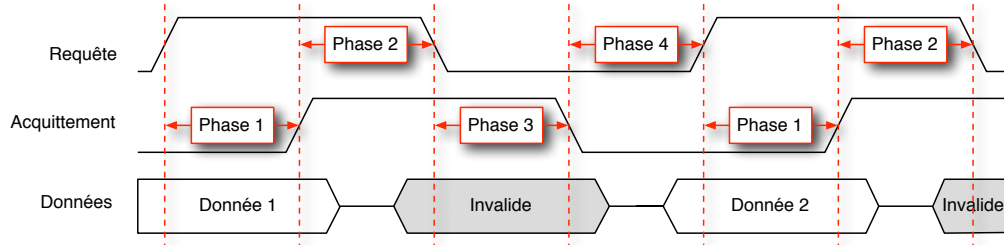


FIGURE 1.4 – Protocole de communication quatre phases

Les quatre phases du protocole sont :

- **Phase 1 :** Le récepteur détecte la requête de l'émetteur, effectue le traitement et génère le signal d'acquiescement.
- **Phase 2 :** L'émetteur détecte le signal d'acquiescement, invalide les données et remet la requête à zéro.
- **Phase 3 :** Le récepteur détecte la remise à zéro de la requête et le signale en positionnant l'acquiescement à zéro.
- **Phase 4 :** L'émetteur détecte la remise à zéro de l'acquiescement et peut initier une nouvelle communication si une donnée est disponible.

A priori, le protocole de communication deux phases semble plus efficace : il demande deux fois moins de transitions que le protocole quatre phases et donc, devrait être plus rapide et moins consommant. En réalité, cette impression est le plus souvent inexacte. Tout d'abord, des techniques d'optimisation des pipelines asynchrones permettent de s'affranchir de la pénalité apparente des phases de remise à zéro [61]. Le protocole quatre phases a ainsi permis la réalisation de circuits plus rapides que ceux qui utilisent le protocole deux phases. De plus, l'implémentation matérielle du protocole deux phases nécessite l'utilisation d'une logique basée sur événements (détection des fronts) qui se révèle plus complexe que la logique basée sur niveaux [74]. Au final, le nombre plus faible de transitions impliquées dans un protocole de communication deux phases est souvent contrebalancé par la complexité du matériel. Généralement, le protocole quatre phases est utilisé pour les parties internes du circuit, alors que le protocole deux phases est réservé aux composants qui présentent une latence élevée (comme les plots du circuit par exemple [61]). Par ailleurs, il est important de noter que quel que soit le protocole, chaque changement d'état d'un signal du récepteur est acquitté par le changement d'état d'un signal de l'émetteur et ré-

ciproquement. C'est précisément ce mécanisme d'acquiescement bidirectionnel qui permet d'assurer l'insensibilité aux temps de traitements.

### 1.3.2.2 Codages des données

Contrairement à la logique synchrone pour laquelle la validité des données est implicite, la logique asynchrone doit non seulement coder la valeur de la donnée, mais également sa validité. Pour ce faire, un codage particulier des données est adopté. Deux solutions sont possibles, soit l'ajout explicite d'un signal de requête à côté des données, soit l'utilisation d'un codage «double-rail» insensible aux délais.

**Le codage données groupées :** Le codage «données groupées» («*bundle data*»), consiste à ajouter explicitement le signal de validité en parallèle de la valeur des données. La valeur est codée suivant le schéma classique utilisé en synchrone, à savoir, un fil par bit de données («*single-rail*»); et la validité est codée par un fil supplémentaire : la requête. Ce codage, adapté aux protocoles deux et quatre phases, présente l'avantage d'une grande efficacité en terme de surface puisque les nombres de fils et de portes s'approchent d'une implémentation synchrone [54].

Cependant, l'inconvénient du codage données groupées est sa sensibilité aux délais. En effet, la génération du signal de requête, dont l'occurrence ne doit pas succéder la validité effective des données, est généralement implémentée par un délai calibré sur le temps de calcul pire cas de l'élément. Cela implique d'une part que le temps d'exécution ne dépend pas des données réellement traitées, et d'autre part que les circuits obtenus ne sont pas insensibles aux délais.

**Les codages insensibles aux délais :** Une alternative plus sophistiquée au codage données groupées est l'utilisation d'un codage qui intègre ou encapsule l'information de validité directement dans les données. Dans cette approche, un bit de donnée n'est plus codé par un fil mais par deux fils, et c'est la combinaison des deux fils qui permet de coder la valeur et la validité de la donnée. Deux codages sont communément adoptés :

- **Le codage trois états :** Dans ce cas, un des deux fils, ou un des deux «rails» selon le vocabulaire utilisé en asynchrone, est activé pour coder la valeur 1 alors que l'autre est activé pour coder la valeur 0. L'état «11» est interdit et l'état «00» correspond à l'état invalide. Comme illustré sur le diagramme de transitions de la figure 1.5(a), le passage d'une valeur valide à une autre implique nécessairement le passage par l'état invalide. Ce codage est donc particulièrement bien adapté au protocole de communication quatre phases qui impose l'émission d'une donnée invalide entre chaque donnée valide. Par ailleurs, le passage par l'état invalide garantit que les changements d'état sur les deux rails se font sans aléa ce qui simplifie la production



du signal d'acquittement (détection qu'un seul des rails est à 1).

- **Le codage quatre états** : Ici, l'idée est de coder les valeurs 0 et 1 par deux combinaisons différentes. L'une des combinaisons est considérée de parité paire et l'autre de parité impaire. Chaque fois qu'une donnée est émise, on change sa parité. Comme montré sur le diagramme de transitions de la figure 1.5(b), ceci permet de passer d'une valeur logique à une autre sans passer par un état invalide et rend donc le codage quatre états particulièrement adapté au protocole de communication deux phases. L'analyse de la parité permet de détecter la présence d'une nouvelle donnée et de générer un signal de fin de calcul. Cette méthode élégante est cependant d'une implémentation très coûteuse.

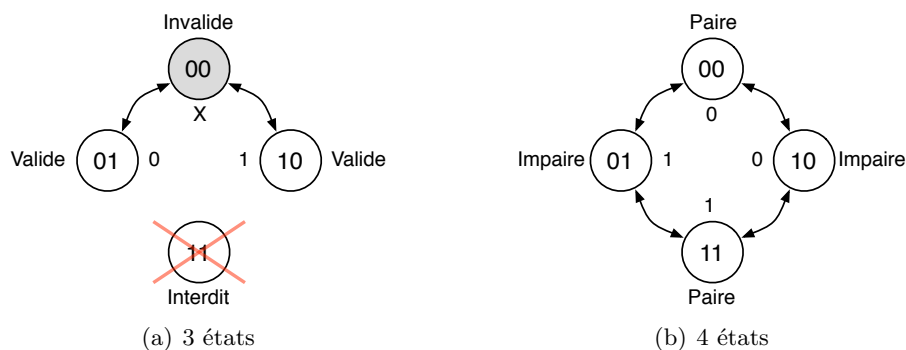


FIGURE 1.5 – Diagramme de transitions des codages trois états (a) et quatre états (b)

### 1.3.2.3 Signaux d'acquittement

Les protocoles de communication spécifient que chaque transfert de données entre deux éléments doit d'une part, être signalée par une requête - on a vu qu'un codage adéquat des données permet de remplir cette fonction - et d'autre part, être acquittée par un signal de fin de calcul. La génération de ce signal d'acquittement entraîne une complexité additionnelle, mais nécessaire à la réalisation de systèmes asynchrones. De nombreuses techniques plus ou moins robustes et complexes existent [59]. Ici, on propose d'exposer le fonctionnement de deux techniques couramment utilisées.

Comme pour la génération de la requête dans le cas du codage «données groupées», la première technique repose sur une hypothèse temporelle : un délai calibré sur le temps d'exécution pire cas de l'opérateur est inséré entre le signal de requête et le signal d'acquittement [67, 74]. A cause des hypothèses temporelles mises en jeu, cette technique très simple ne permet pas de réaliser des circuits insensibles aux délais. La deuxième technique exploite les états particuliers des codages insensibles aux délais pour générer le signal d'acquittement. Par exemple, dans le cas d'un codage trois états, l'acquittement peut être implémenté par un «ou» logique entre les deux rails du canal de sortie (*cf.* figure 1.6).

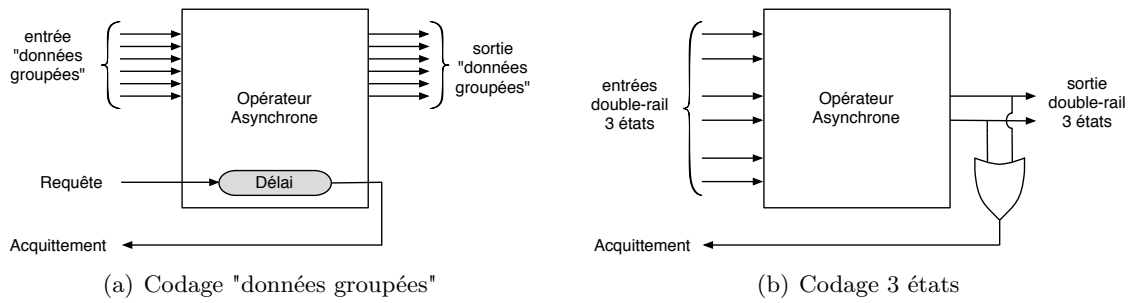


FIGURE 1.6 – Génération des signaux de fin de calcul

On note également qu'une technique appelée «*relative timing*» permet de s'affranchir, dans certains cas, de la génération des signaux de fin de calcul [73, 41, 68]. Cette technique est applicable quand des connaissances temporelles sur les signaux ou les données traités existent à priori.

### 1.3.3 La porte de Muller

Les protocoles de communication asynchrones requièrent de pouvoir effectuer la synchronisation de plusieurs signaux. Une telle fonction peut être implémentée avec des portes logiques classiques mais à un coût relativement important (*cf.* figure 1.8(a)). On préfère généralement utiliser une porte dédiée à cette fonction : la porte de Muller, appelée aussi «*C-element*». Cette porte effectue naturellement la synchronisation ou le «*Rendez-Vous*» de plusieurs signaux : quand ses entrées sont égales, la sortie recopie la valeur des entrées, sinon, la sortie est mémorisée. Son symbole et sa table de vérité sont donnés sur la figure 1.7.

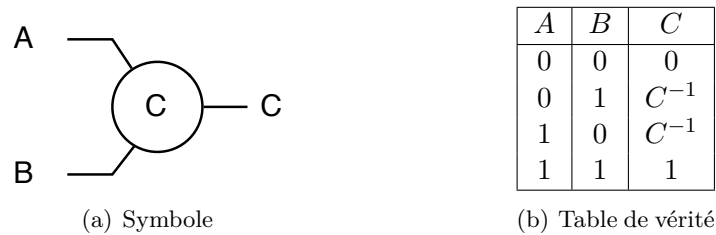


FIGURE 1.7 – Cellule de Muller

A partir de cette spécification générale, de nombreuses implémentations, avec différentes caractéristiques de vitesse, de consommation ou de surface, sont possibles [69]. La figure 1.8(a) représente une implémentation à base de portes logiques élémentaires et la figure 1.8(b) une implémentation au niveau transistor.

## 1.4 Propriétés des circuits asynchrones

Le but de cette section est de présenter les différentes propriétés et avantages de la technologie asynchrone par rapport aux approches classiques synchrones.

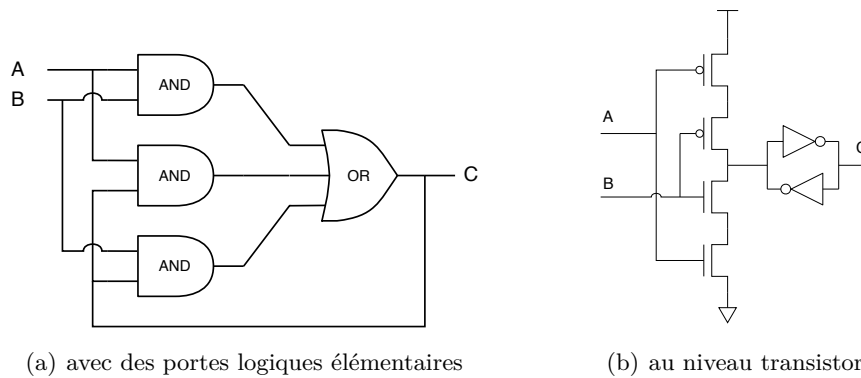


FIGURE 1.8 – Implémentations possibles de la porte de Muller

### 1.4.1 Absence d’horloge

La propriété la plus évidente des circuits asynchrones est leur absence d’horloge. De fait, tous les problèmes de conception liés à sa manipulation sont évités. Comme précédemment évoqué, la fiabilité de fonctionnement et les performances d’un circuit synchrone reposent notamment beaucoup sur la qualité du signal d’horloge [25, 26]. De nombreux efforts de conception visent à en améliorer sa génération et sa distribution (PLL, DLL, arbre d’horloge...). Par exemple, dans un processeur cadencé à 2 ou 3 Ghz, une gigue («*jitter*») ou un déphasage («*skew*») d’horloge d’une vingtaine de picosecondes est inacceptable puisqu’il représente déjà plus de 10% de la période d’horloge. Par ailleurs, l’étape cruciale du calcul du chemin critique nécessite une caractérisation temporelle très précise des éléments de bibliothèque, et une estimation toute aussi précise des temps de propagation dans les interconnexions. La réduction des dimensions des dispositifs élémentaires a pourtant tendance à complexifier ces étapes de caractérisation et à en limiter la précision. Grâce aux mécanismes de synchronisation locale utilisés dans les circuits asynchrones, tous ces problèmes de conception et de caractérisation sont purement et simplement supprimés.

### 1.4.2 Calcul en temps minimum

Un autre avantage du mode de fonctionnement asynchrone est que les calculs se font en temps minimum. En effet, un opérateur logique ou arithmétique effectue son calcul en un temps variable, compris entre une borne inférieure et une borne supérieure. Ce temps correspond au temps de traversée des données de l’entrée vers la sortie de l’opérateur. C’est la latence directe. Elle dépend naturellement de la fonction implémentée, mais également des données traitées : les chemins électriques empruntés entre l’entrée et la sortie dépendent directement de la valeur des données. Le mode de fonctionnement asynchrone permet de tirer parti de cette variabilité des temps de traitement. De plus, les temps d’exécution des opérateurs dépendent également de paramètres physiques qui influencent le comportement des dispositifs élémentaires, tels que les variations des paramètres technologiques, de température ou de tension d’alimentation (appelées variations PVT pour «*Process, Voltage,*

*Temperature*»). Le mécanisme de synchronisation locale rend les circuits asynchrones particulièrement robustes vis à vis de ces variations : chaque fin de calcul étant détectée et signalée au niveau de chaque opérateur, les variations PVT influencent les performances du système mais sans mettre en péril la correction fonctionnelle. Ainsi, les circuits asynchrones fonctionnent toujours à la vitesse maximale permise par les données, les dispositifs élémentaires et les conditions de fonctionnement.

### 1.4.3 Traitements non-déterministes

Une autre propriété intéressante des circuits asynchrones est le support fiable qu'ils apportent pour les traitements non-déterministes. L'échantillonnage d'un signal asynchrone - par exemple, un signal d'interruption - peut faire apparaître un état métastable dont la durée est indéterminée et non bornée [42]. Comme les circuits synchrones imposent à tous les signaux un temps d'établissement compatible avec la période d'horloge, ils ne permettent pas de garantir un échantillonnage fiable à 100% de ces signaux asynchrones. Il faut noter de plus, que la probabilité de défaillance d'un système, liée à l'apparition d'un état métastable, est d'autant plus grande que l'on travaille à des fréquences élevées [15]. Au contraire dans les circuits asynchrones, grâce aux mécanismes de synchronisation locale, la correction fonctionnelle est assurée indépendamment des temps de traitement. Donc, même si on ne peut se prévaloir de l'apparition d'un état métastable, on pourra utiliser des montages qui assurent l'établissement d'un état stable sans se préoccuper de la durée de l'état métastable intermédiaire. Il sera donc possible d'échantillonner de façon parfaitement fiable l'occurrence d'un signal externe pour le synchroniser avec l'exécution en cours.

### 1.4.4 Faible consommation

Plusieurs facteurs sont à prendre en considération pour évaluer les potentiels gains en consommation des circuits asynchrones :

**Absence d'horloge :** La première conséquence importante de la suppression de l'horloge est la suppression de la consommation qui lui est associée. Dans les circuits synchrones, la consommation des circuits d'horloge et des éléments de mémorisation peut représenter jusqu'à 50% de la consommation totale du système. Dans les systèmes asynchrones, cette consommation est naturellement supprimée.

**Conception sans aléa :** On rappelle que le principe de synchronisation globale des circuits synchrones a été adopté dans le but de simplifier la conception des blocs logiques, notamment en ignorant les aléas combinatoires qui peuvent se produire entre deux fronts d'horloge. Ces aléas sont responsables d'une consommation non négligeable dans les circuits synchrones. Ainsi l'absence d'horloge dans les circuits asynchrones, qui contraint à une conception soignée sans aléa combinatoire, permet d'éliminer cette consommation inutile.

**Mise en veille :** Un autre aspect de la réduction de la consommation dans les circuits asynchrones est la mise en veille à tous les niveaux de granularité. Dans un circuit synchrone, tous les blocs logiques commutent au moment de l'arrivée du front d'horloge, que ce soit pour le traitement de données utiles ou non. Le fonctionnement «flot de données» des circuits asynchrones permet de se prévaloir de cette consommation inutile : seuls les blocs impliqués dans un traitement consomment. Cet argument en faveur de l'asynchrone est particulièrement intéressant dans le cas d'architectures irrégulières. Les concepteurs de circuits synchrones tentent également de tirer profit de ces irrégularités architecturales pour limiter la consommation en implémentant des mécanismes locaux de contrôle d'horloge («*gated-clock*»). Ceci est relativement complexe à mettre en œuvre fonctionnellement et surtout électriquement car cela nécessite d'insérer de la logique sur les arbres d'horloges. Ces optimisations sont possibles en synchrone mais relativement complexes, alors que ces propriétés sont intrinsèques au mode de fonctionnement asynchrone.

**Adaptation aux conditions de fonctionnement :** Pour finir, la robustesse et l'adaptabilité des circuits asynchrones aux conditions de fonctionnement permettent de mettre en œuvre simplement des techniques de réduction dynamique de la consommation de type DVS («*Dynamic Voltage Scaling*»). Le principe de ces techniques est de réguler la tension d'alimentation en fonction de performances dynamiques requises [79]. Ces techniques peuvent être complexes à mettre en œuvre dans les circuits synchrones puisqu'en parallèle de la gestion de la tension d'alimentation, il faut également un dispositif de régulation de l'horloge. Le mécanisme de synchronisation locale des circuits asynchrones permet de s'affranchir de la complexité additionnelle liée à la gestion de l'horloge.

Malgré toutes ces propriétés en faveur de l'asynchrone, il convient d'être prudent pour statuer définitivement sur l'aspect faible consommation de l'asynchrone. En effet, le mécanisme de synchronisation locale sur lequel s'appuient ces propriétés a également un coût : les protocoles de communication nécessitent plus de transitions que le mécanisme de synchronisation globale, et la complexité matérielle de chaque opérateur, liée à l'implémentation de ces mécanismes, fait que la surface des circuits asynchrones est généralement plus grande que celle des circuits synchrones. La consommation dynamique (liée aux nombres de transitions) d'un opérateur asynchrone est alors généralement plus importante que celle d'un opérateur synchrone, et la consommation statique globale des circuits asynchrones est souvent pénalisée par le surcoût en surface. Finalement, la pertinence de l'approche asynchrone pour l'aspect faible consommation est souvent à évaluer au cas par cas en fonction de l'application, de la régularité ou non des traitements, et des implémentations possibles...

#### 1.4.5 Faible bruit et systèmes radiofréquences

Comme précédemment évoqué, tous les traitements d'un circuit synchrone débutent précisément sur chaque front d'horloge. Cela implique de forts appels de courant sur les

lignes d'alimentation, à la fréquence de l'horloge, qui induisent un rayonnement électromagnétique concentré à ses harmoniques. Ce problème de bruit généré par le circuit prend une importance d'autant plus grande que l'on traite des signaux de très faibles puissances. Grâce au fonctionnement «flot de données» des circuits asynchrones, les traitements sont distribués dans le temps. Cela implique que les appels de courant sur les lignes d'alimentation sont, eux-aussi, beaucoup mieux répartis dans le temps, ce qui limite grandement le bruit généré par les circuits asynchrones. Cette propriété de faible bruit a été exploitée dès 1998, par l'équipementier *Philips* qui a conçu le premier microcontrôleur asynchrone intégré dans un pager grand public [77].

#### 1.4.6 Modularité

La modularité des circuits et systèmes asynchrones est quasi parfaite. Cette propriété s'appuie encore une fois sur le mécanisme de synchronisation locale implémenté dans tous les éléments d'un système asynchrone. Il est alors très facile de construire une fonction complexe par simple assemblage de composants élémentaires à la manière des «*Légo*». Ceci est particulièrement intéressant pour la conception de systèmes complexes et pour la réutilisation de modules déjà existants («*Design and Reuse*»).

#### 1.4.7 Technologies déca-nanométriques

Comme précédemment évoqué, les circuits asynchrones sont très robustes vis-à-vis des variations PVT. L'avènement des technologies déca-nanométriques fait de cette propriété un argument décisif pour le recours à la technologie asynchrone. En effet, les phénomènes de variabilité des procédés de fabrication deviennent de plus en plus prépondérants : avec les technologies 32 nm et inférieures, on estime que des variations d'un facteur 3 à 4 pourront affecter les cellules identiques d'un même circuit et que des différences allant jusqu'à un ordre de grandeur seront observables sur les fréquences de fonctionnement des puces [1]. Avec de pareilles dispersions, l'approche complètement synchrone semble avoir trouvé une limite : comment assurer des performances et des rendements de production acceptables. Les circuits asynchrones, grâce à leur grande robustesse aux variations PVT, sont une solution à ces problèmes.

## 1.5 Conception des circuits asynchrones

### 1.5.1 Classification des circuits asynchrones

Les circuits asynchrones sont généralement classifiés selon les hypothèses temporelles effectuées lors de leur conception. De manière formelle, ces hypothèses correspondent aux modèles de délais utilisés pour représenter les temps d'exécution des opérateurs et les temps de propagation dans les interconnexions. Les modèles classiquement utilisés sont le «délai fixe» qui correspond à une valeur parfaitement connue ; le «délai borné» où la valeur n'est pas connue précisément mais comprise dans un intervalle qui, lui, est parfaitement

connu; et enfin, le «délai non-borné» pour lequel la valeur est finie mais non connue. La robustesse d'un système est directement liée aux modèles de délais utilisés lors de sa conception : plus les hypothèses temporelles sont faibles, plus la robustesse est grande. La figure 1.9 donne une représentation des différentes classes de circuits asynchrones en fonction des hypothèses temporelles effectuées et de la robustesse attendue.

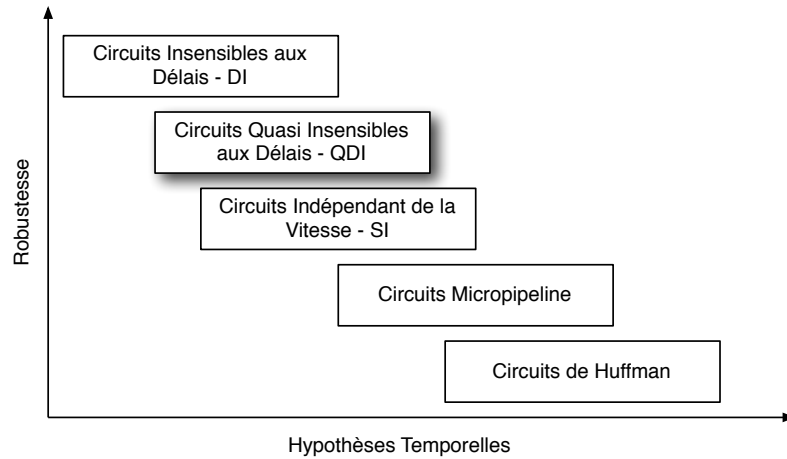


FIGURE 1.9 – Classification des circuits asynchrones

### 1.5.1.1 Circuits insensibles aux délais

Les circuits insensibles aux délais, ou «*Delay Insensitive*», représentent la classe de circuits asynchrones la plus robuste. Le modèle de délai utilisé pour les portes et les interconnexions est le modèle non-borné : le fonctionnement correct du circuit est alors garanti quels que soient les délais introduits dans ces éléments. Ceci impose donc que chaque récepteur d'un signal informe toujours l'expéditeur que l'information a été reçue. En pratique, ce modèle de délai est excessivement restrictif au niveau de la conception puisqu'il interdit l'utilisation des portes logiques classiques à plusieurs entrées et une seule sortie. En effet, le changement d'état de la sortie de ce type de portes ne peut servir à acquitter qu'un seul des opérateurs connectés à ses entrées. La solution pour concevoir ce type de circuit consiste donc à utiliser des portes complexes à plusieurs entrées et plusieurs sorties [17, 34].

### 1.5.1.2 Circuits quasi insensibles aux délais

Les circuits quasi insensibles aux délais, ou «*Quasi Delay Insensitive*», représentent également une classe de circuits extrêmement robuste mais plus simple à concevoir que les circuits DI. Le modèle de délai utilisé est à nouveau le modèle non-borné, mais une hypothèse temporelle supplémentaire est ajoutée : l'hypothèse de fourches isochrones. Cela consiste à supposer que deux fils qui relient la sortie d'un élément aux entrées de deux éléments différents - une fourche - ont le même temps de propagation - l'isochronisme. Cette hypothèse, facilement vérifiable par un routage soigné, permet de simplifier grandement la

conception puisqu'elle donne accès à l'utilisation des portes logiques standards. En effet, en faisant l'hypothèse qu'une fourche d'acquittement est isochrone, il est possible d'utiliser le changement d'état de la sortie d'une porte logique pour acquitter tous les éléments connectés à ses entrées. Ce sont les méthodes de conception et les propriétés de cette classe de circuits que nous étudions plus particulièrement au laboratoire TIMA.

### 1.5.1.3 Circuits indépendants de la vitesse

Les circuits indépendants de la vitesse, ou «*Speed Independent*», sont équivalents à des circuits QDI où toutes les fourches seraient supposées isochrones. En effet, pour la conception de ce type de circuits, on utilise le modèle de délai non-borné pour les opérateurs et on fait l'hypothèse que le temps de propagation dans les interconnexions est nul. Le fait d'identifier clairement les fourches isochrones constitue un atout pour la conception des circuits QDI : cela permet à un outils d'effectuer les vérifications nécessaires sur les fourches sensibles, ce qui rend les circuits QDI plus sûrs [59].

#### 1.5.1.4 Micropipeline

La technique micropipeline a été introduite par Ivan E. Sutherland [74]. Le principe de base des micropipelines est de contrôler, avec des cellules de Muller, la propagation des données dans une queue de type FIFO («*First In, First Out*») tel que représenté sur la figure 1.10. Les opérateurs notés «R» sont des registres appelés «*Event-Controlled Storage Elements*» qui présentent un fonctionnement particulier : l'entrée C («*Capture*») permet de capturer la donnée présente en entrée. Lorsque la donnée est mémorisée, la sortie Cd est activée («*Capture done*»). L'entrée P («*Pass*») rend passant le registre pour laisser circuler les données de l'entrée vers la sortie. Lorsque le registre est bien dans l'état passant, la sortie Pd est activée («*Pass done*»). Les opérateurs notés «Comb.» sont des blocs de traitements combinatoires qui peuvent être implémentés de manière classique.

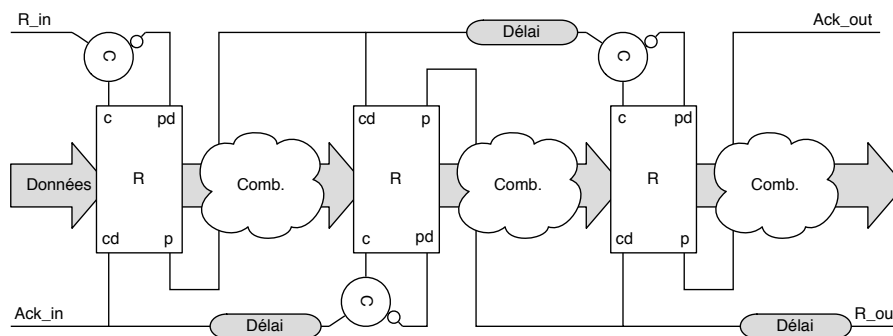


FIGURE 1.10 – Structure FIFO d'un circuit micropipeline

Lorsqu'un événement survient sur  $R_{in}$ , les données sont capturées dans le registre du premier étage et maintenues à sa sortie pour permettre l'évaluation du calcul combinatoire. L'événement se propage alors vers  $Ack_{in}$  et, après un délai calibré sur le temps d'exécution de ce premier bloc combinatoire, arrive jusqu'au deuxième étage. Si le registre de cet



étage est dans l'état passant, alors les données en sortie du bloc combinatoire y sont capturées et le registre du premier étage est rendu passant à nouveau pour lui permettre de consommer une nouvelle donnée, et ainsi de suite. L'adoption du modèle de délai borné pour le chemin de données ne permet pas de tirer parti de la variabilité des temps de traitements combinatoires et rend cette classe de circuits moins robuste que les circuits QDI. On note cependant qu'il est possible de contourner ces limitations en utilisant des opérateurs combinatoires capables de générer leurs propres signaux de fin de calcul [59].

#### 1.5.1.5 Circuits de Huffman

C'est de loin la classe de circuits asynchrones la moins robuste. Comme en synchrone, la conception des circuits de Huffman [37] est basée sur les modèles de délai borné ou fixe pour les portes logiques, pour les éléments de mémorisation et pour les fils. La fiabilité de ce type de circuits est donc très dépendante des conditions de fonctionnement, et une erreur de caractérisation des temps de propagation peut engendrer un non fonctionnement du système.

### 1.5.2 Méthodes et outils de conception

Malgré les propriétés et les potentiels de la technologie asynchrone, le nombre de réalisations industrielles reste très faible et demeure parfaitement marginal par rapport aux réalisations synchrones. Plusieurs facteurs sont à prendre en considération pour expliquer ceci.

Le premier facteur est le manque cruel d'outils de conception. En effet, même si des outils existent, principalement issus du monde universitaire, ils ne couvrent souvent pas l'ensemble du flot de conception et souffrent d'une mauvaise compatibilité avec les outils commerciaux. Pour répondre à ce manque d'outils, le groupe CIS du laboratoire TIMA a développé l'outil TAST («*Tima Asynchronous Synthesis Tool*») dédié à la synthèse des circuits asynchrones. Cet outil permet d'effectuer la synthèse automatique de circuits QDI ou micropipeline à partir d'une description dans un langage de haut-niveau appelé CHP («*Communicating Hardware Process*»). Depuis 2007, le développement de cet outils a été transféré dans une start-up grenobloise, la société *Tiempo*, co-fondée par Marc Renaudin et Serge Maginot, qui propose un éventail d'IP asynchrones et un environnement de développement intégré dédié à la conception de circuits asynchrones (<http://www.tiempo-ic.com>).

Par ailleurs, un deuxième facteur explique le lent démarrage de la technologie asynchrone : le manque de formation des ingénieurs à cette technique de conception alternative. Le principe de discrétisation temporelle utilisé en synchrone est un principe profondément ancré dans les manières de concevoir les systèmes et, de fait, est très difficile à remettre en cause. On le retrouve à tous les stades de la conception d'un système, depuis sa spécifi-

cation jusqu'à son implémentation. La conversion au mode de fonctionnement asynchrone demande donc aux concepteurs de circuits de repenser en profondeur les architectures et les algorithmes qu'ils utilisent couramment.

## 1.6 Conclusion

Avec la complexité croissante des systèmes et la diminution des dispositifs élémentaires, l'utilisation d'une horloge globale devient de plus en plus difficile à maîtriser et est source de nombreux problèmes et limitations. L'approche asynchrone propose de s'affranchir de ces problèmes en supprimant l'horloge globale au profit d'un contrôle local distribué dans le circuit. Pour ce faire, les éléments d'un circuit asynchrone sont reliés entre eux par l'intermédiaire de canaux de communication qui utilisent des protocoles et un codage des données spécifiques.

Grâce à ces mécanismes de synchronisation locale, les circuits asynchrones présentent de nombreuses propriétés très intéressantes telles qu'une excellente robustesse aux variations des procédés de fabrication ou des conditions de fonctionnement, une très faible consommation d'énergie, ou encore, un très faible bruit électromagnétique. Comme nous le montrons dans le chapitre 3, ces différentes propriétés semblent particulièrement bien répondre aux contraintes d'une implémentation d'une architecture de traitement des signaux radio impulsionnelle dans le cadre applicatif des réseaux de capteurs.



## Chapitre 2

# Radio impulsionnelle UWB

### Sommaire

<b>2.1</b>	<b>Introduction</b>	<b>23</b>
<b>2.2</b>	<b>Principes de base</b>	<b>24</b>
<b>2.3</b>	<b>Caractéristiques et Applications</b>	<b>25</b>
<b>2.4</b>	<b>Réglementation</b>	<b>27</b>
<b>2.5</b>	<b>Etat de l'art de la Radio Impulsionnelle</b>	<b>29</b>
2.5.1	Construction d'un signal IR-UWB	29
2.5.2	Caractéristiques du canal de propagation	33
2.5.3	Systèmes de réception	35
<b>2.6</b>	<b>Conclusion</b>	<b>38</b>

## 2.1 Introduction

Les tentatives de transmission radio à arc («*spark-gap*»), réalisées par Marconi au début du siècle dernier, peuvent être considérées comme les toutes premières expériences de communication radio impulsionnelle. Il faut cependant attendre les années 70, pour que des travaux sur la forme moderne de cette radio alternative soient publiés [33, 62, 8, 32]. Elle est alors essentiellement réservée aux applications radar qui tirent avantage de la grande résolution temporelle des signaux radio impulsionnelle pour accroître leur précision. C'est finalement à la conférence *Milcom* en 1993, que Robert A. Scholtz propose enfin d'utiliser cette technologie radio pour communiquer [63]. En 2002, la FCC («*Federal Communication Commission*»), l'organisme américain de régulation des fréquences, autorise l'émission intentionnelle de signaux radio à ultra large bande spectrale sur une bande de fréquence de 7,5 GHz qui s'étale de 3,1 GHz à 10,6 GHz [23].

Depuis lors, la radio UWB («*Ultra Wide Band*») connaît un intérêt croissant de la part de la communauté scientifique et industrielle qui la perçoit comme une opportunité sans précédent d'impacter les systèmes de communication. En effet, la largeur de bande allouée et ses possibilités en termes de débit, sa relative simplicité de mise en œuvre, ou encore,

ses capacités de localisation, font de la radio impulsionnelle une technologie extrêmement prometteuse pour les objets communicants et les domaines de l'intelligence ambiante.

Ce chapitre présente les principes de base, les caractéristiques essentielles et les applications pressenties de cette radio originale. Il s'intéresse ensuite à l'aspect réglementation. Il présente enfin différentes techniques d'émission et de réception utilisées en radio impulsionnelle. On précise qu'il ne s'agit pas d'un état de l'art exhaustif, mais plus d'une introduction à cette technologie pour permettre d'en appréhender les éléments clés et les enjeux.

## 2.2 Principes de base

La FCC définit un signal UWB comme un signal dont la largeur de bande à -10 dB est supérieure à 500 MHz, ou comme un signal dont la bande *fractionnaire*  $B_f$  est supérieure à 20% ( $f_H$  et  $f_L$  définissent les fréquences de coupure à -10 dB haute et basse respectivement) :

$$B_f = 2 \times \frac{f_H - f_L}{f_H + f_L} \geq 0,2$$

Cette définition, adoptée par l'ensemble de la communauté, ne précise pas quelle technique doit être mise en œuvre pour produire un tel signal. On distingue alors deux grandes approches : l'approche multi-porteuses et l'approche impulsionnelle. Cette dernière, qui nous intéresse dans le cadre de cette étude, se retrouve dans la littérature sous différents termes tels que : «*Impulse radio*», «*nonsinusoidal radio*», «*carrier-free radio*», «*baseband radio*», ou encore «*time domain radio*»,...

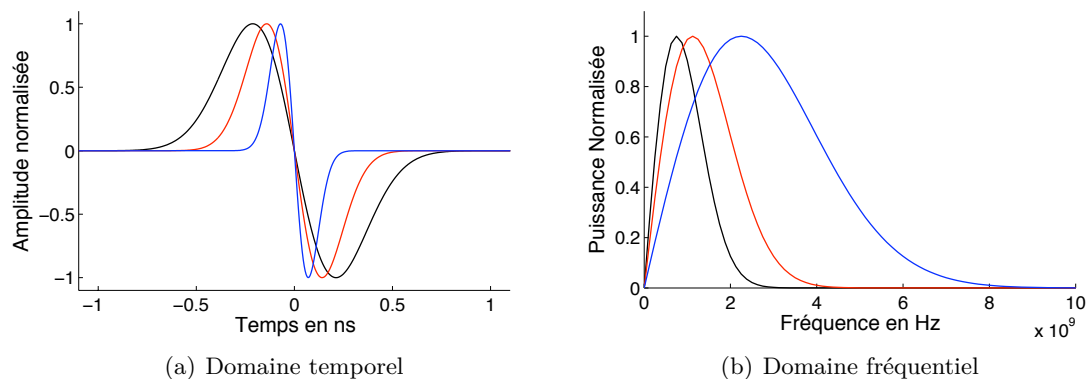


FIGURE 2.1 – Exemples d'impulsions élémentaires : le monocycle gaussien

Comme laisse supposer ses différentes appellations, le principe de base de la radio impulsionnelle (IR-UWB - *Impulse Radio Ultra Wide Band*) est donc de ne plus émettre un signal modulé sur une fréquence porteuse, mais d'émettre, directement en bande de base, des impulsions très brèves (typiquement de quelques centaines de picosecondes à une

nanoseconde), et donc, très large bande (de un à plusieurs gigahertz) pour transmettre l'information. A titre d'exemple, la figure 2.1(a) représente des impulsions élémentaires de différentes durées dans le domaine temporel, et la figure 2.1(b) représente leurs spectres dans le domaine fréquentiel.

La période de répétition d'émission des impulsions est très grande par rapport à la durée des impulsions. Cela confère aux signaux radio impulsionnelle une densité spectrale de puissance moyenne très faible qui peut être assimilée à du bruit blanc par les systèmes radio bande étroite classiques. Cette caractéristique permet d'envisager la mise en place de systèmes radio impulsionnelle sans licence, et la réutilisation de bandes de fréquence déjà allouées à d'autres systèmes. On verra cependant dans le paragraphe 2.4 que, malgré cette caractéristique, les instances de régulation ont suivi une approche très prudente dans l'attribution des bandes de fréquence exploitables par la technologie UWB, afin de préserver la qualité de service des systèmes radio bande étroite.

## 2.3 Caractéristiques et Applications

De par sa nature très large bande, ou, de par sa mise en œuvre, la radio impulsionnelle présente plusieurs propriétés qui la rendent particulièrement intéressante pour différents types d'application. Tout d'abord, la propriété qui semble la plus évidente est la forte capacité en termes de débit des canaux de communication UWB. La relation de Shannon [70] montre en effet que la capacité  $C$  d'un canal de communication augmente linéairement en fonction de sa largeur de bande  $B$ , alors qu'elle augmente en suivant une loi logarithmique en fonction du rapport signal à bruit  $RSB$  :

$$C = B \times \log_2(1 + RSB)$$

Cette relation montre qu'il est bien plus intéressant, pour augmenter le débit d'un canal radio, d'élargir sa bande passante, plutôt que de tenter d'améliorer son rapport signal à bruit. La bande de fréquence de 7,5 GHz, allouée aux communications UWB (aux Etats-Unis), permet donc d'envisager des débits très importants, ou, dans le cas de communications concurrentes, un très grand nombre d'utilisateurs. On peut également remarquer que l'utilisation d'une très large bande permet d'établir une communication radio à des débits moins élevés, même dans le cas de rapport signal à bruit très dégradé, c'est-à-dire sur une portée plus importante.

Par ailleurs, grâce à leur grande largeur de bande, les signaux UWB offrent une grande résolution temporelle. Cette propriété rend les systèmes UWB particulièrement robustes aux évanouissements rapides du canal de propagation engendrés par les trajets multiples. En effet, la résolution temporelle de ces signaux radio, qui permet (et impose) la détection séparée des différents trajets de propagation, limite grandement la probabilité de recombinaison.

naison destructive des trajets au niveau du récepteur. La grande résolution temporelle des signaux UWB peut également être mise à profit pour les systèmes de localisation basés sur la mesure du temps de vol de l'onde électromagnétique entre l'émetteur et le récepteur. A titre d'exemple, à une bande de fréquence de 1 GHz correspond une résolution temporelle de 1 ns, ce qui équivaut à une résolution spatiale de 30 cm. La technologie UWB offre ainsi de très bonnes caractéristiques pour l'implémentation de systèmes de localisation *indoor*.

De plus, les systèmes IR-UWB présentent d'excellentes propriétés de confidentialité de liaison. En effet, les signaux radio impulsionnelle sont transmis sur une très large bande, à des niveaux de densité spectrale de puissance très faibles. Cela les rend particulièrement difficile à détecter ou à intercepter. La technologie IR-UWB permet ainsi l'implémentation de systèmes de communication sécurisés.

Pour finir, l'implémentation des systèmes radio impulsionnelle est relativement simple en raison des traitements d'émission et de réception qui s'effectuent directement en bande de base. En effet, les impulsions électromagnétiques générées par l'émetteur UWB sont à même de se propager dans le canal radio sans avoir été, au préalable, translatées dans une bande de fréquence supérieure. De même, à la réception, le traitement des impulsions peut s'effectuer directement en bande de base. Ainsi, l'architecture des systèmes radio impulsionnelle semble relativement simple en comparaison des architectures hétérodynes ou superhétérodynes mises en œuvre dans les systèmes radio conventionnels. Cette simplicité architecturale promet d'une part, des coûts de fabrication réduits, et d'autre part, une consommation d'énergie limitée.

Ces différentes caractéristiques permettent d'envisager deux grandes catégories d'applications : la première qui regroupe les applications haut-débit à courte portée, telles que les réseaux WLAN (*Wireless Local Area Network*), les réseaux WPAN (*Wireless Personal Area Network*), ou encore, les communications point-à-point haut-débit pour le transfert rapide de données. Pour ces applications, les débits doivent pouvoir atteindre plusieurs centaines de Mbit/s sur une portée d'un à une dizaine de mètres. Le groupe de travail IEEE 802.15.3a, qui était en charge d'étudier une couche physique pour les réseaux WPAN basée sur l'UWB, spécifiait un débit obligatoire de 110 Mbit/s à 10 mètres, et un débit souhaitable de 480 Mbit/s à 1 mètre [2]. La deuxième catégorie d'applications est celle qui nous intéresse plus particulièrement dans cette étude. Elle regroupe les applications bas-débit à plus longue portée telles que les réseaux de capteurs ou les réseaux *ad hoc*. Les débits nécessaires pour ce type d'applications sont en effet beaucoup plus modestes (quelques centaines de Kbit/s), ce qui autorise des portées plus importantes, de l'ordre de la centaine de mètres. Le standard IEEE 802.15.4a, qui normalise ce type d'applications, spécifie des débits de l'ordre de 250 Kbits/s [38]. Nous reviendrons plus en détails sur les potentiels de la radio impulsionnelle pour l'implémentation des réseaux de capteurs dans le chapitre 3.

## 2.4 Réglementation

La FCC est la première instance de régulation des fréquences à statuer sur la technologie UWB. Elle publie, en février 2002, un rapport qui autorise l'émission intentionnelle de signaux UWB, sans licence, pour les applications *indoor* et pour les communications point-à-point *outdoor* [23]. La figure 2.2 représente les masques d'émission UWB autorisée par la FCC. Dans la bande de fréquence allouée (3,1 - 10,6 GHz), la PIRE (Puissance Isotrope Rayonnée Equivalente) moyenne ne doit pas excéder -41,3 dBm/MHz. Cette limite est relativement faible puisqu'elle correspond au niveau maximal des rayonnements parasites involontairement émis par tout appareil électrique (article FCC Part 15.209). De même, la PIRE crête a été définie et ne doit pas excéder 0 dBm sur 50 MHz.

Par ailleurs, on remarque que ce masque d'émission évite les bandes de fréquence allouées aux systèmes cellulaires tels que le GSM (900 MHz), le DCS (1,8 GHz) ou l'UMTS (2 GHz), qu'il évite aussi la bande dédiée au système de positionnement GPS (1,2 - 1,5 GHz), et qu'il évite enfin la bande ISM (2,4 GHz) («*Industrial, Science and Medical band*») où opèrent, entre autres, les systèmes WiFi (802.11b/g) et Bluetooth.

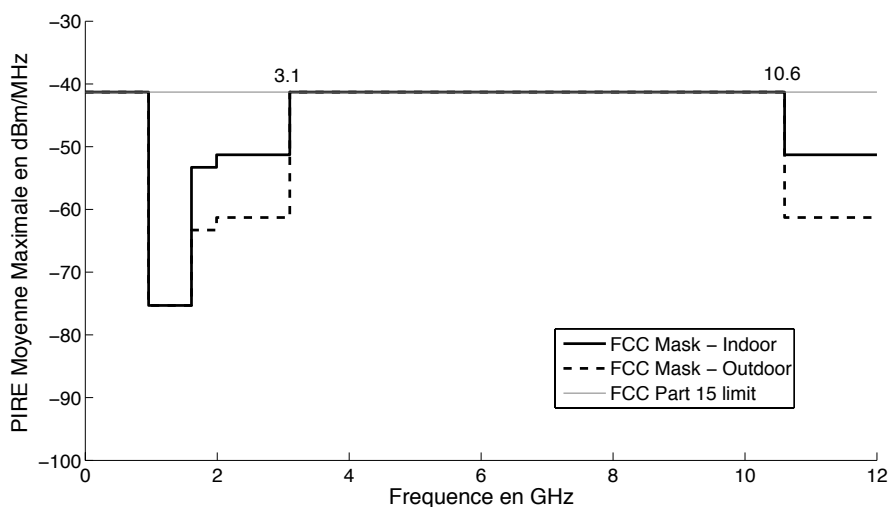


FIGURE 2.2 – Masque d'émission des signaux UWB - Etats-Unis

Le processus de réglementation a pris plus de temps en Europe et en Asie, où l'approche finalement adoptée est assez similaire quant à la protection des systèmes bande étroite qui partagent ou partageront les mêmes bandes de fréquence. Ainsi, l'ECC («*Electronic Communication Committee*»), l'instance de régulation européenne, autorise les émissions UWB *indoor*, sans licence, sur les bandes 3,1 - 4,8 GHz et 6 - 8,5 GHz aux mêmes niveaux de puissance qu'aux Etats-Unis [19, 21] (PIRE moyenne à -41.3 dBm/MHz, et PIRE crête à 0 dBm/50MHz).

Le découpage de la bande permet ainsi d'éviter la bande U-NII («*Unlicensed National Information Infrastructure*») située autour de 5 GHz qui héberge notamment le WiFi



802.11a et les réseaux HiperLAN («*High Performance radio LAN*»). Il faut noter également que les applications qui utiliseront la bande basse (de 3,1 à 4,8 GHz) devront obligatoirement implémenter, à compter du 31 décembre 2010, des mécanismes de limitation des interférences afin de ne pas dégrader les futurs systèmes radio, dits de quatrième génération, tels que le WiMAX (3,5 GHz). Deux approches peuvent être alors suivies : la technique LDC («*Low Duty Cycle*»), qui consiste simplement à limiter le niveau d'interférences en limitant le facteur d'activité [20, 21], ou la technique DAA («*Detect And Avoid*»), plus complexe, mais qui autorise des débits plus importants, qui consiste à sonder le canal radio pour s'assurer qu'il n'est pas occupé avant et pendant une communication [43, 47, 21]. La figure 2.3 représente le masque d'émission UWB autorisée en Europe.

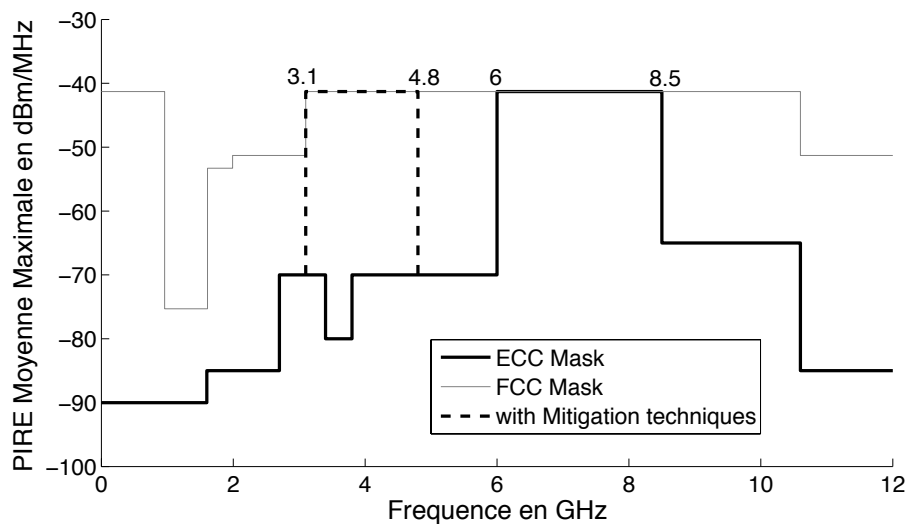


FIGURE 2.3 – Masque d'émission des signaux UWB - Europe

De son côté, le MIC («*Ministry of Internal Affairs and Communications*»), l'instance de régulation japonaise, a ouvert les bandes 3.4 - 4.8 GHz et 7,25-10,25 GHz [7]. De même qu'en Europe, le masque d'émission permet d'éviter la bande U-NII autour de 5 GHz, et la bande basse est soumise aux mécanismes de limitation des interférences. La figure 2.4 représente le masque d'émission UWB autorisée au Japon.

On peut noter, par ailleurs, que les différentes réglementations prévoient également les conditions d'utilisation du spectre (bandes de fréquence et limites d'émission) pour deux autres catégories d'application qui utilisent la technologie UWB : les applications radar de véhicules, et les applications d'imagerie UWB. Ces dernières comprennent, en autres, les applications GPR («*Ground Penetrating Radar*») et les applications d'imagerie médicale [23, 19, 7].

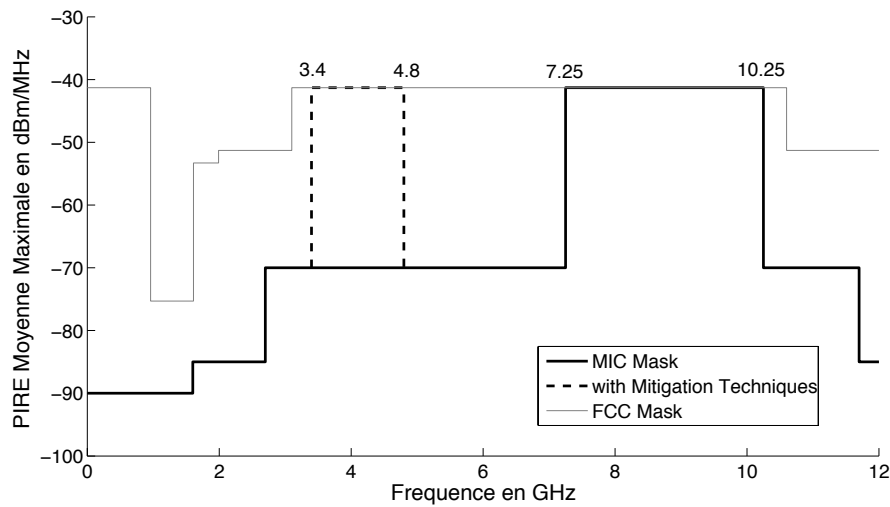


FIGURE 2.4 – Masque d'émission des signaux UWB - Japon

## 2.5 Etat de l'art de la Radio Impulsionnelle

Cet état de l'art introduit, tout d'abord, différentes techniques qui permettent de transmettre des données à l'aide d'un signal radio impulsionnelle. Puis, il décrit les caractéristiques essentielles du canal de propagation. Enfin, il présente différentes techniques de réception du signal IR-UWB.

### 2.5.1 Construction d'un signal IR-UWB

#### 2.5.1.1 Impulsion élémentaire

L'idée fondamentale de la radio impulsionnelle repose sur le fait qu'une impulsion très brève couvre une très grande bande de fréquence. Les impulsions gaussiennes (monocycles, doublets,...), telles qu'initialement proposées dans la littérature [63, 84] et représentées sur la figure 2.1, ne satisfont pas aux masques d'émissions des différentes réglementations. Ainsi, elles ont été remplacées par des ondelettes. Cela permet de translater le signal radio impulsionnelle vers les bandes de fréquence autorisées. La figure 2.5 représente le spectre et la forme d'onde de deux impulsions élémentaires qui satisfont aux contraintes d'émission européennes, l'une en bande basse, et l'autre, en bande haute.

Ces nouvelles impulsions équivalent à la multiplication d'une impulsion gaussienne et d'un signal sinusoïdal. La durée de l'impulsion gaussienne définit alors la largeur de bande du signal radio impulsionnelle, et la fréquence du signal sinusoïdal définit sa fréquence centrale. Il faut remarquer cependant qu'une architecture à oscillateur et mélangeur peut avantageusement être remplacée par le filtrage d'une impulsion arbitrairement très large bande dans la ou les bandes de fréquence adéquates.

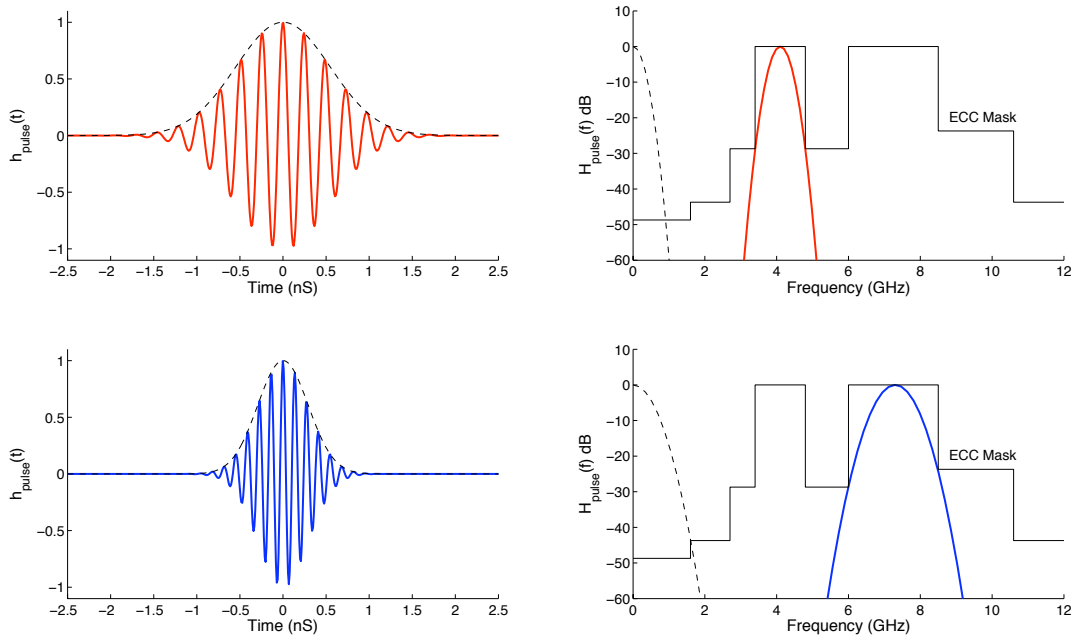


FIGURE 2.5 – Spectres et formes d’onde des impulsions élémentaires conformes au masque d’émission ECC

### 2.5.1.2 Techniques de modulation

Plusieurs techniques de modulation peuvent être utilisées, voir combinées, pour moduler le signal radio impulsionnelle afin de transmettre de l’information. Les techniques couramment citées dans la littérature sont décrites ci-dessous [28] :

**Modulation par position de l’impulsion (PPM) :** La modulation PPM («*Pulse Position Modulation*») consiste à décaler dans le temps la position de l’impulsion pour coder la donnée (cf. figure 2.6(a)). Il s’agit de la technique historique, telle que proposée par Robert A. Scholtz [84, 63]. Cette première technique offre plusieurs avantages : premièrement, le décalage temporel permet de rompre la périodicité d’émission des impulsions. Cela permet d’éviter la création de raies spectrales aux harmoniques de la fréquence de répétition des impulsions, et ainsi, de lisser le spectre du signal émis. Deuxièmement, sa mise en œuvre est relativement simple puisqu’elle nécessite simplement de contrôler précisément l’instant d’émission des impulsions. Cette technique permet enfin d’implémenter des modulations à un grand nombre d’états, sans complexité matérielle additionnelle. En effet, il suffit pour cela de définir plusieurs valeurs de décalage temporel [36].

**Modulation à deux états de phase (BPSK) :** La modulation BPSK («*Binary Phase Shift Keying*») consiste à coder la valeur de la donnée dans la phase de l’impulsion (0 ou  $\pi$ , cf. figure 2.6(b)). Cette technique possède également ses avantages. D’une part, la modulation BPSK est plus robuste au bruit que la modulation PPM : pour un taux d’erreur binaire identique, ce type de modulation requiert un rapport signal à bruit 3 dB inférieur. D’autre part, l’émission alternative d’impulsions positives et négatives em-

pêche l'apparition de raies spectrales aux harmoniques de la fréquence de répétition des impulsions. Par contre, la modulation BPSK semble beaucoup moins évolutive que la modulation PPM : il est effectivement peu envisageable de produire et de détecter des déphasages différents de  $\pi$ . De fait, une modulation à plusieurs états devient impossible. Pour finir, puisque l'information est codée dans la phase du signal radio impulsionnelle, ce type de modulation requiert l'utilisation d'un récepteur cohérent, plus complexe et plus consommant que les récepteurs à détection d'énergie (*cf.* paragraphe 2.5.3).

**Modulation «*Tout ou Rien*» (OOK) :** La modulation OOK («*On Off Keing*») consiste à émettre, ou ne pas émettre, une impulsion en fonction de la valeur de la donnée (*cf.* figure 2.6(c)). Cette technique de modulation présente l'avantage d'une grande simplicité de mise en œuvre à l'émission, et semble particulièrement bien adaptée à une technique de réception par détection d'énergie. De plus, à puissance moyenne équivalente, cette technique permet d'émettre des impulsions deux fois plus puissantes que dans le cas des modulations PPM ou BPSK. Ce dernier point, qui facilite grandement la détection des impulsions à la réception, n'est applicable qu'à condition que les trames de données contiennent, statistiquement, un nombre équivalent de «0» et de «1».

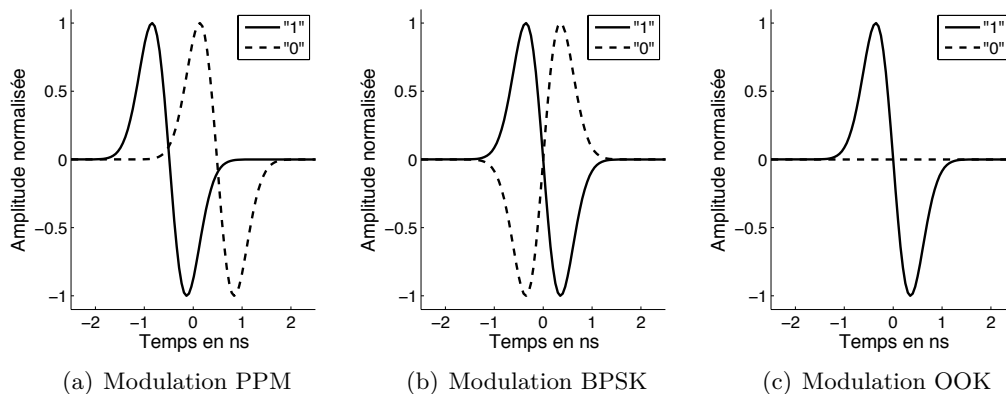


FIGURE 2.6 – Techniques de modulation du signal radio impulsionnelle

Il existe d'autres formes de modulation en radio impulsionnelle : on peut citer notamment, la modulation de la forme de l'impulsion PSM («*Pulse Shape Modulation*») qui consiste à transmettre des impulsions de formes différentes pour coder l'information [11], ou encore, les techniques qui en combinent plusieurs pour atteindre des modulations à grand nombre d'états [36].

### 2.5.1.3 Technique de saut temporel

Les puissances d'émission autorisées en radio impulsionnelle sont très faibles (elles sont limitées à -41,3 dBm/MHz dans les bandes de fréquence autorisées, *cf.* paragraphe 2.4). Cela impose d'insérer de la redondance à l'émission des impulsions pour augmenter la

quantité d'énergie émise par symbole, afin d'en fiabiliser la détection et la démodulation. Ainsi, un symbole de donnée est codé par plusieurs impulsions. Pour éviter l'apparition de raies spectrales aux harmoniques de la fréquence de répétition d'émission des impulsions, une technique de saut temporel («*Time Hopping*») peut être mise en œuvre. Cette technique consiste à appliquer un décalage temporel sur l'instant d'émission des impulsions en fonction d'un code pseudo-aléatoire ( $C_{TH}$ ). Cela permet de rompre la périodicité d'émission des impulsions, et donc de lisser le spectre du signal émis. Les figures 2.7 et 2.8 présentent le spectre d'un train d'impulsions sans, respectivement avec, la technique de saut temporel. On voit que les raies spectrales qui apparaissent à la fréquence de répétition des impulsions sont lissées quand la technique de saut temporel est utilisée.

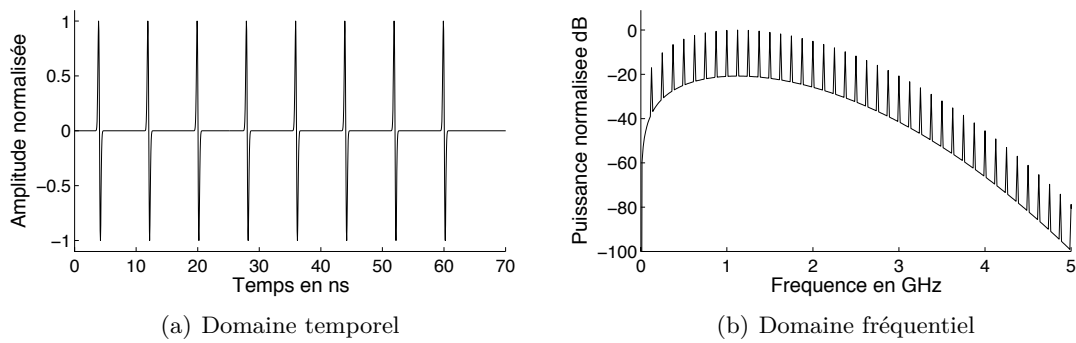


FIGURE 2.7 – Train d'impulsions sans procédé de saut temporel

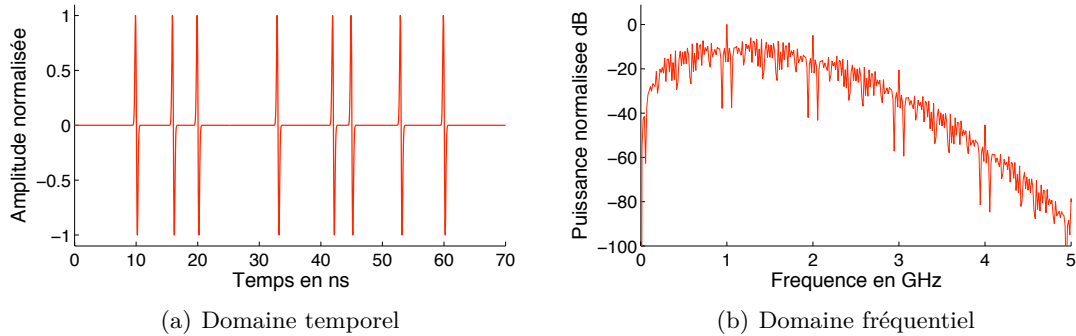


FIGURE 2.8 – Train d'impulsions avec procédé de saut temporel

De plus, ce procédé d'étalement spectral permet également la gestion de l'accès multiple au canal de propagation par répartition de codes. En effet, en attribuant un code pseudo-aléatoire de saut temporel  $C_{TH}$  différent à chaque utilisateur, il est possible d'accéder de manière concurrente au canal [63, 85]. Pour réduire la probabilité de collision entre les impulsions des différents utilisateurs, les codes de saut temporel doivent être orthogonaux entre eux. Il est possible d'établir d'autres critères que doivent respecter les codes pseudo-aléatoires pour limiter les interférences inter-utilisateurs [14, 44].

Après avoir exposé les intérêts de la technique de saut temporel, on propose de détailler ci-après sa mise en oeuvre pratique. Un symbole de donnée est composé de  $N_{chip}$  impulsions. Le temps symbole  $T_{symp}$  est alors divisé en  $N_{chip}$  *chips*. De même, le temps *chip*,  $T_{chip}$ , est lui même sous-divisé en  $N_{slot}$  *slots* de durée  $T_{slot}$  tel que représenté sur la figure 2.9.

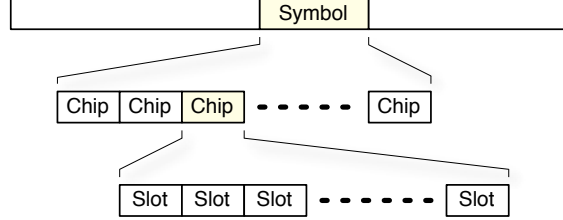


FIGURE 2.9 – Représentation du découpage temporel d'un symbole

Le code de saut temporel  $C_{TH}$  définit alors dans quel *slot* de chaque *chip*, une impulsion doit être émise. Le signal émis  $s(t)$ , en l'absence de modulation, peut alors s'exprimer par la relation (2.1), où  $w_{tr}(t)$  correspond à l'impulsion élémentaire, et où  $C_{TH}(j)$  définit le  $j^{\text{ième}}$  élément du code de saut temporel.

$$s(t) = \sum_{j=1}^{N_{chip}} w_{tr}(t - j \cdot T_{chip} - C_{TH}(j) \cdot T_{slot}) \quad (2.1)$$

Ensuite, en fonction de la modulation choisie, le signal est soit décalé dans le temps, soit inversé... Par exemple, dans le cas d'une modulation PPM à deux états, la relation (2.1) devient la relation (2.2), avec  $d_i$  qui représente le symbole émis, et  $\delta$  qui représente le décalage temporel de la PPM.

$$s(t) = \sum_i \sum_{j=1}^{N_{chip}} w_{tr}(t - i \cdot T_{symp} - j \cdot T_{chip} - C_{TH}(j) \cdot T_{slot} - d_i \cdot \delta) \quad (2.2)$$

### 2.5.2 Caractéristiques du canal de propagation

Comme pour toutes les technologies radio, ce sont les caractéristiques du canal de propagation qui déterminent, en définitive, les performances du lien radio. De fait, de nombreuses études et publications traitent des caractéristiques et de la modélisation du canal UWB [53, 75]. Nous proposons dans ce paragraphe, de présenter les caractéristiques essentielles des canaux UWB en se basant sur les modèles de canaux développés et utilisés par le comité de normalisation IEEE 802.15.4a [48]. Ces modèles regroupent plusieurs modèles statistiques de canaux UWB pour différents environnements de propagation typiques. On peut citer, par exemple, les environnements de type résidentiel qui sont caractérisés, entre autres, par des pièces de petite taille, les environnements de type «bureau» qui sont caractérisés par des couloirs, de larges *open spaces* et la présence de mobilier métallique, ou encore, les environnements de type industriel, caractérisés, cette fois, par un très grand nombre de surfaces métalliques aux géométries complexes.

Le tableau de la figure 2.10 résume quelques unes des caractéristiques essentielles des canaux UWB dans les environnements de de type résidentiel et de type «bureau» :

- $N_{paths-10dB}$  représente le nombre moyen de trajets *principaux*, c'est-à-dire, les trajets dont le niveau est à moins de 10 dB du trajet le plus fort,
- $N_{paths85\%}$  représente le nombre moyen de trajets sur lesquels se répartissent au moins 85% de l'énergie,
- $\Gamma$  représente l'étalement moyen des retards,
- et  $\gamma$  représente le coefficient d'atténuation exponentielle des pertes par propagation.

Modèle de canal	Type de canal	$N_{paths-10dB}$	$N_{paths85\%}$	$\Gamma$ (ns)	$\gamma$
CM1	LOS Résidentiel	17	55	16,4	1,79
CM2	NLOS Résidentiel	37	115	18,5	4,58
CM3	LOS «Bureau»	22	45	11,5	1,63
CM4	NLOS «Bureau»	60	128	13,3	3,07

FIGURE 2.10 – Caractéristiques essentielles des canaux UWB - modèles IEEE 802.15.4a

Tout d'abord, on peut noter que quel que soit le modèle considéré, les canaux de propagation UWB sont caractérisés par un très grand nombre de trajets. Cette caractéristique découle de la grande résolution temporelle des signaux UWB qui permet de distinguer et de séparer les différentes composantes multi-trajets. De fait, l'énergie est également répartie sur un grand nombre de trajets. Ceci implique que chaque trajet, à l'exception éventuellement du trajet direct quand il existe, est porteur d'une faible part de l'énergie totale. Comme on le verra dans le paragraphe suivant, cette propriété a un impact considérable sur les architectures de réception, dans la mesure où elles doivent implémenter des mécanismes particuliers pour pouvoir récupérer une part significative de l'énergie émise sur le canal [58]. Par ailleurs, les canaux UWB sont caractérisés par une profondeur de canal relativement importante de l'ordre de 150 à 250 ns. Cette deuxième propriété a également un impact important sur le système de communication. En effet, pour éviter qu'il se produise de l'interférence inter-impulsions, il est nécessaire de respecter un délai de garde, à l'émission des impulsions, supérieur à la profondeur du canal. Pour pouvoir accéder à des débits importants, incompatibles avec ces délais de garde, il est donc nécessaire d'avoir recours à des modulations à plusieurs états ou à des architectures de réception qui implémentent des mécanismes de traitement des interférences.

A titre d'illustration, la figure 2.11(a) représente une réponse impulsionnelle d'un canal de propagation en environnement résidentiel dans le cas LOS («*Light Of Sight*»), c'est-à-dire, avec vue directe entre l'émetteur et le récepteur. La figure 2.11(b), quant à elle, représente une réponse impulsionnelle du même canal de propagation dans le cas NLOS («*Non Light of Sight*»). On peut noter en particulier, un nombre de trajets plus faible et une décroissance plus rapide dans le cas LOS que dans le cas NLOS, et la présence de premiers trajets plus faibles que les trajets principaux dans le cas NLOS.

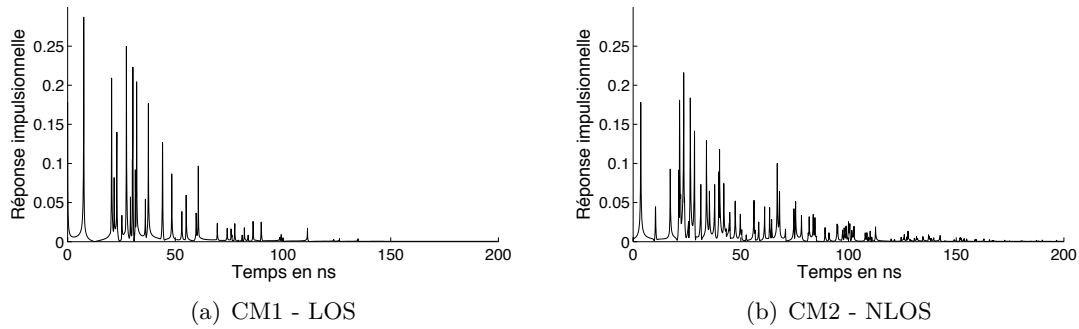


FIGURE 2.11 – Exemple de canaux UWB - modèles IEEE 802.15.4a en milieu résidentiel

### 2.5.3 Systèmes de réception

Pour clore cet état de l'art, on propose maintenant de s'intéresser aux systèmes de réception des signaux radio impulsionnelle. Deux approches différentes se distinguent : la détection cohérente et la détection d'énergie. Pour chacune de ces techniques, on propose d'en décrire le principe de fonctionnement et d'en exposer les avantages et les inconvénients.

#### 2.5.3.1 Détection cohérente

Le récepteur optimal d'un signal radio impulsionnelle est un récepteur par corrélation [64, 84]. Le principe de cette détection est de produire localement l'impulsion reçue à l'entrée du récepteur (le «*template*»), au moment précis où elle est attendue. La prise de décision sur la valeur de l'impulsion est alors réalisée sur le résultat de la corrélation entre le *template* et le signal reçu.

A partir de ce principe très théorique, différentes architectures de réception peuvent être implémentées. Par exemple, il est possible d'effectuer la corrélation directement sur l'ensemble des impulsions qui composent le symbole (*cf.* paragraphe 2.5.1.3). Dans ce cas, le *template* est alors la combinaison de  $N_{chip}$  *templates* élémentaires, et le résultat de la corrélation dépend alors de l'ensemble des  $N_{chip}$  impulsions reçues. Cette solution requiert alors une banque de corrélateurs qui peut s'avérer relativement complexe, mais permet aux traitements numériques de s'opérer à la fréquence du temps symbole. Au contraire, il est possible d'effectuer la corrélation impulsion par impulsion, et de recombinaer ensuite les résultats des corrélations successives par traitement numérique. Cette solution permet de simplifier l'étage de corrélation, mais requiert alors, une partie numérique plus agile qui doit opérer à la fréquence du temps *chip*.

Quelle que soit la solution retenue, la complexité et les contraintes temporelles de ce type de récepteur sont importantes. D'une part, le récepteur doit nécessairement implémenter un ou plusieurs corrélateurs qui sont, par nature, relativement complexes et



coûteux en énergie. D'autre part, la synchronisation et la poursuite de synchronisation entre l'émetteur et le récepteur doivent être réalisées avec beaucoup de finesse. En effet, la forme d'onde des impulsions impose une synchronisation à une précision au moins égale à la durée de la demi pseudo-période (*cf.* figure 2.5). Cela impose donc l'utilisation de bases de temps d'une résolution de l'ordre de quelques dizaines à quelques centaines de picosecondes, elles aussi, complexes et très coûteuses en énergie. Pour finir, la génération du *template* est également une opération compliquée. En effet, pour pouvoir être efficace, le *template* doit correspondre, non pas à l'impulsion émise, mais à l'impulsion reçue et déformée par le canal de propagation. L'estimation de la déformation de l'impulsion par le canal est délicate, et dépend de l'environnement de propagation. De même, la génération d'impulsion de forme arbitraire est complexe. On peut noter cependant qu'une technique de transmission permet de s'affranchir de cette nouvelle difficulté. Cette technique consiste à transmettre une première impulsion, qui est retardée dans le récepteur, pour servir de référence, ou de *template*, à l'impulsion suivante sur laquelle la donnée est effectivement modulée. Cette technique est connue sous le nom de TR-UWB («*Transmitted-Reference UWB*») [92].

### 2.5.3.2 Détection d'énergie

L'autre grande approche de réception du signal radio impulsionnelle est l'approche par détection d'énergie, appelée également «non-cohérente». Dans ce cas, on ne s'intéresse plus à la forme d'onde du signal reçu, mais seulement à son énergie : si une énergie suffisante est détectée à l'entrée du récepteur, alors, on considère qu'une impulsion a été reçue.

La complexité matérielle de ce type de récepteurs est considérablement réduite par rapport aux récepteurs cohérents et, de fait, permet d'envisager des architectures très basse-consommation [80]. D'une part, la détection d'énergie, à proprement parler, est beaucoup plus simple à réaliser qu'une corrélation. Elle consiste, en effet, à une simple détection d'enveloppe qui peut être implémentée, par exemple, à l'aide d'une diode polarisée dans sa zone quadratique (pour la mise au carré du signal) suivie d'un filtre passe-bas (pour l'intégration) [65]. D'autre part, les contraintes sur la base de temps pour établir et maintenir la synchronisation entre l'émetteur et le récepteur sont également extrêmement relâchées. En effet, la résolution temporelle nécessaire ne dépend plus de la forme d'onde des impulsions, mais dépend de l'enveloppe du signal reçu. En pratique, une résolution temporelle de plusieurs centaines de picosecondes à quelques nanosecondes est envisageable.

Il faut remarquer cependant que cette diminution de la complexité a un coût important sur les performances. Un récepteur à détection d'énergie est en effet beaucoup plus sensible au bruit qu'un récepteur par corrélation, puisque chaque pic d'énergie, liés ou non à du signal utile, est considéré comme tel. De plus, on peut noter que ce principe de réception est, par essence, inadapté aux modulations basées sur la forme de l'impulsion (BPSK

ou PSM). En définitive, ce type de récepteurs est généralement réservé aux applications bas-débit qui peuvent se satisfaire de performances dégradées, mais qui présentent des contraintes importantes de coût et de consommation, comme par exemple, les réseaux de capteurs [56, 52].

### 2.5.3.3 Traitements multi-trajets

Nous avons vu, dans le paragraphe 2.5.2, qu'un des effets du canal de propagation UWB est d'étaler l'énergie des impulsions émises sur un grand nombre de trajets. Il apparaît alors indispensable d'implémenter dans le récepteur des mécanismes qui permettent de combiner l'énergie de plusieurs trajets dans le processus de prise de décision du symbole reçu.

Une première architecture de réception qui permet d'assurer ce traitement multi-trajets, est le récepteur «*Rake*». Le principe de ce type de récepteurs est d'exploiter, non pas un seul trajet de propagation comme dans une architecture conventionnelle, mais  $n$  trajets, et de les intégrer à la prise de décision. On parle alors d'un récepteur *Rake* à  $n$  doigts. C'est une architecture très classique pour lutter contre les effets des multi-trajets, et on la retrouve dans différentes technologies radio [55]. Cependant, une particularité spécifique à la radio impulsionnelle est le nombre très important de doigts que doit comporter un récepteur *Rake* pour récupérer une part significative de l'énergie [83]. En effet, le tableau de la figure 2.10 montre que pour récupérer 85% de l'énergie, il faudrait pouvoir implémenter un *Rake* d'une cinquantaine à plus d'une centaine de doigts en fonction des caractéristiques du canal. La complexité architecturale d'un tel récepteur *Rake* n'est pas réellement envisageable, et l'on préfère des solutions à un nombre de doigts plus réduits combiné à un choix plus judicieux des trajets à intégrer à la prise de décision [9]. De même, différentes techniques peuvent être mises en œuvre pour réaliser la prise de décision : du simple vote à la majorité sur l'ensemble des trajets, à des approches plus statistiques qui consistent à attribuer un poids à chaque trajet en fonction de sa puissance estimée [46].

Une deuxième solution pour traiter les multi-trajets est le récepteur à accumulation d'énergie. Cette solution, beaucoup plus simple à implémenter que le récepteur *Rake*, consiste à intégrer le signal reçu sur une durée de l'ordre de la profondeur du canal. Dans ce cas, le récepteur collecte l'énergie de tous les trajets, mais sans pouvoir les distinguer. L'avantage de cette structure est de pouvoir collecter une grande part de l'énergie tout en restant très simple. Son inconvénient majeur est de perdre la grande résolution temporelle du signal radio impulsionnelle, ce qui rend ce type de récepteurs inadapté aux applications de localisation. Par ailleurs, en intégrant le signal reçu pendant une longue durée, le récepteur à accumulation d'énergie intègre également l'énergie du bruit et l'énergie d'éventuelles communications concurrentes. Cela entraîne une dégradation importante des performances dans le cas de propagation difficile (mauvais rapport signal à bruit), ou dans le cas de communications concurrentes [24].

## 2.6 Conclusion

La radio impulsionnelle est une technique radio originale basée sur l'émission sporadique d'impulsions électromagnétiques très brèves, et donc très large bande, pour transmettre l'information. Nous avons vu dans ce chapitre qu'elle présentait, intrinsèquement et par sa mise œuvre, plusieurs propriétés intéressantes telles que : une grande robustesse, une grande confidentialité de liaison, une grande résolution temporelle qui peut être exploitée pour des applications de localisation, et une implémentation relativement simple qui permet d'envisager des architectures bas-coût et basse-consommation. Ces différentes propriétés font de la technologie radio impulsionnelle une excellente candidate pour l'implémentation de la couche physique des réseaux de capteurs.

Ce chapitre présente ensuite différentes techniques d'émission et de réception des signaux radio impulsionnelle. Nous avons essayé de montrer, pour chacune de ces techniques, leurs avantages et leurs inconvénients, afin d'appréhender les éléments clés et les enjeux de la technologie radio impulsionnelle. Le chapitre suivant propose de montrer l'adéquation qu'il existe entre la technologie asynchrone et la technologie radio impulsionnelle pour l'implémentation de réseaux de capteurs, particulièrement contraints en coût et en énergie.

## Chapitre 3

# Adéquation logique asynchrone et radio impulsionnelle

### Sommaire

<b>3.1</b>	<b>Introduction</b>	<b>39</b>
<b>3.2</b>	<b>Contraintes applicatives : les réseaux de capteurs</b>	<b>40</b>
<b>3.3</b>	<b>Propriétés partagées</b>	<b>42</b>
3.3.1	Basse consommation	42
3.3.2	Faible bruit	42
3.3.3	Robustesse	43
<b>3.4</b>	<b>Conclusion</b>	<b>43</b>

### 3.1 Introduction

Les récentes avancées dans les domaines des communications sans fil, de la microélectronique et des MEMS («*Micro-Electro-Mechanical Systems*»), ont permis le développement de dispositifs intégrés qui embarquent sur le même circuit, un système de mesure, un système de traitement, et un système de communication radio ; le tout à un coût de fabrication raisonnable. Les capacités et le faible coût de ces dispositifs, communément appelés *capteurs*, ont favorisé l'émergence des réseaux du même nom. Ce type de réseaux consiste en un grand nombre de capteurs, ou de *nœuds*, selon le vocabulaire consacré, qui opèrent de manière autonome et qui communiquent entre eux via des transmissions radio à courte portée [4].

Il est maintenant reconnu que les différentes caractéristiques de la radio impulsionnelle (basse consommation, faible coût, robustesse, confidentialité, localisation,... cf. paragraphe 2.3) font de cette technologie radio une excellente candidate pour l'implémentation de la couche physique des réseaux de capteurs [3].

On souhaite montrer dans ce chapitre l'adéquation particulière qui existe entre la technologie asynchrone et la radio impulsionnelle dans le contexte applicatif des réseaux de capteurs. On propose alors, dans un premier temps, de présenter les contraintes spécifiques qui s'appliquent à ces systèmes, et dans un second temps, de confronter une à une les propriétés de la radio impulsionnelle aux propriétés de la logique asynchrone pour montrer cette adéquation. Le but de ce chapitre est de présenter les raisons qui ont motivé les travaux de recherche présentés dans ce manuscrit de thèse.

## 3.2 Contraintes applicatives : les réseaux de capteurs

Un réseau de capteurs est composé d'un grand nombre de nœuds déployés dans une zone géographique, généralement de manière aléatoire, pour observer ou surveiller un phénomène physique. Les applications de ce type de réseaux sont multiples et concernent différents domaines. Les exemples couramment cités dans la littérature concernent les applications de surveillance de l'environnement, les applications de surveillance de grands ouvrages, les applications domotiques, les applications de surveillance médicale à domicile, ou encore, les applications industrielles de suivi de stock [12].

Une caractéristique originale des réseaux de capteurs est l'approche collaborative qui y est adoptée pour la réalisation de plusieurs tâches. Par exemple, le routage des données à travers un réseau de capteurs est souvent distribué sur l'ensemble des nœuds. De même, afin de diminuer le débit global de l'ensemble du réseau, chaque capteur embarque des capacités de calcul pour lui permettre d'effectuer un pré-traitement sur les données physiques qu'il a mesurées avant de les retransmettre. La figure 3.1 représente l'architecture générique d'un capteur. Elle est composée d'une unité de mesure associée à un convertisseur analogique-numérique, d'un processeur et d'une mémoire, d'un module de communication radio, et souvent d'un module de localisation. De plus, les capteurs embarquent généralement un module de gestion de l'énergie.

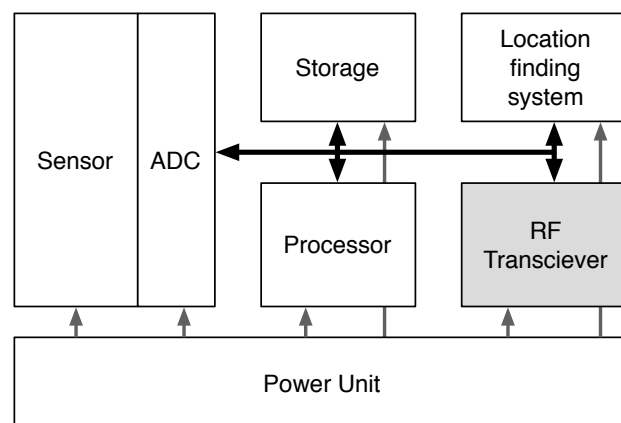


FIGURE 3.1 – Architecture générique d'un capteur

Bien que ces travaux de thèse se concentrent exclusivement sur le module de communication radio, il semble intéressant d'évoquer quelques unes des contraintes importantes qui existent sur l'architecture globale d'un nœud de réseaux de capteurs [4] :

**Coût de production :** Puisqu'un réseau de capteurs est composé d'un très grand nombre de nœuds, il est très important de limiter le coût unitaire de chaque nœud. Pour atteindre cet objectif, il est préférable de privilégier des solutions architecturales simples, et le plus possible, complètement intégrées.

**Consommation d'énergie :** Une des contraintes les plus importantes des réseaux de capteurs est la contrainte sur la consommation d'énergie. En effet, en fonction de l'application ou de son environnement, il se peut qu'une intervention humaine pour remplacer ou recharger des batteries d'un ou de plusieurs nœuds ne soit pas possible (coût, accessibilité...). Malgré les mécanismes d'auto-organisation dont sont dotés les réseaux de capteurs pour leur permettre de se reconfigurer suite à la défaillance d'un ou de plusieurs nœuds, la durée de vie du réseau et de son application dépend directement de la consommation des capteurs. Cela impose de prendre en compte cette contrainte à tous les niveaux de conception de ces systèmes (architecture basse-consommation, radio basse-consommation, protocoles de communication basse-consommation...).

**Système de récupération d'énergie :** Les systèmes de récupération d'énergie («*energy harvesting*») sont des systèmes qui permettent de transformer une énergie présente dans l'environnement (énergie solaire, énergie thermique, vibrations mécaniques...) en une énergie électrique exploitable par un dispositif électronique [57]. Ce type de systèmes est particulièrement intéressant dans le cadre des réseaux de capteurs puisqu'il offre une solution à la contrainte sur la consommation d'énergie [40]. Cependant, la quantité d'énergie fournie par ce type de systèmes est, par nature, aléatoire, et est susceptible de varier considérablement d'un capteur à un autre en fonction de leur position vis-à-vis de la source d'énergie utilisée [39]. Il semble alors particulièrement intéressant d'avoir recours à des architectures robustes aux variations de tension pour assurer la correction fonctionnelle du système indépendamment de l'énergie récupérée [71, 6].

**Robustesse aux conditions de fonctionnement :** Les réseaux de capteurs sont généralement déployés à l'intérieur, ou très proches des phénomènes qu'ils doivent mesurer. Ainsi, les capteurs sont souvent soumis à des conditions de fonctionnement particulièrement difficiles (haute-température, humidité, vibration...). Il est donc nécessaire que ces systèmes soient robustes à ces conditions de fonctionnement particulières.

### 3.3 Propriétés partagées

On propose maintenant de montrer l'adéquation particulière qui existe entre les propriétés de la logique asynchrone et de la radio impulsionnelle pour l'implémentation du module de communication radio des réseaux de capteurs.

#### 3.3.1 Basse consommation

Comme nous l'avons vu dans le chapitre précédent, le principe de la radio impulsionnelle repose sur l'émission sporadique d'impulsions électromagnétiques brèves pour transmettre l'information. Ce principe permet de limiter considérablement la consommation d'énergie des systèmes radio impulsionnelle par rapport aux systèmes radio bande étroite classiques. En effet, au lieu d'émettre une porteuse en continue quelle que soit l'information à transmettre, le nombre d'impulsions émises, et donc la quantité d'énergie injectée sur le canal radio, est directement proportionnelle à cette information. D'autre part, nous avons vu que l'implémentation matérielle des systèmes radio impulsionnelle est relativement simple en raison des traitements d'émission et de réception qui peuvent s'effectuer directement en bande de base. Cette relative simplicité permet d'envisager des architectures faible-coût et basse-consommation.

De plus, la nature sporadique, ou *événementielle*, du signal radio impulsionnelle semble particulièrement bien adaptée à une implémentation des traitements de réception en logique asynchrone. En effet, le recours à ce style de conception alternatif est particulièrement intéressant dans le cas de traitement de flux irréguliers de données (*cf.* paragraphe 1.4.4). Ainsi, les impulsions détectées peuvent être interprétées comme des événements qui sont à même d'activer des processus asynchrones. Une architecture asynchrone de traitement des signaux radio impulsionnelle est donc susceptible de voir sa consommation limitée aux seuls instants de réception des impulsions. Cela concourt, là encore, à une diminution de la consommation électrique.

Pour finir, les mécanismes de synchronisation locale implémentés dans les circuits asynchrones les rendent robustes aux variations des conditions de fonctionnement, et notamment, aux variations de tension. Dans le cas de l'utilisation de systèmes de récupération d'énergie, qui ne permettent pas de garantir une tension d'alimentation identique et stable pour tous les nœuds du réseau, l'approche asynchrone semble particulièrement recommandée [71, 6].

#### 3.3.2 Faible bruit

Une autre propriété très intéressante de la logique asynchrone pour l'implémentation des traitements de signaux radio impulsionnelle est la propriété de faible bruit (*cf.* paragraphe 1.4.5). En effet, le fonctionnement «flot de données» des circuits asynchrones permet de distribuer les traitements dans le temps. Cela évite de forts appels de courant

sur les lignes d'alimentation, ce qui limite grandement le bruit parasite généré par les circuits asynchrones.

La puissance des signaux radio impulsionnelle est très faible (elle est limitée à l'émission à  $-41,3$  dBm/MHz, *cf.* paragraphe 2.4). La détection de tels signaux est donc délicate, et susceptible d'être perturbée par le bruit parasite généré par les parties numériques du récepteur. Le recours à une logique faible bruit pour l'implémentation des traitements numériques de réception semble alors particulièrement indiqué.

### 3.3.3 Robustesse

Grâce au principe de synchronisation locale, les circuits asynchrones sont robustes aux conditions de fonctionnement et au vieillissement des dispositifs élémentaires. Ainsi, un module de communication radio impulsionnelle implémenté en logique asynchrone répond parfaitement aux contraintes de robustesse exigées par certaines applications des réseaux de capteurs.

## 3.4 Conclusion

Comme montré dans ce chapitre, les propriétés de la technologie asynchrone en font une excellente candidate pour l'implémentation des traitements numériques des signaux radio impulsionnelle dans le contexte applicatif des réseaux de capteurs. En effet, une telle implémentation présente, à priori, les avantages d'une architecture faible coût, basse consommation et robuste aux conditions de fonctionnement qui répond bien aux contraintes des réseaux de capteurs.

Cependant, malgré ces avantages, une difficulté importante subsiste et reste à surmonter : la résolution temporelle nécessaire pour traiter un signal radio impulsionnelle. En effet, on a vu dans le paragraphe 2.5.3, que la réception de ces signaux radio exige une résolution temporelle très importante pour établir et maintenir la synchronisation entre l'émetteur et le récepteur. Dans le cas des systèmes de réception à détection d'énergie, qui nous intéressent dans cette étude, la résolution doit être de l'ordre de la nanoseconde. Cette résolution temporelle semble antinomique de l'absence d'horloge qui caractérise les circuits asynchrones.

Le premier objectif de ces travaux de thèse est donc d'étudier des structures asynchrones rebouclées, appelées *anneaux asynchrones*, pour l'implémentation de la base de temps nécessaire à la synchronisation des signaux radio impulsionnelle. Cette étude fait l'objet de la deuxième partie de ce manuscrit. Le deuxième objectif de cette thèse est de prouver la faisabilité et la pertinence de l'approche asynchrone, notamment sur le critère de la faible consommation, pour l'implémentation de traitements de réception des signaux radio impulsionnelle. Ceci est étudié dans la troisième partie de ce manuscrit.





Deuxième partie

**Oscillateurs numériques  
asynchrones**



## Chapitre 4

# Etude des Anneaux Asynchrones

### Sommaire

<b>4.1</b>	<b>Introduction</b>	<b>47</b>
4.1.1	Motivations	47
4.1.2	Travaux précédents	48
<b>4.2</b>	<b>Modélisation</b>	<b>50</b>
4.2.1	Effets Analogiques	50
4.2.2	Modélisation comportementale	55
4.2.3	Annotation temporelle	59
4.2.4	Modes de propagation	59
4.2.5	Modèle exécutable	60
<b>4.3</b>	<b>Anneaux asynchrones simples</b>	<b>61</b>
4.3.1	Caractéristiques temporelles	61
4.3.2	Robustesse aux variations PVT	71
<b>4.4</b>	<b>Anneaux asynchrones contraints</b>	<b>77</b>
4.4.1	Etude comportementale	77
4.4.2	Caractéristiques temporelles	82
4.4.3	Robustesse aux variations PVT	86
<b>4.5</b>	<b>Conclusions</b>	<b>88</b>

## 4.1 Introduction

### 4.1.1 Motivations

Les oscillateurs en anneau à base d'inverseurs sont de plus en plus utilisés dans les systèmes numériques pour la génération d'horloges locales ou pour la génération de références fréquentielles. En effet, malgré un manque de précision en fréquence et un bruit de phase important, leur intégration complète au flot de conception CMOS standard les rend facilement implémentables et très peu coûteux. Cependant, la réduction des dimensions des dispositifs élémentaires, qui a tendance à en augmenter la sensibilité aux variations

des paramètres physiques tels que les paramètres technologiques, les tensions d'alimentation ou la température (PVT), aggrave l'imprécision et le bruit de phase des fréquences générées par ces oscillateurs en anneaux. Avec les technologies décanométriques, cette sensibilité aux variations PVT devient un obstacle rédhibitoire pour leur intégration dans les systèmes numériques. Par ailleurs, la structure simple et le comportement complètement figé de ce type d'oscillateurs n'offrent que des capacités de configuration très limitées.

Les circuits et systèmes asynchrones, et plus particulièrement les circuits QDI, sont maintenant reconnus pour leur très grande robustesse aux variations PVT ; et le contrôle local implémenté dans ce type de circuits permet d'accéder à des finesses d'exécution inaccessibles au mode de fonctionnement globalement synchrone. C'est donc naturellement que nous nous sommes intéressés aux propriétés et potentiels offerts par les anneaux asynchrones pour l'implémentation d'oscillateurs numériques. Comme nous le montrons dans ce chapitre, le premier avantage des anneaux asynchrones réside dans une structure et un comportement plus complexes qui permettent d'envisager leur utilisation pour implémenter des oscillateurs numériques programmables. Plusieurs paramètres permettent en effet de contrôler la fréquence d'oscillation. Tout d'abord, à l'instar des anneaux à base d'inverseurs, la fréquence est contrôlée par le temps de propagation des étages. Mais dans le cas des anneaux asynchrones, elle ne dépend pas directement du nombre d'étages mais, plutôt, des valeurs mémorisées dans les étages à l'initialisation. Le paragraphe 4.2.2.1 montre qu'une modélisation sous forme de *jetons* et de *bulles* peut être adoptée pour représenter cette initialisation. Par ailleurs, nous montrons qu'il est possible d'exploiter des phénomènes analogiques présents dans les portes de Muller - le composant élémentaire des étages des anneaux asynchrones - pour lisser les variations des temps de propagation induites par les variations PVT. Les oscillateurs numériques à base d'anneaux asynchrones présentent ainsi des caractéristiques fréquentielles améliorées.

#### 4.1.2 Travaux précédents

Les anneaux asynchrones sont omniprésents dans les circuits sans horloge. De fait, de nombreuses méthodes et approches ont été étudiées pour en évaluer et en optimiser les performances [27, 76, 81, 82, 72, 60, 89, 90]. Ces études visent notamment à définir des stratégies de conception qui permettent d'en augmenter le débit global. Le principe général est de réussir à dimensionner correctement l'anneau afin d'obtenir une circulation rapide mais sans contention des données. Cependant, les différentes approches de modélisation proposées dans ces études ne permettent pas de représenter la manière dont les données, ou les jetons qui les signalent, se propagent réellement à travers les étages des anneaux asynchrones. En effet, les observations expérimentales ou les simulations électriques montrent que deux modes de propagation différents existent : le mode «régulier» qui correspond à une propagation régulière des jetons («*evenly-spaced*») et le mode «rafale» qui correspond à une propagation en rafale des jetons («*burst*»), tels que représentés sur la figure 4.1. Pour optimiser les performances des anneaux asynchrones, et à plus forte raison pour les

utiliser en oscillateurs, il est indispensable de pouvoir prédire, caractériser, voir contrôler ces modes de propagation.

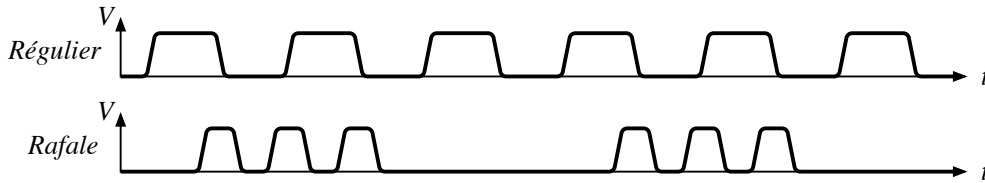


FIGURE 4.1 – Modes de propagation des anneaux asynchrones

Pour répondre à ces problèmes de modélisation, Winstanley *et al.* introduisent dans [88] le modèle de Charlie 3D, une version étendue du modèle utilisé par Jo Ebergen pour prédire les performances des micropipelines [18]. Ce modèle représente le temps de propagation d'une cellule de Muller en fonction du temps qui séparent les événements sur les entrées et du temps écoulé depuis la dernière commutation. Il permet ainsi de prendre en compte deux phénomènes importants des portes de Muller : l'effet «Charlie» et l'effet «Drafting» (*cf.* paragraphe 4.2.1). Basés sur ce nouveau modèle, les auteurs expliquent comment ces effets analogiques provoquent une propagation régulière ou en rafale des événements. Dans [87], ils mettent en pratique leur méthode en réalisant un anneau asynchrone dont le mode de propagation est contrôlé grâce à un mécanisme analogique, implémenté dans les cellules de Muller, qui permet de contrôler et d'atténuer l'effet Drafting. Suivant la même approche, Fairbanks *et al.* proposent une implémentation particulière de la cellule de Muller, qu'ils nomment «*analog C-element*», qui présente très peu, voir pas du tout, d'effet Drafting [22]. Cela leur permet de construire des anneaux asynchrones qui présentent de bonnes caractéristiques temporelles pour la génération de signaux de références fréquentielles. Pour finir, [91] donne une mesure qualitative de ces effets analogiques pour différentes implémentations de la cellule de Muller. Les auteurs proposent également une méthode pour atténuer ou amplifier ces effets en modifiant les caractéristiques électriques des cellules.

Tous ces travaux se focalisent donc sur les caractéristiques temporelles des étages pour analyser ou contrôler les modes de propagation des anneaux asynchrones. Nous souhaitons élargir ce point de vue en intégrant également dans l'analyse, les paramètres *fonctionnels* des anneaux asynchrones, c'est-à-dire, le nombre d'étages, leur structure, et notamment la structure du chemin d'acquiescement, ainsi que le nombre de jetons et de bulles qui y circulent. Ainsi, nous proposons de regrouper dans le même modèle, le meilleur des deux approches précitées : la flexibilité des modèles de haut-niveau alliée à la précision du modèle de Charlie 3D. La section suivante décrit la construction de ce modèle.

## 4.2 Modélisation

Cette section présente le «modèle comportemental temporisé» qui servira à analyser le fonctionnement et les performances des anneaux asynchrones. Tout d’abord, les effets analogiques et leur représentation par le modèle de Charlie 3D sont décrits, puis la modélisation comportementale sous forme de graphe d’états est exposée. Enfin les méthodes d’annotation temporelle et de représentation des modes de propagation sont présentées.

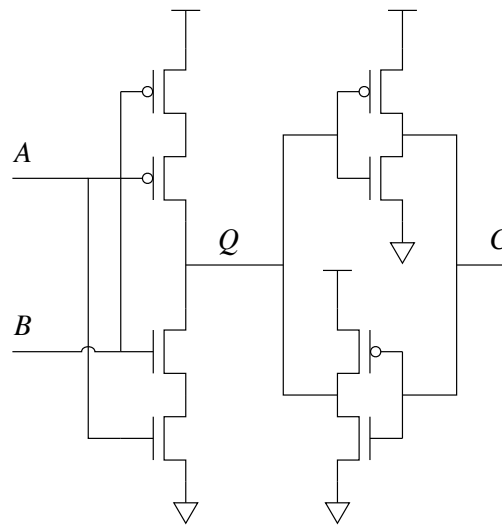
### 4.2.1 Effets Analogiques

#### 4.2.1.1 Effet Charlie

L’observation fine du comportement temporel d’une cellule de Muller montre que le temps de séparation des entrées impacte le délai de propagation : plus les événements en entrées sont proches, plus le délai de propagation est long. Ce phénomène est appelé «effet Charlie» en référence à Charles E. Molnar, le premier à l’avoir mis en évidence. L’analyse de la structure d’une porte de Muller permet d’expliquer ces variations du temps de propagation. La figure 4.2 décrit une des implémentations classiques de la porte de Muller (il s’agit de l’implémentation référencée sous le nom de «*weak feedback*» [69] pour laquelle la circuiterie d’initialisation a été omise dans un souci de lisibilité). Elle peut être divisée en deux étages : l’étage d’entrée qui calcule la valeur de sortie quand les entrées sont identiques, et l’étage de sortie qui mémorise cette valeur dans les autres cas. L’effet Charlie apparaît sur l’étage d’entrée quand les deux transistors du réseau N et du réseau P doivent passer, simultanément, de l’état complètement bloqué à l’état complètement saturé ou réciproquement. Cela se produit quand les événements sur les deux entrées sont très proches. Pour comprendre ce phénomène, nous proposons de prendre un exemple. Considérons que la sortie  $C$  commute de 1 vers 0 suite à un événement sur l’entrée  $A$ . Cette transition est donc provoquée par une transition de 0 vers 1 du nœud interne  $Q$ , ce qui veut dire que les transistors P-MOS passent de l’état bloqué à l’état passant et que les transistors N-MOS de l’état passant à l’état bloqué. Dans le cas où  $A$  arrive longtemps après  $B$ , les transistors P-MOS et N-MOS contrôlés par  $B$  ont déjà changé d’état : ils sont donc pour l’un complètement bloqué, et pour l’autre complètement saturé. Le temps nécessaire à la transition de l’entrée  $A$  pour se propager au nœud interne  $Q$  correspond donc uniquement au temps de blocage et de saturation des transistors contrôlés par  $A$ . Par contre, dans le cas où  $A$  arrive juste après  $B$ , le processus de blocage et de saturation des transistors contrôlés par  $B$  n’est pas achevé. Cela engendre alors un délai plus important pour que la transition sur  $A$  se propage au nœud interne  $Q$ , et finalement un délai de propagation global plus grand.

#### 4.2.1.2 Effet Drafting

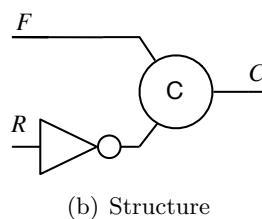
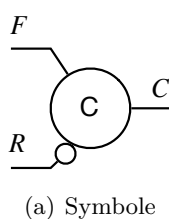
De même, on constate un impact du temps écoulé entre deux commutations successives sur le délai de propagation : plus ce temps est court, plus le délai de propagation est court.

FIGURE 4.2 – Implémentation «*weak feedback*» d'une porte de Muller

Ce phénomène est appelé «effet Drafting» par analogie au phénomène d'aspiration qui se produit quand deux vélos se suivent de très près. On verra en effet dans le paragraphe 4.2.4, que, contrairement à l'effet Charlie qui a plutôt tendance à freiner la propagation des jetons, l'effet Drafting crée un phénomène d'aspiration qui a tendance à accélérer plusieurs jetons qui se suivent. Cet effet, qui apparaît sur l'étage de sortie de la porte de Muller, est dû à la capacité présente à la sortie  $C$  : quand deux commutations se succèdent très rapidement, la sortie n'a pas assez de temps pour atteindre VDD ou GND avant de commuter à nouveau. Cela engendre un temps de propagation plus court.

#### 4.2.1.3 Modèle de Charlie 3D

Dans un premier temps, afin de construire la forme analytique du modèle de Charlie 3D utilisée dans cette étude, les variables et paramètres qui le contrôlent sont définis. La figure 4.3 représente le symbole, la structure et la table de vérité des étages des anneaux asynchrones étudiés. Les entrées de l'étage sont notées  $F$  et  $R$ , et la sortie est notée  $C$ .



$A$	$B$	$C$
0	0	0
0	1	$C^{-1}$
1	0	$C^{-1}$
1	1	1

(c) Table de vérité

FIGURE 4.3 – Etage d'un anneau asynchrone

Le modèle de Charlie 3D représente le temps écoulé entre l'instant moyen d'arrivées des entrées  $t_{mean}$  et l'instant de commutation de l'étage  $t_C$  en fonction de deux variables



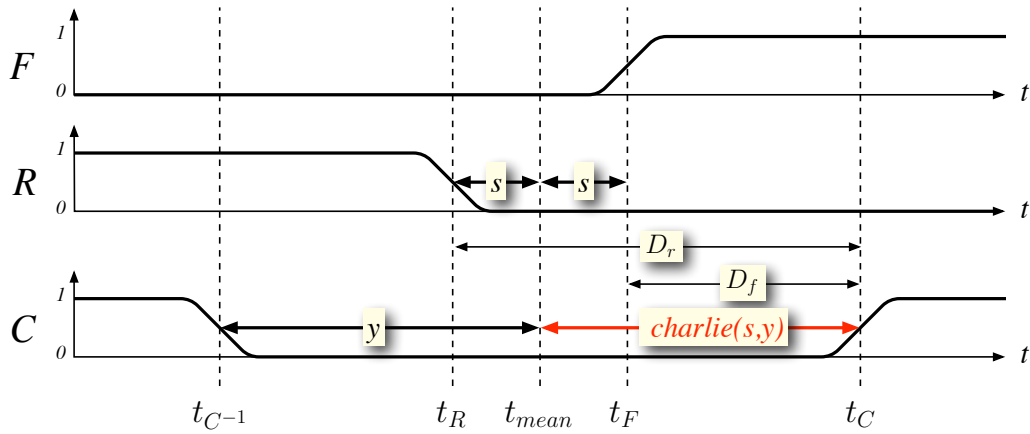


FIGURE 4.4 – Exemple de chronogramme d'un étage

$s$  et  $y$ , tel que décrit sur la figure 4.4 :

- $s$  la moitié du temps de séparation des événements en entrées :

$$s = \frac{t_F - t_R}{2}$$

- $y$  le temps entre la dernière commutation et l'instant moyen d'arrivées des entrées :

$$y = \frac{t_F + t_R}{2} - t_{C-1} = t_{mean} - t_{C-1}$$

Le modèle de Charlie 3D est également ajusté par un jeu de 5 paramètres qui correspondent aux caractéristiques physiques de l'implémentation de l'étage (dimensions des transistors de la porte de Muller ou de l'inverseur, par exemple). Ces paramètres sont notés :

- $D_{ff}$  le délai de propagation statique direct (quand le temps de séparation des entrées est trop grand pour être sous l'influence de l'effet Charlie),
- $D_{rr}$  le délai de propagation statique inverse,
- $D_{charlie}$  l'amplitude de l'effet Charlie,
- $A$  la durée de l'effet Drafting,
- $B$  l'amplitude de l'effet Drafting.

La forme du modèle de Charlie 3D à  $y$  constant correspond à une parabole inscrite dans les droites d'équation  $D_{ff} + s$  et  $D_{rr} - s$  (cf. figure 4.5). On remarque que le minimum de cette parabole, que l'on appellera «vallée» du modèle de Charlie, correspond au délai de propagation le plus long où l'influence de l'effet de Charlie est la plus importante. De

même, la forme du modèle de Charlie 3D à  $s$  constant suit la forme exponentielle de la charge d'une capacité à travers une résistance (*cf.* figure 4.6). Par conséquent, la forme analytique du modèle de Charlie 3D peut être exprimée par la relation 4.1 et une représentation graphique de ce modèle est donnée sur la figure 4.7.

$$charlie(s, y) = D_{mean} + \sqrt{D_{charlie}^2 + (s - s_{min})^2} - Be^{-\frac{y}{A}} \quad (4.1)$$

avec :

$$\begin{cases} D_{mean} = \frac{D_{rr} + D_{ff}}{2} \\ s_{min} = \frac{D_{rr} - D_{ff}}{2} \end{cases}$$

Finalement, l'instant de commutation  $t_C$  peut être exprimé en fonction des instants de commutations des entrées  $t_F$  et  $t_R$  et du modèle de Charlie 3D :

$$t_C = \frac{t_F + t_R}{2} + charlie(s, y) \quad (4.2)$$

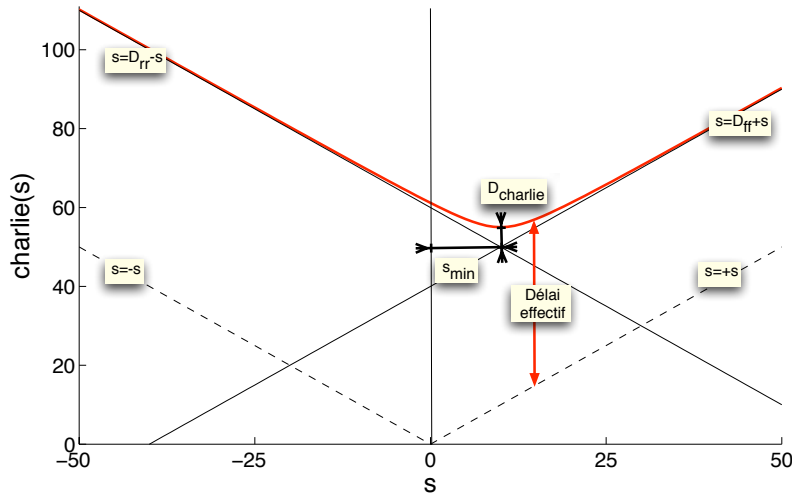
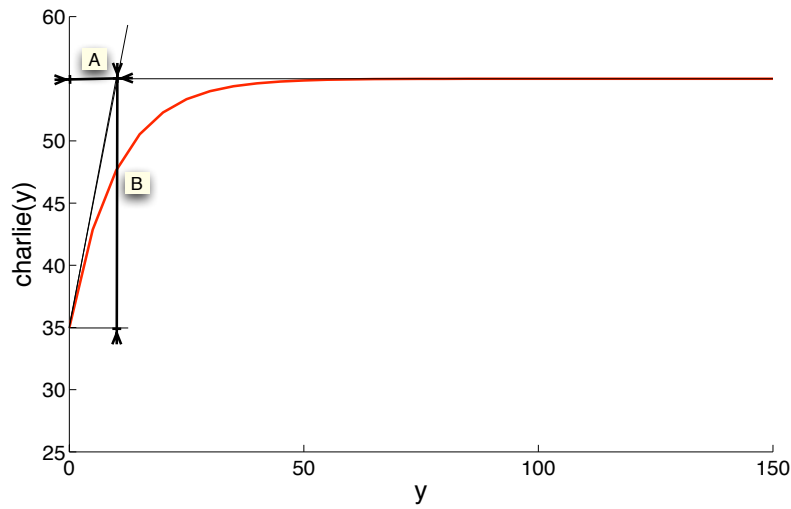
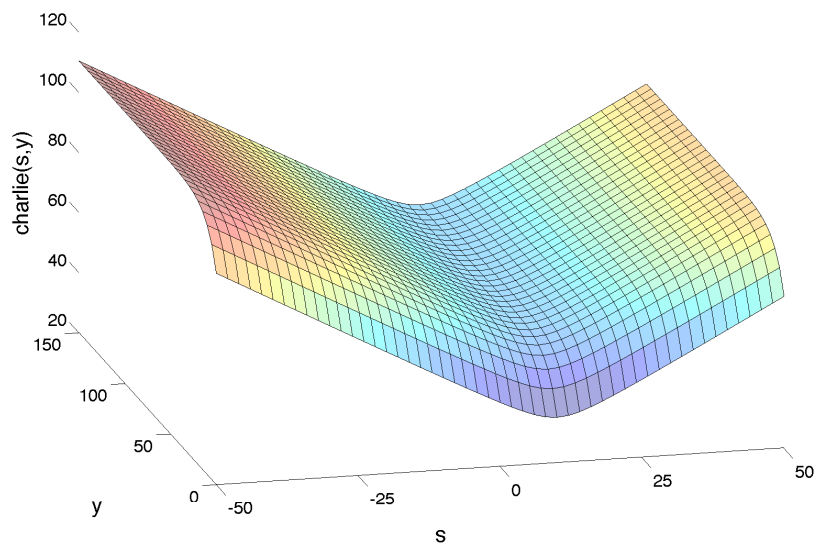


FIGURE 4.5 – Charlie 3D à  $y$  constant -  $charlie(s, y)|_{y=cst}$

Le modèle de Charlie 3D étant maintenant décrit, il semble important de souligner l'intérêt d'une telle modélisation pour l'étude des anneaux asynchrones. Premièrement, outre le fait qu'il intègre les effets Charlie et Drafting qui influencent les modes de propagation, le modèle de Charlie 3D permet d'éviter la discontinuité du temps de propagation qui peut être introduite à  $s = 0$  avec les modèles de délais classiquement utilisés (fixes ou bornés). Cette discontinuité peut faire apparaître des comportements temporels singuliers qui n'ont, bien sûr, aucun sens physique. Deuxièmement, ce modèle permet de représenter le temps de propagation des événements des entrées vers la sortie, et aussi, le temps d'«attente» ou le temps de «synchronisation» des événements au niveau de l'étage (ce

FIGURE 4.6 – Charlie 3D à  $s$  constant -  $charlie(s, y)|_{s=s_{min}}$ FIGURE 4.7 – Diagramme du modèle de Charlie 3D -  $charlie(s, y)$ 

temps est égal à  $|2 \times s|$ ). Cette information peut être très précieuse dans une optique d'optimisation pour limiter le temps d'attente entre les requêtes et les acquittements afin de fluidifier la circulation des jetons. Pour finir, le modèle de Charlie 3D peut être décomposé afin de faire apparaître la contribution du délai effectif et du temps de synchronisation.  $D_f$  et  $D_r$  représentent les délais de propagation de l'entrée  $F$ , respectivement de l'entrée  $R$ , vers la sortie  $C$ . Le modèle de Charlie 3D peut alors être décomposé suivant les relations suivantes :

$$\begin{cases} charlie(s, y) = D_f + s \\ charlie(s, y) = D_r - s \end{cases} \quad (4.3)$$

### 4.2.2 Modélisation comportementale

Ce paragraphe présente la modélisation comportementale des anneaux asynchrones sous forme de graphe d'états. On note qu'à cette étape de la construction du modèle, aucune hypothèse relative aux délais de propagation des étages n'est encore formulée.

#### 4.2.2.1 Définitions et Notations

De nombreuses implémentations d'anneaux asynchrones existent (*buffers*, *half-buffers*, portes de Muller...) et les définitions des jetons et des bulles dépendent du protocole de communication considéré (protocole deux ou quatre phases). Dans ce contexte, il semble nécessaire de clairement définir la structure de l'anneau et les notions que l'on manipulera dans la suite de ce document.

**Structure de l'anneau :** L'anneau asynchrone étudié est décrit sur la figure 4.8. Il s'agit de la structure de contrôle d'un micropipeline rebouclée sur elle-même (*cf.* paragraphe 1.5.1.4). Chaque étage est composé d'une porte de Muller symétrique à deux entrées et d'un inverseur. On appelle  $F$  l'entrée directe («*Forward*»),  $R$  l'entrée inversée («*Reverse*»), et  $C$  la sortie de l'étage. Le nombre d'étages qui composent l'anneau est noté  $L$  et l'index des étages est noté  $i$  avec  $0 \leq i \leq L - 1$ . La sortie  $C_i$  de l'étage  $i$  est connectée à l'entrée  $R_{i-1}$  de l'étage précédent et à l'entrée  $F_{i+1}$  de l'étage suivant. L'équation (4.4) représente la structure de l'anneau ; par la suite, l'opérateur *modulo* (%) qui explicite le rebouclage sera omis dans un souci de lisibilité.

$$\forall i, 0 \leq i \leq L - 1 \quad C_i = F_{(i+1)\%L} = R_{(i-1)\%L} \quad (4.4)$$

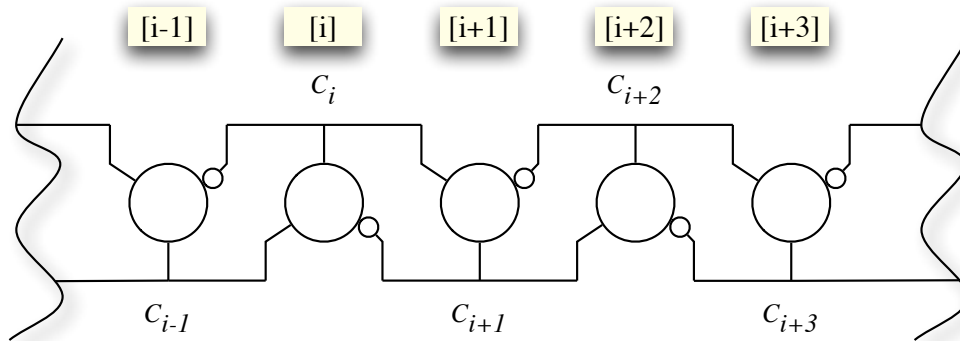


FIGURE 4.8 – Structure d'un anneau asynchrone

**Jetons et Bulles :** On choisit le protocole de communication deux phases tel que défini dans le paragraphe 1.3.2.1. Cela nous permet de dériver les concepts de jetons et de bulles tels que définis ci-dessous :

- l'étage  $i$  contient un jeton  $T$  («*Token*») si sa sortie  $C_i$  est différente de la sortie  $C_{i+1}$  de l'étage suivant  $i + 1$  :

$$S_i = T \Leftrightarrow C_i \neq C_{i+1}$$

- l'étage  $i$  contient une bulle  $B$  («*Bubble*») si sa sortie  $C_i$  est égale à la sortie  $C_{i+1}$  de l'étage suivant  $i + 1$  :

$$S_i = B \Leftrightarrow C_i = C_{i+1}$$

Les nombres de jetons et de bulles sont notés  $N_T$  et  $N_B$  respectivement. Puisqu'un jeton est défini en fonction de la valeur de deux étages adjacents et que la structure est rebouclée,  $N_T$  est nécessairement un nombre pair. De plus, chaque étage contient obligatoirement soit un jeton, soit une bulle, donc  $N_T + N_B = L$ . Pour finir, un anneau est dit «*limité en jetons*» quand le nombre de jetons est inférieur au nombre de bulles, ou «*limité en bulles*» dans l'autre cas.

**Règles de propagation :** Dans un anneau ou un pipeline asynchrone, un jeton signale généralement la présence d'une donnée dans un étage, alors qu'une bulle indique un étage vide prêt à consommer une nouvelle donnée. Même si cette étude ne concerne pas le chemin de données, les règles de propagation des jetons et des bulles restent identiques : un jeton peut écraser une bulle mais ne peut pas écraser un autre jeton. Avec les notations précédentes, la condition nécessaire et suffisante pour qu'un jeton se propage d'un étage  $i - 1$  à l'étage  $i$  s'exprime donc :

$$C_{i-1} \neq C_i = C_{i+1} \tag{4.5}$$

En appliquant ces règles de propagation, il est possible de définir les conditions pour obtenir un anneau asynchrone oscillant. Par définition, le nombre de jetons est pair et il faut au moins une bulle pour permettre la circulation des jetons, donc le nombre minimal d'étages est 3. Ces conditions sont résumées ci-dessous :

- $L$  étant le nombre d'étages :  $L \geq 3$ ,
- $N_T$  étant le nombre de jetons :  $N_T > 2$  avec  $N_T \% 2 = 0$ ,
- $N_B$  étant le nombre de bulles :  $N_B \geq 1$ .

#### 4.2.2.2 Graphe d'états

On propose d'analyser l'évolution de l'anneau au niveau d'abstraction «jeton-bulle», c'est-à-dire que l'on souhaite observer et analyser comment les jetons et les bulles se propagent à travers les étages de l'anneau. Le vecteur d'état  $S$ , composé de  $L$  éléments, est alors défini pour représenter l'état de l'anneau à ce niveau d'abstraction. On note  $S_i$

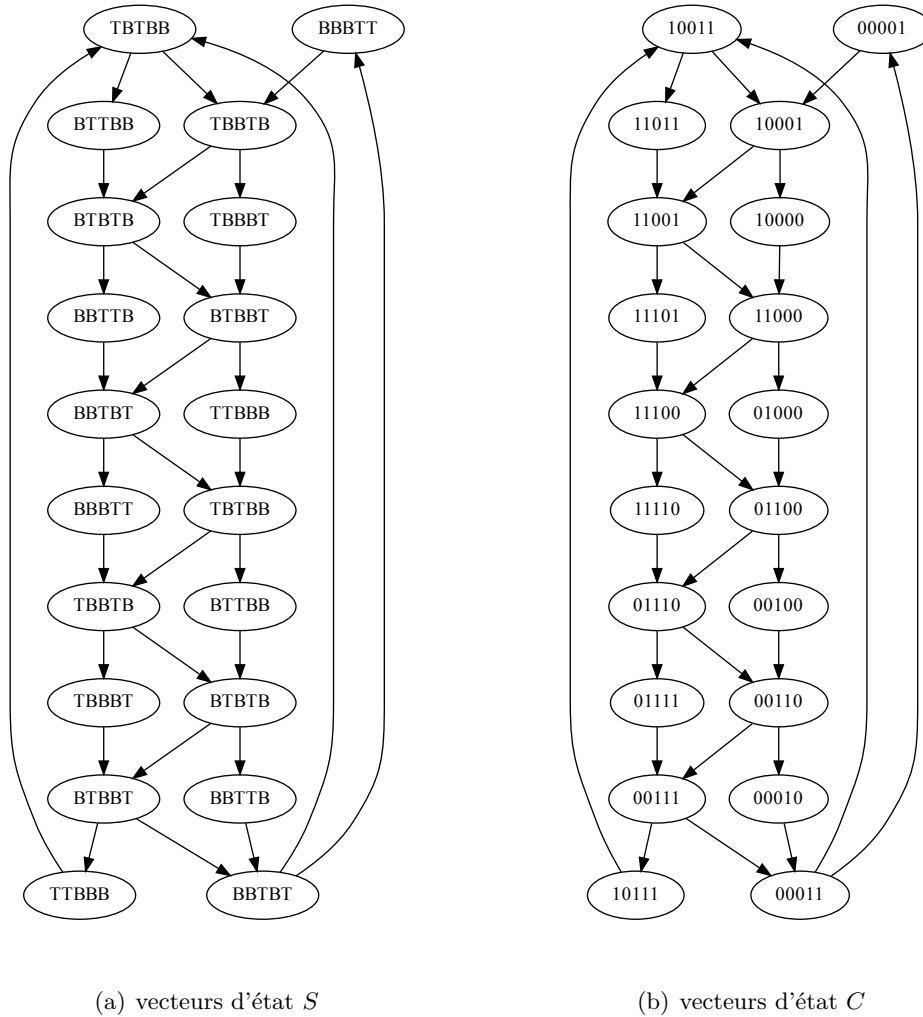


FIGURE 4.9 – Graphes d'états d'un anneau asynchrone de 5 étages et 2 jetons

le contenu de l'étage  $i$  :  $S_i = T$  quand l'étage  $i$  contient un jeton, ou  $S_i = B$  quand il contient une bulle :

$$S = \{S_0, S_1, S_2, \dots, S_{L-1}\}$$

De même, le vecteur d'état  $C$ , également composé de  $L$  éléments, est défini pour représenter l'état de l'anneau en fonction de la valeur des sorties de chaque étage :

$$C = \{C_0, C_1, C_2, \dots, C_{L-1}\}$$

Sans aucune hypothèse temporelle sur les délais de propagation des étages, un état de l'anneau peut être suivi par plusieurs. Par exemple, considérons un anneau de 5 étages initialisé avec deux jetons et trois bulles. Si l'anneau présente l'état  $S = \{T, B, T, B, B\}$ , deux états différents peuvent être atteints : soit c'est la propagation du jeton de l'étage 0 qui se produit en premier, ce qui conduit l'anneau à l'état  $S = \{B, T, T, B, B\}$ ; soit,

c'est la propagation du jeton de l'étage 2 qui survient en premier conduisant à l'état  $S = \{T, B, B, T, B\}$ . Cette succession d'états peut être représentée à l'aide d'un graphe d'états tel que représenté sur les figures 4.9(a) et 4.9(b). Les sommets du graphe représentent les états possibles de l'anneau (vecteurs d'états  $S$  ou  $C$ ), et les arcs entre les sommets matérialisent les transitions possibles qui existent entre ces états.

Il est important de souligner que cette modélisation comportementale permet de représenter tous les états atteignables de l'anneau, et surtout toutes les transitions possibles. En effet, avec une résolution de mesure infinie, il est toujours possible de séparer l'évolution quasi-simultanée de deux jetons par une succession de deux états distincts. Dans notre exemple précédent, cela veut dire que même si les jetons des étages 0 et 2 se propagent quasiment en même temps, la transition de l'état  $S = \{T, B, T, B, B\}$  à l'état  $S = \{B, T, B, T, B\}$  passe par un état intermédiaire  $S = \{B, T, T, B, B\}$  ou  $S = \{T, B, B, T, B\}$ . De cette manière, on garantit que un et un seul des étages de l'anneau ne commute par état du graphe d'états. Cette condition est indispensable pour pouvoir appliquer la méthode d'annotation temporelle présentée dans le paragraphe suivant.

**Remarque sur la complexité :** De manière générale, une modélisation sous forme de graphe offre un cadre d'analyse très rigoureux mais souffre d'une complexité importante. Cette complexité dépend du nombre de sommets dans le graphe et du nombre d'arcs qui relient les différents sommets. Ici, le nombre d'arcs est défini par le nombre de transitions jeton-bulle possibles dans chaque état : donc quel que soit l'état considéré, ce nombre  $N_{trans}$  est nécessairement borné par le nombre de jetons dans le cas d'un anneau limité en jetons, ou par le nombre de bulles dans le cas d'un anneau limité en bulles :

$$N_{trans} \leq \min(N_T, N_B)$$

De la même manière, le nombre de sommets dans le graphe est défini par le nombre de combinaisons jeton-bulle possibles dans l'anneau ; et, puisqu'à une valeur du vecteur d'état  $S$  correspondent deux valeurs du vecteur d'état  $C$  (par exemple,  $S = \{T, B, T, B, B\} \Leftrightarrow C = \{0, 1, 1, 0, 0\}$  ou  $\{1, 0, 0, 1, 1\}$ ), le nombre total d'états  $N_{states}$  peut donc être exprimé par :

$$N_{states} = 2 \times C_L^{N_T}$$

On remarque donc que la complexité du graphe va croître très rapidement avec l'accroissement du nombre d'étages et de jetons. La représentation sous forme de graphe d'états devrait donc être réservée à la modélisation d'anneaux asynchrones de tailles «raisonnables». On verra dans le paragraphe 4.2.5 comment cette limitation est en fait contournée dans l'implémentation *matlab* de ce modèle. A titre d'exemple, le graphe d'un anneau de 5 étages et 2 jetons comporte 12 états (*cf.* figure 4.9). Ce nombre s'élève à 420 dans le cas d'un anneau de 10 étages et 4 jetons.

### 4.2.3 Annotation temporelle

L'annotation temporelle consiste à dater, grâce au modèle de Charlie 3D, chaque changement d'état de l'évolution de l'anneau asynchrone. Un nouveau vecteur  $t$  de  $L$  éléments est donc introduit pour représenter le dernier instant de commutation  $t_i$  de l'étage  $i$  :

$$t = \{t_0, t_1, t_2, \dots, t_{L-1}\}$$

Pendant le parcours sur le graphe d'états, le vecteur  $t$  est mis à jour à chaque fois qu'un nouvel état est atteint : pour un état donné, les vecteurs  $t$  correspondant à tous les états atteignables sont calculés par application du modèle de Charlie 3D (*cf.* équation (4.2)), et l'état effectivement atteint est celui qui présente l'instant de commutation  $t_i$  le plus proche. Le vecteur  $t$  est alors mis à jour en remplaçant le  $i^{\text{eme}}$  élément par la nouvelle valeur calculée. Dans le cas où plusieurs instants de commutation sont rigoureusement identiques, l'état effectivement atteint par l'anneau est choisi de manière aléatoire. Ce cas se produit quand plusieurs jetons se propagent simultanément dans l'anneau et que la résolution temporelle du modèle ne permet pas de distinguer les états intermédiaires.

### 4.2.4 Modes de propagation

Comme précédemment annoncé, les anneaux asynchrones exhibent deux modes de propagation différents : le mode régulier ou le mode rafale. Au niveau d'abstraction jeton-bulle, le premier mode survient quand les jetons se répartissent tout autour de l'anneau et se propagent d'étage en étage en maintenant un espacement constant. Au contraire, le mode rafale caractérise une propagation par salves des jetons agglutinés en groupe. Il est nécessaire de définir un critère formel pour représenter ces modes de propagation à l'aide du graphe d'états : on choisit naturellement le nombre de bulles qui séparent chaque jeton. Ainsi, la variable  $d_j$  est définie comme suit : pour un état donné,  $d_j$  représente le nombre d'étages qui contiennent une bulle, entre l'étage qui contient le jeton  $j$ , et l'étage qui contient le jeton  $j + 1$ . Finalement, un vecteur  $D$  de  $N_T$  éléments peut être associé à chaque état du graphe d'états :

$$D = \{d_1, d_2, \dots, d_{N_T}\}$$

Par exemple, dans le cas de l'anneau de 5 étages initialisé avec 2 jetons et 3 bulles traité précédemment, on associe le vecteur  $D = \{1, 2\}$  à l'état  $S = \{T, B, T, B, B\}$ , et le vecteur  $D = \{0, 3\}$  à l'état  $S = \{T, T, B, B, B\}$ . Ainsi, en utilisant ce vecteur de distance, il est possible de représenter les modes de propagation des jetons sur le graphe d'états : les états qui minimisent la plus grande distance du vecteur  $D$  sont qualifiés de «réguliers», et au contraire, ceux qui maximisent cette distance sont qualifiés de «rafale». La méthode pour marquer la propagation régulière des jetons est alors très semblable à celle suivie pour l'annotation temporelle présentée dans le paragraphe précédent. Pour un état donné, les vecteurs  $D$  des états atteignables sont évalués, et l'état qui présente le vecteur  $D$  avec la



plus petite distance maximale est marqué. L'anneau atteint ce nouvel état et l'évaluation est renouvelée. Finalement, avec un nombre suffisant d'itérations, un état déjà marqué est atteint à nouveau : une boucle d'états marqués est donc formée et représente la suite des états par lesquels l'anneau passe lors d'une propagation régulière des jetons. La même méthode est appliquée pour marquer le parcours d'une propagation en rafale, la seule différence étant le critère utilisé pour marquer les états. Les figures 4.10(a) et 4.10(b) représentent les graphes d'états marqués (états grisés) et annotés par les vecteurs de distance  $D$  dans les cas d'une propagation régulière et d'une propagation en rafale des jetons.

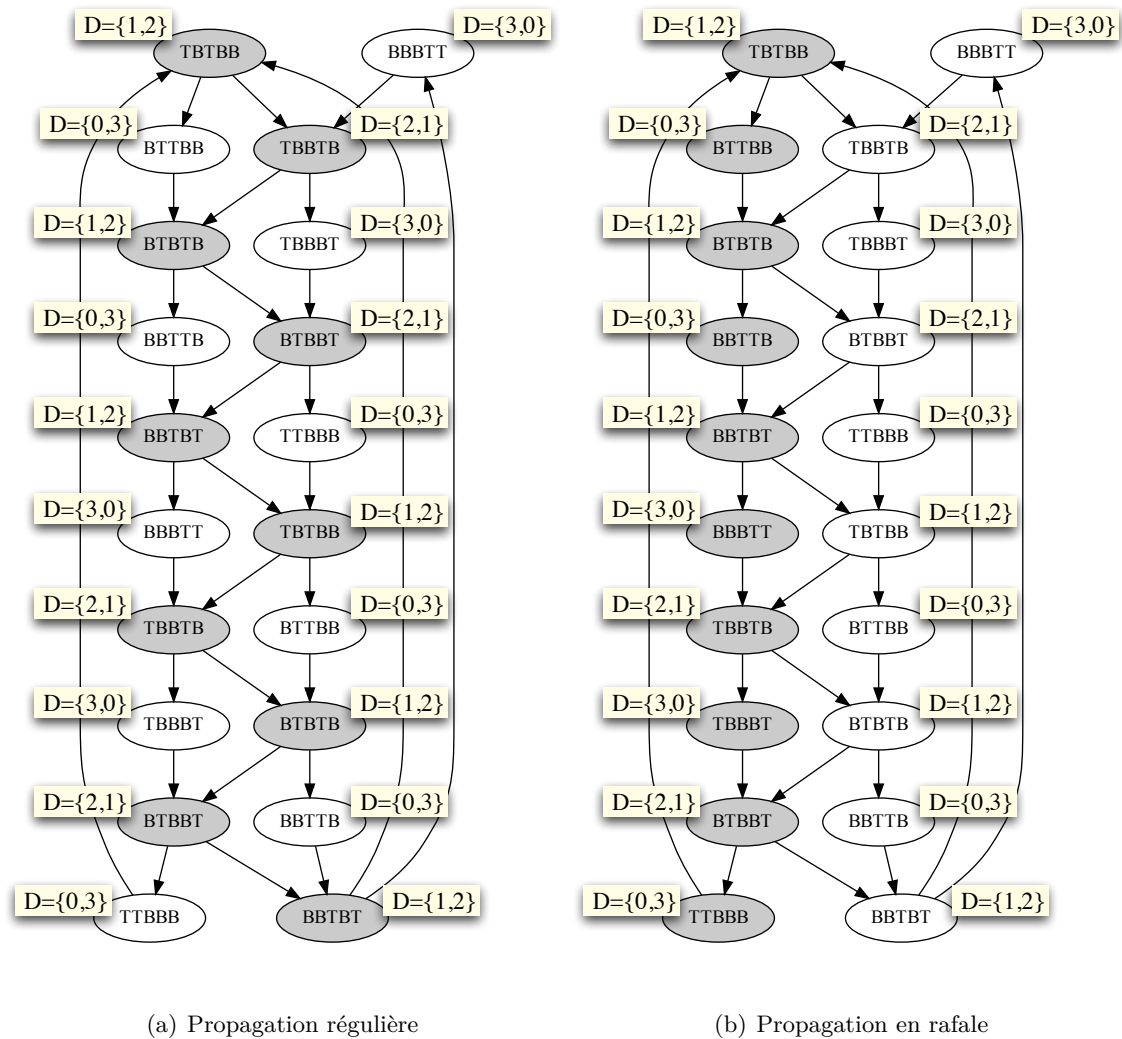


FIGURE 4.10 – Propagation régulière et en rafale d'un anneau asynchrone de 5 étages et 2 jetons

#### 4.2.5 Modèle exécutable

L'ensemble de ce modèle comportemental temporisé a été implémenté sous le logiciel de calcul *matlab* pour permettre la simulation d'anneaux asynchrones de différentes tailles,

avec différentes initialisations (nombre et emplacement des jetons dans l’anneau), et pour différentes valeurs des paramètres du modèle de Charlie 3D. Cela permet d’observer et d’analyser les effets de ces différents paramètres comportementaux ou temporels sur les modes de propagation et sur les performances des anneaux asynchrones (période, phases, temps de démarrage,...). Pour limiter le problème de complexité souligné précédemment, ce modèle exécutable ne travaille pas directement sur l’ensemble du graphe d’états mais seulement sur un sous-ensemble composé de l’état courant et des états atteignables. Ainsi, à chaque instant, la complexité du modèle est toujours limitée aux nombres d’états atteignables, et non à l’ensemble des états possibles de l’anneau. Cela rend possible la simulation d’anneaux asynchrones de taille significative.

### 4.3 Anneaux asynchrones simples

On propose d’étudier une première classe d’anneaux asynchrones, appelés anneaux «simples» ou «non-contraints», par opposition aux structures contraintes présentées et étudiées dans la section suivante. La structure des anneaux simples est la structure classique des anneaux asynchrones présentée précédemment (*cf.* figure 4.8). Puisque nous souhaitons utiliser ces anneaux asynchrones pour implémenter des oscillateurs numériques, il est nécessaire de caractériser les paramètres essentiels d’un oscillateur, à savoir : la période d’oscillation, les phases disponibles, le temps de démarrage et les modes d’oscillation (qui correspondent ici aux modes de propagation des jetons). La robustesse de ces structures oscillantes aux variations PVT sera étudiée dans un deuxième temps.

#### 4.3.1 Caractéristiques temporelles

##### 4.3.1.1 Période et phases d’oscillation

Comme annoncé en introduction à ce chapitre, la période d’un anneau asynchrone dépend du temps de propagation des étages, et du nombre de jetons et de bulles qui y circulent. On souhaite donc exprimer la période d’oscillation en fonction du modèle de Charlie 3D et des paramètres comportementaux  $L$ ,  $N_T$  et  $N_B$ . Pour cette étude analytique, on fait l’hypothèse que la propagation des jetons est stabilisée dans le mode régulier. On verra dans le paragraphe 4.3.1.2 quels sont les cas qui vérifient cette hypothèse.

**Période d’oscillation :** La méthode pour obtenir l’expression analytique de la période d’oscillation d’un anneau asynchrone est basée d’une part, sur l’annotation temporelle des états marqués d’une propagation régulière des jetons, et d’autre part, sur les caractéristiques temporelles spécifiques à ce type de propagation. On propose d’illustrer la méthode avec l’exemple de l’anneau de 5 étages initialisé avec 2 jetons et 3 bulles utilisé précédemment. L’annotation temporelle des états marqués (*cf.* figure 4.11) permet d’établir l’expression du vecteur  $t$  associé à chaque état. Par exemple, dans l’état  $C = \{00011\}$  (en bas du graphe), la dernière commutation s’est produite sur l’étage 2 à l’instant  $t_n$  ;

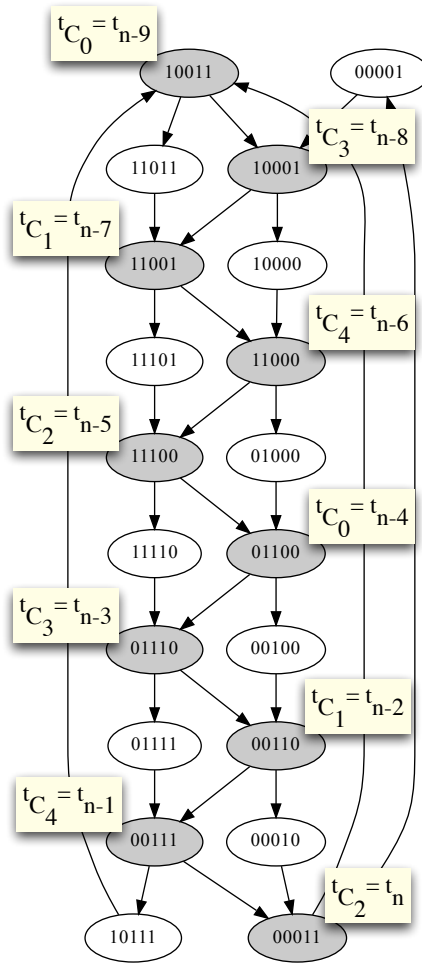


FIGURE 4.11 – Annotation temporelle de la propagation régulière

à l'état précédent  $C = \{00111\}$ , c'était l'étage 4 qui avait commuté à l'instant  $t_{n-1}$ ; et dans l'état  $C = \{00110\}$ , c'était l'étage 1 à l'instant  $t_{n-2}$ ; et ainsi de suite... Finalement, il est possible d'établir l'expression du vecteur  $t$  associé à l'état  $C = \{00011\}$  :

$$t_{\{00011\}} = \{t_{n-4}, t_{n-2}, t_n, t_{n-3}, t_{n-1}\}$$

Cette expression peut être généralisée pour chaque état de la propagation régulière en appliquant un décalage sur l'index de l'étage. Conformément à la structure de l'anneau (eq. 4.4), le modèle de Charlie 3D (eq. 4.2) est appliqué pour quantifier les instants de commutation  $t_n$  (cf. figure 4.12) :

$$t_n = \frac{t_{n-2} + t_{n-3}}{2} + \text{charlie}(s, y) \quad (4.6)$$

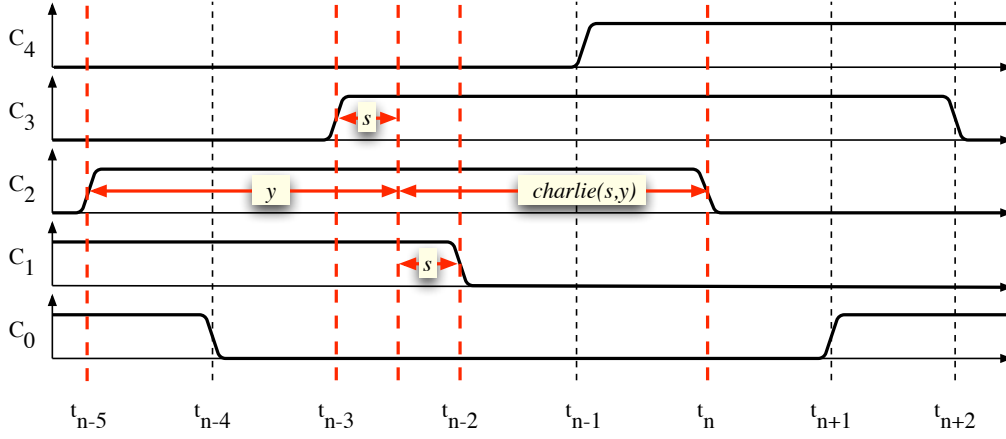


FIGURE 4.12 – Chronogramme d'une propagation régulière d'un anneau de 5 étages et 2 jetons

avec :

$$\begin{cases} s = \frac{t_{n-2} - t_{n-3}}{2} \\ y = \frac{t_{n-2} + t_{n-3}}{2} - t_{n-5} \end{cases}$$

Par définition, la période d'oscillation  $T$  correspond à la durée entre deux transitions positives (respectivement négatives) d'un même étage. Sur le graphe d'états, cela correspond au temps nécessaire pour parcourir tous les états marqués de la propagation régulière. Ainsi :

$$T = t_n - t_{n-10} \quad (4.7)$$

De plus, une des caractéristiques essentielles d'une propagation régulière des jetons est que le rapport cyclique de la sortie de tous les étages de l'anneau est égale à 0,5. Puisque  $C_i$  expérimente une transition positive à  $t_n$  et une transition négative à  $t_{n-5}$ , cette caractéristique s'exprime donc par la relation suivante :

$$t_n - t_{n-5} = t_{n-5} - t_{n-10} = \frac{T}{2} \quad (4.8)$$

Par ailleurs, par construction du modèle, on sait que :

$$t_n \geq t_{n-1} \geq t_{n-2} \geq t_{n-3} = \dots \quad (4.9)$$

Donc, avec une période d'oscillation non nulle, la relation (4.8) ne peut être vraie pour tous  $n$  et pour tous les étages de l'anneau que si et seulement si :

$$t_n - t_{n-1} = t_{n-1} - t_{n-2} = \dots = t_{n-9} - t_{n-10} = \dots \quad (4.10)$$

Des équations (4.7) et (4.10), on déduit que :

$$t_n - t_{n-1} = \frac{T}{10}$$

$$t_n - t_{n-2} = 2 \times (t_n - t_{n-1}) = \frac{T}{5}$$

Par définition du modèle de Charlie 3D (cf. figure 4.12) :

$$t_n - t_{n-2} = \text{charlie}(s, y) - s \quad (4.11)$$

Avec :

$$\begin{cases} s = \frac{t_{n-2} - t_{n-3}}{2} = \frac{t_n - t_{n-1}}{2} = \frac{T}{20} \\ y = \frac{t_{n-2} + t_{n-3}}{2} - t_{n-5} = \frac{t_n + t_{n-1}}{2} - t_{n-3} = \frac{T}{4} \end{cases}$$

D'où l'on déduit :

$$T = 4 \times \text{charlie}\left(\frac{T}{20}, \frac{T}{4}\right) \quad (4.12)$$

Finalement, en résolvant l'équation (4.12) en fonction de  $T$ , on obtient l'expression analytique de la période d'oscillation en fonction des paramètres du modèle de Charlie 3D. Cette méthode, illustrée ici sur l'exemple d'un anneau asynchrone de 5 étages et 2 jetons, a été appliquée à différentes configurations d'anneaux asynchrones. Cela nous a permis de déduire, de manière empirique, l'expression générale de la période d'oscillation en fonction du modèle de Charlie 3D et des paramètres comportementaux  $L$ ,  $N_T$  et  $N_B$  telle que définie ci-dessous :

$$T = 4 \times \text{charlie}\left(\frac{(N_B - N_T) \times T}{4 \times L}, \frac{T}{4}\right) \quad (4.13)$$

**Phases disponibles :** La caractéristique temporelle qui nous intéresse maintenant est le déphasage qui existe entre les différentes sorties des étages de l'anneau. En effet, dans un oscillateur en anneau, tous les étages délivrent le même signal déphasé d'un certain délai. Contrairement aux anneaux d'inverseurs, où ce délai dépend uniquement du temps de propagation des étages, le déphasage dépend également, dans le cas des anneaux asynchrones, du nombre de jetons et de bulles. On propose de définir deux paramètres pour décrire cette caractéristique temporelle :

- $N_{Ph}$  le nombre de transitions positives (respectivement négatives) distinguables dans l'ensemble de l'anneau pendant une période d'oscillation  $T$ . Ce nombre  $N_{Ph}$  correspond au diviseur de période.
- $T_{Ph}$  la durée du déphasage qui existe entre deux transitions positives (respectivement négatives) consécutives.  $T_{Ph}$  représente la résolution temporelle de l'anneau.

Dans l'exemple traité précédemment, ces deux paramètres valent :

$$\begin{cases} N_{Ph} = 5 \\ T_{Ph} = t_n - t_{n-2} = \frac{T}{5} \end{cases}$$

De manière générale,  $N_{Ph}$  dépend directement du nombre d'étages et du nombre de jetons qui se propagent simultanément dans l'anneau. Ce nombre de propagations simultanées  $N_{prog}$  est égale au nombre de fois où la plus petite configuration jetons-bulles «non-divisible» est répétée dans l'anneau. Par exemple, un anneau de 10 étages initialisé avec 4 jetons et 6 bulles peut être décomposé en deux configurations de 2 jetons et 3 bulles identiques. Dans ce cas,  $N_{prog} = 2$  puisqu'il y a deux jetons qui se propagent simultanément. Finalement, l'expression générale des paramètres  $N_{Ph}$  et  $T_{Ph}$  est donc :

$$\begin{cases} N_{Ph} = \frac{L}{N_{prog}} \\ T_{Ph} = \frac{T}{N_{Ph}} \end{cases} \quad (4.14)$$

Cette caractéristique des anneaux asynchrones est très intéressante puisque la résolution temporelle  $T_{Ph}$  n'est pas limitée par le temps de propagation des cellules qui composent l'anneau. En effet, avec un choix judicieux du nombre de jetons et de bulles (c'est-à-dire, tel que le nombre de jetons qui se propagent simultanément soit égale à 1), il est possible d'obtenir une résolution temporelle fractionnaire du temps de propagation des étages aussi petite que nécessaire. A titre d'exemple, la figure 4.13 représente la variation de cette résolution  $T_{Ph}$ , en fonction de la configuration de l'anneau, par rapport au déphasage obtenu dans le cas d'un anneau asynchrone de 3 étages et 2 jetons.

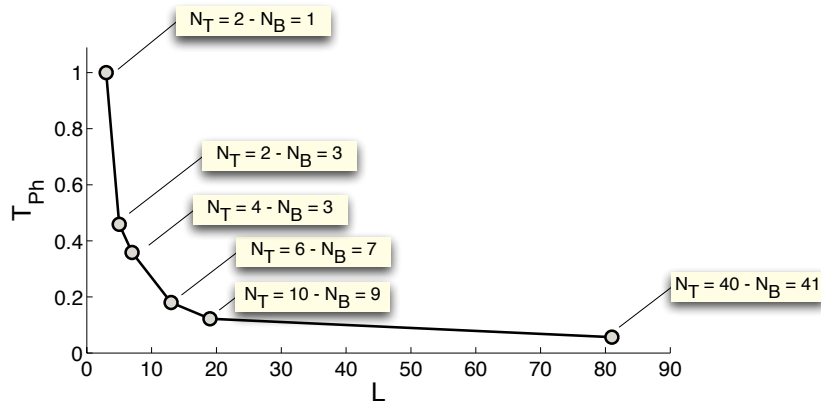


FIGURE 4.13 – Variation de la résolution temporelle  $T_{Ph}$  en fonction de  $L$ ,  $N_T$  et  $N_B$

Les relations exprimées dans ce premier paragraphe montrent l'aspect «configurabilité» (4.13) et l'aspect «précision» (4.14) des anneaux asynchrones. Néanmoins, il faut noter que ces relations ne sont vraies que dans l'hypothèse d'une propagation régulière des jetons. L'objet du paragraphe suivant est justement d'étudier quels sont les cas qui vérifient cette hypothèse.

### 4.3.1.2 Modes de propagation

Les études précédentes [86, 87] se sont focalisées sur les caractéristiques temporelles des étages, et plus particulièrement sur l'effet Charlie et l'effet Drafting, pour expliquer les modes de propagation des anneaux asynchrones. Le modèle comportemental temporelisé présenté dans la section précédente, permet d'intégrer également dans l'analyse, les paramètres comportementaux des anneaux asynchrones. Ainsi, il est possible d'étudier les modes de propagation des anneaux asynchrones en fonction de tous les paramètres qui les caractérisent, c'est-à-dire, en fonction des paramètres temporels des étages ( $D_{ff}$ ,  $D_{rr}$ ,  $D_{charlie}$ ,  $A$  et  $B$ ) et en fonction des paramètres comportementaux tels que le nombre d'étages, de jetons et de bulles ( $L$ ,  $N_T$  et  $N_B$ ).

La méthode pour analyser l'influence de ces paramètres sur les modes de propagation consiste à rechercher pour une configuration d'anneau donnée, la plage de variation des différents paramètres du modèle de Charlie 3D qui permet l'établissement d'une propagation régulière des jetons. Pour cela, on forme un espace vectoriel à 5 dimensions pour représenter l'espace de variation des 5 paramètres du modèle de Charlie 3D. Pour chaque point de cet espace vectoriel, le mode de propagation atteint, une fois l'anneau stabilisé, est évalué par simulation numérique. Ainsi, il est possible de délimiter un volume de l'espace de variation des paramètres temporels pour lequel la propagation régulière est vérifiée. On appellera ce volume, le volume «régulier». Pour permettre la représentation graphique de ce volume, les paramètres de l'effet Drafting sont regroupés en un seul paramètre  $D_{Drafting} = A = B$ . Les figures 4.14(a), 4.14(b), 4.14(c) et 4.14(d) montrent les volumes réguliers d'un anneau asynchrone de 5 étages initialisé avec 2 jetons et 3 bulles pour quatre valeurs différentes de l'effet Drafting. Les délais statiques  $D_{ff}$  et  $D_{rr}$ , variant de 40 ps à 160 ps, sont représentés sur les axes  $x$  et  $y$ , respectivement ; et l'effet Charlie, variant de 1 à 10 ps, sur l'axe  $z$ . Pour une meilleure lecture des figures, l'échelle de l'effet Charlie a été inversée. La partie grisée correspond au volume régulier.

Cette série de figures montre clairement l'influence des effets Charlie et Drafting sur les modes propagation des jetons. Tout d'abord, on observe, en effet, que plus l'effet Drafting est fort, moins le volume régulier est important. Cela confirme la tendance de l'effet Drafting à provoquer une propagation en rafale des jetons. En fait, à cause de l'effet Drafting, le délai de propagation d'un étage est temporairement plus court après le passage d'un jeton. Si un deuxième jeton traverse l'étage à ce moment là, il est accéléré vers le premier jeton. De même, le jeton suivant est accéléré par l'effet Drafting engendré par le passage du deuxième jeton... Finalement, un phénomène d'aspiration se crée derrière le jeton de tête et provoque le regroupement de tous les jetons. C'est ce phénomène qui génère la propagation en rafale des jetons. De la même manière, on observe que pour une valeur de l'effet Drafting donnée, la surface qui correspond à une propagation régulière des jetons est plus importante quand l'effet Charlie est fort (c'est particulièrement visible sur la figure 4.14(d)). Cela confirme que l'effet Charlie facilite l'établissement d'une propagation

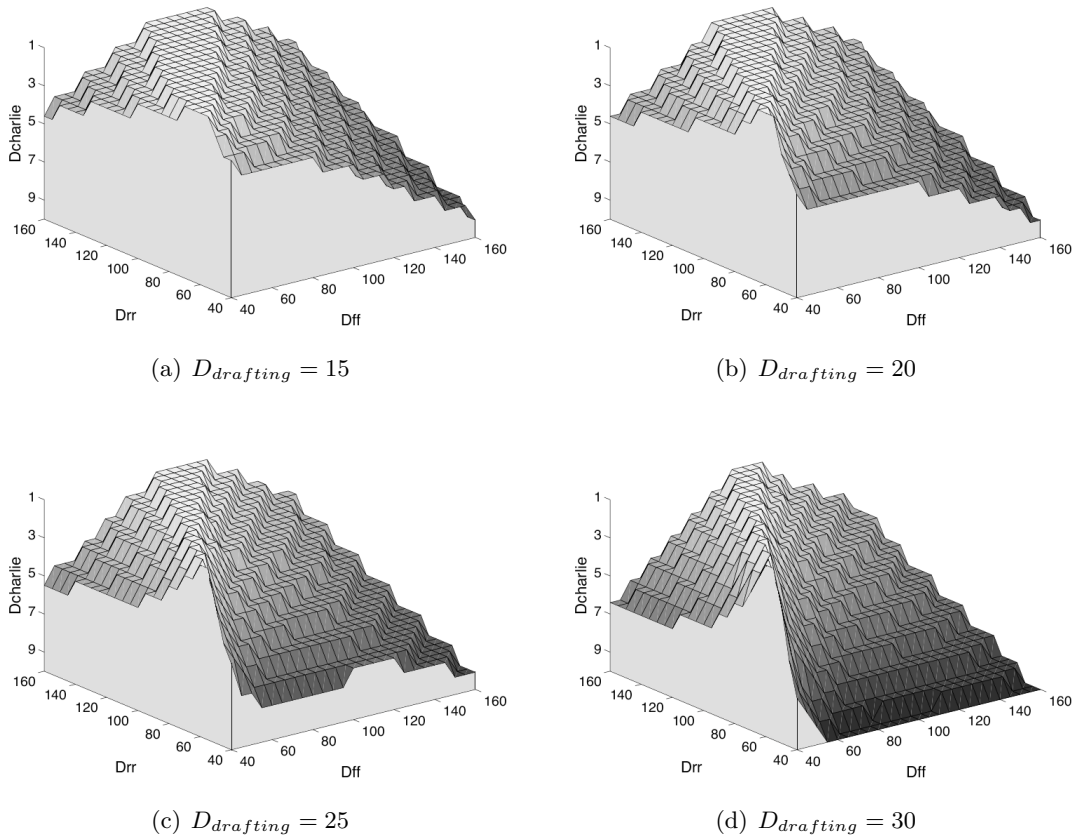


FIGURE 4.14 – Volumes réguliers d'un anneau asynchrone de 5 étages initialisé à 2 jetons et 3 bulles

régulière : quand deux jetons traversent un étage en se suivant de trop près, le temps de séparation des entrées de l'étage diminue, ce qui entraîne une augmentation du délai de propagation. Ainsi, à cause de l'effet Charlie, deux jetons qui se suivent ont tendance à se repousser. De proche en proche, les jetons, en se repoussant mutuellement, se répartissent alors tout autour de l'anneau et se propagent en maintenant un espacement constant. C'est ce phénomène qui provoque la propagation régulière des jetons.

Par ailleurs, la forme des volumes réguliers montre qu'il existe un rapport particulier des délais statiques, qui permet l'établissement d'une propagation régulière des jetons, quelles que soient les valeurs des effets Charlie et Drafting. Sur les figures, ce rapport correspond à la « crête » ou au « plateau » qui apparaît sur chaque volume quand l'effet Charlie est presque nul. Pour le cas d'un anneau de 5 étages initialisé avec 2 jetons et 3 bulles, on constate que ce rapport est égal à :

$$\frac{D_{ff}}{D_{rr}} = \frac{2}{3} = \frac{N_T}{N_B} \quad (4.15)$$

Cette relation, qui est vérifiée pour toutes les configurations possibles d'anneaux asynchrones, montre que ce rapport correspond exactement au rapport du nombre de jetons



et de bulles. Ceci est très intéressant, puisque, contrairement aux approches précédentes [87, 22], il est possible de garantir une propagation régulière sans aucune modification des cellules standards. Il suffit en effet pour cela, de configurer les nombres de jetons et de bulles de manière à ce que la relation (4.15) soit respectée. Comme nous le démontrons dans le paragraphe suivant, cette configuration particulière revient à contraindre les «points de fonctionnement» de l’anneau dans la vallée du modèle de Charlie 3D.

### 4.3.1.3 Points de fonctionnement

Un point de fonctionnement est défini comme un point du modèle de Charlie 3D de coordonnées  $[s, y, charlie(s, y)]$  associé à une transition d’un étage de l’anneau. Ainsi, il est possible de représenter l’évolution temporelle d’un anneau asynchrone par la succession de ses points de fonctionnement sur le modèle de Charlie 3D. Dans le cas d’une propagation régulière des jetons, les points de fonctionnement des étages convergent vers un attracteur unique (figure 4.15(a)), alors que dans le cas d’une propagation en rafale, ils oscillent entre deux attracteurs (figure 4.15(b)).

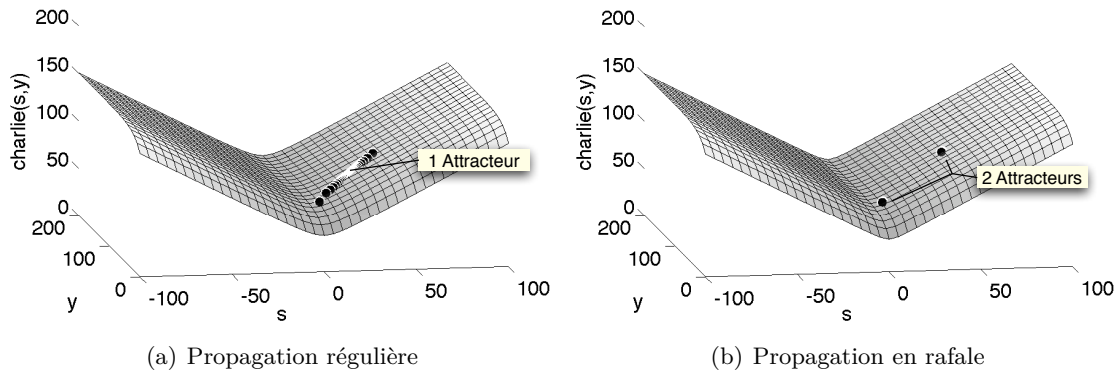


FIGURE 4.15 – Charlie 3D - Points de fonctionnement

Les simulations numériques de différentes configurations d’anneaux asynchrones ont montré que la position du ou des attracteurs est dictée par le choix du nombre de jetons et de bulles en fonction des valeurs des délais statiques. Comme déjà précisé, l’influence de l’effet Charlie est la plus forte dans la vallée du modèle. Puisqu’il a tendance à réguler la vitesse de propagation des jetons, nous supposons que l’effet Charlie permet de lisser les différences de temps de propagation des étages, induites par les variations PVT, et qu’il permet ainsi, d’améliorer la robustesse des oscillateurs asynchrones à ces variations (*cf.* section 4.3.2). On propose donc une méthode pour forcer la position de l’attracteur dans la vallée du modèle de Charlie 3D afin d’en maximiser l’influence sur la propagation des jetons. Dans la vallée du modèle, le temps de séparation des entrées  $s$  est égal à  $s_{min}$ ; et comme la valeur de  $s_{min}$  n’est définie qu’en fonction des délais statiques, on propose un modèle simplifié qui néglige les effets Charlie et Drafting pour cette démonstration :

$$charlie_{simp}(s, y) = D_{mean} + \sqrt{(s - s_{min})^2} = D_{mean} + s - s_{min}$$

Dans le cas où  $s = s_{min}$ , la période d'oscillation  $T$  peut être exprimée en fonction de ce nouveau modèle :

$$T = 4 \times \text{charlie}_{simp}(s_{min}, y) = 4 \times D_{mean} = 2 \times (D_{rr} + D_{ff})$$

De plus, d'après l'équation (4.13) :

$$s = \frac{(N_B - N_T) \times T}{4 \times L} = s_{min} = \frac{D_{rr} - D_{ff}}{2}$$

Donc :

$$\frac{(N_B - N_T)}{4 \times L} \times 2 \times (D_{rr} + D_{ff}) = \frac{D_{rr} - D_{ff}}{2}$$

Finalement, le rapport du nombre de jetons et de bulles qui permet de contraindre l'attracteur dans la vallée du modèle de Charlie 3D est :

$$\frac{N_T}{N_B} = \frac{D_{ff}}{D_{rr}} \quad (4.16)$$

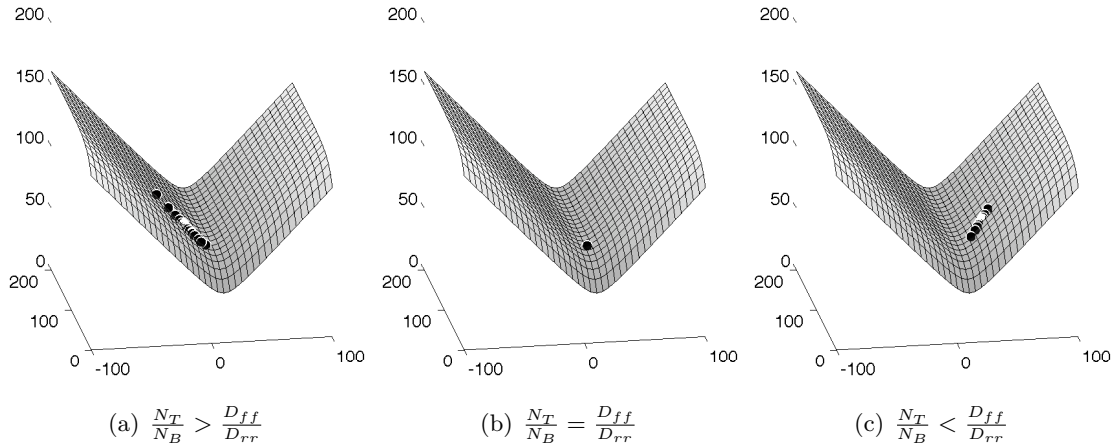


FIGURE 4.16 – Position de l'attracteur en fonction du rapport des jetons et des bulles

On retrouve donc ici la relation du paragraphe précédent qui lie le rapport des délais statiques au rapport des nombres de jetons et de bulles. De manière générale, comme montré sur la figure 4.16, si le rapport des jetons et des bulles est supérieur au rapport des délais statiques, l'attracteur se situe dans la partie gauche du modèle où la contribution du délai statique inverse  $D_{rr}$  est majoritaire ; si les deux rapports sont égaux, l'attracteur se situe précisément dans la vallée du modèle ; et si le rapport des jetons et des bulles est inférieur au rapport des délais statiques, l'attracteur se situe dans la partie droite du modèle où la contribution du délai statique direct  $D_{ff}$  devient prépondérante.

Par ailleurs, la manière dont les points de fonctionnement évoluent pour atteindre le ou les attracteurs nous renseigne sur l'état transitoire qui précède l'état stable où la propagation est soit régulière, soit en rafale. Pendant cet état transitoire, en fonction du mode

de propagation effectivement atteint, les jetons s'organisent dans l'anneau pour se répartir de manière homogène, ou pour se rassembler en groupe. Pour un oscillateur, la durée de cet état transitoire, aussi appelée temps de démarrage, est généralement souhaitée la plus brève possible. Pour évaluer l'impact des paramètres comportementaux et temporels sur cette durée, la méthode utilisée pour définir le volume régulier est appliquée à nouveau : pour une configuration d'anneau asynchrone donnée, la durée de l'état transitoire est évaluée par simulation numérique pour différentes valeurs des paramètres du modèle de Charlie 3D. On note que les valeurs des paramètres temporels sont choisies dans la plage de variation qui permet l'établissement d'une propagation régulière des jetons (valeurs inscrites dans le volume régulier).

Les figures 4.17 représentent le temps de démarrage d'un anneau asynchrone de 9 étages initialisé avec 4 jetons et 5 bulles en fonction du rapport des délais statiques ( $D_{rr}$  et  $D_{ff}$  variant de 40 ps à 100 ps), pour différentes valeurs de l'effet Charlie (de 5 ps à 10 ps) et de l'effet Drafting (de 15 à 30 ps). Pour ces simulations, l'oscillateur est considéré stable quand la différence entre deux périodes successives est inférieure à 0,1 ps. Tout d'abord, ces figures montrent que le temps de démarrage est d'autant plus bref que le rapport des délais statiques est proche du rapport des nombres de jetons et de bulles (ici  $N_T/N_B = 0,8$ ). Quand ce rapport est précisément respecté, le temps de démarrage est alors quasiment instantané (de l'ordre de la période d'oscillation). Par ailleurs, ces figures montrent que si l'on s'éloigne de la vallée du modèle de Charlie 3D, le temps démarrage augmente d'autant moins rapidement que l'effet Charlie est fort, ou que l'effet Drafting est faible.

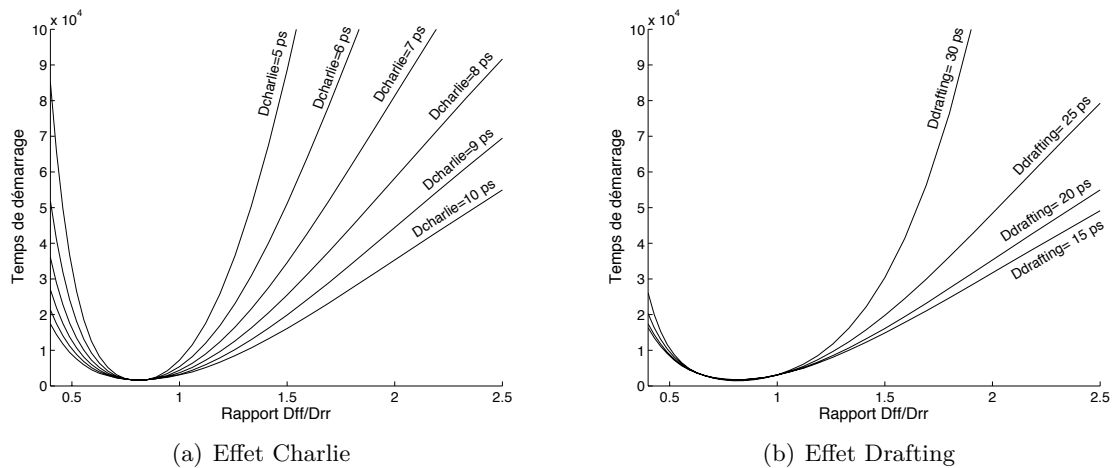


FIGURE 4.17 – Temps de démarrage en fonction du rapport des délais statiques

Pour finir, de manière contre-intuitive, on constate que la position initiale des jetons et des bulles influence très peu la durée de l'état transitoire. En effet, les figures 4.18(a) et 4.18(b) représentent l'état transitoire de l'anneau précédent, pour deux initialisations

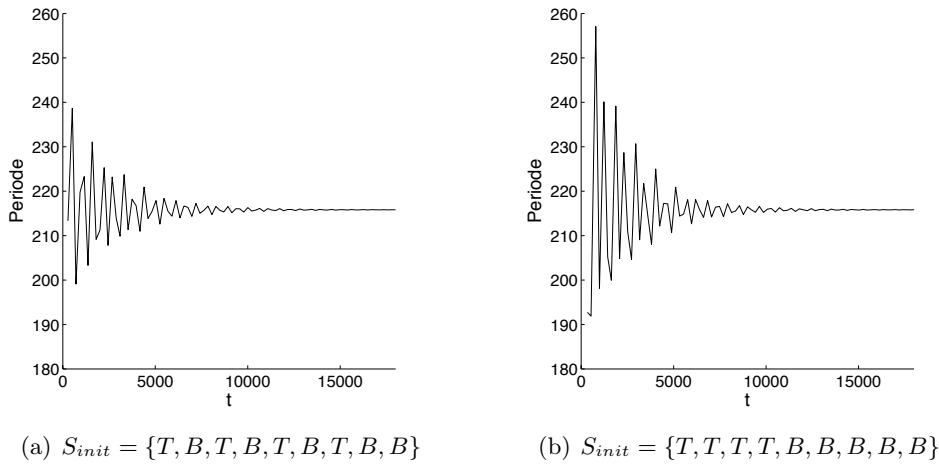


FIGURE 4.18 – Temps de démarrage en fonction de l'état initial

différentes : la première où les jetons sont repartis tout autour de l'anneau (état «régulier» - figure 4.18(a)), et la deuxième où les jetons sont tous regroupés (état «rafale» - figure 4.18(b)). Ces figures montrent que l'état initial influence essentiellement l'amplitude des premières pseudo-oscillations, mais peu la durée globale de l'état transitoire.

### 4.3.2 Robustesse aux variations PVT

Jusqu'à présent, l'analyse des comportements et des caractéristiques temporelles des anneaux asynchrones était basée sur l'hypothèse de délais de propagation identiques pour tous les étages. Malgré une conception soignée, cette hypothèse n'est pas réaliste en raison de la sensibilité des dispositifs élémentaires aux variations PVT. En effet, les variations des paramètres technologiques (process) ou des conditions de fonctionnement (tension ou température) induisent des différences de temps de propagation qui engendrent, dans les oscillateurs en anneaux, une imprécision en fréquence, une dérive ou une gigue («*jitter*») sur les signaux générés. Le but de cette section est d'étudier la sensibilité des anneaux asynchrones aux variations PVT à l'aide du modèle comportemental temporisé développé dans la section 4.2.

#### 4.3.2.1 Modélisation

L'idée utilisée ici pour modéliser les variations PVT, consiste à substituer les valeurs scalaires parfaitement déterminées des paramètres du modèle de Charlie 3D par des variables aléatoires gaussiennes qui représentent la dispersion de ces paramètres sous l'influence des variations PVT. Chaque paramètre est alors remplacé par une variable aléatoire telle que définie ci-dessous :

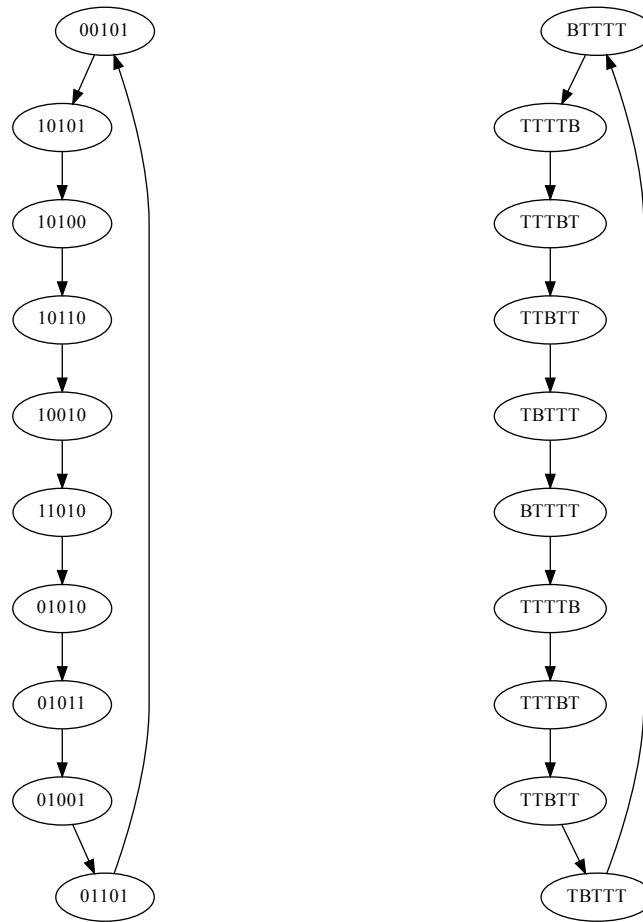
$$\left\{ \begin{array}{l} D_{rrr}(x) = \frac{1}{\sigma_{D_{rrr}}\sqrt{2\pi}} e^{-\frac{1}{2}\left(\frac{x-m_{D_{rrr}}}{\sigma_{D_{rrr}}}\right)^2} \\ D_{fff}(x) = \frac{1}{\sigma_{D_{fff}}\sqrt{2\pi}} e^{-\frac{1}{2}\left(\frac{x-m_{D_{fff}}}{\sigma_{D_{fff}}}\right)^2} \\ D_{charlie}(x) = \frac{1}{\sigma_{D_{charlie}}\sqrt{2\pi}} e^{-\frac{1}{2}\left(\frac{x-m_{D_{charlie}}}{\sigma_{D_{charlie}}}\right)^2} \\ A(x) = \frac{1}{\sigma_A\sqrt{2\pi}} e^{-\frac{1}{2}\left(\frac{x-m_A}{\sigma_A}\right)^2} \\ B(x) = \frac{1}{\sigma_B\sqrt{2\pi}} e^{-\frac{1}{2}\left(\frac{x-m_B}{\sigma_B}\right)^2} \end{array} \right.$$

En fonction de la nature physique de la variation PVT que l'on souhaite modéliser, les paramètres du modèle de Charlie 3D sont tirés aléatoirement une seule fois en début de simulation, ou tout au long de la simulation. Le premier cas permet de modéliser les variations des paramètres technologiques. En effet, même si elles ne sont pas connues précisément, les valeurs de ces paramètres sont fixées au moment de la fabrication du circuit et ne varient plus ensuite (du moins si l'on néglige les phénomènes de vieillissement). Dans ce cas, on cherche donc à évaluer l'impact des différences de temps de propagation des étages sur la précision en fréquence des signaux générés. Le cas où les paramètres du modèle de Charlie 3D sont tirés aléatoirement en permanence permet, quant à lui, de modéliser les variations des conditions de fonctionnement. En effet, les tensions d'alimentation et la température qui varient continûment sous l'influence de l'environnement, modifient continûment les temps de propagation des étages. En fonction de leur vitesse, ces variations de tension ou de température génèrent soit une gigue, soit une dérive lente. On propose ici de s'intéresser plus particulièrement à la gigue engendrée par les variations rapides de tension d'alimentation.

Par ailleurs, afin de pouvoir comparer la robustesse aux variations PVT des anneaux asynchrones à celle des anneaux d'inverseurs, le modèle comportemental temporisé a été adapté pour permettre la modélisation des structures à inverseurs. Ce modèle est construit de la même manière que précédemment : un modèle comportemental de haut-niveau représenté sous forme de graphe d'états est enrichi par un modèle temporel qui représente le délai de propagation d'un inverseur.

Pour pouvoir osciller, un anneau d'inverseurs doit être composé d'un nombre impair d'inverseurs. Contrairement aux anneaux asynchrones qui nécessitent un minimum de 3 étages, le nombre d'inverseurs, lui, n'est pas limité :

$$\left\{ \begin{array}{l} L \% 2 = 1 \\ L \geq 1 \end{array} \right.$$



(a) Anneau de 5 inverseurs

(b) Anneau de 5 étages et 4 jetons

FIGURE 4.19 – Graphe d'états d'un anneau de 5 inverseurs et son équivalent asynchrone

Le graphe d'états d'un anneau de 5 inverseurs est représenté sur la figure 4.19(a). Il montre parfaitement l'aspect rudimentaire du comportement de ce type d'anneaux : la succession des états est complètement figée. En fait, comme montré sur la figure 4.19(b), cette structure à inverseurs est équivalente à un anneau asynchrone de 5 étages dans lequel seulement une bulle permettrait la propagation des jetons.

Pour annoter temporellement ce modèle comportemental, le modèle de Charlie 3D est adapté aux caractéristiques temporelles d'un inverseur : puisqu'un inverseur ne compte qu'une seule entrée, il n'existe pas d'effet Charlie et seul l'effet Drafting est à prendre en considération. Ce modèle peut donc s'exprimer comme ci-dessous :

$$charlie_{inv}(y) = D_{static} - Be^{-\frac{y}{A}}$$

Dans ce modèle,  $y$  représente le temps entre la dernière commutation et la transition en entrée qui provoque la commutation de la porte ;  $D_{static}$  représente le délai de propagation quand l'influence de l'effet Drafting est négligeable ; et  $A$  et  $B$  sont les paramètres de l'effet Drafting comme précédemment définis (*cf.* paragraphe 4.2.1).

#### 4.3.2.2 Sensibilité aux variations des paramètres technologiques

Pour cette première étude de sensibilité, les 5 paramètres du modèle de Charlie 3D de chaque étage de l'anneau asynchrone et de l'anneau d'inverseurs sont tirés aléatoirement, et par simulation numérique, les périodes d'oscillation des deux structures sont mesurées. Avec un nombre suffisant de tirages aléatoires, la dispersion de la période  $T$  peut être évaluée. On souhaite vérifier que l'effet Charlie permet de lisser les variations des délais de propagation et ainsi, vérifier son influence positive sur la précision en fréquence des signaux générés. Pour cela, deux séries de simulations sont effectuées : la première pour évaluer l'influence de l'amplitude du paramètre  $D_{charlie}$ , et la deuxième pour évaluer l'influence de la position de l'attracteur par rapport à la vallée du modèle de Charlie 3D. Pour chaque série, 1000 tirages aléatoires sont effectués, avec un écart type fixé à 10% de la valeur moyenne de chaque paramètre.

La figure 4.20 représente la distribution de la période d'oscillation normalisée d'un anneau asynchrone de 5 étages initialisé avec 2 jetons et 3 bulles pour 3 valeurs différentes de l'effet Charlie, de faibles à fortes. Pour cette série de simulations, le rapport des délais statiques moyens et le rapport du nombre de jetons et de bulles sont choisis égaux, de manière à positionner l'attracteur dans la vallée du modèle de Charlie 3D ( $m_{Drr} = 60ps$  et  $m_{Dff} = 40ps$ ). Les paramètres de l'effet Drafting sont fixés, quant à eux, tels que  $m_A = m_B = 25ps$ .

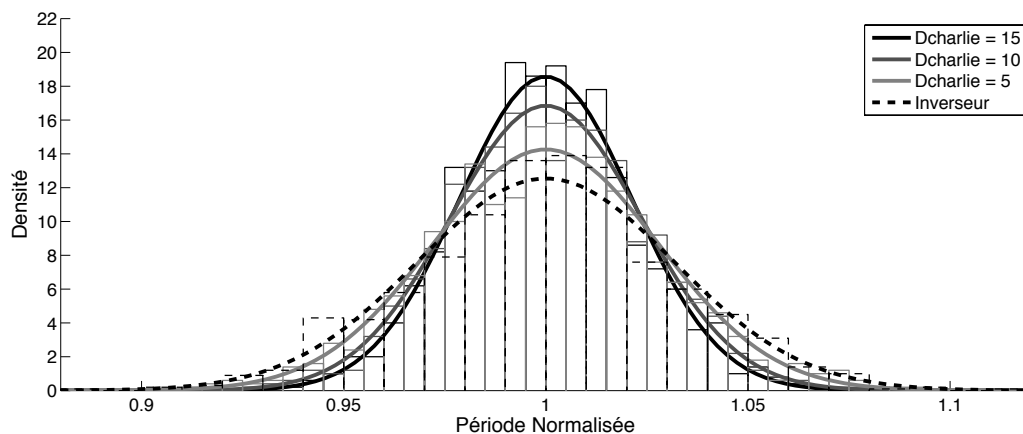


FIGURE 4.20 – Sensibilité aux variations technologiques - effet Charlie

De même, la figure 4.21 représente la distribution de la période d'oscillation normalisée pour différentes positions de l'attracteur. Comme montré dans le paragraphe précédent, le

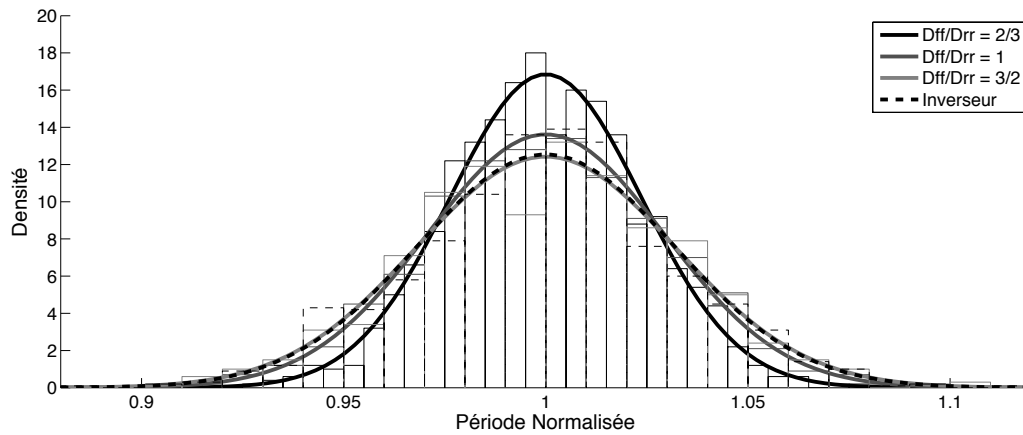


FIGURE 4.21 – Sensibilité aux variations technologiques - position de l’attracteur

rapport  $D_{ff}/D_{rr}$  permet d’en contrôler la position. Ainsi, quand  $D_{ff}/D_{rr}$  est égal à  $2/3$ , l’attracteur se situe exactement dans la vallée du modèle de Charlie 3D alors, que pour les deux autres valeurs, l’attracteur est plus ou moins éloigné de la vallée. Pour cette série de simulations, le délai statique moyen  $D_{mean}$  a été choisi constant ( $50ps$ ) de manière à isoler l’influence de la position de l’attracteur d’autres phénomènes. Le paramètre de l’effet Charlie est choisi suffisamment fort pour garantir une propagation régulière pour les 3 configurations ( $m_{Dcharlie} = 10ps$ ).

Ces deux séries de simulations numériques *MonteCarlo* montrent clairement l’influence positive de l’effet Charlie sur la précision en fréquence des signaux générés. En effet, plus l’effet Charlie est fort - ce qui est réalisé ici, soit en augmentant directement son amplitude, soit en maximisant son influence en positionnant l’attracteur dans la vallée du modèle - plus la distribution de la période est resserrée autour de sa valeur moyenne.

#### 4.3.2.3 Sensibilité aux variations de tension

Nous souhaitons maintenant étudier la sensibilité des oscillateurs asynchrones aux variations rapides de tension générées par le bruit présent sur les alimentations. Comme annoncé précédemment, ce type de variations est modélisé par un tirage aléatoire des paramètres du modèle de Charlie 3D à chaque cycle de simulation. Les résultats présentés ci-après ont ainsi été obtenus sur des simulations de 10000 cycles avec un écart type fixé à 10% de la valeur moyenne de chaque paramètre. A nouveau, on propose d’évaluer l’impact de l’amplitude de l’effet Charlie et de la position de l’attracteur sur la qualité des signaux générés. La figure 4.22 représente la distribution de la période normalisée pour les trois valeurs précédentes de l’effet Charlie, alors que la figure 4.23 montre la distribution de la période pour trois positions de l’attracteur plus ou moins proches de la vallée du modèle de Charlie 3D.



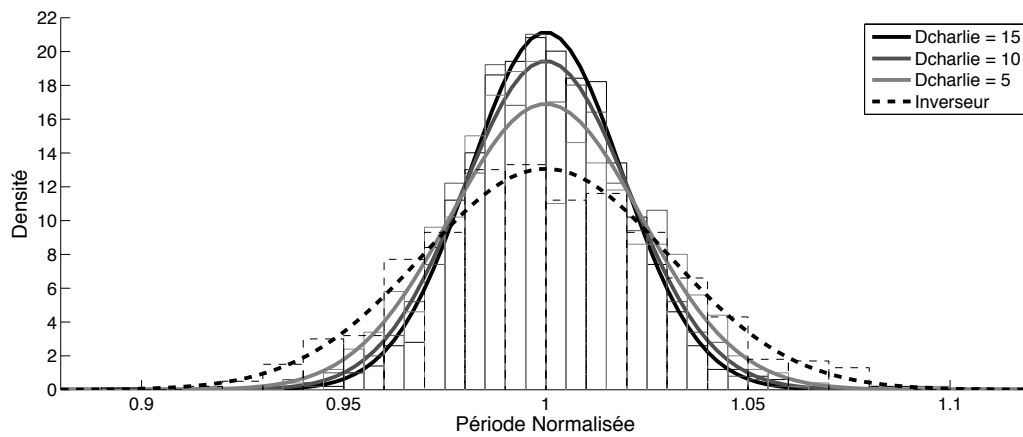


FIGURE 4.22 – Sensibilité aux variations de tension - effet Charlie

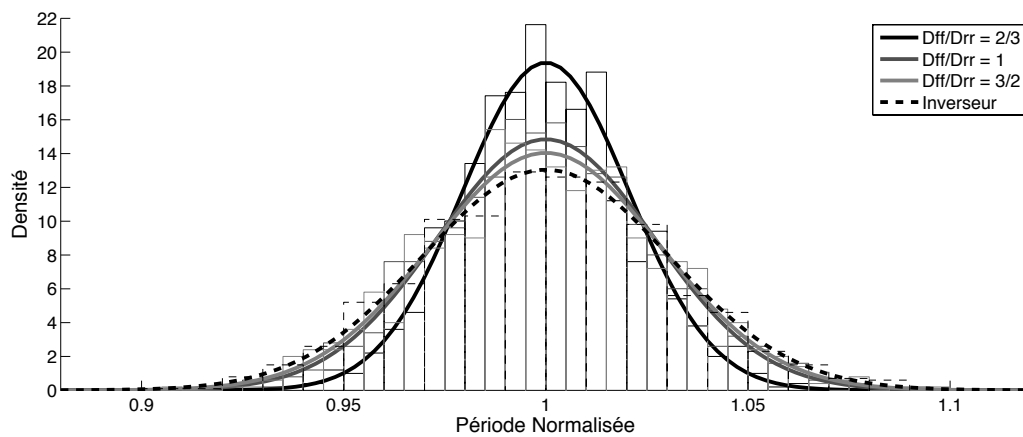


FIGURE 4.23 – Sensibilité aux variations de tension - position de l'attracteur

Ces deux nouvelles séries de simulations montrent à nouveau l'influence positive de l'effet Charlie sur la gigue des signaux générés. En effet, plus l'effet Charlie est fort, plus la distribution de la période normalisée est centrée autour de sa valeur moyenne, ce qui correspond à une gigue plus faible.

Ainsi, grâce à l'effet Charlie et à une structure plus complexe qui permet d'en tirer partie, les anneaux asynchrones présentent une meilleure robustesse aux variations PVT que les anneaux d'inverseurs. Il en résulte une meilleure précision en fréquence et une gigue plus faible. En fait, les différences locales de temps de propagation, qui ralentissent ou accélèrent la propagation des jetons, sont lissées par l'effet Charlie : si un jeton accélère, alors le temps de séparation des entrées diminue. Cela engendre une augmentation du délai de propagation, qui, finalement, freine la propagation du jeton. Au contraire, si un jeton ralentit, le temps de séparation des entrées augmente, et puisque l'on s'éloigne de la vallée du modèle, la contribution de l'effet Charlie diminue. Cela engendre donc une diminution du délai de propagation qui accélère à nouveau le jeton. Il faut noter alors que

ce phénomène de régulation de la vitesse de propagation des jetons s'atténue en s'éloignant de la vallée du modèle de Charlie 3D. En effet, si l'attracteur est trop loin, l'effet Charlie devient négligeable et n'est alors plus suffisant pour compenser les variations de temps de propagation. Dans ce cas, les performances des anneaux asynchrones tendent vers celles des anneaux d'inverseurs (courbes en pointillé sur les figures 4.20, 4.21, 4.22 et 4.23).

Toutefois, le chapitre 5 montre qu'il est nécessaire d'interpréter ces conclusions avec précautions. En effet, la modélisation proposée ici se base uniquement sur les temps de propagation des étages, et ne prend pas en compte d'autres paramètres, tels que les temps de montée et de descente des signaux, qui sont pourtant très importants dans l'étude de sensibilité aux variations PVT [30, 29].

## 4.4 Anneaux asynchrones contraints

On propose maintenant de s'intéresser à une nouvelle structure d'anneaux asynchrones que l'on appelle : anneaux *contraints*. Dans un premier temps, le comportement de ces nouvelles structures oscillantes est étudié, puis leurs caractéristiques temporelles sont présentées. Enfin, la sensibilité aux variations PVT des anneaux contraints est étudiée avec la même méthode que précédemment.

### 4.4.1 Etude comportementale

#### 4.4.1.1 Structure générale

Comme montré dans le paragraphe 4.2.4, la modélisation sous forme de graphe d'états permet de représenter les modes de propagation des jetons. L'idée de cette nouvelle approche, est d'interdire, grâce à une modification structurelle, certaines transitions du graphe d'états, de manière à obtenir le mode de propagation désiré. Ainsi, pour garantir une propagation régulière des jetons, les transitions entre les états marqués «réguliers» du graphe sont conservées, alors que celles entre les états «rafale» sont supprimées. Par exemple, pour garantir la propagation régulière des jetons dans un anneau de 5 étages initialisé avec 2 jetons et 3 bulles, la transition de l'état  $S = \{T, B, T, B, B\}$  à l'état  $S = \{T, B, B, T, B\}$  est préservée, alors que celle de l'état  $S = \{T, B, T, B, B\}$  à l'état  $S = \{B, T, T, B, B\}$  est supprimée. Cette modification du graphe d'états correspond en fait à une modification de la règle de propagation des jetons : une condition supplémentaire - la «*contrainte*» - y est ajoutée. Un jeton peut alors passer de l'étage  $i - 1$  à l'étage  $i$ , si et seulement si, les deux étages suivants  $i$  et  $i + 1$  contiennent des bulles. Avec les notations précédentes, la nouvelle règle de propagation des jetons peut alors s'exprimer

par la relation suivante :

$$\begin{cases} S_{i-1} = T \\ S_i = B \Leftrightarrow C_{i-1} \neq C_i = C_{i+1} = C_{i+2} \\ S_{i+1} = B \end{cases} \quad (4.17)$$

Cette relation correspond au «rendez-vous» des signaux  $C_{i-1}$ ,  $C_{i+1}$  et  $C_{i+2}$  au niveau de l'étage  $i$ . Elle est donc naturellement implémentée par une porte de Muller à 3 entrées. La figure 4.24 représente la structure contrainte qui permet d'implémenter cette nouvelle règle de propagation. Les étages sont composés d'une porte de Muller à 3 entrées et de deux inverseurs.  $F$  est l'entrée directe, et  $R$ , l'entrée inversée, connectées respectivement à la sortie de l'étage précédent  $i-1$  et à la sortie de l'étage suivant  $i+1$ ; et  $X$  est l'entrée de contrainte, également inversée, connectée à la sortie de l'étage de contrainte, fixée ici à  $i+2$ .

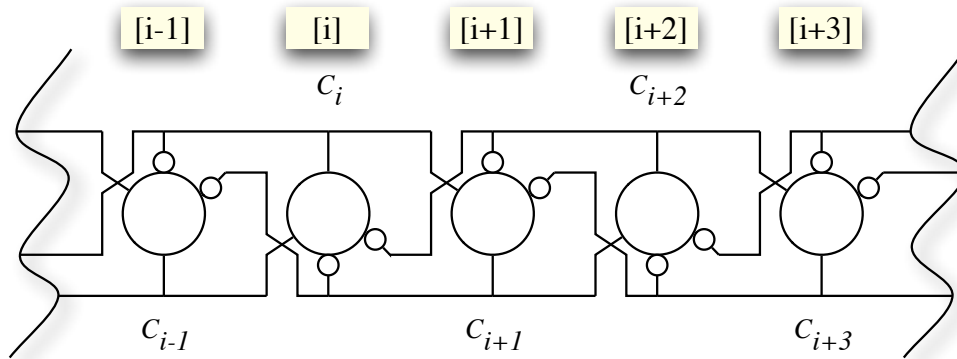


FIGURE 4.24 – Structure d'un anneau asynchrone contraint - portes de Muller à 3 entrées

Si l'on fait attention à préserver le comportement oscillant de l'anneau, c'est-à-dire, si l'on évite la création des états de «*dead-locks*» dans le graphe d'états, cette structure contrainte peut être généralisée à toutes tailles d'anneaux asynchrones, à un nombre quelconque de jetons, et à toutes valeurs de contrainte. Cependant, comme le montre le paragraphe suivant, les difficultés de modélisation de cette nouvelle structure nous imposent de restreindre l'étude aux cas particuliers des anneaux contraints initialisés avec seulement deux jetons.

#### 4.4.1.2 Problèmes de modélisation

**Modélisation temporelle :** La première difficulté vient donc de la modélisation temporelle des étages. En effet, contrairement à la représentation sous forme de graphe d'états qui convient à la modélisation du comportement des anneaux contraints, le modèle de Charlie 3D, lui, ne peut être utilisé. En effet, tel que défini dans la section 4.2, le modèle de Charlie 3D permet de modéliser le temps de propagation des cellules à 2 entrées mais pas de celles à 3 entrées. Les modifications à apporter au modèle pour prendre en compte une

troisième entrée sont considérables dans la mesure où le temps de séparation des entrées ne peut plus être représenté par un scalaire comme précédemment, mais nécessairement par un vecteur de 3 éléments tel que proposé ci-dessous :

$$s = \left\{ \frac{t_F - t_R}{2}, \frac{t_F - t_X}{2}, \frac{t_R - t_X}{2} \right\}$$

Cela implique alors qu'il n'est plus possible de représenter le modèle de Charlie 3D sous forme d'un diagramme en trois dimensions. De même, la définition de l'instant moyen d'arrivée des entrées, ou la définition du temps entre la dernière commutation et cet instant moyen, devient problématique... Nos investigations se sont rapidement heurtées à de trop nombreuses difficultés, et nous avons privilégié une approche alternative pour les éviter.

**Modélisation comportementale :** L'approche la plus évidente pour pouvoir réutiliser le modèle de Charlie 3D est de décomposer un étage de l'anneau contraint par une structure équivalente implémentée par des portes de Muller à deux entrées. Les figures 4.25 montrent l'implémentation d'un étage d'un anneau contraint avec une porte de Muller à trois entrées et son équivalent avec deux portes de Muller à deux entrées.

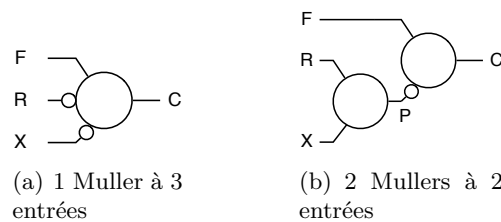


FIGURE 4.25 – Implémentations équivalentes d'un étage d'un anneau contraint

Un nouveau problème, cette fois comportemental, apparaît alors. En effet, puisqu'il y a deux portes de Muller par étage, il est nécessaire de représenter l'état global d'un anneau contraint par un couple de deux vecteurs d'état : le vecteur d'état  $C$  qui représente, comme auparavant, l'état des sorties  $C_i$  des étages, et le vecteur d'état  $P$  qui représente l'état du nœud interne  $P_i$  de tous les étages (*cf.* figure 4.25(b)). Le graphe d'états est alors construit de la manière suivante : chaque sommet représente un couple possible des vecteurs d'état  $C$  et  $P$ , et les arcs entre les sommets matérialisent les transitions qui existent entre les états. Si, comme précédemment, aucune hypothèse temporelle relative aux temps de propagation n'est faite lors de sa construction, alors, le graphe d'états montre que les règles de propagation des jetons peuvent être violées et que, de fait, des jetons peuvent être effacés. Dans ce cas, l'anneau peut atteindre un état bloqué où il n'oscille plus (état *deadlock*). Pour rester cohérent avec la méthode de modélisation décrite dans la section 4.2, il n'est pas souhaitable d'ajouter des hypothèses temporelles à ce stade de la modélisation. On propose donc de restreindre l'étude au cas particulier des

anneaux asynchrones contraints initialisés avec seulement deux jetons. En effet, dans ce cas particulier, on montre ci-dessous qu'il est possible d'implémenter ces structures avec des étages composés d'une seule porte de Muller à deux entrées.

**Cas particulier à deux jetons :** Dans ce cas particulier, on propose de connecter l'entrée  $R_i$  de l'étage  $i$  directement à la sortie  $C_{i+x}$  de l'étage de contrainte  $i+x$ , et d'ignorer la valeur  $C_{i+1}$  de l'étage  $i+1$ . Cette modification structurelle du chemin d'acquiescement n'est possible que si la règle de propagation des jetons est respectée, c'est-à-dire, si un jeton ne peut pas en écraser un autre. Quelle que soit la dimension de l'anneau, si deux étages adjacents,  $i-1$  et  $i$ , contiennent les deux jetons de l'anneau, alors, tous les autres étages contiennent nécessairement des bulles. Cela veut donc dire que les sorties  $C_{i+1}, C_{i+2}, \dots, C_{i+L-1}$  sont égales, et donc, quelle que soit la valeur de la contrainte,  $C_{i+1} = C_{i+x}$ . Par conséquent, dans le cas particulier où il y a seulement deux jetons dans l'anneau, on peut conclure que la règle de propagation des jetons d'un anneau asynchrone contraint implémenté avec des portes de Muller à trois entrées est équivalente à celle d'un anneau contraint implémenté avec des portes de Muller à deux entrées :

$$C_{i-1} \neq C_i = C_{i+1} = C_{i+x} \Leftrightarrow C_{i-1} \neq C_i = C_{i+x}$$

La figure 4.26 représente la structure d'un anneau contraint implémenté avec des portes de Muller à deux entrées dans ce cas particulier. De cette manière, il est possible d'utiliser le modèle de Charlie 3D pour annoter temporellement le graphe d'états. Les études présentées dans la suite de ce chapitre supposent ce cas particulier.

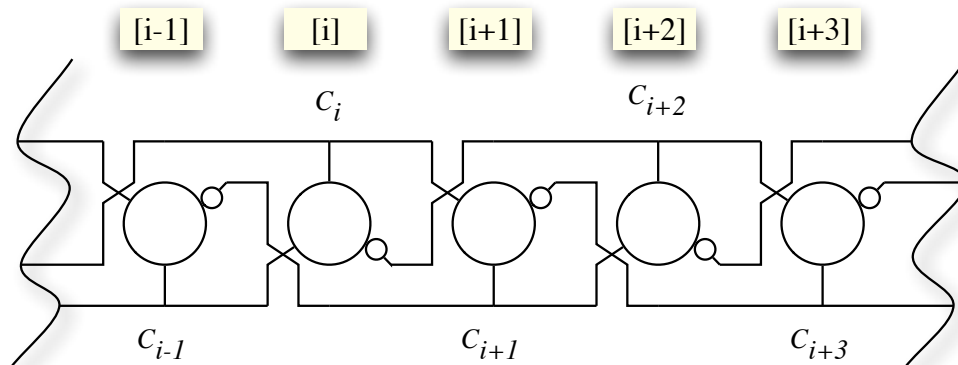
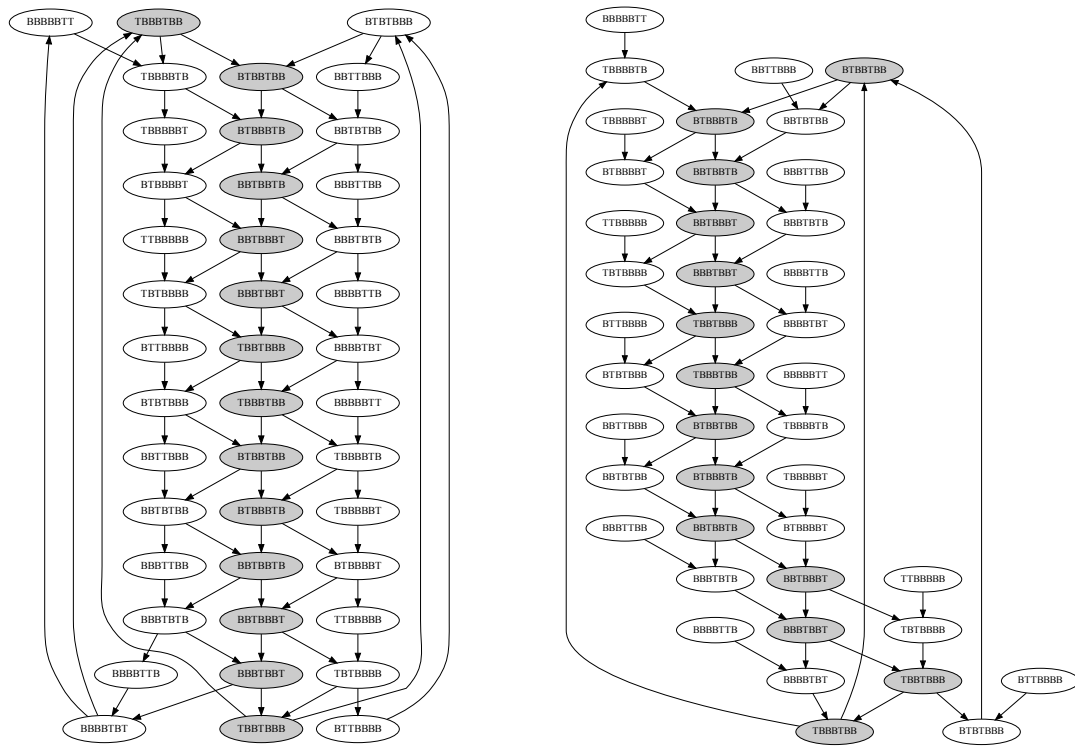


FIGURE 4.26 – Structure d'un anneau asynchrone contraint - portes de Muller à 2 entrées

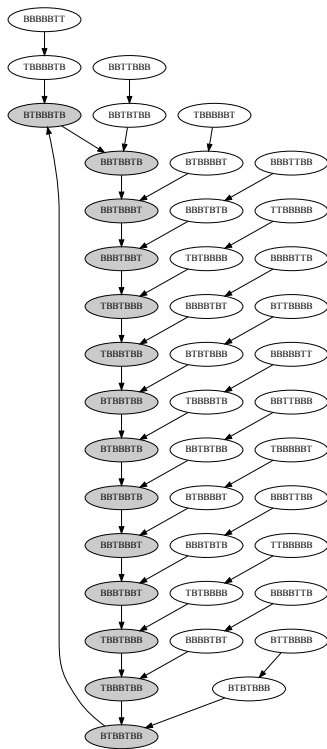
#### 4.4.1.3 Graphe d'états

Dans ce paragraphe, on propose d'illustrer les effets comportementaux de la contrainte sur l'exemple d'un anneau de 7 étages initialisé avec 2 jetons et 5 bulles. La figure 4.27(a) représente le graphe d'états de cet anneau sans contrainte ( $R_i = C_{i+1}$ ). Le cycle formé par les états grisés correspond à la propagation régulière des jetons, alors que les cycles formés



(a) Non contraint -  $R_i = C_{i+1}$

(b) Partiellement contraint -  $R_i = C_{i+2}$



(c) Totalement contraint -  $R_i = C_{i+3}$

FIGURE 4.27 – Graphes d'états d'un anneau asynchrone contraint de 7 étages et 2 jetons

par les états non-grisés correspondent au mode de propagation en rafale. Le graphe d'états de la figure 4.27(b) correspond, quant à lui, à la seconde configuration de l'anneau, pour laquelle la contrainte a été fixée à  $i + 2$ . Dans ce cas, on constate que les cycles des propagations en rafale sont rompus. Cependant, l'anneau n'est pas suffisamment contraint pour garantir structurellement la propagation régulière des jetons. Dans cette configuration, l'anneau est dit *partiellement contraint*. Pour finir, la figure 4.27(c) représente le graphe d'états de l'anneau quand la contrainte est fixée à  $i + 3$ . Dans ce dernier cas, le seul cycle possible est celui d'une propagation régulière des jetons. Pour cette dernière configuration, l'anneau est dit *totalelement contraint*. Si la contrainte excède  $i + 3$ , il apparaît alors des états de *deadlock* sur le graphe d'états et l'anneau ne peut plus osciller.

Il est tout à fait possible d'adapter les conditions d'un comportement oscillant définies dans le paragraphe 4.2.2.1 à ces nouvelles structures. La valeur de la contrainte détermine le nombre de bulles «non-effaçables» qui séparent les deux jetons. Dans notre exemple précédent, quand la contrainte est fixée à  $i + 2$ , il y a une bulle non-effaçable, et quand elle est fixée à  $i + 3$ , il y en a deux. Nécessairement, il faut au moins une bulle «effaçable» pour permettre la circulation des jetons. Les conditions pour préserver un comportement oscillant peuvent alors être résumées ainsi :

- $x$  étant la valeur de la contrainte :  $R_i = C_{i+x}$ ,
- $N_T$  étant le nombre de jetons :  $N_T = 2$ ,
- $N_B$  étant le nombre de bulles :  $N_B \geq N_T \times (x - 1) + 1$ ,
- $L$  étant le nombre d'étages :  $L = N_T + N_B$ .

#### 4.4.2 Caractéristiques temporelles

Le modèle exécutable *matlab* a été adapté pour permettre la simulation des anneaux contraints. Ainsi, il est possible d'observer et d'analyser les effets de la contrainte, couplés aux différents paramètres du modèle de Charlie 3D, sur les performances de ces nouvelles structures. On propose de réutiliser la même approche que précédemment, c'est-à-dire, construire le volume régulier afin d'évaluer l'impact de la contrainte sur les modes de propagation, et observer la position et l'évolution des points de fonctionnement en fonction des différentes valeurs de la contrainte.

##### 4.4.2.1 Mode de propagation

Les volumes réguliers présentés sur la série de figures 4.28 sont construits de la même manière que précédemment : le mode de propagation atteint par l'anneau est évalué par simulation numérique pour chaque point de l'espace vectoriel formé par les paramètres

du modèle de Charlie 3D. Pour cette série de simulations, les délais statiques  $D_{ff}$  et  $D_{rr}$  varient de  $40ps$  à  $160ps$ ; le paramètre de l'effet Charlie  $D_{charlie}$  varie de  $1ps$  à  $10ps$ ; et les paramètres de Drafting  $A$  et  $B$  restent constants à  $25ps$ . La figure 4.28(a) représente le volume régulier de l'anneau asynchrone de 7 étages dans sa configuration sans contrainte; la figure 4.28(b) représente le volume régulier de l'anneau partiellement contraint; et la figure 4.28(c) le volume régulier dans sa configuration totalement contraint. Ces figures montrent clairement comment la contrainte permet de forcer l'établissement du mode de propagation régulier. En effet, le volume régulier augmente de manière importante quand une contrainte est appliquée. Dans le cas où l'anneau est complètement contraint, conformément aux prédictions du modèle comportemental, le mode de propagation régulier est atteint quelles que soient les valeurs des paramètres temporels. Pour cette dernière configuration, on peut remarquer un petit volume «rafale» pour les très faibles valeurs de l'effet Charlie. Il s'agit d'un artefact de simulation.

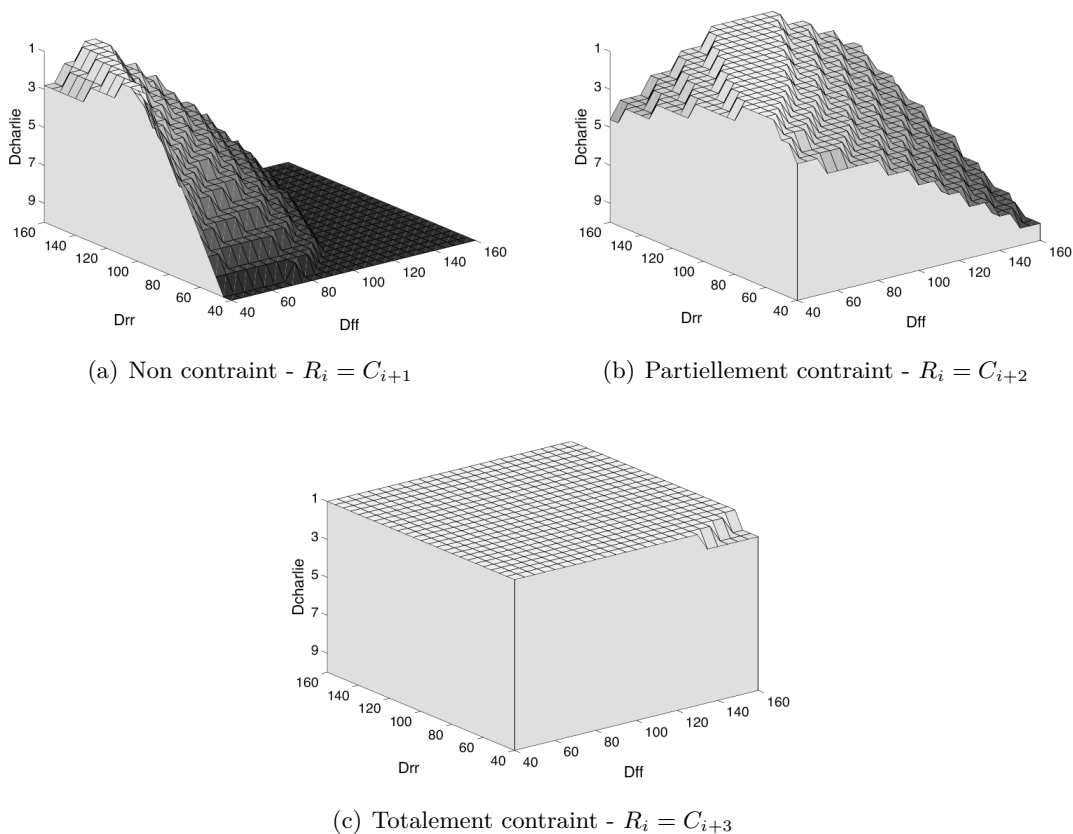


FIGURE 4.28 – Volumes réguliers d'un anneau contraint de 7 étages

De plus, on remarque que, comme pour la configuration non contrainte, il existe pour la configuration partiellement contrainte, un rapport particulier des délais statiques qui permet l'établissement de la propagation régulière même en cas de très faibles valeurs de l'effet Charlie. Pour le cas non-contraint (figure 4.28(a)), on a montré dans le paragraphe



4.3.1.2 que ce rapport correspond exactement aux rapports du nombre de jetons et du nombre de bulles :

$$\frac{N_T}{N_B} = \frac{2}{5} = \frac{D_{ff}}{D_{rr}}$$

Pour le cas partiellement contraint (figure 4.28(b)), cette relation devient :

$$\frac{N_T}{N_B} = \frac{2}{5} = \frac{D_{ff}}{D_{ff} + D_{rr}}$$

Avec la même démarche que précédemment, il est possible de généraliser cette relation à toutes les configurations d'anneau et de contrainte :

$$\frac{N_T}{N_B} = \frac{D_{ff}}{D_{ff}(x-1) + D_{rr}} \quad (4.18)$$

#### 4.4.2.2 Points de fonctionnement

On souhaite maintenant évaluer l'effet de la contrainte sur l'évolution et la position des points de fonctionnement. Tout d'abord, comme pour les anneaux non-contraints, on note que les points de fonctionnement convergent vers un attracteur unique lors de la propagation régulière des jetons (figure 4.29(a)). Par contre, on remarque que dans le cas d'une propagation en rafale, plusieurs cas de figure existent : les points de fonctionnement peuvent osciller entre 2, 3 ou plusieurs attracteurs, et ainsi former des boucles. Dans le cadre de cette étude, c'est le mode de propagation régulier qui est privilégié puisqu'il correspond au fonctionnement périodique d'une base de temps. Nous n'avons donc pas investigué plus avant sur les causes de ces phénomènes. A titre d'exemple, la figure 4.29(b) montre une boucle formée par les points de fonctionnement dans le cas d'une propagation en rafale des jetons.

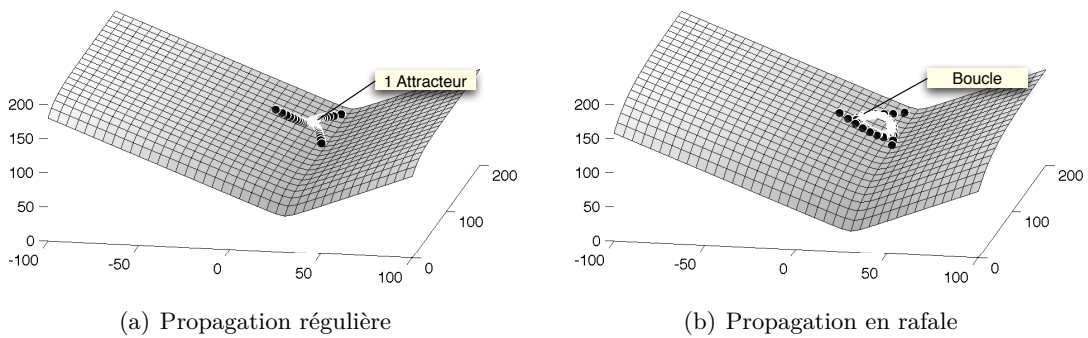


FIGURE 4.29 – Points de fonctionnement d'un anneau contraint de 7 étages -  $R_i = C_{i+2}$

Par ailleurs, pour comprendre comment la contrainte agit sur le positionnement de l'attracteur, on propose de fixer les valeurs des paramètres temporels et de simuler différentes configurations d'anneaux asynchrones et de contraintes. La figure 4.30(a) représente la position de l'attracteur d'un anneau de 9 étages pour trois configurations de la contrainte : une sans contrainte ( $R_i = C_{i+1}$ ) et deux partiellement contraintes ( $R_i = C_{i+2}$

et  $R_i = C_{i+3}$ ). La figure 4.30(b) représente, quant à elle, la position de l'attracteur de trois configurations d'anneaux asynchrones «équilibrés», c'est-à-dire, pour lesquels la relation (4.18) est vérifiée :

1. Anneau non-contraint de 5 étages avec  $R_i = C_{i+1}$  :

$$\frac{N_T}{N_B} = \frac{2}{3} = \frac{D_{ff}}{D_{rr}}$$

2. Anneau partiellement contraint de 7 étages avec  $R_i = C_{i+2}$  :

$$\frac{N_T}{N_B} = \frac{2}{5} = \frac{D_{ff}}{D_{ff} + D_{rr}}$$

3. Anneau partiellement contraint de 9 étages avec  $R_i = C_{i+3}$  :

$$\frac{N_T}{N_B} = \frac{2}{7} = \frac{D_{ff}}{2 \times D_{ff} + D_{rr}}$$

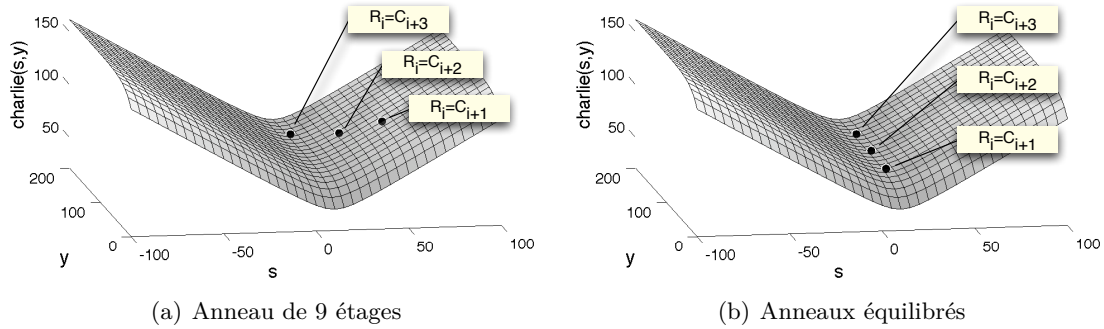


FIGURE 4.30 – Position de l'attracteur en fonction de la contrainte

La figure 4.30(a) montre qu'en contraignant plus ou moins la propagation des jetons, l'attracteur est à la fois déplacé vers la vallée du modèle de Charlie 3D et repoussé vers le «fond» du modèle suivant l'axe  $y$ . La figure 4.30(b) montre, quant à elle, qu'une configuration adéquate permet de positionner l'attracteur dans la vallée du modèle tout en le repoussant plus ou moins loin suivant l'axe  $y$ .

Cela a deux conséquences très importantes. Premièrement, la période d'oscillation  $T$ , qui peut s'exprimer en fonction de  $s$ ,  $y$  et du modèle de Charlie 3D, va être modifiée. Pour le cas des anneaux équilibrés où  $s$  reste constant égal à  $s_{min}$ , l'augmentation de la durée  $y$  entraîne nécessairement l'augmentation de la période d'oscillation  $T$ . Par contre, dans le cas général, il n'est pas possible de conclure a priori sur la modification de la période. En effet, l'augmentation de  $y$  va être en partie compensée par la diminution du temps de synchronisation  $s$ .

$$T = 2 \times (y + charlie(s, y))$$

Deuxièmement, et c'est le point qui nous intéresse particulièrement dans le cadre de cette étude, l'influence de l'effet Drafting est plus ou moins forte en fonction de la valeur de  $y$  et est donc atténuée, voir complètement annulée, par l'application d'une contrainte. Contrairement à l'effet Charlie qui lisse les variations des temps de propagation, l'effet Drafting a plutôt tendance à les amplifier. Nous supposons donc qu'il est possible d'améliorer la robustesse des oscillateurs asynchrones aux variations PVT grâce à ces nouvelles structures contraintes. C'est précisément l'objet du paragraphe suivant.

#### 4.4.3 Robustesse aux variations PVT

Pour montrer l'impact positif de la contrainte sur la sensibilité des anneaux asynchrones aux variations PVT, la méthode développée dans le paragraphe 4.3.2 pour modéliser les variations des paramètres technologiques et des variations de tension est appliquée aux configurations d'anneaux contraints définies dans le paragraphe précédent. Les valeurs moyennes des paramètres temporels sont choisies telles que  $m_{Dff} = 40ps$ ,  $m_{Drr} = 60ps$ ,  $m_{Dcharlie} = 10ps$ ,  $m_A = 25ps$  et  $m_B = 25ps$ .

##### 4.4.3.1 Sensibilité aux variations des paramètres technologiques

Les figures suivantes représentent les dispersions de la période normalisée sous l'influence des dispersions des paramètres technologiques. Elle sont obtenues avec 1000 tirages aléatoires des paramètres du modèle de Charlie 3D pour un écart type fixé à 10% de la valeur moyenne de chaque paramètre. La figure 4.31 représente les dispersions de la période de l'anneau de 9 étages dans ses trois configurations de contrainte, et la figure 4.32 celle des trois anneaux équilibrés. Ces figures confirment l'impact positif de la contrainte sur la robustesse aux variations des paramètres technologiques : plus la contrainte est élevée, plus la distribution de la période est resserrée autour de sa valeur moyenne.

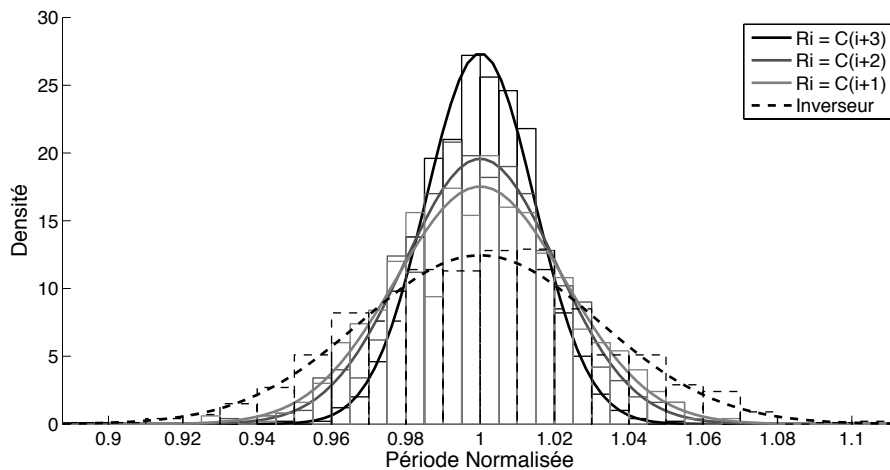


FIGURE 4.31 – Sensibilité aux variations technologiques - Anneaux de 9 étages - Effet de la contrainte

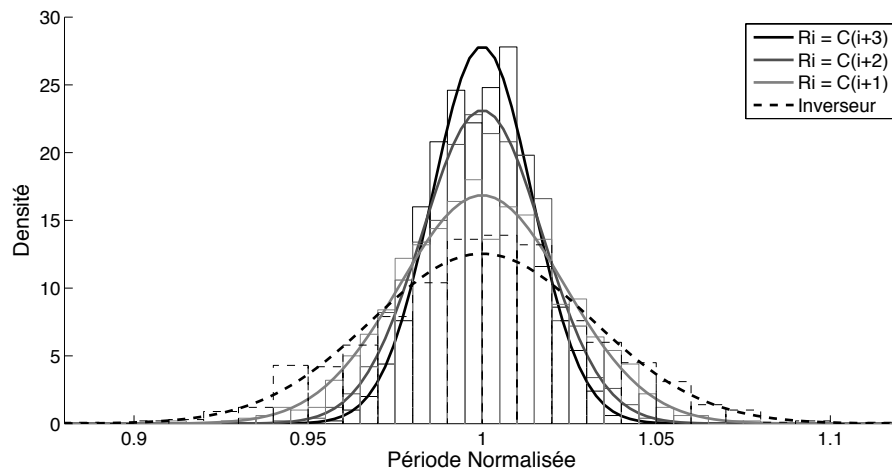


FIGURE 4.32 – Sensibilité aux variations technologiques - Anneaux équilibrés - Effet de la contrainte

#### 4.4.3.2 Sensibilité aux variations de tension

De même, les figures 4.33 et 4.34 représentent les dispersions de la période normalisée sous l'influence des variations rapides de tension. Elles sont obtenues avec des simulations de 10 000 cycles pour lesquelles les paramètres du modèle de Charlie 3D sont tirés aléatoirement à chaque nouveau cycle. L'écart type est à nouveau fixé à 10% de la valeur moyenne de chaque paramètre. Ces simulations confirment l'impact positif de la contrainte sur la robustesse aux variations de tensions : plus la contrainte est élevée, plus la distribution de la période est resserrée autour de la valeur moyenne, ce qui correspond à une diminution de la gigue.

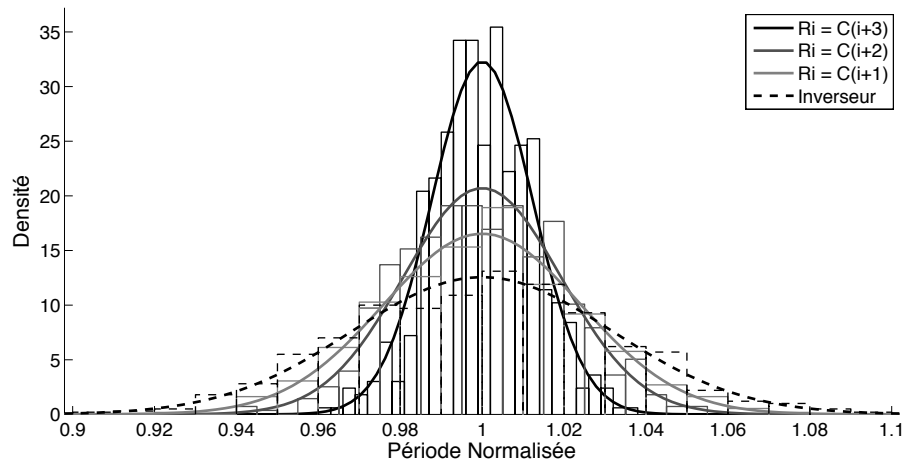


FIGURE 4.33 – Sensibilité aux variations de tension - Contrainte

Ainsi, comme démontré par ces deux séries de simulations, l'application d'une contrainte permet d'améliorer la robustesse des anneaux asynchrones aux variations PVT. En fait, grâce à la contrainte, il est possible de positionner l'attracteur dans une zone du modèle de

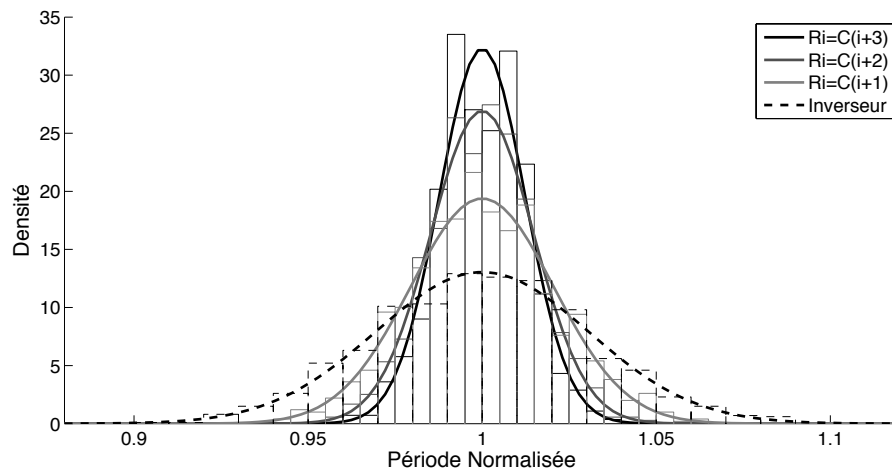


FIGURE 4.34 – Sensibilité aux variations de tension - Contrainte

Charlie 3D où l'effet Charlie est maximisé et l'effet Drafting minimisé. Il faut noter alors que le gain en performance dépendra de l'amplitude et de la durée de l'effet Drafting, et sera d'autant plus important que ce dernier est important.

On souhaite insister à nouveau sur le fait que ces résultats très positifs sont à prendre avec précautions. On rappelle en effet que le modèle utilisé pour obtenir ces résultats est basé uniquement sur le temps de propagation des cellules et ne prend pas en considération des paramètres, comme les temps de montée et de descente des signaux, qui sont pourtant très importants dans l'étude de la sensibilité aux variations PVT.

## 4.5 Conclusions

Ce chapitre présente l'étude théorique réalisée sur les anneaux asynchrones pour implémenter des oscillateurs numériques. Dans un premier temps, le modèle comportemental temporisé développé pour en analyser le fonctionnement et les performances est décrit. Ce modèle est basé sur la combinaison de deux modèles d'abstraction différente : un modèle comportemental de haut-niveau sous forme de graphe d'états, enrichi par des informations temporelles fournies par le modèle de Charlie 3D qui représente le temps de propagation des étages. A l'aide de ce modèle, deux structures d'anneaux asynchrones sont étudiées : les anneaux simples et les anneaux contraints.

Cette étude montre que les anneaux asynchrones permettent d'implémenter des oscillateurs numériques programmables robustes aux variations PVT. En effet, grâce au comportement plus complexe des anneaux asynchrones, il est possible de générer différentes fréquences d'oscillation en injectant plus ou moins de jetons pendant la phase d'initialisation (anneaux simples), ou en modifiant la configuration du chemin d'acquittement (anneaux contraints). D'autre part, la structure complexe des anneaux asynchrones com-

---

binée aux phénomènes analogiques intrinsèquement présents dans les portes de Muller permet de lisser les variations locales de temps de propagation induites par les variations PVT. Les fréquences générées par les anneaux asynchrones sont ainsi plus précises et plus stables que celles générées par les anneaux d'inverseurs classiques.



## Chapitre 5

# Validations expérimentales

### Sommaire

<b>5.1</b>	<b>Introduction</b>	<b>91</b>
<b>5.2</b>	<b>Simulations électriques</b>	<b>92</b>
5.2.1	Architecture de l'étage	92
5.2.2	Caractérisation des paramètres temporels	93
5.2.3	Validation du modèle théorique	94
5.2.4	Sensibilité aux variations des paramètres technologiques	100
5.2.5	Sensibilité aux variations de tension	103
5.2.6	Conclusions	104
<b>5.3</b>	<b>Mesures expérimentales</b>	<b>105</b>
5.3.1	Motivations et contraintes	105
5.3.2	Description fonctionnelle	106
5.3.3	Système de mesure embarqué	109
5.3.4	Entrées, sorties et alimentation	112
5.3.5	Layout - Boîtier	112
5.3.6	Mesures expérimentales	113
5.3.7	Conclusions	115
<b>5.4</b>	<b>Conclusion</b>	<b>116</b>

## 5.1 Introduction

Le but de ce chapitre est de valider expérimentalement l'étude théorique développée dans le chapitre précédent. D'une part, nous avons développé et simulé différents anneaux asynchrones en technologie CMOS 65 nm de STMicroelectronics. Et d'autre part, nous avons réalisé un circuit prototype qui embarque plusieurs types d'anneaux asynchrones en technologie CMOS 130 nm de STMicroelectronics. Ce chapitre présente les résultats et conclusions de ces validations expérimentales.



## 5.2 Simulations électriques

### 5.2.1 Architecture de l'étage

Pour initialiser les étages en fonction du nombre de jetons et de bulles que l'on souhaite injecter, les portes de Muller doivent implémenter un dispositif de *SET* et de *RESET*. Les portes de Muller disponibles dans la bibliothèque TAL (*Tima Asynchronous Library*), basée sur la technologie CMOS 65 nm de STMicroelectronics possèdent soit un *SET*, soit un *RESET*, mais n'implémentent pas les deux à la fois. Une porte de Muller dédiée a donc été développée pour ces simulations électriques. Contrairement à l'implémentation *conventionnelle* utilisée dans la bibliothèque TAL, cette nouvelle cellule est basée sur une implémentation *dynamique* [69]. La figure 5.1(a) représente l'architecture de cette porte de Muller et sa circuiterie d'initialisation. Au lieu d'être assurée par deux inverseurs reboclés, la mémorisation est ici réalisée par la capacité parasite ramenée au noeud *Z*.

Dans le cadre des anneaux asynchrones, la porte de Muller dynamique est particulièrement bien adaptée. En effet, l'étage de mémorisation de l'implémentation conventionnelle est nécessaire quand la durée de mémorisation peut être longue et que le courant de fuite peut provoquer la perte de l'information du noeud interne *Q* (*cf.* figure 4.2). Cette complexité additionnelle n'est pas nécessaire dans le cadre des anneaux asynchrones puisque les étages commutent relativement souvent. Cela permet notamment de diminuer le temps de propagation des étages, et donc d'augmenter sensiblement les fréquences générées.

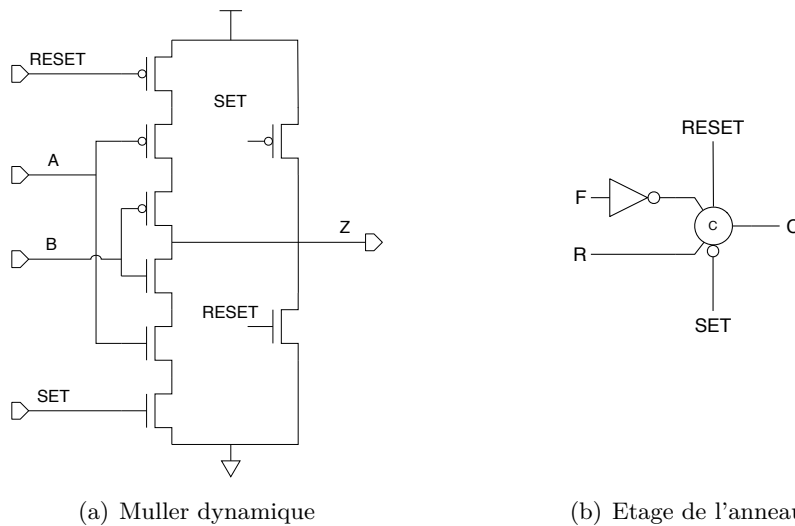


FIGURE 5.1 – Architecture dynamique de la porte de Muller et de l'étage - CMOS 65 nm

On peut noter également que la sortie *Z* de l'implémentation dynamique est inversée par rapport à celle de l'implémentation conventionnelle. L'entrée inversée de l'étage n'est donc plus l'entrée *R* comme précédemment, mais l'entrée *F*. L'architecture de l'étage implémenté avec une porte de Muller dynamique est représentée sur la figure 5.1(b).

### 5.2.2 Caractérisation des paramètres temporels

Pour effectuer une étude comparative entre le modèle théorique et les simulations électriques, il est nécessaire de caractériser les paramètres temporels de l'étage de l'anneau. Pour ce faire, un script automatique fait varier le temps de séparation des entrées ( $s$ ), la durée entre la dernière commutation et l'instant moyen d'arrivée des entrées ( $y$ ), et effectue, pour chaque couple de valeurs, la mesure du temps de propagation de l'étage ( $charlie(s, y)$ ). Le diagramme de Charlie 3D ainsi obtenu est représenté sur la figure 5.2. On peut noter pour ces mesures que les entrées et la sortie de l'étage à caractériser sont chargées comme elles l'auraient été dans un anneau asynchrone.

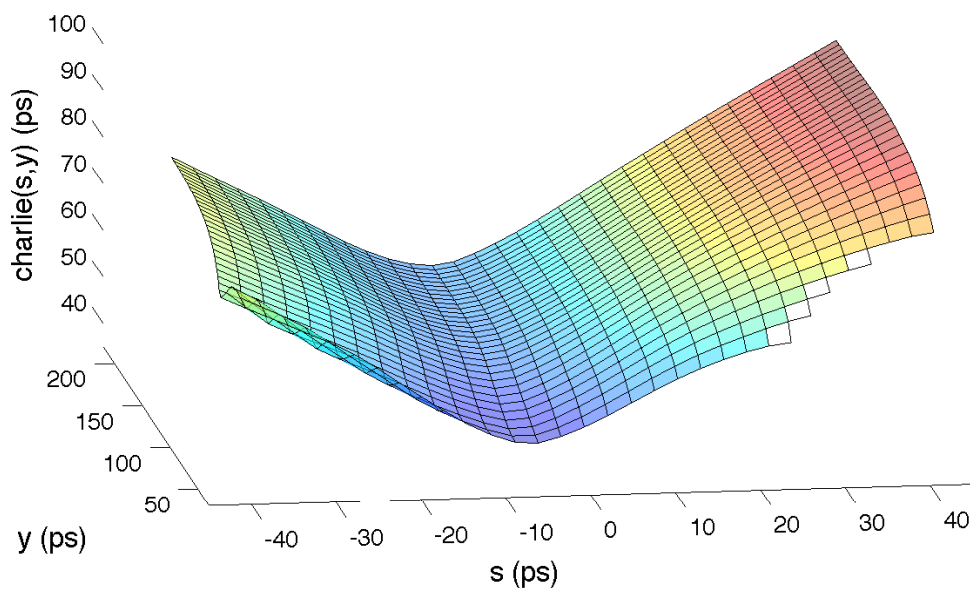


FIGURE 5.2 – Diagramme de Charlie 3D de l'étage - CMOS 65 nm

Tout d'abord, il faut noter que la forme générale du modèle de Charlie 3D obtenue par simulations électriques est conforme à celle du modèle analytique utilisé dans le chapitre 4. Cependant, la figure 5.2 montre que l'effet Drafting ne dépend pas uniquement de  $y$ , comme supposé dans le modèle analytique, mais également de  $s$  (on constate, en effet, que l'effet Drafting est plus important pour les grandes valeurs de  $s$ ). Lors de la caractérisation des paramètres du modèle de Charlie 3D qui sont résumés dans le tableau de la figure 5.3, ce phénomène a été ignoré, et les paramètres de l'effet Drafting ont été estimés uniquement dans la vallée du modèle de Charlie 3D à  $s = s_{min}$ .

$D_{ff}$	$D_{rr}$	$D_{charlie}$	$A$	$B$
50 ps	37 ps	6 ps	20 ps	30 ps

FIGURE 5.3 – Paramètres du Modèle du Charlie 3D d'un étage - CMOS 65 nm

### 5.2.3 Validation du modèle théorique

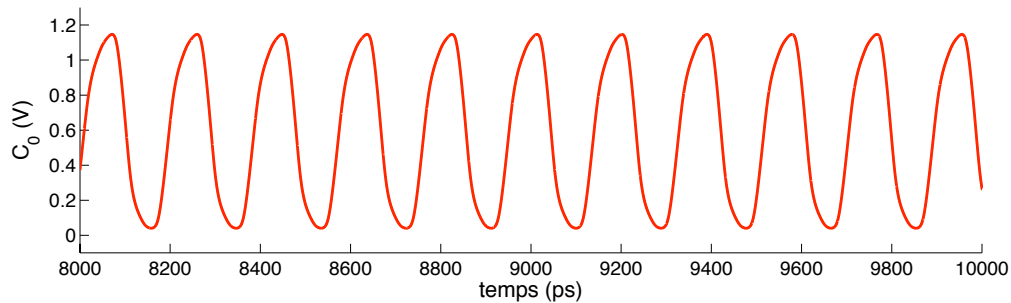
Basées sur la caractérisation des paramètres temporels, différentes configurations d'anneaux asynchrones simples et contraints sont simulées, et les mesures obtenues par simulations électriques sont comparées aux résultats du modèle théorique. Cette étude comparative permet de valider le modèle théorique développé dans le chapitre 4.

#### 5.2.3.1 Anneaux Simples

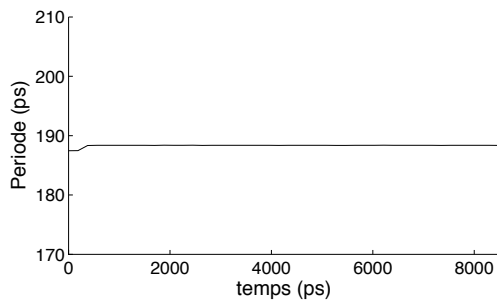
**Anneau de 7 étages - 4 jetons et 3 bulles :** Le premier anneau asynchrone simulé correspond à la configuration équilibrée qui respecte la règle de dimensionnement énoncée dans le paragraphe 4.3.1.3 :

$$\frac{D_{ff}}{D_{rr}} = \frac{50}{37} = 1.35 \approx 1.33 = \frac{4}{3}$$

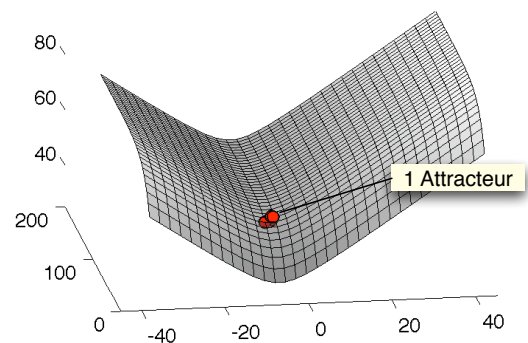
Avec cette configuration, les points de fonctionnement se situent dans la vallée du modèle de Charlie 3D. Cela garantit ainsi le mode de propagation régulier. La figure 5.4(a) représente le chronogramme de la sortie  $C_0$  de l'anneau, et la figure 5.4(c) représente l'évolution des points de fonctionnement obtenus par simulations électriques. On note que, conformément à l'étude théorique, le temps de démarrage de l'anneau est quasiment nul comme montré sur la figure 5.4(b).



(a) Chronogramme de la sortie d'un étage - Propagation régulière



(b) Période d'oscillation en fonction du temps



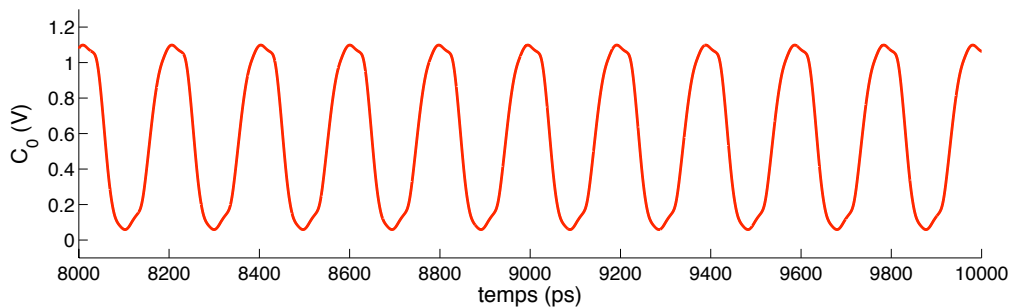
(c) Points de fonctionnement

FIGURE 5.4 – Simulation électrique d'un anneau de 7 étages - 4 jetons et 3 bulles

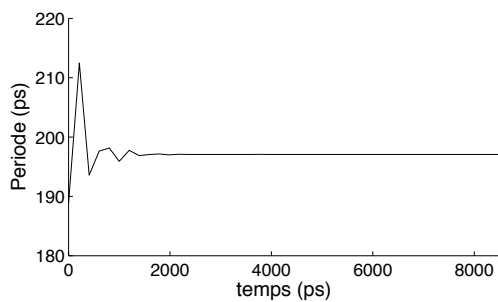
**Anneau de 8 étages - 4 jetons et 4 bulles :** Cette fois, l'anneau asynchrone testé correspond à une configuration qui s'éloigne de la configuration équilibrée mais qui permet tout de même l'établissement du mode de propagation régulier des jetons (*cf.* figure 5.5(a)) :

$$\frac{D_{ff}}{D_{rr}} = \frac{50}{37} = 1.35 > 1 = \frac{4}{4}$$

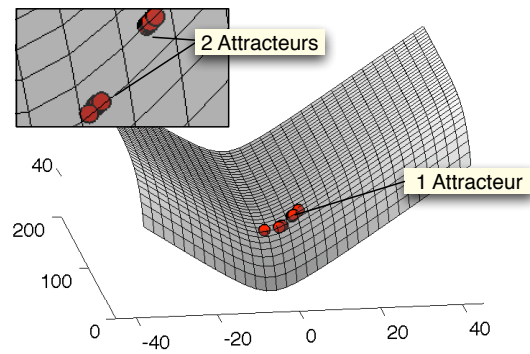
Avec cette configuration, les points de fonctionnement convergent vers un attracteur unique positionné du coté droit de la vallée du modèle de Charlie 3D (coté  $D_{ff}$ ) (*cf.* figure 5.5(c)). En effectuant un zoom autour de cet attracteur, on remarque, tout de même, que les points de fonctionnement oscillent entre deux attracteurs très proches. Cela provient des différences de temps de propagation des étages entre les transitions hautes et les transitions basses. Pour finir, la figure 5.5(b) montre que la durée de l'état transitoire est égale à environ 2 ns.



(a) Chronogramme de la sortie d'un étage - Propagation régulière



(b) Période d'oscillation en fonction du temps



(c) Points de fonctionnement

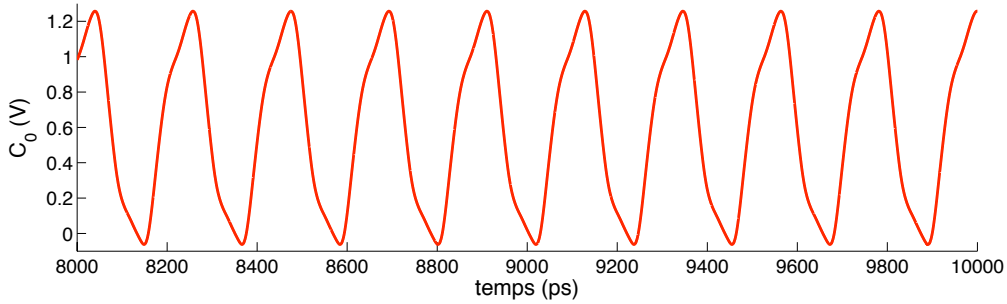
FIGURE 5.5 – Simulation électrique d'un anneau de 8 étages - 4 jetons et 4 bulles

**Anneau de 6 étages - 4 jetons et 2 bulles :** De même que précédemment, l'anneau asynchrone testé correspond à une configuration qui s'éloigne de la configuration équilibrée mais qui permet l'établissement du mode de propagation régulier des jetons (*cf.* figure 5.6(a)). Ici, puisque le rapport du nombre de jetons et de bulles est supérieur au

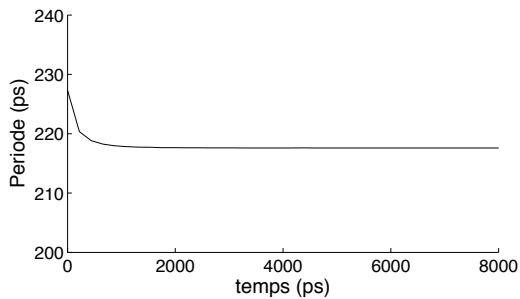
rapport des délais statiques, l'attracteur se situe du coté gauche de la vallée (coté  $D_{rr}$ ).

$$\frac{D_{ff}}{D_{rr}} = \frac{50}{37} = 1.35 < 2 = \frac{4}{2}$$

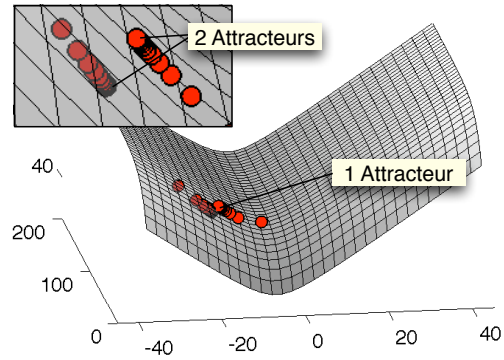
La figure 5.6(c) montre que les points de fonctionnement convergent vers un attracteur unique. De même que pour la configuration à 4 jetons et 4 bulles, un zoom montre qu'il existe en fait deux attracteurs très proches causés par les différences de temps de propagation entre les transitions hautes et basses. Pour finir, la figure 5.6(b) montre un état transitoire sans pseudo-oscillation d'une durée d'environ 1.5 ns.



(a) Chronogramme de la sortie d'un étage - Propagation régulière



(b) Période d'oscillation en fonction du temps



(c) Points de fonctionnement

FIGURE 5.6 – Simulation électrique d'un anneau de 6 étages - 4 jetons et 2 bulles

**Anneau de 9 étages - 4 jetons et 5 bulles :** Ici, l'anneau asynchrone simulé correspond à une configuration trop éloignée de la configuration équilibrée pour permettre l'établissement de la propagation régulière des jetons. C'est alors la propagation en rafale qui s'établit telle que montrée sur la figure 5.7(a).

$$\frac{D_{ff}}{D_{rr}} = \frac{50}{37} = 1.35 > 0.8 = \frac{4}{5}$$

La figure 5.7(c) montre que, dans ce cas, les points de fonctionnement s'éloignent progressivement pour osciller entre deux attracteurs.

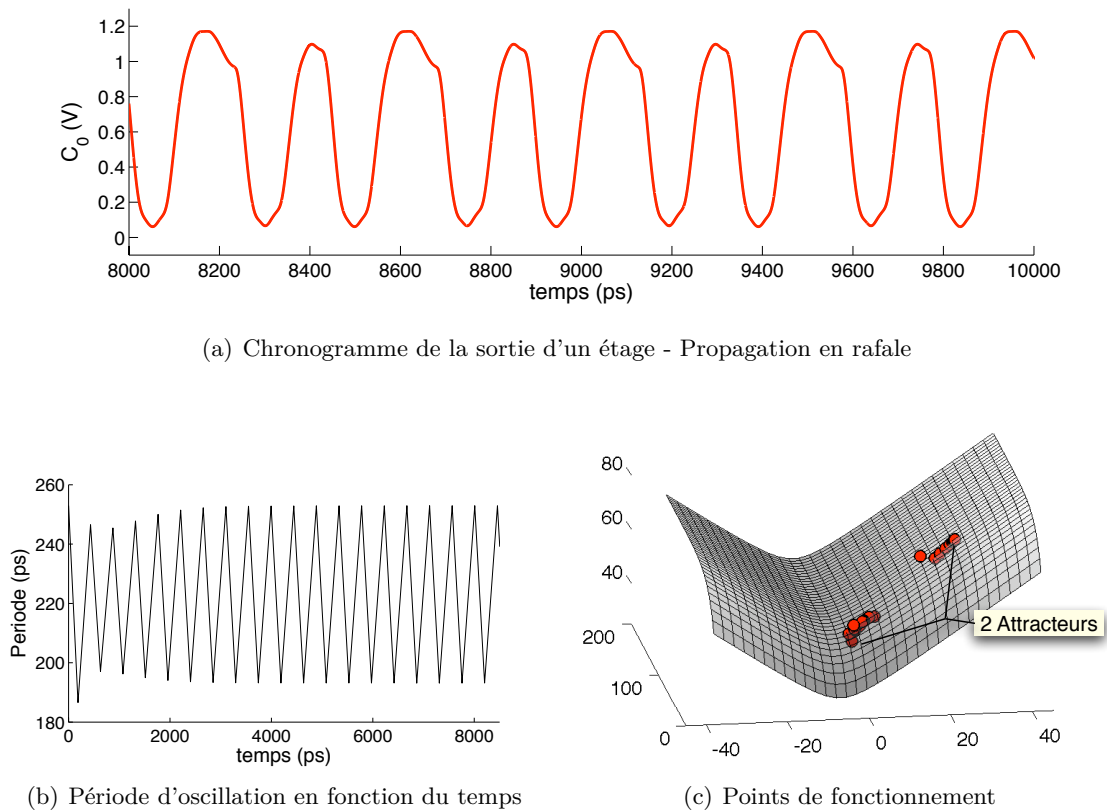


FIGURE 5.7 – Simulation électrique d'un anneau de 9 étages - 4 jetons et 5 bulles

Le tableau de la figure 5.8 résume les mesures obtenues par simulation électrique et les compare aux résultats obtenus par application du modèle théorique. Premièrement, on constate que le mode de propagation atteint par l'anneau est correctement prédit par le modèle théorique pour chaque configuration testée. Deuxièmement, l'erreur d'estimation de la période d'oscillation entre les simulations électriques et les résultats analytiques montre la précision et la pertinence de notre approche pour modéliser les performances des anneaux asynchrones.

Configuration		$N_T = 4$ $N_B = 2$	$N_T = 4$ $N_B = 3$	$N_T = 4$ $N_B = 4$	$N_T = 4$ $N_B = 5$
Simulation	Propagation	régulière	régulière	régulière	en rafale
	Période	219 ps	188 ps	197 ps	193 ps 252 ps
Modèle	Propagation	régulière	régulière	régulière	en rafale
	Période	219 ps	186 ps	199 ps	200 ps 248 ps
Erreur d'estimation		0.0 %	1.0 %	1.0 %	3.5 % 1.6 %

FIGURE 5.8 – Anneaux Simples : Comparaison Modèle théorique vs Simulations Electriques

### 5.2.3.2 Anneaux contraints

**Anneau de 7 étages - non contraint :** Le premier anneau contraint simulé correspond à la configuration sans contrainte -  $R_i = C_{i+1}$ . Dans ce cas, bien que la propagation s'effectue en rafale, le signal reste périodique puisqu'il n'y a que deux jetons qui se propagent. Cependant, ce mode de propagation implique un rapport cyclique différent de 0.5 tel que montré sur la figure 5.9(a). Dans ce cas, les points de fonctionnement oscillent entre deux attracteurs (*cf.* figure 5.9(b)).

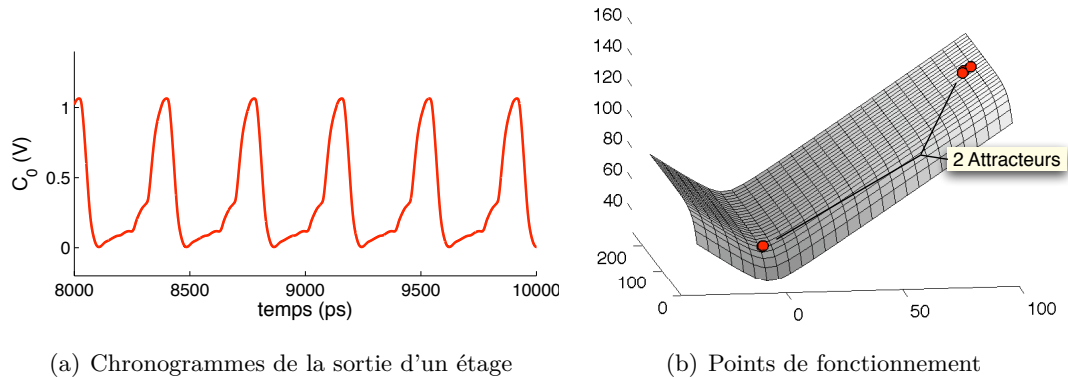


FIGURE 5.9 – Simulation électrique d'un anneau de 7 étages - non contraint

**Anneau de 7 étages - partiellement contraint :** Ici, la contrainte est positionnée à  $R_i = C_{i+2}$ . Conformément aux résultats du modèle théorique, cette configuration partiellement contrainte permet l'établissement d'une propagation régulière. La figure 5.10(a) montre le chronogramme de la sortie de l'étage  $C_0$  de l'anneau. Dans ce cas, on constate que la période d'oscillation est sensiblement identique à la configuration sans contrainte mais que le rapport cyclique est égal à 0.5 (*cf.* tableau 5.12). La figure 5.10(b) montre que les points de fonctionnement convergent vers un attracteur unique (à la précision près des temps de propagation hauts et bas).

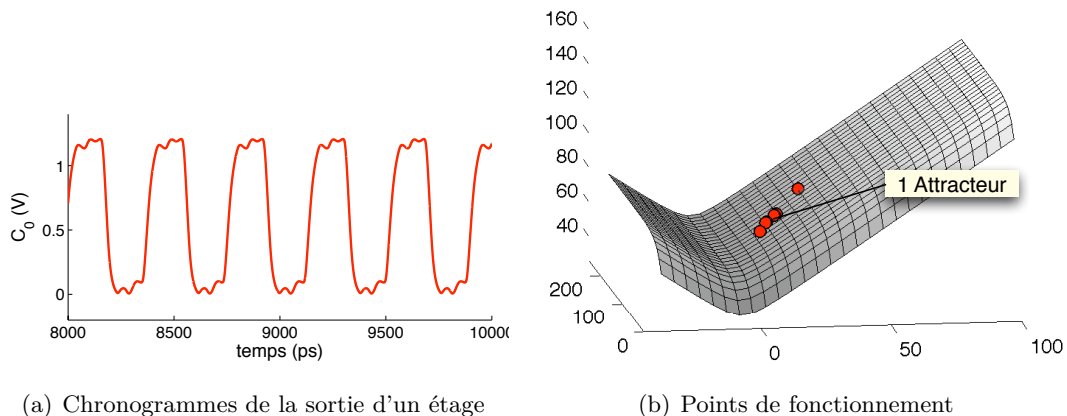


FIGURE 5.10 – Simulation électrique d'un anneau de 7 étages - partiellement contraint

**Anneau de 7 étages - totalement contraint :** Pour finir, la contrainte est positionnée à  $R_i = C_{i+3}$  pour contraindre totalement la propagation des jetons. Dans ce dernier cas, tel que prévu par le modèle théorique, la propagation est régulière dès le démarrage de l'oscillateur comme l'attestent tous les points de fonctionnement groupés sur un attracteur unique (*cf.* figure 5.11(b)). Par contre, dans ce cas, la période d'oscillation est plus longue que celle de la configuration sans contrainte (*cf.* figure 5.11(a)).

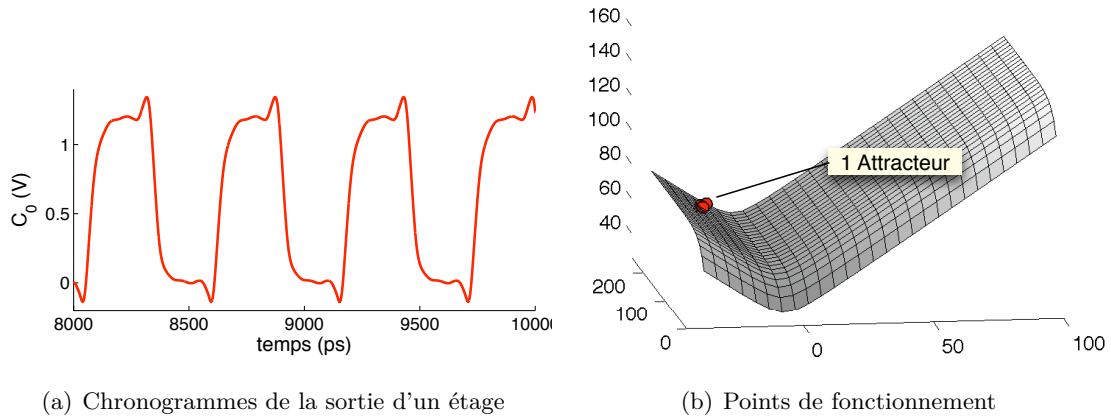


FIGURE 5.11 – Simulation électrique d'un anneau de 7 étages - totalement contraint

Le tableau de la figure 5.12 résume les mesures obtenues par simulation électrique et les compare aux résultats théoriques. De même que précédemment, le modèle permet de prédire correctement le mode de propagation des anneaux asynchrones contraints. Par contre, on note une erreur d'estimation de la période d'oscillation bien plus importante que dans le cas des anneaux simples traités précédemment. Ces erreurs d'estimation sont explicables, notamment, par le manque de précision sur la caractérisation des paramètres de l'effet Drafting. Ce manque de précision est d'autant plus important que les attracteurs sont éloignés de la vallée du modèle de Charlie 3D ( $s \gg s_{min}$ ).

Configuration		$L = 7$ $R_i = C_{i+1}$	$L = 7$ $R_i = C_{i+2}$	$L = 7$ $R_i = C_{i+3}$
Simulation	Propagation	en rafale	régulière	régulière
	Période	378 ps	381 ps	556 ps
Modèle	Propagation	en rafale	régulière	régulière
	Période	351 ps	356 ps	537 ps
Erreur		7.1 %	6.6 %	3.4 %

FIGURE 5.12 – Anneaux contraints : Comparaison Modèle théorique vs Simulations électriques

Cette série de simulations permet de valider notre modèle théorique pour représenter le comportement et analyser les performances des anneaux asynchrones simples et contraints. On souhaite donc maintenant confirmer, à l'aide de simulations électriques, les résultats théoriques relatifs à la sensibilité des anneaux asynchrones aux variations PVT.



### 5.2.4 Sensibilité aux variations des paramètres technologiques

On propose de s'intéresser, dans un premier temps, à l'influence de la dispersion des paramètres technologiques due à la variabilité des procédés de fabrication sur la précision des fréquences générées. Pour cela, des simulations électriques MonteCarlo d'anneaux asynchrones simples et contraints sont effectuées. Les résultats présentés ci-dessous sont obtenus avec 200 tirages MonteCarlo en prenant en compte la variabilité inter-wafer uniquement (*within-die*).

#### 5.2.4.1 Positions de l'attracteur

Pour ces premières séries de simulations MonteCarlo, on s'intéresse à l'influence du positionnement de l'attracteur par rapport à la vallée du modèle de Charlie 3D sur la précision des fréquences générées. La figure 5.13 représente la dispersion de la période normalisée des anneaux asynchrones simples détaillés dans le paragraphe précédent et d'un anneau d'inverseurs qui oscille sensiblement à la même période (anneau de 9 inverseurs oscillant à 199 ps).

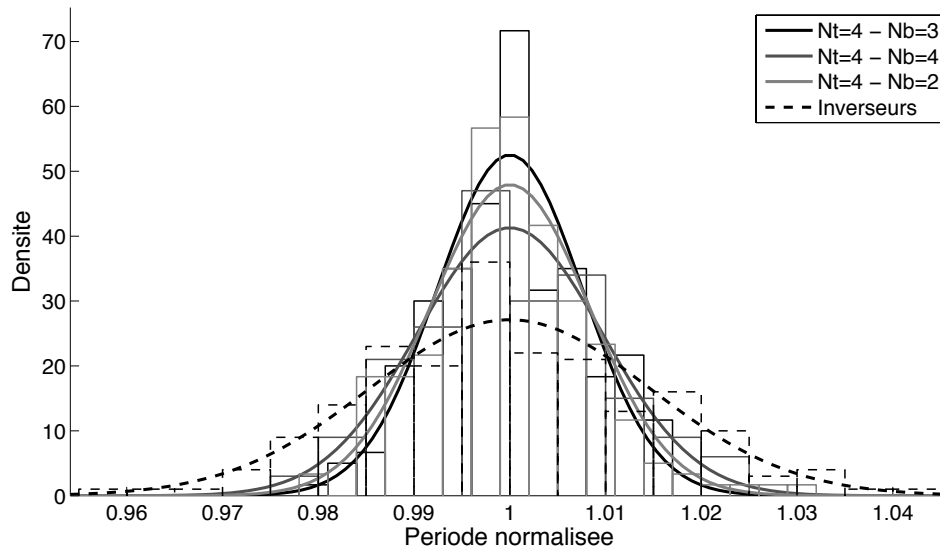


FIGURE 5.13 – Sensibilité aux variations technologiques - Positions de l'attracteur

Cette première série de simulations MonteCarlo confirme nos résultats théoriques en montrant que plus l'attracteur est proche de la vallée du modèle de Charlie 3D, plus la distribution de la période est recentrée autour de sa valeur moyenne. De plus, à périodes d'oscillation équivalentes (189 ps contre 199 ps), l'écart-type sur la période d'un anneau asynchrone est environ deux fois plus petit que celui d'un anneau d'inverseurs (1.43 ps contre 2.94 ps).

### 5.2.4.2 Nombres d'étages

On a vu que la période d'oscillation d'un anneau asynchrone ne dépend pas directement du nombre d'étages qui le composent mais du rapport des nombres de jetons et de bulles qui s'y propagent. Il semble alors intéressant d'évaluer l'influence du nombre d'étages, à rapport jetons-bulles constant, sur la précision des fréquences générées. La figure 5.14 représente la distribution de la période normalisée des trois configurations d'anneaux asynchrones équivalentes suivantes :  $N_T = 2$  &  $N_B = 1$ ,  $N_T = 4$  &  $N_B = 2$  et  $N_T = 6$  &  $N_B = 3$ .

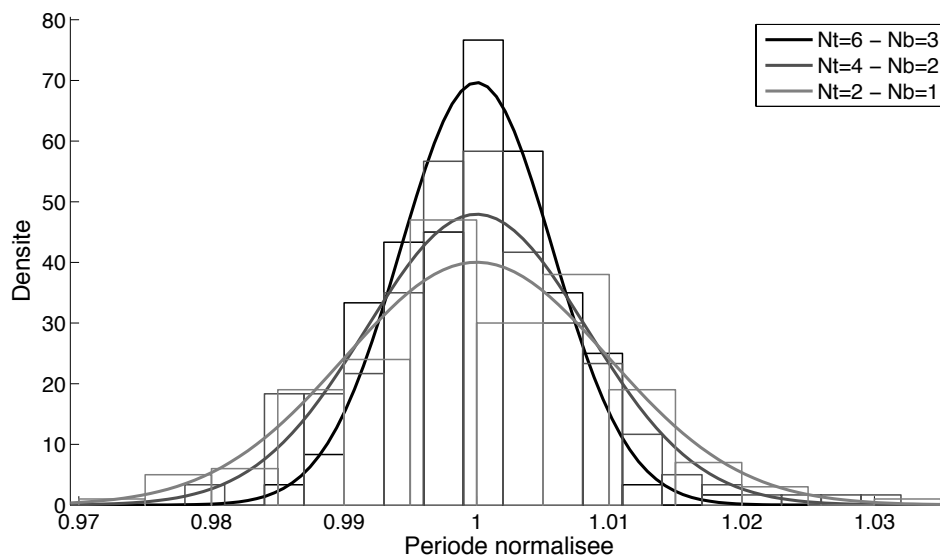


FIGURE 5.14 – Sensibilité aux variations technologiques - Nombres d'étages

Cette nouvelle série de simulations MonteCarlo montre que plus le nombre d'étages est important, plus la distribution de la période est resserrée autour de la valeur moyenne. En fait, les différences de temps de propagation sont moyennées sur le nombre d'étages. Cela permet d'améliorer de manière significative la précision des fréquences générées. On peut remarquer que ce moyennage des temps de propagation n'est pas spécifique aux anneaux asynchrones et qu'il existe également pour les anneaux d'inverseurs. Cependant, il existe une différence majeure entre les deux types d'oscillateurs puisque, dans un cas, la période d'oscillation est directement proportionnelle aux nombres d'étages alors que dans l'autre cas, elle dépend du rapport des nombres de jetons et de bulles injectés dans l'anneau. Cela implique qu'il est possible d'améliorer la précision en fréquence des anneaux asynchrones en augmentant le nombre d'étages sans diminuer la fréquence d'oscillation. Cette différence de fonctionnement fondamentale est un des avantages importants des anneaux asynchrones pour implémenter des oscillateurs numériques rapides et robustes aux variations technologiques.

### 5.2.4.3 Contraintes

Pour finir, on souhaite évaluer l'effet de la contrainte sur la précision des fréquences générées. La figure 5.15 représente la distribution de la période d'oscillation de l'anneau asynchrone de 7 étages non-contraint, partiellement contraint et totalement contraint tel que testé dans le paragraphe précédent.

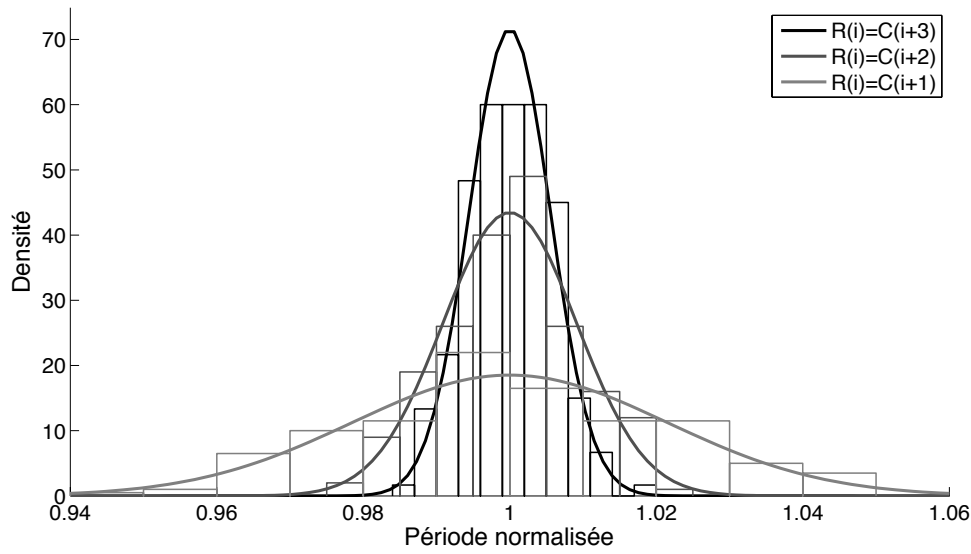


FIGURE 5.15 – Sensibilité aux variations technologiques - Contraintes

Cette dernière série de simulations MonteCarlo montre à nouveau clairement l'influence positive de la contrainte sur la distribution de la période d'oscillation : plus l'anneau est contraint, plus la distribution de la période est resserrée autour de la valeur moyenne. Ici, c'est la combinaison de deux phénomènes qui permet d'expliquer cette remarquable amélioration. D'une part, comme montrée dans l'étude théorique, en contraignant la propagation des jetons, le ou les attracteurs sont repoussés vers les valeurs importantes de  $y$  pour lesquelles l'influence de l'effet Drafting devient faible ou négligeable. D'autre part, la structure contrainte permet de réaliser un moyennage des temps de propagation. En effet, le nombre d'étages inclus dans la boucle d'acquiescement est plus ou moins grand en fonction de la contrainte. Par exemple, pour l'anneau de 7 étages simulé ici, la boucle d'acquiescement est formée de seulement 1 étage dans le cas sans contrainte (étage  $i + 1$ ), alors qu'elle est formée de 2 ou 3 étages dans les cas partiellement et totalement contraints (étages  $i + 1$  et  $i + 2$ , ou étages  $i + 1$ ,  $i + 2$  et  $i + 3$ )... Ainsi, la vitesse de propagation du jeton dans la boucle d'acquiescement est moyennée sur le nombre d'étages déterminé par la contrainte. Il faut alors remarquer que, grâce à cette structure originale, ce moyennage des différences de temps de propagation est réalisé sans augmenter le nombre d'étages global mais uniquement par une modification de la structure du chemin d'acquiescement, et donc sans impacter sur la surface de l'oscillateur. Il faut remarquer de plus, que, dans le cas

des anneaux partiellement contraints, ce moyennage est réalisé sans pénaliser la période d'oscillation.

Ces simulations MonteCarlo confirment les résultats théoriques présentés dans le chapitre 4 et démontrent à nouveau la pertinence de l'approche asynchrone pour implémenter des oscillateurs numériques robustes aux variations des paramètres technologiques. On souhaite maintenant s'intéresser à la sensibilité des anneaux asynchrones aux variations rapides de tension.

### 5.2.5 Sensibilité aux variations de tension

Pour étudier cette caractéristique, nous proposons d'ajouter à la tension d'alimentation continue ( $V_{dd}$ ) un bruit blanc gaussien afin de simuler les ondulations parasites d'alimentation («*ripple*»). La figure 5.16 représente la distribution de la période normalisée de trois anneaux asynchrones simples ( $N_T = 4$  &  $N_B = 2$ ,  $N_T = 4$  &  $N_B = 3$  et  $N_T = 4$  &  $N_B = 4$ ) et d'un anneau de 9 inverseurs, tels que déjà testés précédemment. Pour ces simulations électriques, le bruit blanc ajouté sur l'alimentation correspond à un *ripple* d'environ 10 mV.

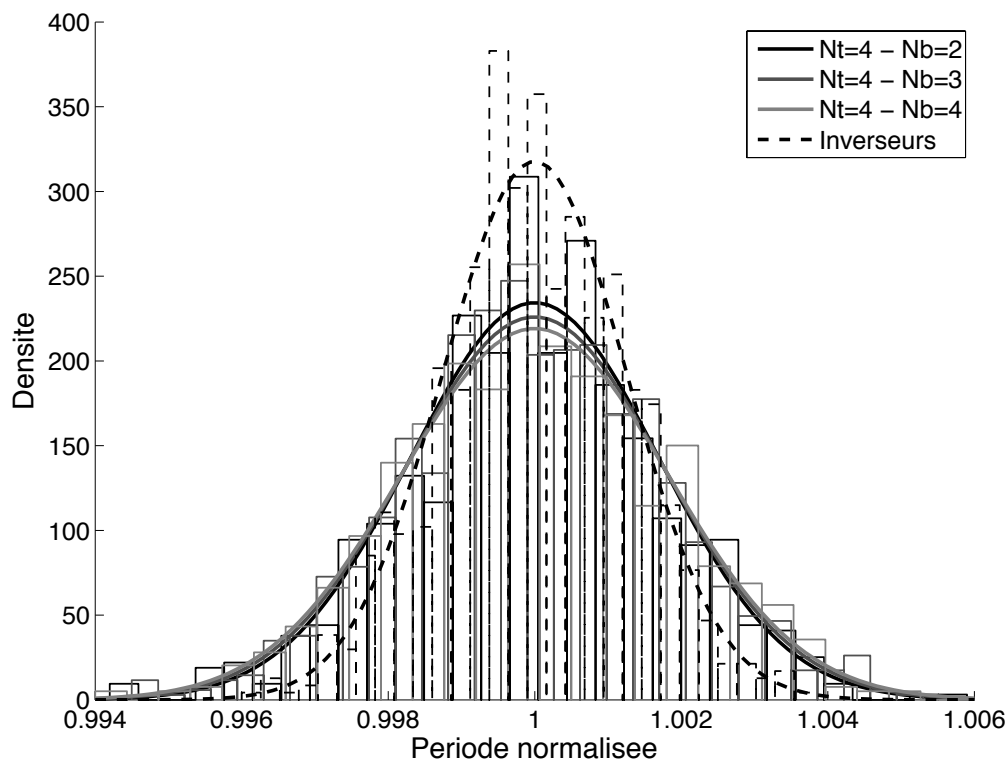


FIGURE 5.16 – Sensibilité aux variations de tensions

Contrairement à nos résultats théoriques, la distribution de la période est plus resserrée pour l'anneau d'inverseurs que pour les anneaux asynchrones, et on ne note pas de dif-

férences significatives entre les différentes configurations d’anneaux asynchrones. En fait, comme déjà noté dans le chapitre 4, notre modélisation, basée uniquement sur les délais de propagation, n’est pas réellement adaptée à l’étude de la sensibilité aux variations rapides de tension. En effet, un autre phénomène, plus important, masque les bénéfices de la structure auto-régulée des anneaux asynchrones. Les travaux de Ali Hajimiri montrent en effet que la sensibilité des oscillateurs en anneaux (d’inverseurs) aux variations de tension est proportionnelle à la durée des transitions positives et négatives [30, 29]. L’observation de la figure 5.17 permet d’expliquer simplement ce phénomène : si une impulsion survient pendant la durée de la saturation, elle est filtrée et ne modifie pas le délai de propagation. Par contre, si elle survient pendant les transitions hautes ou basses, elle provoque une commutation anticipée ou retardée de la porte, et donc, impacte le délai de propagation. Ainsi, il est possible de définir des zones de sensibilité aux variations de tension qui correspondent aux phases de transitions. Plus celles-ci sont longues, plus l’anneau est sensible aux variations de tension. La figure 5.18 montre la forme des signaux générés par un anneau d’inverseurs et par un anneau asynchrone. On constate que les zones de sensibilité aux variations de tension sont bien plus étendues pour les anneaux asynchrones que pour les anneaux d’inverseurs. Cela explique pourquoi les anneaux asynchrones (simulés ici) sont plus sensibles aux variations de tension que les anneaux d’inverseurs.

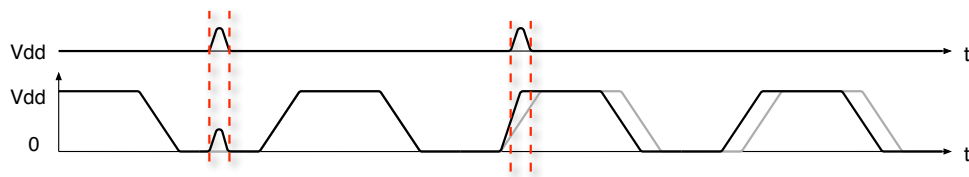


FIGURE 5.17 – Effets d’une impulsion pendant les phases de saturation ou de transition

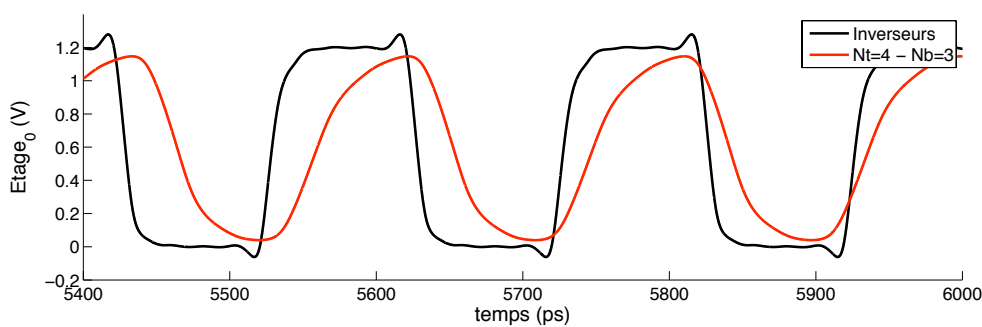


FIGURE 5.18 – Chronogrammes de la sortie d’un étage d’un anneau d’inverseurs et d’un anneau asynchrone

## 5.2.6 Conclusions

Ces différentes simulations électriques permettent de valider le modèle développé dans le chapitre 4 pour représenter le comportement et étudier les performances des anneaux asynchrones. Elles confirment également la pertinence de l’approche asynchrone pour

concevoir des oscillateurs numériques robustes aux variations de paramètres technologiques. En effet, plusieurs stratégies peuvent être appliquées et combinées pour implémenter des oscillateurs robustes à ce type de variations. Premièrement, on a vu qu'un choix judicieux des nombres de jetons et de bulles en fonction des délais statiques permet de positionner les points de fonctionnement à proximité de la vallée du modèle de Charlie 3D où l'effet Charlie permet de lisser les variations des temps de propagation. Deuxièmement, on a montré qu'il est possible d'améliorer significativement la précision en fréquence par un moyennage des différences de temps de propagation des étages. Ce moyennage peut être réalisé soit en augmentant globalement le nombre d'étages, soit en augmentant simplement la valeur de la contrainte. Dans ce deuxième cas, le moyennage est alors réalisé localement dans la boucle d'acquiescement sans surcoût matériel.

Par contre, ces simulations électriques montrent également que notre modèle théorique n'est pas adapté à l'étude de la sensibilité des oscillateurs en anneau aux variations rapides de tension. En effet, la sensibilité à ce type de variations est majoritairement gouvernée par la durée des transitions hautes et basses. Pour améliorer la robustesse aux variations rapides de tension des anneaux asynchrones étudiés dans ce chapitre, il serait donc nécessaire de développer une cellule de Muller à pentes raides. Cette étude analogique complémentaire n'a pas été réalisée au moment de la rédaction de ce manuscrit, ce qui nous empêche de statuer définitivement sur la qualité des anneaux asynchrones sur ce critère. Malgré tout, on peut raisonnablement espérer, sous condition de cette modification des cellules de Muller, que la structure auto-régulée des anneaux asynchrones, qui permet de lisser les variations des temps de propagation, offrira une robustesse accrue à ce type de variations.

## 5.3 Mesures expérimentales

Cette nouvelle section décrit le fonctionnement du circuit prototype et présente les résultats des mesures expérimentales.

### 5.3.1 Motivations et contraintes

Le circuit prototype, réalisé avec les cellules standards des bibliothèques CORE9GPLL et TALLIBH9LL basées sur la technologie HCMOS9 CMOS 130 nm de STMicroelectronics, a été conçu dans le but de valider, sur silicium, le fonctionnement et les performances des anneaux asynchrones tels qu'étudiés dans le chapitre 4. Plus particulièrement, on souhaite montrer qu'il est possible de générer différentes fréquences d'oscillation par configuration du nombre de jetons et de bulles injectés dans l'anneau pendant la phase d'initialisation, ou par application d'une contrainte sur le chemin d'acquiescement. On souhaite également vérifier qu'il est possible de contrôler les modes d'oscillation (propagation régulière ou en rafale) en choisissant les nombres de jetons et de bulles ou en contraignant structurellement leur propagation. Pour finir, on souhaite évaluer la robustesse des anneaux asynchrones aux variations PVT. Pour ce faire, le circuit de test implémente différents oscillateurs en

anneaux et un système de mesure embarqué. En effet, avec la technologie utilisée, les fréquences d'oscillation des anneaux asynchrones sont de l'ordre de 1 GHz alors que la bande passante des plots de sortie n'est que de 100 MHz. Il est donc nécessaire d'implémenter un dispositif qui assure la division des fréquences d'oscillation à des valeurs compatibles avec les plots de sortie, mais qui permet cependant l'observation fine des comportements et des performances des anneaux asynchrones.

### 5.3.2 Description fonctionnelle

On propose, tout d'abord, de présenter l'implémentation et le fonctionnement des oscillateurs en anneau, puis, dans un deuxième temps, le fonctionnement du système de mesure embarqué.

#### 5.3.2.1 Oscillateurs en anneau

**Anneau asynchrone configurable de 12 étages :** L'architecture de l'étage configurable est décrit sur la figure 5.22. Il se compose d'une porte de Muller avec *RESET* actif au niveau bas, d'un multiplexeur sur l'entrée *F* et d'un multiplexeur-inverseur sur l'entrée *R*. Un buffer de sortance X8 a été inséré sur la sortie pour permettre de connecter plusieurs blocs de mesure sur la sortie de l'étage *OUTX8* sans modifier les paramètres temporels de l'étage. Les entrées sélectionnées sont *FA* et *RA* quand *MODE* = 0, ou *FB* et *RB* quand *MODE* = 1.

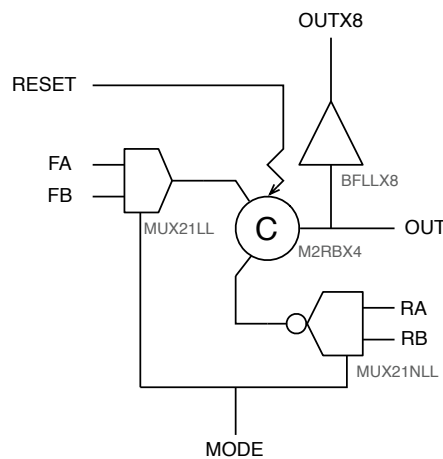
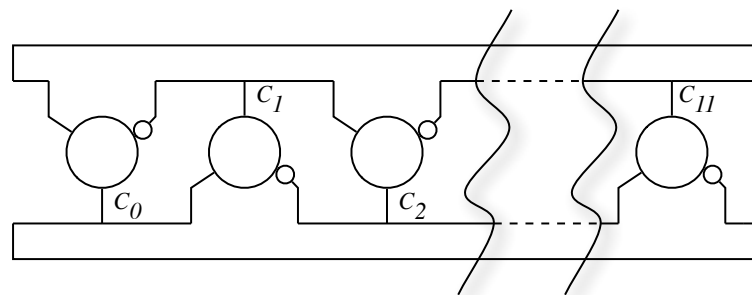


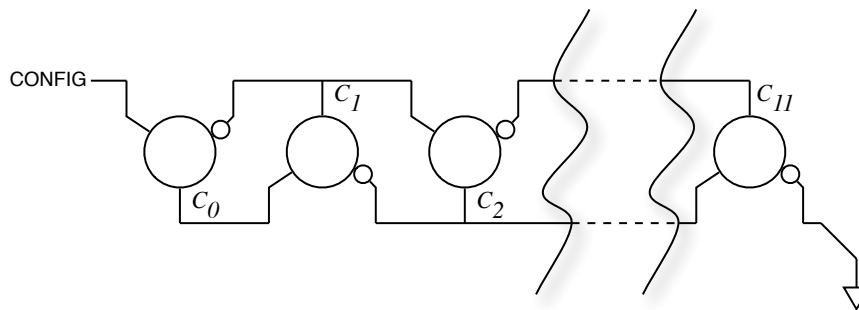
FIGURE 5.19 – Architecture de l'étage configurable - CMOS 130 nm

L'anneau asynchrone configurable est composé de 12 étages. L'entrée *FA* de chaque étage est connectée à la sortie de l'étage précédent, et l'entrée *RA* est connectée à la sortie de l'étage suivant. Ainsi, quand l'entrée de configuration *MODE* = 0, on retrouve la structure classique des anneaux asynchrones simples telle que représentée sur la figure 5.20(a). De même, l'entrée *FB* de l'étage 0 est connectée à l'entrée de configuration *CONFIG*, et l'entrée *RB* de l'étage 11 est connectée à *GND*. Les entrées *FB* et *RB* des autres étages sont toutes connectées à *FA* et *RA* respectivement. Ainsi, lorsque *MODE* = 1, l'anneau

est ouvert et forme un micropipeline tel que décrit sur la figure 5.20(b).



(a)  $MODE = 0$  - Oscillation



(b)  $MODE = 1$  - Configuration

FIGURE 5.20 – Modes de fonctionnement de l'anneau asynchrone

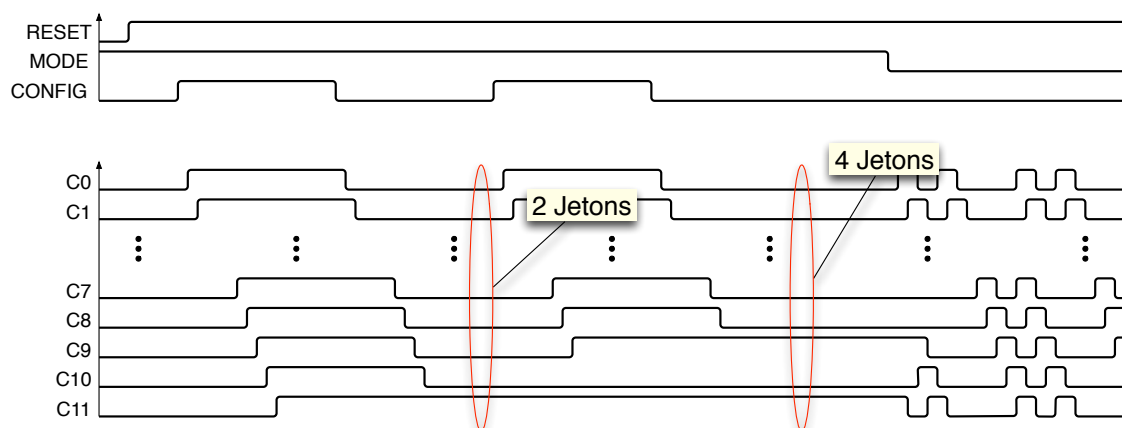


FIGURE 5.21 – Chronogramme : Création de 4 jetons

Après avoir initialisé tous les étages à 0 avec le *RESET*, la phase de configuration consiste à injecter le nombre voulu de jetons dans l'anneau. Pour ce faire, l'entrée *MODE* est mise à 1 et l'on génère sur l'entrée *CONFIG* un nombre de transitions égal au nombre de jetons à injecter : la première transition positive (de 0 vers 1) se propage jusqu'au dernier étage 11 qui mémorise la valeur 1. La transition négative suivante (de 1 vers 0) se propage



de la même manière à travers le micropipeline jusqu'à être bloquée à l'avant-dernier étage qui mémorise alors la valeur 0. Ces deux transitions successives créent ainsi deux jetons qui s'empilent dans les étages 10 et 11. Si de nouvelles transitions sont générées sur l'entrée *CONFIG*, alors, de nouveaux jetons sont créés et s'empilent progressivement sur les jetons déjà présents. Ainsi, en contrôlant le nombre de transitions du signal *CONFIG*, on contrôle le nombre de jetons dans l'anneau. Une fois configuré avec le nombre de jetons voulu, l'oscillateur peut être démarré en positionnant *MODE* à 0 pour fermer l'anneau. La figure 5.21 représente le chronogramme de la phase de configuration pendant laquelle 4 jetons sont injectés dans l'anneau. On remarque que l'entrée *CONFIG* n'est pas acquittée. Il faut donc prendre soin de respecter un délai minimum entre deux transitions du signal *CONFIG* pour permettre aux jetons de traverser le premier étage.

**Anneau asynchrone contraint et configurable de 10 étages :** L'architecture de l'étage de l'anneau contraint et configurable est décrit sur la figure 5.22. Il s'agit de l'architecture générale de l'étage contraint implémenté avec deux portes de Muller à 2 entrées telle qu'étudiée dans le paragraphe 4.4.1, enrichie par trois multiplexeurs de configuration. On rappelle que l'étude comportementale a montré que cette implémentation à deux portes de Muller présente l'inconvénient de ne pas garantir le respect des règles de propagation des jetons quels que soient les délais de propagation des étages. Malheureusement, ce problème comportemental n'a été relevé qu'après la conception de ce circuit prototype. Cependant, pour rester cohérent avec l'étude théorique, nous proposons de nous limiter aux configurations à deux jetons dans les mesures expérimentales présentées ci-après.

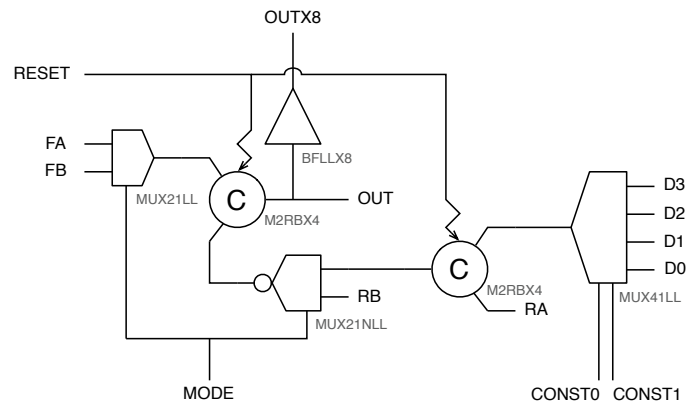


FIGURE 5.22 – Architecture de l'étage configurable - CMOS 130 nm

De même que pour l'étage configurable du paragraphe précédent, l'entrée *MODE* permet d'ouvrir ou de fermer l'anneau asynchrone, et l'entrée *CONFIG* sert à injecter le nombre de jetons voulu. Les deux entrées *CONST0* et *CONST1* permettent, quant à elles, de sélectionner l'étage de contrainte.

Par ailleurs, le circuit de test implémente également 5 autres oscillateurs en anneau tels que décrit ci-dessous :

- 2 anneaux asynchrones de 23 étages : Les nombres de jetons et de bulles ont été choisis de manière optimisée au moment de la conception en terme de qualité fréquentielle. Un premier anneau a été « placé / routé » manuellement, alors que le second a été « placé / routé » automatiquement, afin d'évaluer l'impact des différences de temps de propagation (introduites par les interconnexions de longueurs différentes dans le cas d'un placement routage automatique) sur la qualité fréquentielle de l'oscillateur.
- 2 anneaux de 23 inverseurs : Ceux sont les deux oscillateurs qui nous serviront de référence pour qualifier les performances des oscillateurs asynchrones dans le cas d'un placement routage manuel ou automatique.
- 1 anneau asynchrone contraint et configurable de 10 étages : Ce dernier anneau présente les mêmes caractéristiques que l'anneau précédemment décrit, mais il a été routé manuellement afin d'évaluer l'impact de la contrainte sur les variations des temps de propagation.

Cependant, comme expliqué dans le paragraphe 5.3.6, l'environnement de test ne permet pas (pour l'instant) d'effectuer des mesures pertinentes de stabilité. Nous proposons donc de ne pas détailler plus avant le fonctionnement et l'implémentation de ces oscillateurs en anneau dans ce manuscrit.

### 5.3.3 Système de mesure embarqué

#### 5.3.3.1 Diviseur de fréquence par 16 :

Le premier dispositif du système de mesure embarqué est un diviseur de fréquence par 16 dont l'architecture est décrite sur la figure 5.23. Il s'agit d'un diviseur de fréquence classique à base de bascules D. La sortie *OUTX8* de l'anneau à mesurer est connectée à l'entrée *DIVIDERIN*, et la sortie *DIVIDEROUT* est connectée à un plot de sortie.

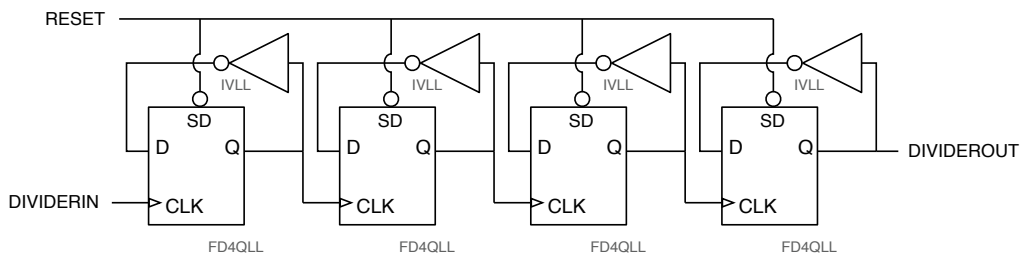


FIGURE 5.23 – Architecture du diviseur de fréquence par 16 - CMOS 130 nm

### 5.3.3.2 Désérialiseur de transitions :

Le diviseur de fréquence par 16, décrit ci-dessus, rend compatible la fréquence du signal *DIVIDEROUT* avec la bande passante des plots de sortie. Par contre, ce dispositif masque la forme du signal *OUTX8* de l'oscillateur à mesurer. Pour observer les modes de propagation des anneaux asynchrones, un *désérialiseur* de transitions a donc été conçu et intégré au système de mesure. L'architecture de ce dispositif est décrite sur la figure 5.24. L'entrée *EVENTIN* est connectée à la sortie *OUTX8* de l'anneau à mesurer, et les sorties *EVENT[0..7]* sont connectées à des plots de sortie. Le fonctionnement du *désérialiseur* de transitions est représenté par le chronogramme de la figure 5.25 : chaque transition du signal *EVENTIN* provoque successivement la commutation des sorties *EVENT<sub>i</sub>*. Ainsi, la fréquence des signaux *EVENT[0..7]* est compatible avec la bande passante des plots de sortie, et il est possible de reconstruire la forme du signal interne en recombinaison des différentes sorties *EVENT[0..7]*.

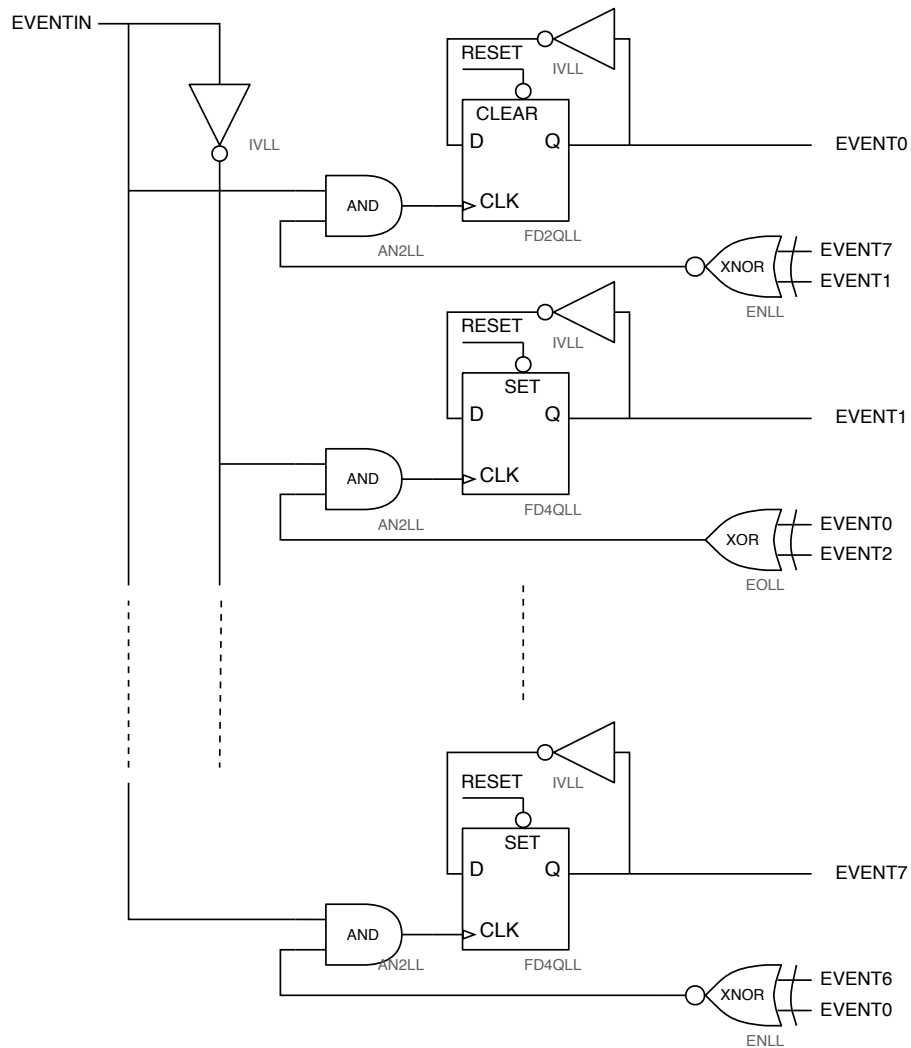


FIGURE 5.24 – Architecture du désérialiseur de transitions - CMOS 130 nm

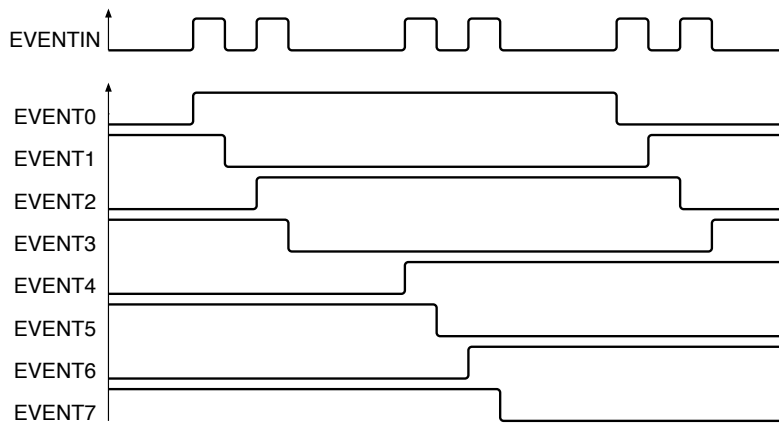


FIGURE 5.25 – Chronogrammes du désérialiseur de transitions

### 5.3.3.3 Echantillonneur Vernier :

De même, la gigue du signal *OUTX8* de l'oscillateur à mesurer est masquée par le diviseur de fréquence par 16. On propose donc d'implémenter un échantillonneur *Vernier* pour effectuer les mesures de stabilité. Cet échantillonneur est tout simplement composé d'une bascule D connectée sur le signal *OUTX8* et activée par le signal d'horloge externe *VERNIERCLK*. Le principe d'un échantillonneur Vernier consiste à échantillonner un signal périodique de période  $T_s$  par un signal de période  $T_e = k \times T_s + \Delta$ . La résolution de mesure est alors égale à  $\Delta$ . Le chronogramme de la figure 5.26 illustre le fonctionnement de cet échantillonnage pour  $k = 1$  : l'instant d'échantillonnage se décale progressivement de  $\Delta$  à chaque nouvelle période. L'intégralité du signal périodique est ainsi scannée à la résolution de  $\Delta$ .

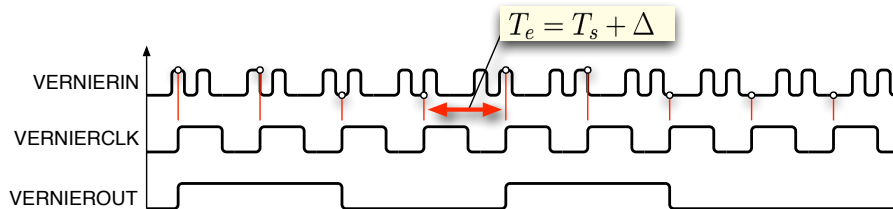


FIGURE 5.26 – Chronogrammes de l'échantillonneur Vernier

Avec une valeur de  $\Delta$  suffisamment faible, il est possible d'échantillonner le signal de sortie de l'oscillateur plusieurs fois consécutivement dans la zone de commutation, et ainsi de délimiter une zone de gigue. En effet, le résultat de l'échantillonnage du signal *VERNIERIN*, au moment précis où il commute, est aléatoire à cause de la gigue. Cela se traduit par une succession de commutations rapides et aléatoires sur le signal *VERNIEROUT* comme illustré sur la figure 5.27. La durée pendant laquelle apparaissent ces commutations aléatoires est une image de la gigue de l'oscillateur.

Il est important de souligner que le principe de l'échantillonnage Vernier est, en pratique, difficile à mettre en oeuvre, et nécessite des appareils de mesures particulièrement

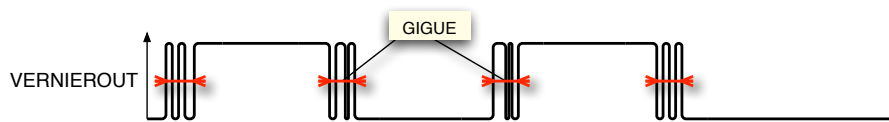


FIGURE 5.27 – Echantillonneur Vernier : Mesure de la gigue

performants. D'une part, pour que le signal *VERNIEROUT* soit exploitable, il est nécessaire de générer une horloge d'échantillonnage parfaitement accordée sur un multiple de la fréquence d'oscillation. D'autre part, la mesure de la gigue dépend autant de la qualité du signal échantillonné que celle du signal d'échantillonnage. Pour ce type de mesures, il est donc nécessaire d'utiliser un fréquencemètre et un générateur de signaux extrêmement précis et d'une très grande stabilité.

### 5.3.4 Entrées, sorties et alimentation

Le circuit comporte 9 entrées. En plus des 6 entrées de configurations déjà détaillées (*RESET*, *MODE*, *CONFIG*, *CONST*[0..1] et *VERNIERCLK*), 3 entrées servent à sélectionner un des oscillateurs (*SELECT*[0..2]). Par ailleurs, le circuit présente 10 sorties : la sortie du diviseur de fréquence (*DIVIDEROUT*), les 8 sorties du désérialiseur de transitions (*EVENT*[0..7]), et la sortie de l'échantillonneur Vernier (*VERNIEROUT*). Pour finir, cinq plots assurent l'alimentation du circuit : un plot *VDD1V2* pour l'alimentation du coeur en 1.2 V, deux plots *VDD2V5* pour l'alimentation de la couronne de plots en 2.5 V, et deux plots *GND* pour la masse.

### 5.3.5 Layout - Boîtier

La figure 5.28(a) montre le layout du circuit. La surface globale est définie par la couronne de plots (*pad-limited*). La dimension de la couronne de plots est de  $743 \times 743 \mu\text{m}$ , alors que le coeur du circuit est de  $164 \times 164 \mu\text{m}$  pour une surface totale de  $0.55 \text{ mm}^2$ . Nous avons choisi le boîtier QFN24 pour les caractéristiques qu'il présente pour les circuits hautes fréquences. Les figures 5.28(b) et 5.28(c) présentent le circuit nu et le circuit mis en boîtier.

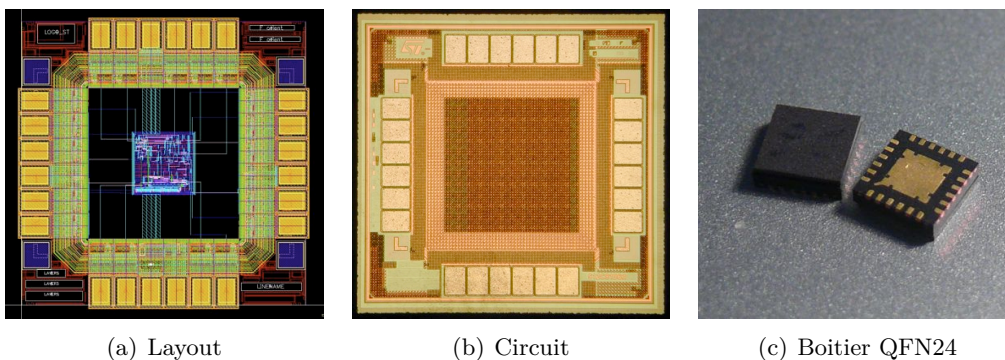


FIGURE 5.28 – Layout et Photos du Circuit Prototype - CMOS 130 nm

### 5.3.6 Mesures expérimentales

Comme souligné précédemment, la mesure de performances en stabilité des oscillateurs en anneau est une mesure délicate à effectuer qui nécessite des appareils de mesures particulièrement performants (notamment au niveau du fréquencemètre et du générateur de signaux). La plate-forme de test de circuits numériques du «*CIME Nanotech*» de Grenoble (Centre Interuniversitaire de MicroElectronique et Nanotechnologies), où ont été réalisées ces mesures expérimentales, ne dispose pas de ce type de matériels dédiés généralement aux laboratoires RF. Nous n'avons donc pas, pour l'instant, réalisé ces mesures de stabilité. Les résultats expérimentaux présentés dans cette section se limitent donc aux validations fonctionnelles du circuit.

#### 5.3.6.1 Environnement de mesures

L'environnement de mesures comprend une alimentation stabilisée, deux générateurs de signaux arbitraires (un pour le *RESET* et un pour les entrées de configuration *CONFIG* et *MODE*), un oscilloscope numérique pour l'observation des sorties, et la carte de test. Les photos de la figure 5.29 montrent cet environnement de mesures et le circuit sur son support de test interchangeable.

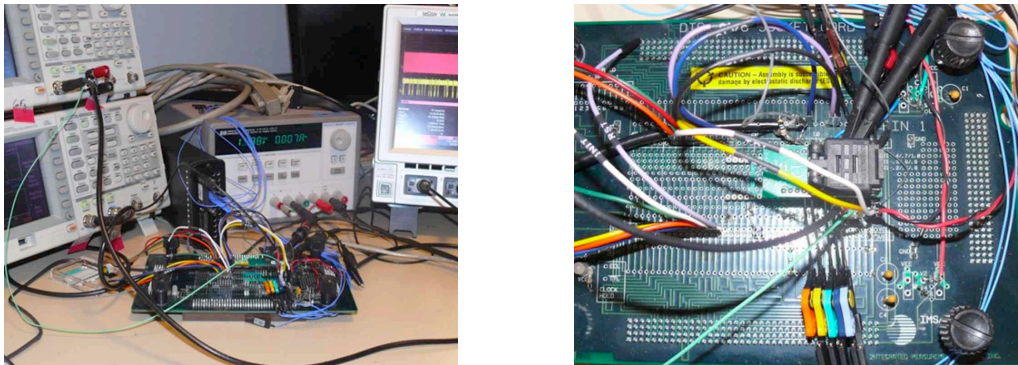


FIGURE 5.29 – Environnement de mesures

#### 5.3.6.2 Test de l'anneau configurable de 12 étages

La figure 5.30 montre l'écran de l'oscilloscope numérique pendant les phases de configuration et d'oscillation. La voie *C2* en rose est l'entrée *CONFIG*, la voie *C3* en bleu correspond à l'entrée *MODE* et la voie *C1* en jaune est la sortie du diviseur de fréquence. Les 8 voies numériques *D0* à *D7* en violet sont les sorties du désérialiseur de transitions. Cet exemple montre l'oscillateur démarrer juste après la phase de configuration où 4 jetons ont été injectés.

Le tableau de la figure 5.31 résume les fréquences d'oscillation mesurées expérimentalement à la sortie du diviseur par 16 pour les différentes initialisations possibles. En fonction

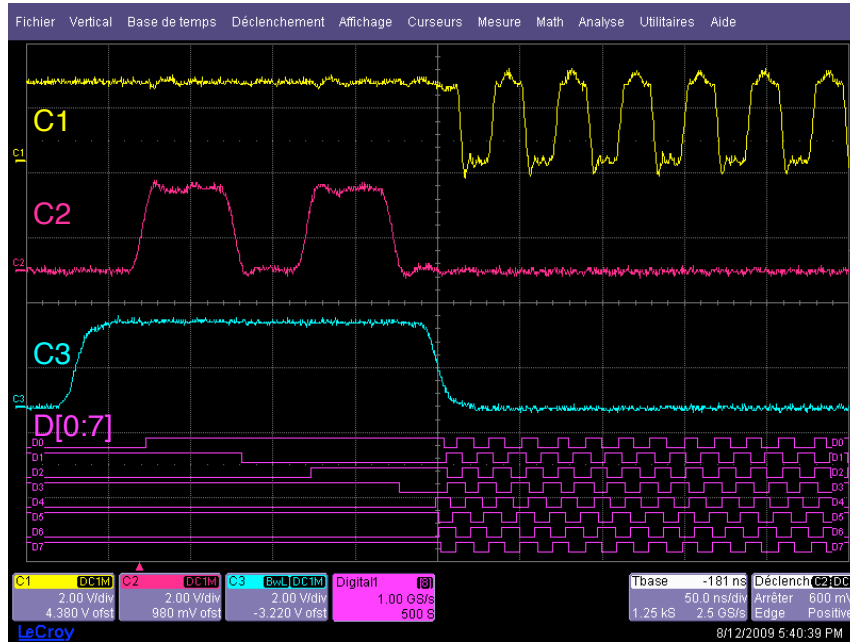


FIGURE 5.30 – Mesures expérimentales - Phases de configuration et d'oscillation

du nombre de jetons injectés pendant la phase de configuration, 5 fréquences différentes, réparties sur une plage allant de 18 MHz à 52 MHz environ, peuvent être générées à la sortie du diviseur.

Jetons	2	4	6	8	10
Période Diviseur	56.1 ns	28.4 ns	19.4 ns	23.8 ns	46.4 ns
Fréquence Diviseur	17.8 MHz	35.2 MHz	51.6 MHz	42.0 MHz	21.6 MHz
Période Interne	3.51 ns	1.78 ns	1.21 ns	1.49 ns	2.90 ns
Fréquence Interne	285.2 MHz	563.4 MHz	824.7 MHz	672.3 MHz	344.8 MHz

FIGURE 5.31 – Mesures expérimentales : Anneau configurable de 12 étages

Par ailleurs, il est possible de déduire les fréquences du signal interne *OUTX8* directement des mesures réalisées sur *DIVIDEROUT*. Cependant, il convient d'être prudent dans l'interprétation de ces fréquences calculées puisque, dans le cas où les jetons se propagent en rafale, les valeurs correspondent en fait aux valeurs moyennes de la fréquence sur toute la durée de la rafale. Les chronogrammes de la figure 5.32 montrent justement la forme du signal de l'oscillateur de 12 étages pour les 5 configurations possibles. Ils sont reconstruits sous *Matlab* à partir des sorties *EVENT0* à *EVENT7* (*resérialisation* des transitions). La propagation des jetons s'effectue en rafale dans tous les cas, sauf pour le cas à 6 jetons, où la propagation est régulière. Cette configuration est, en effet, la seule qui s'approche suffisamment du rapport des délais statiques pour permettre la propagation régulière des jetons :

$$\frac{D_{ff}}{D_{rr}} = \frac{240 \text{ ps}}{290 \text{ ps}} = 1.2 \approx 1 = \frac{6}{6} = \frac{N_T}{N_B}$$

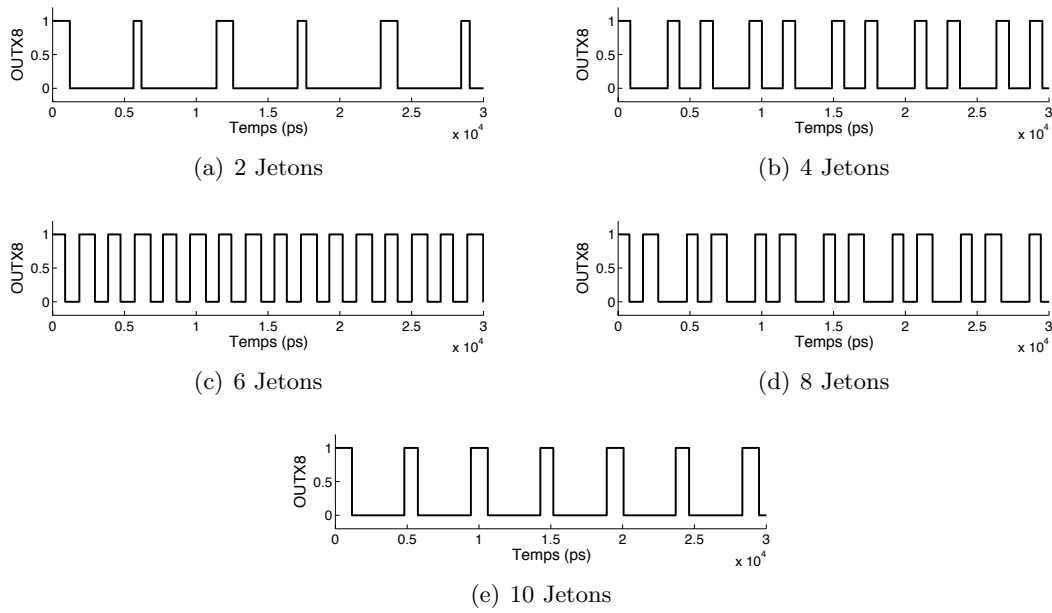


FIGURE 5.32 – Mesures expérimentales : Modes de propagation en fonction du nombre de jetons

### 5.3.6.3 Test de l’anneau contraint de 10 étages

Le tableau de la figure 5.33 résume les mesures réalisées sur l’anneau contraint de 10 étages. La figure 5.34 représente la forme du signal interne pour les différentes configurations de la contrainte. Comme prévu par l’étude théorique, les fréquences d’oscillation sont sensiblement identiques pour la configuration sans contrainte ( $R_i = C_{i+1}$ ) et les deux configurations partiellement contraintes ( $R_i = C_{i+2}$  et  $R_i = C_{i+2}$ ). C’est le rapport cyclique qui est modifié en fonction de la configuration. Dans le dernier cas ( $R_i = C_{i+4}$ ), la propagation des jetons est trop contrainte et la fréquence d’oscillation est diminuée.

Contrainte	$R_i = C_{i+1}$	$R_i = C_{i+2}$	$R_i = C_{i+3}$	$R_i = C_{i+4}$
Période Diviseur	53.7 ns	53.4 ns	53.8 ns	95.4 ns
Fréquence Diviseur	18.6 MHz	18.7 MHz	18.6 MHz	10.4 MHz
Période Interne	3.36 ns	3.34 ns	3.36 ns	5.96 ns
Fréquence Interne	297.9 MHz	299.6 MHz	297.4 MHz	167.7 MHz

FIGURE 5.33 – Mesures expérimentales : Anneau contraint de 10 étages

### 5.3.7 Conclusions

Ces premières mesures expérimentales permettent de valider le fonctionnement des oscillateurs et du système de mesure embarqué. Elles devront être complétées par des mesures de performances pour évaluer la sensibilité des anneaux asynchrones aux variations PVT. Ces mesures de performances nécessitent, d’une part, le développement d’une carte



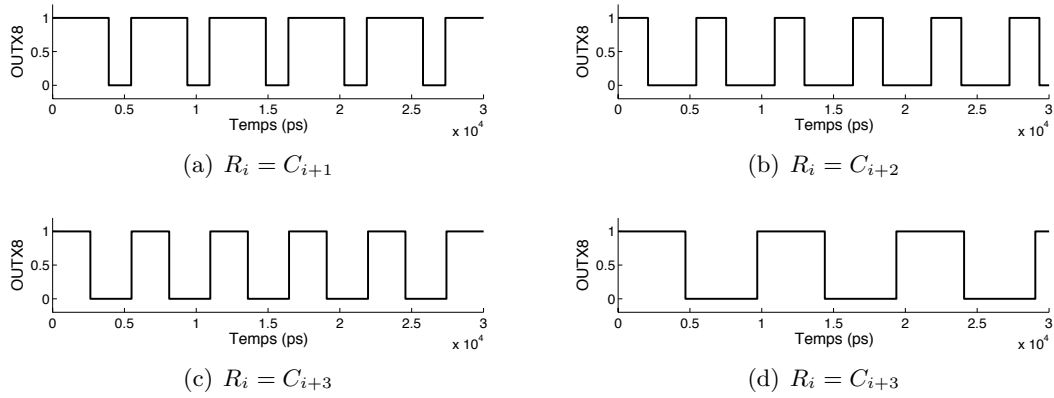


FIGURE 5.34 – Mesures expérimentales : Modes de propagation en fonction de la contrainte

de test dédiée pour limiter les interférences qui polluent la qualité des mesures, et d'autre part, l'emploi d'appareils de mesure plus performants (fréquence-mètre et générateur de signaux).

## 5.4 Conclusion

Ce chapitre, qui conclut la deuxième partie de ce manuscrit sur les oscillateurs numériques asynchrones, présente les résultats de simulations électriques et les mesures réalisées sur le circuit prototype. Ces validations expérimentales montrent d'une part, la précision et les limitations de notre modèle théorique pour étudier les performances des anneaux asynchrones. Et d'autre part, elles confirment la pertinence de l'approche asynchrone pour implémenter des oscillateurs numériques programmables et robustes aux variations des paramètres technologiques.

## Troisième partie

# Architectures asynchrones de traitements des signaux radio impulsionnelle UWB



## Chapitre 6

# Implémentation asynchrone d'un algorithme de synchronisation IR-UWB

### Sommaire

<b>6.1</b>	<b>Introduction</b>	<b>119</b>
<b>6.2</b>	<b>Couche physique radio impulsionnelle bas débit</b>	<b>120</b>
6.2.1	Emission	120
6.2.2	Réception	122
<b>6.3</b>	<b>Algorithme de synchronisation</b>	<b>124</b>
6.3.1	Principe de fonctionnement	124
6.3.2	Modélisation événementielle du signal radio impulsionnelle	125
6.3.3	Machine à états finis asynchrone	127
<b>6.4</b>	<b>Architecture asynchrone de réception UWB-IR</b>	<b>129</b>
6.4.1	Architecture	130
6.4.2	Intérêts et limitations	132
<b>6.5</b>	<b>Conclusion</b>	<b>133</b>

### 6.1 Introduction

Comme présenté dans le chapitre 2, le principe de la radio impulsionnelle repose sur l'émission d'impulsions très brèves, modulées suivant un schéma de modulation particulier, à des instants très précis définis par un code de saut temporel. De son côté, le récepteur, qui partage le même code de saut temporel, ouvre des fenêtres de détection aux instants précis de réception des impulsions pour pouvoir démoduler l'information. Il est donc nécessaire de synchroniser les fenêtres de détection sur les instants de réception des impulsions : c'est le rôle de la synchronisation.

Ce chapitre décrit une implémentation asynchrone d'un algorithme de synchronisation radio impulsionnelle pour un récepteur à détection d'énergie. Tout d'abord, la couche physique radio impulsionnelle bas débit sur laquelle s'appuient nos travaux est décrite. Puis, le principe de fonctionnement et l'implémentation asynchrone de l'algorithme de synchronisation sont présentés. Enfin, une architecture asynchrone d'un récepteur radio impulsionnelle articulée autour du module de synchronisation est proposée.

## 6.2 Couche physique radio impulsionnelle bas débit

La couche physique étudiée dans ce chapitre a été développée dans le souci de répondre aux contraintes spécifiques des réseaux de capteurs. Ainsi, elle présente notamment des caractéristiques de faible complexité et de basse consommation. Sa spécification est l'une des contributions majeures des travaux de thèse de Jean Schwoerer [65]. On propose de présenter ici uniquement les principes de base de cette couche physique radio impulsionnelle, une étude approfondie étant disponible dans [65]. L'objectif de ce premier paragraphe est, avant tout, de donner les informations essentielles à la compréhension de la suite de l'étude. Ainsi, les techniques de modulation et de saut temporel mises en œuvre à l'émission sont présentées, puis la technique de détection des impulsions par détection d'énergie implémentée à la réception est décrite.

### 6.2.1 Emission

Tout d'abord, on a vu dans le paragraphe 2.4 que la puissance d'émission autorisée en UWB est très faible (puissance moyenne limitée à  $-41,3$  dBm/MHz, et puissance crête limitée à  $0$  dBm/50MHz). Cette limite réglementaire impose d'insérer de la redondance à l'émission des impulsions pour augmenter la quantité d'énergie émise par symbole, afin d'en fiabiliser la détection et la démodulation. Ainsi, un symbole n'est pas codé par une seule impulsion mais par  $N_{chip}$  impulsions. Afin d'éviter la création de raies spectrales à la fréquence de répétition d'émission des  $N_{chip}$  impulsions, un procédé de saut temporel («*Time Hopping*») est appliqué. Comme expliqué dans le paragraphe 2.5.1.3, ce procédé consiste à décaler les instants d'émissions des impulsions, en fonction d'un code pseudo-aléatoire  $C_{TH}$ , afin de rompre la périodicité d'émission. Pour le mettre en œuvre, la durée d'un symbole  $T_{symb}$  est divisé en  $N_{chip}$  *chips* de durée  $T_{chip}$ , qui sont eux-même sous-divisés en  $N_{slot}$  *slots* de durée  $T_{slot}$ . Le code de saut temporel  $C_{TH}$ , composé de  $N_{chip}$  éléments, détermine alors dans quel *slot* de chaque *chip* une impulsion peut être émise. Pour finir, la technique de modulation OOK («*On Off Keying*», cf. paragraphe 2.5.1.2) est appliquée suivant un «codage symbole» particulier pour coder la valeur «0» ou la valeur «1» :

$$\begin{cases} S_0 = \{0, 1, 0, \dots, 1\} \\ S_1 = \{1, 0, 1, \dots, 0\} \end{cases}$$

La forme du signal émis  $s(t)$  d'une trame de  $N_{symp}$  symboles peut donc être exprimée par la relation suivante :

$$s(t) = \sum_{i=1}^{N_{symp}} \sum_{j=1}^{N_{chip}} S_{d(i)}(j) \cdot w_{tr}(t - i \cdot T_{symp} - j \cdot T_{chip} - C_{TH}(j) \cdot T_{slot}) \quad (6.1)$$

avec :

- $w_{tr}(t)$  l'impulsion élémentaire,
- $d(i)$  la valeur du  $i^{\text{ème}}$  symbole,
- $S_{d(i)}(j)$  le  $j^{\text{ème}}$  élément du code symbole  $S_{d(i)}$ ,
- $C_{TH}(j)$  le  $j^{\text{ème}}$  élément du code de saut temporel,
- $T_{symp}$  la durée du symbole,
- $T_{chip}$  la durée *chip*,
- $T_{slot}$  la durée *slot*.

A titre d'illustration, les figures 6.1(a), 6.1(b) et 6.1(c) représentent l'émission d'un symbole non modulé, d'un symbole «0», et d'un symbole «1», composés de 4 *chips* de 4 *slots*. Le code de saut temporel et les codes symboles sont choisis arbitrairement tels que :  $C_{TH} = \{1, 4, 2, 1\}$ ,  $S_0 = \{0, 1, 0, 1\}$  et  $S_1 = \{1, 0, 1, 0\}$ . Il est important de noter que cette représentation est schématique et qu'en réalité la durée des impulsions est largement inférieure à la durée des *slots* qui durent quelques dizaines de nanosecondes.



(a) Symbole non modulé -  $C_{TH} = \{1, 4, 2, 1\}$



(b) Symbole «0» -  $C_{TH} = \{1, 4, 2, 1\}$  &  $S_0 = \{0, 1, 0, 1\}$



(c) Symbole «1» -  $C_{TH} = \{1, 4, 2, 1\}$  &  $S_1 = \{1, 0, 1, 0\}$

FIGURE 6.1 – Exemple de signaux radio impulsionnelle

Cette couche physique radio impulsionnelle présente plusieurs avantages au regard des critères de faible complexité et de basse consommation. Tout d'abord, le schéma de modulation choisi est simple à mettre en œuvre à l'émission, et est parfaitement adapté à une technique de réception par détection d'énergie, reconnue moins complexe et moins consommatrice qu'une détection cohérente (*cf.* paragraphe 2.5.3). De plus, ce schéma de modulation

autorise l'émission d'impulsions deux fois plus puissantes que dans le cas d'une modulation PPM («*Pulse Position Modulation*»). Cela facilite la détection des impulsions à la réception. Par ailleurs, le codage symbole adopté, qui équilibre l'énergie émise indépendamment des symboles de donnée, présente également l'avantage d'augmenter la période de répétition moyenne des impulsions. Cela permet ainsi de limiter le risque d'interférence inter-impulsions. Pour finir, tel qu'expliqué dans le paragraphe 2.5.1.3, le procédé de saut temporel permet de gérer simplement l'accès multiple au canal par répartition des codes. En effet, il suffit pour cela d'attribuer un code pseudo-aléatoire de saut temporel différent à chaque couple émetteur/récepteur.

## 6.2.2 Réception

Le récepteur, qui partage le même code de saut temporel que l'émetteur, ouvre des fenêtres de détection aux instants précis où les impulsions sont attendues. La prise de décision sur le symbole reçu est alors réalisée en fonction des détections et des non-détections observées dans les  $N_{chip}$  fenêtres d'écoute. On propose de détailler ci-après le principe de détection des impulsions qui est basé sur une détection d'énergie et sur un comparateur à seuil.

### 6.2.2.1 Détection d'énergie

La figure 6.2 représente l'architecture du détecteur d'impulsions. Après l'antenne de réception, le signal est filtré sur la bande utile. Ce premier filtrage passe-bande sert essentiellement à limiter la bande de bruit et à rejeter les interférences des systèmes bandes étroites adjacents. Après être éventuellement amplifié par un LNA («*Low Noise Amplifier*»), le signal est ensuite mis au carré pour pouvoir extraire son énergie par intégration. La mise au carré peut être réalisée par une diode polarisée dans sa zone quadratique, et l'intégrateur peut être implémenté par un simple filtre passe-bas dont la fréquence de coupure détermine la durée d'intégration [65]. L'enveloppe du signal radio impulsionnelle est alors comparée à un seuil pour détecter si une impulsion a été reçue.

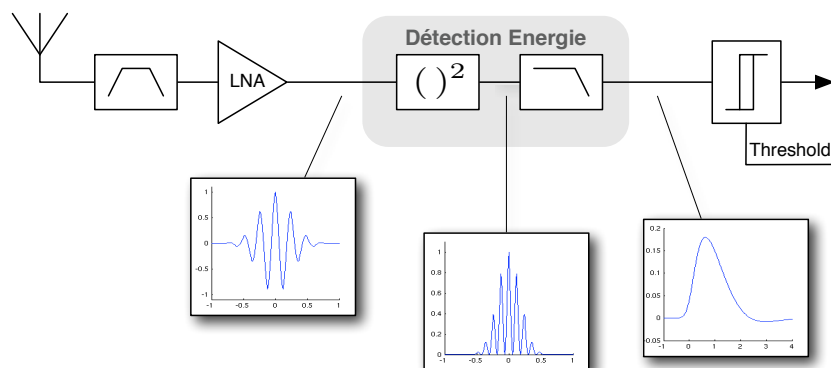


FIGURE 6.2 – Architecture du détecteur d'impulsions

Dans la littérature, les durées d'intégration des systèmes à détection d'énergie sont généralement de l'ordre de quelques dizaines de nanosecondes [80, 16]. Cette durée d'intégration est dimensionnée de manière à intégrer le signal suffisamment longtemps pour récupérer une grande part de l'énergie étalée sur les différents trajets de propagation (*cf.* paragraphe 2.5.2). Cependant, cette technique d'intégration longue présente l'inconvénient d'être très sensible au bruit et aux interférences multi-utilisateurs. En effet, en intégrant l'énergie du signal radio impulsionnelle pendant longtemps, un récepteur à accumulation d'énergie intègre, en même temps, l'énergie du bruit et l'énergie des éventuelles communications concurrentes. Pour répondre à cet inconvénient, une approche originale de réception par détection d'énergie à intégration courte a été proposée dans [65]. La durée d'intégration est alors de l'ordre de la durée des impulsions. Ainsi, grâce à cette technique, la résolution temporelle du signal radio impulsionnelle est préservée après la détection d'énergie. Cela présente plusieurs avantages. D'une part, cela offre la possibilité de détecter et de traiter séparément les différents trajets de propagation, ce qui rend le système beaucoup moins sensible au bruit et aux interférences des éventuelles communications concurrentes. Et d'autre part, cela permet d'évaluer avec précision l'instant d'arrivée du premier trajet de propagation, ce qui est nécessaire pour les applications de localisation. Cependant, la contrepartie de cette résolution temporelle est la nécessité d'implémenter des traitements de réception multi-trajets afin de récupérer suffisamment d'énergie pour réaliser la prise de décision, ce qui engendre nécessairement une complexité additionnelle dans le récepteur.

### 6.2.2.2 Positionnement du seuil de détection

Après la détection d'énergie, l'enveloppe du signal radio impulsionnelle est comparée à un seuil pour détecter si une impulsion a été reçue. Il semble alors évident que le positionnement du seuil de détection a un impact primordial sur les performances du système, et qu'il doit être réalisé avec précaution. Plusieurs techniques peuvent être envisagées, mais toutes sont gouvernées par le même compromis : un seuil trop haut ne permet pas de détecter toutes les impulsions, et au contraire, un seuil trop bas entraîne un nombre excessif de fausses détections liées au bruit. On parlera dans ce cas de *détections parasites*. L'approche retenue dans notre système est la technique CFAR («*Constant False Alarm Rate*») [31, 78]. Issue du monde du radar, cette technique consiste à calibrer le seuil de détection sur le niveau de bruit. En fonction des performances de démodulation requises par le système (en terme de BER, «*Bit Error Rate*»), il est possible de calculer le nombre moyen de détections parasites supporté par la chaîne de réception. Le processus de calibration consiste alors à ajuster le seuil de détection sur le bruit (antenne connectée à la masse) jusqu'à observer ce nombre moyen de détections parasites. Cette technique offre une excellente sensibilité de détection puisqu'elle permet de détecter des impulsions de «même niveau» que le bruit, mais dégrade nécessairement les performances du lien radio dans le cas de bon rapport signal à bruit puisqu'elle ne permet pas de tirer profit de la



puissance effective du signal. Il existe ainsi un BER «*plancher*» impossible à dépasser [65].

La couche physique et le principe de détection des impulsions sur lesquels s'appuient nos travaux sont maintenant décrits. Il semble alors important de souligner que cette technique de détection des impulsions est équivalente à un échantillonnage asynchrone du signal radio impulsionnelle sur 1 bit, et que de fait, toute information sur l'amplitude des impulsions est perdue dans cet échantillonnage. On propose maintenant d'étudier comment notre système de réception permet de traiter un signal radio impulsionnelle ainsi échantillonné. On s'intéresse plus particulièrement à l'implémentation asynchrone du module de synchronisation qui constitue l'un des modules clés d'un récepteur IR-UWB.

### 6.3 Algorithme de synchronisation

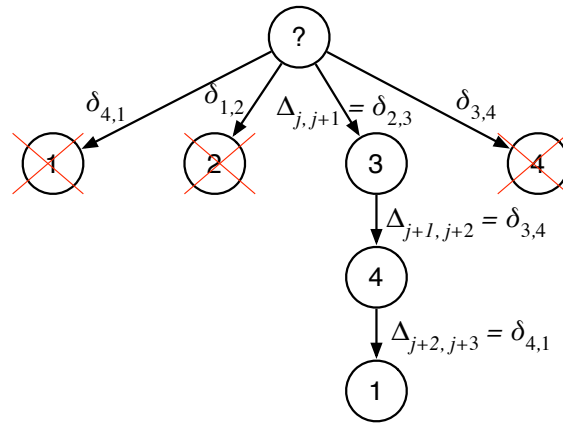
Pour permettre au récepteur de synchroniser ses fenêtres de détection sur les instants effectifs de réception des impulsions, l'émetteur débute chaque trame de données par un préambule de synchronisation composé de  $N_{sync}$  symboles non modulés tels que représentés sur la figure 6.1(a). Le signal émis pendant ce préambule de synchronisation  $s_{sync}(t)$  peut être exprimé par la relation (6.2). De son côté, le récepteur exploite sa connaissance du code  $C_{TH}$  pour identifier la séquence de saut temporel dans l'ensemble des impulsions détectées.

$$s_{sync}(t) = \sum_{i=1}^{N_{sync}} \sum_{j=1}^{N_{chip}} w_{tr}(t - i \cdot T_{symb} - j \cdot T_{chip} - C_{TH}(j) \cdot T_{slot}) \quad (6.2)$$

#### 6.3.1 Principe de fonctionnement

L'algorithme de synchronisation proposé dans ce chapitre utilise les distances temporelles inter-impulsions pour retrouver la séquence de saut temporel. Ce principe très original, proposé initialement dans [65] et [45], est adapté ici à une implémentation asynchrone. La figure 6.3 illustre le principe de fonctionnement de cet algorithme. A la détection d'une impulsion  $j$ , une hypothèse est formulée sur la place  $i$  qu'elle occupe dans la séquence de saut. La détection de l'impulsion suivante  $j+1$  permet de confirmer ou d'abandonner cette hypothèse : si la distance  $\Delta_{j,j+1}$  qui sépare les deux impulsions successives est égale à la distance  $\delta_{i,i+1}$  de la séquence de saut, alors, l'hypothèse est juste, et l'impulsion détectée correspond bien à l'impulsion  $i$  de la séquence de saut temporel. Le processus de synchronisation doit alors être confirmé sur les détections suivantes ( $j+2, j+3, \dots, j+N_{chip}$ ) pour identifier, de manière itérative, l'ensemble de la séquence de saut temporel. Le système est alors en mesure de prédire les instants d'arrivée des prochaines impulsions, et donc, de positionner correctement les fenêtres de détection : la synchronisation est acquise.

On remarque que l'évolution de cet algorithme est conditionnée uniquement par la détection de nouvelles impulsions. Cela le rend parfaitement compatible avec l'approche

FIGURE 6.3 – Principe de fonctionnement de l’algorithme de synchronisation -  $N_{chip} = 4$ 

asynchrone que nous proposons dans le chapitre 3 : chaque nouvelle détection est interprétée comme un événement qui provoque la réactivation du processus asynchrone de synchronisation.

### 6.3.2 Modélisation événementielle du signal radio impulsionnelle

L’exemple de la figure 6.3, qui nous a permis d’expliquer le principe de l’algorithme, n’est pas vraiment réaliste. En effet, la méthode CFAR utilisée pour ajuster le seuil de détection implique nécessairement un certain nombre de détections parasites, et ne permet pas de garantir la détection de toutes les impulsions de la séquence de saut temporel (impulsions sous le seuil de détection). De fait, il semble indispensable de modéliser les différents cas qui peuvent survenir, et voir comment l’algorithme de synchronisation peut y répondre.

**Détections valides :** Il s’agit du cas idéal où toutes les impulsions sont détectables, et où il n’y a pas de détection parasite. La distance temporelle  $\Delta_{j,j+1}$  qui sépare deux détections consécutives est alors simplement comparée aux distances connues  $\delta_{i,i+1}$  de la séquence de saut temporel, afin de déterminer leur emplacement dans la séquence :

$$\delta_{i,i+1} = T_{slot} \cdot (C_{TH}(i+1) - C_{TH}(i)) + T_{chip}$$

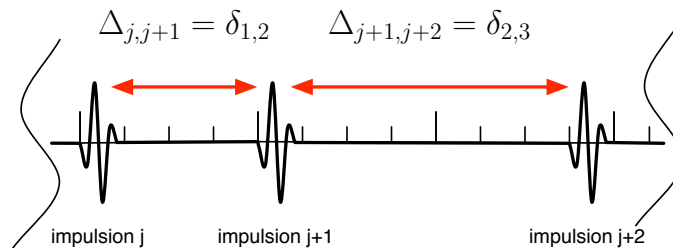


FIGURE 6.4 – Identification des distances temporelles - cas idéal

**Non-détections :** A cause des altérations du signal, liées à la propagation dans le canal ou à la présence de bruit destructif, certaines impulsions émises peuvent ne pas être détectées. Le processus de synchronisation doit être suffisamment robuste pour permettre ces absences temporaires de détection. C'est pourquoi nous proposons d'enrichir l'alphabet des distances temporelles connues en y ajoutant les distances d'ordre 2, d'ordre 3 ou d'ordre  $n$ , telles que définies ci-dessous :

$$\begin{cases} \delta_{i,i+2} = T_{slot} \cdot (C_{TH}(i+2) - C_{TH}(i)) + 2 \cdot T_{chip} \\ \delta_{i,i+3} = T_{slot} \cdot (C_{TH}(i+3) - C_{TH}(i)) + 3 \cdot T_{chip} \\ \delta_{i,i+n} = T_{slot} \cdot (C_{TH}(i+n) - C_{TH}(i)) + n \cdot T_{chip} \end{cases}$$

La distance temporelle qui sépare deux détections consécutives  $j$  et  $j+1$  est alors comparée à l'ensemble de cet alphabet. Cela permet d'identifier les impulsions de la séquence de saut même dans le cas de 1, 2 ou  $n-1$  non-détections consécutives.

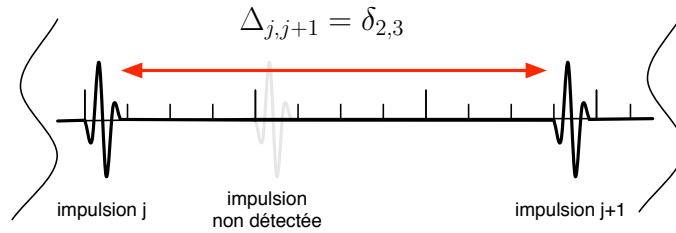


FIGURE 6.5 – Identification des distances temporelles - Non-détection

**Détections parasites :** De même, à cause du bruit ou des interférences multi-utilisateurs, certaines détections ne correspondent pas à des impulsions de la séquence de saut temporel. Pour prendre en compte ces détections parasites, le processus de synchronisation recherche une distance valide sur la somme de plusieurs distances reçues. Par exemple, si une impulsion parasite  $b$  liée au bruit est détectée entre deux impulsions valides  $j$  et  $j+1$ , la distance  $\delta_{i,i+1}$  du code de saut peut être reconnue sur la somme des deux distances  $\Delta_{j,b} + \Delta_{b,j+1}$ .

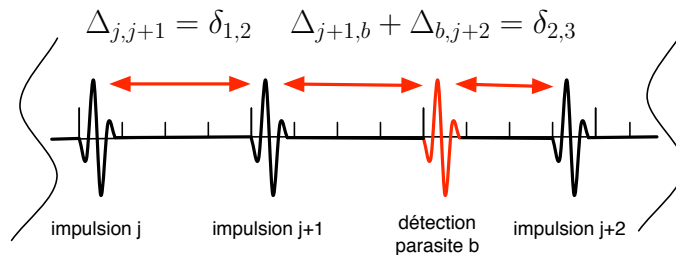


FIGURE 6.6 – Identification des distances temporelles - Détection parasite

### 6.3.3 Machine à états finis asynchrone

A partir de cette modélisation événementielle, l'implémentation de l'algorithme de synchronisation sous forme de machine à états finis asynchrone (A-FSM, «*Asynchronous Finite States Machine*») est quasiment immédiate. Le fonctionnement d'une machine à états asynchrone est très semblable à celui d'une machine à états synchrone, les différences portant essentiellement sur la manière dont les variables d'états sont mises à jour. Dans l'approche synchrone, elles sont mises à jour à chaque front d'horloge, alors que dans l'approche asynchrone, elles ne sont mises à jour que si un événement se produit à l'entrée de la A-FSM. Dans notre étude, on rappelle que cet événement correspond à la détection d'une nouvelle impulsion. La figure 6.7 donne une vue partielle du graphe d'états de la A-FSM qui implémente l'algorithme de synchronisation. Pour cet exemple, on considère un alphabet d'ordre 2 (une seule non-détection entre deux détections valides). La description des différents états de la A-FSM est donnée ci-après :

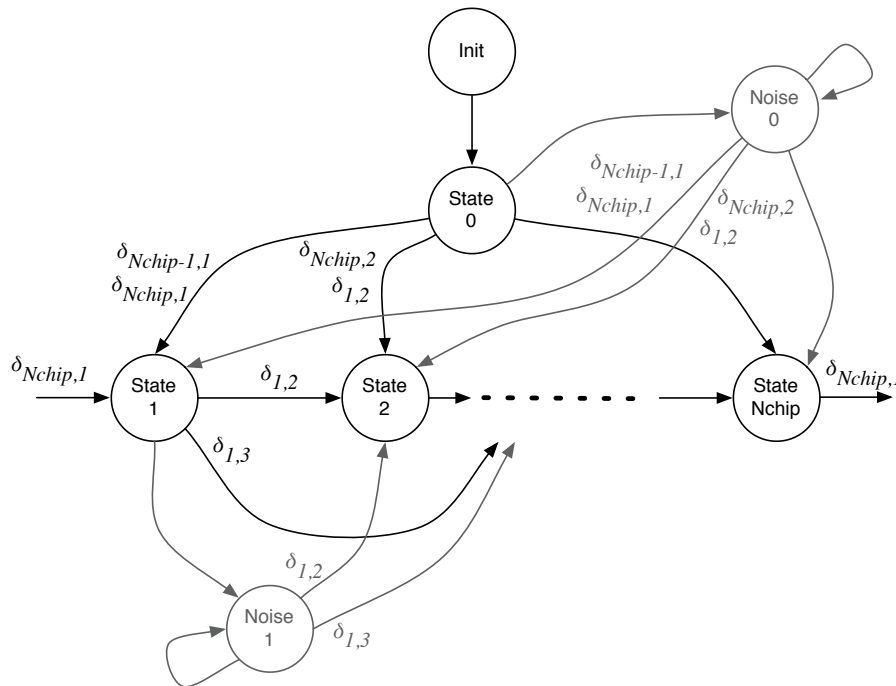


FIGURE 6.7 – Graphe d'états de la A-FSM de synchronisation

**Init** : Toutes les variables de la machine à états sont réinitialisées. L'état suivant est *State 0*.

**State 0** : La distance  $\Delta_{j-1,j}$  qui sépare l'impulsion  $j-1$  de l'impulsion  $j$  est comparée à toutes les distances de l'alphabet. En cas de succès, l'état suivant est *State i* avec  $i$  qui correspond à la dernière impulsion détectée ( $\Delta_{j-1,j} = \delta_{i-1,i}$  ou  $\Delta_{j-1,j} = \delta_{i-2,i}$ ). En cas d'échec, l'état suivant est *Noise 0*.

**State  $i$**  : Les différentes variables de la machine à états sont écrites : l'indicateur de détection de l'impulsion  $i$  est activé :  $flag_i = 1$ , le compteur de détections parasites est remis à 0 :  $noise = 0$ , et la variable représentant la dernière impulsion détectée est mise à jour :  $last = i$ . En parallèle de ces traitements, l'état suivant est calculé en fonction de la nouvelle distance  $\Delta_{j-1,j}$  qui a provoqué le changement d'état. Dans le cas où elle correspond à une des distances de l'alphabet qui existent à partir de l'impulsion  $i$  ( $\delta_{i,i+1}$  ou  $\delta_{i,i+2}$ ), l'état suivant est alors *State  $i+1$*  ou *State  $i+2$*  en fonction de la distance reconnue. Dans le cas contraire, l'état suivant est *Noise  $i$* .

**Noise 0** : le compteur de détections parasites est incrémenté :  $noise = noise + 1$ . La nouvelle distance  $\Delta_{j-1,j}$  est comparée à toutes les distances de l'alphabet. En cas d'échec, la somme de la distance  $\Delta_{j-1,j}$  et des distances précédentes est comparée à toutes les distances de l'alphabet. Cette opération est répétée jusqu'à identifier une distance valide ou à dépasser le nombre maximum d'impulsions parasites. Dans ce dernier cas, la machine à états est réinitialisée dans l'état *Init*.

**Noise  $i$**  : le compteur de détections parasites est incrémenté :  $noise = noise + 1$ . La somme de la nouvelle distance  $\Delta_{j-1,j}$  et des distances précédentes est comparée aux distances de l'alphabet qui existent à partir de l'impulsion  $i$  ( $\delta_{i,i+1}$  ou  $\delta_{i,i+2}$ ). Si le nombre maximum de détections parasites est atteint, alors la machine à états redémarre dans l'état *init*.

Finalement, la synchronisation est acquise quand toutes les impulsions ont été identifiées au moins une fois sans que la machine à états n'ait été réinitialisée ( $flag_1 = 1$ ,  $flag_2 = 1$ , ...,  $flag_{Nchip} = 1$ ). La position de la dernière impulsion détectée dans le symbole est alors accessible à travers la variable *last*. Par application du code de saut temporel à partir de cette dernière impulsion identifiée, il est possible de prédire les instants de réception des prochaines impulsions, et donc, de positionner correctement les fenêtres de détection.

**Remarque sur la robustesse et la fiabilité** : Le choix de l'alphabet des distances connues (ordre 1, 2, ou plus), associé aux choix du nombre maximum de détections parasites tolérées entre deux détections valides, détermine la robustesse et la fiabilité du processus de synchronisation. Par exemple, un alphabet d'ordre élevé, combiné à un nombre important de détections parasites tolérées, conduit à un processus de synchronisation extrêmement robuste qui peut «accrocher» sur un trajet de propagation très faible dont la détection est intermittente. La contrepartie de cette robustesse est une perte de fiabilité du processus puisque la probabilité de le voir synchroniser sur du bruit augmente. Au contraire, en choisissant un alphabet d'ordre moins élevé et en tolérant peu de détections parasites, la fiabilité du processus de synchronisation augmente mais il ne peut aboutir que sur des trajets de propagation sensiblement au-dessus du seuil de détection. On comprend

alors qu'il existe un compromis entre robustesse et fiabilité qui sera à ajuster en fonction des caractéristiques de l'application visée.

**Remarque sur les codes de saut temporel :** La performance de l'algorithme de synchronisation dépend pour beaucoup de sa capacité à identifier rapidement les impulsions de la séquence de saut temporel en fonction des distances mesurées entre les détections successives. Le choix du code de saut temporel a donc un impact déterminant sur les performances et la complexité de la machine à états de synchronisation. Il faut, en effet, privilégier les codes  $C_{TH}$  qui ne présentent aucune distance temporelle identique afin de pouvoir calculer sans ambiguïté l'état suivant en fonction d'une distance temporelle reçue. Ce critère, en apparence facile à respecter, se révèle en réalité assez restrictif quand l'on considère des alphabets d'ordre important. Par exemple, un code de 8 éléments 8-aire ( $N_{chip} = 8$  et  $N_{slot} = 8$ ) présente plus d'un milliard de combinaisons. Sur toutes ces combinaisons, seulement 124,928 respectent ce critère à l'ordre 1. Ce nombre tombe à 510 quand l'on considère un alphabet d'ordre 2, et il n'existe aucune combinaison qui respecte ce critère à l'ordre 3. Il faut tout de même remarquer qu'il est possible de relâcher facilement cette contrainte en implémentant dans la machine à états un jeu de priorités sur le choix des distances temporelles. Les distances d'ordre 1 peuvent, en effet, être validées de manière prioritaire sur les distances d'ordre 2 ou les distances d'ordre 3. Cela autorise alors beaucoup plus de combinaisons, et l'implémentation matérielle de la gestion de ces priorités présente un coût très raisonnable.

## 6.4 Architecture asynchrone de réception UWB-IR

Le principe général de l'architecture de réception des signaux radio impulsionnelle proposée dans ce chapitre est représentée sur la figure 6.8. Comme vu dans le paragraphe précédent, toutes les détections d'impulsions sont datées, et les traitements numériques de réception s'opèrent sur les dates de détections.

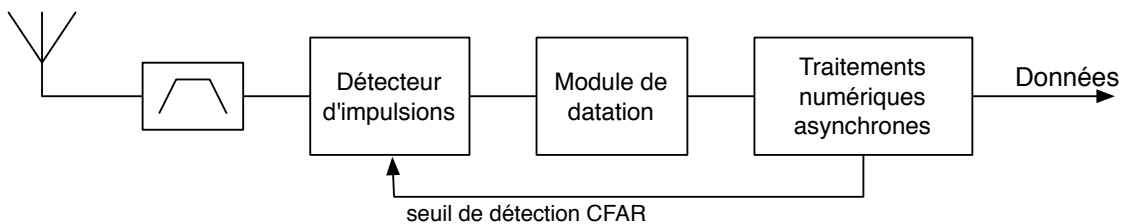


FIGURE 6.8 – Architecture de principe du récepteur radio impulsionnelle

Il faut remarquer alors un point fondamental. La résolution temporelle du signal issu du détecteur est de l'ordre de la durée des impulsions, c'est-à-dire, de l'ordre de la nanoseconde. Il est donc nécessaire que le module de datation puisse dater les détections à une résolution temporelle au moins équivalente. Cela implique donc, a priori, une base de temps cadencée aux alentours de 1 GHz et des traitements numériques qui s'exécutent à

la même fréquence. Dans une optique faible complexité et basse consommation, de telles fréquences de fonctionnement ne sont pas réellement envisageables.

On propose de contourner cette difficulté en exploitant les connaissances que l'on possède à priori sur le signal reçu. A l'émission, le motif de synchronisation est construit à la fréquence du temps *slot* (cf. eq.(6.2)). Par conséquent, à la réception, quelles que soient les déformations et les altérations que subit le signal radio impulsionnelle, liées notamment à sa propagation dans le canal, aux détections parasites dues au bruit, ou encore, aux interférences provoquées par des communications concurrentes, le motif de synchronisation ne peut être reconnu que sur des distances temporelles multiples du temps *slot*. Cette remarque fondamentale permet d'envisager une architecture de réception concurrente présentant des contraintes de vitesse extrêmement relâchées. En effet, on propose de sous-diviser le temps *slot* en  $N_{unit}$  *time units* indépendants de durée  $T_u$ , avec  $T_u$  qui correspond à la résolution temporelle du système, et d'effectuer la recherche de synchronisation et les traitements de réception, de manière indépendante, sur chacun de ces *time units* à la fréquence du temps *slot*.

#### 6.4.1 Architecture

L'architecture du récepteur radio impulsionnelle proposée dans cette étude est représentée sur la figure 6.9. Elle est composée d'un module de datation, d'un module de synchronisation et d'un module de prise de décision. On propose dans un premier temps, de décrire le fonctionnement des différents modules de cette architecture, puis dans un deuxième temps, de discuter de ses intérêts et de ses limitations.

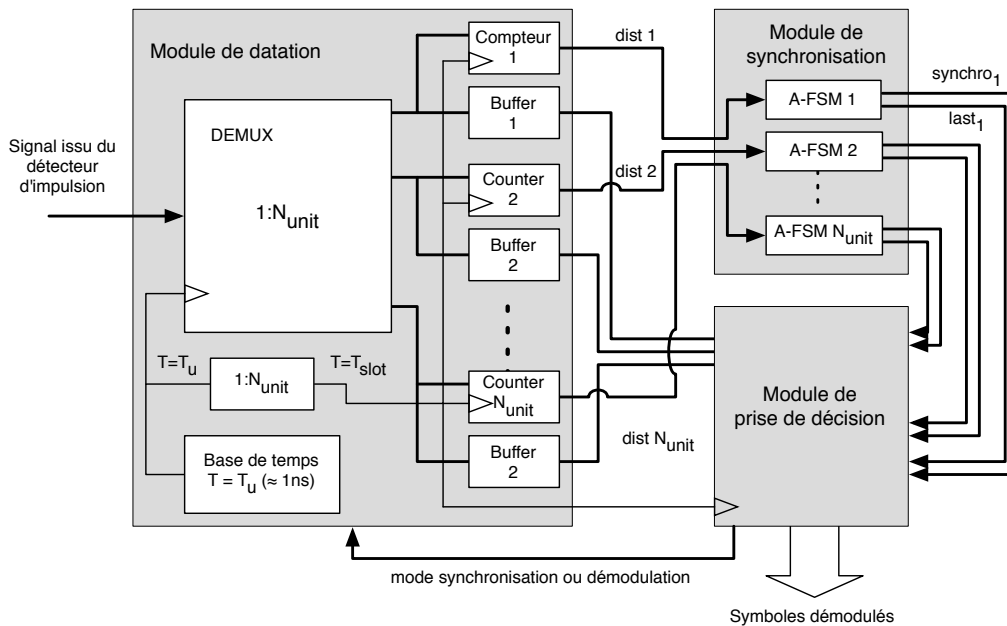


FIGURE 6.9 – Architecture du récepteur radio impulsionnelle

### 6.4.1.1 Module de datation

Ce module présente deux modes de fonctionnement différents en fonction de l'état du récepteur (synchronisé ou pas).

Pendant la phase de synchronisation, le module de datation sert à calculer les distances temporelles entre les impulsions détectées sur chacun des *time units*. Pour ce faire, ce module implémente une base de temps qui génère un signal de période  $T_u$  et un signal de période  $T_{slot}$ , un démultiplexeur qui permet d'«aiguiller» séquentiellement à la période  $T_u$  le signal d'entrée vers l'une des  $N_{unit}$  sorties, et  $N_{unit}$  compteurs cadencés à la fréquence du temps *slot* pour réaliser les mesures de distances temporelles.

Le fonctionnement de ce module pendant la phase de synchronisation peut alors être décrit comme suit : une impulsion détectée dans le *time unit*  $i$  est aiguillée vers le compteur  $i$ . Le compteur envoie alors sa valeur à la A-FSM  $i$ , et est réinitialisé à 0. En l'absence de détection sur le *time unit*  $i$  pendant les temps *slot* suivants, le compteur  $i$  est incrémenté. Ainsi, les distances temporelles entre les différentes impulsions détectées sur le même *time unit* sont mesurées en temps *slot* par les compteurs de distances, et envoyées aux A-FSM correspondantes à chaque nouvelle détection.

Pendant la phase de démodulation, le fonctionnement du module de datation est sensiblement identique. Au lieu d'être aiguillées vers les compteurs, les impulsions détectées dans les *time units* sont aiguillées vers les buffers correspondants. Ces buffers peuvent alors être lus par le module de prise de décision en fonction des instants prévus par le code de saut temporel pour démoduler les symboles.

### 6.4.1.2 Module de synchronisation

Le module de synchronisation est composé de  $N_{unit}$  machines à états asynchrones indépendantes connectées aux  $N_{unit}$  compteurs de distances temporelles du module de datation. Chaque machine à états est activée par la réception d'une nouvelle distance temporelle selon le principe défini dans le paragraphe 6.3.3. Dès qu'une synchronisation est acquise sur un des *time units*, la machine à états le signale au module de prise de décision en activant le signal *synchro*, et indique quelle impulsion a permis d'achever le processus de synchronisation par l'intermédiaire du signal *last*.

### 6.4.1.3 Module de prise de décision

Pour l'instant, l'implémentation asynchrone de ce module n'a pas fait l'objet d'études détaillées. On propose donc de nous limiter à présenter le principe général de fonctionnement.



Dès que la synchronisation est acquise sur un *time unit*  $i$ , la A-FSM  $i$  du module de synchronisation l'indique en activant son signal *synchro*. Le module de synchronisation calcule alors, à l'aide du signal *last*, l'instant d'arrivée de la prochaine impulsion. Il configure alors le module de datation en mode démodulation et lit la valeur du buffer  $i$  aux temps *slot* prévus par le code de saut temporel pour démoduler les symboles.

Si la synchronisation a réussi sur plusieurs *time units*, alors le module de prise de décision peut combiner les valeurs des différents buffers correspondants pour réaliser sa prise de décision. On implémente ainsi un récepteur multi-trajets.

### 6.4.2 Intérêts et limitations

**Contraintes de vitesse relâchées :** Comme précédemment évoqué, le grand intérêt de cette architecture parallèle est de relâcher les contraintes de vitesse qui existent sur l'exécution des traitements numériques tout en préservant une grande résolution temporelle. En effet, dans l'architecture proposée, seule une sous-partie du module de datation (base de temps et démultiplexeur) doit opérer à une fréquence élevée ( $\approx 1$  GHz). Le reste de l'architecture fonctionne à une vitesse variable, qui dépend de la détection des impulsions, et qui est bornée par la fréquence du temps *slot* (quelques dizaines de MHz). Ces contraintes de vitesse extrêmement relâchées simplifient grandement la conception du système, et promettent une économie importante sur la consommation électrique. La contrepartie évidente de ces avantages est la taille relativement importante du système liée au fait que les machines à états de synchronisation ainsi que les compteurs de distances sont dupliqués autant de fois qu'il y a de *time units* dans un temps *slot*. On peut toutefois modérer cet aspect négatif au regard de la taille raisonnable de chacune des machines à états qui n'utilisent que des additionneurs et des comparateurs.

**Traitements multi-trajets :** Un autre intérêt très important de cette architecture est sa capacité à traiter en parallèle plusieurs trajets de propagation. En effet, quand plusieurs processus de synchronisation réussissent sur différents *time units*, cela veut dire que plusieurs trajets de propagation ont été détectés. La prise de décision peut alors être effectuée en intégrant les informations collectées sur ces différents *time units* pour fiabiliser le résultat de la décision. Différentes techniques peuvent être mises en œuvre pour réaliser la prise de décision : du simple vote à la majorité sur l'ensemble des trajets, à des approches plus statistiques qui consistent à attribuer un poids à chaque trajet en fonction de sa puissance estimée [46]. Plusieurs méthodes peuvent alors être envisagées pour estimer la puissance de chaque trajet. Il est possible, par exemple, d'attribuer un poids plus important aux premiers trajets détectés qui sont, à priori, les trajets de plus forte énergie.

Il faut alors noter les points suivants : tout d'abord, le nombre de trajets qui peuvent être traités et intégrés à la prise de décision est limité par le nombre de *time units*. De

plus, le fait que les *time units* sont réévalués à la fréquence du temps *slot* implique que la synchronisation ne peut jamais aboutir sur deux trajets distincts séparés d'un multiple du temps *slot*. Dans ce cas, les détections liées au deuxième trajet sont en effet interprétées par l'algorithme de synchronisation comme des détections parasites du premier trajet.

## 6.5 Conclusion

Ce chapitre présente l'étude et l'implémentation en logique asynchrone d'un algorithme de synchronisation des signaux radio impulsionnelle pour un récepteur à détection d'énergie. La couche physique radio impulsionnelle bas débit sur laquelle s'appuient nos travaux est décrite, puis le principe de fonctionnement de l'algorithme de synchronisation est présenté. Pour finir, ce chapitre propose une architecture asynchrone de réception de signaux radio impulsionnelle qui implémente l'algorithme de synchronisation. Les intérêts principaux de l'approche asynchrone proposée ici consiste en une architecture qui opère à une vitesse variable déterminée par la détection des impulsions, et qui implémente un récepteur multi-trajets.

Le chapitre suivant propose dans un premier temps, d'étudier les performances de l'algorithme de synchronisation et de montrer sa pertinence sur le critère de la faible consommation à l'aide de simulations fonctionnelles de haut-niveau, puis, dans un second temps, de démontrer la faisabilité de l'approche à travers une étude de prototypage sur FPGA.



## Chapitre 7

# Etude de performances et validation expérimentale par prototypage

### Sommaire

---

<b>7.1</b>	<b>Introduction</b>	<b>135</b>
<b>7.2</b>	<b>Etude de performances</b>	<b>136</b>
7.2.1	Environnement de simulation	136
7.2.2	Paramètres de simulation	136
7.2.3	Exemple illustratif	138
7.2.4	Mesure de performances	139
7.2.5	Consommation électrique	141
7.2.6	Impact du seuil de détection	144
7.2.7	Conclusion	145
<b>7.3</b>	<b>Validation expérimentale par prototypage FPGA</b>	<b>146</b>
7.3.1	Architecture générale	146
7.3.2	Utilisation de l'IP matérielle SERDES	147
7.3.3	Technique de <i>gated-clock</i>	148
7.3.4	Fréquence de fonctionnement et ressources matérielles	149
7.3.5	Validation expérimentale	150
<b>7.4</b>	<b>Conclusion</b>	<b>150</b>

---

## 7.1 Introduction

Le chapitre 6 décrit une implémentation asynchrone d'un algorithme de synchronisation radio impulsionnelle. Ce nouveau chapitre propose d'en étudier les performances à l'aide de simulations fonctionnelles de haut-niveau basées sur des modèles statistiques des canaux de propagation UWB. Ces simulations permettent de montrer la pertinence de

l'approche asynchrone sur le critère de la faible consommation. Pour finir, une étude de prototypage sur FPGA est décrite et démontre la faisabilité matérielle de notre solution.

## 7.2 Etude de performances

### 7.2.1 Environnement de simulation

L'architecture asynchrone du récepteur radio impulsionnelle et l'algorithme de synchronisation proposés dans le chapitre 6 ont été modélisés sous *Matlab*. Pour valider le fonctionnement de l'algorithme et évaluer ses performances sur des stimuli réalistes, un générateur de signaux radio impulsionnelle a également été développé. Il intègre les modèles statistiques de canaux de propagation UWB du comité de normalisation IEEE 802.15.4a [48]. Le synopsis de l'environnement de simulation ainsi créé est représenté sur la figure 7.1.

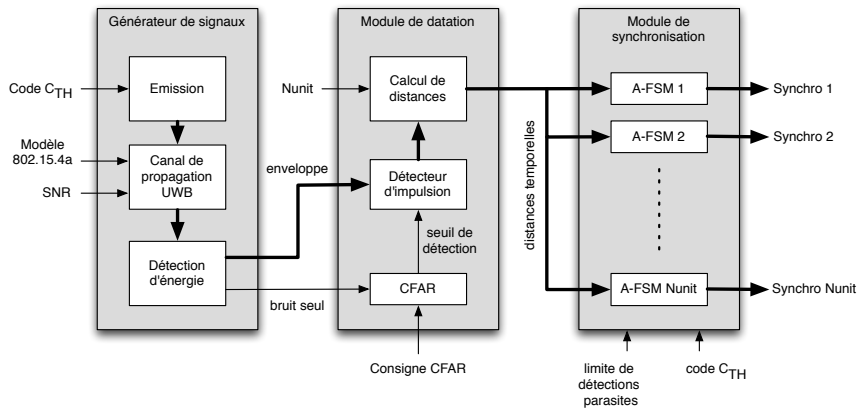


FIGURE 7.1 – Synopsis de l'environnement de simulation *Matlab*

Cet environnement de simulation permet d'évaluer les performances de l'architecture de synchronisation pour différents environnements de propagation (différents modèles de canaux) et pour différentes valeurs du rapport signal à bruit (SNR, «*Signal to Noise Ratio*»). Il permet également d'évaluer l'impact des différents paramètres de l'architecture (nombre de *time units*, consigne du seuil de détection CFAR, limite de détections parasites,...) sur les performances de l'algorithme.

### 7.2.2 Paramètres de simulation

Les paramètres de la couche physique utilisés pour cette série de simulations sont définis ci-dessous (*cf.* paragraphe 6.2) :

- préambule de synchronisation composé de 32 symboles non-modulés :  $N_{sync} = 32$ ,
- durée d'un symbole :  $T_{symp} = 1280 \text{ ns}$ ,
- nombre de *chips* par symbole :  $N_{chip} = 8$ ,
- durée d'un *chip* :  $T_{chip} = 160 \text{ ns}$ ,
- nombre de *slots* par *chip* :  $N_{slot} = 8$ ,

- durée d'un *slot* :  $T_{slot} = 20 \text{ ns}$ ,
- code de saut temporel :  $C_{TH} = \{6, 4, 0, 5, 6, 1, 1, 0\}$ .

Les paramètres de l'architecture de réception, quant à eux, sont définis ci-dessous :

- nombre de *time units* :  $N_{unit} = 10$ ,
- durée d'un *time unit* :  $T_u = 2 \text{ ns}$ ,
- alphabet d'ordre 3 (jusqu'à 2 non-détections consécutives entre 2 détections valides).

Par ailleurs, comme expliqué dans le paragraphe 6.2.2.2, la technique CFAR («*Constant False Alarm Rate*»), utilisée pour le positionnement du seuil de détection des impulsions, consiste à déterminer un nombre moyen de détections parasites supporté par la chaîne de réception en fonction d'un taux d'erreurs binaires adapté aux contraintes de l'application visée. Pour ces simulations, le BER plancher («*Bit Error Rate*») a été fixé à  $10^{-4}$ , ce qui équivaut à une moyenne de 9,51 détections parasites par temps *chip* [46].

Les performances de l'algorithme de synchronisation sont évaluées pour quatre modèles de canaux différents et sur une plage de SNR qui s'étale de 0 dB à -17 dB. Les modèles de canaux considérés sont CM1 et CM2, qui modélisent la propagation dans un environnement résidentiel, respectivement avec ou sans vue directe entre l'émetteur et le récepteur (LOS «*Light Of Sight*» ou NLOS «*Non Light Of Sight*»), ainsi que CM3 et CM4, qui modélisent la propagation dans un environnement de bureau, respectivement en LOS et en NLOS. Pour finir, on décide de considérer le SNR comme le rapport signal à bruit moyen mesuré après le premier filtre passe-bande du module de traitement radiofréquence (cf. paragraphe 6.2.2). Pour chaque modèle de canal, et pour chaque valeur de SNR, les simulations sont exécutées 100 fois (100 réalisations différentes du modèle statistique du canal), de manière à obtenir une évaluation statistique des performances de l'algorithme de synchronisation.

De nombreux indicateurs peuvent être utilisés pour évaluer les performances d'un système de synchronisation radio impulsionnelle. Dans cette étude, on choisit de se focaliser sur les trois indicateurs suivants :

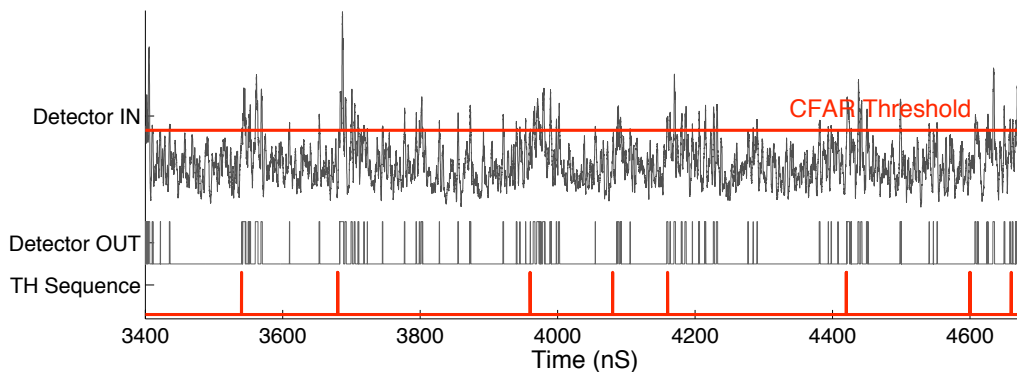
- le taux de succès,
- le nombre de trajets détectés,
- et la durée du processus de synchronisation.

Il faut noter que la synchronisation est considérée comme effectivement réussie à deux conditions. D'une part, il faut naturellement que la séquence de saut temporel ait été identifiée sur au moins un trajet de propagation (un *time unit*) avant la fin du préambule de synchronisation. Et d'autre part, il faut que ce trajet détecté soit suffisamment robuste pour supporter le processus de démodulation. On considère pour cela qu'il faut au moins que la moitié des  $N_{chip}$  impulsions qui composent le symbole soient correctement détectées.

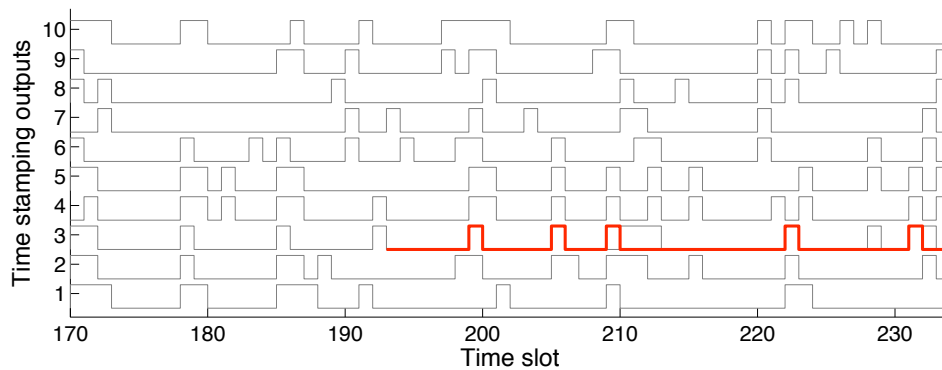
Pour valider cette deuxième condition, on vérifie donc toutes les détections de la séquence de saut temporel à partir de l'instant d'établissement de la synchronisation jusqu'à la fin du préambule. Finalement, la synchronisation est déclarée effectivement réussie si le taux de mauvaises détections sur la queue du préambule est inférieur à 50%.

### 7.2.3 Exemple illustratif

Avant de s'intéresser aux résultats de simulations, on propose un petit exemple illustratif pour bien comprendre la nature des signaux manipulés. La figure 7.2 représente le signal à différents points de l'architecture pendant une durée de 1 symbole dans le cas d'un canal CM4 et d'un rapport signal à bruit de -10 dB. La figure 7.2(a) représente le signal radio impulsionnelle avant et après le comparateur à seuil CFAR (respectivement *Detector IN* et *Detector OUT*). On observe sur cette figure de nombreuses détections après chaque impulsion de la séquence de saut temporel (*TH Sequence*). Ces détections correspondent aux différents trajets de propagation détectables. On observe également un certain nombre de détections parasites liées au bruit. La figure 7.2(b) représente, quant à elle, le signal après le module de datation au même instant (même symbole). Les différents trajets détectés se retrouvent alors en parallèle sur les différents *time units*. En rouge gras, on représente la synchronisation acquise sur le *time unit 3*.



(a) comparateur à seuil CFAR



(b) Module de datation

FIGURE 7.2 – Exemple illustratif - Modèle CM4 - SNR=-10dB

## 7.2.4 Mesure de performances

### 7.2.4.1 Taux de succès

Ce premier indicateur représente la qualité de l'algorithme à établir la synchronisation dans une condition de propagation donnée. Il permet donc d'évaluer le SNR minimum au delà duquel la synchronisation n'est plus garantie. La figure 7.3 représente le taux de succès en fonction du rapport signal à bruit pour les 4 canaux de propagation. On constate naturellement que les performances de l'algorithme dépendent des caractéristiques et de la complexité des canaux de propagation. Dans le cas des canaux LOS (CM1 et CM3), pour lesquels il existe un ou plusieurs trajets de propagation de forte énergie, la synchronisation est garantie à 90 % jusqu'à un rapport signal à bruit d'environ -15 dB. Par contre, dans le cas des canaux NLOS, plus complexes, où l'énergie est étalée sur un plus grand nombre de trajets, la synchronisation est moins facile, et il faut un rapport signal à bruit plus important pour garantir le même taux de succès. Pour le canal CM2, le SNR minimum qui garantit un taux de succès de 90% est de -13,5 dB, alors que pour le canal CM4, il est de -12 dB. Il faut noter que cette limite de 90% est choisie ici arbitrairement pour le confort de lecture qu'elle offre. En réalité, elle doit être déterminée en fonction des critères de fiabilité de l'application. Dans les réseaux de capteurs, par exemple, on considère généralement des taux de succès minimum de l'ordre 95% ou de 99%.

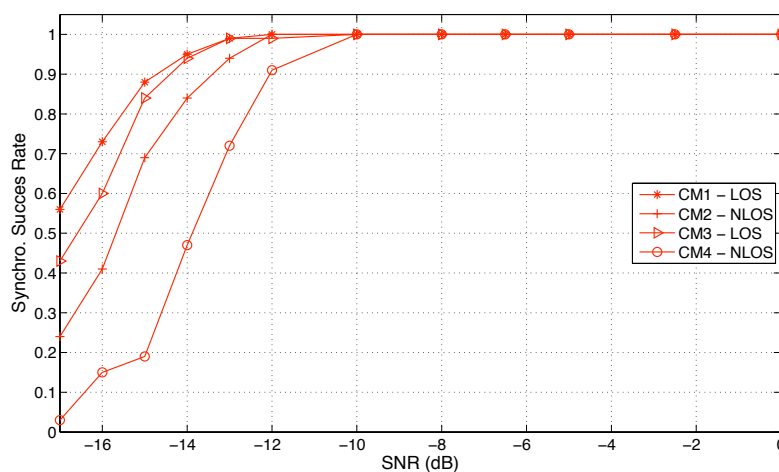


FIGURE 7.3 – Etude de performances - Taux de succès

### 7.2.4.2 Nombre de trajets détectés :

Ce deuxième indicateur permet d'évaluer la sensibilité de l'algorithme de synchronisation. Il représente le nombre de *time units* sur lesquels la séquence de saut temporel a été identifiée. Comme expliqué dans le chapitre précédent, l'architecture de réception proposée dans cette étude implémente un traitement multi-trajets. Cet indicateur permet donc de déterminer combien de trajets pourront être intégrés au processus de prise de décision (*cf.* paragraphe 6.4.2). La figure 7.4 représente le nombre de trajets détectés en



fonction du rapport signal à bruit pour les 4 modèles de canaux. Naturellement, le nombre de trajets détectés diminue avec le rapport signal à bruit. On peut toutefois remarquer un nombre plus important de trajets détectés dans le cas NLOS pour les relativement fortes valeurs du SNR (entre 0 dB et -10 dB), et inversement, un nombre plus important de trajets détectés dans le cas LOS pour les relativement faibles valeurs du SNR (de -10 dB à -17 dB). Ce comportement peut s'expliquer par les caractéristiques des deux types de canaux de propagation : l'énergie émise est étalée sur un grand nombre de trajets dans un canal NLOS, alors qu'elle est étalée sur un nombre plus faible de trajets, mais de plus forte énergie, dans un canal LOS. C'est pourquoi, il est plus facile de détecter plusieurs trajets à bon rapport signal à bruit dans le cas NLOS, et inversement, qu'il plus facile de détecter les quelques trajets de forte énergie d'un canal LOS quand le rapport signal à bruit est moins bon.

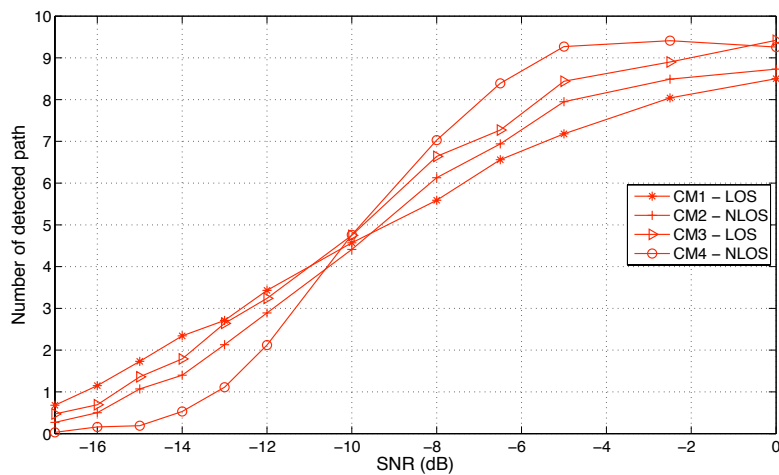


FIGURE 7.4 – Etude de performances - Nombre de chemins détectés

### 7.2.4.3 Durée de synchronisation :

Ce dernier indicateur de performances représente la capacité de l'algorithme à établir la synchronisation en une durée donnée. Il correspond aux nombres de symboles nécessaires pour identifier intégralement la séquence de saut temporel sur au moins un *time unit*. La figure 7.5 représente la variation de cet indicateur en fonction du SNR pour les 4 modèles de canaux. On remarque alors que pour les bons niveaux du rapport signal à bruit (de 0 dB à -10 dB), le processus de synchronisation est très rapide et qu'il n'a besoin que de un ou deux symboles pour établir la synchronisation. En effet, dans ce cas, la plupart des impulsions de la séquence de saut temporel sont détectées, et donc, l'algorithme n'a recours qu'aux distances temporelles d'ordre 1, ce qui garantit une synchronisation rapide. Au contraire, dans le cas de rapports signal à bruit dégradés (entre -10 dB et -17 dB), le processus de synchronisation peut prendre beaucoup plus de temps. Dans ce cas, les impulsions de la séquence de saut temporel sont détectées par intermittence, et il faut donc plus de temps

pour toutes les identifier. Dans ce deuxième cas, l'algorithme de synchronisation utilise l'alphabet d'ordre 2 ou d'ordre 3, et est susceptible d'être souvent réinitialisé à cause des trop nombreuses non-détections et détections parasites. Il faut cependant remarquer que, même dans des conditions de propagation très dégradées, si la synchronisation est possible (*cf.* figure 7.3), la séquence de saut temporel est identifiée bien avant la fin du préambule de synchronisation.

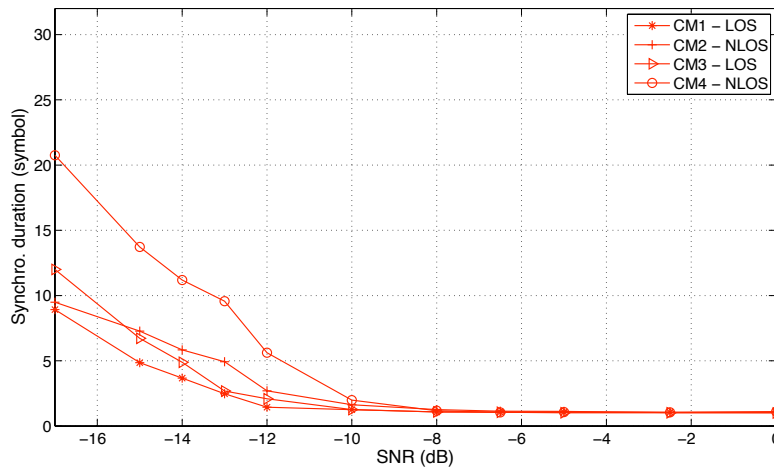


FIGURE 7.5 – Etude de performances - Durée de synchronisation

### 7.2.5 Consommation électrique

On propose maintenant de s'intéresser à la pertinence de l'approche asynchrone sur le critère de la consommation électrique. Il est bien connu, en tout cas par les concepteurs de circuits asynchrones, que la comparaison de la consommation électrique d'une architecture synchrone et d'une architecture asynchrone est particulièrement délicate à réaliser, et qu'elle nécessite la mise en place d'indicateurs adéquats. D'une part, les deux styles de conception conduisent généralement à des architectures très différentes qui sont, de fait, difficiles à comparer. Et d'autre part, la consommation électrique d'un circuit asynchrone dépend des paramètres qui caractérisent son implémentation, tels que la classe de circuit visée (QDI, Micropipeline,...), le codage des données adopté, ou encore, le protocole de communication choisi (*cf.* chapitre 1). Il est donc difficile d'estimer la consommation effective d'un circuit asynchrone uniquement sur la base de son architecture. Dans cette étude, on s'intéresse essentiellement à la faisabilité et aux intérêts d'une architecture asynchrone pour les traitements des signaux radio impulsionnelle, sans se préoccuper réellement des «détails» de l'implémentation matérielle. C'est pourquoi nous proposons d'évaluer la consommation électrique de l'algorithme de synchronisation par le nombre de calculs exécutés, ou le nombre d'événements traités, par l'ensemble de l'architecture de synchronisation pendant toute la durée du préambule.

Dans le cas d'une implémentation synchrone, on peut faire l'hypothèse que l'état des machines à états est réévalué tous les temps *slot*, qu'une impulsion ait été détectée ou non. Pendant les  $N_{sync}$  symboles du préambule de synchronisation, le nombre de calculs effectués par l'ensemble des  $N_{unit}$  machines à états synchrones peut alors être exprimé par :

$$N = N_{unit} \cdot N_{sync} \cdot N_{chip} \cdot N_{slot} = 20480$$

Dans le cas d'une implémentation asynchrone, on a vu que l'état des machines à états n'est réévalué que si des impulsions sont détectées. Le nombre d'événements traités par le système dépend alors directement du signal radio impulsionnelle, du canal de propagation (c'est-à-dire, du nombre de trajets détectables), du niveau de bruit, et du réglage du seuil de détection CFAR. La figure 7.6 représente le nombre d'événements traités par l'ensemble des  $N_{unit}$  machines à états asynchrones sur toute la durée du préambule de synchronisation en fonction du rapport signal à bruit et pour les quatres modèles de canaux.

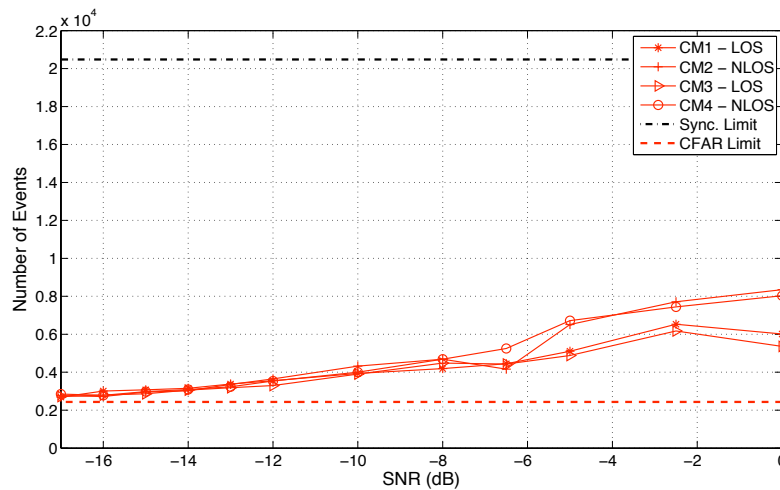


FIGURE 7.6 – Etude de performances - Activité électrique

Tout d'abord, on remarque que, quel que soit le niveau de SNR, le nombre d'événements traités dans l'architecture asynchrone est largement inférieur au nombre de calculs effectués dans une architecture synchrone équivalente (trait noir en pointillés noté *Sync. Limit* en haut de la figure). De plus, on note que ce nombre d'événements diminue en fonction du rapport signal à bruit pour tendre vers une limite basse déterminée par la consigne de réglage du seuil CFAR (trait rouge en pointillés noté *CFAR. Limit* en bas de la figure). Malgré le fait qu'il n'est pas possible de déduire directement de cet indicateur la consommation électrique effective d'une implémentation ou d'une autre, il permet, tout de même, une bonne estimation de l'activité électrique globale. Ainsi, la réduction très significative du nombre d'événements traités par l'architecture asynchrone d'une part, et le fait que cette architecture profite directement des variations du nombre de détection en

fonction des conditions de propagation d'autre part, font de l'approche asynchrone une solution extrêmement prometteuse pour une implémentation très basse consommation.

On peut remarquer par ailleurs, que le nombre *effectif* d'évènements traités par les machines à états dépend en réalité du nombre d'impulsions qui sont détectées pendant la durée *effective* du processus de synchronisation sur chaque *time unit*. En effet, dès lors qu'une machine à états a acquis la synchronisation, elle ne traite plus aucune détection, et donc ne consomme plus jusqu'à la fin du préambule. La figure 7.7 représente le nombre effectif d'évènements traités par les  $N_{unit}$  machines à états asynchrones lorsque cette remarque est prise en compte. On constate alors que la courbe du nombre d'évènements suit une forme de vague en fonction du SNR. Ces variations étonnantes de l'activité électrique en fonction du SNR peuvent s'expliquer comme ceci : à très fort SNR, le grand nombre de trajets détectables implique de très nombreuses détections qui entraînent nécessairement une forte activité électrique. A faible SNR, où le nombre de détections est plus réduit, ce sont deux autres phénomènes qui rentrent en jeu. D'une part, comme montré sur la figure 7.5, la durée de la synchronisation est plus longue à faible SNR. Cela implique un nombre d'évènements traités plus important avant de parvenir à établir la synchronisation. D'autre part, comme montré sur la figure 7.4, le nombre de trajets détectables est plus faible dans le cas de mauvais rapports signal à bruit. Cela implique que de nombreuses machines à états tentent d'identifier la séquence de saut temporel, sans y parvenir, pendant toute la durée du préambule de synchronisation. Cela implique également une augmentation du nombre global d'évènements traités. Ces deux phénomènes conjugués provoquent finalement une augmentation très sensible de l'activité électrique.

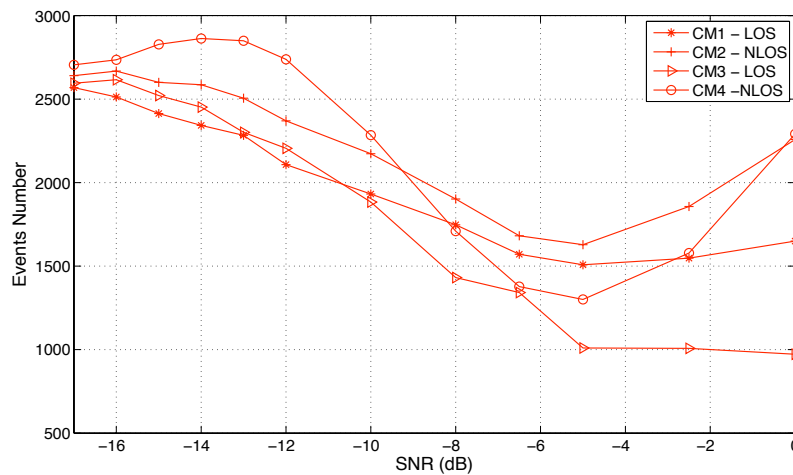


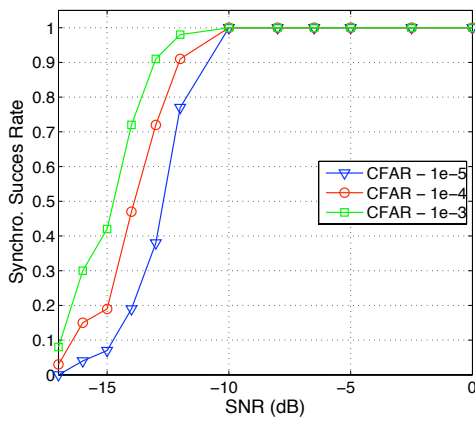
FIGURE 7.7 – Etude de performances - Activité électrique effective

Finalement, on remarque qu'il existe une gamme de SNR (environ de -2 dB à -10 dB) pour laquelle les performances de l'algorithme de synchronisation restent quasi-optimales en termes de taux de succès (*cf.* figure 7.3), de nombre de trajets détectés (*cf.* figure 7.4)

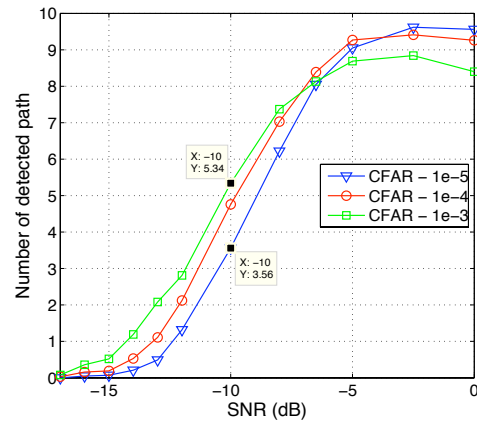
et de durée de synchronisation (*cf.* figure 7.5), et où l'activité électrique est très réduite (*cf.* figure 7.7).

### 7.2.6 Impact du seuil de détection

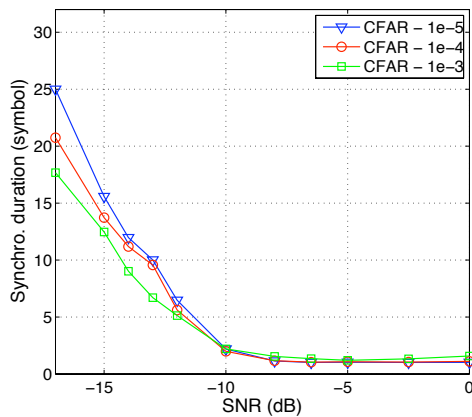
Comme déjà mentionné précédemment, le seuil de détection des impulsions a un impact primordial sur les performances du système. Par exemple, si le nombre de détections parasites de la consigne du seuil CFAR est diminué, alors la sensibilité du récepteur est dégradée (le seuil de détection est plus haut), mais le niveau du BER plancher est amélioré puisqu'il y a moins de risque de mauvaises détections. On propose d'étudier l'influence de la consigne CFAR sur les performances de l'algorithme de synchronisation et sur l'activité électrique. Pour ce faire, une nouvelle série de simulations est réalisée sur le modèle de canal CM4 pour trois valeurs différentes de BER plancher :  $10^{-3}$ ,  $10^{-4}$  et  $10^{-5}$ . Ces valeurs correspondent respectivement à une moyenne de 16,92 , 9,51 et 5,35 détections parasites par temps *chip*.



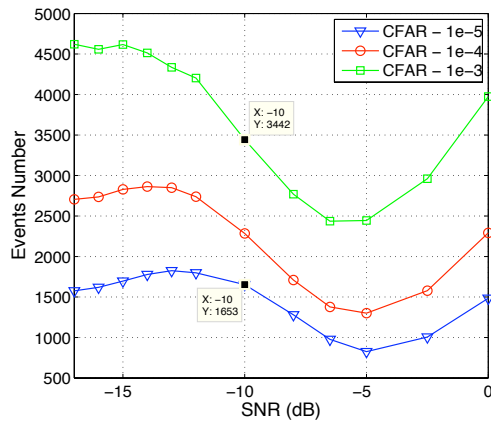
(a) Taux de succès



(b) Nombre de trajets détectés



(c) Durée de synchronisation



(d) Activité électrique

FIGURE 7.8 – Impact du seuil de détection CFAR - Canal CM4

La figure 7.8(a) représente le taux de succès de la synchronisation. Naturellement, la capacité de l'algorithme à établir la synchronisation à faible SNR dépend du seuil de détection CFAR. Quand celui-ci est positionné relativement haut (CFAR -  $10^{-5}$ ), il faut un SNR minimum de -11 dB pour garantir la synchronisation à 90%, alors que quand il est positionné plus bas (CFAR -  $10^{-3}$ ), la sensibilité de la détection étant améliorée, il ne faut plus qu'un SNR minimum de -13 dB pour garantir le même taux de synchronisation. La figure 7.8(b) représente, quant à elle, le nombre de trajets détectés. De même que précédemment, quand la sensibilité est améliorée, le nombre de trajets détectés est plus important. Cependant, on observe qu'à fort SNR, une sensibilité trop importante a tendance à réduire légèrement le nombre de trajets détectables (courbe CFAR -  $10^{-3}$ ). En fait, cette dégradation des performances à fort SNR illustre parfaitement le grand défaut de la technique CFAR qui se révèle inadaptée aux très bonnes conditions de propagations. En effet, dans ce cas, les détections provoquées par les composantes multi-trajets sont trop nombreuses, ce qui complexifie l'identification de la séquence de saut temporel. De même, sur la figure 7.8(c), qui représente la durée de synchronisation, on constate que la séquence de saut temporel est identifiée plus rapidement si le seuil de détection est positionné relativement bas. Ceci est d'autant plus sensible que le SNR est faible. Pour finir, la figure 7.8(d) représente l'effet du positionnement de seuil de détection sur le nombre effectif d'événements traités par les machines à états de synchronisation. Il apparaît clairement sur cette figure que l'activité électrique de l'algorithme de synchronisation varie très significativement avec le réglage du seuil de détection des impulsions.

Cette nouvelle série de simulations montre parfaitement le compromis qui existe entre performances et activité électrique, et démontre à nouveau l'intérêt de l'approche asynchrone pour l'implémentation des traitements radio impulsionnelle. En effet, la flexibilité de gestion de l'activité électrique offerte par cette architecture asynchrone permet d'envisager une gestion dynamique de la consommation par régulation du seuil de détection en fonction de consignes de performances. Par exemple, il est possible de privilégier l'aspect multi-trajets en choisissant un seuil de détection relativement bas afin de détecter plusieurs trajets, ou au contraire, de privilégier l'aspect faible consommation en rehaussant le seuil de détection pour limiter l'activité électrique. Pour illustrer ce point, on relève sur la figure 7.8(b), 5,34 trajets détectés en moyenne à un SNR de -10 dB pour la consigne CFAR à  $10^{-3}$ , et 3,56 pour la consigne CFAR à  $10^{-5}$ . De même, on relève sur la figure 7.8(d), 3442 événements traités quand la consigne CFAR est à  $10^{-3}$ , et 1653 quand elle est à  $10^{-5}$ . Pour cet exemple, en acceptant de dégrader le traitement multi-trajets, on autorise une diminution de la consommation pratiquement de moitié.

### 7.2.7 Conclusion

Cette première section présente les résultats des simulations haut-niveau de l'algorithme de synchronisation des signaux radio impulsionnelle proposé dans le chapitre 6. Les performances de l'algorithme sont évaluées sur des stimuli réalistes basés sur des

modèles statistiques des canaux de propagation UWB. Une évaluation qualitative de la consommation électrique démontre l'intérêt de l'approche asynchrone pour les traitements des signaux radio impulsionnelles pour l'aspect très faible consommation.

### 7.3 Validation expérimentale par prototypage FPGA

Un prototype de l'architecture asynchrone de réception des signaux radio impulsionnelle proposée dans le chapitre 6 a été implémenté sur un FPGA *Altera Stratix II*. Il permet d'une part, de valider la faisabilité matérielle de notre approche, et d'autre part, de tester le fonctionnement de l'architecture de réception sur des signaux radio impulsionnelle réels. Cette étude de prototypage a été réalisée en partie avec l'aide de l'étudiant ingénieur Damien Jean, lors de son stage de fin d'étude. Nous proposons, dans cette nouvelle section, de présenter les points clés de cette étude de prototypage.

#### 7.3.1 Architecture générale

La figure 7.9 montre l'architecture générale du prototype de réception des signaux radio impulsionnelle. La mise en forme du signal, la détection d'énergie, et le comparateur à seuil sont implémentés en composants discrets sur une carte dédiée. Le comparateur délivre alors au FPGA un signal numérique haute fréquence qui respecte les caractéristiques LVDS («*Low Voltage Differential Signaling*»).

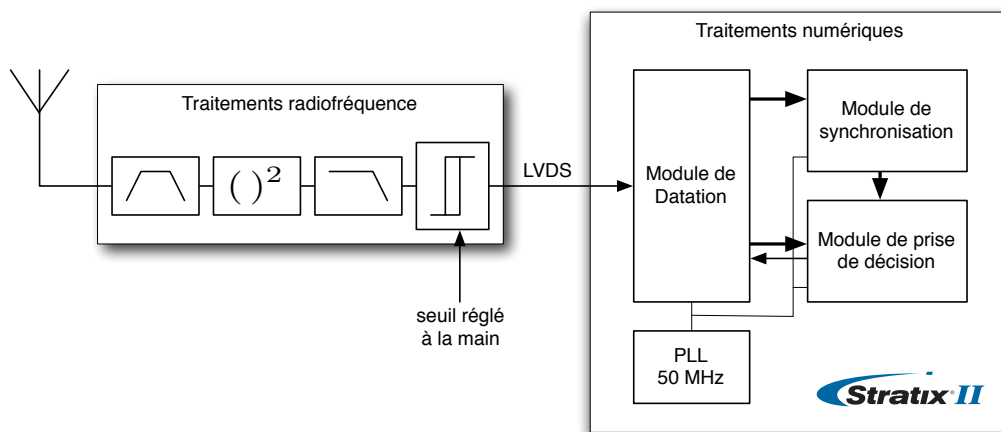


FIGURE 7.9 – Architecture générale du prototype de réception radio impulsionnelle

Tous les traitements numériques de réception sont alors implémentés dans le FPGA tel que représenté sur la figure 7.9. Il faut noter que seuls les modules de datation et de synchronisation ont effectivement été implémentés dans cette version asynchrone du prototype de réception. Toutefois, le module de prise de décision, du moins dans une version simple mono-trajet, ne pose, à priori, aucune difficulté particulière d'implémentation. De même, il faut noter que le positionnement de seuil CFAR n'est pas implémenté dans cette architecture, et que le seuil est réglé directement à la main à l'aide d'une tension

de référence externe. Les techniques particulières mises en œuvre pour implémenter les modules de datation et de synchronisation sur le FPGA sont présentées ci-après.

### 7.3.2 Utilisation de l'IP matérielle SERDES

La première difficulté de cette étude de prototypage est de réaliser l'échantillonnage et la datation du signal numérique haute fréquence, délivré par la carte de traitements radiofréquence, à une résolution temporelle de l'ordre de la nanoseconde. En effet, cette résolution temporelle est trop élevée pour pouvoir être supportée directement par la logique programmable du FPGA (limitée à 350 MHz [5]). La solution, que nous proposons alors pour résoudre cette difficulté, consiste à utiliser une IP matérielle *Altera* implémentée «en dur» dans le FPGA. Celle-ci sert normalement à la communication série rapide de données entre plusieurs FPGA. Cette IP est dénommée SERDES («*SER*ializer *DE*serializer»). C'est précisément la disponibilité et les caractéristiques de cette IP SERDES qui a justifié le choix du FPGA *Altera Stratix II*. En effet, le paragraphe 7.3.4 montre que, mise à part cette IP matérielle particulière, les capacités en vitesse, en logique programmable et en ressource mémoire de ce FPGA haut de gamme sont sur-dimensionnées par rapport aux besoins réels de notre architecture.

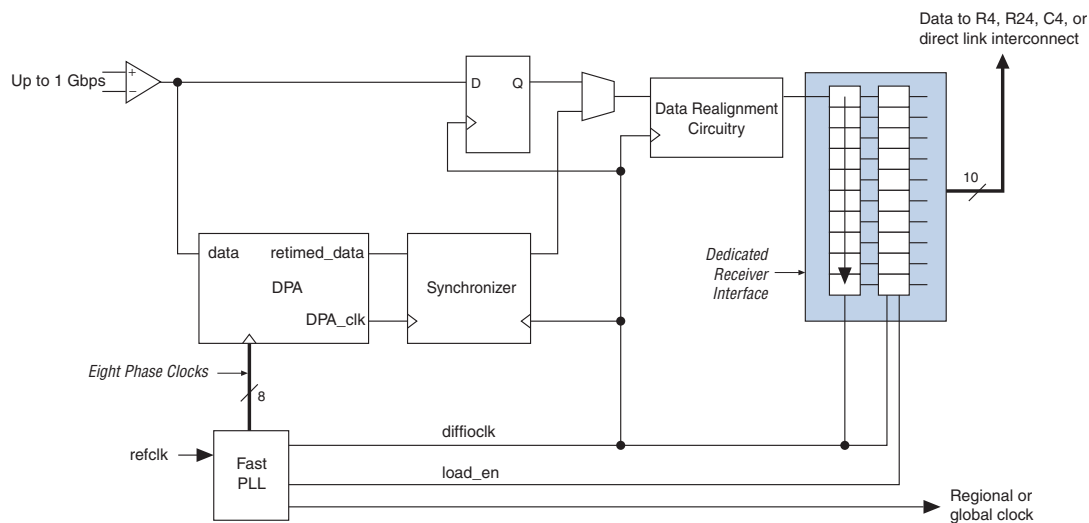


FIGURE 7.10 – Architecture de l'IP SERDES de réception

Naturellement, c'est le bloc de réception de l'IP SERDES qui nous intéresse dans le cadre notre étude. Elle permet de réaliser la réception série de données jusqu'à un débit de 1Gbps, ce qui semble, à priori, convenir aux caractéristiques du signal numérique issu du comparateur à seuil. La figure 7.10 représente l'architecture du récepteur SERDES. Elle est tirée du *Stratix II Handbook Volume 2* [5]. Il faut noter que l'instantiation de cette IP est paramétrable dans le flot de conception, et qu'il est possible de ne garder que les blocs nécessaires au fonctionnement de notre module de datation. Ainsi, le facteur de désérialisation peut être spécifié, la fréquence d'échantillonnage est configurable par une



PLL, et les blocs «*Dynamic Phase Aligner*» (DPA), «*Synchronizer*» et «*Data Realignment Circuitry*» peuvent être shuntés.

On propose d'expliquer le fonctionnement du module de datation implémenté à l'aide de cette IP SERDES. Le signal numérique asynchrone issu du comparateur est échantillonné par la bascule D à une fréquence d'échantillonnage de 500 MHz délivrée par la *Fast PLL*. Le facteur de désérialisation est choisi égal à 10, de manière à réaliser la division temporelle du temps *slot* en 10 *time units* de 2 ns. Le signal ainsi échantillonné est alors mémorisé dans une ligne à retard de 10 bascules, qui sont lues et recopiées en parallèle dans un registre de 10 bits à la fréquence du temps *slot* (partie grisée sur le schéma). On réalise ainsi la partie de l'architecture de datation notée *DEMUX* telle que représentée sur la figure 6.9 du chapitre précédent.

Le reste de l'architecture du module de datation est identique à la description faite dans le paragraphe 6.4.1. Le contenu du registre 10 bits, qui correspond aux détections et non-détections des impulsions sur les 10 *time units*, sert alors à piloter les 10 compteurs de distances temporelles selon le principe expliqué précédemment (*cf.* paragraphe 6.4.1.1).

### 7.3.3 Technique de *gated-clock*

La deuxième difficulté de cette étude de prototypage consiste à implémenter une architecture asynchrone sur de la logique programmable synchrone. La solution la plus simple qui s'est imposée dans cette étude de faisabilité est l'utilisation de la technique *gated-clock*. Cette technique, supportée par le flot de conception automatique d'*Altera*, consiste à ajouter de la logique de contrôle sur l'arbre d'horloge pour pouvoir désactiver une partie quand elle est inutile. Dans le cadre de cette étude de prototypage, cette technique offre l'intérêt d'une conception des machines à états suivant le style synchrone, très simple, et parfaitement maîtrisé par les outils du flot de conception, tout en permettant de valider le principe de l'algorithme de synchronisation proposé dans le paragraphe 6.3.

Plusieurs techniques peuvent alors être envisagées pour implémenter la technique de *gated-clock*. En effet, on peut vouloir contrôler l'activité globale de tout un bloc numérique piloté par un arbre d'horloge (*cf.* figure 7.11(a)), ou alors simplement contrôler localement l'activité ponctuelle d'une sous partie de ce bloc numérique (*cf.* figure 7.11(b)). La première solution est très intéressante en termes de consommation puisqu'elle permet de désactiver tout un arbre d'horloge. Cependant, sa mise en œuvre dans notre projet se révèle relativement complexe. En effet, cette première technique impose l'utilisation d'un composant matériel du FPGA *Stratix II*, le «*clock control bloc*», qui est nécessairement inséré entre la PLL et l'arbre d'horloge [5]. Cette contrainte matérielle impose d'instancier et de piloter autant d'arbres d'horloge qu'il y a de machines à états de synchronisation dans l'architecture. Une PLL ne pouvant piloter qu'un nombre réduit d'arbres d'horloge,

cette contrainte temporelle implique une complexité excessive puisqu'il apparaît alors des problèmes de synchronisation entre plusieurs domaines d'horloges relativement délicats à résoudre.

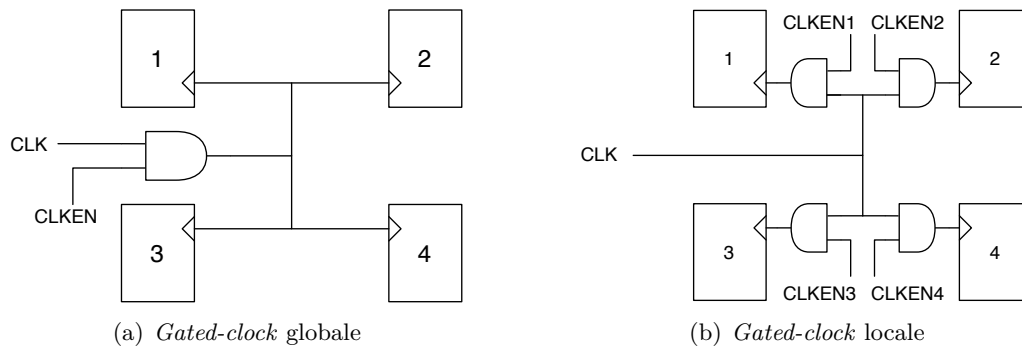


FIGURE 7.11 – Principe de la technique *gated-clock*

Ces considérations nous ont donc conduits à privilégier la deuxième solution beaucoup plus simple à mettre en œuvre, puisqu'elle ne nécessite pas l'utilisation de plusieurs arbres d'horloges. Cela permet de supprimer tous les problèmes liés au contrôle des différentes PLL et des différents arbres d'horloge, en limitant ainsi grandement la complexité. Il faut tout de même remarquer que cette deuxième solution ne présente aucun intérêt au niveau de la consommation puisque l'arbre d'horloge est toujours activé. Cependant, le concept de l'algorithme de synchronisation peut être validé suivant cette technique.

Finalement, la présence d'une détection (d'un «1») dans la bascule  $i$  du registre 10 bits du récepteur SERDES provoque la validation d'un signal *clock enable i* qui permet d'activer la A-FSM  $i$ . Celle-ci vient alors lire la valeur calculée par le compteur de distances  $i$ , et réévalue son état suivant le principe détaillé dans le chapitre 6.

### 7.3.4 Fréquence de fonctionnement et ressources matérielles

L'ensemble de l'architecture présentée ici a été décrite en langage VHDL. Elle a été ensuite synthétisée et «placée-routée» avec *Quartus II*, l'outil intégré de conception d'*Altera*. Un résumé des ressources matérielles du FPGA utilisées pour implémentation de l'architecture de synchronisation des signaux radio impulsionnelle est donné ci-dessous :

Combinational ALUTs	: 2,582 / 12,480 ( 21 % )
Dedicated logic registers	: 690 / 12,480 ( 6 % )
PLLs	: 1 / 6 ( 17 % )
SERDES receivers	: 1 / 42 ( 2 % )

Par ailleurs, la fréquence maximale de fonctionnement estimée après placement-routage est de l'ordre de 110 MHz. Ces différents résultats permettent de valider la faisabilité matérielle de notre approche et montrent qu'un FPGA moins haut de gamme pourrait convenir, à la condition qu'il dispose d'une IP matérielle SERDES.

### 7.3.5 Validation expérimentale

Les manipulations expérimentales ont permis de valider le fonctionnement de l'architecture proposée sur des signaux radio impulsionnelle réels, et montrent qu'un traitement multi-trajets pourra être appliqué. En effet, en fonction des caractéristiques de la propagation, le récepteur identifie la séquence de saut temporel sur un ou plusieurs *time units*.

La photo de la figure 7.12 représente l'environnement expérimental. On distingue notamment l'émetteur et son antenne sur le côté gauche de la photo, ainsi que l'antenne de réception suivie de la carte de traitements RF à droite. Il faut noter que le FPGA, qui implémente les traitements numériques de réception, n'apparaît pas sur cette photo.

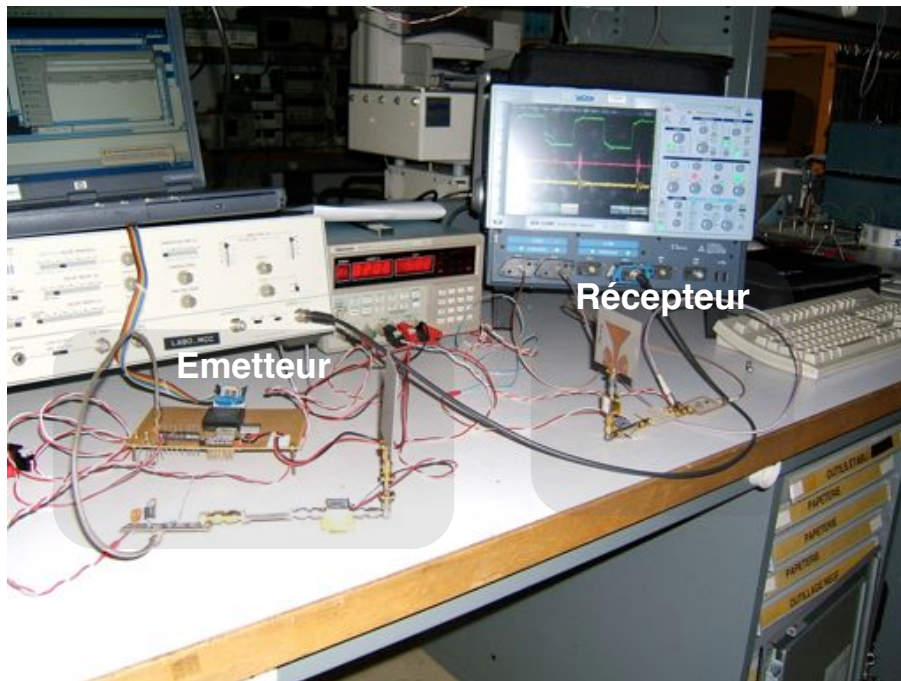


FIGURE 7.12 – Photo de l'environnement expérimental

## 7.4 Conclusion

Ce chapitre présente l'étude de performances réalisée par des simulations fonctionnelles de haut-niveau. Ces simulations, basées sur les modèles statistiques des canaux de propagation UWB du comité de normalisation IEEE.802.15.4a, permettent de valider, sur des stimuli réalistes, la pertinence de notre approche, tant du point de vue des performances

---

(taux de succès, temps de synchronisation, détection multi-trajets), que du point de vue de la consommation électrique. En effet, un indicateur qualitatif de l'activité électrique, basé sur le nombre de traitements effectués par l'architecture pendant toute la durée du préambule de synchronisation, montre que la solution asynchrone permet de tirer profit avantageusement des variations des caractéristiques du canal de propagation et du seuil de détection des impulsions pour réduire la consommation électrique. Ce chapitre présente également une étude de prototypage sur FPGA de l'architecture asynchrone. Celle-ci permet de valider la faisabilité matérielle de l'architecture proposée et démontre la correction fonctionnelle du principe de l'algorithme asynchrone de synchronisation sur des signaux radio impulsionnelle réels.



## Chapitre 8

# Architecture de réception IR-UWB à oscillateur asynchrone

### Sommaire

<b>8.1</b>	<b>Introduction</b>	<b>153</b>
<b>8.2</b>	<b>Architecture de synchronisation IR-UWB à oscillateur asynchrone</b>	<b>154</b>
8.2.1	Principe de fonctionnement	155
8.2.2	Validation fonctionnelle	158
<b>8.3</b>	<b>Discussion</b>	<b>160</b>
8.3.1	Intérêts et limitations	160
8.3.2	Perspectives : vers des réseaux de capteurs totalement asynchrones?	162
<b>8.4</b>	<b>Conclusion</b>	<b>163</b>

### 8.1 Introduction

Les deux chapitres précédents proposent une implémentation asynchrone d'un algorithme de synchronisation des signaux radio impulsionnelle. Une étude de performances démontre la faisabilité et la pertinence de l'approche asynchrone, notamment sur l'aspect faible consommation, pour l'implémentation des traitements numériques de réception des signaux radio impulsionnelle. Toutefois, il faut noter que la correction fonctionnelle de ce système de réception n'est garantie qu'à la condition que l'échantillonnage du signal numérique, issu du détecteur d'impulsions, soit réalisé avec une résolution temporelle suffisamment fine, et surtout à une fréquence parfaitement ajustée sur la fréquence d'émission de l'émetteur. En effet, on comprend bien que, si la durée du temps *slot* du récepteur est différente de celle de l'émetteur, il devient impossible de détecter la séquence de saut temporel.

Cette remarque, qui est d'ailleurs aussi bien valable pour l'approche asynchrone développée ici, que pour une approche synchrone, constitue l'un des «points durs» de l'implémentation des systèmes radio impulsionnelle bas débit, à faible coût et à faible complexité.

En effet, l'hypothèse temporelle sur laquelle reposent les travaux précédents et qui consiste à supposer que le récepteur et l'émetteur IR-UWB fonctionnent exactement à la même fréquence, se traduit par une contrainte matérielle forte au niveau du récepteur et de l'émetteur. Elle leur impose d'embarquer un dispositif capable de générer une base de temps de grande résolution temporelle et de fréquence très précise. On a vu dans le paragraphe 7.3, qui présente l'étude de prototypage, que ce dispositif peut être implémenté par une PLL numérique («*Phase-Locked Loop*»). Cependant, ces systèmes asservis présentent de nombreux inconvénients, tels qu'une complexité matérielle importante, une consommation électrique non négligeable, une grande sensibilité aux tensions d'alimentation, ou encore, la nécessité d'utiliser des composants externes (quartz). On comprend alors qu'il peut être particulièrement intéressant de trouver des solutions architecturales qui permettent de supprimer, ou du moins, de relâcher les hypothèses temporelles évoquées ici.

Les travaux sur les anneaux asynchrones, détaillés dans la deuxième partie de ce manuscrit, montrent que ceux-ci permettent d'implémenter des oscillateurs numériques programmables stables et très rapides. Les caractéristiques présentées par ces oscillateurs asynchrones semblent convenir aux contraintes de résolution temporelle nécessaires aux traitements de réception des signaux radio impulsionnelle. Cependant, malgré leur robustesse accrue aux variations des paramètres technologiques par rapport à celle des anneaux d'inverseurs, ces oscillateurs numériques restent sensibles aux dispersions des procédés de fabrication. De fait, les oscillateurs numériques asynchrones permettent de générer un signal d'échantillonnage rapide et stable, mais dont la fréquence ne peut être garantie précisément.

Sur la base de ces deux constatations, ce chapitre présente une étude prospective d'une architecture de réception radio impulsionnelle originale articulée autour d'un oscillateur numérique asynchrone. On propose, dans un premier temps, de présenter le principe de fonctionnement d'une telle architecture. On se focalisera tout particulièrement sur l'étape de synchronisation qui semble particulièrement délicate. Puis dans un deuxième temps, on propose de discuter des intérêts et des limitations présentés par cette approche des traitements des signaux radio impulsionnelle, que l'on peut qualifier de totalement asynchrone.

## 8.2 Architecture de synchronisation IR-UWB à oscillateur asynchrone

On fait l'hypothèse, dans cette étude, que l'oscillateur numérique asynchrone qui implémente la base de temps du récepteur IR-UWB, délivre un signal périodique très stable et suffisamment rapide pour échantillonner le signal numérique issu du détecteur d'impulsions, mais dont la période  $T_u$  n'est pas connue précisément. De fait, il n'est pas possible d'effectuer, à priori, la parallélisation des traitements de synchronisation telle que proposée dans le paragraphe 6.4, puisque le nombre  $N_{unit}$  de *time units* du récepteur qui divisent la

durée  $T_{slot}$  de l'émetteur, n'est pas connu à priori. Le premier objectif de cette architecture de synchronisation est donc d'établir la relation qui lie la fréquence du récepteur à celle de l'émetteur. De manière plus précise, le processus de synchronisation décrit dans ce chapitre permet d'établir la relation qui fait correspondre la durée du *time unit* du récepteur à la durée du temps symbole de l'émetteur :

$$N_u \cdot T_u = T_{symp} \quad (8.1)$$

Pour réaliser ceci, l'architecture de synchronisation à oscillateur asynchrone exploite la périodicité du signal radio impulsionnelle à l'échelle du temps symbole. Le paragraphe suivant présente le principe de fonctionnement de cette architecture de synchronisation originale.

### 8.2.1 Principe de fonctionnement

Comme dans l'étude précédente, on fait l'hypothèse que le canal de propagation UWB est stationnaire, c'est-à-dire que sa réponse impulsionnelle est constante à l'échelle de la durée d'une communication. Ainsi, quelle que soit la période d'échantillonnage  $T_u$  du récepteur, la forme du signal numérique issu du comparateur à seuil est dupliquée à l'identique à chaque nouvelle impulsion reçue. En effet, on voit bien sur les deux exemples de la figure 8.1, que, même si la forme de la réponse impulsionnelle du canal échantillonnée sur 1 bit varie en fonction de la durée du *time unit*, elle est dupliquée à l'identique à chaque nouvelle impulsion. Ainsi, on peut considérer que le signal radio impulsionnelle reçu est, en quelque sorte, «*signé temporellement*» par cette réponse impulsionnelle numérique.

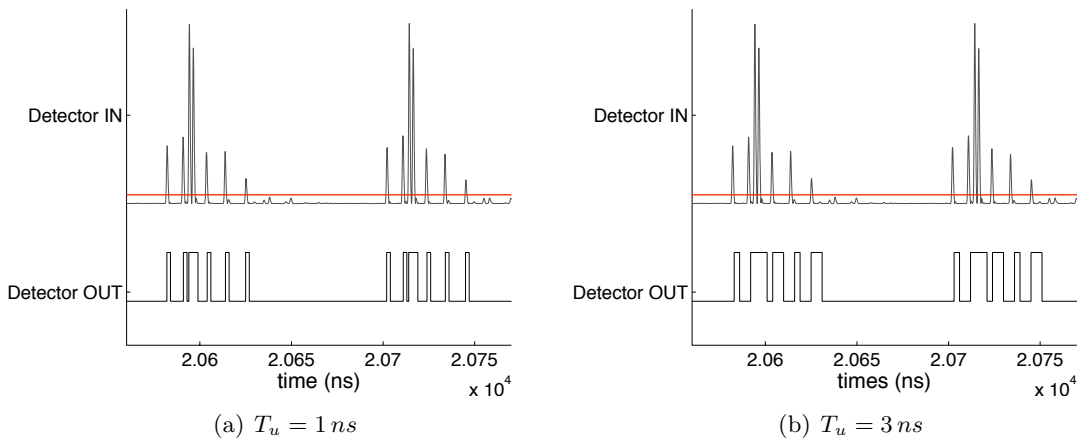


FIGURE 8.1 – Exemples d'une réponse impulsionnelle échantillonnée à durée variable

De la même manière, quelle que soit la période d'échantillonnage  $T_u$ , la séquence de saut temporel «*signe*», à l'échelle du temps symbole, le signal radio impulsionnelle détecté par le récepteur. Le préambule de synchronisation peut alors être vu comme la juxtaposition de plusieurs «*signatures temporelles*» qui combinent la séquence de saut temporel



et la réponse impulsionnelle numérique du canal. Le principe de fonctionnement de l'architecture de synchronisation proposée ici est de capturer cette signature temporelle, puis de l'exploiter pour effectuer une corrélation glissante avec le signal reçu, afin de détecter la périodicité à laquelle elle réapparaît. La période de réapparition correspond alors à la durée des temps symbole.

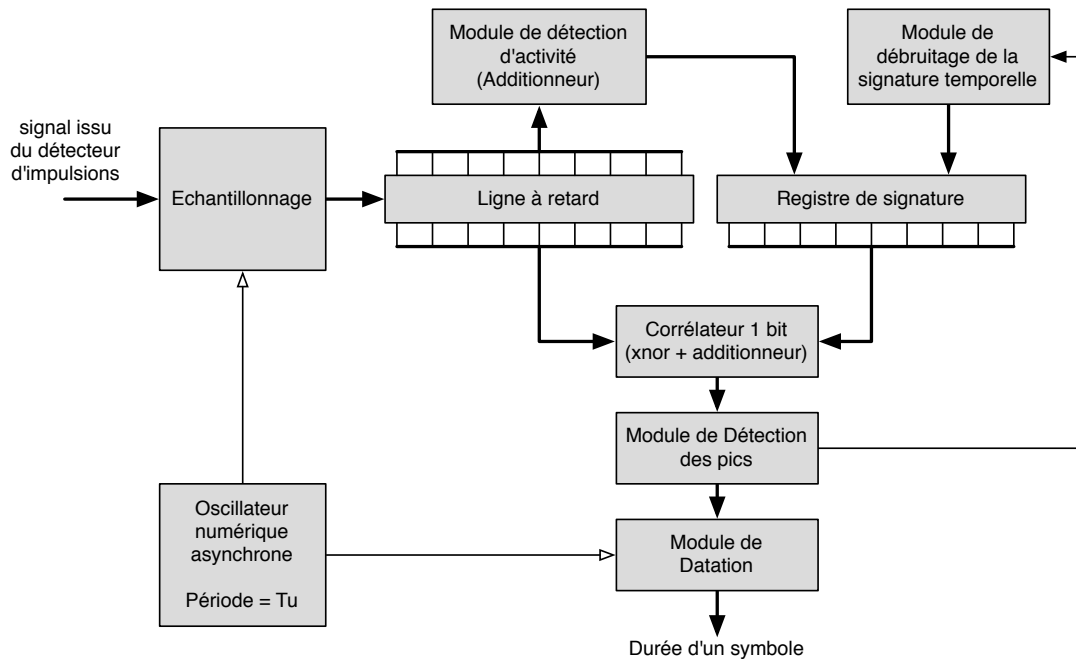


FIGURE 8.2 – Schéma de principe de l'architecture de synchronisation à oscillateur asynchrone

La figure 8.2 représente le schéma de principe de l'architecture de synchronisation proposée dans ce chapitre. Le signal numérique issu du détecteur d'impulsions, échantillonné à la période  $T_u$ , est mémorisé en continu dans une ligne à retard. Si une augmentation sensible du nombre de «1» qui traversent la ligne à retard est observée, cela traduit une fréquence plus importante de détections en sortie du comparateur à seuil. On considère alors qu'une communication radio impulsionnelle a débuté, et le contenu de la ligne à retard est recopié dans un registre de même dimension que l'on appelle *registre de signature*. Un corrélateur effectue alors la corrélation glissante du signal qui traverse la ligne à retard par la signature temporelle ainsi mémorisée. Dès que le contenu de la ligne à retard est cohérent avec le contenu du registre de signature, un pic de corrélation est détecté en sortie du corrélateur, et peut être daté. En mesurant les distances temporelles qui séparent chaque pic de corrélation, il est possible de déterminer la durée du temps symbole de l'émetteur en fonction du *time unit* du récepteur.

Sur le schéma de la figure 8.2, on note également la présence d'une flèche qui relie le module de détection des pics de corrélation à un module de débruitage de la signature temporelle. En fait, le premier motif de corrélation capturé quand une activité est détectée sur le canal, contient effectivement la signature temporelle, mais également un certain

nombre de détections parasites liées au bruit. Le module de débruitage permet d'éliminer ces détections parasites pour ne garder que la signature temporelle. Chaque fois qu'un pic de corrélation est détecté en sortie du corrélateur, le contenu de la ligne à retard est mémorisé dans un banc de registres implémenté dans le module de débruitage. Les différents registres de ce module contiennent alors la même signature temporelle, mais capturée à des instants différents. Ainsi, les détections qui apparaissent aux mêmes emplacements dans tous les registres, sont considérées comme du signal utile et conservées, alors que celles qui n'apparaissent qu'une seule fois dans un des registres, sont considérées comme des détections parasites et éliminées. De manière itérative, le motif de corrélation est épuré au fur et à mesure des détections des pics de corrélation pour, finalement, ne conserver que la signature temporelle. La corrélation devient alors de plus en plus efficace, et les pics de corrélation ressortent de mieux en mieux.

Il convient maintenant de faire quelques remarques pour dimensionner les paramètres de cette architecture et en évaluer la complexité :

**Ligne à retard :** La profondeur de la ligne à retard et du registre de signature, que l'on note  $N_{dl}$ , couplée à la durée du *time unit* délivré par l'oscillateur asynchrone, détermine la durée pendant laquelle la signature temporelle est mémorisée. Pour pouvoir bénéficier de la redondance des  $N_{chip}$  impulsions émises par symbole,  $N_{dl}$  est choisi en fonction de la durée moyenne du *time unit*, de sorte, qu'en moyenne, la signature temporelle couvre une séquence de saut temporel complète. Dans le cas où la durée effective du *time unit* est plus petite que la valeur moyenne, la signature temporelle ne correspond plus qu'à une sous partie de la séquence de saut temporel, mais le manque d'énergie est compensé par une résolution temporelle accrue. A l'inverse, si la durée effective du *time unit* est plus grande que la valeur moyenne, alors la perte de résolution temporelle est compensée par une plus grande quantité d'énergie intégrée à la signature temporelle.

**Module de détection d'activité :** Le rôle de ce module est de détecter le début de la communication radio impulsionnelle pour capturer la première signature temporelle. Son principe consiste à mesurer en continu le nombre de détections présentes dans la ligne à retard, et à déclencher la mémorisation dans le registre de signature si un seuil préfixé est dépassé. Ce module peut être implémenté par une structure de type *micropipeline* de  $N_{dl}$  étages (*cf.* paragraphe 1.5.1.4). Le premier étage du *micropipeline* est connecté à l'entrée de la ligne à retard, alors que le dernier étage l'est à la sortie. Quand un «1» (une détection) entre dans la ligne à retard, un jeton est créé et injecté dans le *micropipeline*, puis quand un «1» sort de la ligne à retard, le dernier étage du *micropipeline* est acquitté, et un jeton est détruit. Ainsi, il y a autant de jetons dans le *micropipeline* que de «1» dans la ligne à retard. Les règles qui régissent la propagation des jetons dans ce type de structure (*cf.* paragraphe 4.2.2) impliquent que tous les jetons présents dans le *micropipeline* s'empilent les uns sur les autres à partir du dernier étage. Ce principe permet d'obtenir

une représentation de type «*Vu-metre*» du nombre de détections dans la ligne à retard. La capture de la signature temporelle est alors déclenchée si la pile de jetons dépasse un étage qui fixe la valeur du seuil, à la manière d'un curseur. Cette implémentation originale du module de détection d'activité permet d'éviter l'utilisation d'un additionneur à  $N_{dl}$  entrées cadencé à la fréquence du *time unit*.

**Corrélateur :** Le corrélateur effectue la corrélation glissante du signal qui traverse la ligne à retard par le signal mémorisé dans le registre de signature à la fréquence du *time unit*. Il faut noter que, dans notre cas, il s'agit d'une corrélation de deux signaux échantillonnés sur 1 bit. La corrélation consiste alors à un *XNOR* bit à bit entre le contenu de la ligne à retard et le contenu du registre de signature, puis à la sommation des résultats de tous les *XNOR* pour calculer le taux de corrélation. On voit donc que la complexité de ce corrélateur est limitée à l'additionneur. Toutefois, contrairement à l'additionneur du module de détection d'activité qui présente des contraintes temporelles faibles (l'instant du déclenchement de la capture de la signature n'est pas critique, et de fait, le temps nécessaire aux jetons pour s'organiser dans le *micropipeline* n'est pas problématique), l'additionneur du corrélateur, lui, doit être en mesure de délivrer le taux de corrélation à la fréquence du *time unit*. Cette contrainte temporelle ne permet pas l'utilisation d'une structure à *micropipeline* dont le temps de «calcul» est variable. Il est donc nécessaire de concevoir un additionneur à  $N_{dl}$  entrées cadencé à la fréquence du *time unit*. Cet additionneur constitue clairement le bloc le plus complexe et le plus consommant de l'architecture, et devra faire l'objet d'une attention particulière lors de sa conception.

**Module de détection des pics de corrélation :** Le rôle de ce module est de détecter les pics de corrélation qui servent à retrouver la durée du temps symbole, et de capturer les nouvelles signatures temporelles nécessaires au processus de débruitage. Ce module présente les mêmes contraintes temporelles que l'additionneur du corrélateur. En effet, on comprend bien que le processus de détection des pics ne peut être exécuté en un temps variable sous peine de ne pouvoir effectuer une datation précise. Par ailleurs, la fiabilité de la détection des pics est également particulièrement importante, notamment pendant la phase de débruitage de la signature temporelle. En effet, une fausse détection implique que le motif mémorisé dans le banc de registres n'est pas cohérent avec la signature temporelle. Dans ce cas, le processus de débruitage, au lieu d'améliorer la signature temporelle, peut la dégrader.

### 8.2.2 Validation fonctionnelle

L'architecture de synchronisation proposée dans ce chapitre a été modélisée sous *Matlab* et interfacée avec le générateur de signaux radio impulsionnelle développé pour l'étude de performances décrite dans le paragraphe 7.2. Ces simulations fonctionnelles de haut-niveau ont permis de valider le principe de fonctionnement proposé sur différents types de canaux de propagation, à des niveaux différents du rapport signal à bruit, et pour une

large gamme de périodes d'oscillation de l'oscillateur numérique asynchrone. On propose de décrire un petit exemple qui illustre le fonctionnement de cette architecture originale. Pour ces simulations fonctionnelles, on fait l'hypothèse que l'oscillateur numérique asynchrone est configuré pour générer un signal périodique de période moyenne d'environ 2 ns. Cela conduit à choisir la profondeur de la ligne à retard égale à 640, de manière à couvrir, en moyenne, l'intégralité de la séquence de saut temporel. Pour l'exemple présenté ci-dessous, la durée effective de la période est plus petite que prévu, et elle vaut 1,5 ns. La durée effective de la signature temporelle est donc  $N_{dl} \cdot T_u = 960ns$ , ce qui correspond, en définitive, à 75% de la séquence de saut temporel complète.

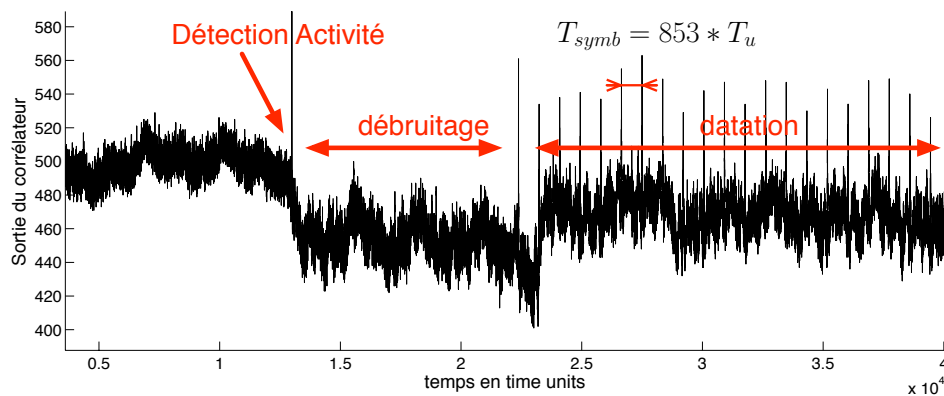


FIGURE 8.3 – Exemple illustratif - Taux de corrélation en sortie du corrélateur 1 bit

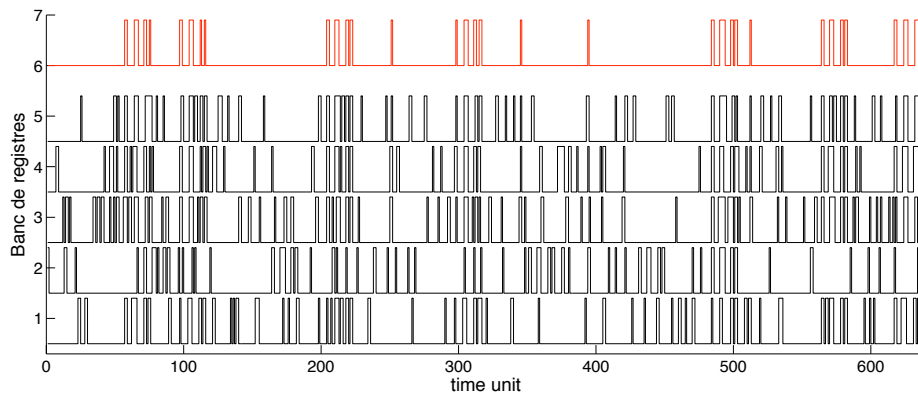


FIGURE 8.4 – Exemple illustratif - Débruitage de la signature temporelle

La figure 8.3 présente le taux de corrélation en sortie du corrélateur 1 bit. Dès qu'une activité est détectée sur le canal, la signature temporelle est capturée. Le processus de débruitage peut alors débuter. La figure 8.4, représente les signatures temporelles capturées aux instants des pics de corrélation détectés pendant la phase de débruitage, et mémorisées dans le banc de registres. On voit que chacune d'entre elles comporte des détections de signal utile, que l'on retrouve superposées les unes sur les autres dans tous les registres (sauf pour le registre 2 qui correspond à une mémorisation déclenchée sur une fausse dé-

tection). Chacune comporte également de nombreuses détections parasites liées au bruit, qui sont alors distribuées aléatoirement dans le motif. Le processus de débruitage permet de supprimer une grande partie de ces détections parasites pour générer la signature temporelle débruitée, représentée en rouge en haut de la figure. Le processus de datation peut alors commencer. Il apparaît clairement sur la figure 8.3 que le principe du débruitage est très efficace pour faire ressortir les pics de corrélation à la fréquence du temps symbole. La différence mesurée entre chaque pic de corrélation oscille entre 853 et 854 *time units* selon la séquence ternaire suivante : {853, 853, 854, 853, 853, 854, 853,...} Finalement, la distance temporelle moyenne qui sépare les pics de corrélation permet de retrouver la durée précise du temps symbole utilisée à l'émission :  $853,33 \times 1,5 = 1280$  ns.

Ainsi, quelle que soit la durée effective du *time unit* du récepteur, l'architecture proposée dans ce chapitre permet d'une part, d'établir une signature temporelle débruitée, et d'autre part, de déterminer de manière fiable la durée des temps symbole de l'émetteur en fonction de la durée effective des *time units* du récepteur. On propose dans le paragraphe suivant de discuter des intérêts, des limitations, et des perspectives offertes par cette architecture de réception radio impulsionnelle à oscillateur asynchrone.

## 8.3 Discussion

### 8.3.1 Intérêts et limitations

Tout d'abord, il faut noter que le principe de la synchronisation proposée dans cette étude prospective est complètement différent de celui utilisé dans les études précédentes. En effet, le principe proposé ici repose sur la détection de la pseudo-périodicité du signal radio impulsionnelle à l'échelle du temps symbole. Il n'exploite pas la connaissance du code pseudo-aléatoire  $C_{TH}$  utilisé à l'émission pour construire la séquence de saut temporel, mais juste le fait qu'un procédé de saut temporel est utilisé à l'émission. Cela implique que l'architecture de synchronisation est capable de construire une signature temporelle et de détecter la durée des temps symboles, et cela, quel que soit le code  $C_{TH}$  utilisé. Il n'est donc pas possible de déterminer, à priori, si la communication radio impulsionnelle est destinée au récepteur ou non. Pour les mêmes raisons, il n'est pas non plus possible de déterminer, par simple observation des pics de corrélation, le début du temps symbole car la signature temporelle peut avoir été capturée «à cheval» sur deux séquences de saut temporel. De fait, le processus de synchronisation doit comporter une deuxième étape qui reste pour l'instant à étudier en profondeur et à formaliser. Toutefois, quelle que soit sa mise en œuvre définitive, le principe de cette deuxième étape de synchronisation consiste à exploiter la signature temporelle mémorisée dans le registre de signature, ainsi que la connaissance à posteriori de la durée du *time unit*, pour identifier la séquence de saut temporel spécifique au couple émetteur / récepteur. Ceci peut être réalisé en réutilisant le même algorithme de synchronisation qui a été étudié en détail dans le chapitre 6. Il faut

noter que la mise en œuvre de cet algorithme semble à priori simplifiée, puisque la construction itérative de la signature temporelle permet d'éliminer toutes les détections parasites pour ne garder que le signal utile. Quand la séquence de saut temporel est identifiée, il est possible d'une part, de déterminer le destinataire de la communication, et d'autre part, de recentrer la signature temporelle sur le temps symbole pour procéder à la démodulation.

Le principe de la démodulation en radio impulsionnelle, telle qu'étudiée dans les chapitres précédents, consiste à effectuer la prise de décision sur le symbole reçu en fonction des détections et des non-détections observées aux instants précis définis par la séquence de saut temporel. Dans cette architecture de réception à oscillateur asynchrone, la technique de démodulation reste également à étudier en profondeur. Néanmoins, on sent bien que la mise en œuvre de la démodulation peut reposer à nouveau sur l'exploitation de la signature temporelle. En effet, la position des «1» dans le registre de signature détermine avec précision les instants de réception de tous les trajets détectables. Il suffit donc d'ouvrir des fenêtres de détection aux emplacements définis par la signature temporelle pour démoduler l'information. Il faut alors remarquer deux points importants : premièrement, cette architecture implémente intrinsèquement un récepteur multi-trajets. En effet, tous les trajets de propagation détectables, à une occurrence suffisamment élevée, sont conservés dans la signature temporelle. Dans ce cas, et contrairement à l'approche précédente pour laquelle le nombre de trajets intégrés à la prise de décision était limité par le nombre de *time units* traités en parallèle (*cf.* paragraphe 6.4.2), le nombre de trajets intégrés à la prise de décision ne dépend plus que des caractéristiques du canal : tous les trajets détectables peuvent contribuer au processus de prise de décision. Ce premier point suggère une amélioration très significative des performances des traitements de réception. Le deuxième point est moins favorable. En effet, la durée de la signature temporelle dépend de la fréquence d'oscillation de l'anneau asynchrone, et dans le cas où la durée du *time unit* est plus petite que la valeur moyenne prévue, la signature temporelle ne correspond plus qu'à une sous-partie de la séquence de saut temporel. La prise de décision n'est alors réalisée que sous une sous partie du symbole, ce qui ne permet pas de bénéficier pleinement de la redondance des  $N_{chip}$  impulsions émises par symbole. Toutefois, un schéma de modulation plus adapté, comme une modulation OOK grande échelle par exemple, qui consiste à émettre ou ne pas émettre les  $N_{chip}$  impulsions en fonction du symbole de données à transmettre, peut limiter l'impact de ce problème. De plus, on peut espérer compenser, du moins en partie, ce manque d'énergie par un traitement multi-trajets plus efficace sur les impulsions effectivement traitées.

Pour finir, on souhaite faire une remarque sur l'aspect consommation. Le principe de réception proposé dans ce chapitre ne permet pas de tirer parti de la caractéristique événementielle du signal radio impulsionnelle. En effet, le signal, issu du détecteur d'impulsions et échantillonné à la fréquence du *time unit*, traverse en permanence la ligne à retard, et ce, que des impulsions aient été détectées ou non. Ceci a nécessairement un impact très néga-

tif sur la consommation électrique du récepteur. Cependant, plusieurs pistes de recherche peuvent être étudiées et combinées pour limiter cet impact. D'une part, on considère généralement que c'est l'étage de traitement radiofréquence qui est le plus consommant, notamment à cause de l'amplificateur faible bruit (LNA). Comme pour l'approche précédente, une fois que le récepteur est synchronisé, il est tout à fait possible de déconnecter cet étage radiofréquence en dehors des zones utiles définies par la signature temporelle. D'autre part, les possibilités offertes par la technologie asynchrone peuvent également être mises à profit pour limiter la consommation des modules les plus rapides, par exemple en adoptant une logique événementielle plutôt qu'une logique à niveaux pour limiter le nombre de transitions, ou encore, en choisissant un codage efficace des données. Pour finir, il est également nécessaire de comparer le surcoût en consommation de ces traitements numériques à l'économie réalisée en relâchant les contraintes temporelles évoquées dans l'introduction de ce chapitre.

### 8.3.2 Perspectives : vers des réseaux de capteurs totalement asynchrones ?

Le paragraphe précédent s'est focalisé sur les intérêts et les contraintes présentés par cette architecture de réception radio impulsionnelle originale au niveau des traitements de réception. Ce paragraphe, qui conclue ce dernier chapitre, propose d'élargir la discussion en présentant les intérêts et les limitations de cette architecture et du principe de communication radio impulsionnelle asynchrone qui en découle, au niveau des applications de type réseaux de capteurs.

Tout d'abord, un des grands atouts de l'architecture proposée est la grande souplesse qu'elle offre pour la gestion de l'énergie au niveau des nœuds d'un réseau de capteurs. En effet, le principe de communication radio impulsionnelle asynchrone, proposé dans ce chapitre, n'impose pas une fréquence de fonctionnement particulière. Cela implique que le module de communication radio peut fonctionner à une tension d'alimentation variable. Cette propriété est particulièrement intéressante dans le cas des nœuds autonomes qui puisent leur énergie dans l'environnement grâce à des dispositifs de récupération d'énergie (énergie photovoltaïque, énergie thermique, vibrations mécaniques...). Ces dispositifs, qui offrent une solution intéressante à la problématique de la consommation d'énergie des réseaux de capteurs, ne permettent pas de garantir une tension d'alimentation identique et stable pour tous les nœuds du réseau (*cf.* chapitre 3). On comprend alors bien l'intérêt d'un module de communication radio qui fonctionne à une tension d'alimentation variable. Une autre propriété très intéressante de l'architecture proposée est le fait qu'elle supporte intrinsèquement des débits variables. En effet, un émetteur peut augmenter ou diminuer son débit en ajustant la durée de son temps symbole. Le récepteur, qui sait retrouver la durée du temps symbole de l'émetteur, peut alors suivre ces augmentations ou diminutions du débit sans complexité matérielle supplémentaire. Pour finir, l'oscillateur asynchrone n'a pas besoin de composant externe pour délivrer sa fréquence. Cela permet d'envisager des

solutions complètement intégrées, ce qui concourt à diminuer la dimension des capteurs et à réduire les coûts de production.

Il faut remarquer également que le principe de communication radio impulsionnelle asynchrone, qui découle de cette architecture articulée autour d'un oscillateur asynchrone, entraîne également des limitations. Par exemple, une des propriétés très intéressantes de la radio impulsionnelle est le support qu'elle offre pour des applications de localisation. Le principe de ce type d'applications consiste à mesurer le temps de vol de l'onde électromagnétique entre l'émetteur et le récepteur pour déduire la distance qui les séparent. Sans référence de temps précise dans le module de radio, il est impossible d'effectuer une mesure de distance précise. Un nœud qui implémente l'architecture proposée ici, ne peut donc pas effectuer une mesure précise de distance. Il faut noter toutefois que cet inconvénient important peut être en partie contourner par une approche collaborative des nœuds qui permet d'aboutir à une localisation relative de la position de chaque capteur les uns par rapport aux autres [35]. Par ailleurs, de nombreux protocoles MAC («*Media Access Control*») pour les réseaux de capteurs utilisent une technique d'échantillonnage de préambule pour limiter la consommation globale du réseau. Cette technique consiste, pour le récepteur, à se réveiller périodiquement pour détecter une éventuelle communication, et pour l'émetteur, à émettre un préambule de synchronisation d'une durée compatible avec les périodes de réveil et d'endormissement du récepteur. A nouveau, on comprend bien que, si aucun nœud du réseau de capteurs ne partage la même référence de temps, cette technique, en principe très simple, devient beaucoup plus complexe à mettre en œuvre, et peut perdre en efficacité énergétique.

## 8.4 Conclusion

Ce chapitre présente une architecture de réception des signaux radio impulsionnelle articulée sur un oscillateur numérique asynchrone. Son principe de fonctionnement est présenté, et les différents modules qui composent cette architecture sont décrits. Les simulations fonctionnelles de haut-niveau permettent de valider le principe de détection de la synchronisation proposé dans ce chapitre. Pour finir, la mise en œuvre, les intérêts, et les limitations d'une telle architecture sont discutés.

Bien que cette étude prospective doit être complétée par de nombreuses études, et notamment une étude approfondie de faisabilité, et les résultats préliminaires sont très prometteurs et semblent ouvrir la voie au concept de réseaux de capteurs complètement asynchrones.





# Conclusions et perspectives

L'objectif des travaux de thèse présentés dans ce manuscrit a été d'étudier les avantages et les potentiels offerts par le style de conception asynchrone (sans horloge) pour implémenter les traitements numériques de réception de signaux radio impulsionnelle à ultra large bande dans le contexte applicatif des réseaux de capteurs. D'une part, des oscillateurs numériques asynchrones ont été étudiés pour réaliser l'implémentation de la base de temps nécessaire à ces traitements. Et d'autre part, des algorithmes et des architectures asynchrones de réception de ces signaux radio impulsionnelle ont été proposés et étudiés. Ce chapitre conclusif synthétise les éléments clés et les contributions principales de ces travaux, présente les études complémentaires qui restent à réaliser, et propose quelques perspectives de recherche ouvertes par ces travaux de thèse.

La première partie de ce manuscrit est une introduction à la conception des circuits numériques en logique asynchrone et à la technologie radio impulsionnelle. Le chapitre 1 essaye de montrer tout d'abord quels sont les limitations et les inconvénients que présente l'approche globalement synchrone adoptée généralement lors de la conception des circuits numériques. Il introduit ensuite les techniques asynchrones alternatives qui peuvent être mises en œuvre pour résoudre ces difficultés. Enfin, il présente quelques unes des propriétés remarquables des circuits conçus en logique asynchrone, parmi lesquelles on peut citer une faible consommation électrique, une grande robustesse, et un très faible rayonnement électromagnétique. Le chapitre 2 introduit, quant à lui, les concepts de base de la radio impulsionnelle. Il présente les techniques d'émission et de réception de ces signaux radio, et, notamment, les techniques particulières qui doivent être mises en œuvre pour compenser leur faible puissance et les effets du canal de propagation. Ce chapitre montre que la technologie radio impulsionnelle est une alternative extrêmement prometteuse aux systèmes de communication radio à bande étroite, en particulier au regard des aspects de faible consommation et de faible complexité. Pour finir, le chapitre 3 présente les contraintes essentielles des réseaux de capteurs, et confronte les propriétés de la technologie asynchrone à celles de la radio impulsionnelle pour montrer qu'une implémentation asynchrone d'un tel système radio semble répondre très favorablement aux contraintes des réseaux de capteurs. Ainsi, cette première partie permet d'exposer les motivations à l'origine de ces travaux de thèse.

La deuxième partie de ce manuscrit regroupe les études théoriques et les validations expérimentales réalisées sur les oscillateurs numériques asynchrones. L'étude théorique des anneaux asynchrones est développée dans le chapitre 4. Tout d'abord, un modèle comportemental sous forme de graphe d'états, enrichi par les informations temporelles fournies par le modèle de Charlie 3D (un modèle analytique qui représente le temps de propagation des étages de l'anneau), est proposé. A l'aide de ce modèle, deux structures d'anneaux asynchrones sont étudiées : les anneaux simples et les anneaux contraints. Ces études montrent que les anneaux asynchrones permettent d'implémenter des oscillateurs numériques programmables et robustes aux variations PVT. En effet, il est possible d'exploiter la structure plus complexe des anneaux asynchrones pour générer différentes fréquences d'oscillation en choisissant une initialisation différente des étages. Pour étudier ceci, une modélisation sous forme de jetons et de bulles est adoptée pour représenter l'évolution comportementale des anneaux asynchrones. L'expression analytique de la période d'oscillation, établie grâce à cette modélisation, montre que la période est contrôlée par le rapport des nombres de jetons et de bulles injectés dans l'anneau pendant la phase d'initialisation (anneaux simples) et par la structure du chemin d'acquiescement (anneaux contraints). Ce chapitre montre également que le déphasage entre les différents étages d'un anneau asynchrone peut être fractionnaire du temps de propagation des étages. Cela implique que, contrairement aux anneaux d'inverseurs dont la résolution ne peut être inférieure au temps de propagation des étages, la résolution des anneaux asynchrones peut être aussi fine que nécessaire. Pour finir, la sensibilité des anneaux asynchrones aux variations PVT est étudiée. Grâce à cette étude, plusieurs méthodes de configuration sont proposées pour améliorer la robustesse des anneaux asynchrones à ce type de variations. La première méthode consiste à choisir les nombres de jetons et de bulles en fonction des paramètres temporels des étages, de manière à exploiter un effet analogique intrinsèquement présent dans les cellules de Muller - l'effet Charlie - qui permet de lisser les variations des temps de propagation. La deuxième méthode consiste à moyennner les différences des temps de propagation des étages, soit en augmentant le nombre global d'étages (anneaux simples), soit en augmentant le nombre d'étages de la boucle d'acquiescement (anneaux contraints). Ainsi, il est montré que les anneaux asynchrones permettent d'obtenir une meilleure robustesse aux variations PVT par rapport aux anneaux d'inverseurs classiques. Le chapitre 5 présente les validations expérimentales réalisées pour vérifier ces résultats théoriques. D'une part, des simulations électriques de différentes configurations d'anneaux asynchrones ont été réalisées en technologie CMOS 65 nm de STMicroelectronics, et d'autre part, un circuit prototype a été conçu en technologie CMOS 130 nm de STMicroelectronics. Ces simulations électriques, ainsi que les mesures expérimentales préliminaires réalisées sur le circuit, valident l'acuité du modèle théorique proposé pour étudier les comportements et les performances des anneaux asynchrones simples et contraints. Les simulations électriques MonteCarlo réalisées confirment que les anneaux asynchrones présentent une robustesse accrue aux variations des procédés de fabrication par rapport aux anneaux d'inverseurs classiques. Par contre, ces simulations électriques montrent que notre modèle théorique n'est pas adapté à l'étude

de la sensibilité des oscillateurs en anneaux aux variations rapides de tension. En effet, dans ce cas, la sensibilité est principalement gouvernée par la durée des transitions des étages. Ainsi, des études complémentaires doivent être menées pour enrichir les résultats présentés dans ce manuscrit. D'une part, il serait intéressant d'intégrer l'effet de la durée des transitions dans notre modèle théorique pour pouvoir étudier, à un niveau d'abstraction suffisamment élevé, la sensibilité des anneaux asynchrones aux variations rapides de tension. D'autre part, il serait souhaitable de concevoir des portes de Muller à pentes raides pour pouvoir observer, par simulation électrique, comment la structure auto-réglée des anneaux asynchrones agit sur les variations des temps de propagation liés aux variations rapides de tension. Par ailleurs, on rappelle que des difficultés de modélisation nous ont imposé à limiter l'étude des anneaux contraints à ceux initialisés avec seulement deux jetons pour lesquels il est possible d'utiliser des portes de Muller à deux entrées. Pour pouvoir généraliser notre étude à toutes les configurations d'anneaux asynchrones contraints, pour lesquels il est nécessaire d'utiliser des portes de Muller à 3 entrées, il serait intéressant de développer un modèle de Charlie 3D qui puisse représenter le temps de propagation des portes de Muller à un nombre quelconque d'entrées. Il faut noter qu'un tel modèle serait particulièrement utile pour l'étude théorique de structures plus complexes à base de combinaisons d'anneaux asynchrones dans lesquelles des points de synchronisation entre les différents anneaux pourraient être implémentés par des portes de Muller à plusieurs entrées. Pour finir, les mesures expérimentales réalisées sur le circuit prototype présentées dans le chapitre 5 doivent être complétées par des mesures de performances en stabilité. Pour ce faire, il sera nécessaire de développer une carte de test *ad hoc*, et d'utiliser des appareils de mesure plus performants que ceux utilisés pour les mesures préliminaires présentées ici.

Quoi qu'il en soit, outre la solution originale de réception des signaux radio impulsionnelle proposée dans le chapitre 8, les perspectives ouvertes par ces travaux sont nombreuses. On propose d'en donner deux exemples. Premièrement, les anneaux asynchrones peuvent être utilisés dans des systèmes de type DVFS («*Dynamic Voltage and Frequency Scaling*»). Ces systèmes consistent à réguler dynamiquement la tension d'alimentation et la fréquence d'un bloc numérique synchrone, en fonction de performances dynamiques requises, pour diminuer sa consommation. Pour ce type d'applications, il suffit de créer, ou de détruire, des jetons dans l'anneau pour modifier dynamiquement la fréquence d'oscillation en fonction des consignes de performances. Deuxièmement, nos études sur la sensibilité des anneaux asynchrones ont montré quels sont les paramètres qui influencent la sensibilité de ces oscillateurs. Alors que les études présentés dans ce manuscrit ont cherché à en diminuer la sensibilité, on peut tout aussi bien essayer de l'accroître. Ceci peut être très intéressant dans le cadre de la génération de nombres aléatoires de type TRNG («*True Random Number Generator*»). L'idée de ce type de générateurs consiste à utiliser une source d'aléa physique - ici, les variations rapides de tension qui se traduisent par une gigue sur les signaux générés par un oscillateur en anneau - pour produire un train de

bits aléatoires. Pour ce faire, le signal issu de l'anneau est échantillonné au moment précis où il commute, de manière à obtenir un résultat aléatoire qui dépend de la gigue. Pour ce type de générateur TRNG, on peut supposer qu'une sensibilité importante aux variations rapides de tension est souhaitable, alors qu'une robustesse accrue aux variations des procédés de fabrication permettrait de limiter le biais statistique sur l'ensemble des bits aléatoires produits.

La troisième partie de ce manuscrit est consacrée à l'étude d'algorithmes et d'architectures asynchrones de réception des signaux radio impulsionnelle. Le chapitre 6 présente les caractéristiques principales de la couche physique bas débit sur laquelle repose notre solution (schéma de modulation OOK, technique de saut temporel, réception par détection d'énergie). Il décrit ensuite le principe de fonctionnement et l'implémentation asynchrone d'un module de synchronisation des signaux radio impulsionnelle. Enfin, une architecture de réception, articulée autour de ce module de synchronisation, est proposée. Les points clés de cette architecture sont, d'une part, que les traitements numériques sont activés, de manière asynchrone, par la détection de nouvelles impulsions, et d'autre part, que cette architecture supporte un traitement multi-trajets. Le chapitre 7 présente des simulations fonctionnelles de haut-niveau basées sur des modèles statistiques des canaux de propagation UWB. Celles-ci permettent d'évaluer les performances du module de synchronisation et montrent la pertinence de notre approche sur l'aspect faible consommation. En effet, ces simulations montrent que, grâce à l'approche asynchrone, l'activité électrique du module de synchronisation dépend directement de la qualité du signal radio impulsionnelle reçu et du réglage du seuil de détection des impulsions. De fait, ce module de synchronisation, implémenté en logique asynchrone, peut tirer profit, très simplement, du compromis qui existe entre performances et consommation. Ce point ouvre une perspective très intéressante pour le réglage du seuil de détection des impulsions. On peut, en effet, imaginer un algorithme de réglage du seuil qui exploite la flexibilité offerte par l'approche asynchrone pour réguler dynamiquement la consommation électrique du système en fonction des performances de réception requises. Le chapitre 7 présente ensuite l'étude de prototypage sur FPGA de l'architecture asynchrone de réception des signaux radio impulsionnelle. Ce prototype montre la faisabilité matérielle de l'approche asynchrone, et permet de valider le fonctionnement de l'architecture sur des signaux radio impulsionnelle réels. Enfin, le chapitre 8 propose une architecture de réception de signaux radio impulsionnelle articulée autour d'un anneau asynchrone. Le principe de fonctionnement de cette architecture complètement asynchrone est décrit, et son intérêt ainsi que sa complexité sont discutés. Cette étude prospective doit être complétée par de nombreuses études complémentaires. Entre autres (voir chapitre 8), il est nécessaire de vérifier la faisabilité matérielle de cette solution. Dans cette optique, une étude préliminaire d'implémentation ASIC («*Application-Specific Integrated Circuit*») a été réalisée en technologie 65 nm de STMicroelectronics par l'étudiant Abdelkarim Cherkaoui dans le cadre de son stage de Master 2 Recherche. Malgré le fait qu'elle reste à affiner, cette étude montre la faisabilité matérielle de cette solution

de traitement des signaux radio impulsionnelle complètement asynchrone. Par ailleurs, cette approche ouvre de nombreuses perspectives de recherche dans le cadre applicatif des réseaux de capteurs. Il sera notamment intéressant de s'intéresser aux implications de la suppression d'une référence de temps partagée par l'ensemble des nœuds sur différentes techniques généralement mises en œuvre dans les réseaux de capteurs (localisation, protocoles MAC,...).



# Publications de l'auteur

## Article de revue internationale

J. Hamon, L. Fesquet, B. Miscopein and M. Renaudin, «Constrained asynchronous ring structures for robust digital oscillators», in *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 17(7) : 907-919, July 2009.

## Communications avec actes dans des conférences internationales ou nationales

J. Hamon, L. Fesquet, B. Miscopein, and M. Renaudin, «High-level time-accurate model for the design of self-timed ring oscillators», in *Proceedings on the 14th International Symposium on Asynchronous Circuits and Systems, ASYNC'08*, Newcastle, United Kingdom, April 2008.

J. Hamon, B. Miscopein, J. Schwoerer, L. Fesquet, and M. Renaudin, «Self-timed implementation of an impulse radio synchronisation acquisition algorithm», in *Proceeding of the 2nd European Conference on Design and Architectures for Signal and Image Processing, DASIP'2008*, Brussel, Belgium, November 2008.

J. Hamon, B. Miscopein, J. Schwoerer, L. Fesquet et M. Renaudin, «Implémentation en Logique Asynchrone d'un Algorithme de Synchronisation de Signaux Radio Impulsionnelle», dans les *actes des 7ème journées d'études Faible Tension Faible Consommation, FTFC'2008*, Louvain-la-Neuve, Belgique, Mai 2008.

## Communication par affiche dans un workshop français

J. Hamon, B. Miscopein, L. Fesquet et M. Renaudin, «Implémentation en Logique Asynchrone du Traitement de signaux impulsionnels UWB», *poster présenté aux journées EmSoC'2007*, Aussois, France, Octobre 2007.





---

# Bibliographie

- [1] ITRS, International Technology Roadmap for Semiconductor, <http://www.itrs.net/home.html>, 2007 edition report.
- [2] I. 802.15-03/276r0. Consumer Electronic Requirements for TG3a. *Projet : IEEE P802.15 Working Group for Wireless Personal Area Networks (WPANs)*, July 2003.
- [3] I. F. Akyildiz, T. Melodia, and K. R. Chowdhury. A survey on wireless multimedia sensor networks. *Comput. Netw.*, 51(4) :921–960, 2007.
- [4] I. F. Akyildiz, W. Su, Y. Sankarasubramaniam, and E. Cayirci. A survey on sensor networks. *IEEE Communications Magazine*, 40(8) :102–114, Aug. 2002.
- [5] Altera. *Stratix II Device Handbook, Volume 2*.
- [6] R. Amirtharajah, J. Wenck, J. Collier, J. Siebert, and B. Zhou. Circuits for energy harvesting sensor signal processing. In *DAC '06 : Proceedings of the 43rd annual conference on Design automation*, pages 639–644, New York, NY, USA, 2006. ACM.
- [7] AWF3/14. Technical Conditions on UWB Radio Systems in Japan. *Japan's Ministry of Internal Affairs and Communications*, august 2006.
- [8] C. Bennett and G. Ross. Time-domain electromagnetics and its applications. *Proceedings of the Ieee*, 66(3) :299–318, 1978.
- [9] D. Cassioli, M. Z. Win, F. Vatalaro, and A. F. Molisch. Low complexity rake receivers in ultra-wideband channels. *IEEE Transactions on Wireless Communications*, 6(4) :1265–1275, Apr. 2007.
- [10] W. A. Clark. Macromodular computer systems. In *AFIPS '67 (Spring) : Proceedings of the April 18-20, 1967, spring joint computer conference*, pages 335–336, New York, NY, USA, 1967. ACM.
- [11] J. T. Conroy, J. L. LoCicero, and D. R. Ucci. Communication techniques using monopulse waveforms. In *Military Communications Conference Proceedings, 1999. MILCOM 1999. IEEE*, volume 2, pages 1181–1185, Atlantic City, NJ, USA, 1999.
- [12] D. Culler, D. Estrin, and M. Srivastava. Guest editors' introduction : Overview of sensor networks. *Computer*, 37(8) :41–49, 2004.
- [13] A. L. Davis. The architecture and system method of ddm1 : A recursively structured data driven machine. In *ISCA '78 : Proceedings of the 5th annual symposium on Computer architecture*, pages 210–215, New York, NY, USA, 1978. ACM.

- [14] A. L. Deleuze, C. J. Le Martret, and P. Ciblat. Time-hopping code characterization for multiuser interference mitigation in ultra wide band impulse radio. In *Signals, Systems and Computers, 2004. Conference Record of the Thirty-Eighth Asilomar Conference on*, volume 1, pages 617–621, Nov. 2004.
- [15] C. Dike and E. Burton. Miller and noise effects in a synchronizing flip-flop. *IEEE Journal of Solid-State Circuits*, 34(6) :849–855, June 1999.
- [16] S. Dubouloz, B. Denis, S. de Rivaz, and L. Ouvry. Performance analysis of LDR UWB non-coherent receivers in multipath environments. *IEEE international Conference on Ultra-Wideband*, 2005.
- [17] J. C. Ebergen. A formal approach to designing delay-insensitive circuits. *Distributed Computing*, 5(3) :107–119, December 1991.
- [18] J. C. Ebergen, S. Fairbanks, and I. E. Sutherland. Predicting performance of micropipelines using charlie diagrams. In *Proceedings of the Fourth International Symposium on Advanced Research in Asynchronous Circuits and Systems, ASYNC'98*, pages 238–246, San Diego, CA, USA, Mar./Apr. 1998.
- [19] ECC/DEC/(06)04. ECC Decision of 24 March 2006 amended 6 July 2007 at Constanta on the harmonised conditions for devices using Ultra-Wideband (UWB) technology in bands below 10.6 GHz. *Electronic Communication Committee*, March 2006.
- [20] ECC/DEC/(06)12. ECC Decision of 01 December 2006 on the harmonised conditions for devices using Ultra-Wideband (UWB) technology with Low Duty Cycle (LDC) in the frequency band 3.4 – 4.8 GHz. *Electronic Communication Committee*, December 2006.
- [21] ECC/DEC/(06)12. ECC Decision of 01 December 2006 amended 31 October 2008 on supplementary regulatory provisions to ECC/DEC/(06)04 for UWB devices using mitigation techniques. *Electronic Communication Committee*, October 2008.
- [22] S. Fairbanks and S. Moore. Analog micropipeline rings for high precision timing. In *Proceedings on the 10th International Symposium on Asynchronous Circuits and Systems, ASYNC'04*, pages 41–50, Apr. 2004.
- [23] FCC 02-48. Revision of Part 15 of the Commission's Rule Regarding Ultra-Wideband Transmission Systems. *First Report and Order*, 14 February 2002.
- [24] M. Flury, R. Merz, J.-Y. Le Boudec, and J. Zory. Performance evaluation of an IEEE 802.15.4a physical layer with energy detection and multi-user interference. *Ultra-Wideband, 2007. ICUWB 2007. IEEE International Conference on*, pages 663–668, 24-26 Sept. 2007.
- [25] E. G. Friedman. Clock distribution design in VLSI circuits - an overview. In *Circuits and Systems, 1993., ISCAS '93, 1993 IEEE International Symposium on*, pages 1475–1478, May 1993.
- [26] E. G. Friedman. Clock distribution networks in synchronous digital integrated circuits. In *Proc. IEEE*, pages 665–692, 2001.

- [27] M. R. Greenstreet and K. Steiglitz. Bubbles can make self-timed pipelines fast, 1990.
- [28] I. Guvenc and H. Arslan. On the modulation options for UWB systems. In *Military Communications Conference, 2003. MILCOM 2003. IEEE*, volume 2, pages 892–897, Oct. 2003.
- [29] A. Hajimiri, S. Limotyrakis, and T. H. Lee. Jitter and phase noise in ring oscillators. *IEEE Journal of Solid-State Circuits*, 34(6) :790–804, June 1999.
- [30] A. Hajimiri, S. Member, and T. H. Lee. A general theory of phase noise in electrical oscillators. *IEEE J. Solid-State Circuits*, 33 :179–194, 1998.
- [31] V. Hansen. Constant false alarm rate processing in search radar. In *IEEE International Radar Conference*, October 1973.
- [32] H. F. Harmuth. Nonsinusoidal waves for radar and radio communication. *NASA STI/Recon Technical Report A*, 81 :49454–+, Oct. 1981.
- [33] H. F. Harmuth and J. D. Lee. Transmission of information by orthogonal functions. *Systems, Man and Cybernetics, IEEE Transactions on*, 1(2) :188–188, Apr. 1971.
- [34] S. Hauck. Asynchronous design methodologies : an overview. *Proceedings of the IEEE*, 83(1) :69–93, Jan. 1995.
- [35] K. Heurtefeux and F. Valois. Distributed qualitative localization for wireless sensor networks. In *7th International Conference on AD-HOC Networks and Wireless (ADHOC-NOW)*, Sophia Antipolis, France, September 2008.
- [36] W. Hirt and D. L. Moeller. The global view of a wireless system integrator. *Proceedings of the International Symposium on Advanced Radio Technologie - Boulder*, 2002.
- [37] D. A. Huffman. The synthesis of sequential switching circuits. Technical report, Research Laboratory of Electronics, Massachusetts Institute of Technology, 1954.
- [38] IEEE 802.15.4-2006. Part 15.4 : Wireless Medium Access Control (MAC) and Physical Layer (PHY) Specifications for Low-Rate Wireless Personal Area Networks (WPANs). *IEEE Computer Society*, September 2006.
- [39] A. Kansal, J. Hsu, S. Zahedi, and M. B. Srivastava. Power management in energy harvesting sensor networks. *ACM Trans. Embed. Comput. Syst.*, 6(4) :32, 2007.
- [40] A. Kansal and M. B. Srivastava. An environmental energy harvesting framework for sensor networks. In *ISLPED '03 : Proceedings of the 2003 international symposium on Low power electronics and design*, pages 481–486, New York, NY, USA, 2003. ACM.
- [41] H. Kim and P. A. Beerel. Relative timing based verification of timed circuits and systems. In *In Proc. International Workshop on Logic Synthesis*, pages 115–126. IEEE Press, 2002.
- [42] L. Kleeman and A. Cantoni. Metastable behavior in digital systems. *IEEE Des. Test*, 4(6) :4–19, 1987.

- [43] R. Kohno and K. Takizawa. Detection and avoidance based on soft-spectrum adaptation of UWB interference to existing radio systems. In *Spread Spectrum Techniques and Applications, 2006 IEEE Ninth International Symposium on*, pages 435–439, Manaus-Amazon,, Aug. 2006.
- [44] C. J. Le Martret, A. L. Deleuze, and P. Ciblat. Optimal time-hopping codes for multi-user interference mitigation in ultra-wide bandwidth impulse radio. *IEEE Transactions on Wireless Communications*, 5(6) :1516–1525, June 2006.
- [45] B. Miscopein and J. Schwoerer. Low complexity synchronization algorithm for non-coherent UWB-IR receivers. In *Vehicular Technology Conference, 2007. VTC2007-Spring. IEEE 65th*, pages 2344–2348, Dublin,, Apr. 2007.
- [46] B. Miscopein, J. Schwoerer, and J.-M. Gorce. Multipath Decision Fusion For Low Complexity UWB-IR Non-Coherent Receivers. In *IEEE PIRMC*, Tokyo Japon, 2009.
- [47] S. M. Mishra, R. W. Brodersen, S. T. Brink, and R. Mahadevappa. Detect and avoid : an ultra-wideband/wimax coexistence mechanism [topics in radio communications]. *Communications Magazine, IEEE*, 45(6) :68–75, 2007.
- [48] A. F. Molisch, K. Balakrishnan, C. chin Chong, S. Emami, A. Fort, J. Karedal, J. Kunisch, H. Schantz, U. Schuster, and K. Siwiak. Ieee 802.15.4a channel model - final report. In *Converging : Technology, work and learning. Australian Government Printing Service*, 2004.
- [49] G. E. Moore. Cramming more components onto integrated circuits. *Electronics*, 38(8), April 1965.
- [50] D. Muller and W. Bartky. A theory of asynchronous circuits i. *Digital Computer Laboratory, University of Illinois*, November 1956.
- [51] D. Muller and W. Bartky. A theory of asynchronous circuits ii. *Digital Computer Laboratory, University of Illinois*, March 1957.
- [52] I. Oppermann, L. Stoica, A. Rabbachin, Z. Shelby, and J. Haapola. UWB wireless sensor networks : UWEN - a practical example. *IEEE Communications Magazine*, 42(12), Dec. 2004.
- [53] P. Pagani. *Caractérisation et modélisation du canal de propagation radio en contexte Ultra Large Bande*. PhD thesis, Institut National des Sciences Appliquées - Université de Rennes, 2005.
- [54] A. M. G. Peeters. *Single-Rail Handshake Circuits*. PhD thesis, Eindhoven University of Technology, 1996.
- [55] J. Proakis. *Digital Communications*. New York : McGraw Hill, 2nd edition, 1989.
- [56] A. Rabbachin, L. Stoica, S. Tiuraniemi, and I. Oppermann. A low cost, low power UWB based sensor network. In *Wireless Ad-Hoc Networks, 2004 International Workshop on*, pages 84–88, May/June 2004.
- [57] V. Raghunathan and P. H. Chou. Design and power management of energy harvesting embedded systems. In *ISLPED '06 : Proceedings of the 2006 international symposium*

- on Low power electronics and design*, pages 369–374, New York, NY, USA, 2006. ACM.
- [58] F. Ramirez-Mireles. On the performance of ultra-wide-band signals in gaussian noise and dense multipath. *IEEE Transactions on Vehicular Technology*, 50(1) :244–249, Jan. 2001.
- [59] M. Renaudin. Etat de l’art sur la conception des circuits asynchrones : perspectives pour l’integration des systemes complexes. Technical report, TIMA Laboratory, Janvier 2000.
- [60] M. Renaudin, B. E. Hassan, and A. Guyot. A new asynchronous pipeline scheme : application to the design of a self-timed ring divider. In *Solid-State Circuits, IEEE Journal of*, volume 31, pages 1001–1013, July 1996.
- [61] M. Renaudin, P. Vivet, and F. Robin. ASPRO-216 : a standard-cell Q.D.I. 16-bit RISC asynchronous microprocessor. In *Advanced Research in Asynchronous Circuits and Systems, 1998. Proceedings. 1998 Fourth International Symposium on*, pages 22–31, San Deigo, CA, USA, Mar./Apr. 1998.
- [62] G. Ross. Transmission and reception system for generating and receiving base-band pulse duration pulse signals without distortion for short base-band communication system. *US Patent, 3,728,632*, 1973.
- [63] R. A. Scholtz. Multiple access with time-hopping impulse modulation. In *Military Communications Conference, 1993. MILCOM '93. Conference record. 'Communications on the Move', IEEE*, volume 2, pages 447–450, Boston, MA, USA, Oct. 1993.
- [64] R. A. Scholtz and M. Z. Win. Impulse radio. In *Personnal Indoor Mobile Radio Conference, PIMRC, Helsinki*, 1997.
- [65] J. Schwoerer. *Etudes et implémentation d’une couche physique UWB impulsionnelle à bas débit et faible complexité*. PhD thesis, Institut National des Sciences Appliquées - Université de Rennes, 2006.
- [66] C. L. Seitz. *Asynchronous machines exhibiting concurrency*. ACM, New York, NY, USA, 1970.
- [67] C. L. Seitz. *Introduction to VLSI Systems*, chapter 7. Addison-Wesley Longman Publishing Co., Inc., Boston, MA, USA, 1979.
- [68] S. A. Seshia, R. E. Bryant, and P. R. Modeling and verifying circuits using generalized relative timing. In *In ASYNC*, pages 98–108, 2005.
- [69] M. Shams, J. C. Ebergen, and M. I. Elmasry. Modeling and comparing CMOS implementations of the c-element. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 6(4) :563–567, Dec. 1998.
- [70] C. E. Shannon. Communication in the presence of noise. In *Proceedings of the IRE*, volume 37, pages 10–21, Jan. 1949.
- [71] J. Siebert, J. Collier, and R. Amirharajah. Self-timed circuits for energy harvesting ac power supplies. In *ISLPED '05 : Proceedings of the 2005 international symposium*

- on Low power electronics and design*, pages 315–318, New York, NY, USA, 2005. ACM.
- [72] J. Sparso and J. Staunstrup. Delay-insensitive multi-ring structures. *Integr. VLSI J.*, 15(3) :313–340, 1993.
- [73] K. Stevens, R. Ginosar, and S. Rotem. Relative timing. In *In Proc. International Symposium on Advanced Research in Asynchronous Circuits and Systems*, pages 208–218, 1999.
- [74] I. E. Sutherland. Micropipelines. *Communications of the ACM (Association of Computing Machinery)*; Vol/Issue : 32 :6, pages Pages : 720–738, 1989.
- [75] F. Tchoffo Talom. *Modélisation déterministe du canal de propagation Indoor dans un contexte Ultra Wide Band*. PhD thesis, Institut National des Sciences Appliquées - Université de Rennes, 2005.
- [76] L. Thiele. On the analysis and optimization of selftimed processor arrays. *Integr. VLSI J.*, 12(2) :167–187, 1991.
- [77] H. van Gageldonk, K. van Berkel, A. Peeters, D. Baumann, D. Gloor, and G. Stegmann. An asynchronous low-power 80c51 microcontroller. In *Advanced Research in Asynchronous Circuits and Systems, 1998. Proceedings. 1998 Fourth International Symposium on*, pages 96–107, San Deigo, CA, USA, Mar./Apr. 1998.
- [78] Z. Wang and H. Li. A robust CFAR detector. In *IEEE Conference on Radar Systems*, October 1984.
- [79] M. Weiser, B. Welch, A. Demers, and S. Shenker. Scheduling for reduced cpu energy. In *OSDI '94 : Proceedings of the 1st USENIX conference on Operating Systems Design and Implementation*, page 2, Berkeley, CA, USA, 1994. USENIX Association.
- [80] D. D. Wentzloff, F. S. Lee, D. C. Daly, M. Bhardwaj, P. P. Mercier, and A. P. Chandrakasan. Energy Efficient Pulsed-UWB CMOS Circuits and Systems. In *Ultra-Wideband, 2007. ICUWB 2007. IEEE International Conference on*, pages 282–287, Sept. 2007.
- [81] T. E. Williams. *Self-timed rings and their application to division*. PhD thesis, Stanford University, Stanford, CA, USA, 1991.
- [82] T. E. Williams. Analyzing and improving the latency and throughput performance of self-timed pipelines and rings. In *Circuits and Systems, 1992. ISCAS '92. Proceedings., 1992 IEEE International Symposium on*, volume 2, pages 665–668, San Diego, CA, USA, May 1992.
- [83] M. Z. Win and R. A. Scholtz. Energy capture vs. correlator resources in ultra-wide bandwidthindoor wireless communications channels. In *MILCOM 97 Proceedings*, volume 3, pages 1277–1281, Monterey, CA, USA, Nov. 1997.
- [84] M. Z. Win and R. A. Scholtz. Impulse radio : how it works. *IEEE Communications Letters*, 2 :36–38, 1998.

- 
- [85] M. Z. Win and R. A. Scholtz. Ultra-wide bandwidth time-hopping spread-spectrum impulse radio for wireless multiple-access communications. *IEEE Transactions on Communications*, 48(4) :679–689, Apr. 2000.
- [86] A. J. Winstanley. Temporal properties of self-timed rings. Master’s thesis, University of British Columbia, 1999.
- [87] A. J. Winstanley, A. Garivier, and M. R. Greenstreet. An event spacing experiment. *Proceedings of the Eighth International Symposium on Asynchronous Circuits and Systems, ASYNC’02*, pages 47–56, Apr. 2002.
- [88] A. J. Winstanley and M. R. Greenstreet. Temporal properties of self-timed rings. In *Proceedings of the 11th Advanced Research Working Conference on Correct Hardware Design and Verification Methods, CHARM’01*, pages 140–154, London, UK, 2001. Springer-Verlag.
- [89] A. Xie and P. A. Beerel. Symbolic techniques for performance analysis of timed systems based on average time separation of events. In *In Proc. International Symposium on Advanced Research in Asynchronous Circuits and Systems*, pages 64–75. IEEE Computer Society Press, 1997.
- [90] A. Xie, S. Kim, and P. A. Beerel. Bounding average time separations of events in stochastic timedpetri nets with choice. In *Advanced Research in Asynchronous Circuits and Systems, 1999. Proceedings., Fifth International Symposium on*, pages 94–107, Barcelona, Spain, 1999.
- [91] V. Zebilis and C. P. Sotiriou. Controlling event spacing in self-timed rings. *Proceedings of the 11th International Symposium on Asynchronous Circuits and Systems, ASYNC’05*, pages 109–115, Mar. 2005.
- [92] H. Zhang and D. L. Goeckel. Generalized transmitted-reference UWB systems. In *Ultra Wideband Systems and Technologies, 2003 IEEE Conference on*, pages 147–151, Nov. 2003.







---

## Oscillateurs et architectures asynchrones pour le traitement des signaux radio impulsionnelle UWB

**Résumé** - Cette thèse étudie les avantages et les potentiels offerts par le style de conception asynchrone (sans horloge) pour implémenter les traitements numériques de réception des signaux radio impulsionnelle à ultra large bande (UWB), dans le contexte applicatif des réseaux de capteurs. D'une part, des oscillateurs numériques asynchrones ont été étudiés pour réaliser l'implémentation de la base de temps nécessaire aux traitements de réception des signaux radio impulsionnelle, et d'autre part, des algorithmes et des architectures asynchrones de réception de ces signaux radio ont été proposés et validés. Ces différents travaux ont permis de démontrer la pertinence de l'approche asynchrone pour l'implémentation de ce type de traitements, notamment sur le critère de faible consommation. Elles ouvrent ainsi la voie au concept de réseau de capteurs entièrement asynchrones.

**Mots clés** : Logique asynchrone, oscillateur numérique, anneau asynchrone, variation PVT, faible consommation, radio impulsionnelle, ultra-large bande, réseau de capteur.

---

## Asynchronous oscillators and architectures for UWB impulse radio signal processing

**Abstract** - This PhD thesis studies the advantages and opportunities provided by the asynchronous design style to implement the digital part of an UWB Impulse radio receiver, in the context of wireless sensors networks. In one hand, asynchronous digital oscillators have been studied to implement the required time base of an impulse radio receiver. On the other hand, asynchronous algorithms and architectures have been proposed and studied. These different studies demonstrate the efficiency and relevance of the asynchronous design approach to implement this kind of processing, especially on the low power criteria. These studies open the way to fully asynchronous wireless sensor networks.

**Keywords** : Asynchronous logic, digital oscillators, asynchronous ring, PVT variation, low-power, impulse radio, ultra wide band, wireless sensors networks