



HAL
open science

Evaluation de la sensibilité des FGPA SRAM-based face aux erreurs induites par les radiations naturelles

A. Bocquillon

► **To cite this version:**

A. Bocquillon. Evaluation de la sensibilité des FGPA SRAM-based face aux erreurs induites par les radiations naturelles. Micro et nanotechnologies/Microélectronique. Institut National Polytechnique de Grenoble - INPG, 2009. Français. NNT: . tel-00481848

HAL Id: tel-00481848

<https://theses.hal.science/tel-00481848>

Submitted on 7 May 2010

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

***« Celui qui trouve sans chercher
est celui qui a longtemps cherché sans trouver »***

Gaston Bachelard

Remerciements

Ces travaux de thèse ont été menés au sein du centre commun de recherche du groupe EADS chez « EADS France Innovation Works » à Suresnes. Je remercie Yann Barboux, directeur d'EADS IW, Marie-Claire Cerciat, administratrice de la Fondation EADS et Nadine Buard, ma responsable de thèse, de m'avoir accueilli au sein de l'équipe « environnement radiatif naturel » où j'ai mené ces travaux.

Je remercie particulièrement Florent Miller qui dirige l'équipe. Il m'a accompagné tout au long de ma thèse et soutenu dans les moments décisifs. Son expérience, son savoir-faire et sa grande compétence scientifique m'ont aidé à finir la thèse dans les meilleures conditions.

J'exprime mes remerciements à Raoul Velazco, mon Directeur de Thèse, directeur de recherche au CNRS-TIMA-Grenoble INP pour son encadrement, de grande qualité, sa capacité à formuler les bons conseils au bon moment. La pertinence et l'originalité de son approche ont contribué au plaisir que j'ai pris au cours des ces 3 ans.

J'exprime également mes remerciements à Vincent Pouget, Maître de Conférences à l'Université Bordeaux I pour avoir accepté de co-diriger cette thèse. Ses compétences scientifiques ont été une aide précieuse pour la réalisation de ces travaux.

Je tiens à remercier Monsieur Jean-Luc Autran, Professeur à l'Université Aix-Marseille I et Monsieur Frédéric Saigné, Professeur à l'Université Montpellier II pour m'avoir fait l'honneur d'accepter d'être rapporteurs de ces travaux. Je les remercie pour tout l'intérêt qu'ils ont porté à mon manuscrit. Merci aussi à Monsieur Régis Leveugle, Professeur à Grenoble INP, pour avoir accepté de présider le jury de ma thèse.

J'adresse mes remerciements à Monsieur Bruno Foucher, Expert à EADS IW, pour avoir accepté l'invitation pour faire partie du jury.

Merci à Monsieur Thierry Carrière, expert radiation à EADS-Astrium Space, à Patrick Heins, expert radiation à Airbus EYY pour avoir suivi et « challenger » régulièrement les différents résultats que j'ai pu proposer au cours de ces années.

J'adresse un remerciement particulier et chaleureux à Patrick Poirot, consultant d'INFODUC et à Alexandre Douin, Docteur-Ingénieur chez EADS-IW, pour leur contribution particulière, leur gentillesse et leur professionnalisme lors des expériences menées ensemble.

Merci à mes anciens collègues et camarades de thèse qui m'ont permis d'évoluer dans un environnement très positifs tant chez EADS IW et au TIMA : Aurore, Gilles, Paul, Cécile, Guillaume, Alexandre, Richard, Nicolas, Marc, Isabelle, Yohann, Catherine, Catelle, Gregor, Agnès, Gilles, Romain, Jean-François, Olivier, Benoit, Yves, Lorena ...

Je souhaite bon courage et réussite à Sébastien et Jean-Baptiste, doctorants, qui poursuivent ou finissent leur thèse chez EADS et au TIMA.

Enfin je remercie Solenne, ma femme, qui m'a supporté dans les périodes où je cherchais davantage que je ne trouvais, ainsi que mes parents, ma sœur, Jonathan, Rabee, Mathieu et les autres pour leur soutien et leur confiance.

Sommaire

INTRODUCTION..... 13

I. Environnement radiatif naturel et effets sur les composants électroniques intégrés..... 17

I.1	Environnement radiatif naturel.....	17
I.1.1	L'environnement radiatif spatial.....	17
I.1.2	L'environnement atmosphérique.....	23
I.2	Effets des radiations sur les composants électroniques : les Evènements Singuliers	25
I.2.1	Les événements singuliers.....	25
I.2.2	Les effets de dose.....	32
I.3	Architecture SRAM Based FPGA.....	32
I.3.1	Cellule SRAM.....	32
I.3.2	Architecture du FPGA-SRAM based.....	33
I.4	Moyens de tests usuels des composants intégrés.....	41
I.4.1	Accélérateurs de particules.....	41
I.4.2	Injection de fautes au niveau RTL.....	43
I.4.3	Injection de fautes directement dans le bitstream.....	43
I.4.4	Test atmosphérique.....	44
I.5	Conclusion du chapitre 1.....	44

II. Sensibilité des cellules SRAM de configuration des FPGA SRAM-Based..... 47

II.1	Injection de charges par laser.....	47
II.1.1	Principe.....	47
II.1.2	Historique.....	47
II.1.3	Banc laser d'EADS : RALF.....	48
II.1.4	Exemple de tests laser sur une puce mémoire SRAM Atmel.....	52
II.2	Tests laser statiques (couche de configuration).....	53
II.2.1	Tests laser (des cellules SRAM d'un FPGA) Xilinx Virtex 2 et Virtex 2 Pro... 53	
II.2.2	Tests laser du FPGA Atmel AT40Kax (180nm).....	63
II.3	Analyse SPICE : Spécificités des SRAM de configuration.....	70
II.4	Conclusion du chapitre 2.....	73

III. Sensibilité de la couche opérative des FPGA SRAM-Based aux SEU . 75

III.1	Analyse des effets des SEU sur les fonctionnalités internes du FPGA	75
III.1.1	Les tables de vérité (LUT)	76
III.1.2	Les bascules (flip-flops)	77
III.1.3	Ressources d'interconnexions	77
III.2	Tests laser de la couche opérative.....	79
III.2.1	Le FPGA SRAM-Based de test : Atmel AT40K10ax.....	79
III.3	Prédiction de criticité des bits de configuration.....	82
III.3.1	Détermination de la fonctionnalité des bits de configuration des FPGA SRAM-Based Xilinx par la méthode XDL	82
III.3.2	Développement d'un outil de prédiction pour le FPGA Atmel	86
III.4	Confrontation des résultats de la prédiction avec les tests expérimentaux laser et protons	91
III.4.1	Campagne de test proton (UCL)	91
III.4.2	Comparaison de la prédiction avec les résultats expérimentaux et discussion ..	93
III.5	Application du test laser pour valider la stratégie de mitigation (Virtex 1).....	94
III.5.1	Plateforme de test	94
III.5.2	L'expérience laser	96
Conclusion		98

Table des illustrations

Figure I-1: Abondance relative des ions cosmiques.....	18
Figure I-2: Cycles 19 à 23 d'activité solaires.	19
Figure I-3: Exemples d'éruptions solaires.	19
Figure I-4: Illustration de l'effet des radiations spatiales sur la magnétosphère et ses déformations sous l'interaction avec le vent solaire [NASA99].	20
Figure I-5: Mouvement d'une particule chargée prise au piège dans le champ magnétique de la terre.....	21
Figure I-6: Ceintures de radiations.....	22
Figure I-7: ceintures de radiations et caractéristiques de différentes orbites et missions. Rayon terrestre : 6371 Km.....	22
Figure I-8: Représentation schématique de la production des particules secondaires (<i>douche de particules</i>) dans l'atmosphère [ZIE96]	24
Figure I-9: flux total en fonction de l'altitude des particules se trouvant dans l'atmosphère... 24	
Figure I-10 - Phases de génération (a), dérive (b) et diffusion (c) de charge dans une jonction PN polarisée en inverse et l'impulsion de courant résultante consécutive au passage d'un ion lourd [BAU05].	25
Figure I-11 - Illustration d'une interaction neutron-silicium et des ions de recul produits	26
Figure I-12 : Zone sensibles (partie grisée) d'un inverseur en fonction de l'état en entrée.	26
Figure I-13 : Propagation d'un SET entre 2 inverseurs	27
Figure I-14 : Porte logique "ET"	27
Figure I-15 : Fenêtre temporel de mémorisation du SET dans une flip-flop.....	28
Figure I-16 : Illustration du basculement d'une cellule SRAM [FRE96] [HAZ00].....	28
Figure I-17 - Evolution de la sensibilité des cellules SRAM de configuration et de BRAM pour les FPGA Xilinx du Virtex 1 (250nm) au Virtex 5 (65nm) [CAS07]	29
Figure I-18 : Illustrations de bits adjacents susceptibles d'être impliqués dans un MBU.....	30
Figure I-19 - Illustration du thyristor parasite dans un CMOS.	31
Figure I-20 - Cellule SRAM 6T	33
Figure I-21 - Partitionnement symbolique d'un FPGA en deux couches.....	34
Figure I-22 - SRAM de configuration : cellule 5T.....	34
Figure I-23 - Tableau bidimensionnel de SRAM de configuration	35
Figure I-24 - Couche de configuration.....	36
Figure I-25 - Architecture d'un FPGA.....	36
Figure I-26 - Eléments de base d'un FPGA.....	37
Figure I-27 - Détail de la figure précédente : matrice de commutation et ses SRAM.....	37
Figure I-28 - Détail : Routage d'entrée et de sortie d'un bloc logique.....	38
Figure I-29 – Exemple de schéma électronique du multiplexeur d'entrée d'un bloc logique . 38	
Figure I-30 - Schéma de principe d'un bloc logique [JOH03]	39
Figure I-31 – Exemple de schéma électronique d'une LUT à 4 entrées.....	39
Figure I-32 - Schéma de principe d'un entrée-sortie (IO)	40
Figure I-33- Principe d'accélération pour un accélérateur tandem Van de Graaff (a) et un accélérateur circulaire (b).....	42
Figure I-34 - Tracé d'une courbe de section efficace illustrant la particule et son LET.....	42
Figure II-35 – Banc laser EADS IW : RALF (Radiation Analysis Laser Facility)	49
Figure II-36 - Vue en coupe de la face avant du FPGA Xilinx Virtex 5 (12 niveaux de métallisation) [CHI06]	50
Figure II-37 - injection laser par face arrière : méthode de focalisation du faisceau dans la zone de collection de charge	50

Figure II-38 - Contraintes liées à l'amincissement d'un composant en face arrière : planéité et homogénéité d'épaisseur.....	51
Figure II-39 - Profondeur de pénétration dans le silicium du laser en fonction de sa longueur d'onde et à un dopage donné.	51
Figure II-40 - Sensibilité spectrale des capteurs de caméras comparées à l'indice de transparence du silicium.....	52
Figure II-41 – Vue par face arrière des métallisations du Virtex 2 Pro au travers du substrat.	52
Figure II-42 – Cartographie laser en seuil d'une partie de la mémoire NEC μ PD43100A $\Delta x = \Delta y = 0.25 \mu m$ $L_x = L_y = 25 \mu m$ le pas d'atténuation est de 0.2db [MIL05].....	53
Figure II-43 - Diagramme du THESIC+	54
Figure II-44 – Architecture générale d'un FPGA Xilinx Virtex 2 [XIL2].....	54
Figure II-45 - Cartographie de la mémoire SRAM de la couche opérative du Virtex 2 (information du n° de bit).....	55
Figure II-46 – Détail de l'organisation physique des bits de BRAM.....	56
Figure II-47 – Cartographie en seuil de la mémoire SRAM de la couche opérative du Virtex 2	57
Figure II-48 – Cartographie de la mémoire de configuration d'un Virtex 2 Gauche : information de sensibilité- droite : information sur le n° du bit.....	58
Figure II-49 – A gauche : cartographie en seuil de la couche de configuration;	59
Figure II-50 – Section efficace laser relative (mémoire de configuration correspondant aux LUT).....	60
Figure II-51 – section efficace laser relative (mémoire de configuration hors LUT)	60
Figure II-52 - Extraction de 4 zones sensibles E1 et E2 sont utilisés au sein d'une LUT ; F et G son utilisés pour la configuration d'une slice	60
Figure II-53 - Cartographie laser d'un FPGA Xilinx Virtex 2 pro	61
Figure II-54 – Cellules adjacentes	62
Figure II-55 – Comparatif de six trames de 12 bits de Virtex 2 (gauche) et Virtex 2 pro (droite).....	62
Figure II-56 - Effet de l'analyse laser sur l'évaluation du risque de MBU	63
Figure II-57 - Plateforme de test développé au sein d'EADS IW pour tester le FPGA Atmel AT94K.....	64
Figure II-58 - Architecture du FPSLIC AT94K contenant le FPGA AT40K.....	64
Figure II-59 - Schéma général représentant le FPGA Atmel AT40K et ses principales ressources internes.....	65
Figure II-60 - Schéma général d'une PLB [ATM01]	66
Figure II-61 - Illustration des 2 types d'interconnexions possibles pour une PLB [ATM02]..	66
Figure II-62 - Structure de bus du FPGA Atmel AT40K [LER06]	67
Figure II-63 - Résultat et localisation de la cartographie laser. Les couleurs font apparaitre les zones sensibles aux SEU dans les différents types de ressources.....	67
Figure II-64 - Identification des ressources principales sur la cartographie	68
Figure II-65 - Identification de l'extension des zones sensibles de chaque bit de configuration	68
Figure II-66 - Cartographie avec échelle de couleur traduisant l'énergie seuil SEU en chaque point.....	69
Figure II-67 - Ratio de SEU par rapport aux nombre total de bits présents.....	69
Figure II-68 – Répartition spatiale par bloc des ratios SEU par bit présents	70
Figure II-69 - Exemples de ressource (couche opérative) configurée par une SRAM (couche de configuration)	71
Figure II-70 - Exemples de cellule SRAM dans une LUT de FPGA.....	71
Figure II-71 - Équation de charge critique pour une durée d'impulsion courte	71

Figure II-72 - Drains sensibles d'une cellule SRAM 5T	72
Figure II-73 - Simulation fonction du temps du courant I(t) injecté dans un drain de transistor bloqué	72
Figure III-74 - Exemple de SEU dans une LUT de Virtex 2 [PAT06]	76
Figure III-75 - Schéma générique d'une flip-flop Xilinx [PAT98]	77
Figure III-76 - Exemples de ressources d'interconnexion (famille Xilinx Virtex) [PAT04] ...	77
Figure III-77 - Illustration de 2 interconnexions en état de fonctionnement normal	78
Figure III-78 - Illustration de l'effet court-circuit	78
Figure III-79 - Illustration de l'effet ouverture	78
Figure III-80 - Illustration de l'effet antenne	79
Figure III-81 - Illustration de l'effet pont	79
Figure III-82 - Capture de la trame « A » (gauche) et « B » (droite) ARINC de référence	80
Figure III-83 - Cartographie faisant apparaître les SEFI (gauche) et les SEU (droite)	81
Figure III-84 - Résultats SEFI : proportion de SEU ayant induit un SEFI lors de la cartographie	81
Figure III-85- Captures de trames en sortie ARINC : exemples de SEFI	81
Figure III-86 - Identification des fonctionnalités instanciées au sein d'une slice [CLA07]	83
Figure III-87 - Organisation d'un fichier XDL	84
Figure III-88 - Routage généré par le fichier XDL. Illustration de la figure III-14 (c)	84
Figure III-89 – Bits de configuration de la CLB : Multiplicité d'usage des pip testés	86
Figure III-90 – Légende de couleur de la figure III-16	86
Figure III-91 - SEU induisant une ouverture	88
Figure III-92 - Illustration d'un mécanisme de court-circuit au sein d'un multiplexeur	89
Figure III-93 - Illustration des possibilités d'interconnexions d'un repeater	89
Figure III-94 - Illustration d'un SEU conduisant potentiellement à un SEFI au sein d'un repeater	90
Figure III-95 – Mise en place de l'expérience proton (UCL) sur le FPGA SRAM-Based Atmel	92
Figure III-96 – Courbe de section efficace proton du FPGA SRAM-Based Atmel	93
Figure III-97 – Plateforme de test du Virtex 1 réalisant une application Ethernet	95
Figure III-98 – Routage de l'application Ethernet (fond) and fenêtre d'exposition laser (cadre supérieur)	96
Figure III-99 – Enregistrement temps réel du taux de transfert Ethernet	97

INTRODUCTION

L'univers est parcouru par des particules de tous types, produites lors de phénomènes solaires et provenant de tout l'univers. La Terre est ainsi le siège d'un bombardement de particules, c'est le rayonnement cosmique. En 1912, le physicien autrichien Viktor Hess a démontré l'existence de radiations dont l'intensité augmente avec l'altitude. Le phénomène de *gerbe de particules* est mis en évidence par Pierre Auger en 1938 et permis d'expliquer ce qu'on appelle aujourd'hui la *douche cosmique*. La haute atmosphère est principalement composée de protons qui entrent en collision avec des molécules de l'atmosphère pour générer des particules secondaires. Une partie est absorbée par l'atmosphère, mais le reste produit de nouvelles particules. Ce processus se répète jusqu'au niveau du sol. Nous sommes ainsi perpétuellement traversés par ces particules issues de l'espace. En 1958, les premières mesures du flux de particules orbitales sont réalisées grâce aux satellites Explorer I et III. A la fin des années 70, les notions de « *soft error* » et de « *single event upset* » (SEU) (basculement de bits dans une mémoire lié aux phénomènes radiatifs) relatifs à une DRAM apparaissent dans [GUE79] et [MAY79] concernant le milieu spatial. En 1979, Ziegler [ZIE79] prédit que le rayonnement cosmique peut engendrer ce type de défaillance aux altitudes avioniques et aussi au niveau du sol. Au cours des années 80, les techniques de durcissement aux radiations se développent. Cela a conduit à la production de circuits spécifiques, utilisés pour les applications embarquées critiques (spatiales et aéronautiques).

Dans les années 90, avec le développement de l'électronique grand public, les fondeurs ont trouvé des sources de revenus plus importantes dans la fabrication de circuits de type *COTS* (*Commercial-Off-The-Shelf* ou « composants sur étagère »). Ce marché s'est donc développé plus rapidement que celui des composants durcis. Le besoin de composants plus performants, plus économiques et disponibles en grandes quantités a pratiquement contraint les industriels de l'aéronautique et du spatial à utiliser ces COTS. Malheureusement le progrès en termes de performances et de coût s'est traduit par une dégradation de la robustesse des composants modernes vis-à-vis des particules ionisantes, notamment les composants à base de mémoire SRAM [BAU05]. Avec le respect de la loi de Moore et l'intégration de composants de plus en plus complexes, l'augmentation des paramètres sensibles et des quantités de mémoires, les composants intégrés deviennent sensibles aux effets des radiations même au niveau du sol [NOR98] où les flux de particules sont pourtant 300 fois inférieurs à ceux existant à l'altitude des vols commerciaux (10-12 km d'altitude).

L'analyse de la sûreté de fonctionnement des circuits intégrés logiques dans ce contexte est particulièrement difficile, de part l'aspect probabiliste de l'interaction et car la sensibilité du circuit dépend de l'application. Afin de maîtriser ce phénomène, il est nécessaire de développer un certain nombre d'outils permettant de comprendre, d'analyser et d'évaluer la sensibilité des applications embarquées. Les méthodes de test des mémoires du type SRAM ou DRAM sont aujourd'hui assez matures. La fiabilité de composants du type microprocesseurs ou SoC (system on a chip, par exemple FPGA) est plus difficile à déterminer [JESD89A], du fait de la présence de nombreuses ressources autres que la mémoire, qui rendent plus complexe l'expérimentation et modifient l'effet des radiations sur une application.

C'est dans ce contexte que s'inscrit cette thèse. Le *FPGA SRAM-Based* (FPGA à base de SRAM) est un type de composant complexe, particulièrement attractif pour les développeurs de systèmes électroniques. Il s'agit d'un circuit logique dont la fonction est reprogrammable, totalement ou partiellement, y compris en cours de fonctionnement. Les équipementiers aéronautiques souhaitent utiliser ces composants du fait de leurs grandes polyvalences et de leur grande disponibilité. Actuellement, ils servent au prototypage d'applications qui seront ensuite implantées dans des ASICs. Il serait avantageux de pouvoir utiliser des FPGA SRAM-Based au sein d'une plateforme commune, réalisant plusieurs applications et ne nécessitant qu'un seul développement matériel. Cela permettrait par ailleurs de faciliter le passage du prototype à l'industrialisation. Néanmoins, il est nécessaire de vérifier si leurs spécificités ne les rendent pas trop susceptibles à l'environnement radiatif. En outre, leur modularité implique des taux d'utilisation variables des ressources disponibles. Les FPGA SRAM-Based comportent deux niveaux de description, la couche de configuration et la couche applicative. La couche de configuration comporte plusieurs millions de points mémoires de type SRAM utilisés pour configurer l'application au sein du FPGA. Ces éléments perdent donc leur contenu à chaque mise hors-tension. De plus, ils sont sensibles aux particules ionisantes qui peuvent induire des événements singuliers, en grande majorité de type SEU. La couche applicative est, quant à elle, la partie logique qui réalise les opérations de l'application implémentée.

La contribution de cette thèse est d'établir une méthode de test permettant de déterminer l'impact sur le fonctionnement de l'application (couche applicative) des SEU ayant lieu dans la couche de configuration. Quelques travaux ont été effectués dans ce domaine [VIO03],

[SWI04], cependant ils ne répondent pas de manière suffisante et détaillée pour tester les FPGA SRAM-Based. En effet, il n'existe pas de moyen de test expérimental permettant de comprendre la chaîne complète d'événements : de la génération des SEU aux conséquences pour l'application. Ces travaux doivent également permettre de quantifier la sensibilité des FPGA SRAM-Based et d'obtenir des estimations de taux d'erreurs les plus réalistes prenant en compte les éléments technologiques propres à chaque famille de composants.

Afin de répondre à cette problématique, cette thèse se basera sur l'étude de quatre FPGA de deux fournisseurs, Atmel et Xilinx. Pour générer des SEU il faut employer des moyens d'injection de fautes adaptés aux spécificités de la couche de configuration. Les méthodes de test utilisées sur les mémoires SRAM sont employées. Nous utiliserons notamment le laser, outil qui a, ces dernières années, montré sa complémentarité pour déterminer la robustesse des composants analogiques [POU00] et numériques [MIL06]. Les avantages d'un tel outil d'analyse résident dans sa forte résolution spatiale et temporelle pour un coût moindre par rapport aux autres outils (accélérateurs de particules,...). Ensuite, afin de déterminer les liens entre les deux couches, des outils logiciels et des méthodologies expérimentales seront développés conjointement. Le développement d'outils d'analyse de la mémoire de configuration couplés aux différents moyens de test permettra de déterminer pour chaque bit de configuration l'impact au niveau de l'application d'une corruption de la donnée mémorisée.

Le chapitre 1 présente l'environnement radiatif naturel du milieu spatial jusqu'au sol, ainsi que les effets des particules ionisantes sur les composants intégrés. L'architecture des FPGA SRAM-Based y est présentée sous la forme d'une couche de configuration et d'une couche applicative. Enfin, un point sur les outils de caractérisation usuels est réalisé en montrant qu'il n'existe pas à l'heure actuelle d'outil complet pour les FPGA SRAM-Based.

Le chapitre 2 présente l'étude de la génération de SEUs dans la couche de configuration afin de mettre en évidence ses spécificités. La description d'une méthodologie d'analyse des mémoires SRAM va permettre de développer des méthodes de test adaptées à la mémoire de configuration des FPGA SRAM-Based. Des expérimentations à l'aide de l'outil laser vont permettre d'extraire les premières conclusions quant à la spécificité de ce type de composant.

Le chapitre 3 traite de l'incidence des SEUs de la couche de configuration dans la couche applicative. Nous analysons des mécanismes d'erreur dans l'application liés à la génération de

SEUs dans la mémoire de configuration vue au chapitre 2, ainsi qu'à des essais expérimentaux sur les FPGA SRAM-Based.

Le chapitre 3 débute par une présentation d'une méthode d'obtention des principales informations sur les ressources internes en étudiant le cas des FPGA Xilinx. Dans un deuxième temps, pour le cas du FPGA Atmel, un programme de prédiction d'erreur est développé autour des informations sur les ressources internes fournies par le fondeur.

I. Environnement radiatif naturel et effets sur les composants électroniques intégrés

I.1 Environnement radiatif naturel

L'environnement radiatif naturel terrestre auquel est confrontée l'électronique moderne peut être décomposé en deux sous environnements spécifiques : l'environnement radiatif naturel spatial et l'environnement radiatif naturel atmosphérique. Le premier reçoit directement les particules émises par les sources cosmiques et concerne les applications spatiales. Le second est principalement constitué des produits des interactions entre les particules spatiales et l'atmosphère. Ces dernières concerneront directement les applications aéronautiques et terrestres.

I.1.1 L'environnement radiatif spatial

Les principales composantes de l'environnement radiatif spatial sont classées en quatre catégories suivant leur origine: le rayonnement cosmique, le vent et les éruptions solaires et les ceintures de radiations. Plongés dans cet environnement, les composants électroniques sont soumis à l'effet d'électrons, de protons et d'ions, d'origines et énergies diverses [BOU95].

I.1.1.1 Le rayonnement cosmique

L'origine de ce rayonnement est mal connue. On sait toutefois qu'une partie, correspondant aux ions les plus énergétiques, est extragalactique et que l'autre partie est d'origine galactique. Le rayonnement cosmique a été découvert par V. Hess en 1912 grâce à des mesures effectuées à partir de ballons-sondes. La nature de ce rayonnement n'a toutefois été entrevue qu'aux environs de 1950. Ce rayonnement est issu de sources présentes dans et hors de notre galaxie. Les interactions avec la matière interstellaire, les ondes de choc ainsi que les champs électromagnétiques dispersent et accélèrent ce rayonnement. De ce fait, à l'échelle de notre système solaire, il apparaît avec une distribution angulaire isotropique et les particules qui le constituent sont complètement ionisées.

Les rayons cosmiques représentent un bruit de fond constant. Il est constitué de 1% d'ions (noyaux d'atomes lourds privés d'une partie de leur cortège électronique) de grande énergie (Energie > 1 MeV) qui peuvent atteindre plusieurs GeV, de 87% de protons et de 12% de noyaux d'hélium [FLE75]. La Figure I-1 donne l'abondance relative des ions cosmiques en fonction de leur numéro atomique [STAS-88]. Dans le système solaire, les flux

caractéristiques de cette population sont modulés par le cycle d'activité solaire : lorsque le soleil est en période d'activité maximale, le vent solaire s'oppose au flux de rayons cosmiques. Les populations de particules d'origine cosmique qui peuplent le système solaire sont donc réduites durant ces périodes. Ces rayonnements sont donc très énergétiques mais les flux associés sont relativement faibles. Toutefois lors de missions spatiales de longues durées, la probabilité d'occurrence d'un événement, potentiellement destructif, est non négligeable.

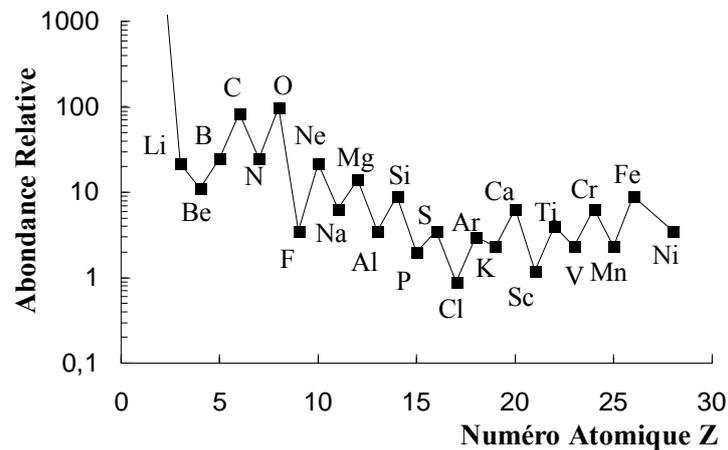


Figure I-1: Abondance relative des ions cosmiques

I.1.1.2 Le soleil

A lui seul, le Soleil représente 99,8 % de la masse totale du système solaire, les 0,2 % restants incluant les planètes, dont la Terre. Le Soleil est principalement constitué d'hydrogène (90 %) et d'hélium (8%). Au centre du Soleil, des réactions thermonucléaires de fusion convertissent l'hydrogène en hélium. L'énergie produite à cette occasion est émise sous forme de lumière, de radiations et de particules. Le soleil présente deux sources essentielles alimentant l'environnement radiatif terrestre : les éruptions solaires et les vents solaires.

Les éruptions solaires

Le niveau d'activité du soleil n'est jamais constant mais suit une variation cyclique qui se compose d'années actives suivies d'années calmes. La période des cycles solaires récents a varié entre 9 et 13 ans, avec une moyenne d'environ 11 ans. Le dernier cycle s'est terminé vers 2007 et depuis l'activité solaire est de nouveau croissante. L'activité des cycles solaires est fréquemment mesurée par le nombre de taches solaires observées, mais de nombreux processus solaires montrent la même variation. La Figure I-2 montre des fluences de protons nés d'événements solaires lors de cinq cycles solaires. La courbe indique le nombre de taches solaires et les lignes verticales indiquent les fluences de protons solaires. Les premières taches solaires ont été observées en 1610 par Galilée alors qu'il se consacrait à l'observation du

soleil. Le nombre de taches solaires varie de manière cyclique et la plupart des évènements générant d'importantes fluences de protons apparaissent lors des années solaires actives.

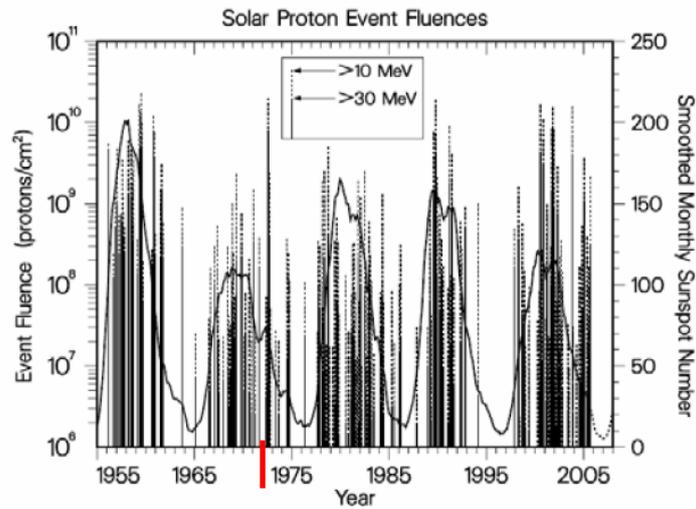


Figure I-2: Cycles 19 à 23 d'activité solaires.

Pendant un cycle solaire de 11 ans, on distingue 4 ans de faible activité et 7 ans de forte activité, ponctués par des émissions sporadiques de flux importants de particules, les éruptions solaires. Dans ce contexte radiatif, on distingue deux types d'éruptions solaires :

- Les éruptions solaires à protons, dont la durée va de quelques heures à quelques jours, et dont l'émission principale est constituée de protons d'énergie importante (jusqu'à quelques centaines de MeV). La référence en ce domaine est l'éruption à protons d'août 1972 visible sur la figure I-2.
- Les éruptions solaires à ions lourds, dont l'émission principale est constituée d'ions lourds de composition variable d'une éruption à l'autre, et dont la durée est au plus de quelques heures. La référence en ce domaine est l'éruption à ions lourds de septembre 1977.

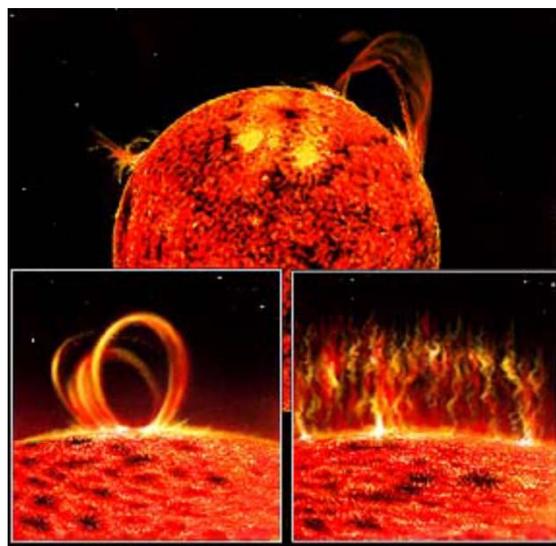


Figure I-3: Exemples d'éruptions solaires.

Le vent solaire

La couronne solaire provoque le vent solaire en se diluant dans l'espace. La couronne solaire est la partie extérieure de l'atmosphère du Soleil. Elle s'étend sur plusieurs unités astronomiques (1UA = 1,51¹¹m). Le vent solaire remplit l'ensemble du système solaire et interagit avec les champs magnétiques des planètes créant des cavités magnétosphériques. La densité du plasma est de l'ordre de 10¹² particules par centimètre cube au niveau du soleil et tombe à 10 particules par centimètre cube au niveau de l'orbite terrestre. Ce plasma est essentiellement constitué d'électrons, de protons et d'hélium.

I.1.1.3 La magnétosphère

La magnétosphère terrestre est une cavité naturelle dans le milieu spatial dans laquelle la Terre est relativement protégée des influences extérieures. Elle est compressée du côté faisant face au Soleil, et étirée de l'autre. C'est une région de l'espace dominée par l'interaction entre le vent solaire et le champ géomagnétique (Figure I-4). Toutefois, au niveau des régions polaires la rigidité géomagnétique est réduite et de ce fait, les particules issues des rayonnements cosmiques qui ont des trajectoires polaires peuvent pénétrer à de basses altitudes. Les satellites dont les orbites ont de grands angles d'inclinaison sont donc davantage exposés aux particules cosmiques.

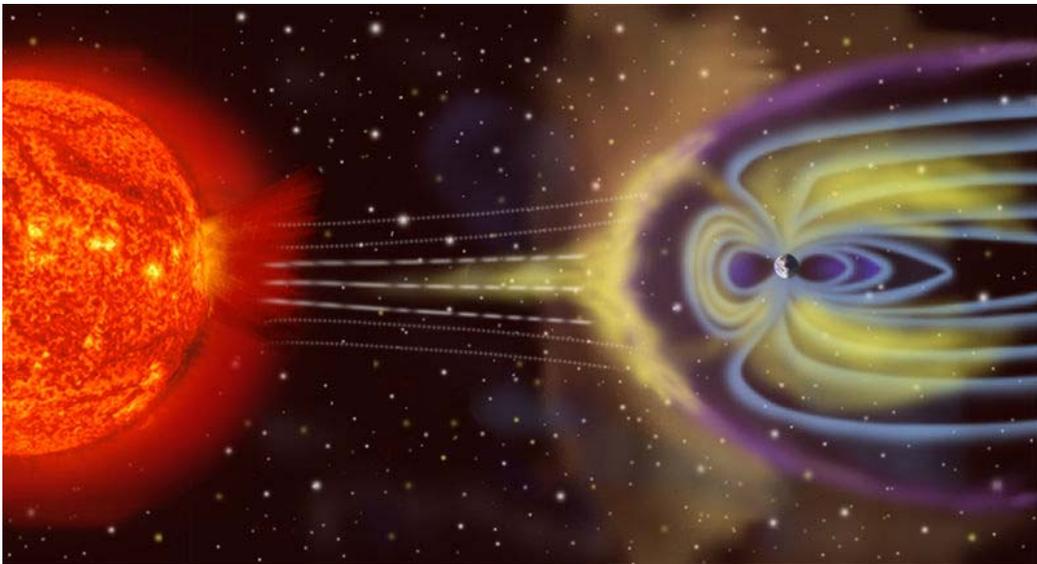


Figure I-4: Illustration de l'effet des radiations spatiales sur la magnétosphère et ses déformations sous l'interaction avec le vent solaire [NASA99].

La cavité magnétosphérique résultant de l'interaction du vent solaire avec le champ géomagnétique n'est pas statique ; elle est soumise aux variations du vent solaire et du champ magnétique interplanétaire. Il en résulte une dynamique complexe à l'origine des phénomènes

d'orages magnétiques dont les manifestations les plus spectaculaires sont les aurores boréales et les perturbations radioélectriques.

I.1.1.4 Les ceintures de radiations

Les particules chargées qui entrent en contact avec le champ magnétique terrestre peuvent être piégées au sein de la magnétosphère, constituant ainsi des ceintures de radiations. Découvertes en 1958 par J.A Van Allen (mission Explorer I), ces ceintures sont situées en dehors de l'atmosphère terrestre mais toujours dans la zone de l'espace influencée par le champ magnétique de la Terre. Elles sont constituées de particules légères chargées (protons et électrons) et de quelques ions lourds piégés dans la magnétosphère par le champ magnétique terrestre. Leur énergie se situe entre une dizaine de KeV et quelques centaines de MeV. Ces particules, soumises à la force de Lorentz, $\vec{F} = q \cdot (\vec{v} \wedge \vec{B})$ ont des trajectoires hélicoïdales suivant les lignes de champ magnétique terrestre ce qui donne aux ceintures un aspect de tores ou « pneus » symétriques par rapport à l'axe du dipôle magnétique (Figure I-5 et Figure I-6). Les particules peuvent y rester durant plusieurs années d'où le terme de particules piégées.

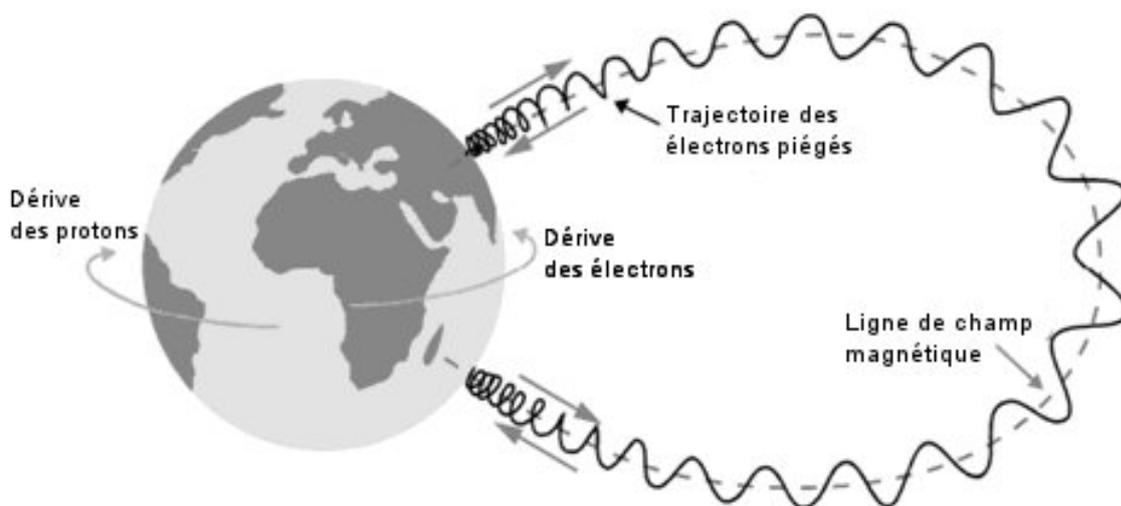


Figure I-5: Mouvement d'une particule chargée prise au piège dans le champ magnétique de la terre

Les ceintures de Van Allen comptent :

- 2 ceintures d'électrons centrées aux altitudes de 9000km et 30000km
- 1 ceinture de protons à l'altitude de 12000km

La dissymétrie de ces ceintures est due à la déformation de la magnétosphère sous l'effet du vent solaire et par l'inclinaison entre l'axe magnétique et l'axe de rotation terrestre. Le champ magnétique y est très faible et les flux de protons évoluent en fonction de l'altitude et de l'activité solaire.

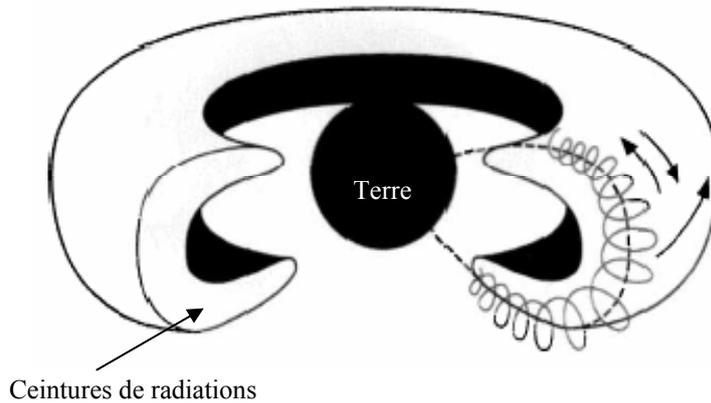


Figure I-6: Ceintures de radiations

Ce décalage entre les deux axes donne lieu à une région particulièrement riche en protons jusqu'à 450km d'altitude dénommée « anomalie Sud-Atlantique (SAA) ». Les orbites utilisées sont donc situées sur le bord externe des ceintures (orbite géostationnaire, GEO), certaines les traversent (orbites de transfert par exemple) et en dessous des ceintures internes (orbites basses, LEO type ISS-International space station) où le flux augmente très rapidement avec l'altitude (exemples de missions SPOT et GPS dans la Figure I-7 ci-dessous). Par ailleurs, les ceintures de Van Allen varient dans le temps et dans l'espace car elles subissent des perturbations dues à des variations de flux du vent solaire durant l'activité solaire.

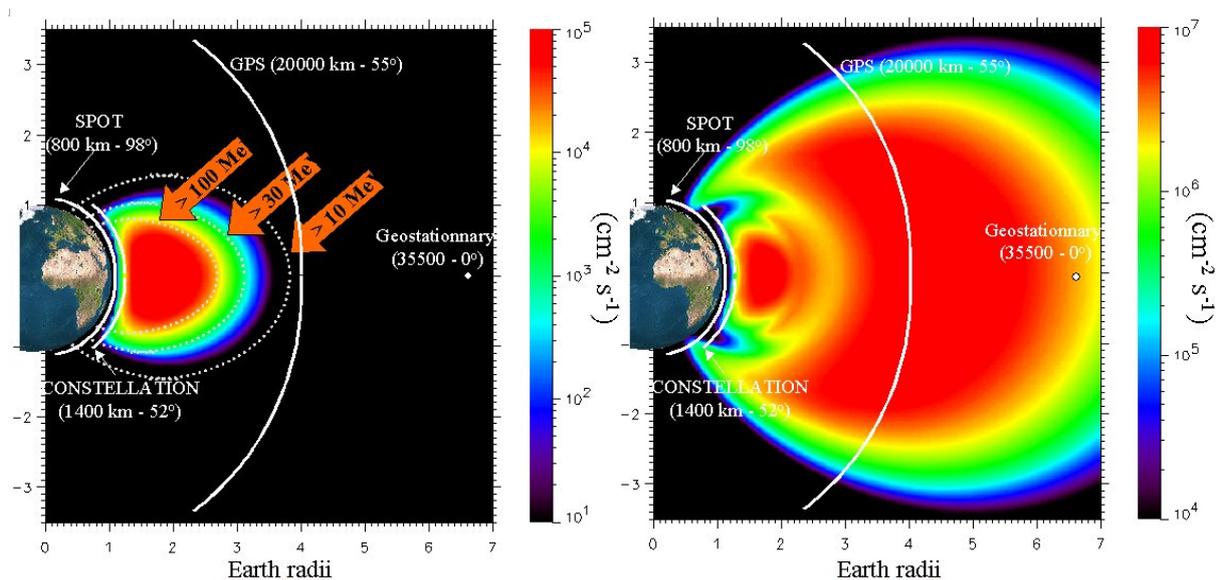


Figure I-7: ceintures de radiations et caractéristiques de différentes orbites et missions. Rayon terrestre : 6371 Km.

I.1.1.5 Tableau de synthèse

Le Tableau I-1 résume la nature et la provenance des particules rencontrées dans l'espace ainsi que leurs énergies et flux.

PORVENANCE	PARTICULES	ENERGIES	FLUX
Ceintures de radiations	Protons Electrons	< qq 100MeV (dont 99%<10MeV) <7MeV (dont 99%<2MeV)	10 à 10 ⁶ cm ⁻² s ⁻¹ 10 ⁻² à 10 ² cm ⁻² s ⁻¹
Vent solaire	protons Electrons Particules α (7 à 8%)	<100 KeV <qq KeV	10 ⁸ à 10 ¹⁰ cm ⁻² s ⁻¹
Eruptions solaires	Protons Particules α Ions lourds	10MeV à 1 GeV 10MeV à qq 100MeV	10 ¹⁰ cm ⁻² s ⁻¹ ~ 10 ² à 10 ³ cm ⁻² s ⁻¹
Rayons cosmiques	Protons (87%) Particules α (12%) Ions lourds (1%)	10 ² à 10 ⁶ MeV Fortes énergies 1 MeV à 10 ¹⁴ MeV	1 cm ⁻² s ⁻¹ 100 MeV 10 ⁻⁴ cm ⁻² s ⁻¹ 10 ⁶ MeV

Tableau I-1: caractéristiques des différentes particules rencontrées dans le milieu radiatif spatial

I.1.2 L'environnement atmosphérique

La terre et son environnement proche sont protégés par l'atmosphère. Celle-ci constitue un véritable écran semi-perméable laissant passer la lumière mais arrêtant la plus grande partie des radiations issues de l'espace. L'environnement radiatif atmosphérique est principalement dû à l'interaction du rayonnement cosmique, composé de protons (essentiellement), d'hélium, d'électrons et d'ions lourds, avec les atomes de l'atmosphère, composée d'environ 80 % d'azote et 20 % d'oxygène.

Ces particules interagissent de deux manières : soit elles perdent une partie de leur énergie par ionisation, soit elles provoquent des réactions nucléaires formant ainsi une douche de particules secondaires (Figure I-8). Les particules secondaires générées sont essentiellement : neutrons, protons, électrons, muons, pions, photons (Figure I-9).

Du fait de ces collisions multiples et de la perte d'énergie des particules, le flux de radiations diminue à mesure qu'il se rapproche du sol. Il est environ 300 fois moins fort au niveau de la mer qu'il ne l'est à 12 km d'altitude. Par ailleurs, il varie aussi en fonction de la latitude : le flux de radiations est 4 fois plus important aux pôles qu'il ne l'est à l'équateur.

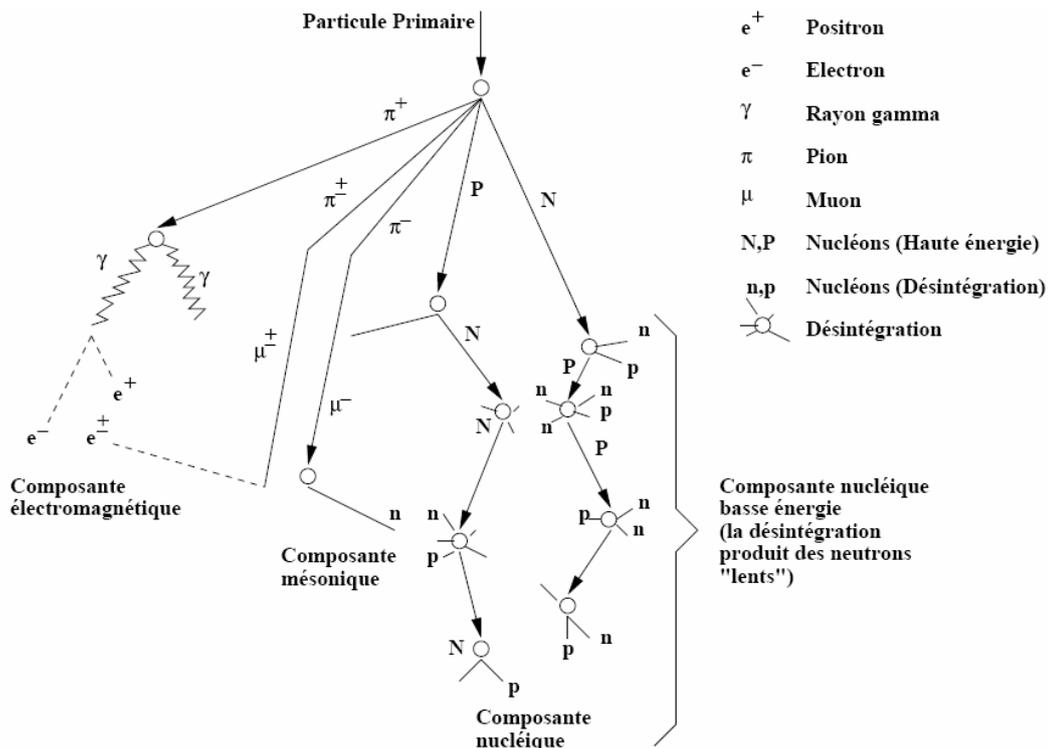


Figure I-8: Représentation schématique de la production des particules secondaires (douche de particules) dans l'atmosphère [ZIE96]

Aux altitudes avioniques, les particules prédominantes sont les neutrons comme on peut le voir sur la Figure I-9. Les neutrons ne sont pas directement à l'origine des défaillances observées dans les équipements électroniques car ce sont des particules non ionisantes. Ils peuvent en revanche entrer en collision avec les atomes constitutifs des différentes couches du composant électronique traversé, générant des ions qui eux peuvent induire des défaillances. Depuis 1992, des dysfonctionnements de circuits intégrés ont été enregistrés à des altitudes de vols commerciaux [TAB92], [TAB93]. Le flux au sol des neutrons qui contribuent aux *soft-errors* ($E > 10$ MeV) est estimé entre 13 et 20 neutrons par cm^2 par heure [JESD89] [IEC07].

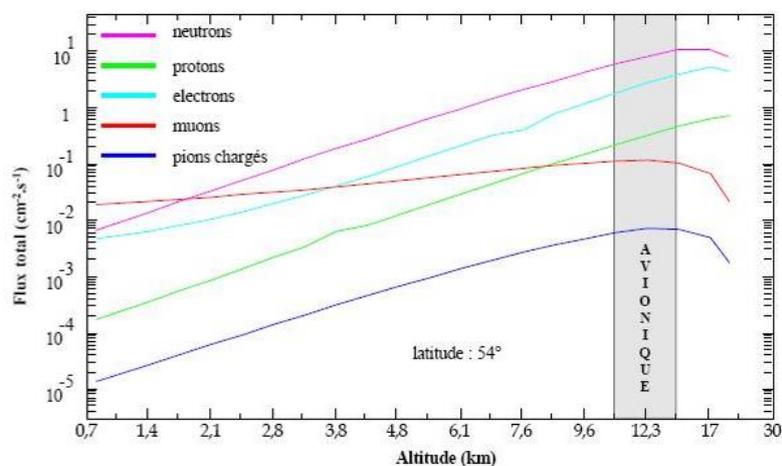


Figure I-9: flux total en fonction de l'altitude des particules se trouvant dans l'atmosphère

I.2 Effets des radiations sur les composants électroniques : les Evènements Singuliers

Les particules ionisantes peuvent causer des effets transitoires, permanents ou destructifs dans les matériaux qu'elles traversent. Elles peuvent donc interagir avec l'électronique embarquée et avoir des conséquences critiques quant au succès d'une mission spatiale ou de vols aux altitudes avioniques. Suivant l'interaction, deux types d'effets se dégagent: les événements dits singuliers (causés par une seule et unique particule) et les effets de dose.

I.2.1 Les événements singuliers

I.2.1.1 Mécanisme de base en environnement radiatif naturel

Lorsqu'une particule traverse un semi-conducteur, elle peut de manière directe ou indirecte déposer des charges dans le silicium : un ion lourd dépose cette charge linéairement, c'est pourquoi on lui associe un LET (*linear energy transfer*) caractéristique. Cette notion de dépôt de charge est en réalité la traduction de la génération de paires électron-trou par interaction coulombiennes le long de la trajectoire de l'ion (Figure I-10a). A proximité de la jonction, ces paires vont d'abord se recombiner (Figure I-10b) au niveau des jonctions PN polarisées en inverse. Puis rapidement le principe de diffusion va prédominer (Figure I-10c). La durée de ce processus est variable et peut durer de quelques picosecondes à une centaine de nanosecondes.

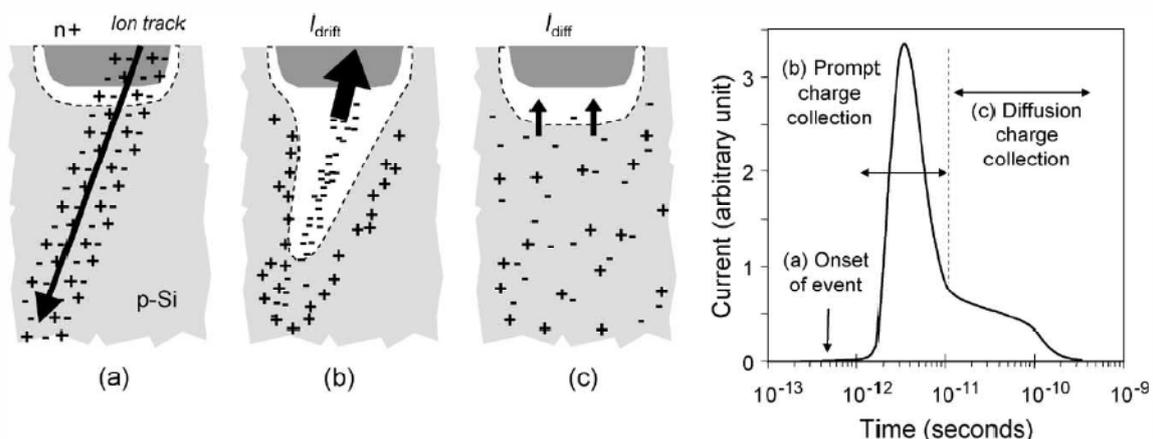


Figure I-10 - Phases de génération (a), dérive (b) et diffusion (c) de charge dans une jonction PN polarisée en inverse et l'impulsion de courant résultante consécutive au passage d'un ion lourd [BAU05].

Un proton ou un neutron provoquent une interaction nucléaire avec le silicium (Figure I-11) qui génère, parmi les produits secondaires, des ions lourds qui interagissent comme décrit ci-dessus.



Figure I-11 - Illustration d'une interaction neutron-silicium et des ions de recul produits

Les zones sensibles (où un dépôt de charge suffisant déclenche une erreur) sont donc des jonctions PN polarisées en inverse. Dans un circuit intégré, elles sont particulièrement nombreuses et leur localisation varie en fonction du niveau logique 0 ou 1 des nœuds du circuit.

Cas d'un inverseur MOS

Un inverseur possède une zone sensible localisée au niveau du drain du transistor bloqué (Figure I-12). Dans le premier cas (à gauche de la figure), si une particule ionisante traverse le drain du PMOS bloqué, il y a génération d'un courant qui modifie la tension du nœud et amène de manière transitoire le niveau logique de la sortie de l'inverseur de 0 vers 1. Dès la fin de la collection des charges générées par le passage de la particule, le courant transitoire cesse et la sortie retrouve un niveau logique bas. Un phénomène de "guérison" se met en place, le NMOS est toujours passant, il permet la restauration du potentiel de la sortie. Réciproquement, sous l'action d'un courant, la sortie d'un inverseur ayant un niveau logique haut en sortie peut être forcée à zéro pendant une période transitoire, alors que le drain du transistor NMOS est bloqué.

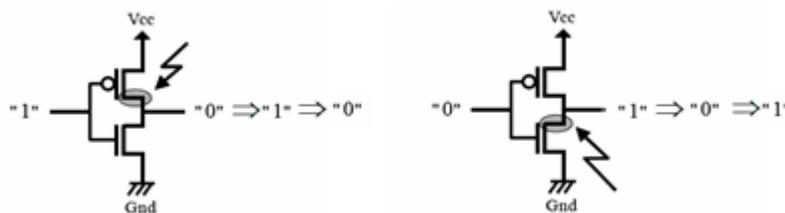


Figure I-12 : Zone sensibles (partie grisée) d'un inverseur en fonction de l'état en entrée.

I.2.1.2 Les principaux types d'événements singuliers

- SET

Le Single Event Transient (SET) est la conséquence directe d'une collection de charge dans un nœud sensible. C'est un transitoire en tension qui peut se propager dans le circuit logique (Figure I-13).

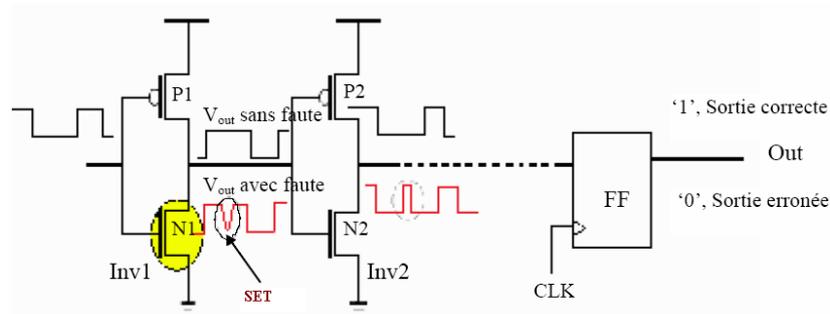


Figure I-13 : Propagation d'un SET entre 2 inverseurs

Masquage électrique

Selon la variation de tension (en amplitude et en durée), un SET peut être amorti. On peut comparer cet effet d'atténuation à un filtre passe-bas. Un SET est atténué lors de chaque passage au travers d'une porte logique. Un courant transitoire peut donc avoir une largeur et une intensité insuffisante pour passer plusieurs inverseurs [KEN03]. Dans le cas contraire, le transitoire ainsi propagé peut être mémorisé en aval dans le circuit.

Masquage logique

Un SET peut aussi être annulé selon les portes logiques qu'il rencontre. C'est le masquage logique. Plusieurs configurations d'entrée d'une unité logique mènent à la même réponse en sortie. Prenons en exemple la fonction « et » (Figure I-14). Elle fournit « 0 » en sortie dans tous les cas sauf lorsque les deux entrées sont égales à « 1 ». La probabilité pour que la sortie passe de « 0 » à « 1 » à cause d'un SET est donc faible dans ce cas (Table I-2).



Figure I-14 : Porte logique "ET"

A	B	A & B
$0 \rightarrow 1$	0	$0 \rightarrow 0$
0	1	0
1	0	0
1	1	1

Tableau I-2 : Table de vérité de la fonction "ET". Exemple de SET masqué logiquement.

Masquage temporel

Le SET peut se propager jusqu'à une flip-flop. La Figure I-15 montre le phénomène sur un diagramme temporel. Le diagramme présente quatre SET. Deux SET sont synchronisés avec la fenêtre de mémorisation (*setup* ou *hold*) et permettent la capture de l'impulsion par la flip-flop. Les deux autres SETs sont masqués temporellement.

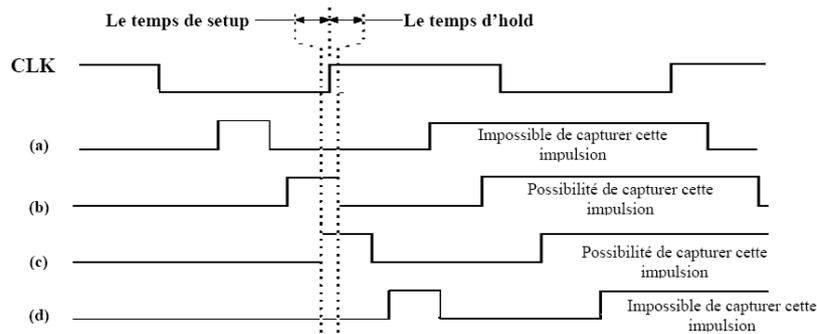


Figure I-15 : Fenêtre temporel de mémorisation du SET dans une flip-flop

- SEU (Single Event Upset)

Un transitoire en courant généré par le passage d'une particule ionisante induit un transitoire en tension au niveau du nœud connecté à la zone sensible (drain du transistor bloqué). Cette défaillance intervient essentiellement dans les points mémoires type SRAM et SDRAM. Il s'agit du basculement d'un état logique vers l'état logique complémentaire. Dans la plupart des cas cet effet est réversible : il suffit de réécrire le bit. L'étude de ce phénomène a fait l'objet de très nombreuses publications et thèses [ANG05] [MIL06] [WIR03] [CAF02]. A l'intérieur d'une cellule SRAM, ce transitoire est susceptible de se propager jusqu'à la grille du second inverseur, ce qui a pour effet de faire basculer de manière permanente le contenu de la mémoire. La Figure I-16 illustre la génération d'un SEU dans une cellule SRAM six transistors (6T).

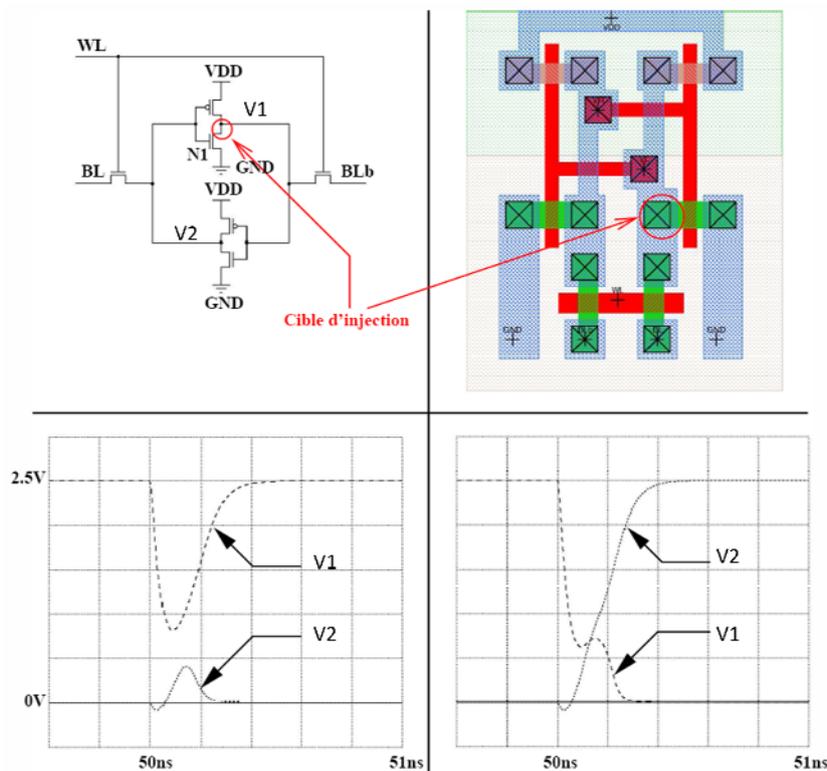


Figure I-16 : Illustration du basculement d'une cellule SRAM [FRE96] [HAZ00]

Si la charge générée au niveau du transistor bloqué est trop faible, alors il ne se produira aucune erreur. Ce seuil est appelé « charge critique » et définit, pour une cellule SRAM, la charge suffisante pour faire basculer un bit.

Charge critique

On utilise la notion de « charge critique » pour caractériser le niveau de sensibilité de la cellule. Le plus souvent elle est définie comme dans [DOD95], l'Équation 1 fournit la définition de I_{drain} . C'est le courant du drain du transistor bloqué impacté. Il est dépendant de t , le temps de basculement de la cellule. Ce temps correspond à l'instant où la tension de grille du transistor impacté dépasse sa tension seuil

Équation 1 - Définition de la charge critique Q_c .

$$Q_{\text{critique}} = \int_0^t I_{\text{drain}} \cdot dt$$

L'évolution des technologies transistor et la diminution des tensions caractéristiques impliquent des évolutions de cette charge critique. Cette évolution est étudiée par les fondeurs car dans les technologies très intégrées (technologies inférieures à 130nm) la proportion de MBUs (définition au paragraphe suivant) augmente significativement dans des circuits de type SRAM [BAU02] et FPGA SRAM-Based Xilinx [CAS07]. Certains procédés de fabrication sont modifiés (canal plus long, grille plus épaisse, ajout de capacités ...) pour rendre plus robustes vis-à-vis des SEU les cellules SRAM. Dans le cas des cellules SRAM des FPGA, elles ne sont configurées qu'une seule fois. La rapidité n'étant alors pas un facteur déterminant, cela donne une plus grande liberté aux concepteurs. La Figure I-17 montre la courbe d'évolution du FIT par Mbit, nombre d'erreurs par milliard d'heures, en fonction des technologies de fabrication et traduit l'évolution de la charge critique. Rendre la mémoire de configuration du FPGA moins sensible aux SEUs par rapport à la BRAM (SRAM dédiée aux applications qui ont besoin de conserver de la rapidité) a nécessité des efforts de conception.

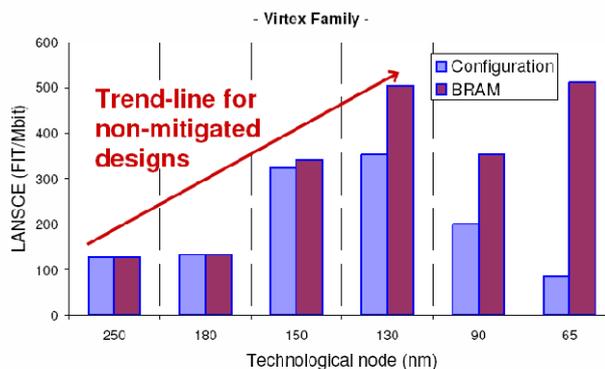


Figure I-17 - Evolution de la sensibilité des cellules SRAM de configuration et de BRAM pour les FPGA Xilinx du Virtex 1 (250nm) au Virtex 5 (65nm) [CAS07]

- MCU et MBU

On parle de MCU (Multiple Cell Upset) lorsqu'une même particule provoque plusieurs basculements, de manière directe ou indirecte (par le biais de particules secondaires). Les MCU deviennent plus fréquents avec l'intégration des composants.

En effet, la diminution de la taille des transistors influe sur deux paramètres essentiels :

- ✓ La charge critique (Q_c) par bit diminue : le dépôt de charge reste le même mais la quantité de charge nécessaire au basculement permanent du bit est plus faible. Comme la charge est aussi proportionnelle à la tension, cette tendance est liée à la diminution des tensions d'alimentation qui accompagne les diminutions successives de la finesse de gravure. Cette charge critique devient suffisamment faible pour que plusieurs cellules à proximité les unes des autres basculent et engendrent un MCU.
- ✓ La proximité des zones de collection de charge : Les transistors sont plus petits donc la distance entre les zones sensibles diminue également. Ainsi lorsqu'une interaction nucléaire se situe à proximité d'un drain sensible, la probabilité que plusieurs drains sensibles soient capables de collecter les charges déposées par une particule augmente. Un MCU se produit, en général, dans des cellules adjacentes (Figure I-18).

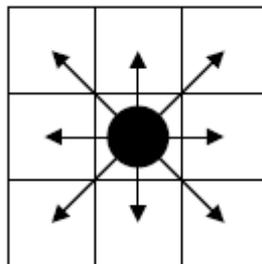


Figure I-18 : Illustrations de bits adjacents susceptibles d'être impliqués dans un MBU

Le MBU (Multiple Bit Upset) est un cas particulier du MCU. Il faut en effet que la même particule provoque plusieurs SBU (Single Bit Upset) dans un même mot logique. Une définition large d'un « mot logique » consiste en la plus petite quantité de bits considérée à chaque passe du code correcteur implémentée. La plupart des codes ou circuits correcteurs ne détectent qu'une unique faute. C'est le cas de la parité employée depuis des années. Les codes détectant jusqu'à deux SEU et corrigeant un SEU commencent à se diffuser. Par exemple, le SECDED (Single Error Corrected Double Error Detected) de Xilinx (exploitant un code de Hamming) est implanté matériellement dans les derniers modèles Virtex 4 et 5. Le MBU est beaucoup plus difficile à détecter, et par extension à corriger.

Les MCU dans les FPGA SRAM-Based sont étudiés dans différentes publications [ROC07], [HEA05], [VIO07], [CAS07].

- SEFI

Un SEFI (Single Event Functional Interrupt) marque une interruption du fonctionnement normal du composant liée à l'impact d'une particule. Les auteurs donnent parfois leur propre définition de SEFI [SWI04], [STE07]. Dans cette étude, un SEFI est induit lorsque la fonctionnalité du composant est interrompue, y compris lorsqu'une erreur nécessitant une intervention extérieure est détectée sur une sortie du composant. Dans un FPGA SRAM-Based, les SEFI sont une réelle préoccupation car leur apparition produit une interruption du fonctionnement normal de l'application. Un SEFI est généralement lié à un SEU et ne sera débloqué que par une intervention extérieure au FPGA. Dans ce cas, il suffit de réécrire le bit qui a basculé. Dans le pire cas, il est nécessaire de réinitialiser le composant afin de le rendre à nouveau opérationnel. Par exemple, une entrée d'un FPGA, qui deviendrait une sortie suite à un SEU, peut induire des conflits électriques importants au sein du système [POU02]. Si le composant n'est pas endommagé électriquement, il suffit de réécrire la mémoire de configuration de ce bloc d'entrée-sortie.

- SEL

Un SEL (Single Event Latchup) peut être un événement destructif. Il correspond à la mise en conduction d'une structure PNP (ou NPN) thyristor parasite présente dans les circuits CMOS (Figure I-19) activée par le passage d'une particule ionisante. L'augmentation de courant qui s'en suit peut mener à la destruction du composant par fusion locale du silicium ou des pistes métalliques [SEX03]. Dans certains cas particuliers, un SEL ne mène pas à la destruction du composant (par exemple si l'alimentation est limitée en courant ou si le courant est naturellement limité par la résistance d'accès à l'alimentation). Dans tous les cas, pour protéger le composant il est nécessaire de couper puis redémarrer l'alimentation.

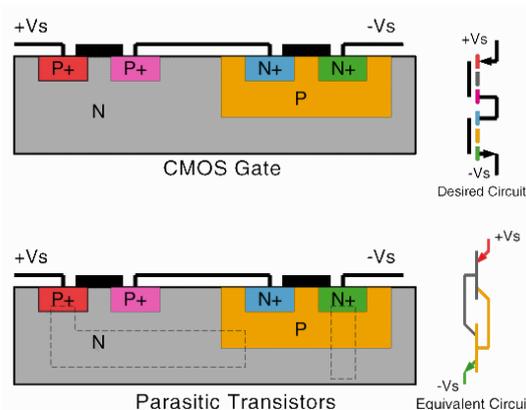


Figure I-19 - Illustration du thyristor parasite dans un CMOS.

Tableau de synthèse des effets singuliers

Type d'effet	Mécanisme	Gravité
SET (propagation d'une charge)	Charge générée dans un nœud électronique et se propageant dans le circuit.	Peut être masqué logiquement, électriquement ou temporellement ou bien il est mémorisée et peut devenir un SEU
SEU (erreur logique)	Charge stockée dans les nœuds électriques d'un point mémoire.	Basculement de bit non destructif. Il peut se produire dans plusieurs bits voisins (MBU)
SEFI (Conséquence applicative)	Le fonctionnement normal du composant est interrompu.	Réversible mais dépend du mode d'intervention nécessaire à la remise en fonction du composant
SEL	Activation d'un thyristor parasite dans les circuits intégrés CMOS.	Effet irréversible et destructif si l'alimentation n'est pas coupée à temps

Tableau I-3 - Résumé des effets induits pas l'interaction d'une particule avec le silicium

I.2.2 Les effets de dose

Les particules de l'environnement radiatif sont susceptibles de déposer des charges dans les parties isolantes des composants électroniques. Contrairement aux charges générées dans les parties métalliques ou semi-conductrices des composants, qui sont évacuées relativement rapidement, celles créées dans les oxydes s'accumulent.

On définit la dose comme étant l'énergie, donné par unité de masse, déposée dans un matériau. Les effets provoqués par la dose sur les composants électroniques sont nombreux et prennent différents aspects. Le principal problème qui est rencontré concerne la dérive des paramètres électriques. Une dérive trop importante de ces paramètres peut rendre un composant totalement inutilisable [SAI98].

I.3 Architecture SRAM-Based FPGA

L'objectif de cette partie est de présenter l'architecture des FPGA à base de SRAM et de mettre en évidence leurs spécificités. En effet, la compréhension de la problématique nécessite une description détaillée des fonctionnalités présentes au sein de ces composants complexes. Dans un premier temps, pour pouvoir décrire des structures logiques (inverseur, mémoire SRAM), il faut décrire le fonctionnement d'une cellule mémoire SRAM. Les principes généraux de l'architecture des FPGA SRAM-Based sont ensuite présentés.

I.3.1 Cellule SRAM

Une cellule SRAM classique (Figure I-20) est constituée de deux inverseurs tête-bêche permettant de conserver un bit en mémoire tant que la cellule est alimentée par VDD. La

donnée est écrite ou lue via deux transistors d'accès (Q et Qb). Ils sont commandés sur la grille par la ligne d'adresse, « WL » (word line) et la donnée est chargée via les lignes de donnée (BL et BLb). Les composants mémoire SRAM sont généralement composés de cellules mémoires à six transistors (6T).

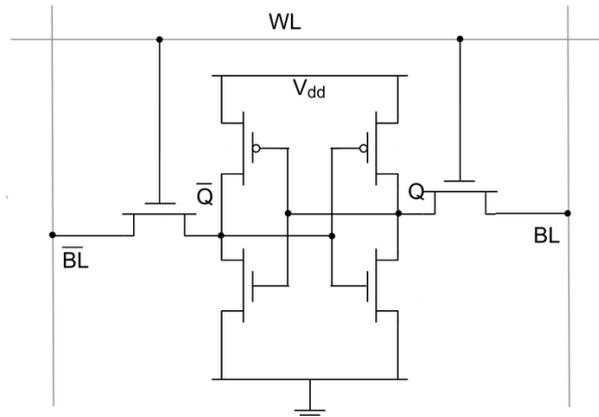


Figure I-20 - Cellule SRAM 6T

I.3.2 Architecture du FPGA SRAM-based

Quelque soit le fabricant, la structure classique d'un FPGA consiste à implanter sur un même composant un ensemble de ressources configurables et interconnectées. On entend par *configurable* la possibilité de choisir les chemins des signaux depuis des d'entrées définies vers des sorties définies, au travers de ressources logiques qui permettent de réaliser une application donnée. Dans le cas des FPGA SRAM-based, cette modularité est permise par l'implantation de cellules SRAM contenant les données de configuration. Elles ont pour avantages d'être assez compactes et très rapides mais l'inconvénient est qu'elles sont volatiles (l'information stockée est perdue lorsque la puce n'est plus sous tension) et sensibles aux radiations naturelles.

Par ailleurs, des blocs de mémoires SRAM dédiées sont implantés pour être utilisés par les applications, à la manière d'une mémoire cache. Cette mémoire ne sert pas à la configuration. Pour décrire le FPGA, on peut le diviser en deux couches symboliques (Figure I-21). La couche opérative (ou applicative) permet au FPGA d'assurer la réalisation des applications à l'aide des ressources combinatoires. La couche de configuration regroupe les points mémoires SRAM chargés d'activer ou non les ressources applicatives. La description qui suit est basée sur le fonctionnement de ces deux « couches ». Elle tente de faciliter la compréhension du fonctionnement d'un FPGA SRAM-Based et donne un point de vue hiérarchisé.

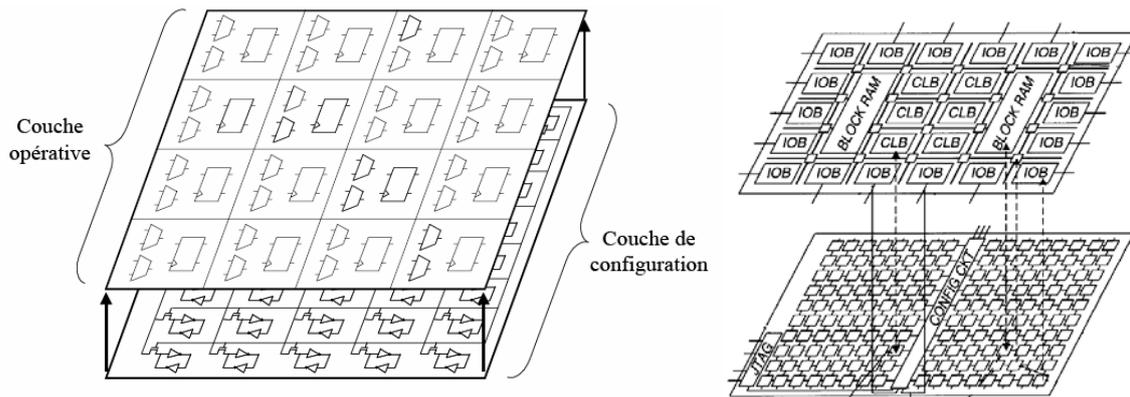


Figure I-21 - Partitionnement symbolique d'un FPGA en deux couches

I.3.2.1 La couche de configuration

L'architecture d'un point mémoire SRAM a été présentée dans la section précédente, les sections suivantes décrivent l'ordonnancement et le principe de configuration d'un FPGA à base de SRAM.

Les cellules SRAM : mémoires de configuration d'un FPGA.

Un FPGA peut comporter plusieurs millions de cellules SRAM de configuration. Comme la configuration des FPGA est volatile, elle doit être chargée à chaque mise sous tension. Chaque cellule SRAM permet de stocker un seul bit de configuration. Ainsi, par exemple, la configuration d'une table de vérité (LUT) d'une fonction logique de quatre variables requiert 16 bits de configuration. Pour illustrer la capacité nécessaire à un FPGA récent, un FPGA de la famille Virtex 5 de Xilinx [XILV5], le XC5VLX330, comporte 80 millions de bits SRAM afin de configurer ses 51840 blocs logiques.

L'architecture des cellules mémoires pour ces SRAM de configuration (Figure I-22) est nécessairement différente d'une cellule mémoire classique intégrée dans un composant SRAM dédié. Une cellule SRAM de configuration est constituée de deux inverseurs rebouclés (Inv1 et Inv2) et d'un seul transistor d'accès (Mt) de type NMOS. Le transistor d'accès permet l'écriture (configuration) et éventuellement la relecture du bit de configuration (*readback*). La Figure I-22 présente le schéma électronique d'une cellule 5T. Le bit stocké commande un NMOS (Mn) appartenant à la couche opérative.

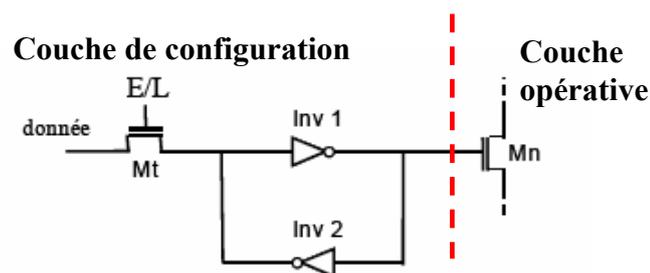


Figure I-22 - SRAM de configuration : cellule 5T

Ordonnancement des SRAM de configuration et principe de la configuration.

Physiquement, les SRAM de configuration sont réparties régulièrement parmi les éléments de la couche opérative. Pour comprendre le principe de configuration, leur ordonnancement est décrit sur la Figure I-23 sous la forme d'un tableau en deux dimensions.

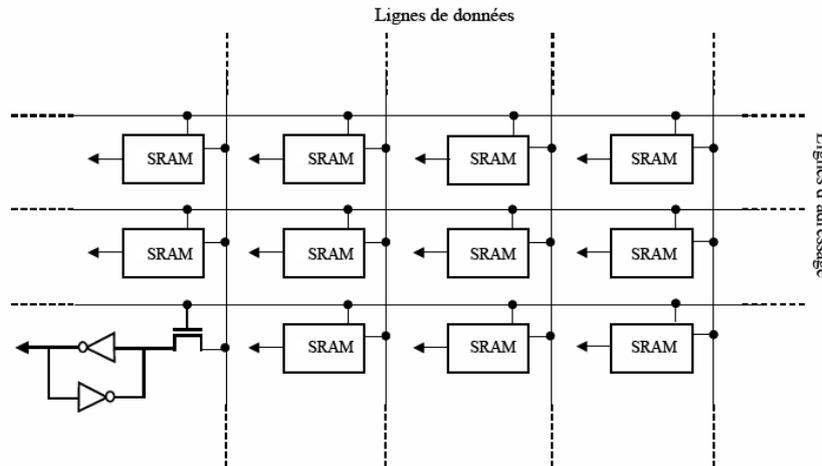


Figure I-23 - Tableau bidimensionnel de SRAM de configuration

Les cellules d'une même colonne partagent la même ligne de données et les cellules d'une même ligne partagent la même ligne d'adressage. Ainsi, une ligne complète de cellules peut être écrite ou lue lorsque les transistors d'accès sont commandés en mode passant par la mise à un de leur ligne d'adressage. Les bits de configuration sont alors lus ou écrits sur l'ensemble des lignes de données [MIC97]. La couche de configuration peut être assimilée à un tableau à deux dimensions (Figure I-24) composé de n colonnes et m lignes de cellules SRAM 5T.

Les bits de configuration sont chargés en série à partir de mots de n bits stockés dans un registre à décalage des données (RDD), de longueur n . La ligne de cellules SRAM activée en écriture ou en lecture est sélectionnée par un registre à décalage des adresses (RDA), de longueur m . Chaque fabricant de FPGA SRAM-Based réalise une partie logique (non représentée) chargée de gérer le processus de configuration. Il y a deux modes de fonctionnement lors de la configuration d'un FPGA : l'écriture et la lecture.

La phase d'écriture est la « configuration » : les bits de configuration sont chargés en série dans le RDD. Dès qu'un mot complet de n bits est positionné dans le RDD, il est écrit en parallèle dans les cellules d'une même ligne, au travers des n lignes de données. Ensuite, un nouveau mot est chargé et les différentes lignes de cellules sont écrites successivement. L'écriture d'une ligne est validée par le RDA qui rend passants simultanément tous les transistors d'accès des cellules d'une même ligne. La configuration est donc chargée séquentiellement sous forme de mots écrits successivement dans les différentes lignes.

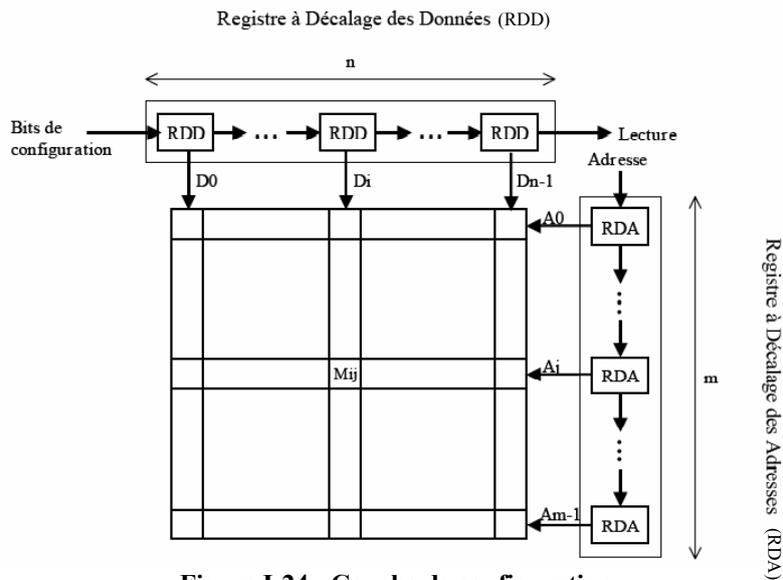


Figure I-24 - Couche de configuration

La phase de lecture permet de vérifier le contenu de la couche de configuration. Elle fonctionne selon le même principe que l'écriture. Les bits sont relus par paquets dont la taille minimale dépend des choix des constructeurs.

I.3.2.2 Architecture SRAM-Based FPGA : Description détaillée

Les paragraphes et figures suivants illustrent avec plus de détails l'architecture des FPGA SRAM-Based : du niveau de description général du composant aux détails approfondis de chaque ressource (au niveau transistor).

La Figure I-25 montre le schéma de principe d'une architecture FPGA. Les cellules logiques sont composées d'éléments combinatoires (essentiellement des multiplexeurs et quelques portes logiques [GRA03]) et d'éléments séquentiels (flip-flops et arbres d'horloges). Les entrées/sorties (E/S) sont généralement disposées en périphérie. Les ressources logiques sont implémentées par blocs. Afin de rendre possible le routage de tous les blocs entre eux, les FPGA SRAM-Based sont dotés d'un réseau d'interconnexions dense et complexe.

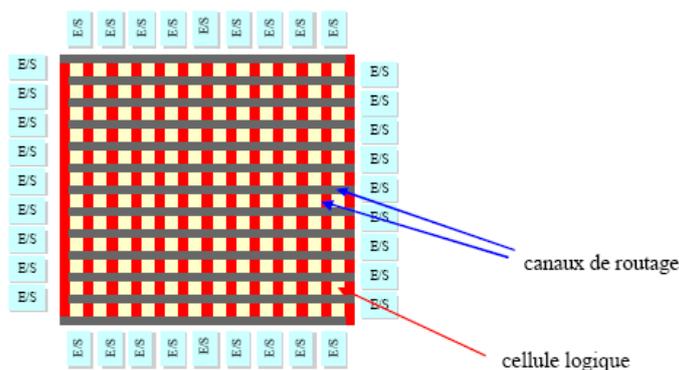


Figure I-25 - Architecture d'un FPGA

La Figure I-26 représente deux blocs logiques du FPGA. Si on considère qu'une cellule SRAM représente le motif élémentaire d'une mémoire SRAM et comporte généralement six transistors, le bloc logique et sa matrice de routage représentent le motif élémentaire du FPGA. Par exemple, sur un Virtex 2 de Xilinx, cette brique de base comporte 1760 bits de configuration à cinq transistors et de l'ordre d'un millier de transistors (souvent appelés « *pass-transistor* ») pour les ressources liées à la logique et au routage. Tous les transistors sont répartis physiquement de manière à ce que les cellules de configuration soient disposées à proximité des ressources qu'elles configurent.

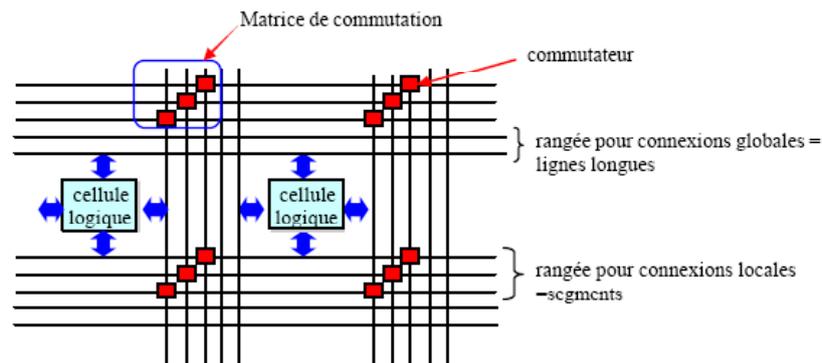


Figure I-26 - Eléments de base d'un FPGA

La Figure I-27 illustre en détail la manière dont une interconnexion d'une matrice de routage dans un FPGA SRAM-Based est configurable. Les cases M_1 à M_6 représentent chacune une SRAM de configuration permettant d'activer ou non une interconnexion par le biais du *pass-transistor*.

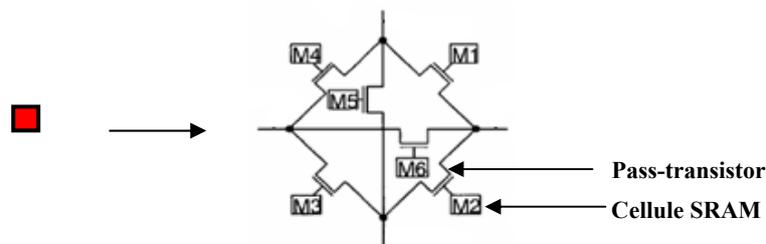


Figure I-27 - Détail de la figure précédente : matrice de commutation et ses SRAM

La Figure I-28 montre un bloc logique et le routage correspondant. Elle montre les multiplexeurs permettant de connecter le bloc logique au routage disponible. Les contenus des cellules SRAM M_9 à M_{11} permettent de sélectionner la piste de sortie du bloc logique.

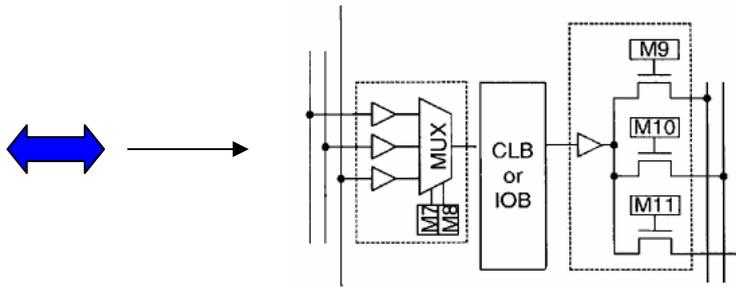


Figure I-28 - Détail : Routage d'entrée et de sortie d'un bloc logique

La Figure I-29 détaille l'architecture d'un multiplexeur d'entrée d'un FPGA Xilinx Virtex 2 [Patent IMUX]. Les bits M1 à M12 permettent de sélectionner lequel des 32 signaux disponibles, N1 à N32, sera connecté à l'entrée IN du bloc logique.

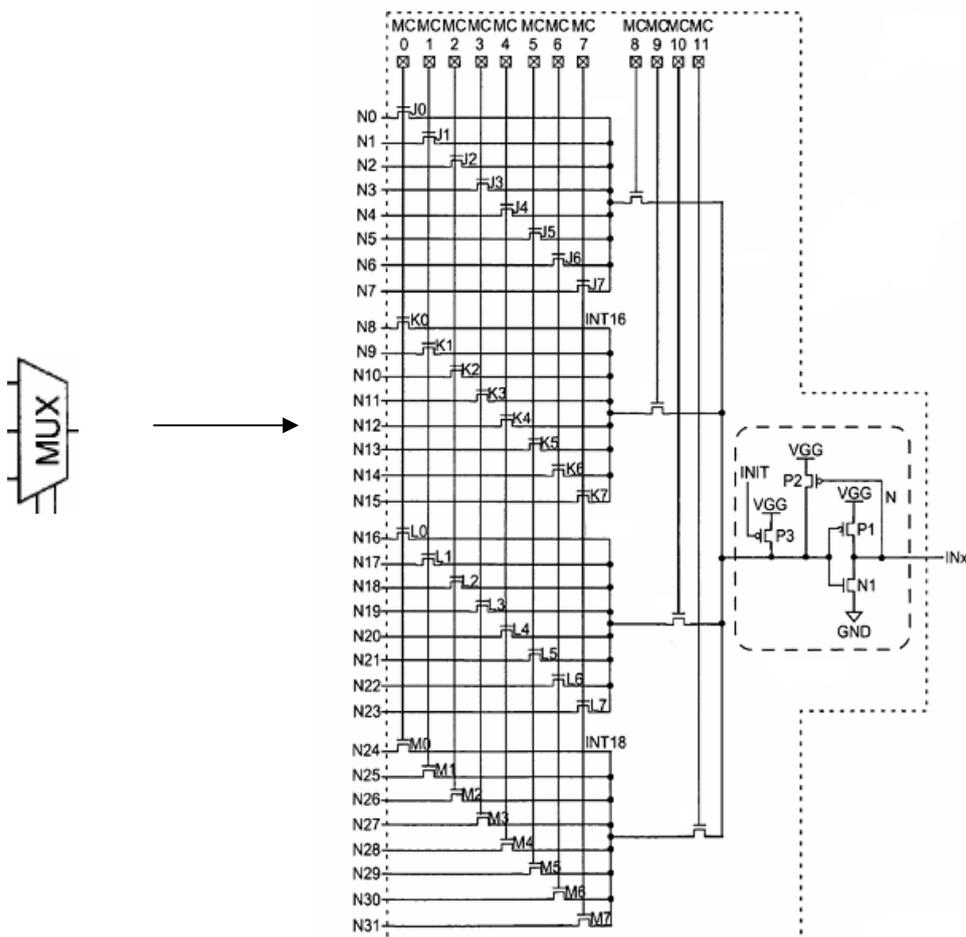


Figure I-29 – Exemple de schéma électronique du multiplexeur d'entrée d'un bloc logique

La Figure I-30 précise les fonctions principales d'un bloc logique. Elle représente le schéma général d'un bloc logique simplifié du FPGA SRAM-Based. Chaque entrée de la LUT est précédée d'un multiplexeur. La sortie de la table de vérité (LUT) peut être mémorisée ou non dans une flip-flop. La flip-flop reçoit un signal d'horloge, c'est la partie séquentielle du bloc. Cela permet de synchroniser la communication et les opérations entre blocs.

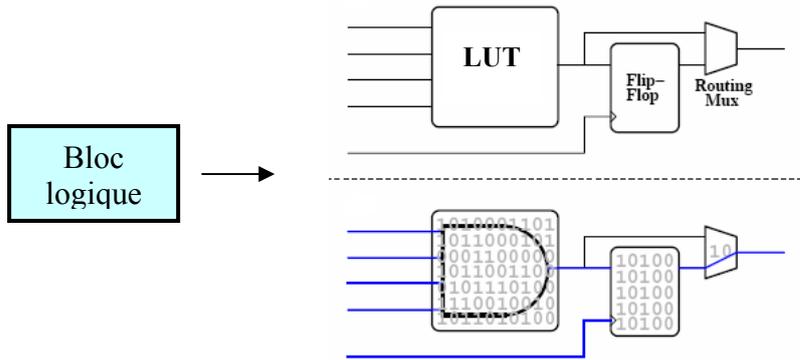


Figure I-30 - Schéma de principe d'un bloc logique [JOH03]

La Figure I-31 est un schéma proposé par Xilinx [PAT06] pour décrire une LUT à quatre entrées du Virtex 2. Les cellules M_0 à M_{15} sont les cellules SRAM contenant les résultats de la table de vérité de l'application configurée. Les entrées, IN_0 à IN_3 , sont connectées aux grilles des *pass-transistors* et permettent d'activer le chemin qui amènera le signal résultant vers la sortie de la même manière que des interrupteurs. On note également la présence de tampons servant à préserver l'intégrité du signal lors de sa transmission.

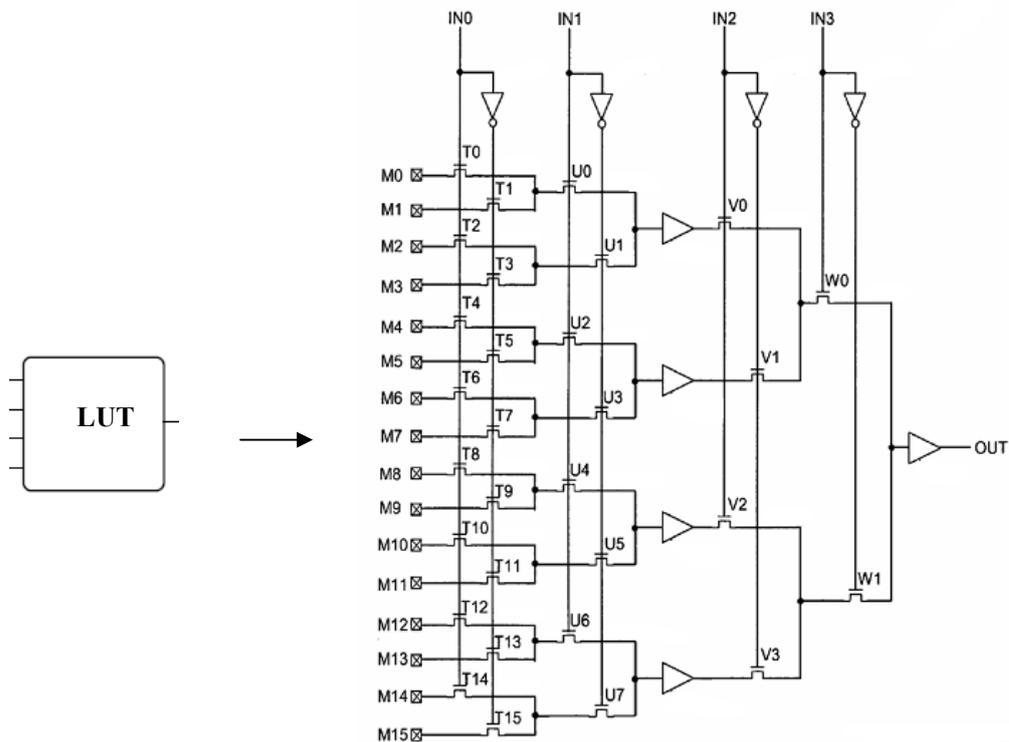


Figure I-31 – Exemple de schéma électronique d'une LUT à 4 entrées

La Figure I-32 représente le schéma simplifié d'un bloc d'entrée-sortie. Chaque broche du composant dispose de son propre bloc. L'utilisateur peut choisir d'en faire une entrée ou une sortie respectant les différents paramètres électriques (tension, impédance, mode synchrone ou asynchrone, rapidité, mode de transfert de données...).

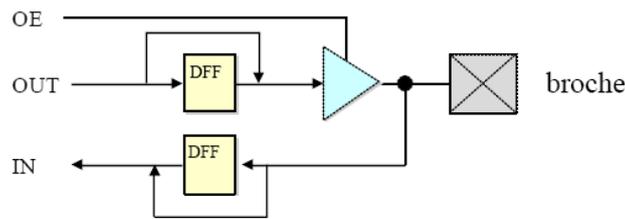


Figure I-32 - Schéma de principe d'un entrée-sortie (IO)

I.3.2.3 Couche applicative

La couche opérative d'un FPGA SRAM-Based est composée de :

- ✓ Entrées/sorties : Terminaux pouvant servir aussi bien d'entrée que de sortie. Ils servent d'interfaces pour l'émission ou la réception de signaux externes dont la tension est généralement plus élevée (2.5-5V) que la tension de fonctionnement des FPGA les plus modernes (jusqu'à 0.9V).
- ✓ Blocs logiques élémentaires : ils sont répartis sur la majeure partie du composant. Ils contiennent une partie combinatoire servant aux calculs logiques et une partie séquentielle servant à synchroniser les signaux et données au sein du FPGA.
- ✓ Blocs mémoires SRAM : ils sont dédiés au fonctionnement des applications. Leur structure et leur environnement sont pensés par les fabricants pour optimiser l'utilisation du FPGA en tant que système sur puce (SoC) [ALT08] [XILV5].
- ✓ Le routage : il constitue le maillage de base de la couche opérationnelle.
- ✓ Un arbre d'horloge et des buffers permettant la bonne synchronisation des processus et l'intégrité des signaux transitant au cœur du FPGA.
- ✓ Blocs spécialisés dans les FPGA les plus récents : Multiplieurs, DSP, contrôleur Ethernet, correcteur de code (ECC) ...

Au niveau fonctionnel, l'ensemble de ces ressources est disponible pour une application donnée. Cependant, toutes les ressources ne peuvent être utilisées à 100%, sous peine de conflits électriques importants. En réalité, une application utilise en moyenne 40% (entre 10 et 60%) des ressources configurables. L'activation et la liaison entre chaque élément correspondent aux arbitrages de l'algorithme du logiciel de synthèse et de placement routage. Cette opération est très complexe et doit être réalisée par un ordinateur. Le développeur corrige ensuite ce placement routage en fonction des contraintes de timing et de ressources disponibles. Les développeurs apprécient les FPGA SRAM-Based pour la simplicité du codage en VHDL, pour leur rapidité et pour leur modularité car dans les phases de prototypage, ils sont souvent amenés à modifier leurs applications.

Cette description de l'architecture des FPGA SRAM-Based met en évidence leur complexité et amène à la question de moyens de tests adaptés à leur étude. C'est notamment sur ce point que la thèse vise à apporter des réponses.

1.4 Moyens de tests usuels des composants intégrés

Au regard des événements singuliers qui peuvent survenir lors de l'utilisation d'un composant électronique, il apparaît important de pouvoir valider leur robustesse avant de les embarquer dans un système. Afin de tester les composants dans des conditions les plus proches des conditions réelles d'utilisation et avec une méthode dite « accélérée », différents moyens existent. Ils affichent chacun leurs avantages et leurs inconvénients, ce qui peut les rendre complémentaires dans une approche de validation pour un usage industriel.

1.4.1 Accélérateurs de particules

L'accélérateur de particules est considéré comme le moyen de caractérisation de référence pour déterminer la sensibilité des composants électroniques vis-à-vis des particules radiatives. Les accélérateurs d'ions lourds produisent des ions plus ou moins énergétiques et les accélèrent sous l'action d'un champ électrique. Parmi les différents types d'accélérateurs existants, les plus utilisés pour le test de sensibilité de type SEE sont les accélérateurs électrostatiques linéaires :

- ✓ Les accélérateurs de type tandem Van de Graaff (Figure I-33-a): GANIL à Caen, France, IPN à Orsay, France.
- ✓ Les accélérateurs circulaires de type cyclotron (Figure I-33-b): TRIUMF à Vancouver, Canada, CYCLONE à Louvain-la-Neuve, Belgique.

Les accélérateurs circulaires utilisent à la fois l'accélération par un champ électrique mais aussi la courbure de la trajectoire des ions par un champ magnétique. Ils fournissent l'avantage de pouvoir faire passer les ions plusieurs fois entre les électrodes d'accélération et donc d'augmenter le domaine d'énergies accessibles. Ces accélérateurs offrent donc une plus grande variété d'ions capables de traverser plusieurs dizaines de micromètres de silicium, mais sont plus coûteux que les accélérateurs linéaires de type Van de Graaff.

Les effets des ions lourds sur des composants électroniques, notamment les circuits intégrés, sont caractérisés à l'aide d'une grandeur appelée LET (Linear Energy Transfer). Elle traduit la quantité de charges déposées par unité de longueur de parcours dans la matière.

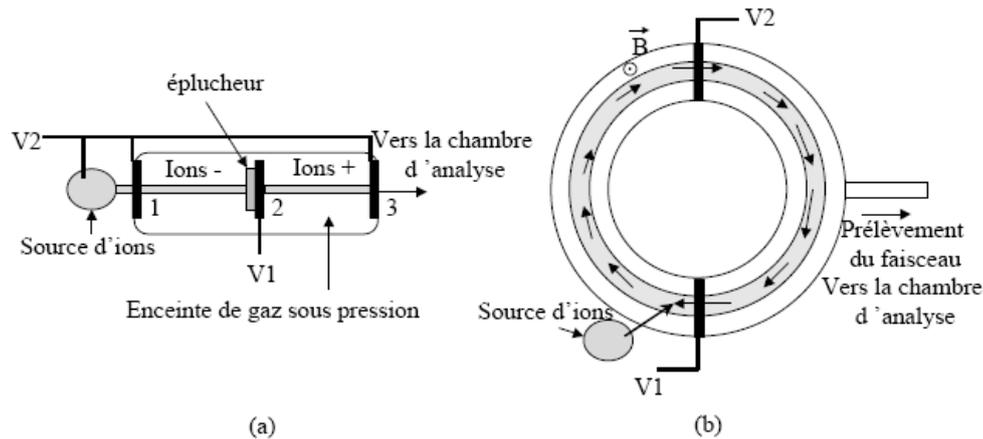


Figure I-33- Principe d'accélération pour un accélérateur tandem Van de Graaff (a) et un accélérateur circulaire (b)

Section efficace

Elle représente la surface sensible du composant et s'exprime en cm^2 . Elle traduit aussi la probabilité qu'une particule incidente sur 1 cm^2 de composant génère un événement. Elle est généralement représentée sous la forme d'une courbe de section efficace donnant son évolution en fonction du LET de l'ion, ou de l'énergie du proton ou du neutron. La Figure I-34 illustre l'allure d'une section efficace ions lourds et donne les types d'ions employés afin d'obtenir des résultats aux intervalles d'énergies où le LET seuil et la saturation apparaissent.

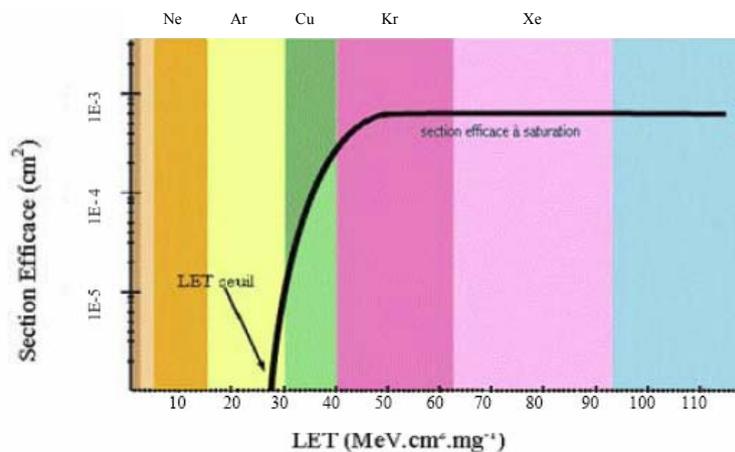


Figure I-34 - Tracé d'une courbe de section efficace illustrant la particule et son LET

La section efficace se note σ et se déduit du nombre de défaillances observées, $N_{\text{Défaillance}}$ observée pour une fluence Φ (nombre de particules par cm^2 pour la durée de l'irradiation) :

$$\sigma = N_{\text{Défaillance}} / \Phi$$

Équation 2- Section efficace d'un composant

Cependant, lorsque la sensibilité du composant dépend de l'application implémentée, le temps nécessaire à l'obtention d'une statistique d'erreur correcte, et le coût de mise en œuvre (heures faisceaux) apparaît comme étant trop important pour que dans la pratique des essais

avec l'application finale soient réalisés en accélérateur de particules. Des tests en accélérateurs de particules ont été réalisés sur des FPGA SRAM-Based, en particulier sur la famille Virtex de Xilinx [ALD05], [JOH03], [WIR03], [KOG04]. Ce sont principalement de tests statiques qui visent à tester la couche de configuration et ne fournissent pas d'analyse approfondie des conséquences des SEU sur l'application. C'est pourquoi nous souhaitons développer une méthode de test de la couche applicative.

I.4.2 Injection de fautes au niveau RTL

Le niveau RTL (*register transfer level*) est la première étape d'interprétation du code VHDL (ou Verilog). Il décrit le programme à implémenter uniquement à l'aide de blocs fonctionnels à la manière d'une *netlist* avant l'étape de placement routage. Cette méthode est généralement utilisée dans des FPGA SRAM-Based servant de véhicules de tests et contenant une description RTL d'un autre composant (par exemple un microprocesseur [FAU05]). Cela permet d'injecter des fautes dans les registres de ce composant et d'observer les conséquences sur les résultats lors de simulations. L'injection de fautes dans les registres permet au programmeur d'évaluer la fiabilité de son application en amont du développement, sans s'engager dans les processus de synthèse et de routage mais uniquement d'un point de vue fonctionnel. Cela assure un gain de temps important dans le processus de développement. A condition de disposer de la description RTL valide d'un composant, ce niveau de simulation permet d'injecter des fautes dans tous les registres de manière très rapide. L'injection de fautes par simulation RTL dans les FPGA est étudiée dans [LEV05], [HAD05], [ANT00]. Dans cette méthode, le FPGA étant uniquement le véhicule de test, il ne fait pas lui-même l'objet du test et la mémoire de configuration n'est donc pas testée. Par contre, parvenir à remonter le fichier bitstream impacté par un SEU vers la description RTL de l'application qu'il représente, permettrait probablement de prédire les effets des SEU (fichier de configuration) dans l'application (description RTL). En pratique, il s'agit de l'opération inverse d'une synthèse.

I.4.3 Injection de fautes directement dans le bitstream

Il s'agit d'inverser les bits de configuration les uns après les autres au niveau matériel, ceci à l'aide d'une commande logicielle. Dans certaines conditions, la plupart des FPGAs permettent la relecture et la réécriture (partielle ou totale) du fichier de configuration sans interruption de l'application. Cette fonctionnalité permet la mise en évidence des SEU induisant un SEFI.

Pour injecter un SEU dans l'application et observer les conséquences, il suffit en théorie de modifier un bit du bitstream et de procéder à une réécriture de la configuration avec ce fichier corrompu. L'application, qui a été suspendue juste avant ce nouveau téléchargement, reprend. Si l'application produit une erreur dans son résultat ou une interruption dans son fonctionnement, le bit dans lequel le SEU a été induit sera mémorisé comme source de SEFI. Dans la réalité, la réalisation de ce type d'injection de fautes demande de mettre en œuvre des moyens spécifiques de tests et un choix particulier de l'application qu'on souhaite surveiller afin d'être en mesure d'identifier une erreur au niveau de l'application lorsqu'elle se présente. Dans [SWI04], le test se limite aux entrées sorties et bénéficie d'un outil propriétaire Xilinx d'injection de faute appelé SEUPI [SUN03].

I.4.4 Tests atmosphériques

Le principe consiste à placer un ensemble de composants identiques en fonctionnement dans un environnement au niveau du sol à différentes altitudes, latitudes et longitudes et de regarder régulièrement le nombre de SEUs induits naturellement par les neutrons atmosphériques. Au travers du projet *Rosetta* [LES05], Xilinx et ses partenaires ont mis en place ce type de tests à différentes altitudes et différentes latitudes. Les plateformes de tests sont composées de centaines de FPGA identiques, du Virtex 1 (220nm) au Virtex 5 (65nm), afin de multiplier le nombre de bits testés et ainsi d'augmenter la statistiques d'erreur au cours du temps. Dans le cas de *Rosetta*, les tests atmosphériques se limitent au test de la couche de configuration. En outre, les auteurs admettent que pour obtenir des résultats avec un bon intervalle de confiance (95%), il est nécessaire d'exposer des centaines de composants pendant plusieurs mois voir des années [CAS07]. La principale qualité de cette méthode réside dans le fait de tester un composant dans l'environnement réel de l'application.

I.5 Conclusions

Dans ce chapitre a été présenté l'environnement radiatif contraignant pour les composants électroniques modernes et les effets singuliers induits par les particules ionisantes. Au travers de la description détaillée de l'architecture des FPGA SRAM-Based et des moyens de tests usuels, nous montrons que la caractérisation de ce type de composants complexes exige la mise en œuvre des outils adaptés à leurs spécificités, des outils d'injection de fautes et de des outils de prédiction utilisés en complémentarité afin d'obtenir une évaluation de la robustesse d'une application en considérant les différents mécanismes en partant de la couche de configuration et en allant jusqu'aux conséquences dans la couche applicative.

II. Sensibilité des cellules SRAM de configuration des FPGA SRAM-Based

Ce chapitre est consacré à l'étude de la sensibilité de la couche de configuration des FPGA SRAM-Based, couche qui est composée de cellules SRAM. L'outil laser a, par le passé, démontré son intérêt pour déterminer la robustesse des composants analogiques et numériques [POU00], [MIL06], [DOU08]. Nous nous intéresserons ici à étudier comment la méthodologie de test par laser peut être appliquée à l'évaluation de la sensibilité de la couche de configuration d'une FPGA SRAM-Based.

Après une description de l'outil développé au sein d'EADS France Innovation Works, nous présentons la méthodologie de test laser applicable aux composants SRAM pour mettre en perspective l'étude laser à mener sur la mémoire de configuration. Dans le cadre d'un projet européen¹, nous avons procédé à l'étude du FPGA SRAM-Based Atmel sur la base des méthodes et optimisations réalisées lors de tests préliminaires sur les FPGA Xilinx.

II.1 Injection de charges par laser

II.1.1 Principe

Avant d'embarquer un composant dans les équipements électroniques aussi bien dans un satellite ou un avion, ou encore dans un dispositif critique au sol, il est nécessaire de procéder à une analyse des risques liés à son environnement radiatif. Des tests en accélérateurs de particules peuvent être pratiqués pour recréer des contraintes et un environnement proche de celui dans lequel le composant sera utilisé. Néanmoins ces moyens de test sont coûteux, peu disponibles et nécessitent beaucoup de préparation et de précautions avant et pendant les tests. L'injection de fautes par laser peut palier à une partie de ces contraintes. Nous envisageons ainsi de mieux préparer et valider une plateforme de test pour obtenir une caractérisation de la sensibilité des cellules mémoires du point de vue du laser : informations spatiales et temporelles, distances inter-cellules.

II.1.2 Historique

Dans le cadre de l'étude des effets des radiations ionisantes sur les circuits intégrés, la première étude qui aborde l'utilisation du laser a été publiée en 1965 [HAB65]. Elle portait sur les effets de dose. Les premières publications faisant état d'une méthode basée sur

¹ EUREKA PARACHUTE

l'utilisation du laser pour simuler des événements singuliers datent de 1987 [BUC87], [RIC87]. Elles présentent le laser comme une méthode complémentaire d'investigation de la sensibilité des composants vis-à-vis des ions lourds. Même si les mécanismes physiques de base sont différents de ceux des ions lourds, le laser crée des paires électron-trou dans le silicium par effet photoélectrique. Ces charges peuvent être collectées à proximité des zones actives, zones de charges d'espace, et ainsi reproduire l'effet lié au passage d'une particule ionisante. A condition de choisir des paramètres adaptés, l'outil laser apparaît comme complémentaire des accélérateurs de particules.

Pour faire basculer des bits dans des composants électroniques, on utilise un laser pulsé adapté à l'injection de fautes dans le silicium. Les paramètres essentiels sont la durée d'impulsion, la longueur d'onde, le niveau d'énergie, le pas de déplacement minimum permis par les moteurs de déplacement ainsi que le choix des optiques pour la focalisation du faisceau dans une zone sensible.

II.1.3 Banc laser d'EADS : RALF

Les expériences laser ont été menées à EADS IW avec les 2 bancs lasers fibrés dénommés RALF (Radiation Analysis Laser Facilities, Figure II-35). Au cours de la thèse, des améliorations ont été apportées à RALF afin de faciliter l'obtention de résultats.

II.1.3.1 Présentation

Le banc laser d'EADS IW a été développé pour tester des applications industrielles. Ses caractéristiques principales sont :

- ✓ la stabilité de l'énergie du faisceau
- ✓ la fiabilité des composants employés
- ✓ la possibilité de procéder de manière répétitive à des injections de fautes.

Le faisceau laser est basé sur une source Nd:YAG, d'une longueur d'onde de 1064nm et d'une durée d'impulsion de 600 ps. Une fibre optique achemine le faisceau laser et assure un plus grand niveau de sécurité et de compacité. Des moteurs permettent de contrôler spatialement l'injection avec des pas d'une résolution minimum de 50 nm. Un atténuateur variable, dont le pas d'atténuation minimum est de 0,1 dB, est inséré sur le chemin de la fibre optique pour contrôler l'énergie du faisceau. Ce système est contrôlé à l'aide d'un ordinateur par l'intermédiaire d'un programme développé au sein d'EADS IW. L'utilisation est alors automatisée et l'injection de fautes est contrôlée dans le temps. Le banc laser dispose

également d'une caméra et de diodes rapides qui permettent de contrôler le faisceau laser et le niveau d'énergie.

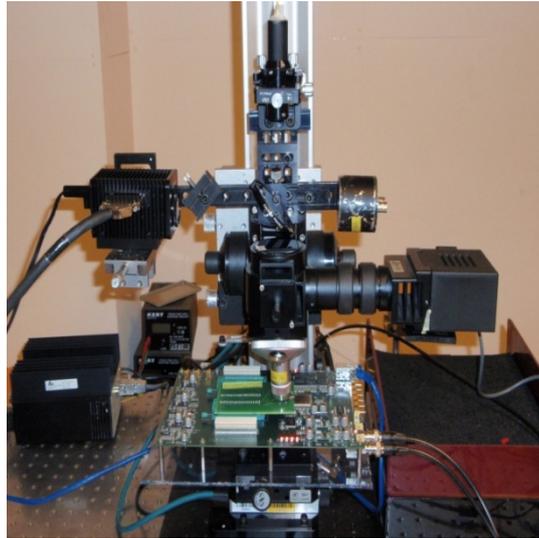


Figure II-35 – Banc laser EADS IW : RALF (Radiation Analysis Laser Facility)

Les principaux avantages de l'utilisation d'un tel laser sont :

- Le contrôle spatial de l'injection : Une cartographie peut être effectuée sur toutes les zones d'un composant également accessibles par les ions lourds. Au niveau logiciel, l'utilisateur n'a pas accès à toutes les ressources internes du composant. Par exemple, dans un FPGA, les registres internes de configuration, de communication (JTAG) et le power-on-reset (POR) ne sont pas accessibles car ce sont des fonctionnalités internes. Dans les composants complexes, le laser permet de tester des zones ayant une fonctionnalité particulière ou inaccessible au cours d'un processus normal et ainsi de caractériser leur influence respective dans les effets singuliers.
- Le contrôle temporel de l'injection : Lors d'un calcul, un SEE peut intervenir sur plusieurs cycles d'horloge, lors de n'importe quel cycle ou à l'intérieur d'un cycle. Pouvoir choisir l'instant d'injection de la faute est une possibilité intéressante pour obtenir la sensibilité dans le temps de la couche applicative.
- L'injection dans un composant non aminci
 - Le faisceau laser est réfléchi par les métallisations de la face avant d'un composant. Un composant analogique peu intégré contient une faible densité de métallisations et permet éventuellement une injection par face avant. Les composants modernes comportent de plus en plus de niveaux de métallisation. La Figure II-36 montre une vue en coupe des 12 couches de métallisations implantées sur la face avant du FPGA Xilinx Virtex 5. L'injection de fautes par laser via la face avant est alors impossible. Par souci d'efficacité, on

effectue les injections par la « face arrière » du composant, au travers du substrat.

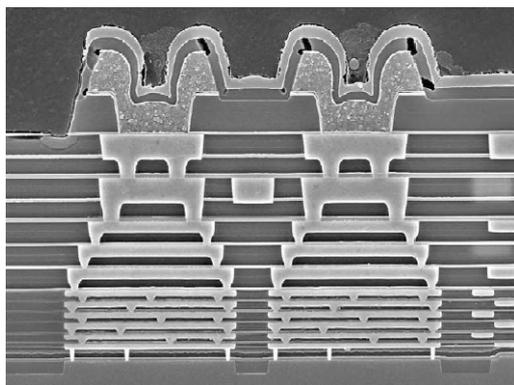


Figure II-36 - Vue en coupe de la face avant du FPGA Xilinx Virtex 5 (12 niveaux de métallisation) [CHI06]

La méthode consiste, dans un premier temps, à focaliser le faisceau laser sur la face arrière de la puce afin d'obtenir un repère relatif. Ensuite, l'objectif est approché progressivement de la puce afin de le focaliser sur le plan des zones de collection de charge, à proximité de la face avant (Figure II-37). Des tirs laser sont effectués afin de connaître la position la plus sensible aux SEU. Cette position relative est enregistrée en tant que profondeur relative de défocalisation (ΔZ) du faisceau pour toutes les expériences qui suivront.

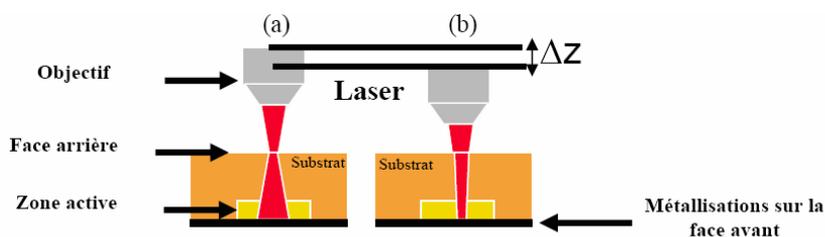


Figure II-37 - injection laser par face arrière : méthode de focalisation du faisceau dans la zone de collection de charge

Lors d'une injection de fautes par face arrière, le laser doit parcourir l'épaisseur du substrat (ΔZ). Selon le choix des paramètres d'un banc laser, il peut s'avérer nécessaire de réduire cette épaisseur en amincissant le substrat, comme pour les tests sous ions lourds. L'amincissement peut être réalisé mécaniquement à l'aide d'une machine de précision dédiée avec laquelle on réalise des opérations de fraisage et de polissage. Cependant, l'amincissement d'un composant engendre des contraintes (Figure II-38).

L'amincissement doit être particulièrement constant pour permettre des tests sur des zones étendues (planéité).

Plus l'amincissement est important, plus la rigidité de la puce au sein de son encapsulage est amoindrie. Ainsi, on constate qu'elle se courbe sous l'effet de son propre poids. Ce sont des paramètres gênants concernant la focalisation du faisceau au long de son déplacement



Figure II-38 - Contraintes liées à l'amincissement d'un composant en face arrière : planéité et homogénéité d'épaisseur

Le faisceau laser doit traverser l'épaisseur du substrat avant de parvenir à la zone de collection de charge qui est la partie active du transistor. Au niveau optique, le silicium est un matériau transparent aux longueurs d'onde λ supérieures à 1,1 μm . L'absorption linéaire de la lumière par le silicium est proportionnelle à $1/\lambda$ (Figure II-39). Par exemple, pour l'injection de fautes, le choix d'un laser YAG à $\lambda = 1.064 \mu\text{m}$ permet aux charges de pénétrer le substrat jusqu'aux zones de collection et déposent suffisamment de charges pour induire des SEE. Le

diamètre minimal du spot laser qui est défini par $d = \frac{1,22 \cdot \lambda}{\text{ouverture}}$.

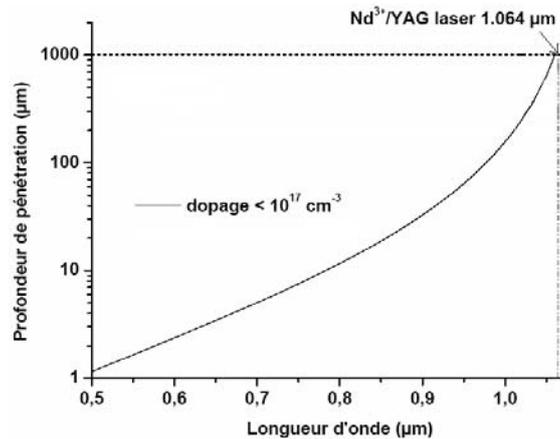


Figure II-39 - Profondeur de pénétration dans le silicium du laser en fonction de sa longueur d'onde et à un dopage donné.

II.1.3.2 Optimisations

Tout au long de la thèse, le banc laser a été amélioré au travers de modifications, incluant notamment :

- Un miroir mieux adapté optimise le chemin optique du faisceau à la sortie de la fibre.
- Comme l'illustre la Figure II-40, le silicium est transparent pour les longueurs d'onde supérieures à 1,1 μm . Ainsi, nous avons remplacé la caméra CCD captant les longueurs d'ondes visibles par une caméra spécialisée dans le domaine de fréquences du proche infrarouge (0,9 à 1,7 μm). L'injection par face arrière nécessite de traverser un substrat de silicium parfois assez épais (jusqu'à 750 μm par exemple pour un Virtex 2). Ainsi la nouvelle caméra permet d'observer un second plan de focalisation (Figure II-37) au niveau des métallisations de la face avant réfléchissantes, très proche des zones de collection de charges.

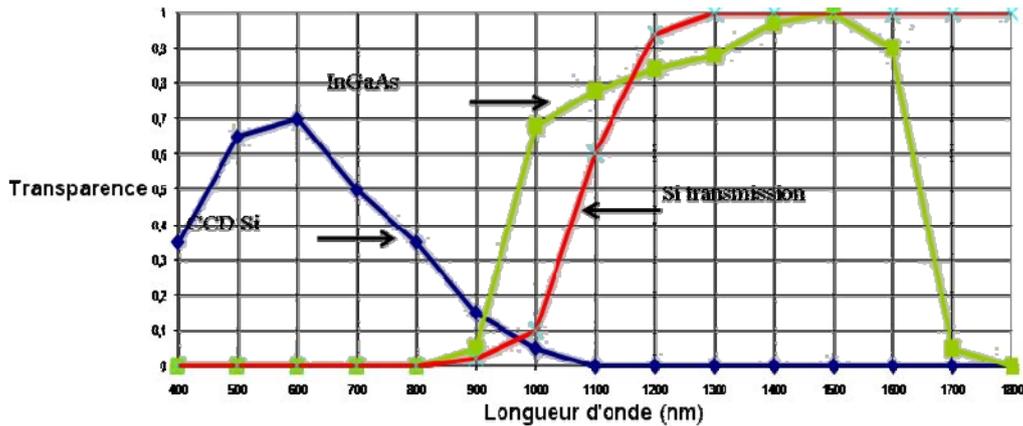


Figure II-40 - Sensibilité spectrale des capteurs de caméras comparés à l'indice de transparence du silicium

La Figure II-41 est un exemple de l'image visible au travers d'un substrat non aminci de Virtex 2 Pro épais de 680µm que donne la caméra lors de l'injection de charge.

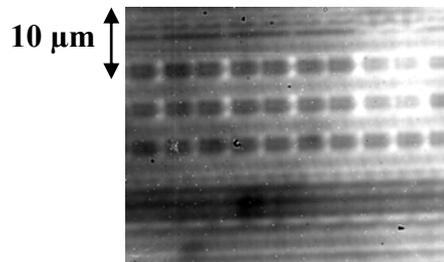


Figure II-41 – Vue par face arrière des métallisations du Virtex 2 Pro au travers du substrat.

- Nous avons remplacé la fibre optique multimodale au cours des premières expériences par une fibre monomode qui permet de conserver plus d'énergie disponible et mieux focalisée à la sortie de la fibre pour pénétrer un substrat de silicium non aminci.

II.1.4 Exemple de tests laser sur une puce mémoire SRAM

Le principe de la cartographie laser consiste à balayer perpendiculairement, pas à pas, le composant dans les deux dimensions du plan des zones actives. A chaque pas, un tir laser est effectué et la mémoire est relue afin de vérifier la présence potentielle de SEU. L'état du bit et la position relative du spot laser sont enregistrés. Des paramètres tels que le niveau d'énergie laser, la consommation de courant du composant et la tension d'alimentation peuvent également être mémorisés afin de reconstituer des cartographies et de les analyser en fonction d'un choix défini de paramètres pertinents. Une méthodologie de test laser adaptée aux mémoires SRAM a été développée [MIL05]. L'exemple suivant illustre bien le caractère répétitif du test laser d'un bit à un autre. Les zones délimitées ne fournissent pas d'information susceptible d'être confrontée à des résultats en accélérateurs. Cependant les résultats sur chaque bit sont comparables entre eux pour étudiés leur comportement respectif

sous une injection de charge laser. Le test de puces mémoires SRAM dédiées donne ainsi une bonne idée du type de résultat que nous nous attendons à obtenir sur les FPGA SRAM-Based.

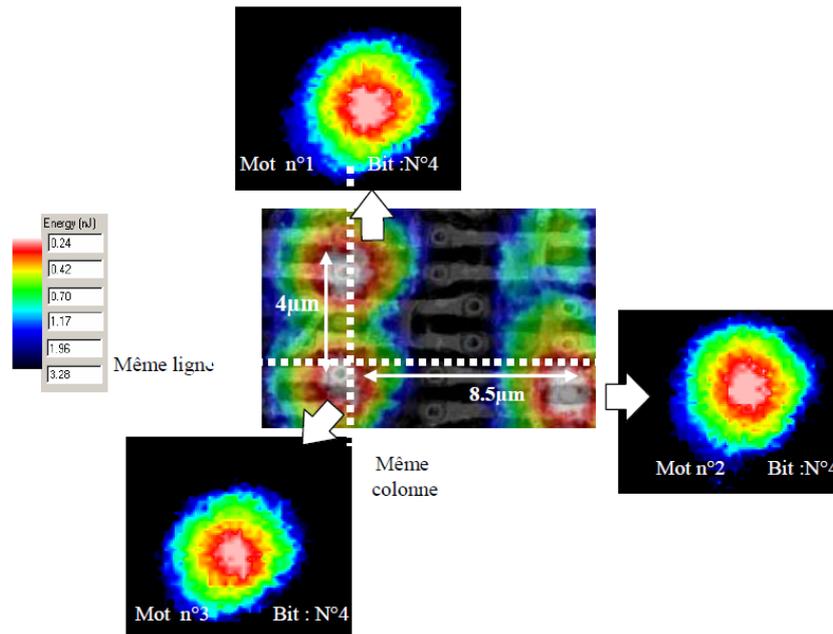


Figure II-42 – Cartographie laser en seuil d’une partie de la mémoire NEC μ PD43100A $\Delta x = \Delta y = 0.25 \mu\text{m}$
 $L_x = L_y = 25 \mu\text{m}$ le pas d’atténuation est de 0.2db [MIL05]

II.2 Tests laser statiques (couche de configuration)

II.2.1 Tests laser des cellules SRAM d’un FPGA - cas étudiés : les FPGA Xilinx Virtex 2 et Virtex 2 Pro

II.2.1.1 Plateforme de test Virtex 2

- THESIC

Pour réaliser des cartographies laser, une version évoluée de la plateforme THESIC présentée dans [FAU02] a été employée. La Figure II-43 décrit l’architecture de THESIC+, un système développé par le laboratoire TIMA. Elle est construite autour de deux FPGA SRAM-Based. Le premier, « COM FPGA », émule un processeur LEON2 et prend en charge la communication entre la plateforme et l’ordinateur auquel elle est reliée par une connexion Ethernet. Il contrôle également la consommation en courant du composant testé (communément appelé DUT pour Device Under Test) afin de prévenir les effets de latchup en définissant un seuil de courant. Le second FPGA sert de chipset et contient le bitstream de l’application à tester dans le DUT. En outre, une section d’alimentation est directement connectée au contrôle de latchup.

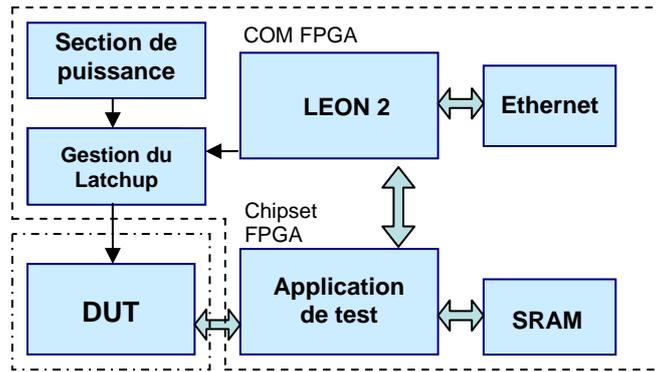


Figure II-43 - Diagramme du THESIC+

- Le FPGA de test : Xilinx Virtex2 XC2V1000

L'architecture de la famille Virtex 2 est basée sur celle des FPGA SRAM-Based décrite au chapitre 1. Le composant testé est un modèle Virtex 2 XC2V1000 [XIL1]. Ce modèle contient 3,7 Mbits SRAM de configurations répartis sur 1104 colonnes (ou trames) de 3392 bits chacune. Dans le bitstream, une trame sera interprétée comme 106 mots consécutifs de 32 bits. Dans ce FPGA Xilinx, un bloc logique est appelé « slice ». Il contient une flip-flop, une LUT à 4 entrées et des multiplexeurs pour permettre la réalisation des opérations combinatoires et séquentielles. Un CLB (Configurable Logic Block), dénomination de chez Xilinx, contient 4 slices, consécutives au sein d'une même colonne. Chaque CLB est large de 22 trames contenant chacune 80 bits de configuration dédiés à chaque slice. On en déduit qu'une CLB est configurée par $80 \times 22 = 1760$ bits de configuration en incluant l'ensemble des ressources de routage associées. Dans la couche opérative, les Virtex 2 comportent une part de mémoire SRAM (appelée BRAM) dédiée au fonctionnement de l'application. La Figure II-44 illustre l'architecture générale d'un Virtex 2.

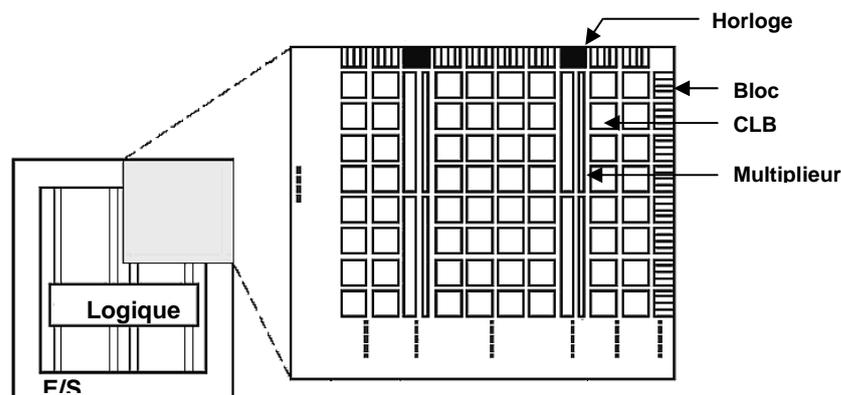


Figure II-44 – Architecture générale d'un FPGA Xilinx Virtex 2 [XIL2]

II.2.1.2 Plateforme de test Virtex 2 Pro

Dans le cadre d'une collaboration avec l'équipe du département d'automatique et d'informatique de l'Institut Polytechnique de Torino², un testeur a été développé pour tester un FPGA Xilinx Virtex 2 Pro (130nm). Le testeur est aussi basé sur une architecture carte fille-carte mère. Son fonctionnement est commandé par ordinateur à l'aide d'une connexion USB. Sur ce testeur, le FPGA de la carte mère est capable de relire et d'écrire la configuration du FPGA testé (DUT). Il permet également de comparer directement la configuration relue avec le fichier de configuration d'origine. Cette dernière opération était auparavant effectuée sur l'ordinateur de commande après le transfert complet du fichier de configuration relu. Ainsi, le temps lié au transfert de données est désormais économisé et le cycle de test est d'autant raccourci. Le banc laser d'EADS IW (RALF) ayant subi par ailleurs des optimisations, ce testeur permet de procéder à des cartographies plus rapides.

II.2.1.3 Résultats des tests laser

Dans le chapitre 1 a été décrite la complexité des FPGA SRAM-Based. La précision spatiale du faisceau laser permet de tester des zones du FPGA correspondantes à des ressources différentes. Nous avons cartographié la mémoire de configuration et la BRAM.

- La BRAM

La première cartographie (Figure II-45 et Figure II-46), de dimension 50x10 μ m, représente la BRAM du Virtex 2. L'échelle de couleur correspond au numéro de colonne de l'adresse du bit dans le bitstream (1 à 32). Ces cartographies fournissent des informations concernant l'étendue des zones sensibles et l'organisation des adresses (dans le bitstream) des bits de BRAM. L'aspect « nuage de points » qui apparaît sur ces deux figures est lié au testeur: initialement développé dans le cadre de tests en accélérateur de particules, la synchronisation avec le banc laser n'était pas optimale. Ainsi, une partie des SEU n'a pas été détectée correctement. Pour l'analyse qui en sera faite, ce phénomène n'est pas préjudiciable à l'analyse des résultats présentés ici.

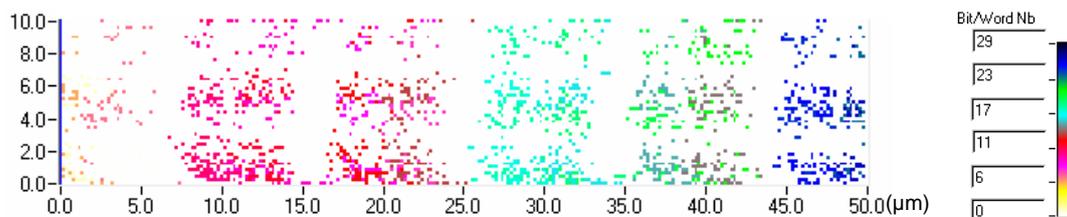


Figure II-45 - Cartographie de la mémoire SRAM de la couche opérative du Virtex 2 (information du n° de bit)

² Avec Massimo Violante et Luca Sterpone

Organisation de la BRAM :

Le détail de la Figure II-46 illustre la manière dont l'adressage des bits de BRAM est représenté physiquement sur le composant. Malgré l'effet « nuage de points » mentionné précédemment, on retrouve en moyenne des zones sensibles très semblables et régulières. Dans l'encadré (bleu), les zones sensibles associées à chaque bit sont entourées. Les bits sont numérotés de 1 à 8 et indiquent huit adresses consécutives. Les bits ont des adresses consécutives et sont arrangés 8 par 8 physiquement ordonnés sur deux lignes. Les numéros de ligne correspondants dans le bitstream sont indiqués à droite de la figure. De cette manière, le laser permet d'établir un lien entre le bitstream (et donc l'application) et l'organisation physique des bits. Le fait que d'une ligne à la suivante on saute exactement 106 mots de 32 bits indique que les lignes de bits au sein de la BRAM correspondent chacune à une trame. En outre, le laser révèle que l'implantation physique est régulière et périodique avec une granularité fine comme sur une puce SRAM dédiée.

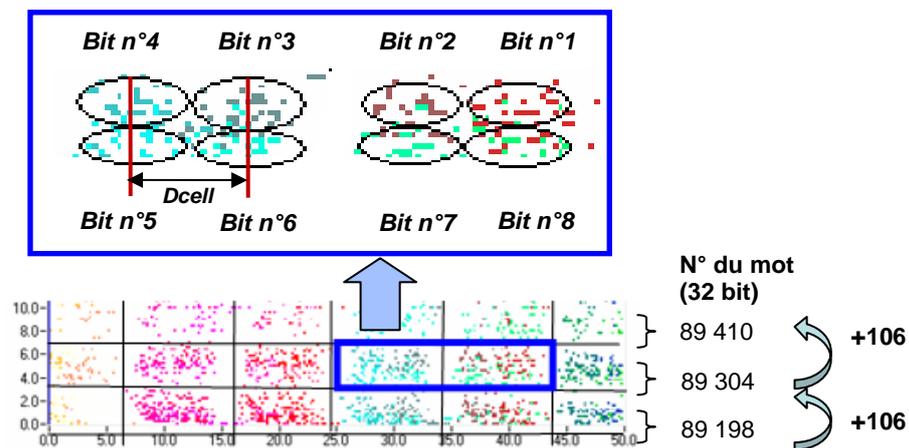


Figure II-46 – Détail de l'organisation physique des bits de BRAM

A partir de cette cartographie, on mesure la distance moyenne D_{cell} entre les bits voisins à $3,5\mu\text{m}$ selon l'axe X et $1,7\mu\text{m}$ selon l'axe Y. Cette mesure est périodique. En comparaison, la *roadmap* ITRS donne des indications sur les dimensions caractéristiques des cellules SRAM de technologies 180nm et 130nm : respectivement $2 \times 2,7\mu\text{m}$ et $1,45 \times 1,9\mu\text{m}$. Cette estimation, obtenue par le biais du test laser, montre une surface maximum de cellule SRAM supérieure à la *roadmap*, ce qui est souvent le cas pour des cellules SRAM durcies lors de la conception.

Sensibilité des bits de BRAM :

Dans la Figure II-47, l'échelle de couleurs montre le niveau d'énergie laser seuil, en nJ, nécessaire à faire basculer un bit à chaque pas de la cartographie. Chaque bit présente la

même énergie seuil dans la configuration de test et la même zone sensible. Comme dans une SRAM dédiée, la sensibilité est la même d'une cellule à une autre.

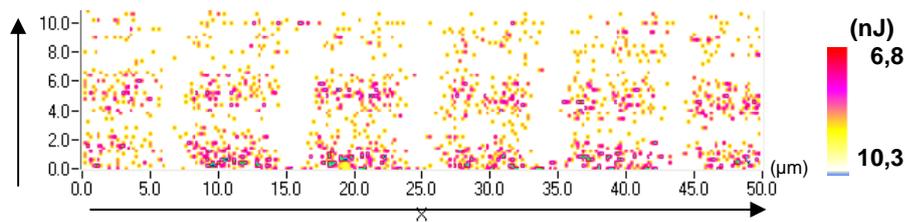


Figure II-47 – Cartographie en seuil de la mémoire SRAM de la couche opérative du Virtex 2

- La mémoire de configuration

Une cartographie laser a également été effectuée sur une partie d'un CLB, sur une surface de 100x20µm. La Figure II-48 présente la même cartographie avec deux échelles de couleurs différentes. La partie gauche de la figure met en évidence les informations de sensibilité avec l'énergie seuil exprimée en nJ. La partie droite de la figure met en évidence l'organisation de cette partie de la mémoire de configuration. Sur les deux représentations, on peut distinguer une partie haute (partie 1) et une partie basse (partie 2) qui ont chacune leurs caractéristiques en terme d'organisation et de sensibilité.

Organisation de la mémoire de configuration du Virtex 2 :

La partie 1 est composée de deux trames de bits de configuration. Les deux zones sensibles distinctes, mises en évidence par le laser, correspondent directement à ces 2 trames. Ces deux trames sont relativement éloignées (environ 14µm d'après l'extension des zones sensibles). Ces bits configurent les LUT (comme nous le décrivons au chapitre 3).

La partie 2 met en évidence une organisation sensiblement différente. Chaque ligne (zones sensibles au laser) apparaissant sur la figure contient deux trames. Cette cartographie fait apparaître environ le quart d'un bloc logique (slice). On peut en déduire que l'implantation des bits de configuration sur la puce est irrégulière à l'intérieur d'un bloc logique et que la plus petite portion répétitive, périodique sur le layout du FPGA est la slice. Chaque slice étant identique, l'implantation des bits de configuration sur le FPGA peut être vue comme une matrice de slices, composée chacune de 22 trames de 80 bits implantées de manière identique d'une slice à l'autre.

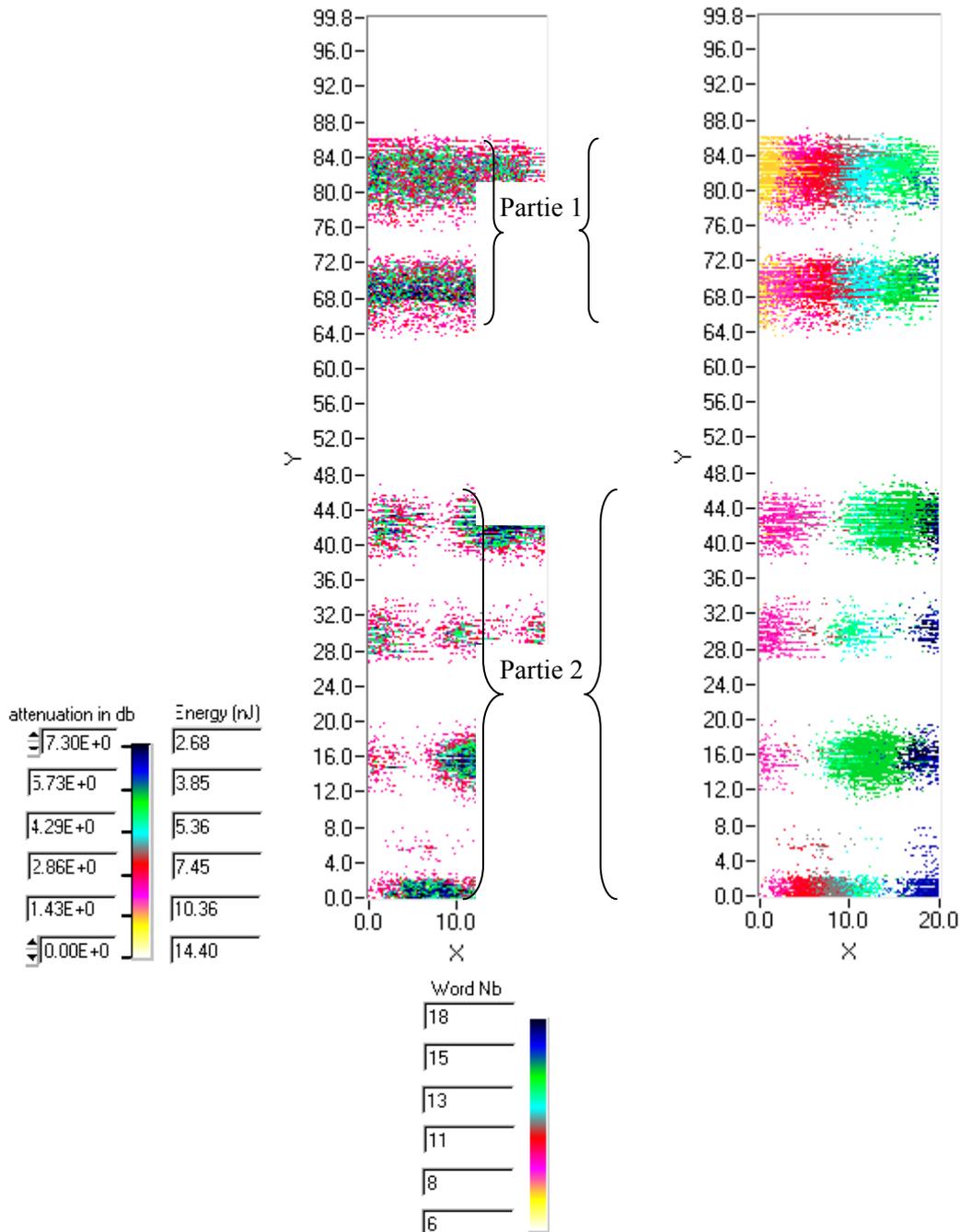


Figure II-48 – Cartographie de la mémoire de configuration d'un Virtex 2
Gauche : information de sensibilité- droite : information sur le n° du bit

Les zones blanches qui apparaissent non sensibles au laser ne comportent pas de bits de configuration. La connaissance de la correspondance entre l'adressage du bitstream et l'implantation physique des bits de configuration sur la puce nous permet de conclure que le laser a mis en évidence l'ensemble des bits présents sur cette zone. Aussi, nous constatons qu'un espace important sur le silicium, indiqué par les zones blanches, ne comporte pas de bits de configuration mais en réalité toutes les ressources logiques utiles à l'application implémentée. Cela explique l'implantation irrégulière au sein de chaque slice. Ainsi les essais

laser d'injection de fautes permettent de situer physiquement les bits de configuration par rapport à la ressource logique configurée.

Les bits de la partie 2 configurent des multiplexeurs servant pour les entrées et sorties du bloc logique et des inverseurs. La Figure II-49 illustre la fonctionnalité de quelques bits de configuration pris en exemple sur la cartographie (à gauche) et comparés au schéma fonctionnel d'un bloc logique (slice, à droite). Les bits « E » appartiennent à la configuration des LUT. Les bits « A, C et D » configurent trois multiplexeur-inverseurs d'entrée. Le bit « B » configure un multiplexeur qui prend soit la retenue, soit le résultat de la LUT.

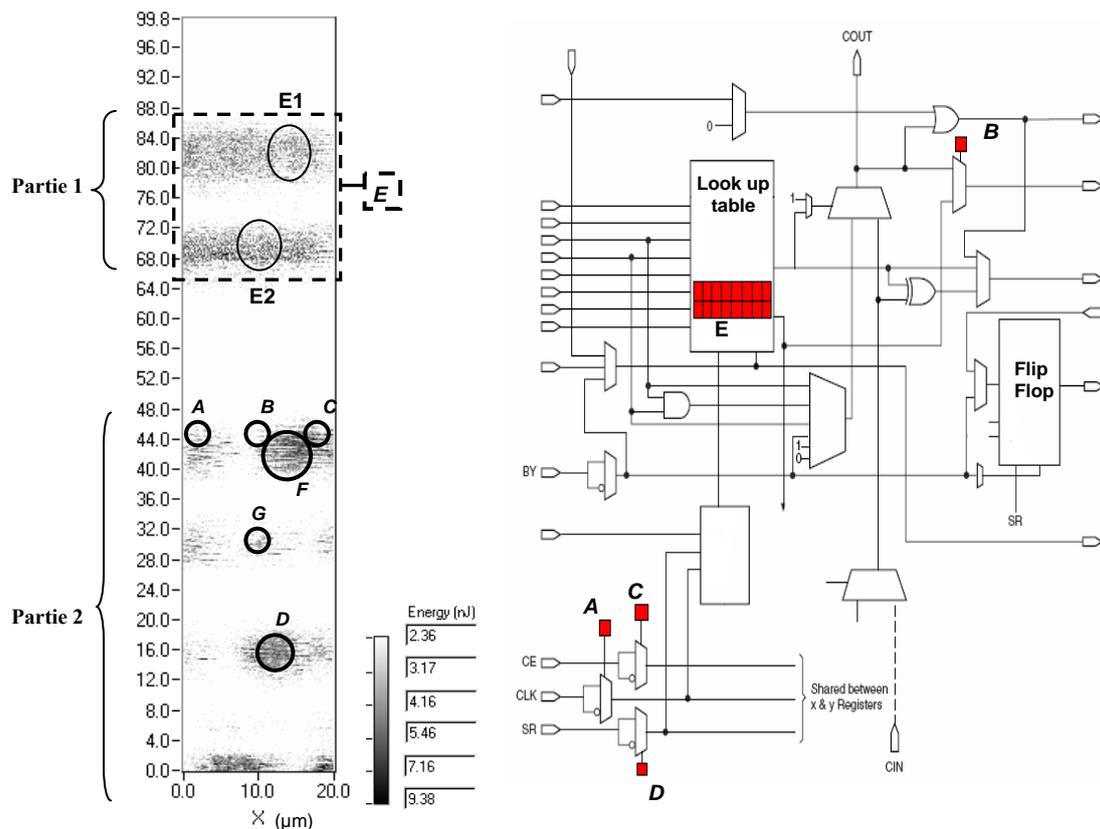


Figure II-49 – A gauche : cartographie en seuil de la couche de configuration; à droite les fonctionnalités correspondantes à ces bits (B : multiplexeur; A,C,D : inverseurs d'entrée de la CLB; E : LUT; F,G : interconnexions)

Sensibilité de la mémoire de configuration du Virtex 2 :

Du point de vue de la sensibilité, les parties 1 et 2 se distinguent. Une analyse de leur sensibilité au laser a été effectuée sur les 80 bits des parties 1 et 2. On procède à l'extraction des surfaces sensibles au laser apparaissant sur la cartographie de la Figure II-48.

Dans la partie 1, les bits configurant les LUT de 2 slices appartiennent à la même CLB. Les zones sensibles de chaque bit ont été extraites et comparées. La Figure II-50 illustre ce qui est généralement observé pour tous ces bits. Ces deux bits sont identifiés en tant que « E1 » et

« E2 » sur les Figure II-49 et Figure II-52. Leur énergie seuil et l'extension de leur zone sensible sont très similaires. La différence observée la plus importante est de 19% (0,8dB).

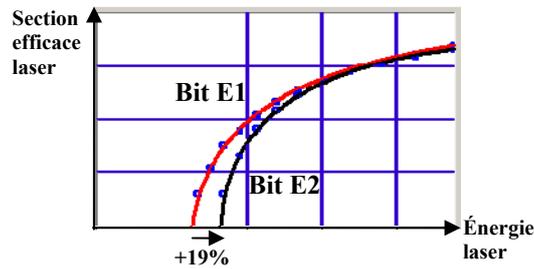


Figure II-50 – Section efficace laser relative (mémoire de configuration correspondant aux LUT)

Dans la partie 2, les bits présentent des zones sensibles et des énergies « seuil » laser différentes (Figure II-52 et Figure II-51). La Figure II-52 présente la courbe de sensibilité laser de 2 bits de la partie 2. Ces deux bits sont identifiés en tant que « F » et « G » dans la Figure II-49. On constate une différence importante de leur énergie seuil laser. Le bit le moins sensible présente une énergie seuil 2,4 fois (3,8dB) plus grande que le bit le plus sensible.

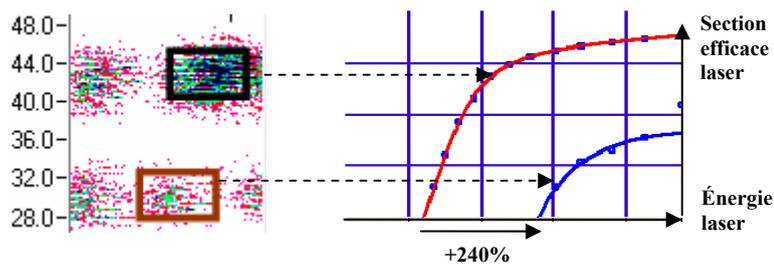


Figure II-51 – section efficace laser relative (mémoire de configuration hors LUT)

La Figure II-52 présente les zones sensibles laser des quatre bits analysés dans les paragraphes précédents.

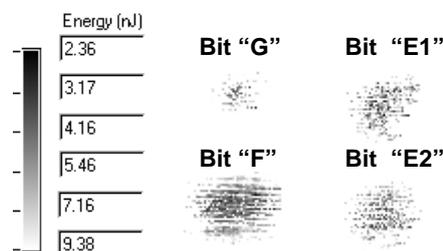


Figure II-52 - Extraction de 4 zones sensibles

E1 et E2 sont utilisés au sein d'une LUT ; F et G son utilisés pour la configuration d'une slice

D'après [LES05], la sensibilité d'un bit à un autre peut varier d'un facteur allant de 1 à 12 dans le Virtex 2 et dépend de l'application configurée dans le FPGA. Les résultats expérimentaux fournissent des conclusions qui vont dans le même sens. Cependant, dans le chapitre 1, nous avons vu qu'une même application peut être implémentée dans le FPGA de

par un placement-routage différent. Cela signifie qu'une même application n'est pas soumise aux mêmes contraintes selon le placement-routage choisi.

Organisation de la mémoire de configuration du Virtex 2 Pro :

Le Virtex 2 Pro est similaire au Virtex 2 sauf sur deux points :

- ✓ La finesse de gravure est de 130nm sur le Virtex 2 Pro et de 150nm sur le Virtex 2. Par conséquent, la taille des cellules mémoire est plus réduite.
- ✓ Le préfixe « Pro » indique l'intégration d'au moins un cœur processeur PowerPC 405 au sein de la même puce. Il est relié aux ressources du FPGA par l'intermédiaire de bus dédiés.

La maîtrise spatiale de l'injection de charge par laser permet d'écarter de nos analyses la prise en compte d'une injection éventuelle dans le processeur. La réduction du procédé et l'optimisation du banc de test ont permis de révéler un plus grand nombre de cellules de configuration sur la zone cartographiée (60x200µm), représentée sur la Figure II-53.

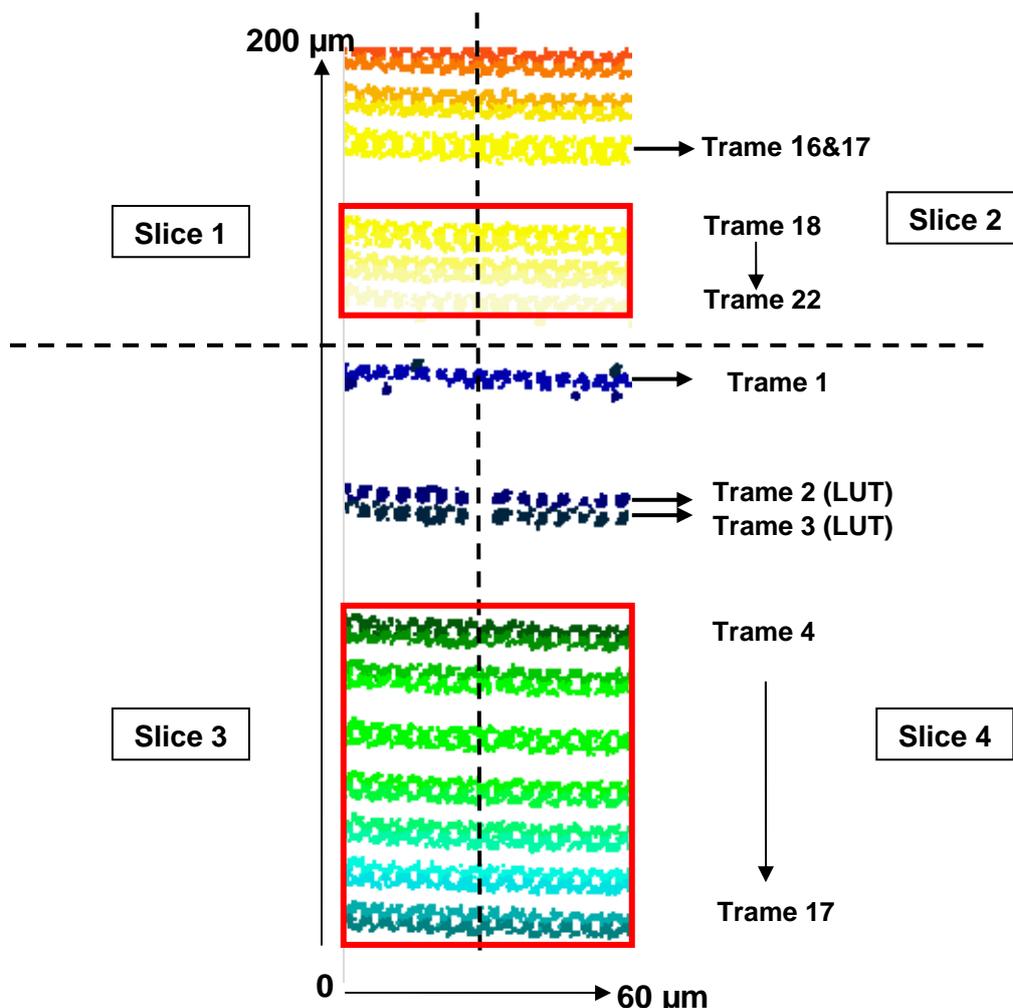


Figure II-53 - Cartographie laser d'un FPGA Xilinx Virtex 2 pro

Cette cartographie révèle une organisation de la mémoire de configuration identique à celle du Virtex 2 et en dévoile davantage. Elle montre partiellement 4 slices différentes composées chacune de 22 trames, dont les zones sensibles apparaissent physiquement rapprochées 2 à 2 sauf pour les deux trames configurant les LUT (Trame 2 et 3) qui apparaissent séparément.

Informations sur les MBU (et MCU)

Les informations sur l'organisation des bits de configuration sur la puce révélée par le laser mettent en évidence également une spécificité des FPGA SRAM-Based vis-à-vis des MBU. L'implantation irrégulière apporte une pondération, variable selon les bits, à la probabilité de produire un MBU. La probabilité d'obtenir un MBU (ou MCU) est basée sur un raisonnement sur les bits adjacents. Comme l'illustre la Figure II-54 un bit adjacent est un bit physiquement voisin sur la puce.

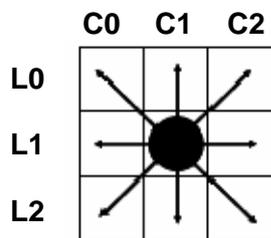


Figure II-54 – Cellules adjacentes [STE07]

On peut extraire de la cartographie précédente un exemple concret (Figure II-55).

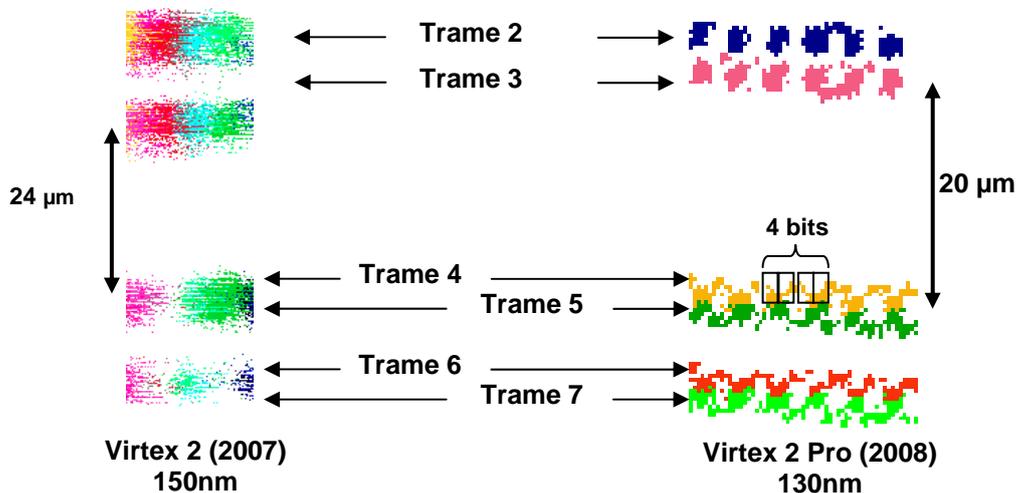


Figure II-55 – Comparatif de six trames de 12 bits de Virtex 2 (gauche) et Virtex 2 pro (droite).

Sur la partie droite de la figure, chaque trame est indiquée par une couleur différente. On considère les six trames adjacentes de 12 bits chacune. Les couples de trames 4 et 5, 6 et 7 ont des zones sensibles quasiment superposées tandis que les 2 premières leur sont distantes de plus de 20µm. Par conséquent, une telle distance permet d'écarter la probabilité d'un MBU impliquant des bits adjacents de la trame 3 et 4. Dans le cas des trames 2 et 3 de la partie

gauche configurant les LUT, ces deux trames sont chacune distante d'au moins 12 μm d'une autre trame. Ainsi, elles apparaissent comme isolées et le nombre de cellules adjacentes pour une cellule de LUT se réduit à 2 cellules, adjacentes au sein de la même trame, et la probabilité de MBU (ou MCU) diminue d'autant. La BRAM ne présente pas cette spécificité.

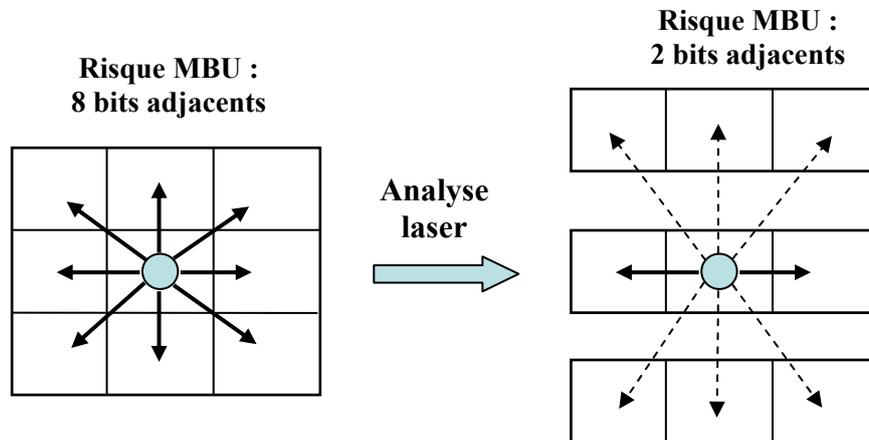


Figure II-56 - Effet de l'analyse laser sur l'évaluation du risque de MBU

Une conclusion importante de cette section concerne l'obtention de paramètres pour mieux évaluer la potentialité d'occurrence des MBU, plus difficile que les SBU. La position physique des cellules SRAM implique de tenir compte non seulement de l'application implémentée mais aussi de la manière dont cette même application est placée-routée au sein du composant. Cette particularité de la mémoire de configuration des FPGA SRAM-Based sera étudiée de manière plus approfondie au cours du chapitre suivant.

II.2.2 Tests laser du FPGA Atmel AT40Kax (180nm)

Cette section présente l'expérience menée sur le FPGA SRAM-Based Atmel AT40K, dont la définition des ressources est mieux connue de par notre implication dans le projet européen *PARACHUTE*. Les méthodes et optimisations issues des tests précédents sont appliquées.

II.2.2.1 Plateforme de test

Le testeur est du type carte mère-carte fille. La carte mère est divisée en 2 parties. La première partie est constituée d'une carte Spartan 3 de chez Digilent. Elle gère les échanges de données par USB entre le testeur et l'ordinateur contrôlant le banc laser.

La deuxième partie (voir Figure II-57) a été développée entièrement à EADS IW. Elle fonctionne autour d'un CPLD qui contrôle les opérations de lecture et de configuration du FPGA SRAM-Based (DUT) placé sur la carte fille. Elle est reliée par des nappes dont la longueur peut varier afin d'adapter la plateforme pour une chambre sous vide en accélérateur si nécessaire.

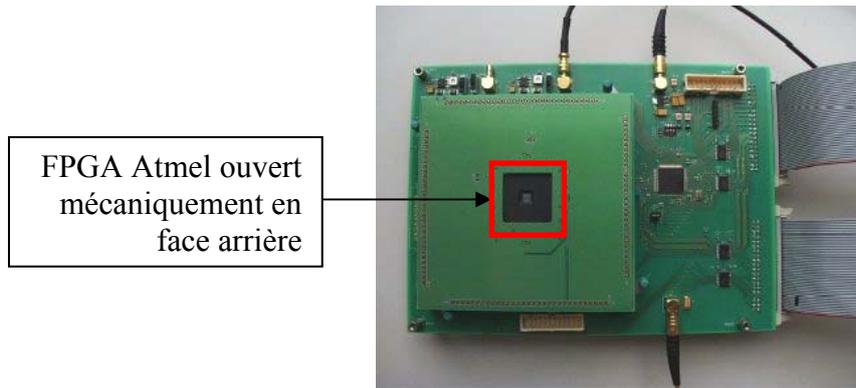


Figure II-57 - Plateforme de test développée au sein d'EADS IW pour tester le FPGA Atmel AT94K

Dans la Figure II-57, on voit le FPGA Atmel ouvert mécaniquement en face arrière à l'aide d'une machine de micro-usinage dont l'équipe radiation d'EADS IW s'est équipée durant la période de la thèse. Lors de l'observation par l'intermédiaire de la caméra NIR (proche infrarouge), nous n'avons obtenu qu'une image très sombre permettant uniquement de faire la mise au point dans le plan des zones de collection de charge, sans pouvoir donc observer les structures internes du FPGA.

Le composant testé est en fait un SoC (System on a Chip) Atmel FPSLIC AT94K10ax. Ce FPSLIC contient un microcontrôleur AVR 8 bit RISC, un FPGA AT40K10ax, de la mémoire SRAM partagée et les bus permettant des échanges entre ces trois composantes. L'implantation respective de ces composantes sur la puce est physiquement distincte, ce qui nous permet de tester au laser uniquement le FPGA AT40K10. La Figure II-58 illustre les trois composantes du FPSLIC Atmel et leurs interconnexions.

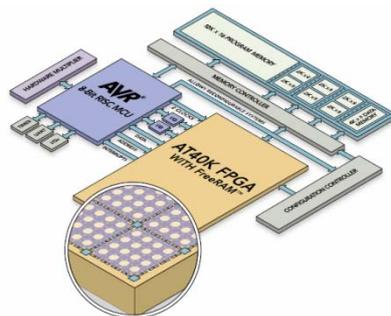


Figure II-58 - Architecture du FPSLIC AT94K contenant le FPGA AT40K

Description du FPGA SRAM-Based Atmel AT40K

L'architecture du FPGA Atmel correspond à la description générale réalisée au Chapitre 1. Une PLB (Programmable Logic Bloc) contient deux LUT, une flip-flop et des ressources d'interconnexion permettant de router une application. Des blocs d'entrée-sortie sont indiqués en périphérie du FPGA. Le FPGA étudié comporte plusieurs spécificités :

- Des ressources d'interconnexions sont disposées par intervalle de 4 blocs logiques. Cela a pour effet de regrouper virtuellement les blocs logiques quatre par quatre. En outre, un petit bloc de SRAM dédiée à l'application (dans la couche opérative) est implanté pour chaque groupe de 16 PLB ainsi regroupés quatre par quatre. La Figure II-59 illustre le schéma général de l'architecture du FPGA Atmel.

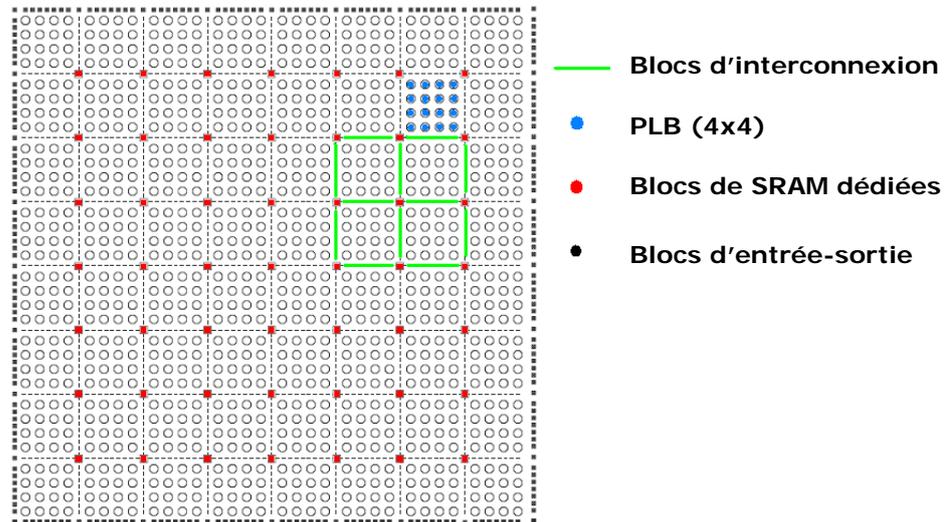


Figure II-59 - Schéma général représentant le FPGA Atmel AT40K et ses principales ressources internes

- Ressources internes aux blocs logiques : les deux LUT présentes dans chaque PLB ont 3 entrées et sont donc configurées à l'aide de 2^3 cellules SRAM. Leur architecture apparaît relativement simple et permet d'envisager une prédiction des effets des SEU sur les signaux des applications que nous abordons dans le chapitre 3. Les interconnexions sont représentées sur la Figure II-60 par les multiplexeurs W, X, Y, Z.

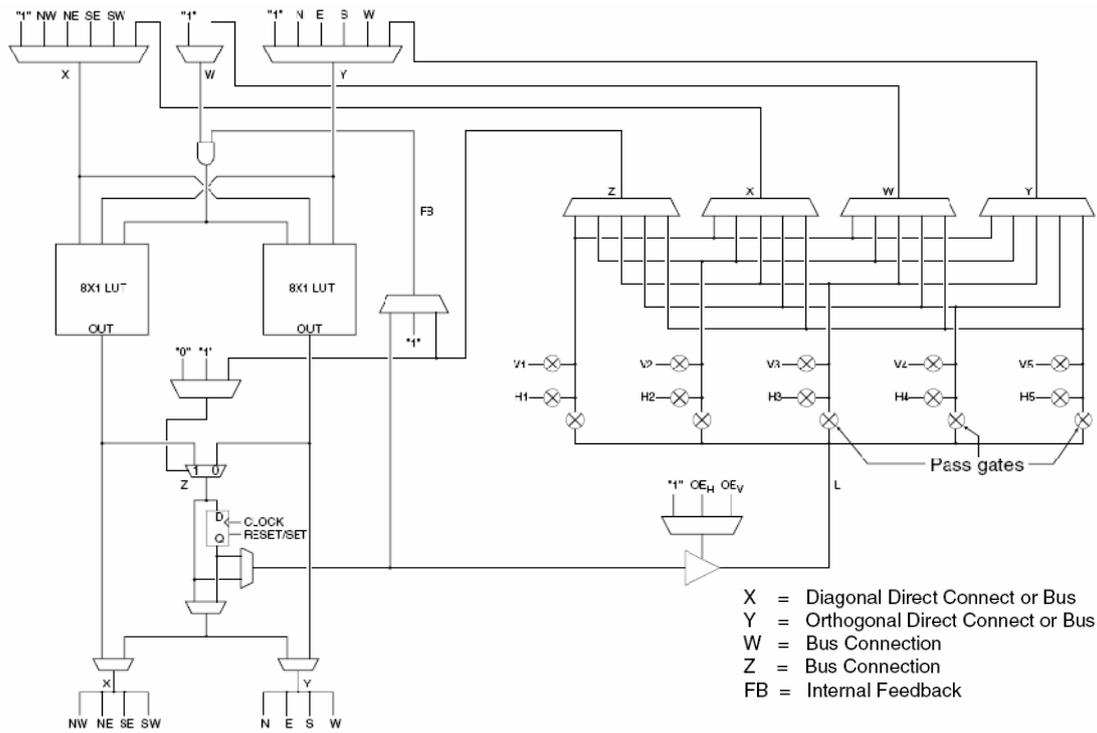


Figure II-60 - Schéma général d'une PLB [ATM01]

- Les blocs peuvent être connectés directement aux huit blocs voisins adjacents (Figure II-61-a) sans occuper les ressources d'interconnexion globale (Figure II-61-b). La partie (b) révèle les cinq plans d'interconnexions verticaux et horizontaux.

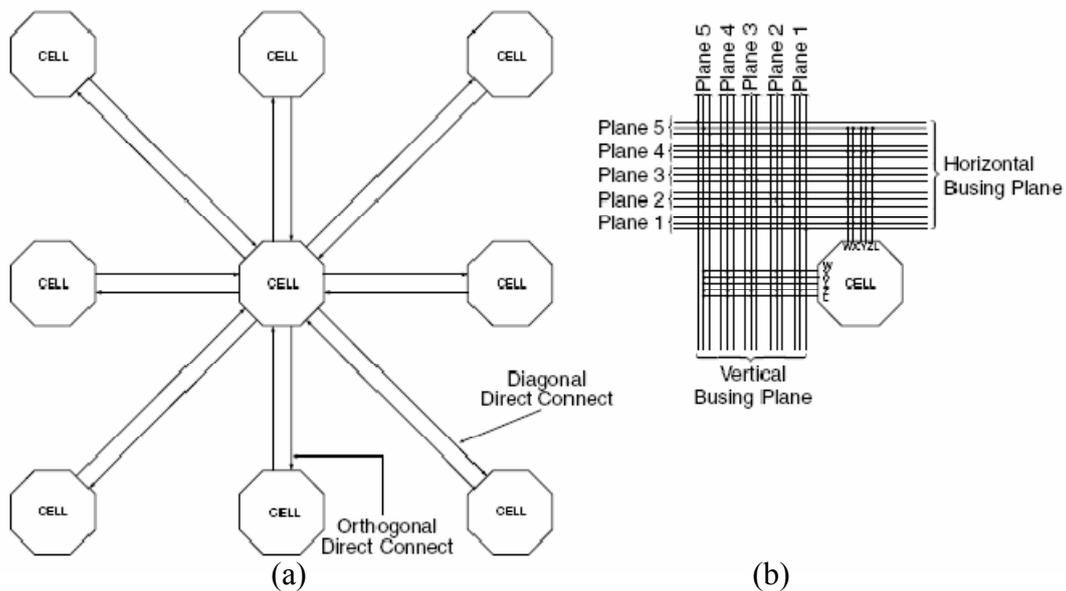


Figure II-61 - Illustration des 2 types d'interconnexions possibles pour une PLB [ATM02]

- La Figure II-62 illustre la structure de bus du FPGA Atmel. Chaque plan d'interconnexion comporte 3 bus : Un « local bus » encadré par 2 « express bus ».

- ✓ Le bus local relie chaque bloc logique (PLB) aux interconnexions globales. Le bus local est relié à un « repeater » tous les 4 PLBs.
- ✓ Un bus express relie 2 « repeaters » consécutifs tous les 8 PLBs.
- ✓ Les « repeaters » aigüillent le signal du bus local soit vers le bus express voisin, soit vers le bus local contigu comme illustré sur la Figure II-62.

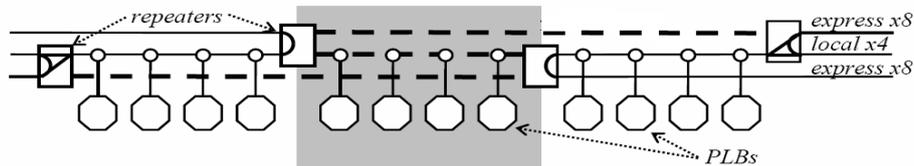


Figure II-62 - Structure de bus du FPGA Atmel AT40K [LER06]

Dans un premier temps, nous souhaitons effectuer le même type de tests sur la mémoire de configuration du FPGA Atmel que sur le FPGA Xilinx. Il s'agit d'extraire des informations sur la sensibilité et sur l'organisation des cellules SRAM sur la puce.

II.2.2.2 Organisation de la mémoire de configuration

Les tests statiques du FPGA SRAM-Based d'Atmel ont été réalisés à l'aide du banc laser RALF optimisé en termes d'énergie et de rapidité d'exécution du balayage laser, ce qui a permis d'obtenir des cartographies de zones plus larges que précédemment au sein de la puce. Profitant de l'expérience acquise lors des précédents tests sur les FPGA Xilinx Virtex 2 et 2Pro, nous avons souhaité réaliser une cartographie intégrant un ensemble de 16 blocs logiques et leurs interconnexions. Cet ensemble constitue un motif répété sur plus de 80% de la surface de la puce. Cette expérience nous permet de mesurer la précision de l'outil laser en tant que moyen d'investigation de la couche de configuration et des ressources internes.

La partie gauche de la Figure II-63 montre la zone du FPGA (en mode placement routage) qui a été cartographiée lors des tests. Elle couvre environ 8% de la surface de la puce correspondant au FPGA AT40K. La partie droite de la figure montre les zones sensibles aux SEU dans la mémoire de configuration.

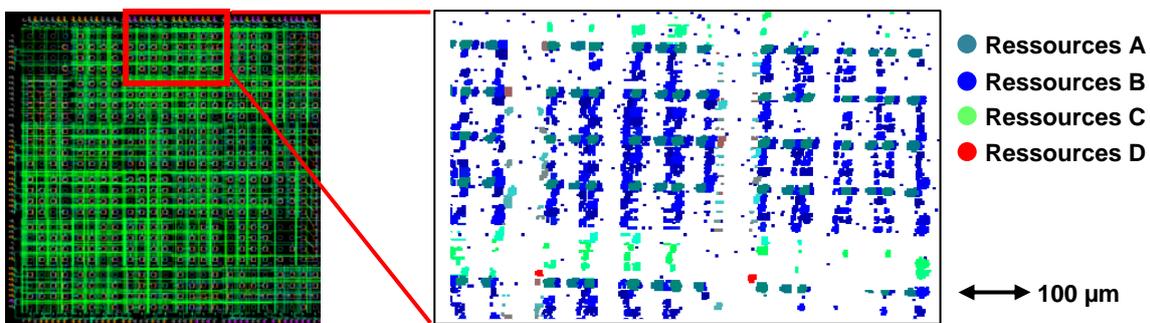


Figure II-63 - Résultat et localisation de la cartographie laser. Les couleurs font apparaître les zones sensibles aux SEU dans les différents types de ressources.

La figure II-64 reprend la cartographie ci-dessus et en détaille les ressources fonctionnelles extraites. Le code couleur met en évidence différents types de ressources :

- ✓ 16 PLB sont disposées en un carré de 4 PLB de côté (en bleu)
- ✓ 4 blocs d'interconnexions (repeaters) sont représentés sur la partie haute (en orange) et 4 autres blocs de la même nature sur la partie gauche de la cartographie (en vert)

La disposition respective des blocs sur la puce est similaire au schéma général de la Figure II-59. L'implantation des bits de configuration apparaît en périphérie de chaque bloc. Le centre de chaque PLB est donc probablement occupé par les ressources configurées : LUT, multiplexeurs, flip-flop, horloges.

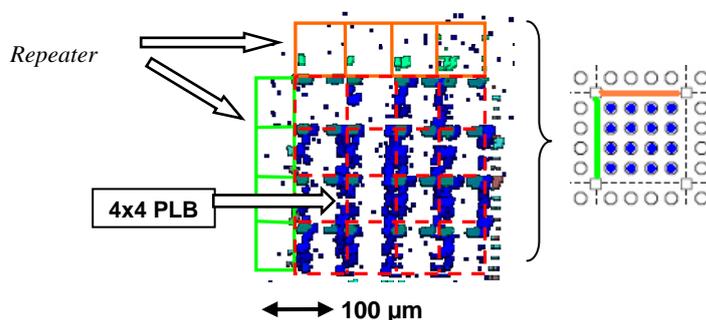


Figure II-64 - Identification des ressources principales sur la cartographie

En effectuant une cartographie plus précise (Figure II-65), on parvient à observer les zones de sensibilité laser de chaque bit de configuration. La disposition de ces zones sensibles est plutôt rangée différemment des trames identifiées chez Xilinx : Atmel a choisi une implantation basée sur le layout d'un bloc logique tandis que, dans nos exemples de Virtex 2, Xilinx implante des colonnes de bits de configuration (trames) sur toute la hauteur de la puce.

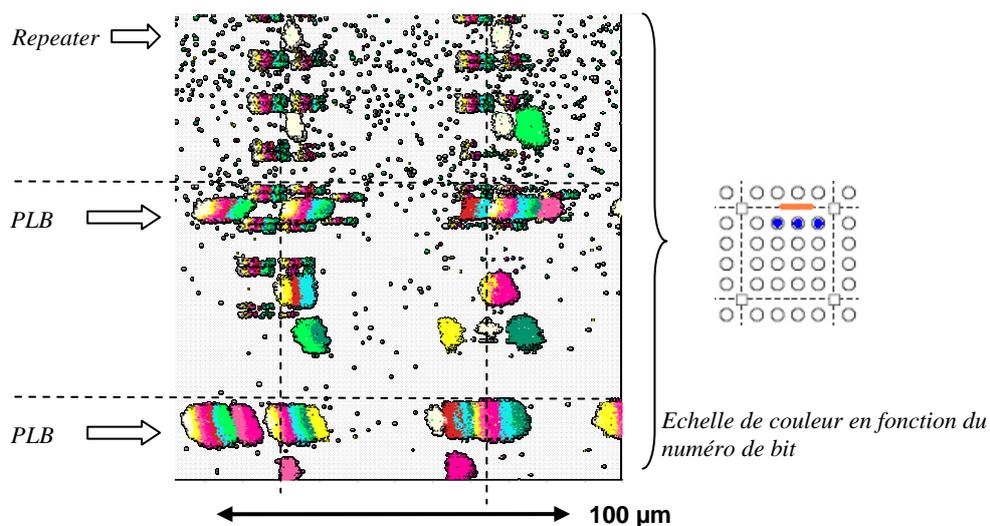


Figure II-65 - Identification de l'extension des zones sensibles de chaque bit de configuration
Sensibilité de la mémoire de configuration

Ces choix d'implantation traduisent les différentes méthodes de configuration des deux fondeurs. La plus petite portion configurable chez Atmel est 8 bits, chez Xilinx c'est une trame complète (3392 bits).

La même cartographie est interprétée en termes de sensibilité à l'injection de charges par laser (Figure II-66). On remarque immédiatement que certaines zones apparaissent comme étant plus sensibles. La différence entre les énergies seuil laser pour ces différents bits peut varier d'un facteur 5, comme par exemple, entre la ressource 1 et la ressource 2. On observe une variation de sensibilité en fonction du type de ressources impactées.

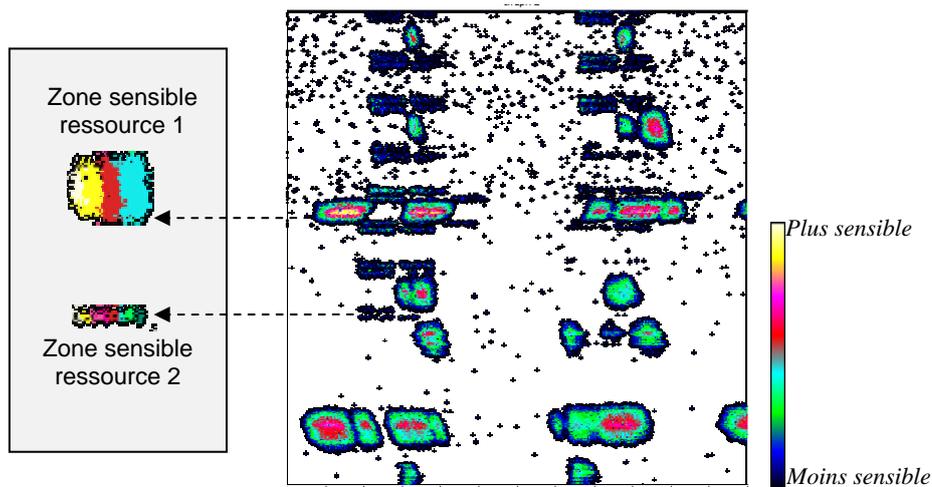


Figure II-66 - Cartographie avec échelle de couleur traduisant l'énergie seuil SEU en chaque point

Tout comme sur le Virtex 2 de Xilinx, les bits de configuration n'ont pas tous la même sensibilité lors du test laser. Ce point soulève une question que nous essaierons d'approfondir dans la section suivante en simulant à l'aide de SPICE une cellule de configuration.

En reprenant la cartographie à énergie constante de la Figure II-63, et à l'aide des données fournies par Atmel, on calcule la proportion de « bits testés » : rapport entre les bits dans lesquels le laser a induit au moins un SEU et le total des bits présents, en théorie, sur le chemin du balayage du faisceau laser. Malgré une cartographie apparemment dense (Figure II-67), cette proportion est en moyenne de 24%.

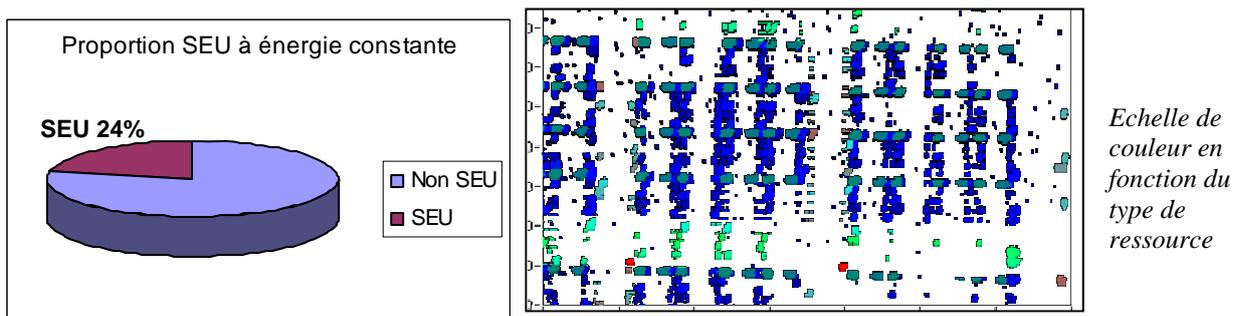


Figure II-67 - Ratio de SEU par rapport aux nombre total de bits présents

On affine ce calcul en précisant la moyenne des bits testés pour chaque bloc logique. La Figure II-67 montre une répartition hétérogène de proportions de bits testés. L'évolution d'un bloc au suivant est relativement progressive, marquée par une zone de sensibilité optimale entourée en pointillés. Cela met en évidence les contraintes illustrées précédemment sur la Figure II-38 liées à l'amincissement du composant.

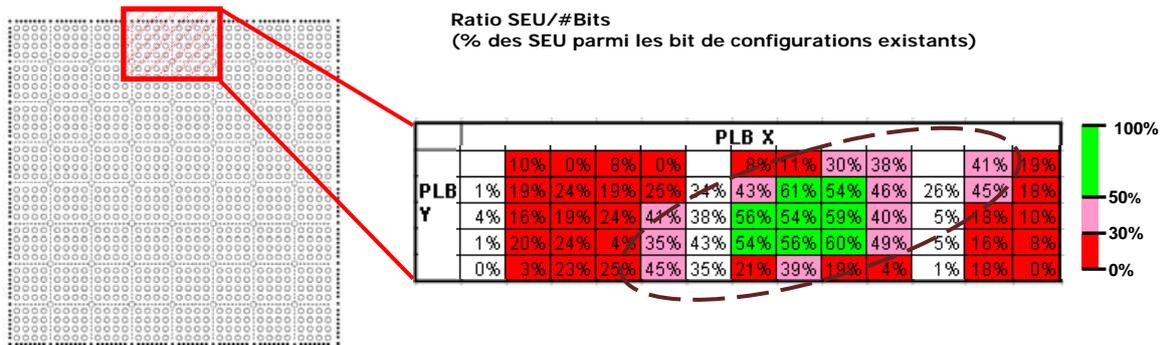


Figure II-68 – Répartition spatiale par bloc des ratios SEU par bit présents

Ces différences de résultats entre les différents blocs peuvent être liées à un amincissement léger qui a eu lieu lors de l'ouverture mécanique. D'après le profil concentrique de la Figure II-68, l'amincissement a pu engendrer une courbure de la puce sous son propre poids (voir Figure II-38). Enfin, l'évolution spatiale de ces ratios fait apparaître une zone avec le ratio maximum montant à 61%. C'est un résultat assez faible pour le maximum au cours d'une expérience avec un moyen de test déterministe comme le laser. En outre, dans ce test, le pas de déplacement des moteurs était de 2µm entre chaque point. Un pas plus fin aurait fourni un ratio maximum et moyen plus élevé car le laser aurait pu injecter suffisamment de charges au niveau des zones les plus sensibles (drains des transistors bloqués) des cellules non révélées par ce test SEU.

II.3 Analyse SPICE : Spécificités des SRAM de configuration

Comme indiqué au chapitre 1, les cellules SRAM de configuration jouent un rôle particulier. D'une part, elles sont configurées une seule fois à la mise sous tension du FPGA et ensuite leur contenu ne varie pas au cours du temps (état statique). D'autre part, le point mémoire est connecté à une ressource qu'il configure dans la couche opérative. A ce titre, alors que chacun des 2 nœuds d'une SRAM « 6T » est relié à un transistor d'accès, la SRAM de configuration voit un de ces 2 nœuds reliés à la ressource qu'elle configure, d'où l'appellation « 5T ». Dans le cas le plus fréquent, le second nœud est connecté à la grille d'un pass-transistor appartenant à la couche opérative (Figure II-69).



Figure II-69 - Exemples de ressources (couche opérative) configurées par une SRAM (couche de configuration)

Dans le cas des cellules SRAM configurant les LUT, le second nœud est connecté au drain d'un des pass-transistors de la LUT.



Figure II-70 - Exemples de cellule SRAM dans une LUT de FPGA

Avec cette dissymétrie, les cellules SRAM ont des charges capacitives différentes dans les deux nœuds. Les résultats des tests laser effectués sur les FPGA Xilinx Virtex 2 et Atmel AT40K montrent une différence de sensibilité notable entre les différents bits de configuration des blocs logiques. L'influence de ces différentes charges capacitives peut être simulée électriquement sous Spice pour mieux comprendre l'origine de cette différence de sensibilité apparente.

L'objectif de ces simulations est de déterminer cette charge critique, Q_c , en injectant des pulses de courant de quelques picosecondes et d'intensité croissante jusqu'à induire un SEU. En complément de la définition de la charge critique donnée au chapitre 1, on peut aussi retenir l'équation proposée par [DOU08] valable pour des durées d'impulsions courtes (Figure II-71).

$$Q_c = C_{noeud} \cdot V_{dd} + I_R \cdot \tau_{cellule}$$

Figure II-71 - Équation de charge critique pour une durée d'impulsion courte

C_{noeud} est la capacité du nœud impacté, constituée essentiellement des capacités d'oxyde et des capacités parasites connectées à ce nœud, V_{dd} est la tension d'alimentation, I_R est le courant qui circule dans le transistor bloqué et τ_{cell} est le temps de basculement de la cellule. Ces paramètres électriques ne dépendent pas de la durée de l'impulsion.

Simulations électriques sous Spice

La Figure II-72 présente le schéma de la cellule SRAM simulée dans le cas d'une injection de charge sur le nœud Q. Les drains sensibles sont entourés en fonction de l'état du nœud Q. L'état inverse est donc stocké par le nœud 'Qb'.

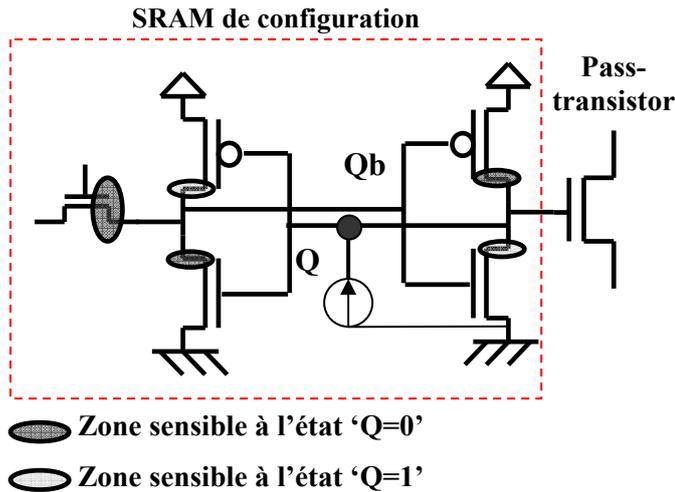


Figure II-72 - Drains sensibles d'une cellule SRAM 5T

Un générateur de courant est connecté successivement au nœud Q puis au nœud Qb, pour chaque état logique. Par hypothèse, on considère que la cellule SRAM est dans un état binaire stationnaire (transistor d'accès bloqué) car la durée de la phase d'écriture (transistor d'accès passant) apparaît négligeable et un bitflip lors de cette phase est irréalisable.

Allure du pulse de courant

Il existe plusieurs types de modélisation des impulsions en courant : échelon, triangulaire ou exponentielle. Pour être plus proche de la réalité, le profil temporel du courant injecté doit avoir un temps de montée rapide correspondant à la dérive rapide des paires électron-trous générées à proximité des zones de collection de charge, et un temps de descente plus lent, qui correspond à la phase de diffusion des charges. En ce sens, nous avons choisi d'utiliser un profil « double exponentiel » pour générer les pulses de courant (Figure II-73) adapté au modèle de diffusion décrit dans [CAS02].

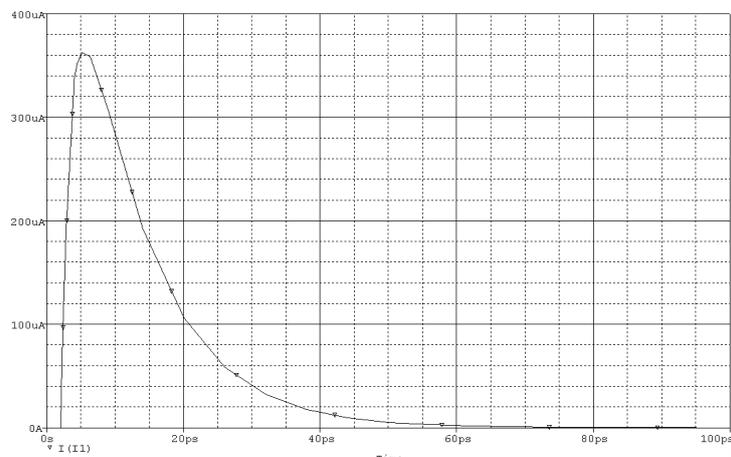


Figure II-73 – Simulation en fonction du temps du courant I(t) injecté dans un drain de transistor bloqué

Résultats des simulations

Les données du tableau suivant sont exprimées en femto-coulombs (fC). Cette charge déposée par la source de courant a été calculée par la méthode des trapèzes appliquée à la courbe $I(t)$.

Transition (nœud Q)	1 → 0		0 → 1	
	Qb	Q	Qb	Q
5T seule	A	1,6 x A	1,5 x A	1,9 x A
5T + 1 pass gate	B	1,8 x B	1,5 x B	2,1 x B
5T + 2 pass gate	C	1,9 x C	1,5 x C	2,2 x C
5T + 1 transistor (LUT)	D	1,8 X D	1,5 x D	2,15 x D

Tableau II-4 - Tableau des résultats de simulation SPICE - injection de charges dans les drains bloqués de différentes structures SRAM "5T"

On constate tout d'abord que la charge critique du nœud Qb est assez constante au cours des simulations successives. Par contre, on observe des variations importantes pour une injection sur le nœud Q et ces valeurs de charge critique sont systématiquement plus élevées que sur le nœud Qb. Cela peut s'expliquer par le fait que parmi les différentes configurations testées, le seul paramètre modifié est la capacité $C_{\text{nœud}}$. La différence de sensibilité s'applique aussi entre les différents états de transition. La transition de l'état logique '1' (au nœud Q) vers '0' apparaît plus sensible (charge critique plus faible).

II.4 Conclusions

Les expériences menées montrent que le laser est adapté pour le test statique de la mémoire de configuration des FPGA SRAM-Based afin d'obtenir des informations des sensibilités relatives aux énergies laser employées. L'architecture de la mémoire BRAM du Virtex 2 apparaît comme étant similaire à celle d'une mémoire SRAM dédiée et les résultats permettent de révéler l'organisation des mots logiques. Les tests laser ont également dévoilé l'organisation et la sensibilité des cellules SRAM de configuration par le biais d'injection de fautes localisées dans le temps et dans l'espace.

A partir de ces données, l'objectif est de tester la couche applicative afin de mesurer la proportion de bits critiques (pour lesquels un SEU induit un SEFI) et de pouvoir en déduire les conséquences sur une application donnée.

III. Sensibilité aux SEU de la couche opérative des FPGA SRAM-Based

Dans les mémoires de type SRAM (et les autres types) dédiées, connaître la sensibilité aux SEU suffit pour établir la fiabilité de la puce face aux particules ionisantes. Dans le cas des FPGA SRAM-Based, l'information pertinente d'un point de vue système est le bon fonctionnement de l'application. Aussi, il est nécessaire d'analyser les conséquences des ces SEU sur le fonctionnement de l'application implémentée au sein du composant.

Dans les sections suivantes, l'objectif est d'établir un lien entre les SEU se produisant dans la couche de configuration et leur impact dans la couche applicative. Cela doit permettre de prédire l'impact d'un SEU dans un ou plusieurs bits de configuration vis-à-vis de l'application implémentée dans le FPGA. Le chapitre 3 présente :

- Les principes et premières hypothèses : le bon fonctionnement d'une application dépend du niveau d'utilisation des ressources internes du FPGA employées pour réaliser les opérations. L'effet des SEU sur les principales ressources est étudié dans la section 1.
- La section 2 est dédiée à l'identification de la fonctionnalité des bits de configuration des FPGA Xilinx Virtex 2.
- Enfin, un programme a été développé afin de prédire la criticité des SEU pour une application donnée à partir du moment où l'application a été synthétisée. Une première étude a été menée, sans informations fournies par le constructeur, sur les fichiers de configuration synthétisés pour les FPGA Virtex 2 de Xilinx. Ensuite avec la collaboration d'Atmel dans le cadre du programme européen PARACHUTE, un programme de prédiction a été développé pour le FPGA Atmel AT40K.

III.1 Analyse des effets des SEU sur les fonctionnalités internes du FPGA

L'architecture interne des FPGA SRAM-Based est décrite dans le chapitre 1. Chez Xilinx, la majorité des bits de configuration servent d'interrupteurs permanents pour activer les interconnexions (environ 80%), à stocker les résultats des tables de vérité, ou LUT (environ 10%), ou à configurer les flip-flop (environ 2%). Le reste des ressources servent à configurer les blocs d'entrée-sortie (environ 8%)

III.1.1 Les tables de vérité (LUT)

Une LUT a la même structure qu'un multiplexeur avec ses entrées et ses cellules mémoires interchangeables. Les cellules SRAM de configuration stockent le résultat qui sera connecté à la sortie en fonction de la valeur des entrées.

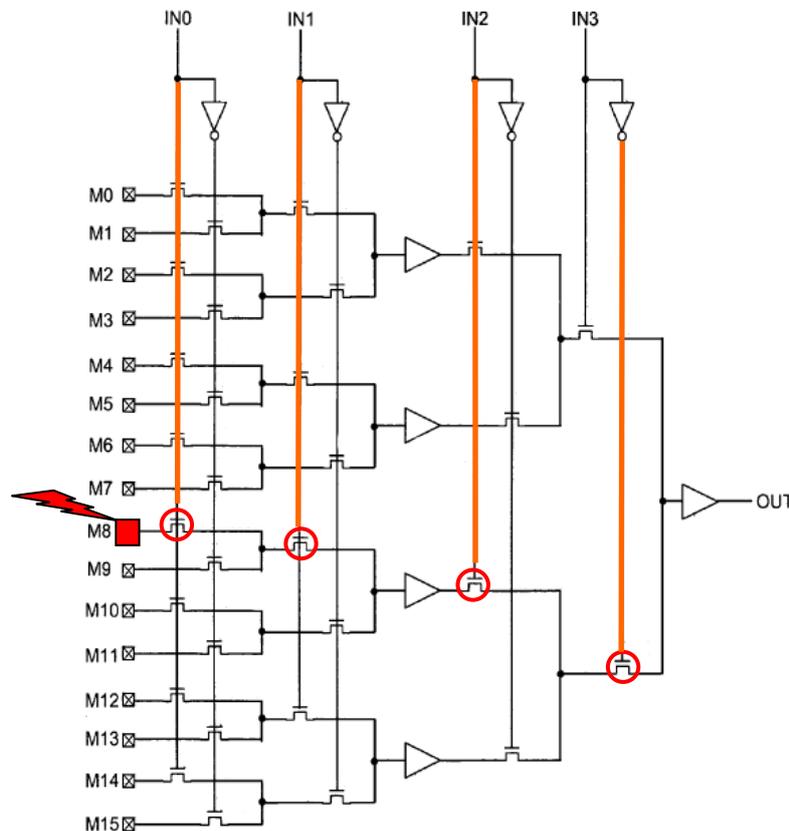


Figure III-74 - Exemple de SEU dans une LUT de Virtex 2 [PAT06]

Si une LUT est utilisée pour les opérations d'une application et qu'un SEU s'y produit, alors à chaque opération, ce SEU a une probabilité définie d'engendrer une erreur d'application en fonction des entrées de la LUT. Dans un FPGA Xilinx de la famille Virtex, chaque slice contient deux LUT à 4 entrées. Dans ce cas, une LUT réalise une opération logique à 4 entrées. A chaque opération et en supposant que toutes les combinaisons sont envoyées sur les entrées, il y a une certaine probabilité pour que le mauvais bit soit aiguillé en sortie. Dans l'exemple donné dans la Figure III-74, un SEU inverse le contenu du bit de la cellule M8 de cette LUT de Virtex 2. Pour aiguiller ce faux résultat à la sortie OUT, il est nécessaire que les signaux d'entrée IN0, IN1 et IN2 soient à l'état haut et que l'entrée IN3 soit à l'état bas. En outre, pour évaluer la probabilité d'erreur, il faut être en mesure de connaître les stimuli appliqués sur les entrées IN_x . Si la valeur d'une entrée est constante, l'utilisation de la moitié de la mémoire de la LUT est désactivée.

III.1.2 Les bascules (flip-flops)

Les flip-flops servent à mémoriser un bit, le résultat d'un calcul le temps d'un cycle d'horloge afin de synchroniser cette donnée pour la transmettre lors du cycle suivant. Généralement une flip-flop contient plusieurs bits de configuration : l'un stocke la donnée d'initialisation et l'autre peut définir, comme dans l'exemple Figure III-75, le mode de fonctionnement.

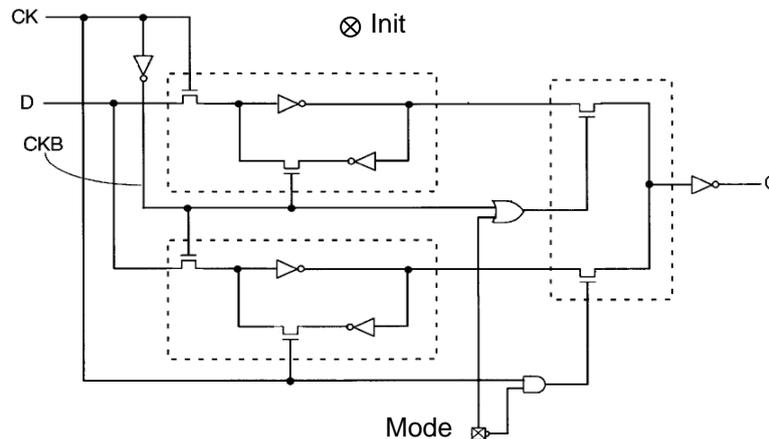


Figure III-75 - Schéma générique d'une flip-flop Xilinx [PAT98]

Dans le premier cas, un SEU est critique si l'application est réinitialisée au cours du fonctionnement. Par contre, si un SEU modifie le mode de fonctionnement, alors c'est une source d'erreurs d'application puisque la transmission des données sera affectée.

III.1.3 Ressources d'interconnexions

Les interconnexions sont la ressource la plus répandue au sein d'un FPGA SRAM-Based. C'est aussi la ressource qui a un faible taux d'utilisation car par définition, ce sont des ressources disponibles pour permettre l'interconnexion de tous les blocs logiques entre eux. Le résultat de la synthèse du code VHDL de l'application et surtout le placement-routage, vont déterminer quels blocs, et donc quelles interconnexions, vont être utilisés pour faire fonctionner correctement l'application dans le respect des contraintes imposées par le développeur.

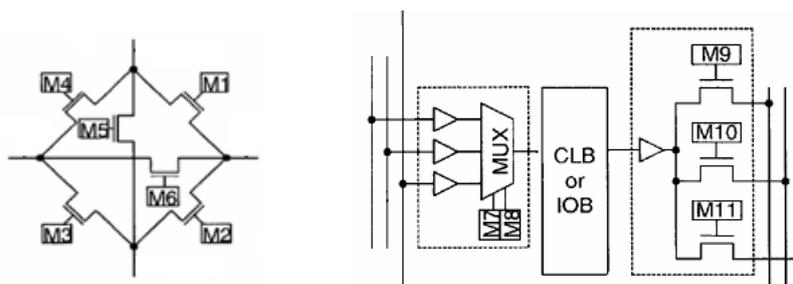


Figure III-76 - Exemples de ressources d'interconnexion (famille Xilinx Virtex) [PAT04]

Comme décrit au chapitre 1, ces interconnexions sont composées de pass-transistors et sont essentiellement structurées sous forme de multiplexeurs. Un pass-transistor agit comme un interrupteur dont la commande est un bit de configuration. Etant donné le rôle particulier de ces bits configurant les interconnexions, il semble important d'approfondir leur étude afin de mieux comprendre les mécanismes d'erreur qu'un SEU peut engendrer. Ces mécanismes peuvent être classés en 4 catégories décrites dans [VIO03]. Si on considère deux interconnexions avec leur sources A et B, et leur destination A' et B' tel que décrit dans la figure suivante (Figure III-77), on peut illustrer les mécanismes suivants :

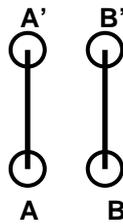


Figure III-77 - Illustration de 2 interconnexions en état de fonctionnement normal

Court-circuit

Comme illustré sur Figure III-78, un court-circuit se produit lorsqu'un SEU active une nouvelle connexion entre deux signaux de l'application. Le niveau des 2 signaux est alors indéterminé. Dans le pire cas, l'alimentation du composant est directement perturbée.

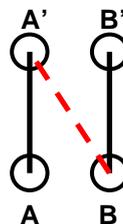


Figure III-78 - Illustration de l'effet court-circuit

Ouverture

Ce mécanisme décrit l'effet produit lorsqu'un SEU désactive un pass-transistor qui active une interconnexion qui acheminait un signal de l'application (Figure III-79). La suppression d'un signal affecte durablement le bon fonctionnement de l'application.

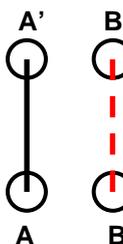


Figure III-79 - Illustration de l'effet ouverture

Antenne

Ce mécanisme est induit par un SEU qui active un chemin d'un signal de l'application vers un autre pass-transistor bloqué (Figure III-80). Cet état ne semble a priori pas critique cependant les propriétés de la ligne « antenne » ne sont pas connues : impédance, état logique indéterminé, charges capacitives voisines.

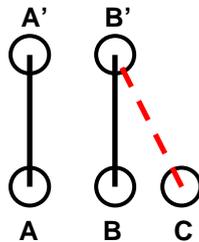


Figure III-80 - Illustration de l'effet antenne

Pont

Dans ce cas, le SEU modifie une interconnexion en changeant soit l'origine soit la destination du signal (Figure III-81). Ce mécanisme peut s'apparenter à l'accumulation d'une ouverture, de par la suppression d'une connexion ou d'une antenne, et d'une antenne, de par la création d'une nouvelle connexion avec un point commun avec le signal d'origine.

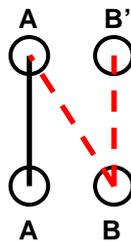


Figure III-81 - Illustration de l'effet pont

III.2 Tests laser de la couche opérative

III.2.1 Le FPGA SRAM-Based de test : Atmel AT40K10ax

III.2.1.1 Plateforme de test

La plateforme de test utilisée pour réaliser ces tests est celle décrite dans la section II-2-2-1. Les opérations liées au test dynamique de la couche opérative sont effectuées simultanément avec les opérations liées aux tests statiques de la couche de configuration. Les tests dynamiques consistent à observer les données traitées et envoyées par le FPGA afin de détecter toute conséquence d'une erreur d'application. Nous disposons également d'un oscilloscope à mémoire connecté par Ethernet à un ordinateur pour l'enregistrement des données au cours de l'expérience.

III.2.1.2 L'application ARINC

L'ARINC est une application réelle utilisée notamment dans le domaine aéronautique. C'est une norme de communication couramment utilisée en aéronautique pour les systèmes embarqués pour sa fiabilité et suffit à l'exécution de différents processus au sein des systèmes considérés comme critiques. Un envoi de données au standard ARINC est conditionné par plusieurs paramètres :

- La trame envoyée (la trame « A ») bénéficie d'un contrôle de parité.
- Une seconde trame (trame « B ») est générée de manière à contenir les données inverses (du type Vdd-VtrameA) afin de permettre au composant destinataire d'effectuer une vérification de la symétrie des 2 signaux.
- La fréquence maximale est théoriquement 100Khz

L'application implémentée dans l'AT94K10 d'Atmel produit une trame A de 32 bits de long de durée 16ms par période de 2 secondes (Figure III-82).

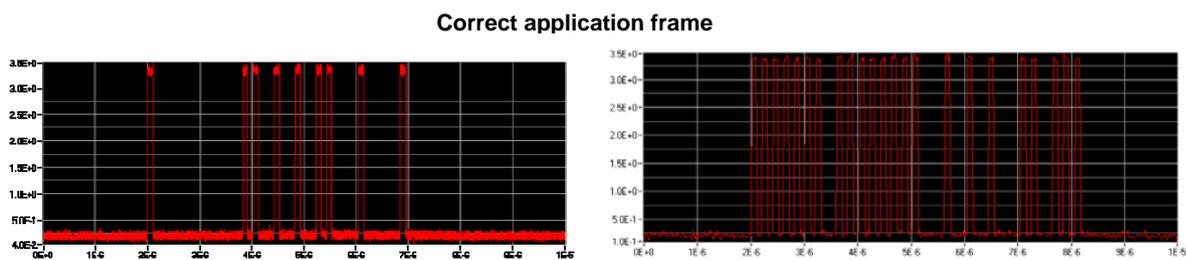


Figure III-82 - Capture de la trame « A » (gauche) et « B » (droite) ARINC de référence

III.2.1.3 Détection des erreurs d'application permanentes (SEFI)

Dans cette expérience, les trames A et B générées sont toujours les mêmes et servent de références. Lors des essais d'injection de fautes, les trames successives sont enregistrées à chaque cycle de test via l'oscilloscope en sortie du FPGA sur les deux broches dédiées du composant. Elles sont alors comparées aux trames de référence à l'aide d'un calcul mathématique de moyenne sur la valeur de l'ensemble du signal. La finesse de cette comparaison permet de discriminer les trames dont un seul bit apparaît modifié.

Pour réaliser une cartographie, nous réalisons pas à pas le même processus de test : à chaque pas, après chaque tir laser, d'une part la mémoire de configuration est relue afin de détecter les SEU et d'autre part les trames de l'application sont enregistrées afin de détecter un SEFI.

III.2.1.4 Résultats

La méthode employée permet de mettre face à face les cartographies interprétées au niveau SEU et au niveau SEFI (Figure III-83). L'adéquation parfaite entre les deux cartographies permet d'associer directement à chaque SEFI le SEU qui l'a déclenché.

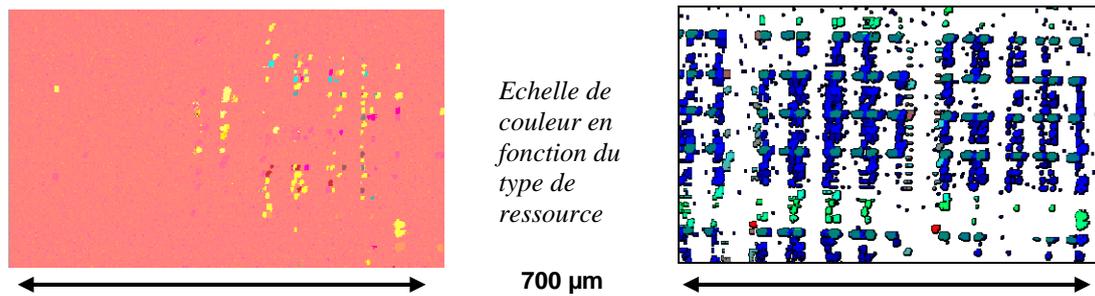


Figure III-83 - Cartographie faisant apparaître les SEFI (gauche) et les SEU (droite)

A l'issue des tests laser, 24,4% des bits dans lesquels le laser a induit un SEU ont induit une erreur d'application qui a nécessité une reconfiguration (SEFI). Ce résultat est obtenu sur 2% des bits présents à la surface du FPGA.

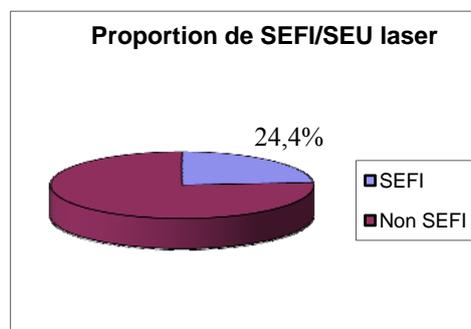


Figure III-84 - Résultats SEFI : proportion de SEU ayant induit un SEFI lors de la cartographie

Différents types d'erreurs se sont produites selon les ressources impactées par le laser. Afin d'illustrer ces résultats, une acquisition de la trame « A » de référence est illustrée dans la Figure III-82. La Figure III-85 montre des exemples d'erreurs d'application modifiant le mot envoyé ou provoquant l'arrêt de l'application.



Figure III-85- Captures de trames en sortie ARINC : exemples de SEFI

III.2.1.5 Conclusion sur l'injection de fautes par laser

Cette section met en évidence l'intérêt de l'injection de fautes par laser dans les FPGA SRAM-Based. Les cartographies obtenues fournissent d'une part les informations de sensibilité et révèlent l'implantation de la mémoire de configuration vis-à-vis des SEUs, et

d'autre part, le lien entre la couche de configuration et la couche applicative. Cela permet ainsi de révéler les bits critiques pour le fonctionnement du FPGA en rendant possible l'association entre un SEU et le SEFI correspondant.

III.3 Prédiction de criticité des bits de configuration

Les chapitres précédents présentent des travaux visant à caractériser expérimentalement la couche de configuration des FPGA SRAM-Based et les mécanismes d'erreurs de l'application implémentée par rapport aux particules ionisantes. Même si les bits de configuration peuvent avoir une sensibilité différente face aux SEU, les bits qui basculent n'ont pas forcément d'impact sur le déroulement de l'application. Ce comportement est spécifique à l'architecture du FPGA, à l'application qui y est implémentée ainsi qu'à son placement et son routage. Par conséquent si on connaît a priori la fonctionnalité interne associée à chaque bit de configuration alors on doit être capable de déterminer à l'avance les effets des SEU sur l'application en fonction des bits impactés. C'est cette opération de prédiction que nous allons développer et tester dans cette section.

III.3.1 Détermination de la fonctionnalité des bits de configuration des FPGA SRAM-Based Xilinx par la méthode XDL

Dans le cadre de différents accords, Xilinx met à disposition de ses partenaires les informations sur le rôle fonctionnel des bits de configurations sous la forme d'une bibliothèque en langage objet JAVA intitulée « *JBits* ». Cependant, ces bibliothèques ne sont disponibles que pour les familles de FPGA Virtex 1 et Virtex 2. Pourtant, Xilinx fournit le programme « *NCD2XDL* » pour convertir en XDL le fichier 'netlist' placé-routé (.ncd). Cet outil n'est pas documenté, il faut le chercher dans les programmes disponibles dans la suite ISE. Le XDL (Xilinx design language) est un langage de description (en format texte) du placement-routage d'une application synthétisée.

Comme les industriels ne disposent pas nécessairement de ces informations, il est apparu utile de vérifier que, sans apport spécifique de Xilinx, nous sommes capables de retrouver le lien entre un bit de configuration et la netlist d'une application (couche opérative). C'est en ce sens que nous avons expérimenté une méthode (décrite dans [VIO04]) dont les principes et résultats sont décrits dans les paragraphes suivants.

Description

Chaque élément utile composant la couche applicative dispose d'une dénomination. La Figure III-86 présente le schéma d'une slice en indiquant chaque fonctionnalité et la dénomination associée [CLA07].

La 'netlist' est alors décrite au sein du fichier XDL correspondant. La figure III-87 fournit un exemple de structure du code XDL pour connecter un ensemble de ressources. Les deux fonctionnalités soulignées « *slice1* » et « *slice2* » sont interconnectées par l'intermédiaire de ressources consécutives (A, B, C, D et E sur la Figure III-II) à l'aide d'une flèche simple. Pour être valide cette connexion doit relier deux ressources physiquement jointes par des sous segments consécutifs.

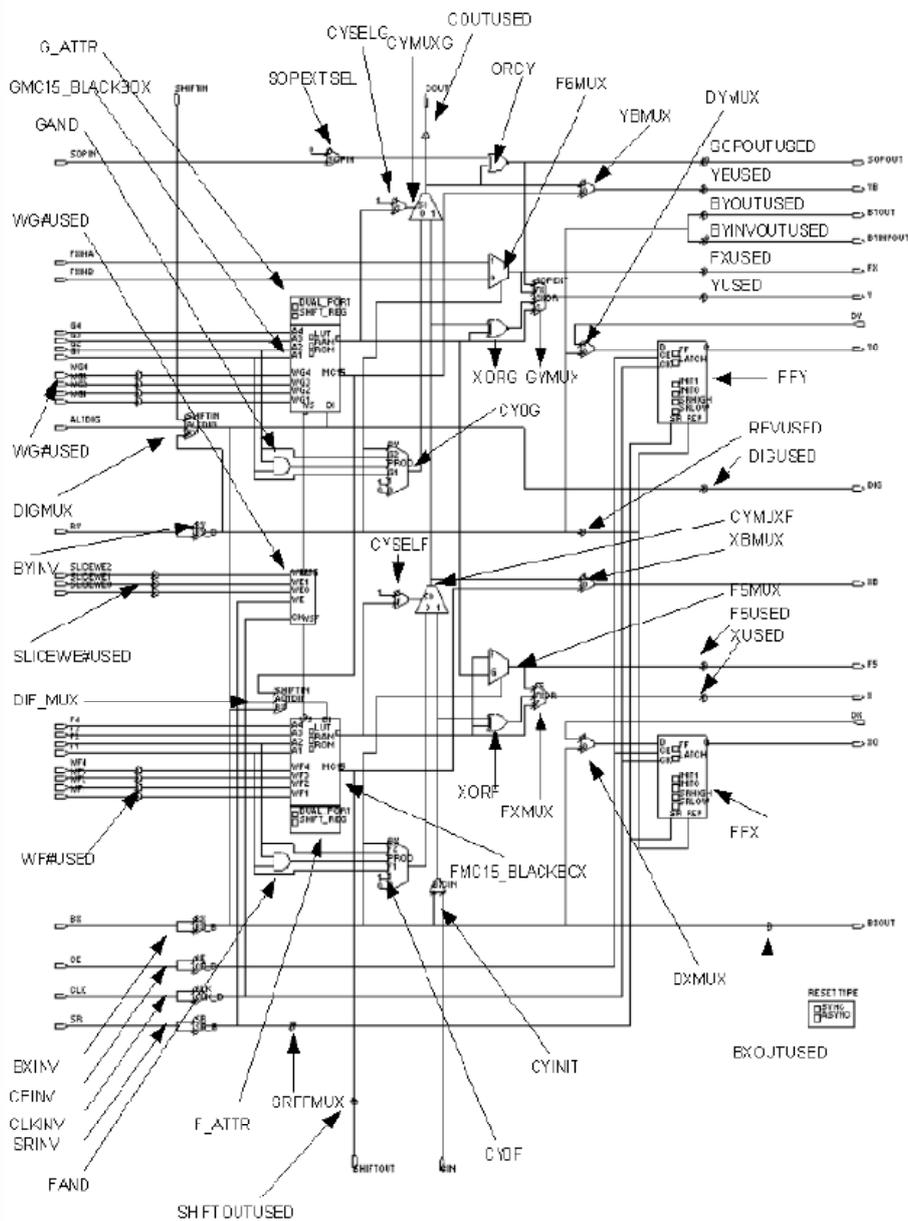


Figure III-86 - Identification des fonctionnalitésinstanciées au sein d'une slice [CLA07]

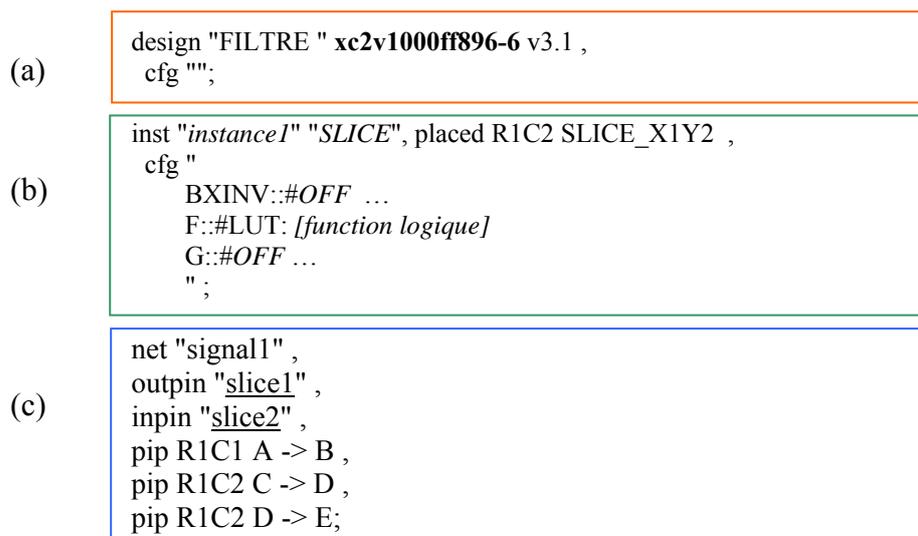


Figure III-87 - Organisation d'un fichier XDL

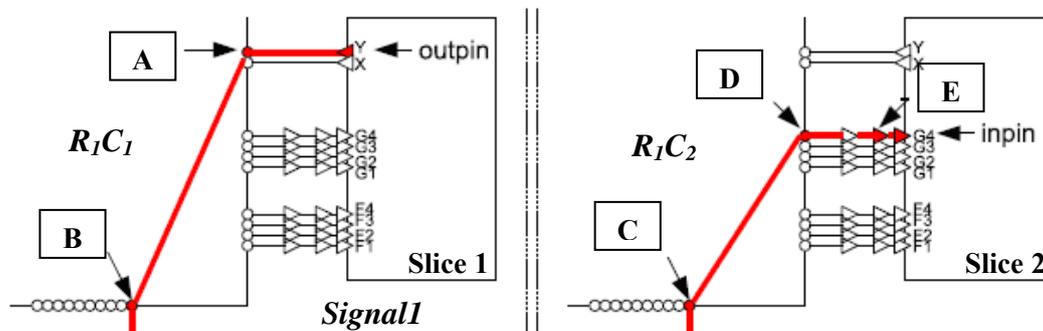


Figure III-88 - Routage g n r  par le fichier XDL. Illustration de la figure III-14 (c).

Noms des signaux, architecture du code XDL :

- En-t te (Figure III-87a) : Il mentionne la famille et le mod le du FPGA Xilinx. La base de donn es des fonctionnalit s des bits de configuration doit  tre effectu e pour chaque famille de FPGA Xilinx car le nombre et la qualit  de leurs fonctionnalit s diff rent. Pour chaque mod le   l'int rieur d'une famille donn e, il faut r aliser la recherche des adresses dans le bitstream correspondant   ces fonctionnalit s.
- Configuration des blocs d'entr e-sortie (Figure III-87b) : Les ressources mobilis es sont, par exemple, le niveau de tension de sortie du bloc, son mode de fonctionnement, son courant de consommation ...
- Description des ressources mobilis es (Figure III-87c) : chaque bloc logique est marqu  par des coordonn es (X, Y) correspondant directement   celles indiqu es dans l'outil de placement routage. Au sein de chaque bloc, les signaux comportent une d nomination et leur chemin est d crit par des liaisons point   point.

Méthode

L'outil de conversion XDL est utilisé dans [VIO04] afin de retrouver le rôle fonctionnel de chaque bit de configuration. La méthode consiste tout d'abord à synthétiser une application puis à générer un bitstream de référence dans des conditions normales. Ensuite le fichier NCD précédemment généré est converti dans sa description XDL des ressources configurées. On injecte une faute en supprimant une seule ressource configurée. On convertit le nouveau fichier XDL en un fichier NCD puis un bitstream modifié. La comparaison bit à bit de ce bitstream à la référence met en évidence le ou les bits qui ont été modifiés par l'injection de fautes et finalement on inscrit des bits dans la base de données en face de la ressource XDL supprimée. En itérant ce processus, une grande partie des bits du bitstream d'un FPGA SRAM-Based Xilinx peuvent être directement associés à leur fonctionnalité en langage XDL. En procédant ainsi, la base de données établissant un lien entre chaque bit de configuration et sa fonctionnalité XDL est reconstituée.

Cette technique comporte une contrainte : on ne peut documenter que les ressources qui sont mobilisées pour configurer une application donnée. Or une application n'utilise pas toutes les ressources existantes au sein du FPGA. Nous avons donc modifié la technique précédemment décrite pour cataloguer un maximum de ressources existantes et la construire sur plusieurs des descriptions XDL de plusieurs types d'applications utilisant globalement plus de ressources combinatoires et d'interconnexions.

Résultats

Dès les premiers tests, on constate que la majorité des ressources sont configurées à l'aide d'une combinaison de 2 bits, et pour le reste, à l'aide d'un seul bit ou d'une configuration de 3 bits. Un résultat est donné dans la figure III-89. Pour un seul bloc logique, nous avons identifié 2540 ressources configurables (principalement des interconnexions) différentes. La matrice représente les bits de configuration d'une slice de Virtex 2 auquel nous avons appliquée la dernière méthode décrite. Chaque case représente un bit de configuration et le code couleur indique le nombre de ressources que le bit peut contribuer à configurer au travers d'une combinaison. Chaque ligne est un segment d'une frame composant le bloc logique.

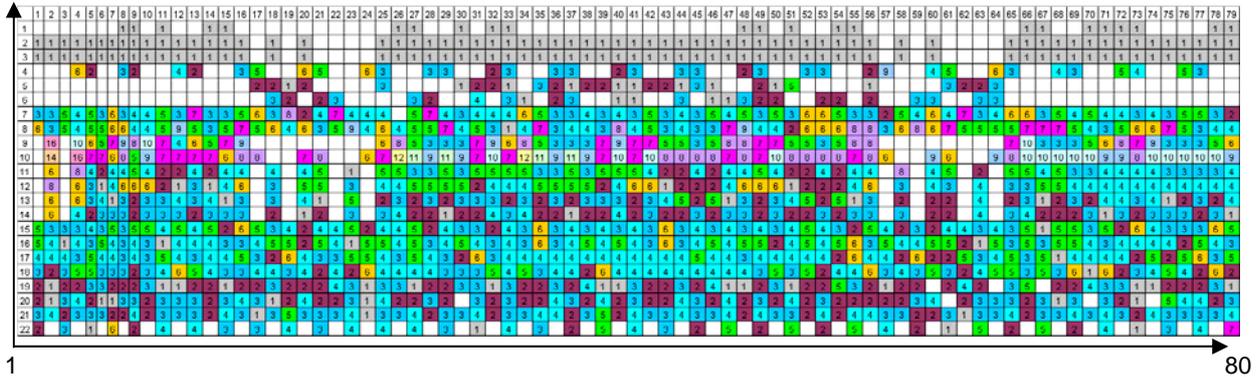


Figure III-89 – Bits de configuration de la CLB : Multiplicité d’usage des pip testés

Multiplicité	Couleur	Quantité
15		2
14		1
12		2
11		4
10		17
9		20
8		33
7		40
6		74
5		166
4		281
3		325
2		222
1		230

Figure III-90 – Légende de couleur de la figure III-16

A partir d’une telle base de données il est naturellement possible de connaître l’impact d’un SEU sur les ressources mobilisées par l’application au travers des mécanismes décrits dans la première section de ce chapitre.

Cette méthode peut être appliquée à tous les modèles Xilinx, du Virtex 1 au Virtex 5. Par ailleurs, comme les ressources du langage XDL sont celles utilisées dans le logiciel de placement routage, il est possible d’y visualiser la conséquence d’une suppression si on le souhaite. Dans le Chapitre 2, c’est ce résultat qui a été exploité pour identifier les fonctionnalités des bits de la Figure II-49.

III.3.2 Développement d’un outil de prédiction pour le FPGA Atmel

Après avoir testé la couche de configuration et la couche opérative du FPGA Atmel AT40K, nous avons été en mesure de réaliser un programme visant à prédire la criticité des bits de configuration vis-à-vis d’une application si un SEU s’y produit.

L’objectif principal est de définir les différents niveaux de criticité d’un bit de configuration et ensuite de produire des critères permettant de classer les bits de configuration dans ces catégories suite à la lecture du fichier de configuration et avant même d’avoir configuré le FPGA.

III.3.2.1 Classification CTS

Cette classification permet de classer les bits de configuration en fonction des conséquences d'un SEU sur le fonctionnement d'une application donnée. Elle est basée sur l'idée intuitive que tous les bits de configuration peuvent être considérés comme étant soit :

- Critiques (C) : lorsqu'un SEU est induit dans ce bit alors il provoquera un SEFI, une erreur d'application liée à la modification permanente d'une ressource utile à cette application, jusqu'à la prochaine reconfiguration.
- Transparents (T) : Un SEU dans ce bit n'a aucun impact sur l'application.
- Suspect (S) : Il s'agit des bits dont les critères ne permettent ni d'affirmer la criticité ni la transparence. Il est possible de raffiner plusieurs niveaux à l'intérieur de cette catégorie en fonction des critères appliqués, de la ressource considérée et des mécanismes induits par un SEU.

En fonction du nombre total de bits et de la section efficace par bit de la mémoire de configuration, la section efficace de l'application peut ainsi être extraite à partir de cette classification. Cela permet de répondre à la question suivante : « quels sont les bits qui doivent être considérés dans l'évaluation de la sensibilité vis-à-vis des SEU (soft-error rate – SER) »

III.3.2.2 Le fonctionnement de l'outil de prédiction

L'outil de prédiction dispose en entrée :

- ✓ De la famille et le modèle particulier de FPGA SRAM-Based.
- ✓ Du fichier de configuration de l'application dont le placement routage correspond à une famille et à un modèle particulier de FPGA.
- ✓ Des critères de criticité permettant de déterminer la catégorie C, T ou S à laquelle appartient chaque bit du fichier de configuration.

Le résultat est une base de données des bits de configuration classée par niveau de criticité.

III.3.2.3 Les critères de criticité

Les critères de criticité sont appliqués à chaque bit de configuration. Dans le cas de la configuration de pass-transistors (la plupart des cas), nous avons choisi de considérer que le bit analysé s'intègre dans un ensemble de bits déterminant le chemin d'un signal logique à l'intérieur d'un bloc logique ou bien reliant aux moins deux blocs logiques. Dans cette optique, l'évaluation prend en compte l'état des bits de configuration configurant les ressources en amont pour vérifier si un signal de l'application utilise la ressource analysée.

L'outil réalisé différencie 2 catégories de fonctionnalités configurées :

- ✓ Les PLB : elles contiennent essentiellement des multiplexeurs composés de pass-transistors et aussi 2 LUT et une flip flop.
- ✓ Les repeaters peuvent être considérés comme des aiguilleurs permettant de relier les PLB entre elles.

Ces ressources occupent plus de 70% des ressources disponibles sur le FPGA. En outre, les blocs d'entrée sortie ne sont pas analysés par le programme dans cette étude et les bits les configurant sont donc par défaut classés dans la catégorie « suspect » comme tous les bits pour lesquels il n'y a pas encore de critère (approche conservative).

Critères dans les PLB

- Bits critiques, classe C :
 - Pass-transistor : Concernant les pass-transistor, tous les bits considérés comme étant à 1 sont critiques. Les bits programmés sont les bits qui activent le passage d'un signal afin d'établir la communication entre 2 ressources. Par opposition, les bits non-programmés rendent bloquants les pass-transistor. Lorsqu'un SEU survient, nous assimilons cela au mécanisme de type « ouverture » appliqué à un signal de l'application supposé actif (Figure III-91). Nous considérons donc cet événement comme critique.

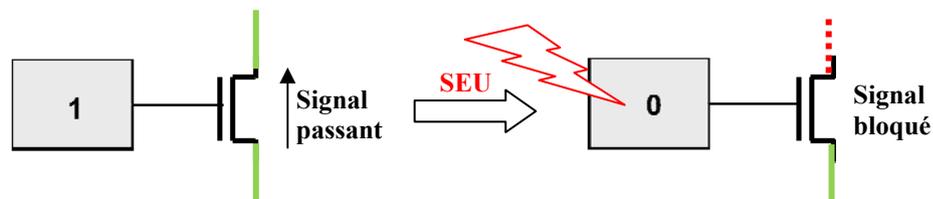


Figure III-91 - SEU induisant une ouverture

- Flip-flop : Le programme analyse la configuration du multiplexeur en amont de la flip flop afin de déterminer si elle est utilisée. Si elle est utilisée, les bits de configuration liés à la flip-flop sont classés comme étant critiques, sinon ils sont considérés comme étant transparents, classe appelée T dans ce qui suit.
- LUT : A moins que la l'application n'utilise pas la PLB analysée, il est quasiment assuré qu'elle utilise au moins une LUT. Si on ne connaît pas la fonction logique réalisée par la LUT analysée (et donc le nombre d'opérandes), alors tous les bits sont considérés comme « critiques », sinon ils sont classés comme « suspects », classe S. Dans ce cas, cette classification est un pire cas car le fait qu'une SEU dans la LUT engendre un SEFI est une évaluation de

probabilité en fonction des combinaisons de signaux d'entrée et de la fonction logique réalisée (voir section III.1.1).

- Bits suspects :
 - Pass-transistors : Un SEU dans un bit configurant pass-transistors « non-programmés » peut impliquer une « antenne », ou un « court-circuit ». Pour prédire si la programmation de ce pass-transistor induira un nouveau chemin pour un signal, le programme analyse si la ressource en amont (pass-transistor simple ou multiplexeur) est programmée. Dans ce cas, le bit est classé *suspect*.
 - Le cas des multiplexeurs : le programme applique la même analyse que pour un pass-transistor décrit ci-dessus. En outre, si une autre porte du multiplexeur est activée, la possibilité d'un effet court-circuit suspect, doit être vérifiée. C'est pourquoi si un multiplexeur est programmé, alors les bits actifs sont considérés comme critiques et les autres bits bloquant les autres entrées sont classés parmi les suspects. Une illustration est montrée dans la Figure III-92.
 - Si le multiplexeur n'est pas programmé alors les bits associés à cette ressource sont classés « transparents » car ils n'agissent sur aucune fonctionnalité de l'application.

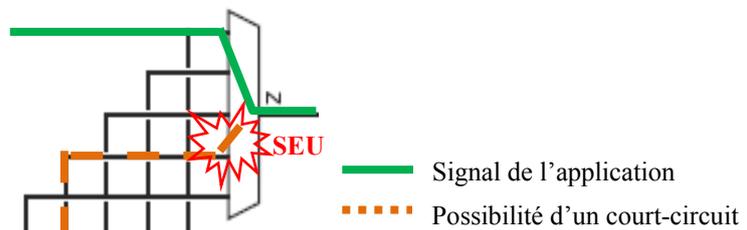


Figure III-92 - Illustration d'un mécanisme de court-circuit au sein d'un multiplexeur

Critère dans les repeaters

Les PLB peuvent être connectées entre elles par l'intermédiaire des repeaters. Ils réalisent le routage de l'application au sein du FPGA SRAM-Based. La figure III-93 illustre la fonction remplie par un repeater appartenant à un plan du routage.

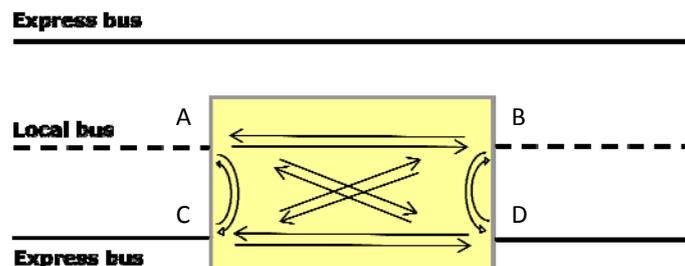


Figure III-93 - Illustration des possibilités d'interconnexions d'un repeater

Les 4 terminaux A, B, C et D peuvent être reliés de 12 façons différentes selon la configuration du repeater. Les règles concernant l'utilisation d'un repeater ne sont pas explicitement connues. Par exemple, les liaisons en parallèle « A→B » et « D→C », ou « A→C » et « B→C » actives en même temps sont licites et ne créent pas de conflits. De même, deux liaisons simultanées ayant la même origine ou la même destination, du type « A→B » et « A→C » sont licites. En règle générale, une seule liaison est utilisée au sein d'un repeater.

- Bits critiques : Si un bit est programmé alors une liaison est active. Donc un SEU provoquerait une « ouverture ». Ce bit est classé critique et les autres bits permettant des liaisons engendrant un « court-circuit » ou une « antenne » sont classés suspects.
- Bits transparents : il faut réunir trois conditions :
 - ✓ le repeater n'est pas utilisé par l'application.
 - ✓ les quatre terminaux des repeaters en vis-à-vis avec celui analysé ne sont pas utilisés par l'application.
 - ✓ aucun signal n'est présent sur le bus local via les multiplexeurs des PLB.
- Bits suspects : non respect d'au moins une des 3 conditions de transparence.

La Figure III-94 illustre un cas de SEU pouvant conduire à un SEFI si un court-circuit survient via le bus local sur la partie droite.

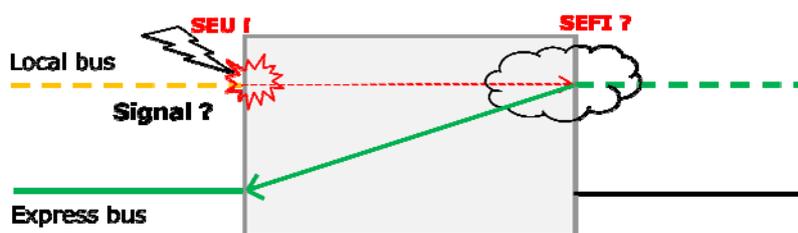


Figure III-94 - Illustration d'un SEU conduisant potentiellement à un SEFI au sein d'un repeater

III.3.2.4 Application des critères à l'application ARINC

Les critères décrits précédemment sont implémentés dans le programme de prédiction. Le Tableau III-5 fournit les résultats de l'analyse de l'application ARINC au travers du programme de prédiction. Les critères décrits plus haut font ressortir une forte proportion de bits prédits suspects (73,3%).

ARINC Bitstream CTS prediction	
C	10,5 %
S	73,3%
T	16,2 %
Number of configuration bits	89280

Tableau III-5 - Classification CTS de l'application ARINC

La quantité de bits transparents nous indique qu'au minimum 16% des bits de configuration n'induiront pas de SEFI lors d'un SEU. Par ailleurs, le programme de prédiction prévoit 10% de bits critiques. Dans le cas où ce chiffre serait considéré comme fiable, cela signifierait que le FPGA SRAM-Based ATMEL pour cette application, a une section efficace réelle divisée par un facteur 10.

Validation de l'outil de prédiction

L'outil de prédiction est bâti autour de critères qui reposent sur les hypothèses développées dans cette section. Il est essentiel de valider cette démarche au travers d'expériences. Ce travail de prédiction doit être confronté à des essais en accélérateur de particules et à des tests avec le banc laser.

III.4 Confrontation des résultats de la prédiction avec les tests expérimentaux laser et protons

III.4.1 Campagne de test proton (UCL)

L'expérience a été mise en place à l'accélérateur de l'université catholique de Louvain-la-Neuve (UCL) en Belgique. La Figure III-95 est une photo prise à l'intérieur du bunker où se déroule l'irradiation. On remarque les briques derrière le collimateur (disque), placées de manière à masquer au mieux le contrôleur intégré proche du FPGA. Elle montre les

protections mises en œuvre afin de protéger l'ensemble de l'électronique de test hors FPGA SRAM-Based Atmel.

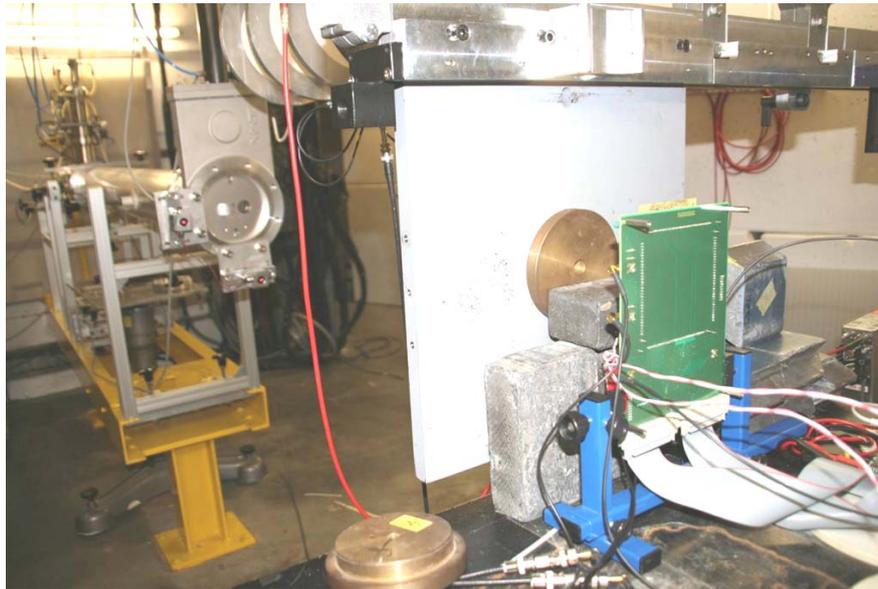


Figure III-95 – Mise en place à l'accélérateur de protons de l'UCL de l'expérience protons sur le FPGA SRAM-Based Atmel

Le Tableau III-6 fournit les données des 3 tests effectués avec des flux de protons de 3 énergies différentes : 22, 50 et 62 MeV. Les objectifs recherchés étaient :

Obtenir la valeur de la section efficace de saturation. Pour cela, il est utile d'obtenir des données à 2 énergies suffisamment hautes pour observer cette valeur.

Obtenir l'énergie seuil de déclenchement des SEU. Comme à cette énergie le nombre d'erreurs est faible et que le flux maximum de protons est limité, le temps de test devient plus important. Nous avons opté pour un compromis en choisissant 22 MeV. En effet, les taux d'occurrences attendus ont été évalués préalablement avec le banc laser. Ce qui constitue encore un intérêt de cet outil.

Tableau III-6 –Caractéristique des faisceaux protons des tests à l'UCL

IRRADIATION TIME (sec.)	ENERGY (MeV)	FLUENCE (p)	MEAN FLUX
3960	62	5,15E+11	1.30E+8
2636	50	5,34E+11	2.02E+8
2604	22	1,26E+12	4.83E+8

Selon ces paramètres, le composant a été bombardé par des centaines de millions de protons au cours des expériences effectuées pour chacune des énergies. Les protons ont interagi avec le silicium dans les zones actives du FPGA Atmel. Ces interactions ont régulièrement induit des SEU dont certains ont induit des SEFI ayant interrompu l'application ARINC. La synthèse des résultats est présentée sur la courbe de section efficace sur la Figure III-96.

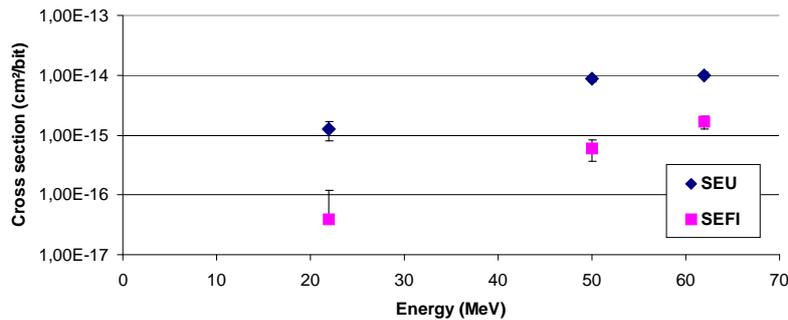


Figure III-96 – Courbe de section efficace proton du FPGA SRAM-Based Atmel

D'une part, la section efficace à saturation est calculée comme étant environ 1.10^{-14} cm²/bit pour ce FPGA basé sur une technologie 180nm. A titre de comparaison, le saturation d'un Virtex 2 Xilinx (150nm) est mesurée à environ 5.10^{-14} cm²/bit [KOG04]. D'autre part, l'énergie seuil étant visiblement largement inférieure à 22 MeV la manipulation ne permet pas de déterminer le seuil, qui est probablement inférieur à 10 MeV.

Des informations supplémentaires peuvent être extraites de ces expériences et sont données dans le Tableau III-7 - Résultats de la campagne proton. Selon l'énergie des protons, le ratio MBU/SEU est de 7% à 22 MeV et de 29% à 62 MeV.

Tableau III-7 - Résultats de la campagne proton

Energie (MeV)	SBU	2-MBU
22	27	2
50	245	61
62	263	72

Le nombre de MBU peut alerter un concepteur chargé d'assurer la fiabilité de la configuration implémentée au sein d'un FPGA SRAM-Based. En effet, certains codes détecteurs/correcteurs d'erreurs généralement utilisés, par exemple la parité, ne sont pas capables de détecter des erreurs multiples dans le même mot mémoire.

Tableau III-8 - Résumé des résultats laser et protons et ratio SEFI/SEU

Résultats expérimentaux	Nb of SEU	Nb de SEU ayant induit un SEFI	Ratio
Laser	1613	394	24.4%
Protons	805	135	17%

III.4.2 Comparaison de la prédiction avec les résultats expérimentaux et discussion

Les essais menés avec le banc laser d'une part et en accélérateur de particules d'autre part, permettent de confronter les résultats de l'outil de prédiction à des résultats expérimentaux. Le Tableau III- 9 permet de visualiser dans chacune des conditions expérimentales :

- Dans la partie gauche, le nombre de SEU ayant entraîné un SEFI au cours de l'ensemble des essais.
- Dans la partie de droite, la classification prédite par l'outil développé des bits dans lesquels se sont produits les SEU critiques.

Résultats expérimentaux		Prédiction logicielle		
	Nb de SEU ayant induit un SEFI	C	S	T
Laser	394	232	162	0
Protons	135	13	122	0

Tableau III- 9 - Confrontation des résultats de prédiction CTS avec les résultats expérimentaux d'injection de fautes laser et protons sur l'application ARINC

A partir de ces observations, on peut en déduire que les bits prédits *transparentes* n'induisent effectivement pas de SEFI lors des essais. Seuls les bits prédits *suspects* ou *critiques* sont vraiment critiques. D'autre part, beaucoup de bits prédits suspects sont critiques dans la pratique.

En supplément, parmi les SEU induits à la fois sous laser et sous protons, 12 bits qui étaient prédits critiques n'induisent en réalité pas de SEFI.

L'outil de prédiction permet donc d'éviter que la criticité de chacun des bits de configuration pour une application donnée soit sous estimée. En outre, de nouvelles améliorations peuvent encore y être apportées afin rendre plus fine l'analyse des bits suspects soit en leur attribuant plusieurs niveaux de suspicion, soit au mieux de les classer plus précisément comme étant critiques ou transparents. Enfin, il serait intéressant de mieux comprendre les raisons pour lesquelles des bits prédits critiques ne le sont pas en pratique.

III.5 Application du test laser pour valider la stratégie de mitigation (Virtex 1)

III.5.1 Plateforme de test

Une équipe d'EADS Astrium ST a fourni une plateforme de test complète basée sur un FPGA Xilinx Virtex 1 (Figure III-97). L'application testée est une application Ethernet. Les opérations réalisées par le FPGA consistent à recevoir des paquets de données provenant de l'ordinateur et ensuite les renvoyer toujours par le câble Ethernet. La surveillance est opérée par deux programmes :

- Le premier surveille la couche de configuration. Il est capable de configurer et de relire la mémoire de configuration du DUT (Virtex 1). En comparant sur le testeur le

bitstream relu et celui d'origine, il peut détecter si la mémoire de configuration a été modifiée. Autrement dit, il permet de savoir si au moins un SEU est apparu mais il ne fournit ni le nombre d'upsets, ni l'adresse du bit modifié. Ainsi, il ne fait pas la distinction entre SBU et MBU et ne fournit pas d'information sur la qualité des bits impactés. Ceci s'explique car cette plateforme a été conçue pour réaliser des tests sous protons, en conséquence ces spécifications n'étaient pas toutes adaptées au test laser. Ce programme reçoit également le signal indiquant le niveau de consommation en courant du testeur.

- Le second surveille et enregistre le débit des échanges sur le câble Ethernet. Il comptabilise également le nombre de paquets perdus.

Un avantage particulier de ce testeur est la possibilité de tester la même application avec 3 modes de tests différents, avec ou sans mitigation (moyen de contournement d'erreur) :

- Mode 1 « *Readback only* » : le testeur relit la mémoire de configuration et compte le nombre d'événements signalés. La reconfiguration est effectuée manuellement quand nécessaire.
- Mode 2 « *Readback + reconfiguration on SEU detection* » : identique au "Readback only" avec en plus la reconfiguration automatique lorsque le testeur détecte un SEU.
- Mode 3 « *TMR + continuous scrubbing* » : La TMR (*Triple Modular Redundancy*) est appliquée à l'application

Le FPGA est un Virtex 1 de finesse de gravure 200nm, modèle XCV1000 doté de 6 Mbits de mémoire de configuration. Chaque bloc logique (CLB) est composé de 2 slices, chacune est configurée par 432 bits de SRAM. L'organisation de la mémoire sur la puce sous forme de trame est comparable à celle du Virtex 2 vu au chapitre 2.

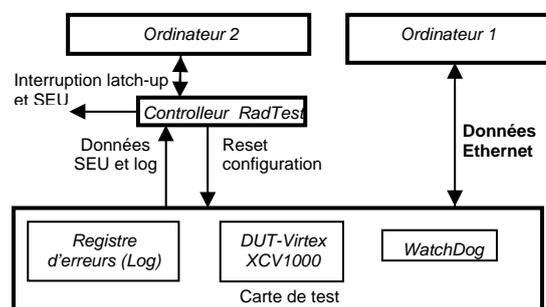


Figure III-97 – Plateforme de test du Virtex 1 réalisant une application Ethernet

Le package du composant a été ouvert mécaniquement à l'aide d'une machine dédiée disposant d'une fraiseuse. Il était nécessaire de s'assurer que la zone ouverte présente une densité importante de routage afin d'injecter des charges avec le laser dans des zones utiles à

l'application. Sur la Figure III-98, le routage de l'application au sein de la puce est illustré en gris et l'ouverture de l'encapsulage est délimitée par le carré rouge.

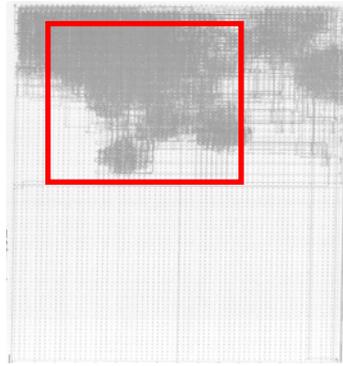


Figure III-98 – Routage de l'application Ethernet (fond) and fenêtre d'exposition laser (cadre supérieur)

Dans ce qui suit est décrite la procédure de test. On focalise le faisceau laser au travers du substrat épais de 340µm, puis on effectue un balayage en injectant des charges à chaque pas de déplacement des moteurs pendant que l'application fonctionne. On souhaite s'assurer que les erreurs d'application provoquées par l'expérience sont liées à un seul SEU à la fois. Il faut donc que le processus de test empêche que plusieurs SEU soient créés. Le processus de relecture de la mémoire de configuration dure 400ms donc la vitesse des moteurs est ajustée afin d'effectuer au maximum 1 injection pendant un cycle de lecture-écriture de la mémoire de configuration du FPGA. Cette limitation n'a pas permis de tester de manière exhaustive l'ensemble du composant, vu qu'il comprend 6 millions de bits.

III.5.2 L'expérience laser

III.5.2.1 Définition des résultats

Les SEFI détectés sont classés en fonction du mode d'intervention nécessaire à la remise en fonction de l'application :

- Cas n°1 : SEFI résolu par réinitialisation (reset) logique. Dans ce cas, la réinitialisation des machines d'état et de tous les registres d'application a suffit. Cette intervention ne corrige pas la mémoire de configuration.
- Cas n°2 : SEFI résolu par une reconfiguration. Dans ce cas, l'application nécessite une reconfiguration du FPGA pour redevenir fonctionnelle

La figure III-99 illustre les effets des fautes injectées par laser dans des ressources réalisant les échanges Ethernet.

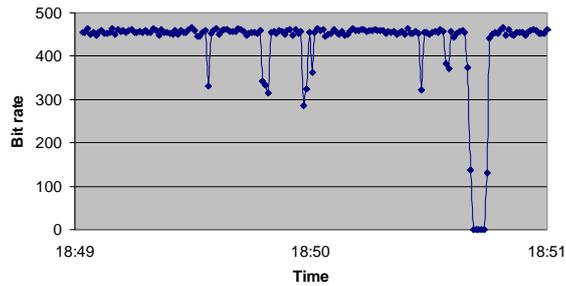


Figure III-99 – Enregistrement temps réel du taux de transfert Ethernet

III.5.2.2 Résultats de l'expérience

Le Tableau 10 montre le nombre de SEFI obtenus dans les 3 différents modes de tests, le nombre de tirs laser effectués et le nombre d'événements SEU comptabilisés en relisant la mémoire de reconfiguration.

- Mode 1 « *Readback only* » : La majorité des erreurs d'application nécessitent une reconfiguration complète pour démarrer à nouveau. Cela paraît cohérent car dans ce mode, les SEU se produisent dans la mémoire de configuration sans être corrigés jusqu'à ce que l'application produise des erreurs. En moyenne, 10 SEU doivent se produire pour que l'un d'entre eux induise une erreur d'application. Dans 16% des cas, un reset logique est suffisant pour redémarrer l'application, probablement car l'erreur survient dans un registre qu'il suffit de réinitialiser.
- Mode 2 « *Readback + reconfiguration on SEU detection* »: Dans ce mode, aucune erreur n'a nécessité une reconfiguration par une intervention extérieure suite aux tirs laser. Ce résultat est attendu car à chaque SEU détecté, le programme reconfigure la mémoire du FPGA et les SEU n'ont pas d'effet sur l'application. Il reste cependant des erreurs nécessitant un reset logique des registres et machines d'état, ce qu'une reconfiguration n'effectue pas. Selon cette expérience, ce mode de mitigation permet de corriger presque tous les effets des SEU.
- Mode 3 « *TMR + continuous scrubbing* » : Dans ce cas, toutes les ressources logiques sont tripliquées. Ainsi, les erreurs logiques ne devraient plus survenir, ce que l'expérience confirme. La reconfiguration périodique (« *scrubbing* ») agit comme dans le mode 2 et prévient les effets des SEU et les corrige. Ce mode en apparence satisfaisant du point de vue de nos tests, a cependant un inconvénient majeur : l'application tripliquée nécessite environ 3 fois plus de ressources pour pouvoir être routée au sein d'un FPGA SRAM-Based. Pour des applications commerciales, ce point n'est généralement pas acceptable et il faut donc trouver d'autres solutions pour

fiabiliser une application embarquée. Le test et la prédiction des bits critiques sont les moyens étudiés dans ce chapitre.

Tableau 10 - Résultats de test dynamique en fonction du mode d'intervention (application Ethernet)

Résultats laser	Mode 1	Mode 2	Mode 3
Nombre de tir laser	2850	1875	2500
Nombre total d'upset détectés	588	387	516
Nombre de SEFI résolus reconfiguration	58	0	0
Nombre de SEFI résolus par un reset logique	11	7	0

Par ailleurs, environ 2% des tirs laser ont induit des hausses de consommation en courant du FPGA. Xilinx nous a directement indiqué que ce phénomène était connu de leurs services et qu'il serait dû à des courts-circuits locaux. Il aurait été corrigé dans les générations suivantes à partir du Virtex 2. Dans les faits, nous n'avons effectivement pas remarqué d'augmentation de la consommation électrique lors des tests statiques Virtex 2 et Virtex 2 pro.

III.6 Conclusion du chapitre 3

Ce chapitre est dédié au test de la couche applicative de la mémoire de configuration. Le laser montre son intérêt également dans cette optique. Confronté au test de référence en accélérateur, il se montre représentatif, plus simple à mettre en œuvre et pourrait s'avérer plus efficace avec une plateforme mieux optimisée. L'idée de compléter la méthodologie avec un outil de prédiction software basé sur des critères de criticité permet d'établir des catégories de bits et ainsi de réduire les marges d'erreur tout en restant conservatif dans l'analyse.

CONCLUSION GENERALE

Il existe peu de moyens d'obtenir une évaluation pertinente de la sensibilité aux particules ionisantes d'une application implémentée dans un FPGA SRAM-based. Les travaux présentés dans ce manuscrit développent une nouvelle méthodologie inspirée au départ du test des puces de mémoires SRAM. Les FPGA SRAM-Based ont une architecture suffisamment complexe pour envisager de mettre en œuvre des moyens de test complémentaires qui permettent des gains de temps dans la mise en œuvre et des gains en efficacité pour la prédiction du taux d'événements.

Les expériences et les analyses sont basées sur une vision du FPGA SRAM-Based divisé en 2 couches de natures distinctes : la couche de configuration et la couche applicative. L'objectif final étant d'obtenir la meilleure évaluation au niveau applicatif, il a été utile et nécessaire de recueillir des informations et paramètres de la couche de configuration via la réalisation de tests laser et d'essais sous faisceau de particules. Via l'utilisation du banc laser, cette analyse est précise dans le temps et dans l'espace. Elle permet de connaître l'implantation des différentes ressources au sein du FPGA et évaluer leur sensibilité respective aux particules ionisantes, avec une notion d'énergie laser. Ces informations enrichissent les résultats tirés des essais en accélérateur car ils peuvent ainsi être confrontés.

Cette analyse de la couche de configuration est un préalable à l'étude de la couche applicative. L'évaluation de sensibilité des FPGA SRAM-Based ne se limite pas aux SEU et ne dépend pas uniquement du nombre de bits de SRAM. Elle est aussi liée à l'application implémentée car du point de vue de cette dernière, tous les bits ne sont pas à considérer comme critiques, certains SEU n'engendrant pas d'erreur d'application. La connaissance de la position réelle et de la fonctionnalité des bits de configuration est nécessaire au développement d'un outil logiciel de prédiction. Cet outil fournit une évaluation de criticité des bits de configuration relative au bon fonctionnement de l'application concernée.

En outre, la mise en œuvre de l'outil laser apparaît comme un complément utile aux essais en accélérateur de particules. Outre le gain de temps et d'argent, l'injection de fautes avec un équipement laser permet de différencier les bits en terme de sensibilité, de provoquer des SEU pour observer si une application est perturbée durablement et enfin, il est envisageable d'utiliser le laser pour évaluer l'efficacité des stratégies de mitigation, thème connexe prolongeant cette étude.

Références

- [ALD05] M. Alderighi, Member, IEEE, A. Candelori, F. Casini, S. D'Angelo, M. Mancini, A. Paccagnella, S. Pastore, and G. R. Sechi, "SEU Sensitivity of Virtex Configuration Logic", IEEE Transactions on Nuclear Science, vol. 52, No. 6, december 2005
- [ALT08] TriMatrix Embedded Memory Blocks in Stratix IV Devices, *ver 2.0, Nov 2008*
- [ANG05] L. Anghel, R. Leveugle, P.Vanhauwaert – "Evaluation of SET and SEU effects at multiple abstraction levels", IEEE International On-Line Testing Symposium, 2005.
- [ATM01] AT94K Series Field Programmable System Level Integrated Circuit, Atmel Corporation 2001.
- [ATM02] AT40K 5K - 50K Gates Coprocessor FPGA with FreeRAM™, Atmel Corporation 2002.
- [BAU02] R. C. Baumann, « The impact of technology scaling on soft error performance and limits to the efficiency of error correction », Texas instrument, IEEE IEDM 2002
- [BAU05] R. C. Baumann, "Radiation-Induced Soft Errors in Advanced Semiconductor Technologies", IEEE Transaction on device and materials reliability, v. 5, No. 3, septembre 2005
- [BOU95] J.C. Boudenot, "L'Environnement Spatial", Collection "Que sais-je ?", Ed. Presses Universitaires de France, 1995.
- [BUC87] S. Buchner et al., "Laser Simulation of Single Event Upsets", IEEE Transactions on Nuclear Science, Vol. 34, n°6, p.1228-1987
- [CAF02] M. Caffrey, P. Graham, E. Johnson, and M. Wirthlin, "Single-event upsets in SRAM FPGAs", Military and Aerospace Applications of Programmable Logic Devices conference, September 2002

[CAS02] K. Castellani-Coulié, « Recherche des paramètres déterminants pour la prévision des aléas logiques induits par les protons et les neutrons sur les technologies CMOS avancées. », Université Montpellier II, thèse soutenue en Décembre 2002.

[CAS07] A. Lesea, K. Castellani-Coulié, "Experimental Study and Analysis of Soft Errors in 90nm Xilinx FPGA and Beyond", IEEE RADECS 2007

[CHI06] Comparison of Texas Instruments Nokia Baseband Chip 4377401 and Xilinx/UMC Virtex-5 FPGA, Chipworks Comparison Brief, 2006

[CLA07] C. Claus, B. Zhang, M Hubner, C. Schmutzler, J. Becker and W. Stechele, "An XDL-based busmacro generator for customizable communication interfaces for dynamically and partially reconfigurable systems", International Workshop on Reconfigurable Computing Education, 2007

[DOD95] P.E. Dodd et F.W. Sexton, "Critical charge concepts for CMOS SRAM", IEEE Trans. Nucl. Sci., vol. 42, No. 6, p. 1764, 1995.

[DOU08] A. Douin, « Contribution à la méthode et au développement de techniques de test et d'analyse dynamique de circuits intégrés par faisceau laser pulsé », Université Bordeaux I, thèse soutenue en Janvier 2008.

[DUT02] Jean-Max DUTERTRE, «Circuits Reconfigurables Robustes », thèse de doctorat en Electronique, Optronique et Systèmes de l'Université de Montpellier II, soutenue en octobre 2002.

[FAU05] F. FAURE, « Injection de fautes simulant les effets de basculement de bits induits par radiation », Ph.D., Institut National Polytechnique de Grenoble, thèse soutenue en novembre 2005.

[FLE75] R.L. Fleischer and al, "Nuclear tracks in solids, principles & applications", University of California press, pp 238, 240 and 380, 1975.

[FRE96] L. B. Freeman, "Critical charge calculation for a bipolar SRAM array," IBM

[GUE79] C. S. Guenzer, E. A. Wolicki, and R. G. Allas, "Single event upset of dynamic ram's by neutrons and protons" IEEE Transactions on Nuclear Sciences, vol. 26, December 1979.

[GRA03] Paul Graham, Michael Caffrey, Jason Zimmerman, D. Eric Johnson, Prasanna Sundararajan, Cameron Patterson, "Consequences and categories of SRAM FPGA configuration seus", Military and Aerospace Programmable Logic Devices International Conference, 2003.

[GRA203] P. Graham et al, "SEU Mitigation for Half-Latches in Xilinx Virtex FPGAs", IEEE Transactions on Nuclear Science in relation to IEEE Nuclear and Space Radiation Effects Conference, July 2003

[GRA04] E. Johnson, K. Morgan, N. Rollins, M. Wirthlin, M. Caffrey, and P. Graham, "Detection of configuration memory upsets causing persistent errors in SRAM-based FPGAs," in Proceedings of the Military and Aerospace Programmable Logic Devices International Conference, September 2004.

[HAB65] D.H. Habbing, "The Use of Lasers to Simulate Radiation-Induced Transients in Semiconductor Devices and Circuits", IEEE Transactions on Nuclear Science, 1965

[HAZ00] P. Hazucha et al., "Impact of CMOS technology scaling on the atmospheric

[HEA05] Heather Quinn, Paul Graham, Jim Krone, Michael Caffrey, and Sana Rezgui, "Radiation-Induced Multi-Bit Upsets in SRAM-Based FPGAs", IEEE Transactions on Nuclear Science, December 2005.

[JESD89A] JEDEC Standard, "Measurement and reporting of alpha particle and terrestrial cosmic ray-induced soft errors in semiconductor devices", revision of JESD89, August 2001 (2006)

[JOH03] E. Johnson, M. Caffrey, P. Graham, N. Rollins, and M. Wirthlin, "Accelerator validation of an FPGA SEU simulator", IEEE Transactions on Nuclear Science, December 2003.

[KEN03] Kenneth A. Clark, Alan A. Ross, Hersch H. Loomis, Todd R. Weatherford, Douglas J. Fouts, Stephen P. Buchner and Dale McMorrow, "Modeling Single-Event Effects in a Complex Digital Device", IEEE Transactions on Nuclear Science, December 2003.

[KOG04] R. Koga, J. George, G. Swift, C. Yui, L. Edmonds, C. Carmichael, T. Langley, P. Murray, K. Lanes, and M. Napier, "Comparison of Xilinx Virtex-II FPGA SEE Sensitivities to Protons and Heavy Ions", IEEE Transactions on Nuclear Science, vol. 51, No. 5, October 2004

[LER06] Lee W. Lerner and Charles E. Stroud "An Architecture for Fail-Silent Operation of FPGAs and Configurable SoCs", Dept. of Electrical and Computer Engineering, Auburn University, Auburn, AL, USA, Proc. International Conf. on Embedded Systems and Applications, pp. 176-182, 2006

[LES05] A. Lesea, S. Drimer, J. J. Fabula, C. Carmichael, and P. Alfke, "The Rosetta Experiment: Atmospheric Soft Error Rate Testing in Differing Technology FPGAs", IEEE Transactions on device and materials reliability, VOL. 5, NO. 3, september 2005

[LEV05] R. Leveugle, « A new approach for early dependability evaluation based on formal property checking and controlled mutations », IEEE International On-Line Testing Symposium, 2005.

[MAY79] T. C. May and M. W. Woods, "Alpha-particle-induced soft errors in dynamic memories" IEEE Transactions on Electronic Devices, vol. 26, February 1979.

[MIL06] Florent Miller, « Etude expérimentale et théorique des effets d'un faisceau laser pulsé sur les composants électronique et comparaison avec les événements singuliers induits par l'environnement radiatif naturel », Université de Montpellier II, Thèse soutenue en février 2006

[NASA99] J. Barth, "The Radiation Environment", NASA publication, 1999.

[NOR98] E. Normand, "Single Event Effects in Avionics", Boeing Radiation Effects Lab, December 1998

[PAT98] Xilinx, US5844844A1, "FPGA memory element programmably triggered on both clock edges"

[PAT04] Xilinx, EP1489745 A2, "FPGA lookup table with high speed read decoder"

[PAT06] Xilinx, US Patent 7,053,654 B1

[REB02] M. Rebaudengo, M. Sonza Reorda, M. Violante, "Simulation-based analysis of SEU effects on SRAM-based FPGAs", Politecnico di Torino, Dipartimento di Automatica e Informatica Torino, Italy, 2002

[RIC87] A.K. Richter et al., "Simulation of Heavy Charged Particle Tracks Using Focused Laser Beams", IEEE Transactions on Nuclear Science, vol. 34, No. 6, p. 1234, 1987

[ROC07] G. Gasiot, D. Giot and P. Roche, "Multiple Cell Upsets as the Key Contribution to the Total SER of 65nm CMOS SRAMs and its Dependence on Well Engineering", IEEE Nuclear and Space Radiation Effects Conference, July 23-27, 2007

[SAI98] F. Saigné, "Une nouvelle Approche de la Selection des Composants de type MOS pour l'Environnement Radiatif Spatial", Thèse de Doctorat, Université Montpellier II, 1998

[SEE04] G.Swift, « Xilinx single event effects, 1st consortium report, Virtex-II static SEU characterization », NASA, JPL, Xilinx, 2004

[SEX03] F. W. Sexton, "Destructive Single-Event Effects in Semiconductor Devices and ICs", IEEE Transactions on Nuclear Science, vol. 50, No. 3, p. 603, 2003

[STAS-88] W.J. Stapor et al., "Charge Collection in Silicon for Ions of Different Energy but Same Linear Energy Transfer (LET)", IEEE Trans. Nucl. Sci., vol. 35, No. 6, p. 1585, 1988

[STE07] L. Sterpone, M. Violante, R. Harboe Sorensen, D. Merodio, F. Sturesson, R. Weigand, S. Mattsson, "Experimental Validation of a Tool for Predicting the Effects of Soft Errors in SRAM-based FPGAs" IEEE Transactions on Nuclear Science, Vol. 54, No. 6, Part 1, December 2007, pp. 2576-2583

[SWI04] Gary M. Swift, Sana Rezgui, Jeffrey George, Carl Carmichael, Matthew Napier, John Maksymowicz, Jason Moore, Austin Lesea, R. Koga, and T. F. Wrobel, "Dynamic Testing of Xilinx Virtex-II Field Programmable Gate Array (FPGA) Input/Output Blocks (IOBs)", IEEE Transactions on Nuclear Science, December 2004

[TAB92] A.Taber and E. Normand, « Investigation and characterization of SEU effects and hardening strategies in avionics », IBM Rep.92-L75-020-2, 1992.

[TAB93] A.Taber and E. Normand, "Single event upset in avionics", IEEE Transactions on Nuclear Science, vol NS-40, no. 2, pp. 120-126, 1993.

[VIO07] M. Violante, M. Sonza Reorda, L. Sterpone, A. Manuzzato, S. Gerardin, P. Rech, M. Bagatin, A. Paccagnella, C. Andreani, G. Gorini, A. Pietropaolo, G. Cardarilli, A. Salsano, S. Pontarelli, C. Frost, "A new hardware/software platform for the soft-error sensitivity evaluation of FPGA devices," LATW2007: 8th IEEE Latin American Test Workshop, Cuzco, Peru, March 11-14, 2007

[VIO03] M. Violante, M. Ceschia, M. Sonza Reorda, A. Paccagnella, P. Bernardi, M. Rebaudengo, D. Bortolato, M. Bellato, P. Zambolin, and A. Candelori," Analyzing SEU Effects in SRAM-based FPGAs", IEEE International On-Line Testing Symposium conference, 2003

[WIR03] Michael Wirthlin, Eric Johnson, and Nathan Rollins, Michael Caffrey and Paul Graham, "The reliability of PFPGA circuit designs in the presence of radiation induced configuration upsets", IEEE Symposium on Field-Programmable Custom Computing Machines, April 2003

[XIL1] DS003 - "Virtex™ 2.5 V Field Programmable Gate Arrays", April, 2001

[XIL2] DS031 (v3.4) - "Virtex-II Platform FPGAs: Complete Data Sheet", March 1, 2005.

[XIL3] DS083 - "Virtex-II Pro and Virtex-II Pro X Platform FPGAs: Complete Data Sheet", October 10, 2005

[XIL4] DS112 - "Virtex-4 Family Overview", February 2006.

[XIL5] UG002 - "Virtex-II Platform FPGAs: user guide", March 25, 2005.

[XILV5] UG190 (v4.5) « Virtex 5 user guide », January 9, 2009

[ZIE79] J. F. Ziegler and W. A. Lanford, "The effect of cosmic rays on computer memories" Science, vol. 206, p. 776, 1979.

[ZIE96] J. F. Ziegler et al., "IBM experiments in soft fails in computer electronics (1978-1994)," IBM Journal of Research and Development, vol. 40, no. 1, pp. 3-18, January 1996.

Publications durant la thèse

Conférences

[RAD07] A. Bocquillon, G. Foucard, F. Miller, N. Buard, R. Leveugle, C. Daniel, S. Rakers, T. Carriere, V. Pouget, R. Velazco, “Highlights of laser testing capabilities regarding the understanding of SEE in SRAM Based FPGAs”, *Proceedings of Radiation And its Effects on Components and Systems (RADECS'07)*, Deauville, Septembre 2007

[DCI08] G. Foucard, P. Peronnard, R. Velazco, J.B. Ferron, A. Douin, V. Pouget, A. Bocquillon, F. Miller, G. Berger, F. Charlier, F. Boldrin, “Methodologies and Tools for the evaluation of the sensitivity to radiation of SRAM-based FPGAs”, *Conference on Design of Circuits and Integrated Systems*, Grenoble 2008

[RAD09] A. Bocquillon, “Contribution to a methodology for multi-scale SRAM-Based FPGA fault injection”, *RADFAC'09*, Avril 2009

RESUME DE LA THESE EN FRANÇAIS

Ce travail contribue à établir une méthode de test permettant de déterminer l'impact des radiations naturelles sur le fonctionnement de circuits intégrés de type FPGA SRAM-Based. L'étude des erreurs potentielles liées aux événements singuliers ou multiples ayant lieu dans la mémoire de configuration sera faite à l'aide d'expériences d'injection de fautes réalisées avec un équipement laser. Il s'appuie sur une présentation du contexte scientifique ainsi qu'une description de l'architecture complexe des FPGA SRAM-Based et des moyens de tests usuels. Des expériences d'injection de fautes à l'aide d'un laser sont menées sur quatre FPGA SRAM-based afin de réaliser des tests statiques de la mémoire de configuration et de trouver les liens avec le fonctionnement de l'application. Elles révèlent ainsi l'organisation et la sensibilité des cellules SRAM de configuration. Des tests dynamiques en accélérateur de protons permettent de définir des critères de criticité des bits de configuration en fonction de leur impact sur l'application. Un outil de prédiction du taux d'erreur critique a été développé et validé à partir de cette classification.

TITRE DE LA THESE EN ANGLAIS

On the evaluation of the sensitivity of SRAM-Based FPGA to errors due to natural radiation environment.

RESUME DE LA THESE EN ANGLAIS

This work aims at designing a test methodology to analyze the effect of natural radiation on FPGA SRAM-based chipsets. Study of likely errors due to single or multiple events occurring in the configuration memory will be based on fault-injection experiments performed with laser devices. It relies on both a description of scientific background and a description of complex architecture of FPGA SRAM-Based and usual testing apparatus. Fault-injection experiments with laser are conducted on several classes of components in order to perform static tests of the configuration memory and identify the links with the application. It shows the organization and sensitivity of SRAM configuration cells. Criticality criteria for configuration bits have been specified following dynamic tests in protons accelerator, in regard to their impact on the application. From this classification was developed a predicting tool for critical error rate estimation.

MOTS-CLES

Basculement de bits, FPGA, circuits complexes, environnement radiatif naturel, laser

INTITULE ET ADRESSE DU LABORATOIRE

Laboratoire TIMA, 46 rue Félix Viallet, 38031 Grenoble Cedex, France

ISBN : 978-2-84813-139-9