



**HAL**  
open science

# Caractérisation de MOSFETs de puissance cyclés en avalanche pour des applications automobiles micro-hybrides

Beatrice Bernoux

► **To cite this version:**

Beatrice Bernoux. Caractérisation de MOSFETs de puissance cyclés en avalanche pour des applications automobiles micro-hybrides. Micro et nanotechnologies/Microélectronique. INSA de Toulouse, 2010. Français. NNT: . tel-00509151

**HAL Id: tel-00509151**

**<https://theses.hal.science/tel-00509151>**

Submitted on 1 Jan 2014

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



# THÈSE

En vue de l'obtention du

## DOCTORAT DE L'UNIVERSITÉ DE TOULOUSE

Délivré par *L'Institut National des Sciences Appliquées de Toulouse*  
Discipline ou spécialité : *Matériaux, Technologies et Composants de l'Electronique*

---

Présentée et soutenue par *Béatrice BERNOUX*  
Le 31 mars 2010

**Titre :** *Caractérisation de MOSFETs de puissance cyclés en avalanche pour des applications automobiles micro-hybrides.*

---

### JURY

<i>Président :</i>	<i>Augustin MARTINEZ</i>	<i>Professeur-INSA Toulouse</i>
<i>Rapporteurs :</i>	<i>Zoubir KHATIR</i>	<i>Directeur de recherche-INRETS</i>
	<i>Eric WOIRGARD</i>	<i>Professeur-Université Bordeaux 1</i>
<i>Examineur :</i>	<i>Laurent DUPONT</i>	<i>Chargé de recherche-INRETS</i>
<i>Directeurs :</i>	<i>Jean-Marie DORKEL</i>	<i>Professeur-INSA Toulouse</i>
	<i>Emmanuel SCHEID</i>	<i>Chargé de recherche-LAAS CNRS</i>
<i>Invités :</i>	<i>René ESCOFFIER</i>	<i>Freescale Semiconducteurs</i>
	<i>Alain DERAM</i>	<i>Freescale Semiconducteurs</i>

---

**Ecole doctorale :** *Génie Electrique, Electronique et Télécommunications (GEET)*  
**Unité de recherche :** *Laboratoire d'Analyse et d'Architecture des Systèmes (LAAS CNRS)*  
**Directeur(s) de Thèse :** *Jean-Marie DORKEL / Emmanuel SCHEID*



*A ma famille*



## Remerciements

Les travaux de recherche présentés dans ce mémoire ont été effectués dans le cadre d'une convention CIFRE entre Freescale Semiconducteurs et le Laboratoire d'Analyse et d'Architecture des Systèmes (LAAS) du Centre National de la Recherche Scientifique (CNRS), je tiens donc avant tout à remercier ces deux établissements.

Ce travail a été encadré par Messieurs Jean-Marie DORKEL et Emmanuel SCHEID du LAAS CNRS, je veux donc les remercier pour leur savoir faire, leur disponibilité scientifique et pour leurs conseils en tant que directeurs de thèse.

Je remercie également les membres du jury : Mr Zoubir KHATIR de l'INRETS et Mr Eric WOIRGARD de l'IMS pour avoir accepté de participer à mon jury de thèse en tant que rapporteurs ; ainsi que les examinateurs de ce jury Messieurs Augustin MARTINEZ (LAAS CNRS) et Laurent DUPONT (INRETS).

Je souhaite particulièrement remercier mes collègues de la société Freescale Semiconducteurs à Toulouse. En premier lieu Mr Alain DERAM, merci de m'avoir accueilli au sein du groupe de recherche TSO sur les composants de puissance et pour m'avoir permis d'avoir une vision globale du développement d'un projet au niveau technique comme au niveau humain.

Je tiens également à remercier les autres membres de l'équipe TSO, tout d'abord René ESCOFFIER qui m'a coaché durant ces 3 années avec sa bonne humeur, sa patience et ses séances de « brainstormings ». Merci aussi à Pierre JALBAUD qui m'a aidé pour la construction des bancs de test, pour les mesures et qui a dû me supporter en tant que binôme de bureau ; à Mr Jean-Michel REYNES pour son aide et pour m'avoir initié au monde de la propriété intellectuelle ; à Mr Evgueniy STEFANOV l'expert en simulation pour sa vision physique des phénomènes et pour les discussions du soir, et enfin à Mme Ivana DERAM pour sa bonne humeur et sa patience. Merci aussi aux autres équipes de Freescale qui m'ont permis d'avancer d'une façon ou d'une autre dans mon travail je pense tout particulièrement :

 Au personnel du laboratoire d'analyse de production : B. FORGERIT, J-M. MORIN et A. LIUTO

 Au personnel de production : C. ROQUES, C. RIOM, P. MAZILIER, F. COADOU

📖 A l'équipe d'assemblage : F. BABOU et J-P CAILLABA

📖 Au personnel du laboratoire d'analyse de défaillance : Y. WEBER, T. ZIRILI, P. VIALA

Je tiens aussi à exprimer ma reconnaissance à l'équipe Intégration de Systèmes de Gestion de l'Energie (ISGE) du LAAS en particulier à Mme Marise BAFLEUR responsable du groupe, à Catherine COURET et Claude LAFFORE qui m'ont beaucoup aidé pour toutes les démarches administratives, à Jean-Baptiste SAUVEPLANE pour ses conseils et son aide face au logiciel de simulation ANSYS, à Patrick TOUNSI pour m'avoir permis d'utiliser la caméra thermique et enfin à Pierre ALOISI et son immense savoir.

Je souhaite aussi adresser ma sympathie et mon amitié aux anciens et futurs doctorants en premier lieu Yann WEBER et Frédérique pour avoir été mes binômes de café et pour m'avoir soutenue dans les moments difficiles, Amaury, Cédric, Christian, Dariga, Emilie, Gaëtan, Guillaume, Jean-Baptiste, Loïc, Stéphane, Yuan, ...

Merci aussi à mes amis de toujours les patates de Tournefeuille, à la team TD2, et aux poulettes de l'INSA. Last but not least, je dédie ce manuscrit à mes parents, à ma sœur et à Julien qui m'ont soutenue, supportée et sans qui je ne serais pas arrivée jusqu'ici.

## Liste des symboles

$BV_{DSS}$	Tension de claquage Drain Source du MOSFET (V)
$C$	Capacité thermique ( $\text{W.s.g}^{-1}.\text{°C}^{-1}$ )
$C_{DS}$	Capacité Drain Source (F)
$C_{GS}$	Capacité Grille Source (F)
$C_{GD}$	Capacité Grille Drain (F)
$C_{ox}$	Capacité de l'oxyde de grille (F)
$E$	Energie (J)
$E_G$	Energie de gap du Silicium (eV)
$e_{sub}$	Epaisseur du substrat (cm)
$\epsilon_{Si}$	Permittivité du silicium ( $\text{F.m}^{-1}$ )
$\Phi_F$	Potentiel de Fermi (V)
$\Phi_{ms}$	Potentiel Métal-Semiconducteur (V)
$h$	Profondeur de jonction (cm)
$H$	Epaisseur de la couche épitaxiée (cm)
$I_{av}$	Courant d'avalanche (A)
$I_D$	Courant de Drain du MOSFET (A)
$I_{DSS}$	Courant de fuite entre le Drain et la Source du MOSFET (A)
$I_{GSS}$	Courant de fuite entre le Drain et la Source du MOSFET (A)
$k$	Constante de Boltzmann ( $\text{J.K}^{-1}$ )
$K$	Conductivité thermique ( $\text{W.cm}^{-1}.\text{°C}^{-1}$ )
$l$	Largeur du caisson P (cm)
$L$	Inductance (H)
$N_A$	Concentration en atomes accepteurs ( $\text{cm}^{-3}$ )
$N_D$	Concentration en atomes donneur ( $\text{cm}^{-3}$ )
$n_i$	Concentration intrinsèque à l'équilibre thermodynamique ( $\text{cm}^{-3}$ )
$P$	Puissance (W)
$P_0$	Puissance maximale pendant l'avalanche (W)
$\Psi$	Potentiel de réduction de mobilité transversale (V)
$q$	Charge de l'électron (C)
$Q_{SS}$	Charges fixes dans l'oxyde et à l'interface oxyde/semiconducteur (C)
$R_a$	Résistance d'accès ( $\Omega$ )
$R_{ch}$	Résistance du canal d'inversion ( $\Omega$ )

$R_d$	Résistance de la zone de drift ( $\Omega$ )
$R_{DSon}$	Résistance à l'état passant du MOSFET ( $\Omega$ )
$R_{N^+}$	Résistance de la source $N^+$ ( $\Omega$ )
$R_{sub}$	Résistance du substrat ( $\Omega$ )
$R_{th}$	Résistance thermique ( $^{\circ}C.W^{-1}$ )
$\rho$	Densité du silicium ( $g.cm^{-3}$ )
$\rho_r$	Résistivité ( $\Omega.cm$ )
$T$	Température ( $^{\circ}C$ )
$V_{DD}$	Tension d'alimentation (V)
$V_{DS}$	Tension Drain Source (V)
$V_{FB}$	Tension de bandes plates (V)
$V_{GS}$	Tension Grille Source (V)
$V_{GSth}$	Tension de seuil du MOSFET (V)
$\mu_n$	Mobilité des électrons ( $cm^2.s^{-1}.V^{-1}$ )
$W$	Longueur développée du canal (cm)
$Z$	Largeur développée du canal (cm)

# Table des matières

Remerciements.....	5
Liste des symboles .....	5
Table des matières .....	9
Introduction générale.....	13
<b>Chapitre I: Etat de l'art .....</b>	<b>17</b>
<b>I.1. Contexte de l'étude .....</b>	<b>17</b>
I.1.1. Les différents niveaux d'hybridation automobile.....	18
I.1.1.1. L'hybride léger ou Micro-hybride.....	18
I.1.1.2. Le semi-hybride ou Mild-hybride .....	20
I.1.1.3. L'hybride intégral ou Full-hybride .....	20
I.1.2. Gestion de l'énergie dans les systèmes hybrides légers .....	21
I.1.2.1. L'onduleur triphasé.....	22
I.1.2.2. Choix du transistor de puissance .....	22
<b>I.2. Le transistor MOSFET de puissance faible tension .....</b>	<b>24</b>
I.2.1. Principe de fonctionnement d'un transistor MOSFET de puissance .....	24
I.2.1.1. L'état passant.....	25
I.2.1.2. L'état bloqué .....	25
I.2.1.3. Les terminaisons.....	25
I.2.2. Les différents MOSFETs de puissance .....	27
I.2.2.1. VDMOS :.....	27
I.2.2.2. Autres technologies MOS de puissance.....	28
I.2.3. Comportement statique des transistors NMOS.....	29
I.2.3.1. Tension de seuil $V_{GStH}$ .....	29
I.2.3.2. Courant drain source $I_{DS}$ .....	30
I.2.3.3. Résistance à l'état passant $R_{DSon}$ .....	31
I.2.3.4. Tension de blocage $BV_{DSS}$ .....	33
I.2.4. Comportement dynamique .....	33
I.2.5. Impact de la température sur les paramètres électriques .....	34
I.2.5.1. Tension de seuil $V_{GStH}$ .....	34
I.2.5.2. $R_{DSon}$ .....	35
I.2.5.3. $BV_{DSS}$ .....	35
I.2.5.4. Les courants de fuite .....	35
I.2.6. Le MOSFET en avalanche .....	35
I.2.6.1. L'avalanche.....	35
I.2.6.2. Le test UIS classique .....	36
I.2.6.3. Température maximale pendant l'UIS .....	37
I.2.7. Analyse thermique des semiconducteurs de puissance .....	38
I.2.7.1. Régime stationnaire .....	39
I.2.7.2. Régime transitoire.....	39
I.2.7.3. Composants réels .....	40
<b>I.3. Dégradations et modes de défaillances des semiconducteurs dans les modules de puissance .....</b>	<b>41</b>
I.3.1. Niveau silicium.....	41

1.3.1.1.	L'oxyde de grille.....	41
1.3.1.2.	La métallisation de surface.....	41
1.3.2.	Niveau boîtier.....	43
1.3.2.1.	Les fils de connexion.....	43
1.3.2.2.	Les brasures.....	45
<b>Chapitre II:</b>	<b>Cyclage en avalanche d'un MOSFET .....</b>	<b>49</b>
<b>II.1.</b>	<b>Présentation du MOSFET étudié .....</b>	<b>49</b>
II.1.1.	La technologie HDTMOS développée par Freescale.....	49
II.1.1.1.	Design de la cellule élémentaire.....	49
II.1.1.2.	Métallisation de source épaisse.....	53
II.1.1.3.	Passivation.....	54
II.1.1.4.	Capteur de température intégré : la diode en polysilicium.....	55
II.1.1.5.	Compatibilité du MOSFET avec l'assemblage dans le module.....	56
II.1.2.	Véhicule de test utilisé.....	57
<b>II.2.</b>	<b>Appareils et méthodes de mesure des paramètres électriques statiques.....</b>	<b>58</b>
II.2.1.	Appareils de mesure.....	58
II.2.1.1.	HP 4142B.....	58
II.2.1.2.	Tektronix 371A.....	58
II.2.2.	Paramètres électriques statiques.....	58
II.2.2.1.	Mesures à faible courant à température ambiante.....	59
II.2.2.2.	$R_{DSon}$ à température ambiante.....	61
II.2.2.3.	Récapitulatif des caractéristiques électriques statiques.....	62
<b>II.3.</b>	<b>Cyclage en avalanche du HDTMOS.....</b>	<b>63</b>
II.3.1.	Principe du test.....	63
II.3.2.	Equipement pour le cyclage.....	63
II.3.3.	Mesure de la température pendant le cyclage.....	66
II.3.3.1.	Mesure par la diode intégrée en polysilicium.....	66
II.3.3.2.	Mesure de la température par la diode structurelle.....	67
II.3.3.3.	Température mesurée à l'aide de la caméra infrarouge.....	70
II.3.3.4.	Température mesurée à l'aide d'un thermocouple.....	74
II.3.3.5.	Corrélation entre les différentes températures.....	75
<b>II.4.</b>	<b>Conclusion .....</b>	<b>77</b>
<b>Chapitre III:</b>	<b>Effets du mode d'avalanche sur le MOSFET .....</b>	<b>79</b>
<b>III.1.</b>	<b>Tenue en avalanche.....</b>	<b>79</b>
III.1.1.	Influence du courant sur la durée de vie.....	79
III.1.2.	Température maximale pendant l'avalanche.....	80
III.1.2.1.	Mesure de la température maximale.....	81
III.1.2.2.	Calcul du $\Delta T$ .....	82
III.1.2.3.	$\Delta T$ obtenu par simulations numériques.....	83
III.1.3.	Impact des dimensions de la puce.....	86
III.1.4.	Impact de l'assemblage.....	87
<b>III.2.</b>	<b>Modes de défaillances possibles .....</b>	<b>88</b>
<b>III.3.</b>	<b>Suivi des différents paramètres pendant le test UIS.....</b>	<b>89</b>
III.3.1.	$BV_{DSS}$ , $I_{GSS}$ , $I_{DSS}$ , $V_f$ , $V_{GSth}$ .....	89
III.3.2.	$R_{DSon}$ .....	90
<b>III.4.</b>	<b>Introduction de nouvelles mesures .....</b>	<b>93</b>

III.4.1.	Modèle de la mesure de $R_{DSon}$ .....	93
III.4.2.	$R_T$ .....	95
III.4.3.	$R_{DSon2}$ .....	97
III.4.4.	Extraction des différentes résistances .....	98
<b>III.5.</b>	<b>Conclusion .....</b>	<b>100</b>
<b>Chapitre IV:</b>	<b> Vieillessement de l'électrode source du MOSFET .....</b>	<b>103</b>
<b>IV.1.</b>	<b> Mise en évidence du vieillissement du métal source .....</b>	<b>103</b>
IV.1.1.	Rayons X.....	103
IV.1.2.	Observations.....	104
IV.1.2.1.	<i>Observations optiques .....</i>	<i>104</i>
IV.1.2.2.	<i>Observations en microscopie électronique à balayage .....</i>	<i>105</i>
IV.1.3.	Coupes verticales. ....	106
<b>IV.2.</b>	<b> Impact de l'assemblage sur le vieillissement du métal .....</b>	<b>108</b>
IV.2.1.	Taille des fils .....	108
IV.2.2.	Brasure face arrière .....	109
IV.2.3.	Passivation.....	110
<b>IV.3.</b>	<b> Influence de la température .....</b>	<b>111</b>
<b>IV.4.</b>	<b> Influence du type de métal source .....</b>	<b>112</b>
IV.4.1.	Ti/TiN.....	112
IV.4.2.	Ti/TiN+ARC TiN.....	112
<b>IV.5.</b>	<b> Epaisseur de la puce.....</b>	<b>113</b>
IV.5.1.	Amincissement.....	113
IV.5.1.1.	<i>Le polissage mécano-chimique (CMP).....</i>	<i>114</i>
IV.5.1.2.	<i>Le procédé Taiko développé par Disco .....</i>	<i>115</i>
IV.5.2.	Mesure de planéité .....	116
IV.5.3.	Impact de l'amincissement sur la chute de $R_{DSon}$ pendant l'avalanche répétitive .	118
<b>IV.6.</b>	<b> Structures de tests.....</b>	<b>119</b>
IV.6.1.	Dessin des structures de test.....	119
IV.6.2.	Élévation de température dans les structures tests .....	122
IV.6.2.1.	<i>Equations thermodynamiques.....</i>	<i>122</i>
IV.6.2.2.	<i>Equation de Schafft.....</i>	<i>122</i>
IV.6.2.3.	<i>Méthode résistométrique .....</i>	<i>122</i>
IV.6.3.	Caractérisation en température.....	123
IV.6.4.	Fatigue des barreaux d'aluminium $\Delta T=f(I)$ .....	123
IV.6.5.	Observations.....	125
IV.6.6.	Evolution de la résistance.....	127
<b>IV.7.</b>	<b> Conclusion .....</b>	<b>129</b>
<b>Conclusion générale .....</b>	<b>131</b>	
<b>Bibliographie.....</b>	<b>135</b>	
<b>ANNEXE .....</b>	<b>141</b>	



## Introduction générale

Les principaux acteurs du domaine des transports travaillent aujourd'hui sur la réduction de la consommation d'énergie fossile afin de diminuer les coûts ainsi que les émissions polluantes. Cette diminution de la consommation passe par un allègement et une miniaturisation des systèmes. Pour y parvenir une des solutions est l'utilisation de l'énergie électrique de façon partielle ou totale. En plus de diminuer l'impact sur l'environnement, la multiplication des systèmes électriques embarqués permet d'améliorer le confort des passagers, la sécurité, la maîtrise de l'énergie, et le coût. Cette énergie électrique est de plus en plus présente dans les domaines de l'aéronautique, du naval et de l'automobile.

◆ Secteur aéronautique : l'évolution vers un avion plus électrique passe par le remplacement progressif de structures à énergie hydraulique ou pneumatique par des structures à énergie électrique bien plus simples à maîtriser et moins encombrantes. Ces systèmes électriques sont aujourd'hui présents dans les inverseurs de poussée, sur les actionneurs de commande de vol ou encore dans les systèmes de redondance au niveau du freinage.

◆ Secteur naval : l'utilisation de l'énergie électrique dans les systèmes de propulsion principaux et auxiliaires à la place des turbines à vapeur et des moteurs diesels permet de diminuer le volume, le bruit et d'améliorer rendement et flexibilité.

◆ Secteur automobile : c'est le domaine où la migration vers l'électrique est la plus visible avec le développement de la famille des voitures hybrides associant motorisation thermique et traction électrique. En effet aujourd'hui grand nombre de constructeurs proposent des véhicules avec différents niveaux d'hybridation du micro-hybride à la voiture entièrement électrique.

La gestion de cette énergie électrique est faite par des dispositifs de l'électronique de puissance composés de transistors de puissance. Dans le domaine de l'électronique embarquée, en plus des contraintes mécaniques et des contraintes liées à la puissance électrique, ces transistors subissent de fortes contraintes environnementales liées à la température, à l'humidité ou encore aux vibrations. Or la fiabilité de l'électronique de puissance doit être maximale non seulement pour garantir la sécurité des systèmes et des personnes mais aussi pour diminuer les coûts de maintenance. C'est pourquoi aujourd'hui un grand nombre de projets de recherche sont consacrés à l'étude de la fiabilité des modules de puissance et des composants semiconducteurs qui les composent.

Les travaux de recherche présentés dans ce mémoire dans le cadre d'un contrat CIFRE entre Freescale Semiconducteurs Toulouse et le LAAS CNRS se situent dans ce contexte. En effet, Freescale Semiconducteurs a développé une technologie VDMOS 25V appelée HDTMOS spécifique à l'application alerno-démarreur (Stop & Start) pour des voitures dites micro-hybrides. Pour cette application le composant est soumis à une succession d'états passant et bloqué. A chaque commutation à cause des inductances des fils, le transistor passe en avalanche à fort courant et aux températures d'un environnement moteur. L'objet de cette thèse est le développement et la caractérisation de MOSFETs de puissance cyclés en avalanche pour ces applications automobiles micro hybrides.

Le premier chapitre introduit le contexte des travaux effectués et un état de l'art sur les MOSFETs de puissance. Etant donné que les composants étudiés sont soumis à de forts courants et de hautes températures une étude des dégradations et modes de défaillances des semiconducteurs dans les modules de puissance est proposée.

Le deuxième chapitre est consacré au MOSFET conçu à Freescale Semiconducteurs et aux différentes étapes de développement. Aussi la conception du banc de test pour reproduire l'avalanche répétitive de l'application ainsi que différentes méthodes de mesure de température sont présentées.

Le troisième chapitre porte sur les différents paramètres pouvant impacter la durée de vie du transistor pendant le cyclage en avalanche et sur les conséquences de ce mode de fonctionnement sur les performances électriques du composant.

Enfin dans le dernier chapitre, le vieillissement de l'électrode source du MOSFET pendant l'avalanche sera mis en évidence. Différents essais seront menés afin d'étudier et de limiter ce vieillissement. Ce chapitre se terminera sur la conception de structures de test pour comprendre les phénomènes de fatigue observés.

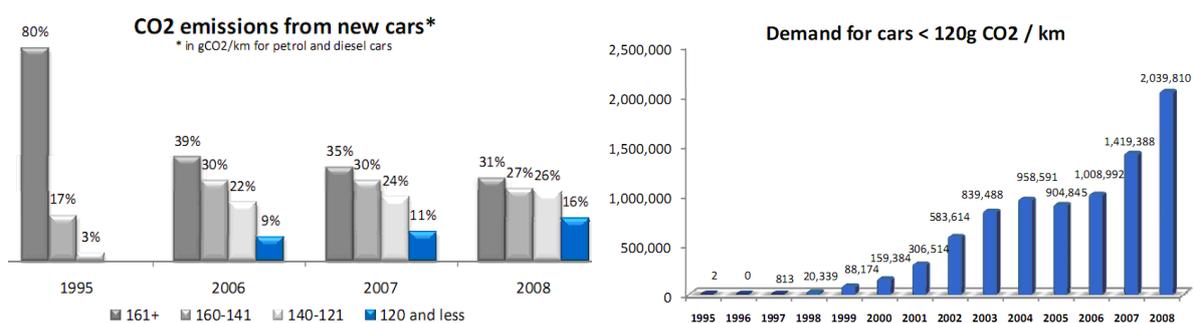




# Chapitre I: Etat de l'art

## I.1. Contexte de l'étude

En 1997 la Communauté Européenne a ratifié le protocole de Kyoto et s'est ainsi engagée à réduire ses émissions de gaz à effet de serre responsables du changement climatique, de 8% entre 1990 et 2012. En Europe les voitures sont responsables à hauteur de 12% de ces émissions de gaz à effet de serre. En décembre 2008 le Parlement Européen s'est prononcé pour passer les émissions moyennes de CO<sub>2</sub> de l'ensemble du parc automobile de 160g à 120g de CO<sub>2</sub>/km d'ici 2012. Afin de remplir ces objectifs il est nécessaire de développer des véhicules économes en consommation d'énergie fossile et en émission de gaz polluants. Plusieurs types de technologies peuvent répondre à ces exigences, citons par exemple le véhicule hybride, le véhicule tout électrique, le moteur à hydrogène ou encore la pile à combustible couplée à un moteur électrique. La technologie la plus avancée pour atteindre ces objectifs en 2012 est la technologie hybride c'est pourquoi un bon nombre de constructeurs en collaboration avec des équipementiers automobiles se sont lancés dans le développement de cette technologie afin de pouvoir entrer en production de masse d'ici 2012. Cette technologie de véhicules nécessite le développement de systèmes de gestion d'énergie qui utilisent les dispositifs de l'électronique de puissance. Comme pour toutes les applications de traction cette électronique de puissance se doit d'être extrêmement fiable car elle sera soumise à de fortes contraintes thermiques et à de très fortes puissances électriques.



**Figure I-1: Emission en CO<sub>2</sub> des nouveaux véhicules particuliers en Europe. Source ACEA.**

L'étude présentée dans ce mémoire porte sur le fonctionnement et le vieillissement d'un transistor MOSFET de puissance dans une application automobile micro-hybride particulière.

Ce premier chapitre présente les différents types de véhicules hybrides existants à ce jour ainsi que le système de conversion d'énergie pour les applications micro-hybrides. Une

partie est ensuite consacrée à la présentation du MOSFET de puissance et au mode de fonctionnement particulier imposé par l'application micro-hybride étudiée ici. Enfin la dernière partie de ce chapitre sera consacrée à la présentation des différents modes de dégradations d'un module de puissance pour les applications de traction.

### **I.1.1. Les différents niveaux d'hybridation automobile**

Un véhicule hybride est un véhicule utilisant deux modes de génération d'énergie, aujourd'hui la technologie d'hybridation la plus mature est celle qui associe un moteur thermique à une motorisation électrique on parle dans ce cas d'hybridation thermique/électrique.

Le développement de ce type de véhicule s'est intensifié depuis 1997 date de sortie de la première Toyota Prius hybride. A cette époque les véhicules hybrides étaient principalement classés selon leur type d'hybridation: série ou parallèle. L'hybridation de type série possède un moteur thermique qui n'est pas directement lié à la transmission, ce moteur va générer de l'électricité grâce à l'alternateur qui va ensuite recharger la batterie et cette énergie sera utilisée par le moteur électrique qui transmettra le couple aux roues du véhicule. Pour l'hybridation parallèle les moteurs thermique et électrique sont directement liés à la transmission ce qui permet d'utiliser au choix moteur thermique ou électrique pour la propulsion selon la puissance à délivrer.

Aujourd'hui les véhicules hybrides thermique/électrique sont tous équipés d'un moteur thermique, d'un moteur électrique, d'un onduleur, d'une batterie, et sont classés en fonction de leur niveau d'hybridation c'est-à-dire en fonction du degré d'électrification de la gestion et du stockage de l'énergie, on parle de véhicule hybride léger, semi-hybride ou bien hybride intégral.

#### ***I.1.1.1. L'hybride léger ou Micro-hybride***

Le premier niveau d'hybridation, le micro-hybride, est le plus économique et le plus simple à implanter mais il ne permet pas d'utiliser seul le moteur électrique pour la traction du véhicule. La puissance électrique de ces systèmes est comprise entre 3kW et 5kW.

##### **I.1.1.1.1. L'alternateur-démarrreur**

Les véhicules équipés de la technologie Stop & Start n'ont plus a proprement parlé de démarreur et d'alternateur mais un alternateur-démarrreur fixé à la place de l'alternateur classique et relié au moteur par une courroie crantée. En mode moteur, la machine permet de démarrer le moteur thermique et en mode alternateur elle recharge la batterie [CHA07] [RIC07]. En plus de combiner les fonctions classiques de démarreur et de générateur de puissance électrique, ce système permet lors d'un court arrêt du véhicule (stop, feux de

signalisation, embouteillages...) de couper le moteur thermique au lieu de le faire tourner au ralenti, puis de le redémarrer lorsque l'accélérateur est enclenché ou bien lorsque la pédale de frein est relâchée. Pendant la veille du moteur, le véhicule ne consomme pas de carburant et n'émet pas de gaz polluants. Ce système permet de diminuer le bruit et les vibrations lors de l'arrêt tout en gardant d'autres fonctions telles que la radio ou la climatisation actives grâce à l'alimentation de la batterie. L'alterno-démarrreur est parfaitement compatible avec les batteries 12V actuelles.

Cette fonction permet de diminuer la consommation en cycle mixte de 6% à 10% pour un surcoût de fabrication de 200€ à 300€. Pour exemple la Citroën C3 et la Smart fortwo sont équipées de ce type d'alterno-démarrreur.

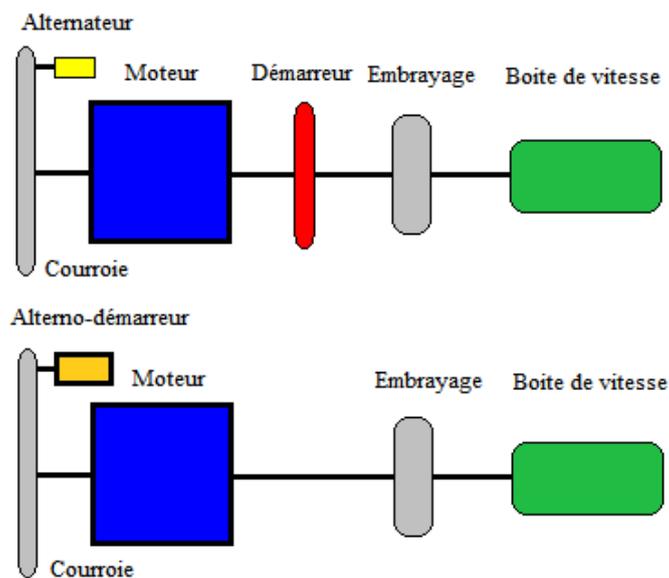


Figure I-2: a) Alternateur et démarreur séparés b) Alterno-démarrreur.

#### I.1.1.1.2. La récupération de l'énergie de freinage

Autre système entrant dans la catégorie micro-hybride: la récupération de l'énergie de freinage. Cette technologie permet lors des phases de freinage ou de décélération de recharger la batterie grâce au freinage électromagnétique qui va générer par induction un courant électrique et ainsi transformer l'énergie cinétique du véhicule en énergie électrique. Cette fonction nécessite un système de gestion du stockage de l'énergie tel que des batteries couplées à des supers capacités.

La récupération de l'énergie de freinage proposée par exemple sur la BMW Série 1 est compatible avec les batteries 12V, entraîne un surcout d'environ 500€ et permet de diminuer la consommation de 10% à 15%.

### I.1.1.2. Le semi-hybride ou Mild-hybride

En plus des systèmes présentés dans la partie micro-hybride, les véhicules dits semi-hybrides sont équipés d'un moteur électrique de 10kW à 15kW monté en série entre le moteur thermique et la transmission. Ce moteur électrique d'assistance permet de soulager le moteur thermique afin qu'il soit en mode de fonctionnement optimal c'est à dire éviter que le moteur thermique ne se mette en surconsommation en apportant le surplus de puissance nécessaire par le moteur électrique. Le surplus d'énergie électrique est stocké dans des batteries de 36V à 144V et restitué lorsqu'elle est insuffisante. Le semi-hybride permet de diminuer la taille du moteur thermique mais ne permet cependant pas de rouler en mode tout électrique. Grâce à ce système la consommation de carburant est diminuée de 12% à 20% pour un montant de 2000€. La Honda Insight est un véhicule semi-hybride

### I.1.1.3. L'hybride intégral ou Full-hybride

La technologie full-hybride est le dernier niveau d'hybridation des véhicules. Ce système intègre un moteur thermique et un moteur électrique en parallèle ce qui permet de conduire en mode entièrement électrique ou en mode thermique selon la puissance à fournir. La durée de conduite en mode électrique dépend de la capacité de la batterie. Les véhicules full-hybrides sont généralement équipés de batteries entre 200V et 500V. Grâce au moteur électrique de 30kW à 50kW, la taille du moteur thermique peut être diminuée et les économies de carburant sont de 20% à 30%. Cette technologie à un coût, environ 5000€. Le véhicule full hybride le plus répandu est la Toyota Prius.

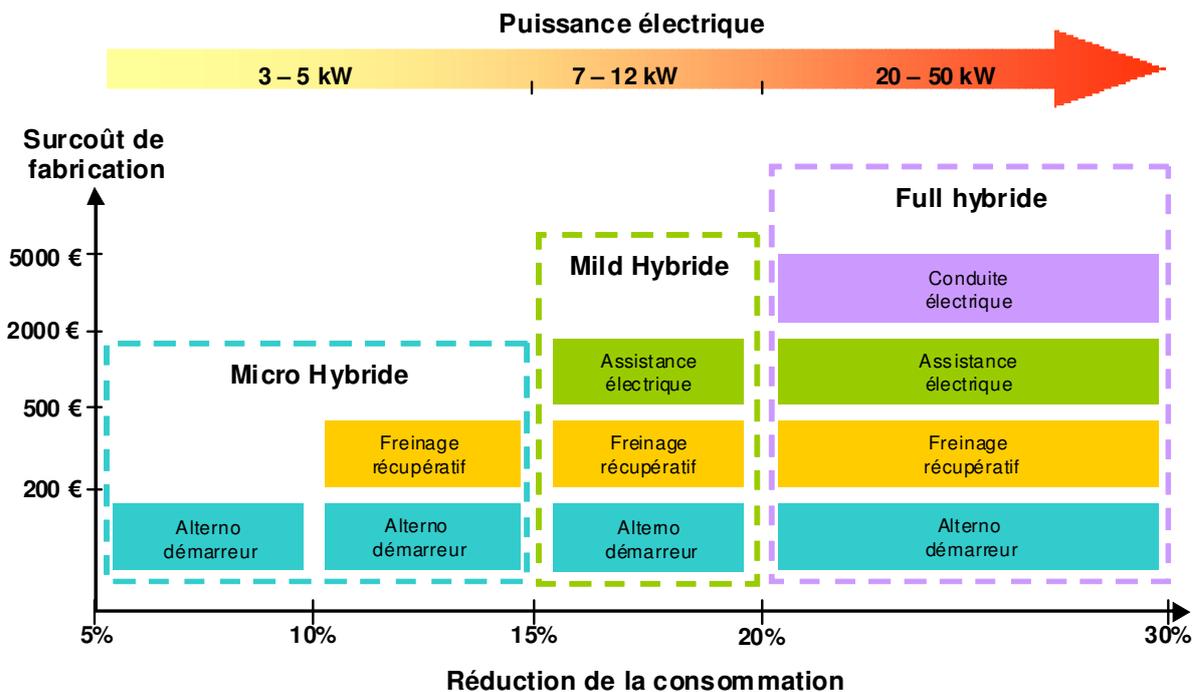


Figure I-3: Les différents niveaux d'hybridation électrique/thermique.

Tout ces véhicules hybrides thermique/électrique utilisent des dispositifs à électronique de puissance afin de gérer et convertir l'énergie du moteur et le stockage de cette énergie.

### I.1.2. Gestion de l'énergie dans les systèmes hybrides légers

Les convertisseurs sont indispensables dans la gestion de l'énergie pour l'automobile ils permettent de changer la nature d'un signal, ils peuvent par exemple transformer un signal alternatif en continu ou inversement. Dans les véhicules hybrides légers, lorsque l'alternateur-démarrateur est en mode démarreur, la conversion d'énergie est assurée par un onduleur triphasé alimenté en 12V, ce convertisseur statique va transformer l'énergie électrique continue de la batterie en énergie électrique alternative pour l'alternateur-démarrateur. Par contre lorsque l'alternateur-démarrateur est en mode alternateur pour recharger la batterie, le convertisseur va redresser les tensions de l'alternateur. Le constituant de base d'un convertisseur est le semiconducteur de puissance qui est contraint pour ce type d'application de tenir des tensions de blocage élevées, des courants directs élevés, et de résister à des régimes thermiques extrêmes. Le choix du semiconducteur de puissance se fait en fonction du mode de commande, de la tension à bloquer, de la fréquence de commutation et du courant à conduire de l'application [WEB08]. Pour des applications faibles tensions (<250V) on utilise préférentiellement des transistors MOSFETs alors que pour des tensions très importantes (>1000V) les pertes dues à la résistance à l'état passant du MOSFET sont trop élevées on utilise alors des IGBTs. Entre 250V et 1000V le choix entre ces deux composants se fait en fonction des impératifs de l'application (figure I-4).

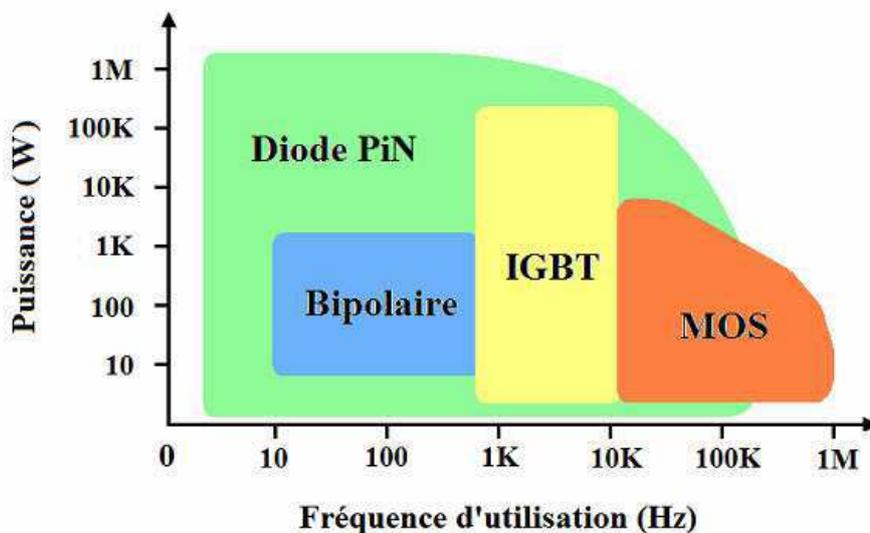


Figure I-4: Gammes d'utilisation des différents composants de puissance en fonction de la fréquence et de la puissance d'utilisation. Extrait de [WEB08].

L'étude présentée dans ce mémoire porte sur les semiconducteurs de puissance de l'onduleur triphasé de l'alternateur alimenté en 12V, onduleur composé de MOSFETs de puissance.

### 1.1.2.1. L'onduleur triphasé

Un onduleur triphasé est composé de trois bras de pont, chaque bras de pont étant lui-même constitué de deux transistors de puissance K et K' en série. Lorsque K est ouvert K' est fermé et réciproquement (figure I-5), cette complémentarité permet de définir le potentiel entre ces deux transistors et permet d'éviter le circuit ouvert ou le court-circuit de bras. Pour une application de type alternateur 12V les transistors utilisés sont des MOSFETs de puissance. Les transistors n'étant pas des interrupteurs idéaux, leur commutation n'est pas instantanée, par conséquent dans un bras de pont chaque transistor est connecté en parallèle à une diode de récupération qui permet d'assurer la continuité du courant lors de la commutation, ainsi dans un bras de pont la commutation se fait toujours entre un transistor et une diode [BUT04] (figure I-6).

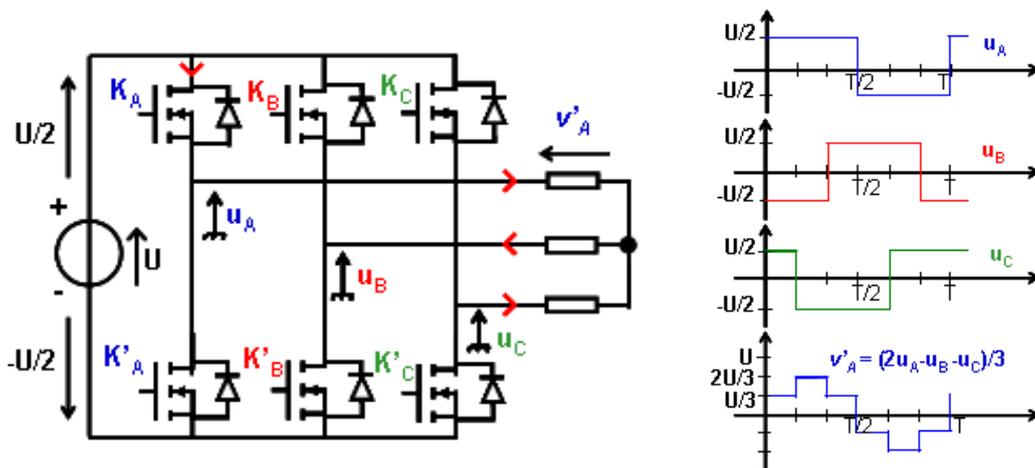


Figure I-5: L'onduleur triphasé basse tension.

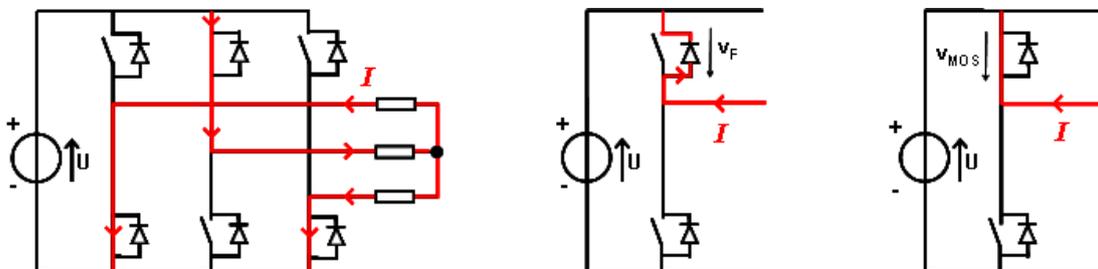


Figure I-6: Continuité du courant dans un bras de pont lors de la commutation.

### 1.1.2.2. Choix du transistor de puissance

Le problème de la diode de récupération est que pour les forts courants elle entraîne une chute de tension importante lorsqu'on commute entre deux MOSFETs d'une même

branche. Cette chute de tension entraîne une perte de puissance. Certains MOSFETs de puissance présentent une chute de tension directe inférieure à celle des diodes de récupération [VAL03]. Ces diodes peuvent donc être remplacées par les diodes structurelles des MOSFETs à condition que ces dernières présentent de bonnes performances dynamiques de blocage. En supprimant les diodes de récupération le coût du système est réduit ainsi que son volume et son poids. Les MOSFETs choisis pour l'onduleur triphasé de l'alternateur doivent pouvoir tenir la tension maximale de la batterie lorsqu'ils sont à l'état ouvert ainsi que d'éventuelles surtensions dans le réseau. Cependant afin de réduire au maximum les pertes de puissance et l'échauffement des transistors, les MOSFETs doivent présenter une faible résistance à l'état passant c'est pourquoi les MOSFETs choisis sont des MOSFETs basse tension.

En choisissant des transistors avec des tensions de blocage proches de la tension de batterie il existe un risque pour que ces transistors passent en avalanche. En effet afin de diminuer le coût de l'alternateur les capacités de filtrage ont été réduites. Par conséquent lors de chaque commutation comme la surtension due à l'inductance des fils n'est plus filtrée elle va s'ajouter à la tension de batterie bloquée par le MOSFET ouvert et provoquer l'avalanche dans ce MOSFET [BUT05]. Un autre phénomène nécessitant le fonctionnement en avalanche d'un MOSFET de l'onduleur est la déconnexion accidentelle de la batterie. Si la batterie est débranchée lors de sa recharge, la tension du réseau va fortement augmenter. En utilisant les MOSFETs faible tension de l'onduleur en avalanche, la tension est abaissée et les différents appareils reliés à la batterie sont protégés. Enfin il existe une dernière configuration qui nécessite le fonctionnement en avalanche des transistors, c'est lorsque que le moteur thermique a démarré et que le mode démarreur de l'alternateur se coupe pour passer en mode générateur de courant (alternateur). Entre ces deux modes, le système est coupé et les MOSFETs sont à l'état bloqué, cependant le fort courant résiduel inductif du démarreur doit être évacué, ceci est possible en faisant passer les MOSFETs en mode d'avalanche.

Par conséquent dans ce type d'application, le fonctionnement en avalanche du MOSFET n'est plus accidentel mais devient fonctionnel. Ce qui signifie qu'en plus des modes classiques de fonctionnement ouvert et fermé du MOSFET le composant devra assurer un troisième mode de fonctionnement qui est le mode d'avalanche. Le principe physique du MOSFET et du mode d'avalanche sont détaillés dans la partie suivante.

## I.2. Le transistor MOSFET de puissance faible tension

### I.2.1. Principe de fonctionnement d'un transistor MOSFET de puissance

Le transistor MOSFET (Metal Oxide Semiconducteur Field Effect Transistor) est un transistor MOS à effet de champ qui agit comme un interrupteur permettant de commuter entre un état passant et un état bloqué. Ce composant utilisé pour des applications de puissance doit être suffisamment robuste pour supporter de fortes tensions et conduire de forts courants. Le MOSFET est un transistor dit unipolaire car la conduction du courant se fait par un seul type de porteurs de charge, soit par les électrons (transistors NMOS) soit par les trous (transistors PMOS). La mobilité des électrons étant supérieure à celle des trous, pour les semiconducteurs de puissances on utilise préférentiellement des NMOS, c'est pourquoi dans la suite de ce mémoire tous les MOSFETs présentés seront des transistors NMOS.

Les NMOS ont une source et un drain de même type  $N^+$  séparés par une zone dopée P. Pour les MOSFETs de puissance, source et drain se trouvent généralement sur des faces opposées du cristal de silicium, le drain étant formé du substrat  $N^+$  sur lequel est épitaxiée une couche  $N^-$  dont l'épaisseur et le dopage dépendent de la tenue en tension souhaitée. La jonction  $PN^-$  n'est rien d'autre qu'une diode appelée diode structurelle qui est caractéristique des MOSFETs de puissance et qui peut apparaître dans la représentation symbolique du MOSFET de puissance vertical afin de le différencier d'un MOSFET coplanaire (figure I-7 a).

Le MOSFET est un transistor à effet de champ dont le principe est de forcer un canal semiconducteur de type P à devenir localement N grâce à un champ électrique extérieur qui va attirer les porteurs minoritaires et repousser les majoritaires. Ainsi dans cette zone d'inversion le canal permettra le passage des électrons entre source et drain. C'est une grille en silicium polycristallin, aussi appelé polysilicium, fortement dopée et isolée par une fine couche d'oxyde de la surface du cristal de silicium, qui va contrôler l'ouverture ou la fermeture du canal dans la zone P et moduler le courant dans le canal. Le transistor MOS de puissance est composé d'une cellule MOS élémentaire représentée sur la figure I-7 b répétée plusieurs milliers de fois sur le même cristal. La métallisation de source couvre toute la face supérieure de la puce de façon à ce que chaque cellule élémentaire soit mise en parallèle, ce qui permet aussi une bonne répartition de la température sur la surface de la puce.

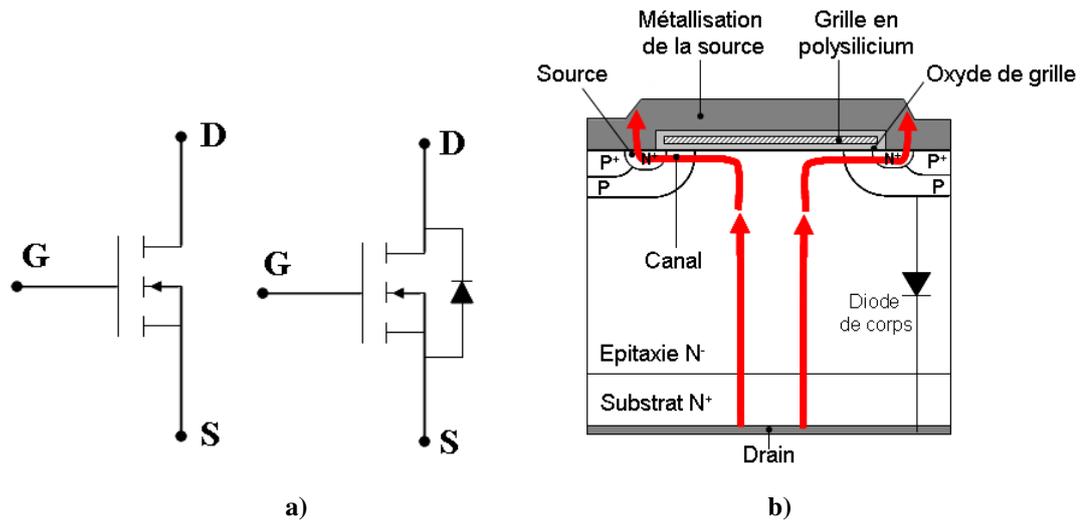


Figure I-7: a) Représentations symboliques possibles du MOSFET de puissance avec et sans diode structurale. b) Coupe d'une cellule élémentaire d'un MOSFET de puissance.

### 1.2.1.1. L'état passant

Pour que le MOSFET soit dans un état passant aussi appelé état de conduction ou état fermé, il faut que la tension appliquée sur la grille par rapport à la tension de la source soit supérieure à une certaine tension de seuil  $V_{GSth}$ . Cette tension positive entre la grille et la source permet la formation du canal d'inversion qui va permettre le passage du courant de drain. Dans cet état de conduction le MOS se comporte comme une résistance variable dont la valeur dépend de la tension de grille appliquée.

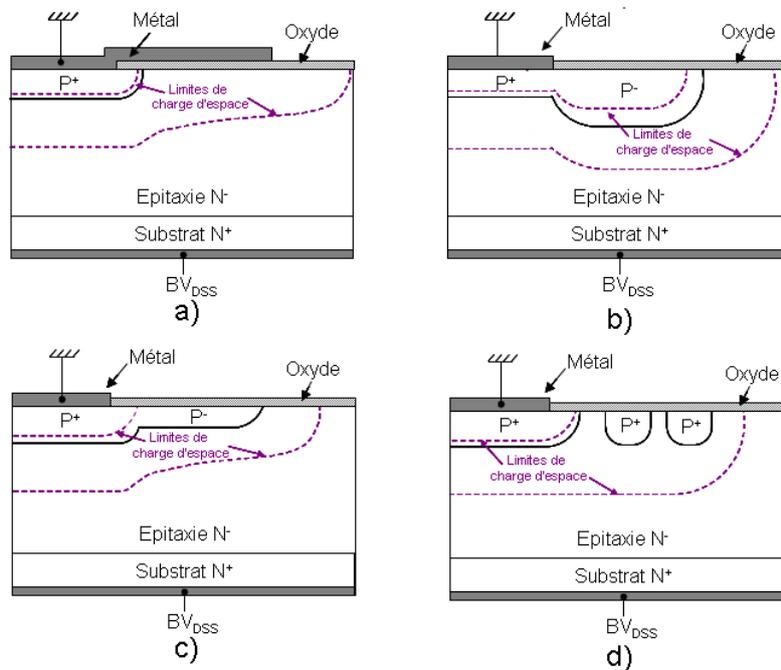
### 1.2.1.2. L'état bloqué

Lorsque la tension entre la grille et la source est inférieure à la tension de seuil, le courant ne peut plus circuler à travers le canal, le MOS est alors à l'état ouvert ou bloqué. Il n'y a pas de courant entre le drain et la source. La tension appliquée sur le composant est supportée par la jonction entre le drain et la source et peut croître jusqu'à une valeur correspondant à la tension d'avalanche. Cette tension dépend de l'épaisseur de la couche épitaxiée du composant.

### 1.2.1.3. Les terminaisons

Sur les cellules périphériques des transistors, les bordures des jonctions réalisées par diffusion sont de forme sphérique ou cylindrique. Le champ électrique maximum dans ces jonctions courbes est supérieur à celui des jonctions planes ce qui aura pour conséquence une tenue en tension dégradée au niveau de ces cellules de bord. C'est pourquoi il est nécessaire de maîtriser ces effets de bord en utilisant des terminaisons avec des dispositifs de garde qui limiteront le champ électrique en périphérie [LET00].

Il existe deux catégories de terminaisons, les terminaisons «planar» qui sont les plus courantes et les terminaisons «méssa» dédiées aux dispositifs hautes tensions qui ne seront pas décrites dans cette étude qui porte sur des composants faible tension. Les terminaisons de types planar permettent d'étaler les lignes de potentiel pour répartir et distribuer le champ électrique [LET00].



**Figure I-8: Différents types de terminaisons a) la plaque de champ b) l'anneau de garde diffusé c) la J.T.E. d) les anneaux diviseurs de champ [LET00].**

#### I.2.1.3.1. La plaque de champ

La terminaison en plaque de champ consiste à former une capacité MOS au-delà de la jonction en prolongeant la métallisation de source sur une couche d'oxyde de silicium. Cette capacité permet d'étaler la zone de charge d'espace et ainsi diminuer le champ électrique dans les terminaisons. Avec ce type de terminaisons le champ électrique maximum se situe dans le silicium sous le bord de la métallisation de la plaque de champ et à la périphérie de la jonction.

#### I.2.1.3.2. L'anneau de garde diffusé

En diffusant en périphérie de la jonction un anneau de garde profond mais faiblement dopé, les cellules périphériques tiennent les mêmes tensions inverses que les jonctions planes. Ce type de terminaison est efficace pour les jonctions peu profondes ou pour les contacts Schottky.

#### I.2.1.3.3. L'extension de jonction implantée (J.T.E.)

Pour ce type de terminaison la jonction est étendue en implantant une dose précise d'impuretés telle que sous polarisation inverse cette extension soit entièrement dépeuplée.

Ainsi la tension inverse est supportée latéralement dans toute l'extension ce qui permet de repousser le seuil de claquage dans les cellules périphériques.

#### I.2.1.3.4. L'anneau de garde diviseur de champ

La diffusion de ces anneaux concentriques se fait en même temps que celle de la jonction principale. L'espace entre la jonction principale et le premier anneau de garde est calculé de façon à ce que la charge d'espace atteigne l'anneau à un niveau de tension inverse inférieur à celui de claquage. Le nombre d'anneaux diffusés dépend de la tenue en tension souhaitée. Ces anneaux sont dits flottants car ils ne sont pas connectés.

## I.2.2. Les différents MOSFETs de puissance

### I.2.2.1. VDMOS :

Le VDMOS (Vertical Double Diffused MOS) est le MOSFET de puissance le plus répandu, c'est un transistor vertical dont le drain est formé d'un substrat  $N^+$  sur lequel est épitaxiée une couche  $N^-$  dont l'épaisseur et le dopage dépendent de la tenue en tension souhaitée. La source formée d'une zone  $N^+$  est localisée sur la face supérieure du cristal. La zone P où va se créer le canal pour le passage des électrons est au même potentiel que la source. Le courant drain source circule donc verticalement sur la majorité de son trajet sauf dans le canal où la conduction se fait latéralement. La grille faite en polysilicium permet d'auto-aligner les diffusions P et  $N^+$  qui vont fixer ainsi les dimensions du canal avec une précision inférieure au micron parfaitement reproductible.

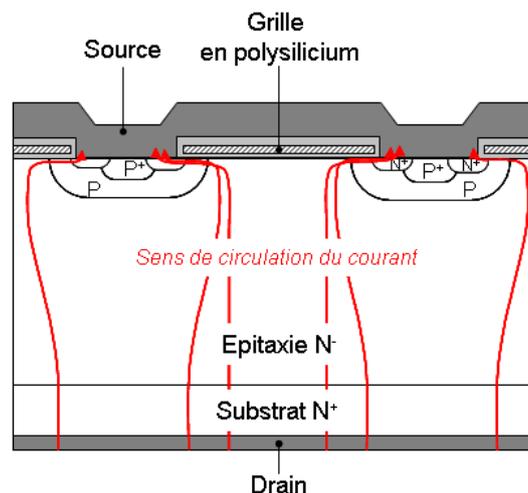


Figure I-9: Structure du VDMOS.

Le transistor VDMOS présente cependant quelques inconvénients [ARN92]. Les faces supérieure et inférieure du cristal de silicium étant actives de par la structure verticale du composant, il faudra apporter un soin particulier aux côtés du cristal. Aussi il est difficile d'isoler le VDMOS de façon monolithique. Enfin, malgré le fort dopage du polysilicium de

l'électrode grille, sa résistance reste non négligeable ce qui va limiter la fréquence d'utilisation.

### I.2.2.2. Autres technologies MOS de puissance

#### I.2.2.2.1. VMOS :

Cette première génération de transistor puissance possède un sillon en forme de « V » obtenu par gravure chimique à travers la source, le canal va ainsi se former le long des pans du sillon permettant une circulation du courant quasi-verticale. Chaque gravure permet d'avoir deux canaux ainsi on augmente la densité de courant en diminuant la surface utile de la puce. Ce type de structure pose différents problèmes :

- 📖 Niveau fabrication : difficulté à contrôler l'attaque chimique pour graver le sillon.
- 📖 Claquages : le fort champ électrique à la pointe du V pose des problèmes de fiabilité et de tension de claquage.
- 📖 Les électrodes de grille et de source sont obligatoirement inter-digitées.

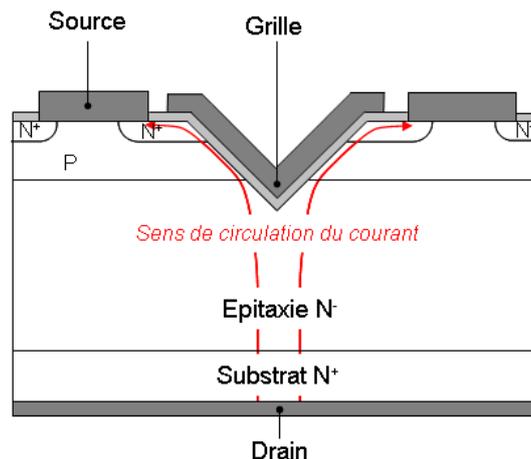


Figure I-10: Structure du VMOS.

#### I.2.2.2.2. VDMOS à tranchées

C'est un transistor vertical possédant une tranchée remplie de polysilicium sous la métallisation qui sert d'électrode de grille. Cette configuration permet d'éliminer l'étranglement dû à l'effet JFET que l'on trouve habituellement dans les VDMOS, ainsi en éliminant cet effet on élimine la résistance  $R_{JFET}$  et donc la résistance à l'état passant des MOSFETs à tranchées est diminuée [MOR04]. De plus, le canal qui était latéral dans le VDMOS devient vertical grâce à grille enterrée ainsi elle occupe moins de place et permet donc d'augmenter la densité d'intégration. Le creusage des tranchées pour ce type de MOSFET se fait par un procédé de gravure appelé R.I.E (Reactive Ion Etching), ce procédé est plus couteux et plus difficile à contrôler que celui des technologies VDMOS planaires.

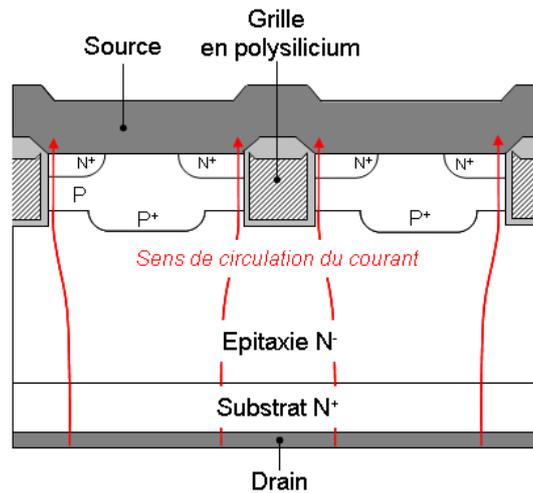


Figure I-11: Structure du VDMOS à tranchées.

#### I.2.2.2.3. LDMOS :

Lateral Double Diffused MOS : pour ce type de transistor où les électrodes source grille drain se trouvent sur la même face du cristal de silicium, le passage du courant se fait latéralement. Pour pouvoir tenir de fortes tensions avec ce type de structures, la distance entre la source et le drain doit être suffisamment large, cependant cette largeur est inversement proportionnelle à la capacité en courant du composant.

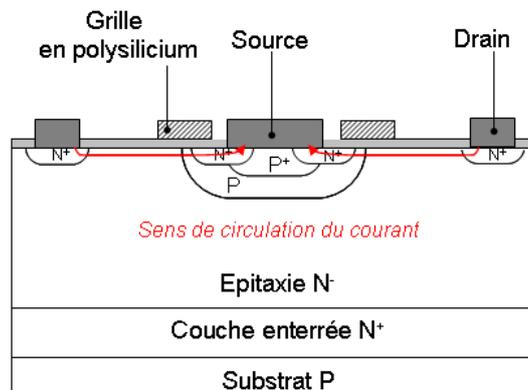


Figure I-12: Structure du LDMOS.

### I.2.3. Comportement statique des transistors NMOS

#### I.2.3.1. Tension de seuil $V_{GSth}$

Lorsque la tension entre drain et source  $V_{DS}$  est positive et que l'on polarise la grille positivement, le champ électrique dans la couche d'oxyde va attirer les électrons minoritaires de la couche P. A partir d'une certaine valeur de la tension grille source  $V_{GS}$ , les électrons dans la zone P proches de la surface du silicium vont devenir suffisamment nombreux pour créer une zone d'inversion permettant la circulation du courant entre drain et source. Cette tension est appelée tension de seuil  $V_{GSth}$ . Ainsi la tension  $V_{GS}$  va fixer l'ouverture du canal et la tension  $V_{DS}$  va permettre d'augmenter plus ou moins le courant

dans ce canal. La tension de seuil  $V_{GSth}$  dépend des paramètres géométriques, et structurels du composant ainsi que de la qualité des oxydes et interfaces. Son expression donnée par l'équation (I-1) [SZE81] :

$$V_{GSth} = V_{FB} + 2\phi_F + \frac{\sqrt{2\epsilon_{si}qN_A(2\phi_F)}}{C_{ox}} \quad (I-1)$$

dépend de :

- La tension de bandes plates  $V_{FB} = -\frac{Q_{ss}}{C_{ox}} + \phi_{ms}$  où  $Q_{ss}$  représente les charges fixes dans l'oxyde et à l'interface oxyde/silicium,  $C_{ox}$  la capacité de l'oxyde de grille par unité de surface,  $\phi_{ms}$  le travail de sortie métal/semiconducteur.
- Potentiel de Fermi  $\phi_F = \frac{kT}{q} \ln\left(\frac{N_A}{n_i}\right)$  avec  $kT$  l'énergie d'agitation thermique.

### I.2.3.2. Courant drain source $I_{DS}$

Lorsque la tension grille source est supérieure à  $V_{GSth}$  et que  $V_{DS}$  est inférieur à  $V_{GS} - V_{GSth}$  le transistor est dans son mode passant ohmique (figure I-13) où le canal est continu (non pincé), on peut alors définir le courant de drain  $I_D$  comme étant :

$$I_D = \frac{\mu_n Z C_{ox}}{W} (V_{GS} - V_{GSth}) V_{DS} \quad (I-2)$$

où  $Z$  et  $W$  sont la largeur développée et la longueur de canal.

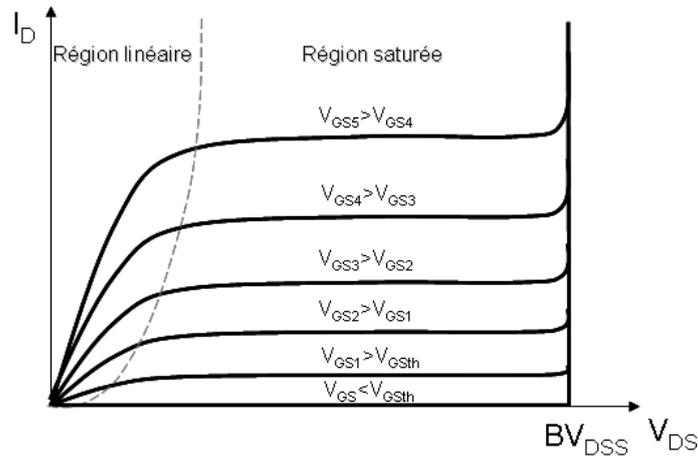


Figure I-13 : Courant de drain en fonction de la tension de drain et de grille d'un MOSFET.

Au-delà d'une certaine valeur de  $V_{DS}$ , le canal va commencer à se pincer et le transistor va passer d'un mode ohmique à un mode saturé où le courant de drain est indépendant de la tension drain source [SZE81].

### I.2.3.3. Résistance à l'état passant $R_{DSon}$

A l'état passant (dans la région linéaire) le MOSFET peut être considéré comme une résistance, la  $R_{DSon}$  est la résistance du composant entre le drain et la source lorsque celui-ci est à l'état passant. Elle est définie comme étant le rapport de la tension de drain sur les courant de drain lorsque  $V_{DS}$  tend vers zéro. Cette résistance est une des caractéristiques principales d'un MOSFET de puissance, en effet le principal challenge dans le développement des MOSFETs de puissance est de diminuer cette résistance afin de limiter l'auto-échauffement du composant ainsi que la chute de tension à l'état passant. La valeur de la résistance à l'état passant dépend de la tension de grille appliquée c'est-à-dire de l'ouverture du canal elle est en général mesurée pour des tensions de grille telles que le canal est entièrement ouvert ainsi on est à la valeur saturée de la  $R_{DSon}$  (figure I-14).

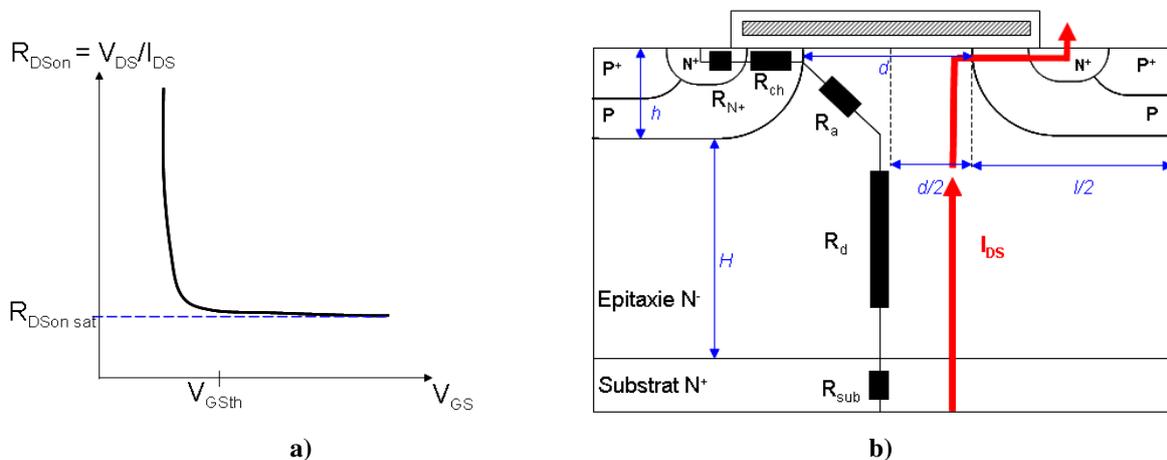


Figure I-14: a)  $R_{DSon}$  en fonction de la tension de grille. b) Composantes de la  $R_{DSon}$  dans un VDMOS.

Le MOSFET est un empilement de couches de différentes épaisseurs et différents dopages, la  $R_{DSon}$  est la somme des résistances des couches que le courant va traverser lors de son parcours entre le drain et la source :

$$R_{DSon} = R_{sub} + R_d + R_a + R_{ch} + R_{N+} \quad (I-3)$$

La résistance du substrat  $R_{sub}$  : la contribution de cette résistance est minime étant donné que cette zone est de faible épaisseur et fortement dopée  $N_{sub}$ . On peut toutefois la définir comme une résistance d'épaisseur  $e_{sub}$  et de surface  $S$  :

$$R_{sub} = \frac{e_{sub}}{q\mu_n N_{sub} S} \quad (I-4)$$

La résistance de la zone drift  $R_d$  :

C'est la résistance de la zone épitaxiée de faible dopage  $N^-$ . La tenue en tension du composant va déterminer la valeur de cette résistance  $R_d$ . Cette couche est assimilée à un

barreau de silicium de résistivité  $\rho_r=(q\cdot\mu_n\cdot N_D)^{-1}$  où  $N_D$  représente le dopage (considéré constant dans la couche épitaxiée). Dans ce cas la résistance peut être calculée grâce à  $R_d=\rho_r\cdot l/S$  :

$$R_d = \frac{H}{q\mu_n N_D S} \quad (\text{I- 5})$$

où H représente l'épaisseur de la couche épitaxiée, S la surface d'une cellule élémentaire.

Cependant si l'on veut un calcul plus précis en prenant en compte la focalisation des courants [LET02], dans le cas d'un MOSFET où  $H<l/2$  (en général un MOS basse tension) l'épaisseur de la couche épitaxiée est telle que les flux de courant de cellules adjacentes ne se recouvrent pas. Dans ce cas on peut exprimer la résistance de drift comme :

$$R_d \approx \frac{1}{q\mu_n N_D Z} \cdot \ln\left(1 + \frac{2H}{d}\right) \quad (\text{I- 6})$$

Pour les MOSFETs avec des épaisseurs d'épitaxies telles que  $H>l/2$  typiquement les MOS haute tension il faut prendre en compte le recouvrement des lignes de courant dans l'expression de  $R_d$ :

$$R_d \approx \frac{1}{q\mu_n N_D Z} \cdot \left[ \ln\left(1 + \frac{l}{d}\right) + \frac{2H-l}{d+l} \right] \quad (\text{I- 7})$$

Plus généralement, on peut donc exprimer la résistance de la couche épitaxiée comme étant fonction de la résistivité, des dimensions de la cellule élémentaire et de l'épaisseur de la couche épitaxiée.

$$R_d \approx \frac{1}{q\mu_n N_D Z} \cdot f(H, d, l) \quad (\text{I- 8})$$

 La résistance d'accès  $R_a$  : c'est la résistance, de la couche épitaxiée qui est en accumulation de charges sous la grille quand  $V_{GS}>V_{GSth}$ . Cette région correspond à la région intercellulaire de hauteur h (profondeur de jonction) et de largeur  $d/2$  où le courant issu du drain va passer dans le canal, il faut donc prendre en compte l'existence de la couche accumulée et la résistivité de la couche épitaxiée  $N'$ . Cette résistance est équivalente à la résistance d'un barreau de silicium de résistance

$$R_a = \frac{2h}{q\mu_n N_D Z d} \lambda \quad (\text{I- 9})$$

où  $\lambda$  est un coefficient géométrique dépendant des dimensions géométriques, du dopage et de la tension de grille  $V_{GS}$  [SAN85].

 La résistance du canal d'inversion  $R_{ch}$  : représente une grande partie de la résistance totale  $R_{DSon}$ . Cette résistance est déterminée par la longueur et la largeur développée du canal et peut être définie comme [ROS81] :

$$R_{ch} = \frac{W}{\mu_n Z C_{ox} \psi} \frac{V_{GS}' + \psi - 2\phi_F}{V_{GS} - V_{GSth}} \quad (I-10)$$

où  $V_{GS}' = V_{GS} - V_{FB} = V_{GS} + \frac{Q_{SS}}{C_{ox}} - \phi_{ms}$  et  $\psi$  représente le potentiel de réduction de mobilité transversal.

La résistance de la source  $R_{N+}$  : est très faible car la source est une zone fortement dopée de faibles épaisseur et largeur.

A toutes ces résistances il faudra bien évidemment rajouter les résistances liées à la connectique qui sont les résistances des fils de connexion, des métallisations face avant et face arrière de la puce [LOR99].

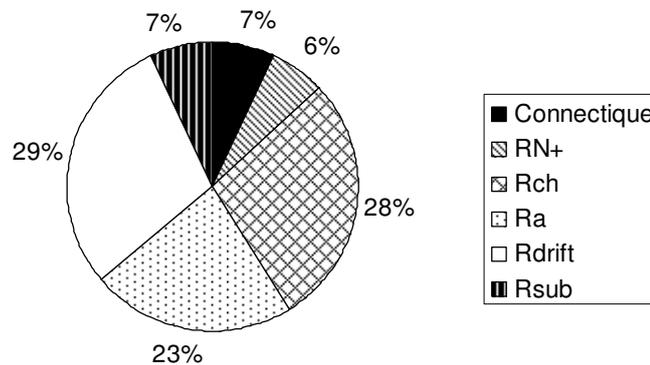


Figure I-15: Contribution des différentes résistances à la  $R_{DS(on)}$ .

#### I.2.3.4. Tension de blocage $BV_{DSS}$

Lorsque le composant est à l'état bloqué, c'est la jonction  $PN^-$  qui va supporter la tension, la tension maximale  $BV_{DSS}$  (Breakdown Voltage) pouvant être bloquée par le transistor dépend principalement du dopage et de l'épaisseur de la couche épitaxiée  $N^-$  où va s'étendre la zone de charge d'espace. Plus la tension à bloquer sera grande plus l'épaisseur et la résistivité de la couche épitaxiée seront importantes. Ceci aura un impact direct sur la résistance du composant à l'état passant  $R_{DS(on)}$ , notamment sur la composante  $R_d$  exprimée dans les équations (I-4) (I-5) et (I-6). Il faut donc que la  $BV_{DSS}$  du MOS soit la plus proche possible de la tension maximale d'utilisation pour que la résistance à l'état passant soit la plus faible possible. Cette résistance à l'état passant peut aussi être diminuée en augmentant la surface active de la puce mais ceci va diminuer les rendements de fabrication et donc augmenter le prix de la puce.

#### I.2.4. Comportement dynamique

Le comportement dynamique du MOSFET est déterminé par le temps que mettront les différentes capacités parasites à se charger et se décharger. Chacune de ces capacités est constituée de deux électrodes conductrices séparées par une couche diélectrique ou une

zone de charge d'espace, la valeur de la capacité est alors donnée par  $C = \epsilon S / e$  où  $\epsilon$  représente la permittivité du diélectrique,  $S$  la surface des électrodes et  $e$  l'espace inter-électrodes. On peut distinguer trois capacités [LET02] :

la capacité Grille Source : cette capacité est elle-même constituée de trois capacités :  $C_{GS1}$  capacité formée par l'oxyde de grille pris en sandwich entre la surface du silicium et le polysilicium de grille au dessus du canal,  $C_{GS2}$  même chose que  $C_{GS1}$  mais au dessus du caisson source  $N^+$ ,  $C_{GS3}$  formée par l'oxyde de grille pris en sandwich entre le polysilicium de grille et la métallisation de source. Au final la capacité  $C_{GS}$  dépend surtout de la géométrie et des technologies de procédé et peu de la tension appliquée.

la capacité Grille Drain : cette capacité dépend de l'accumulation d'électrons sous l'électrode de grille, elle engendre l'effet Miller. Elle est formée par deux capacités en série,  $C_{GD1}$  qui est la capacité constituée par l'oxyde de grille pris en sandwich entre la surface du silicium et le polysilicium de grille entre deux cellules élémentaires et  $C_{GD2}$  la capacité de la zone de déplétion sous la grille.

la capacité Drain Source : formée par la jonction PN, elle dépend de la tension  $V_{DS}$  puisque c'est celle-ci qui va déterminer la taille de la zone de charge d'espace dépeuplée.

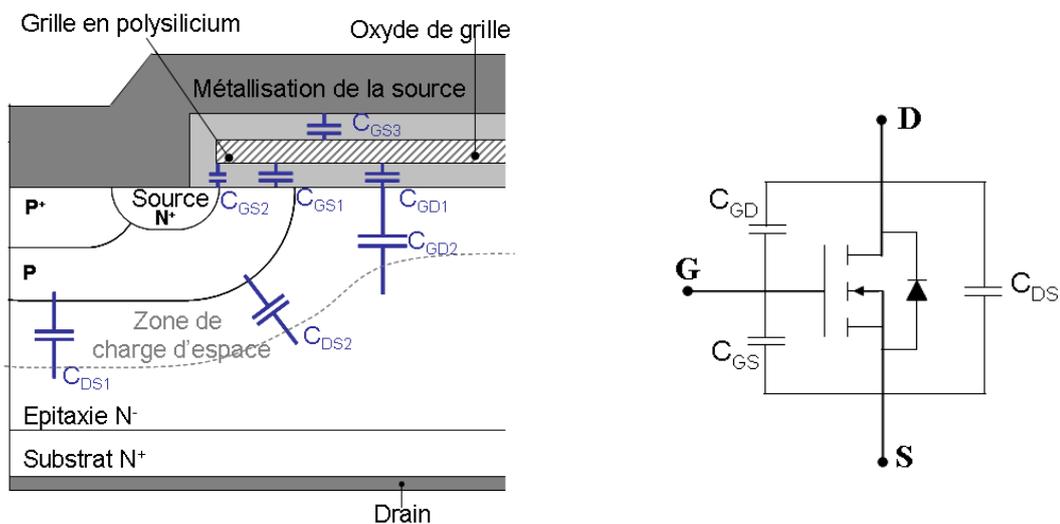


Figure I-16: Localisation des différentes capacités parasites du MOSFET et schéma équivalent.

## 1.2.5. Impact de la température sur les paramètres électriques

### 1.2.5.1. Tension de seuil $V_{GSth}$

La tension de seuil présente une forte dépendance à la température, on peut déterminer la valeur de  $V_{GSth}$  à la température  $T$  en fonction d'une valeur connue  $V_{GSth}(T_0)$  donnée pour une température  $T_0$  et d'un coefficient  $\gamma$  proche de  $2 \cdot 10^{-3} \text{ K}^{-1}$  :

$$V_{GSth}(T) = V_{GSth}(T_0) \cdot [1 - \gamma(T - T_0)] \quad (\text{I-11})$$

### I.2.5.2. $R_{DSon}$

La mobilité  $\mu_n$  des électrons diminue avec la température [SZE81]. Comme la résistance à l'état passant est une somme de résistances inversement proportionnelles à cette mobilité  $\mu_n$  (équations I-4 à I-10), et d'une résistance  $R_{ch}$  qui varie en  $V_{GSth}^{-1}$  comme le montre l'équation (I-10), au final la  $R_{DSon}$  va augmenter avec la température [ALO01]:

$$R_{DSon}(T) = R_{DSon25^\circ C} \left( 1 + \alpha \frac{\Delta T}{300} \right) \quad (I-12)$$

Pour des composants MOSFETs basse tension (<100V) ce coefficient  $\alpha = 1.5$  et pour des MOSFETs haute tension (>600V)  $\alpha = 2.5$ .

### I.2.5.3. $BV_{DSS}$

Le comportement de la tension d'avalanche  $BV_{DSS}$  avec la température est donné en fonction de la tension d'avalanche à une température de référence  $BV_{DSS0}$ , d'un coefficient en température de la tension de claquage  $\chi$ , de l'augmentation de température  $\Delta T$ , de la résistance d'avalanche  $R_d$  et du courant de drain  $I_d$  [MCG92] :

$$BV_{DSS}(T) = BV_{DSS0} + \chi \Delta T + R_d I_d \quad (I-13)$$

### I.2.5.4. Les courants de fuite

Le courant de fuite  $I_{DSS}$  est la somme d'un courant de génération et d'un courant de diffusion qui sont respectivement proportionnels à  $n_i$  la concentration intrinsèque de porteurs et  $n_i^2$  [SZE81]. Cette concentration augmente avec la température [ARN92] selon :

$$n_i = AT^{3/2} \exp(-E_G / 2kT) \quad (I-14)$$

où A est une constante, par conséquent le courant  $I_{DSS}$  va augmenter avec la température. Quant à la fuite entre grille et source  $I_{GSS}$ , elle n'est pas impactée par la température.

## I.2.6. Le MOSFET en avalanche

### I.2.6.1. L'avalanche

Lorsque le transistor est à l'état bloqué avec une grille sans polarisation positive et une tension  $V_{DS}$  positive, c'est la jonction  $PN^-$  de la diode structurelle polarisée en inverse qui va bloquer la tension. La charge d'espace de cette jonction va donc s'étendre et la barrière de potentiel entre P et  $N^-$  va augmenter ce qui va intensifier le champ électrique dans cette zone. Ce fort champ électrique va accélérer les porteurs de charges mobiles (électrons et trous) qui vont entrer en collision avec le réseau cristallin. Les porteurs qui auront atteint un certain niveau d'énergie entre deux collisions pourront casser des liaisons covalentes et par conséquent créer de nouvelles paires électrons trous qui seront à leur tour accélérées par le champ électrique et qui pourront elles aussi créer de nouvelles paires

électrons trous. C'est cette multiplication des porteurs par collisions que l'on appelle avalanche électronique. Lors de ce phénomène d'avalanche le courant va augmenter car la quantité de porteurs a été multipliée dans la zone de transition PN. Les porteurs générés soumis au fort champ électrique (forte polarisation en inverse) vont participer au courant de conduction.

### 1.2.6.2. Le test UIS classique

En général il est déconseillé de tester la tenue en énergie d'avalanche des MOSFETs car les contraintes induites dans le composant peuvent affecter sa fiabilité [ALO01]. Cependant il arrive que dans l'application le MOSFET soit confronté à cette avalanche de façon accidentelle lorsque celui-ci va s'ouvrir sur une charge inductive. C'est pourquoi il existe un test permettant de vérifier la tenue impulsionnelle en avalanche du MOSFET, ce test présenté en figure I-17 a) est appelé test UIS (Unclamped Inductive Switching).

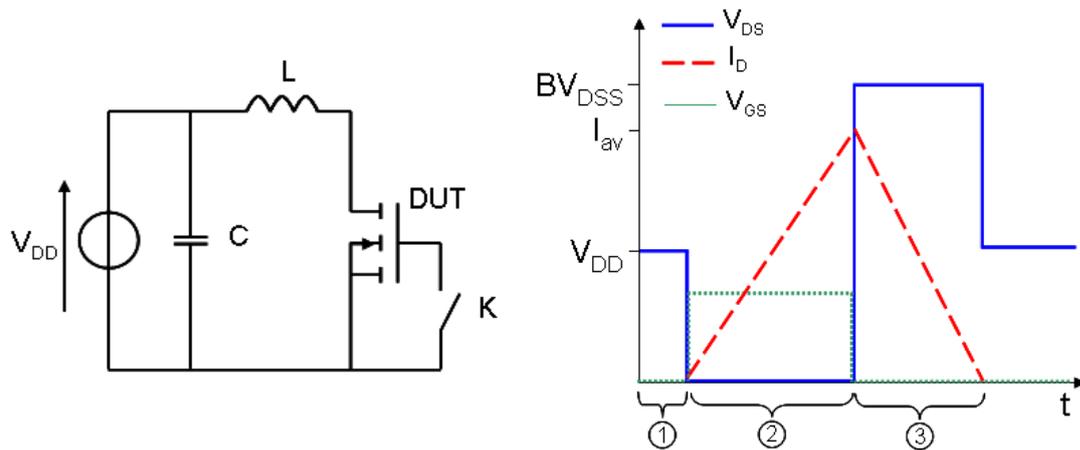


Figure I-17: a) Schéma du test UIS b) Chronogramme du MOSFET

Le comportement du MOSFET lors de ce test est décrit dans le chronogramme figure I-17 b). Dans la zone 1, l'interrupteur  $K$  est ouvert la grille du MOSFET n'est donc pas polarisée le composant testé est donc ouvert et bloque la tension d'alimentation  $V_{DD}$ . Lorsque l'interrupteur  $K$  est fermé on passe dans la zone 2 où la tension  $V_{GS}$  est telle que le MOSFET (DUT) est à l'état conducteur par conséquent l'inductance  $L$  se charge et le courant de drain  $I_D$  imposé par cette inductance va augmenter jusqu'à une valeur de test déterminée  $I_{av}$ , cette valeur est atteinte au bout d'un temps  $t$  donné par :

$$\frac{dI_D}{dt} = \frac{V_{DD}}{L} \quad (\text{I-15})$$

Lorsque le courant de charge a atteint la valeur  $I_{av}$ , la tension  $V_{GS}$  est diminuée de façon à bloquer le MOSFET (zone 3). L'inductance va alors se décharger dans le transistor en forçant la diode structurelle du composant à entrer en avalanche jusqu'à ce que la bobine

se soit entièrement déchargée. La diminution du courant d'avalanche dans le MOSFET se fait selon :

$$\frac{dI_D}{dt} = \frac{BV_{DSS} - V_{DD}}{L} \quad (\text{I- 16})$$

L'énergie en Joule emmagasinée par le composant pendant la durée de l'avalanche est donnée par:

$$E = \frac{1}{2} L I_{av}^2 \frac{BV_{DSS}}{BV_{DSS} - V_{DD}} \quad (\text{I- 17})$$

Cette énergie est donc fonction de l'inductance et du courant d'avalanche  $I_{av}$  lui-même déterminé par la durée de fermeture de l'interrupteur  $K$ .

La capacité du MOSFET à tenir l'énergie d'avalanche dépend non pas du courant mais de la densité de courant donc de la taille de puce, pour un même courant d'avalanche une puce avec une grande surface active sera plus robuste en avalanche qu'une puce plus petite.

### 1.2.6.3. Température maximale pendant l'UIS

Durant l'impulsion d'avalanche, la puissance électrique dissipée dans la puce va générer une augmentation de la température créant une zone plus chaude proche de la surface du composant. En effet comme c'est à la jonction PN<sup>-</sup> que l'avalanche va se produire c'est là que la température sera maximale. En supposant comme Blackburn [BLA88] que le flux de chaleur dans la puce soit unidirectionnel, que la puissance soit distribuée sur toute la surface de la puce et que le substrat soit infiniment épais, on peut déterminer l'augmentation de température  $\Delta T$  au bout d'un temps  $t$  engendrée par une impulsion de dissipation de puissance triangulaire :

$$\Delta T = P_0 \Gamma \sqrt{t} - \frac{2}{3} P_0 \Gamma \frac{\sqrt{t^3}}{t_f} \quad (\text{I- 18})$$

avec:  $\Gamma = \frac{2}{A \sqrt{\rho \pi K C}}$

$A$  (cm<sup>2</sup>) : surface active du composant

$\rho$  (g.cm<sup>-3</sup>) : densité du silicium

$K$  (W.cm<sup>-1</sup>.deg°C<sup>-1</sup>) : conductivité thermique du silicium

$C$  (W.s.g<sup>-1</sup>.deg°C<sup>-1</sup>) : capacité thermique du silicium

$P_0$  : la valeur maximale de la puissance

$t_f$  : la durée de l'avalanche

Le maximum de la température  $\Delta T_m$  est atteint à  $t = t_f/2$  ainsi :

$$\Delta T_m = \frac{\sqrt{2}}{3} P_0 \Gamma \sqrt{t_f} \quad (\text{I-19})$$

Un autre modèle présenté par Clemente [CLE93] ne considère plus l'épaisseur du silicium comme infinie, et contrairement au cas précédent on suppose que la puissance est dissipée sur une épaisseur finie de la puce et non plus seulement en surface. Dans ce cas, Clemente introduit le temps de transit comme le temps que mettra un point à une profondeur donnée du silicium pour atteindre 90% de la valeur de sa température finale, et définit, pour des durées d'impulsion plus courtes que le temps de transit, la température de jonction :

$$\Delta T = \frac{E}{A\rho C(g + \phi)} \quad (\text{I-20})$$

avec:

$E$  : l'énergie de l'impulsion triangulaire d'avalanche

$g$  : profondeur de la jonction PN<sup>-</sup> où va être dissipée la puissance

$\phi$  : facteur de correction prenant en compte l'élévation de température dans toute l'épaisseur de la puce.

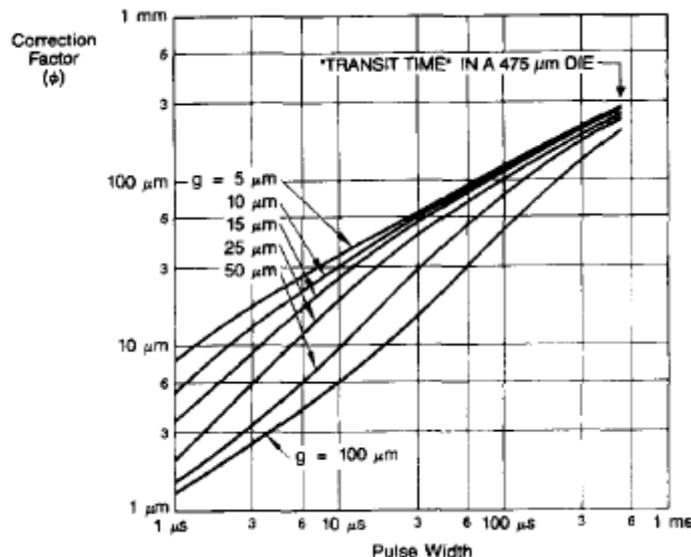


Figure I-18: Facteur de correction  $\phi$  en fonction de la durée d'avalanche et de  $g$ . Source [CLE93].

### I.2.7. Analyse thermique des semiconducteurs de puissance

Dans un semiconducteur de puissance, la température maximale se trouve au niveau de la zone active qui va dissiper la puissance. On appelle température de jonction la température moyenne de cette zone active [DOR03]. L'élévation de cette température impacte considérablement la fiabilité des composants semiconducteurs mais il est difficile de la prévoir et de la mesurer avec précision [FIL82]. L'élévation de température dans le transistor résultant de la dissipation de puissance peut être déterminée en faisant une

analogie entre conduction électrique et thermique ce qui permet d'introduire la notion de résistance thermique. Pour calculer ces résistances il faut d'abord déterminer si la dissipation de puissance se fait de façon stationnaire ou bien transitoire.

### I.2.7.1. Régime stationnaire

De la même façon qu'un matériau conducteur va opposer une résistance électrique  $R$  au passage d'un courant  $I$ , un matériau peut opposer une résistance thermique  $R_{th}$  à un flux de chaleur  $P$ . On peut ainsi exprimer dans un matériau l'élévation de la température comme étant le produit de la résistance thermique  $R_{th}$  exprimée en  $^{\circ}\text{C}\cdot\text{W}^{-1}$  par la puissance thermique  $P$  en  $\text{W}$ .

$$\Delta T = R_{th} \cdot P \quad (\text{I- 21})$$

La résistance thermique  $R_{th}$  peut quant à elle être calculée à partir de l'épaisseur  $e$  du matériau en  $\text{cm}$  de  $K$  la conductivité thermique en  $\text{W}\cdot^{\circ}\text{C}^{-1}\cdot\text{cm}^{-1}$  et de la surface  $S$  en  $\text{cm}^2$  :

$$R_{th} = \frac{e}{K \cdot S} \quad (\text{I- 22})$$

Dans un système multicouche si la puissance thermique arrive perpendiculairement aux  $n$  couches on peut déterminer la résistance thermique totale du système en sommant les résistances thermiques de chaque couche  $R_{th_i}$  comme des résistances en série.

$$R_{th} = \sum_i^n R_{th_i} \quad (\text{I- 23})$$

### I.2.7.2. Régime transitoire

◆ Dans le cas d'une plaque semi-infinie unidimensionnelle soumise à un échelon de puissance  $P$  la variation de température est donnée par [ALO01]:

$$\Delta T(t) = \frac{P}{S} \sqrt{\frac{4t}{\pi \cdot K \cdot C \cdot \rho}} \quad (\text{I- 24})$$

avec  $K$  la conductivité thermique en  $\text{W}\cdot^{\circ}\text{C}^{-1}\cdot\text{cm}^{-1}$ ,  $C$  la chaleur spécifique en  $\text{J}\cdot^{\circ}\text{C}^{-1}\cdot\text{g}^{-1}$  et  $t$  le temps en secondes. Cette équation simple permet de déterminer pour des temps courts l'élévation de température d'une zone active localisée à la surface d'un milieu dont les propriétés thermiques sont connues. En ce qui concerne les temps plus longs on ne peut plus assimiler le milieu à un solide semi-infini, il faut donc prendre en compte son épaisseur.

◆ Pour une plaque d'épaisseur  $e$  avec une face arrière isotherme, l'élévation de la température tend vers la valeur obtenue en régime stationnaire:

$$\Delta T(t) = R_{th} \cdot P \quad (\text{I- 25})$$

◆ Variation de température pour une plaque d'épaisseur  $e$  avec une face arrière adiabatique :

$$\Delta T(t) = \frac{P}{S} \frac{t}{C \cdot \rho \cdot e} \quad (\text{I- 26})$$

En représentant à l'échelle logarithmique les asymptotes des équations de variation de température décrites en I-23 I-24 et I-25 comme sur la figure I-19, on peut définir ce que l'on appelle les temps de transit thermiques qui sont les intersections de ces courbes.

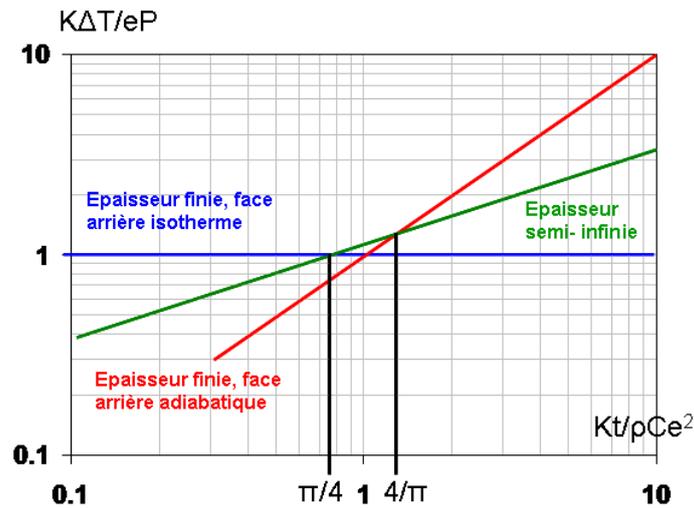


Figure I-19: Représentation des asymptotes de l'élévation des températures.

Ainsi on détermine la constante  $t_1$  à l'intersection entre le solide semi-infini et le solide d'épaisseur finie à face arrière isotherme:

$$t_1 = \frac{\pi \cdot C \cdot \rho \cdot e^2}{4K} \quad (\text{I- 27})$$

et  $t_2$  l'intersection entre le solide semi-infini et le solide d'épaisseur finie à face arrière adiabatique :

$$t_2 = \frac{4 \cdot C \cdot \rho \cdot e^2}{\pi K} \quad (\text{I- 28})$$

Ces temps de transit permettent de définir une limite entre les temps courts et les temps longs. Pour un matériau d'épaisseur  $e$  avec une face arrière quelconque et pour  $t < t_1$  l'élévation de température dans le matériau est donnée par l'équation I-23, pour  $t > t_2$  selon le type de face arrière on calculera le  $\Delta T$  grâce à I-24 ou I-25 [ALO01] [FIL82].

### 1.2.7.3. Composants réels

Les équations précédentes sont données lorsque le flux de chaleur est supposé unidimensionnel, c'est-à-dire pour une profondeur de pénétration faible comparé aux dimensions latérales de la zone active. Un résultat plus proche de la réalité est obtenu en

considérant que le flux de chaleur se fait dans un cône d'angle  $45^\circ$  à partir de la surface active du silicium [FIL82].

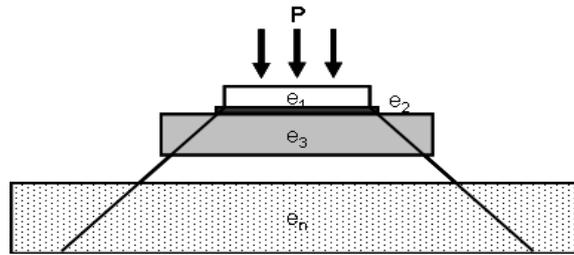


Figure I-20: Cône de dissipation thermique dans un système multicouche.

### I.3. Dégradations et modes de défaillances des semiconducteurs dans les modules de puissance

Dans les applications automobiles, les modules de puissance sont soumis à différents mécanismes de dégradation et vieillissement répertoriés et détaillés dans [CIA00] et [VAL03]. L'étude faite dans ce mémoire porte sur les dégradations pouvant apparaître dans les MOSFETs de puissance suite à de fortes contraintes thermiques. En effet dans l'étude présentée le composant de puissance utilisé est non seulement soumis aux contraintes thermiques imposées par l'environnement mais aussi aux contraintes thermiques liées au fonctionnement du MOSFET. Ces variations de température ainsi que la température élevée de fonctionnement due à la proximité du moteur  $150^\circ\text{C}$  vont être extrêmement critiques pour le silicium et le module de puissance.

#### I.3.1. Niveau silicium

##### I.3.1.1. L'oxyde de grille.

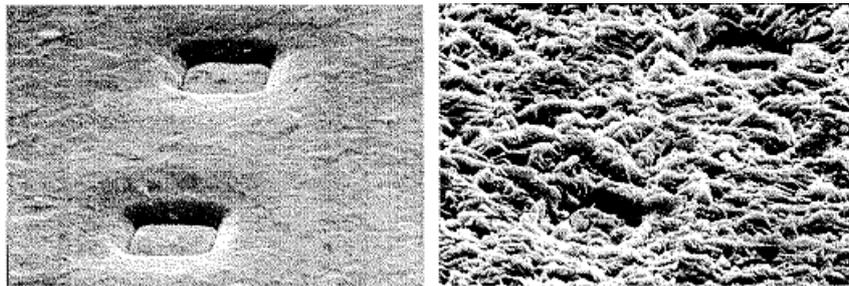
Dans les composants semiconducteurs, l'oxyde de grille a une fonction de diélectrique. Lorsque la fine couche d'oxyde de grille est soumise à de forts champs électriques, cet oxyde peut perdre ses propriétés d'isolation. En effet lorsque l'oxyde a accumulé un niveau critique de défauts celui-ci va claquer par perçage diélectrique [CIA00]. Ce claquage apparaît lorsqu'un courant local traverse l'oxyde et créer un court circuit. Cette dégradation de l'oxyde thermique conduit donc à la défaillance du module de puissance.

##### I.3.1.2. La métallisation de surface

###### I.3.1.2.1. La reconstruction de l'aluminium

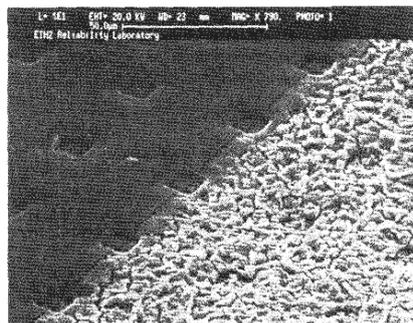
Lors d'un cyclage en température la métallisation de surface habituellement en aluminium subi des cycles de tractions et compressions résultants de la différence de coefficients d'expansion thermique (CTE) entre le silicium et l'aluminium [PHI71] [PHI75]

[CIA00] [CIA02]. La relaxation des contraintes de compression subies par l'aluminium lors du cyclage thermique va déplacer les dislocations dans le matériau et déformer les grains, ce qui va provoquer la dégradation de l'aluminium par reconstruction. Ce phénomène thermomécanique se manifeste par une rugosité importante de la métallisation qui va modifier sa réflectivité et lui donner un aspect plus sombre [PHI71] [PHI75]. L'amplitude de la déformation de la métallisation dépend de l'amplitude des changements de température. Le changement de l'état de surface du métal résultant de cette reconstruction peut fragiliser l'adhésion des fils de connexions sur l'aluminium, entraîner un décollement de ces fils et par conséquent accroître la température de la métallisation et donc contraindre encore plus la couche d'aluminium (figure I-21).



**Figure I-21: Reconstruction de la surface de l'aluminium. Source [CIA00].**

La reconstruction de l'aluminium peut s'accompagner d'une augmentation de la résistance de la métallisation [WU95], qui va elle aussi provoquer une élévation de la température et donc ajouter du stress. Il est possible de limiter ce phénomène de vieillissement en encapsulant la métallisation sous une couche de passivation en polyimide qui permet de faire pression sur l'aluminium ce qui retarde voire empêche sa déformation (figure I-22) [WU95] [HEL97].



**Figure I-22: Impact du polyimide sur la reconstruction de l'aluminium. Source [HEL97].**

#### I.3.1.2.2. L'électromigration

L'électromigration est un phénomène de transfert de quantité de mouvement entre un courant d'électrons et les atomes de la métallisation que ce courant va traverser. L'électromigration apparaît à partir de 100°C [BLA05] à des densités de courant élevées (>

à  $0.5 \cdot 10^6 \text{ A/cm}^2$ ) [VAL03] lorsque la circulation du courant d'électrons exerce une force suffisante sur les atomes d'aluminium pour les déplacer. Ce déplacement d'atomes se fait dans la direction du courant d'électrons et crée donc un déplacement de lacunes dans le sens opposé. Ce déplacement de matière peut créer des petits agrégats d'aluminium et par conséquent laisser des trous dans la métallisation. Ce type d'électromigration est courant dans la micro électronique où l'utilisation de via en métal engendre des densités de courant très élevées.

### **I.3.2. Niveau boîtier**

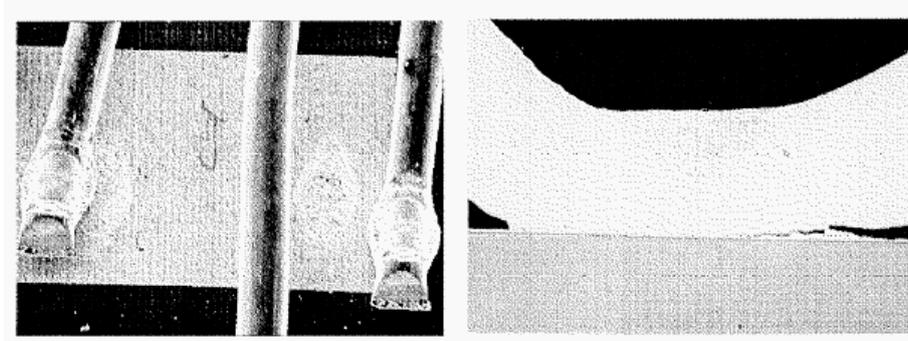
#### ***I.3.2.1. Les fils de connexion***

Dans le module de puissance les fils de connexion sont connectés au métal de la surface active du composant semiconducteur, c'est pourquoi ces fils sont aussi soumis aux contraintes thermiques. En effet ces fils permettent non seulement d'injecter la puissance dans le transistor où ils seront soumis à l'auto-échauffement, mais ils peuvent aussi servir à refroidir le composant en dissipant la puissance du silicium, ils subissent donc de fortes contraintes thermiques. Généralement lors du fonctionnement du semiconducteur ce sont les fils soudés au centre de la puce qui sont le plus fragiles, en effet c'est là que la température du silicium est la plus élevée.

##### **I.3.2.1.1. Décollement des fils de connexion**

La métallisation de surface en aluminium sur laquelle sont soudés les fils est une couche extrêmement contrainte lors du cyclage thermique. En effet la différence de coefficients de dilatation thermique entre le silicium et l'aluminium va contraindre la couche d'aluminium qui va elle-même générer des efforts mécaniques sur les fils de connexion [CIA02]. Des microfissures vont alors apparaître au niveau des extrémités des fils et se propager le long de l'interface fil/métallisation ce qui va au bout d'un certain nombre de cycles entrainer la levée de ces fils (figure I-23) [VAL03]. De plus lorsqu'un fil va se lever les autres fils devront supporter une densité de courant plus importante donc un échauffement plus important ce qui va accélérer leur décollement et donc la défaillance du module.

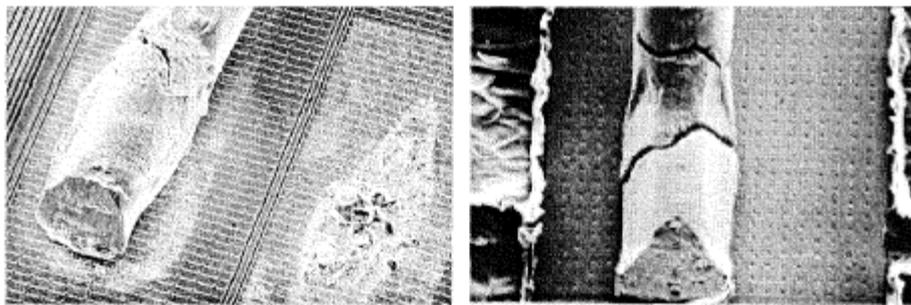
Il est possible de limiter ce phénomène en utilisant une couche de polymère afin de coller les fils sur la métallisation juste après la soudure ou bien en limitant la contrainte mécanique due à la différence de CTE entre aluminium et silicium en ajoutant une couche de molybdène [CIA02].



**Figure I-23: Soulèvement de fils de connexion. Source [CIA00].**

#### I.3.2.1.2. Fissures au niveau du pied du fil

Le décollement des fils de connexion est un des modes de dégradation consécutif au cyclage thermique mais il peut aussi y avoir des connexions présentant des fissures au niveau du pied du fil. Ces fissures sont aussi le résultat des contraintes thermo mécaniques dues au cyclage thermique. En effet lors du cyclage thermique le fil va tantôt se dilater tantôt se contracter sous l'effet de la température ce qui va entraîner une fatigue, la fracture résultante va alors apparaître dans une zone qui a déjà été contrainte lors du procédé de soudure, c'est-à-dire au niveau du pied du fil [CIA02][CIA00].



**Figure I-24: Fracture des fils de connexion au niveau du pied. Source [CIA00].**

Afin de d'améliorer la durée de vie de ces connexions pour les semiconducteurs de puissance, il est préférable d'utiliser des connexions de type ruban. Grâce à sa grande surface de contact avec la puce, un ruban peut remplacer plusieurs fils, ce qui va permettre de diminuer les dégradations dues à la soudure et de limiter les points chauds à la surface de la puce [MOR07]. Au niveau thermique ils permettent d'avoir une plus grande surface de contact avec l'air ambiant donc un meilleur refroidissement, aussi la flexibilité de ce type de connexion permet d'absorber les déformations dues à la différence de CTE entre aluminium et silicium [ONG04]. Les fils de connexion peuvent aussi être remplacés par des billes de soudure en face avant de la puce sur lesquelles sera assemblée une plaque métallique qui servira à refroidir la puce en complément du radiateur en face arrière [MOR07].

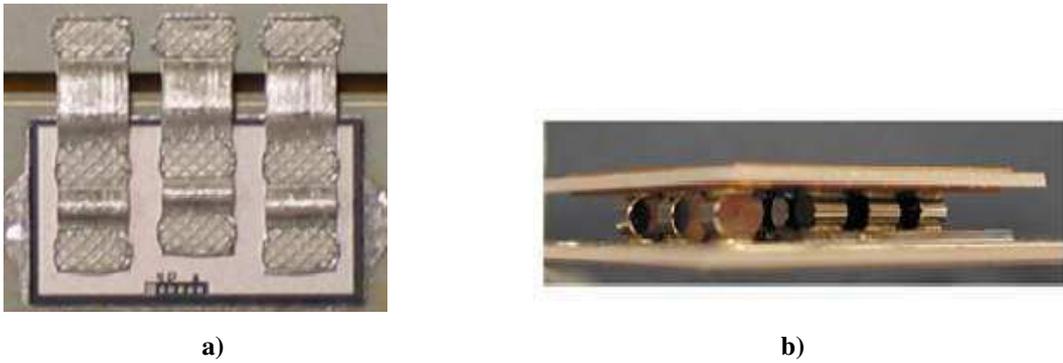


Figure I-25: Exemple d'assemblage a) avec des rubans b) avec des billes de soudure.

### I.3.2.2. Les brasures

Les brasures sont le point faible des modules de puissance, la fatigue de celles-ci est le mode de défaillance le plus courant dans les modules. Si l'on observe la figure I-26 on peut constater qu'un module de puissance est un empilement de couches de matériaux différents avec différentes propriétés mécaniques citées dans le tableau I-1.

On trouve d'abord la puce en silicium avec sa métallisation où sont assemblés les fils de connexion, qui est brasée sur un substrat DCB (Direct Copper Bonding). Ces substrats sont de très bons conducteurs thermiques et isolants électriques, ils sont constitués d'une céramique prise en sandwich entre 2 films de cuivre. Cet ensemble est brasé sur une semelle qui sera ensuite montée sur un dissipateur thermique.

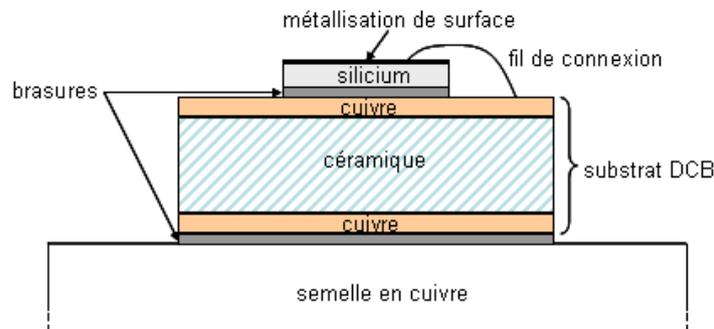


Figure I-26: Représentation schématique des différentes couches dans un module de puissance.

Couche	Matériaux	Densité volumique (g/cm <sup>3</sup> )	CTE (10 <sup>-6</sup> /°C)	Conductivité thermique (W/mK)
Semiconducteur	Si	2.33	2.6	148
Pellicule de métal DCB	Cu	8.96	17.8	398
	Al	2.7	23.6	238
Céramique	AlN	3.3	4	170-200
	Al <sub>2</sub> O <sub>3</sub>	3.98	6.5	20-30
Semelle	AlSiC <sub>x</sub>	3	6.9-9.89	150-180
	Cu	8.96	17.8	398

Table I-1: Propriétés des différentes couches d'un module de puissance.

### I.3.2.2.1. Cavités dans les brasures

Les brasures n'étant pas parfaites elles peuvent présenter des cavités lors du processus d'assemblage, ces cavités ne permettant pas la conduction thermique elles vont accroître la résistance thermique du module. Lors du cyclage thermique sous contraintes thermomécaniques ses cavités peuvent se multiplier s'agrandir ou se redistribuer dans la brasure ce qui aura pour conséquence de dégrader la dissipation thermique du module.

### I.3.2.2.2. Délaminage des brasures

Les différentes couches du module de puissance ont des CTE différents ce qui va engendrer des problèmes de contraintes mécaniques lors du cyclage thermique, c'est la brasure entre la semelle et le substrat DBC qui sera la plus fragilisée car c'est la brasure qui a la surface la plus importante et c'est entre la céramique et la semelle que la différence de CTE est la plus élevée. Au fur et à mesure des cycles cette brasure va se fatiguer, des fissures vont apparaître dans les coins où le cisaillement est maximum, ce qui va augmenter la résistance thermique du module, et vont se propager vers le centre de la brasure jusqu'au délaminage [BOU08].

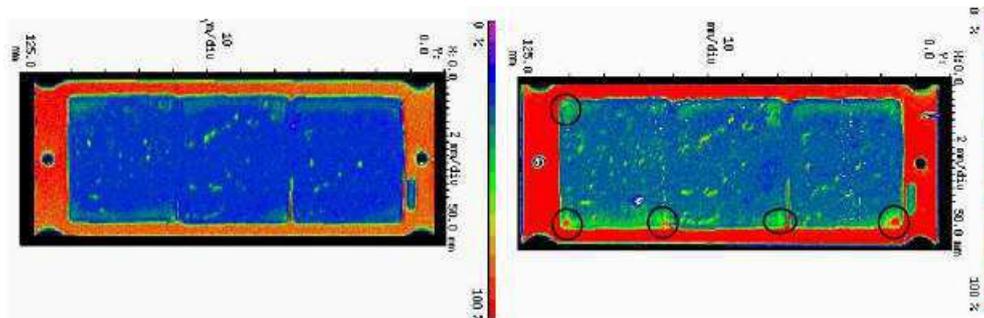


Figure I-27: Brasure substrat/semelle avant cyclage et après 50 cycles thermiques. Source [BOU08].

Pour diminuer ces problèmes de fiabilité, le choix des différents matériaux doit être fait de façon à réduire au maximum les différences de CTE entre les couches, aussi le choix de l'épaisseur des brasures est primordial plus elle sera fine plus elle sera fragile et plus elle sera épaisse plus la résistance thermique du module va augmenter.

Afin de supprimer les problèmes de fiabilité causés par ces brasures, de nouveaux modules de puissance sont proposés [GRA09] [PLU09]. Ces modules ne possèdent plus de semelle ce qui permet d'éliminer la brasure substrat céramique/semelle. Quant à la brasure de la puce sur le substrat, elle est remplacée par un contact pressé obtenu par frittage d'une fine couche d'argent qui a une température de fusion très élevée (960°C) et qui ne fatiguera pas lors du cyclage du module. Aussi la suppression de ces deux brasures permet de diminuer la résistance thermique du module et d'améliorer sa tenue au cyclage thermique.

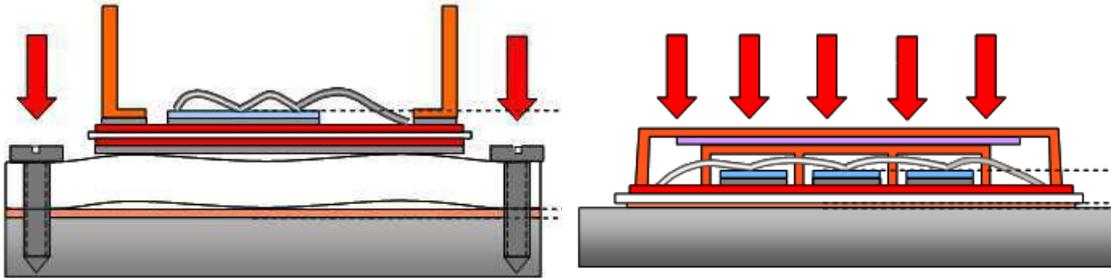


Figure I-28: Module développé par Semikron avec et sans semelle. Source [PLU09].



## Chapitre II: Cyclage en avalanche d'un MOSFET

### II.1. Présentation du MOSFET étudié

#### II.1.1. La technologie HDTMOS développée par Freescale

La technologie HDTMOS (High Density TMOS) développée par Freescale Semiconducteurs est une technologie de MOSFETs de puissance verticaux de type VDMOS qui intègre un très grand nombre de cellules élémentaires, sa densité de cellules est supérieure à 1 million de cellules par  $\text{cm}^2$ . Ces transistors d'une tenue en tension de 45V sont habituellement associés à des puces de contrôle dans un boîtier de type PQFN, et sont utilisés comme des interrupteurs de puissance intelligents que l'on retrouve dans l'automobile (vitres électriques, phares...).

Afin de remplir le cahier des charges imposé par le système d'alternateur-démarrageur, Freescale Semiconducteurs Toulouse a développé une nouvelle génération de HDTMOS avec une tenue en tension de 25V capable de fonctionner en avalanche pendant des millions de cycles à fort courant. La suite de ce mémoire est consacrée à la description et à l'étude du composant développé.

##### II.1.1.1. Design de la cellule élémentaire

###### II.1.1.1.1. Le WELLFET

Pour construire une technologie HDTMOS à partir d'une cellule élémentaire de type WELLFET il faut huit masques de photolithographie, incluant 2 masques utilisés pour la conception du capteur de température et 1 masque pour la passivation. La cellule élémentaire de type WELLFET [REY06] est constituée d'une croix aux extrémités arrondies dont les contours sont dessinés par le bloc de grille. Ce bloc de grille est un ensemble de couches constitué de l'oxyde de grille, du silicium polycristallin (appelé aussi polysilicium) de grille et d'un empilage permettant d'éviter le contact entre le métal source et la grille qui sert aussi de barrière aux contaminants. Dans la croix ainsi délimitée est implanté le caisson P haute tension appelé PHV permettant de tenir la tension, puis la source dopée  $\text{N}^+$  est implantée par-dessus excepté au centre de la croix. Enfin les espaceurs permettant de protéger le bloc de grille de toute contamination sont déposés, puis une implantation  $\text{P}^+$  est faite afin de contacter le PHV (Figure II-1).

Considérons une cellule élémentaire WELLFET, après diffusion la zone de PHV à l'extrémité d'une branche va s'étendre et rejoindre la zone PHV située à l'extrémité de la

branche en regard de la cellule adjacente. Ce type de cellules permet donc d'avoir des sources différentes pour chaque cellule mais un PHV continu. Concernant la grille, le polysilicium de grille du MOSFET est alimenté par un rail sur la périphérie de la puce dont le potentiel est fixé par le plot de connexion de grille.

Les cellules de terminaison qui sont en périphérie de la puce n'ont pas d'implantation de  $N^+$ , par conséquent ces cellules de bord ne permettent pas de conduire le courant, leur fonction principale est de tenir la polarisation inverse. Dans la technologie HDTMOS, pour de faibles tensions le type de terminaison utilisée est la terminaison planar en plaque de champ.

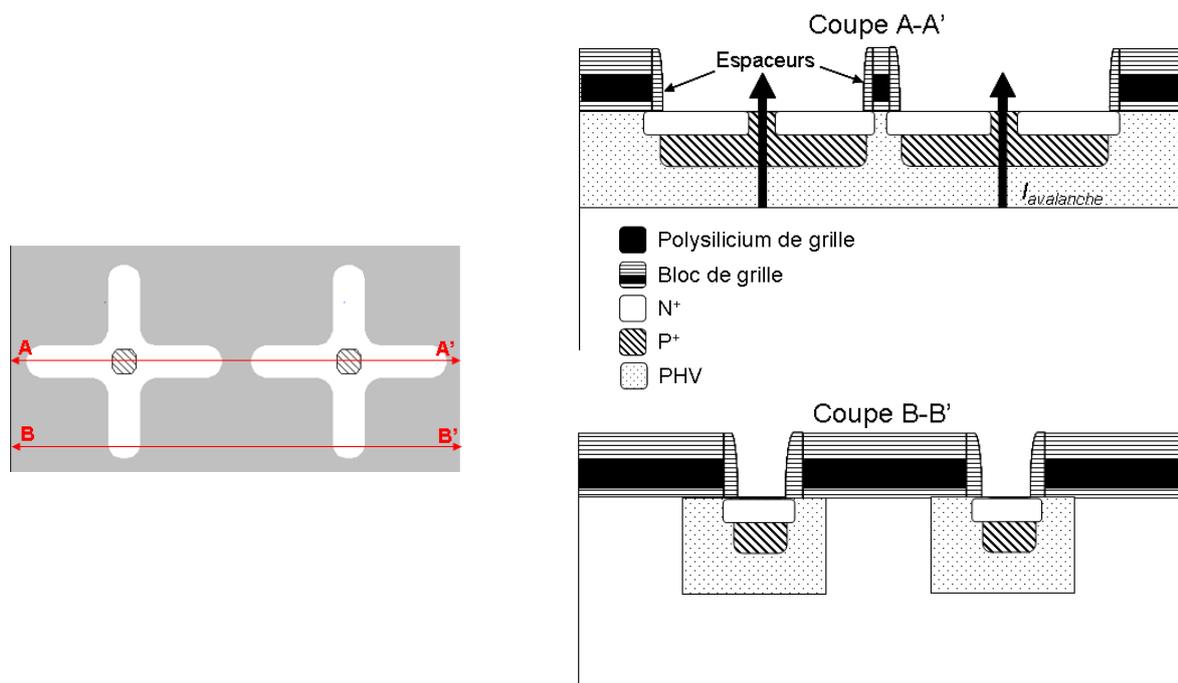


Figure II-1: La cellule élémentaire du WELLFET.

Une des particularités du MOSFET étudié dans ce mémoire est qu'il doit avoir une tension de blocage de 25 Volts alors que les générations précédentes de HDTMOS avaient des tensions de blocage de 45 Volts, par conséquent le dopage de la zone épitaxiée a été augmenté. La seconde particularité de ce composant est qu'il doit pouvoir fonctionner en mode d'avalanche sous fort courant alors qu'habituellement l'avalanche apparaît seulement de façon accidentelle.

Pendant le fonctionnement en avalanche du MOSFET les forts courants vont traverser les zones de PHV et la zone  $P^+$  avant d'atteindre la surface. Avec la géométrie WELLFET le courant d'avalanche ne peut pas sortir par les fins de branches, il ne peut sortir que par l'ouverture du  $P^+$  au centre de la croix (Figure II-1). Le courant passant à travers cette ouverture  $P^+$  est donc colossal. D'après les simulations électriques faites à l'aide du logiciel Sentaurus de chez SYNOPSIS, pendant l'avalanche avec une cellule

élémentaire de type WELLFET la densité de courant est maximum au niveau du contact P<sup>+</sup> ce qui va engendrer un point chaud au centre de la croix du WELLFET (Figure II-2).

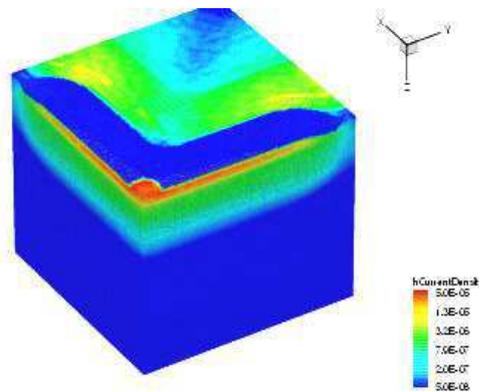


Figure II-2: Densités de courant pendant l'avalanche pour l'ancienne génération d'HDTMOS.

Pour atteindre la surface, le courant d'avalanche ne peut passer que par le P<sup>+</sup>, il doit donc parcourir toute la branche de la croix du WELLFET. La résistance du PHV va s'opposer au passage de ce fort courant ce qui va engendrer une différence de potentiel pendant l'avalanche entre le PHV et le P<sup>+</sup>. Le N<sup>+</sup> étant au même potentiel que le P<sup>+</sup>, cette différence de potentiel se retrouve aussi entre N<sup>+</sup> et PHV. Lorsque cette tension atteint la valeur de la tension directe de la diode N<sup>+</sup>/PHV (environ 0.65V [TRA84]), le transistor bipolaire parasite N<sup>+</sup>/PHV/N<sub>épi</sub> se met en marche. Ce déclenchement du transistor bipolaire entraîne un basculement de la tension vers un niveau de tension plus faible, c'est le phénomène de repliement aussi appelé « snapback » (Figure II-3). Cette modification de l'impédance est suivie par un second claquage thermique destructif, il faut donc absolument éviter que le composant se retrouve dans ce mode de fonctionnement.

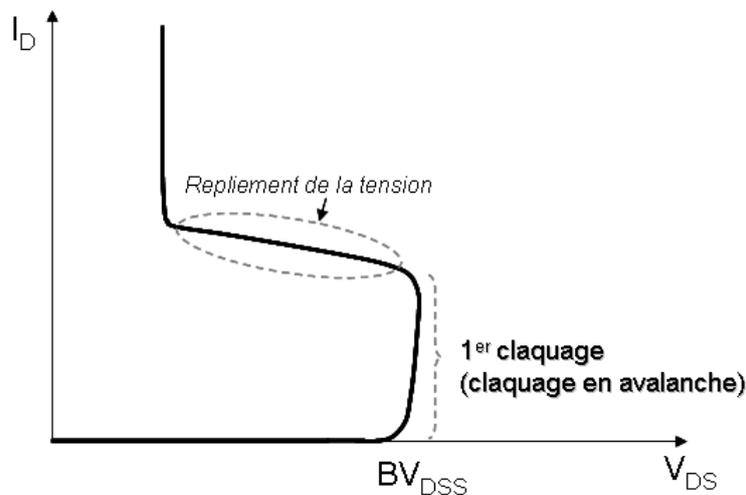


Figure II-3: Phénomène de repliement dans un MOSFET.

### II.1.1.1.2. La croix occitane

La dernière génération de HDTMOS a été modifiée de façon à être plus robuste pendant l'avalanche. La première modification est l'augmentation des dopages et de la profondeur des caissons P<sup>+</sup> pour diminuer la résistance et ne pas déclencher le bipolaire parasite. Aussi afin de diminuer la densité de courant dans l'ouverture P<sup>+</sup> au centre du WELLFET durant l'avalanche, le nombre d'ouvertures a été augmenté. Ainsi de nouveaux passages ont été créés aux extrémités des branches ce qui divise la densité de courant par 5 (Figures II-4 et II-5). De plus le trajet que le courant aura à parcourir pour sortir sera plus court et moins résistif. Enfin, afin de pouvoir créer ces nouvelles ouvertures les fins de branches ont été modifiées et arrondies ce qui permet d'avoir un meilleur accolement des PHV entre cellules. Ces modifications font que le point chaud qui apparaissait pendant l'avalanche avec une cellule WELLFET (Figure II-2) n'existe plus (Figure II-5). Avec cette nouvelle cellule élémentaire, la dernière génération de HDTMOS se montre exceptionnellement robuste en avalanche.

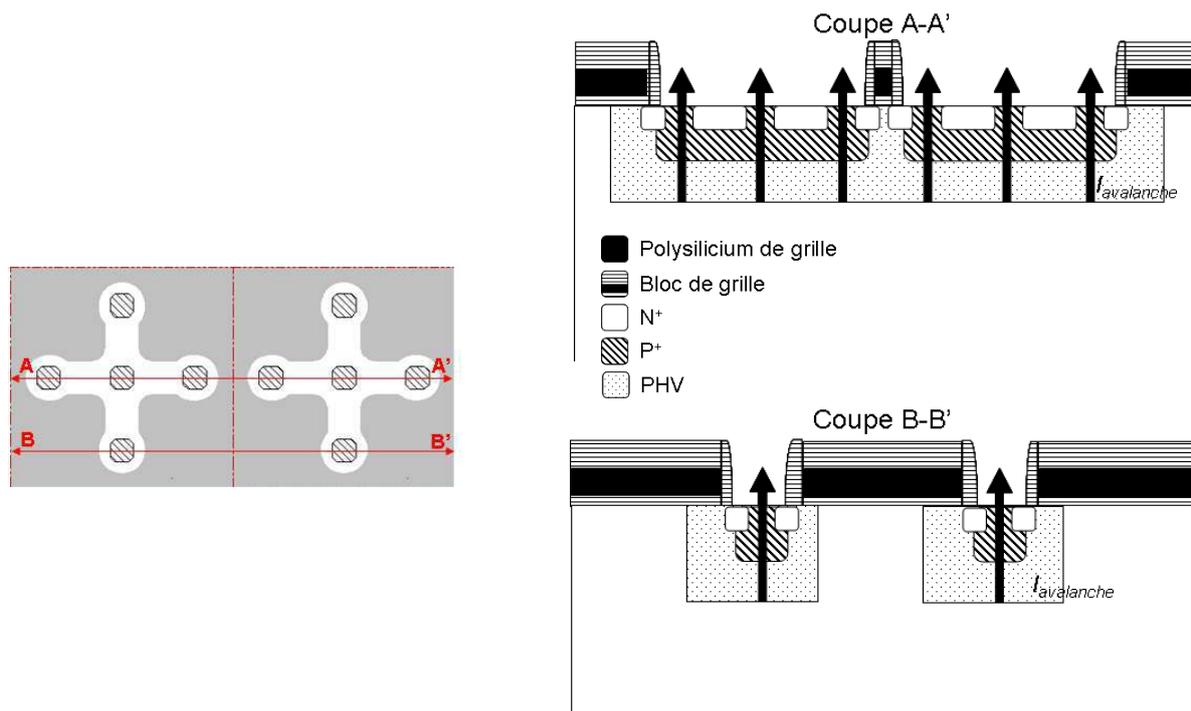
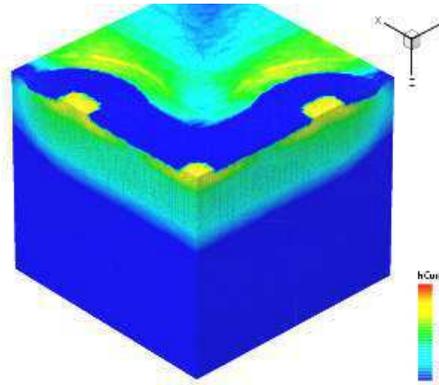


Figure II-4: La cellule élémentaire du HDTMOS dernière génération.



**Figure II-5: Densité de courant pendant l'avalanche dans une cellule élémentaire dernière génération.**

Dans l'application étudiée, les transistors sont montés dans des bras de pont en parallèle qui forment l'onduleur. Si ces MOSFETs ont des tensions de claquage trop différentes les unes des autres, lorsque plusieurs transistors dans des branches parallèles seront à l'état bloqué, tout le courant d'avalanche passera par le MOSFET avec le  $BV_{DSS}$  le plus faible. C'est pourquoi pour cette dernière génération de HDTMOS il est nécessaire de développer un procédé de fabrication répétable, possédant des distributions de  $BV_{DSS}$  extrêmement serrées.

#### ***II.1.1.2. Métallisation de source épaisse***

La métallisation de source du HDTMOS est composée d'aluminium et de 1% de silicium, l'aluminium est un métal très bon conducteur qui possède une bonne adhésion sur l'oxyde de silicium. L'ajout de silicium permet de saturer l'aluminium en silicium afin d'éviter les problèmes d'interdiffusion du substrat dans la métallisation. Les précédents HDTMOS avaient une métallisation de  $4\mu\text{m}$  d'épaisseur déposée en une seule couche par des machines de pulvérisation cathodique d'ancienne génération. Les HDTMOS étudiés dans ce mémoire ont une métallisation épaisse de  $10\mu\text{m}$  en  $\text{AlSi}_{1\%}$  déposée en plusieurs fois à l'aide d'une machine de pulvérisation cathodique dernière génération. Ce type de déposition permet de diminuer les contraintes résiduelles dans l'aluminium. Au niveau du transistor, cette métallisation épaisse permet de diminuer la résistance à l'état passant du composant en améliorant le recouvrement des marches de la topographie. En effet, en déposant une couche trop fine de métal, lorsque celui-ci va contacter le silicium à travers l'ouverture de source il va créer une déplétion de l'aluminium en surface (figure II-6). Ainsi la couche d'aluminium n'est pas homogène et les cavités vont faire augmenter sa résistivité. De plus une métallisation épaisse permet aussi de protéger la topographie lors des opérations de câblage de la puce. D'après [SAU07] la contrainte maximale dans la couche de métallisation diminue lorsqu'on augmente l'épaisseur d'aluminium, ce qui permet d'améliorer la fiabilité du composant.



Figure II-6: Métallisation AlSi<sub>1%</sub> fine.

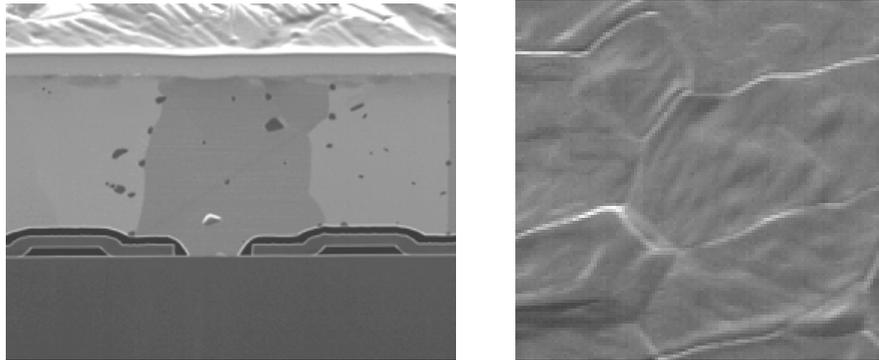


Figure II-7: Métallisation AlSi<sub>1%</sub> épaisse.

Sur la figure II-7, on peut voir la structure colonnaire des grains d'aluminium (monocristallin sur l'épaisseur de la métallisation) ainsi que les grains de silicium obtenus avec le procédé de dépôt de métal dernière génération pour les couches épaisses. Les propriétés des couches fines de 4 $\mu$ m d'épaisseur et des couches épaisses de 10 $\mu$ m sont présentées dans la table II-1 [SAU07].

	Machine de dépôt ancienne génération	Machine de dépôt dernière génération
Epaisseur ( $\mu$ m)	4	10
Nombre de passes pour le dépôt	1	5
Contrainte résiduelle (MPa)	50	45
Résistivité ( $\mu\Omega$ .cm)	2.4	2.65
Réfectivité (%)	160	180
Taille des grains ( $\mu$ m)	4	10

Table II-1: Propriétés des métallisations AlSi<sub>1%</sub> de 4 $\mu$ m et 10 $\mu$ m.

### II.1.1.3. Passivation

Afin d'éviter tout court-circuit entre la grille et la source, une couche de passivation en SiO<sub>2</sub> recouvre le rail de grille ainsi que les cellules élémentaires en bord de la surface active. La topographie de la puce doit être compatible avec cette couche de passivation, en effet la métallisation étant très épaisse et la couche de passivation très fine, il faut limiter au

maximum les larges espaces ouverts entre les métallisations de source et de grille afin d'éviter que la passivation ne remplisse ces espaces en découvrant le sommet du métal.

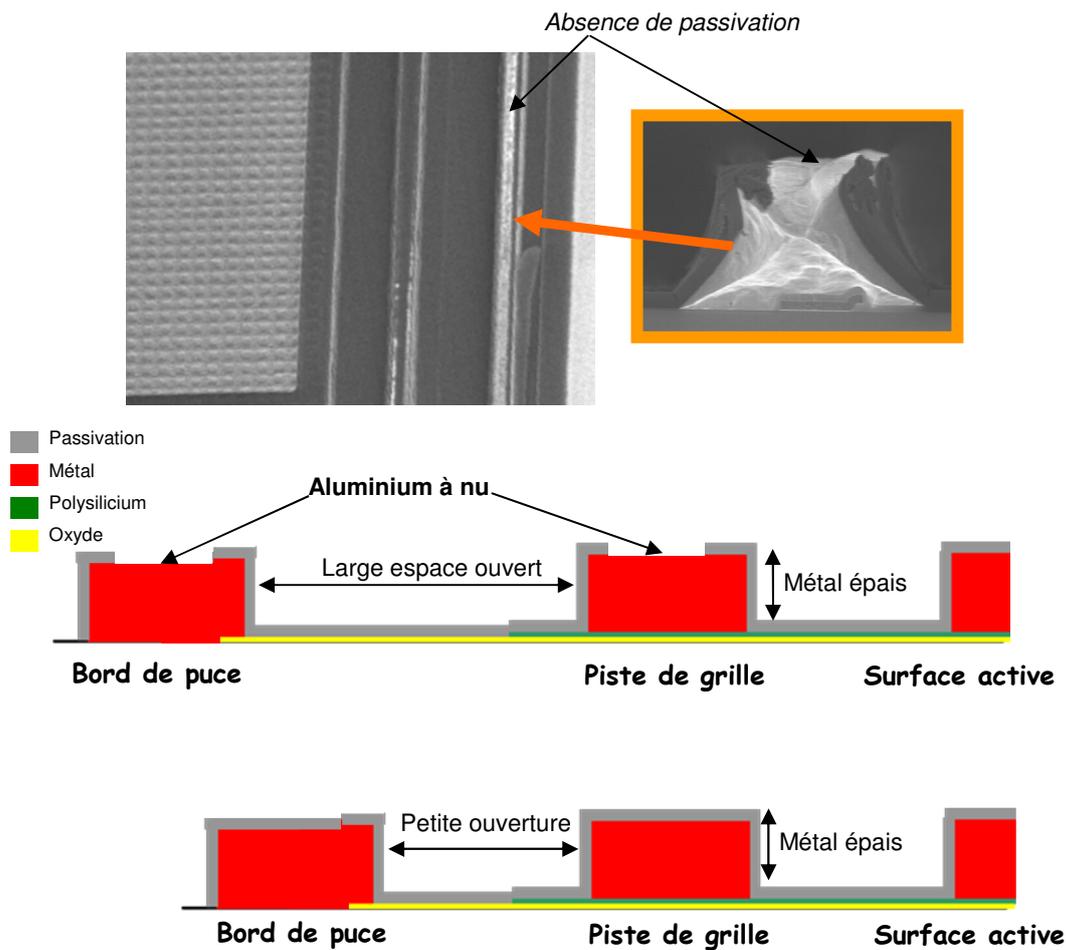


Figure II-8: Impact de la géométrie de la puce sur l'intégrité de la couche de passivation.

#### II.1.1.4. Capteur de température intégré : la diode en polysilicium

Afin de contrôler la température du silicium, une diode en polysilicium est intégrée à la puce. L'intégration de ce capteur nécessite l'ajout de 2 masques de photolithographie qui serviront exclusivement à cette diode ainsi que 2 implantations de type  $N^+$  et  $P^+$  pour faire les jonctions de la diode. Le procédé de fabrication de ce capteur est détaillé dans la figure II-9.

Cette diode est utilisée comme une sonde en température car sa tension directe est sensible à celle-ci, ainsi en injectant un courant dans la diode et en mesurant la tension directe  $V_F$  à ses bornes on peut déterminer la température du silicium.

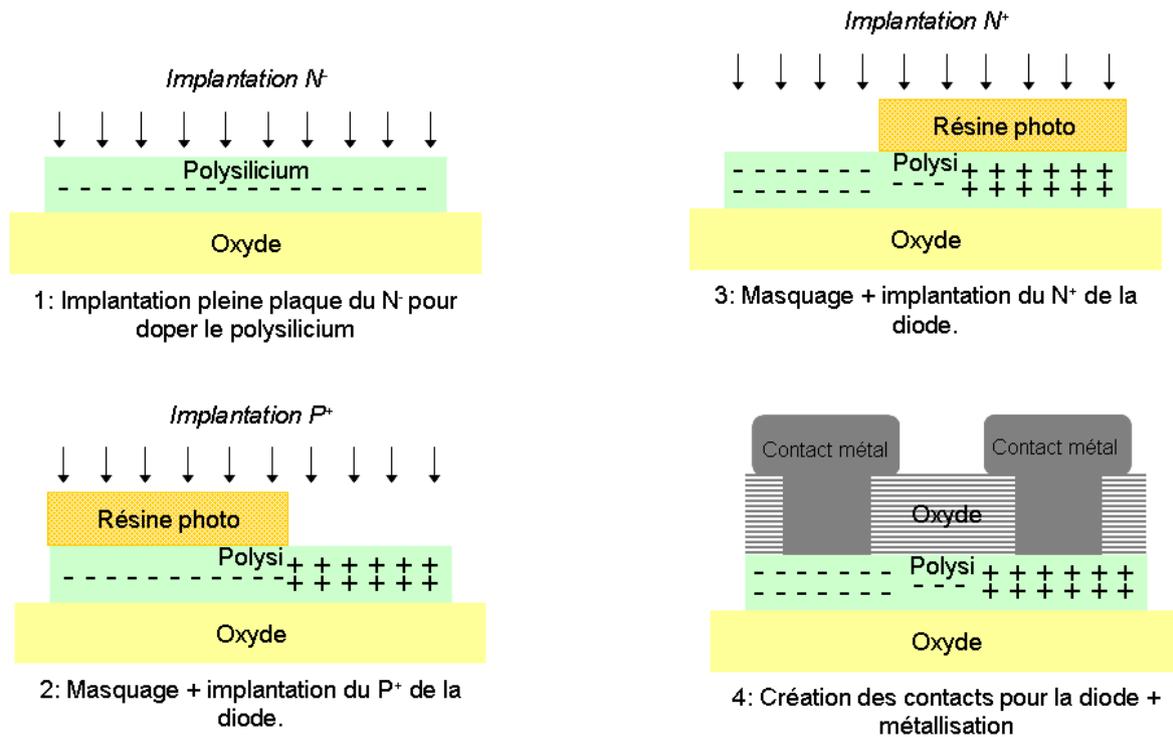


Figure II-9: Etapes de fabrication de la diode en polysilicium.

#### II.1.1.5. Compatibilité du MOSFET avec l'assemblage dans le module

Les HDTMOS ont tous sur leur face arrière une métallisation multicouche qui sert à braser la puce sur son boîtier, mais qui sert aussi de conducteur thermique entre la puce et le boîtier, et d'interface électrique puisque le drain d'un VDMOS se trouve sur sa face arrière. Pour remplir ces fonctions ce système multicouche doit remplir plusieurs conditions [HAR00]:

- Bonne attache de la métallisation face arrière sur le silicium. Pour cela la métallisation multicouche doit résister aux fortes températures du procédé d'assemblage, elle doit aussi être robuste lors du cyclage thermique de la puce et avoir une bonne conductibilité thermique.
- Bonne mouillabilité avec la pâte à braser afin d'avoir une brasure avec le moins de cavités possible.
- Bloquer la diffusion d'impuretés.

Ainsi, généralement les semiconducteurs de puissance possèdent 3 couches de métallisation sur la face arrière. Une première couche permet l'adhésion au silicium, une deuxième couche sert de barrière aux impuretés et enfin une troisième couche métallique permet une bonne brasure avec la pâte à braser. Cette dernière couche est totalement consommée lors du procédé de brasure. Dans le cas de la technologie HDTMOS, la face arrière des composants est couverte de couches de Titane, Nickel et Argent. Habituellement ce type de composant est assemblé dans des boîtiers de type PQFN [FRE07], mais pour

l'application alterno-démarreur les MOSFETs sont assemblés dans des modules de puissance. Il a donc fallu adapter l'épaisseur d'argent au type de pâte à braser, (dans le cas étudié dans ce mémoire il s'agit d'une brasure de type PbSnAg), et au procédé d'assemblage choisi. De ce fait la dernière génération de composants HDTMOS possède une couche d'argent plus fine que ses versions précédentes.

### II.1.2. Véhicule de test utilisé

Pour des raisons économiques et pratiques, chez le fabricant de silicium le HDTMOS n'est pas testé en module mais dans un véhicule de test adapté à la taille de la puce, réutilisable et dans lequel il est simple d'assembler le MOSFET. Les puces testées en avalanche sont donc assemblées dans des boîtiers de type TO3 jumbo à 6 broches avec une pâte à braser de type  $Pb_{92.5}Sn_5Ag_{2.5}$  pour braser la puce sur le boîtier. La grille est connectée à une broche par un fil de 1.3 mils ( $1\text{mil}=25.4\mu\text{m}$ ) de diamètre, 3 broches sont reliées aux fils de source par des fils de 20 mils et enfin deux broches sont reliées à la diode en polysilicium du capteur de température par des fils de 1.3 mils. Etant donné que le drain se trouve sur la face arrière du transistor, il peut être pris sur la base du boîtier. Ce boîtier est fait en acier DC04 à faible teneur en Carbone. Afin d'obtenir la meilleure tenue possible au cyclage en avalanche, le contact de chaque fil de source avec la métallisation source se fait en plusieurs points au lieu d'un seul pour permettre une répartition homogène du courant sur la puce et une meilleure répartition thermique. Aussi la brasure face arrière de la puce a été optimisée de façon à avoir une couche d'épaisseur uniforme, avec le moins de trous possible sans avoir une couche trop épaisse, le tout pour assurer une bonne dissipation thermique pendant l'avalanche.

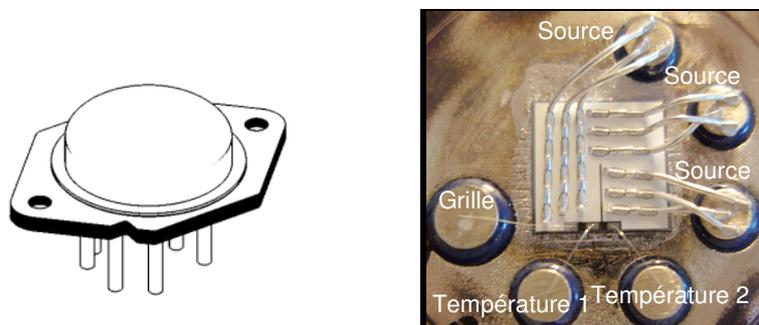


Figure II-10: Boîtier TO3 et assemblage du produit.

## II.2. Appareils et méthodes de mesure des paramètres électriques statiques

### II.2.1. Appareils de mesure

#### II.2.1.1. HP 4142B



Figure II-11: Alimentation HP4142B.

Pour effectuer les mesures des caractéristiques des composants à faibles courants, les TO3 ont été testés sur un HP4142B. C'est une alimentation programmable en tension et courant d'une très grande précision de mesure avec une gamme en courant de 20fA à 100mA et une gamme en tension de 40 $\mu$ V à 100V.

#### II.2.1.2. Tektronix 371A

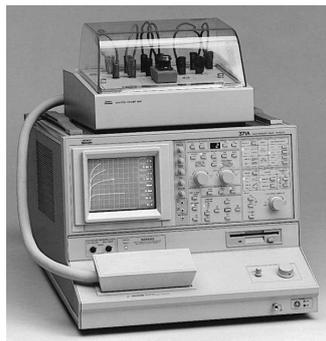


Figure II-12: Le Tektronix 371A.

Les mesures à forts courants ont été faites sur le Tektronix 371A. Ce traceur de courbes propose un régime pulsé ce qui permet de limiter l'autoéchauffement du produit testé et de générer des impulsions d'une puissance maximale de 3000 W, de courant maximum 400A et de tension maximale de 3000V. La durée des impulsions délivrées est d'environ 200 $\mu$ s. Les entrées "Force" du traceur injectent le courant dans le produit et les entrées "Sense" permettent de s'affranchir de la différence de potentiel dans les fils de câblage lors des mesures.

### II.2.2. Paramètres électriques statiques

Les paramètres électriques des puces sont mesurés lorsqu'elles sont encore sur plaquettes silicium à la fin du procédé de fabrication. Avant de cycliser en avalanche un

composant, les paramètres électriques standards sont remesurés une fois le produit assemblé dans son véhicule de test, afin de vérifier que l'assemblage n'ait pas introduit de nouveaux défauts. Lors de ces mesures, pour s'affranchir des résistances de fils, il faut que pour chaque électrode le courant soit forcé à travers un fil (Force) différent de celui qui va prendre la mesure (Sense) comme représenté sur la figure II-13. La source étant reliée à trois broches du boîtier TO3, la configuration standard choisie est telle que le sense est pris sur la broche du milieu et le courant est injecté par les 2 broches adjacentes.

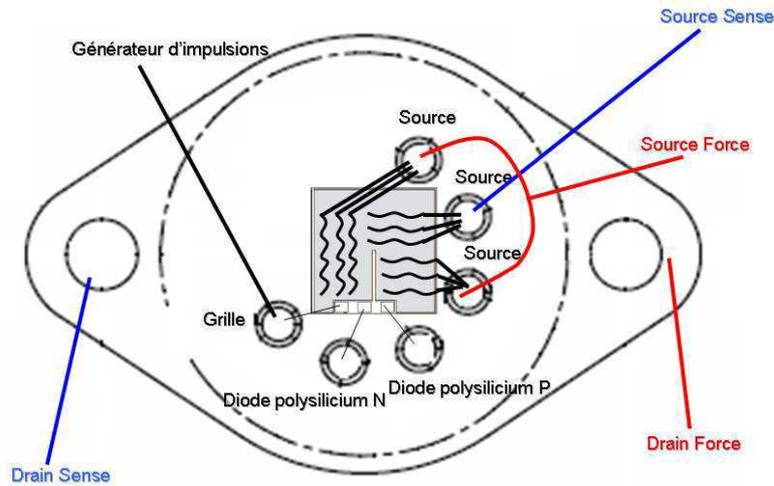


Figure II-13: Schéma de câblage du MOSFET en boîtier TO3 pour les mesures électriques.

### II.2.2.1. Mesures à faible courant à température ambiante

#### II.2.2.1.1. $BV_{DSS}$

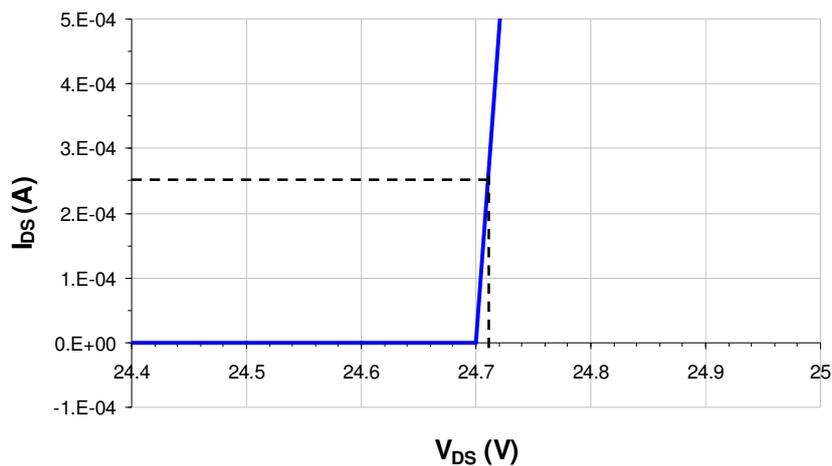


Figure II-14: Mesure de  $BV_{DSS}$  à faibles courants.

La tension de claquage du MOSFET est mesurée en court-circuitant la grille et la source pour avoir  $V_{GS}=0V$  ce qui met le MOSFET à l'état bloqué. Le claquage est obtenu en augmentant la tension entre le drain et la source et la tension  $BV_{DSS}$  est relevée pour un

certain courant  $I_{DS}$ . Dans le cas présent ce courant  $I_{DS}=250.10^{-6}A$ , à cette valeur la tension de claquage du MOSFET est de 24,71 Volts.

#### II.2.2.1.2. $I_{DSS}$

En gardant les mêmes paramètres de connexion que pour la mesure du  $BV_{DSS}$ , on peut mesurer le faible courant de fuite qui circule entre le drain et la source lorsque le MOSFET est à l'état bloqué. Ce courant  $I_{DSS}$  est mesuré pour  $V_{DS}=5V$  et  $20V$ . Pour le MOSFET étudié ce courant  $I_{DSS}$  est de l'ordre de  $10^{-9}$  Ampères.

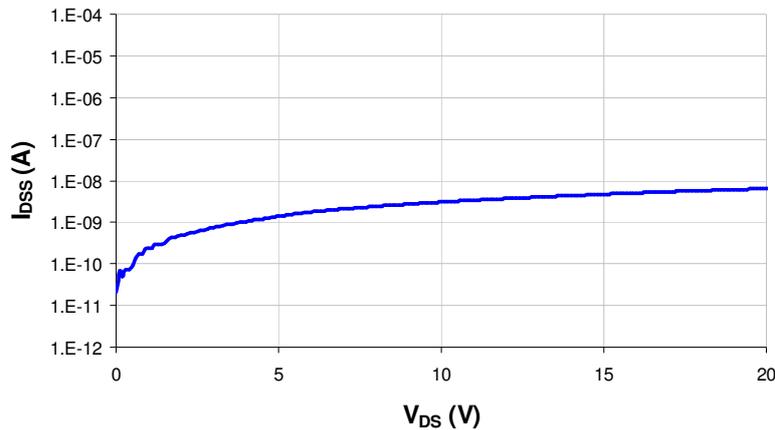


Figure II-15: Mesure de l' $I_{DSS}$  entre 0V et 20V.

#### II.2.2.1.3. $V_{GSth}$

La mesure de la tension de seuil du composant se fait en court-circuitant le drain avec la grille de façon à avoir  $V_{GS}=V_{DS}$ . Dans la suite de ce mémoire cette tension sera toujours donnée pour une valeur de courant  $I_{GS}=250.10^{-6}A$ . Pour le MOSFET étudié  $V_{GSth}=3.64V$ .

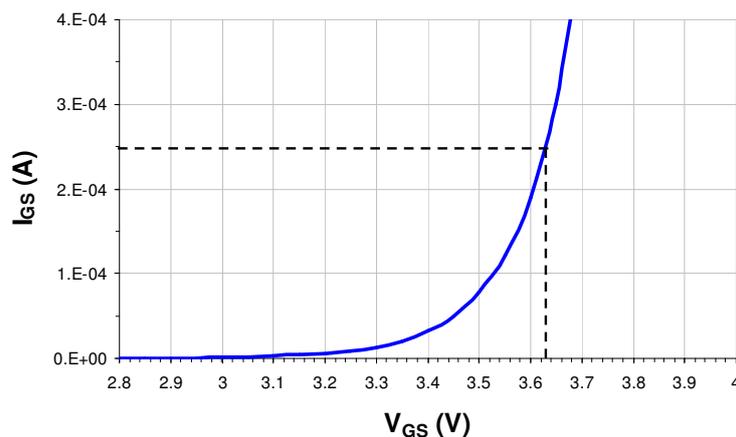


Figure II-16: Mesure de  $V_{GSth}$  à faibles courants.

#### II.2.2.1.4. $I_{GSS}$

La fuite de courant à travers la grille  $I_{GSS}$  se mesure pour  $V_{DS}=0V$ , ainsi pour le produit étudié entre 0V et 20V cette fuite  $I_{GSS}$  est de l'ordre de  $10^{-12}$  Ampères.

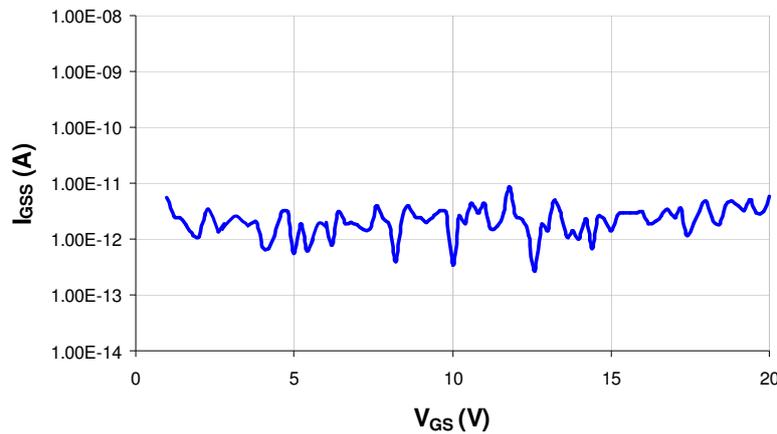


Figure II-17: Mesure de l' $I_{GSS}$  entre 0V et 20V.

#### II.2.2.1.5. $V_F$

C'est la tension de passage dans le sens direct de la diode structurale du MOSFET lorsque celui-ci est à l'état bloqué. Cette tension est mesurée à  $V_{GS}=0V$  pour un courant  $I_{SD}$  de  $150.10^{-3}A$  à ce courant  $V_F=630mV$ .

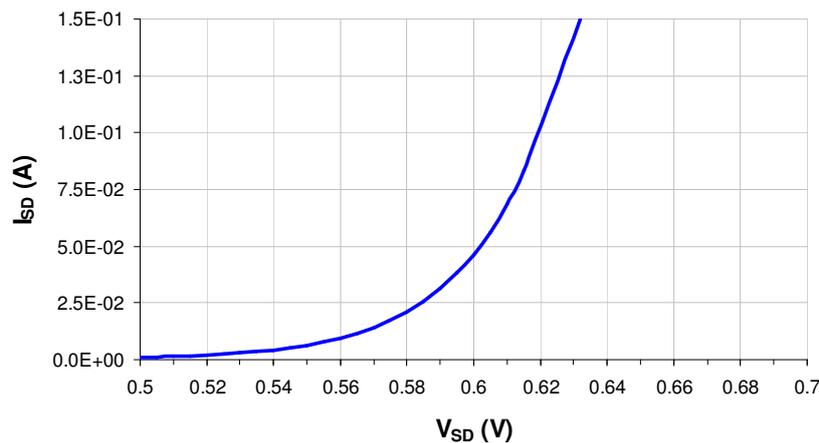


Figure II-18: Mesure de  $V_F$  à faibles courants.

#### II.2.2.2. $R_{DSon}$ à température ambiante

La résistance à l'état passant de cette dernière génération de HDTMOS est tellement faible qu'elle ne peut pas être mesurée avec les équipements faible courant, par conséquent la  $R_{DSon}$  est mesurée à des courants élevés. Le fonctionnement du MOSFET dans l'application se faisant à plusieurs centaines d'ampères, la  $R_{DSon}$  a été mesurée pour des valeurs de courant entre -400A et 400A. La mesure de ce paramètre se fait à l'état passant du MOSFET, pour cela la tension grille source est fixée à 15 Volts pour avoir un canal ouvert au maximum. Ensuite un courant est forcé entre le drain et la source et la tension entre le drain et la source est mesurée pour différentes valeurs de courant  $I_{DS}$ . Ainsi on obtient la courbe de la figure II-19 qui montre une relation linéaire entre  $I_{DS}$  et  $V_{DS}$  parfaitement symétrique par rapport à zéro où  $R_{DSon}=0.57 m\Omega$ .

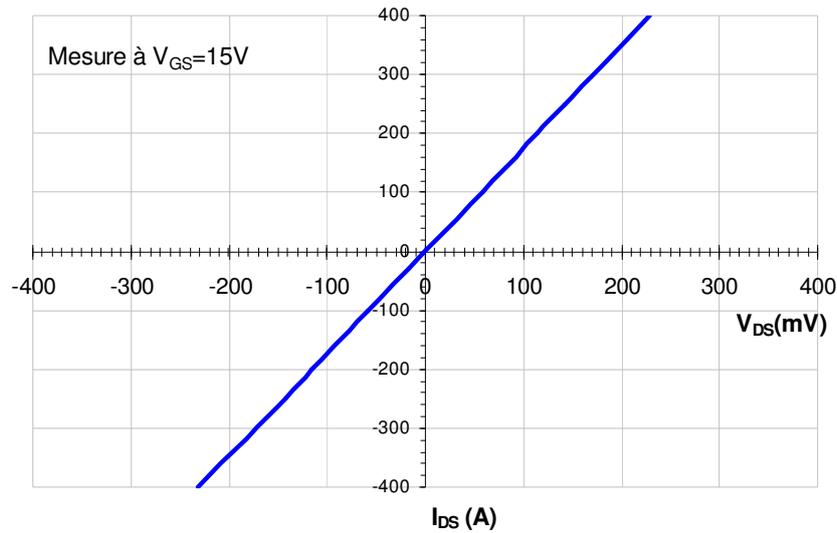


Figure II-19: Mesure de la résistance à l'état passant à forts courants.

### II.2.2.3. Récapitulatif des caractéristiques électriques statiques

Le tableau suivant récapitule les différents paramètres électriques statiques mesurés à température ambiante pour le HDTMOS étudié dans ce mémoire. Ce tableau donne des plages de valeurs car d'un lot de plaquettes silicium à un autre les valeurs électriques peuvent varier.

Symboles électriques	Conditions de tests à 25°C	Valeur	Unité
$BV_{DSS}$	$V_{GS}=0V ; I_{DS}=250.10^{-6}A$	24.5 - 26.5	V
$I_{DSS}$	$V_{GS}=0V ; V_{DS}=20V$	$<10.10^{-9}$	A
$V_{GSth}$	$V_{GS}=V_{DS} ; I_{GS}=250.10^{-6}A$	2.7 - 4.3	V
$I_{GSS}$	$V_{DS}=0V ; V_{GS}=20V$	$<10.10^{-9}$	A
$V_F$	$V_{GS}=0V ; I_{SD}=150.10^{-3}A$	500 - 800	mV
$R_{DSon}$	$V_{GS}=15V ; I_{DS}=400A$	$< 0.8$	$m\Omega$

Table II-2: Caractéristiques du HDTMOS étudié à température ambiante.

Les plages de valeurs des différents paramètres du MOSFET étant connues, si lors de mesures après assemblage chaque paramètre entre dans ces spécifications, le MOSFET peut être testé en UIS.

## II.3. Cyclage en avalanche du HDTMOS

### II.3.1. Principe du test

Le test utilisé pour le cyclage en avalanche du transistor est différent de celui présenté dans la partie I.2.6.2 du chapitre précédent. En effet sur la figure II-20 sont représentés les schémas du test UIS utilisé dans ce mémoire ainsi que les comportements en tension et courant du MOSFET testé (DUT). Dans ce test la grille du DUT est connectée à sa source ainsi le composant est toujours à l'état bloqué. Dans la zone 1 de la figure II-20), l'interrupteur  $K$  est ouvert et la diode interne du DUT bloque le courant et on retrouve à ses bornes la tension d'alimentation  $V_{DD}$ . Lorsque  $K$  est fermé, l'inductance  $L$  se charge, et à l'ouverture de  $K$  (zone 3),  $L$  se décharge entre drain et source du DUT et le MOSFET passe en avalanche jusqu'à la décharge complète de la bobine.

Contrairement au test UIS classique, dans le test de la figure II-20 ce n'est pas le MOSFET testé (DUT) qui commande la charge et la décharge de la bobine dans le composant à l'état bloqué mais un interrupteur commandé indépendamment. En faisant le test de cette façon aucun courant ne circule dans le canal du DUT avant l'avalanche. Le courant passe ainsi brutalement de  $I_{av} = 0A$  à plusieurs centaines d'Ampères en quelques microsecondes. Ce test est donc plus contraignant pour le MOSFET que le test d'UIS classique.

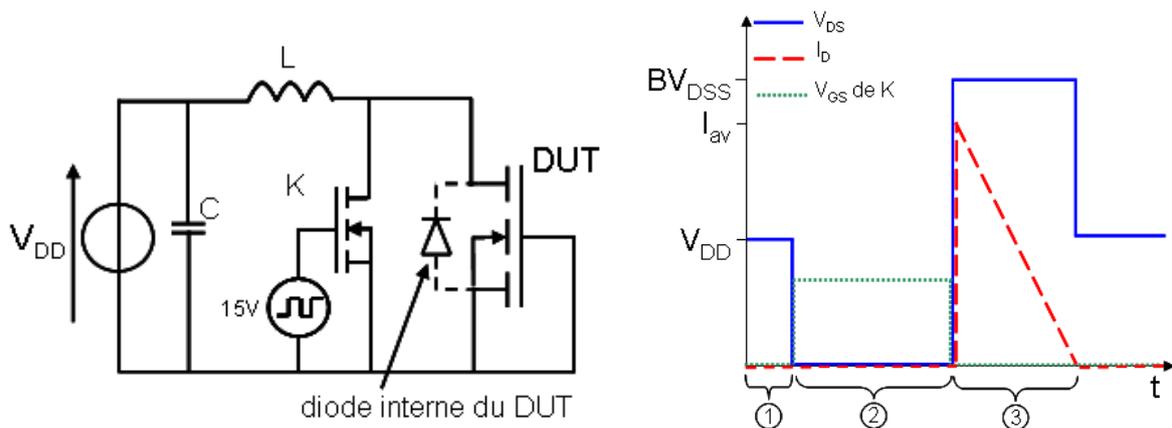


Figure II-20: Schéma du test UIS répétitif.

### II.3.2. Equipement pour le cyclage

Afin de faire cycliser une puce en avalanche un banc de test UIS représenté sur la figure II-21 a spécialement été conçu. L'interrupteur  $K$  de la figure II-21 permettant de commander la charge et la décharge de la bobine dans le DUT est en réalité un circuit alimenté par un générateur de tension de 15V avec ses capacités de filtrage.

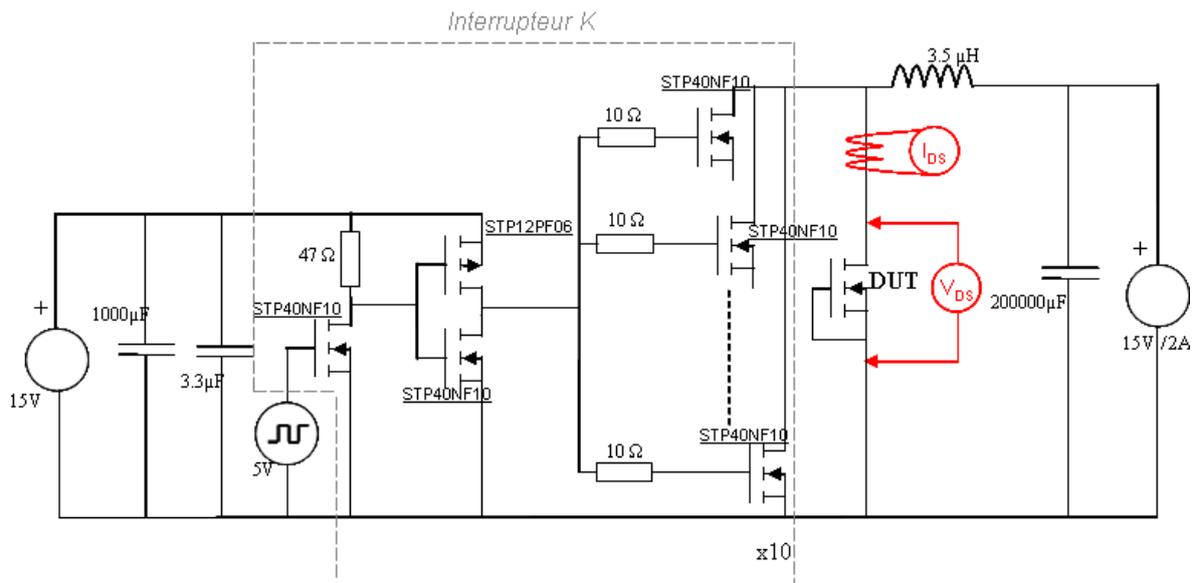


Figure II-21: Schéma détaillé du banc de cyclage en avalanche.

Cet interrupteur K est composé d'un premier NMOS dont la sortie commande l'inverseur constitué d'un PMOS et d'un NMOS. Cet inverseur va fournir du courant pour charger les capacités des 10 NMOS qui vont commander la charge de la bobine. Ces 10 NMOS en parallèle permettent de charger rapidement la bobine. Ce circuit fonctionne donc comme un interrupteur dont l'ouverture et la fermeture sont réglées par un générateur d'impulsions Agilent 81100 de fréquence et de longueur réglables. La fréquence des impulsions joue sur la température du silicium et la longueur des impulsions va jouer sur l'intensité du pic d'avalanche. En effet en jouant sur la longueur des impulsions, la durée d'ouverture et de fermeture de l'interrupteur de commande est modifiée, ce qui va changer le temps de charge de la bobine et par conséquent modifier l'amplitude du courant d'avalanche dans le DUT. La bobine quant à elle est chargée grâce à une batterie de condensateurs ayant une capacité de 200000µF elle même chargée par une alimentation de 15V. La puce à tester en boîtier TO3 est placée sur un dissipateur thermique percé de façon à faire passer chaque patte de TO3 par un trou tout en ayant une surface maximale de contact entre le boîtier TO3 et le dissipateur. Le tout est refroidi grâce à un ventilateur tangentiel. Ces éléments qui permettent de dissiper la chaleur du DUT pendant le cyclage, déterminent la fréquence de cyclage du DUT. En effet le but de ce test est de cycliser en avalanche des puces à une température de 150°C avant l'avalanche, ainsi plus le système de refroidissement de la puce est efficace plus la fréquence de cyclage peut être élevée. Un oscilloscope Tektronix DPO7104 permet de visualiser :

- la tension entre le drain et la source du DUT pendant l'avalanche
- le courant d'avalanche de plusieurs centaines d'Ampères grâce à une sonde Pearson.

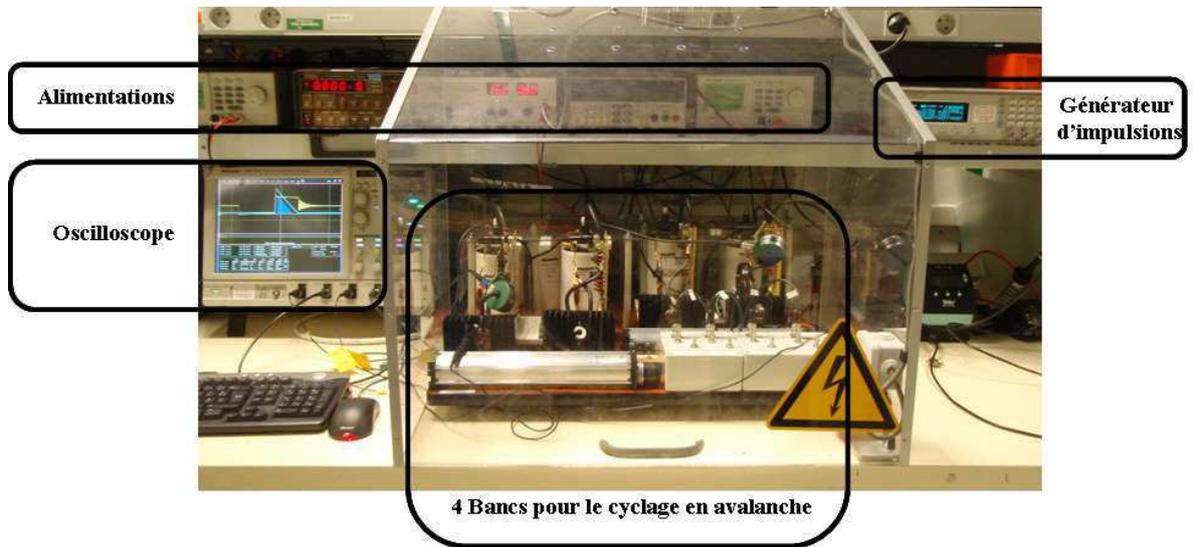


Figure II-22: Vue d'ensemble de l'installation pour le cyclage en avalanche de 4 MOSFETs.

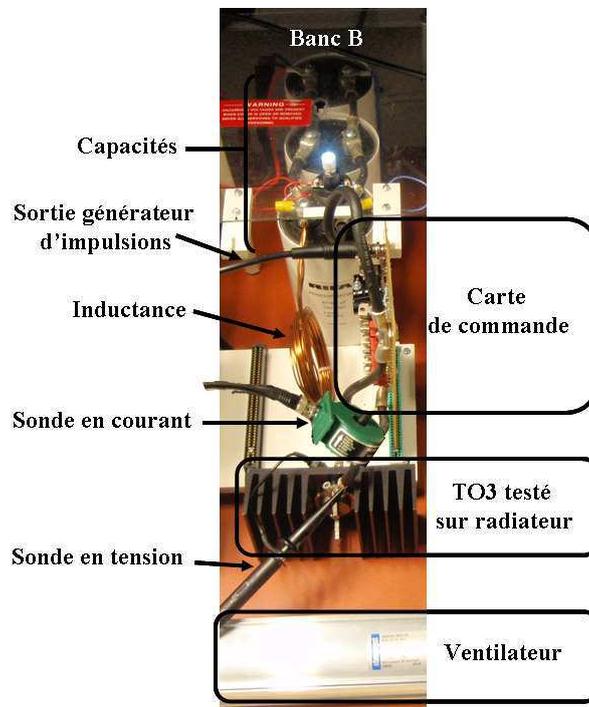


Figure II-23: Eléments d'un banc de cyclage en avalanche pour un MOSFET.

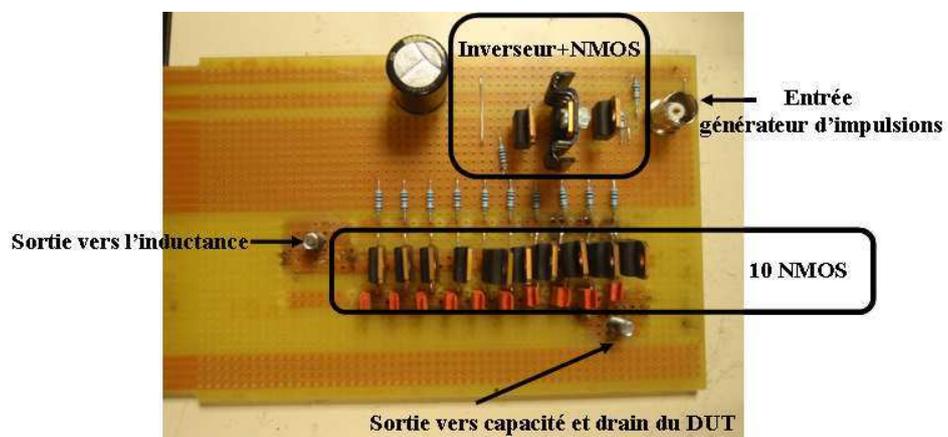


Figure II-24: Carte de commande.

### II.3.3. Mesure de la température pendant le cyclage

La fréquence de cyclage en avalanche des MOSFETs détermine la température du silicium. Afin de reproduire l'environnement moteur dans lequel est plongé le transistor, la fréquence de cyclage de référence est telle que la température du silicium est de 150°C avant chaque impulsion d'avalanche.

#### II.3.3.1. Mesure par la diode intégrée en polysilicium

La température du MOSFET testé peut être mesurée pendant l'UIS grâce à la diode en polysilicium intégrée au MOSFET qui sert de capteur de température. En effet la chute de tension directe d'une diode dépend fortement de sa température. Le comportement en température de la diode en polysilicium intégrée à la technologie HDTMOS est présenté sur la figure II-25, il est important de souligner sa linéarité. Pendant le cyclage en avalanche du MOSFET un courant de 25μA est imposé à la diode, la tension directe visualisée sur un oscilloscope est alors mesurée juste avant le pic d'avalanche (Figure II-26).

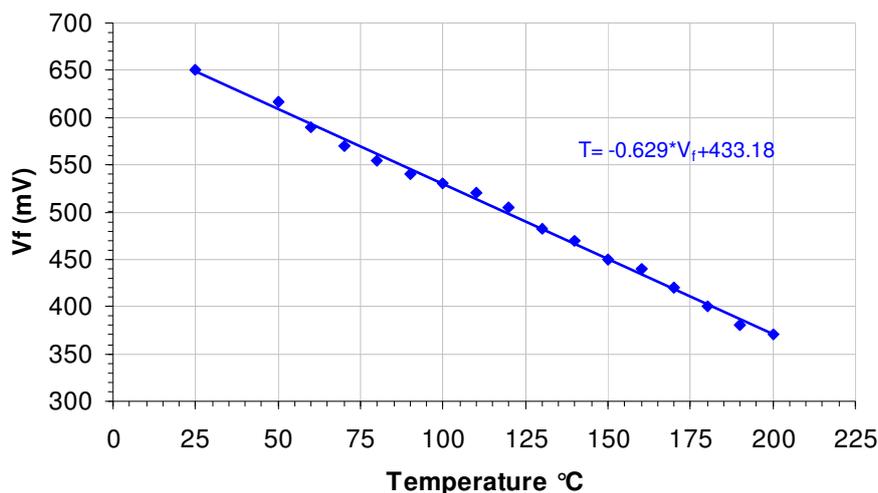


Figure II-25: Tension directe de la diode en polysilicium en fonction de la température.

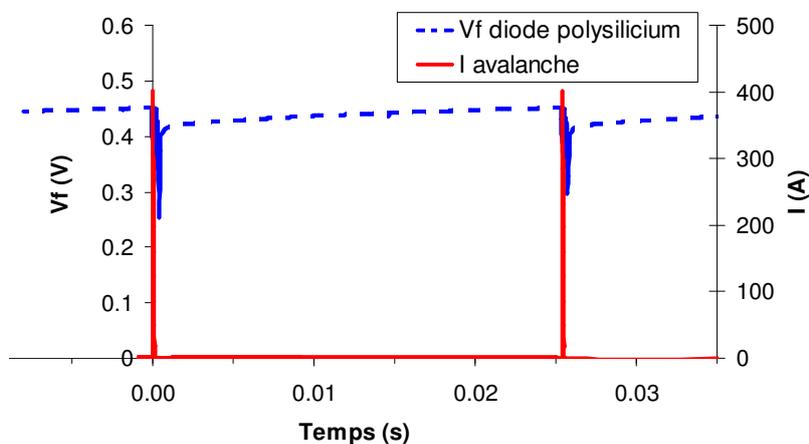


Figure II-26: Mesure de la tension directe du capteur de température pendant le cyclage.

### II.3.3.2. Mesure de la température par la diode structurale

#### II.3.3.2.1. Présentation

Il est aussi possible de mesurer la température du MOSFET grâce à la chute de tension directe  $V_F$  de sa diode interne ou diode structurale. En effet le  $V_F$  de la diode interne varie avec la température. Sur la figure II-27 on peut voir que pour le HDTMOS étudié la tension mesurée pour un courant  $I_{DS}=100.10^{-3}A$ , varie linéairement avec la température selon  $T= -0.4645*V_{DS}+304.97$ . Cette diode interne peut donc être utilisée pendant le test UIS pour fixer la fréquence de cyclage de façon à régler la température du silicium.

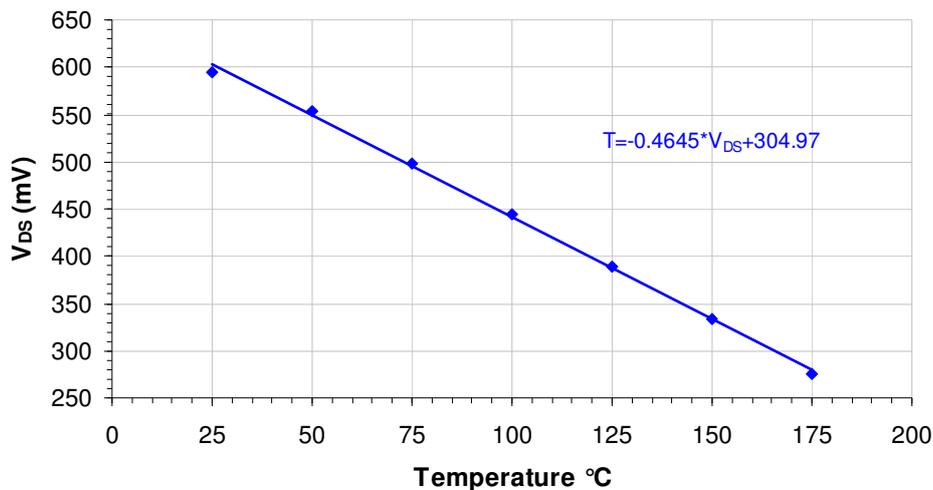


Figure II-27: Caractéristique de la diode interne du MOSFET en température.

Afin de mesurer la température moyenne du silicium entre 2 impulsions d'avalanche, le cyclage est interrompu. Une fois le cyclage arrêté la puce va se refroidir, un courant est alors injecté entre le drain et la source du MOS et la tension de la diode interne est mesurée une période après le dernier pic d'avalanche (figure II-28). Pendant l'impulsion il n'est pas possible de faire fonctionner le composant en avalanche tout en mesurant la tension directe de sa diode interne à un courant donné. La mesure de température par la diode interne du MOSFET ne permet donc pas de mesurer l'augmentation de température pendant un pic d'avalanche.

Ainsi on connaît la température moyenne du silicium avant l'avalanche et la fréquence est réglée en fonction de la température de test désirée. L'autre intérêt de cette mesure est que l'on peut regarder à quelle vitesse la puce se refroidie et donc visualiser la capacité et la résistance thermique de la brasure et du boîtier.

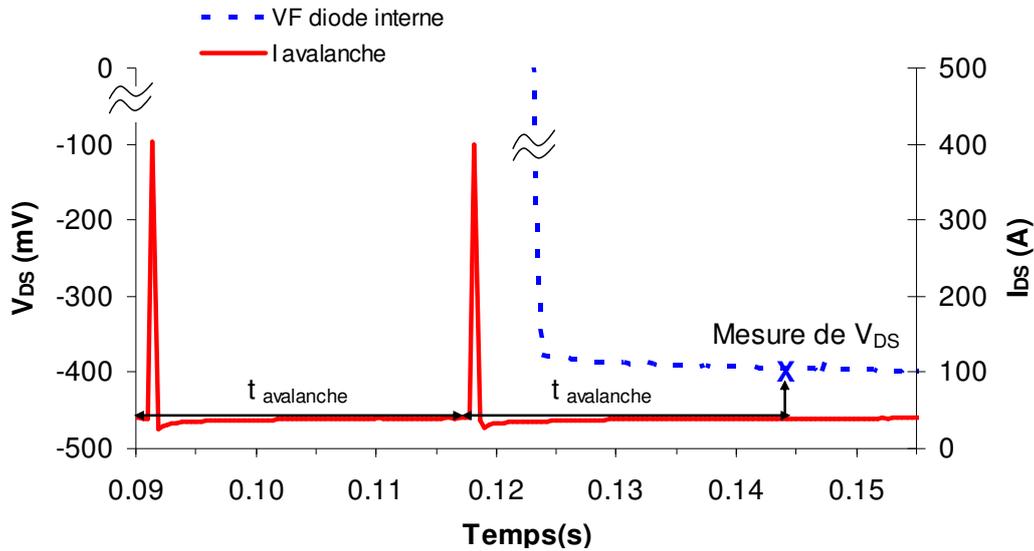


Figure II-28: Mesure de la température du DUT grâce à sa diode interne.

### II.3.3.2.2. Montage

La mesure de température du transistor par la diode interne se faisant une période après la dernière impulsion d'avalanche, il est nécessaire que cette mesure se fasse rapidement pour éviter que le transistor ne se refroidisse trop. C'est pourquoi cette mesure est intégrée au banc de test UIS. Le schéma figure II-29 représente d'une façon simplifiée le principe de la mesure du  $V_F$  de la diode interne du DUT. En plus de l'interrupteur 1 (carte de commande) qui permet de contrôler la décharge de l'inductance dans le DUT, les interrupteurs 2 et 3 sont ajoutés pour couper le test UIS et injecter le courant entre drain et source.

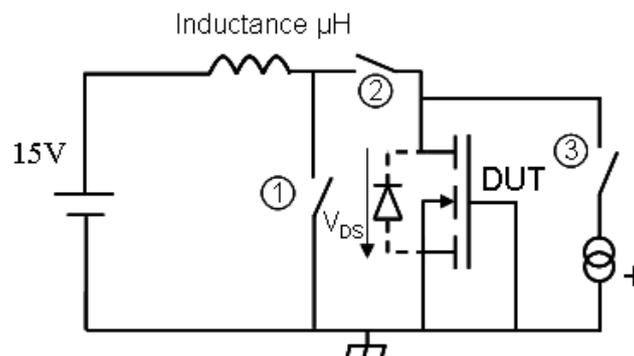


Figure II-29: Schéma de la mesure de température du DUT par la diode interne pendant le test UIS.

La mise en place de cette mesure est assez complexe car elle doit se faire très rapidement. Le schéma électrique du circuit réalisé pour faire cette mesure est dessiné sur la figure II-30. Un interrupteur (noté interrupteur UIS/mesure  $T^\circ$  sur le schéma) actionné de façon manuelle permet de se mettre en mode cyclage UIS ou bien en mode mesure de température. Pour mesurer la température lorsque le transistor est sous test UIS, l'interrupteur manuel est enclenché, ce qui a pour effet de fermer les interrupteurs  $\alpha$  et  $\beta$  et

d'ouvrir l'interrupteur  $\gamma$ . De cette façon l'entrée  $D_0$  de la bascule CD74HC174E est reliée à l'entrée VCC qui est à 5V,  $D_0$  se met alors à l'état 1. Lorsque un front montant provenant du générateur d'impulsions qui sert au test UIS va arriver sur l'entrée Horloge de la bascule, la sortie  $Q_0$  va se mettre dans le même état que l'entrée  $D_0$  dans le cas présent c'est l'état 1. Ainsi à la sortie de la bascule, le NMOS P40NF10L se met à l'état passant ce qui va permettre d'ouvrir le relais  $a$  et d'arrêter l'alimentation de la carte de commande et donc d'arrêter le test UIS pour pouvoir faire la mesure de tension  $V_{DS}$ . En même temps que le test UIS va s'arrêter, le relais  $b$  va se fermer et par conséquent fermer les relais  $c$   $e$  et  $f$  et ouvrir le relais  $d$ , ce qui va permettre de faire circuler un courant entre le drain et la source du DUT. Le comportement des différents interrupteurs et relais sont décrits sur le chronogramme de la figure II-31. Une fois cette mesure effectuée, pour relancer le test UIS il suffit d'enclencher une nouvelle fois l'interrupteur manuel.

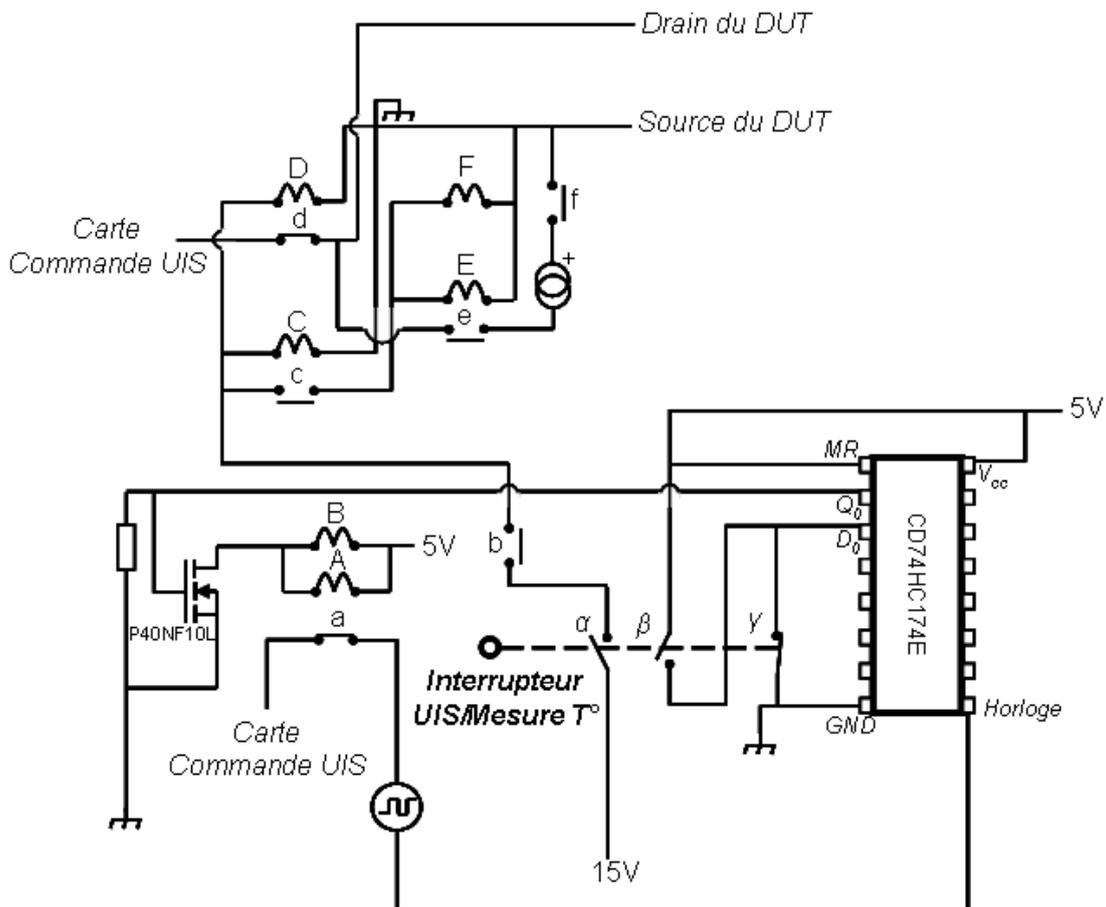


Figure II-30: Schéma réel de la carte de mesure de température de diode interne pendant le test UIS.

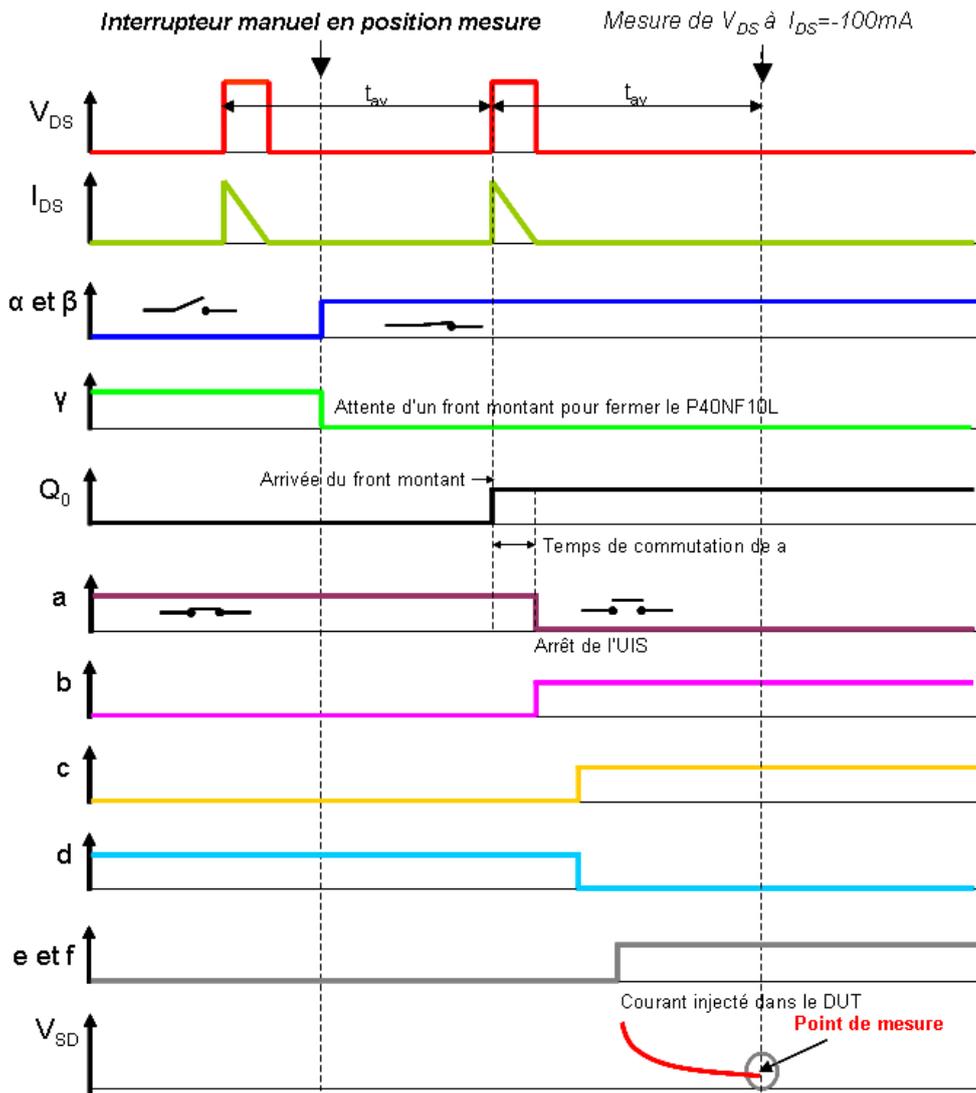


Figure II-31: Chronogramme des différents interrupteurs et relais de la figure II-30.

### II.3.3.3. Température mesurée à l'aide de la caméra infrarouge

Une observation par caméra infrarouge de la puce lors du cyclage en avalanche permet de mesurer la température du MOS tout en faisant sa cartographie thermique. La connaissance de la répartition de température à la surface de la puce pendant le test UIS permet de déterminer les zones les plus chaudes c'est-à-dire les zones à refroidir au maximum. Cette imagerie thermique est effectuée par une camera CEDIP de modèle JADE MWIR dont les paramètres sont gérés à l'aide du logiciel CIRRUS et les images sont ensuite traitées avec le logiciel ALTAIR.

#### II.3.3.3.1. Calibration de la caméra

Afin de calibrer la caméra, une puce non connectée électriquement est collée à l'aide d'une peinture d'argent sur un radiateur, le tout est posé sur une plaque chauffante réglable en température et une mesure infrarouge est effectuée. La température du radiateur est mesurée à l'aide d'un thermocouple vissé sur le radiateur (voir figure II-32).

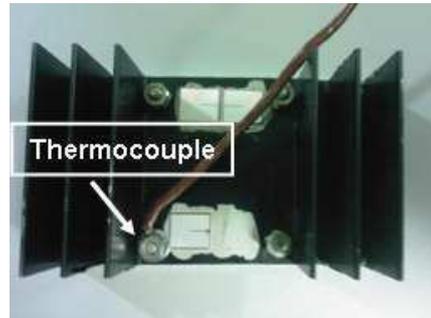
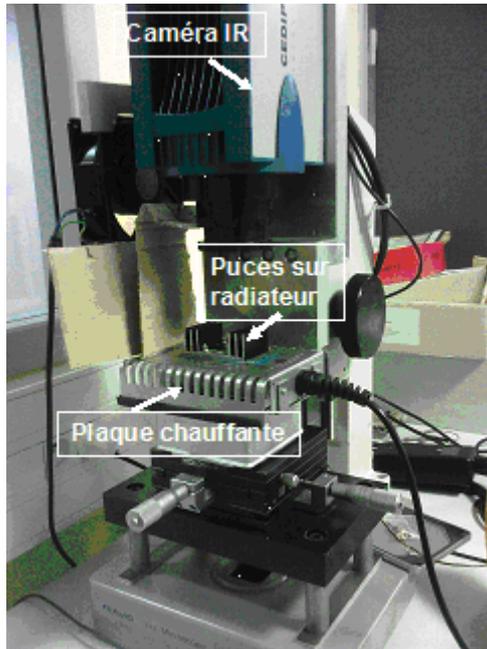
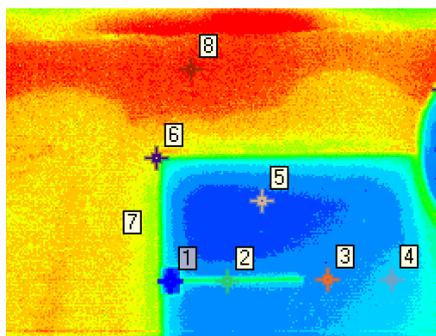


Figure II-32: Montage pour la calibration de la caméra.

L'émissivité d'une surface dépend des matériaux qui la constituent et de sa topographie. En effet en cartographiant la puce sur le radiateur à température ambiante, on constate une grande disparité dans les mesures de température comme le montre la figure II-33. Cet écart de température sur la métallisation du silicium est de 7°C à température ambiante et de 13°C lorsque la plaque chauffante est à 100°C et le radiateur à 81°C. Cette différence vient des écarts d'émissivités de la surface de la puce.

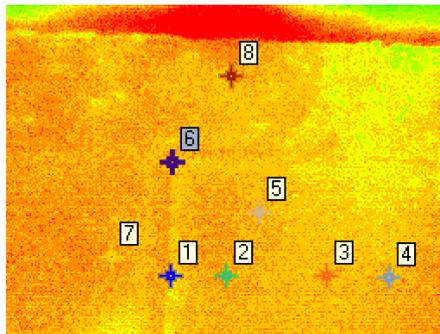


Point	Localisation	T° consigne	T° thermocouple	T° caméra IR
1	Plot de contact de la grille	Ambiante 100	21 81.2	13.3 38.8
2	Métal du capteur de température	Ambiante 100	21 81.2	19.8 51.7
3	Métal source près du capteur de température	Ambiante 100	21 81.2	19.8 43.5
4	Métal source	Ambiante 100	21 81.2	19.7 45
5	Métal source	Ambiante 100	21 81.2	20.2 39
6	Coin de la puce	Ambiante 100	21 81.2	21.4 62.4
7	Peinture d'argent	Ambiante 100	21 81.2	22.9 65.6
8	Radiateur	Ambiante 100	21 81.2	21.5 68.4

Figure II-33: Cartographie IR sur une puce à température ambiante et pour une température de consigne à 100°C.

Dans le cas des MOS testés en avalanche les composants possèdent 4 zones d'émissivités différentes. La première zone est la couche d'AlSi<sub>1%</sub> qui sert de métallisation

pour la source et qui va suivre la topographie des cellules élémentaires du composant. La deuxième zone est constituée des plots de contact de grille et de la diode en polysilicium qui sont couverts par la même métallisation que la source du MOSFET mais sans la topographie, cette couche paraît alors parfaitement lisse. La troisième zone correspond aux fils d'assemblage en aluminium sur le métal source. Et la dernière zone est celle de la métallisation de la diode en polysilicium. Pour effectuer une mesure thermique à l'aide d'une caméra infrarouge, la surface à analyser doit avoir une émissivité uniforme [SAL07]. Afin de résoudre ce problème de différences d'émissivités, le MOSFET est recouvert d'une laque noire haute température de forte émissivité, la surface du composant s'apparente ainsi à un corps noir. L'émissivité de cette laque n'étant pas connue, il est nécessaire d'étalonner la caméra avec le composant recouvert de cette couche de laque. Pour vérifier l'homogénéité de la température à la surface d'un composant silicium couvert de peinture noire, une nouvelle mesure identique à celle présentée sur la figure II-32 a été faite avec la laque noire. Les résultats sur la figure II-34 montrent qu'à température ambiante la caméra IR donne un écart de température à la surface de la puce de 0.2°C et lorsque la plaque est chauffée à 100°C et le radiateur à 77°C cet écart est de 3°C. Cet écart est probablement dû à la non uniformité de la couche de laque qui est déposée par un spray de façon manuelle.



Point	Localisation	T° consigne	T° thermocouple	T° caméra IR
1	Plot de contact de la grille	Ambiante 100	21.9 77.3	23 69
2	Métal du capteur de température	Ambiante 100	21.9 77.3	23.1 72.6
3	Métal source près du capteur de température	Ambiante 100	21.9 77.3	23.2 70.8
4	Métal source	Ambiante 100	21.9 77.3	23.2 71
5	Métal source	Ambiante 100	21.9 77.3	23.1 71
6	Coin de la puce	Ambiante 100	21.9 77.3	23 71.9
7	Peinture d'argent	Ambiante 100	21.9 77.3	23.2 74
8	Radiateur	Ambiante 100	21.9 77.3	22.9 71.6

Figure II-34: Cartographie IR sur une puce couverte de peinture noire à température ambiante et pour une température de consigne à 100°C.

La figure II-35 présente les températures des points 1,2 et 3 mesurées par IR avec et sans peinture noire pour des températures de radiateur entre 20°C et 80°C. Les résultats montrent qu'avec la laque il y a une relation linéaire de la température de la puce avec celle

du radiateur et que les températures des 3 points sont très proches, ce qui n'est pas le cas pour les températures mesurées sans la laque.

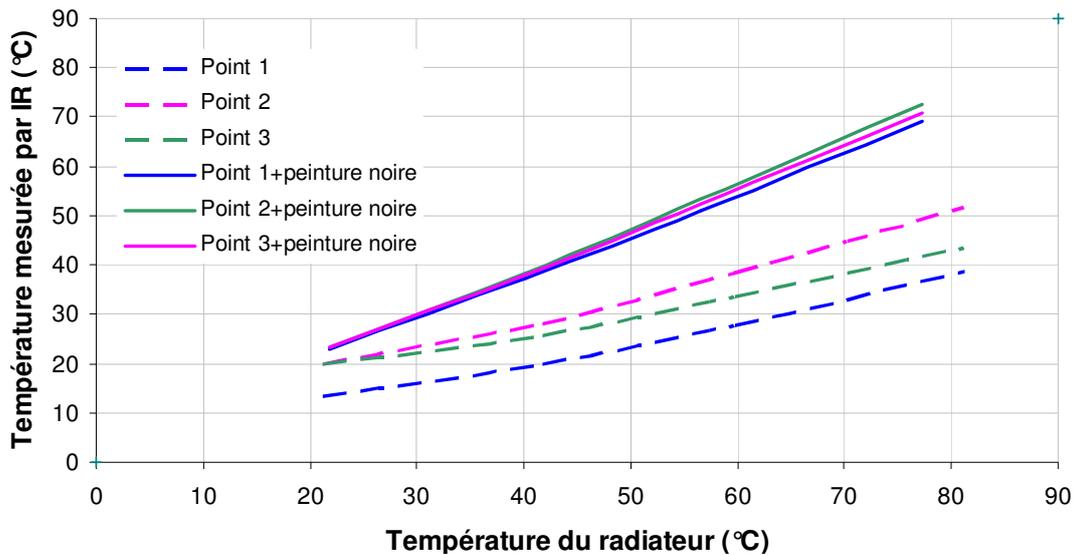


Figure II-35: Comparaison des températures mesurées avec et sans peinture noire.

#### II.3.3.3.2. Fichiers de calibrations

Afin d'avoir des mesures de températures les plus précises possibles, il existe une fonction de correction des non uniformités (NUC) des détecteurs de la caméra. Cette correction est nécessaire car chaque détecteur a un gain et un offset différent, c'est pourquoi il faut les normaliser à l'aide de fichiers NUC. Pour la caméra utilisée dans cette étude, il existe 2 fichiers de corrections selon la gamme de températures mesurées. Le premier fichier NUC1 est utilisé entre 5°C et 90°C, le second fichier NUC2 peut être utilisé à partir de 80°C. La température du silicium étant de 150°C avant l'impulsion d'avalanche, pendant le test UIS pour voir la montée en température et la stabilisation du composant il faudra utiliser ces 2 fichiers de corrections. Ces corrections peuvent se faire en un 1 ou 2 points, la correction en 1 point se fait sur un corps noir et normalise l'offset, celle en 2 points se fait sur un corps noir froid (dans notre cas à température ambiante) et sur un corps noir chaud et permet de normaliser le gain et l'offset.

#### II.3.3.3.3. Mesure pendant l'UIS

Pour observer la température pendant le cyclage UIS, il faut synchroniser le générateur d'impulsions avec la caméra et couvrir la puce et les fils de laque noire. Une fois le cyclage UIS lancé et après stabilisation (régime stationnaire) la caméra donne la répartition de la température induite par le cyclage en avalanche à la surface de la puce. La figure II-36 montre une image de cette répartition de température à la surface du MOSFET lors du test d'avalanche une fois le régime stabilisé atteint.

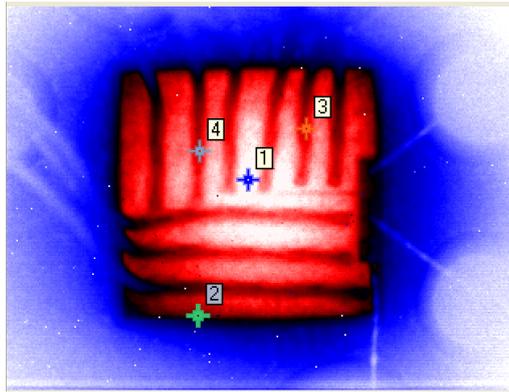


Figure II-36: Répartition de la température pendant le test UIS en régime stabilisé.

L'impact de la peinture sur le comportement thermique de la métallisation pendant le test UIS n'est pas connu, c'est pourquoi il est plus prudent de raisonner de façon qualitative que quantitative. La table II-3 donne les écarts de températures entre différents points à la surface de la puce et le centre de la puce dans ce régime stabilisé.

Point	Localisation	$\Delta T_{IR} = T_I - T_x$
1	Métallisation au centre de la puce	0
2	Bordure de puce	12.5
3	Fil de source	7.5
4	Fil de source	8.5

Table II-3: Ecart de températures sur la puce en régime stabilisé.

Ces mesures ont permis de constater pendant le test UIS du MOSFET que :

- ◆ En régime stabilisé, la température est maximale au centre du composant.
- ◆ Les fils sont plus froids que la surface de la puce, ils vont donc permettre d'évacuer la chaleur.
- ◆ La température de la puce dépend du nombre de fils utilisés pour l'assemblage, l'impact de cet assemblage sera traité dans le chapitre IV de ce mémoire.
- ◆ Il existe une différence de température notable entre la métallisation du centre et du bord de la puce de 12°C à 15°C.

Cependant il faut aussi prendre en compte le fait que cette mesure n'est pas parfaitement reproductible. En effet la couche de peinture noire est critique car elle n'a pas une épaisseur uniforme et parce que sa déposition varie d'une puce à une autre.

#### II.3.3.4. Température mesurée à l'aide d'un thermocouple

Pendant le cyclage en avalanche la température moyenne des boîtiers TO3 est mesurée grâce à un thermocouple dont la sonde est placée dans un petit orifice taillé à la

taille de la sonde dans le radiateur au centre du boîtier TO3. La température mesurée tient compte des résistances thermiques du substrat en silicium, de la brasure et du boîtier TO3.

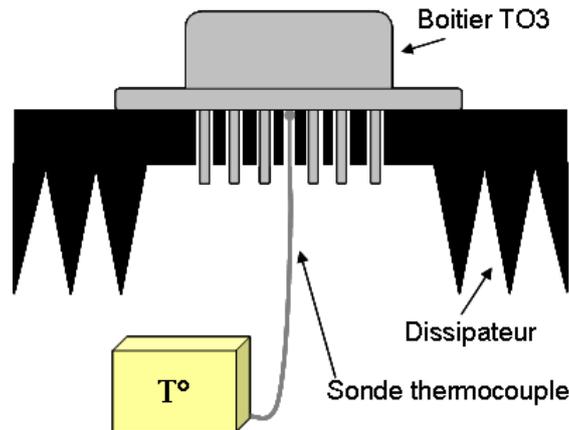


Figure II-37: Principe de la mesure de température du boîtier TO3 pendant le cyclage.

### II.3.3.5. Corrélation entre les différentes températures

Les 4 méthodes proposées ci-dessus pour la mesure de température du silicium pendant le test UIS donnent toutes des valeurs différentes mais ayant des écarts constants entre elles. Si on compare les valeurs obtenues avec la diode en polysilicium aux valeurs obtenues avec les autres techniques de mesure on trouve des écarts de température notés dans la table II-4.

Différence de température avec $T_{\text{diode poly}}$	$\Delta T$
$T_{\text{diode poly}} - T_{\text{diode interne}}$	~21
$T_{\text{diode poly}} - T_{\text{IR centre}}$	~26
$T_{\text{diode poly}} - T_{\text{thermocouple}}$	~50

Table II-4: Ecart des températures mesurées avec différentes méthodes.

L'emplacement de la diode en polysilicium a été choisi de façon à ce que la température mesurée à l'aide de ce capteur corresponde à une température maximale, c'est pour cela que cette diode se situe au centre de la puce. La cartographie infrarouge faite pendant le test UIS montre bien que pendant ces essais la zone la plus chaude se situe au centre du MOSFET.

L'écart entre la température mesurée avec la diode en polysilicium et celle mesurée à l'aide de la tension directe de la diode interne du MOSFET, s'explique par le fait que cette seconde mesure donne une température moyenne de la puce incluant les cellules de bord qui se refroidissent plus rapidement que les cellules au centre.

La différence de température entre la mesure IR et la diode, est due au fait que la caméra infrarouge donne la température de la métallisation proche de la diode en polysilicium, alors que la diode donne la température du silicium. De plus la diode n'est couverte que partiellement d'aluminium donc son refroidissement ne se fait pas de façon aussi efficace que le reste du silicium recouvert d'une plaque d'aluminium.

Enfin, la différence entre la température mesurée à l'aide du thermocouple et de la diode se comprend facilement car la chaleur dégagée par la puce s'est dissipée par la face avant, les fils d'assemblage, le substrat silicium et le boîtier avant d'atteindre le thermocouple. Cette mesure prend donc en compte les différentes résistances thermiques.

## II.4. Conclusion

Afin de répondre aux besoins du marché micro-hybride automobile, un MOSFET vertical de type VDMOS a été spécialement développé pour le fonctionnement en avalanche à forts courants pendant des millions de cycles. Ce HDTMOS 25V a la particularité d'avoir une très faible résistance à l'état passant, une métallisation épaisse et se montre extrêmement robuste à l'avalanche répétitive à forts courants et haute température. Ce mode d'avalanche auquel est soumis le MOSFET dans l'application est reproduit grâce à un banc de test d'UIS répétitif spécifique, différent et plus contraignant que le test d'UIS classique. La température à laquelle s'effectue ce test est déterminée par la fréquence de cyclage. Plusieurs méthodes ont été développées pour mesurer la température du silicium pendant le test UIS, l'utilisation d'un capteur de température intégré à la puce, le suivi d'un paramètre électrique dépendant de la température, une mesure par caméra infrarouge et une mesure par thermocouple du boîtier. Ces méthodes de mesures ne donnent pas les mêmes résultats car elles ne mesurent pas la même chose : température maximale du silicium, température moyenne du silicium, répartition de température à la surface de la puce ou encore température du boîtier. Cependant il est intéressant de noter le fait que toutes ces mesures corrélaient entre elles. Dans la suite de ce mémoire, la température sera toujours mesurée à l'aide de la diode en polysilicium qui est une mesure fiable, facile à utiliser et qui ne nécessite pas l'arrêt du test.



# Chapitre III: Effets du mode d'avalanche sur le MOSFET

## III.1. Tenue en avalanche

La tenue du composant à l'avalanche répétitive dépend de l'énergie emmagasinée à chaque impulsion. Cette énergie donnée par l'équation I-17, dépend du courant d'avalanche  $I_{av}$ , de la tension de claquage du MOSFET  $BV_{DSS}$  et de la durée de l'avalanche  $t_{av}$ . Le test UIS de référence se fait pour une température de jonction  $T_j=150^\circ\text{C}$  avant les impulsions d'avalanche, cette température étant réglée par la fréquence de cyclage. La durée de l'impulsion de courant d'avalanche est de  $t_{av}=120\mu\text{s}$  pour un courant d'avalanche maximum de 400A.

### III.1.1. Influence du courant sur la durée de vie

Afin de connaître l'impact du courant d'avalanche sur la durée de vie du MOSFET, plusieurs composants sont cyclés pour une même durée d'avalanche mais pour différentes valeurs de courant. Ces courants sont obtenus en modifiant le temps de charge de l'inductance. Le nombre de cycles avant défaillance des puces en fonction du courant est indiqué sur la figure III-1. D'après cette figure, la durée de vie du composant en avalanche répétitive possède une asymptote autour de 400A. Au dessus de cette valeur la tenue des MOS sous test UIS diminue rapidement, et à 900A le MOSFET ne tient plus qu'une seule impulsion d'avalanche.

La loi de Coffin Manson classique est une loi d'endommagement qui permet de déterminer la durée de vie d'un système en fonction des déformations plastiques engendrées. Lorsque ces déformations sont issues de la différence de coefficients d'expansion thermiques (CTE) entre plusieurs matériaux, la loi de Coffin Manson s'exprime de la façon suivante [SAU07] :

$$N_f = \left( \frac{\Delta T}{C} \right)^{-m} \quad \text{(III- 1)}$$

$\Delta T$  est l'élévation de température dans le matériau,  $N_f$  est le nombre de cycles avant défaillance,  $C$  une constante qui dépend des propriétés du matériau et  $m$  un coefficient qui dépend de la nature du matériau. En effet d'après [SAU07] ce coefficient prend une valeur :

- entre 1 et 3 pour les matériaux qui se fatiguent de manière ductile

- entre 3 et 5 pour les matériaux métalliques
- entre 6 et 8 pour les matériaux à rupture fragile.

Dans le cas étudié ici, la durée de vie des puces dépend du courant d'avalanche donc de l'augmentation de température et des déformations qui en résultent. L'évolution du nombre de cycles UIS avant défaillance  $N_f$  en fonction du courant représentée sur la figure III-1 peut donc être assimilée à la loi de Coffin Manson. Cette loi peut s'écrire sous la forme suivante :

$$N_f = \frac{N_0}{\left(\frac{I}{I_0} - 1\right)^4} \quad (\text{III- 2})$$

où  $N_0$  et  $I_0$  sont des constantes telles que  $N_0=1.10^E4$  et  $I_0=360$ . Ainsi dans l'équation III-1, la constante  $m=4$ , C correspond à  $C=N_0^{1/4}I_0$  et  $\Delta T= I-I_0$ .

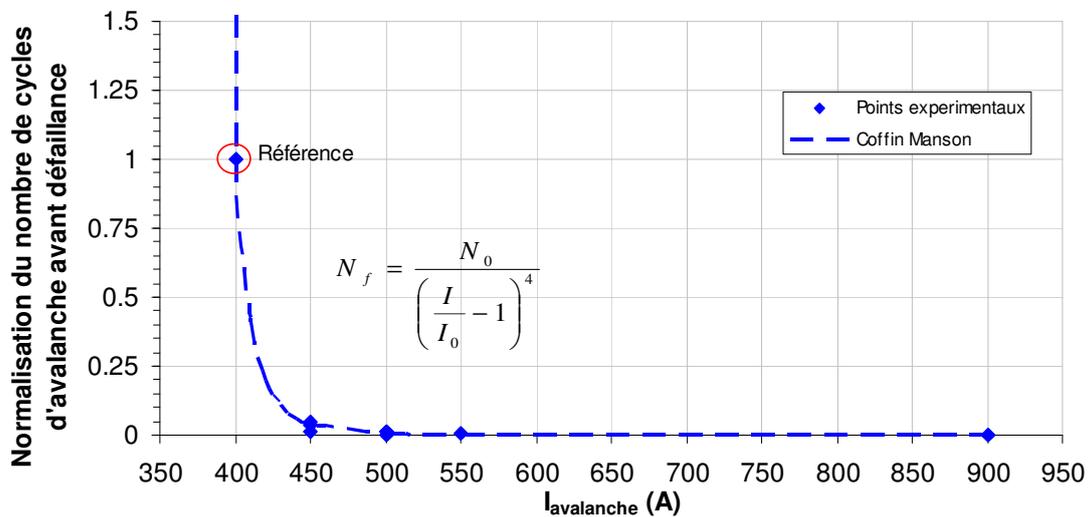


Figure III-1: Représentation normalisée de l'impact du courant d'avalanche sur la durée de vie d'un MOSFET.

### III.1.2. Température maximale pendant l'avalanche

Le courant et la durée de l'avalanche ont un rôle essentiel sur la durée de vie du composant puisque ces 2 paramètres déterminent l'énergie qui est dissipée dans le MOSFET pendant l'avalanche. L'énergie de l'inductance qui se décharge dans le silicium à 150°C pendant l'impulsion d'avalanche va entraîner une forte augmentation de la température. Il est très important de connaître cette température car celle-ci impacte la concentration des porteurs libres dans le silicium et à partir d'une certaine température cette concentration des porteurs devient celle du silicium intrinsèque.

La température maximale de fonctionnement d'un composant semiconducteur est déterminée à partir de sa concentration de porteurs intrinsèques et de l'énergie de gap du matériau, elle dépend donc de la tension de blocage [WON99]. Les performances ainsi que

la durée de vie du MOSFET dépendent de cette température. Ainsi d'après la figure III-2, pour les composants silicium de faible tension  $BV_{DSS}=25V$  étudiés dans ce mémoire, la température maximale de jonction se situe entre  $250^{\circ}C$  et  $300^{\circ}C$ . Jusqu'à cette température le MOSFET est opérationnel mais avec une élévation du  $BV_{DSS}$  et une augmentation importante des courants de fuites.

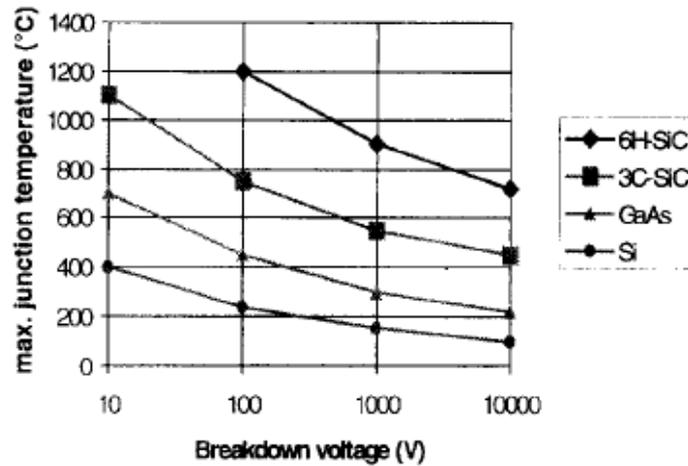


Figure III-2: Température de jonction maximale en fonction de la tension de blocage du composant. Source [WON99].

Même si le silicium parvient à tenir des températures supérieures à  $250^{\circ}C$ , il arrive que le composant soit défaillant en deçà de cette limite. En effet comme l'indique la table III-1, dans la réalité les principales limitations en température viennent de l'assemblage et de la métallisation du composant.

Température	Matériau impacté
$150^{\circ}C$	Température de jonction maximum standard du silicium
$183^{\circ}C$	Température de l'eutectique SnPb
$280^{\circ}C$	Température de fusion de la soudure de la puce
$577^{\circ}C$	Température de l'eutectique AlSi
$660^{\circ}C$	Température de fusion de l'aluminium pur
$1420^{\circ}C$	Température de fusion du silicium

Table III-1: Températures critiques des différentes composantes du MOSFET.

### III.1.2.1. Mesure de la température maximale

Pendant l'avalanche pour connaître la température maximale du silicium, la mesure par la diode interne présentée dans le chapitre II.3.3 ne peut pas être utilisée puisqu'il n'est pas possible de faire fonctionner la diode structurelle en avalanche tout en mesurant sa tension directe. Quant aux mesures par caméra infrarouge et par la température de boîtier, ce sont des mesures de températures moyennes pendant le test qui ne permettent pas de voir la température de jonction maximale du MOSFET pendant l'impulsion. La seule méthode

permettant de suivre en continu la température de jonction est l'utilisation du capteur de température intégré à la puce. Malheureusement en pratique il n'est pas possible de mesurer la température de la puce pendant l'avalanche avec cette diode en polysilicium. Comme le montre la figure III-3, lors du pic d'avalanche la tension de la diode chute de façon importante avant de remonter, puis à la fin du pic cette tension rechute et remonte. Ce phénomène est uniquement dû au bruit engendré par l'inductance et à un courant parasite qui ne permettent pas de déduire la température du silicium. Il est tout de même possible de connaître la température du silicium en dehors de ce bruit et donc de déterminer un  $\Delta T$  minimum. D'après les courbes de la figure III-3 ce  $\Delta T$  minimum est de  $\Delta T_{\text{minimum}} = 32^\circ\text{C}$  donc pour une température initiale de  $150^\circ\text{C}$ , pendant l'avalanche le silicium monte au moins à  $T = 150 + 32 = 182^\circ\text{C}$ .

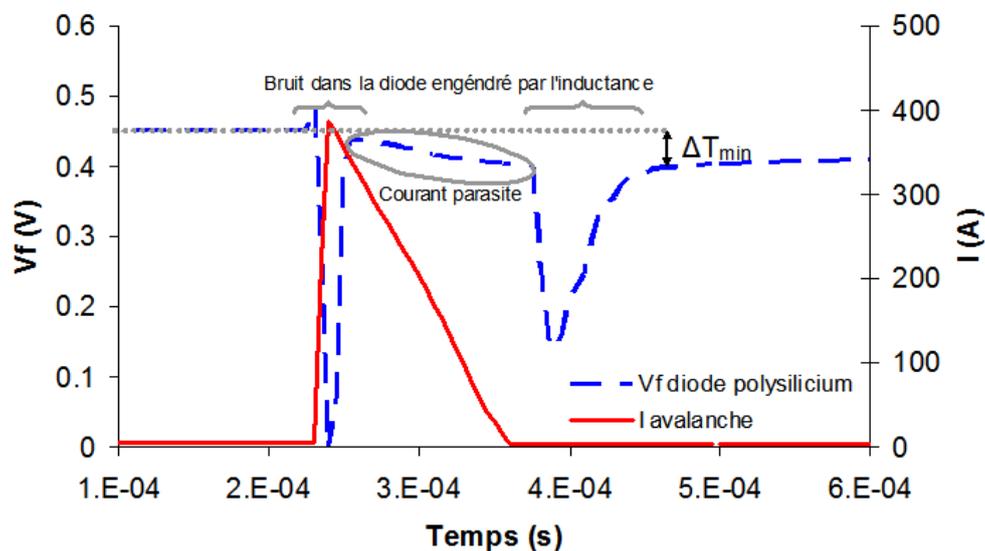


Figure III-3: Tension directe de la diode en polysilicium pendant une impulsion d'avalanche.

La mesure de la température maximale pendant l'avalanche est impossible à effectuer avec les méthodes proposées précédemment. Cependant il est possible d'estimer cette température par le calcul, grâce aux équations de Blackburn et Clemente présentées dans I.2.6.3., et grâce à la simulation.

### III.1.2.2. Calcul du $\Delta T$

#### III.1.2.2.1. Equation de Blackburn

En utilisant l'équation de Blackburn donnée par l'équation I-18, il est possible de déterminer la température de jonction maximale du MOSFET pendant l'avalanche. Cette température maximale apparaît au temps  $t = t_{av}/2$  où  $t_{av}$  est la durée de l'impulsion d'avalanche. La température maximale est alors définie par :

$$\Delta T_m = \frac{\sqrt{2}}{3} P_0 \Gamma \sqrt{t_{av}} \quad (\text{III- 3})$$

$$\text{où } P_0 = I_{av} \times BV_{DSS} \text{ et } \Gamma = \frac{2}{A\sqrt{\rho\pi KC}}$$

Dans les conditions de cyclage UIS standards  $\Delta T_m = 69^\circ\text{C}$ . Ce résultat est obtenu en supposant que le silicium est à  $25^\circ\text{C}$  avant le pic d'avalanche. Si l'on veut prendre en compte les  $150^\circ\text{C}$  avant l'impulsion d'avalanche il faut faire intervenir le coefficient en température du  $BV_{DSS}$  qui est d'environ  $20\text{mV}/^\circ\text{C}$ . Sachant qu'à  $25^\circ\text{C}$   $BV_{DSS}=25.5\text{V}$ , à  $150^\circ\text{C}$  :  $BV_{DSS}=28\text{V}$  ce qui donne une élévation de température pendant l'avalanche de  $\Delta T_m=76^\circ\text{C}$  et par conséquent une température maximale dans le silicium de  $T_{j\text{max}}=150+76=226^\circ\text{C}$ .

### III.1.2.2.2. Equation de Clemente

L'autre méthode utilisée pour calculer l'élévation de température engendrée par l'avalanche dans le silicium est celle de Clemente qui donne :

$$\Delta T = \frac{E}{A\rho C(g + \phi)} \quad (\text{III- 4})$$

Où  $g + \phi$  est déterminé grâce au graphique de la figure I-18 pour une impulsion de durée  $t_{av}/2$  car le signal est triangulaire et non carré, dans le cas présent  $g + \phi \approx 0.01$ . L'énergie  $E = BV_{DSS} * I_{av} * (t_{av}/2)$  est elle aussi définie comme une énergie correspondant à une impulsion triangulaire, ainsi la température de jonction maximale donnée par Clemente en prenant en compte le  $BV_{DSS}$  à  $150^\circ\text{C}$  est de  $\Delta T_m = 75^\circ\text{C}$ . Ce résultat est bien corrélé avec celui obtenu grâce aux équations de Blackburn.

### III.1.2.3. $\Delta T$ obtenu par simulations numériques

Des simulations numériques ont été faites à l'aide du logiciel Sentaurus afin de connaître l'évolution en fonction du temps de la température de jonction engendrée par l'avalanche. L'empilement utilisé pour l'estimation de cette température est représenté sur la figure III-4 il comporte : fils d'assemblage + puce avec ses métallisations + brasure + cuivre du TO3 + acier du TO3.

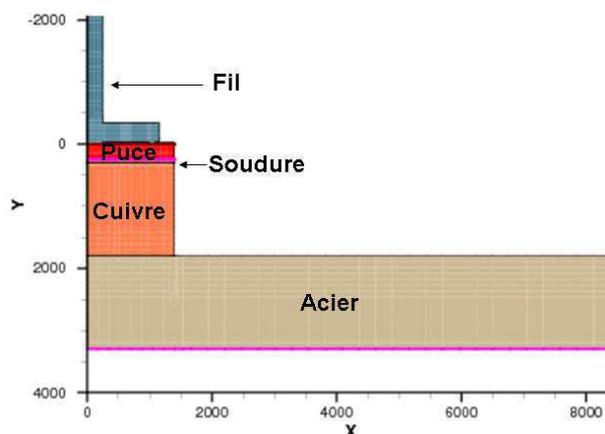


Figure III-4: Empilement utilisé pour la simulation.

Le dispositif utilisé pour la simulation est un modèle à symétrie circulaire. En réalité la puce est assemblée avec 9 fils chaque fil ayant plusieurs contacts avec la métallisation de la puce (assemblage multi-ponts). Le modèle utilisé représente 1/9 de la puce avec le contact principal du fil et un deuxième contact qui symbolise le contact des autres ponts du fil (figure III-5). Au niveau du silicium, la structure simulée correspond à une diode avec une couche de P<sup>+</sup> et des plots d'oxyde à la surface pour reproduire les blocs de grilles (figure III-5).

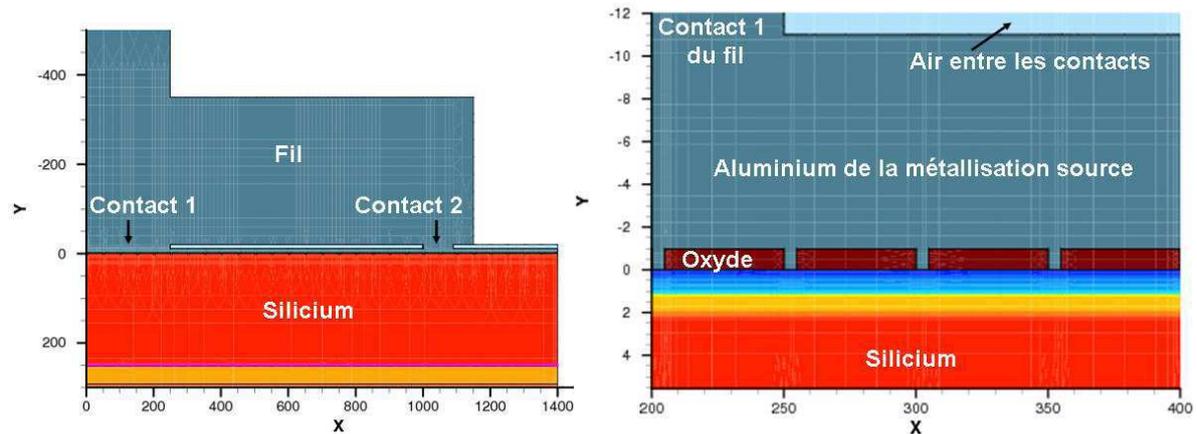


Figure III-5: Modèle au niveau du silicium utilisé pour la simulation.

Dans le dispositif ainsi modélisé les simulations électro thermiques sont faites pour un courant d'avalanche de 400A, une durée d'avalanche  $t_{av}=120\mu s$  et une température initiale de 150°C.

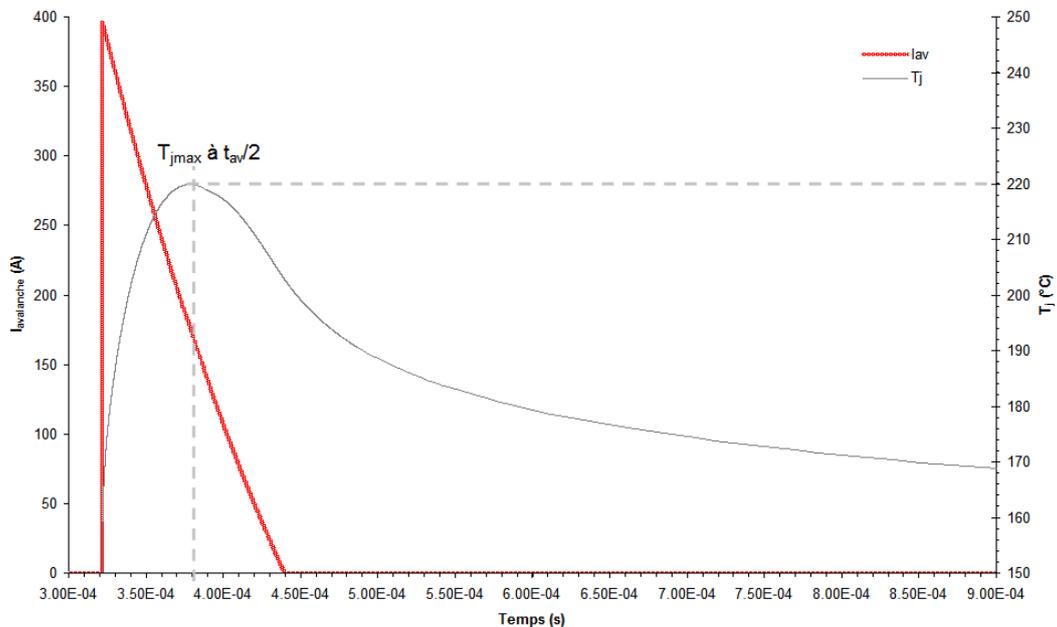


Figure III-6: Température de jonction pendant l'avalanche obtenue par simulations.

Les simulations donnent une température maximale de jonction consécutive au pic d'avalanche de  $T_{jmax}=220^{\circ}C$  ce qui fait un  $\Delta T=70^{\circ}C$ . Cette température maximale apparaît

à  $t_{av}/2$ , ce qui correspond bien au temps pris pour le calcul du  $\Delta T_m$  dans les équations de Blackburn et Clemente. Il y a donc 5°C de différence avec les résultats obtenu par le calcul, cette différence s'explique par le fait que les calculs ne prennent pas en compte le nombre ou la taille des fils, or pendant l'avalanche ce sont les fils qui vont refroidir la puce. Cette constatation avait déjà été faite lors de l'imagerie infrarouge du composant soumis au test en avalanche et est confirmée par les résultats de simulation obtenus dans les figures III-7 et III-8.

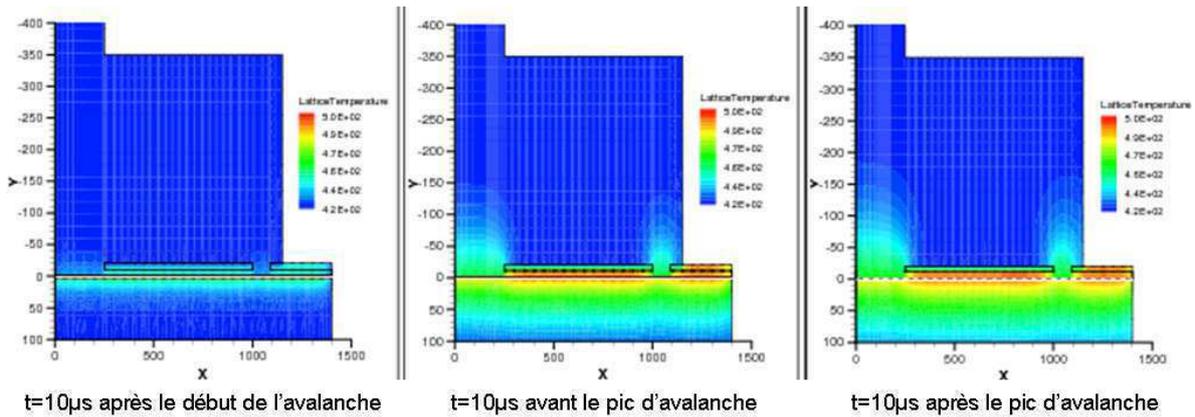


Figure III-7: Répartition de la température dans le composant à différents moments de l'avalanche.

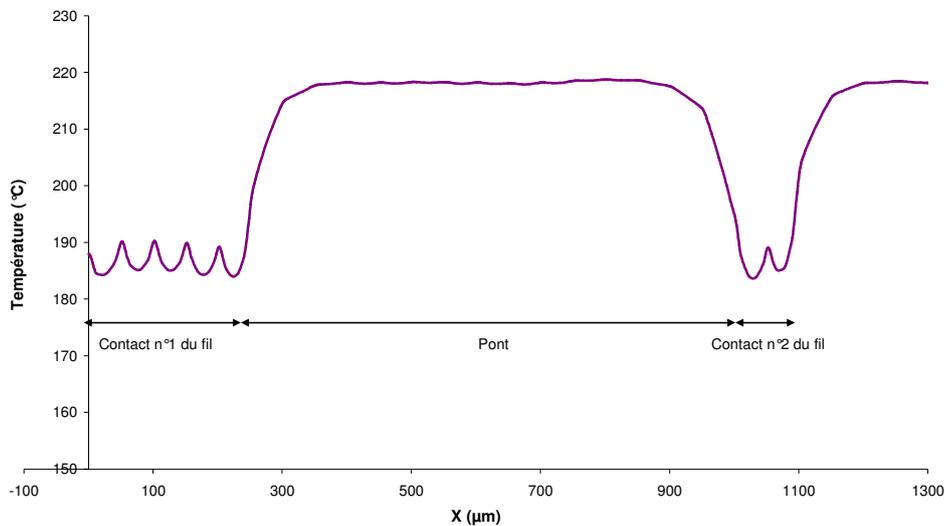


Figure III-8: Température dans la métallisation 10µs après le pic d'avalanche.

Sur la figure III-8 est représentée la température dans la demi-épaisseur de la métallisation source 70µs après le début de l'avalanche c'est-à-dire juste après le pic de température dans le silicium. Les oscillations sous les fils correspondent aux blocs d'oxyde. Dans le silicium sous cet oxyde, la température sera plus élevée que sous un contact métal/silicium où la chaleur peut s'évacuer. Dans le métal c'est l'inverse, la température étant bloquée sous les blocs d'oxyde les pics de températures dans les oscillations

correspondent aux espaces inter-blocs. Cette succession de pics et de vallées n'apparaît plus en dehors de la zone de contact des fils car après  $70\mu\text{s}$  la température est homogène dans le métal. La différence de température entre ces 2 zones est de l'ordre de  $30^\circ\text{C}$ , le flux de chaleur sera donc plus important sous ces contacts de fils.

### III.1.3. Impact des dimensions de la puce

Pour une même architecture de cellule élémentaire et pour un assemblage donné, la taille de la puce a un impact considérable sur la durée de vie d'un MOSFET sous avalanche répétitive. En effet en diminuant la surface active d'un composant de 25%, la durée de vie du transistor en avalanche est divisée par plus d'un facteur 10 comme le montre la figure III-9. Sur cette figure sont reportées les durées de vie obtenues pour 5 tailles de surface active de MOSFETs.

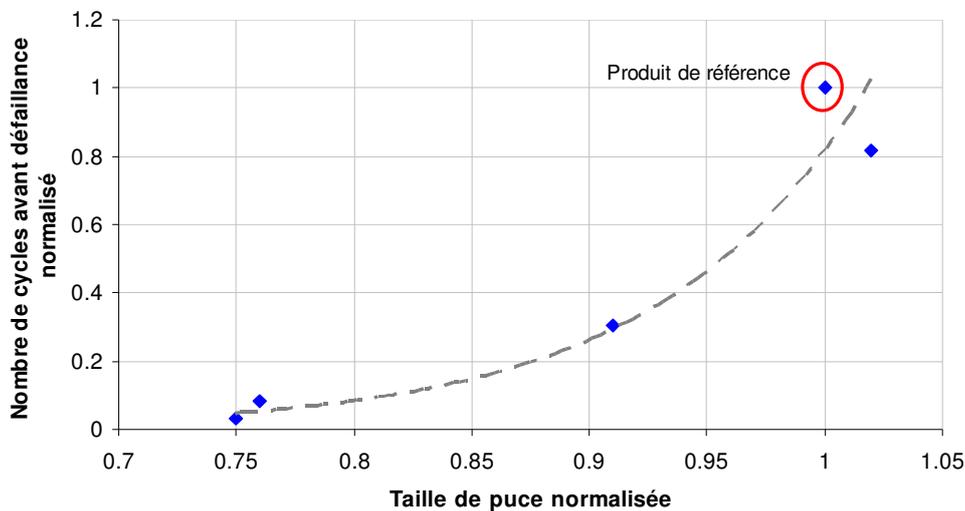
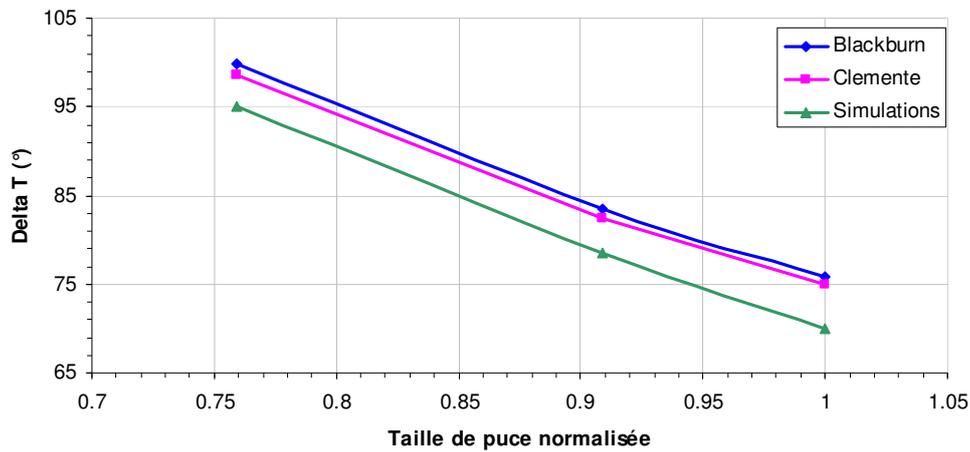


Figure III-9: Impact de la taille de puce sur la tenue en avalanche du MOSFET.

En diminuant la taille de puce, pour un même courant et une même durée d'avalanche, le  $\Delta T$  dans le silicium provoqué par l'avalanche va augmenter puisque d'après les équations de Blackburn et Clemente le  $\Delta T$  varie comme l'inverse de la taille de surface active du composant. En effet pour un même courant d'avalanche plus la surface sera importante plus la densité de courant et donc l'échauffement va diminuer. L'impact de la taille de la surface active sur l'élévation de température dans le composant pour une température initiale à  $150^\circ\text{C}$  est montré sur la figure III-10. Ces résultats sont obtenus par les équations de Blackburn, Clemente et par les simulations.



**Figure III-10: Impact de la taille de puce sur l'élévation de température dans le silicium pendant l'avalanche.**

En utilisant le  $\Delta T_{\text{jonction}}$  obtenu en fonction de la taille de surface active dans la figure III-10 il n'est pas possible de remonter à la durée de vie  $N_f$  obtenu sur les courbes III-1 et III-9. Autrement dit, il n'est pas possible de relier le  $\Delta T_{\text{jonction}}$  à  $N_f$  en utilisant le courant ou la taille de puce. En effet dans la figure III-1 la durée de vie est assimilée à la loi de Coffin Manson, qui est une loi d'endommagement pour la température globale du système T et non pour la température du silicium  $T_{\text{jonction}}$ . D'ailleurs les équations (III-1) et (III-2) montrent bien que  $N_f$  dépend de cette température globale.

### III.1.4. Impact de l'assemblage

L'assemblage standard utilisé pour la mise en boîtier TO3 des MOSFETs est tel que chaque fil contacte la métallisation source de la puce en plusieurs points. Cet assemblage permet d'augmenter les surfaces de contact, de diminuer la densité de courant dans un contact et de diminuer la température dans le composant. La figure III-11 montre l'évolution de la température dans le composant en silicium ainsi que dans le fil  $10\mu\text{s}$  après le début de l'avalanche,  $10\mu\text{s}$  avant le pic de température et  $10\mu\text{s}$  après ce pic.

D'après ces simulations, pendant l'avalanche dans le silicium il y a un  $\Delta T=6^\circ\text{C}$  entre une puce assemblée de façon standard avec plusieurs contacts par fil et une puce assemblée avec un seul contact par fil. D'après ce qui a été vu précédemment cette différence aura un impact sur la durée de vie du composant. En effet, il a été montré expérimentalement qu'une puce assemblée avec un fil à un contact à une durée de vie 5 à 10 fois inférieure à une puce assemblée avec 2 contacts par fil.

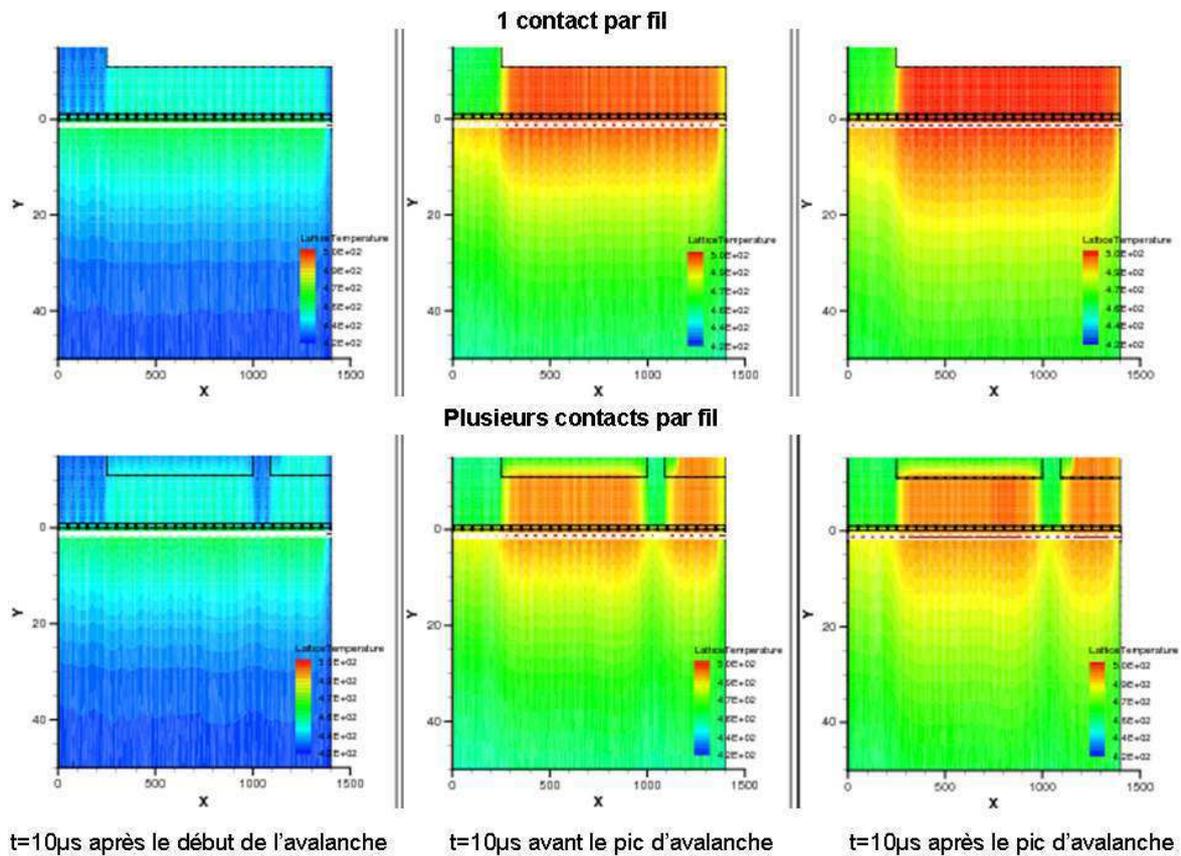


Figure III-11: Température de la puce avec un ou plusieurs contacts par fil.

### III.2. Modes de défaillances possibles

Lors de la défaillance du composant, une zone brûlée apparaît à la surface de la puce, cette brûlure est toujours localisée entre 2 fils de source mais il n'est pas possible de prédire entre quels fils elle apparaîtra. Une observation en microscopie électronique de la zone de brûlure permet de constater qu'il y a une cavité sous le fil due à un phénomène dans le silicium (figure III-12). Ce phénomène a entraîné la fusion du silicium et de l'aluminium et le retrait de ce dernier autour de la cavité. Par conséquent, des zones de silicium se retrouvent sans métallisation et les cellules élémentaires du MOS sont visibles. Les dommages dans cette zone brûlée sont tels qu'il est impossible de remonter à l'origine de la défaillance dans la puce. Elle peut provenir :

- d'une modification des chemins de courant,
- d'une particule étrangère dans le silicium qui va fragiliser la puce,
- d'un défaut d'empilement dans les différentes couches qui sous les contraintes induites par l'UIS va créer une fissure,
- du procédé d'assemblage, comme par exemple une profondeur de pénétration des fils trop importante qui entraîne la fragilisation du composant.

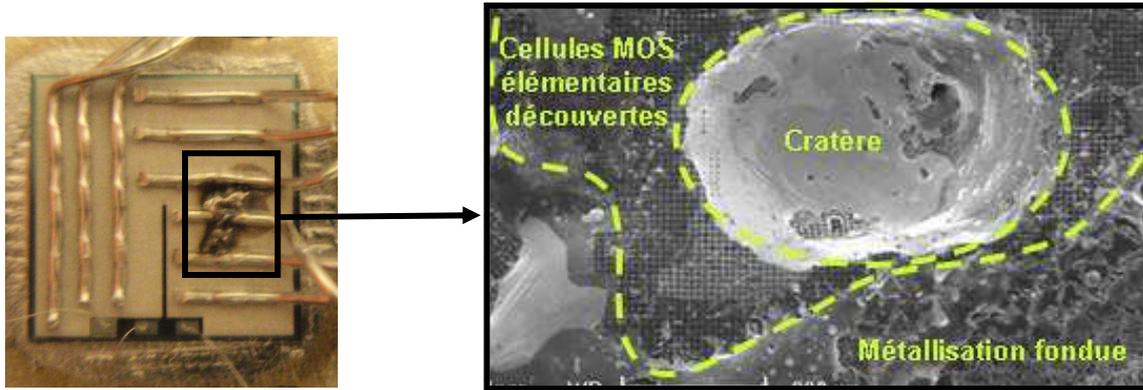


Figure III-12: Cratère dans la puce lors de la défaillance.

En dehors de la zone de cratère, au niveau des fils d'assemblage, aucun soulèvement de fils n'a pu être observé ni aucune fissure au niveau des coudes des fils (figure III-13).

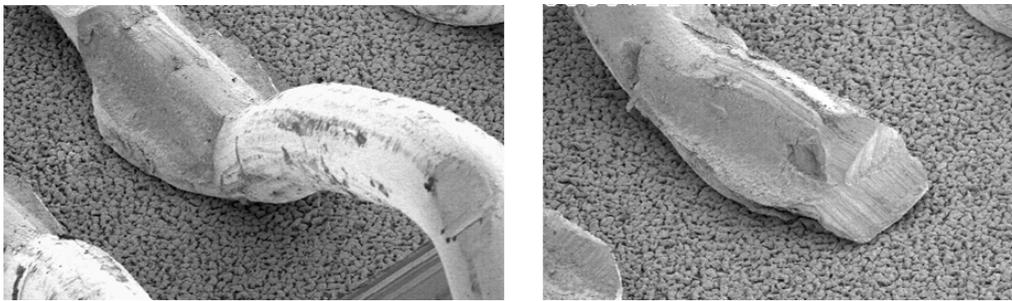


Figure III-13: Aspect des fils d'assemblage après test UIS.

### III.3. Suivi des différents paramètres pendant le test UIS

Afin de déterminer le mode de défaillance du MOSFET lorsque celui-ci est soumis à des millions de cycles d'avalanche à haute température, le cyclage est interrompu à différents moments pour mesurer les paramètres électriques du transistor. Une éventuelle variation d'un paramètre électrique permettra de prédire et de comprendre la défaillance du transistor. Lors de chaque mesure, le test UIS est arrêté, le TO3 contenant le MOSFET est retiré du dissipateur, et le court circuit entre gille et source nécessaire au test est enlevé. Ensuite le TO3 est connecté selon le schéma standard de la figure II-13.

#### III.3.1. $BV_{DSS}$ , $I_{GSS}$ , $I_{DSS}$ , $V_f$ , $V_{Gsth}$

Le cyclage en avalanche de chaque MOSFET est interrompu à plusieurs reprises afin de mesurer les paramètres électriques à faible courant suivants :

- $BV_{DSS}$  : si ce paramètre évolue au fur et à mesure du test UIS, cela veut dire que la jonction PN du MOSFET entre le PHV et la zone épitaxiée se dégrade. Aussi une diffusion de l'aluminium de la source jusqu'au caisson

PHV serait détectée par la mesure de  $BV_{DSS}$ , en effet si le dopage de la zone PHV varie le seuil de claquage variera lui aussi.

- $I_{DSS}$  : permet de détecter les mêmes phénomènes que le  $BV_{DSS}$  avec en plus une information au niveau de l'interface  $SiO_2/Si$ . Si des charges sont fixées à ce niveau, le canal peut alors conduire le courant ce qui va créer une fuite.
- $I_{GSS}$  : le suivi de cette mesure permet de repérer une dégradation dans l'oxyde de grille ou bien au niveau des espaceurs, si ceux-ci sont endommagés un courant pourra circuler entre la métallisation de source et le polysilicium de grille.
- $V_{Gsth}$  : permet de repérer la même chose que l' $I_{GSS}$  avec en plus un suivi de l'interface  $SiO_2/Si$ , si des charges sont stockées à l'interface la grille est polarisée de sorte que la tension de seuil sera abaissée.
- $V_f$  : permet de détecter une dégradation de la jonction PHV/Epitaxie.

L'évolution de ces différents paramètres à différents moments du cyclage est résumée dans la table III-1 où N représente plusieurs millions de cycles d'UIS.

Mesure	Unités	0 cycle	N/100 cycles	N/10 cycles	N cycles	2N cycles	6N cycles
$BV_{DSS}$	V	25.5	25.5	25.5	25.5	25.5	25.5
$I_{DSS}$	nA	2-4	2-4	2-4	2-4	2-4	2-4
$I_{GSS}$	nA	2-4	2-4	2-4	2-4	2-4	2-4
$V_{Gsth}$	V	4	4	4	4	4	4
$V_f$	mV	630	630	630	630	630	630

**Table III-2: Evolution des paramètres électriques d'un MOSFET cyclé en UIS.**

Les résultats présentés dans la table III-1 montrent que durant le test UIS aucun de ces paramètres électriques ne varie sous l'avalanche répétitive. Ceci signifie que ces paramètres ne permettent pas de détecter un vieillissement du silicium, donc la défaillance du MOSFET n'est pas prévisible par le suivi de ces paramètres.

### III.3.2. $R_{DSon}$

La résistance à l'état passant du composant est aussi mesurée à différents moments du test UIS. Des fluctuations de la  $R_{DSon}$  permettent de détecter principalement des variations au niveau des contacts du MOSFET, des modifications de dopage dans le silicium, des charges à l'interface  $SiO_2/Si$  ou encore un vieillissement de la jonction PHV/Epi. Cette résistance est mesurée à fort courant pour une tension grille source

$V_{GS}=15V$ . De façon inattendue cette résistance chute avec le nombre de cycles d'avalanche, mais reste linéaire comme le montre la figure III-14.

Après  $N$  millions de cycles d'avalanche, cette résistance est divisée par 2 puis se stabilise autour de 45% de sa valeur initiale jusqu'à la défaillance de la puce. La figure III-15 représente de façon normalisée la chute de cette résistance à l'état passant en fonction du nombre de cycles d'avalanche. Ce phénomène de diminution de la  $R_{DSon}$  mesurée à fort courant se répète d'une puce à une autre avec la même allure de courbe.

Le fait de cycliser pendant des millions de cycles le MOSFET et d'interrompre le cyclage pour faire les mesures est très long (plusieurs semaines). C'est pourquoi beaucoup de points sont pris entre 0 et  $2N$  millions de cycles de façon à décrire précisément la variation de  $R_{DSon}$  puis une fois la  $R_{DSon}$  stabilisée, le nombre de points mesurés est beaucoup plus espacé.

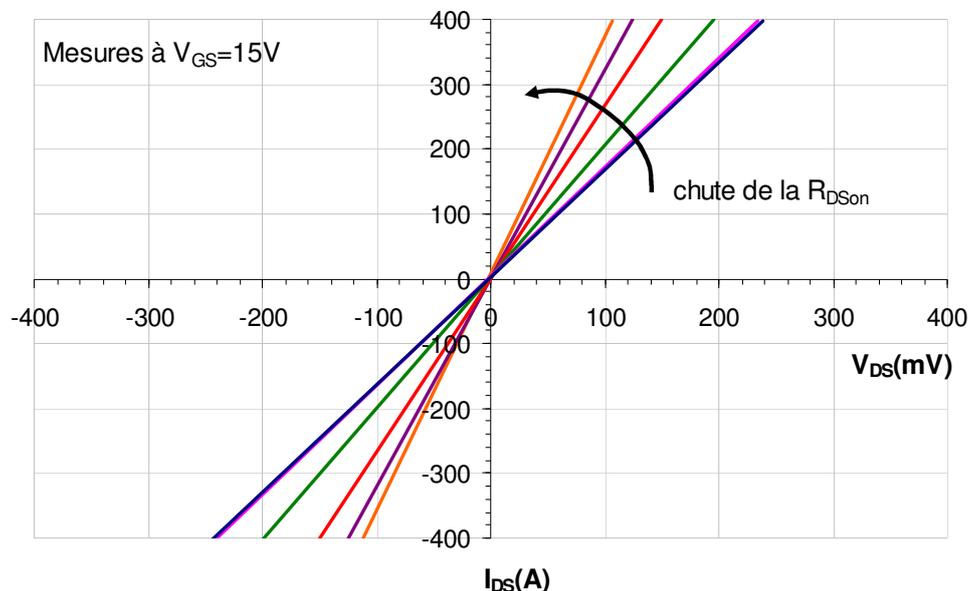


Figure III-14: Evolution de la  $R_{DSon}$  pendant le test UIS.

Cette chute est inattendue car en général lorsqu'un composant vieillit sa résistance à l'état passant a plutôt tendance à augmenter. En effet d'après l'état de l'art du chapitre I concernant les dégradations et modes de défaillance d'un semiconducteur de puissance, lorsque le MOSFET est soumis à de fortes contraintes thermiques et/ou mécaniques, il apparaît une fatigue au niveau des fils d'assemblage, de la brasure face arrière ou au niveau de la métallisation. Ces différents phénomènes ont tous pour conséquence une augmentation de la résistance des contacts et par conséquent une augmentation de la résistance à l'état passant du composant. Or ce n'est pas le cas pour les mesures à forts courants faites sur un MOSFET soumis à l'avalanche répétitive. A priori si cette résistance a diminué, c'est que les performances du MOSFET ont été améliorées au niveau d'au moins une des composantes de la  $R_{DSon}$  détaillée dans la figure I-14. La diminution de la

$R_{DSon}$  mesurée pourrait par exemple être expliquée par une diffusion d'aluminium dans le silicium, cependant aucun autre paramètre électrique ne semble impacté. Une mesure du dopage du composant MOS fait avant et après le cyclage permet d'invalider cette hypothèse. La figure III-16 montre que le dopage est inchangé avant et après UIS ce qui signifie que la diminution de la  $R_{DSon}$  de plus d'un facteur 2 ne peut pas être expliquée par une diffusion de l'aluminium dans le silicium.

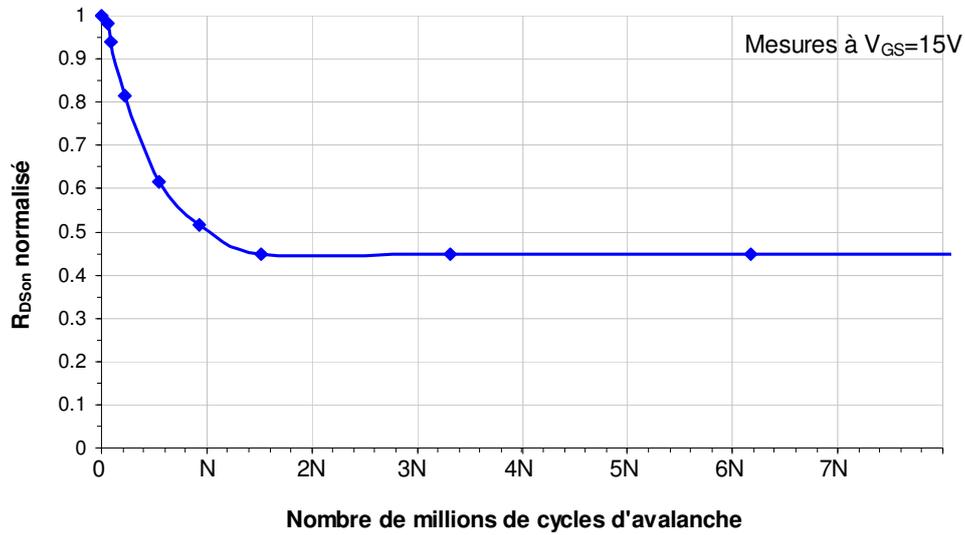


Figure III-15: Diminution normalisée de la  $R_{DSon}$  d'un MOSFET en fonction du nombre de cycles d'avalanche.

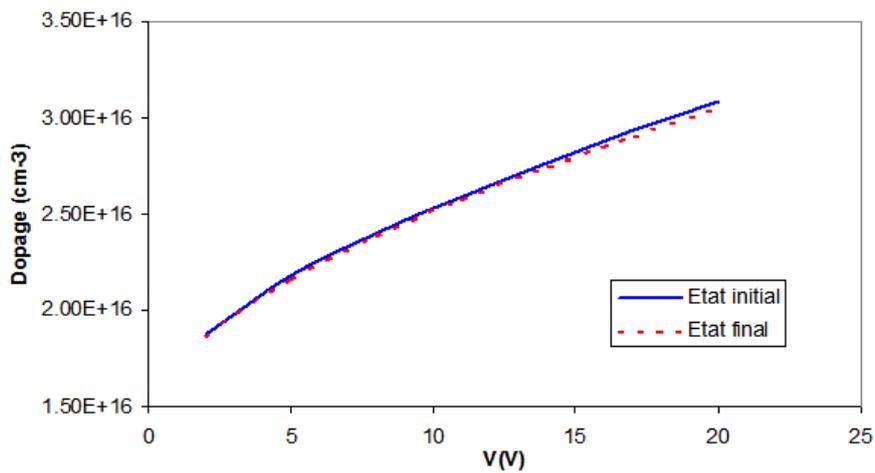


Figure III-16: Dopage de la jonction PHV/ $N_{épi}$  extrait de la mesure de capacité en inverse [SZE81] avant et après le test UIS.

### III.4. Introduction de nouvelles mesures

#### III.4.1. Modèle de la mesure de $R_{DSon}$

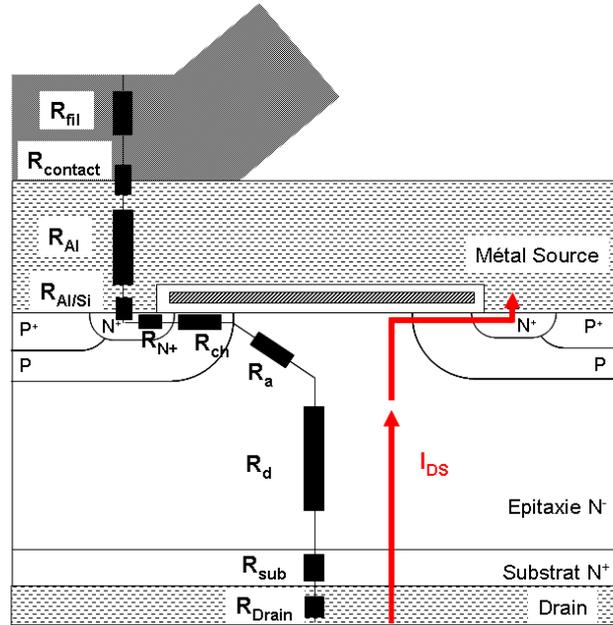


Figure III-17: Composantes du silicium et des connexions de la  $R_{DSon}$ .

La résistance à l'état passant d'un MOSFET est la résistance qui va s'opposer au passage du courant entre le drain et la source. Afin de comprendre l'origine de la diminution de la  $R_{DSon}$ , celle-ci a été décomposée en différentes résistances comme indiqué sur la figure III-17. Cette représentation inclut: la résistance du silicium à l'état passant  $R_{DSonSi}$  qui prend en compte les différentes zones de dopage (voir l'équation I-3 pour plus de détails)

$$R_{DSonSi} = R_{sub} + R_d + R_a + R_{ch} + R_{N+} \quad (\text{III- 5})$$

et aussi la contribution des résistances de connexion au niveau du drain et de la source. En effet, même si le terme  $R_{DSon}$  est utilisé pour parler de la résistance du silicium celle-ci est impossible à mesurer sans les connexions électriques au niveau du drain et de la source. La contribution de ces résistances est la suivante :

$$R_{connexion} = R_{fil} + R_{contact} + R_{Al} + R_{Al/Si} + R_{Drain} \quad (\text{III- 6})$$

avec  $R_{fil}$  la résistance du fil,  $R_{contact}$  la résistance du contact du fil sur la métallisation,  $R_{Al}$  la résistance de la métallisation,  $R_{Al/Si}$  la résistance du contact métal/silicium et  $R_{Drain}$  la résistance du contact et de la métallisation de la face arrière. Par conséquent la résistance à l'état passant réelle est telle que :

$$R_{DSon} = R_{DSonSi} + R_{connexion} \quad (\text{III- 7})$$

Cependant lors de la mesure de cette résistance le courant ne va pas parcourir ce chemin direct entre drain et source. En effet, comme expliqué dans le chapitre II.2.2.2. pour mesurer cette  $R_{DSon}$  l'électrode de source est connectée au traceur de courbes par un fil de force et un fil de sense pour s'affranchir des résistances de fils. Un modèle élémentaire de cette mesure à forts courants est représenté sur la figure III-18.

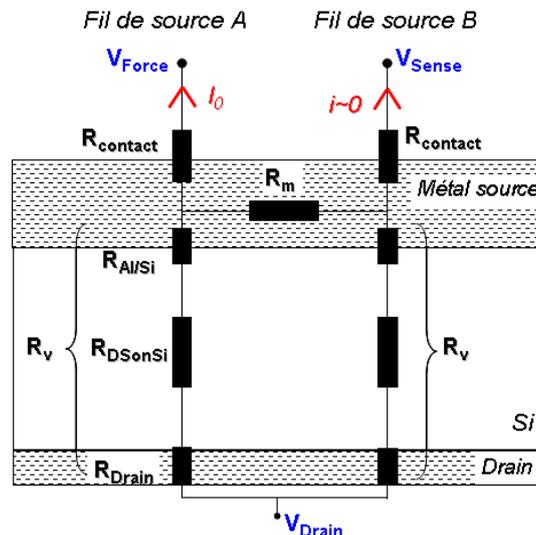


Figure III-18: Modèle de la mesure de  $R_{DSon}$  à forts courants.

Ainsi la résistance à l'état passant du MOSFET mesurée en utilisant des fils de force et de sense est définie par :

$$R_{DSon} = \frac{V_{sense}}{I_0} = \frac{R_v^2}{R_m + 2R_v} \quad (\text{III- 8})$$

Ce modèle permet de constater que la résistance à l'état passant mesurée avec un fil de force et un fil de sense, dépend non seulement d'une résistance verticale  $R_v$  telle que :

$$R_v = R_{DSonSi} + R_{Drain} + R_{Al/Si} \quad (\text{III- 9})$$

mais aussi de la résistance du métal source entre les fils de force et de sense  $R_m$ . Quant à la résistance des fils et la résistance de contact sur la métallisation des fils, elles sont prises en compte mais elles n'apparaissent pas dans la mesure de  $R_{DSon}$ . Cette mesure dépend donc de la résistance  $R_v$  et de la résistance du métal de source entre les électrodes force et sense  $R_m$ . Or cette résistance  $R_m$  dépend directement de la distance entre les fils de force et de sense, plus les fils de force et source seront pris loin l'un de l'autre plus la  $R_{DSon}$  mesurée sera faible. Cela signifie que lorsque plus de 2 broches du TO3 sont connectées à la source, la  $R_{DSon}$  mesurée variera en fonction du choix des broches de force et sense. Ceci a été vérifié sur un MOSFET assemblé dans un TO3 avec 5 broches reliées à la source de façon symétrique.

Configuration	Assemblage	$R_{DSon}$ normalisée par rapport à la configuration A
A		1
B		0.95
C		0.74

**Table III-3: Impact du choix du sense pour la mesure de  $R_{DSon}$ .**

Selon l'emplacement du sense la valeur de la  $R_{DSon}$  peut varier de plus de 25% comme le montre la table III-3. Il est donc important de garder en mémoire le fait que la méthode de mesure a un impact important sur la valeur de la résistance à l'état passant du MOSFET.

Ainsi d'après l'expression de la  $R_{DSon}$  (III-8) obtenue grâce au modèle de la mesure, si  $R_{DSon}$  diminue au fur et à mesure du test UIS c'est que  $R_v$  et/ou  $R_m$  sont impactées par l'UIS. Afin de comprendre l'origine de la chute de  $R_{DSon}$  deux nouvelles mesures ont été introduites.

### III.4.2. $R_T$

Pour suivre l'évolution de la métallisation de source tout au long des cycles d'avalanche, une nouvelle mesure appelée  $R_T$  a été introduite. Cette mesure consiste à déterminer la résistance du métal entre 2 fils de source ce qui permet de suivre l'évolution de la résistance du métal et du contact des fils de source pendant le test UIS. En réalité, dans le TO3 chaque broche de source est reliée au métal par plusieurs fils comme le montre la figure II-10. Cependant pour la mesure de  $R_T$  le courant va uniquement passer par le

chemin le moins résistif c'est-à-dire par les fils les plus proches, c'est pourquoi il est juste de modéliser un fil pour chaque broche. Afin de relier ces mesures aux mesures de  $R_{DSon}$ , les fils choisis pour la mesure sont le fil de sense et le fil de force le plus proche. La résistance mesurée de cette façon est de:

$$R_T = R_m + 2R_{contact} \quad \text{(III- 10)}$$

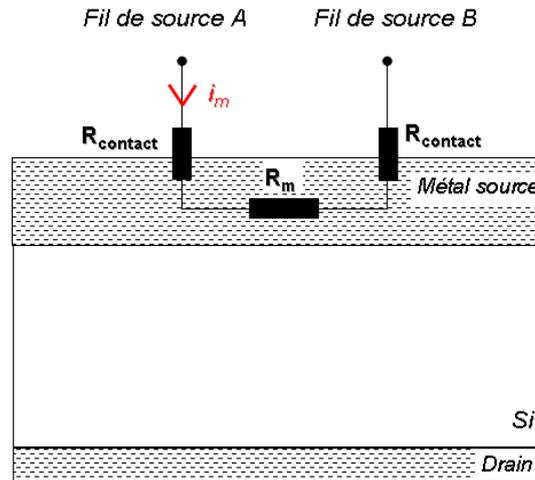


Figure III-19: Mesure de la résistance  $R_T$  entre 2 fils de source.

Comme le montre la figure III-20, cette résistance  $R_T$  est fortement impactée par le cyclage en avalanche, après  $N$  millions de cycles elle augmente d'un facteur 4 de façon linéaire, puis semble ralentir sa progression après  $1.5N$  millions de cycles.

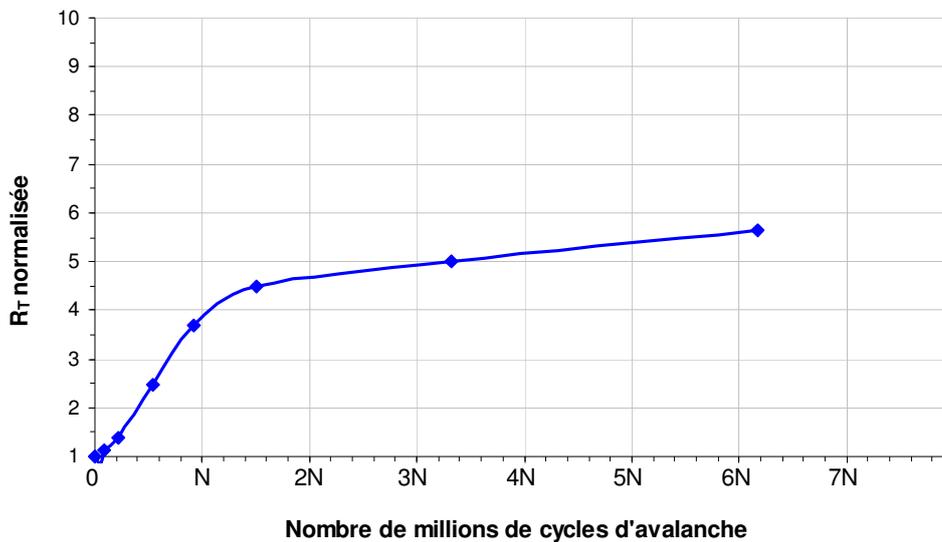


Figure III-20: Evolution de  $R_T$  normalisée avec le nombre de cycles d'avalanche.

Cependant les résultats obtenus avec cette mesure ne nous donnent pas d'indications sur l'origine de l'augmentation de la résistance  $R_T$  avec le nombre de cycles d'avalanche, cette augmentation peut provenir des contacts des fils, de la métallisation ou des 2. Cette

nouvelle mesure avec la mesure de  $R_{DSon}$  donnent un système de 2 équations à 3 inconnues, une nouvelle mesure a été introduite afin de résoudre ce système.

### III.4.3. $R_{DSon2}$

Cette nouvelle mesure consiste à faire la même mesure que la  $R_{DSon}$  du III.4.1. mais en faisant un court-circuit avec tous les fils de source qu'ils soient force ou sense, de cette façon il n'y a plus de force et de sense. Le schéma de la figure III-21 montre le modèle de cette mesure.

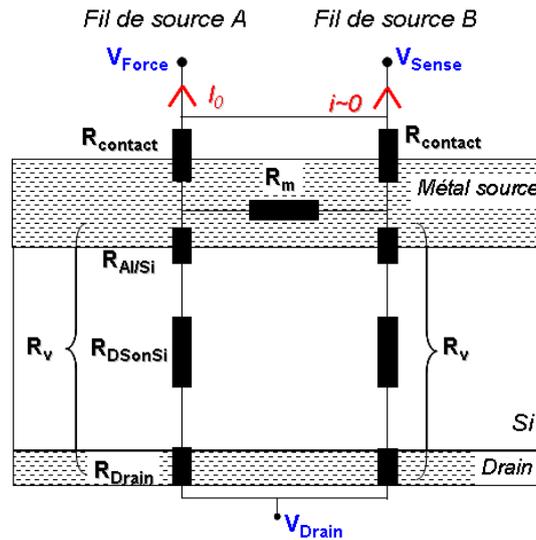


Figure III-21: Mesure de  $R_{DSon2}$ .

D'après le modèle de la figure III-21, la nouvelle résistance mesurée  $R_{DSon2}$  s'exprime de la façon suivante :

$$R_{DSon2} = \frac{R_{contact} + R_v}{2} \quad (\text{III-11})$$

Cette mesure est donc indépendante de la résistance de la métallisation source entre les fils.

Jusqu'à environ 2N millions de cycles cette résistance oscille autour de sa valeur initiale, puis après 2N millions de cycles  $R_{DSon2}$  semble augmenter légèrement mais sa valeur ne dépasse pas 1.3 fois sa valeur initiale. Cependant les points mesurés après 2N millions de cycles sont beaucoup plus espacés, c'est pourquoi il n'est pas possible d'affirmer qu'après 2N millions de cycles  $R_{DSon2}$  augmente car elle peut aussi osciller.

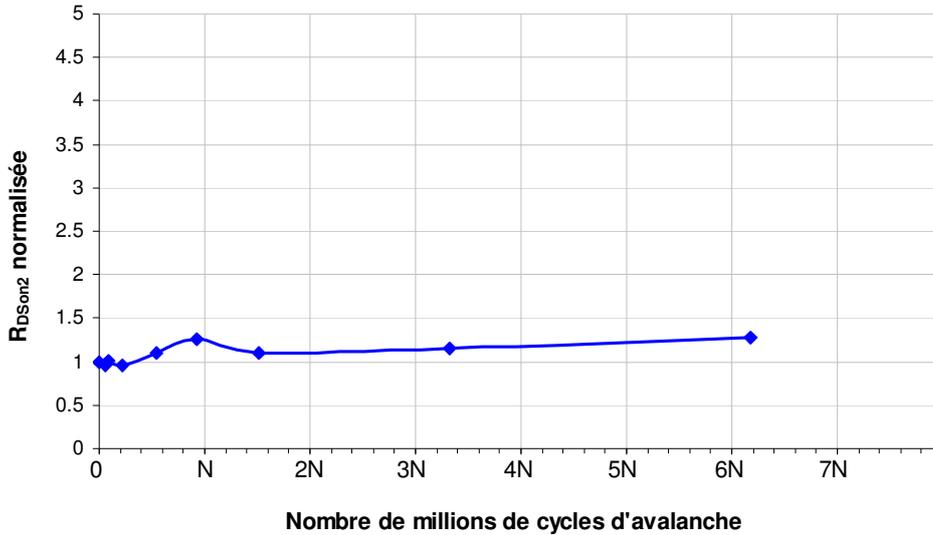


Figure III-22: Evolution de  $R_{DSon2}$  normalisée avec le nombre de cycles d'avalanche.

#### III.4.4. Extraction des différentes résistances

Grâce à la mesure de  $R_{DSon}$  standard et aux nouvelles mesures introduites  $R_T$  et  $R_{DSon2}$ , la résistance verticale  $R_v$ , la résistance de contact des fils sur le métal source  $R_{contact}$  ainsi que la résistance du métal entre les fils de force et sense  $R_m$ , peuvent être extraites.

$$R_v = 2R_{DSon} + \sqrt{R_{DSon}(4R_{DSon} - 4R_{DSon2} + R_T)} \quad \text{(III- 12)}$$

$$R_{contact} = 2R_{DSon2} - R_v \quad \text{(III- 13)}$$

$$R_m = R_T - 2R_{contact} \quad \text{(III- 14)}$$

La figure III-23 montre le comportement de ces 3 résistances avec le nombre de cycles d'avalanche. La résistance verticale augmente légèrement avec le nombre de cycles d'avalanche, cette augmentation peut être due à la résistance du silicium à l'état passant, à une dégradation du drain ou encore à une dégradation de l'interface aluminium silicium. La résistance de contact des fils sur la métallisation source  $R_{contact}$ , oscille autour de sa valeur initiale. Cette oscillation peut être due à l'instabilité des fils sur la métallisation due à la fragilité du contact engendrée par les contraintes thermo-mécaniques. La dernière résistance extraite  $R_m$ , augmente avec le nombre de cycles d'avalanche puis se stabilise autour de 7 fois sa valeur initiale. Ainsi la diminution de la  $R_{DSon}$  mesurée au fur et à mesure du test UIS, s'explique par l'importante augmentation de la  $R_m$  du MOSFET puisque la résistance à l'état passant varie comme l'inverse de la  $R_m$ . Cette augmentation est dommageable pour le composant. En effet pour être évacué, le courant des cellules situées loin des fils de source devra traverser une résistance plus importante au fur et à mesure du test UIS. Par conséquent la répartition de température à la surface de la puce sera de moins en moins

homogène et l'échauffement sera plus important entre les fils, ce qui peut entraîner la défaillance du composant.

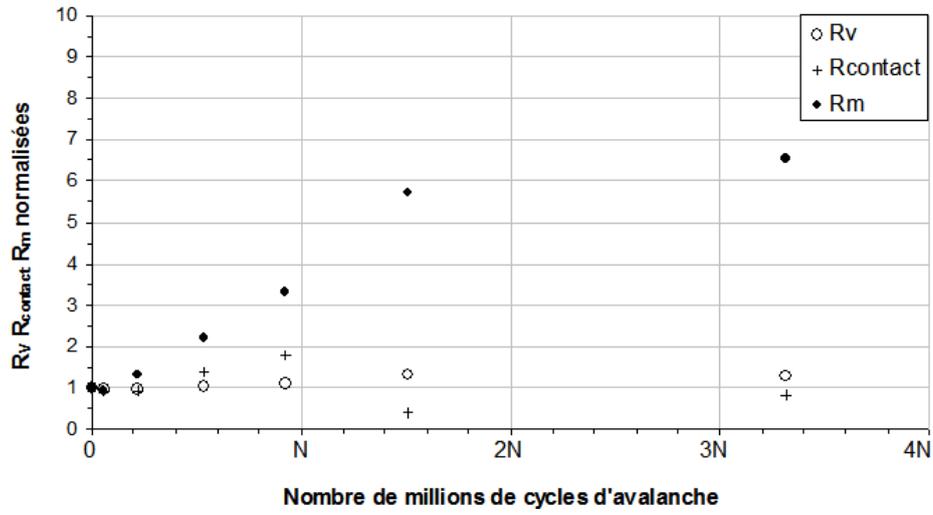


Figure III-23: Evolution de  $R_v$ ,  $R_{\text{contact}}$  et  $R_m$  avec le nombre de cycles d'avalanche.

### III.5. Conclusion

La durée et le courant maximum d'avalanche ont des conséquences importantes sur l'élévation de température dans le silicium, or c'est cette température qui détermine les limites d'utilisation d'un composant. La température maximale de jonction dans le silicium pendant l'avalanche peut être obtenue par les équations de Blackburn et Clemente ou par simulations numériques, l'écart de température obtenu avec ces méthodes est de 5°C. En plus de la dépendance à la durée et au courant maximum de l'avalanche, la température de jonction est aussi impactée par la surface active de la puce. Cependant il est impossible de relier de façon linéaire la température de jonction avec la durée de vie du MOSFET soumis à l'avalanche répétitive. En effet la durée de vie du MOS en avalanche répond à une loi de type Coffin Manson dépendante de la température globale du système et non pas de la température de jonction du silicium. Il a toutefois été validé que pour améliorer la durée de vie du MOS en avalanche tout en conservant les paramètres de test, il faut augmenter la surface active du composant. Cette augmentation de surface entraîne cependant des diminutions de rendement et des problèmes au niveau de la fiabilité. Un compromis doit donc être trouvé entre rendement, fiabilité,  $R_{DSon}$  et tenue en avalanche.

Lorsque le composant est soumis à l'avalanche répétitive, le suivi des paramètres électriques du MOSFET pendant le cyclage ne permet pas de prévoir la défaillance du composant. En effet la majorité des performances électriques ne varie pas durant le cyclage. Seule la résistance à l'état passant du composant est impactée par les millions d'impulsions d'avalanche, mais après une rapide diminution de la  $R_{DSon}$  celle-ci se stabilise et ne permet donc pas de prévoir la défaillance. Une simple modélisation de cette mesure ainsi que l'introduction de nouvelles mesures a permis de montrer que cette diminution a pour origine l'augmentation importante de la résistance de la métallisation de source qui a été multipliée par un facteur 7 à la fin du test en avalanche. La suite de ce manuscrit sera consacrée à l'étude de l'augmentation de la résistance de ce métal.





# Chapitre IV: Vieillissement de l'électrode source du MOSFET

Dans le chapitre précédent nous avons montré que lorsque le MOSFET de puissance étudié dans ce mémoire est soumis à des millions de cycles d'avalanche, sa résistance à l'état passant chute avant de se stabiliser. Il a été établi que cette diminution de la  $R_{DSon}$  a pour origine la méthode de mesure à fort courant car en réalité cette mesure tient compte de la résistance du métal et de la résistance verticale du silicium :

$$R_{DSon} = \frac{V_{sense}}{I_0} = \frac{R_v^2}{R_m + 2R_v}$$

Cette résistance à l'état passant diminue, au fur et à mesure que le test UIS se poursuit, de plus d'un facteur 2. Cet abaissement peut s'expliquer par :

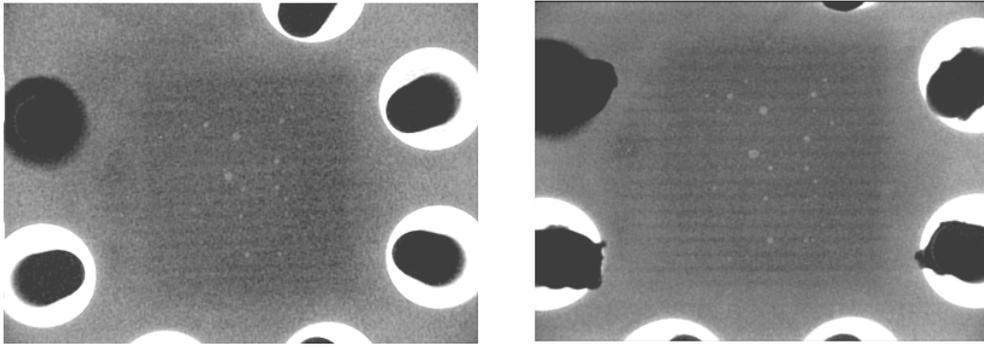
- Une diminution de  $R_v$  où  $R_v = R_{DSonSi} + R_{Drain} + R_{Al/Si}$ .
- Une augmentation de la résistance du métal source  $R_m$ .
- Une variation de  $R_v$  et de  $R_m$  simultanément.

D'après les mesures et équations introduites dans le chapitre III.4, la diminution de la  $R_{DSon}$  vient principalement de l'augmentation de la résistance du métal  $R_m$ , la résistance  $R_v$  quant à elle oscille faiblement. Il est intéressant d'analyser le composant après cyclage pour déterminer l'origine de ces variations.

## IV.1. Mise en évidence du vieillissement du métal source

### IV.1.1. Rayons X

Afin de comprendre les variations calculées dans  $R_v$  et sachant qu'elles ne viennent pas du silicium ( $R_{DSonSi}$ ), des observations par rayons X ont été faites sur les brasures de puces dans le TO3. Ces observations faites avant et après cyclage ne montrent pas d'évolution de la taille ou du nombre de cavités dans la brasure face arrière de la puce. Des observations en microscopie électronique à balayage en bord de puces ne montrent pas de délamination dans les coins. Par conséquent, la résistance de drain  $R_{Drain}$  ne semble pas impactée par le test UIS.



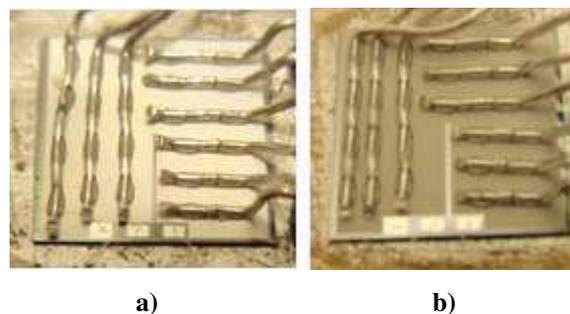
**Figure IV-1: Rayons X de la brasure de la puce avant et après cyclage.**

Les différentes mesures et observations faites prouvent que les variations de  $R_v$  au fur et à mesure du test en avalanche n'ont pas pour origine le silicium ou le contact de drain, elles sont donc dues à la résistance de contact  $R_{Al/Si}$ . Les profils de dopage et paramètre électriques montrent que le silicium n'est pas impacté par l'UIS, les variations de  $R_{Al/Si}$  viennent donc de la couche d'aluminium. Il a déjà été montré que la résistance de l'aluminium augmente avec le nombre de cycles d'avalanche, différentes méthodes d'observations présentées dans la partie suivante permettront de comprendre ce qui se passe dans la métallisation source au fil du test UIS.

## IV.1.2. Observations

### IV.1.2.1. Observations optiques

Des photos optiques prises avant et après cyclage montrent une modification de la réflectivité de l'aluminium. En effet avant le test en avalanche, la métallisation de source est extrêmement brillante et de même coloration que les plots de contacts de la grille et de la diode en polysilicium. Après le test la surface du métal source prend un aspect mat, cet aspect est dû au changement de la rugosité de l'aluminium, quant aux plots de contact ils ne semblent pas impactés par le cyclage. Afin de comprendre l'origine du changement de rugosité, des observations en microscopie électronique à balayage ont été faites.



**Figure IV-2: Aspect de la métallisation source a) avant et b) après cyclage UIS.**

#### IV.1.2.2. Observations en microscopie électronique à balayage

La surface du MOSFET est observée au microscope électronique à balayage avant cyclage, pendant et à la fin, cet état final correspond à environ 2 fois la durée de vie du composant requise dans l'application. A l'état initial, les cellules élémentaires du MOSFET sont parfaitement différenciables les unes des autres et la métallisation suit parfaitement la topographie de celles-ci. A l'état intermédiaire 1, chaque cellule peut être distinguée mais la métallisation semble lissée c'est-à-dire qu'elle ne suit plus le relief des cellules élémentaires, il apparaît aussi quelques fissures dans la métallisation. Plus tard à l'état intermédiaire 2, les fissures dans la métallisation se sont multipliées et sont accompagnées de trous, la surface ne paraît plus plane mais il est encore possible de repérer quelques cellules. Enfin à l'état final, c'est-à-dire quelques dizaines de millions de cycles avant défaillance, le métal est devenu complètement rugueux il semble s'être soulevé par endroit et il est impossible d'identifier les cellules élémentaires. Cet aspect rugueux va provoquer le changement de réflectivité de la couche d'aluminium ce qui explique l'aspect mat visible sur la figure IV-2. Malgré ce changement de rugosité, la puce peut continuer le cyclage en avalanche pendant des millions de cycles.

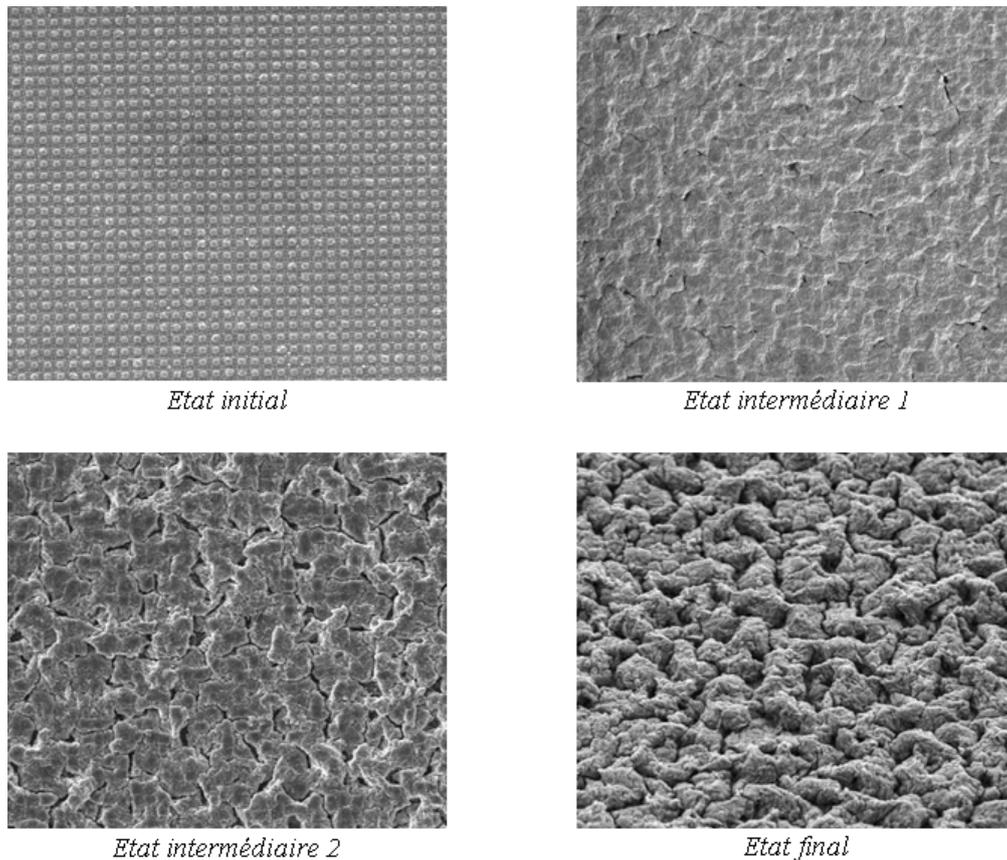


Figure IV-3: Reconstruction de l'aluminium source avant, pendant et après le cyclage UIS.

Ce changement d'aspect de la métallisation est dû aux contraintes mécaniques cycliques engendrées pendant le test UIS. En effet lors du cyclage la couche d'aluminium est soumise à de fortes contraintes thermiques et mécaniques. Comme vu dans le chapitre III.1.2., pendant des dizaines de millions de cycles l'aluminium va passer de 150°C à plus de 220°C, la différence des coefficients d'expansion thermique entre l'aluminium et le silicium va entraîner une fatigue de cette couche d'aluminium. Ce phénomène de vieillissement est aussi appelé reconstruction de l'aluminium. Cette reconstruction de l'aluminium peut avoir des conséquences sur les différents contacts notamment entre le métal et le silicium.

### IV.1.3. Coupes verticales.

Des coupes verticales dans la métallisation sont faites à l'aide d'un FIB (Focused Ion Beam) pour voir l'évolution de l'aluminium et l'interface métal/silicium. Pour faire ces coupes sans dégrader l'échantillon, la surface de l'aluminium est recouverte par une couche de platine. Les coupes faites avant et après le cyclage montrent que la structure de l'aluminium a changé pendant le test UIS. En effet sur la figure IV-4, les grains d'aluminium qui avaient une taille de 10µm et un aspect colonnaire au départ sont organisés de façon aléatoire et avec des tailles de grains très inhomogènes à la fin du test UIS. Aussi la partie supérieure de ces grains, paraît très rugueuse.

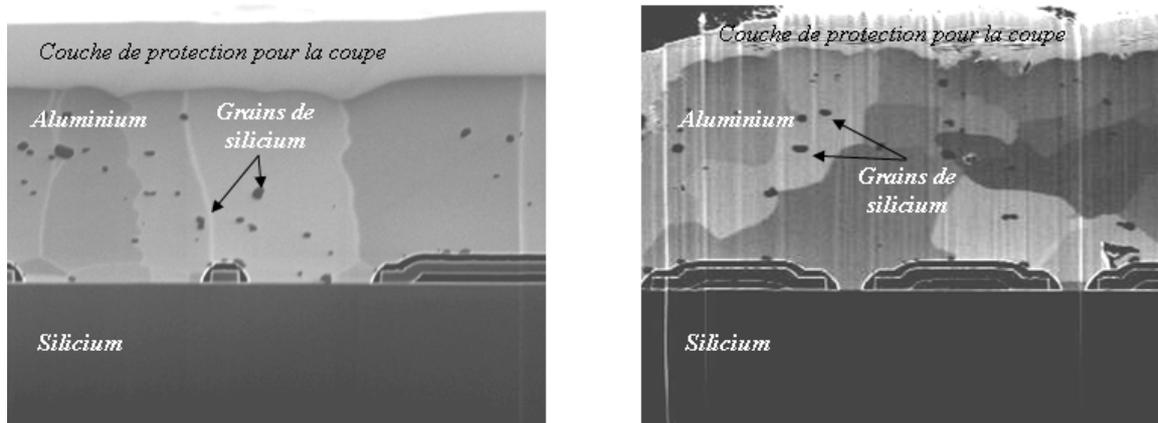


Figure IV-4: Granulométrie de la couche d'aluminium avant et après le cyclage.

En plus du changement de morphologie des grains d'aluminium, 3 types de défauts ont pu être observés. Le premier type de défaut apparaît en bord de surface active, à ces endroits sous la passivation, la métallisation se soulève entre l'aluminium et les blocs de grille. La cellule de bord n'étant pas active (voir chapitre II.1.1.1.), le fait qu'elle ne soit presque plus connectée au métal source n'aura pas d'impact sur les performances du produit. Cependant si ce type de défaut se propage sur tout le bord de la surface active des

cellules actives risquent d'être déconnectées et la  $R_{DSon}$  va augmenter. Cette élévation de la résistance va engendrer une augmentation de l'échauffement du composant ce qui va contribuer à la diminution de sa durée de vie. Le second type de défaut est l'apparition de fissures aux joints de grains, ces fissures vont empêcher le passage du courant de grain à grain et donc la résistance du métal va augmenter. Enfin le dernier type de défaut est la formation de cavités dans l'aluminium sur quasiment toute l'épaisseur de la couche d'aluminium. Ces cavités se forment par-dessus le bloc de grille et modifient la topographie de l'aluminium en surface, les contacts avec le silicium semblent néanmoins intacts. Ces 2 derniers défauts ont un impact important sur le passage du courant et donc sur la résistance de la couche d'aluminium. Pour le défaut de type 2 le passage du courant latéral se fait plus difficilement puisque il n'y a plus d'aluminium entre 2 grains, et pour le dernier type de défaut il est probable que ce soit une évolution du défaut de type 2. Pour ces 2 cas, l'absence d'aluminium va modifier le chemin du courant et dans ces conditions une augmentation de la résistance de la couche d'aluminium paraît inévitable, fait qui est corrélé avec les mesures de résistances faites dans le chapitre III.

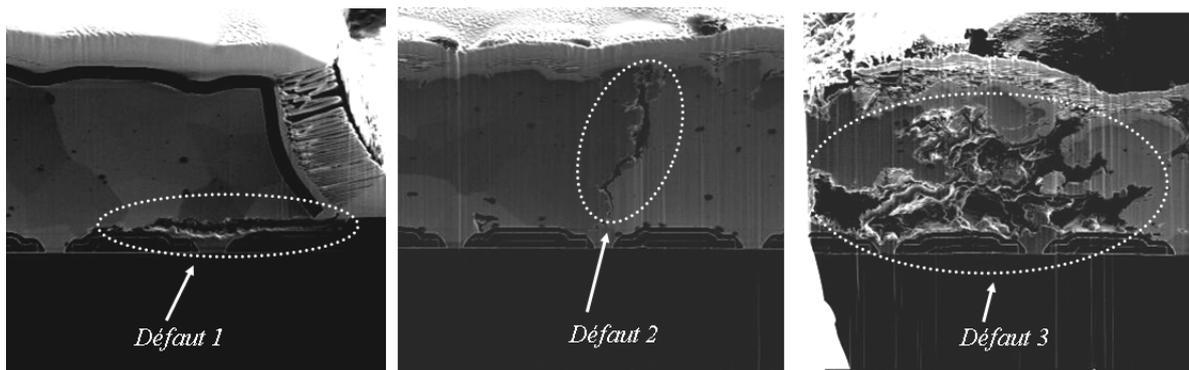


Figure IV-5: Différents types de défauts dans l'aluminium reconstruit.

Les 3 défauts présentés ci-dessus semblent s'amorcer ou s'arrêter au dessus des blocs de grille au niveau de l'interface aluminium/SiO<sub>2</sub>. Sur les différentes coupes faites, malgré les déformations engendrées dans le métal, le contact métal silicium garde son intégrité (figure IV-6).

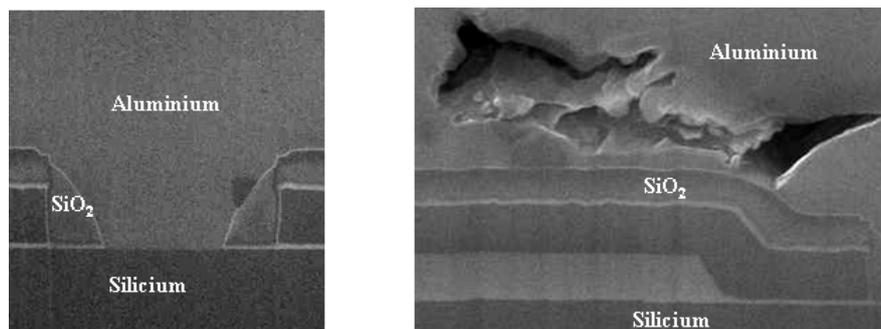


Figure IV-6: Interfaces Al/Si et Al/SiO<sub>2</sub> dans l'aluminium reconstruit.

L'apparition de défauts au niveau de l'interface aluminium/oxyde plutôt qu'à l'interface aluminium/silicium peut être expliquée par la différence entre les coefficients d'expansion thermiques. En effet il y a un facteur 10 entre les CTE de l'aluminium et du silicium alors qu'entre aluminium et SiO<sub>2</sub> c'est un facteur 50, l'interface aluminium/SiO<sub>2</sub> est donc beaucoup plus contrainte lors du test UIS. Cette interface représente environ 75% du contact de l'aluminium avec la surface active totale de la puce alors que le contact entre aluminium et silicium n'en représente que 25%.

Matériaux	Résistivité électrique (Ω.cm)	CTE (10 <sup>-6</sup> /°C)	Conductivité thermique (W/mK)
Si	6 <sup>E</sup> -3	2.6	148
Al 10μm	2.6 <sup>E</sup> -6	24.85	220
SiO <sub>2</sub>	1 <sup>E</sup> 14	0.5	1.4

**Table IV-1: Différence de CTE entre les différents matériaux.**

Dans le chapitre III, il a été montré que la majeure partie de la diminution de la R<sub>DSon</sub> mesurée après test UIS vient de l'augmentation de la résistance de la métallisation engendrée par le vieillissement de la couche d'aluminium. La mesure de la R<sub>DSon</sub> à forts courants permet de suivre le vieillissement de la métallisation source mais ne permet pas de prédire la défaillance du composant puisque après une rapide diminution cette résistance se stabilise.

## IV.2. Impact de l'assemblage sur le vieillissement du métal

### IV.2.1. Taille des fils

D'après [ALO86], en mode continu il existe pour chaque taille de fil un courant maximum d'utilisation au dessus duquel le composant est en dehors de sa limite de sécurité. Ce courant  $I$  est défini en fonction du diamètre du fil  $d$  et d'une constante  $K$  qui dépend de la longueur du fil ici  $K=118$ , ainsi :

$$I = Kd^{3/2} \quad (\text{IV- 1})$$

Sachant que les MOS testés dans le cadre de cette étude sont assemblés avec 9 fils sur la source, pour un courant d'avalanche de 400A, chaque fil doit faire passer 44 Ampères. Même si pendant le test UIS les fils ne sont pas soumis à un courant continu, si le courant maximum défini par IV-1 pour une taille de fil donné est inférieur ou égal à ces 44A il est certain que l'aire de sécurité est respectée.

Dans les conditions standards, l'assemblage en boîtier TO3 se fait avec les plus gros fils disponibles qui sont des fils de diamètre 20 mils (0.508mm). D'après l'équation IV-1 le courant continu maximum acceptable pour un fil de 20 mils est de 43A, on considère qu'avec 44A/fil l'aire de sécurité est respectée. En utilisant des fils de 15 mils, le courant continu maximum acceptable pour un fil est de 28A, par conséquent même si les fils ne sont pas soumis à un courant continu, il n'est pas exclu que le composant fonctionne en dehors de son aire de sécurité. Cependant comme le rapport cyclique pendant le test UIS est d'environ 0.5%, il est juste de dire que les fils de 15 mils ne posent pas de problème d'aire de sécurité.

La figure IV-7 montre que pendant le cyclage en avalanche, il n'y a pas de différence entre la chute de la  $R_{DSon}$  d'un composant assemblé avec des fils de 20 mils et celle d'un composant assemblé en 15 mils. Cependant le composant assemblé en 20 mils à une durée de vie bien supérieure. Donc une fois le métal reconstruit, les fils interviennent sur le refroidissement du silicium pendant la durée d'avalanche et comme pour l'assemblage avec plusieurs contacts par fil présenté dans le chapitre III.1.4., plus grande est la surface de contact entre fils et puce, meilleure est la durée de vie.

#### IV.2.2. Brasure face arrière

Comme le montre la figure IV-7, la chute de la  $R_{DSon}$  pendant le test UIS ne semble pas dépendre de la qualité de la brasure entre la puce et le boîtier TO3. En effet la puce assemblée avec une brasure épaisse dans laquelle le nombre de cavités est supérieur à la spécification connaît la même variation de  $R_{DSon}$  qu'une puce avec un bon assemblage, mais sa durée de vie sera plus courte.

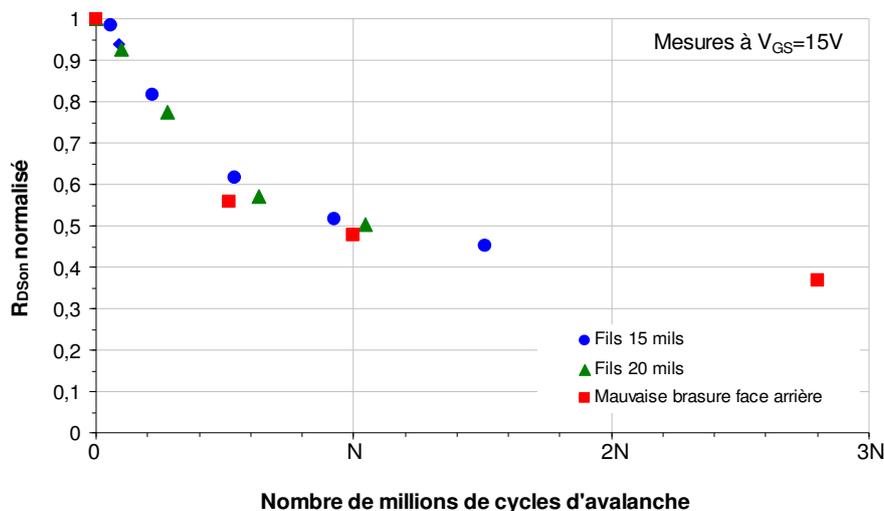


Figure IV-7: Impact de l'assemblage sur la chute de  $R_{DSon}$  pendant le test UIS.

La taille des fils et la qualité de la brasure face arrière du composant n'impactent pas la chute de la résistance à l'état passant pendant le test UIS, ces facteurs ont toutefois un rôle important sur la durée de vie du composant. Comme vu précédemment, la  $R_{DSon}$  ne permet pas de prédire la durée de vie d'un MOSFET sous UIS mais permet de mesurer le vieillissement de son électrode de source. Par conséquent d'après la figure IV-7, la qualité de la brasure face arrière et la taille des fils de source n'ont pas d'impact sur le vieillissement de l'aluminium.

### IV.2.3. Passivation

Afin de modifier la tension de surface de la métallisation source, un masque spécial pour la passivation en  $SiO_2$  a été dessiné. Ce masque est tel qu'après gravure, la couche de passivation couvre complètement le métal source à l'exception de 2 larges ouvertures pour la prise de contact des fils de connexion sur le métal, alors que sur les puces standards cette passivation ne se trouve qu'en bordure de la surface active. Des observations au microscope électronique à balayage à différents moments du test UIS montrent l'évolution de cette couche de passivation (figure IV-8). La première photo de la figure IV-8 montre la couche de passivation avant le test en avalanche, les cellules élémentaires du MOSFET sont bien visibles au travers de cette couche. La seconde photo montre la couche de passivation après plusieurs millions de cycles, sur cette photo la passivation paraît considérablement gondolée mais les cellules élémentaires sont toujours visibles sur la passivation. Enfin la dernière photo montre la couche de passivation cassée en plusieurs endroits comme du verre. Sur cette photo les cellules élémentaires apparaissent toujours à la surface de la passivation. Cependant là où la passivation s'est fendue, de l'aluminium reconstruit est visible. En réalité, les motifs des cellules du MOSFET se sont imprimés sur la couche de  $SiO_2$  dès le départ, et donc ces motifs ne sont plus représentatifs de ce qui se passe sous la couche de passivation.

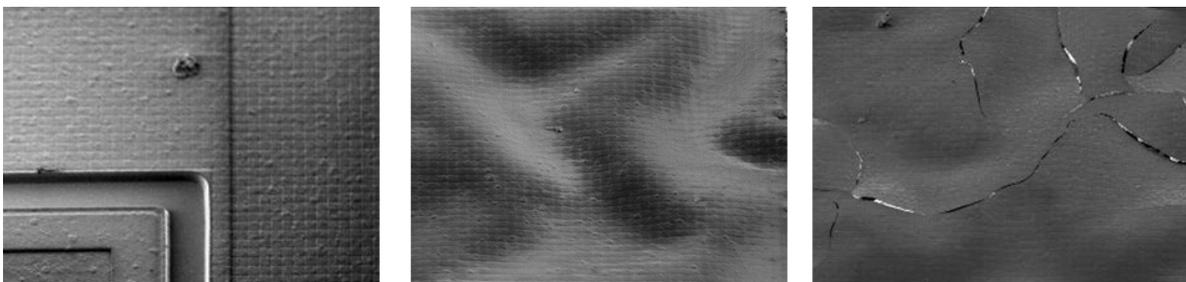


Figure IV-8: Impact d'une passivation en  $SiO_2$  sur le métal source pendant l'UIS.

Une couche de passivation en  $SiO_2$  ne permet pas d'arrêter ou même de limiter le phénomène de reconstruction de l'aluminium. Cette couche va emprisonner l'aluminium

entre le silicium ou l'oxyde de la surface du MOS et le SiO<sub>2</sub> de la passivation, or le SiO<sub>2</sub> ne possède pas une bonne conductivité thermique et les différences de CTE entre SiO<sub>2</sub> et aluminium sont très importantes. Par conséquent cette couche de passivation va ajouter encore plus de contraintes dans la couche d'aluminium.

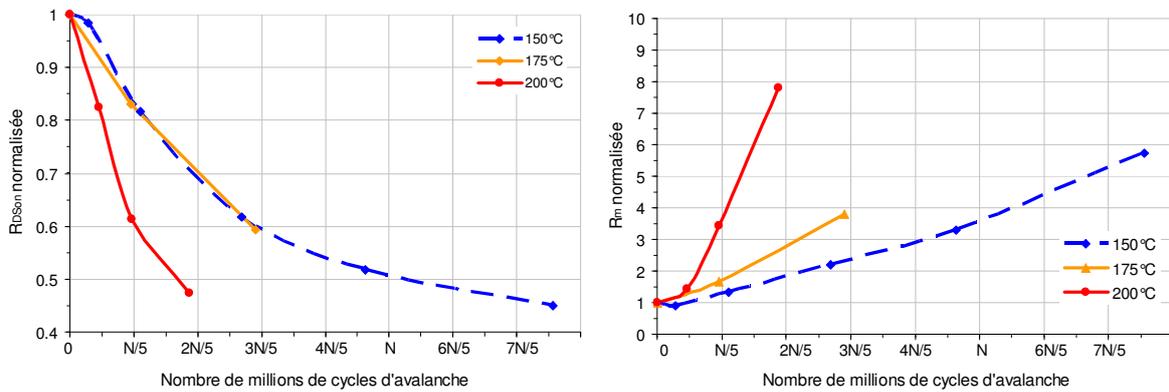
### IV.3. Influence de la température

Afin de connaître l'impact de la température sur le vieillissement de l'aluminium, des tests UIS ont été faits à différentes fréquences. Les fréquences ont été choisies de façon à ce qu'avant l'avalanche le silicium soit à 150°C, 175°C ou 200°C. Le comportement de la résistance à l'état passant du MOSFET au fur et à mesure de l'avalanche est reporté sur la figure IV-9. Cette figure montre qu'à 150°C et à 175°C la chute de résistance due au vieillissement de l'aluminium est la même, cependant il est clair qu'à 200°C le métal vieillit plus rapidement. Afin de comprendre ce phénomène il est intéressant de regarder l'évolution de température dans le silicium calculée par les équations (III-3) et (III-4) de Blackburn et Clemente. D'après la table IV-2, pour des températures initiales de 150°C et 175°C, la température de jonction maximale engendrée par l'avalanche est dans la zone de sécurité définie par [WON99] dans la figure III-2. Par contre pour une température initiale de 200°C, la température de jonction maximale se rapproche dangereusement de la limite du silicium mais cela n'explique pas le comportement de la R<sub>DSon</sub> de la figure IV-9. Il est possible qu'à partir de cette température de 200°C, les fils n'arrivent plus à refroidir efficacement le métal et par conséquent la fatigue du métal est accélérée.

Température avant l'avalanche	BV <sub>DSS</sub> (Volts)	T <sub>j max</sub> Blackburn	T <sub>j max</sub> Clemente
150°C	28	226°C	225°C
175°C	28.5	252°C	251°C
200°C	29	279°C	278°C

Table IV-2: Impact de la température initiale sur T<sub>j max</sub>.

Aussi comme dans le cas de l'assemblage, même si l'évolution de la R<sub>DSon</sub> est identique à 150°C et 175°C, la différence de température aura un impact important sur la durée de vie de la puce et aussi sur la résistance du métal entre les fils.



**Figure IV-9: Impact de la température de test sur la chute de la  $R_{DS(on)}$  et sur l'évolution de la résistance du métal entre 2 fils  $R_m$ .**

#### IV.4. Influence du type de métal source

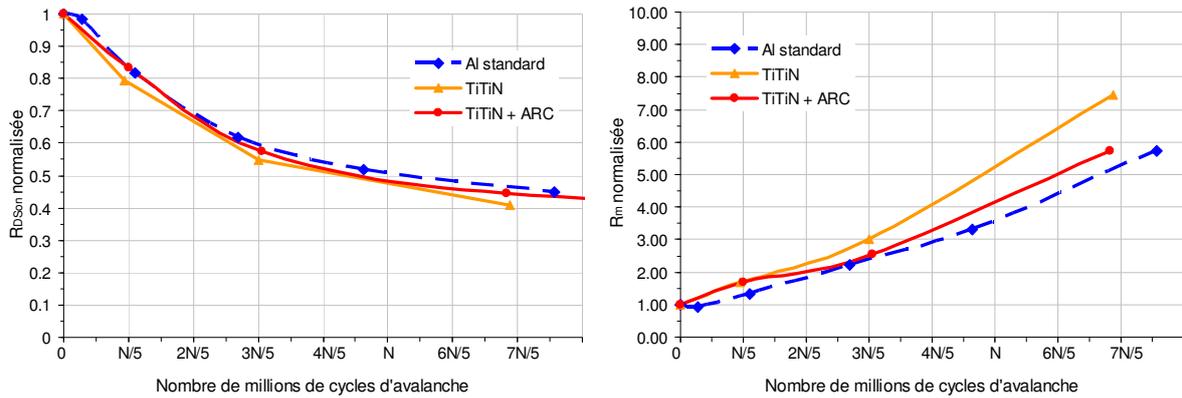
Différentes métallisations de l'électrode de source ont été testées en ajoutant une couche entre le silicium et l'aluminium et au dessus de l'aluminium, tout en conservant l'épaisseur et les paramètres de déposition de la couche d'aluminium standard.

##### IV.4.1. Ti/TiN

Afin de modifier l'interface Aluminium/Silicium, un bicouche de Ti/TiN est déposé entre le silicium et l'aluminium. Habituellement le TiN est utilisé comme barrière contre la diffusion de cuivre dans le silicium pour des métallisations de type Al(Cu). Associée au Ti elle permet d'améliorer la fiabilité dans les interconnexions utilisant des pistes d'Al(Cu) de section très petite. En effet pour ce type de technologies une des causes de défaillance est la rupture de ces pistes par électromigration [PAR01] [ONO93]. Dans le cadre du composant MOS étudié l'empilement Ti/TiN est composé de 400 Å de titane et de 800 Å de nitrure de titane déposés à la suite dans la même chambre. Ensuite un recuit à 440°C sous oxygène est fait afin de donner au titane une structure colonnaire.

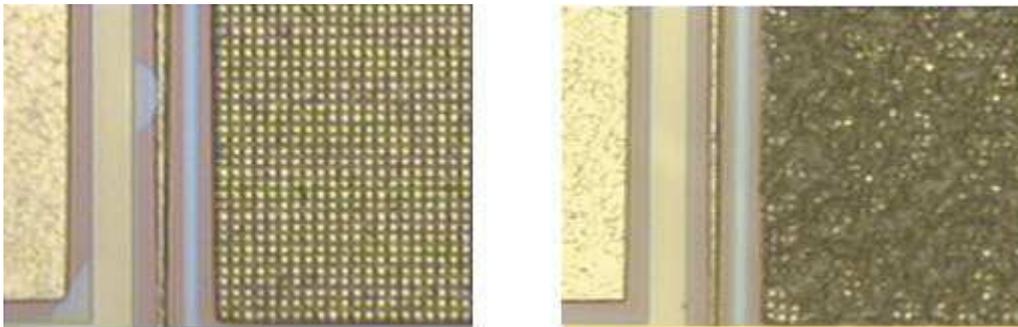
##### IV.4.2. Ti/TiN+ARC TiN

Aussi pour modifier la tension à la surface de l'aluminium, des essais sont faits en ajoutant sur l'aluminium une couche appelée ARC (Anti Reflective Coating) en nitrure de titane en plus de la sous-couche de Ti/TiN. Cet ARC est un dépôt TiN de 250Å qui donne un aspect doré aux puces. Généralement ce type de dépôt est utilisé dans les interconnexions pour faciliter les étapes de photolithographie pour les technologies submicroniques. Pour le MOSFET en avalanche il est intéressant de voir l'impact que peut avoir cette couverture sur le vieillissement de l'aluminium.



**Figure IV-10: Impact de l'ajout d'une couche de TiTiN et d'un ARC sur la chute de la  $R_{DSon}$  et sur l'évolution de la résistance du métal entre 2 fils  $R_m$ .**

D'après la figure IV-10, l'ajout d'un empilement de Ti/TiN sous l'aluminium cumulé ou non à un ARC n'a pas d'effet sur la chute de la  $R_{DSon}$  et n'améliore pas le vieillissement de la métallisation pendant le test UIS. Au niveau de la durée de vie il n'y a pas d'impact notable. D'ailleurs, après le cyclage de composants couverts d'ARC, les puces ont perdu leur aspect doré, le vieillissement a entraîné l'emmêlement de ce système multicouche. Comme le montre la figure IV-11, l'ARC en TiN s'est complètement mélangé à l'aluminium.



**Figure IV-11: Aspect de l'ARC TiN avant et après cyclage en avalanche.**

## IV.5. Epaisseur de la puce

L'épaisseur standard des MOSFETs utilisés est de  $250\mu\text{m}$ , afin de diminuer la résistance à l'état passant et la résistance thermique du composant, il est intéressant de diminuer cette épaisseur et de voir l'impact sur la tenue en UIS. L'obtention de ces puces minces passe par l'affinement des plaquettes de silicium.

### IV.5.1. Amincissement

Le procédé d'amincissement standard utilisé à Freescale pour passer de l'épaisseur initiale des plaquettes de  $640\mu\text{m}$  aux  $250\mu\text{m}$  finaux est le rodage. Après rodage les plaquettes sont attaquées chimiquement en face arrière pour :

- relâcher les contraintes induites lors des différentes étapes de fabrication
- créer une rugosité en face arrière afin d'avoir une bonne tenue de la métallisation de drain.

Puis la dernière étape du procédé de fabrication des plaquettes est le dépôt du métal de drain par évaporation. Toutes ces étapes étant entrecoupées d'étapes de nettoyage.

Le principal défi avec l'utilisation de plaquettes ultra minces est la compatibilité du procédé d'amincissement de la face arrière avec les autres étapes de fabrication. En effet pour des épaisseurs de 100 $\mu$ m et moins, les plaquettes de silicium sont considérablement fragilisées par les contraintes exercées lors de l'amincissement. Les contraintes résiduelles vont alors provoquer le voilage des plaquettes et plus les plaquettes seront minces plus ce voilage sera important. La manipulation de ces plaquettes devient donc extrêmement périlleuse et le procédé de fabrication du MOSFET n'est pas terminé. Ces plaquettes minces doivent donc être robustes avec la meilleure planéité possible de façon à être compatibles avec le chargement automatique dans les différents appareils. Le procédé d'amincissement standard par rodage ne permet pas d'obtenir des plaquettes à 100 $\mu$ m suffisamment robustes, de nouveaux procédés d'amincissement ont alors été testés pour atteindre ces 100 $\mu$ m.

#### ***IV.5.1.1. Le polissage mécano-chimique (CMP)***

Le premier procédé d'amincissement testé pour fabriquer des plaquettes ultra-minces associe rodage et polissage mécano-chimique (CMP). Pour atteindre les épaisseurs souhaitées, les plaquettes sont d'abord rodées pour enlever la majorité du silicium, puis elles subissent une attaque chimique afin de relâcher les contraintes, et enfin un polissage CMP permet d'atteindre les 100 $\mu$ m. Le polissage mécano-chimique combine une action chimique qui va modifier les propriétés mécaniques de la surface à traiter, avec une action mécanique de polissage où l'utilisation d'une solution abrasive va venir polir cette surface. Cette méthode utilisant gravure chimique et polissage mécanique introduit moins de contraintes que le rodage. Mais comme le montre la figure IV-12, les plaquettes sont encore beaucoup trop voilées pour pouvoir être manipulées. Ce procédé d'amincissement n'est pas compatible avec les autres étapes de fabrication des MOSFETs à Freescale Toulouse. Par conséquent pour faire le contact face arrière, les plaquettes sont envoyées chez un sous-traitant où la métallisation est déposée par pulvérisation cathodique au lieu du procédé d'évaporation standard. Cette méthode de déposition permet de traiter des plaquettes voilées et de diminuer les contraintes résiduelles dans la métallisation. Malgré cela les plaquettes restent extrêmement fragiles et le taux de casse est très élevé. L'amincissement des plaquettes à 100 $\mu$ m par CMP n'est donc pas une solution envisageable.

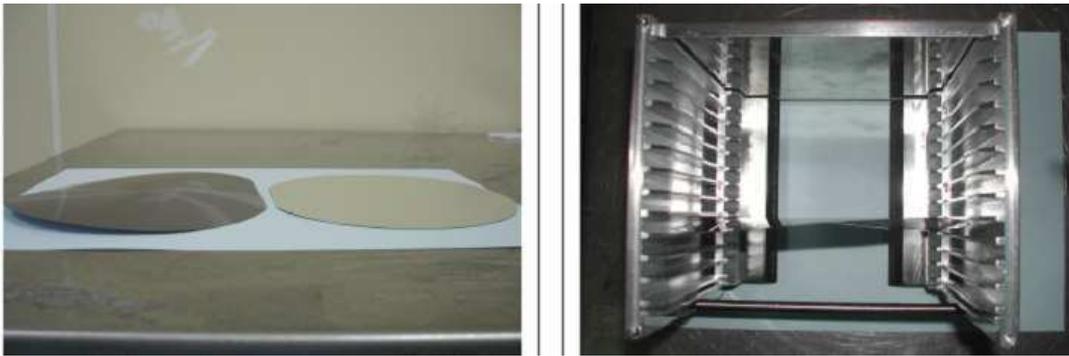


Figure IV-12: Voilage de plaquettes ultra-minces obtenues par CMP.

#### IV.5.1.2. Le procédé Taiko développé par Disco

La seconde méthode étudiée pour fabriquer des plaquettes ultra-minces, est la technique de rodage Taiko développée par la société Disco. Le principe de cette technique de rodage est de ne pas faire un amincissement pleine plaque mais de laisser sur la périphérie de la plaquette une couronne de silicium plus épaisse qui permet d'améliorer la robustesse, de diminuer le voilage et d'avoir des bords de plaquettes arrondis [DIS00]. Cette technique permet donc de faciliter la manipulation des plaquettes et de diminuer leur casse. Ainsi après un premier rodage à Freescale Toulouse, les plaquettes sont envoyées à Disco Munich pour le reste de l'amincissement avec la méthode Taiko jusqu'à 100 $\mu$ m, puis les plaquettes reviennent à Toulouse pour les étapes de relaxation des contraintes, rugosité et dépôt de métal drain.

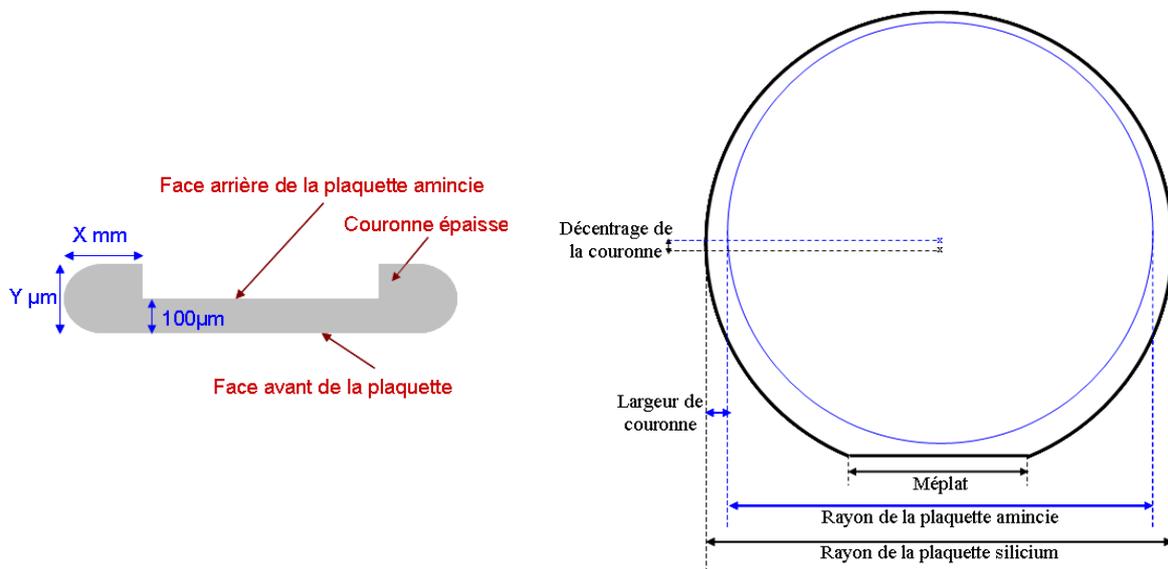


Figure IV-13: Vue en coupe et de dessus d'une plaquette amincie avec le procédé Taiko.

Pour diminuer au maximum le voilage des plaquettes après amincissement, il faut avoir une couronne large et épaisse tout en ayant le maximum de puces amincies. Cependant la présence d'un méplat sur les plaquettes 6 pouces utilisées à Freescale

Toulouse impose la largeur minimale de la couronne. Ce méplat oblige aussi à décentrer la partie intérieure de la couronne par rapport au centre de la plaquette pour ne pas perdre trop de puces, par contre l'épaisseur de celle-ci reste à choisir. Plusieurs essais ont donc été faits afin d'améliorer au maximum la planéité tout en restant compatible avec les différents appareils de fabrication. Le premier choix d'épaisseur de couronne fut celui de 250 $\mu\text{m}$ , c'est-à-dire l'épaisseur finale standard des produits HDTMOS. Avec cette épaisseur de couronne le voilage obtenu est toujours trop élevé pour pouvoir manipuler automatiquement les plaquettes à Freescale Toulouse. L'épaisseur de couronne a donc été augmentée pour améliorer la planéité, le choix d'épaisseur s'est porté sur 360 $\mu\text{m}$  qui est l'épaisseur maximale que peuvent traiter les évaporateurs de métal face arrière. Ainsi pour une épaisseur de couronne de 360 $\mu\text{m}$ , les plaquettes sont parfaitement compatibles avec les autres procédés qui suivent l'amincissement et avec le chargement automatique dans les différents appareils.

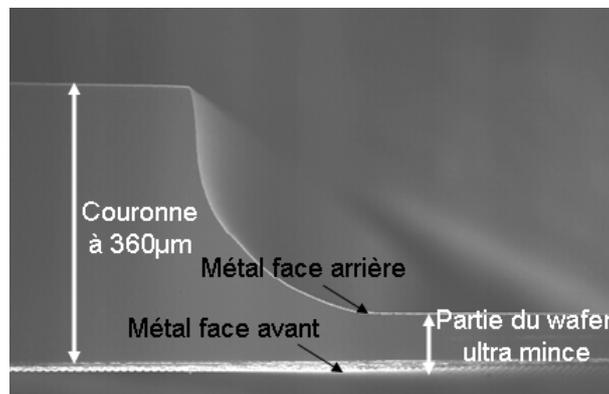


Figure IV-14: Coupe d'une plaquette mince obtenue par procédé Taiko.

#### IV.5.2. Mesure de planéité

Afin de comparer la planéité des plaquettes amincies par CMP avec le procédé Taiko, le voilage a été mesuré. Ce voilage correspond à la hauteur du centre de la plaquette lorsque celui-ci est posé sur une surface plane. Les différents équipements existants dédiés à la mesure de voilage pour des plaquettes dites épaisses, sont des méthodes qui requièrent de métalliser la face arrière de la plaquette (mesure capacitive) ou bien qui nécessitent un contact avec la plaquette (mesure mécanique). Pour des plaquettes très minces et très fragiles aux voilages élevés, ces méthodes ne sont pas adaptées car très peu précises et/ou destructrices pour les plaquettes. Il a donc fallu introduire une nouvelle méthode de mesure permettant de mesurer le voilage des plaquettes de façon précise et sans contact. Cette technique consiste à mesurer les coordonnées  $x$ ,  $y$ ,  $z$  du centre (0) de la plaquette et de 4 points (1, 2, 3, 4) en périphérie, à l'aide d'un profilomètre optique du LAAS CNRS. Ce profilomètre ZOOMSURF 3D de la marque Fogale permet de faire des mesures de hauteurs

sans contact et d'une précision nanométrique [SAU07]. Une fois les coordonnées des 5 points mesurés, il faut ensuite déterminer le plan  $P$  qui passe par les points 1, 2, 3, 4 de coordonnées  $(x_i, y_i, z_i)$  où  $i \in [1,4]$  à partir du système suivant :

$$\begin{cases} ax_1 + by_1 + cz_1 = 1 \\ ax_2 + by_2 + cz_2 = 1 \\ ax_3 + by_3 + cz_3 = 1 \\ ax_4 + by_4 + cz_4 = 1 \end{cases} \quad \text{ou} \quad \begin{cases} -\frac{a}{c}x_1 - \frac{b}{c}y_1 + \frac{1}{c} = z_1 \\ -\frac{a}{c}x_2 - \frac{b}{c}y_2 + \frac{1}{c} = z_2 \\ -\frac{a}{c}x_3 - \frac{b}{c}y_3 + \frac{1}{c} = z_3 \\ -\frac{a}{c}x_4 - \frac{b}{c}y_4 + \frac{1}{c} = z_4 \end{cases}$$

Ce système peut s'écrire sous la forme matricielle  $MA=Z$ , où :

$$M = \begin{pmatrix} x_1 & y_1 & 1 \\ x_2 & y_2 & 1 \\ x_3 & y_3 & 1 \\ x_4 & y_4 & 1 \end{pmatrix} \quad A = \begin{pmatrix} -a/c \\ -b/c \\ 1/c \end{pmatrix} \quad Z = \begin{pmatrix} z_1 \\ z_2 \\ z_3 \\ z_4 \end{pmatrix}$$

La matrice  $A$  est ensuite déterminée grâce à :

$$A = (M^T M)^{-1} M^T Z$$

Avec cette matrice il est possible de trouver la hauteur  $z_0$  du point 0 dans le plan  $P$  à partir de ces coordonnées  $x_{\text{mesuré}}$  et  $y_{\text{mesuré}}$ . La différence entre le  $z$  mesuré pour le point 0 et le  $z_0$  dans le plan  $P$  défini par les points 1, 2, 3 et 4 donne le voilage de la plaquette :

$$V = z_0 - z_{\text{mesuré}} = (1 - ax_{\text{mesuré}} - by_{\text{mesuré}}) / c - z_{\text{mesuré}}$$

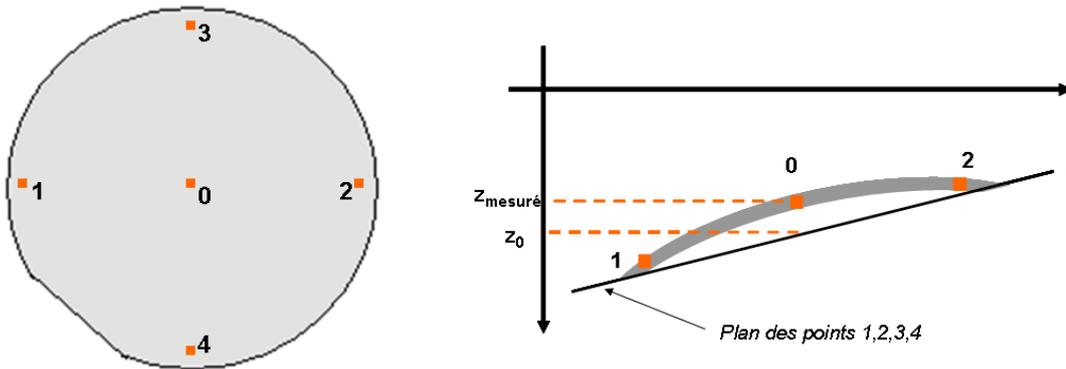


Figure IV-15: Principe de la mesure de voilage par profilomètre optique.

Pour comparer le voilage obtenu sur 3 plaquettes amincies avec un procédé standard, CMP ou Taiko, les points sont choisis de façon à ce que le cercle de centre 0 passant par 1,2,3 et 4 ait le même diamètre pour toutes les plaquettes mesurées. Après amincissement les voilages obtenus avec les méthodes présentées précédemment sont les suivants :

	Voilage à épaisseur initiale	Epaisseur finale du substrat	Voilage final après dépôt métal
Plaquette standard	45µm	250µm	190µm
Plaquette ultra mince CMP	45µm	100µm	>2000µm
Plaquette ultra mince Taiko	45µm	100µm	400µm

Table IV-3: Mesures des voilages de plaquettes amincies avec 2 procédés différents.

### IV.5.3. Impact de l'amincissement sur la chute de $R_{DSon}$ pendant l'avalanche répétitive

La mise en boîtier TO3 de puces minces est très délicate, en effet la fragilité de ces puces ne permet pas d'exercer une pression trop importante au moment de la soudure des fils sur le métal face avant. Par conséquent l'assemblage avec des fils de 20 mils n'est pas possible, les puces fines sont donc toutes assemblées avec des fils de 15 mils. Dans la partie IV.2.1. de ce chapitre il a été vu que la taille des fils impacte la durée de vie des composants mais pas la diminution de la  $R_{DSon}$  pendant le test UIS.

La résistance à l'état passant d'un MOSFET de 100µm d'épaisseur est diminuée d'environ 17% par rapport à un MOSFET dit épais (250µm). Cependant au niveau de la chute de cette résistance pendant le test UIS, l'impact de l'épaisseur est très faible. En effet la  $R_{DSon}$  chute de manière identique pour de puces épaisses ou ultra-minces.

En regardant les résultats de simulations obtenus pour un pic d'avalanche de 400A entre un MOS épais et un MOS à 100µm, la température maximale de jonction est la même. Ainsi en UIS, l'épaisseur de la puce ne va pas impacter l'augmentation de température mais elle va jouer sur la vitesse de refroidissement du système.

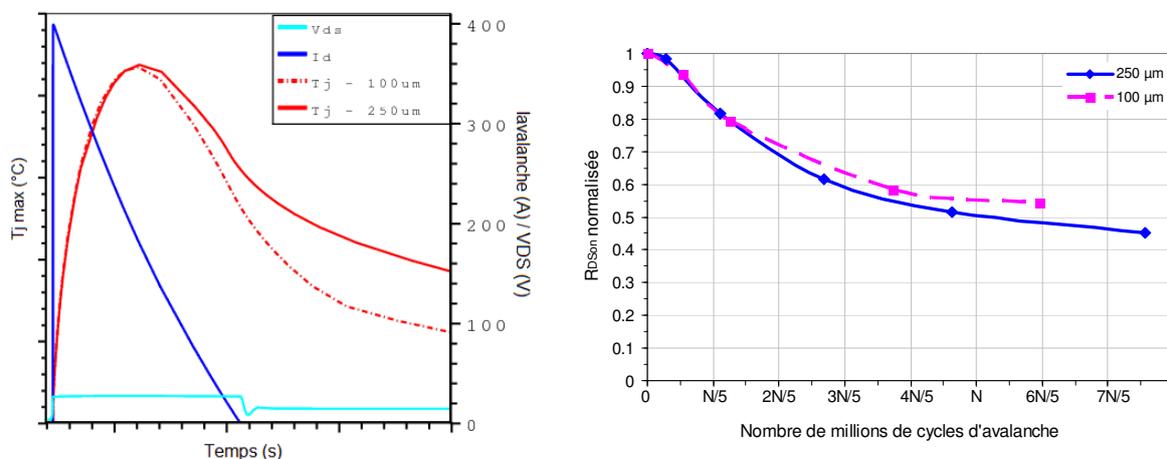


Figure IV-16: Impact de l'épaisseur du MOSFET sur la température pendant l'UIS et sur la chute de  $R_{DSon}$ .

Comme le montre la figure IV-16, c'est l'énergie thermique dans le composant qui est modifiée. Le pic de température n'étant pas impacté par l'épaisseur de puce, la métallisation de source sera soumise aux mêmes cycles thermiques que pour une épaisseur standard. Par conséquent affiner la puce à 100 $\mu\text{m}$  ne diminue pas les contraintes dans l'aluminium, ce qui explique que la chute de la  $R_{\text{DSon}}$  pendant le test en avalanche à la même allure pour les 2 composants.

## IV.6. Structures de tests

Le vieillissement de la métallisation dans les MOSFETs soumis à l'avalanche répétitive est un phénomène de fatigue thermomécanique dû à la différence de CTE entre aluminium, l'oxyde de silicium et le silicium. Afin d'étudier de façon accélérée ce vieillissement, des structures de tests ont été conçues. Ces structures vont permettre de suivre l'évolution de la résistance de la métallisation lorsque celle-ci subit des variations de température cycliques par rapport au silicium.

### IV.6.1. Dessin des structures de test

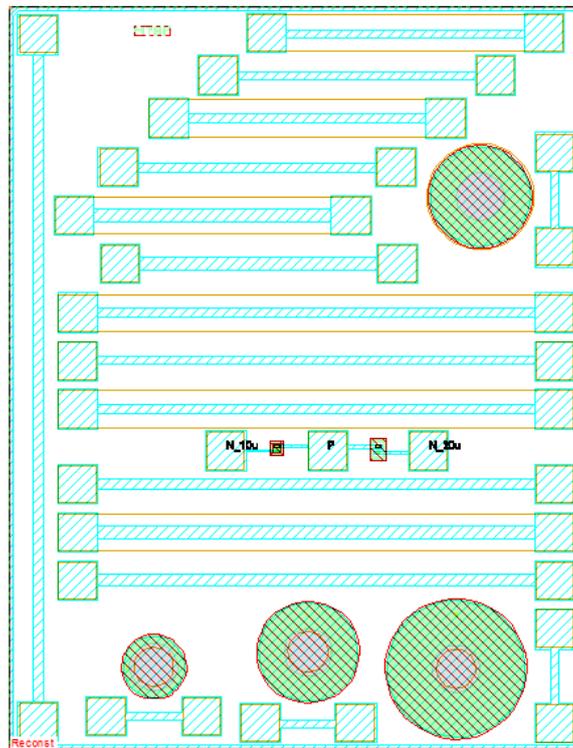
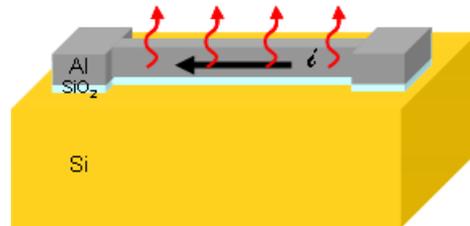


Figure IV-17: Dessin des différentes structures de test pour la métallisation.

Les différentes structures dessinées pour l'étude du vieillissement de la métallisation sont les suivantes :

-Barreaux: ce sont des bandes de métal déposées sur des bandes de SiO<sub>2</sub> le tout sur un substrat en silicium. Des impulsions de courant sont appliquées dans ces barreaux de métal pour les échauffer par effet Joule. L'aspect cyclique de cette sollicitation permet de fatiguer le métal et ainsi de reproduire le vieillissement observé sur les MOSFETs en test UIS. Chaque barreau est connecté par des plots de contacts de 400μm x 400μm.



-Diodes verticales : ces structures permettent d'étudier l'élévation de température du métal par le silicium en se rapprochant de la réalité puisque dans un MOS sous test UIS, le courant passe verticalement et l'échauffement se produit dans le silicium au niveau de la jonction PHV/N-épi.



-Haltères : ces structures sont en fait de très courts barreaux. En appliquant un courant à ces haltères et en mesurant la tension à leurs bornes ils permettent de remonter à la température de la puce. Ainsi la fréquence de sollicitation d'un barreau sera choisie de façon à ce que la tension dans l'haltère reste constante.

-Capteurs de température : ces diodes en polysilicium sont les mêmes que celles réalisées sur les MOSFETs testés en avalanche et permettent de mesurer la température du silicium.

Ces différentes structures doivent être câblées sur un support pour être testées. Ce support doit permettre d'injecter des impulsions de courant dans les structures, de mesurer la tension à leurs bornes, d'observer l'évolution de l'état de surface de façon non destructive et l'assemblage de ces pièces doit être facilité. Le choix s'est donc porté sur des boîtiers de types TO3 à 8 broches.

Pour chacune de ces structures le courant sera injecté par des fils de Force de 3 mils et la tension sera mesurée par des fils de Sense de 1 mil.

Structures	Largeur ( $\mu\text{m}$ )	Longueur ( $\mu\text{m}$ )	Diamètre ( $\mu\text{m}$ )	Passivation
Barreau 1	90	2480		Non
Barreau 2	90	2480		Oui
Barreau 3	110	2480		Non
Barreau 4	110	2480		Oui
Barreau 5	130	2480		Non
Barreau 6	130	2480		Oui
Barreau 7	90	4560		Non
Barreau 8	90	4560		Oui
Barreau 9	110	4560		Non
Barreau 10	110	4560		Oui
Barreau 11	130	4560		Non
Barreau 12	130	4560		Oui
Barreau 13	110	6832		Oui
Diode 1			650	Oui
Diode 2			1050	Oui
Diode 3			1050	Non
Diode 4			1460	Oui
Haltère 1	90	580		Oui
Haltère 2	90	580		Oui
Haltère 3	90	580		Oui
Haltère 4	90	580		Oui
Capteur température 1				
Capteur température 2				

Table IV-4: Liste des différentes structures de test.

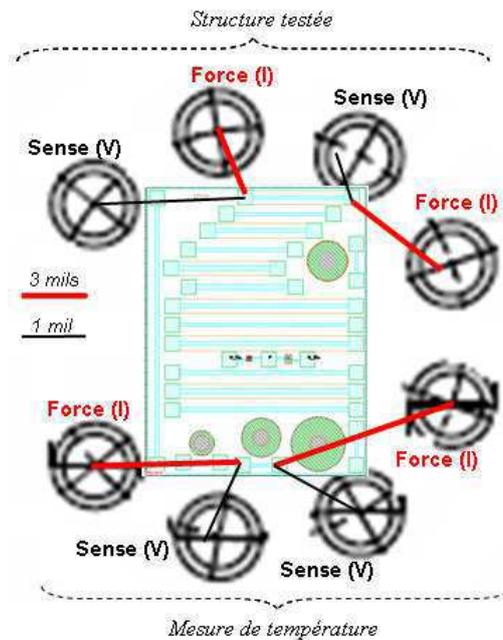


Figure IV-18: Exemple d'assemblage des structures tests assemblées en TO3.

## IV.6.2. Elévation de température dans les structures tests

### IV.6.2.1. Equations thermodynamiques

L'élévation de température dans le métal par effet Joule peut être obtenue par les équations thermodynamiques. La chaleur  $Q$  issue de l'énergie électrique dissipée dans le barreau  $E_{elec}$  dépend d'un rendement électrique  $\eta$ .

$$\eta \times E_{elec} = Q \quad (IV- 2)$$

La chaleur  $Q$  est donnée par :  $m$  la masse d'aluminium dans la structure testée,  $C$  la chaleur spécifique du métal et  $\Delta T$  l'augmentation de température dans le barreau

$$Q = mC\Delta T \quad (IV- 3)$$

Ainsi l'échauffement dans le barreau par effet Joule pendant un temps  $t$  est donné par :

$$\Delta T = \frac{\eta U I t}{mC} \quad (IV- 4)$$

### IV.6.2.2. Equation de Schafft

La variation de température  $T$  dans un barreau d'aluminium résultant du passage du courant est aussi donnée par l'équation de Schafft [SCH87] :

$$T = T_a + \frac{J^2 \rho_0}{\frac{K_i}{t_i} [1 + 0.88 t_i / w] - J^2 \rho_0 \beta} \quad (IV- 5)$$

Avec:

$K_i$ (W.s.g <sup>-1</sup> .°C <sup>-1</sup> ): conductivité thermique de l'isolant	$T_a$ (°C): température ambiante
$J$ (A.cm <sup>-2</sup> ): densité de courant	$t$ (cm): épaisseur de la métallisation
$\rho_0$ (Ω.cm): résistivité de la métallisation	$t_i$ (cm): épaisseur de l'isolant
$\beta$ (°C <sup>-1</sup> ): coefficient thermique de la résistivité	$w$ (cm): largeur du barreau

### IV.6.2.3. Méthode résistométrique

En pratique cette élévation de température peut être mesurée grâce à la méthode résistométrique [QUI99]. Lorsque des impulsions de courant sont envoyées au barreau, l'échauffement par effet Joule résultant va modifier la résistivité du barreau, la mesure de variation de la résistance du barreau permet de remonter à sa température.

$$\Delta T = \frac{1}{\beta} \frac{\Delta R}{R_0} \quad (IV- 6)$$

Avec  $\Delta R$  la variation de résistance,  $R_0$  la résistance à l'état initial à température ambiante et  $\beta$  le coefficient de température de la résistivité du métal.

### IV.6.3. Caractérisation en température

Afin de déterminer la variation de la résistivité ou de la résistance des barreaux d'aluminium avec la température, les pièces assemblées en boîtier TO3 ont été placées sous une colonne à air forcé pouvant atteindre des températures entre  $-90^{\circ}\text{C}$  et  $225^{\circ}\text{C}$ . Un courant de 100mA est appliqué sur le barreau test puis la tension est mesurée à différentes températures. Le coefficient de température  $\beta$  de la résistance peut ensuite être déterminé en fonction de la courbe obtenue sur la figure IV-20. Pour une métallisation standard utilisée sur les technologies HDTMOS dernière génération ce coefficient est de  $\beta= 0.0034\text{ }^{\circ}\text{C}^{-1}$ .

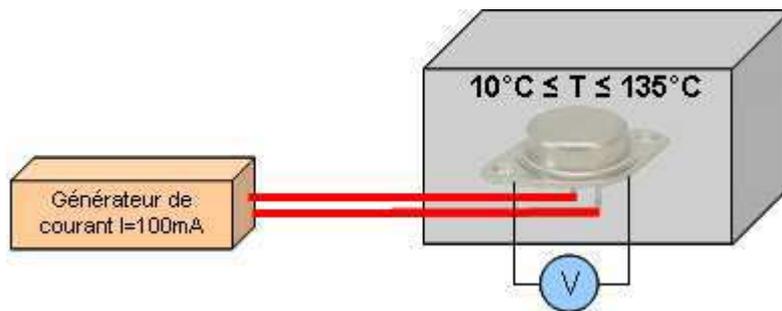


Figure IV-19: Détermination du coefficient en température de la résistivité du métal  $\beta$ .

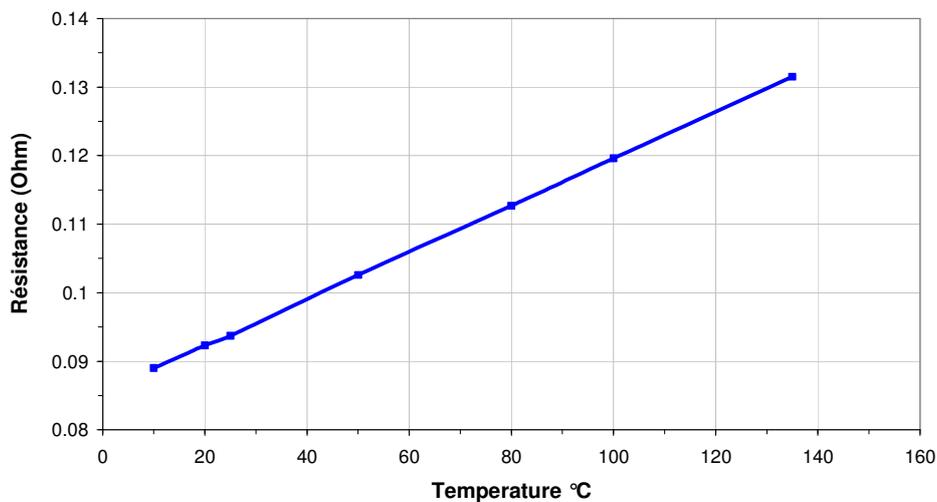


Figure IV-20: Caractérisation de la résistance d'un barreau en Al en fonction de la température.

### IV.6.4. Fatigue des barreaux d'aluminium $\Delta T=f(I)$

Afin de reproduire sur un barreau les contraintes dans la métallisation d'un MOSFET sous avalanche répétitive, il faut soumettre ce barreau de métal à de multiples cycles de température. Cela peut être fait en appliquant des impulsions de courant au barreau grâce à un montage composé d'une batterie 12V 2.7Ah, d'un générateur d'impulsions et d'un composant MOS comme le montre la figure IV-21.

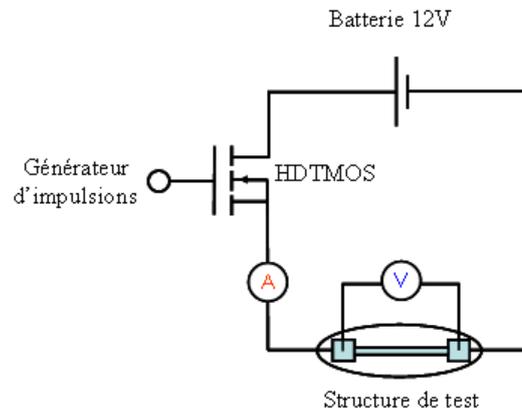


Figure IV-21: Schéma de montage du test de fatigue des barreaux métalliques.

Pour faire varier l'intensité du courant qui traverse le barreau il suffit de changer l'ouverture du canal du MOS en modifiant le niveau de tension  $V_{GS}$  délivré par le générateur d'impulsions. Plus ce niveau de tension sera élevé, plus le canal du MOS sera ouvert et donc plus grand sera le courant dans le barreau. A température ambiante, les impulsions de courant obtenues en fonction de la tension de grille sont tracées sur la figure IV-22.

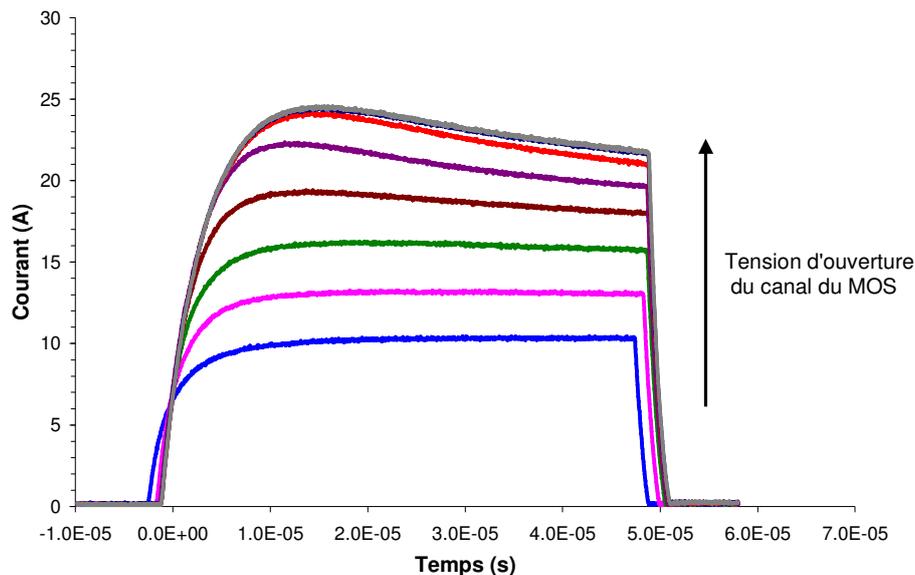


Figure IV-22: Amplitude du courant dans le barreau en fonction de l'ouverture du MOS.

Lors du cyclage en température du barreau, le courant et la tension sont suivis et enregistrés sur un oscilloscope. En parallèle de ce test un courant est appliqué sur un "haltère" et la tension est mesurée à ses bornes afin de déterminer la température du silicium. La fréquence de sollicitation du barreau est choisie de façon à ce que le  $\Delta T$  soit le plus élevé possible dans le barreau, pour cela il faut que le barreau ait le temps de se refroidir entre chaque impulsion. La durée des impulsions de courant a été choisie de façon à ce qu'elle soit proche de la durée de l'avalanche. Dans le test UIS le pic de courant est

triangulaire et dure  $120\mu\text{s}$ , pour les barreaux la durée des impulsions est de  $50\mu\text{s}$ . L'élévation de la température dans le barreau est calculée à partir de l'équation (IV-6) et de la valeur de  $\beta$  obtenue dans la partie IV.6.3.

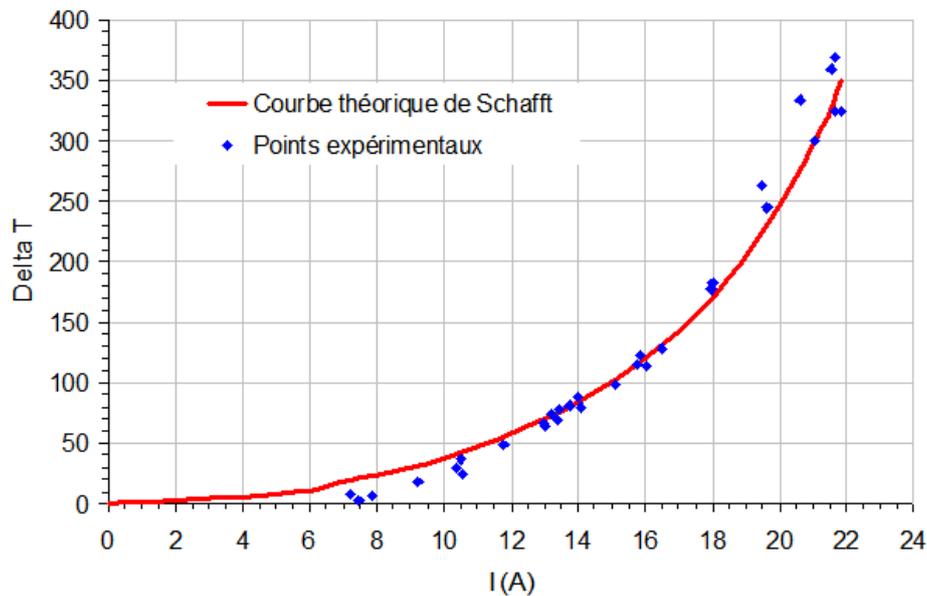


Figure IV-23: Elévation de la température dans le barreau en fonction de la valeur du courant.

Ainsi d'après la courbe de la figure IV-23, les résultats correspondent bien aux résultats théoriques obtenus avec l'équation de Schafft pour un  $K_{\text{SiO}_2}=0.9$ . Par conséquent pour reproduire l'augmentation de température de  $70^\circ\text{C}$  dans le MOSFET pendant le test UIS obtenu avec les résultats de simulation, les barreaux de métal sont soumis à des impulsions de courant autour de 13A. Pour obtenir ce courant dans le barreau il faut appliquer une tension de 7.6 Volts sur la grille du MOSFET.

#### IV.6.5. Observations

Les observations faites au microscope optique montrent qu'à la fin du cyclage en courant, les plots de contact des barreaux testés sont intacts alors que la métallisation du barreau où circule le courant paraît beaucoup plus foncée, comme dans le cas d'une métallisation de MOS vieillie.

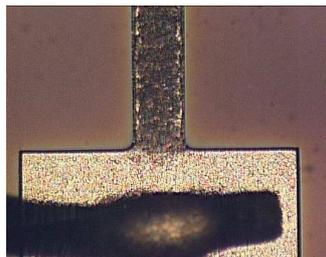


Figure IV-24: Aspect du barreau de métal après cyclage.

Afin de comprendre les phénomènes en jeux, des observations en microscopie électronique au SEM ont été faites à plusieurs étapes de la fatigue du barreau. D'après ces observations la dégradation du métal commence par un changement d'aspect de certains grains. En effet certains grains présentent un ou plusieurs réseaux de lignes parallèles sur leur surface (figure IV-25). Ces réseaux de lignes correspondent à des dislocations remontées à la surface de la métallisation des barreaux.

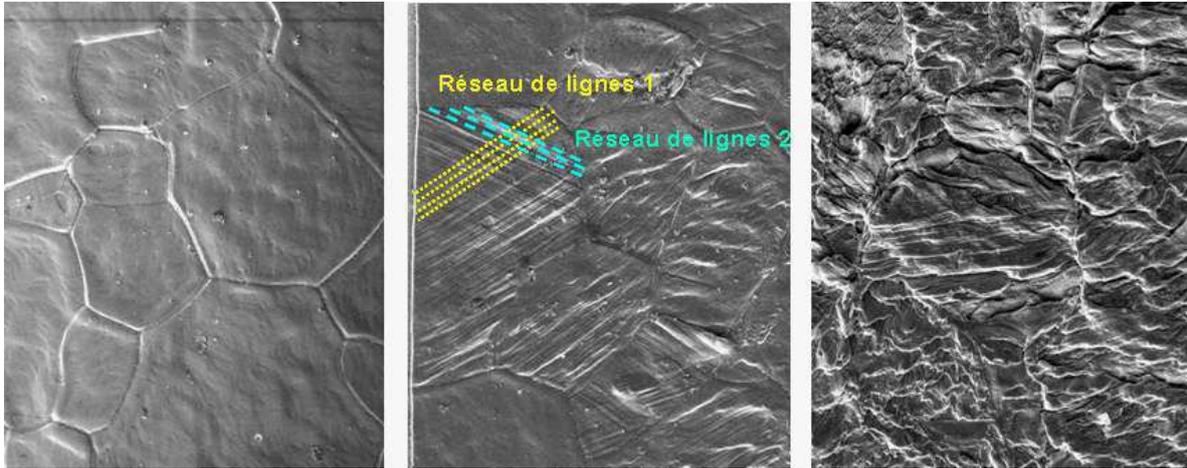


Figure IV-25: Evolution de l'état de surface du barreau de métal soumis à des impulsions de courant.

Les dislocations correspondent à une région microscopique du cristal dans laquelle un atome est entouré de proches voisins situés dans des positions différentes de celles du cristal parfait [MAR00]. Une des propriétés les plus intéressantes des dislocations est le fait qu'elles facilitent le glissement. En présence d'une dislocation pour faire glisser un plan cristallin sur un autre, il suffit de couper une liaison à la fois ce qui va déplacer la dislocation dans son plan de glissement. La contrainte de cisaillement à appliquer est alors plus faible que pour un cristal parfait où toutes les liaisons atomiques doivent être coupées en même temps pour faire glisser un plan cristallin sur un autre (figure IV-26).

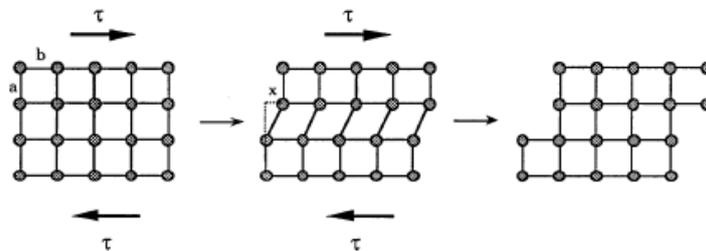


Figure IV-26: Glissement dans un cristal parfait.

Une contrainte exercée sur un cristal provoque donc un mouvement des dislocations. Ce glissement est observable sur la surface polie d'un cristal lorsque celui-ci est contraint au-delà de sa limite d'élasticité. C'est exactement le phénomène observé sur les

échantillons testés. Cette mobilité des dislocations sous les effets d'une contrainte ou de la température, a une incidence directe sur la résistance mécanique du cristal.

Dans un matériau polycristallin, comme la couche d'aluminium étudiée dans ce mémoire, la contrainte n'est pas la même pour toutes les orientations cristallographiques, elle va donc changer de grain en grain. Par conséquent lorsque le matériau polycristallin est soumis à une contrainte telle que le domaine plastique est atteint, un dépassement de la contrainte critique se produira seulement dans les cristaux d'orientation telle que leur direction préférentielle de glissement coïncide avec une direction de cisaillement maximum. C'est pourquoi le réseau de lignes n'apparaît pas simultanément sur tous les grains du barreau testé.

Aussi au niveau de l'interface Aluminium Silicium, des observations du profil du barreau (figure IV-27) montrent une délamination, ce qui indique que le vieillissement n'apparaît pas seulement en surface supérieure mais à toutes les interfaces.

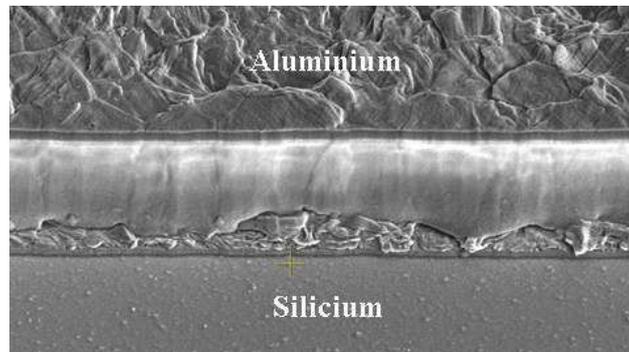


Figure IV-27: Vue de profil de l'interface entre le barreau de métal et le silicium après cyclage.

#### IV.6.6. Evolution de la résistance

La résistance mesurée dans le barreau est celle de l'aluminium entre les fils mais aussi celle des contacts des fils sur les plots de connexion. Or d'après la figure IV-28, cette résistance totale ne varie quasiment pas lorsque le barreau est soumis à des millions d'impulsions de courant. Il n'est donc pas possible de relier le vieillissement de ces structures à celui vu dans la métallisation de MOS en avalanche. L'explication pourrait se trouver dans le fait que même si dans les 2 cas l'augmentation de température consécutive au passage du courant est de  $\Delta T=70^{\circ}\text{C}$ , le MOSFET testé en UIS est à  $150^{\circ}\text{C}$  avant de recevoir le pic de courant alors que le barreau de test est à température ambiante. C'est pourquoi après avoir fait ce test à température ambiante, le test est fait sous une colonne à air chaud forcé à une température de  $150^{\circ}\text{C}$  entre chaque impulsion de courant. Comme le montre la figure IV-28, ce nouveau cyclage n'a pas d'impact sur la résistance du barreau,

donc que ce soit à température ambiante ou bien à 150°C, la stimulation de barreaux métalliques par un courant répétitif n'engendre pas de variation de résistance.

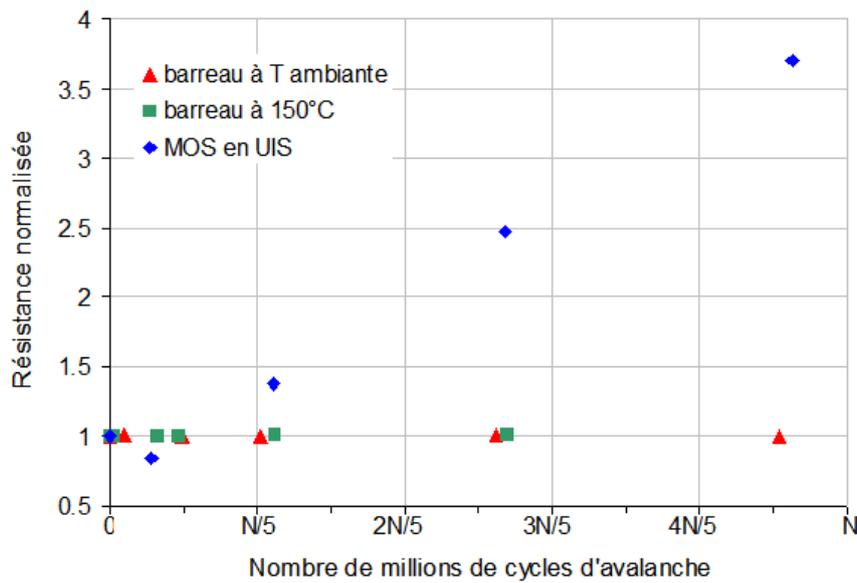


Figure IV-28: Evolution de la résistance du barreau métallique.

Cependant une fatigue aux interfaces métallisation/air et métallisation/substrat a pu être observée. Comme ce vieillissement n'entraîne pas d'augmentation de la résistance, cela laisse penser que dans le barreau la structure du métal est intacte et donc que le courant dans le barreau ne circule que sur la surface (figure IV-29). Il n'y a donc pas de corrélation possible entre les phénomènes de fatigue observés dans un barreau et dans le MOS soumis à l'avalanche répétitive, où le passage du courant sur toute l'épaisseur du métal entraîne un vieillissement dans tout le volume.

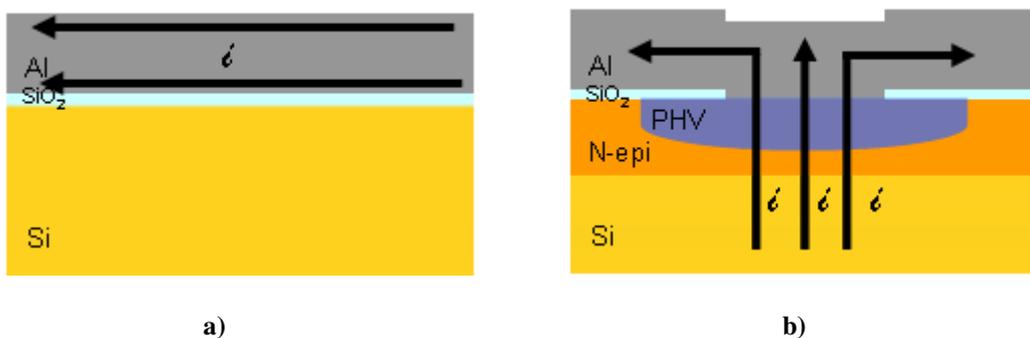


Figure IV-29: Passage du courant a) dans un barreau de test et b) dans un MOS en avalanche.

## IV.7. Conclusion

La chute de  $R_{DSon}$  mesurée dans le chapitre III a pour origine l'augmentation de la résistance de la métallisation. Cette diminution de  $R_{DSon}$  n'a pas de lien direct avec la durée de vie car des pièces présentant des comportements de  $R_{DSon}$  identiques n'atteignent pas forcément la défaillance au même moment.

Le phénomène de vieillissement de l'aluminium aussi appelé reconstruction est causé par la différence des coefficients d'expansion thermique des différents matériaux et peut entraîner des problèmes de fiabilité. Différents dépôts ont donc été utilisés pour limiter ce vieillissement : l'ajout d'une couche de passivation en  $SiO_2$  ou encore l'insertion d'une couche de  $TiTiN$ , mais aucun de ces matériaux n'a permis de ralentir le vieillissement de l'aluminium. Aussi afin de diminuer la résistance thermique du composant, un procédé d'amincissement des plaquettes en silicium a été développé. Cependant pendant le cyclage en avalanche cet amincissement n'a pas d'impact sur la chute de  $R_{DSon}$ . Les simulations ont effectivement montrées que l'amincissement impacte le refroidissement de la puce après le pic d'avalanche mais l'écart de température  $\Delta T$  reste le même. Or c'est ce  $\Delta T$  qui est à l'origine du vieillissement dans le cas étudié.

Différentes structures de test comme des barreaux de métal ont alors été développées pour étudier cette fatigue de la métallisation par auto-échauffement du métal. Ces barreaux ont permis d'établir qu'il n'y a pas de corrélation directe avec le vieillissement observé dans les MOS pendant l'avalanche. En effet, le passage du courant dans le barreau et dans le MOS ne se faisant pas de la même façon, les phénomènes de fatigue sont différents. Il sera donc essentiel à l'avenir d'utiliser les diodes verticales en avalanche des structures de tests pour étudier cette fatigue de l'aluminium.



## Conclusion générale

La transition du véhicule à motorisation thermique au véhicule hybride électrique/thermique passe par le développement des systèmes de conversion et de gestion d'énergie, systèmes basés sur les composants semiconducteurs de puissance. La nature de ces composants semiconducteurs dépend du niveau d'hybridation des véhicules. Dans le cadre de cette thèse, le composant étudié est le MOSFET de puissance faible tension utilisé dans des applications d'alternateur pour des véhicules de type micro-hybrides. Pour ces applications, en plus des modes de fonctionnement standards passant et bloqué le MOSFET doit pouvoir fonctionner en avalanche. L'avalanche habituellement accidentelle dans les composants devient alors le troisième mode de fonctionnement du MOS.

Le premier chapitre fait l'état de l'art sur les différentes technologies de MOSFETs de puissance existantes et sur leur principe de fonctionnement. Ce chapitre introduit aussi les différents modes de défaillance de composants de puissance tels que les MOSFETs et les IGBTs très largement utilisés pour l'automobile hybride.

Dans le deuxième chapitre, nous avons présenté la technologie de MOSFET de puissance spécialement développée par Freescale Semiconducteurs pour l'application alternateur. Cette technologie appelée HDTMOS dernière génération possède de bonnes performances à l'état passant et se montre extrêmement robuste en avalanche à fort courant pour des températures autour de 150°C (environnement moteur). C'est la fréquence du test d'avalanche qui va fixer cette température et plusieurs méthodes ont été développées pour la mesurer. L'une d'entre elles, la mesure par camera IR, a permis d'observer la répartition de température à la surface du MOS et à montré un point chaud au centre du composant et une évacuation de la chaleur par les fils pendant le cyclage en avalanche. Cependant cette méthode ne permet pas d'obtenir des valeurs absolues de température, la mesure la plus précise reste celle d'un capteur intégré au composant.

Le troisième chapitre dédié aux conséquences sur le MOSFET du fonctionnement en mode d'avalanche à fort courant et haute température, montre qu'en plus des 150°C ambiants, le pic d'avalanche engendre une élévation de température d'environ 70°C dans le silicium. On est alors au-delà des limites traditionnelles de fonctionnement des MOS. Malgré cette très haute température, la majorité des paramètres électriques reste constante pendant le cyclage jusqu'à la défaillance. Seule la résistance à l'état passant du composant semble être impactée car celle-ci chute rapidement avant de se stabiliser autour de 0.45 fois sa valeur nominale. Un simple modèle de la mesure de  $R_{DSon}$  à fort courant et l'introduction

de 2 nouvelles mesures, ont permis de montrer que c'est la méthode de mesure et l'augmentation de la résistance de la métallisation qui sont à l'origine de la chute apparent de  $R_{DSon}$ .

Le dernier chapitre de ce manuscrit a permis d'établir l'origine de l'augmentation de la résistance dans la métallisation. Différentes observations ont montrées que cette évolution est due au vieillissement de la métallisation de l'électrode de source du MOSFET. Ce phénomène aussi appelé reconstruction de la métallisation est dû à la différence de CTE entre l'aluminium, le silicium et l'oxyde de silicium. Différentes métallisations ainsi qu'un amincissement de plaquettes ont été testés pour limiter le vieillissement du métal en modifiant les tensions de surfaces ou la dissipation thermique dans le composant. Ces essais se sont avérés longs et fastidieux et n'ont pas permis de limiter la reconstruction de l'aluminium. Des structures de tests ont alors été développées afin que dans le futur, il soit plus simple et rapide de tester la fatigue de différentes métallisations. Cependant les premières structures étudiées qui sont des barreaux de métal soumis à des impulsions de courant latéraux, n'ont pas permis d'obtenir les mêmes phénomènes de vieillissement que dans un MOS soumis à un courant d'avalanche vertical.

### Bilan

Le travail de recherche présenté dans ce mémoire a permis de mettre en évidence la reconstruction de la métallisation source dans un MOSFET soumis à l'avalanche répétitive à fort courant et haute température. La reconstruction du métal est connue dans les IGBTs pour causer des problèmes de défaillance. Ce phénomène de fatigue est la conséquence des fortes contraintes thermiques cycliques engendrées par l'environnement moteur et par l'auto-échauffement du composant pendant l'avalanche. Le vieillissement observé sur les MOSFETs en mode avalanche engendre une augmentation de la résistance du métal source  $R_m$ , qui va alors impacter la mesure de  $R_{DSon}$  qui varie comme l'inverse de cette résistance. Ainsi dans un module de puissance, le monitoring de la  $R_{DSon}$  d'un composant vieilli donne une mauvaise information sur le silicium mais il permet de suivre le vieillissement de la métallisation source. Seulement comme  $R_{DSon}$  se stabilise rapidement, elle ne peut pas servir à prédire la défaillance du composant. De plus nous avons pu observer que des composants présentant la même évolution de  $R_{DSon}$  n'ont pas la même durée de vie. Par conséquent contrairement au  $V_{CEsat}$  des IGBTs, la  $R_{DSon}$  des MOSFETs ne peut pas être utilisée pour prédire la défaillance du composant.

### Perspectives

Les principales perspectives de recherche qui apparaissent à l'issu des travaux effectués dans ce mémoire sont :

✓ L'amélioration de la durée de vie du composant en avalanche par l'utilisation de rubans à la place de fils pour l'assemblage.

✓ L'étude de l'interface aluminium/silicium : pour cette étude des composants avec différentes températures et durées de recuit de la métallisation ont été préparés.

✓ L'étude accélérée du vieillissement de la métallisation par un passage vertical du courant avec échauffement par le silicium (jonction PHV/N-épi en avalanche). Les structures de tests de type diodes pourront servir à reproduire le vieillissement de la métallisation d'une façon très proche de celle observée lors du test d'avalanche répétitive.



## Bibliographie

- [ALO01] P. Aloïsi, “*Les semiconducteurs de puissance*”, Ed. Ellipses, 2001.
- [ALO86] P. Aloïsi, “*Power Switch*”, Motorola, 1986.
- [ARN92] J. Arnould, P. Merle, “*Dispositifs de l’électronique de puissance*”, Vol. 1 et 2, Ed. Hermes, 1992.
- [BLA05] J. R. Black, “*Mass Transport of Aluminum by Momentum Exchange with Conducting Electrons*”, International Reliability Physics Symposium, San Jose, 2005.
- [BLA88] D. L. Blackburn, “*Power MOSFET failure revisited*”, Power Electronics Specialists Conference, vol.2, pp 681-688, 1988.
- [BOU08] M. Bouarroudj-Berkani, “*Etude de la fatigue thermo-mécanique de modules électroniques de puissance en ambiance de températures élevées pour des applications de traction de véhicules électriques et hybrides*”, Thèse de doctorat de l’Ecole Normale Supérieure de Cachan, 2008.
- [BUT04] C. Buttay, “*Contribution à la conception par la simulation en électronique de puissance : application à l’onduleur basse tension*”, Thèse de doctorat de l’Institut National des Sciences Appliquées de Lyon, 2004.
- [BUT05] C. Buttay, O. Brevet, B. Allard, D. Bergogne, H. Morel, “*Paralleling on Low-Voltage MOSFETs Operating in Avalanche Conditions*”, Proceedings of EPE, Dresden, 2005.
- [CHA07] K. T. Chau, C. C. Chan, “*Emerging Energy-Efficient Technologies for Hybrid Electric Vehicles*”, Proceedings of the IEEE, vol. 95, No. 4, April 2007.
- [CIA00] M. Ciappa, “*Some Reliability Aspects of IGBT modules for High-Power Applications*”, Doctor of Technical Sciences, Swiss Federal Institute of Technology, Zurich, 2000.
- [CIA02] M. Ciappa, “*Selected failure mechanisms of modern power modules*”, Microelectronics Reliability, vol. 42, pp. 653-667, 2002.
- [CLE93] S. Clemente, “*Transient Thermal Response of Power Semiconductors to Short Power Pulses*”, IEEE Transactions on Power Electronics, vol. 8, pp 337-341, 1993.
- [DIS00] <http://www.disco.co.jp/eg/solution/library/taiko.html>

- [DOR03] J. M. Dorkel, “*Semiconducteurs de puissance. Problèmes thermiques*”, Part. 1 et 2, Techniques de l’Ingénieur, vol. D3 112-113, 2003.
- [FIL82] A. Fillatre, “*Comparaison des performances limites à l’état passant des transistors de puissance bipolaires et MOS*”, Thèse de doctorat de l’Institut National des Sciences Appliquées de Toulouse, 1982.
- [FRE07] Freescale Semiconductor, “*Power Quad Flat No-Lead (PQFN) Package*”, Application Note AN2467, 2007.
- [GRA09] T. Grasshoff, “*State of the Art in High Power IGBT Module technology for Automotive Applications*”, PCIM, Shanghai, 2009.
- [HAR00] J. Harris, “*Semiconductor Wafer Backside Metallization: Die Attach for High Thermal Demand Application*”, CMC Interconnect Technologies.
- [HEL97] M. Held, P. Jacob, G. Nicoletti, P. Scacco, M. H. Poech, “*Fast Power Cycling Test for IGBT Modules in Traction Application*”, Proceedings of Power Electronics and Drive Systems, vol. 1, pp 425-430, 1997.
- [LET00] P. Leturcq, “*Tenue en tension des semiconducteurs de puissance*”, Techniques de l’Ingénieur, vol. D3 104, 2000.
- [LET02] P. Leturcq, “*Semiconducteurs de puissance unipolaires et mixtes*”, Part. 1 et 2, Techniques de l’Ingénieur, vol. D3 108-109, 2002.
- [LOR99] L. Lorenz, G. Deboy, A. Knapp, M. März, “*COOLMOS<sup>TM</sup>. a new milestone in high voltage Power MOS*”, Proceedings of ISPSD 1999, pp 3-10, 1999.
- [MAR00] J. L. Martin, “*Dislocations et plasticité des cristaux*”, Presses polytechniques et universitaires romandes, 2000.
- [MCG92] J. McGloin, D. Sdrulla, “*Estimating the temperature rise of power MOSFETs during the UIS test*”, Proceedings of APEC 1992, pp 448-453, 1992.
- [MOR04] F. Morancho, “*De nouvelles limites pour le compromis « résistance passante spécifique / tenue en tension » des composants unipolaires de puissance*”, Habilitation à Diriger des Recherches, Université Paul Sabatier de Toulouse 2004.
- [MOR07] J. M. Morelle, M. Medina, R. Leon, J. L. Blanchard, “*Innovative connectivity for power dice in mechatronic packaging of automotive power electronics*”, Automotive Power Electronics, Paris, 2007.
- [ONG04] B. Hong, M. Helmy, S. Chuah, “*Heavy Al Ribbon Interconnect: An Alternative Solution for Hybrid Power Packaging*”, IMAPS, 2004.

- [ONO93] H. Onoda, M. Kageyama, Y. Tatara, Y. Fukuda, “*Analysis of Electromigration-Induced Failures in Multilayered Interconnects*”, IEEE Trans. on Electron Devices, vol. 40, No. 9, pp 1614-1620, 1993.
- [PAR01] Y. B. Park, D. W. Lee, “*Effects of Ti and TiN underlayers on electromigration reliability of Al-Cu interconnects*”, Materials Science and Engineering B87, pp 70-76, 2001.
- [PHI71] E. Philofsky, K. Ravi, E. Hall, J. Black, “*Surface reconstruction of aluminum metallization -- a new potential wearout mechanism*”, Reliability Physics Symposium, pp 120-128, 1971.
- [PHI75] E. Philofsky, E. L. Hall, “*A Review of the Limitations of Aluminum Thin Films on Semiconductor Reliability*”, IEEE Trans. on Parts, Hybrids, and Packaging, vol. 11, No. 4, pp 281-290, 1975.
- [PLU09] N. Pluschke, “*New IGBT Power Module for DFIG Application*”, PCIM, Shanghai, 2009.
- [QUI99] V. Quintard, S. Dilhaire, T. Phan, W. Claeys, “*Temperature Measurements of Metal Lines Under Current Stress by High Resolution Laser Probing*”, IEEE Trans. on Instrumentation and Measurement, vol. 48, No. 1, pp 69-74, 1999.
- [RIC07] D. Richard, Y. Dubel, “*Valeo StARS Technology: A Competitive Solution for Hybridization*”, Power Conversion Conference, Nagoya, 2007.
- [ROS81] P. Rossel, H. Tranduc, M. Gamboa, T. Phan Pham, “*Limitation fondamentale dans les transistors MOS de puissance ; le compromis entre la résistance à l'état passant  $R_{ON}$  et la tension de claquage  $V_{DDB}$* ”, Revue de Physique Appliquée, Vol. 16, pp 509-515, 1981.
- [REY06] J. M. Reynès, I. Deram, A. Feybesse, “*Power semiconductor device and method of manufacturing the same*”, United States Patent Application Publication US 2006/0145252 A1, 2006.
- [SAL07] T. E. Salem, D. Ibitayo, B. R. Geil, “*Validation of Infrared Camera Thermal Measurements on High-Voltage Power Electronic Components*”, IEEE Trans. on Instrumentation and Measurement, vol. 56, No. 5, pp 1973-1978, 2007.
- [SAN85] J-L. Sanchez, H. Tranduc, T. Phan Pham, M. Gharbi, P. Rossel, G. Charitat, B. Vertongen, “*Influence des zones d'accès sur la résistance à l'état passant des transistors moyennes tensions VDMOS de puissance*”, Revue de Physique Appliquée, Vol. 20, pp 759-770, 1985.

- [SAU07] J. B. Sauveplane, “*Caractérisation thermomécanique de films métalliques déposés en couche mince pour la simulation de la fiabilité de composants microélectroniques de puissance*”, Thèse de doctorat de l’Institut National des Sciences Appliquées de Toulouse, 2007.
- [SCH87] H. A. Schafft, “*Thermal Analysis of Electromigration Test Structures*”, IEEE Trans. on Electron Devices, vol. 34, No. 3, pp 664-672, 1987.
- [SZE81] S. M. Sze, “*Physics of Semiconductor Devices*”, Second Edition, Ed. John Wiley & Sons, 1981.
- [TRA84] H. Tranduc, P. Rossel, J-L. Sanchez, “*Premier et second claquage dans les transistors M.O.S.*”, Revue de Physique Appliquée, Vol. 19, pp 859-878, 1984.
- [VAL03] J. Vallon, “*Introduction à l’étude de la fiabilité des cellules de commutation à IGBT sous fortes contraintes*”, Thèse de doctorat de l’Institut National Polytechnique de Toulouse, 2003.
- [WEB08] Y. Weber, “*Conception d’une nouvelle génération de transistor FLYMOS vertical de puissance dépassant la limite conventionnelle du silicium*”, Thèse de doctorat de l’Université de Toulouse, 2008.
- [WON99] W. Wondrak, “*Physical Limits and Lifetime Limitations of Semiconductor Devices at High Temperatures*”, Microelectronics Reliability, vol. 39, pp. 1113-1120, 1999.
- [WU95] W. Wu, M. Held, P. Jacob, P. Scacco, A. Birolini, “*Investigation on the Long Term Reliability of Power IGBT Modules*”, Proceedings of ISPSD, Yokohama, 1995.





## **ANNEXE**



# Annexe A : Fonctionnement de la caméra IR

## A.1. Rappel du principe de la thermographie infrarouge

Le rayonnement électromagnétique engendré par l'agitation moléculaire dans un matériau peut être émis spontanément ou bien absorbé, réfléchi ou transmis. La thermographie infrarouge permet de mesurer ce rayonnement et de le transformer en température, ainsi grâce à une caméra infrarouge il est possible de visualiser des images thermiques et de mesurer des températures.

Le corps noir est un émetteur parfait qui absorbe tout rayonnement électromagnétique incident et qui émet un rayonnement dépendant de sa température selon la loi de Planck :

$$L_{\lambda}^0 = \frac{2hc^2 \lambda^{-5}}{e^{\frac{hc}{\lambda kT}} - 1} \quad (\text{C- 1})$$

Où  $L_{\lambda}$  est la luminance monochromatique du corps noir,  $h$  la constante de Planck,  $c$  la vitesse des ondes électromagnétiques dans le vide,  $k$  la constante de Boltzmann,  $\lambda$  la longueur d'onde et  $T$  la température. Ce corps noir rayonne un maximum d'énergie pour chaque température et chaque longueur d'onde.

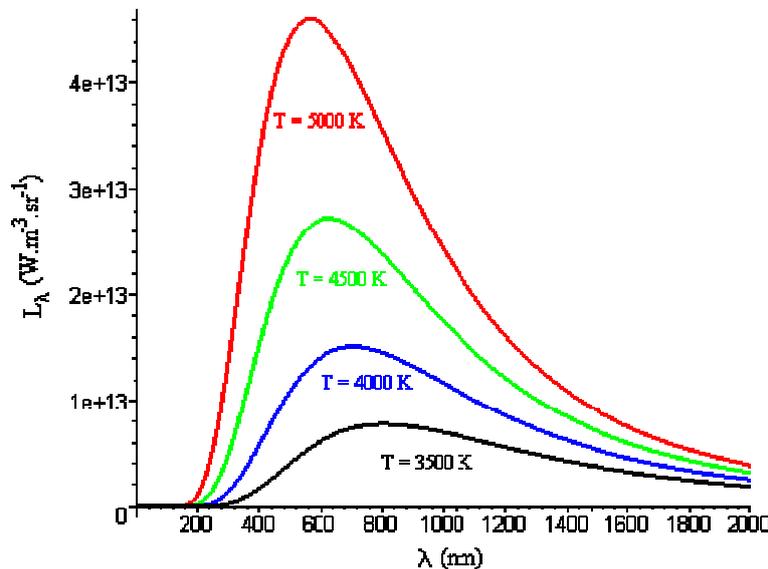


Figure A-1: Courbes de la loi de Planck.

Un corps réel n'absorbe pas la totalité du rayonnement incident il va en réfléchir et en transmettre une partie. L'émissivité  $\varepsilon$  d'un corps réel est le rapport des luminances de l'objet par rapport à celle du corps noir placé dans les mêmes conditions. Cette émissivité est comprise entre 0 et 1. On appelle corps gris un objet réel dont l'émissivité est

indépendante de la longueur d'onde, un corps à émission diffuse possède lui une émissivité indépendante de la direction.

## A.2. Mesure pendant le test UIS

Pour effectuer une mesure de température d'un MOSFET cyclé en UIS à l'aide d'une camera infrarouge il faut :

- ☐ Un générateur d'impulsions à plusieurs voies
- ☐ Un MOS à tester recouvert d'une couche de laque noire pour homogénéiser l'émissivité de la surface et ainsi apparenter le MOS à un corps noir
- ☐ Un banc de test UIS relié au générateur d'impulsions afin de cyclé le MOS en avalanche à une fréquence  $f_1$
- ☐ Une caméra infrarouge placée perpendiculairement et à une distance fixe de la puce. Afin de mesurer la température au plus proche de l'impulsion d'avalanche, la caméra est synchronisée avec un générateur d'impulsion à la fréquence  $f_2$  où  $f_1=f_2$
- ☐ Un PC avec un logiciel d'enregistrement et de traitement d'image

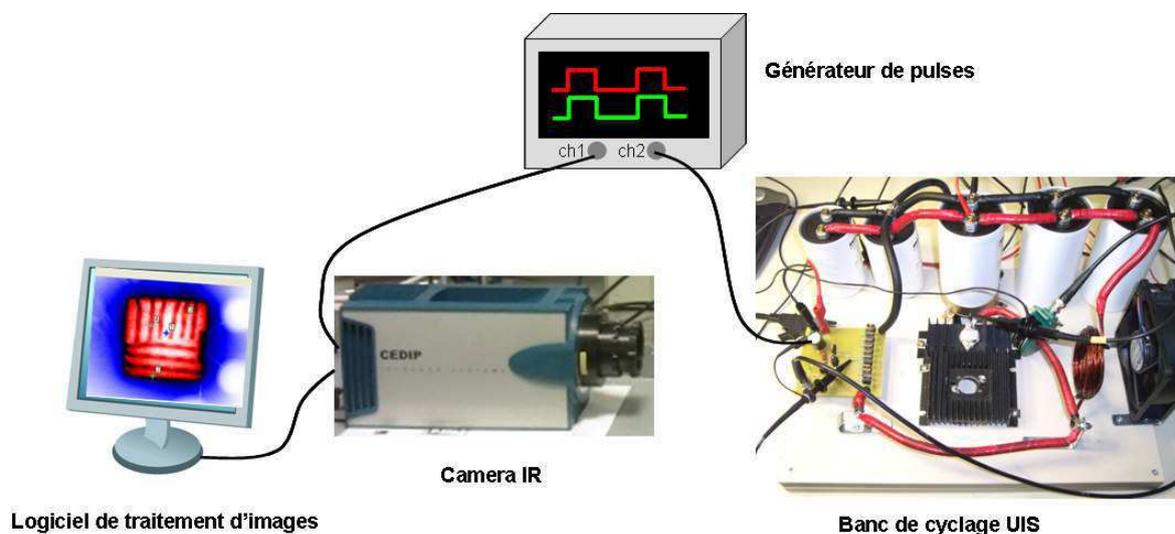


Figure A-2: Dispositif expérimental pour la mesure infrarouge pendant le test UIS.

### Caméra infrarouge CEDIP JADE MWIR

Détecteur MCT 320x240  
 Réponse spectrale 3.7 $\mu$ m-5 $\mu$ m  
 Mesure de -40°C à 200°C sans filtre (1500°C avec filtre)  
 Résolution thermique <25mK  
 Refroidissement à cycle de Stirling

Figure A-3: Propriétés de la camera infrarouge utilisée.





## Liste des publications

### ○ Revue internationale :

1. B. Bernoux, R. Escoffier, P. Jalbaud, J.M. Dorkel, “*Source electrode evolution of a low voltage power MOSFET under avalanche cycling*”, Vol. 49, pp 1341-1345, Microelectronics Reliability, 2009.

### ○ Publications internationales :

1. B. Bernoux, R. Escoffier, P. Jalbaud, J.M. Reynès, E. Scheid, J.M. Dorkel, “*Power MOSFET RDSon under repetitive avalanche cycling*”, IEEE International Symposium on Industrial Electronics (ISIE 2009), pp 2016-2019, 2009.
2. B. Bernoux, R. Escoffier, P. Jalbaud, J.M. Reynès, A. Deram, J.M. Dorkel, E. Scheid, “*Impact of Repetitive Avalanche Mode on Power MOSFETs Performances*”, Power Conversion Intelligent Motion (PCIM) China, pp 133-136, 2009.

### ○ Brevets en cours :

1. J.M. Reynès, B. Bernoux, I. Deram, R. Escoffier, P. Jalbaud, “*Very High Power MOSFET device using an integrated avalanche diode*”, Brevet MT11104EPX “filed” en novembre 2008, en cours.
2. B. Bernoux, R. Escoffier, J.M. Reynès, “*Avalanche Ageing Monitor*”, Brevet MT11324ZP “filed” en aout 2009, en cours.



## **Caractérisation de MOSFETs de puissance cyclés en avalanche pour des applications automobiles micro-hybrides.**

### **Résumé :**

Les travaux de recherche présentés dans ce mémoire, portent sur la conception et l'étude de MOSFETs de puissance faible tension pour des applications automobiles micro-hybrides de type alerno-démarrateur. Pour certaines de ces applications, en plus des modes de fonctionnement standards passant et bloqué, les composants développés doivent être capables de fonctionner en mode d'avalanche à fort courant et à des températures élevées. Pour reproduire en laboratoire ces conditions de fonctionnement, les MOSFETs sont soumis à un test UIS répétitif spécifique. Afin d'évaluer la température du silicium pendant ce test, plusieurs méthodes de mesure de température ont été développées et comparées.

En parallèle, un suivi des paramètres électriques standards ( $BV_{DSS}$ ,  $I_{DSS}$ ,  $R_{DSon}$ ...) tout au long du test est effectué, dans le but de déterminer l'impact de l'avalanche répétitive sur le transistor. Seule la  $R_{DSon}$  des MOSFETs semble évoluer avec le nombre d'impulsions d'avalanche. Ce phénomène est expliqué par la méthode de mesure de  $R_{DSon}$  et par la variation de la résistance du métal source pendant le cyclage. En effet, différentes observations ont permis de constater un vieillissement de la métallisation de source du composant, accompagné d'une modification de sa résistivité. Divers types de métaux et de techniques d'assemblage ont alors été expérimentés pour tenter de limiter cet effet. Aussi des structures de test ont été conçues pour étudier l'évolution du métal et pour pouvoir comparer rapidement le comportement de différentes métallisations.

**Mots clés:** MOSFET puissance, basse tension, avalanche, UIS, vieillissement, métallisation de source,  $R_{DSon}$ .

## **Power MOSFETs characterization under avalanche cycling for micro hybrid vehicles applications.**

### **Summary :**

Research work presented in this thesis concern the conception and the study of low voltage power MOSFETs for micro hybrid vehicles (starter alternator). For some of these applications, developed transistors must be able to operate in classical ON and OFF state mode and in avalanche mode at high current and high temperature. To reproduce this operating mode, MOSFETs are submitted to a specific repetitive UIS test. In order to evaluate silicon's temperature during this test, several temperature measurement methods have been developed and compared.

In parallel, in order to understand the impact of repetitive avalanche on the transistor, standard electrical parameters ( $BV_{DSS}$ ,  $I_{DSS}$ ,  $R_{DSon}$ ...) are monitored during the test. The only parameter that seems to be shifting with the number of cycles is the  $R_{DSon}$ . This phenomenon is due to the measurement method and to a variation of source metallization resistance during cycling. Indeed several observations have shown source metallization ageing and a shift in its resistivity. Different metallization and assembly parameters have been tested to limit this phenomenon. Also various test structures have been designed to study metallization evolution and to compare different metallization behaviors.

**Keywords:** power MOSFET, low voltage, avalanche, UIS, ageing, source metallization,  $R_{DSon}$ .

